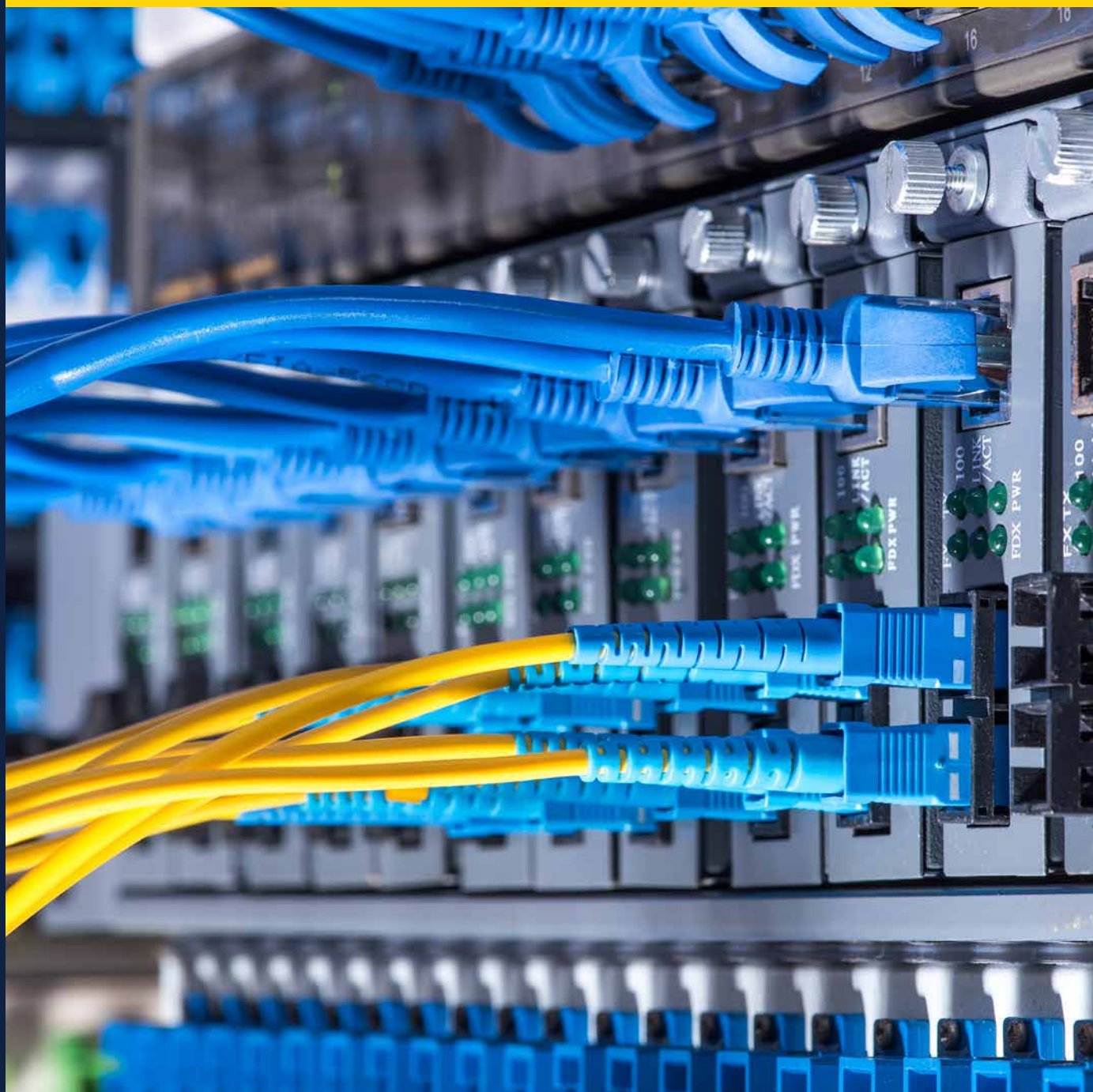
シリコン・フォトニクスと BiCMOS技術: AI処理を高速化する 光インターコネクト技術



持続可能なAIの発展とエネルギー消費：解決すべき方程式

このホワイトペーパーでは、AIの進化を支える光インターコネクトにおいて、エネルギー効率と性能の両方に対応するために不可欠な、シリコン・フォトニクスとBiCMOS技術における、STが推進する技術革新について解説します。

STは、これらの技術開発を通じて、持続可能なAIの成長に向けた革新的ソリューションを提供し、消費電力を抑えながら高速かつ低遅延のデータ通信を実現します。

人工知能（AI）は、もはやあらゆる産業における変革の原動力となりました。そして、AIの高性能化に向けたイノベーションと、AIの利用で消費するエネルギーの効率向上が、同時に推進されています。AIが、社会や環境に長期にわたる利益をもたらすためには、こうした二律背反する技術の進歩を同時に達成することによる持続可能性の実現が不可欠だからです。

AIの持続可能な成長には、取り組むべき重要な課題がいくつかあります。なかでもエネルギー消費は、解決すべき主要な問題の1つです。生成AIの基盤技術のひとつである大規模言語モデル（LLM）は、大規模データセットの高速処理が必要です。その実行には膨大なコンピュータの計算能力を必要とし、エネルギー消費の増大を伴います。ある業界の有識者は、最近のコメントの中で、次世代のLLMトレーニングには従来のコンピュータよりも100倍高い性能が必要になると語っています。そして、先端のモデルのトレーニングに必要なエネルギーは、2年ごとに10倍のペースで増大していくと予想しています。

特定処理を効率的に実行する専用アクセラレータにより、主要パラメータの計算処理を高速化

通常、LLMの処理で実行する計算は、性能の最適化を目的として異なるアクセラレータに分割して実行されます。その際、それぞれのアクセラレータの間で相互通信することによって中間結果を受け渡し、実行すべき処理全体を実行しています。このため、大規模なローカル・アクセラレータ・クラスタには、エネルギー効率が高く、高速化かつ低遅延で、スケーリング可能な高密度のインターコネクトが必要になります。これらのメリットを改善する技術のニーズは、今後、一層高まり続けることでしょう。

電気的インターコネクトの高速化・低電力化はもはや限界、新世代を拓く光インターコネクトの導入が不可欠に

一般的に、データ・レートが上がるにつれて、純粋な電気リンクによって伝送可能な距離が短くなります。確かに、直接接続銅線ケーブル（DAC）を、リタイマを内蔵したアクティブ電気ケーブル（AEC）に置き換えれば、伝送可能な距離を伸ばすことが可能です。しかし、これによりエネルギー消費および遅延が増加します。データ伝送に光を使用する光インターコネクトならば、従来の電気信号による伝送に比べて距離による劣化が少なく、伝送速度をさらに高速化できます。その結果、AIクラスタの異なる部分間のデータ通信において、遅延を低減し、消費電力も削減することが可能になります。

シリコン・フォトニクスにより、プラガブル・オプティクスにおいて大容量でエネルギー効率の高いリンクを実現

シリコン・フォトニクス技術に基づいて製造されたシリコン・フォトニクス集積回路（PIC）には、光の生成、変調処理、光の検出などの複数の機能をワンチップに集積しています。これらの機能を集積化することにより、光トランシーバの全機能を1つのダイに集約することが可能となり、従来のディスクリート・フォトニクス・コンポーネントにはない、以下のような利点を得ることができます。

- フットプリントの最小化（>0.5Tbps/mm²）
- より高い集積密度の実現（>1Tbps/mm）
- CMOS向け300mmウエハ対応の製造設備（<0.1ドル/Gbps）を使用することにより、成熟した半導体製造プロセスによる高い歩留まりと信頼性を実現（従来の200mm対応工場と比較した場合）
- 消費電力の大幅な削減（<5pJ/bit）

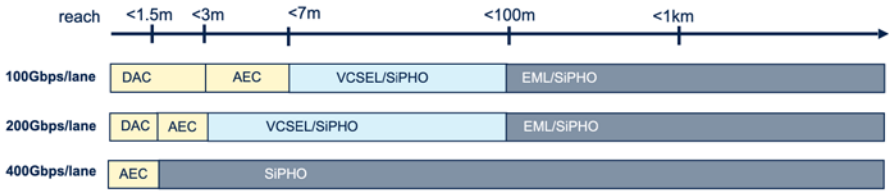


図1: シリコン・フォトニクスは、ファイバーの長さにかかわらず、性能向上に最適

チップ間通信用の光チップレットという新しいタイプの製品が登場

業界は、プラガブル・オプティカルモジュール（LPO/LRO）のエネルギー効率を大幅に向上させることに成功しました。これにより、GPU（画像処理装置）間のローカル・ネットワークに求められる性能要件を満たす、さらに効率的な光インターコネクトの実現が可能になりました。シリコン・フォトニクスを使用したトランシーバは、ローカルGPUアクセラレータ内のデータ転送効率を大幅に向上させる可能性を秘めています。電気回路と光集積回路（PIC）を2.5Dパッケージに統合することによって、これらのトランシーバは、極めて低消費電力で高密度に並列化した電気インタフェースを通じて、GPUとのダイ間通信を促進することが可能になります。こうしたアプローチは、光チップレットと呼ばれています。銅ケーブルでの接続をなくすことによって大容量データ転送の省エネルギー化を劇的に推し進めることが可能になります。ハイパフォーマンス・コンピューティングとデータ・センターのさらなる進化を後押しする、将来に向けて極めて重要な技術となっています。

図2: シリコン・フォトニクス技術により、既存の有機基板やより高度なシリコン・インターポーザ上で、小型で電力効率の高い光チップレットを実現

STが提供する最先端のシリコン・フォトニクス技術：PIC100

STが開発したシリコン・フォトニクス技術であるPIC100には、光通信と集積フォトニクスの分野における**最先端技術**が集結されています。シリコン・フォトニクスを活用すれば、既存のシリコン製造のインフラを有効利用しながら、高速データ伝送とそれに必要な信号処理に向けて光信号を処理・制御できる光集積回路（PIC）を作り出すことができます。

STは、シリコン・フォトニクスの研究、開発、産業化において豊富な経験を有しています[1-4]。2013年の時点で、世界で初めての300mmシリコン・フォトニクス・プラットフォーム（PIC25G）を発表した先駆者でもあります[1]。このプラットフォームでは、シリコン導波路のみを使用して、35GHz帯域幅の変調器とフォトダイオードを利用し、1レーン当たり25Gbaudの通信を実現しました。4本のファイバーとNRZ信号を使用したそのデータ転送速度は、100Gbits/sに到達しました。当時、開発した技術の需要が限られていたため、大量生産に対応可能な生産活動を維持することはできませんでした。しかし、STの開発チームは、将来的な市場の成長を確信していたため、光エコシステムにおける積極的な研究開発を維持してきました。そして、今やAIが市場のゲーム・チェンジャーとなっています。

2025年には、それまでの経験と継続的な研究開発を元に、光通信と集積フォトニクスの分野での最先端である、200Gbps/レーンのPAM4（100Gbaud）に対応した次世代シリコン・フォトニクス・プラットフォームであるPIC100を発表するに至りました。

従来のPIC25プラットフォームに比べて、シリコン導波路のプロセスを最適化し、シングルモード導波路の光損失を0.4dB/cmまで低減することに成功しました。窒化シリコン（SiN）導波路は、ファイバーの接続を容易にし、低損失パッシブ機能を活用できるようになりました。これは、適合する材料を使用し、1310nmと1550nmの波長で0.5dB/cmという低い光損失を実現しています。現在業界で最もよく知られている性能（0.8dB/cm）とされる技術と比較すると、これらの成果は300mm対応の生産技術で作り出した製品として、クラス最高のレベルに達していると言えます。

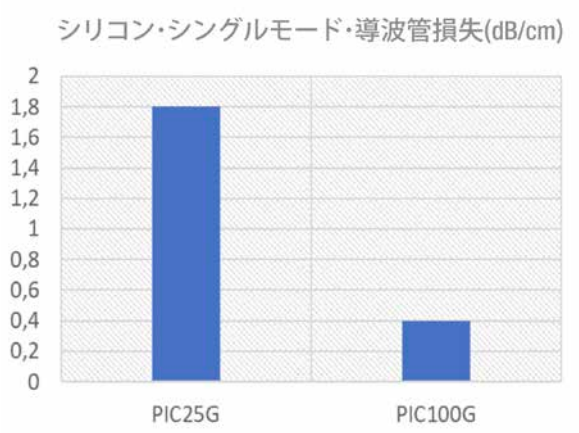


図3: シリコン・シングル・モード導波管損失（dB/cm）
の従来技術からの改善

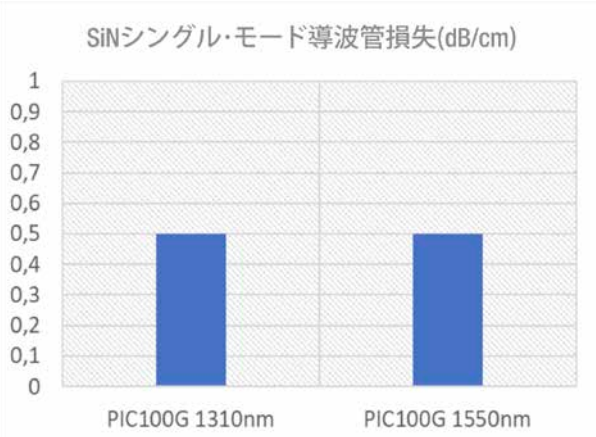


図4: 波長1310nmと1550nmの
SiNシングル・モード導波管損失（dB/cm）

HSPM（高速位相シフト変調器）では、導波路のコアでの光の閉じ込めを改善することにより（図5）、PN接合におけるモーダル・オーバーラップを最大化しました。これによって、変調器効率（VpiLpi）を従来のプラットフォームに比べて2倍向上させることに成功しました（図6）。

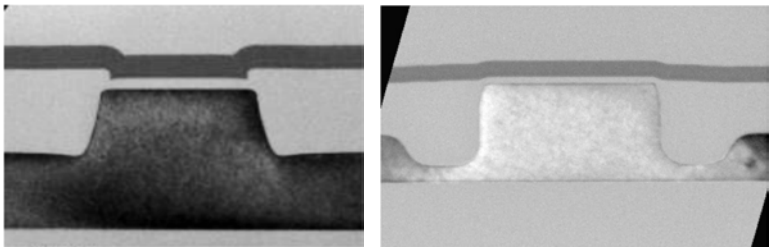


図5: （上）PIC25G HSPMと（下）PIC100G HSPMの断面、
新しいデバイス構造を示す

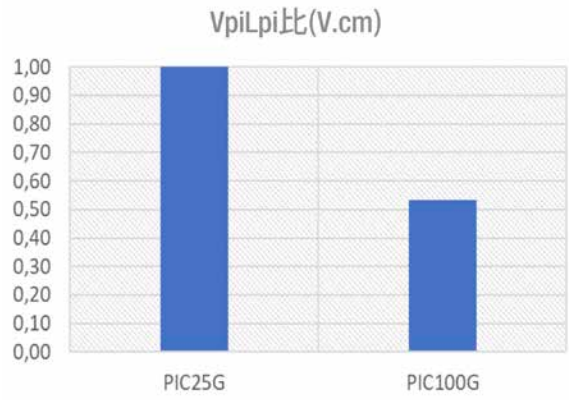


図6　PIC25G HSPMとPIC100G HSPMのVpiLpi比。
性能は2倍向上

さらに、異なるドーピング手法と変調器のアーム構造を採用することにより、変調器のアクセス抵抗を大幅に低減するとともに、導波路のドーピング・プロファイルも最適化し、容量対光位相シフト効率を改善しました。両者の最適化により、抵抗と容量の積（R×C）を2/3に低減し（図7）、最大変調周波数を従来技術と比較して2倍以上改善することができました（図8）。

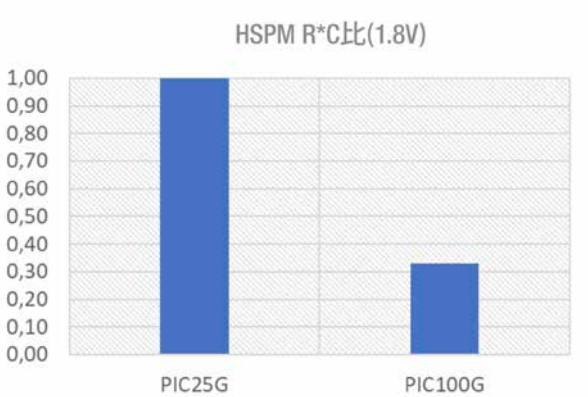


図7: PIC25G HSPMとPIC100G HSPMのR×Cの比較。構造を最適化してR×Cを大幅削減し高速化を実現

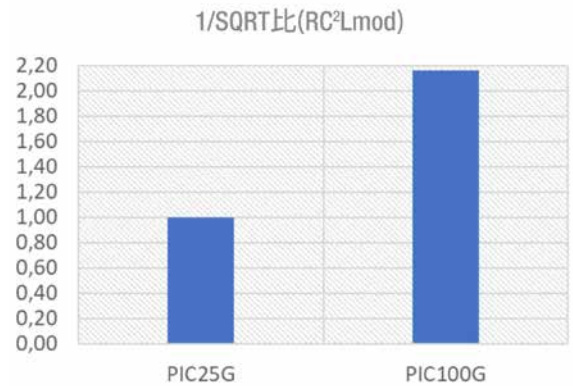


図8: PIC25G HSPMとPIC100G HSPMにおける性能指標（$1/\sqrt{RC^2.Lmodulator}$）の比較。変調器の長さは消光比4.5dBに最適化している。この性能指標の値は変調器の電気光学的帯域幅に比例しており、PIC100Gの速度が以前のPIC25G量産プラットフォームの2倍以上

PIC100テクノロジーでは、低速変調に対しては、TiN層を用いた熱位相シフタを導入しています。レシーバ側には、次世代Ge光検出器を開発し、カットオフ周波数を業界で最もよく知られている値である70GHzを上回る、-1Vで80GHzを超える値を達成しています。

最後に、光I/Oは、エッジ・カプラに依存しています。革新的な厚膜プロセス・スタックとSiN導波路層の導入により、ウエハ上で測定した場合の典型的な光ファイバーから導波ガイドへの結合性能を1.5dB未満にまで抑えています。

結論として、シリコンおよびSiN導波路、高速位相変調器、高速フォトダイオード、エッジ・カプラなどの最先端デバイスを、特許取得済みの革新的な300mmスタックに統合したことは、市場において唯一無二の取り組みであると言えます。これにより、次世代の800Gbpsおよび1.6Tbpsプラガブル・オプティクス・デバイスを実現することができます。

BiCMOS B55/B55X: スピード、ゲイン、リニアリティのあらゆる優位性を1つに集約

シリコン・ゲルマニウム(SiGe)BiCMOSは、イーサネットにおいてGb/s時代が始まって以来、高速光インターコネクト・アプリケーションの領域で長年にわたる実績があります。BiCMOSは、コンパニオン・エレクトロニクスICの開発に最適な技術です。TIA、レーザー・ドライバ、クロック・データ・リカバリ・ユニットを集積したこれらのICは、ビット・レートと同じ周波数で動作するアナログICを組み合わせることで、歪みやジッタの発生を最小限に抑えながら高速データをストリーミングすることができます。また、多重化・非多重化機能用の高速デジタル・ロジックも組み込まれています[出典CHEN2001]。

SiGe BiCMOS技術のユニークな特性により、優れたコスト効率、高性能かつ低消費電力のICの製造が可能になります。

SiGe BiCMOS技術は、3つの要素技術を柱としています。

1. SiGeヘテロ接合バイポーラ・トランジスタ(HBT)
2. RF受動素子
3. CMOSトランジスタ

図9は、これらの要素技術を統合して55nm CMOSプロセスで製造したチップの断面写真です[出典CHEVALIER2014]。

図10に示すように、SiGe HBTの技術が進化したことで、電流利得遷移周波数f_Tと最大発振周波数f_{MAX}の双方ともかつての約8倍にまで向上し、現在ではf_Tが385GHz、f_{MAX}が500GHzにまで達しています[出典GAUTHIER2023、CHEVALIER2024B]。これらは、ボー・レートを向上させる際に重要な指標であり、現在生産されている技術を利用して100Gbaudの実現をターゲットにすることができます[出典TORFS2023]。実際、高次の光変調は波長容量を増やすのに極めて効果的ではありますが、ビットあたりのコスト、電力、フットプリントを削減するためには、より高いボー・レートを実現することが重要になります[出典INFINERA_WHITE_PAPER]。最後に、受動素子、すなわち抵抗器、コンデンサ、可変容量ダイオード(バラクタ)、インダクタおよび伝送線路の品質は、クラス最高の回路を設計するために極めて重要な要因となります。インダクタや伝送線路の性能は、基板との結合によって左右されるため、高抵抗基板や極厚金属層を導入しています。さらに、極厚の銅配線線を利用することで、より多くの電流を流すことができます。

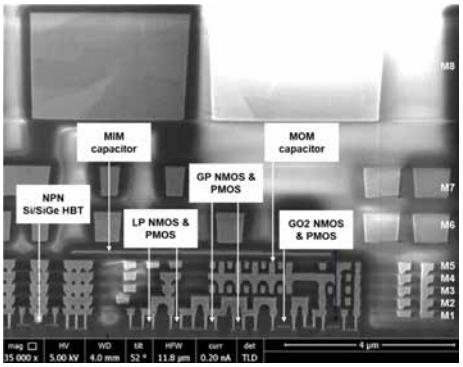


図9: 55nm SiGe BiCMOS技術[CHEVALIER2014]の断面SEM写真。SiGeベース層に形成した主要デバイスに8層の金属配線層(BEOL)を形成している。図中の略記MIM: metal–insulator–metal、MOM: metal–oxide–metal、BEOL: back-end of line、NPN: N-type emitter P-type base N-type collector、LP: low power、GP: general purpose、GO2: second (thick) gate oxide

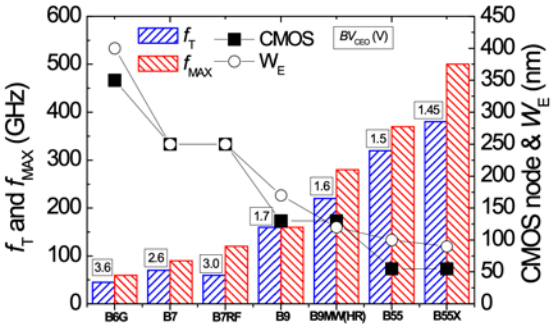


図10: STの高速SiGe BiCMOS技術(HBTの性能とCMOSノード)。W_Eは物理的なエミッタ幅。BV_{CEO}はエミッタ・コレクタ間の降伏電圧(ベースはオープン)。f_Tとf_{MAX}は、SiGe HBTを測定したピーク値に対応[出典CHEVALIER2024A]

STがリリースした最新のSiGe BiCMOS技術であるBiCMOS055X(B55X)は、高速光通信を含む幅広いアプリケーションをカバーするように設計されています。B55Xは、55nm CMOSノードをベースとするの第2世代BiCMOSです。この技術の特徴は、エピタキシャル成長によって外付けと内付けのベース・リンクを形成した第4世代の高速SiGe HBTを採用している点にあり、これはベース抵抗を削減し、低ノイズ・高f_{MAX}を実現するための鍵となっています(図11.a参照)。このトランジスタは、V_{BE}=0.7Vにおける電流利得b~2000、コレクタ・エミッタ降伏電圧BV_{CEO}=1.45Vを実現しています。図12は、エミッタ長に応じて変化する360~400GHzのピークf_Tと450~500GHzのピークf_{MAX}を示しており、110GHzまでの測定値を基にして外挿したものです。配線層は、薄膜層と厚膜層それぞれの数を最適化し、デジタル性能とプロセスの複雑さ/コストのトレードオフを高レベルで整合させています。実際、配線とビアの厚さがそれぞれ2.3μmと2.7μmのデュアル極厚銅モジュールの導入により、RF性能は配線層構成の選択によってほとんど影響を受けることがありません。例えば、20GHzにおける300pHシングルエンド・インダクタのQ値は、9層銅配線と6層銅配線では、30.2から28.8に低下するだけにとどまっています [出典CHEVALIER24B]。オプションで5fF/μm²のMIM(Metal-Insulator Metal)キャパシタも利用可能です。前世代(B55[出典CHEVALIER2014])とは異なり、3種類のMOSトランジスタ・ファミリ(3種類のゲート酸化膜厚に対応)を4種類の完全互換なゲート酸化膜(GO)オプションから個別に選択できます[出典CHEVALIER24A、CHEVALIER24B]。

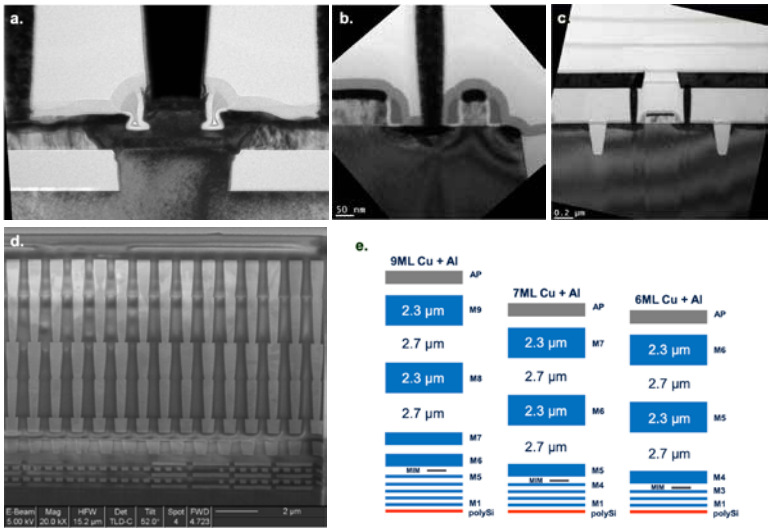


図11: 断面TEM写真：SiGe HBT (a)、厚さ1.8nmの酸化膜MOS (b)、厚さ5nmの酸化膜MOS (c) ｜ 9層の銅配線の断面SEM写真 (d) ｜ 9層、7層、および6層の銅配線の概略図 (e) [出典CHEVALIER 24B]。

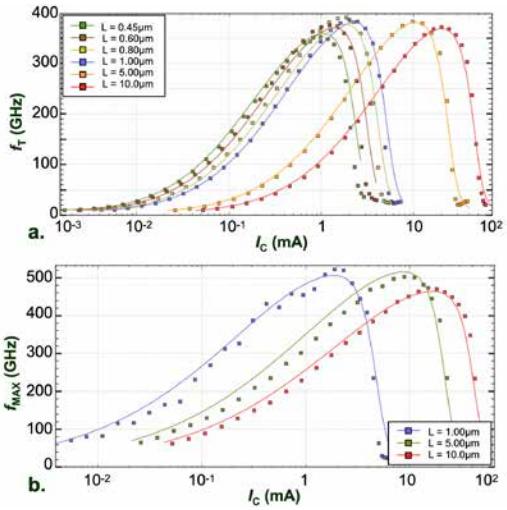


図12: 高速SiGe HBT (DTIなし) のf_T (a) とf_{MAX} (b) 対I_C、エミッタ長 (0.45～10µm：drawn) の違い、V_{CB}＝0.3V、T＝25°Cの場合：測定値 (点) とモデル (線) の比較[出典CHEVALIER24B]

信号の周波数が100GHzを超えるアプリケーションでは、CMOSよりもSiGe BiCMOSの方が優れていることが以前から報告されています。TIAで高く評価される優れたノイズ性能だけでなく、SiGe HBTを使用した電力増幅器（PA）はCMOSで製造されたものよりはるかに優れています[出典VOINIGESCU2017]。

B55[出典TORFS2023]では、4レーン800Gb/sおよび8レーン1.6Tb/sイーサネットに対応するための波長当たり100Gb/sのPAM4変調を実現できることが実証されています。B55Xならば、より大きな帯域幅を提供することが可能であり、それをより大きなデータ・レート（+100Gb/s）で使用するか、またはより低い電力や設計マージンとして利用することができます。B55Xの能力は、図13に示す224Gb/s PAM4レシーバ・チェーン（RX）のシミュレーション結果によって示されています。シミュレーションでは、60GHzの帯域幅（図14参照）と0.75pJ/ビットの消費電力になる結果が得られています。最後に、銅ピラーを使用したシリコン・フォトニクス・フロントエンドICへのBiCMOS ASICの3D実装は、B55+PIC25Gによって実証された強力な組み合わせであると言えます[出典TEMPORITI2016、SENTIERI2020]。

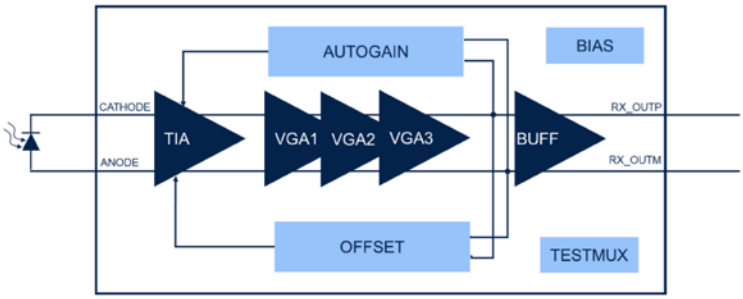


図13: B55Xでシミュレーションした224Gb/s PAM4レシーバ（RX）アーキテクチャ

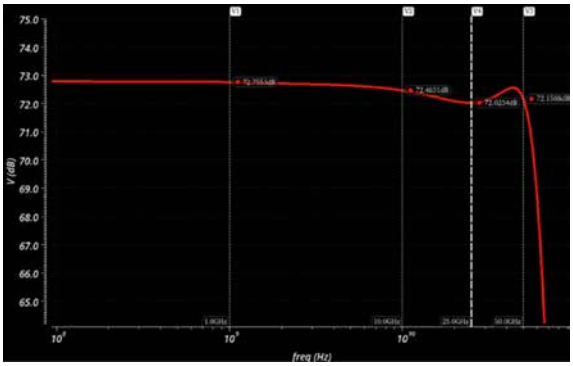


図14: 図5のRX TIAゲインZ_Tの電気的周波数特性のシミュレーション結果

B55XとPIC100は、光インターコネクト導入を成功に導くキー・テクノロジー

電力効率の必要性が高まるにつれて、パッケージング・エコシステムには劇的な変化が求められるようになります。STは、現在、800Gbpsおよび1.6Tbps対応のアプリケーションに向けて、PIC100およびB55Xの**マイクロバンピング・プロセスを**検証中です。この技術にはいくつかのメリットがあります。

- 最適化されたコストと最大限のパフォーマンスにより高集積密度を実現: コンポーネントを垂直方向に積層することによって、チップ全体のフットプリントを大幅に縮小し、コンパクトな設計が可能になります。こうしたアプローチを取ることにより、個別プロセスによる最適化された製造が可能になり、単一プロセスでの製造に比べて複雑さが軽減されます。その一方で、EICとPICの機能を単一ダイ上にモノリシック統合することができます。
- 400Gbps/レーンに対応する帯域幅性能の向上: 積層レイヤ間のインターコネクトを短くすることによって、信号損失を最小限に抑制し、全体的なシグナル・インテグリティを向上させ、1レーン当たり400Gbpsの電気光変換パスを実現します。

この300mmプラットフォームで開発中の最小ピッチ40μmの**TSV**は、並列高密度インタフェース（UCIe-Aのような、配線長2mm、0.25pJ/ビット）により、ホスト（GPUまたはスイッチ）の同一パッケージ内でのダイ間通信も可能にし、システム全体の電力効率を向上させます。

最後に、AIモデルが複雑化し規模が拡大し続けるにつれて、効率的なデータ転送とデータ処理に対する需要が今後ますます高まることでしょう。STの**PIC100シリコン・フォトニクスおよびBiCMOS B55Xは、800Gおよび1.6Tbpsプラガブル・オプティクス向けに、将来を保証するソリューションを提供**します。そして、xPU-x光インターコネクトを含む長期的なロードマップへの道を開き、AIクラスタの成長が**持続可能かつ効率的**であり続けることを保証します。

STのPIC100シリコン・フォトニクスとBiCMOS B55X技術は、800Gおよび1.6Tbpsプラガブル・オプティクス向けに最先端ソリューションを提供します。これによって、持続可能で効率的なAIクラスタの成長を保証することが可能になります。

これらの進歩は、高集積密度、帯域幅性能の向上、大幅な電力効率の向上を可能にし、将来のAI光インターコネクトへの道を開きます。

本ホワイトペーパーの執筆協力者

- Frederic Boeuf - Technical Director, Photonics Innovations & ST Fellow
- Pascal Chevalier - Technical Director, Technology Architecture & ST Fellow
- Sébastien Cremer - Silicon Photonics Technology Manager
- Sabina Fanfoni - Senior Product Marketing Manager, Silicon Photonics
- Lorenzo Gerosa - Senior Principal Engineer
- David Jacquet - System Architect & ST Fellow
- Stephane Monfray - Senior Principal Engineer

関連リソース

バイポーラCMOS（BiCMOS）半導体技術（STテクノロジー・ページ）

シリコン・フォトニクス（SiPho）技術（STテクノロジー・ページ）

STマイクロエレクトロニクス、データ・センターとAIクラスタによってより高性能なクラウド光インターコネクトを実現（プレスリリース）

PIC100：ST初のシリコン・フォトニクス技術は、パフォーマンス、効率性、そしてデータ・センターにおける未来のビジョンを提供します。（ウェブページ）

参考文献

1. F. Boeuf et al., "A multi-wavelength 3D-compatible silicon photonics platform on 300mm SOI wafers for 25Gb/s applications," 2013 IEEE International Electron Devices Meeting, Washington, DC, USA, 2013, pp. 13.3.1-13.3.4, doi: 10.1109/IEDM.2013.6724623.
2. F. Boeuf et al., "A Silicon Photonics Technology for 400 Gbit/s Applications," 2019 IEEE International Electron Devices Meeting (IEDM), San Francisco, CA, USA, 2019, pp. 33.1.1-33.1.4, doi: 10.1109/IEDM19573.2019.8993627.
3. F. Boeuf, N. Vulliet, C. Baudot, S. Messaoudene, E. Baylac and S. Cremer, "Challenges in Silicon Photonics Process Technology," 2017 European Conference on Optical Communication (ECOC), Gothenburg, Sweden, 2017, pp. 1-3, doi: 10.1109/ECOC.2017.8346203.
4. F. Boeuf et al., "Silicon Photonics Beyond Optical Interconnects," 2021 IEEE International Electron Devices Meeting (IEDM), San Francisco, CA, USA, 2021, pp. 29.2.1-29.2.4, doi: 10.1109/IEDM19574.2021.9720504.

参考文献目録

[CHEN01] Y.K. Chen et al., “Semiconductor Technologies for High Speed Optical Networking,” in IEEE IEDM Tech. Digest, 2001, pp. 329-331.

[CHEVALIER2014] P. Chevalier et al., “55 nm Triple Gate Oxide 9 Metal Layers SiGe BiCMOS Technology Featuring 320 GHz f_T / 370 GHz f_{MAX} HBT and High-Q Millimeter-Wave Passives,” in IEEE IEDM Tech. Digest, pp. 77–79, 2014.

[CHEVALIE2024A] P. Chevalier et al., “B55X: A SHIFT in STMicroelectronics BiCMOS Technologies,” in Key Enabling Technologies for Future Wireless, Wired, Optical and Satcom Applications, B. Debaillie, P. Ferrari, D. Belot, F. Brunier, C. Gaquiere, P. Busson, U. Steikuniené, River Publishers, 2024.

[CHEVALIER2024B] P. Chevalier et al., “A versatile 55-nm sige bicmos technology for wired, wireless, and satcom applications,” in Proc. BCICTS, pp. 13–17, 2024.

[DANESHGAR2021] S. Daneshgar et al., “A 128 Gb/s PAM4 Linear TIA with 12.6 pA/√Hz Noise Density in 22nm FinFET CMOS,” in Proc. RFIC, 2021, pp. 135-138.

[GAUTHIER2023] A. Gauthier et al., “Low-noise Si/SiGe HBT for LEO satellite user terminals in Ku-Ka bands”, in Proc. BCICTS, 2023, pp. 187-190.

[INFINERA_WHITE_PAPER] “Infinera WHITE PAPER - Baud Rate, Modulation, and Maximizing Coherent Optical Performance,” [Online] Available: https://www.infinera.com/wp-content/uploads/Baud-Rate-Modulation-and-Maximizing-Coherent-Optical-Performance-0294-WP-RevA-0921.pdf

[NGUYEN2016] T.L. Nguyen et al., "SiGe BiCMOS Technologies for High-speed and High-volume Optical Interconnect Applications," in Proc. BCTM, 2016.

[SENTIERI2020] E. Sentieri et al., " A 4-Channel 200Gb/s PAM-4 BiCMOS Transceiver with Silicon Photonics Front-Ends for Gigabit Ethernet Applications," in Proc. ISSCC, 2020.

[TEMPORITI2016] E. Temporiti et al., "A 56Gb/s 300mW Silicon-Photonics Transmitter In 3D-Integrated PIC25G and 55nm BiCMOS technologies," in Proc. ISSCC, 2016.

[TORFS2023] G. Torfs et al., "High-Speed SiGe BiCMOS Circuits for Optical Communication," in Proc. BCICTS, 2023 pp. 153-158.

[VOINIGESCU2017] S. Voinigescu et al., "Silicon Millimeter-Wave, Terahertz, and High-Speed Fiber-Optic Device and Benchmark Circuit Scaling Through the 2030 ITRS Horizon," Proceedings of the IEEE, June 2017, Vol. 105, No. 6, pp. 1087-1104.

At STMicroelectronics we create technology that starts with You

ミックス
紙 | 責任ある森林管理を支えています
FSC® C002641
www.fsc.org

Order code: **WP2503SiPHOJ**

詳細については、STウェブサイトをご覧ください。www.st.com

© STMicroelectronics - July 2025 - Printed in Japan - All rights reserved
STMicroelectronicsのロゴマークは、STMicroelectronics Groupの登録商標です。その他の名称は、それぞれの所有者に帰属します。
STの登録商標についてはSTウェブサイトをご覧ください。www.st.com/trademarks

■東京 TEL 03-5783-8200　■大阪 TEL 06-6397-4130　■名古屋 TEL 052-587-4547
STマイクロエレクトロニクス株式会社