

## 前言

本应用笔记为系统设计人员提供了 STM32F3xx 硬件特性概述，例如供电、时钟管理、复位控制、自举模式设置和调试管理等。它显示了如何使用 STM32F3xx 产品系列，说明了开发 STM32F3xx 应用所需的最低硬件资源。

禁用嵌入式调压器的 STM32F3xx 器件与启用嵌入式调压器的 STM32F3xx 器件共享相同的特性 / 外设，仅有部分不同。

在 [第 6 章节](#) 中对差别进行了汇总。

本文还包含了详细的参考设计原理图，说明了主要元件、接口和模式。

在本文其余部分（除非特别说明），STM32F3xx 一词指下面 [表 1](#) 中的部件编号。

表 1. 适用产品

类型	部件编号
微控制器	STM32F301x6/x8
	STM32F302x6/x8
	STM32F302xB/xC
	STM32F303x6/x8
	STM32F303xB/xC
	STM32F318xx
	STM32F328xx
	STM32F358xx
	STM32F37xxx

# 目录

<b>1</b>	<b>电源</b> .....	<b>6</b>
1.1	电源方案 .....	6
1.1.1	独立模拟电源 .....	8
1.1.2	Sigma Delta 供电电压 (仅 F37x) .....	9
1.1.3	电池备份 .....	9
1.1.4	电压调压器 .....	10
1.2	复位和供电监控器 .....	11
1.2.1	复位 .....	11
1.2.2	上电复位 (POR)/ 掉电复位 (PDR) .....	12
1.2.3	可编程电压检测器 (PVD) .....	13
<b>2</b>	<b>时钟</b> .....	<b>14</b>
2.1	高速外部时钟信号 (HSE) OSC 时钟 .....	14
2.2	LSE 时钟 .....	15
2.3	HSI 时钟 .....	15
2.4	LSI 时钟 .....	16
2.5	时钟安全系统 (CSS) .....	16
<b>3</b>	<b>自举配置</b> .....	<b>17</b>
<b>4</b>	<b>调试管理</b> .....	<b>18</b>
4.1	简介 .....	18
4.2	SWJ 调试端口 (串行接口和 JTAG) .....	18
4.3	引脚排列和调试端口引脚 .....	18
4.3.1	SWJ 调试端口引脚 .....	19
4.3.2	灵活的 SWJ-DP 引脚分配 .....	19
4.3.3	JTAG 引脚上的内部上拉和下拉 .....	20
4.3.4	使用标准 JTAG 连接器的 SWJ 调试端口连接 .....	21
<b>5</b>	<b>建议</b> .....	<b>22</b>
5.1	印刷电路板 .....	22
5.2	元件位置 .....	22
5.3	接地和供电 ( $V_{SS}$ 、 $V_{DD}$ 、 $V_{SSA}$ 、 $V_{DDA}$ 、 $V_{SSSD}$ 、 $V_{DDSD}$ ) .....	22

---

5.4	去耦 .....	22
5.5	其它信号 .....	23
5.6	未使用的 I/O 和特性 .....	23
<b>6</b>	<b>STM32F3x8 与 STM32F30x/F37x 对比 .....</b>	<b>24</b>
<b>7</b>	<b>参考设计 .....</b>	<b>26</b>
7.1	描述 .....	26
7.1.1	时钟 .....	26
7.1.2	复位 .....	26
7.1.3	自举模式 .....	26
7.1.4	SWJ 接口 .....	26
7.1.5	电源 .....	26
7.1.6	引脚排列和引脚说明 .....	26
7.2	元件参考 .....	27
<b>8</b>	<b>修订历史 .....</b>	<b>30</b>

## 表格索引

表 1.	适用产品 .....	1
表 2.	自举模式 .....	17
表 3.	调试端口引脚分配 .....	19
表 4.	用到的 SWJ I/O 引脚 .....	19
表 5.	STM32F30x/F37x 与 STM32F3x8 对比 .....	24
表 6.	必备元件 .....	27
表 7.	可选元件 .....	27
表 8.	文档修订历史 .....	30

## 图片索引

图 1.	STM32F303/302xB/xC 电源方案 . . . . .	6
图 2.	STM32F37x 电源方案 . . . . .	7
图 3.	STM32F303/302/301x6/x8 电源方案 . . . . .	8
图 4.	肖特基二极管连接 . . . . .	9
图 5.	复位电路简图 . . . . .	11
图 6.	上电复位 / 掉电复位波形 . . . . .	12
图 7.	PVD 门限 . . . . .	13
图 8.	HSE/LSE 时钟源 . . . . .	14
图 9.	主机到板的连接 . . . . .	18
图 10.	JTAG 连接器实现 . . . . .	21
图 11.	$V_{DD}/V_{SS}$ 对的典型布局 . . . . .	23
图 12.	STM32F30x 微控制器参考原理图 . . . . .	28
图 13.	STM32F37x 微控制器参考原理图 . . . . .	29



图 2. STM32F37x 电源方案

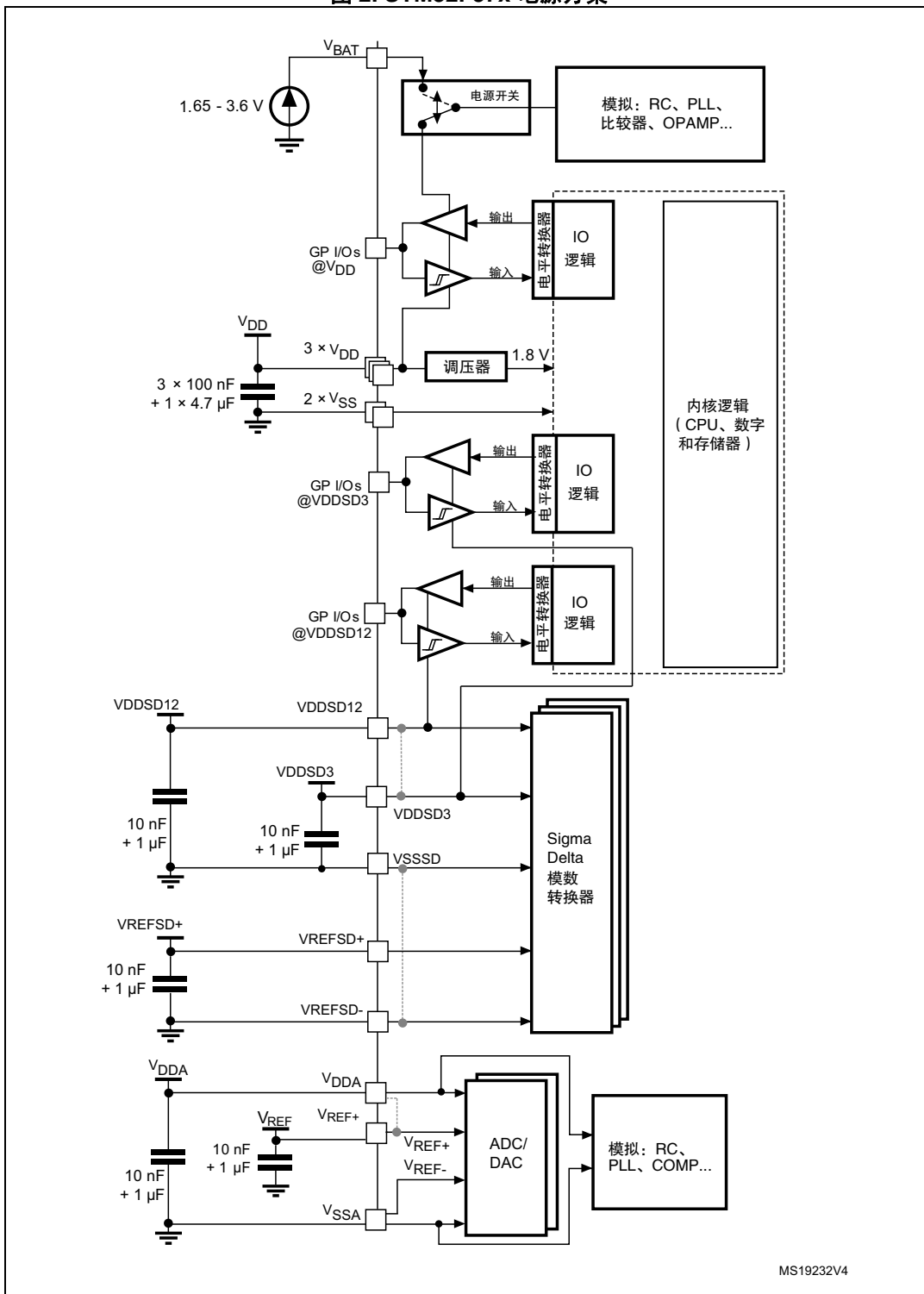
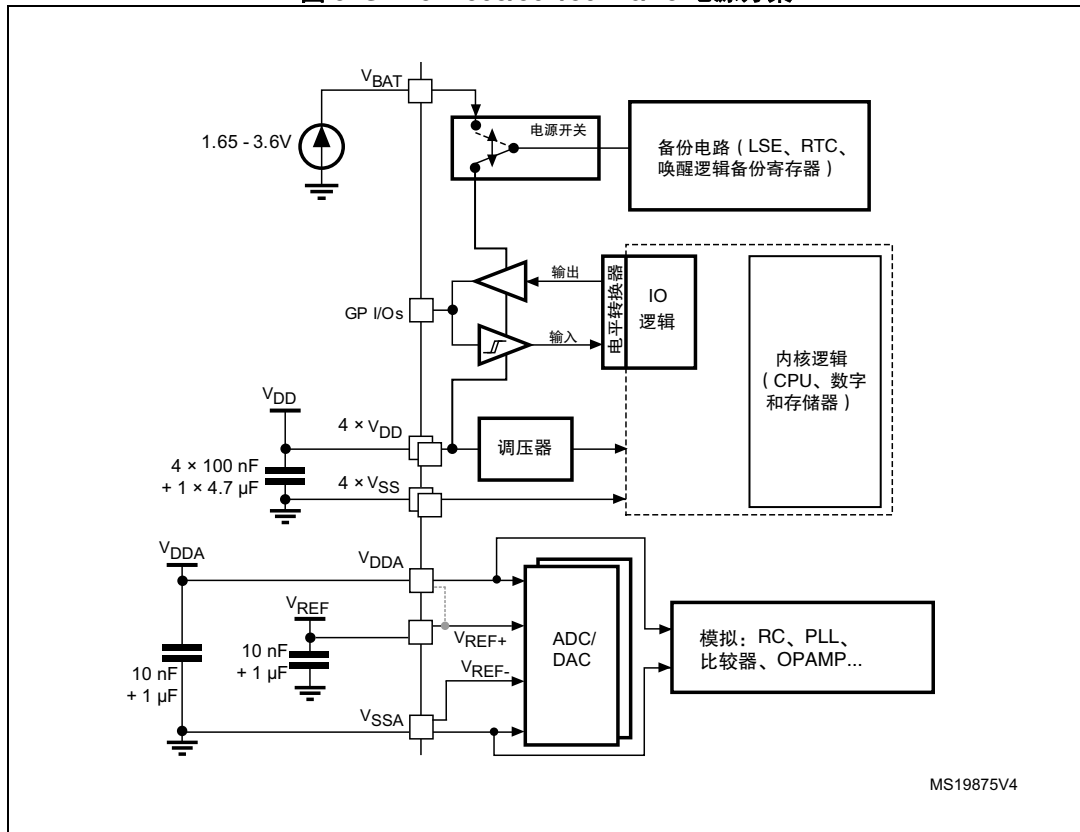


图 3. STM32F303/302/301x6/x8 电源方案



### 1.1.1 独立模拟电源

为了提高转换精度、扩展供电的灵活性，模拟域配有独立电源，可以单独滤波并屏蔽 PCB 上的噪声。

- ADC 和 DAC 电源电压从单独的  $V_{DDA}$  引脚输入。
- $V_{SSA}$  引脚提供了独立的电源接地连接。

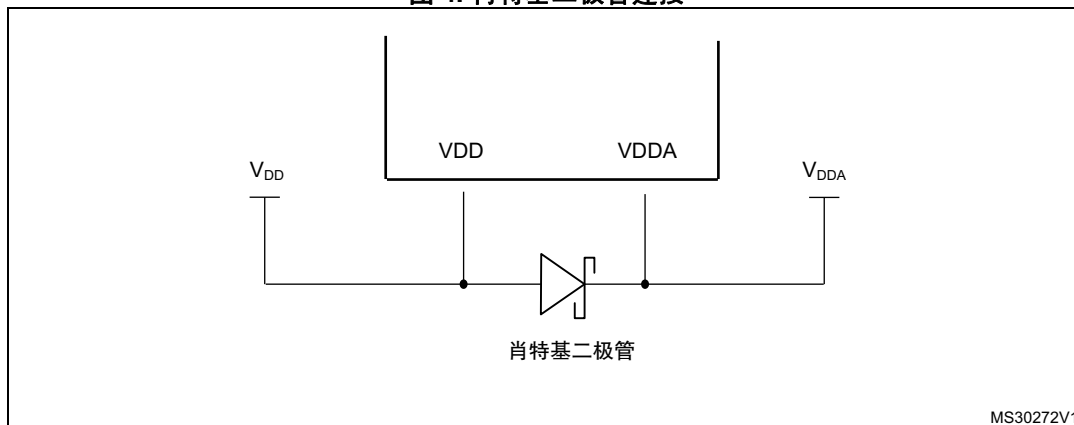
$V_{DDA}$  供电可大于等于  $V_{DD}$ 。这使得  $V_{DD}$  在保持为低的同时仍可为模拟块提供全部性能。

当使用单供电时， $V_{DDA}$  可外部连接至  $V_{DD}$ ，为得到无噪声的  $V_{DDA}$ ，需通过外部滤波电路。

当  $V_{DDA}$  不等于  $V_{DD}$  时， $V_{DDA}$  必须一直大于等于  $V_{DD}$ 。在开机 / 关机期间，为在  $V_{DDA}$  和  $V_{DD}$  之间保持安全的电位差，可在  $V_{DD}$  和  $V_{DDA}$  之间使用外部肖特基二极管。请参考数据手册以得到最大允许的电位差。



图 4. 肖特基二极管连接



### 1.1.2 Sigma Delta 供电电压（仅适用于 F37x）

为提高 Sigma delta ADC（SDADC）外设的性能，设备有两个独立的电源，用以对 SDADC 外设供电。两个供电引脚有公共的接地引脚（ $V_{DDSD12}$ 、 $V_{DDSD3}$ 、 $V_{SSSD}$ ）。

这些电源也定义了数字 GPIO 引脚上的电平，它们对于给定的 SDADC 外设共享 SDADC 模拟输入。请参考设备数据手册，以了解哪些 GPIO 由  $V_{DDSD12}$  供电，哪些由  $V_{DDSD3}$  供电。

Sigma delta 供电必须一直小于等于模拟供电： $V_{DDSDx} < V_{DDA}$ ，但它们可小于或大于  $V_{DD}$ 。

若应用中不使用 SDADC，则  $V_{DDSDx}$  必须外部连接至  $V_{DD}$ 。

$V_{SSSD}$  必须一直连接至  $V_{SS}$ 。

关于  $V_{DDSD12}$  和  $V_{DDSD3}$ ，还有一些限制条件与用于 SDADC 的参考电压有关：

- 若  $V_{REFSD+}$  引脚被选为 SDADC 的外部参考电压：
  - 若 SDADC1 或 SDADC2 在 PWR 控制器中启用（ENSD1、ENSD2 比特），则：  
 $V_{DDSD12} > V_{REFSD+}$ ， $V_{DDSD3} > V_{REFSD+}$
  - 若 SDADC1 和 SDADC2 在 PWR 控制器中禁用，则： $V_{DDSD3} > V_{REFSD+}$
- 若  $V_{DDSDx}$  供电被选为 SDADC 的参考电压：
  - 若 SDADC1 或 SDADC2 在 PWR 控制器中启用（ENSD1、ENSD2 比特），则：  
 $V_{DDSD12} = V_{DDSD3}$
- 若 SDADC1 和 SDADC2 在 PWR 控制器中禁用，SDADC3 启用（ENSD1、ENSD2、ENSD3 比特），则： $V_{DDSD12} \leq V_{DDSD3}$ 。

### 1.1.3 电池备份

要在  $V_{DD}$  关闭后保留备份寄存器的内容，可以将  $V_{BAT}$  引脚连接到通过电池或其它电源供电的可选备用电压。

$V_{BAT}$  引脚还为 RTC 单元供电，因此即使当主数字供电（ $V_{DD}$ ）关闭时 RTC 也能工作。

$V_{BAT}$  电源的开关由复位模块中内置的掉电复位（PDR）电路进行控制。

若应用中没有使用外部电池，则强烈建议将  $V_{BAT}$  外部连至  $V_{DD}$ 。

### 1.1.4 调压器

此调压器在复位后始终处于使能状态。

根据应用模式的不同，可采用三种不同的模式工作：

- 运行模式：调压器为 1.8 V 域（内核、存储器和数字外设）提供全功率。
- 停止模式：调压器为 1.8 V 域提供低功率，保留寄存器和内部 SRAM 中的内容。
- 待机模式：调压器关。除待机电路和备份域外，寄存器和 SRAM 的内容都将丢失。这包括下列特性，可通过对单个控制位编程对其选择：
  - 独立的看门狗 (IWDG)：IWDG 通过写入其密钥寄存器或使用硬件选项来启动。而且一旦启动便无法停止，除非复位。
  - 实时时钟 (RTC)：通过备份域控制寄存器 (RCC\_BDCR) 中的 RTCEN 位进行配置。
  - 内部 RC 振荡器 (LSI)：通过控制 / 状态寄存器 (RCC\_CSR) 中的 LSION 位进行配置。
  - 外部 32.768 kHz 振荡器 (LSE)：通过备份域控制寄存器 (RCC\_BDCR) 中的 LSEON 位进行配置。

## 1.2 复位和供电监控器

### 1.2.1 复位

共有三种类型的复位，分别为系统复位、电源复位和备份域复位。

#### 系统复位

除了时钟控制寄存器 CSR 中的复位标志和备份域中的寄存器外，系统复位会将其它全部寄存器都复位为复位值。只要发生以下事件之一，就会产生系统复位：

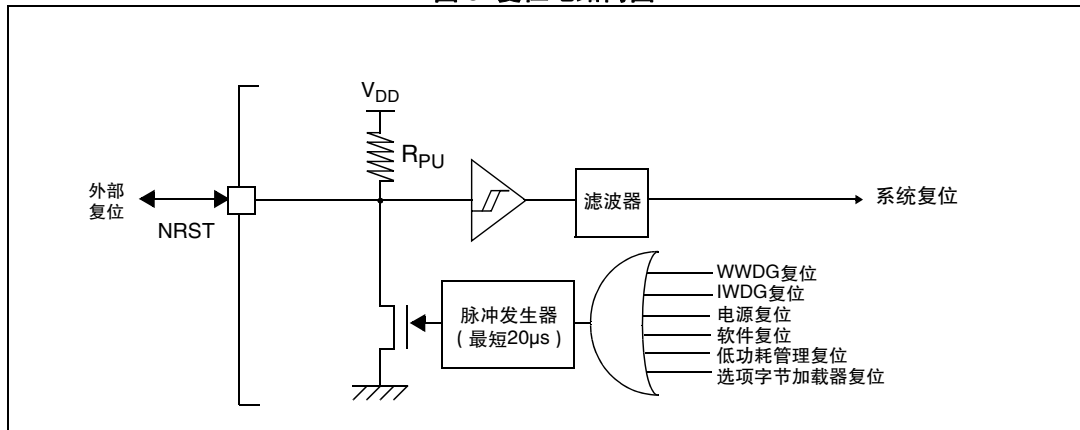
1. NRST 引脚低电平（外部复位）。
2. 系统窗口看门狗事件（WWDG 复位）。
3. 独立看门狗事件（IWDG 复位）。
4. 软件复位（SW 复位）。
5. 低功耗管理复位。
6. 选项字节加载复位。
7. 电源复位

可通过查看控制状态寄存器（RCC\_CSR）中的复位标志确定复位源。

RESET 复位入口向量在存储器映射中固定在地址 0x0000\_0004。

芯片内部的复位信号会向 NRST 引脚上输出一个低电平脉冲。脉冲发生器可确保每个内部复位源的复位脉冲都至少持续 20  $\mu$ s。对于外部复位，在 NRST 引脚处于低电平时产生复位脉冲。

图 5. 复位电路简图



若需更详细信息，请参考 STM32F3xx 参考手册（RM0316、RM0313、RM0365 和 RM0366）。

## 电源复位

只要发生以下事件之一，就会产生电源复位：

1. 开机 / 关机复位（POR/PDR 复位）
2. 在退出待机模式时

## 备份域复位

备份域具有两个特定的复位，这两个复位仅作用于备份域本身。只要发生以下事件之一，就会产生备份域复位：

1. 软件复位通过设置备份域控制寄存器（RCC\_BDCR）中的 BDRST 位触发。
2. 在电源  $V_{DD}$  和  $V_{BAT}$  都已掉电后，其中任何一个又再上电。

## 1.2.2 上电复位 (POR)/ 掉电复位 (PDR)

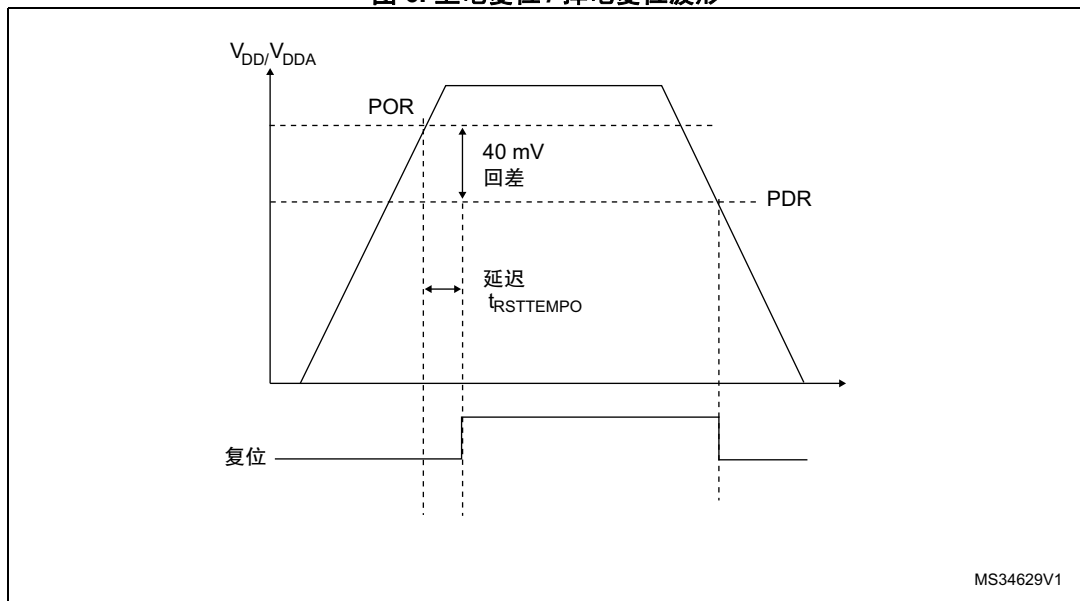
芯片内部集成了开机复位（POR）和关机复位（PDR）电路，它们一直有效，确保了在 2 V 门限之上正常工作。

当供电电压低于指定阈值  $V_{POR/PDR}$  时，芯片无需外部复位电路便会保持复位状态。

- POR 仅监测  $V_{DD}$  供电电压。在启动阶段， $V_{DDA}$  必须先到达，且大于等于  $V_{DD}$ 。
- PDR 监控  $V_{DD}$  和  $V_{DDA}$  这两个供电电压。然而，若应用设计可确保  $V_{DDA}$  大于等于  $V_{DD}$ ，则可禁用  $V_{DDA}$  供电监控器（方法是编程一个专用选项位  $V_{DDA\_MONITOR}$ ），以降低功耗。

有关上电 / 掉电复位阈值的相关详细信息，请参见数据手册的电气特性部分。

图 6. 上电复位 / 掉电复位波形



### 1.2.3 可编程电压检测器 (PVD)

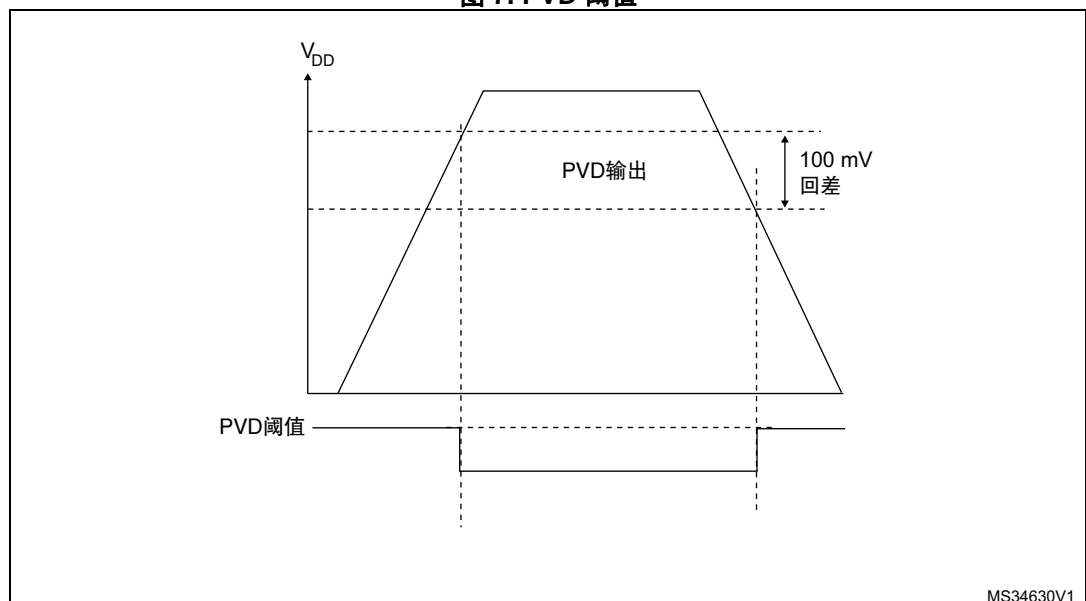
可以使用 PVD 监视  $V_{DD}$  电源，将其与电源控制寄存器 (PWR\_CR) 中 PLS[2:0] 位所选的阈值进行比较。

通过设置 PVDE 位来使能 PVD。

电源控制 / 状态寄存器 (PWR\_CR) 中提供了 PVDO 标志，用于指示  $V_{DD}$  是大于还是小于 PVD 阈值。

- 该事件内部连接到 EXTI 线 16，如果通过 EXTI 寄存器使能，则可以产生中断。
- 当  $V_{DD}$  降至 PVD 阈值以下以及 / 或者当  $V_{DD}$  升至 PVD 阈值以上时，可以产生 PVD 输出中断，具体取决于 EXTI 线 16 上升沿 / 下降沿的配置。该功能的用处之一就是可以在中断服务程序中执行紧急关闭系统的任务。

图 7. PVD 阈值



## 2 时钟

可以使用三种不同的时钟源来驱动系统时钟 (SYSCLK):

- HSI 8 MHz RC 振荡器时钟 (高速内部时钟信号)
- HSE 振荡器时钟 (高速外部时钟信号)
- PLL 时钟

器件具有其它次级时钟源:

- 40 kHz 低速内部 RC (LSI RC), 该 RC 用于驱动独立看门狗, 也可选择提供给 RTC 用于停机 / 待机模式下的自动唤醒。
- 32.768 kHz 低速外部晶振 (LSE 晶振), 用于驱动实时时钟 (RTCCLK)

对于每个时钟源来说, 在未使用时都可单独打开或者关闭, 以降低功耗。若需时钟树的说明, 请参考 STM32F3xx 参考手册 (RM0316、RM0313、RM0365 和 RM0366)。

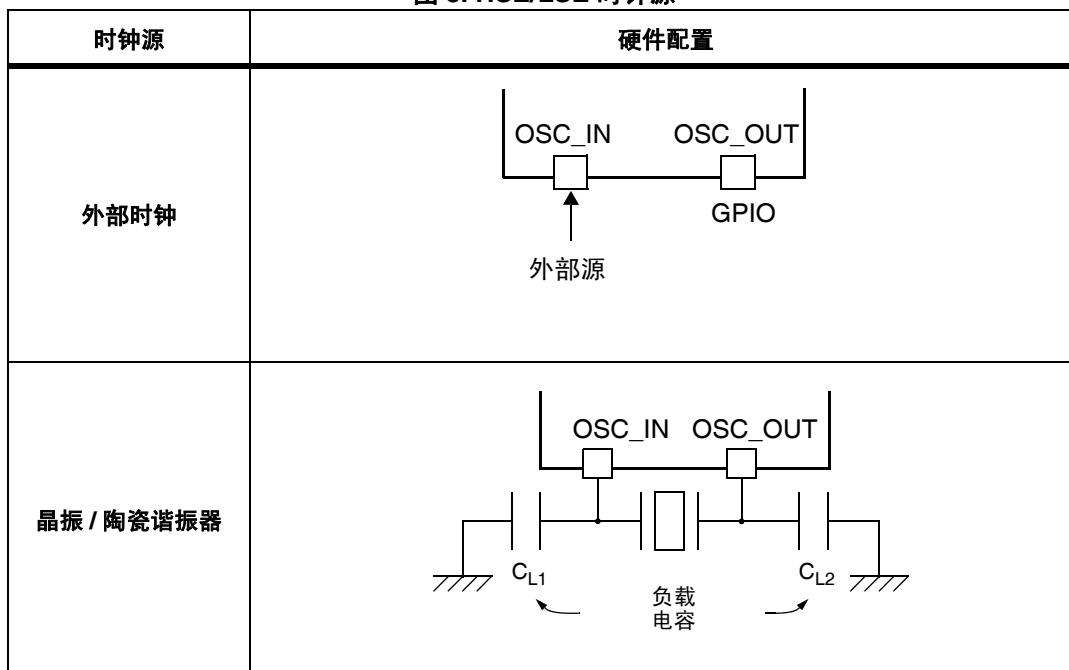
### 2.1 高速外部时钟信号 (HSE) OSC 时钟

高速外部时钟信号有 2 个时钟源:

- HSE 外部晶振 / 陶瓷谐振器
- HSE 用户外部时钟

谐振器和负载电容必须尽可能地靠近振荡器的引脚, 以尽量减小输出失真和起振稳定时间。负载电容值必须根据所选振荡器的不同做适当调整。

图 8. HSE/LSE 时钟源



### 外部晶振 / 陶瓷谐振器 (HSE 晶振)

4 到 32 MHz 外部振荡器的优点是精度非常高。有关相关硬件配置的详细信息，请参见数据手册的电气特性部分。

时钟控制寄存器中的 HSERDY 标志 (RCC\_CR) 指示了 HSE 振荡器是否稳定。在启动时，硬件将此位置 1 后，此时钟才可以使用。如在时钟中断寄存器 (RCC\_CIR) 中使能中断，则可产生中断。

HSE 晶振可通过时钟控制寄存器 (RCC\_CR) 中的 HSEON 位打开或关闭。

### 外部源 (HSE 旁路)

在此模式下，必须提供外部时钟源，最高频率不超过 32 MHz。此模式通过将 [时钟控制寄存器 \(RCC\\_CR\)](#) 中的 HSEBYP 和 HSEON 位置 1 进行选择。必须使用占空比为 ~40-60% 的外部时钟信号 (方波、正弦波或三角波) 来驱动 OSC\_IN 引脚，具体取决于频率 (参考数据手册)，同时 OSC\_OUT 引脚可用作 GPIO。请参见 [图 8](#)。

## 2.2 LSE 时钟

LSE 晶振是 32.768 kHz 低速外部晶振或陶瓷谐振器，可作为实时时钟 (RTC) 的时钟源来提供时钟 / 日历或其它定时功能，具有功耗低且精度高的优点。

LSE 晶振通过备份域控制寄存器 (RCC\_BDCR) 中的 LSEON 位打开和关闭。使用备份域控制寄存器 (RCC\_BDCR) 中的 LSEDRV[1:0] 位，可在运行时更改晶振驱动强度，以实现稳健性、短启动时间和低功耗之间的最佳平衡。

备份域控制寄存器 (RCC\_BDCR) 中的 LSERDY 标志指示了 LSE 晶振是否稳定。在启动时，硬件将此位置 1 后，LSE 晶振输出时钟信号才可以使用。如在时钟中断寄存器 (RCC\_CIR) 中使能中断，则可产生中断。

### 外部源 (LSE 旁路)

在此模式下，必须提供外部时钟源，最高频率不超过 1 MHz。此模式通过将备份域控制寄存器 (RCC\_BDCR) 中的 LSEBYP 和 LSEON 位置 1 进行选择。必须使用占空比约为 50% 的外部时钟信号 (方波、正弦波或三角波) 来驱动 OSC32\_IN 引脚，同时 OSC32\_OUT 引脚可用作 GPIO。请参见 [图 8](#)。

## 2.3 HSI 时钟

HSI 时钟信号由内部 8 MHz RC 振荡器生成，可直接用作系统时钟，或者用作 PLL 输入。HSI RC 振荡器的优点是成本较低 (无需使用外部元件)。此外，其启动速度也要比 HSE 晶振块，但即使校准后，其频率精度也不及外部晶振或陶瓷谐振器。

## 校准

因为生产工艺不同，不同芯片的 RC 振荡器频率也不同，因此 ST 会对每个器件进行出厂校准，达到  $T_A=25\text{ }^\circ\text{C}$  时 1% 的精度。

此外，可将 HSI 时钟接至 MCO 复用器。时钟可连接至 F30x 中定时器 16 的输入及 F37x 中定时器 14 的输入，以允许用户校准振荡器。

## 2.4 LSI 时钟

LSI RC 可作为低功耗时钟源在停机和待机模式下保持运行，供独立看门狗 (IWDG) 和 RTC 使用。时钟频率约为 40 kHz（30 kHz 到 60 kHz 之间）。有关详细信息，请参见数据手册的电气特性部分。

## 2.5 时钟安全系统 (CSS)

时钟安全系统可通过软件激活。激活后，时钟监测器将在 HSE 振荡器启动延迟后使能，并在此振荡器停止时被关闭。

- 若 HSE 振荡器时钟上检测到故障，则振荡器自动禁用。
  - 在 STM32F30x 中，会向 TIM1/8 高级控制定时器的中断输入发送时钟故障事件，在 STM32F3xx 中，会向 TIM15、TIM16 和 TIM17 通用定时器发送。
  - 生成中断，告知软件该故障的信息（时钟安全系统中断 CSSI），令 MCU 执行恢复工作。
  - CSSI 与 Cortex<sup>®</sup>-M4 NMI（不可屏蔽中断）异常向量相链接。
- 如果直接或间接使用 HSE 振荡器作为系统时钟（间接是指它用作 PLL 输入时钟，PLL 时钟用作系统时钟），检测到故障时会导致系统时钟切换到 HSI 振荡器并禁用外部 HSE 振荡器。当故障发生时，若 HSE 振荡器时钟（分频或不分频）为正在用作系统时钟的 PLL 时钟输入，则也会禁用该 PLL。

若需更详细信息，请参见 STM32F3 参考手册（RM0316、RM0313、RM0365 和 RM0366），可在意法半导体网站 [www.st.com](http://www.st.com) 下载。



### 3 自举配置

在 STM32F3xx 中，可通过 BOOT0 引脚和 nBOOT1 选项位选择三种不同的自举模式，如表 2 所示。

表 2. 自举模式

自举模式选择		自举模式	自举空间
BOOT1 <sup>(1)</sup>	BOOT0		
x	0	程序存储器	选择程序存储器作为自举空间
0	1	片内引导程序	选择片内引导程序作为自举空间
1	1	片内 RAM	选择片内 RAM 作为自举空间

1. BOOT1 的值为 nBOOT1 选项位取反。

复位后，在 SYSCLK 的第四个上升沿锁存 BOOT0 引脚和 nBOOT1 位的值。用户必须设置 nBOOT1 和 BOOT0 以选择需要的自举模式。

当退出待机模式时，BOOT0 引脚和 nBOOT1 位也会重新采样。因此，在待机模式中，这些引脚必须保持所需的自举模式配置。启动延迟结束后，CPU 将从地址 0x0000 0000 获取栈顶值，然后从始于 0x0000 0004 的自举存储器开始执行代码。

根据所选的自举模式，程序存储器、片内引导程序或 SRAM 可如下访问：

- 从程序存储器启动：程序存储器在启动内存空间（0x0000 0000）中有别名，但也可从它原来的内存空间（0x0800 0000）访问。换句话说，闪存内容可从地址 0x0000 0000 或 0x0800 0000 开始访问。
- 从片内引导程序启动：片内引导程序在启动内存空间（0x0000 0000）中有别名，但也可从它原来的内存空间（0x1FFF EC00）访问。
- 从片内 RAM 启动：SRAM 在启动内存空间（0x0000 0000）中有别名，但也可从它原来的内存空间（0x2000 0000）访问。

注：在 STM32F30x 中，无法从映射于 0x1000 0000 的 CCM SRAM 启动。

#### 嵌入式自举程序

嵌入式自举程序位于片内引导程序中，由 ST 在生产阶段编程。它用于通过以下接口重新编程闪存：

- USART1(PA9/PA10)
- USART2(PD5/PD6).
- USB (PA11/PA12) 通过 DFU（器件固件升级）

有关详细信息，请参见应用笔记 AN2606。

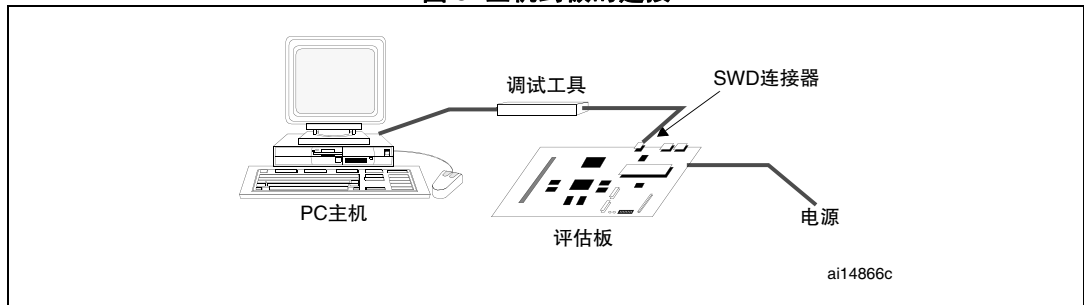
## 4 调试管理

### 4.1 前言

主机 / 目标接口为连接主机与应用板的硬件设备。此接口由三部分组成：硬件调试工具、JTAG 或 SWD 连接器，以及连接主机与调试工具的电缆。

图 9 显示了主机到 STM32F3xx 评估板的连接。

图 9. 主机到板的连接



### 4.2 SWJ 调试端口（串行接口和 JTAG）

STM32F3xx 内核集成了串行 /JTAG 调试端口 (SWJ-DP)。该端口是 ARM® 标准 CoreSight™ 调试端口，具有 JTAG-DP（5 引脚）接口和 SW-DP（2 引脚）接口。

- JTAG 调试端口 (JTAG-DP) 提供用于连接到 AHP-AP 端口的 5 引脚标准 JTAG 接口。
- 串行线调试端口 (SW-DP) 提供用于连接到 AHP-AP 端口的 2 引脚（时钟 + 数据）接口。

在 SWJ-DP 中，SW-DP 的 2 个 JTAG 引脚与 JTAG-DP 的 5 个 JTAG 引脚中的部分引脚复用。

### 4.3 引脚排列和调试端口引脚

STM32F3xx MCU 的不同封装有不同的有效引脚数。因此，一些与引脚可用性有关的功能可能因封装而异。

### 4.3.1 SWJ 调试端口引脚

五个引脚可用作 SWJ-DP 的输出，作为通用 I/O（GPIO）的复用功能。如表 3 中所示，所有封装都提供这些引脚。

表 3. 调试端口引脚分配

SWJ-DP 引脚名称	JTAG 调试端口		SW 调试端口		引脚分配
	类型	说明	类型	调试分配	
JTMS/SWDIO	I	JTAG 测试模式选择	I/O	串行线数据输入 / 输出	PA13
JTCK/SWCLK	I	JTAG 测试时钟	I	串行线时钟	PA14
JTDI	I	JTAG 测试数据输入	-	-	PA15
JTDO/TRACESWO	O	JTAG 测试数据输出	-	TRACESWO（如果使能异步跟踪）	PB3
JNTRST	I	JTAG 测试 nReset	-	-	PB4

### 4.3.2 灵活的 SWJ-DP 引脚分配

复位（SYSRESETn 或 PORESETn）后，会将用于 SWJ-DP 的全部 5 个引脚指定为专用引脚，可供调试工具立即使用（请注意，除非由调试工具明确编程，否则不分配跟踪输出）。

然而，表 4 中显示的一些 JTAG 引脚可通过 GPIOx\_AFRx 寄存器配置为复用功能。

表 4. 用到的 SWJ I/O 引脚

可用的调试端口	用到的 SWJ I/O 引脚				
	PA13/ JTMS/ SWDIO	PA14 / JTCK/ SWCLK	PA15 / JTDI	PB3 / JTDO	PB4/ JNTRST
全部 SWJ (JTAG-DP + SW-DP) - 复位状态	X	X	X	X	X
全部 SWJ (JTAG-DP + SW-DP)，但不包括 JNTRST	X	X	X	X	
禁止 JTAG-DP 和使能 SW-DP	X	X			
禁止 JTAG-DP 和禁止 SW-DP	可自由配置为复用功能				

表 4 显示了释放一些引脚，将其配置为复用功能的各种可能性。

若需更详细信息，请参见相应的 STM32F3xx 参考手册（RM0316、RM0313、RM0365 和 RM0366）可在意法半导体网站 [www.st.com](http://www.st.com) 下载。

### 4.3.3 JTAG 引脚上的内部上拉和下拉

JTAG 输入引脚不得悬空，因为这些引脚直接连接到用于控制调试模式功能的触发器。还必须特别注意 SWCLK/TCK 引脚，该引脚直接连接到一些触发器的时钟。

为避免任何不受控的 I/O 电平，STM32F3xx 在 JTAG 输入引脚上嵌入了内部上拉和下拉电阻

- JNTRST：内部上拉
- JTDI：内部上拉
- JTMS/SWDIO：内部上拉
- TCK/SWCLK：内部下拉

一旦用户软件释放了 JTAG I/O，GPIO 控制器又会得到控制权。GPIO 控制寄存器的复位状态会将 I/O 置于：

- JNTRST：输入上拉
- JTDI：输入上拉
- JTMS/SWDIO：输入上拉
- JTCK/SWCLK：输入下拉
- JTDO：输入浮空

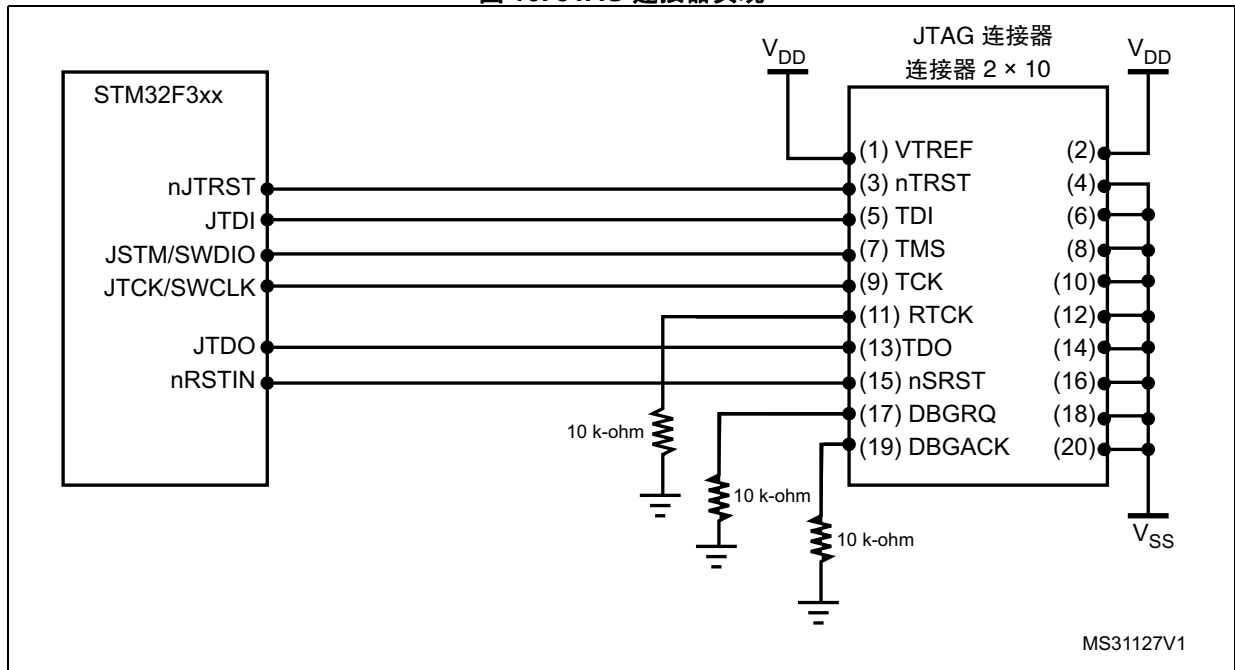
软件可以把这些 I/O 口作为普通的 I/O 口使用。

*注：JTAG IEEE 标准建议在 TDI、TMS 和 nTRST 上增加上拉电阻，但对于 TCK 没有特别建议。然而，STM32F3xx 为 JTCK 使用了集成的下拉电阻。由于带有上拉和下拉电阻，因此无需添加外部电阻。*

### 4.3.4 使用标准 JTAG 连接器的 SWJ 调试端口连接

图 10 显示了 STM32F3xx 和标准 JTAG 连接器之间的连接。

图 10. JTAG 连接器实现



## 5 建议

### 5.1 印刷电路板

由于技术原因，最好使用多层印刷电路板（PCB），一层专用于接地（ $V_{SS}$ ），另一层专用于  $V_{DD}$  供电。这提供了不错的去耦和屏蔽效果。很多应用由于经济原因无法使用这种板。在这种情况下，主要要求就是要确保接地和供电有良好的结构。

### 5.2 元件位置

PCB 的初始布局必须使单独的电路具有以下特性：

- 高电流电路
- 低电压电路
- 数字元件电路
- 根据电路的 EMI 特点分离的电路。这会降低 PCB 上引起噪声的交叉耦合。

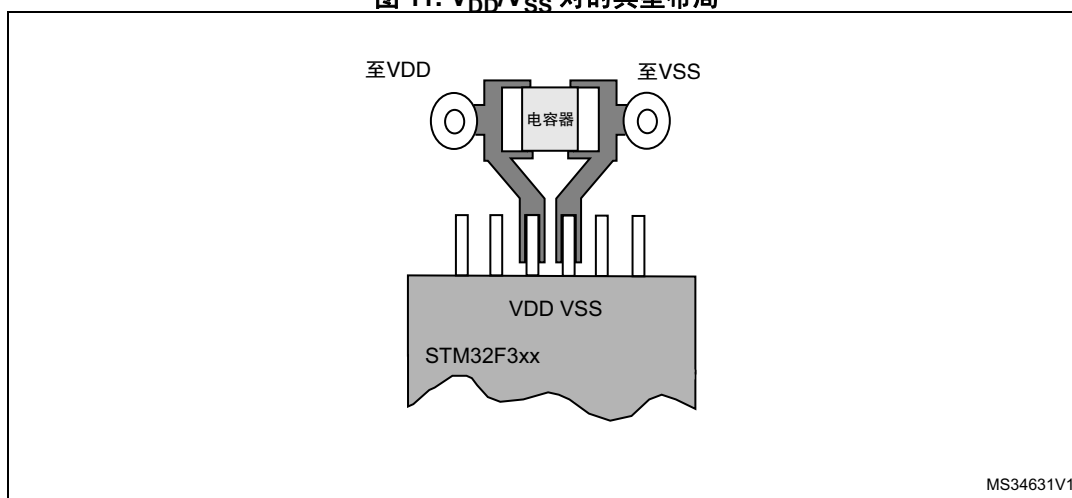
### 5.3 接地和供电（ $V_{SS}$ 、 $V_{DD}$ 、 $V_{SSA}$ 、 $V_{DDA}$ 、 $V_{SSSD}$ 、 $V_{DDSD}$ ）

每个块（噪声、底层敏感、数字等等）都应单独接地，所有接地返回都应为一个点。必须避免出现环，或使环有最小面积。供电应靠近地线实现，以最小化供电环的面积。这是因为供电环的行为类似天线，因此它是 EMI 的主要发送者和接收者。所有无元件的 PCB 区域必须用额外的接地填充，以创造屏蔽（尤其是使用单层 PCB 时）。

### 5.4 去耦

所有供电和接地引脚必须正确连接至供电。这些连接，包括焊盘、走线和孔，都应尽可能低阻。一般来说，可通过加宽走线宽度实现，最好在多层 PCB 中使用专用供电层。

此外，每个供电对都应使用 100 nF 滤波陶瓷电容去耦，并用约 4.7  $\mu$ F 的化学电容连接于 STM32F3xx 器件的供电引脚之间。这些电容需尽可能近地放置在 PCB 下部的适当引脚旁边或之下。典型值为 10 nF 至 100 nF，但精确值取决于应用需要。图 11 显示了  $V_{DD}/V_{SS}$  对的典型布局。

图 11.  $V_{DD}/V_{SS}$  对的典型布局

## 5.5 其它信号

当设计应用时，可仔细研究下述信号以提高 EMC 性能：

- 暂时性干扰会永久影响运行过程的信号（例如中断和握手选通信号，但不是 LED 指令）。对于这些信号，可使用周围接地跟踪、更短的长度、无噪声、附近敏感跟踪（串扰影响）提高 EMC 性能。
- 数字信号：两个逻辑状态必须达到可能的最佳电边缘，建议使用慢施密特触发器以消除寄生状态。
- 噪声信号（时钟等）
- 敏感信号（高阻等）

## 5.6 未使用的 I/O 和特性

所有微控制器都为多应用而设计，通常一个应用不会使用 100%MCU 资源。

为增加 EMC 性能、避免额外的功耗，未使用的时钟、计数器或 I/O 不应浮空。I/O 应连至固定的 0 或 1 逻辑电平，方法是在未使用的 I/O 引脚上使用外部或内部上拉或下拉电阻。或用软件将 GPIO 配置为输出模式。不使用的特性应被冻结或禁用，这也是它们的默认值。

## 6 STM32F3x8 与 STM32F30x/F37x 对比 TBC

前面的几节也适合于 STM32F3x8 器件（其中内部电压调压器被旁路），然而，应考虑 STM32F30x 和 STM32F37x 器件之间的下述差别比较。

- STM32F3x8 设备需要 1.8 V +/- 8% 工作供电电压 (VDD) 和 1.65 V - 3.6 V 模拟供电电压 (VDDA)。嵌入式调压器为 OFF，VDD 直接为调压器输出供电。电压调压器被旁路，微控制器电源必须由标称的 VDD = 1.8 V ± 8% 电压供电。
- 在 STM32F3x8 器件中，PB2 I/O（取决于封装，也可能是 PB1 I/O）不可用，它被 NPOR 功能替代，用于开机复位。为保证适当的开机复位，当施加 VDDA 时，NPOR 引脚必须保持为低。当 VDD 稳定时，可将 NPOR 引脚置为高阻，退出复位状态。NPOR 引脚有内部上拉电阻，会将此输入保持至 VDDA。
- 在 STM32F3x8 器件中，POR、PDR 和 PVD 特性不可用。
- 在 STM32F3x8 器件中，待机模式不可用。停止模式仍然可用，但区分电压调压器在低功耗模式还是运行模式没有意义，因为不使用调压器且 VDD 外部施加于调压器输出。
- 在 STM32F3x8 器件中，USB 不可用。
- 在 STM32F3x8 器件中，自举程序接口不同于内部调压器开启的器件。请参考表 5 以获得详细信息。

下表总结了 F30x/F37x 和 F3x8 之间的区别。

表 5. STM32F30x/F37x 与 STM32F3x8 对比

特性	STM32F30x/F37x	STM32F3x8
数字电源 VDD	2 - 3.6 V	1.8V (+/- 8%)
模拟电源 VDDA	2 - 3.6 V	1.65 - 3.6 V
内部调压器状态	使能。 用于为内部 1.8V 数字电源供电。	禁止。 VDD 直接为调压器供电输出。
POR/PDR/PVD	可用	不可用
待机模式	可用	不可用
VDDA 和 VDDSD <sup>(1)</sup> 监测	可用	不可用
停止模式	有电压调压器，处于低功耗模式或运行模式。	区分电压调压器在低功耗模式还是运行模式没有意义，因为不使用调压器且 VDD 外部施加于调压器输出。
USB	可用	不可用



表 5. STM32F30x/F37x 与 STM32F3x8 对比 (续)

特性	STM32F30x/F37x	STM32F3x8
<b>PB2 GPIO (或 PB1 或 PB7 GPIO, 取决于封装)</b>	可用	不可用。它被 NPOR 功能替代, 用于开机复位。
<b>自举程序 COM 接口</b>	<p>F30xB/xC 和 F37x: USART1 (PA9/PA10)、USART2 (PD5/PD6) 或 USB (PA11/PA12), 通过 DFU (设备固件升级)。</p> <p>F30xx6/x8: USART1 (PA9/PA10)、USART2 (PA2/PA3) 或 USB (PA11/PA12), 通过 DFU (设备固件升级)。</p> <p>F303x6/x8: USART1 (PA9/PA10)、USART2 (PA2/PA3) 或 I2C1 (PB6/PB7)。</p>	<p>F358xx 和 F378xx: USART1 (PA9/PA10)、USART2 (PD5/PD6) 或 I2C1 (PB6/PB7)</p> <p>F328xx: USART1 (PA9/PA10)、USART2 (PA2/PA3) 或 I2C1 (PB6/PB7)</p> <p>F318xx: USART1 (PA9/PA10)、USART2 (PA2/PA3) 或 I2C1 (PB6/PB7) 或 I2C3 (PA8, PB5)</p>

1. 仅 STM32F37x 上的 VDDSD。

## 7 参考设计

### 7.1 说明

[图 12](#) 中显示的参考设计基于 STM32F3xx，它是高度集成的微控制器，运行于 72 MHz，它结合了 Cortex<sup>®</sup>-M4 FPU 32 位 RISC CPU 内核与嵌入式 Flash 和 SRAM 存储器。

使用相应数据手册给出的引脚对应关系，可将针对不同封装的其它任何 STM32F3xx 器件定制此参考设计。

#### 7.1.1 时钟

微控制器使用两个时钟源：

- LSE: X1– 32.768 kHz 晶振，用于嵌入式 RTC
- HSE: X2– 8 MHz 晶振，用于 STM32F3xx 微控制器

请参见 [第 2 章节：时钟第 14 页](#)。

#### 7.1.2 复位

[图 12](#) 中的复位信号低电平有效。复位源包括：

- 复位按钮 (B1)
- 通过连接器 CN1 连接的调试器。

请参见 [第 1.2 章节：复位和供电监控器第 11 页](#)。

#### 7.1.3 自举模式

通过设置开关 SW1 (Boot 0) 和选项位 nBoot1，配置启动选项。请参见 [第 3 章节：自举配置第 17 页](#)。

#### 7.1.4 SWJ 接口

参考设计显示了 STM32F3xx 和标准 JTAG 连接器之间的连接。请参见 [第 4 章节：调试管理第 18 页](#)。

*注：* 建议连接复位引脚，以便能从开发工具复位应用。

#### 7.1.5 电源

请参见 [第 1 章节：电源第 6 页](#)。

#### 7.1.6 引脚排列和引脚说明

请参考 [www.st.com](http://www.st.com) 上相应的 STM32F3xx 数据手册，以获得引脚排列和引脚说明。

## 7.2 元件参考

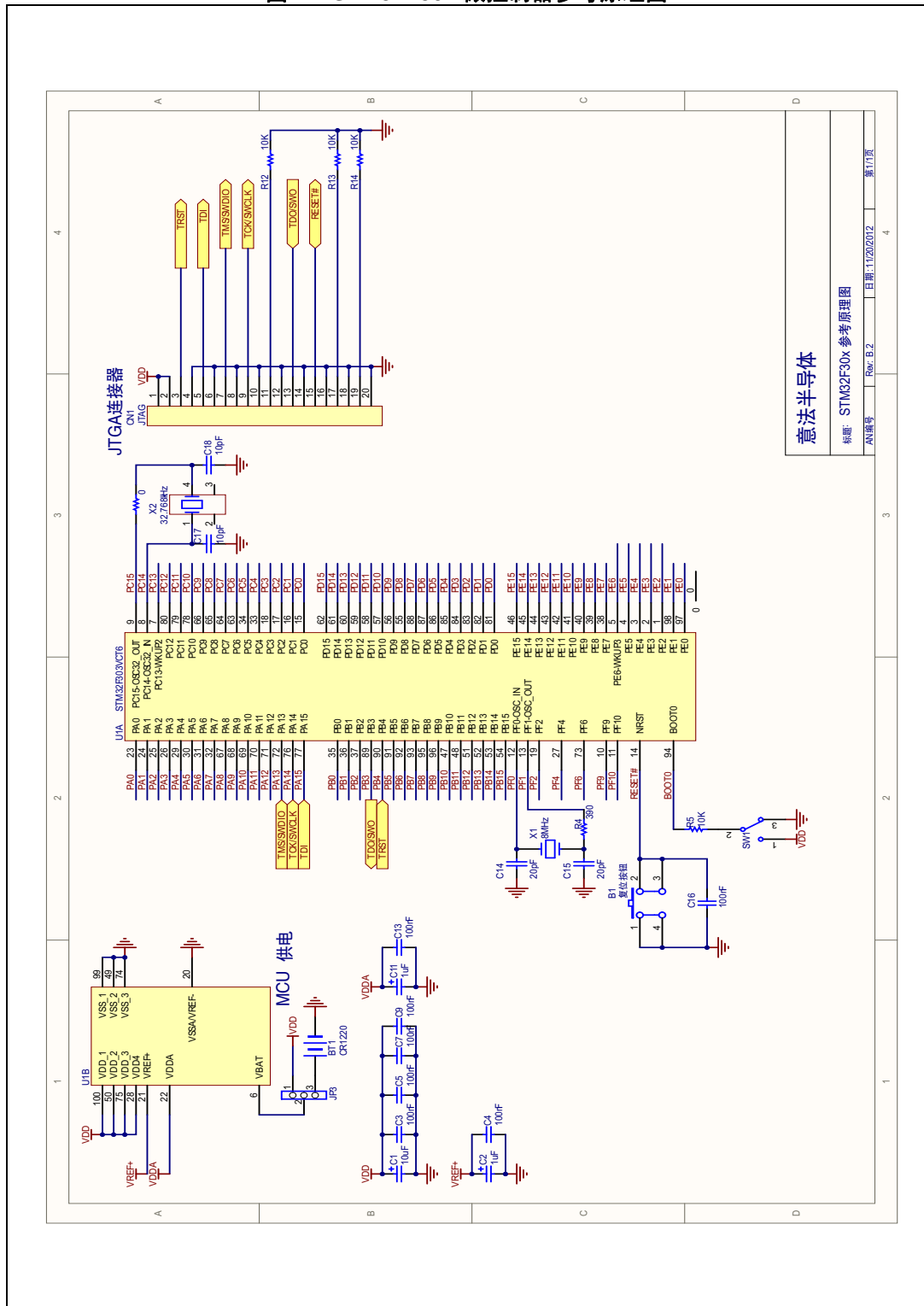
表 6. 必备元件

元件	缩写	数量	注释
微控制器	STM32F303VCT/ STM32F358VCT6 STM32F373VCT6/ STM32F378VCT6	1	100 引脚封装
电容	100 nF	4 代表 STM32F303 3 代表 STM32F373/378	陶瓷电容（去耦电容）
电容	4.7 $\mu$ F	1	陶瓷电容（去耦电容）

表 7. 可选元件

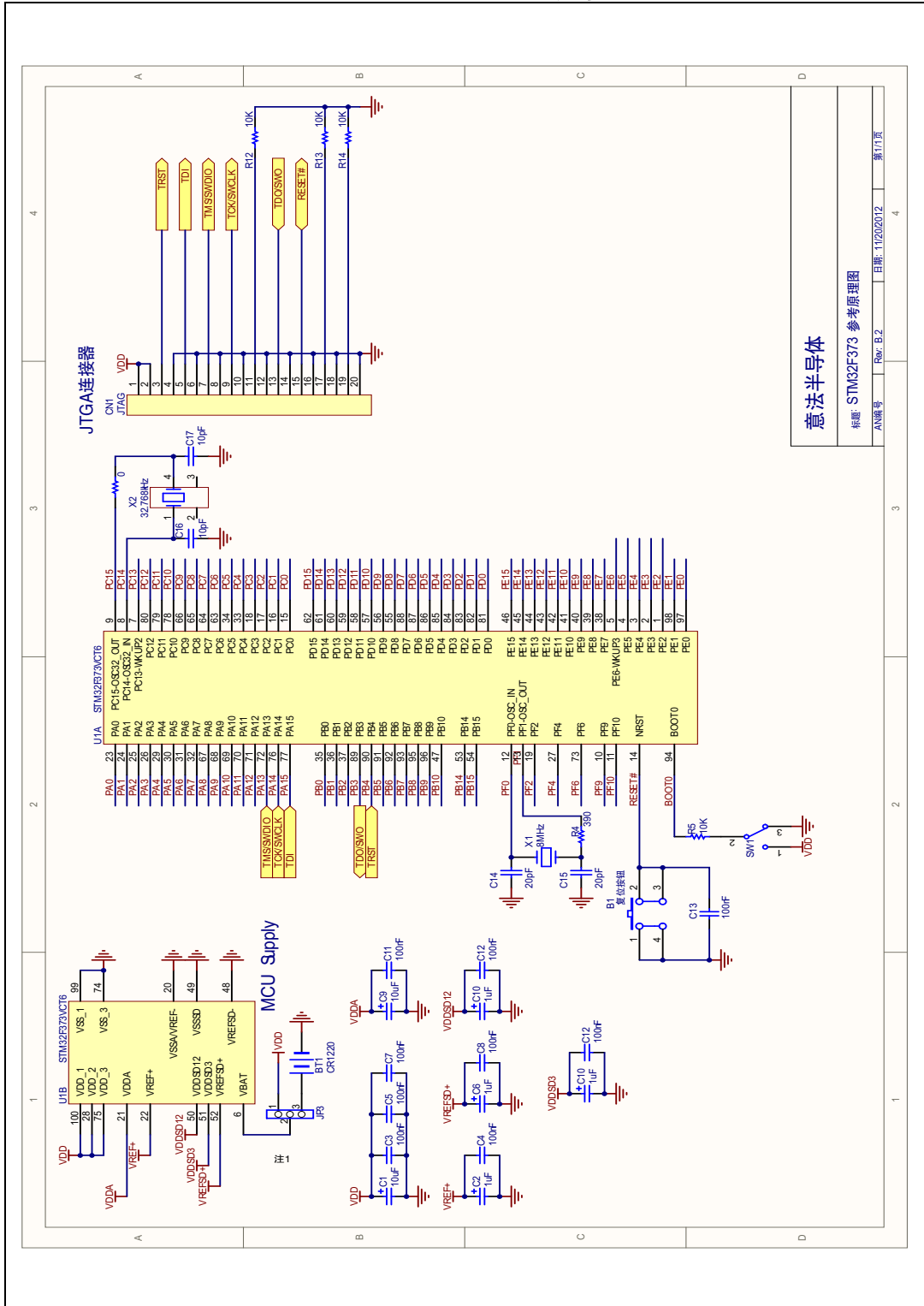
元件	缩写	数量	注释
电阻	390 $\Omega$	1	用于 HSE：值取决于晶振特性。 此值仅为典型举例。
电阻	0 $\Omega$	1	用于 LSE：值取决于晶振特性。 此电阻值仅为典型举例。
电阻	10 K $\Omega$	4	用于 JTAG 和自举模式的上拉和下拉电阻。
电容	100 nF	3	用于 RESET 按钮、VDDA 和 VREF+ 的陶瓷电容。
电容	1 $\mu$ F	2	用于 VDDA 和 VREF+。
电容	100 nF	3	用于 VDDSDx 和 VREFSD+ 的陶瓷电容 (仅 STM32F37x)
电容	1 $\mu$ F	3	用于 VDDSDx 和 VREFSD+ (仅 STM32F37x)
电容	10 pF	2	用于 LSE：值取决于晶振特性。
电容	20 pF	2	用于 HSE：值取决于晶振特性。
石英	8 MHz	1	用于 HSE
石英	32 kHz	1	用于 LSE
嵌入式	3V3	1	若应用中没有使用外部电池，则建议将 V <sub>BAT</sub> 外部连至 V <sub>DD</sub>
开关		1	用于选择正确的自举模式。
按钮	B1	1	用作复位按钮
JTAG 连接器		1	用于 MCU 编程 / 调试

图 12. STM32F30x 微控制器参考原理图



1. 在 STM32F30x 上，若应用中及 STM32F3x8 中没有使用外部电池，则建议将 V<sub>BAT</sub> 外部连至 V<sub>DD</sub>。
2. 在 STM32F3x8 上，GPIO 端口 PB2 由 NPOR 功能代替。

图 13. STM32F37x 微控制器参考原理图



1. 在 STM32F37x 上，若应用中及 STM32F378 中没有使用外部电池，则建议将 V<sub>BAT</sub> 外部连至 V<sub>DD</sub>。
2. 在 STM32F378 上，GPIO 端口 PB2 由 NPOR 功能代替。



意法半导体

标题: STM32F373 参考原理图

AN编号: Rev. B.2 日期: 11/20/2012 第 1/1 页

## 8 修订历史

表 8. 文档修订历史

日期	修订	变更
2012 年 12 月 11 日	1	初始版本。
2014 年 3 月 27 日	2	修改了 <a href="#">前言</a> 。 修改了 <a href="#">表 1</a> 。 增加了 <a href="#">图 3</a> 。 修改了 <a href="#">第 6 章</a> 和 <a href="#">第 7.1 章节</a> 。
2014 年 4 月 14 日	3	删除了对 STM32F301x4、STM32F302x4、STM32F303x4 的引用 (即, 具有 16K 字节闪存的部件编号)。 修改了 <a href="#">第 6 章节</a> 。 修改了 <a href="#">表 5</a> 。

**请仔细阅读：**

中文翻译仅为方便阅读之目的。该翻译也许不是对本文档最新版本的翻译，如有任何不同，以最新版本的英文原版文档为准。

本文中信息的提供仅与 ST 产品有关。意法半导体公司及其子公司（“ST”）保留随时对本文档及本文所述产品与服务进行变更、更正、修改或改进的权利，恕不另行通知。

所有 ST 产品均根据 ST 的销售条款出售。

买方自行负责对本文所述 ST 产品和服务的选择和使用，ST 概不承担与选择或使用本文所述 ST 产品和服务相关的任何责任。

无论之前是否有过任何形式的表示，本文档不以任何方式对任何知识产权进行任何明示或默示的授权或许可。如果本文档任何部分涉及任何第三方产品或服务，不应被视为 ST 授权使用此类第三方产品或服务，或许可其中的任何知识产权，或者被视为涉及以任何方式使用任何此类第三方产品或服务或其中任何知识产权的保证。

除非在 ST 的销售条款中另有说明，否则，ST 对 ST 产品的使用和 / 或销售不做任何明示或默示的保证，包括但不限于有关适销性、适合特定用途（及其依据任何司法管辖区的法律的对应情况），或侵犯任何专利、版权或其他知识产权的默示保证。

意法半导体的产品不得应用于武器。此外，意法半导体产品也不是为下列用途而设计并不得应用于下列用途：（A）对安全性有特别要求的应用，例如，生命支持、主动植入设备或对产品功能安全有要求的系统；（B）航空应用；（C）汽车应用或汽车环境，且 / 或（D）航天应用或航天环境。如果意法半导体产品不是为前述应用设计的，而采购商擅自将其用于前述应用，即使采购商向意法半导体发出了书面通知，采购商仍将独自承担因此而导致的任何风险，意法半导体的产品规格明确指定的汽车、汽车安全或医疗工业领域专用产品除外。根据相关政府主管部门的规定，ESCC、QML 或 JAN 正式认证产品适用于航天应用。

经销的 ST 产品如有不同于本文档中提出的声明和 / 或技术特点的规定，将立即导致 ST 针对本文所述 ST 产品或服务授予的任何保证失效，并且不应以任何形式造成或扩大 ST 的任何责任。

ST 和 ST 徽标是 ST 在各个国家或地区的商标或注册商标。

本文档中的信息取代之前提供的所有信息。

ST 徽标是意法半导体公司的注册商标。其他所有名称是其各自所有者的财产。

© 2014 STMicroelectronics 保留所有权利

意法半导体集团公司

澳大利亚 - 比利时 - 巴西 - 加拿大 - 中国 - 捷克共和国 - 芬兰 - 法国 - 德国 - 中国香港 - 印度 - 以色列 - 意大利 - 日本 - 马来西亚 - 马耳他 - 摩洛哥 - 菲律宾 - 新加坡 - 西班牙 - 瑞典 - 瑞士 - 英国 - 美国

www.st.com

