

简介

本应用笔记适用于系统设计人员，他们需要大体了解开发板功能（如电源、时钟管理、复位控制、自举模式设置和调试管理）的硬件实现。本应用笔记介绍了 STM32F0xxx 产品系列的使用方法，并对开发 STM32F0xxx 应用所需的最低硬件资源做了说明。

STM32F0xxx 系列包含一个子系列 STM32F06xxx，可将后者与主器件 (STM32F05xxx) 区分开来。该子系列绕过了内部调压器，适用于具有板载调压器的应用。

本文档中还包含详细的参考设计电路图，并对主要元件、接口和模式进行了说明。

表 1. 适用的产品

类型	料号
微控制器	STM32F05xxx 系列
	STM32F06xxx 系列

目录

1	STM32F05xxx 系列的电源	4
1.1	电源方案	4
1.1.1	模拟转换器独立电源	5
1.1.2	电池备份	5
1.1.3	调压器	6
1.2	复位和电源监控器	6
1.2.1	上电复位 (POR)/掉电复位 (PDR)	6
1.2.2	系统复位	7
1.2.3	可编程电压检测器 (PVD)	8
2	STM32F06xxx 系列的电源	9
2.1	电源方案	9
2.1.1	模拟转换器独立电源	10
2.1.2	电池备份	10
2.2	复位和电源监控器	11
2.2.1	外部上电复位和掉电复位 (NPOR)	11
2.2.2	系统复位	11
3	时钟	13
3.1	高速外部时钟信号 (HSE) OSC 时钟	13
3.2	LSE 时钟	14
3.3	HSI 时钟	14
3.4	LSI 时钟	15
3.5	ADC 时钟	15
3.6	时钟安全系统 (CSS)	15
4	自举配置	16
5	调试管理	17
5.1	前言	17
5.2	SWD 端口 (串行线调试)	17
5.3	引脚排列和调试端口引脚	17
5.3.1	串行线调试 (SWD) 引脚分配	17

5.3.2	SWD 引脚分配	18
5.3.3	SWD 引脚上的内部上拉和下拉	18
5.3.4	使用标准 SWD 连接器的 SWD 端口连接	18
6	建议	19
6.1	印刷电路板	19
6.2	元件位置	19
6.3	接地和电源 (V_{SS} 、 V_{DD} 、 V_{DDA})	19
6.4	去耦	19
6.5	其他信号	20
6.6	未使用的 I/O 和功能	20
7	参考设计	21
7.1	说明	21
7.1.1	时钟	21
7.1.2	复位	21
7.1.3	STM32F06xxx 上电复位	21
7.1.4	自举模式	21
7.1.5	SWD 接口	21
7.1.6	电源	21
7.1.7	引脚排列和引脚说明	22
7.2	元件参考	22
8	从 STM32F1 到 STM32F0 的硬件移植	25
9	版本历史	26

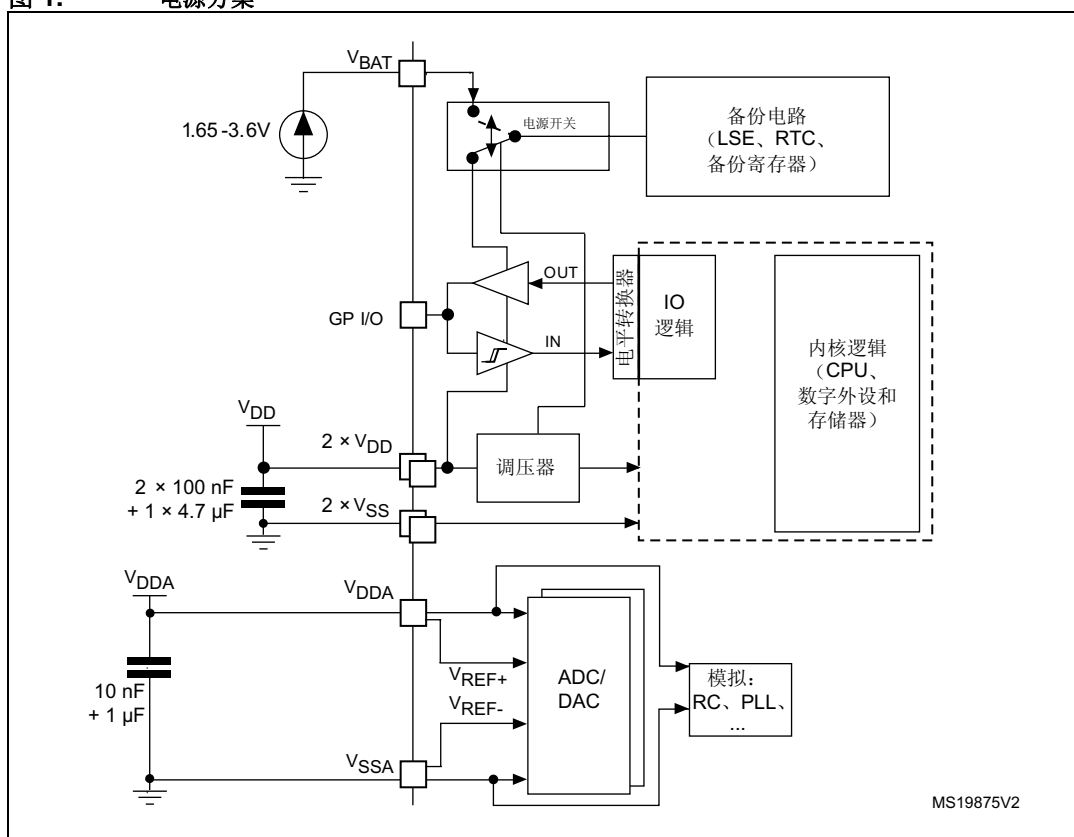
1 STM32F05xxx 系列的电源

1.1 电源方案

电源方案有以下几种：

- $V_{DD} = 2.0\text{ V}$ 到 3.6 V ：I/O 和内部调压器的外部电源。通过 V_{DD} 引脚从外部提供。
- $V_{DDA} = 2.0\text{ V}$ 到 3.6 V ：ADC/DAC、复位模块、HSI、HSI14、LSI 和 PLL 的外部模拟电源（使用 ADC 或 DAC 时，施加到 V_{DDA} 的最小电压为 2.4 V ）。 V_{DDA} 的电压必须先上电，而且必须始终大于或等于 V_{DD} 的电压。
- $V_{BAT} = 1.65\text{ V}$ 到 3.6 V ：当 V_{DD} 不存在时，作为 RTC、LSE 32 kHz 振荡器和备份寄存器的电源（通过电源开关供电）。

图 1. 电源方案



1.1.1 模拟转换器独立电源

为了提高转换精度并增加电源灵活性，模拟域配有独立电源，可以单独滤波并屏蔽 PCB 上的噪声。

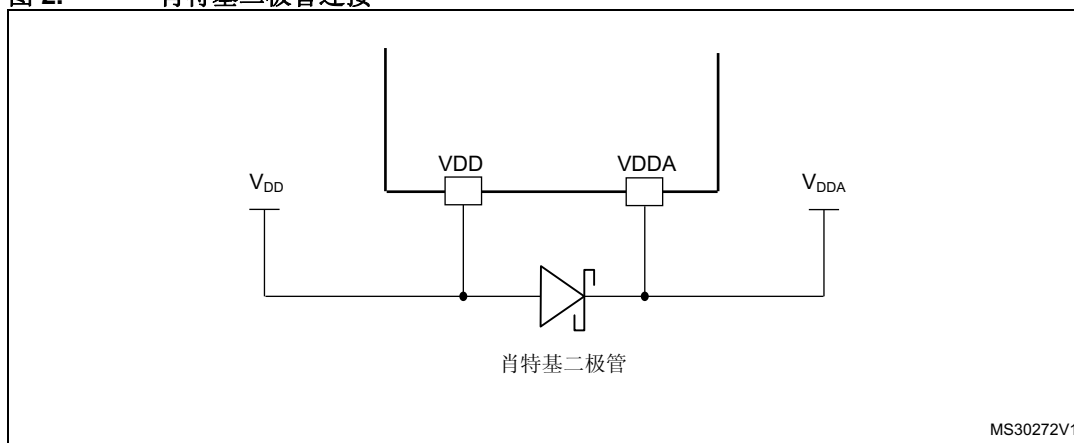
- ADC 和 DAC 电源电压从单独的 V_{DDA} 引脚输入。
- V_{SSA} 引脚提供了独立的电源接地连接。

V_{DDA} 电源电压可等于或大于 V_{DD} 。这使得 V_{DD} 即使保持较低值时，仍可发挥模拟模块的全部性能。

如果使用单一电源， V_{DDA} 必须从外部连接到 V_{DD} 。建议使用外部滤波电路，以确保 V_{DDA} 没有噪声。

如果 V_{DDA} 与 V_{DD} 不同，则 V_{DDA} 必须始终大于或等于 V_{DD} 。为了在上电/掉电期间将 V_{DDA} 和 V_{DD} 之间可能的差值稳定在安全范围内，可以在 V_{DD} 和 V_{DDA} 之间使用一个外部肖特基二极管。有关允许的最大差异值，请参见数据手册。

图 2. 肖特基二极管连接



1.1.2 电池备份

要在 V_{DD} 关闭后保留备份寄存器的内容，可以将 V_{BAT} 引脚连接到可选备用电压，由电池或其他电源供电。

V_{BAT} 引脚也为 RTC 单元供电，使得即使在主数字电源 (V_{DD}) 关闭时 RTC 仍可工作。

V_{BAT} 电源的开关由复位模块中内置的掉电复位 (PDR) 电路进行控制。

如果应用中未使用任何外接电池，建议将 V_{BAT} 从外部连接到 V_{DD} 。

1.1.3 调压器

调压器在复位后始终处于使能状态。

根据应用模式的不同，可采用如下三种不同的模式工作：

- 运行模式：调压器为 1.8 V 域（内核、存储器和数字外设）提供全功率
- 停机模式：调压器为 1.8 V 域提供低功率，保留寄存器和 SRAM 中的内容

- 待机模式：调压器关闭。除待机电路和备份域外，寄存器和 SRAM 的内容都将丢失。这其中包含以下功能，可通过对单独的控制位进行编程来选择这些功能：
 - 独立看门狗 (IWDG)：IWDG 通过写入其密钥寄存器或使用硬件选项来启动。而且一旦启动便无法停止，除非复位。
 - 实时时钟 (RTC)：通过备份域控制寄存器 (RCC_BDCR) 中的 RTCEN 位进行配置。
 - 内部低速振荡器 (LSI)：通过控制/状态寄存器 (RCC_BDCR) 中的 LSION 位进行配置。
 - 32.768 kHz 外部振荡器 (LSE)：通过备份域控制寄存器 (RCC_BDCR) 中的 LSEON 位进行配置。

1.2 复位和电源监控器

1.2.1 上电复位 (POR)/掉电复位 (PDR)

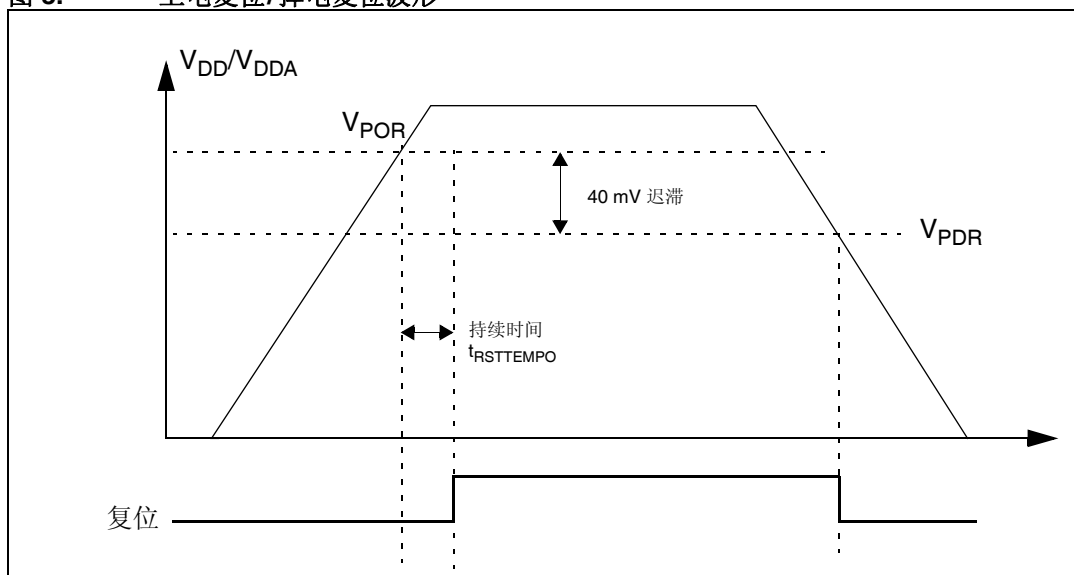
本器件内部集成有上电复位 (POR)/掉电复位 (PDR) 电路，这些电路始终处于活动状态，可确保器件在电压高于阈值 2 V 时正常工作。

当受监视的电源电压低于指定阈值 $V_{POR/PDR}$ 时，器件保持复位模式，无需外部复位电路。

- POR 仅监视电源电压 V_{DD} 。在启动阶段， V_{DDA} 必须首先供电，而且必须大于或等于 V_{DD} 。
- PDR 同时监视电源电压 V_{DD} 和 V_{DDA} 。但是，如果应用设计可确保 V_{DDA} 大于或等于 V_{DD} ，可以禁止 V_{DDA} 电源监视器（通过对专用选项位 $V_{DDA_MONITOR}$ 进行编程），以降低功耗。

有关上电/掉电复位阈值的详细信息，请参见数据手册中的电气特性部分。

图 3. 上电复位/掉电复位波形



1.2.2 系统复位

除时钟控制器 CSR 寄存器中的复位标志和备份域中的寄存器外，系统复位将所有寄存器都设为其复位值。只要发生任意以下事件，就会产生系统复位：

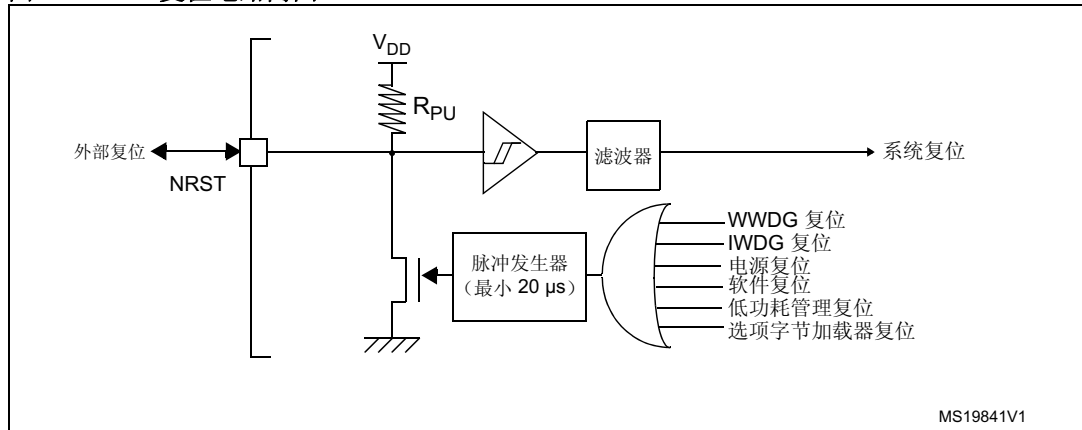
1. NRST 引脚低电平（外部复位）。
2. 系统窗口看门狗事件（WWDG 复位）。
3. 独立看门狗事件（IWDG 复位）。
4. 软件复位（SW 复位）。
5. 低功耗管理复位。
6. 选项字节加载器复位。
7. 电源复位。

检查控制/状态寄存器 RCC_CSR 中的复位标志即可确定复位源。

RESET 服务程序向量在存储器映射中固定在地址 0x0000_0004 之下。

提供给器件的系统复位信号在 NRST 引脚上输出。脉冲发生器确保每个内部复位源的复位脉冲持续时间最少为 20 μ s。对于外部复位，在 NRST 引脚处于低电平时产生复位。

图 4. 复位电路简图



软件复位

要强制对器件进行软件复位，必须设置 Cortex-M0 应用中断和复位控制寄存器中的 SYSRESETREG 位。有关详细信息，请参见《Cortex™-M0 技术参考手册》。

低功耗管理复位

产生低功耗管理复位的方式有两种：

1. 进入待机模式：可通过复位用户选项字节中的 nRST_STDBY 位来使能此类复位。在这种情况下，只要成功执行待机模式进入序列，器件就会进行复位，而非进入待机模式。
2. 进入停机模式：可通过复位用户选项字节中的 nRST_STOP 位来使能此类复位。启用该位后，只要成功执行停机模式进入序列，器件就将进行复位，而非进入停机模式。

选项字节加载器复位

当在 FLASH_CR 寄存器中设置 OBL_LAUNCH（位 13）时会产生选项字节加载器复位。该位通过软件来启动选项字节加载。

电源复位

除备份域外，电源复位会将所有寄存器设为其复位值。只要发生任意以下事件，就会产生电源复位。

1. 上电复位/掉电复位（POR/PDR 复位）。
2. 退出待机模式。

备份域复位

备份域复位仅影响备份域。只要发生任意以下事件，就会产生备份域复位。

1. 软件复位，通过设置备份域控制寄存器 (RCC_BDCR) 中的 BDRST 位触发。
2. VBAT 处于低电压并断开情况下，VDD 上电。
3. RTC 入侵检测事件。
4. 将读保护从级别 1 更改为级别 0。

1.2.3 可编程电压检测器 (PVD)

可以使用 PVD 监视 V_{DD} 电源，将其与电源控制寄存器 (PWR_CR) 中 PLS[2:0] 位所选的阈值进行比较。

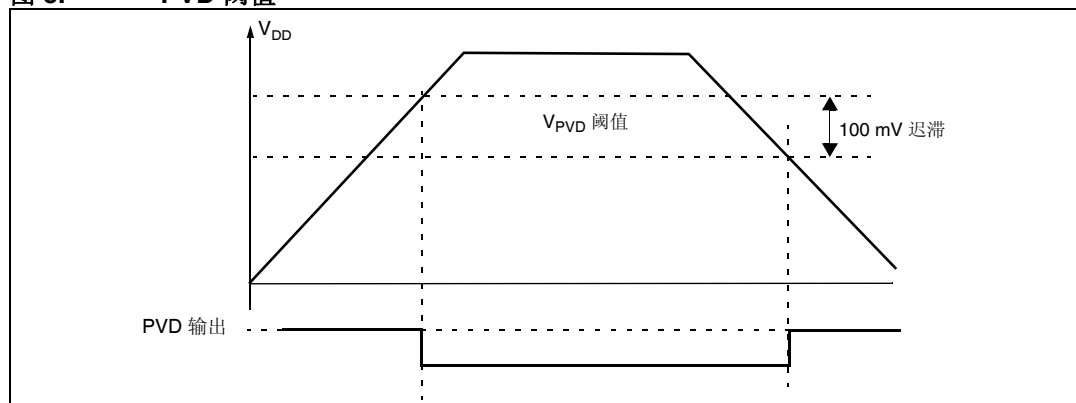
通过设置 PVDE 位来使能 PVD。

使能后，该功能的典型电流消耗为 0.15 μA 。

电源控制/状态寄存器 (PWR_CSR) 中提供了 PVDO 标志，用于指示 V_{DD} 是大于还是小于 PVD 阈值。

- 该事件内部连接到 EXTI 线 16，如果通过 EXTI 寄存器使能，则可能会发生中断。
- 当 V_{DD} 降至 PVD 阈值以下以及/或者当 V_{DD} 升至 PVD 阈值以上时，可能会发生 PVD 输出中断，具体取决于 EXTI 线 16 上升沿/下降沿的配置。例如，服务程序可执行紧急关闭任务。

图 5. PVD 阈值



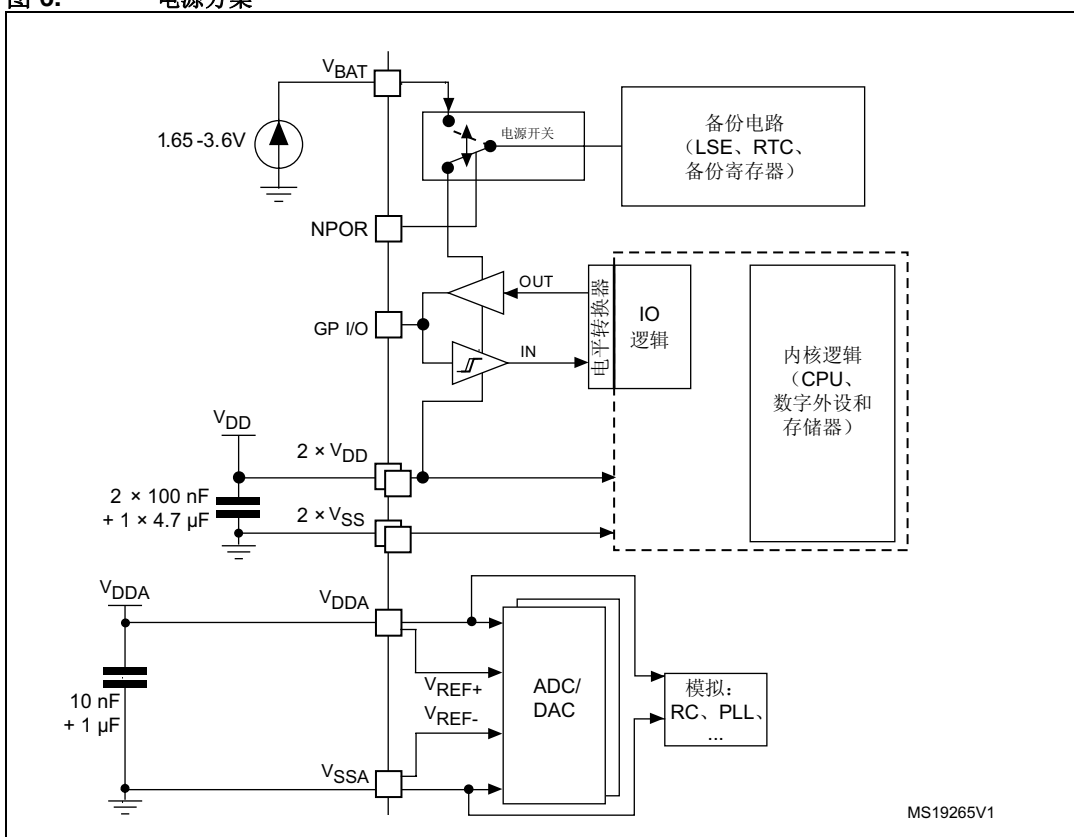
2 STM32F06xxx 系列的电源

2.1 电源方案

电源方案有以下几种：

- $V_{DD} = 1.8\text{ V} \pm 8\%$ ：I/O 的外部电源。
通过 V_{DD} 引脚从外部提供。
- $V_{DDA} = 1.65\text{ V}$ 到 3.6 V ：ADC/DAC、复位模块、HSI、HSI14、LSI 和 PLL 的外部模拟电源（使用 ADC 或 DAC 时，施加到 V_{DDA} 的最小电压为 2.4 V ）。
 V_{DDA} 的电压必须先上电，而且必须始终大于或等于 V_{DD} 的电压。
- $V_{BAT} = 1.65\text{ V}$ 到 3.6 V ：当 V_{DD} 不存在时，作为 RTC、LSE 32 kHz 振荡器和备份寄存器的电源（通过电源开关供电）。

图 6. 电源方案



2.1.1 模拟转换器独立电源

为了提高转换精度并增加电源灵活性，模拟域配有独立电源，可以单独滤波并屏蔽 PCB 上的噪声。

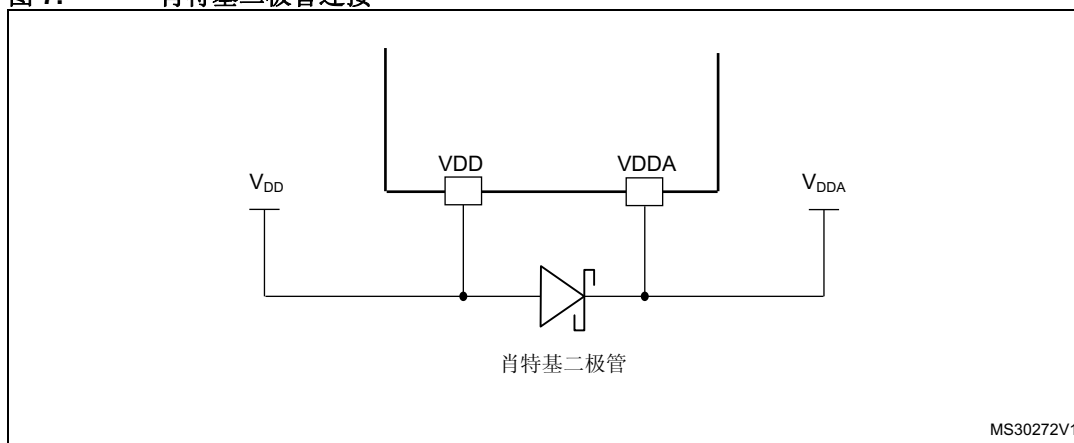
- ADC 和 DAC 电源电压从单独的 VDDA 引脚输入。
- VSSA 引脚提供了独立的电源接地连接。

V_{D_{DDA}} 电源电压可等于或大于 V_{DD}。这使得 V_{DD} 即使保持较低值时，仍可实现完整的模拟性能。

如果使用单一电源，V_{D_{DDA}} 必须从外部连接到 V_{DD}。建议使用外部滤波电路，以确保 V_{D_{DDA}} 没有噪声。

如果 V_{D_{DDA}} 与 V_{DD} 不同，则 V_{D_{DDA}} 必须始终大于或等于 V_{DD}。为了在上电/掉电期间将 V_{D_{DDA}} 和 V_{DD} 之间可能的差值稳定在安全范围内，可以在 V_{DD} 和 V_{D_{DDA}} 之间使用一个外部肖特基二极管。有关允许的最大差异值，请参见数据手册。

图 7. 肖特基二极管连接



2.1.2 电池备份

要在 V_{DD} 关闭后保留备份寄存器的内容，可以将 V_{BAT} 引脚连接到可选备用电压，由电池或其他电源供电。

V_{BAT} 引脚也为 RTC 单元供电，使得即使在主数字电源 (V_{DD}) 关闭时 RTC 仍可工作。

V_{BAT} 电源的开关由 NPOR 引脚（负上电复位）控制。

如果应用中未使用任何外接电池，建议将 V_{BAT} 从外部连接到 V_{DD}。

2.2 复位和电源监控器

2.2.1 外部上电复位和掉电复位 (NPOR)

为了确保器件能正常上电复位和掉电复位，NPOR 引脚必须保持低电平，直至 V_{DD} 处于稳定状态或电源关闭。在 V_{DD} 稳定后，将 NPOR 引脚置为高阻抗即可退出复位状态。NPOR 引脚有一个内部上拉电阻与 V_{DDA} 相连。

2.2.2 系统复位

除时钟控制器 CSR 寄存器中的复位标志和备份域中的寄存器外，系统复位将所有寄存器都设为其复位值。只要发生任意以下事件，就会产生系统复位：

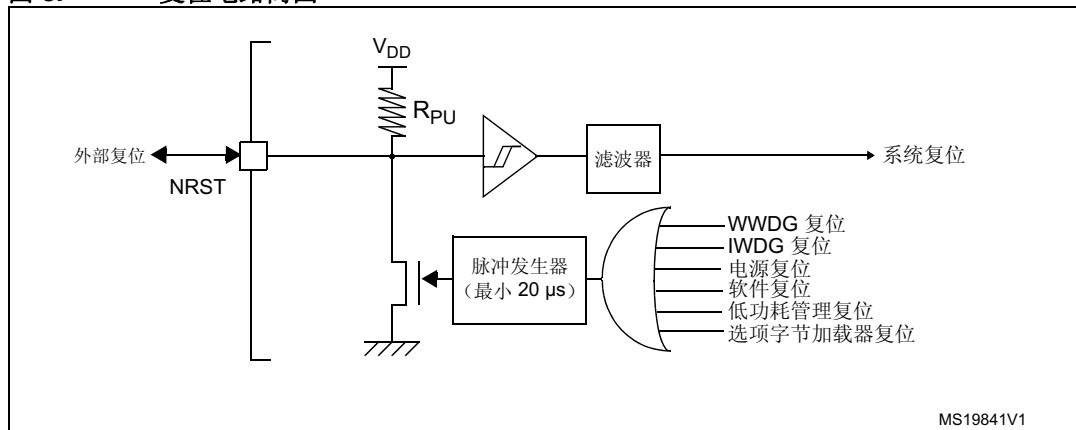
1. NRST 引脚低电平（外部复位）。
2. 系统窗口看门狗事件（WWDG 复位）。
3. 独立看门狗事件（IWDG 复位）。
4. 软件复位（SW 复位）。
5. 低功耗管理复位。
6. 选项字节加载器复位。
7. 电源复位。

检查控制/状态寄存器 RCC_CSR 中的复位标志即可确定复位源。

RESET 服务程序向量在存储器映射中固定在地址 0x0000_0004 之下。

提供给器件的系统复位信号在 NRST 引脚上输出。脉冲发生器确保每个内部复位源的复位脉冲持续时间最少为 20 μ s。对于外部复位，在 NRST 引脚处于低电平时产生复位。

图 8. 复位电路简图



软件复位

要强制对器件进行软件复位，必须设置 Cortex-M0 应用中断和复位控制寄存器中的 SYSRESETREG 位。有关详细信息，请参见《ARMv6-M 架构参考手册》。

低功耗管理复位

进入待机模式即可产生低功耗管理复位。可通过复位用户选项字节中的 `nRST_STOP` 位来使能此类复位。启用该位后，只要成功执行待机模式进入序列，器件就将进行复位，而非进入待机模式。

选项字节加载器复位

当在 `FLASH_CR` 寄存器中设置 `OBL_LAUNCH`（位 13）时会产生选项字节加载器复位。该位通过软件来启动选项字节加载。

电源复位

除备份域外，电源复位会将所有寄存器设为其复位值。当 `NPOR` 引脚为低电平时会产生该复位。有关 `NPOR` 的详细信息，请务必参见 [第 2.2.1 节：外部上电复位和掉电复位 \(NPOR\)](#)。

备份域复位

备份域复位仅影响备份域。只要发生任意以下事件，就会产生备份域复位。

1. 软件复位，通过设置备份域控制寄存器 (`RCC_BDCR`) 中的 `BDRST` 位触发。
2. `VBAT` 处于低电压并断开情况下，`VDD` 上电。
3. `RTC` 入侵检测事件。
4. 将读保护从级别 1 更改为级别 0。

3 时钟

可以使用以下三种不同的时钟源来驱动系统时钟 (SYSCLK):

- HSI 8 MHz RC 振荡器时钟 (高速内部时钟信号)
- HSE 振荡器时钟 (高速外部时钟信号)
- PLL 时钟

器件具有其他从属时钟源:

- 40 kHz 低速内部 RC (LSI RC), 该 RC 用于驱动独立看门狗, 也可选择用其来驱动用于从停机/待机模式自动唤醒的 RTC。
- 32.768 kHz 低速外部晶振 (LSE 晶振), 用于选择性驱动 RTC。
- 专门用于 ADC 的 HSI 14MHz RC 振荡器 (HSI14)。

对于每个时钟源来说, 在未使用时都可单独进行开关操作, 以降低功耗。有关时钟树的说明, 请参见 STM32F0xxx 参考手册 (RM0091)。

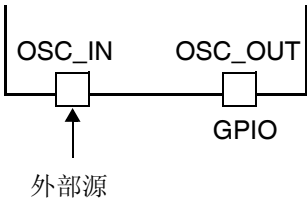
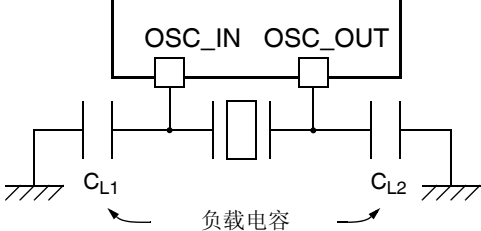
3.1 高速外部时钟信号 (HSE) OSC 时钟

高速外部时钟信号可由两个可能的时钟源生成:

- HSE 外部晶振/陶瓷谐振器
- HSE 用户外部时钟

谐振器和负载电容必须尽可能地靠近振荡器的引脚, 以尽量减小输出失真和起振稳定时间。负载电容值必须根据所选振荡器的不同做适当调整。

图 9. HSE/ LSE 时钟源

时钟源	硬件配置
外部时钟	
晶振/陶瓷谐振器	

外部晶振/陶瓷谐振器 (HSE 晶振)

4 MHz 到 32 MHz 外部谐振器的优势是可以产生精度非常高的主时钟。有关硬件配置的详细信息，请参见 *数据手册* 的电气特性部分。

时钟控制寄存器 (RCC_CR) 中的 HSERDY 标志指示 HSE 振荡器是否稳定。在启动时，直到硬件将此位置 1 后，此时钟才会生效。如果在时钟中断寄存器 (RCC_CIR) 中使能，则可生成中断。

使用时钟控制寄存器 (RCC_CR) 中的 HSEON 位可以打开和关闭 HSE 晶振。

外部源 (HSE 旁路)

在此模式下，必须提供外部时钟源，该时钟源的频率可以高达 32 MHz。通过将 *时钟控制寄存器 (RCC_CR)* 中的 HSEBYP 位和 HSEON 位置 1 来选择此模式。必须使用占空比约为 40-60% (具体取决于频率) 的外部时钟信号 (方波、正弦波或三角波) 来驱动 OSC_IN 引脚，同时可将 OSC_OUT 引脚用作 GPIO。请参见 [图 9](#)。

3.2 LSE 时钟

LSE 晶振是 32.768 kHz 低速外部晶振或陶瓷谐振器。可作为实时时钟外设 (RTC) 的时钟源来提供时钟/日历或其它定时功能，具有功耗低且精度高的优点。

使用备份域控制寄存器 (RCC_BDCR) 中的 LSEON 位来打开和关闭 LSE 晶振。运行期间可以使用备份域控制寄存器 (RCC_BDCR) 中的 LSEDRV[1:0] 位改变晶振驱动力，以在稳健性和短启动时间与低功耗之间取得最佳平衡。

备份域控制寄存器 (RCC_BDCR) 中的 LSERDY 标志指示 LSE 晶振是否稳定。在启动时，直到硬件将此位置 1 后，LSE 晶振输出时钟信号才会生效。如果在时钟中断寄存器 (RCC_CIR) 中使能，则可生成中断。

外部源 (LSE 旁路)

在此模式下，必须提供外部时钟源，该时钟源的频率可以高达 1 MHz。通过将备份域控制寄存器 (RCC_BDCR) 中的 LSEBYP 位和 LSEON 位置 1 来选择此模式。必须使用外部时钟信号 (方波、正弦波或三角波) 来驱动 OSC32_IN 引脚，同时可将 OSC32_OUT 引脚用作 GPIO。请参见 [图 9](#)。

3.3 HSI 时钟

HSI 时钟信号由内部 8 MHz RC 振荡器生成，可以直接用作系统时钟，也可经 2 分频后用作 PLL 输入。HSI RC 振荡器的优点是时钟源的成本较低 (无需使用外部组件)。此外，其启动速度也要比 HSE 晶振快，但即使校准后，其精度也不及外部晶振或陶瓷谐振器。

校准

因为生产工艺不同，不同芯片的 RC 振荡器频率也不同，因此 ST 会对每个器件进行出厂校准，以期达到 $T_A = 25^\circ\text{C}$ 时 1% 的精度。

此外，还可以将 HSI 时钟发送至 MCO 多路复用器。然后可将该时钟输入至定时器 14，从而允许用户对振荡器进行校准。

3.4 LSI 时钟

LSI RC 可作为低功耗时钟源在停机和待机模式下保持运行，供独立看门狗 (IWDG) 和 RTC 使用。时钟频率为 40 kHz 左右（在 30 kHz 和 60 kHz 之间）。有关详细信息，请参见数据手册的电气特性部分。

3.5 ADC 时钟

ADC 时钟要么为专用 14 MHz RC 振荡器 (HSI14)，要么为 2 分频或 4 分频的 PCLK。如果 ADC 时钟衍生自 PCLK，则其相位与 PCLK 相反。14 MHz RC 振荡器可以使用软件配置为通过 ADC 接口进行打开/关闭（“自动关闭模式”），或者配置为始终处于使能状态。

3.6 时钟安全系统 (CSS)

时钟安全系统可通过软件激活。激活后，时钟监测器将在 HSE 振荡器启动延迟后使能，并在此振荡器停止时禁止。

- 如果检测到 HSE 振荡器时钟存在故障，振荡器会自动被禁止。
 - 将向 TIM1 高级控制定时器和 TIM15、TIM16 以及 TIM17 通用定时器的断路输入发送时钟故障事件。
 - 生成一个中断以通知软件存在此故障（时钟安全系统中断 CSSI），并允许 MCU 执行恢复操作。
 - CSSI 与 Cortex™-M0 NMI（非可屏蔽中断）异常向量相链接。
- 如果直接或间接使用 HSE 振荡器作为系统时钟（间接是指该振荡器用作 PLL 输入时钟，而 PLL 时钟用作系统时钟），检测到故障会导致系统时钟切换到 HSI 振荡器，而且会禁止外部 HSE 振荡器。如果 HSE 振荡器时钟（无论是否分频）是充当系统时钟的 PLL 的时钟输入，则在发生故障时，PLL 也会被禁止。

有关详细信息，请参阅 STMicroelectronics 网站 www.st.com 上的 STM32F0xxx (RM0091) 参考手册。

4 自举配置

在 STM32F0xxx 中，可通过 BOOT0 引脚和 nBOOT1 选项位选择三种不同的自举模式，如表 2 所示。

表 2. 自举模式

自举模式选择		自举模式	别名使用
BOOT1 ⁽¹⁾	BOOT0		
x	0	主 Flash	选择主 Flash 作为自举空间
0	1	系统存储器	选择系统存储器作为自举空间
1	1	嵌入式 SRAM	选择嵌入式 SRAM 作为自举空间

1. 此 BOOT1 值与 nBOOT1 选项位的值相反。

复位后，在 SYSCLK 的第 4 个上升沿锁存 BOOT0 引脚和 nBOOT1 位的值。用户必须设置 nBOOT1 和 BOOT0 才能选择所需的自举模式。

从待机模式退出时，还会对 BOOT0 引脚和 nBOOT1 位重新采样。因此，处于待机模式时，其必须保持所需的自举模式配置。在启动延迟过后，CPU 将从地址 0x0000 0000 获取栈顶值，然后从自举存储器的地址 0x0000 0004 处开始执行代码。

根据所选自举模式的不同，可访问主 Flash、系统存储器或 SRAM，如下所示：

- 从主 Flash 自举：主 Flash 在自举存储空间 (0x0000 0000) 中使用别名，但仍可从其原来的存储空间 (0x0800 0000) 进行访问。换言之，Flash 内容可以从地址 0x0000 0000 或 0x0800 0000 开始进行访问。
- 从系统存储器自举：系统存储器在自举存储空间 (0x0000 0000) 中使用别名，但仍可从其原来的存储空间 (0x1FFF EC00) 进行访问。
- 从嵌入式 SRAM 自举：SRAM 在自举存储空间 (0x0000 0000) 中使用别名，但仍可从其原来的存储空间 (0x2000 0000) 进行访问。

嵌入式自举程序

嵌入式自举程序位于系统存储器中，由 ST 在生产期间对其进行编程。该自举程序使用以下其中一个串行接口对 Flash 重新编程：

- USART1 (PA9/PA10)
- USART2 (PA14/PA15)

有关详细信息，请参见应用笔记 AN2606。

5 调试管理

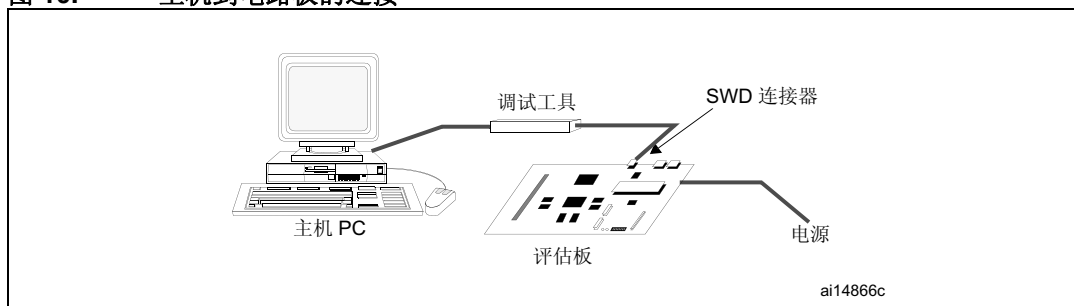
5.1 前言

主机/目标接口是可将主机与应用电路板相连的硬件设备。该接口由以下三部分组成：硬件调试工具、SWD 连接器以及将主机连接到调试工具的电缆。

图 10 显示了主机与评估板 (STM320518_EVAL) 之间的接线情况。

STM320518_EVAL 评估板嵌入了调试工具 (ST-LINK)。因此，可以直接通过 USB 线连接到 PC。

图 10. 主机到电路板的连接



5.2 SWD 端口（串行线调试）

STM32F0xxx 内核集成了串行线调试端口 (SW-DP)。该端口是 ARM® 标准 CoreSight™ 调试端口，配有一个 2 引脚（时钟 + 数据）接口，用于连接调试访问端口。

5.3 引脚排列和调试端口引脚

不同的 STM32F0xxx MCU 封装中的可用引脚数也不同。

5.3.1 串行线调试 (SWD) 引脚分配

所有 STM32F0 封装的 SWD 引脚分配均相同。

表 3. SWD 端口引脚

SWD 引脚名称	SWD 端口		引脚分配
	类型	调试分配	
SWDIO	I/O	串行线数据输入/输出	PA13
SWCLK	I	串行线时钟	PA14

5.3.2 SWD 引脚分配

复位 (SYSRESETn 或 PORESETn) 后, 会将这些引脚指定为专用引脚, 可供运行调试软件的主机立即使用。

但是, MCU 可以禁止 SWD, 会释放相关的引脚, 以便作为通用 I/O (GPIO) 使用。有关如何禁止 SWD 端口的详细信息, 请参见 I/O 引脚复用功能多路复用器和映射的 RM0091 部分。

5.3.3 SWD 引脚上的内部上拉和下拉

一旦用户软件释放了 SWD I/O, GPIO 控制器便会接管这些引脚。GPIO 控制寄存器的复位状态会将 I/O 置于等效状态:

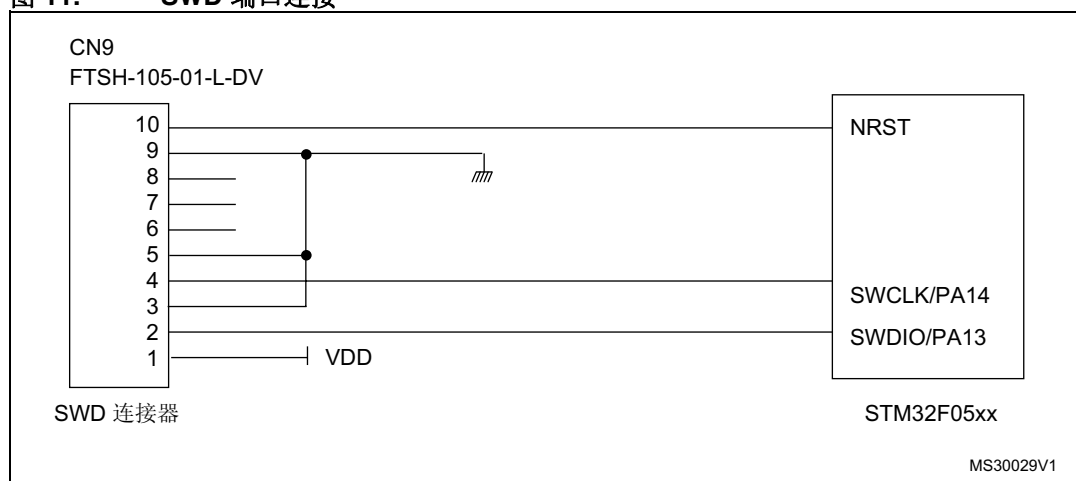
- SWDIO: 复用功能上拉
- SWCLK: 复用功能下拉

由于带有内置的上拉电阻和下拉电阻, 因此无需添加外部电阻。

5.3.4 使用标准 SWD 连接器的 SWD 端口连接

图 11 显示了 STM32F0xxx 和标准 SWD 连接器之间的接线情况。

图 11. SWD 端口连接



6 建议

6.1 印刷电路板

出于技术方面的原因，最好使用多层的印刷电路板 (PCB)，其中单独有一层专用于接地 (V_{SS})，另一层专用于连接 V_{DD} 电源。这样可获得良好的去耦效果和屏蔽效果。对于许多应用，出于节省成本方面的考虑而不能使用此类电路板。在这种情况下，主要要求是确保接地结构和电源结构良好。

6.2 元件位置

PCB 的初始布线必须包括以下几个单独的电路：

- 高电流电路
- 低电压电路
- 数字元件电路
- 根据其 EMI 影响而独立布线的电路。这样可降低 PCB 上的交叉耦合，以免引入噪声。

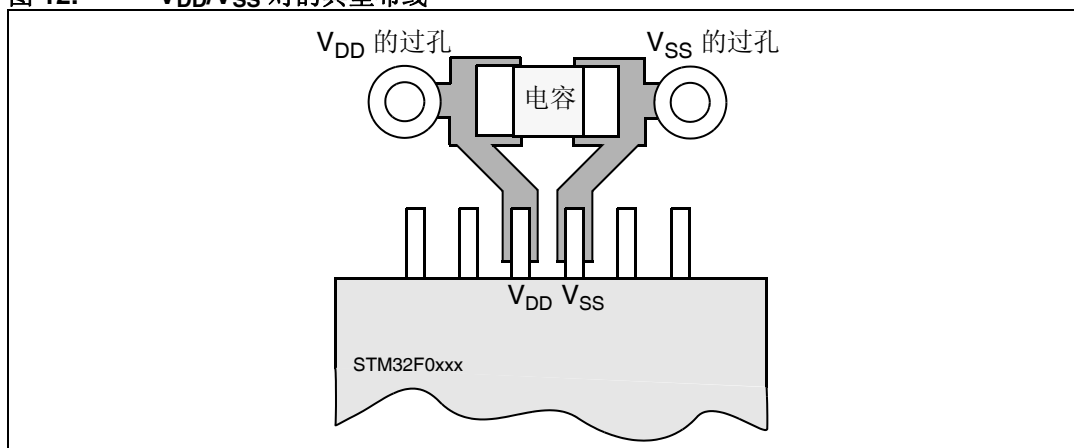
6.3 接地和电源 (V_{SS} 、 V_{DD} 、 V_{DDA})

每个模块（噪声、低电平敏感、数字等）都应单独接地，并且所有接地回路都应连接至单个点。必须避免形成环路或将其影响区域最小化。为了提高模拟性能，必须对 V_{DD} 和 V_{DDA} 使用单独的电源，并在布线时使去耦电容尽量靠近器件。电源应靠近接地线，使电源环路的区域最小。这是因为电源环路实际上可以当做天线，因此是 EMI 的主要发射器和接收器。所有不带元件的 PCB 区域必须布满额外的接地线，以达到一定的屏蔽效果（特别是在使用单层 PCB 时）。

6.4 去耦

所有电源和接地引脚都必须正确连接到电源。这些接线（包括焊盘、走线和过孔）的阻抗都必须尽可能的低。这通常可以通过增大走线宽度来实现，最好是使用多层 PCB 中的专用电源层。

此外，每个电源对都应使用在 STM32F0xxx 器件的电源引脚之间连接的 100nF 滤波陶瓷电容和约为 4.7 μ F 的电解电容进行去耦。这些电容需要尽可能置于 PCB 底面相应引脚附近或下方。电容的典型值为 10 nF 到 100 nF，但具体值取决于应用需求。[图 12](#) 显示了 V_{DD}/V_{SS} 对的典型布线。

图 12. V_{DD}/V_{SS} 对的典型布线

6.5 其他信号

在设计应用时，通过深入研究以下几点可以提升 EMC 性能：

- 临时干扰会永久影响其运行过程的信号（例如中断和握手选通信号，但不包括 LED 指令）。对于这些信号，可以采用在周围布置接地迹线、缩短长度以及避免附近出现噪声和敏感迹线（串扰效应）等方式来提升 EMC 性能。
- 数字信号：这两种逻辑状态必须达到最佳电气裕量，建议使用施密特触发器来消除寄生状态。
- 噪声信号（时钟等）。
- 敏感信号（高阻抗等）。

6.6 未使用的 I/O 和功能

所有微控制器均可用于多种应用，通常某个特定应用不会占用 100% 的 MCU 资源。

要提高 EMC 性能并避免产生额外的功耗，不应将未使用的时钟、计数器或 I/O 放任不管。I/O 应通过未使用的 I/O 引脚上的外部或内部上拉或下拉电阻连接到固定的逻辑电平 0 或 1。另一种方法是使用软件将 GPIO 配置为输出模式。应冻结或禁止未使用的功能，默认情况下会如此。

7 参考设计

7.1 说明

[图 13](#) 中所示的参考设计使用了 STM32F051，这是一款高度集成的微控制器，运行频率为 48 MHz，不仅具有 Cortex™-M0 32 位 RISC CPU 内核，还配有 64 KB 的嵌入式 Flash 和 8 KB 的 SRAM。

有关 STM32F061 参考设计的信息，请参见 [图 14](#)。这些参考设计经过适当的修改后可用于任何其他不同封装的 STM32F05xx 或 STM32F06xx 器件，使用的对应引脚已在相应的数据手册中进行了说明。

7.1.1 时钟

微控制器使用两个时钟源：

- HSE：X1– 8 MHz 晶振，适用于 STM32F0xxx 微控制器
- LSE：X2– 32.768 kHz 晶振，适用于嵌入式 RTC

请参见 [第 13 页上的第 3 节：时钟](#)。

7.1.2 复位

[图 13](#) 或 [图 14](#) 中的复位信号为低电平有效。复位源包括：

- 复位按钮 (B1)
- 与连接器 CN1 相连的调试工具

请参见 [第 7 页上的第 1.2.2 节：系统复位](#) 或 [第 11 页上的第 2.2.2 节：系统复位](#)。

7.1.3 STM32F06xxx 上电复位

上电复位信号为低电平有效。该信号经由集成的上拉电阻保持为 V_{DDA} 。而且此信号必须由用户调压器提供。

请参见 [第 11 页上的第 2.2.1 节：外部上电复位和掉电复位 \(NPOR\)](#)。

7.1.4 自举模式

通过开关 SW1 设置 BOOT0 并设置选项位 nBOOT1，可配置自举选项。请参见 [第 16 页上的第 4 节：自举配置](#)。

7.1.5 SWD 接口

参考设计显示了 STM32F0xxx 和标准 SWD 连接器之间的接线情况。请参见 [第 17 页上的第 5 节：调试管理](#)。

注：建议连接复位引脚，以便能够使用该工具对应用进行复位。

7.1.6 电源

请参见 [第 4 页上的第 1 节：STM32F05xxx 系列的电源](#) 或 [第 9 页上的第 2 节：STM32F06xxx 系列的电源](#)，具体取决于您的配置。

7.1.7 引脚排列和引脚说明

请参见 www.st.com 上提供的 STM32F0 数据手册，了解每个器件的引脚排列信息和引脚说明。

7.2 元件参考

表 4. 必需元件

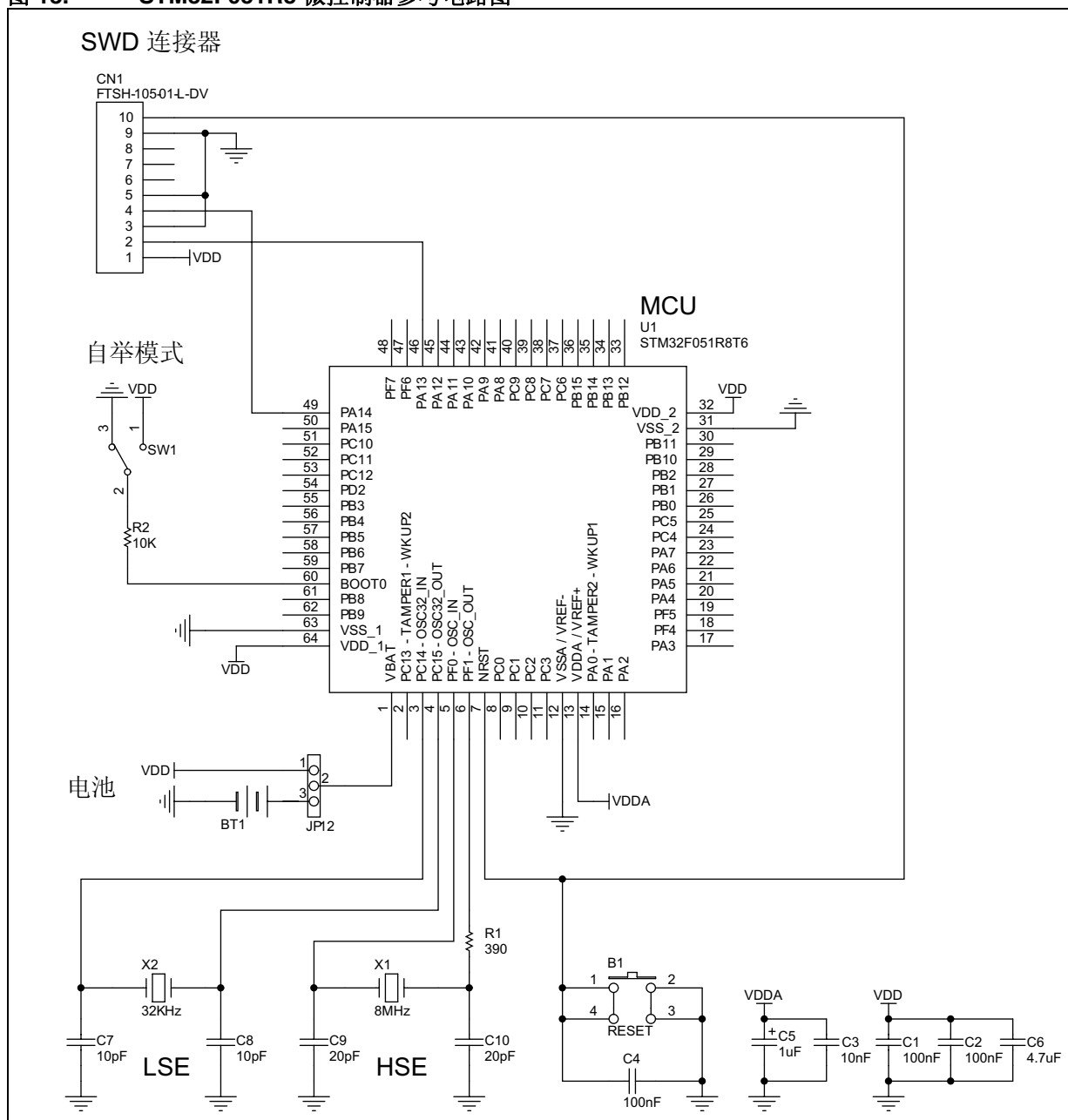
元件	参考	值	数量	注释
微控制器	U1 或 U2	STM32F051R8 或 STM32F061R8	1	64 引脚封装
电容	C1/C2	100 nF	2	陶瓷电容（去耦电容）
电容	C3	10 nF	1	陶瓷电容（去耦电容）

注：根据所使用的微控制器，请参见对应的参考电路图。

表 5. 可选元件

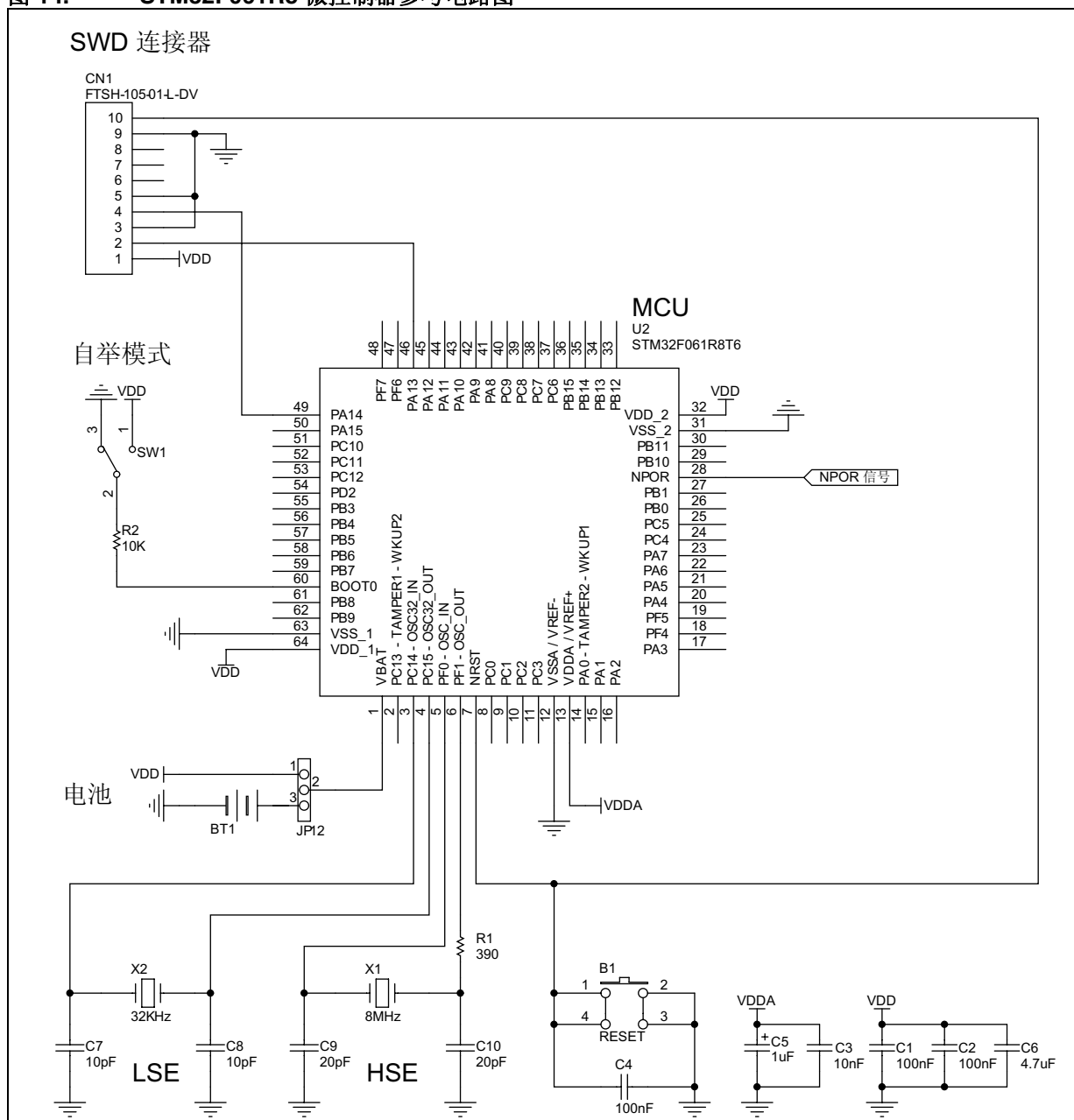
元件	参考	值	数量	注释
电阻	R1	390 Ω	1	用于 HSE：其值取决于晶振特性。 该值仅为典型示例值。
电阻	R2	10 KΩ	1	用于 BOOT0 引脚。
电容	C4	100 nF	1	RESET 按钮的陶瓷电容。
电容	C5	1 μF	1	用于 VDDA。
电容	C6	4.7 μF	1	用于 VDD。
电容	C7/C8	10 pF	2	用于 LSE：其值取决于晶振特性。
电容	C9/C10	20 pF	2	用于 HSE：其值取决于晶振特性。
石英	X1	8 MHz	1	用于 HSE。
石英	X2	32 kHz	1	用于 LSE。
电池	BT1	3V	1	如果应用中未使用任何外接电池，建议将 V _{BAT} 从外部连接到 V _{DD} 。
开关	SW1		1	用于选择正确的自举模式。
按钮	B1		1	用作复位按钮。
SWD 连接器	CN1	FTSH-105-01-L-DV	1	用于 MCU 编程/调试。

图 13. STM32F051R8 微控制器参考电路图



注: 如果应用中未使用任何外接电池, 建议将 V_{BAT} 从外部连接到 V_{DD} 。

图 14. STM32F061R8 微控制器参考电路图



注：如果应用中未使用任何外接电池，建议将 V_{BAT} 从外部连接到 V_{DD} 。

8 从 STM32F1 到 STM32F0 的硬件移植

入门级 STM32F0 与通用 STM32F1xxx 系列的各引脚兼容。所有外设共用这两个产品系列的相同引脚，但二者在封装上存在微小差别。

从 STM32F1 系列转换到 STM32F0 系列非常简单，因为只有少数引脚受到影响（表 6 中受影响的引脚显示为粗体）。

表 6. STM32F1 系列和 STM32F0 系列引脚排列区别

STM32F1 系列			STM32F0 系列			
QFP48	QFP64	引脚排列	QFP48	QFP64	引脚排列 STM32F05xxx	引脚排列 STM32F06xxx
5	5	PD0 - OSC_IN	5	5	PF0 - OSC_IN	PF0 - OSC_IN
6	6	PD1 - OSC_OUT	6	6	PF1 - OSC_OUT	PF1 - OSC_OUT
-	18	VSS_4	-	18	PF4	PF4
-	19	VDD_4	-	19	PF5	PF5
35	47	VSS_2	35	47	PF6	PF6
36	48	VDD_2	36	48	PF7	PF7
20	28	BOOT1/PB2	20	28	PB2	NPOR

除非用户在其应用中在 VSS/VDD 2 和 4 位置处使用了 2 个或 4 个 GPIO，否则从 F1 移植到 F0 时不会影响引脚排列，具体取决于使用的封装。

9 版本历史

表 7. 文档版本历史

日期	版本	变更
2012 年 07 月 11 日	1	初始版本。
2013 年 02 月 11 日	2	增加了第 2 章: STM32F06xxx 系列的电源 。 修改了第 7 章: 参考设计 。 修改了表 6: STM32F1 系列和 STM32F0 系列引脚排列区别 。

请仔细阅读：

中文翻译仅为方便阅读之目的。该翻译也许不是对本文档最新版本的翻译，如有任何不同，以最新版本的英文原版文档为准。

本档中信息的提供仅与ST产品有关。意法半导体公司及其子公司（“ST”）保留随时对本文档及本文所述产品与服务进行变更、更正、修改或改进的权利，恕不另行通知。

所有ST产品均根据ST的销售条款出售。

买方自行负责对本文所述ST产品和服务的选择和使用，ST概不承担与选择或使用本文所述ST产品和服务相关的任何责任。

无论之前是否有过任何形式的表示，本文档不以任何方式对任何知识产权进行任何明示或默示的授权或许可。如果本文档任何部分涉及任何第三方产品或服务，不应被视为ST授权使用此类第三方产品或服务，或许可其中的任何知识产权，或者被视为涉及以任何方式使用任何此类第三方产品或服务或其中任何知识产权的保证。

除非在ST的销售条款中另有说明，否则，ST对ST产品的使用和/或销售不做任何明示或默示的保证，包括但不限于有关适销性、适合特定用途（及其依据任何司法管辖区的法律的对应情况），或侵犯任何专利、版权或其他知识产权的默示保证。

意法半导体的产品不得应用于武器。此外，意法半导体产品也不是为下列用途而设计并不得应用于下列用途：（A）对安全性有特别要求的应用，例如，生命支持、主动植入设备或对产品功能安全有要求的系统；（B）航空应用；（C）汽车应用或汽车环境，且/或（D）航天应用或航天环境。如果意法半导体产品不是为前述应用设计的，而采购商擅自将其用于前述应用，即使采购商向意法半导体发出了书面通知，采购商仍将独自承担因此而导致的任何风险，意法半导体的产品设计规格明确指定的汽车、汽车安全或医疗工业领域专用产品除外。根据相关政府主管部门的规定，ESCC、QML或JAN正式认证产品适用于航天应用。

经销的ST产品如有不同于本文档中提出的声明和/或技术特点的规定，将立即导致ST针对本文所述ST产品或服务授予的任何保证失效，并且不应以任何形式造成或扩大ST的任何责任。

ST和ST徽标是ST在各个国家或地区的商标或注册商标。

本文档中的信息取代之前提供的所有信息。

ST徽标是意法半导体公司的注册商标。其他所有名称是其各自所有者的财产。

© 2013 STMicroelectronics 保留所有权利

意法半导体集团公司

澳大利亚 - 比利时 - 巴西 - 加拿大 - 中国 - 捷克共和国 - 芬兰 - 法国 - 德国 - 中国香港 - 印度 - 以色列 - 意大利 - 日本 - 马来西亚 - 马耳他 - 摩洛哥 - 菲律宾 - 新加坡 - 西班牙 - 瑞典 - 瑞士 - 英国 - 美国

www.st.com

