

STM32 ADC 펌웨어 가이드 (모드와 특성)

Introduction

STM32 ADC 는 다양하고 복잡한 기능을 제공하기 때문에 사용자 요구에 맞는 최선의 방법을 선택하기 위해서는 ADC 의 모드와 특성에 대한 이해를 필요로 한다. 또한 하드웨어 트리거와 DMA 를 함께 운용하면 소프트웨어로 처리할때 생기는 복잡함과 타이밍 문제를 간단하게 해결할 수 있다. ADC 의 특징을 다음 순서로 설명한다.

- **TNK0023 – STM32 ADC 펌웨어 가이드 (모드와 특성)**
- **TNK0024 – STM32 ADC 펌웨어 가이드 (타이머로 ADC 주파수설정)**

Contents

| | | |
|-----|--|----|
| 1 | STM32 ADC 특성 | 3 |
| 1.1 | Block 과 Channel | 3 |
| 1.2 | Master 와 Slave | 3 |
| 1.3 | Self Calibration | 4 |
| 1.4 | Peripheral Clock Frequency | 4 |
| 1.5 | Sampling time 과 Conversion time | 5 |
| 1.6 | Trigger source and edge | 6 |
| 1.7 | Sequencer | 7 |
| 1.8 | Oversampling | 8 |
| 2 | STM32 ADC 모드 | 9 |
| 2.1 | Regular conversion mode / Injected conversion mode | 9 |
| 2.2 | Scan conversion mode | 9 |
| 2.3 | Continous conversion mode | 9 |
| 2.4 | Discontinuous conversion mode | 9 |
| 2.5 | Interleaved mode | 9 |
| 2.6 | Alternate trigger mode | 10 |

List of tables

No table of figures entries found.

List of figures

| | |
|--|----|
| Figure 1. ADC Block 과 Channel | 3 |
| Figure 2. ADC Channel | 3 |
| Figure 3. Master 와 Slave | 4 |
| Figure 4. ADC peripheral clock 최대 주파수 | 4 |
| Figure 5. ADC clock 도메인 | 5 |
| Figure 6. APB2 사용자 설정 clock 주파수 | 5 |
| Figure 7. ADC block 내부 prescaler | 5 |
| Figure 8. Sampling time | 6 |
| Figure 9. Conversion time | 6 |
| Figure 10. Software trigger | 7 |
| Figure 11. EXTI trigger | 7 |
| Figure 12. Timer trigger | 7 |
| Figure 13. Sequencer | 8 |
| Figure 14. Oversampling | 8 |
| Figure 15. Discontinuous conversion mode | 9 |
| Figure 16. Interleave mode | 10 |
| Figure 17. Alternate trigger mode (Discontinuous 모드 enable) | 10 |
| Figure 18. Alternate trigger mode (Discontinuous 모드 disable) | 10 |

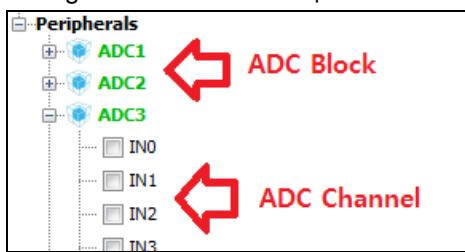
1 STM32 ADC 특성

모든 STM32 MCU 라인업에 공통되는 ADC 특성을 설명한다. 일부 디바이스마다 ADC 특성에 적용할수 있는 값에 차이가 있음에 유의한다. (예, Sampling time, Conversion time 등)

1.1 Block 과 Channel

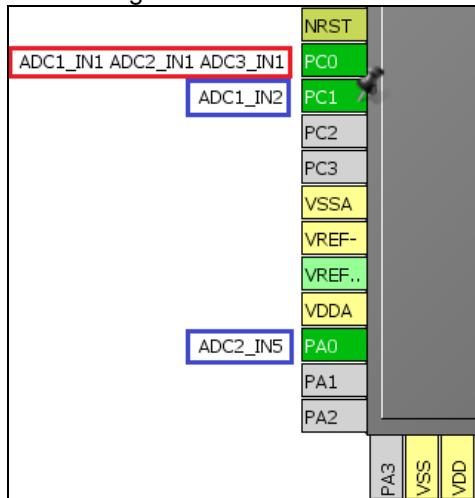
현재까지 출시된 STM32 MCU 의 핀수 많은 패키지에서는 최대 ADC 3 개 block (ADC1, ADC2, ADC3) 을 지원하고 핀수가 작은 패키지는 ADC 가 없거나 1 개 block 만도 지원한다. 각 ADC 블록별로 다수의 외부 channel (IN0~IN15) 과 내부 channel (Vbat, Vrefint, Temperature sensor 등) 을 지원한다.

Figure 1. ADC Block 과 Channel



ADC 외부 입력핀 하나를 ADC 한개 block 의 channel 하나만 할당해서 샘플링 하는게 일반적이지만, ADC 외부 입력핀 하나를 다수의 block 에서 교대로 샘플링 (Interleaved mode 또는 ADC block 간 중복되지 않는 시간 순서) 하도록 설정하는 것도 가능하다. (예, PC0 번핀을 ADC1_IN1, ADC2_IN1, ADC3_IN1 에서 교대로 샘플링)

Figure 2. ADC Channel

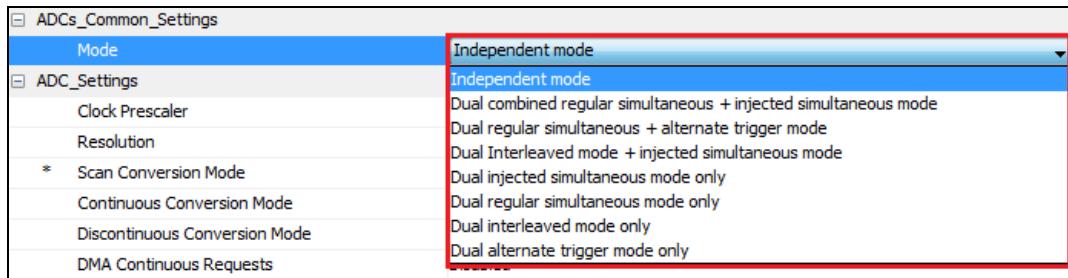


1.2 Master 와 Slave

ADC Block 이 2개 또는 3개인 MCU 에서는 ADC1 이 master 이고 ADC2 와 ADC3 은 slave 로 내부 연결되어 있다. (일부 MCU (STM32L4) 는 ADC3 이 single 모드로 slave 역할을 하지 않음에 유의한다) 하드웨어적으로 정확히 동시에 ADC1, ADC2, ADC3 이

싱크를 맞춰서 샘플링을 해야 되는 경우라면 dual simultaneous 또는 triple simultaneous 모드를 사용하고 이런 경우 내부적으로 master/slave 모드가 사용된다. 그렇지 않고 ADC1, ADC2, ADC3 이 각각 독립적인 타이밍으로 동작해도 되는 경우라면 independent mode 를 사용하면 되고 master/slave 의 내부 구조는 무시된다.

Figure 3. Master 와 Slave



1.3 Self Calibration

STM32 일부 디바이스는 전원인가 후 또는 리셋 후 1 회 ADC Self Calibration 을 해줘야 제대로된 ADC 값을 읽을수 있다. ADC 자체 deep power down 모드를 지원하는 MCU 의 경우에도 ADC 를 다시 startup 시키고 난 후 1 회 ADC Self Calibration 을 다시 해줘야 한다. Cube HAL ADC 예제코드에서 다음 함수 사용법을 참고한다.

- HAL_ADCEx_Calibration_Start

1.4 Peripheral Clock Frequency

사용하려는 ADC peripheral 의 최대 속도 (fADC) 와 어느 clock 도메인 (APB1, APB2, APB3) 에 속해 있는지 데이터 쉬트를 통해 확인한다. 일부 최신 STM32 디바이스는 ADC peripheral clock 소스로 AHB 에서 /1, /2, /4 를 하는 synchronous clock 설정과 ADC Clock Mux 에서 /1, /2, ..., /128, /256 를 하는 asynchronous clock 설정을 대신 제공한다. APBx clock 을 사용하는 MCU 경우 사용자가 설정한 HCLK 설정에 따라 APBx Clock 의 속도도 같이 바뀌기 때문에 설정된 APBx (PCLKx) clock 주파수를 ADC 내부의 prescaler 로 나눈 최종 ADC peripheral clock 속도를 계산한다. (아래 예시 108 MHz / 4 = 27 MHz) ADC 내부의 prescaler 값은 모든 ADC block (ADC1, ADC2, ADC3) 에 공통 적용되는 내용이므로 ADC1 에서 /4 를 선택하면 ADC2, ADC3 도 /4 로 바뀌는 점에 유의한다.

Figure 4. ADC peripheral clock 최대 주파수

Table 72. ADC characteristics

| Symbol | Parameter | Conditions | Min | Typ | Max | Unit |
|------------|----------------------------|---|--------------------|-----|-----------|------|
| V_{DDA} | Power supply | $V_{DDA} - V_{REF+} < 1.2 \text{ V}$ | 1.7 ⁽¹⁾ | - | 3.6 | V |
| V_{REF+} | Positive reference voltage | | 1.7 ⁽¹⁾ | - | V_{DDA} | V |
| f_{ADC} | ADC clock frequency | $V_{DDA} = 1.7^{(1)} \text{ to } 2.4 \text{ V}$ | 0.6 | 15 | 18 | MHz |
| | | $V_{DDA} = 2.4 \text{ to } 3.6 \text{ V}$ | 0.6 | 30 | 36 | MHz |

Figure 5. ADC clock 도메인

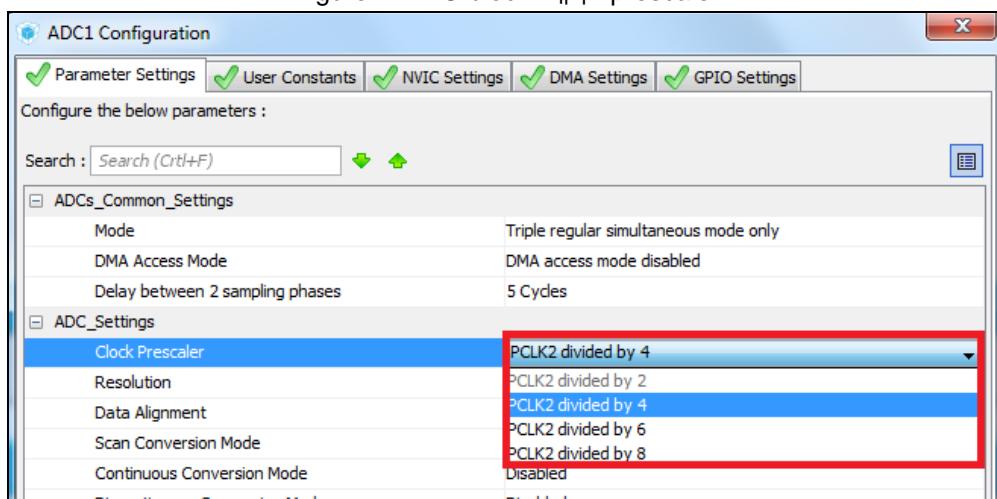
Table 40. Peripheral current consumption (continued)

| Peripheral | I _{DD(Typ)} ⁽¹⁾ | | | Unit |
|-------------------------|-------------------------------------|---------|---------|------|
| | Scale 1 | Scale 2 | Scale 3 | |
| APB2 (up to 108 MHz) | TIM1 | 24.1 | 23.8 | 19.6 |
| | TIM8 | 24.5 | 24.2 | 20.0 |
| | USART1 | 17.7 | 17.4 | 14.3 |
| | USART6 | 11.9 | 11.8 | 9.4 |
| | ADC1 ⁽⁵⁾ | 4.5 | 4.7 | 3.5 |
| | ADC2 ⁽⁵⁾ | 4.5 | 4.7 | 3.3 |
| | ADC3 ⁽⁵⁾ | 4.5 | 4.6 | 3.3 |
| | SDMMC1 | 8.4 | 8.3 | 6.9 |
| | SDMMC2 | 8.2 | 8.2 | 6.4 |
| | SPI1/I2S1 ⁽³⁾ | 3.9 | 3.6 | 3.1 |
| | SPI4 | 3.9 | 3.6 | 3.1 |
| | SYSCFG | 2.5 | 2.2 | 1.9 |
| | TIM9 | 8.0 | 8.0 | 6.2 |

Figure 6. APB2 사용자 설정 clock 주파수



Figure 7. ADC block 내부 prescaler



1.5 Sampling time 과 Conversion time

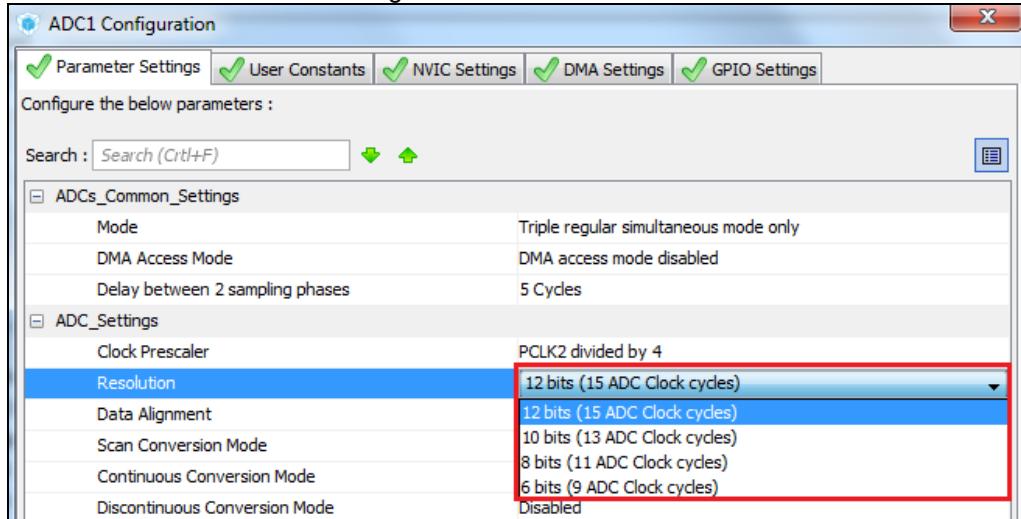
ADC 샘플링 1 회에 항상 sampling 과 conversion 이 세트로 수행된다. Sampling time 은 channel 별로 다르게 설정할 수 있으나 (아래 예시, ADC1 Channel3 (IN3) 3 cycles)

conversion time 은 ADC block 의 resolution bit 수와 동일하다 (아래 예시, 12bits resolution 은 12 cycles 이며 괄호안의 15 clock cycle 은 무시한다) 위에서 ADC peripheral clock 이 27 MHz 로 설정되었기 때문에 tADC 는 약 37.037 ns 이며 샘플링 1회에 소요되는 시간은 (3 cycle + 12 cycle) x 37.037ns = 555.555ns 이다. 다음번 ADC 샘플링을 딜레이 없이 연속 수행한다면 1 sec / 555.555ns = 1.8 MSPS (Mega sample per second) 가 된다.

Figure 8. Sampling time

| | |
|------------------------------------|--------------------------------------|
| ADC-Regular_ConversionMode | |
| Number Of Conversion | 1 |
| External Trigger Conversion Source | Timer 6 Trigger Out event |
| External Trigger Conversion Edge | Trigger detection on the rising edge |
| Rank | 1 |
| Channel | Channel 3 |
| Sampling Time | 3 Cycles |

Figure 9. Conversion time



ADC 샘플링 cycle 은 3, 15, 28, 56, 84, 112, 144, 280 cycle 중에 하나를 선택할 수 있다. SAR 방식의 ADC 는 MCU 내부의 capacitor 를 ADC 입력핀 소스로부터 샘플링 cycle 시간동안 충전하고 conversion 시간 동안 충전된 전압을 측정한다. 샘플링 cycle 을 높일수록 ADC 측정된 전압 값이 높아진다면 소스의 출력 임피던스가 높아서 설정한 샘플링 cycle 시간동안 capacitor 를 완전 충전하지 못했다는 것을 의미한다. 즉, 샘플링 cycle 을 높일수록 평균낸 안정된 값을 받는다는 값을 의미하지 않으므로 capacitor 를 완전 충전할수 이상의 최대한 낮은 샘플링 cycle 로 설정해도 충분하다.

1.6 Trigger source and edge

ADC 샘플링 시작 트리거 소스는 크게 3 가지로 구분할수 있다.

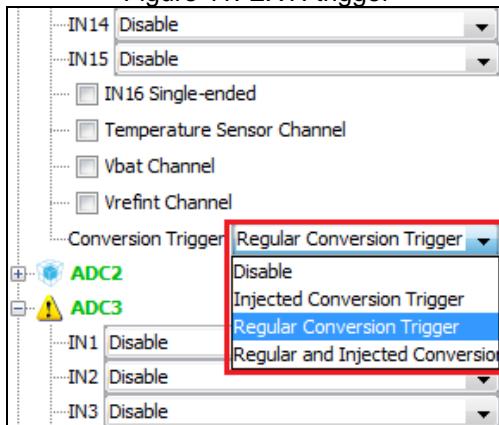
- Software : HAL API 에 있는 ADC_Start 함수를 호출해서 시작.

Figure 10. Software trigger

| | |
|------------------------------------|---|
| ADC-Regular_ConversionMode | |
| Enable Regular Conversions | Enable |
| Left Bit Shift | No bit shift |
| Enable Regular Oversampling | Disable |
| Number Of Conversion | 1 |
| External Trigger Conversion Source | Regular Conversion launched by software |
| External Trigger Conversion Edge | None |
| Rank | 1 |

- External Trigger (EXTI) : 외부 입력핀의 edge 변화로 시작.

Figure 11. EXTI trigger



| | |
|------------------------------------|--------------------------------------|
| ADC-Regular_ConversionMode | |
| Enable Regular Conversions | Enable |
| Left Bit Shift | No bit shift |
| Enable Regular Oversampling | Disable |
| Number Of Conversion | 1 |
| External Trigger Conversion Source | EXTI Line11 |
| External Trigger Conversion Edge | Trigger detection on the rising edge |
| Rank | 1 |

- External Trigger (내부 타이머) : 내부 타이머 이벤트(Update, Capture compare, TRGO 등)로 시작.

Figure 12. Timer trigger

| | |
|------------------------------------|---|
| ADC-Regular_ConversionMode | |
| Enable Regular Conversions | Enable |
| Left Bit Shift | No bit shift |
| Enable Regular Oversampling | Disable |
| Number Of Conversion | 1 |
| External Trigger Conversion Source | Regular Conversion launched by software |
| External Trigger Conversion Edge | Regular Conversion launched by software |
| Rank | Timer 1 Capture Compare 1 event Timer 1 Capture Compare 2 event Timer 1 Capture Compare 3 event Timer 2 Capture Compare 2 event Timer 3 Trigger Out event Timer 4 Capture Compare 4 event Timer 8 Trigger Out event |
| ADC-Injected_ConversionMode | |
| Enable Injected Conversions | |
| External Trigger Conversion Source | |
| ExternalTrigConv | |
| Parameter Description: | |

1.7 Sequencer

Regular conversion mode 그룹은 최대 16 개, Injected conversion mode 그룹은 최대 4 개의 샘플링 채널 순서와 채널 번호, 샘플링 time 을 설정해서 하드웨어적으로 자동으로 순차적으로 이루어질수 있도록 설정할수 있다.

Figure 13. Sequencer

| | |
|------------------------------------|--------------------------------------|
| ADC-Regular-ConversionMode | |
| Enable Regular Conversions | Enable |
| Left Bit Shift | No bit shift |
| Enable Regular Oversampling | Disable |
| Number Of Conversion | 16 |
| External Trigger Conversion Source | EXTI Line11 |
| External Trigger Conversion Edge | Trigger detection on the rising edge |
| Rank | |
| Rank | 1 |
| Channel | Channel 2 |
| Sampling Time | 1.5 Cycles |
| Offset Number | No offset |
| Rank | |
| Rank | 2 |
| Channel | Channel 3 |
| Sampling Time | 16.5 Cycles |
| Offset Number | No offset |
| Rank | |
| Rank | 3 |
| Rank | |
| Rank | 4 |
| Rank | |

1.8 Oversampling

STM32L4, H7 과 같은 최근 MCU 에 포함되어 있는 기능으로 ADC 내부의 20 bit accumulator 와 0-8 bit shifter/truncater 을 이용하여 사용자가 설정한 oversampling ratio 만큼 ADC 값을 누적후 평균 값을 알수 있다

Figure 14. Oversampling

| | |
|------------------------------------|-------------------------------|
| ADC-Regular-ConversionMode | |
| Enable Regular Conversions | Enable |
| Enable Regular Oversampling | Enable |
| * Oversampling Right Shift | No bit shift for oversampling |
| * Oversampling Ratio | Oversampling ratio 2x |
| * Regular Oversampling Mode | Oversampling ratio 2x |
| * Triggered Regular Oversampling | Oversampling ratio 4x |
| Number Of Conversion | Oversampling ratio 8x |
| External Trigger Conversion Source | Oversampling ratio 16x |
| External Trigger Conversion Edge | Oversampling ratio 32x |
| Rank | |
| Rank | Oversampling ratio 64x |
| Channel | Oversampling ratio 128x |
| | Oversampling ratio 256x |

2 STM32 ADC 모드

모든 STM32 MCU 라인업에 공통되는 ADC 모드를 설명한다.

2.1 Regular conversion mode / Injected conversion mode

Regular 와 Injected 모드의 차이점은 Injected 모드로 설정한 채널(그룹)에서 ADC 시작 트리거가 발생하면 현재 진행중이었던 ADC 샘플링을 중단시키고 강제로 Injected 모드의 채널(그룹)의 ADC 샘플링을 시작한다.

2.2 Scan conversion mode

하나의 채널만 ADC 샘플링하지 않고, 다음번 트리거가 오면 sequencer에서 설정한 채널 순서대로 다음 채널 순서의 ADC 샘플링을 진행하게 한다.

2.3 Continous conversion mode

한번의 트리거 신호로 하나의 채널 또는 sequencer에서 설정한 마지막 순서 채널까지 ADC 샘플링을 완료하고 다시 처음 채널 순서로 돌아가서 ADC 샘플링을 시작한다.

2.4 Discontinuous conversion mode

Sequencer에서 예를 들어 16 개의 채널을 regular 그룹으로 설정했을 때 discontinuous conversion number 를 가령 2로 설정하면 총 8 번의 ADC 시작 trigger를 받아야 16 개 채널의 샘플링을 완료할 수 있는 모드를 말한다

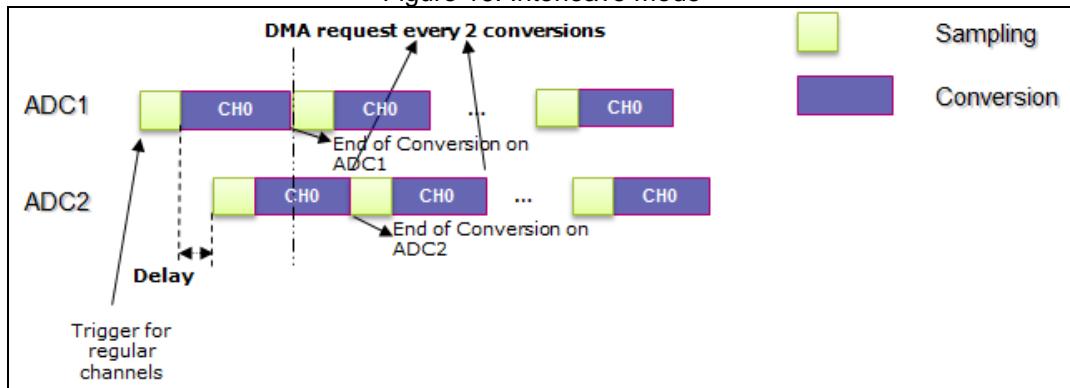
Figure 15. Discontinuous conversion mode

| | |
|-------------------------------------|--------------------------------------|
| ADC_Settings | |
| Clock Prescaler | Asynchronous clock mode divided by 2 |
| Resolution | ADC 16-bit resolution |
| * Scan Conversion Mode | Enabled |
| Continuous Conversion Mode | Disabled |
| Discontinuous Conversion Mode | Enabled |
| Number Of Discontinuous Conversions | 2 |
| DMA Continuous Requests | Disabled |
| End Of Conversion Selection | End of single conversion |

2.5 Interleaved mode

하나의 물리적인 ADC 입력 채널(핀)을 다수의 ADC block 이 교대로 샘플링하는 방식을 의미한다. 하나의 ADC block 이 샘플링 이후 컨버전을 하는 딜레이 동안에 다른 ADC block에서 샘플링을 하는 방식으로 SPS (sampling per second) 를 최대로 올려야 할 때 사용한다

Figure 16. Interleave mode



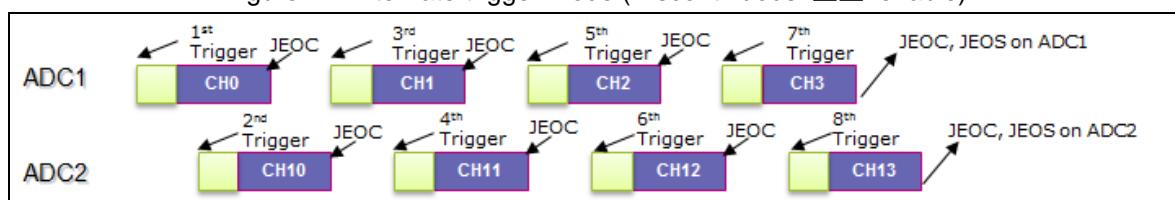
2.6 Alternate trigger mode

Injected 그룹에만 해당되는 내용으로 master ADC block에서 받은 ADC 시작 트리거

하나를 다수의 master/slave ADC block 이 교대로 사용하는 방법이다

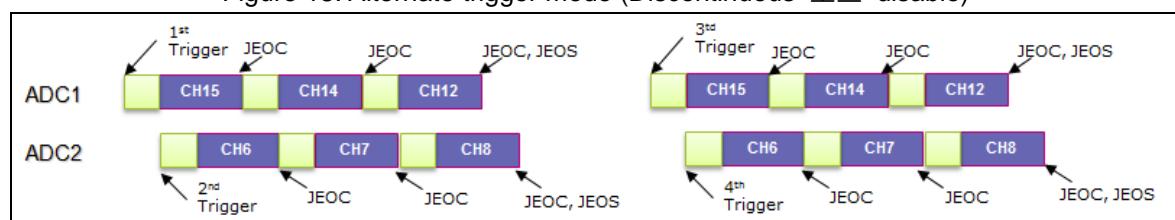
- Discontinuous 모드를 사용했을 때

Figure 17. Alternate trigger mode (Discontinuous 모드 enable)



- Discontinuous 모드를 사용하지 않을 때

Figure 18. Alternate trigger mode (Discontinuous 모드 disable)



참고 자료

- *AN3116 : STM32 ADC modes and their applications*
www.st.com/resource/en/application_note/cd00258017.pdf
- *AN2834 : How to get the best ADC accuracy in STM32 microcontrollers*
www.st.com/resource/en/application_note/cd00211314.pdf

IMPORTANT NOTICE – Please Read Carefully

STMicroelectronics NV and its subsidiaries ("ST") reserve the right to make changes, corrections, enhancements, modifications, and improvements to ST products and/or to this document at any time without notice. Purchasers should obtain the latest relevant information on ST products before placing orders. ST products are sold pursuant to ST's terms and conditions of sale in place at the time of order acknowledgement.

Purchasers are solely responsible for the choice, selection and use of ST products and ST assumes no liability for application assistance or the design of Purchasers' products.

No license, express or implied, to any intellectual property right is granted by ST herein.

Resale of ST products with provisions different from the information set forth herein shall void any warranty granted by ST for such product.

ST and the ST logo are trademarks of ST. All other products or service names are the property of their respective owners.

Information in this document supersedes and replaces information previously supplied in any prior versions of this document.

© 2017 STMicroelectronics – All rights reserved