



概要

スマートフォンのような組み込みデバイスでのハイレベルなグラフィカル・ユーザ・インタフェースに対する需要の高まりは、組み込みシステム設計者に大きな課題を投げかけています。現在、マイクロコントローラとディスプレイを接続するために、SPI、パラレル、RGB のインタフェースが幅広く使用されています。解像度およびリフレッシュ・レートに関する要件の増加に伴い、ピン数（1670万色ディスプレイの場合は最大28ピン）が増え、必要となるピクセル・クロック周波数も高まっています。これらの要件によって、マイクロコントローラ側のピン数要件や、ボードのサイズと配線の複雑さ、クロックとデータのスキュー問題による PCB 全体の複雑さとコストが増大します。

これらの課題に対処するために、STMicroelectronics は MIPI-DSI ホスト（STM32F469/479、STM32F7x8/x9、STM32L4R9/S9）を組み込んだ初のマイクロコントローラ製品を市場に投入します。これらの新たな DSI ホスト搭載の STM32 製品には、ディスプレイに接続するためのさらに効果的な方法が実装されています。MIPI-DSI は、本来モバイル産業を対象としたディスプレイ向けのハイスピードかつピン数の少ないシリアル・インタフェースです。DSI インタフェースは、モバイル端末やタブレットに幅広く使用できるため人気であり、DSI ディスプレイのコストを下げ、その他の消費者市場においても魅力的なものとなりました。

STM32 MIPI-DSI ホストは、デバイスのピン数を大幅に削減し、今日市場の至るところで利用できる DSI ディスプレイと接続しやすくなっています。少ないピン数と低消費電力機能によって、DSI ホストは特にウェアラブルなどのサイズや消費電力に厳しい制約があるデバイスでディスプレイを接続する最も効果的な手法です。

本アプリケーション・ノートでは、STM32 マイクロコントローラにおける DSI ホスト・インタフェースについて説明し、DSI ホストのさまざまな動作モードの説明と、アプリケーションのニーズに応じた最適な動作モードを選択するガイドラインを示します。また、動作モードに応じた DSI ホストの設定方法の実例も示します。

関連ドキュメント

本アプリケーション・ノートは、www.st.com で入手できる以下のドキュメントと合わせて読む必要があります。

- **STM32F76xxx および STM32F77xxx advanced Arm[®]-based 32-bit MCU** (RM0410)
- **STM32F469xx および STM32F479xx advanced Arm[®]-based 32-bit MCU** (RM0386)
- **STM324Rxxx および STM32L4Sxxx advanced Arm[®]-based 32-bit MCU** (RM0432)
- 関連の STM32F469/479、STM32F7x8、STM32F7x9、STM32L4R9xx および STM32L4S9xx のデータシート

目次

1	標準および参照資料	10
2	概要	11
2.1	ディスプレイ・インタフェース接続	11
2.2	MIPI ディスプレイ仕様標準	13
2.3	STM32 製品でサポートされるディスプレイ・インタフェース	14
2.4	STM32 マイクロコントローラ全体での DSI ホストの可用性	16
2.5	DSI ホストの利点	17
2.6	スマート・アーキテクチャでの DSI ホスト	17
3	DSI の概要	19
3.1	DSI 動作モード	20
3.1.1	コマンド・モード	20
3.1.2	ビデオ・モード	20
3.2	DSI 物理層	20
3.2.1	[PHY 設定例]	20
3.2.2	PHY の信号モード	21
	データ・レーンの状態	22
3.2.3	データ・レーンの動作モード	22
	制御モード	22
	ハイスピード転送モード	22
	エスケープ・モード	24
3.2.4	双方向レーンおよびバス・ターンアラウンドの手順	30
3.2.5	クロックレーンの電力モード	30
	低消費電力モード	30
	ハイスピード・モード	30
	超低消費電力状態 (ULPS)	32
3.3	DSI プロトコル	34
3.3.1	パケット構造	34
	ロング・パケット	35
	ショート・パケット	35
	データ識別子バイト	35
	データ保護 (ECC およびチェックサム)	36
3.3.2	送信終了 (EoT) パケット	36
3.3.3	パケット送信モード	37

3.3.4	ホストからディスプレイのデータ型	39
	ビデオ・モードのデータ型	40
	コマンド・モードのデータ型	43
3.3.5	ディスプレイからホストのデータ型	47
3.3.6	ビデオ・モードのインタフェース・タイミング	49
3.3.7	コマンド・モードでのティアリング効果信号	50
4	DSI ホストの説明	52
4.1	DSI のシステム・レベル・アーキテクチャ	52
	DSI ホストの構成要素	52
4.2	動作モード	53
4.2.1	ビデオ・モード	54
	同期パルスでの非バースト・モード	54
	同期イベントでの非バースト・モード	58
	バースト・モード	60
	ビデオ・モードの比較 :	62
4.2.2	アダプテッド・コマンド・モード	63
	アダプテッド・コマンド・モードでのディスプレイ・リフレッシュの例	64
	アダプテッド・コマンド・モードでの部分リフレッシュの例	64
	アダプテッド・コマンド・モードの利点	66
	ティアリング効果管理	67
4.2.3	APB コマンド・モード	71
	APB コマンド・モードを使用する場合	71
4.3	動作モードの選択	72
4.4	DSI 割込み	72
4.5	低消費電力モード	73
5	DSI ホストの設定	74
5.1	DSI ホストのグローバル設定	74
5.1.1	DSI レギュレータの設定	74
5.1.2	クロックの設定	74
	DSI PLL の設定	75
	TX エスケープ・クロックの設定	76
	2 次クロック・ソースのセット	77
5.1.3	DSI ホストの PHY パラメータ	77
	レーン数	77
	PHY のクロックおよびデジタル・セクション制御	77
	クロック・レーン制御	78
5.1.4	DSI ラッパーの PHY パラメータ	79

	HS ビット期間のセット	79
5.1.5	プロトコル・フロー制御	80
5.1.6	DSI ホストの LTDC インタフェース設定	81
	カラー・コーディングの設定	81
	ビデオ制御信号の極性	82
5.2	DSI 動作モードの設定	83
5.2.1	LTDC インタフェースでのビデオ・モード	83
	ビデオ・モードの選択	83
	ビデオ・モードでの LP 状態	83
	PHY 遷移タイミングの設定	83
	LP 遷移の設定	85
	LTDC の設定	89
	DSI ホストのビデオ・タイミング	91
	DSI クロック設定	93
	DSI ビデオ・パケット・パラメータ	93
	ビデオ・モードでのコマンド送信	96
	フレーム確認応答	104
5.2.2	LTDC インタフェースでのアダプテッド・コマンド・モード	105
	DSI コマンド・モード	105
	STOP ウェイト・タイム設定	106
	コマンド・サイズ (CMD_SIZE)	106
	LTDC 停止極性	106
	ティアリング効果設定	107
	リフレッシュ・モード	107
	LTDC の設定	108
	コマンド送信モード	108
	確認応答リクエスト	109
6	STM32CubeMX の設定例	111
6.1	DSI ホストのビデオ・バースト・モード	111
6.1.1	ピン配置設定	111
	RCC での HSE 有効化	111
	DSI モードでの LTDC 有効化	112
	ビデオ・モードでの DSI ホスト有効化	112
6.1.2	クロック設定	112
	LTDC クロック設定	112
	DSI クロック設定	113
6.1.3	LTDC および DSI の設定	114
	LTDC 設定	114
	DSI ホストの設定	116

6.1.4	ビデオ・バースト・モードの生成コードの例	120
6.2	DSI ホストの同期パルスでの非バースト・モード	123
6.2.1	コマンド設定	123
6.2.2	ディスプレイ・インタフェース設定	124
6.3	DSI ホストのアダプテッド・コマンド・モード	125
6.3.1	ピン設定	125
6.3.2	クロック設定	125
	LTDC クロック設定	125
6.3.3	LTDC および DSI の設定	126
	LTDC 設定	126
	DSI ホストの設定	128
6.3.4	アダプテッド・コマンド・モードの生成コードの例	131
7	DSI ホストのパフォーマンス	135
7.1	LTDC ピクセル・クロックでの DSI リンク最大帯域幅の影響	135
7.2	LTDC ピクセル・クロックでのシステム制約の影響	135
7.3	DSI リンク帯域幅の推定	136
7.3.1	ビデオ・モード	136
7.3.2	アダプテッド・コマンド・モード	136
8	DSI ホストのアプリケーション例	138
8.1	小型ディスプレイの駆動例	138
8.2	大型ディスプレイの駆動例	139
9	サポートされているデバイス	140
10	まとめ	141
11	改版履歴	142

表の一覧

表 1.	STM32 製品のディスプレイ・インタフェース接続	16
表 2.	DSI ホストを搭載した STM32 マイクロコントローラ	16
表 3.	他のディスプレイ・インタフェースと比べた DSI ホストの利点	17
表 4.	データ・レーンの状態と動作モード	22
表 5.	エスケープ・モードのコマンド	24
表 6.	ホストからディスプレイのデータ型	39
表 7.	DCS コマンドの一覧	46
表 8.	ディスプレイからホストのデータ型	48
表 9.	DSI ホストの低消費電力モード	73
表 10.	DSI レギュレータの設定レジスタ	74
表 11.	DSI PLL の設定レジスタ	75
表 12.	TX エスケープ・クロックの設定レジスタ	76
表 13.	2 次クロック・ソースのセット・レジスタ	77
表 14.	レーン数の設定レジスタ	77
表 15.	PHY のクロックおよびデジタル・セクションの制御レジスタ	77
表 16.	クロック・レーンの制御レジスタ	78
表 17.	HS ビット期間の設定レジスタ	79
表 18.	プロトコル・フロー制御の設定レジスタ	80
表 19.	カラー・コーディングの設定レジスタ	81
表 20.	ビデオ制御信号の極性レジスタ	82
表 21.	ビデオ・モード選択レジスタ	83
表 22.	PHY 遷移タイミングの設定レジスタ	83
表 23.	LP 遷移の設定レジスタ	85
表 24.	ディスプレイ・タイミングの例	90
表 25.	DSI ホストのビデオ・タイミング・レジスタ	91
表 26.	DSI ビデオ・パケット・パラメータ・レジスタ	93
表 27.	コマンド送信モード・レジスタ	97
表 28.	LP コマンド・パケット・サイズ・レジスタ	97
表 29.	フレーム確認応答レジスタ	104
表 30.	DSI コマンド・モード・レジスタ	105
表 31.	STOP ウェイト・タイム設定レジスタ	106
表 32.	コマンド・サイズ・レジスタ	106
表 33.	LTDC 停止極性	106
表 34.	ティアリング効果設定レジスタ	107
表 35.	リフレッシュ・モード・レジスタ	107
表 36.	コマンド送信レジスタ	108
表 37.	確認応答リクエスト・レジスタ	109
表 38.	カラー・コーディングと DSI リンク速度に応じた最大ピクセル・クロック周波数	135
表 39.	文書改版履歴	142
表 40.	日本語版文書改版履歴	142

図の一覧

図 1.	フレームバッファとコントローラのあるディスプレイ・アーキテクチャ	12
図 2.	コントローラとフレームバッファのないディスプレイ・アーキテクチャ	13
図 3.	DBI インタフェースの例	14
図 4.	DPI インタフェースの例	15
図 5.	DSI インタフェースの例	15
図 6.	DSI ホストでの STM32 システム・アーキテクチャ	18
図 7.	DSI インタフェースの概要	19
図 8.	DSI ホストおよびディスプレイ・インタフェース	21
図 9.	HS および LP の信号レベル	21
図 10.	基本的な HS データ送信	22
図 11.	ハイスピード・データ転送モード	23
図 12.	2 つのデータ・レーンを使用した HS 送信	23
図 13.	奇数バイトのある 2 つのデータ・レーンを使用した HS 送信	24
図 14.	スペース付きワン・ホット・コーディング	25
図 15.	スペース付きワン・ホット・コーディングを使用した通信例	26
図 16.	LPDT エスケープ・モード・シーケンス	26
図 17.	LPDT ペイロード・データ	27
図 18.	ULPS エスケープ・モード・シーケンス	27
図 19.	確認応答トリガの例	28
図 20.	ティアリング効果トリガの例	29
図 21.	リセット・トリガの例	29
図 22.	バス・ターンアラウンド手順	30
図 23.	クロック HS 移行シーケンス	31
図 24.	クロック HS 終了シーケンス	31
図 25.	HS モードでのクロック・レーンとデータ・レーンの関係	32
図 26.	クロック・レーン ULPS 移行シーケンス	33
図 27.	クロック・レーン ULPS 終了シーケンス	33
図 28.	ショート・パケットとロング・パケットの構造	34
図 29.	ロング・パケットの例	34
図 30.	データ識別子バイト	35
図 31.	EoT パケットのある HS 送信	36
図 32.	1 つのデータ・レーンを使用した HS モードでのショート・パケットの送信	37
図 33.	2 つのデータ・レーンを使用した HS モードでのショート・パケットの送信	37
図 34.	低消費電力モードでのショート・パケットの送信	37
図 35.	1 つのデータ・レーンを使用した HS モードでのロング・パケットの送信	37
図 36.	2 つのデータ・レーンを使用した HS モードでのロング・パケットの送信	38
図 37.	奇数のペイロード・データがある 2 つのデータ・レーンを使用した HS モードでの ロング・パケットの送信	38
図 38.	低消費電力モードでのロング・パケットの送信	38
図 39.	カラー・モードのビデオ・パケット	40
図 40.	シャットダウン／オンのビデオ・パケット	40
図 41.	同期イベントのパケット	41
図 42.	パック済みピクセル・ストリーム、16-bit フォーマット、データ型 = (0x0E)	41
図 43.	パック済みピクセル・ストリーム、18-bit フォーマット、データ型 = (0x1E)	42
図 44.	軽度パック済みピクセル・ストリーム、18-bit フォーマット、データ型 = (0x2E)	42
図 45.	パック済みピクセル・ストリーム、24-bit フォーマット、データ型 = (0x3E)	42
図 46.	汎用ショート書き込みコマンド	43
図 47.	汎用ロング書き込みコマンド	43
図 48.	汎用読み出しコマンド	43

図 49.	DCS ショート書込みコマンド	44
図 50.	DCS ロング書込みコマンド	44
図 51.	DCS 読出しコマンド	45
図 52.	逆方向の通信シーケンス	48
図 53.	同期パルスでの非バースト・モード	49
図 54.	同期イベントでの非バースト・モード	49
図 55.	バースト・モード	50
図 56.	TE シーケンス	51
図 57.	set_tear_scanline の DCS ロング・パケット	51
図 58.	DSI の構成要素	53
図 59.	同期パルスでの非バースト・モードのフレーム	55
図 60.	ブランキングまたは LP の定義	56
図 61.	同期パルスでの非バースト・モードの VACT 領域	57
図 62.	null パケット付きの 4 つのチャンクを設定したアクティブ・ライン	58
図 63.	同期イベントでの非バーストのフレーム	59
図 64.	同期イベントでのバースト・モードの VACT 領域	60
図 65.	ビデオ・バースト・モードのフレーム	61
図 66.	バースト・モードでのアクティブなライン	62
図 67.	ビデオ・モードの比較	63
図 68.	WMS/WMC でのフル・ディスプレイ・リフレッシュ	64
図 69.	ディスプレイの部分リフレッシュ	65
図 70.	自動リフレッシュでのアダプテッド・コマンド・モードのフロー例	65
図 71.	アダプテッド・コマンド・モードでのディスプレイ・リフレッシュ	66
図 72.	ティアリング効果のリクエストと応答の例	67
図 73.	2 回の BTA のある set_tear_scanline DCS コマンド	68
図 74.	ディスプレイからのティアリング効果トリガ	69
図 75.	ピン経由の TE	70
図 76.	ピン経由のティアリング効果の拡大図	71
図 77.	DSI クロック構成	76
図 78.	自動クロック・レーン制御	78
図 79.	自動クロック・レーン制御を無効にしてクロック・レーンを常に HS モードにした例	79
図 80.	読出しコマンド後の BTA 手順	81
図 81.	LP モード移行フロー	85
図 82.	HBP 領域で無効化された LP	86
図 83.	HBP 領域で有効化された LP	87
図 84.	VSA 領域でのみ有効化された LP モード	88
図 85.	低消費電力モードでの最終ライン	89
図 86.	DSI ビデオ・タイミングの設定レジスタ	92
図 87.	バースト・モードでのビデオ・ライン	94
図 88.	null パケット付きの 4 つのチャンクの設定	95
図 89.	null パケットのない 4 つのチャンクの設定	96
図 90.	同期パルスでの非バーストの LPSIZE	98
図 91.	同期イベントでのバーストまたは非バーストの LPSIZE	98
図 92.	バースト・モードでの VFP 中の 28 バイト LP コマンド	100
図 93.	最終ラインまで遅らせた 29 バイト LP コマンド	101
図 94.	同期パルスでの非バーストの VLPSIZE	101
図 95.	同期イベントでの非バーストの VLPSIZE	102
図 96.	バースト・モードの VLPSIZE	102
図 97.	バースト・モードでの VACT 中の 8 バイト LP コマンド	103
図 98.	フレーム確認応答の例	104
図 99.	フレーム確認応答の拡大図	105
図 100.	確認応答リクエストを有効にした汎用ショート書込み	110

図 101.	HSE を使用するための RCC 設定	111
図 102.	DSI モードでの LTDC 設定	112
図 103.	ビデオ・モードでの DSI ホスト設定	112
図 104.	PLLSAI1 を使用したビデオ・モードでの LTDC ピクセル・クロック設定	113
図 105.	DSI PLL を使用したビデオ・モードでの DSI クロック設定	113
図 106.	ビデオ・モードでの LTDC のパラメータ設定	114
図 107.	ビデオ・モードでの LTDC のレイヤ設定	115
図 108.	ビデオ・モードでのデータ・レーンおよびクロック・レーンの設定	116
図 109.	ビデオ・モードでの PHY タイミング設定	117
図 110.	ビデオ・バースト・モードでのコマンド設定	118
図 111.	ビデオ・バースト・モードでのディスプレイ・インタフェース設定	119
図 112.	ビデオ非バースト・モードでのコマンド設定	123
図 113.	ビデオ非バースト・モードでのディスプレイ・インタフェース設定	124
図 114.	DSI のアダプテッド・コマンド・モードの選択	125
図 115.	アダプテッド・コマンド・モードでの LTDC クロック設定	126
図 116.	アダプテッド・コマンド・モードでの LTDC パラメータ	127
図 117.	アダプテッド・コマンド・モードでのデータ・レーンおよびクロック・レーンの設定	128
図 118.	アダプテッド・コマンド・モードでの PHY タイミング設定	129
図 119.	アダプテッド・コマンド・モードでのコマンド送信設定	130
図 120.	アダプテッド・コマンド・モードでのディスプレイ・インタフェース設定	131
図 121.	小型ディスプレイの駆動例	138
図 122.	大型ディスプレイの駆動例	139

1 標準および参照資料

このセクションでは、本書で用いられる標準および参照資料について説明します。

- ディスプレイ・シリアル・インタフェース（DSI）に関する MIPI® Alliance 仕様
v1.1 - 2011年11月22日
- ディスプレイ・バス・インタフェース（DBI-2）に関する MIPI® Alliance 仕様
v2.00 - 2005年11月16日
- ディスプレイ・コマンド・セット（DCS）に関する MIPI® Alliance 仕様
v1.1 - 2011年11月22日
- ディスプレイ・ピクセル・インタフェース（DPI-2）に関する MIPI® Alliance 仕様
v2.00 - 2005年9月15日
- 立体ディスプレイ形式（SDF）に関する MIPI® Alliance 仕様
v1.0 - 2011年11月22日
- D-PHY に関する MIPI® Alliance 仕様
v1.1 - 2011年11月7日

2 概要

ディスプレイ・シリアル・インタフェース (DSI) は、MIPI (モバイル産業プロセッサ・インタフェース) Alliance によって定義されたハイスピード・シリアル・プロトコルで、ディスプレイ・モジュールとホスト・プロセッサとの接続を可能にします。

STM32 は DSI ホスト (STM32F469/479、STM32F7x8/x9、STM32L4R9/S9) を組み込んだ市場で初のマイクロコントローラです。STM32 DSI ホストは、内部 MIPI D-PHY、専用 PLL および 1.2V 電圧レギュレータによって高度に統合されたソリューションを備えています。

DSI ホストは、最大1Gb/秒のハイスピード通信インタフェースを備えています。DSI ホストによって、マイクロコントローラは、外部ブリッジを必要とせずに、わずかなピン数のインタフェースでディスプレイと接続できます。DSI インタフェースは完全に設定可能で、今日市場で入手できる DSI 準拠ディスプレイと接続しやすくなっています。

アプリケーションでは、接続しやすさと DSI ホストで有効にされるピン数の削減というメリットがあり、PCB の複雑さやシステム全体のコストを抑えられます。

DSI ホストは、LCD-TFT ディスプレイ・コントローラ (LTDC) と密接に統合されており、アプリケーションの開発および移植が容易になっています。

STM32 DSI ホストには、スケーラブルなアーキテクチャが搭載されています。帯域幅の要件に応じて、ユーザは1つまたは2つのデータ・レーンを選択できます。

2.1 ディスプレイ・インタフェース接続

ディスプレイは、内部コントローラとフレームバッファがあるかどうかに応じて、主に2つのカテゴリに分けられます。

- ディスプレイ・コントローラおよびフレームバッファがあるディスプレイ・モジュール：これらは、表示するフレームを格納するグラフィック RAM (GRAM) を組み込んでおり、リフレッシュ動作を制御するディスプレイ・コントローラがあります。
マイクロコントローラ がコマンドのセットを使用して、ディスプレイのフレームバッファの内容を更新します。
ディスプレイはその内部コントローラとフレームバッファに応じて、マイクロコントローラ からの介入なしでリフレッシュ動作を実行します。
- ディスプレイ・コントローラおよびフレームバッファがないディスプレイ・モジュール：これらのディスプレイは、マイクロコントローラ に応じてリアルタイムのピクセル・データ・ストリームとビデオ・タイミング情報を送信して、ディスプレイをリフレッシュします。

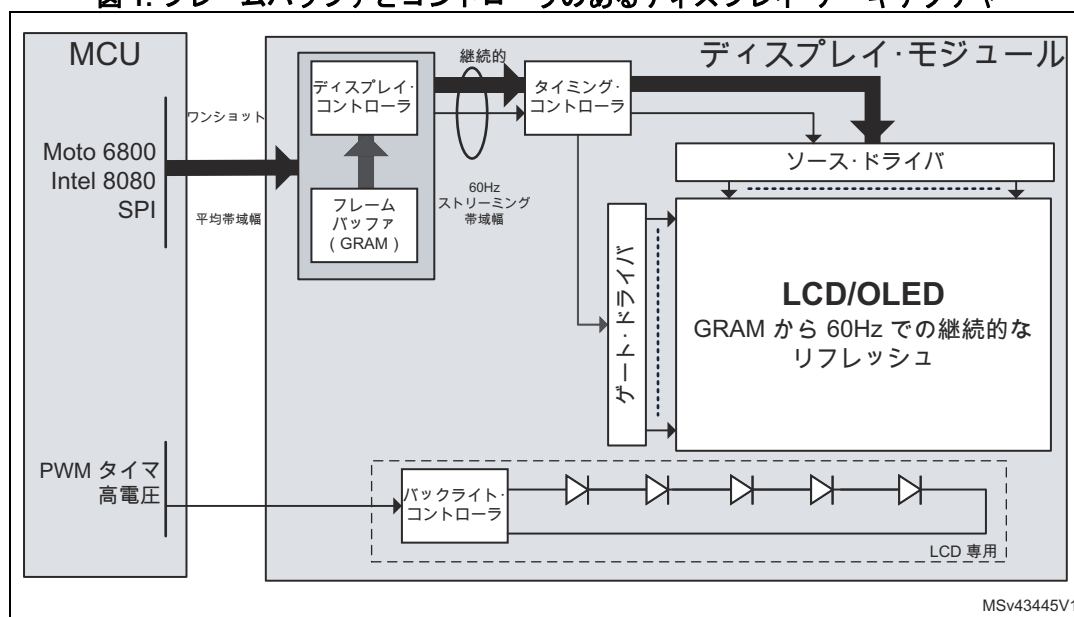
これらの異なるタイプのディスプレイは、ディスプレイ・インタフェース接続の種類が異なることを意味します。

- コントローラとフレームバッファのあるディスプレイ・モジュールのインタフェース接続：
 - SPI インタフェース：少数のピン (最大6ピン) を使用しますが、非常に低速であるため、アニメーションには適していません。
 - パラレル・インタフェース：パラレル・バスを使用してコマンドとデータを送信するため、SPI インタフェースより高い帯域幅となります。
一般的なパラレル・インタフェースは、モトローラ6800バスとIntel 8080バスです。パラレル・インタフェースには、最大22ピン (データ信号に16ピン、制御信号に6ピン) が必要になります。

ディスプレイ・コントローラと GRAM フレームバッファはディスプレイ側にあります。マイクロコントローラ がコマンドを使用して、ディスプレイの GRAM を更新します。更新は一度に行われます。

図 1 に、フレームバッファとディスプレイ・コントローラを組み込んでいるディスプレイのアーキテクチャ、および対応するインタフェースの接続構成を示します。

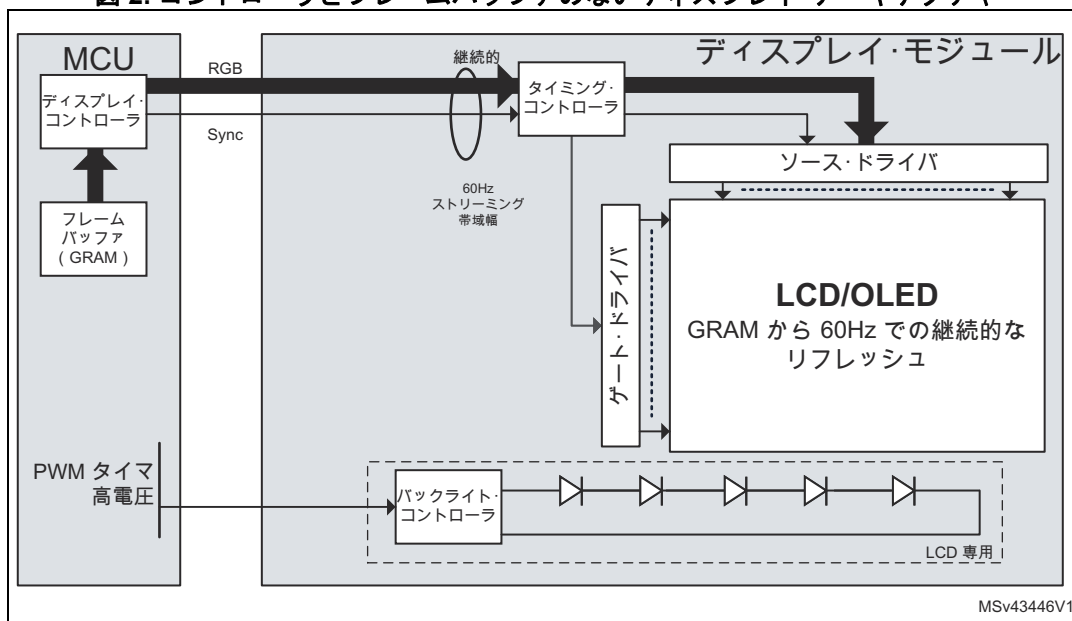
図 1. フレームバッファとコントローラのあるディスプレイ・アーキテクチャ



- コントローラとフレームバッファのないディスプレイ・モジュールのインタフェース接続：
 - **RGB インタフェース**：マイクロコントローラ がピクセル・データとビデオ・タイミング信号の両方を供給します。RGB インタフェースは非常に優れたリアルタイムのパフォーマンスが可能ですが、ディスプレイに供給するにはマイクロコントローラ側で高い帯域幅が必要になります。また、最大28ピン (RGB データに24ピン (R[0:7]G[0:7]B[0:7])、同期信号に4ピン (PCLK、HSYNC、VSYNC、DATAEN)) が必要になります。マイクロコントローラ がピクセル・データとビデオ制御信号を継続的に生成して、ディスプレイを駆動させます。フレームバッファはマイクロコントローラ側にあります。

図 2には、フレームバッファとディスプレイ・コントローラのないディスプレイの標準的なアーキテクチャを示しています。

図 2. コントローラとフレームバッファのないディスプレイ・アーキテクチャ



2.2 MIPI ディスプレイ仕様標準

MIPI ディスプレイ・ワーキング・グループでは、ホスト・プロセッサとディスプレイの相互接続について指定しています。

このワーキング・グループはディスプレイを処理する既存のプロトコルを標準化するために、一連の仕様を定義しました。

- ディスプレイ・バス・インタフェース（DBI）は、ディスプレイ・コントローラとフレームバッファのあるディスプレイ・モジュールを処理するプロトコルをカバーします。これによって3種類のインタフェース・タイプが定義されます。
 - パラレル・モトローラ6800バスをサポートするタイプ A
 - パラレル Intel 8080バスをサポートするタイプ B
 - SPI インタフェースをサポートするタイプ C
- ディスプレイ・コマンド・セット（DCS）は、MIPI-DBI インタフェースをサポートするディスプレイで使用するコマンドを指定します。
- ディスプレイ・ピクセル・インタフェース（DPI）は、コントローラとフレームバッファのないディスプレイを対象とした RGB インタフェースをサポートします。

MIPI ディスプレイ・ワーキング・グループは、最適な方法で最新のディスプレイを駆動させるための新しいプロトコルを開発しました。

マイクロコントローラ とディスプレイの配線数を低減するために、MIPI ディスプレイ・ワーキング・グループは DSI を定義しました。

DSI は、DBI コマンド（いわゆるコマンド・モード）や DPI 信号（いわゆるビデオ・モード）をカプセル化し、連続でディスプレイに送信します。これにより、わずか4ピンまたは6ピンのインタフェースで標準的なディスプレイと接続でき、DPI と同じパフォーマンスを実現します。

この DSI は、1つの信号インターフェースで、想定されるすべてのディスプレイ・アーキテクチャ（ディスプレイ・コントローラとフレームバッファの有無にかかわらず）をサポートできます。

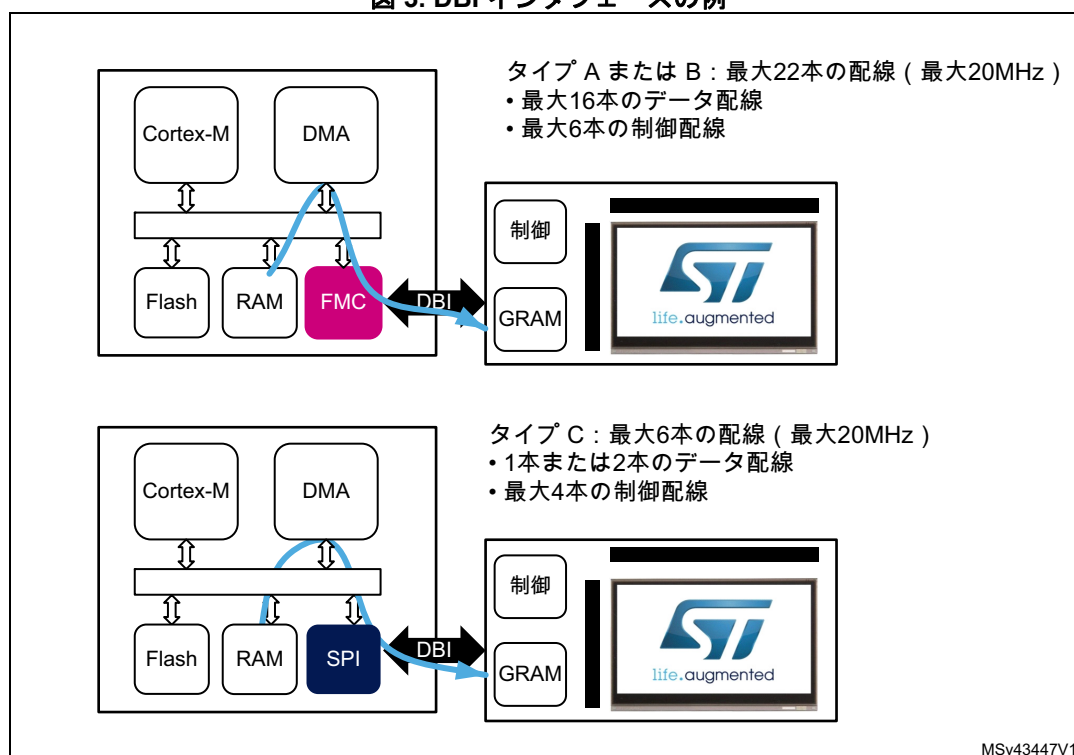
2.3 STM32 製品でサポートされるディスプレイ・インターフェース

すべての STM32 製品が、SPI インターフェースを介して MIPI-DBI タイプ C インターフェースをサポートしています。

MIPI-DBI タイプ A およびタイプ B のインターフェースは、F(S)MC（フレキシブル同期メモリ・コントローラ）を組み込んでいる STM32 によってサポートされています。FSMC を介したディスプレイ・インターフェース接続の詳細については、**TFT LCD interfacing with the high-density STM32F10xxx FSMC** (AN2790) のアプリケーション・ノートを参照してください。

図 3 に、DBI インターフェースを使用してディスプレイと接続する STM32 マイクロコントローラを示します。

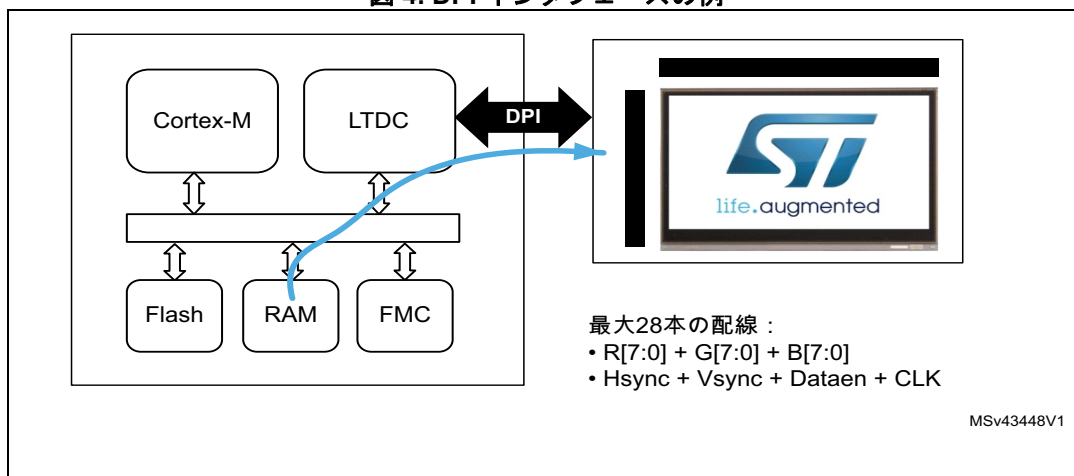
図 3. DBI インターフェースの例



MIPI-DPI は、LTDC（LCD-TFT ディスプレイ・コントローラ）を組み込んでいる STM32 によってサポートされています。このテーマの詳細については、**LCD-TFT display controller (LTDC) on STM32 microcontrollers** (AN4861) のアプリケーション・ノートを参照してください。

図 4 に、DPI インタフェースを使用してディスプレイと接続する STM32 マイクロコントローラを示します。

図 4. DPI インタフェースの例

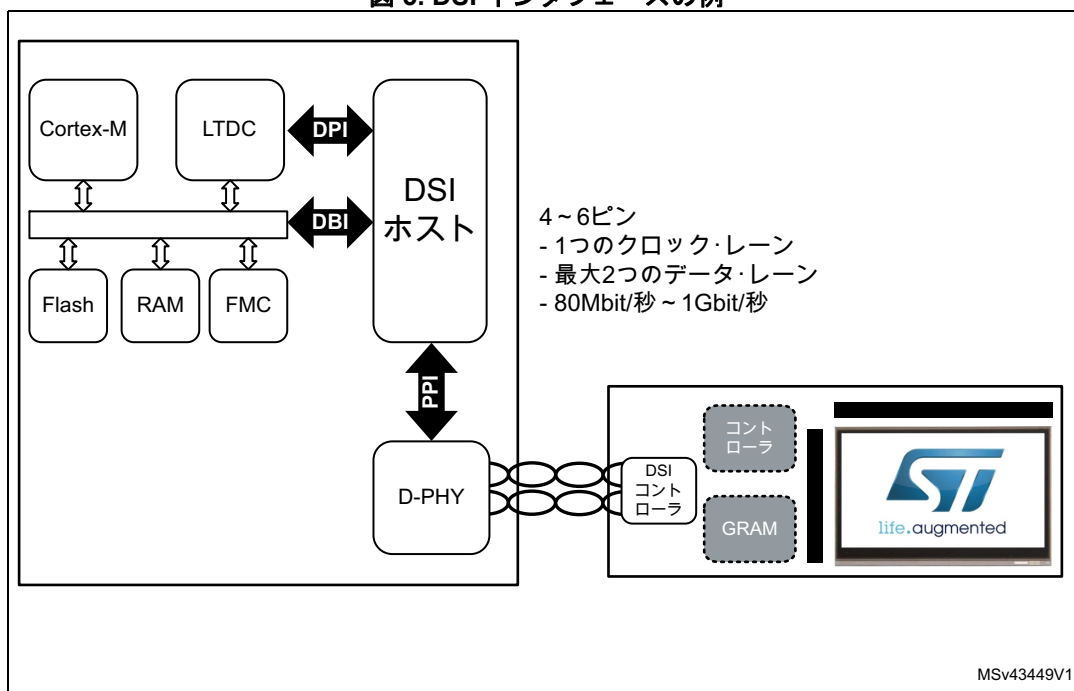


MIP-DSI は、DSI ホストを組み込んでいる新しい STM32 製品によってサポートされています (STM32F469/479、STM32F7x8/x9、STM32L4R9/S9)。

DSI インタフェースは、両方のタイプのディスプレイに接続できます。GRAM とディスプレイ・コントローラのあるディスプレイの場合、DSI ホストがコマンドを送信して DBI モードで GRAM をリフレッシュします。GRAM とディスプレイ・コントローラのないディスプレイの場合、DSI ホストが DPI モードでピクセル・データ・ストリームとビデオ同期イベントを送信します。

図 5 に、DSI インタフェースを使用してディスプレイと接続する STM32 マイクロコントローラを示します。

図 5. DSI インタフェースの例



以下の表 1 に、STM32 製品内の異なるディスプレイ・インタフェース構成についてまとめています。

表 1. STM32 製品のディスプレイ・インタフェース接続

従来の ディスプレイ・ インタフェース	MIPI ディスプレイ・ インタフェース 標準	フレーム バッファのある ディスプレイの サポート	フレーム バッファのない ディスプレイの サポート	ピン数	パラレル/ シリアル	STM32 サポート
モトローラ6800	DBI タイプ A	可能	不可	12~22	パラレル	F (S) MC 搭載の 全 STM32
Intel 8080	DBI タイプ B	可能	不可	12~22	パラレル	F (S) MC 搭載の 全 STM32
SPI	DBI タイプ C	可能	不可	4~6	シリアル	全 STM32
RGB	DPI	不可	可能	20~28	パラレル	LTDC 搭載の全 STM32 (STM32F4x9、 STM32F7x6、 STM32F7x7、 STM32F7x8、 STM32F7x9)
-	DSI	可能 (DSI コマンド・ モード)	可能 (DSI ビデオ・ モード)	4~6	シリアル	STM32F469、 SM32F479、 STM32F7x8、 STM32F7x9

2.4 STM32 マイクロコントローラ全体での DSI ホストの可用性

DSI ホストは、STM32F469/479 ライン、STM32F7x8 ライン、STM32F7x9 ラインのマイクロコントローラによってサポートされています。表 2 で、STM32 マイクロコントローラの DSI の機能について詳しく説明しています。

表 2. DSI ホストを搭載した STM32 マイクロコントローラ

製品	機能								
	Flash (バイト)	オンチップ SRAM (バイト)	MIPI-DSI ホスト	LTDC ⁽¹⁾	Quad-SPI ⁽²⁾	JPEG コーデック ⁽³⁾	Chrom-Art アクセラレータ ⁽⁴⁾	最大 AHB 周波数 (MHz) ⁽⁵⁾	最大 FMC SRAM および SDRAM 周波数 (MHz)
STM32F469/479 ライン	最大2M	384k	可能	可能	可能	不可	可能	180	90
STM32F7x8 ライン STM32F7x9 ライン	最大2M	512k	可能	可能	可能	可能	可能	216	100

1. LTDC は、TFT-LCD ディスプレイ・コントローラです。STM32 の LTDC インタフェースの詳細については、アプリケーション・ノート AN4861 を参照してください。
2. Quad-SPI インタフェースで外部メモリと接続して、アプリケーションのサイズを拡張できます。STM32 の QSPI インタフェースの詳細については、アプリケーション・ノート AN4760 を参照してください。
3. JPEG コーデックは、JPEG のエンコードおよびデコードでハードウェアを高速化します。
4. Chrom-Art アクセラレータ[®] は、ST 独自の 2D グラフィック・アクセラレーション・エンジンです。
5. LTDC は AHB 速度でグラフィック・データをフェッチします。

2.5 DSI ホストの利点

DSI ホストには、他のディスプレイ・インタフェースと比べて多くの利点があります。

表 3. 他のディスプレイ・インタフェースと比べた DSI ホストの利点

DSI の利点	コメント
ピン数の低減	DSI インタフェースによってピンの要件が大幅に低減されます。より少ないピン数で RGB インタフェースと同じ転送レートで伝送できます。たとえば、LTDC では28ピン必要になるところを、DSI では4ピンまたは6ピンまで低減されます。
PCB の複雑さの軽減	配線する信号が少なくなり、PCB ボードの複雑さが軽減され、余分な PCB 層が不要になります。
EMI（電磁干渉）の低減	DSI インタフェースでは、異なる信号構成であるため、EMI のレベルを低減します。
スケーラブルなアーキテクチャ	DSI ホストには、スケーラブルなアーキテクチャが搭載されています。帯域幅の要件に応じて、ユーザは1つまたは2つのデータ・レーンを選択できます。
高度に統合されたソリューション	DSI ホストには、D-PHY、PLL、電圧レギュレータが組み込まれており、外部コンポーネントが不要になります。
スマート・アーキテクチャ	DSI ホストは LTDC コントローラと連携して機能し、ビデオ・エンジンとして動作します。
標準化されたインタフェース	DSI ホストは、MIPI-DSI 仕様に記載されたすべての動作モードをサポートします。標準化されたインタフェースによって、DSI ディスプレイとの相互運用性が高まります。
最適化された動作モード	STM32 マイクロコントローラの DSI ホストには最適化されたモードがあり、GRAM（グラフィック RAM）を組み込んでいる DSI ディスプレイで使用できます。このモードは、マイクロコントローラ 側での帯域幅とメモリ両方の要件を低減します。
至るところで利用できる DSI ディスプレイのメリット	DSI ディスプレイは、スマートフォンやタブレットで幅広く採用されています。その他数多くの組み込みアプリケーションで非常に魅力的な製品となっています。

2.6 スマート・アーキテクチャでの DSI ホスト

STM32 システム・アーキテクチャは、主にさまざまなマスタをスレーブと相互接続する 32-bit マルチレイヤ・バス・マトリクスで構成されています。

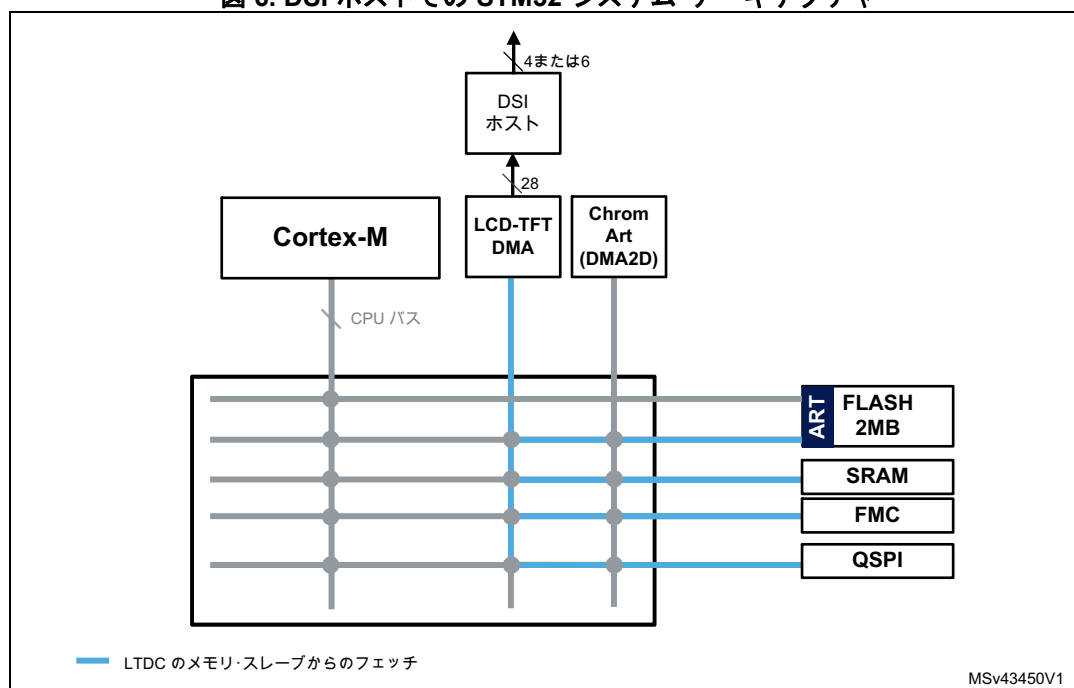
LTDC はバス・マトリクスでマスタとなります。これはさまざまなメモリ位置からグラフィック・データをフェッチします。

DSI ホストは LTDC ディスプレイ・コントローラをビデオ・ストリーマとして使用することで、容易に統合できます。

LTDC からのピクセルおよびビデオ・タイミング・データは、DSI ホストで直列化され、ディスプレイ・モジュールに送信されます。

図 6 に、STM32 システムでの DSI ホストの相互接続について示します。

図 6. DSI ホストでの STM32 システム・アーキテクチャ



3 DSI の概要

DSI は、ホスト・プロセッサとディスプレイ・モジュールの間のインタフェースについて指定します。DPI-2、DBI-2 および DCS 標準で指定されたピクセル・フォーマットとコマンド・セットを採用することで、既存の MIPI Alliance の仕様に基づいて構築されます。

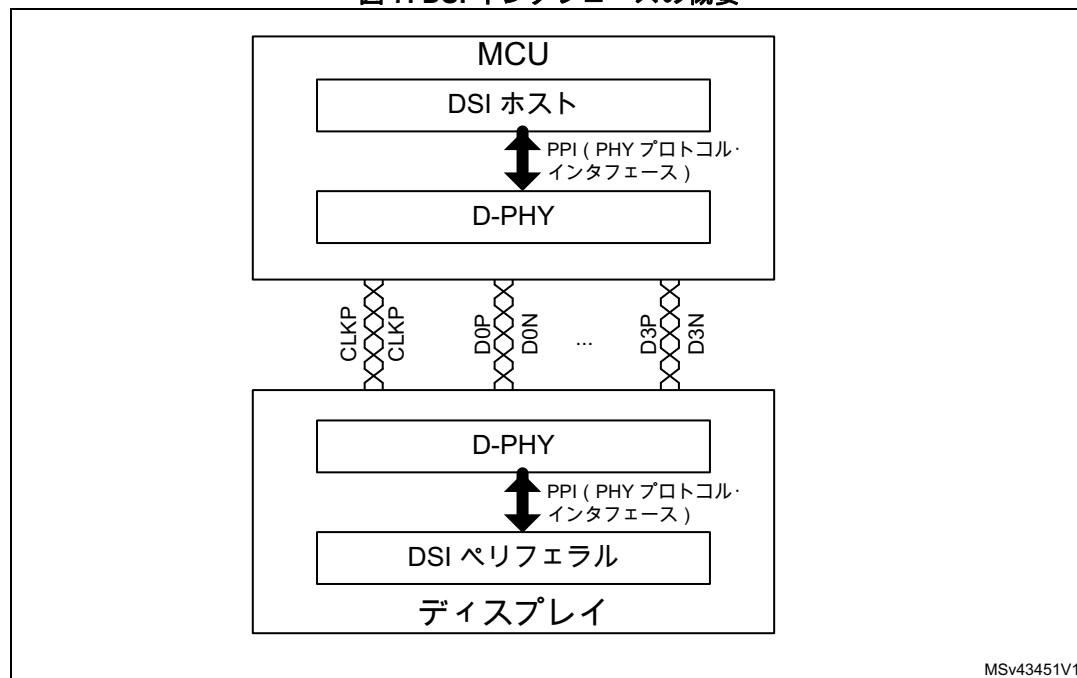
DSI ホストは、ピクセル・データ、信号イベント、コマンドを DSI パケットにカプセル化してからディスプレイに送信します。DSI ホストは、ディスプレイからステータスまたはピクセル情報を読み戻すことができます。

DSI ホストは、PHY プロトコル・インタフェース (PPI) を介してパラレル・データの形式で DSI パケットを D-PHY に送信します。D-PHY はパケットを直列化してシリアル・リンクで送信します。

ディスプレイ側で、このパケットはパラレル・データ、信号イベント、コマンドに分解されます。

図 7 に、ホストとディスプレイの間の DSI インタフェースの概要を示します。

図 7. DSI インタフェースの概要



3.1 DSI 動作モード

DSI 標準では、DSI ホストと DSI ディスプレイについて2種類の基本的な動作モード（コマンド・モードとビデオ・モード）を定義します。

3.1.1 コマンド・モード

コマンド・モードは、トランザクションがディスプレイ・モジュールへのコマンドとデータの送信（DCS 仕様で定義）の形式となる動作を指します。コマンド・モードをサポートするディスプレイ・モジュールには、コントローラとフレームバッファが組み込まれています。

ホスト・プロセッサは、コマンド、パラメータ、データをディスプレイ・コントローラに送信することで、ディスプレイ・モジュールでの動作を間接的に制御します。

3.1.2 ビデオ・モード

ビデオ・モードは、ホスト・プロセッサからディスプレイ・モジュールへの転送がリアルタイムのピクセル・ストリームの形式となる動作を指します。ディスプレイ・モジュールはホスト・プロセッサに依存しており、表示された画像でちらつきやその他の視覚的な乱れを回避する十分な帯域幅で画像データを提供します。

3.2 DSI 物理層

DSI 物理層は、転送元同期、ハイスピード（HS）および低消費電力（LP）のリンクについて記載した MIPI D-PHY 仕様に基づいています。

3.2.1 [PHY 設定例]

このリンクは、ホスト・プロセッサによって供給される1つのダブル・データ・レート HS クロック・レーンと、1~4つのシリアル・データ・レーンによって構成されています。

最小リンク設定では、クロック・レーン1つとデータ・レーン1つが含まれています。

各レーンは、HS 送信中の低振幅差動モードおよび低消費電力モード中のシングル・エンド・モードで駆動される1組の配線で構成されています。

DSI は、正方向（ホストからディスプレイ）または逆方向（ディスプレイからホスト）で通信できます。

逆方向の通信（ディスプレイからホスト）はすべて低消費電力モードでデータ・レーン0のみを使用して実行されます。

コマンド・モードのシステムでは、レーン0は双方向となりますが、ビデオ・モードのシステムでは単方向または双方向で使用できます。

その他すべてのレーンは単方向となり、ハイスピード・モードのみサポートします。


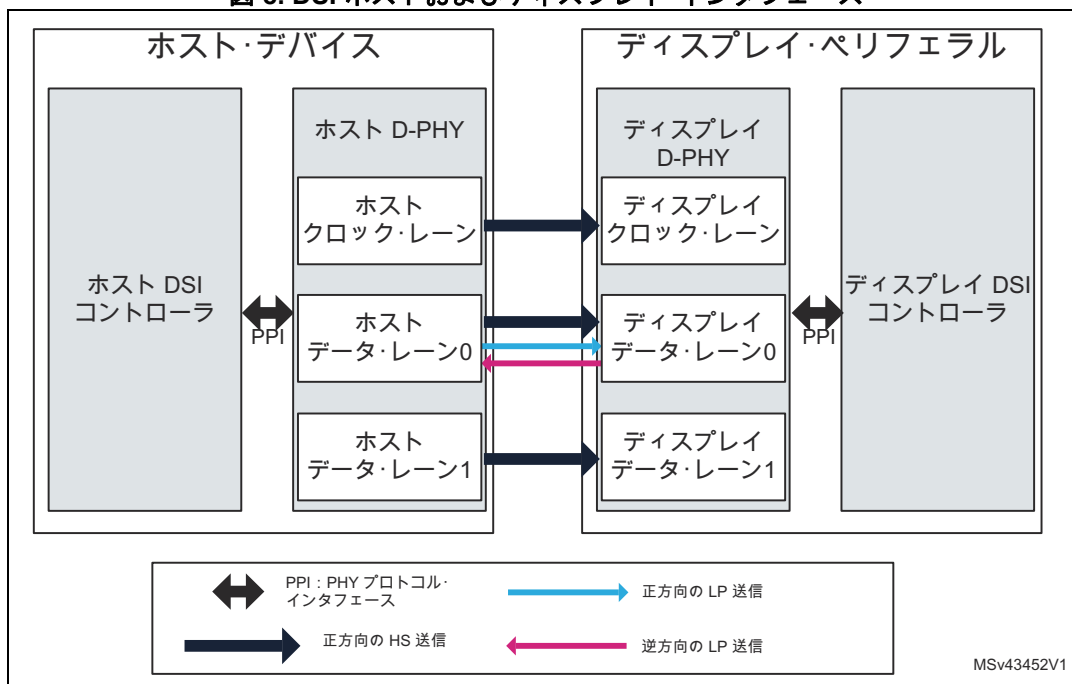
 8 に、1つのクロック・レーンと2つのデータ・レーンでの PHY の設定例を示します。

図 8. DSI ホストおよびディスプレイ・インタフェース



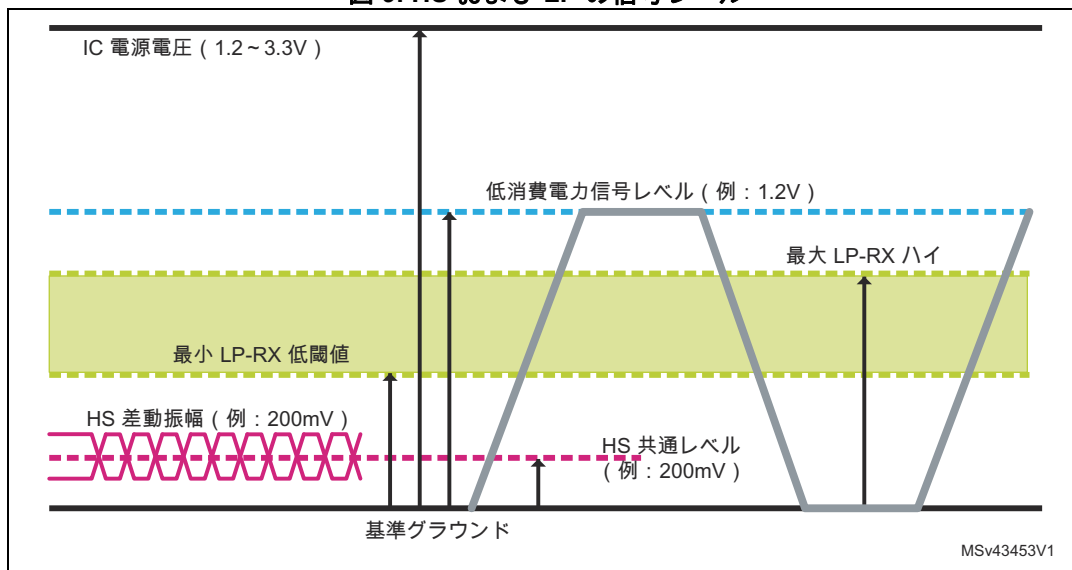
3.2.2 PHY の信号モード

DSI 物理層には2種類の信号モードがあります。

- ハイスピード (HS) モード：レーン信号が最大1.5Gbit/秒の速度での差動モードで使用される高速データ送信に使用されます。
- 低消費電力 (LP) モード：主に制御目的に使用されます。レーンの信号のペアは、最大転送レート10Mbit/秒でのシングル・エンド・モードで独立して駆動させることができます。

図 9 に、DSI 物理層での HS および LP の信号レベルの例を示します。

図 9. HS および LP の信号レベル



データ・レーンの状態

DSI トランスミッタには、HS-0 または HS-1 に個別にラインを駆動させる HS トランスミッタと、シングル・エンド・モードで差分ペア (D_P および D_N) の各ラインを独立して駆動させる2つの LP トランスミッタがあります。これにより、HS トランスミッタでは想定されるレーンの状態が2つ (HS-0 および HS-1)、LP トランスミッタではレーンの状態が4つ (LP-00、LP-10、LP-01、LP-11) となります。

レーンの状態は動作モードを反映し、別のモードへの遷移に使用されます (表 4 を参照)。

表 4. データ・レーンの状態と動作モード

状態コード	D_P ライン レベル	D_N ライン レベル	ハイスピード バースト・モード	低消費電力 制御モード	低消費電力 エスケープ・モード
HS-0	HS ロー	HS ハイ	差分 0	x	x
HS-1	HS ハイ	HS ロー	差分 1	x	x
LP-00	LP ロー	LP ロー	x	ブリッジ	空間
LP-01	LP ロー	LP ハイ	x	HS リクエスト	マーク-0
LP-10	LP ハイ	LP ロー	x	LP リクエスト	マーク-1
LP-11	LP ハイ	LP ハイ	x	STOP	(STOP に戻る)

3.2.3 データ・レーンの動作モード

データ・レーンの動作モードには、制御、ハイスピード転送、エスケープの3種類があります。

制御モード

リセット後、データ・レーンは制御モード (LP-11 STOP 状態) になります。その他すべてのモードは制御モードで開始して終了します。

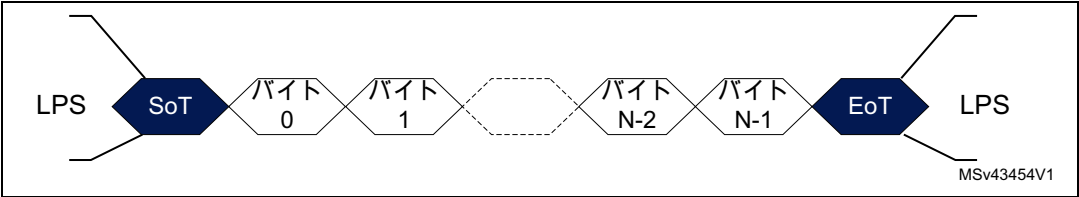
ハイスピード転送モード

ハイスピード転送は開始して STOP 状態 (LP-11) で終了します。

ホストとディスプレイの同期を有効にするために、リーダー・シーケンスとトレイラー・シーケンスが追加されます。これらは実際のペイロード・データの一部ではないため、レシーバ側で削除されます。

図 10 に基本的な HS 送信の例を示します。

図 10. 基本的な HS データ送信



1. 送信開始 (SoT) 手順

HS リクエスト (LP-11、LP-01、LP-00) を受信すると、データ・レーンは HS モードに移行します。ホストが HS-0 を駆動することで開始し、HS 同期シーケンス (00011101) を駆動してスレーブの同期を許可します。

その後、ホストは HS データの送信を続行します。

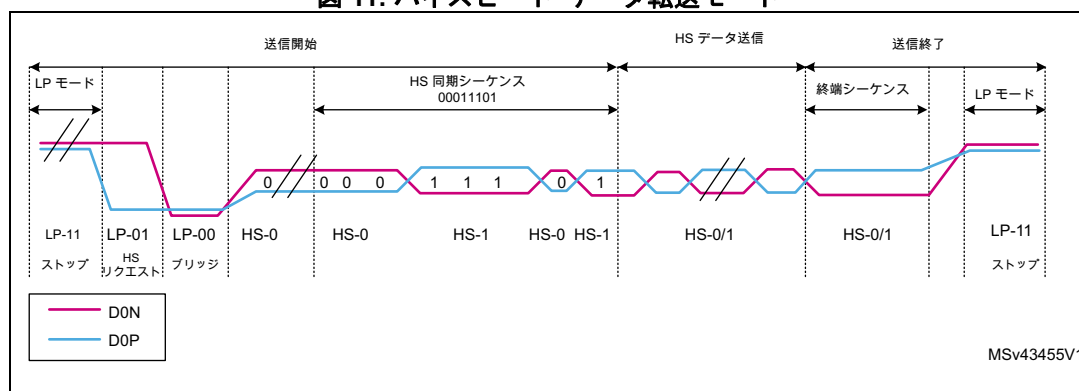
2. 送信終了 (EoT) 手順

HS パーストの終了後、ホストは終端シーケンスを送信します。

終端シーケンスは、送信した最終データ・ビットの逆です。最終ペイロード・ビットが HS-0 の場合、トランスミッタは終端シーケンスとして HS-1 を送信します。そうでない場合は、HS-0 を送信します。

データ・レーンは STOP 状態 LP-11 を経て制御モードに戻ります。

図 11. ハイスピード・データ転送モード

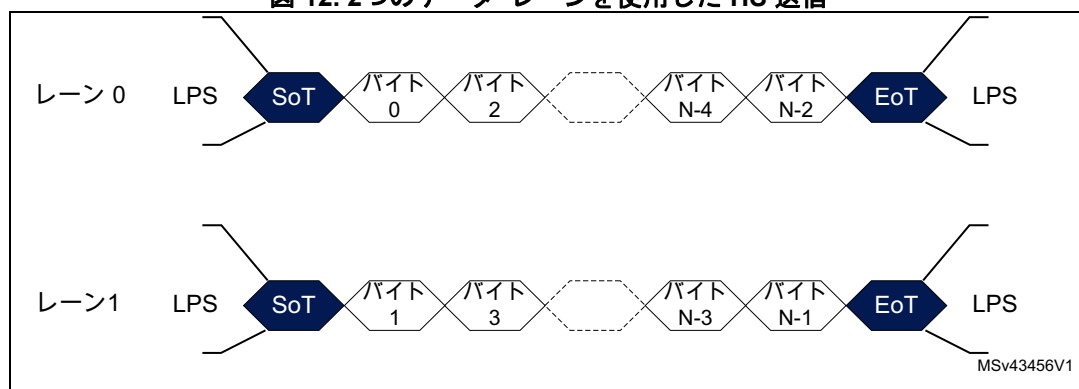


3. マルチレーン・サポート

HS 送信は1つ以上のデータ・レーンを使用して実行できます。

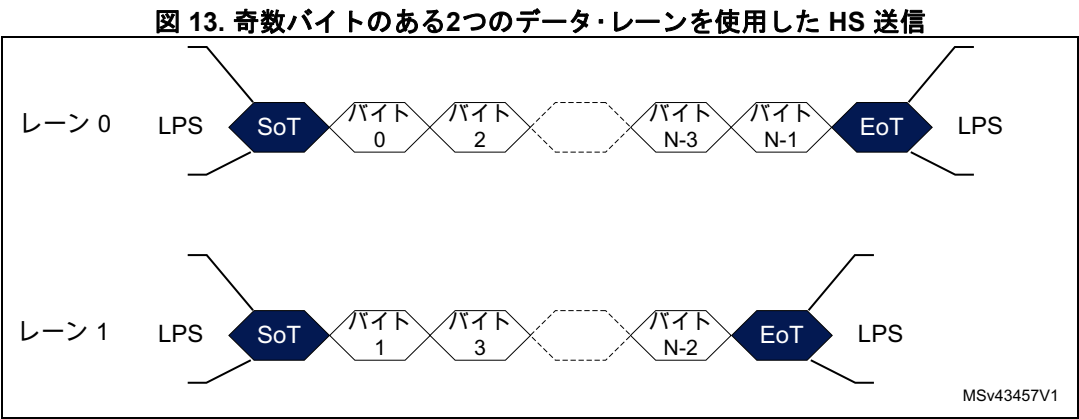
図 12 に、2つのデータ・レーンを使用した HS 送信の例を示します。

図 12. 2つのデータ・レーンを使用した HS 送信



送信したバイト数がレーン数の整数倍ではない場合、一部のレーンが他のレーンより先に HS 送信を完了する場合があります。

図 13 に、2つのデータ・レーンを使用し、データ・レーン0より先にレーン1の HS 送信を完了させて EoT シーケンスを発行する奇数バイトがある例を示します。



エスケープ・モード

データ・レーンは、エスケープ・モードのリクエスト手順（LP-11、LP-10、LP-00、LP-01、LP-00）でエスケープ・モードに移行する場合があります。

エスケープ・モードに移行すると、トランスミッタはリクエストされたアクションを示す 8-bit 移行コマンドを送信します。

エスケープ移行コマンドに次のものが含まれる場合があります。

- 低消費電力データ送信（LPDT）
- 超低消費電力状態（ULPS）
- リモート・トリガ

表 5 に、エスケープ・モードでサポートされる異なる移行コマンドを示します。

表 5. エスケープ・モードのコマンド

エスケープ・モードのアクション	コマンド・タイプ	移行コマンド・パターン
低消費電力データ送信	モード	11100001
超低消費電力状態	モード	00011110
未定義-1	モード	10011111
未定義-2	モード	11011110
リセット・トリガ	トリガ	01100010
ティアリング効果トリガ	トリガ	01011101
確認応答トリガ	トリガ	00100001
不明-5	トリガ	10100000

注： 低消費電力データ送信およびトリガ・メッセージはレーン0でのみサポートされます。

エスケープ・モードは、エスケープ・モード終了手順（LP-10、LP-11）を経て終了します。

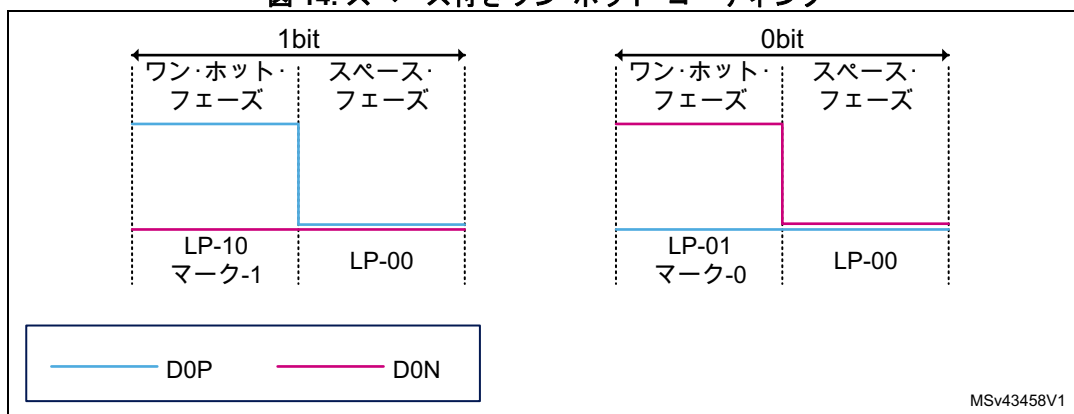
1. スペース付きワン・ホット・コーディング

エスケープ・モードでは、移行コマンドと低消費電力データ送信（LPDT）通信はスペース付きワン・ホット・コーディングでコードされ、各マーク状態がスペース状態でインタリーブされることを意味します。

そのため、各シンボルがワン・ホット・フェーズ（マーク-0 またはマーク-1）とスペース・フェーズの2つの部分で構成されます。

スペース付きワン・ホット・コーディングには高い信頼性と、データ・ストリームからクロックを抽出する機能が備わっています。ただし、これには、送信したデータの倍の帯域幅が必要になります（図 14 を参照）。

図 14. スペース付きワン・ホット・コーディング



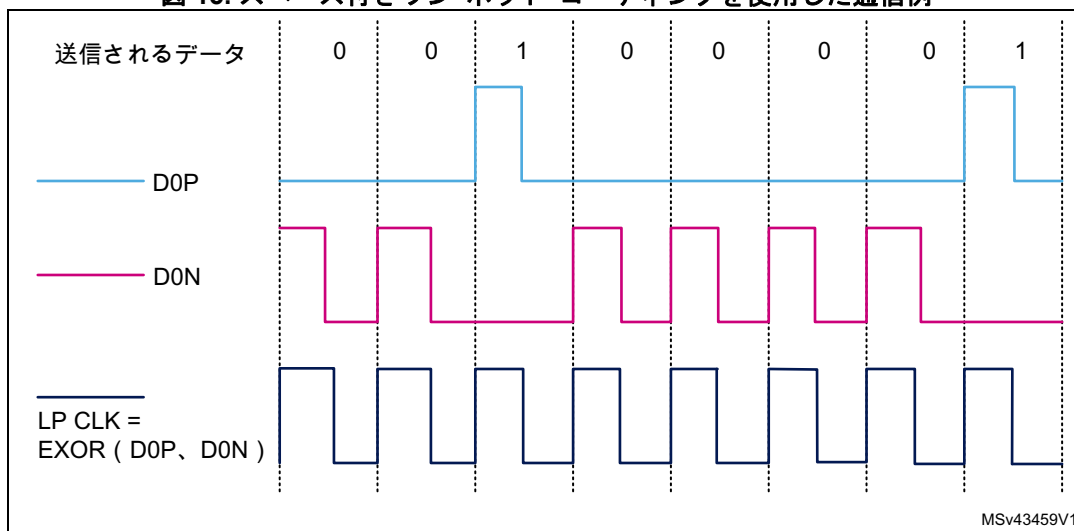
2. 低消費電力クロック

トランスミッタは、低消費電力通信に低消費電力クロック信号を使用しますが、このクロックは受信側に送信されません。

データはスペース付きワン・ホット・ビット・エンコーディングでセルフ・クロック供給され、レシーバは排他的論理和関数で2つのラインの信号からクロックを取得できます。

図 15 に、スペース付きワン・ホット・エンコーディングを使用したデータ送信の例を示します。LP クロックは、2つの信号（D0P および D0N）に排他的論理和関数を適用することで取得されます。

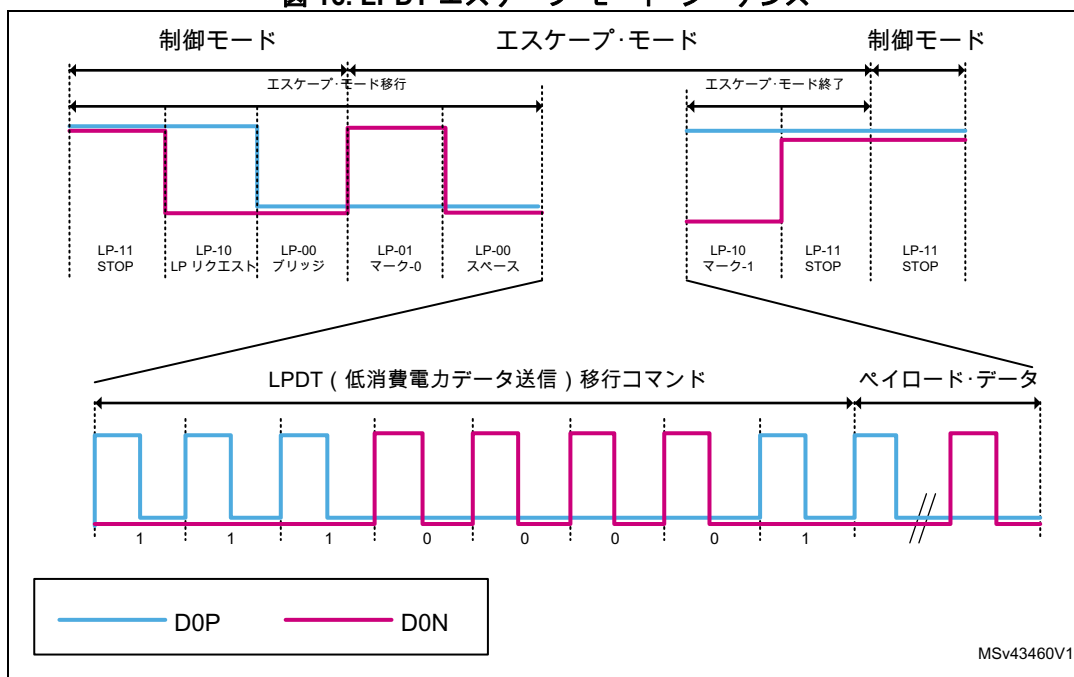
図 15. スペース付きワン・ホット・コーディングを使用した通信例



3. 低消費電力データ転送

エスケープ・モード移行シーケンス後、トランスミッタは LPDT 移行コマンド (11100001) に続いて実際のペイロード・データを送信します。図 16 に、LPDT エスケープ・モード・シーケンスを示します。

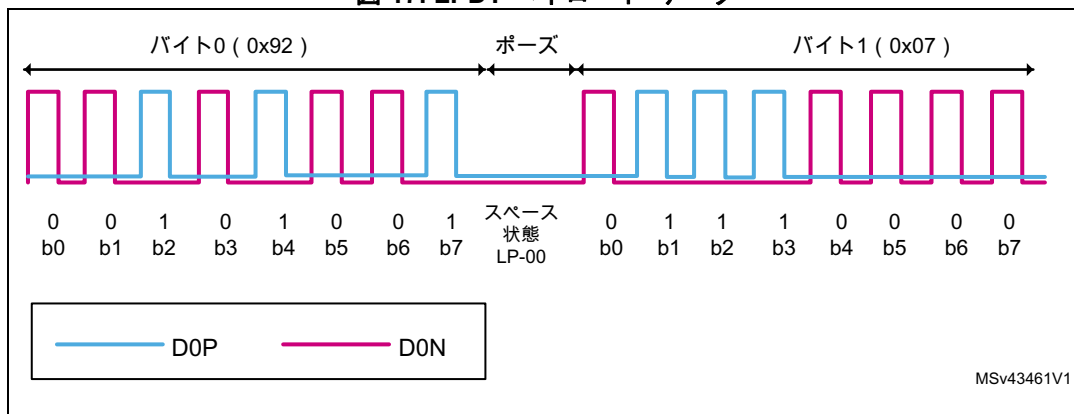
図 16. LPDT エスケープ・モード・シーケンス



データは LSB（最下位ビット）ファーストで送信され、マルチバイト・ペイロードの場合は最下位バイトがまず転送されます。

LPDT 時、ラインでスペース状態（LP-00）を維持することでレーンをポーズできます。図 17 に、LPDT ペイロード・データ送信の例を示します。

図 17. LPDT ペイロード・データ



4. 超低消費電力状態

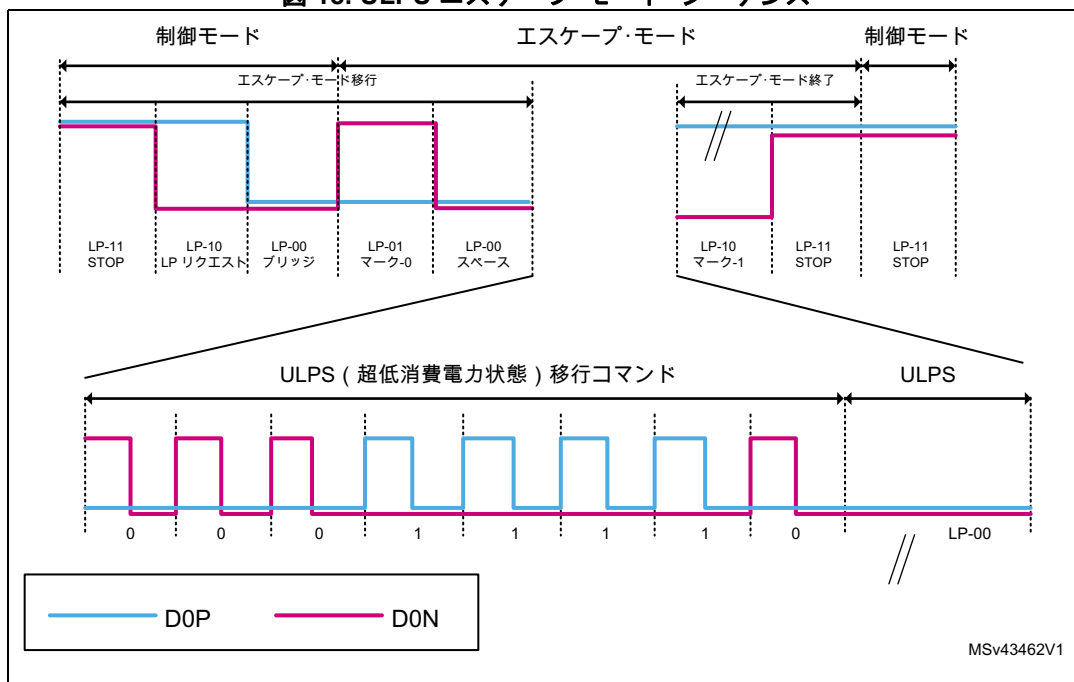
消費電力を削減するために、DSI ホストがデータ・レーンを超低消費電力状態（ULPS）にする場合があります。これは次の手順に従って行います。

- エスケープ・モード（LP-11、LP-10、LP-00、LP-01、LP-00）に移行します。
- ULPS 移行コマンド（00011110）を送信します。
- レーンの信号を LP-00 状態で維持します。

ULPS 状態はマーク-1（LP-10）に続いて STOP 状態（LP-11）になって終了します。

図 18 に、ULPS エスケープ・モード・シーケンスを示します。

図 18. ULPS エスケープ・モード・シーケンス



5. トリガ

トリガ信号は、受信側にフラグを送信するメッセージング・システムです。これは、正方向または逆方向で使用できます。

DSI では、3つのトリガ・メッセージを使用できます。

- 確認応答トリガ：ディスプレイによって DSI ホストに送信されるメッセージで、最後の送信がエラーなく受信されたことを示します。これは逆方向の通信です（図 19 を参照）。
- ティアリング効果トリガ：ディスプレイによって使用され、内部タイミングについてホストに通知します。これは逆方向の通信です（図 20 を参照）。
- リセット・トリガ：ホストによって送信され、ディスプレイをリセットします（図 21 を参照）。

図 19. 確認応答トリガの例

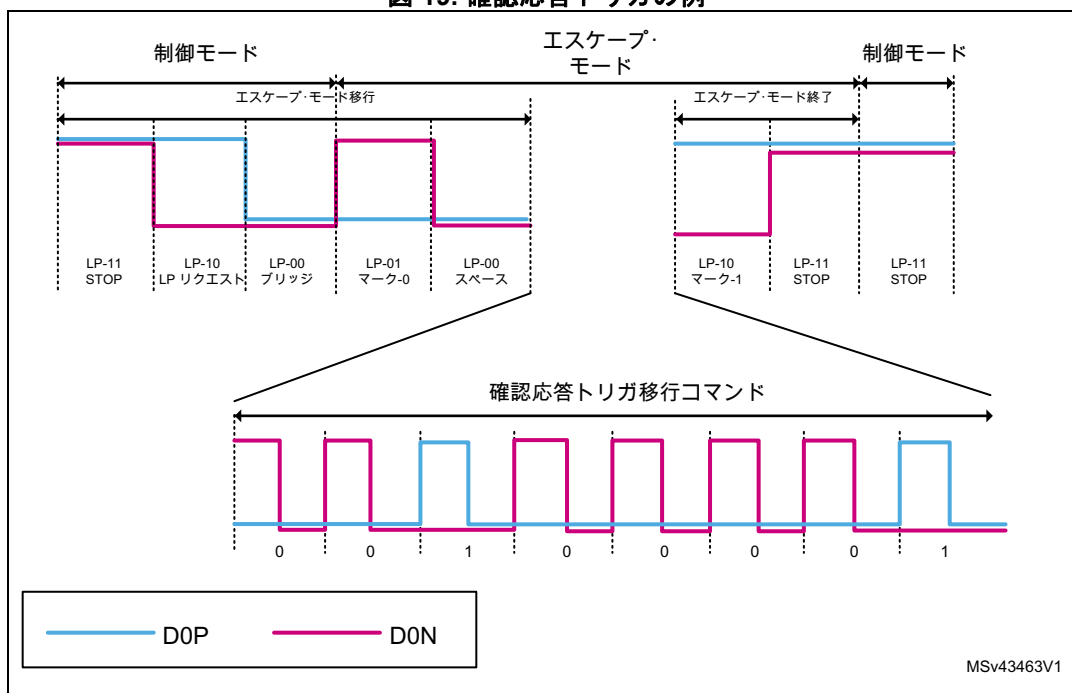


図 20. ティアリング効果トリガの例

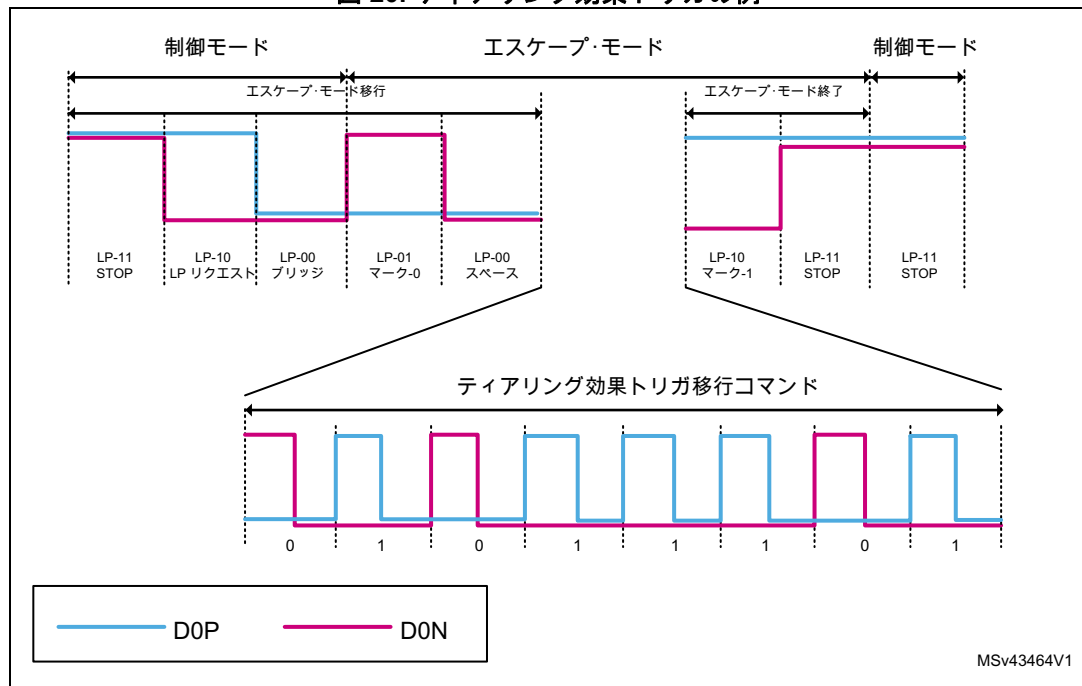
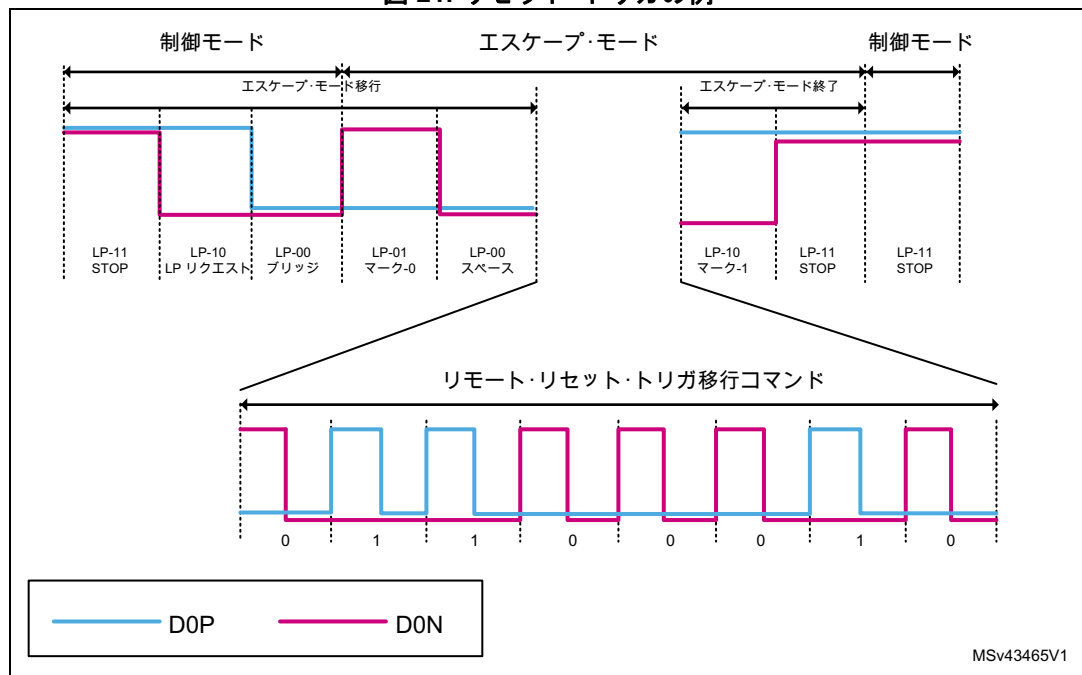


図 21. リセット・トリガの例

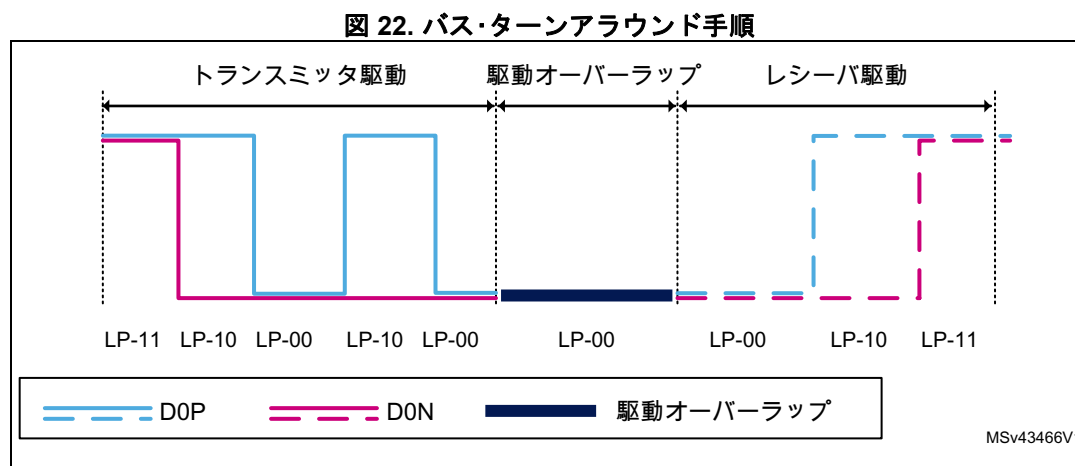


3.2.4 双方向レーンおよびバス・ターンアラウンドの手順

DSI は、データ・レーン0でのみ双方向データ・リンクをサポートします。逆方向送信を許可するために、バス・ターンアラウンド（BTA）手順でデータ・レーンの方向を切り替えることができます。

BTA は STOP 状態（LP-11）から開始します。レシーバにバスの所有権が渡ると、逆方向送信を開始できます。その後、レシーバは同じターンアラウンド手順でバスの所有権をホストに戻す必要があります。

図 22 に BTA シーケンスを示します。



3.2.5 クロックレーンの電力モード

DSI CLK レーンは、3種類の電力モード（低消費電力モード、超低消費電力状態、ハイスピード・クロック・モード）で駆動できます。

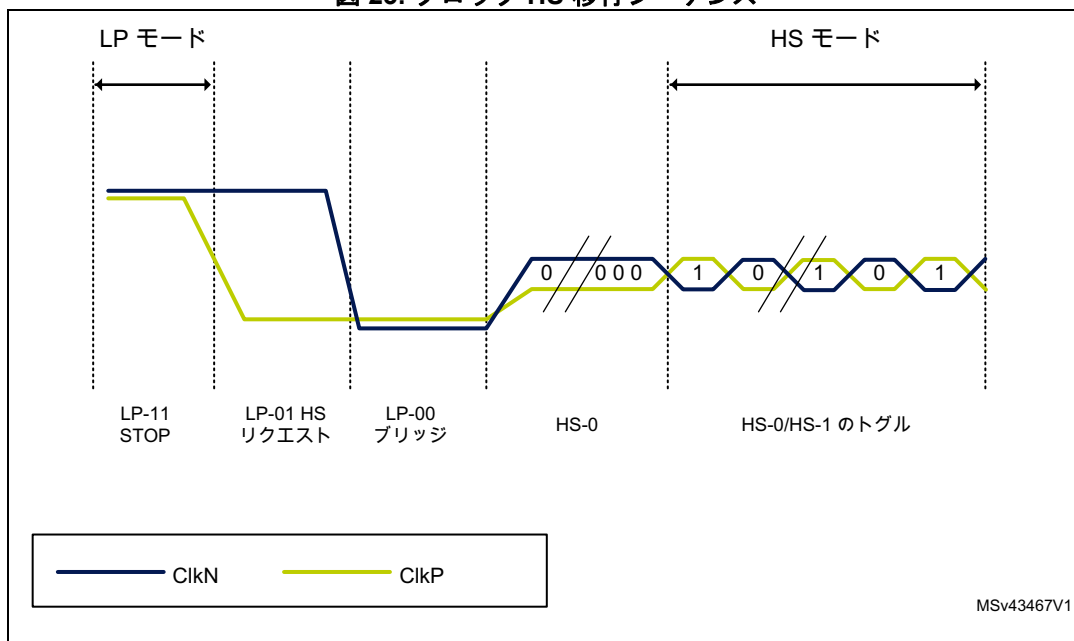
低消費電力モード

低消費電力モード時、クロック・レーンは LP-11 STOP 状態になります。その他すべてのモードは LP モードで開始して終了します。

ハイスピード・モード

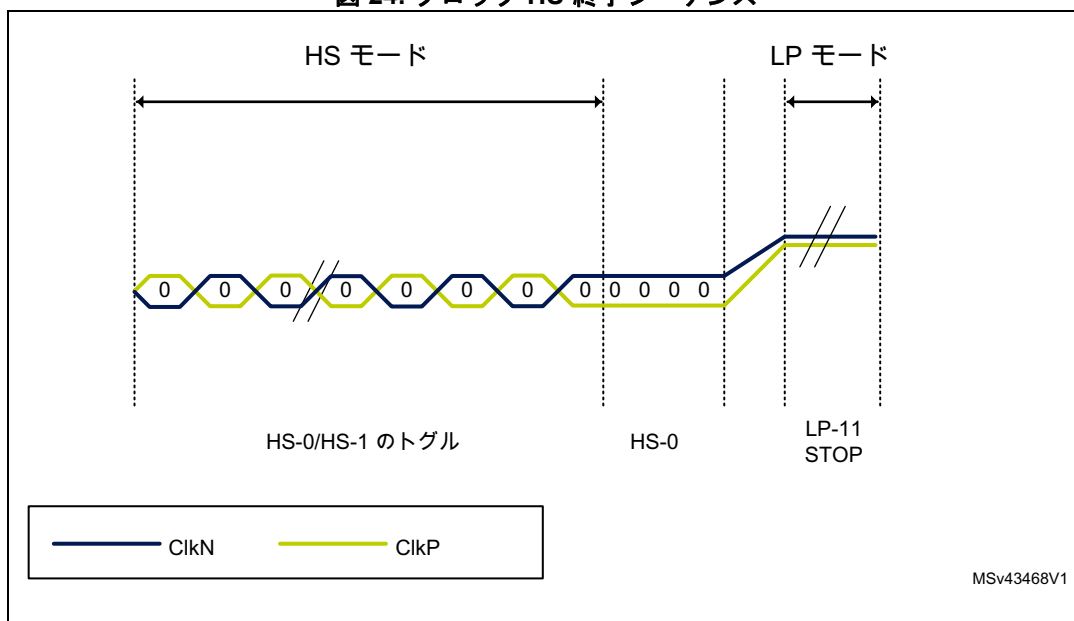
クロック・レーンは、HS 移行シーケンス（LP-11、LP-01、LP-00、HS-0）を駆動することで、LP モードから開始して HS モードに移行します（図 23 を参照）。その後、クロック・レーンは HS モードに移行して、HS-0、HS-1 のトグルを開始します。

図 23. クロック HS 移行シーケンス



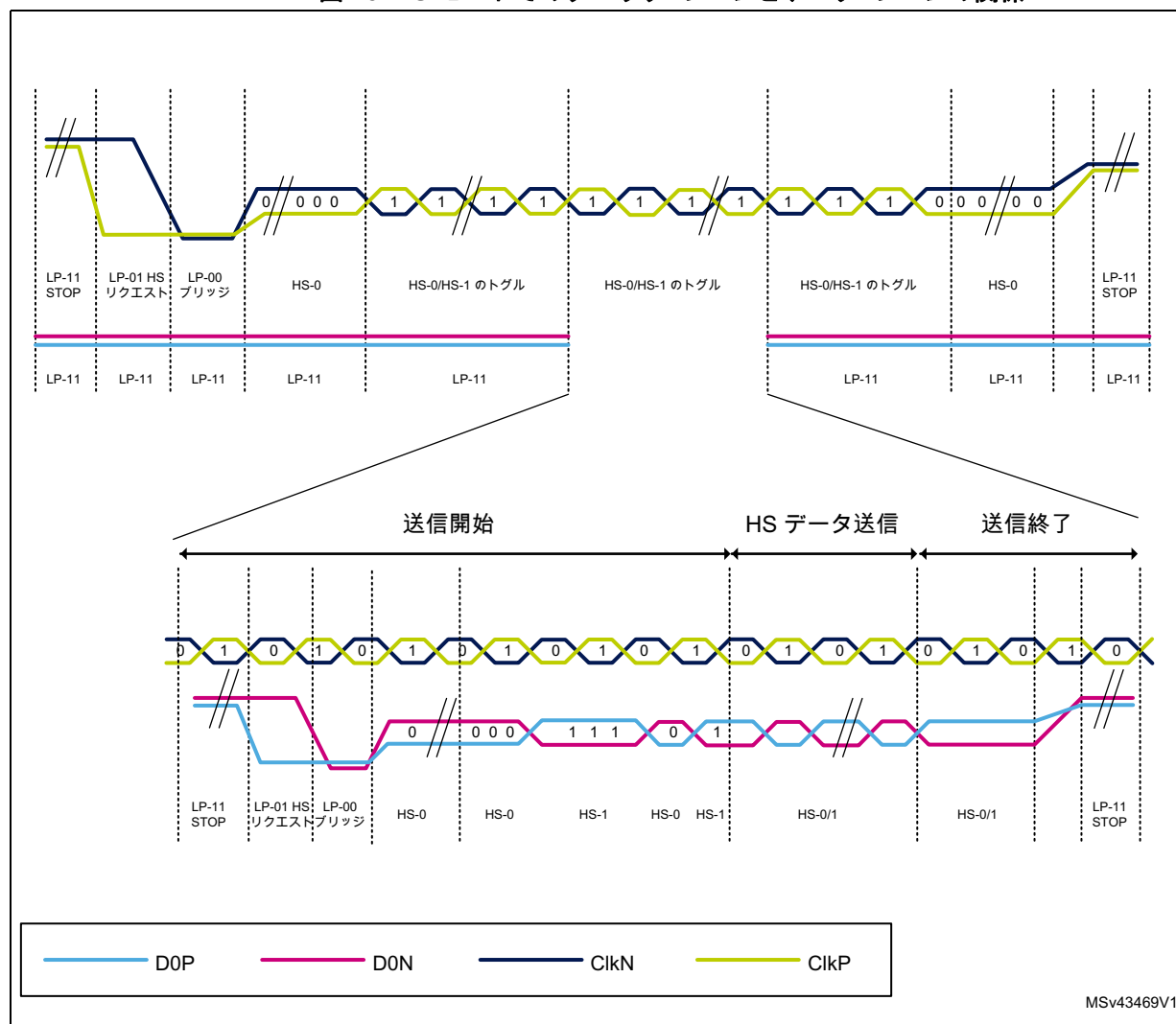
クロック・レーンは、終了シーケンス（HS-0、LP-11）で HS モードを終了します（図 24 を参照）。

図 24. クロック HS 終了シーケンス



ハイスピード・クロックは、ハイスピード・データがデータ・レーンで送信される前に開始します。ハイスピード・クロックは、ハイスピード・データ・レーンが停止した後も引き続きクロック供給します（図 25 を参照）。

図 25. HS モードでのクロック・レーンとデータ・レーンの関係



MSv43469V1

超低消費電力状態（ULPS）

エスケープ・モードは、データ・レーンではサポートされていますが、クロック・レーンではサポートされていません。ただし、クロック・レーンでは ULPS（エスケープ・モードのサブセット）をサポートしています。

図 26 に示すように、クロック・レーンは ULPS 移行シーケンス（LP-11、LP-10、LP-00）を使用することで、STOP 状態から開始して ULPS に移行できます。

図 26. クロック・レーン ULPS 移行シーケンス

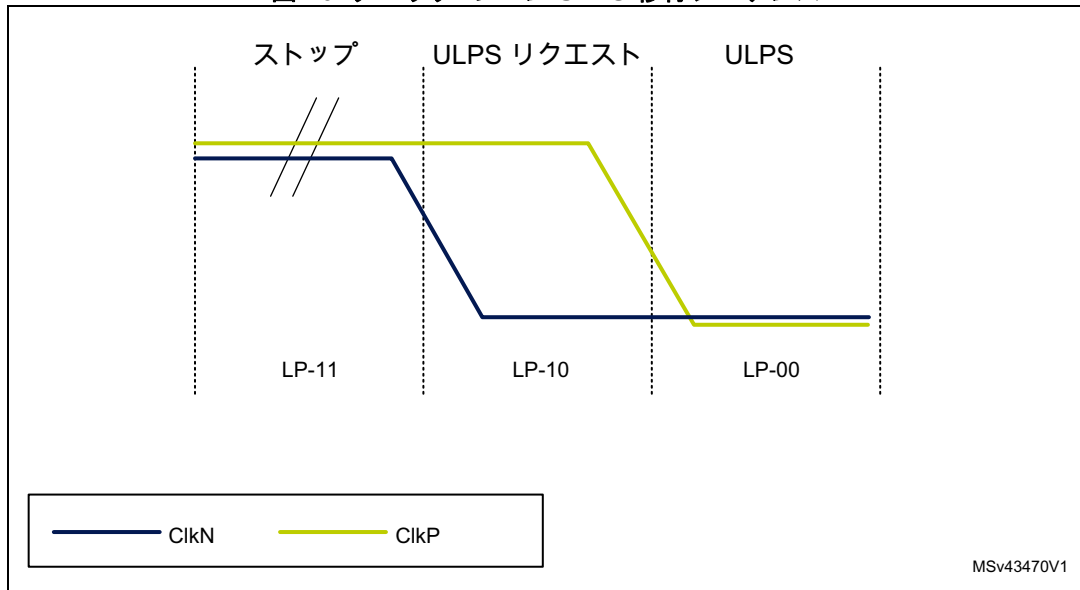
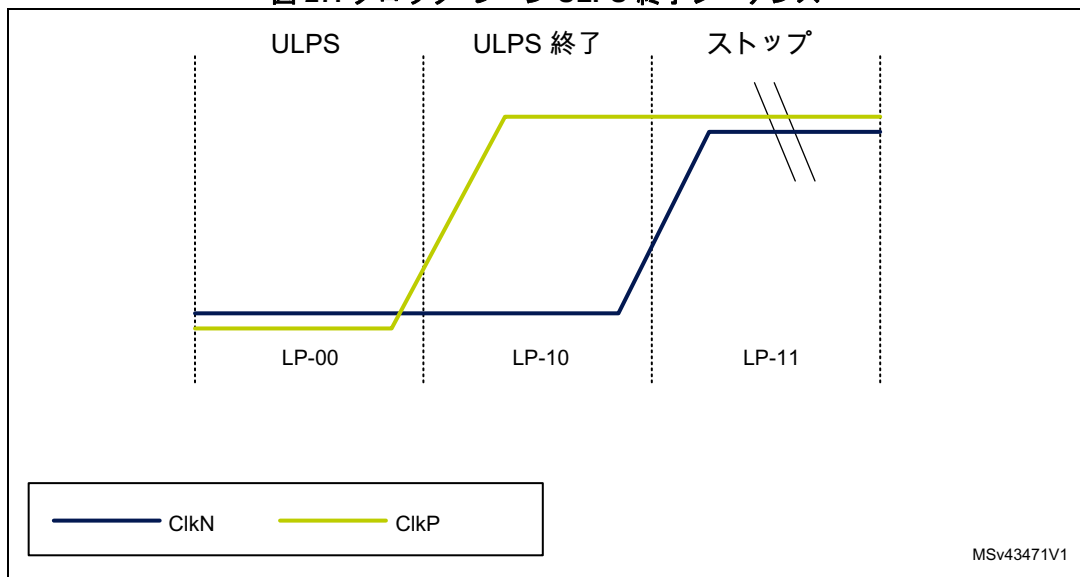


図 27 に示すように、クロック・レーンは ULPS 終了シーケンス (LP-00、LP-10、LP-11) を使用することで、LPM に向けて ULPS 状態を終了します。

図 27. クロック・レーン ULPS 終了シーケンス



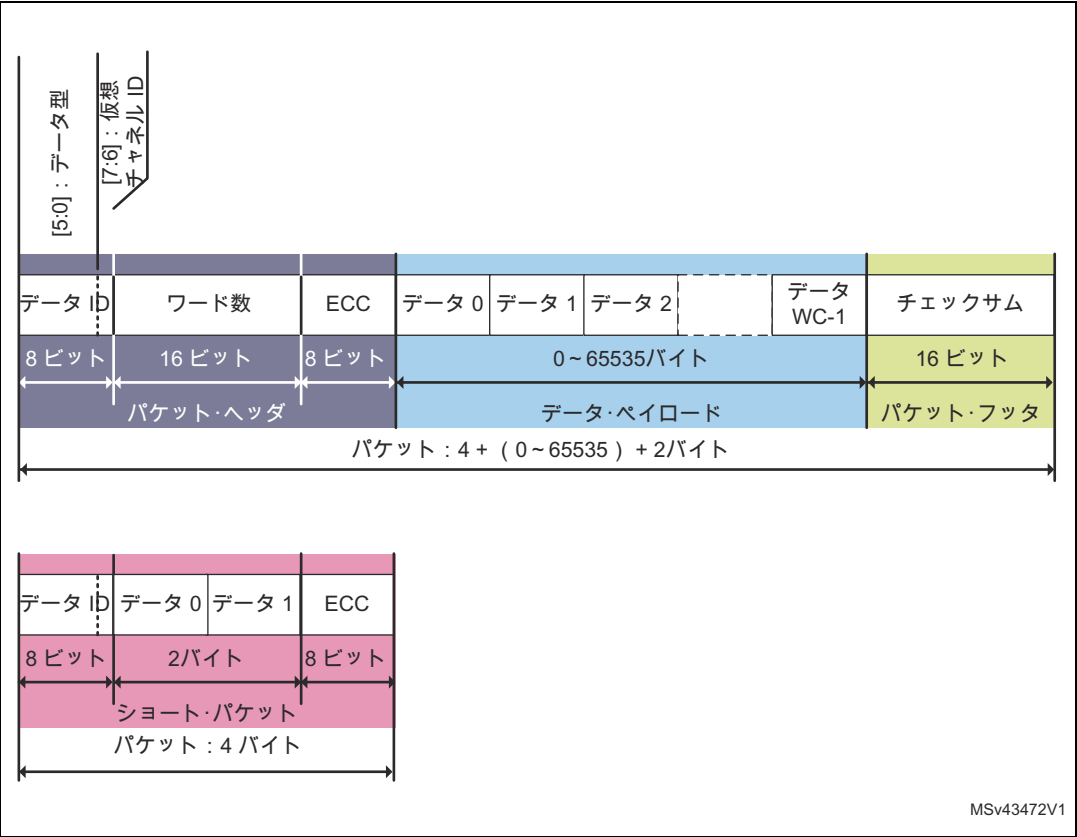
3.3 DSI プロトコル

DSI はパケット・ベースのプロトコルです。パラレル・データとコマンドはパケットにカプセル化され、パケット・プロトコル情報とヘッダが付加されます。

3.3.1 パケット構造

ロング・パケットとショート・パケットという2種類のパケット構造が、ローレベルのプロトコル通信に対して定義されます。図 28 を参照してください。

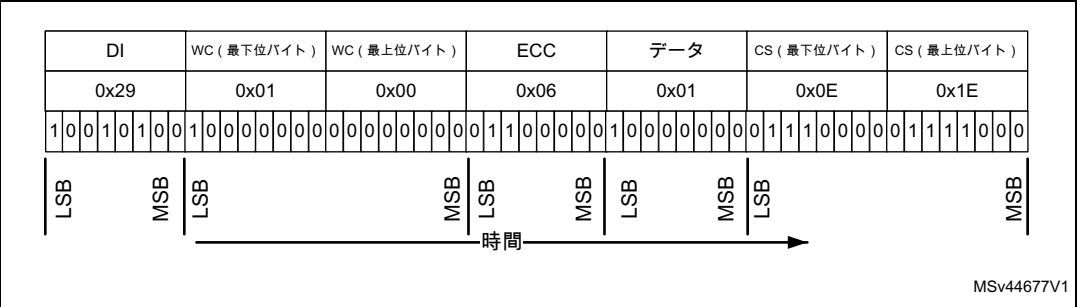
図 28. ショート・パケットとロング・パケットの構造



データは、最下位ビット・ファーストで、バイト単位で送信されます。ワード・カウントやチェックサムなどのマルチバイト・フィールドの場合、データは最下位バイト・ファーストで送信されます。

図 29 にロング・パケットの例を示します。

図 29. ロング・パケットの例



ロング・パケット

ロング・パケットは主にピクセル・データなど大きなデータ・ブロックの送信に使用されます。このパケットは、パケット・ヘッダ（PH）、ペイロード・データ、パケット・フッタ（PF）の3つの部分で構成されています。

32-bit パケット・ヘッダには次のものが含まれます。

- 8-bit データ ID
- ペイロード・データの長さ（バイト数）を定義する 16-bit ワード・カウント
- パケット・ヘッダを保護する 8-bit ECC（エラー訂正コード）

ペイロード・データにはアプリケーション固有のデータが含まれます。これは、主にピクセル・データやコマンド・パラメータの伝達に使用されます。長さは、ワード・カウントで定義されます。0～65535 バイトの長さになります。

パケット・フッタは、16-bit チェックサム（CS）で構成されています。トランスミッタによって計算され、レシーバがデータをエラーなしで受信したかどうかを確認するために使用されます。

ロング・パケットの最小長は0ペイロード・データを持つ6バイトです。

- PH 4バイト
- PF 2バイト

最大長は65541バイトです。

- PH 4バイト
- ペイロード・データ 65534 バイト
- PF 2バイト

ショート・パケット

ショート・パケットは4バイトで形成されています。

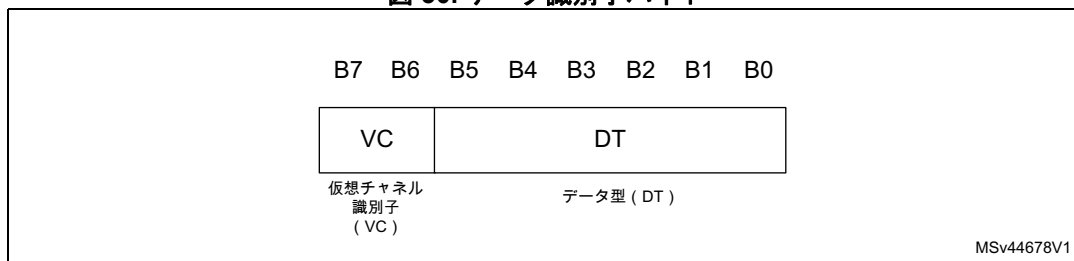
- データ ID 用の1バイト
- コマンドまたはペイロード・データ用の2バイト
- ECC 用の1バイト

これらは、主に短いコマンド送信や、ビデオ同期イベントなどのタイミングが重要な情報に使用されます。

データ識別子バイト

パケットの最初のバイトは DI（データ識別子）バイトです。DI バイトは仮想チャネル（VC）識別子とデータ型（DT）で構成されています（[図 30](#) を参照）。

図 30. データ識別子バイト



1. 仮想チャネル識別子
DSI ホストは、ヘッダの仮想チャネル ID フィールドを使用して、タグ付きコマンドやデータ・ブロックを最大4つのペリフェラルに供給できます。VC は、データの送信先となるペリフェラルを識別します。
2. データ型フィールド DT[5:0]
データ型フィールドは、パケットがロング・パケットかショート・パケットか型を指定します。また、パケット・フォーマットやペイロード・データの内容も指定します。

データ保護（ECC およびチェックサム）

DSI 標準には、2つのデータ保護メカニズムがあります。ECC およびチェックサムです。

1. エラー訂正コード
エラー訂正コード（ECC）バイトによって、1-bit のエラーを訂正でき、2-bit エラーを検出できます。
ECC は、重要な情報を伝達する際に通常使用されるショート・パケットの堅牢な保護を表します。また、データ識別子とワード・カウント両方のフィールドを含むロング・パケット・ヘッダの優れた保護にもなります。
2. チェックサム
ロング・パケットのペイロード・データは、ペイロードに1つ以上のエラーがあることだけを示すことができる 16-bit チェックサムで保護されます。

3.3.2 送信終了（EoT）パケット

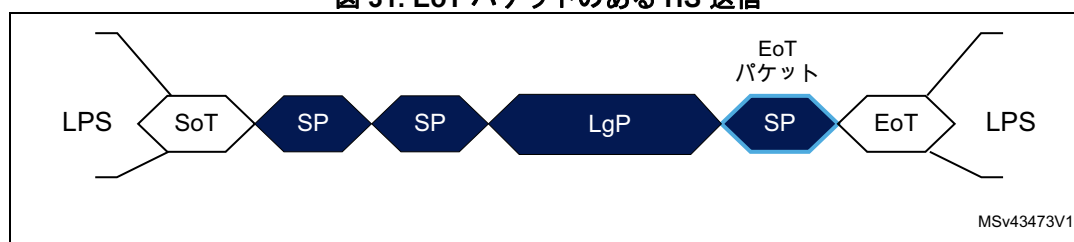
D-PHY は EoT シーケンスを使用して、HS 送信の終了を通知しますが、このシーケンスはレシーバで有効なデータとして解釈できます。

プロトコル・レベルで堅牢性を付加するために、DSI トランスミッタは EoTp（送信終了パケット）を送信して HS 送信の終了を通知できます。

このメカニズムによって、オーバーヘッド（送信ごとにさらに4バイト分）が増加する代わりに環境の堅牢性が高まります。

図 31 に、EoT パケットを有効にした HS 送信の例を示します。

図 31. EoT パケットのある HS 送信



3.3.3 パケット送信モード

ショート・パケットとロング・パケットは HS または LP モードで送信できます。また、HS モードで送信されるパケットは、使用可能なデータ・レーン間で分けることができます。

図 32 に、1つのデータ・レーンを使用した HS モードでのショート・パケットの送信を示します。

図 32. 1つのデータ・レーンを使用した HS モードでのショート・パケットの送信

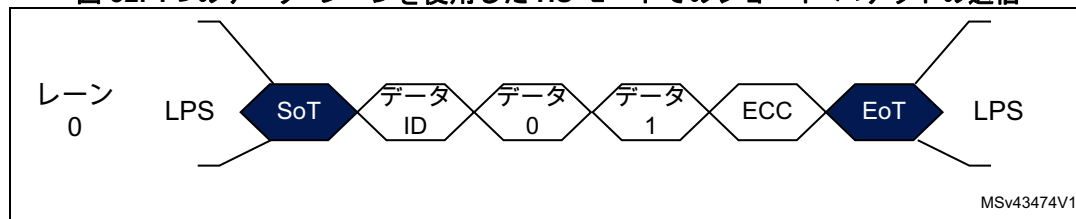


図 33 に、2つのデータ・レーンを使用した HS モードでのショート・パケットの送信を示します。

図 33. 2つのデータ・レーンを使用した HS モードでのショート・パケットの送信

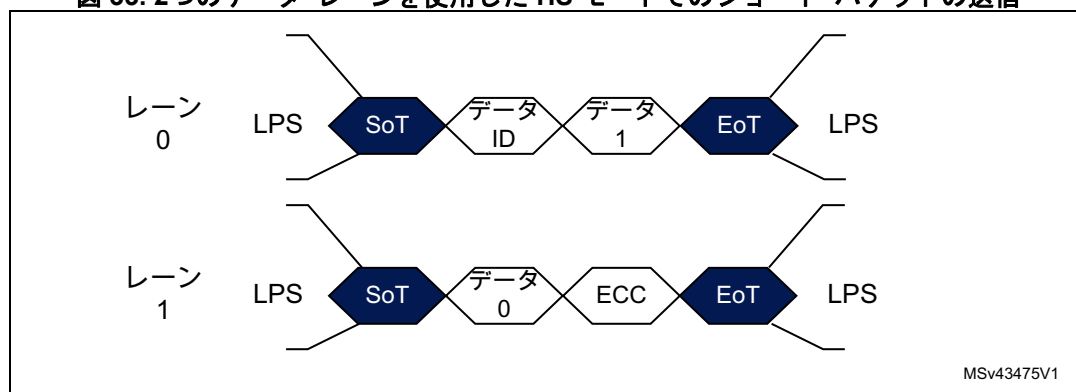


図 34 に、LP モードでのショート・パケットの送信を示します。

注： LP モードでは、データ・レーン0のみが送信に使用できます。

図 34. 低消費電力モードでのショート・パケットの送信

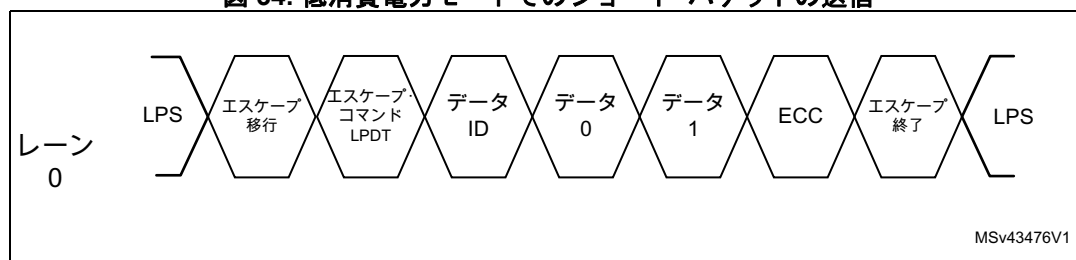
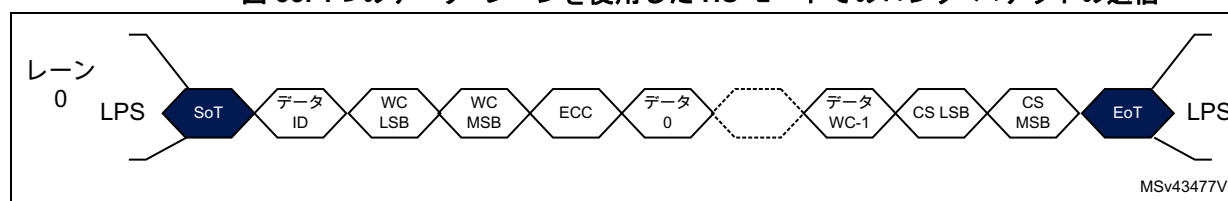


図 35 に、1つのデータ・レーンを使用した HS モードでのロング・パケットの送信を示します。

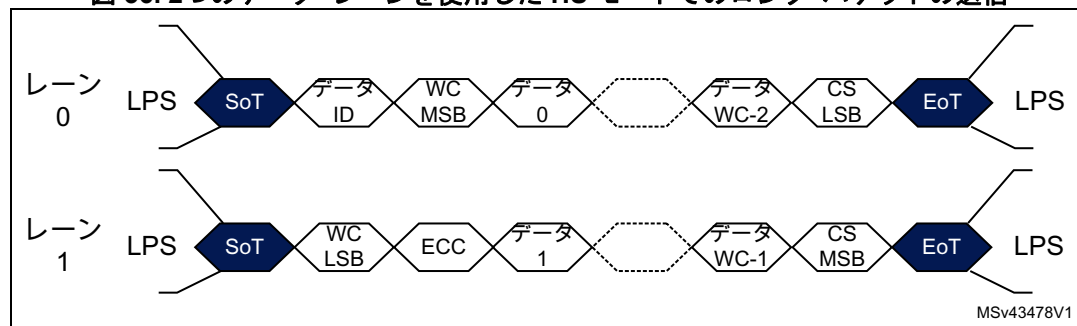
図 35. 1つのデータ・レーンを使用した HS モードでのロング・パケットの送信



HS モードでは、複数レーンを使用してデータを送信できます。

図 36 に、2つのデータ・レーンを使用した HS モードでのロング・パケットの送信を示します。

図 36. 2つのデータ・レーンを使用した HS モードでのロング・パケットの送信



ペイロード・データの数があるレーン数の整数倍ではない場合、一部のレーンが他のレーンより先に HS 送信を完了して、1サイクル（バイト）分早く EoT を送信する場合があります。

図 37 に、2つのデータ・レーンを使用した例を示します。この場合、ペイロード・データに、データ・レーン0より先にデータ・レーン1の HS 送信を完了させる奇数バイトがあります。

図 37. 奇数のペイロード・データがある2つのデータ・レーンを使用した HS モードでのロング・パケットの送信

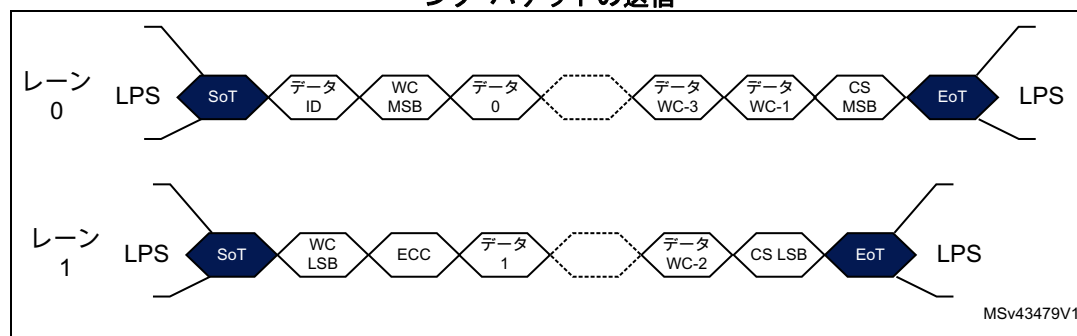
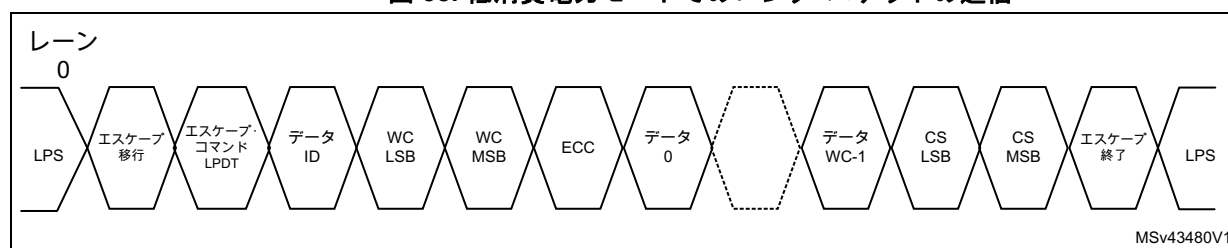


図 38 に、LP モードでのロング・パケットの送信を示します。

図 38. 低消費電力モードでのロング・パケットの送信



3.3.4 ホストからディスプレイのデータ型

ホストからディスプレイのデータ型は、ショート・パケットまたはロング・パケットを使用できます。これらはビデオまたはコマンドのデータ型となります。ホストからディスプレイのデータ型は、表 6 に示されています。

表 6. ホストからディスプレイのデータ型

データ型	説明	パケット	DSI モード
0x01	同期イベント、V 同期開始	ショート	ビデオ
0x11	同期イベント、V 同期終了	ショート	ビデオ
0x21	同期イベント、H 同期開始	ショート	ビデオ
0x31	同期イベント、H 同期終了	ショート	ビデオ
0x08	送信終了パケット (EoTp)	ショート	両方
0x02	カラー・モード (CM) オフ・コマンド	ショート	ビデオ
0x12	カラー・モード (CM) オン・コマンド	ショート	ビデオ
0x22	ペリフェラル・シャットダウン・コマンド	ショート	ビデオ
0x32	ペリフェラル・オン・コマンド	ショート	ビデオ
0x03	汎用ショート書込み、パラメータなし	ショート	コマンド
0x13	汎用ショート書込み、パラメータ1つ	ショート	コマンド
0x23	汎用ショート書込み、パラメータ2つ	ショート	コマンド
0x04	汎用読出し、パラメータなし	ショート	コマンド
0x14	汎用読出し、パラメータ1つ	ショート	コマンド
0x24	汎用読出し、パラメータ2つ	ショート	コマンド
0x05	DCS ショート書込み、パラメータなし	ショート	コマンド
0x15	DCS ショート書込み、パラメータ1つ	ショート	コマンド
0x06	DCS 読出し、パラメータなし	ショート	コマンド
0x37	最大戻りパケット・サイズのセット	ショート	コマンド
0x09	null パケット、データなし	ロング	ビデオ
0x19	ブランキング・パケット、データなし	ロング	ビデオ
0x29	汎用ロング書込み	ロング	コマンド
0x39	DCS ロング書込み/Write_LUT	ロング	コマンド
0x0C	軽度パック済みピクセル・ストリーム 20-bit YCbCr、4:2:2フォーマット	ロング	ビデオ
0x1C	パック済みピクセル・ストリーム 24-bit YCbCr、4:2:2フォーマット	ロング	ビデオ
0x2C	パケット・ピクセル・ストリーム 16-bit YCbCr、4:2:2フォーマット	ロング	ビデオ
0x0D	パケット・ピクセル・ストリーム 30-bit RGB、10-10-10フォーマット	ロング	ビデオ
0x1D	パケット・ピクセル・ストリーム 36-bit RGB、12-12-12フォーマット	ロング	ビデオ
0x3D	パケット・ピクセル・ストリーム 12-bit YCbCr、4:2:0フォーマット	ロング	ビデオ

表 6. ホストからディスプレイのデータ型（続き）

データ型	説明	パケット	DSI モード
0x0E	パケット・ピクセル・ストリーム 16-bit RGB、5-6-5フォーマット	ロング	ビデオ
0x1E	パケット・ピクセル・ストリーム 18-bit RGB、6-6-6フォーマット	ロング	ビデオ
0x2E	軽度パック済みピクセル・ストリーム 18-bit RGB、6-6-6フォーマット	ロング	ビデオ
0x3E	パック済みピクセル・ストリーム 24-bit RGB、8-8-8フォーマット	ロング	ビデオ

ビデオ・モードのデータ型

ビデオ・モードのデータ型は、主に同期イベントおよびピクセル・データの伝達に使用されます。同期イベントとピクセル・データ・パケットは、タイミングが重要な情報を伝達するため HS モードで送信されます。

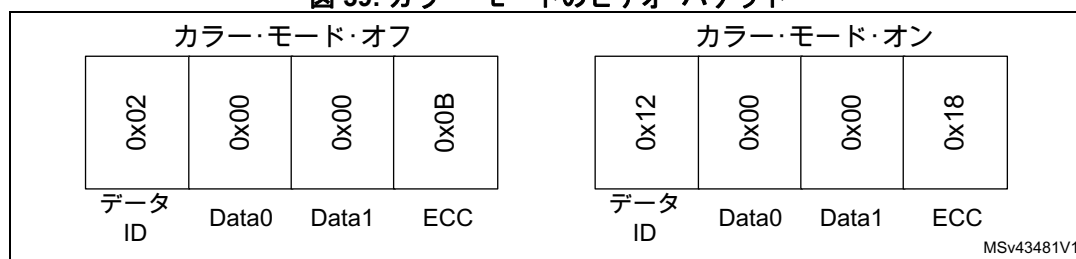
他のビデオ・モードのデータ型は、カラー・モードおよびシャットダウン制御に使用されます。これらは HS または LP で送信できます。

注： 以下に示したすべての例は VC = 0 の場合です。

1. シャットダウンおよびカラー・モード

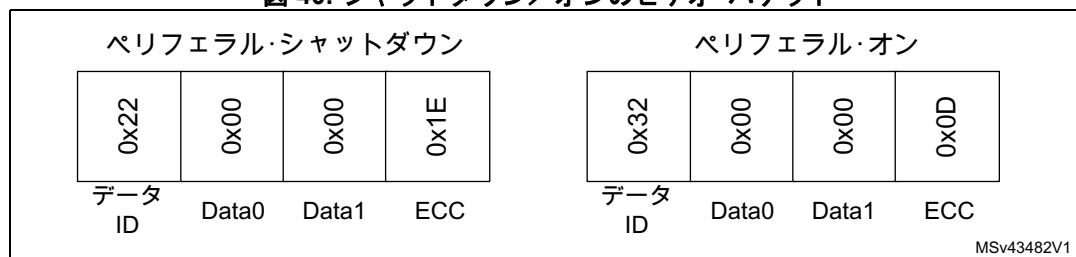
カラー・モード・コマンドは、ディスプレイ・モジュールを通常モードとロー・カラー・モードで切り替えることができるショート・パケットです。ロー・カラー・モードは節電目的で使用されます（図 39 を参照）。

図 39. カラー・モードのビデオ・パケット



シャットダウン・コマンドとオン・コマンドは、ディスプレイ・モジュールのオンまたはオフの切り替えに使用されるショート・パケットです（図 40 を参照）。

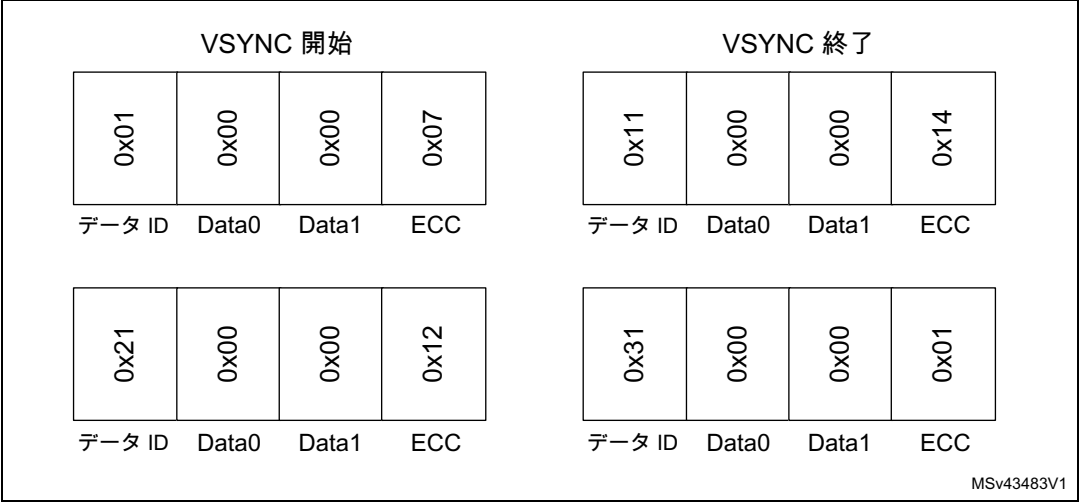
図 40. シャットダウン／オンのビデオ・パケット



2. 同期イベント

ショート・パケットが正確なタイミング情報の伝達により適しているため、同期イベントはショート・パケットで送信されます（図 41 を参照）。

図 41. 同期イベントのパケット



3. パック済みピクセル・ストリーム

パック済みピクセル・ストリーム (PPS) パケットは、ピクセルとしてフォーマットされた RGB 画像データを、ビデオ・モード・ディスプレイ・モジュールに送信するために使用されるロング・パケットです。このパケットは、DI バイト、2 バイト WC、ECC バイト、長さの WC バイトと 2 バイト・チェックサムのペイロードで構成されます。

DSI プロトコルは、それぞれのカラー・コーディングに対してパック済みピクセル・ストリームを定義します。

- パック済みピクセル・ストリーム、16-bit フォーマット。図 42 を参照してください。
- パック済みピクセル・ストリーム、18-bit フォーマット。図 43 を参照してください。
- 軽度パック済みピクセル・ストリーム、18-bit フォーマット。図 44 を参照してください。
- パック済みピクセル・ストリーム、24-bit フォーマット。図 45 を参照してください。

図 42. パック済みピクセル・ストリーム、16-bit フォーマット、データ型 = (0x0E)

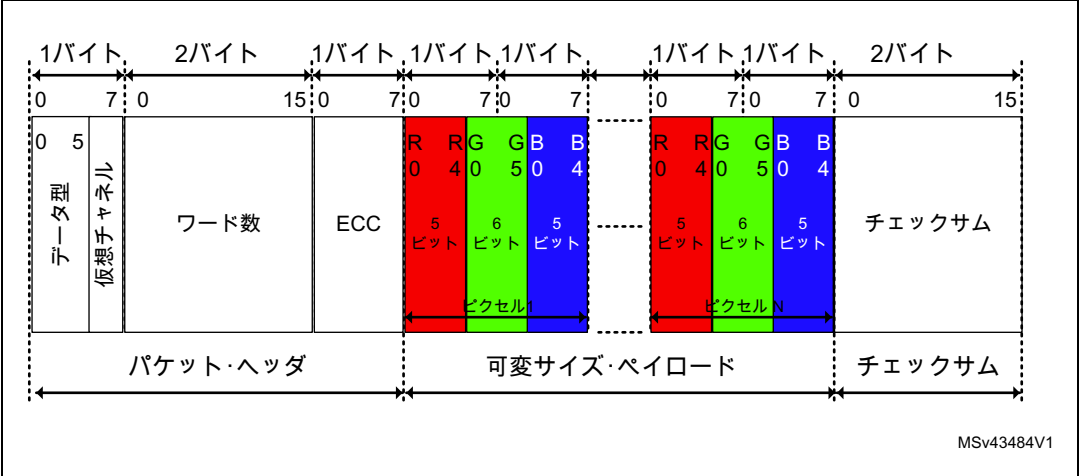


図 43. パック済みピクセル・ストリーム、18-bit フォーマット、データ型 = (0x1E)

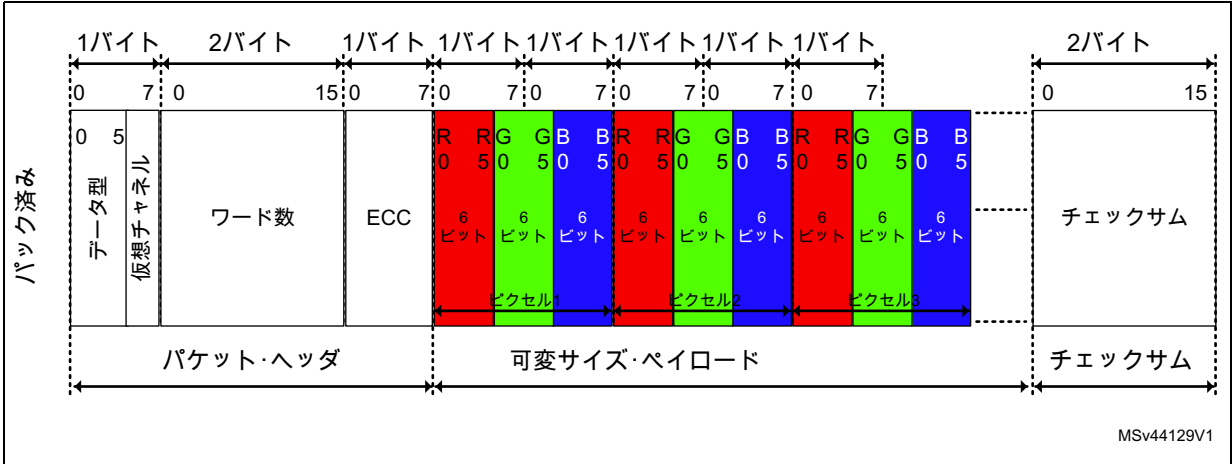


図 44. 軽度パック済みピクセル・ストリーム、18-bit フォーマット、データ型 = (0x2E)

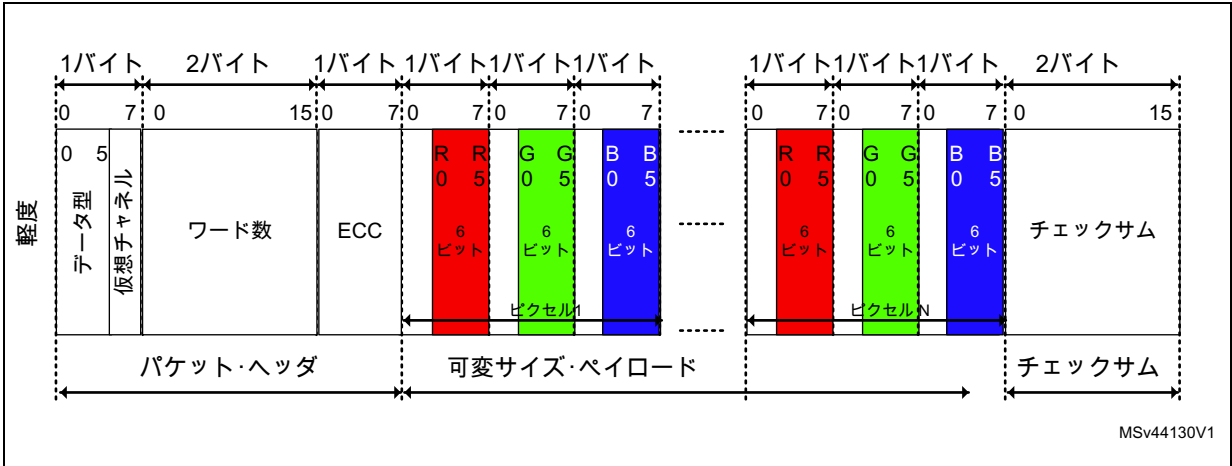
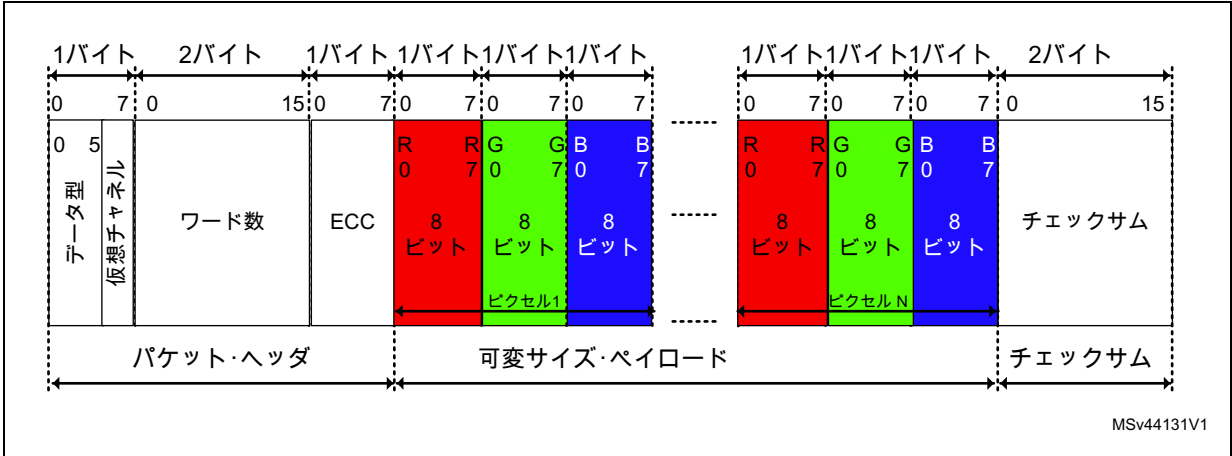


図 45. パック済みピクセル・ストリーム、24-bit フォーマット、データ型 = (0x3E)



コマンド・モードのデータ型

コマンド・モードのデータ型は HS または LP で送信できます。これらは、ディスプレイ・レジスタおよびフレームバッファの書き込みおよび読出しに使用されます。

1. 汎用コマンド
- 汎用コマンドには次の3種類があります。
- 汎用ショート書き込み。図 46 を参照してください。
 - 汎用ロング書き込み。図 47 を参照してください。
 - 汎用読出し。図 48 を参照してください。

図 46. 汎用ショート書き込みコマンド

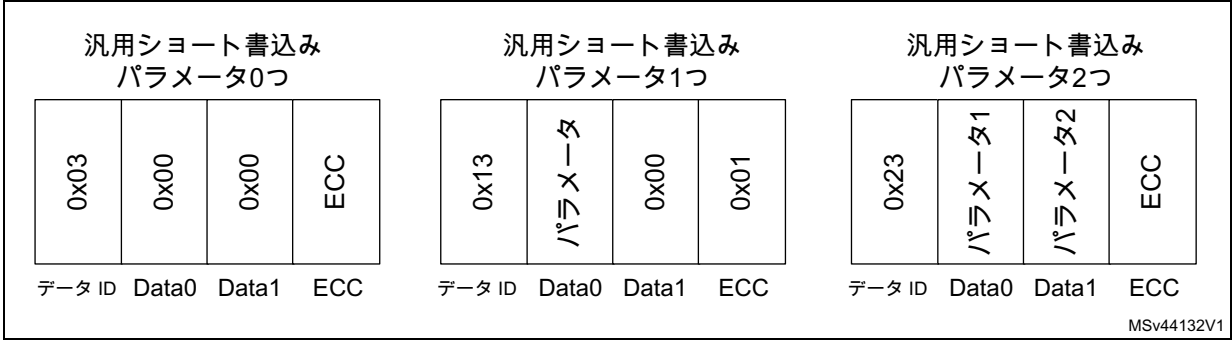


図 47. 汎用ロング書き込みコマンド

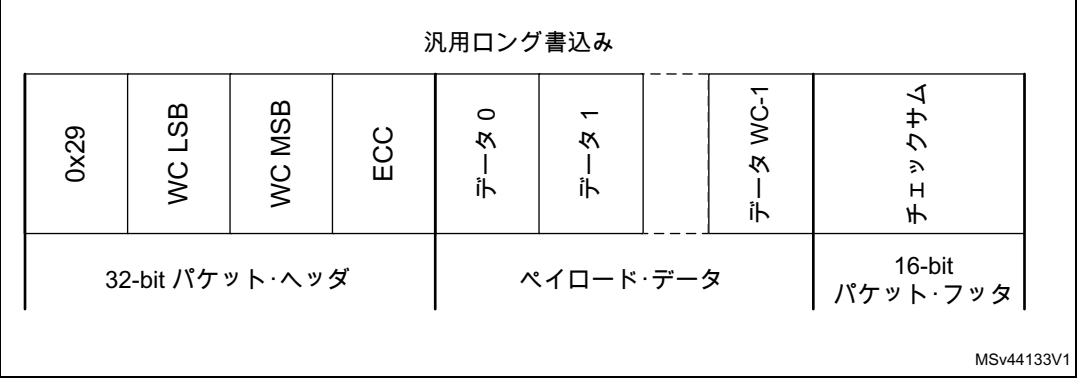
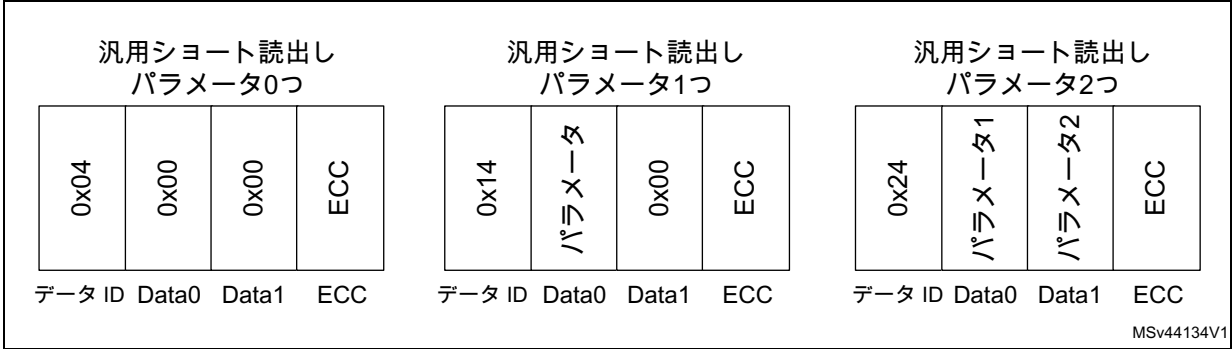


図 48. 汎用読出しコマンド



2. DCS コマンド
- DCS は、コマンド・モード・ディスプレイ向けに MIPI Alliance によって定義された標準化コマンド・セットです。DCS コマンドを [表 7](#) に記載します。
- 0または1つのパラメータを持つ DCS コマンドはショート・パケットで送信されますが、複数のパラメータを持つ DCS コマンドはロング・パケットで送信されます。
- DCS コマンドには次の3種類があります。
- DCS ショート書込み。 [図 49](#) を参照してください。

パラメータのない DCS ショート書込みは、DT 0x05でショート・パケットで送信されます。DCS コマンド・インデックスは、データ0フィールドに配置されます。データ1フィールドは使用せず、0にセットされます。

1つのパラメータがある DCS ショート書込みでは、DT 0x15となります。DCS コマンド・インデックスは、データ0フィールドに配置され、パラメータはデータ1フィールドに配置されます。
- DCS ロング書込み。 [図 50](#) を参照してください。

- DCS 読出し。 [図 51](#) を参照してください。

ディスプレイへのバス制御を付与して応答を送信できるように、読出しコマンドの後に BTA を続ける必要があります。

この応答は、DCS ショート読出しまたはロング読出しの応答となります（ [表 8](#) を参照）。

図 49. DCS ショート書込みコマンド

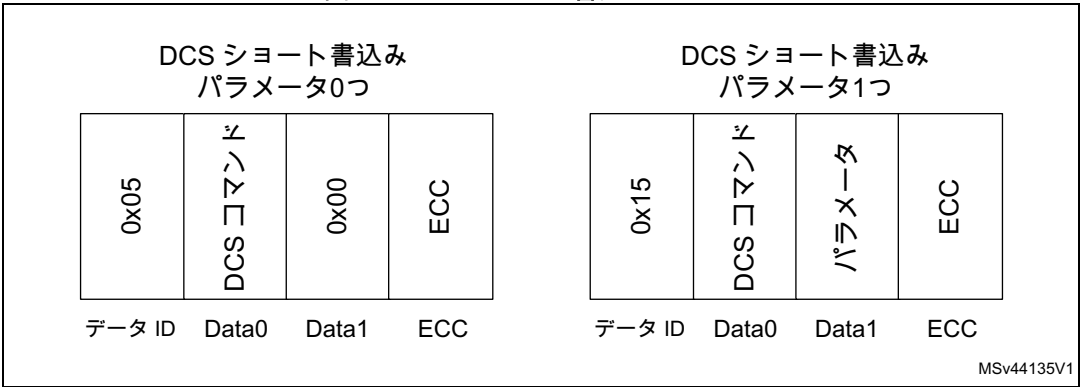


図 50. DCS ロング書込みコマンド

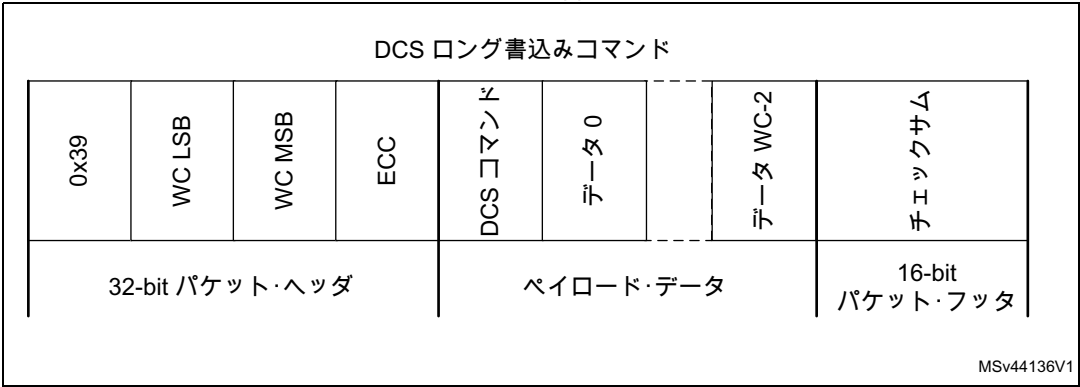
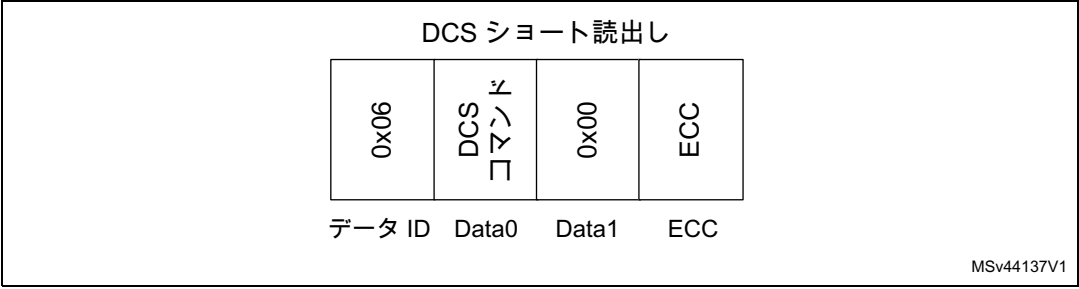


図 51. DCS 読出しコマンド



下の表 7 に、DCS コマンドの一覧を示します。

表 7. DCS コマンドの一覧

コマンド	16進数コード	説明
enter_idle_mode	39h	軽減された色深度がディスプレイ・パネルで使用されます。
enter_invert_mode	21h	表示される画像の色が反転します。
enter_normal_mode	13h	表示エリア全体が画像表示に使用されます。
enter_partial_mode	12h	表示エリアの一部が画像表示に使用されます。
enter_sleep_mode	10h	ディスプレイ・パネルの電源がオフになります。
exit_idle_mode	38h	フル色深度がディスプレイ・パネルで使用されます。
exit_invert_mode	20h	表示される画像の色が反転しません。
exit_sleep_mode	11h	ディスプレイ・パネルの電源がオンになります。
get_3D_control	3Fh	ディスプレイ・モジュール 3D モードを取得します。
get_address_mode	0Bh	ホストからディスプレイ・モジュールと、メモリからディスプレイ・デバイスに転送するデータの順序を取得します。
get_blue_channel	08h	(0, 0) でピクセルの青のコンポーネントを取得します。
get_diagnostic_result	0Fh	ペリフェラルの自己診断結果を取得します。
get_display_mode	0Dh	ペリフェラルから現在のディスプレイ・モードを取得します。
get_green_channel	07h	(0, 0) でピクセルの緑のコンポーネントを取得します。
get_pixel_format	0Ch	現在のピクセル・フォーマットを取得します。
get_power_mode	0Ah	現在の電力モードを取得します。
get_red_channel	06h	(0, 0) でピクセルの赤のコンポーネントを取得します。
get_scanline	45h	現在のスキャンラインを取得します。
get_signal_mode	0Eh	ディスプレイ・モジュールの信号モードを取得します。
nop	00h	何もしません。
read_DDB_continue	A8h	最後の読出し位置から DDB を引き続き読み出します。
read_DDB_start	A1h	指定された位置から DDB を読み出します。
read_memory_continue	3Eh	最後の read_memory_continue または read_memory_start で降 続けてペリフェラルから画像データを読み出します。
read_memory_start	2Eh	set_column_address または set_page_address で指定された 位置から画像データを ペリフェラルからホスト・プロセッサに転送します。
set_3D_control	3Dh	3D がディスプレイ・パネルで使用されます。
set_address_mode	36h	ホストからディスプレイ・モジュールと、メモリからディスプレイ・デバイスに転送するデータの順序をセットします。
set_column_address	2Ah	列の範囲をセットします。
set_display_off	28h	ディスプレイ・デバイスをブランクにします。
set_display_on	29h	ディスプレイ・パネルに画像を表示します。
set_gamma_curve	26h	ディスプレイ・デバイスで使用するガンマ曲線を選択します。
set_page_address	2Bh	ページの範囲をセットします。
set_partial_columns	31h	ディスプレイ・デバイスの一部の表示エリアでの列の数を 定義します。

表 7. DCS コマンドの一覧（続き）

コマンド	16進数コード	説明
set_partial_rows	30h	ディスプレイ・デバイスの一部の表示エリアでの行の数を定義します。
set_pixel_format	3Ah	インタフェースで使用するピクセルごとのビット数を定義します。
set_scroll_area	33h	ディスプレイ・デバイスの縦スクロールと固定エリアを定義します。
set_scroll_start	37h	縦スクロールの開始点を定義します。
set_tear_off	34h	同期情報がディスプレイ・モジュールからホスト・プロセッサに送信されません。
set_tear_on	35h	同期情報が VFP の開始時にディスプレイ・モジュールからホスト・プロセッサに送信されます。
set_tear_scanline	44h	ディスプレイ・デバイスのリフレッシュが指定されたスキャンラインに達したときに、同期情報がディスプレイ・モジュールからホスト・プロセッサに送信されます。
set_vsync_timing	40h	VSYSNCK タイミングをセットします。
soft_reset	01h	ソフトウェア・リセットします。
write_LUT	2Dh	ペリフェラル・ルックアップ・テーブルに指定されたデータを記入します。
write_memory_continue	3Ch	最後に書き込まれた位置から、画像データをホスト・プロセッサ・インタフェースからペリフェラルに転送します。
write_memory_start	2Ch	set_column_address および set_page_address で指定された位置から、画像データをホスト・プロセッサからペリフェラルに転送します。

3. 最大戻りパケット・サイズのセット

最大戻りパケット・サイズのセット・コマンドで、ホスト・プロセッサはペリフェラルから受け取る応答パケットのサイズを制限できます。

最大戻りパケット・サイズの初期値は1バイトです。2バイト以上取得するには、ホストは読出しコマンドを送信する前に、目的のサイズをパラメータとしてこのコマンドを送信する必要があります。

注： 最大戻りパケット・サイズは、オーバーフローを回避するために、ホストの読出し FIFO サイズを超えてはなりません。DSI ホストの読出し FIFO は 32 x 32-bit ワード・サイズです。

3.3.5 ディスプレイからホストのデータ型

すべてのコマンド・モード・システムは、逆方向の通信をサポートします。一方、ビデオ・モード・システムでは、逆方向の通信のサポートはオプションとなります。

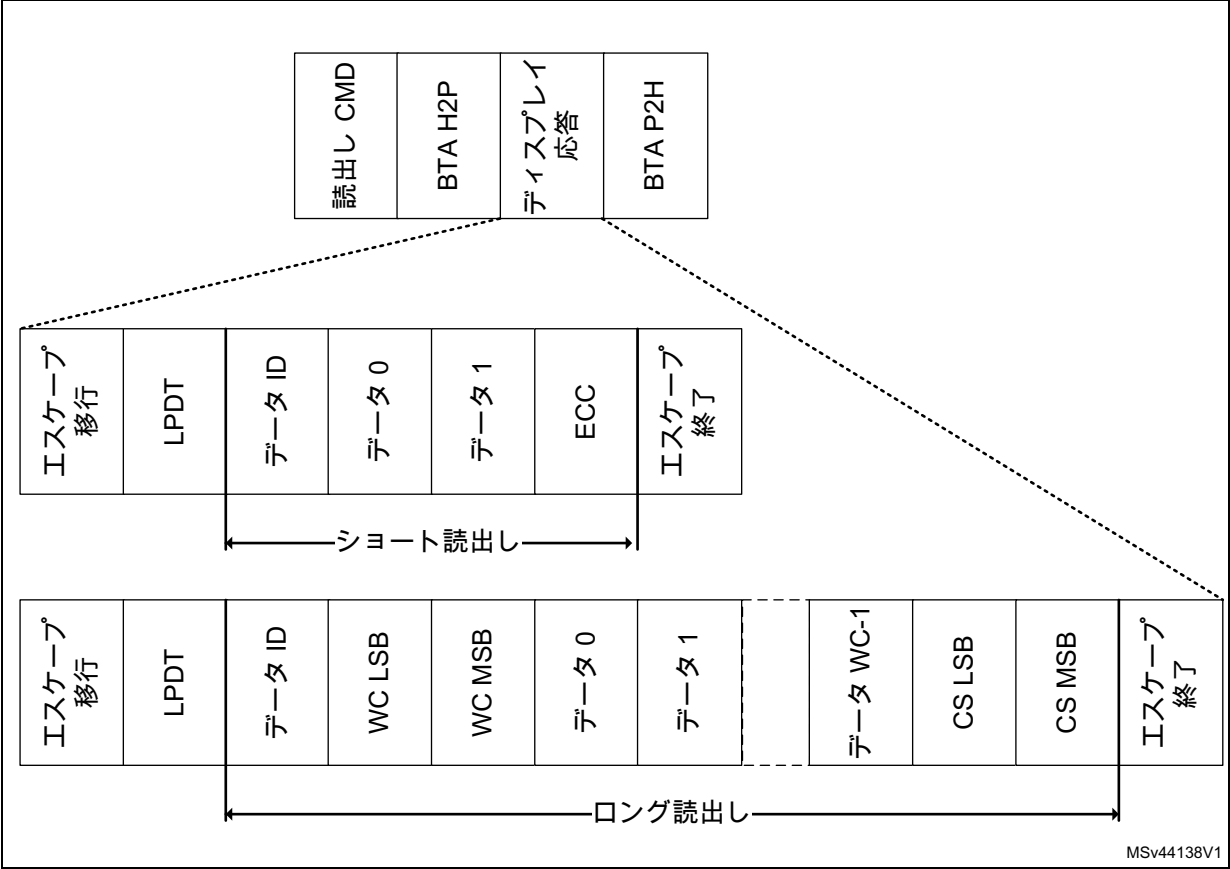
ディスプレイからホストの送信は、正方向の送信と同じショート・パケットとロング・パケットを使用します。

ディスプレイからホストの送信は、ホストが BTA シーケンスを使用してバスの所有権をディスプレイに渡した後のみ開始できます。

応答を送信した後、ディスプレイが BTA シーケンスでバスの制御をホストに戻します。

図 52 に、逆方向の通信シーケンスの例を示します。ディスプレイからホストの送信は、データ・レーン0を使用した LP モードで発生します。

図 52. 逆方向の通信シーケンス



ディスプレイからホストのデータ型は、下の表 8 に示されています。

表 8. ディスプレイからホストのデータ型

データ型	説明	パケット
0x02	確認応答およびエラー・レポート	ショート
0x08	送信終了パケット (EoTp)	ショート
0x11	汎用ショート読出しの応答 1バイト戻り	ショート
0x12	汎用ショート読出しの応答 2バイト戻り	ショート
0x1A	汎用ロング読出しの応答	ロング
0x1C	DCS ロング読出しの応答	ロング
0x21	DCS ショート読出しの応答 1バイト戻り	ショート
0x22	DCS ショート読出しの応答 2バイト戻り	ショート

3.3.6 ビデオ・モードのインタフェース・タイミング

ビデオ・モードのペリフェラルは、ピクセル・データをリアルタイムで伝達する必要があります。DSI は、ビデオ・モードのデータ送信で複数のフォーマットをサポートします。

- 同期パルスでの非バースト・モード：ペリフェラルは同期パルス幅を含めて元のビデオ・タイミングを正確に再構築できます。図 53 を参照してください。LP モードへの切り替えに十分な時間がない場合、LP の時間間隔はブランキング・パッケージで置き換えられます。
- 同期イベントでの非バースト・モード：上記モードと同様ですが、こちらでは同期パルス幅の正確な再構築が不要となり、1つの同期イベントが置き換えられます。図 54 を参照してください。
- バースト・モード：RGB ピクセル・パッケージが時間圧縮され、LP モード（節電）または DSI リンク上のその他の送信のマルチプレックスのために、スキャンライン中の時間が増えます。図 55 を参照してください。

注： タイミングの正確な再構築では、パッケージ・オーバーヘッド（データ ID、ECC、チェックサムのバイトを含む）について考慮する必要があります。

DSI ホストは、3種類すべてのビデオ・モードのパッケージ・シーケンスをサポートします。DSI ディスプレイは、上記のモードを最低1種類サポートします。

図 53. 同期パルスでの非バースト・モード

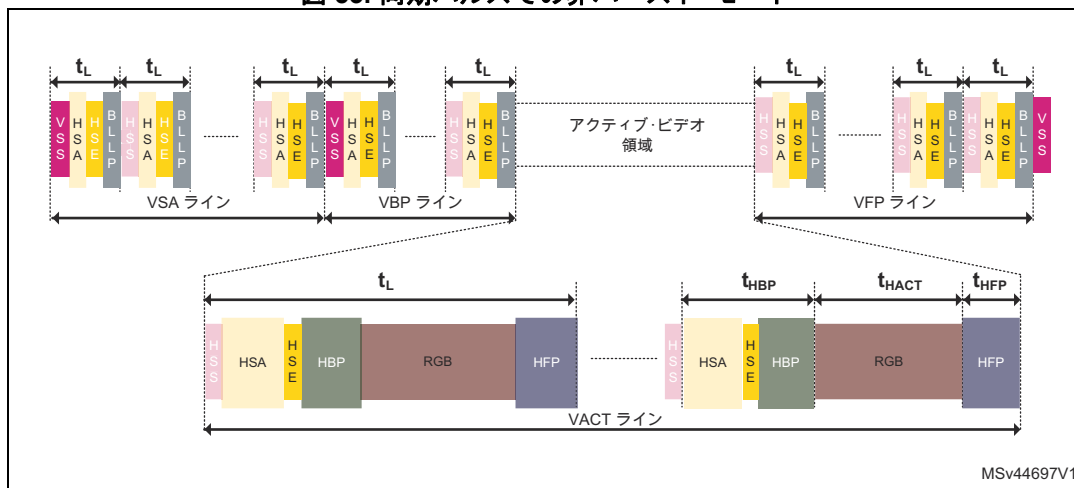


図 54. 同期イベントでの非バースト・モード

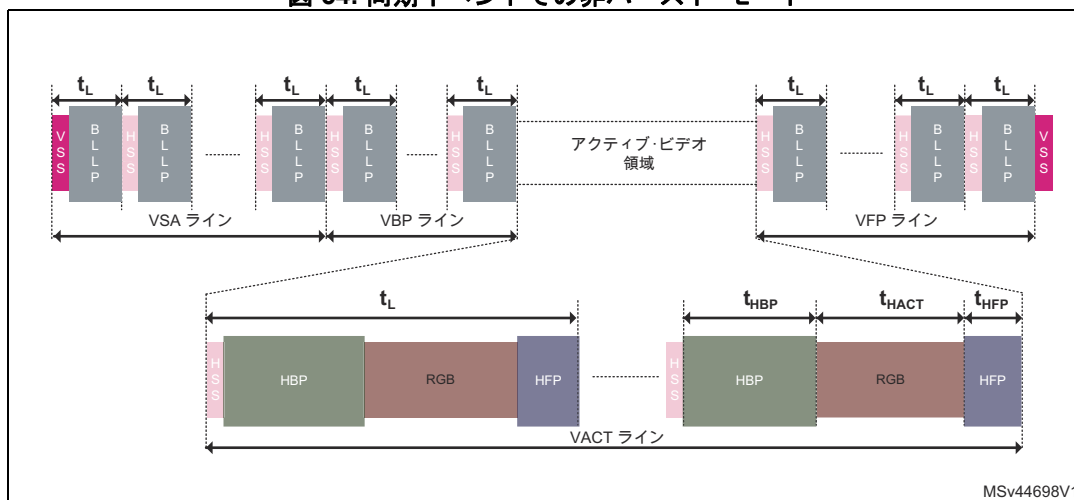
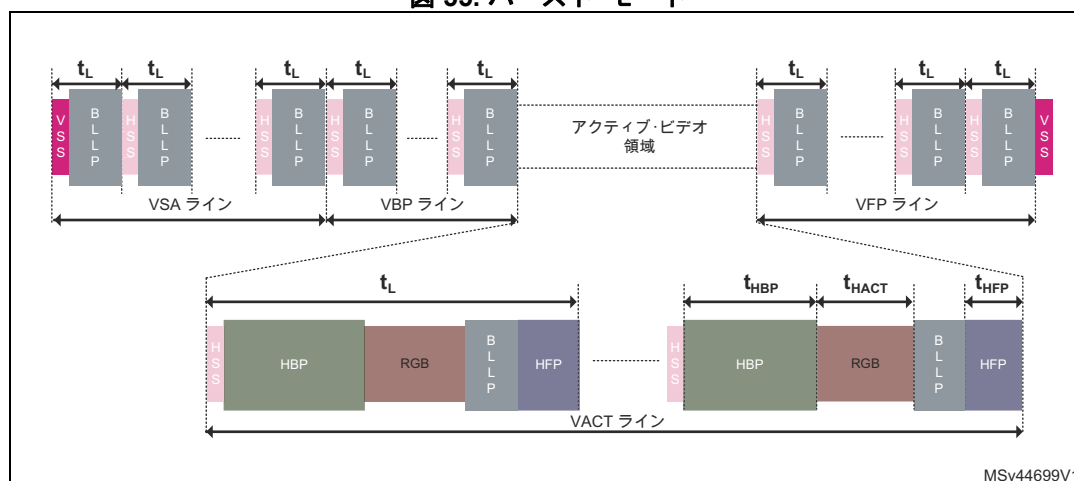


図 55. バースト・モード



3.3.7 コマンド・モードでのティアリング効果信号

ティアリング効果 (TE) は、ディスプレイ・デバイスが1回の画面描画で2フレーム以上から情報を表示する視覚的な乱れです。この乱れは、ホストによるディスプレイ GRAM の更新がディスプレイのスキャン・プロセスと同期していない場合に発生します。

ティアリング効果信号は、ホストにディスプレイ側でのタイミング・イベントを通知できる同期メカニズムです。これは、ディスプレイに独自のコントローラがあり、内部 GRAM を使用してディスプレイを更新するコマンド・モード・システムで使用されます。

コマンド・モード・システムでは、ディスプレイが特定のスキャンラインに達したときに必ず TE 信号でホストに通知します。このアクションによって、ホストはティアリング効果が発生させることなくディスプレイ GRAM を更新するタイミングを認識できるようになります。

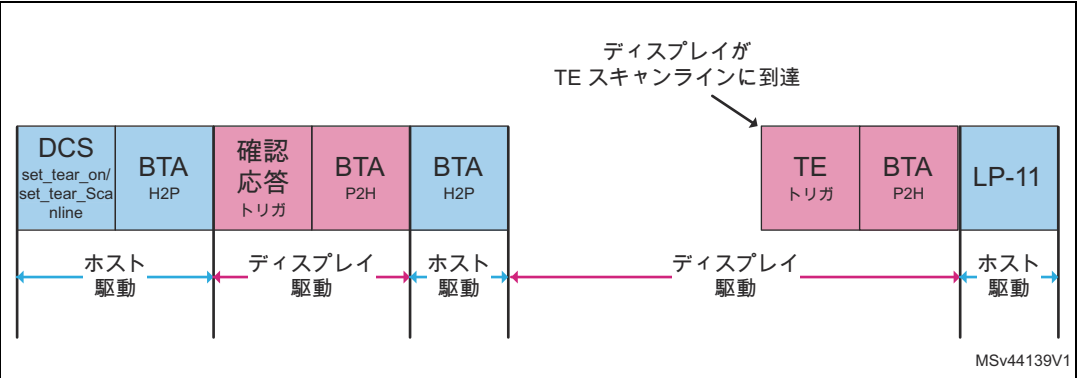
TE レポートが必要である場合、DSI ホストは2回の BTA (バス・ターンアラウンド) 手順の前に `set_tear_on` または `set_tear_scanline` の DCS コマンドを送信して、バスの制御をディスプレイに渡します。

ディスプレイの DSI プロトコル層は確認応答トリガまたはエラー・レポートで1回目の BTA に応答し、ホストにバスの制御を戻すため (DCS コマンドを解釈しないため)、2回の BTA が必要になります。

TE レポートを許可するには、ホストは BTA をもう1回実行して、バスの制御をディスプレイに渡す必要があります。ディスプレイは、スキャンラインに達するとすぐに TE トリガ (01011101) で応答します。

図 56 にティアリング効果シーケンスを示します。

図 56. TE シーケンス



1. BTA H2P はホストがバスの制御をペリフェラルに渡すために開始する BTA 手順です。BTA P2H はペリフェラルがバスの制御をホストに渡すために開始する BTA 手順です。

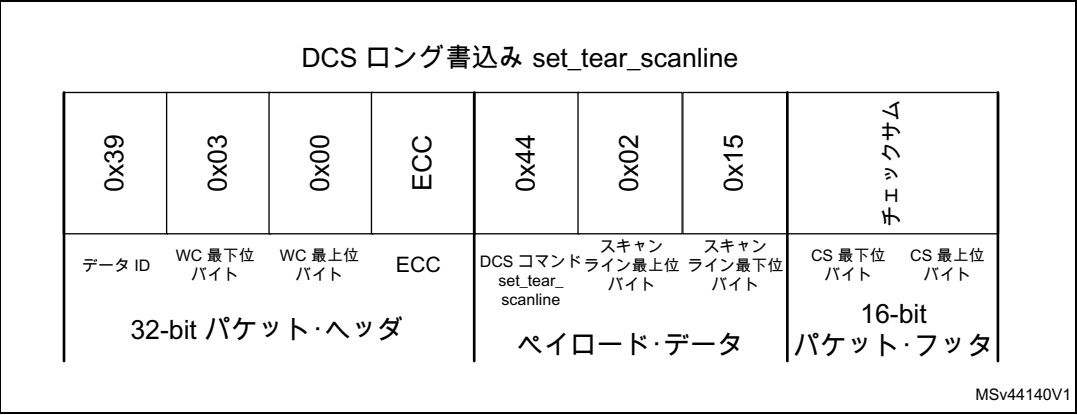
set_tear_scanline は、set_tear_on と同じように TE レポートが可能ですが、set_tear_scanline は TE レポートが発生すべきスキャンラインも定義します。ディスプレイがライン533（例）に達した際に TE レポートが必要になる場合の set_tear_scanline の DCS ロング・パケットについて、図 57 に示します。

一般的に、set_tear_scanline は TE スキャンラインをプログラムするために初期化フェーズで使用され、TE レポートを有効にする必要がある場合にはホストが set_tear_on を送信します。

set_tear_scanline コマンドは、ロング DCS 書き込みコマンドです。TE スキャンラインを定義するために、2つのパラメータを取ります。

注： TE スキャンラインは、最上位バイト・ファーストで2バイトで送信されます。

図 57. set_tear_scanline の DCS ロング・パケット



4 DSI ホストの説明

本セクションでは、STM32 DSI ホストのシステム・レベル・アーキテクチャと動作モードについて説明し、アプリケーションのニーズに応じて適切な動作モードを選択するためのガイダンスを示します。

4.1 DSI のシステム・レベル・アーキテクチャ

DSI ホストは、LTDC と密接に統合されています。LTDC に依存してピクセル・データをフェッチし、ビデオ同期信号を供給します。

DSI ホストには2つのシステム・インタフェースがあります。

- LTDC インタフェース
このインタフェースで、DSI ホストは LTDC からピクセル・データとビデオ同期信号をキャプチャして、DSI パケットにカプセル化できます。
 - ビデオ・モード時のビデオ・パケット (ビデオ同期イベント、ピクセル・パケット・ストリーム)
 - アダプテッド・コマンド・モード時の `memory_write_start` (WMS) と `memory_write_continue` (WMC) の DCS コマンド
- APB インタフェース
このインタフェースは、DCS および汎用コマンド・モードのパケットの送信に使用されます。これらのパケットは APB レジスタのアクセスで構築されます。
これはアダプテッド・モードまたはビデオ・モードで同時にアクセスして DCS または汎用パケットをディスプレイに転送できます。

DSI ホストの構成要素

DSI システムの構成要素は次のとおりです。

- DSI ラッパー : LTDC を DSI ホストに相互接続して、ビデオ・モードやアダプテッド・コマンド・モードのいずれかでピクセル・データとビデオ制御信号をリダイレクトします。
DSI ラッパーは DSI レギュレータ、DSI PLL、D-PHY の一部の機能も制御します。
- DSI ホスト・コントローラ : ロングまたはショート DSI パケットを構築して、対応する ECC コードおよび CRC コードを生成します。パケットは、直列化するために D-PHY にバイト単位で送信されます。
複数のレーンを使用している場合、DSI ホストは使用可能な D-PHY レーン間でデータを分割します。
- D-PHY : DSI ホストから出力されたデータを直列化してシリアル・リンクで送信します。
- 内部 PLL : D-PHY で使用される HS クロックを生成します。
- 内部レギュレータ : PLL および D-PHY に 1.2V の電源を供給します。


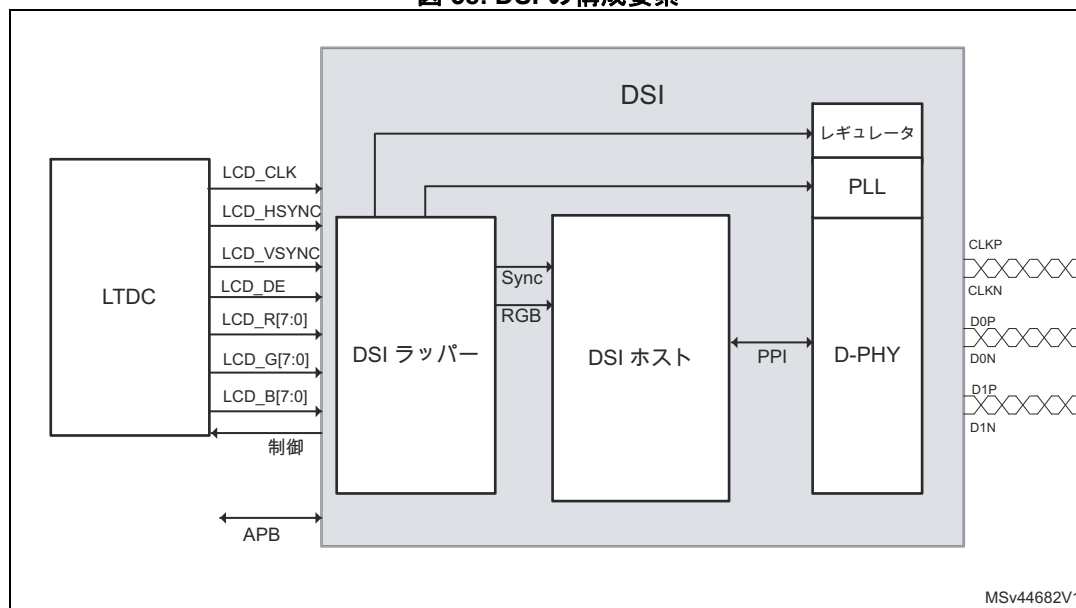
 58 に DSI の構成要素を示します。

図 58. DSI の構成要素



4.2 動作モード

STM32 DSI ホストは、DSI 仕様バージョン1.1で定義されたすべての動作モードをサポートします。コマンド・モードおよびビデオ・モードのシーケンス（バースト、同期パルスでの非バースト、同期イベントでの非バースト）をサポートしています。

また、STM32 DSI ホストは、GRAM を組み込んでいるディスプレイで最適に動作するように強化されたコマンド・モードもサポートしています。

ディスプレイへのグラフィック・データの伝達に使用できる次の3種類の動作モードがあります。

- ビデオ・モード**
 ハイスピード・リンクで RGB データおよび LTDC によって直接生成された関連の同期信号（Vsync、Hsync）をストリーミングするために使用します。
 LTDC インタフェースがデータと同期信号をキャプチャし、FIFO インタフェースに伝達します。インタフェースには、ビデオ制御信号とピクセル・データという2種類のデータ・ストリームがあります。
 DSI ホストは両方のデータ・ストリームを使用し、DSI ビデオ・パケットを構築して、これが DSI リンクで送信されます。
 ストリーミングは、DSI ホストと LTDC が有効になり次第開始します。この継続的なリフレッシュが、グラフィカル RAM のないディスプレイでインタフェース接続する最適な方法となります。
- アダプテッド・コマンド・モード**
 このモードは、独自で内部グラフィカル RAM を持つディスプレイでインタフェース接続する最も優れた方法です。DSI ホストは LTDC から受け取る完全な1フレームだけをキャプチャし、一連の DCS 書込みコマンドに変換して、ディスプレイのグラフィカル RAM を更新します。このワンショット・リフレッシュは、DSI ホストで制御ビットをセットしたときに自動的に実行されます。
- APB コマンド・モード**
 このモードは、SPI を使用した場合のようにハイスピード・リンクで設定用にコマンドを送信するために使用されます。コマンドは、DSI ホストの APB インタフェースを使用して開始されます。

4.2.1 ビデオ・モード

DSI ホストのビデオ・モードは、DSI 仕様で定義された3種類の動作モードをサポートします。

ビデオ・モードは、完全なフレームを保持できるグラフィカル RAM を組み込んでいないディスプレイで使用されます。

ビデオ・モードのディスプレイは内部コントローラがないため、継続的なピクセル・ストリームを供給するために DSI ホストに依存します。

同期パルスでの非バースト・モード

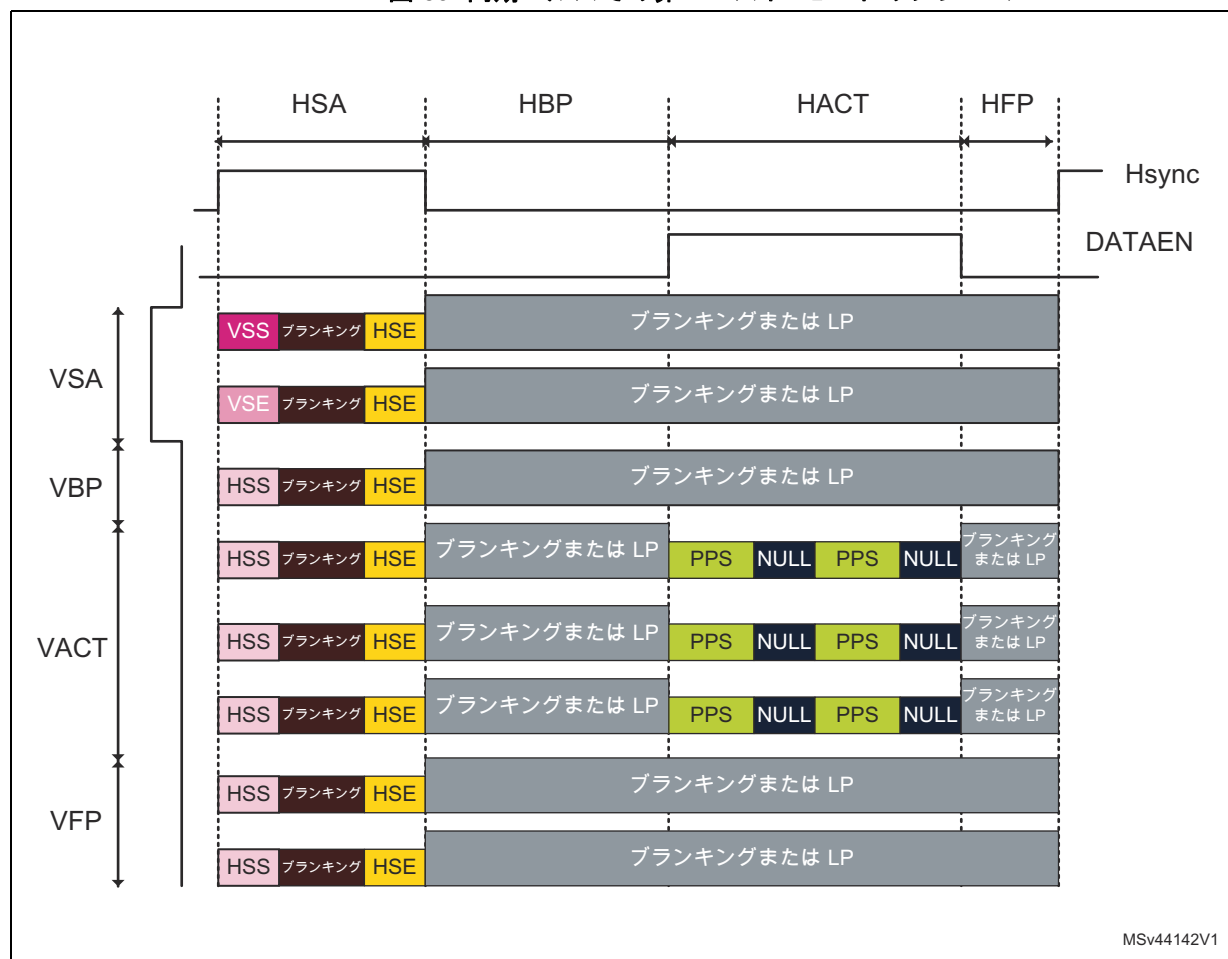
非バースト・モードでは、プロセッサが DSI ホストのパーティション分割特性を利用して、ビデオ・ライン送信を複数のピクセルのチャンクに分割し、オプションで null パケットを使ってインタリーブします。この処理は、LTDC インタフェース入力ピクセルの帯域幅を DSI リンクの帯域幅と合わせるために実行されます。

このモードでは、ホスト・コントローラとディスプレイでピクセル・データの完全なラインを格納する必要はありません。このモードでは、1つのビデオ・パケットの内容のみを格納する必要があり、メモリ要件を最低限に抑えます。

このモードを使用すれば、ペリフェラルは同期パルス幅を含めて元のビデオ・タイミングを正確に再構築できます。

同期パルスでの非バースト・モードにおける標準的なフレームを図 59 に示します。

図 59. 同期パルスでの非バースト・モードのフレーム



HSA (Hsync アクティブ) 期間は、HSS (Hsync 開始)、ブランキング・パケット、HSE (Hsync 終了) パケットで構成されます。この領域のパケットはハイスピード・モードで送信され、HSA 期間中はリンクが LP に移行しません。

DSI ホストは、HSS パケットと HSE パケットのタイミングを HSA 期間と合わせるために必要なブランキング・パケット・サイズを自動的に計算します。

DSI ホストが Vsync 立ち上がりエッジ (Vsync 信号がアクティブ・ハイ) を検出すると、HSS パケットではなく Vsync 開始 (VSS) パケットで HSA 期間を開始します。

Vsync 立ち下がりエッジが検出されると、DSI ホストは HSS パケットではなく Vsync 終了 (VSE) パケットを送信して VSA 期間の終了を示します。

Vsync アクティブ (VSA) 領域内のその他のラインは HSS パケットで開始されます。

垂直アクティブ (VACT) 期間外では、HSA 期間後から水平ラインの終了までリンクが LP に移行します。

VACT 領域では、DSI ホストが上記に示した HSA 期間を伝達してから、リンクは LP に移行するか、水平バック・ポーチ (HBP) 期間に相当するタイミング期間のブランキング・パケットを送信します。その後、DSI ホストは、最終的にピクセル送信タイミングを水平アクティブ (HACT) 期間と合わせる null パケットとともに、PPS (バック済みピクセル・ストリーム) パケットを1つ以上送信します。

HACT 期間が終了すると、DSI ホストは LP に移行するか、水平フロント・ポーチ（HFP）期間に相当する期間のブランキング・パケットを送信します。

注： 領域がブランキングまたは LP でタグ付けされている場合、DSI ホストが合計期間のハイスピード・ブランキング・パケットを送信するか、リンクを低消費電力モードに移行できることを意味します。

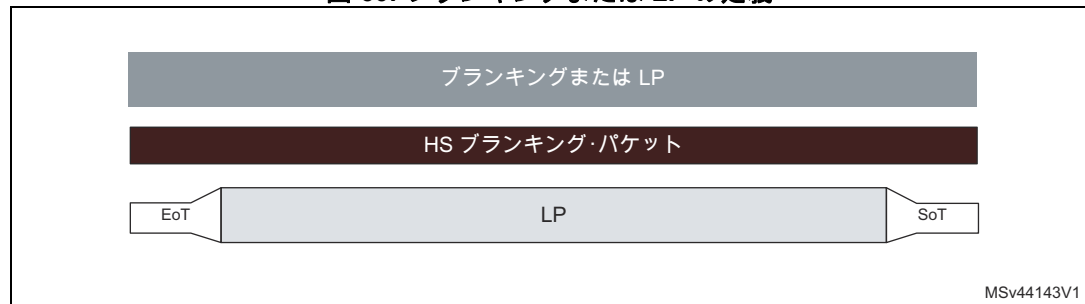
DSI ホストには、期間タイミングを合わせるためにブランキング・パケット内で必要になるバイト数を計算する機能があります。

低消費電力モードの場合、DSI PHY は低消費電力モードに移行する前に送信終了シーケンスを開始します。その後、新たな HS 送信を開始する前に、DSI PHY は送信開始シーケンスを発行します。

DSI ホストは、特定の期間において低消費電力への切り替えが可能なのかを把握するために、低消費電力遷移（EoT および SoT のシーケンス）のオーバーヘッドを把握する目的でユーザからの入力が必要になります。

図 60 に、ブランキングまたは低消費電力の領域で使用可能な2つのシナリオを示します。

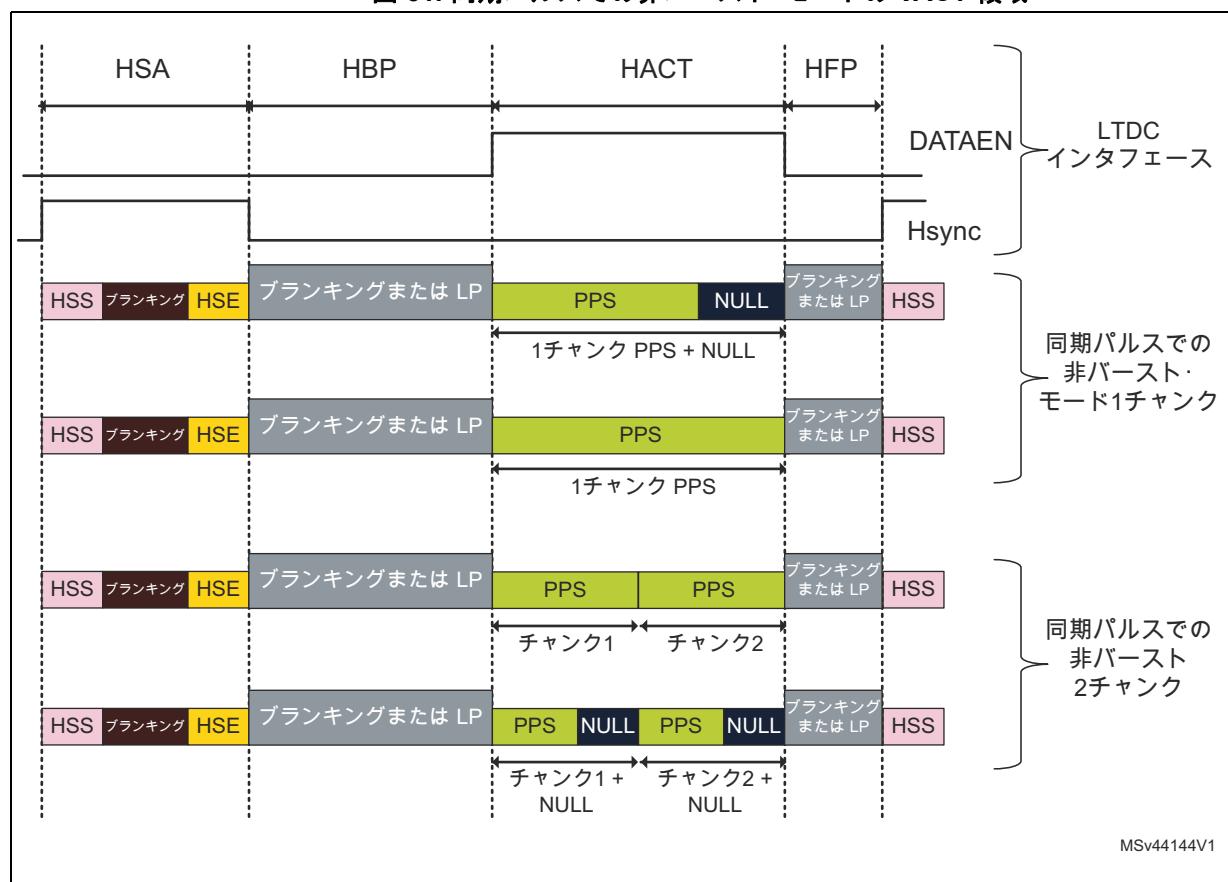
図 60. ブランキングまたは LP の定義



VACT 期間中、数多くの水平ラインの設定があります。

図 61 では、個別に使用可能な VACT 領域ラインの設定を示します。

図 61. 同期パルスでの非バースト・モードの VACT 領域



HBP 期間中および HFP 期間中、HS モードと LP モードの遷移に十分な時間がない場合は、リンクが LP に移行するか、DSI ホストがブランキング・パケットを送信します。

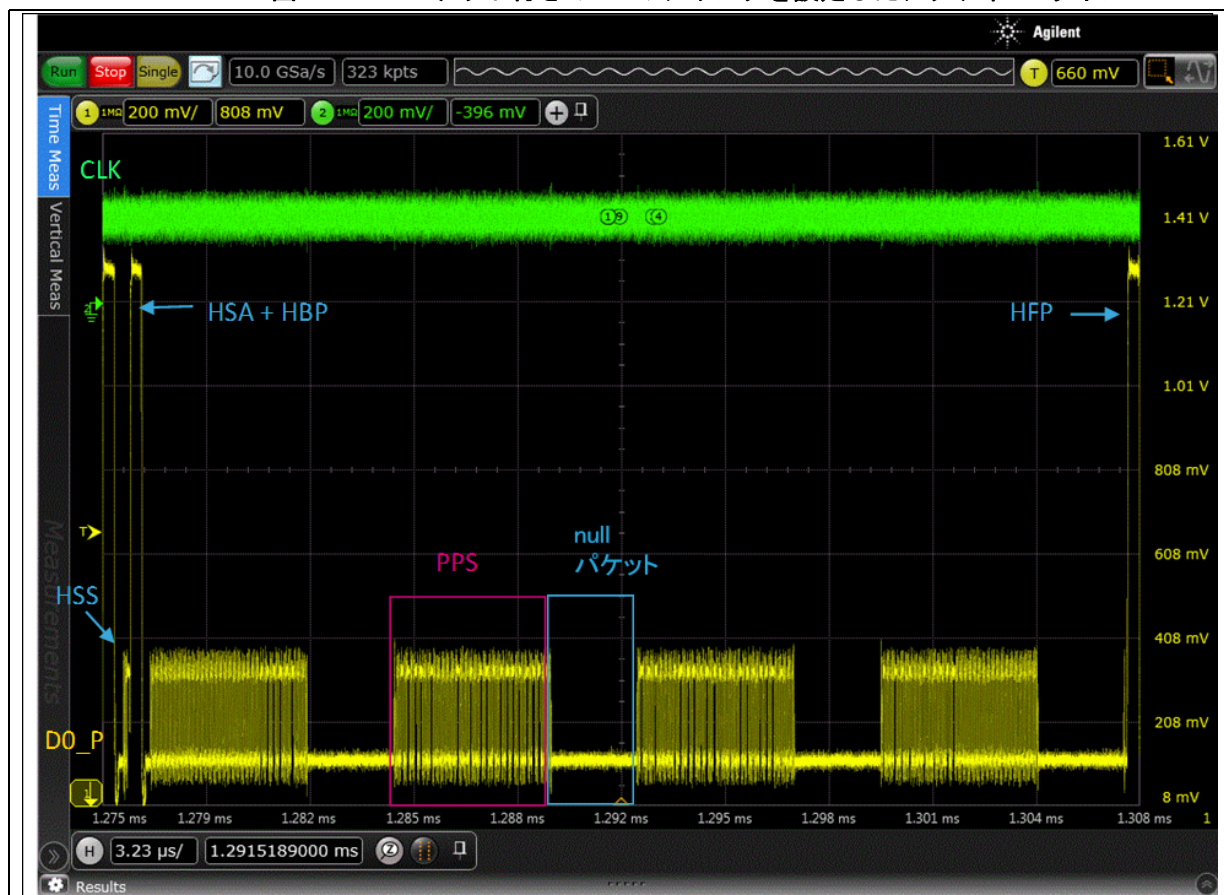
HACT 期間中、DSI ホストは LTCD HACT 期間に合ったタイミング期間でピクセル・データを送信する必要があります。DSI とピクセル・クロック周波数に応じて、DSI ホストは1つ以上のチャンクを使用してピクセル・データを送信できます。

各チャンクには、パケット・ピクセル・ストリーム (PPS) パケットまたは null パケット付きの PPS パケットのみを含めることができます。

非バースト・モードでのチャンク数と null パケットのサイズの選択方法は、[セクション 5.2.1 : LTDC インタフェースでのビデオ・モード](#)で説明しています。

図 62 に4つのチャックでのアクティブ・ラインを示します。各チャックは PPS パケットと null パケットで構成されています。

図 62. null パケット付きの4つのチャックを設定したアクティブ・ライン



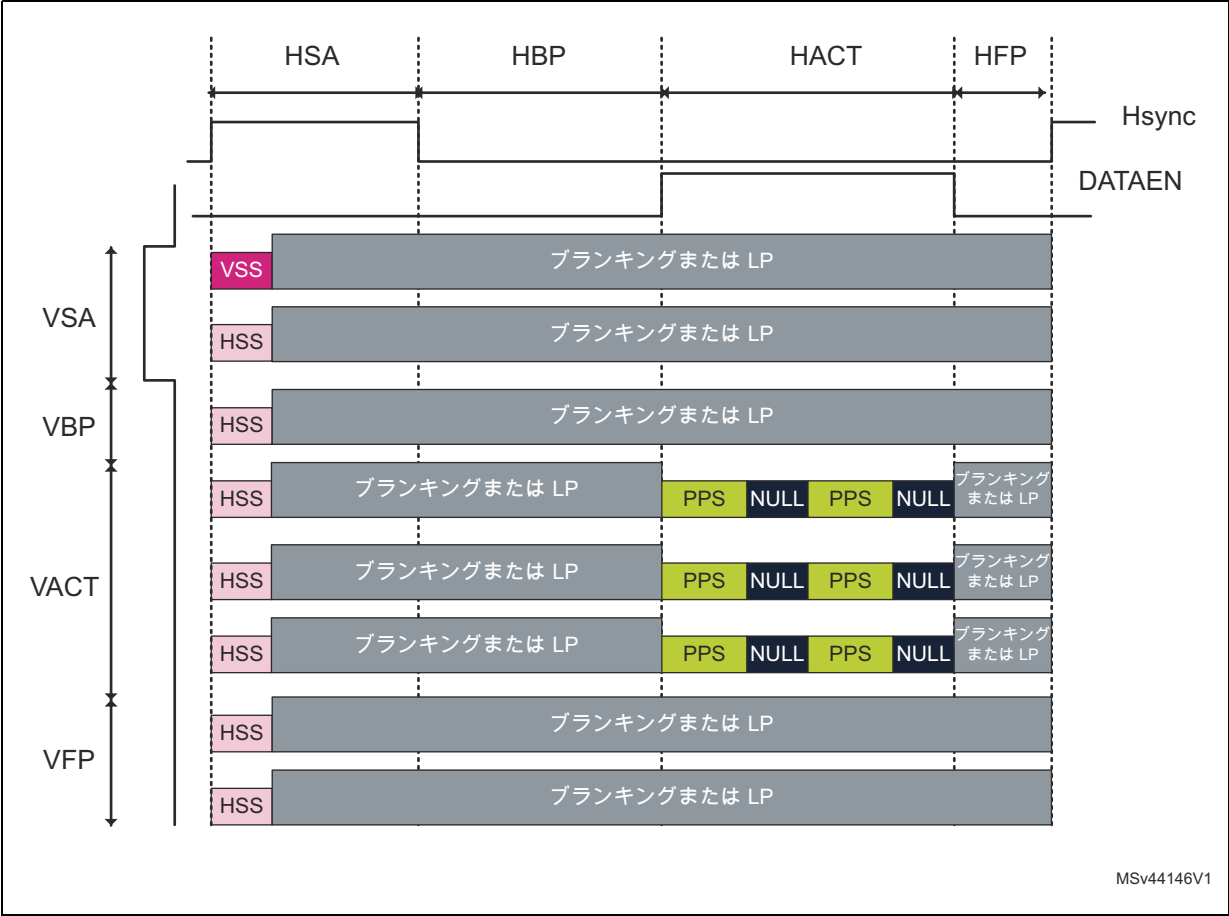
同期イベントでの非バースト・モード

このモードでは、同期パルス幅の正確な再構築が不要となり、1つの同期イベントが置き換えられます。このモードでは次のように動作します。

- 各同期パルスの開始のみが送信されます。
- 送信は、LTDC と同じレートで実行されます。
- LP モードへの切り替えに十分な時間がない場合、LP の時間間隔はブランキング・パケットで置き換えられます。

同期イベントでの非バースト・モードにおける標準的なフレームを図 63 に示します。

図 63. 同期イベントでの非バーストのフレーム



VSA 領域の開始は、VSS パケットで始まるラインで決まります。フレーム内のその他すべてのラインは HSS パケットで始まります。

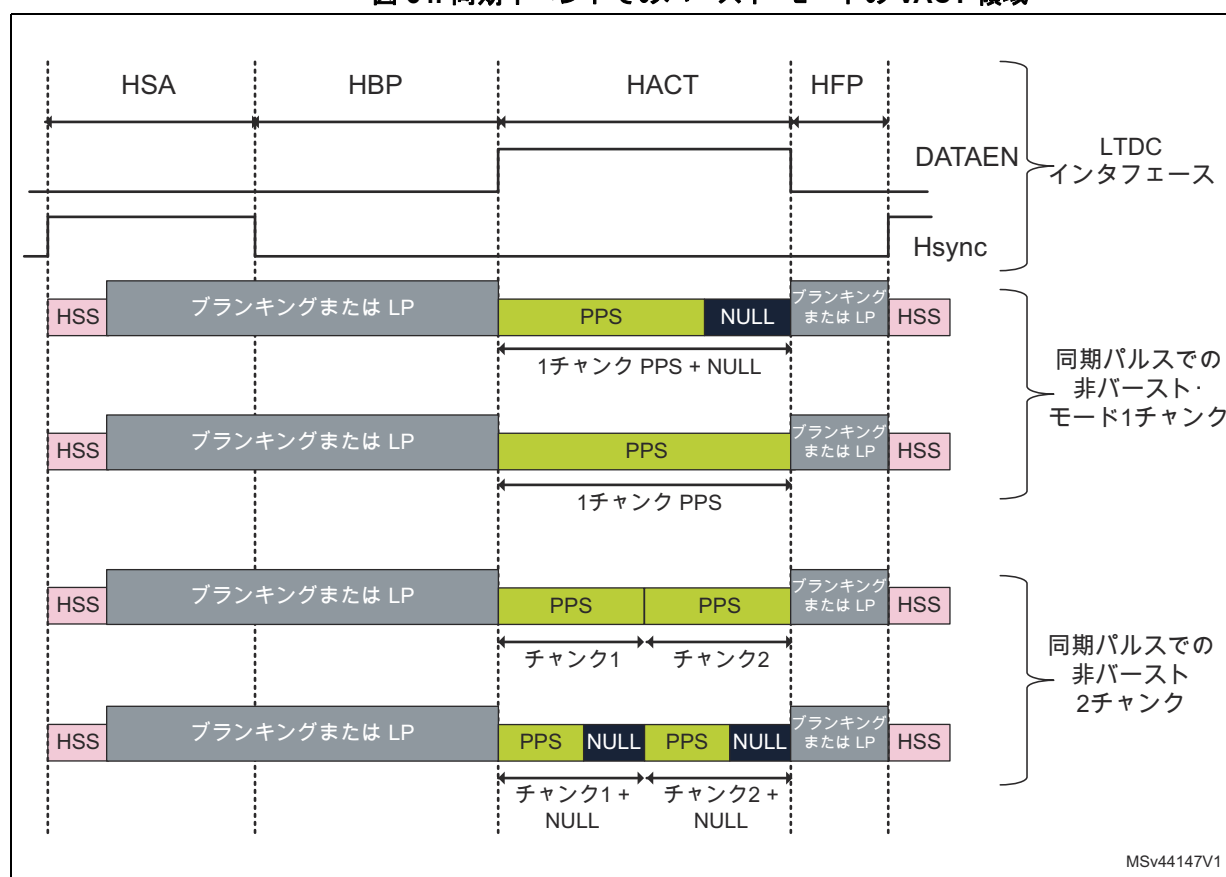
非アクティブ領域（VSA、VBP、VFP）では、リンクが HSS パケットを送信してから次のラインまで LP に移行します。

VACT 領域では、DSI ホストが HSS パケットを送信してから、HSA + HBP 期間の終了まで LP に移行するか、ブランキング・パケットを送信します。

HACT 領域は、同期パルスでの非バースト・モードと同じです。

図 64 に、同期イベントでのバースト・モードの VACT 領域を示します。

図 64. 同期イベントでのバースト・モードの VACT 領域



同期イベントでの非バースト・モードの VACT 領域は、HSA 期間中のみ同期パルスとは異なります。

DSI ホストは HSS パケットを送信して、HSA 期間の開始を通知します。その後、リンクが LP に移行するか、ホストが HACT 領域の開始までブランキング・パケットを送信します。

非バースト・モードを使用する場合

非バースト・モードは、ピクセル送信のレートを合わせやすくなります。このモードでは次のことが可能です。

- － 特定数のピクセルだけメモリに格納して、ピクセル・ライン全体を必要としません（DSI ホストでの RAM 要件を抑えます）。
- － 少量のピクセル・バッファリングだけ（ピクセル・ライン全体より少ない）をサポートするデバイスで動作します。

バースト・モード

ビデオ・バースト・モードでは、RGB ピクセル・パケットが時間圧縮され、LP モード（節電）または DSI リンク上のその他の送信のマルチプレクスのために、スキャンライン中の時間が増えます。

このモードでは、アクティブなピクセル・ライン全体を FIFO にバッファリングし、割込みなしの1つのパケットで送信します。この送信モードでは、DSI ペイロード・ピクセル FIFO にアクティブなピクセル・データの全ラインを格納できる容量が必要になります。

このモードは、LTDC 帯域幅と DSI リンク帯域幅の差が大きい場合に適しています。バースト・モードによって、DSI ホストは1回のデータ・バーストでアクティブ・ビデオ・ライン全体を素早くディスパッチして、低消費電力モードに戻ることができます。

図 65 に、ビデオ・バースト・モードでの標準的なフレームを示します。HACT 領域に同期イベントでの非バースト・モードとの違いがあります。バースト・モードでは、HACT 領域において RGB データを最大速度で1つのパケットで送信してから、リンクが LP モードに移行します。

図 65. ビデオ・バースト・モードのフレーム

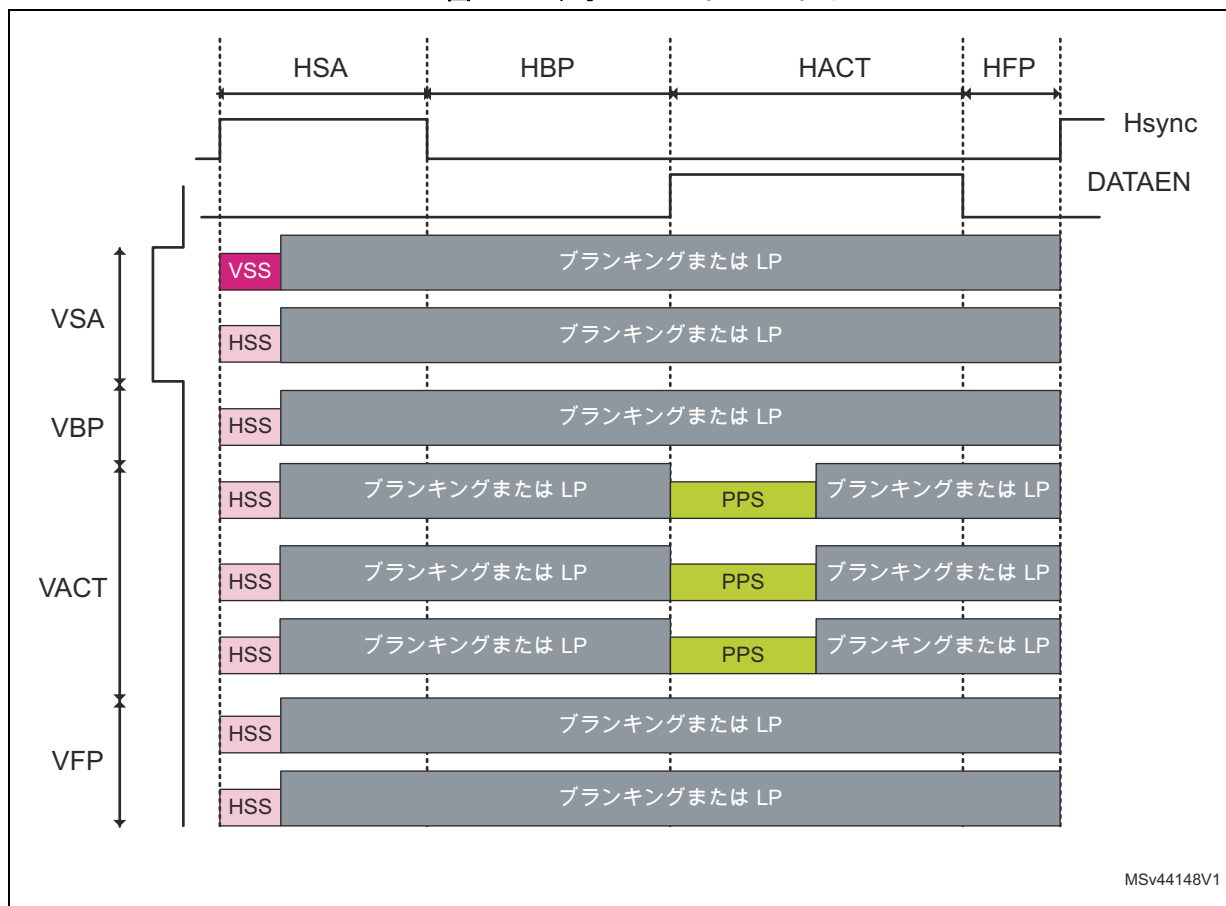
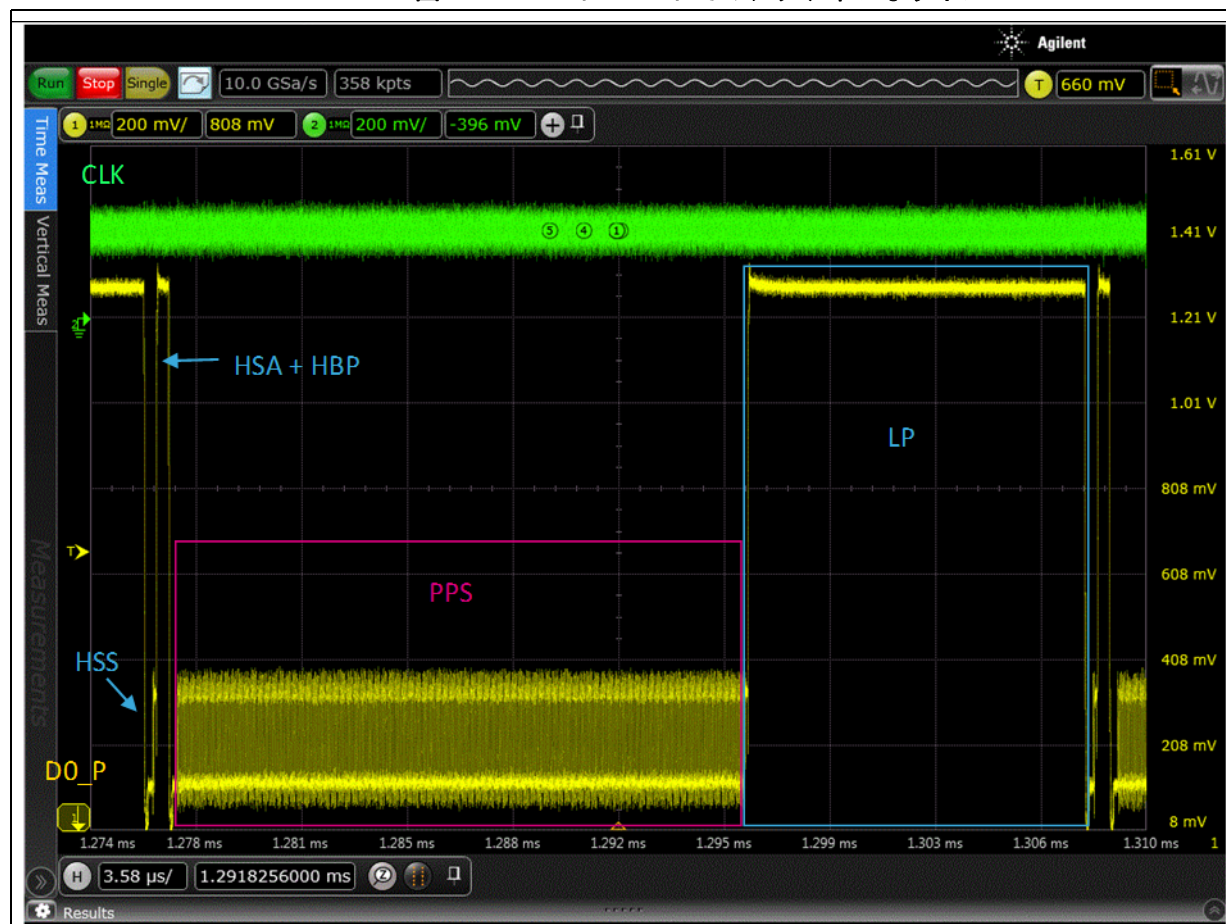


図 66 には、PPS パケットを使用して送信した RGB ピクセル・データのあるビデオ・アクティブ・ラインを示しています。DSI リンク帯域幅が LTDC から DSI 入力帯域幅より高いため、リンクは長時間 LP モードに移行します。

図 66. バースト・モードでのアクティブなライン



バースト・モードを使用する場合

バースト・モードは次の場合に使用されます。

- ディスプレイ・デバイスが、受信バッファでのオーバーフローを避けるために1つのパケット・バーストでピクセル・ライン全体の受信をサポートしています。
- DSI 出力帯域幅は、リンクがラインごとに低消費電力に移行できる関係において、LTDC インタフェース入力帯域幅より高くする必要があります。

ビデオ・モードの比較：

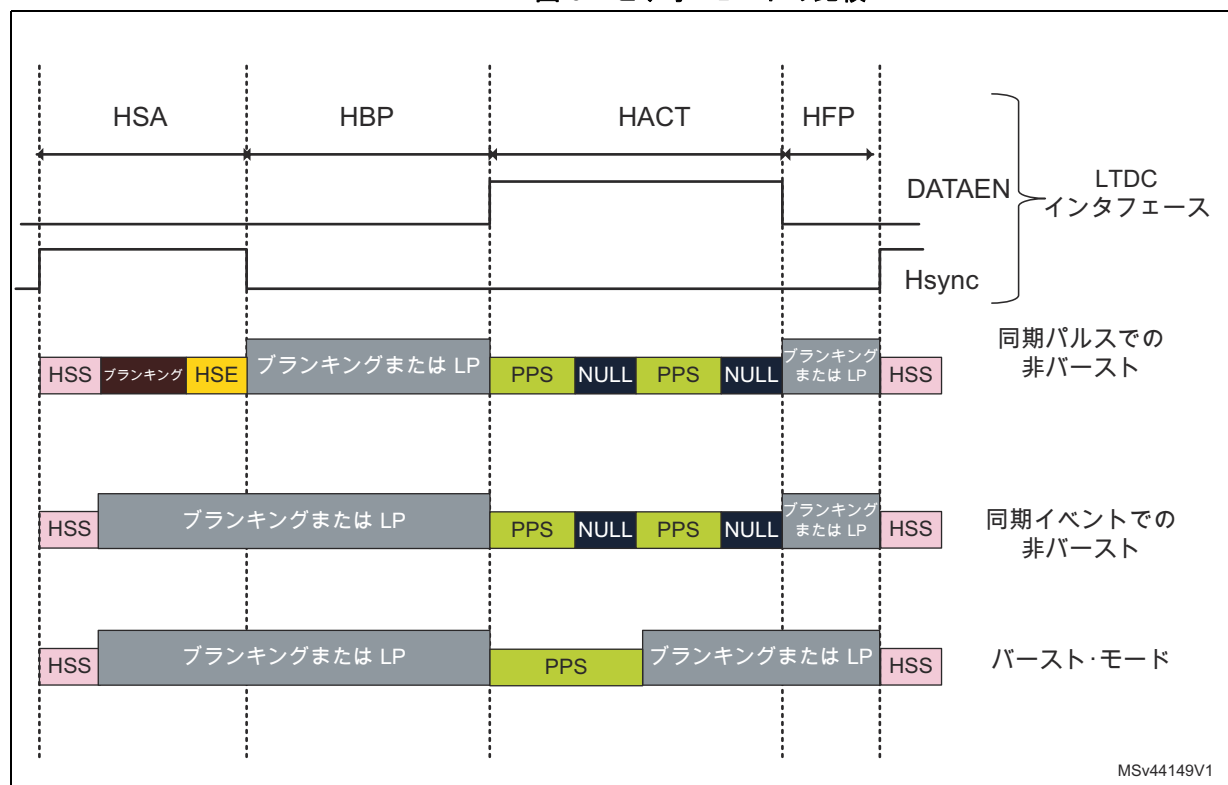
図 67 に、3種類のビデオ・モード・フォーマットの比較を示します。

同期パルスでの非バースト・モードは、ビデオ・タイミング情報の伝達において最も精度の高いモードですが、HSA および HACT の領域で LP に移行できません。

同期イベントでの非バースト・モードは、HSA 領域で LP モードに移行できます。

バースト・モードは、HACT 領域で LP モードに移行できるため、最も電力効率の良いモードです。

図 67. ビデオ・モードの比較



4.2.2 アダプテッド・コマンド・モード

アダプテッド・コマンド・モードは、独自のグラフィカル RAM を持つディスプレイとのインタフェース接続に非常に適した動作モードです。

このモードは、CPU や DMA の負荷なく LTDC でディスプレイのグラフィカル RAM を自動的にリフレッシュします。

GRAM のリフレッシュ動作は LTDC と連携して実行されます。

- DSI ホストが LTDC を制御し、1フレームで有効にします。
- LTDC から受け取る RGB データをキャプチャして、一連の DCS ロング書き込みコマンド・パケットをディスプレイに送信します。
- グラフィカル RAM が完全にリフレッシュされると、DSI ホストが LTDC を自動的に停止させ、DSI リンクが低消費電力モードに移行します。

ユーザは、フレームバッファの送信準備ができたときに1つのビットをセットするだけで、ディスプレイのリフレッシュ動作を制御します。

フレームバッファの内容を更新する必要がある限り、ディスプレイはリフレッシュ動作に内部グラフィカル RAM を使用します。これはディスプレイの更新頻度が低い場合に役立ち、マイクロコントローラ側の帯域幅使用量と全体の消費電力を最小限にします。

リフレッシュは、リフレッシュ時間を低減するために、リンクの最大速度で実行できます。LTDC 側の帯域幅要件には、特に注意を払う必要があります。

ユーザはフレームバッファの一部だけをリフレッシュでき、アニメーションを高速化して、マイクロコントローラ側の帯域幅要件を削減できます。

アダプテッド・コマンド・モードは、DCS (ディスプレイ・コマンド・セット)、WMS (write_memory_start)、WMC (write_memory_continue) のコマンドのみサポートしています。正常に動作させるには、ディスプレイ設定コマンドおよびティアリング効果の初期化など追加のコマンドが必要になります。これらのコマンドは、APB インタフェースを介して送信する必要があります。

アダプテッド・コマンド・モードでのディスプレイ・リフレッシュの例

リフレッシュ・プロセスは、アダプテッド・コマンド・モード時に DSI ホストによって自動的に実行されます。

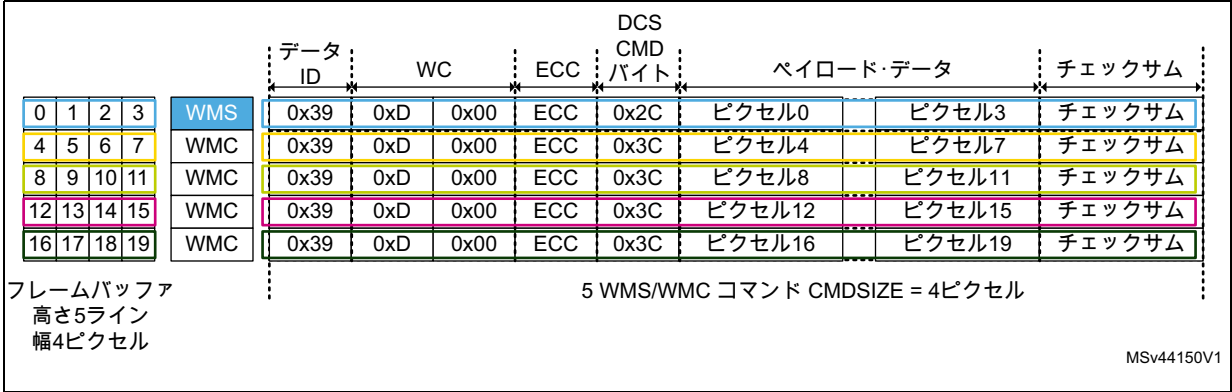
DSI ホストは、フレームバッファからピクセル・データをフェッチして DSI ホストに渡す LTDC を有効にします。DSI ホストは、専用 FIFO にピクセル・データを格納してから、WMS および WMC の DCS コマンドにカプセル化します。

図 68 に示す例では、5つのラインのフレームを、5つの DCS ロング書き込みコマンド (Write_Memory_Start (WMS) 1つと、Write_Memory_Continue (WMC) 4つ) で伝達できます。

CMDSIZE パラメータは、各 WMS/WMC コマンドで転送されるピクセル数を定義します。

この例では、CMDSIZE がピクセル単位のライン・サイズと同等になるようにセットされているため、各 DCS コマンドは4ピクセルで構成される完全なラインをカプセル化します。

図 68. WMS/WMC でのフル・ディスプレイ・リフレッシュ



アダプテッド・コマンド・モードでの部分リフレッシュの例

アダプテッド・コマンド・モードは、画面全体を送信する必要なく、画面の特定の部分をリフレッシュできる部分リフレッシュ機能をサポートしています。

画面全体ではなく、画面の一部だけを再送信することで次のことが可能です。

- 一部のピクセルだけをフレームバッファからフェッチするため、システム帯域幅を低減します。
- リフレッシュ時間を低減してアニメーションを高速化できます。
- DSI リンクがより長く LP モードに移行するため、消費電力を低減します。
- 最終的にフレームバッファ・ストレージに必要なメモリ量を削減します (フレームの一部だけを格納できます)。

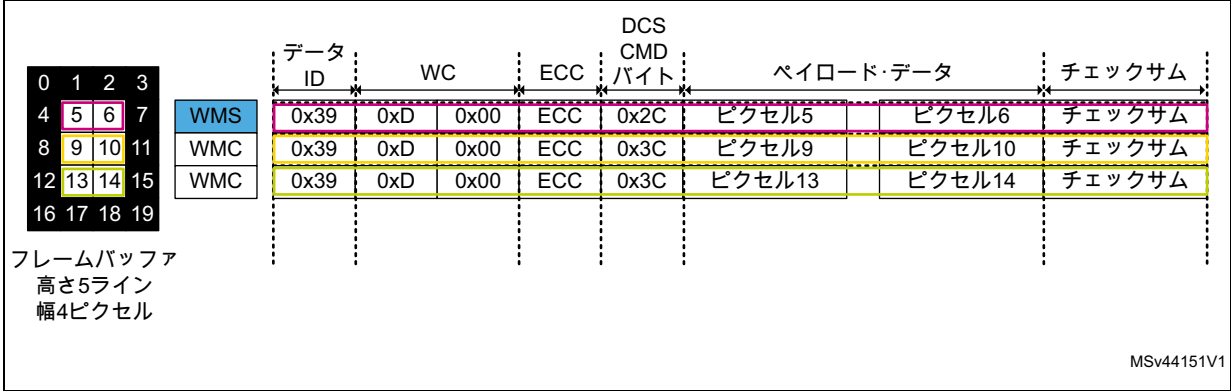
図 69 に示す例では、中央のピクセルだけが送信されます。

CMDSIZE は、各 DCS コマンドで送信されるピクセル数にセットされます。この例では2になっています。

注： ユーザは、ディスプレイ側でリフレッシュする領域を選択するために、APB インタフェースで DCS コマンドを送信しなければならない場合があります (set_column_address および set_page_address)。また、ユーザは LTDC パラメータを再プログラムして、フェッチするピクセルのウィンドウを選択する必要があります。

必要な設定に関する詳細については、STM32cube コマンド・モードの例を参照してください。

図 69. ディスプレイの部分リフレッシュ



アダプテッド・コマンド・モードの基本的なフローを図 70 に示します。

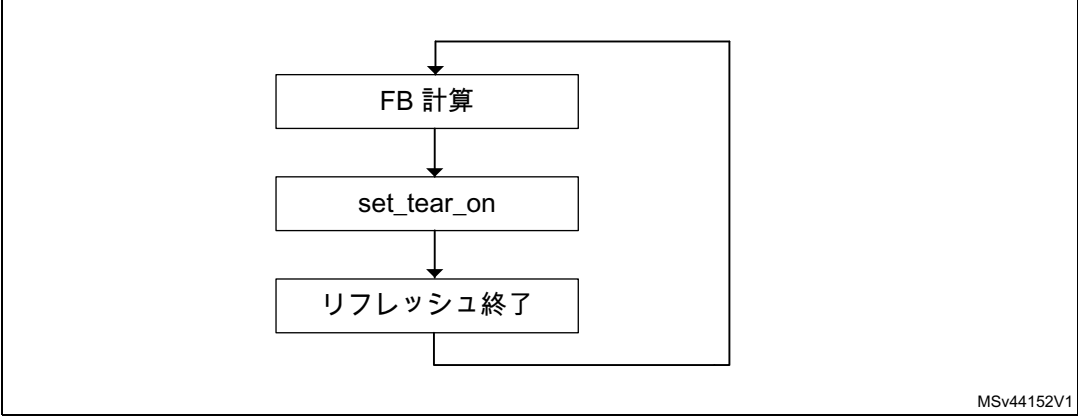
フレームバッファの準備ができたなら、ユーザは set_tear_on コマンドを送信してディスプレイ側で TE レポートを有効にします。ディスプレイがプログラムされたスキャンラインに達すると、TE トリガ・メッセージを送信します。

自動リフレッシュ機能が有効になっている場合、TE イベントを受信すると、ホストは WMS/WMC の DCS コマンドを送信してディスプレイを自動的にリフレッシュします。

自動リフレッシュ機能が有効になっていない場合、DSI ラッパーで1つのビット (LTDC_EN ビット) をセットするだけでリフレッシュが実行されます。

リフレッシュ動作が終了すると、EndOfRefresh イベントが DSI ホストに通知され、次のフレームの計算を開始できるようになります。

図 70. 自動リフレッシュでのアダプテッド・コマンド・モードのフロー例



アダプテッド・コマンド・モードの利点

アダプテッド・コマンド・モードには、数多くの利点があります。

- さらに統合されたソリューションが可能です。
- 画像計算と GRAM 更新が同時に発生しません。これにより、フレームバッファからデータをフェッチする際に、LTDC と DMA2D グラフィック・エンジンの並行処理問題を回避できます。
- マイクロコントローラ 側にはフレームバッファ 1つで十分です。
- フレームバッファが内部マイクロコントローラ SRAM に収まります (16bpp の色深度の 320 x 320ディスプレイでは、フレームバッファに約200KB が必要になります)。
- 低消費電力消費: フレームを更新する必要がある限り、ディスプレイはリフレッシュにグラフィカル RAM を使用して、リンクを低消費電力モードに移行させることができます。
- 部分リフレッシュ・サポート: ユーザはディスプレイの一部のみの更新を選択できます。これにより、リフレッシュ時間、マイクロコントローラ 側の帯域幅使用量、消費電力を低減できます。
- ピクセル・クロックは、短い期間で最大帯域幅を使用できる最大周波数で設定できます。

図 71 に、アダプテッド・コマンド・モードのディスプレイ・リフレッシュの例を示します。DSI ホストは DCS コマンドを送信してフレームを更新してから、LP モードに戻ります。

図 71. アダプテッド・コマンド・モードでのディスプレイ・リフレッシュ



ティアリング効果管理

ティアリング効果は、独自のグラフィカル RAM を持つディスプレイでのリフレッシュ動作でディスプレイと DSI ホストの完全な同期を可能にします。

ティアリング効果信号は次の2つの方法で送信できます。

- 追加ピンを使用しないリンク経由
- 追加ピンの使用

リンク経由のティアリング効果

ティアリング効果がリンク経由で実行される場合、DSI ホストは `set_tear_on` または `set_tear_scanline` のコマンドを送信して、BTA 手順でバスの制御をディスプレイに渡します。1 回目の BTA 後、ディスプレイは確認応答トリガで応答し、バスの制御をホストに戻します。ホストはもう1回 BTA 手順を開始して、バスの制御をディスプレイに渡します。プログラムされたスキャンラインにディスプレイが達すると、トリガを DSI ホストに送信して、DSI ホストにバスの制御を戻します。

割込みを発生させてグラフィカル RAM のリフレッシュを開始するか、ユーザが自動リフレッシュを選択することができます。

図 73 に DSI リンク経由で通知するティアリング効果を示します。

図 72. ティアリング効果のリクエストと応答の例

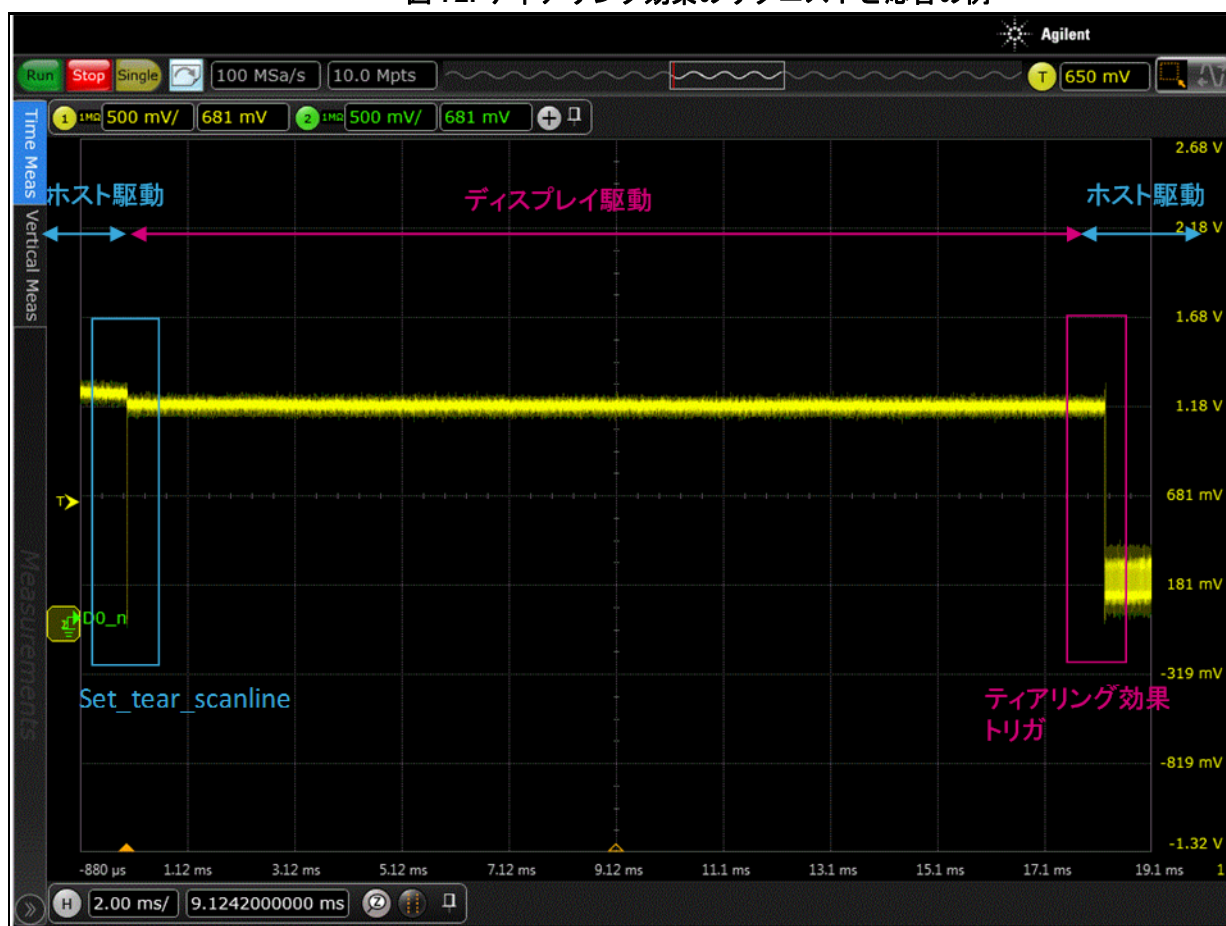
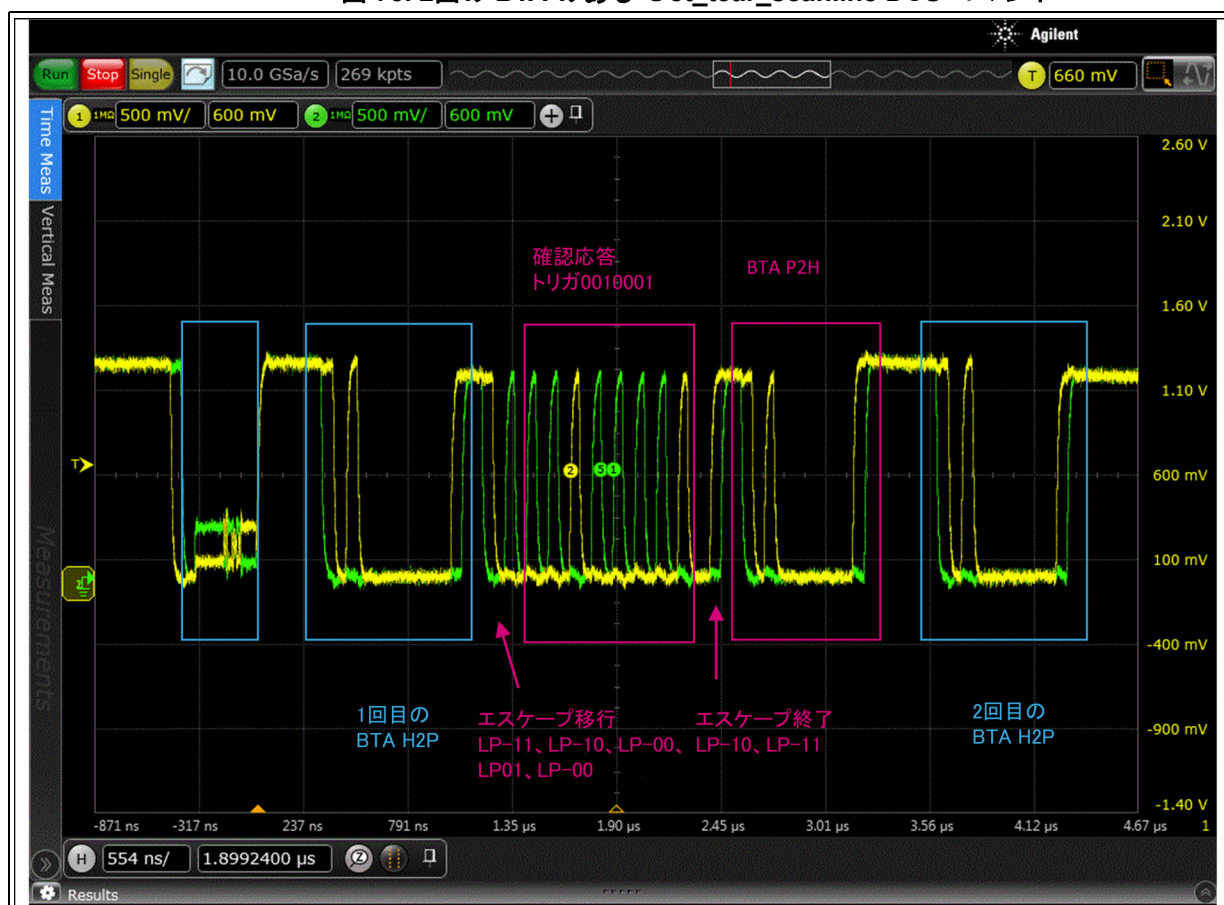


図 73 に、2回の BTA のある `set_tear_scanline` コマンドの拡大図を示します。

図 73. 2回の BTA のある `set_tear_scanline` DCS コマンド

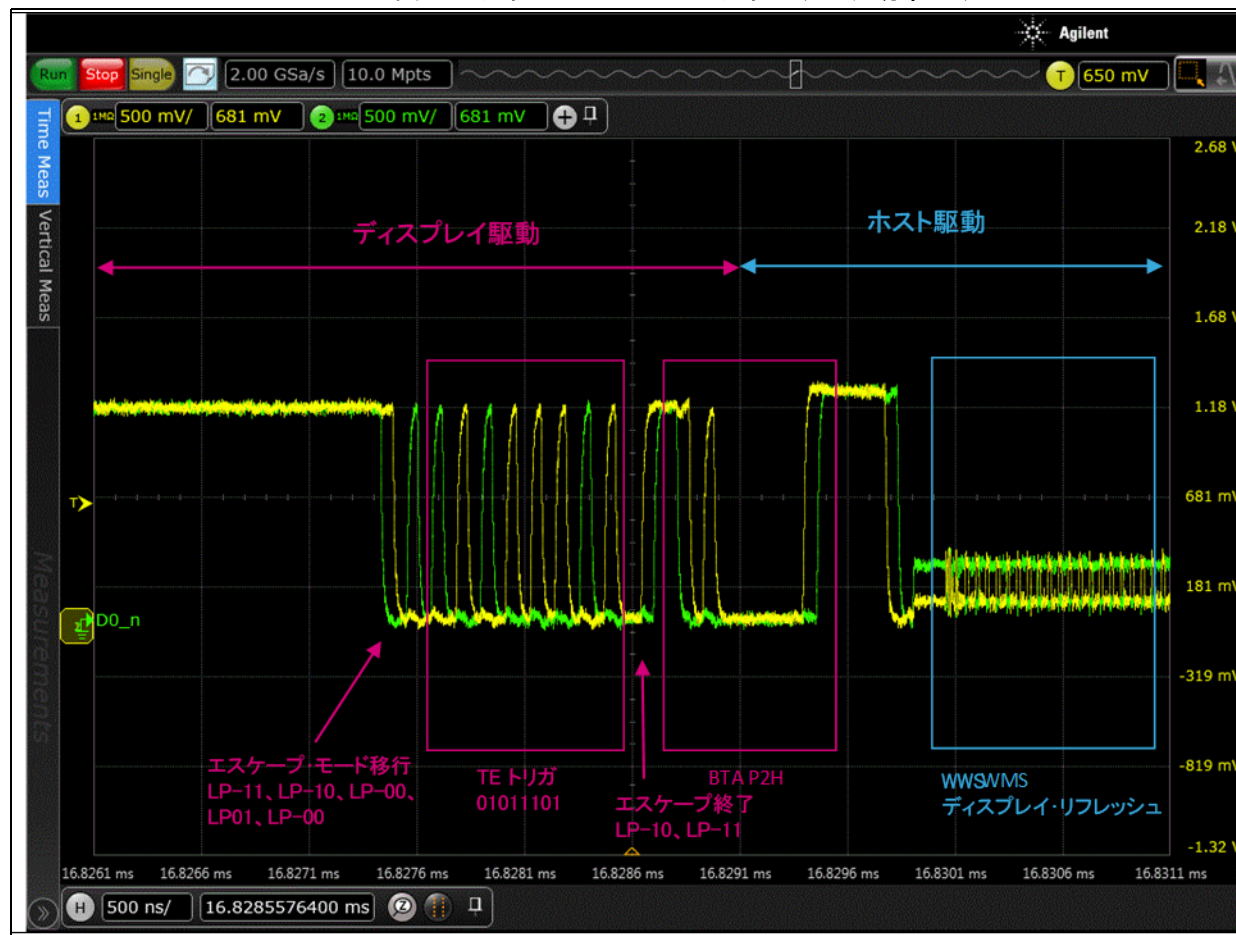


ディスプレイが指定したスキャンラインに達すると、BTA 手順でティアリング効果を送信して、DSI ホストにバスの制御を戻します。

図 74 に、ティアリング効果トリガ・メッセージの拡大図を示します。

その後、DSI ホストは WMS/WMC の DCS コマンドでディスプレイのリフレッシュ動作を開始できます。

図 74. ディスプレイからのティアリング効果トリガ



ピン経由のティアリング効果

ティアリング効果がピン経由で実行される場合、DSI ホストは `set_tear_on` または `set_tear_scanline` の DCS コマンドを送信します。その後、プログラムされたスキャンラインに達すると、ディスプレイは専用ピンをトグルして、DSI ホストをトリガします。

`set_tear_on` または `set_tear_scanline` の DCS コマンドは1回だけ送信でき、ディスプレイが継続的な同期信号を生成します。

追加ピンが必要な場合でも、このメカニズムによって DSI ホストとディスプレイのリンクでの複数回のやり取りを避けることができます。

ピンのトグル時に割込みを発生させてグラフィカル RAM のリフレッシュを開始できます。

その後、DSI ホストは WMS/WMC の DCS コマンドを送信してリフレッシュ動作を開始します。

リフレッシュは、TE 割込みの検出時に自動的に実行するか、ソフトウェアで有効にできます。

図 75 に、GPIO での TE レポートを示します。ディスプレイ・モジュールがプログラムされたスキャンラインに達すると、TE ピンでパルスを生成します。

図 76 に、GPIO 経由のティアリング効果の拡大図を示します。

図 75. ピン経由の TE

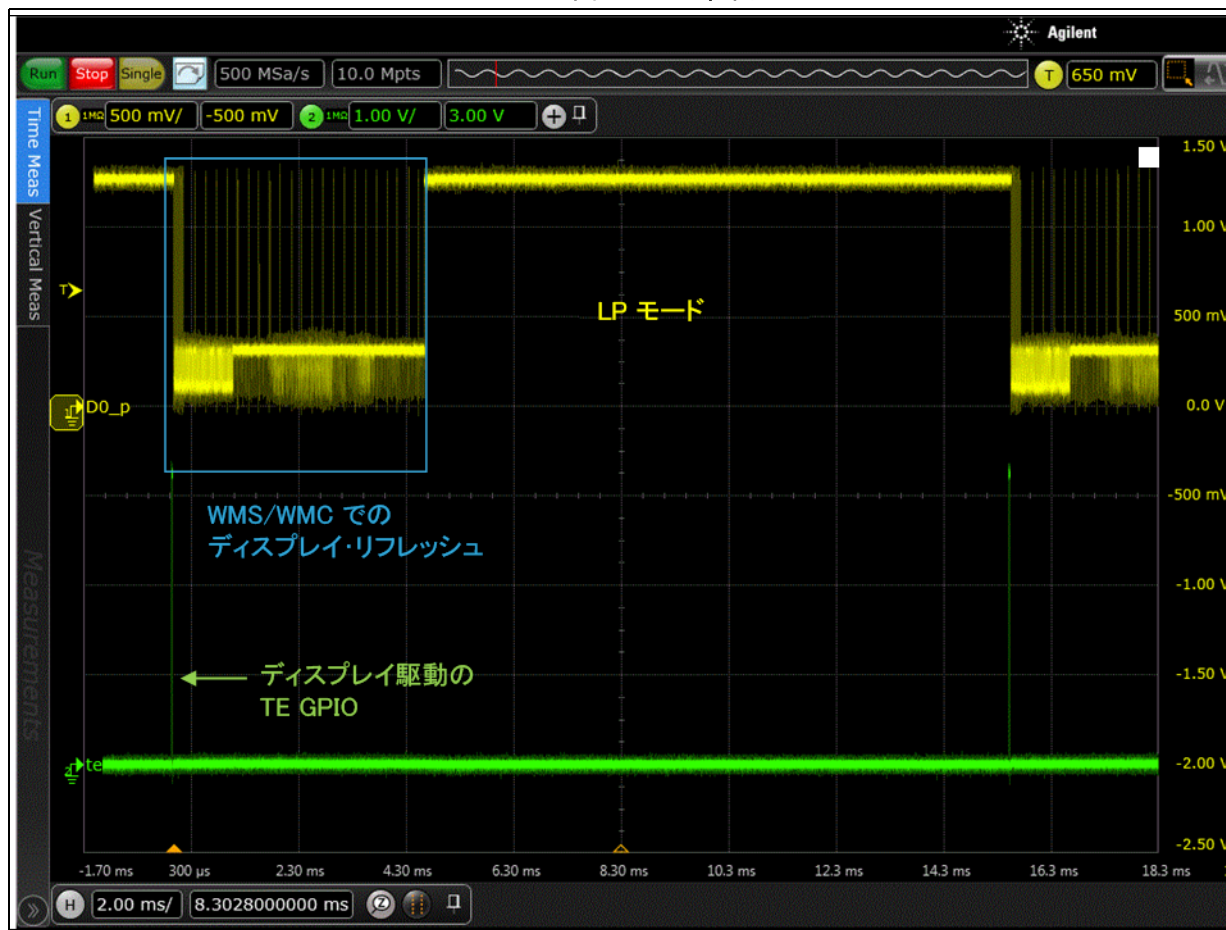
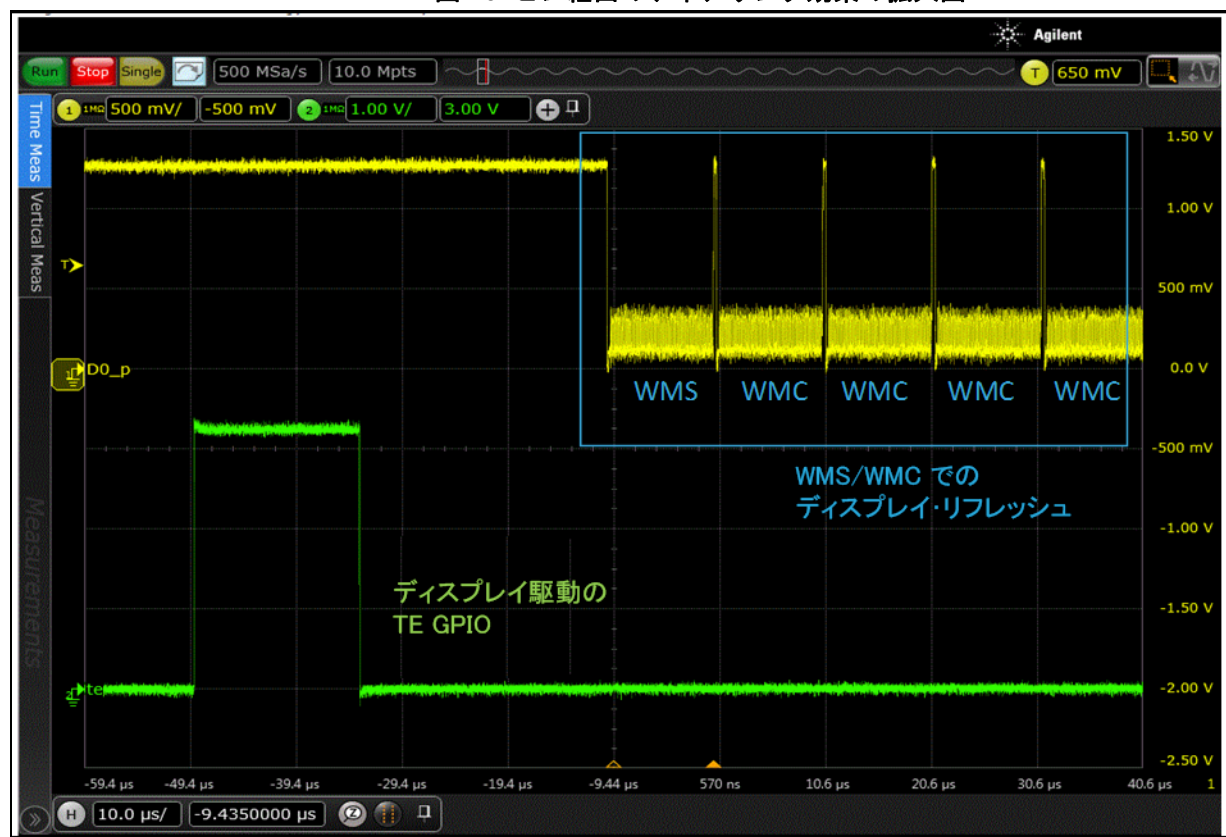


図 76. ピン経由のティアリング効果の拡大図



4.2.3 APB コマンド・モード

APB コマンド・モードは、DSI ホストの APB レジスタ・インタフェースを介したコマンド送信に使用されます。

起動時のディスプレイ設定やアプリケーション実行時のメンテナンス操作のために、汎用コマンドや DCS コマンドを送信できます。

一部のディスプレイは起動時に低消費電力通信のみを受け入れるため、すべてのコマンドはハイスピードまたは低消費電力モードで送信できます。

また、ビデオ・ストリーミング中にもコマンドを送信できます。DSI ホスト・スケジューラは、プログラムされたタイミングに応じて、ビデオ送信中にコマンドを挿入できる十分な時間があるかどうかを自動的に評価します。

すべてのコマンドはソフトウェアによって完全にプログラム可能になっており、DSI ホストですべての標準的な DCS コマンドとディスプレイ依存のカスタム・コマンドをサポートします。

APB コマンド・モードを使用する場合

APB コマンド・モードは、主にディスプレイの初期化フェーズとディスプレイのメンテナンス操作に使用されます。このモードは、ビデオ・モードやアダプテッド・コマンド・モードと同時に動作します。

4.3 動作モードの選択

ビデオ・モードかアダプテッド・コマンド・モードかの選択は、ソリューションのアーキテクチャとコストに大きく影響します。

マイクロコントローラの観点からすると、コストを最適化するソリューションではアダプテッド・コマンド・モードのほうが適しています。

ビデオ・モードはディスプレイ側にグラフィカル RAM を必要としないため、このソリューションはコスト最適化のためにグラフィカル RAM を使用しない大型ディスプレイに適用されます。マイクロコントローラ側の帯域幅やメモリ使用量に関する制約は、現在の LTDC ベースのソリューションのものと同様のままです。ほとんどの場合、外部 RAM がフレームバッファのダブル・バッファリングに必要になります。

アダプテッド・コマンド・モードは、グラフィカル RAM を持つディスプレイが必要になります。このディスプレイはややコストが高くなる場合がありますが、480 x 480未満のほとんどの小型ディスプレイにグラフィカル RAM が組み込まれています。結果として、小型ディスプレイでのアダプテッド・コマンド・モードでは、フレームバッファが内部マイクロコントローラ RAM に格納できるため、外部 RAM を必要としません。これにより、マイクロコントローラでの帯域幅問題が減り、また外部 RAM が不要になるため、全体のBOMコストの削減とソリューション統合が可能になります。

4.4 DSI 割込み

DSI ホストには、すべての通信のタイミングとイベントを監視する数多くの割込みがあります。すべての割込みソースの詳細な説明については、関連する STM32 リファレンス・マニュアルを参照してください。

割込みは、DSI ラッパー・ホストまたは DSI ホストで生成できます。すべての割込みは、割込みコントローラへの1つの割込みラインに統合されます。

プロトコル関連の割込みに加えて、DSI ホストは次のものを管理する割込みも備えています。

- レギュレータ・イベント
- PLL イベント
- ティアリング効果イベント（コマンド・モードのみ）
- リフレッシュ終了イベント（コマンド・モードのみ）

4.5 低消費電力モード

DSI ホストは、RUN モードおよび SLEEP モードでアクティブです。DSI ホストの割込みによって、デバイスは SLEEP モードから復帰します。

STOP モードでは、DSI ホストは停止し、レジスタの内容は保持されます。STANDBY モードでは、DSI ホストはパワーダウンされ、レジスタの内容は後で再初期化されます。

表 9 で DSI ホストの低消費電力モードについて説明します。

表 9. DSI ホストの低消費電力モード

モード	説明
RUN	アクティブです。
SLEEP	アクティブです。ペリフェラルの割込みによって、デバイスは SLEEP モードから復帰します。
STOP	停止。ペリフェラル・レジスタの内容は保持されます。
STANDBY	パワーダウンします。ペリフェラルは、STANBY モード終了後に再初期化する必要があります。

5 DSI ホストの設定

このセクションでは、DSI ホストの設定や使用に必要なローレベル・ハードウェア・レジスタについて説明します。完全なプログラミング・シーケンスについては、関連する STM32 リファレンス・マニュアルを参照してください。

設定プロセスは、次の2つの部分に分けられます。

- グローバル初期化：これはビデオ・モードやアダプテッド・コマンド・モードといったすべての動作モードに共通します。
- 動作モードの設定：このセクションは選択した動作モード（ビデオ・モードまたはアダプテッド・コマンド・モード）に依存します。

注： APB コマンド・モードは、ビデオ・モードおよびアダプテッド・コマンド・モードと並列で使用されます。可能な場合であっても高いレイテンシが発生するため、スタンドアロンで使用してディスプレイをリフレッシュするように最適化されません。これが、ビデオおよびアダプテッド・コマンドの動作モードの設定にのみ焦点を当てている理由です。

5.1 DSI ホストのグローバル設定

このセクションでは、すべての動作モードに共通する DSI ホストの設定について説明します。ここでは、レギュレータ、PLL、PHY、フロー制御、LTDC インタフェースの設定について詳しく説明します。

5.1.1 DSI レギュレータの設定

DSI ホストには、D-PHY および PLL に電源を供給する専用 1.2V 内部レギュレータがあります。表 10 に DSI レギュレータの設定に必要なレジスタを示します。

表 10. DSI レギュレータの設定レジスタ

説明	レジスタ・フィールド
レギュレータの有効化	DSI_WRPCR.REGEN
レギュレータの準備待ち	DSI_WISR.RRS

1.2V を供給する DSI レギュレータは DSI ラッパーで制御されます。

レギュレータは、DSI_WRPCR レジスタの REGEN ビットをセットすることで有効になります。

レギュレータの準備が完了すると、DSI_WISR レジスタの RRIF ビットがセットされます。

D-PHY の電源オン／オフは、1.2V レギュレータを直接有効にすることで実行されます。

5.1.2 クロックの設定

このセクションでは、DSI ホストに必要な個別のクロックの設定を示します。

- DSI ホストの内部 PLL を使用する HS クロック
- LP 通信の TX エスケープ・クロック
- DSI PLL がオフの超低消費電力状態モードに必要な2次クロック・ソース

DSI PLL の設定

STM32 DSI ホストには、DSI ラッパーで制御される専用 DSI PLL があります。DSI PLL 設定レジスタについて、表 11 で説明します。

表 11. DSI PLL の設定レジスタ

説明	レジスタ・フィールド
PLL ループ分周比の設定	DSI_WRPCR.NDIV
PLL 出力分周比の設定	DSI_WRPCR.ODF
PLL 入力分周比の設定	DSI_WRPCR.IDF
PLL の有効化	DSI_WRPCR.PLEN
PLL ロックの待機	DSI_WISR.PLLS

DSI PLL の受信クロックは、HSE（ハイスピード外部）オシレータ・クロックです。

PLL 出力クロックは、D-PHY に供給される HS クロックです。HS クロックは、フルレート・クロックです。80~500MHz の範囲でセットする必要があります。

D-PHY は HS クロックを使用して、クロック・レーンでディスプレイに送信されるハーフレート DDR クロックを生成します。これは、レーン当たり500Mbit/秒のレートの場合、PLL 出力を 500MHz にする必要があり、送信されるクロック・レーンは 250MHz の DDR クロックであることを意味します。

D-PHY は HS クロックを8分周して lane_byte_clk を生成し、DSI ホストに供給します。

lane_byte_clk は次の式で計算します。

$$FVCO = (HSE / IDF) \times 2 \times NDIV$$

Lane_Byte_CLK = FVCO / (2xODFx8)、FVCO は 500MHz~1GHz の範囲にセットする必要があります。

計算例

レーン当たり500Mbit/秒のレートを取得するには、500MHz の HS クロックを出力するように DSI PLL を設定する必要があります、DSI ホストに供給される lane_byte_clk は500MHz/8 = 62.5MHz となります。25MHz の HSE オシレータでは、次の3つのパラメータで 62.5MHz の lane_byte_clk を取得できます。

IDF = 1、NDIV = 20、ODF = 1

$$\text{Lane_byte_clk} = ((25/1) \times 2 \times 20) / (2 \times 1 \times 8) = 62.5\text{MHz}$$

図 77 に DSI クロック構成を示します。

[illegible]

TX エスケープ・クロックは LP モードで使用されます。LP モードで 1bit 送信するには、tx_esc_clk の 2 サイクルかかります。表 12 に TX エスケープ・クロックの設定に使用されるレジスタを示します。

説明	レジスタ・フィールド
TX エスケープ・クロック分周	DSI_CCR.TXECKDIV

$$\text{TX エスケープ・クロック} = \text{Lane byte clk} / \text{TXECKDIV}$$

TXECKDIV は、TX エスケープ・クロックが 20MHz 未満であることを確認するためにプログラムする必要があります。TX プリスケールは2より大きい値にセットする必要があります。プリスケールの値 0 または 1 は、TX エスケープ・クロックの生成を無効にします。

2次クロック・ソースのセット

DSI ホストの lane_byte_clock ソースは、DSI-PHY またはメイン PLL の特定の出力（PLL_R）から供給できます。超低消費電力状態では、DSI PLL がオフになる場合があります。この場合、lane_byte_clock ソースは PLL_R です。

表 13 に、2つのクロック・ソースから選択するために使用されるレジスタ・ビットを示します。

表 13. 2次クロック・ソースのセット・レジスタ

説明	レジスタ・フィールド
DSI クロック・ソース選択	DCKCFGR2.DSISEL

このビットは、DSI-PHY が DSI の lane_byte_clk ソースとして使用されている場合はクリアする必要があります。これは通常動作モードの場合です。

このビットは、DSI PLL および DSI-PHY がオフになっており、PLL_R が DSI の lane_byte_clk ソースとして使用されている場合はセットする必要があります。

5.1.3 DSI ホストの PHY パラメータ

このセクションでは、DSI ホストから制御される D-PHY パラメータについて説明します。

レーン数

DSI ホストには、1つまたは2つのデータ・レーンを使用するスケーラブルなアーキテクチャが搭載されています。表 14 にレーン数のプログラムに使用されるレジスタ・フィールドを示します。

表 14. レーン数の設定レジスタ

説明	レジスタ・フィールド
アクティブなデータ・レーン数のセット	DSI_PCONFR.NL

レーン数は、アプリケーションの帯域幅要件に依存します。

各 DSI レーンは最大500Mbit/秒のデータ・レートであり、デュアル・データ・レーン・モードで合計1Gbit/秒のレートになります。必要なレーン数の評価方法の詳細については、[セクション 7 : DSI ホストのパフォーマンス](#)を参照してください。

PHY のクロックおよびデジタル・セクション制御

DSI ホストは、D-PHY のデジタル・セクションおよびクロック・レーン・モジュールを制御できます。

表 15 に D-PHY のクロックおよびデジタル・セクションの制御に使用されるレジスタ・フィールドを示します。

表 15. PHY のクロックおよびデジタル・セクションの制御レジスタ

説明	レジスタ・フィールド
D-PHY のデジタル・セクション制御	DSI_PCTLR.DEN
D-PHY のクロック・レーン・モジュールの有効化	DSI_PCTLR.CKE

DSI_PCTLR.DEN フィールドは、D-PHY のリセット状態を解除できます。

DSI_PCTLR.CKE は、D-PHY のクロック・レーンを有効にするためにセットする必要があります。

クロック・レーン制御

DSI ホストには、クロック・レーン制御のための特定の機能が搭載されています。表 16 にクロック・レーン制御に使用される個別のレジスタ・フィールドを示します。

表 16. クロック・レーンの制御レジスタ

説明	レジスタ・フィールド
自動クロック・レーン制御	DSI_CLCR.ACR
D-PHY クロック制御	DSI_CLCR.DPCC

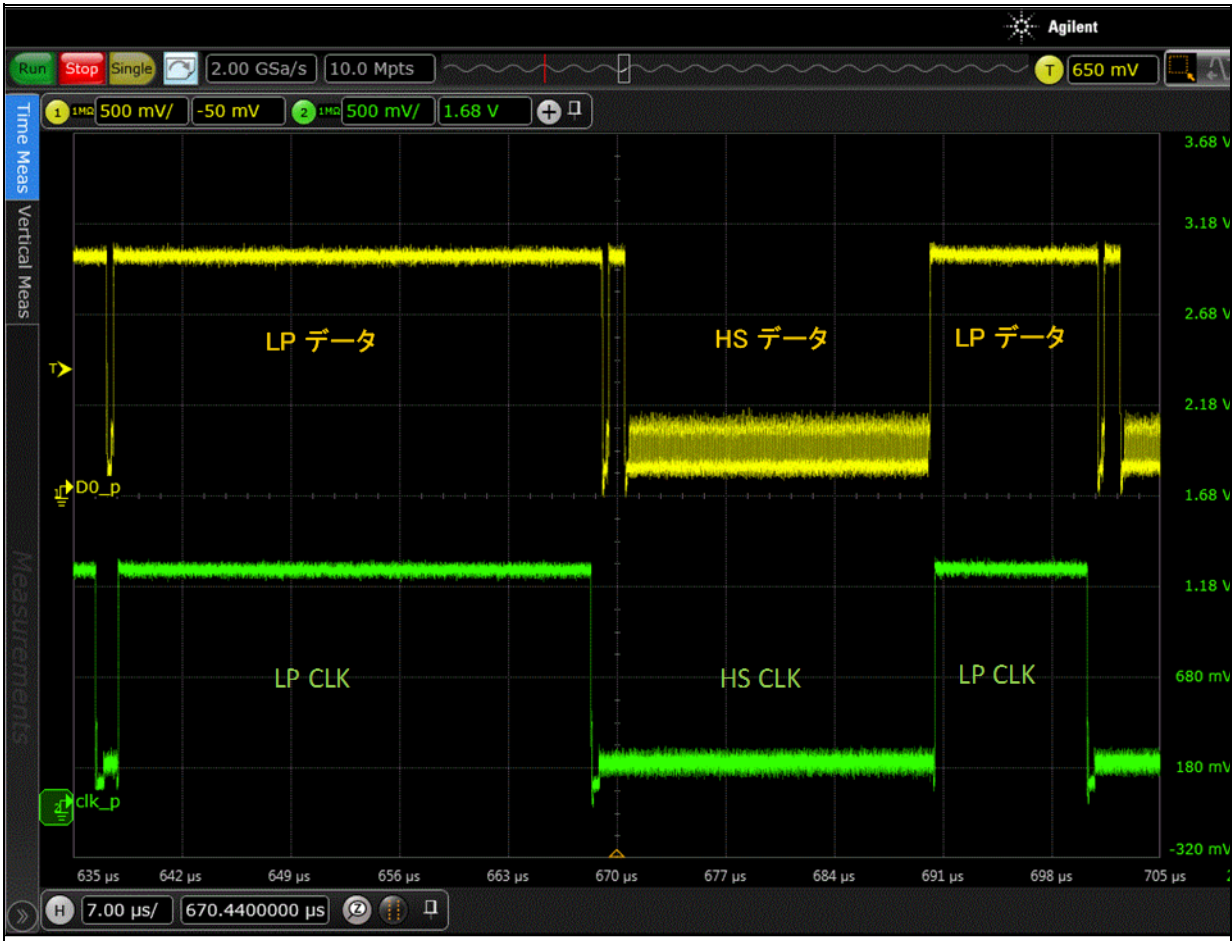
自動クロック・レーン制御

ユーザは DSI ホストにクロック・レーンを LP 状態に移行するタイミングを自動的に制御させることができます。

この操作は、DSI_CLCR.ACR ビットを1にセットすることで実行され、DSI_CLCR.DPCC も1にセットしてクロックの HS モードを有効にする必要があります。

図 78 に、自動クロック・レーン制御を有効にした例を示します。DSI ホストは HS モードでクロック供給を自動的に停止し、時間がある場合に STOP 状態 LP-11 に移行します。

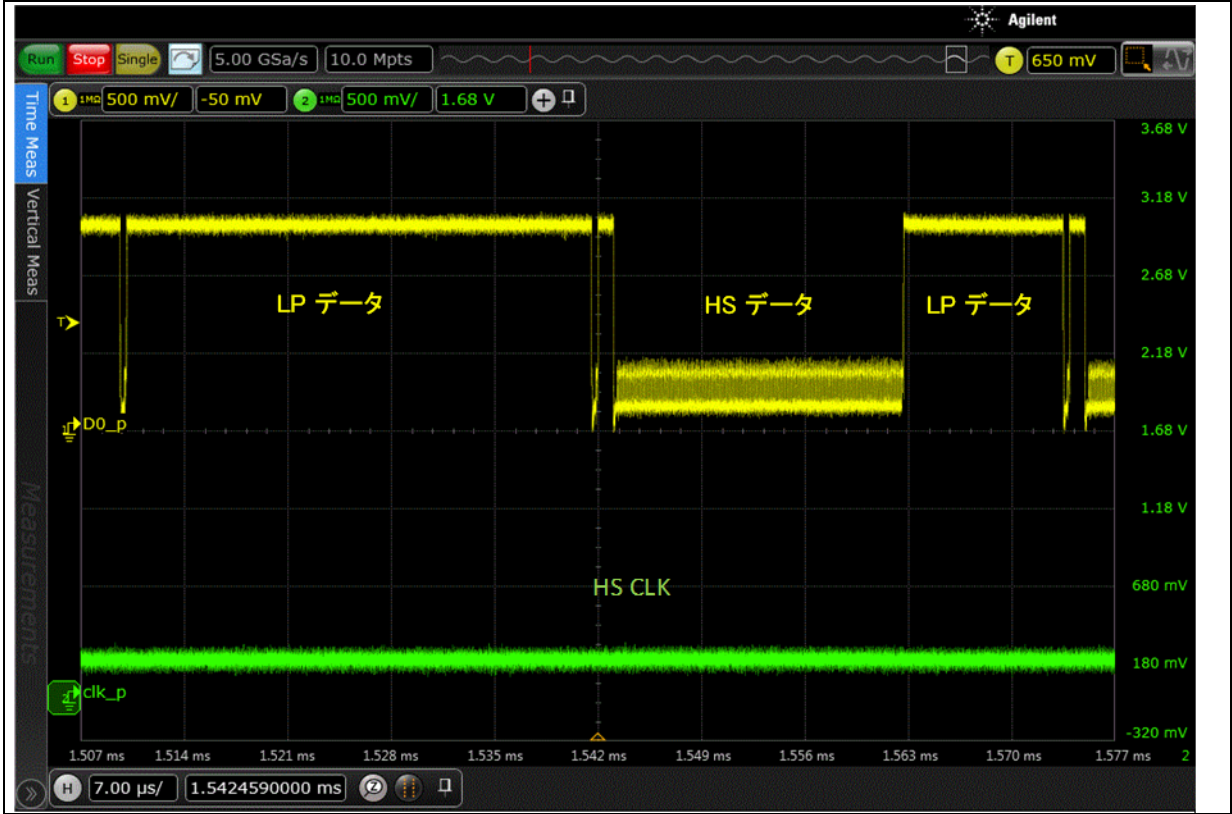
図 78. 自動クロック・レーン制御



注：ビデオ・モードでは、[セクション 5.2.1: LTDC インタフェースでのビデオ・モード](#)で説明した PHY 遷移タイミング (DSI_CLTCCR.HS2LP_TIME および DSI_CLTCCR.LP2HS_TIME) に示されたタイミングに基づいて、DSI ホストがクロック・レーンを LP モードに移行できるかどうかを判断します。

[図 79](#) に、自動クロック・レーン制御を無効にし、クロック・レーンを常に HS モードにした例を示します。

図 79. 自動クロック・レーン制御を無効にしてクロック・レーンを常に HS モードにした例



手動クロック・レーン制御

DSI ホストのクロック・レーン設定レジスタの DSI_CLCCR.DPCC ビットで、クロック・レーン状態を手動で制御することもできます。

クロック・レーンは、DSI_CLCCR.DPCC をクリアすることで手動で LP 状態に移行できます。

5.1.4 DSI ラッパーの PHY パラメータ

このセクションでは、DSI ラッパーから制御される D-PHY パラメータについて説明します。

HS ビット期間のセット

D-PHY は PLL によって供給されるハイスピード・クロック・レートを認識する必要があります。この値は、DSI ラッパーを通じて D-PHY に示されます。[表 17](#) に、HS ビット期間をセットするために使用される DSI ラッパー内のレジスタ・フィールドを示します。

表 17. HS ビット期間の設定レジスタ

説明	レジスタ・フィールド
HS モードのビット期間のセット (0.25ns の倍数)	DSI_WPCR0.UIX4

このフィールドは、ハイスピード・モードのビット期間を 0.25ns の倍数で定義し、D-PHY で管理されるすべてのタイミングのタイム・ベースとして使用されます。

単位間隔は、DSI_WPCR0.UIX4 フィールドで設定されます。この期間が 0.25ns の倍数でない場合、はみ出した値を切り捨てる必要があります。

注： このフィールドは必須です。DSI ホストと PHY のタイミング不一致問題を回避するために正しくプログラムする必要があります。

例：500Mbit/秒のリンク速度の場合、PLL から出力されて PHY に供給される HS クロックは 500MHz であり、2ns ビット期間です。そのため、UIX4 は $2 / 0.25 = 8$ にプログラムされます。

単位間隔は、クロック周期の半分であるため、

$UI = 1 / (2 \times 250\text{MHz}) = 2\text{ns}$ となり、UIX4 は 8 にプログラムされます。

5.1.5 プロトコル・フロー制御

DSI ホストは、EoTp の送受信、ECC および CRC の受信、バス・ターンアラウンド制御を含むフロー制御機能を備えています。

注： 正方向の ECC および CRC の生成は必須で常に有効です。

表 18 にフロー制御設定に使用されるレジスタ・フィールドを示します。

表 18. プロトコル・フロー制御の設定レジスタ

説明	レジスタ・フィールド
EoTp 送信の有効化	DSI_PCR.ETTXE
EoTp 受信の有効化	DSI_PCR.ETRXE
バス・ターンアラウンドの有効化	DSI_PCR.BTAE
ECC 受信の有効化	DSI_PCR.ECCRXE
CRC 受信の有効化	DSI_PCR.CRCRXE

EoTp の送受信

複数のパケットが 1 つの HS 転送内に存在する場合があります。転送終了は、専用の EoT シーケンスを使用して PHY レイヤで必ず通知されます。システム全体の堅牢性を高めるために、DSI はプロトコル層で専用の EoT パケット (EoTp) を定義します。

このメカニズムによって、オーバーヘッド (送信ごとにさらに 4 バイト分) が増加する代わりに環境の堅牢性が高まります。

EoTp は、HS 送信終了時に送信されます。その後、リンクは LP 状態に移行します (詳細については、[セクション 3.3.2 : 送信終了 \(EoT\) パケット](#)を参照)。

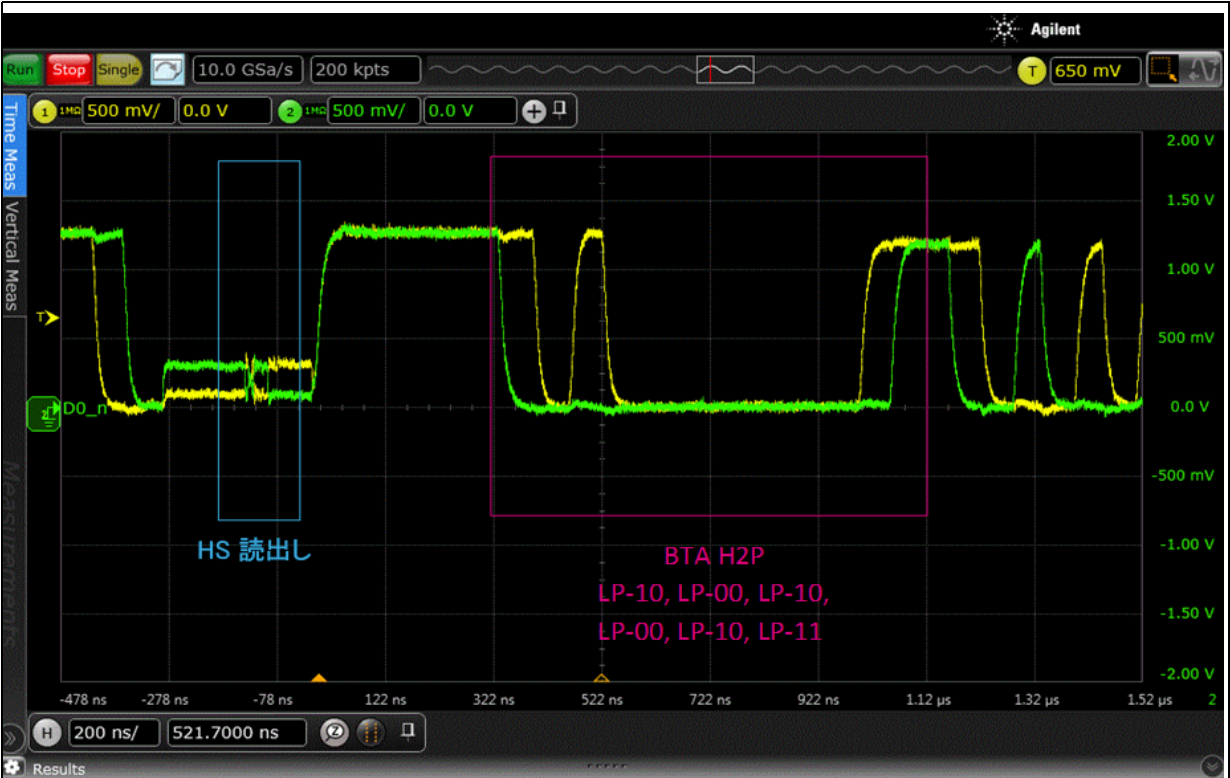
DSI ホストは、次のものをそれぞれセットすることで、EoTp の送受信両方をサポートします (DSI_PCR.ETTXE および DSI_PCR.ETRXE)。

バス・ターンアラウンド

バス・ターンアラウンドの有効化は、読出し、確認応答、ティアリング効果のリクエストなど逆方向の通信が必要になる場合に必須です。

[図 80](#) に、DSI_PCR.BTAE がセットされている場合の読出しコマンドと DSI ホストが自動的に開始する BTA 手順の例を示します。

図 80. 読出しコマンド後の BTA 手順



ECC および CRC の受信

DSI ホストは、受信したパケットの ECC および CRC のフィールドの値を確認できます。これは、DSI_PCR.ECCRXE と DSI_PCR.CRCRXE をそれぞれセットすることで有効になります。

5.1.6 DSI ホストの LTDC インタフェース設定

DSI ホストの LTDC インタフェースで、カラー・コーディングやビデオ信号極性の制御が可能です。

カラー・コーディングの設定

表 19 にカラー・コーディングの制御に使用されるレジスタ・フィールドを示します。

表 19. カラー・コーディングの設定レジスタ

説明	レジスタ・フィールド
DSI ラッパーのカラー・コーディングの設定	DSI_WCFGR.COLMUX
DSI ホストのカラー・コーディングの設定	DSI_LCOLCR.COLC
18-bit 設定に対する軽度パック済みバリエーション	DSI_LCOLCR.LPE

LTDC 出力は常に 24-bit RGB R[7:0]G[7:0]B[7:0] です。

DSI ラッパーは、LTDC 出力を DSI ホスト入力にマップできます。DSI ラッパーと DSI ホストに対して同じカラー・フォーマットを選択する必要があります。このカラーフォーマットは DSI 出力パケットに適用されます。

利用可能なカラー・コーディング：

- 000 : 16-bit 設定1
- 001 : 16-bit 設定2
- 010 : 16-bit 設定3
- 011 : 18-bit 設定1
- 100 : 18-bit 設定2
- 101 : 24 ビット

16-bit および 18-bit の設定の違いによって、DSI 出力パケットに影響することはありません。ユーザが DSI ラッパー (DSI_WCFGR.COLMUX) および DSI ホスト (DSI_LCOLCR.COLC) で同じ設定をプログラムしている限り、どれを選択しても構いません。

16-bit 設定を選択した場合、DSI ホストは565のカラー・コーディングを出力します。18-bit 設定を選択した場合、DSI ホストは666のカラー・コーディングを出力します。

例外として、ビデオ・モードの 18-bit 設定の場合、DSI_LCOLCR.LPE ビットは軽度パケットと軽度パケットではない設定のいずれかを選択します (軽度パケットと軽度パケットではない 18-bit 設定については、[図 43](#) と [図 44](#) を参照)。

ビデオ・モードの 18-bit カラー・フォーマットで、18-bit の軽度パケット・バリエーションが使用されている場合、ユーザは DSI_LCOLCR.LPE をセットする必要があります。

注： ビデオ・モードでは、パック済みピクセル・ストリームのヘッダ内にあるデータ型フィールドで、ディスプレイは使用されるカラー・フォーマットを認識できます ([セクション : 40 ページのビデオ・モードのデータ型](#)を参照)。コマンド・モードでは、ホストが set_pixel_format の DCS コマンドを使用してカラー・フォーマットをディスプレイに通知する必要があります。

注： DSI ホストのカラー・コーディングは、DSI リンクで送信される DSI パケットでのピクセルのコーディング方式を定義します。これは、画像ソースのカラー・フォーマットとは異なります。画像ソースのカラー・フォーマットは、LTDC のレイヤ入力カラー・フォーマットと一致している必要があります。16-bit でコーディングされた画像ソースと、24-bit でコーディングされた DSI ホストの出力パケットを持つことができます。

ビデオ制御信号の極性

ビデオ制御信号 (Hsync、Vsync、データ有効化) の極性は、LTDC インタフェースで制御できます。

[表 20](#) にビデオ制御信号の極性のレジスタ・フィールドを示します。

表 20. ビデオ制御信号の極性レジスタ

説明	レジスタ・フィールド
HSYNC 極性の設定	DSI_LPCR.HSP
VSYNC 極性の設定	DSI_LPCR.VSP
データ有効化極性の設定	DSI_LPCR.DEP

ビデオ制御信号 (Hsync、Vsync、DE) の極性は、DSI LTDC インタフェースでプログラムできます。プログラムされた値は、LTDC 制御信号の極性設定と一致させて、DE 信号を除いて DSI と LTDC で極性を同じにする必要があります。

LTDC グローバル制御レジスタは、NOT DE 信号の極性をセットできます。すべての DSI モードで、LTDC NOT DE の極性をアクティブ・ローにセットして、DSI DE の極性をアクティブ・ハイにセットする必要があります。逆の設定は使用できません。

5.2 DSI 動作モードの設定

このセクションでは、使用される動作モード固有の設定について説明します。ユーザは、ビデオ・モードとアダプテッド・コマンド・モードのいずれかを選択できます。

5.2.1 LTDC インタフェースでのビデオ・モード

このセクションでは、ビデオ・モード固有の DSI ホストの設定について説明します。

ビデオ・モードの選択

ユーザは、使用可能な3種類のビデオ・モードから1つ選択できます。ビデオ・モード選択レジスタを表 21 に示します。

表 21. ビデオ・モード選択レジスタ

説明	レジスタ・フィールド
ビデオ・モード・タイプの設定	DSI_VMCR.VMT

3種類のビデオ・モード・タイプ :

- 00 : 同期パルスでの非バースト
- 01 : 同期イベントでの非バースト
- 1x : バースト

ビデオ・モードでの LP 状態

DSI 仕様では、HS 送信を周期的に終了してデータ・レーンを LP 状態に駆動することを推奨しています。これによって、PHY 同期を有効にします。

LP 状態への遷移は、スキャンラインごとに1回行う必要があります。不可能な場合、LP 状態への遷移は、フレームごとに1回行う必要があります。

PHY 遷移タイミングの設定

ビデオ・モードでは、DSI ホストに HS と LP の状態での PHY 遷移タイミング・オーバーヘッドに関する情報が必要になります。これらのタイミングは、表 22 に示したレジスタでセットされます。

表 22. PHY 遷移タイミングの設定レジスタ

説明	レジスタ・フィールド
クロック・レーン・タイマ	
レーン・バイト・クロック・サイクルで測定される ハイスピードから低消費電力の送信に移行するために D-PHY クロック・レーンでかかる最大時間の設定	DSI_CLTCCR.HS2LP_TIME
レーン・バイト・クロック・サイクルで測定される 低消費電力からハイスピードの送信に移行するために D-PHY クロック・レーンでかかる最大時間の設定	DSI_CLTCCR.LP2HS_TIME
データ・レーン・タイマ	

表 22. PHY 遷移タイミングの設定レジスタ（続き）

説明	レジスタ・フィールド
レーン・バイト・クロック・サイクルで測定される ハイスピードから低消費電力の送信に移行するために D-PHY データ・レーンでかかる最大時間の設定	DSI_DLTCCR.HS2LP_TIME
レーン・バイト・クロック・サイクルで測定される 低消費電力からハイスピードの送信に移行するために D-PHY データ・レーンでかかる最大時間の設定	DSI_DLTCCR.LP2HS_TIME

これらのタイミングによって、DSI ホストは LP から HS、HS から LP の遷移オーバーヘッドを認識して、ビデオ・ブランキング期間中に LP モードに移行する十分な時間があるかどうかを判断します。

DSI_DLTCCR レジスタでデータ・レーンに対して LP2HS_TIME および HS2LP_TIME をセットする必要があります。

クロック・レーンでは、「自動クロック・レーン制御」が有効になっている場合のみ LP2HS_TIME と HS2LP_TIME をセットする必要があります。

LP2HS_TIME は LP と HS の切り替えに PHY で必要な最大時間を反映し、HS2LP_TIME は HS と LP の切り替えに PHY で必要な最大時間を反映します。

DSI ホストはブランキング期間を合計遷移時間と比較して、ブランキング期間中に LP に切り替えることができるかを認識します。

（期間タイミング）＞（合計遷移時間）の場合、DSI ホストは D-PHY に LP に移行するようにリクエストします。

（期間タイミング）＜（合計遷移時間）の場合、DSI ホストは期間中に HS モードでブランキング・パケットを送信します。

- PHY 遷移タイミング：
 - データ・レーン
 - LP2HS = 17レーン・バイト・クロック
 - HS2LP = 18レーン・バイト・クロック
 - クロック・レーン
 - LP2HS = 36レーン・バイト・クロック
 - HS2LP = 28レーン・バイト・クロック
- 合計遷移時間の計算：
 - データ・レーンのみ LP に移行する場合
 - 遷移時間 = HS2LP_TIME（データ）+ LP2HS_TIME（データ）
 - クロック・レーンとデータ・レーンが LP に移行する場合
 - 遷移時間 = HS2LP_TIME（クロック）+ LP2HS_TIME（クロック）

計算例

この例では次のように仮定します。

- HS2LP_TIME = 18 lane_byte clock サイクル
- LP2HS_TIME = 17 lane_byte clock サイクル
- HFP 期間 = 35 pixel_clock サイクル

HS2LP_TIME + LP2HS_TIME = 35 lane_byte clock サイクル

HFP >（HS2LP+LP2HS）となり、DSI ホストは HFP 領域で LP に移行します。

注： HS2LP_TIME と LP2HS_TIME の値は、低消費電力とハイスピードを切り替えるために PHY で必要な最大時間を反映するように慎重にセットする必要があります。そうしないと、DSI ホストに対して指定されたタイミングが、実際に必要な遷移タイミングを下回った場合、DSI ホストが PHY 遷移時間より短い期間で LP 遷移をリクエストして、ビデオ・タイミング違反が発生させる場合があります。

DSI が内部計算にこのタイミングを使用するため、プログラムされるタイミングは実際に PHY で必要なタイミングより大きい値にしないでください。

LP 遷移の設定

DSI_VMCR で低消費電力遷移を設定して、十分な時間がある場合に低消費電力に移行できるビデオ期間を定義します。

表 23 に各領域に対して LP 設定をプログラムするために使用されるレジスタ・フィールドを示します。

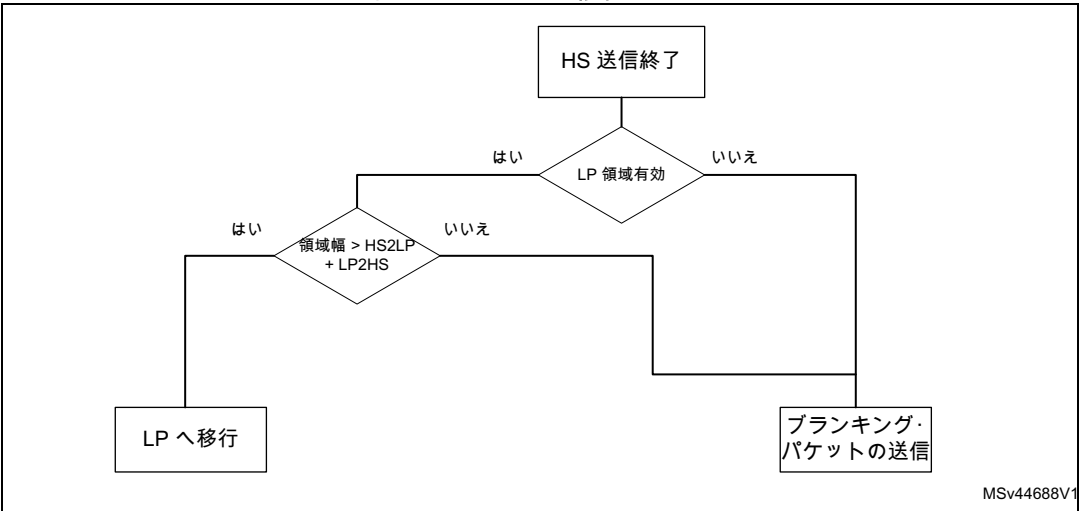
表 23. LP 遷移の設定レジスタ

説明	レジスタ・フィールド
低消費電力水平フロント・ポーチ有効化	DSI_VMCR.LPHFPE
低消費電力水平バック・ポーチ有効化	DSI_VMCR.LPHBPE
低消費電力垂直アクティブ有効化	DSI_VMCR.LPVAE
低消費電力垂直フロント・ポーチ有効化	DSI_VMCR.LPVFPE
低消費電力垂直バック・ポーチ有効化	DSI_VMCR.LPVBPE
低消費電力垂直同期アクティブ有効化	DSI_VMCR.LPVSAE

図 81 に、基本的な LP モード移行フローを示します。LP 移行が領域で無効になっている場合、DSI ホストは LP モードに移行する代わりにブランキング・パケットを送信します。

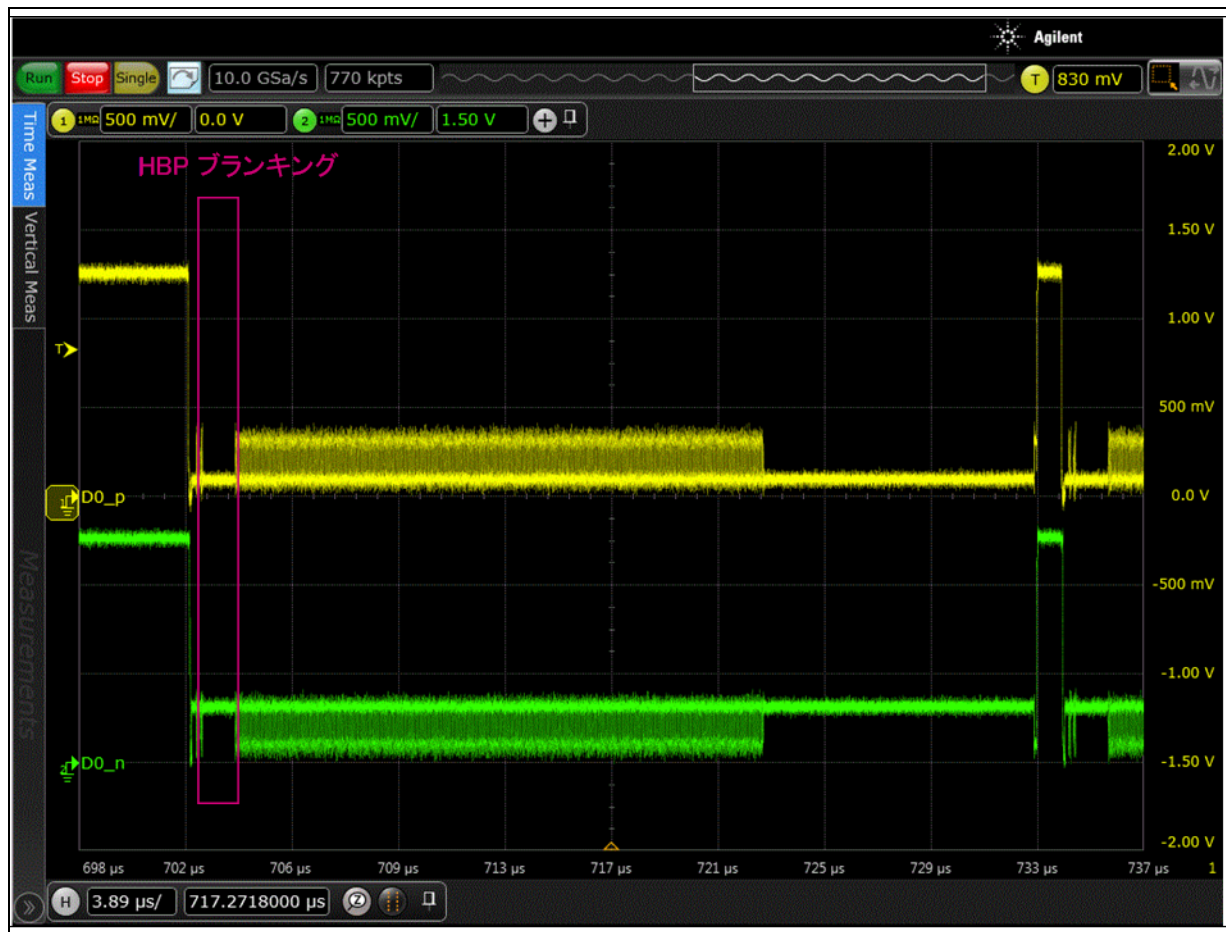
LP 移行が領域で有効になっている場合、DSI ホストは期限の長さが LP モードの移行と終了に十分な時間になっているか確認します。この処理は、領域の期間を HS2LP および LP2HS の遷移タイミングと比較して実行されます。

図 81. LP モード移行フロー



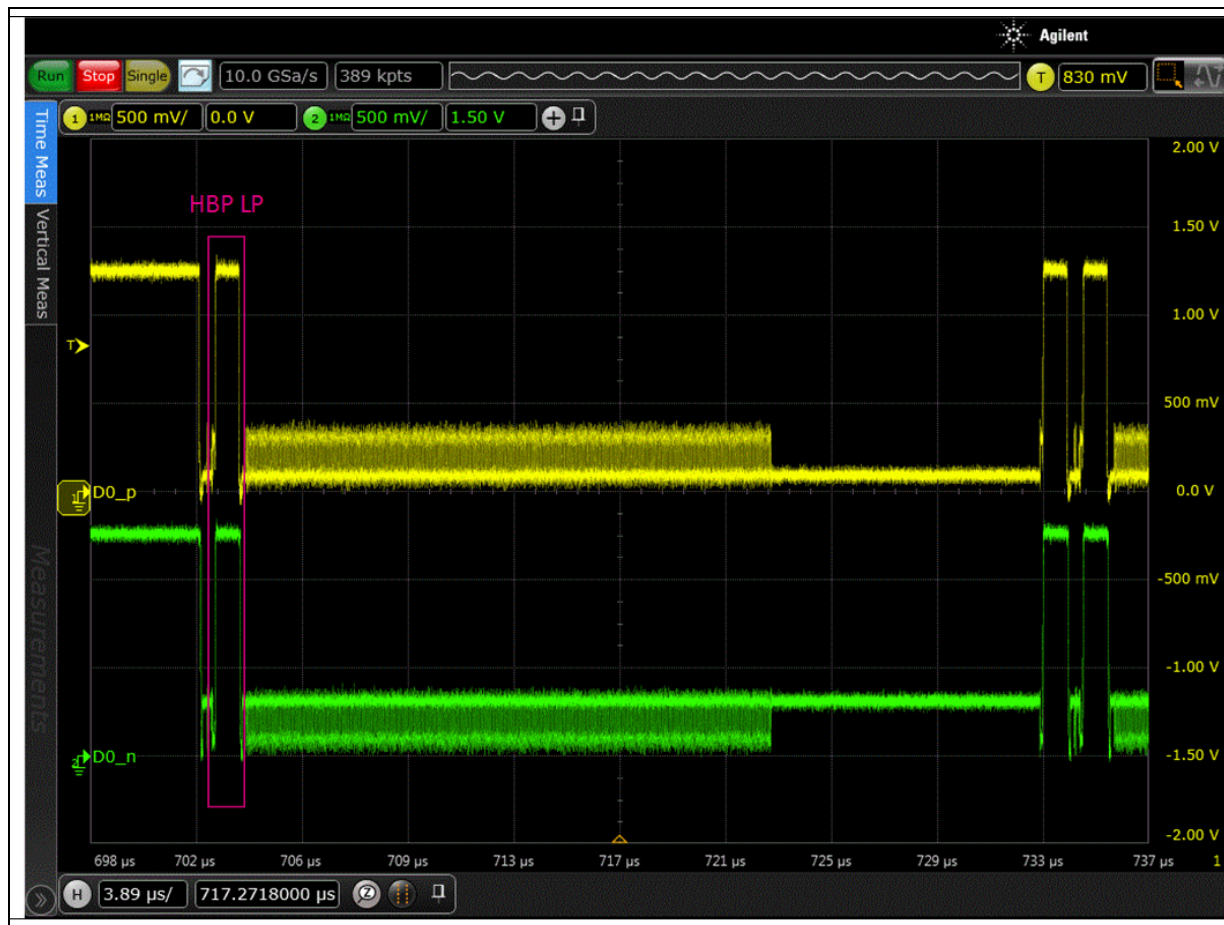
- HBP 領域で無効化された LP モード
VMCR.LPHBPE=0の場合、DSI ホストは HBP 期間中に HS モードでブランキング・パケットを送信します。その後、パック済みピクセル・ストリーム・パケットを使用してピクセル・データを送信します（図 82 を参照）。

図 82. HBP 領域で無効化された LP



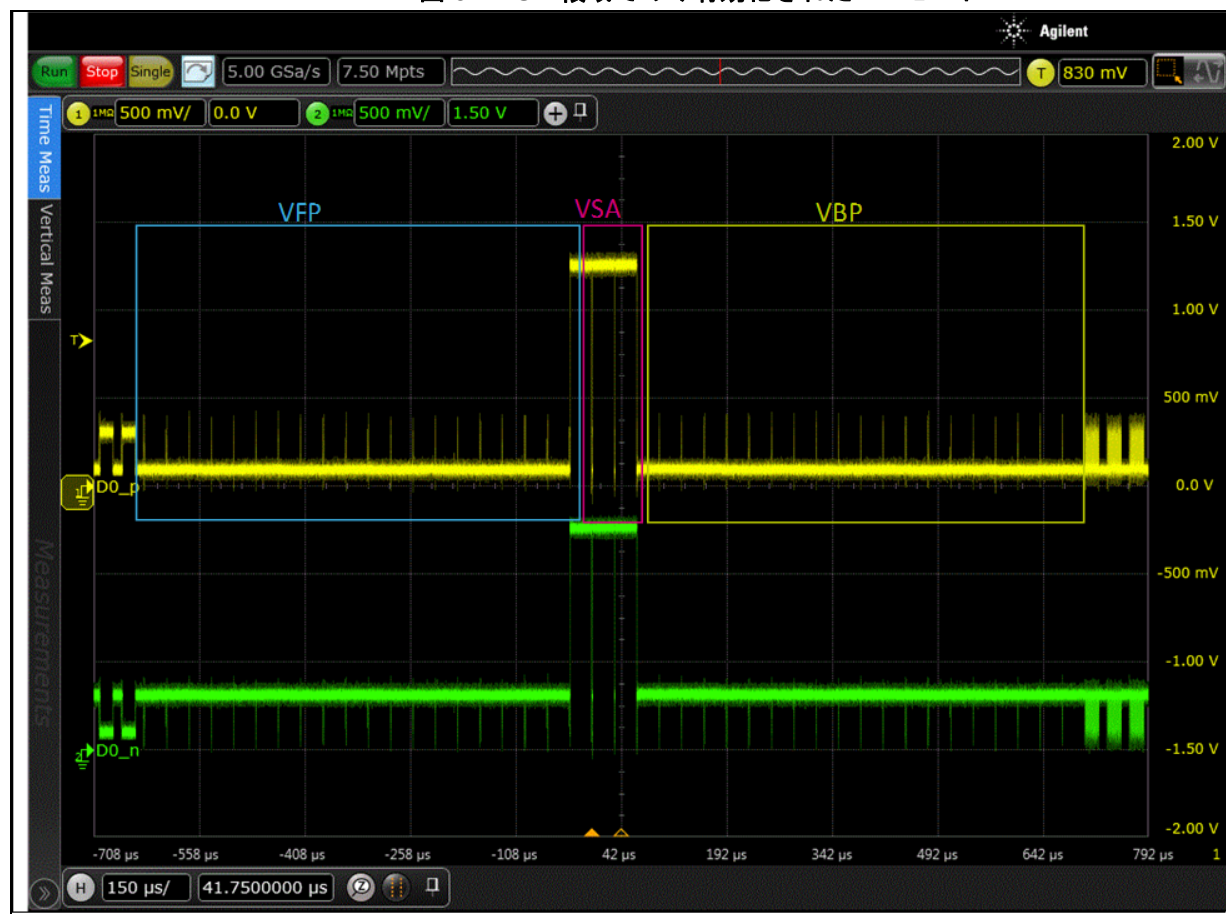
- HBP 領域で有効化された LP モード
VMCR.LPHBPE=1かつ HBP 期間 > HS2LP+LP2HS の場合、DSI ホストは HBP 期間中に LP に移行します。その後、HS モードに戻り、パック済みピクセル・ストリーム・パケットを使用してピクセル・データを送信します（図 83 を参照）。

図 83. HBP 領域で有効化された LP



- VSA 領域でのみ有効化された LP モード
図 84 に、LP モードが VSA 領域でのみ有効化されたケースを示します。

図 84. VSA 領域でのみ有効化された LP モード

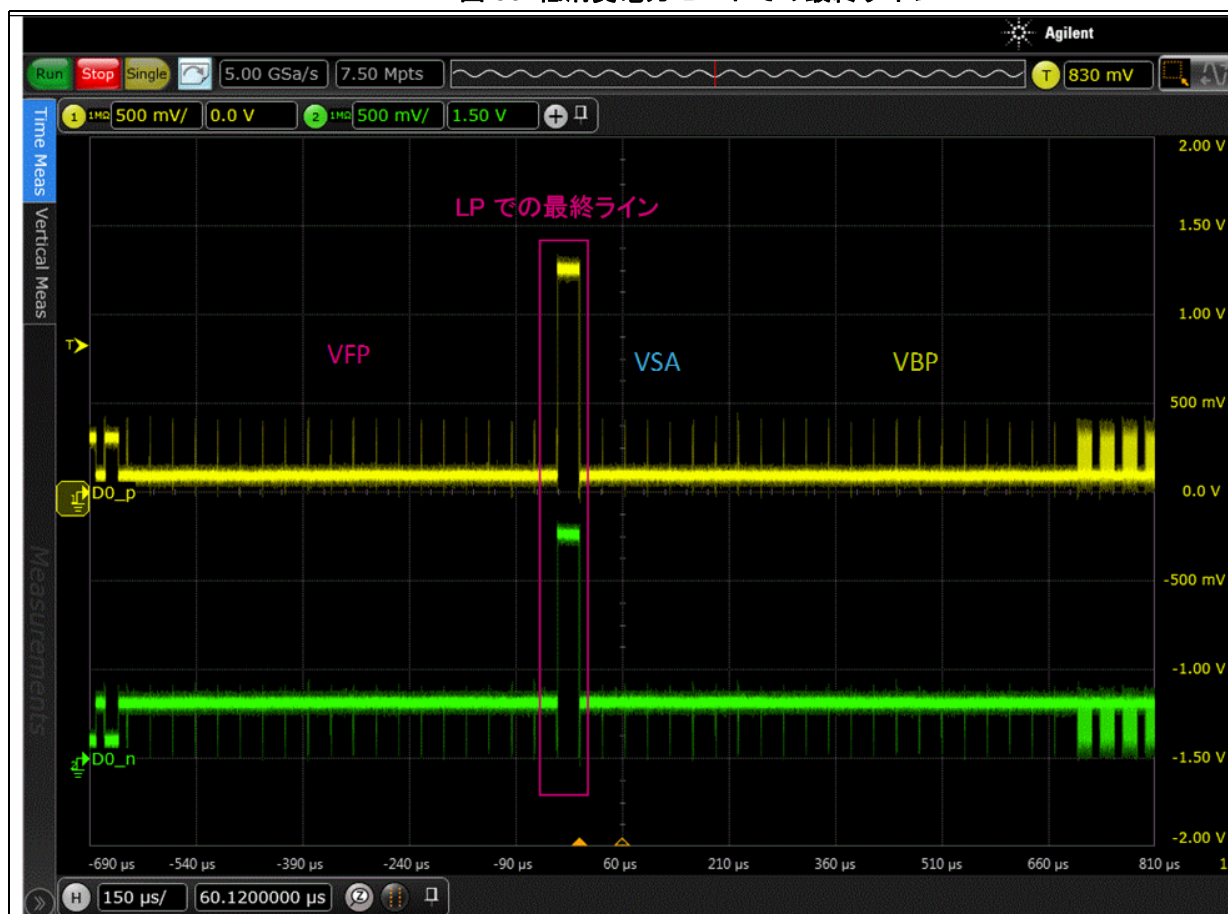


注： LP モードが VFP 領域に対して有効になっていない場合でも、フレームの最終ラインは必ず LP モードに移行します。これは、DSI リンクがフレームごとに最低1回は LP モードに移行していることを確認するためです。

- すべての領域で無効化された LP モード

STM32 DSI ホストは、ホストがフレームごとに最低1回は LP 状態に移行したことを確認します。これは、DSI_VMCR レジスタで LP に移行するように設定された領域がない場合でもフレームの最終ラインで発生します（図 85 を参照）。

図 85. 低消費電力モードでの最終ライン



LTDC の設定

DSI ホストは LTDC に依存してピクセル・データとビデオ制御信号をストリーミングします。LTDC の設定は、DSI ホストが良好に動作する上で重要です。

- LTDC ビデオ・タイミング

フレームの垂直および水平タイミングの値は、ディスプレイのデータシートから取得されます。

DSI 仕様では各スキャンラインで LP 状態に移行することを推奨しているため、ユーザは DSI リンクがスキャンラインごとに1回 LP に移行できるように水平タイミングを選択できます（タイミングがディスプレイ・タイミングの仕様に従っている場合）。

ディスプレイ・タイミングの例については、表 24 を参照してください。

表 24. ディスプレイ・タイミングの例

項目	仕様			単位
	最小値	標準	最大値	
垂直タイミング				
VSA	2	2	63	HS
VBP	20	20	255	HS
VFP	18	20	255	HS
垂直ブランキング 期間	40	42	1024	HS
VACT	-	480	-	HS
垂直リフレッシュ・ レート	-	60	-	Hz
水平タイミング				
HSA	1	10	63	PCLK
HBP	3	15	63	PCLK
HFP	4	16	63	PCLK
水平ブランキング 期間	8	32	128	PCLK
HACT		800		PCLK
fPCLK	24	26.36	30.74	MHz

水平タイミングは、スキャンラインごとに1回 LP 遷移が可能になるように選択されます。

- ピクセル・クロックでの水平タイミング：

HSA = 5、HBP = 35、HACT = 800、HFP = 35

これらの HBP と HFP の値で、リンクが[セクション：83 ページのPHY 遷移タイミングの設定](#)で説明したように HBP と HFP の両期間で LP に移行します。

- ラインでの垂直タイミング：

VSA = 2、VBP = 20、VACT = 480、VFP = 20

- LTDC ピクセル・クロック設定

ピクセル・クロックは次の式で設定されます。

$\text{pixel_clock} = (\text{VSA} + \text{VBP} + \text{VACT} + \text{VFP}) \times (\text{HSA} + \text{HBP} + \text{HACT} + \text{HFP}) \times \text{フレーム・レート}$

計算例：

- pixel_clock での水平タイミング：

HSA = 5、HBP = 35、HACT = 800、HFP = 35

- ラインでの垂直タイミング：

VSA = 2、VBP = 20、VACT = 480、VFP = 20

- リフレッシュ・レート = 60fps

- $\text{pixel_clock} = (2 + 20 + 480 + 20) \times (5 + 35 + 800 + 35) \times 60 = 522 \times 875 \times 60 = 27.4\text{MHz}$

サポートされる最大ピクセル・クロックの詳細については、[セクション 7: DSI ホストのパフォーマンス](#)を参照してください。

DSI ホストのビデオ・タイミング

DSI ホストにディスプレイ・ビデオ・タイミングの情報を提供する必要があります。表 25 に、ビデオ・タイミングの設定に使用される DSI ホスト・レジスタを示します。

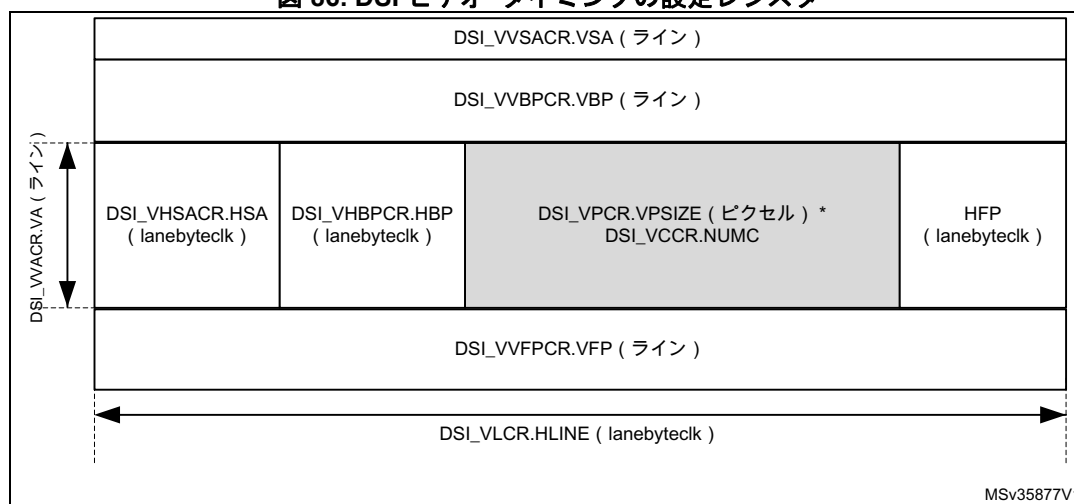
表 25. DSI ホストのビデオ・タイミング・レジスタ

説明	レジスタ・フィールド
フレームの水平タイミング	
レーン・バイト・クロック・サイクルでの 水平同期アクティブ（HSA）時間のセット	DSI_VHSACR.HSA
レーン・バイト・クロック・サイクルでの 水平バック・ポーチ（HBP）時間のセット	DSI_VHBPCR.HBP
レーン・バイト・クロック・サイクルでカウントされる 水平ライン時間（HSA+HBP+HACT+HFP）のセット	DSI_VLCR.HLINE
フレームの垂直タイミング	
水平ラインの数で測定される垂直アクティブ（VSA） 時間の設定	DSI_VVSACR.VSA
水平ラインの数で測定される垂直バック・ポーチ （VBP）時間の設定	DSI_VVBPCR.VBP
水平ラインの数で測定される垂直フロント・ポーチ （VFP）時間の設定	DSI_VVFPCR.VFP
水平ラインの数で測定される垂直アクティブ（VACT） 時間の設定	DSI_VVACR.VA

DSI ホストのビデオ・タイミングは、LTDC と同じ長さにする必要があります。LTDC の値は pixel_clock サイクルで、DSI でプログラムされた値はレーン・バイト・クロック・サイクルで表されます。

ビデオ・タイミング・レジスタを図 90 に示します。

図 86. DSI ビデオ・タイミングの設定レジスタ



- フレームの水平タイミング
 - － 水平同期時間 (DSI_VHSACR.HSA) は、レーン・バイト・クロック・サイクルで測定された LTDC 水平同期アクティブ期間でかかる時間を設定します。
 - － 水平バック・ポーチ時間 (DSI_VHBPCR.HBP) は、レーン・バイト・クロック・サイクルで測定された LTDC 水平バック・ポーチ期間でかかる時間を設定します。
 - － 水平ライン時間 (DSI_VLCR.HLINE) は、レーン・バイト・クロック・サイクルで測定された LTDC ビデオ・ラインでかかる時間を設定します。
- フレームの垂直タイミング
 - － 垂直同期時間 (DSI_VVSACR.VSA) は、LTDC 垂直同期アクティブ期間に存在するライン数を設定します。
 - － 垂直バック・ポーチ時間 (DSI_VVBPCR.VBP) は、LTDC 垂直バック・ポーチ期間に存在するライン数を設定します。
 - － 垂直フロント・ポーチ時間 (DSI_VVFPCR.VFP) は、LTDC 垂直フロント・ポーチ期間に存在するライン数を設定します。
 - － 垂直アクティブ時間 (DSI_VVACR.VA) は、LTDC 垂直アクティブ期間に存在するライン数を設定します。

設定例:

$$\text{DSI_VLCR.HLINE} = (\text{HSA} + \text{HBP} + \text{HACT} + \text{HFP}) \times (\text{lane_byte_clk/pixel_clock}) = (5 + 35 + 800 + 35) \times (62.5/27.4) = 1995$$

$$\text{DSI_VHSACR.HSA} = \text{HSA} \times (\text{lane_byte_clk/pixel_clock}) = 5 \times (62.5/27.4) = 11$$

$$\text{DSI_VHBPCR.HBP} = \text{HBP} \times (\text{lane_byte_clk/pixel_clock}) = 35 \times (62.5/27.4) = 80$$

垂直ライン設定:

$$\text{DSI_VVSACR.VSA} = 2$$

$$\text{DSI_VVBPCR.VBP} = 20$$

$$\text{DSI_VVFPCR.VFP} = 20$$

$$\text{DSI_VVACR.VA} = 480$$

DSI クロック設定

DSI クロックは、使用されるビデオ・モードに依存します。

- バースト・モード：
バースト・モードでは、リンクがさらに長く低消費電力モードに移行するように、DSI クロックを最大に設定できます。
サポートされている最大 lane_byte_clock は 62.5MHz です。
- 非バースト・モード：
DSI の非バースト・モードは、DSI 出力ピクセル比が LTDC インタフェース入力ピクセル比と一致するように設定する必要があります。これは以降のセクションで説明します。

DSI ビデオ・パケット・パラメータ

表 26 に、アクティブ・ビデオ領域中にビデオ・パケットを設定するために必要な DSI ホスト・レジスタを示します。

表 26. DSI ビデオ・パケット・パラメータ・レジスタ

説明	レジスタ・フィールド
ピクセル単位でのビデオ・パケット・サイズの設定	DSI_VPCR.VPSIZE
チャンク数の設定	DSI_VCCR.NUMC
バイト単位での null パケット・サイズの設定	DSI_VNPCR.NPSIZE

ビデオ・パケット・パラメータの設定は、選択したビデオ・モードに依存します。


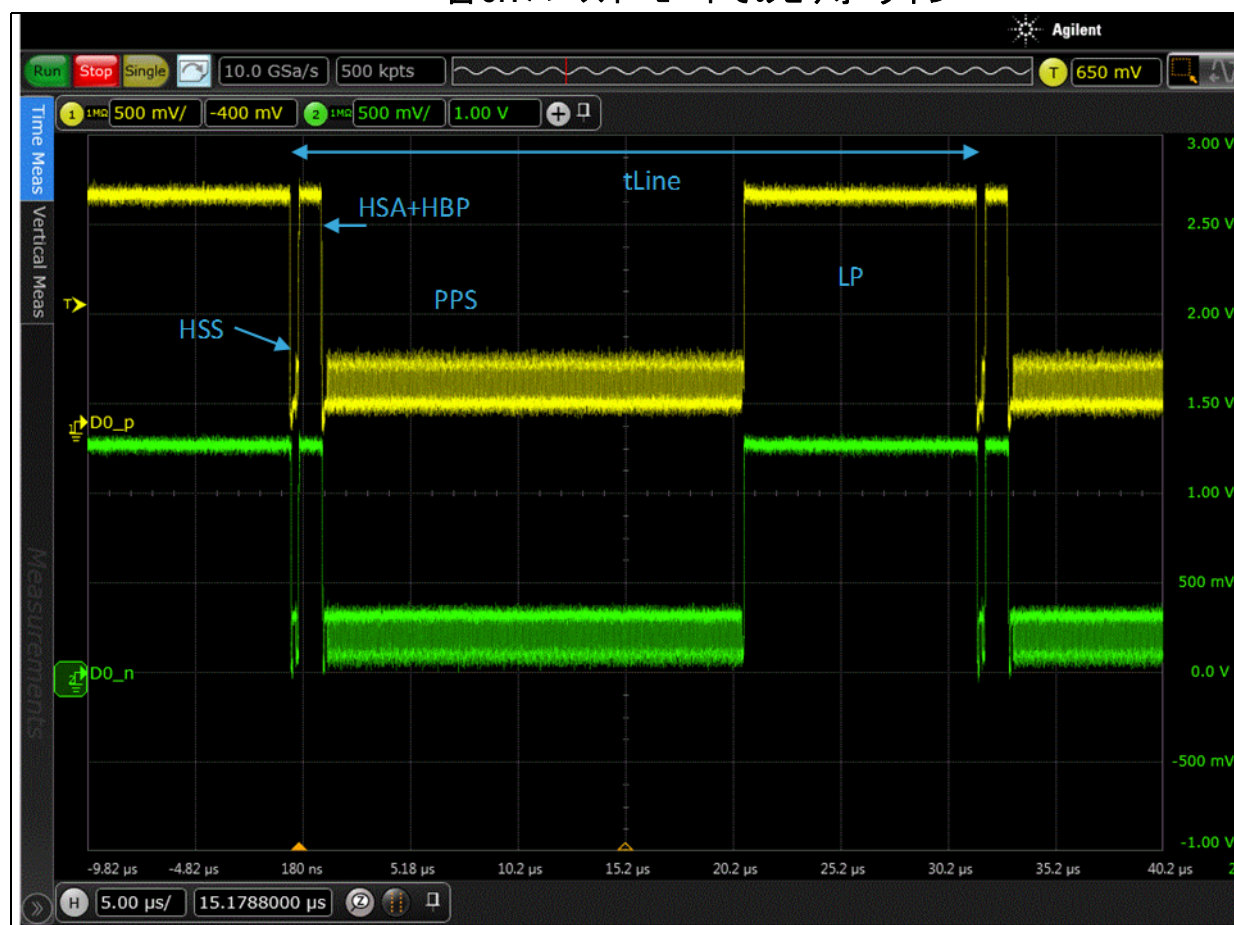
- バースト・モード
バースト・モードでは、VPSIZE をピクセル単位でライン全体の長さと同等にする必要があります。そのため、チャンク数を0にセットして、1つのパケットでビデオ・ラインを送信できます。
パック済みピクセル・ストリームの送信後、リンクは LP モードに移行して電力を低減します。
null パケットについては必要ありません (NPSIZE = 0)。
 87 に、バースト・モードでのビデオ・ラインを示します。

図 87. バースト・モードでのビデオ・ライン



- 非バースト・モード

DSI の非バースト・モードは、DSI 出力ピクセル比が LTDC インタフェース入力ピクセル比と一致するように設定する必要があります。この処理は、ピクセル・ライン (HACT 領域) を複数のピクセル・チャンクに分けて、オプションで null パケットをインターリーブすることで行います。次の式で非バースト・モードでの DSI ホスト送信パラメータをセットできます。両方の式で、DSI でのピクセルの出力に必要な時間 (式の右辺) と、LTDC からのピクセルの入力に必要な時間 (式の左辺) のバランスを調整できます。

- null パケットが有効な場合 :

式1

$$\text{lanebyteclkperiod} \times \text{NUMC} \left(\text{VPSIZE} \times \text{bytes_per_pixel} + 12 + \text{NPSIZE} \right) / \text{number_of_lanes} = \text{pixels_per_line} \times \text{LTDC_clock_period}$$

- null パケットが無効な場合 :

式2

$$\text{lanebyteclkperiod} \times \text{NUMC} \left(\text{VPSIZE} \times \text{bytes_per_pixel} + 6 \right) / \text{number_of_lanes} = \text{pixels_per_line} \times \text{LTDC_clock_period}$$

注：

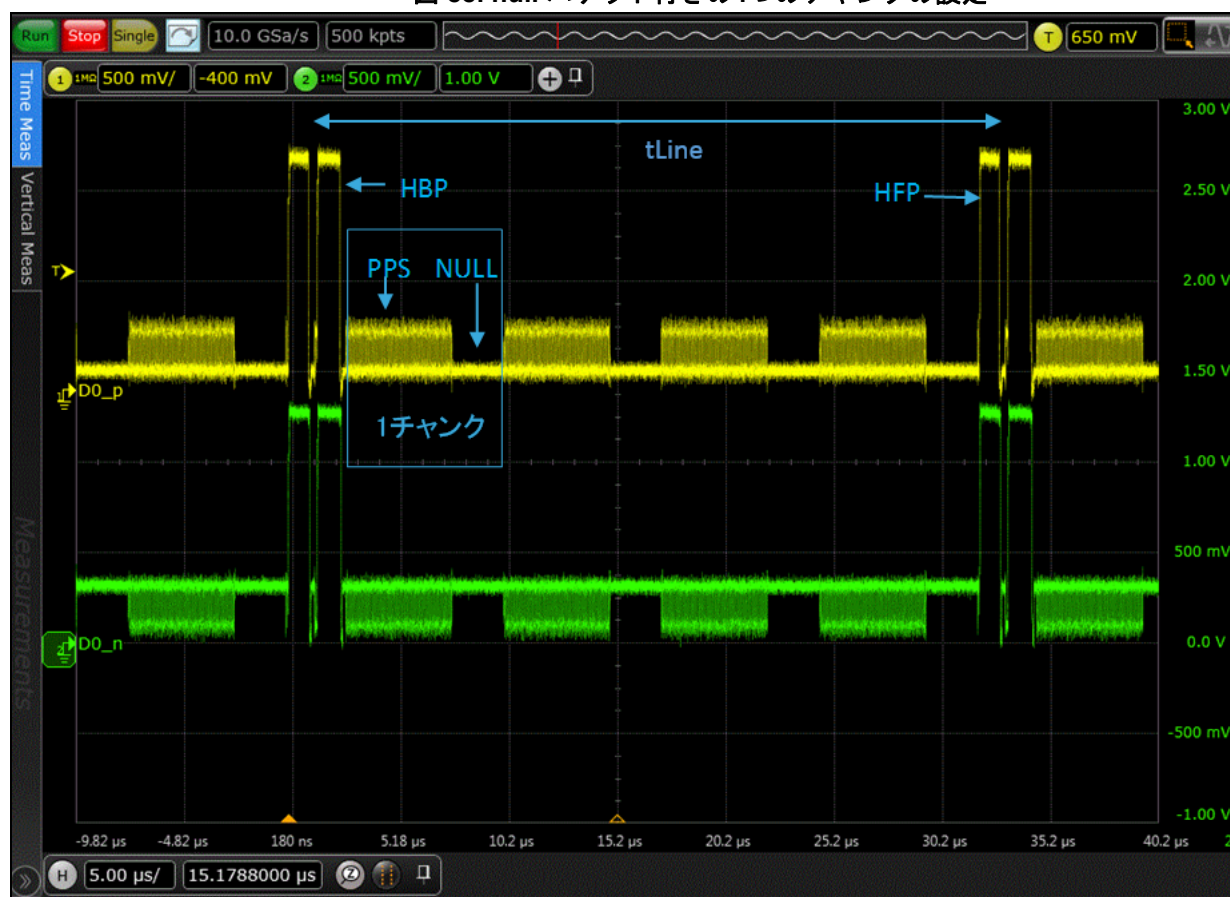
VPSIZE = ビデオ・パッケージ・サイズと NUMC = チャンク数

null パケットを有効にした4つのチャンクの設定例：

- pixel_clock は、ビデオ・タイミング・パラメータを使用して計算します（[セクション：89 ページのLTDC の設定](#)のセクションを参照）。pixel_clock = 27.429MHz となります。
- この場合、lane_byte_clk は62.5MHz の最大速度でセットされます。
- パッケージごとのピクセルとチャンク数はライン幅と一致するようにセットされます。
ピクセルでのライン幅 = VPSIZE x NUMC となります。
VPSIZE はディスプレイ内の FIFO サイズに依存します。この例では、VPSIZE を200ピクセル、チャンク数を4にセットしています。
- 前述の式2を使用して、DSI が LTDC から入力されるピクセルより速くピクセルを出力します。
DSI ピクセル出力時間 = $4 \times (200 \times 3 + 6) / (2 \times 62.5 \text{ MHz}) = 19 \mu\text{s}$
LTDC インタフェースのピクセル入力時間 = $800 / 27.4 \text{ MHz} = 29 \mu\text{s}$
ここでは、前述の式1を使用して LTDC と DSI のスループットのバランスを調整するために null パケットを使用する必要があります。
- null パッケージ・サイズの計算：
NPSIZE は前述の式1で計算します。
 $4 \times (200 \times 3 + 12 + \text{NPSIZE}) / (62.5 \times 2) = 800 \times 1 / 27.4$
NPSIZE = 299バイトとなります。

図 87 に、null パッケージ付きの4つのチャンクを設定したビデオ・アクティブ・ラインを示します。

図 88. null パッケージ付きの4つのチャンクの設定



null パケットを有効にしていない4つのチャンクの設定例

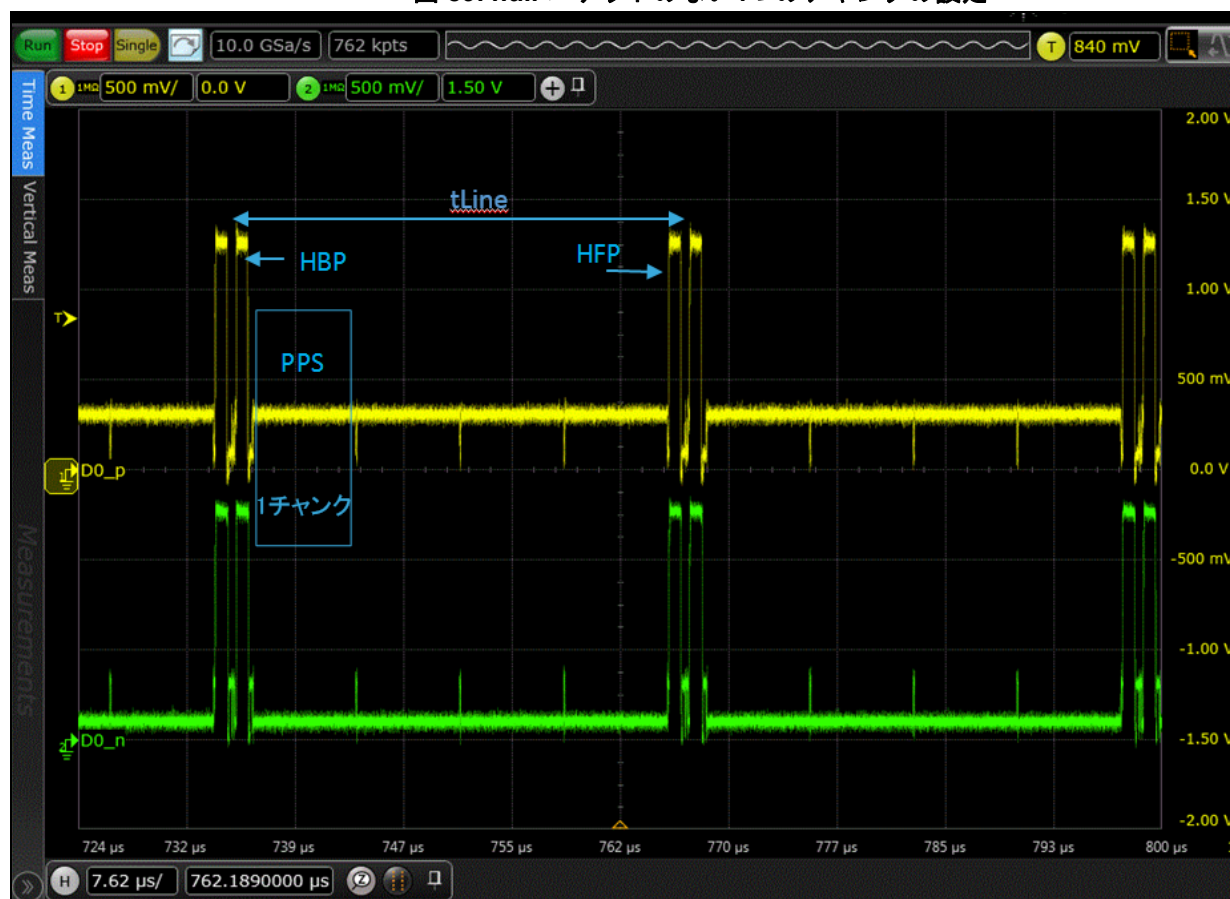
null パケットが必要なくなるように、DSI と LTDC のスループットのバランスを前述の式2で調整する必要があります。

この例では、4つのチャンクの設定を使用しており、lane_byte_clk は次のように測定します。

- $\text{lane_byte_clk} = \text{pixel_clock} \times \text{NUMC} \times (\text{VPSIZE} \times \text{bytes_per_pixel} + 6) / (\text{pixels_per_linexnum_lanes}) = 41.24\text{MHz}$

図 89 に、null パケットのない4つのチャンクを設定したアクティブ・ビデオ・ラインを示します。DSI リンクは 41.2MHz の設定です。

図 89. null パケットのない4つのチャンクの設定



注：ビデオ・パケット・サイズ（VPSIZE）とそのチャンク数（NUMC）は、ディスプレイの内部 FIFO サイズと合わせてセットする必要があります。たとえば、内部 FIFO が200ピクセルだけ使用できる場合、4つを超えるチャンク数にして、VPSIZE を200ピクセル以下にする必要があります。

ビデオ・モードでのコマンド送信

ビデオ送信中、DSI ホストはブランキング・パケットの間に APB 汎用インターフェースでコマンドを送信できます。コマンドは、低消費電力モードまたはハイスピード・モードで送信できます。

コマンドを HS モードで送信する場合、DSI ホストが各コマンドを送信できる領域を自動的に判定するため、プログラミングや計算は不要です。

LP コマンドの場合、DSI ホストはコマンドを送信できる適切な領域を判定するためにユーザからの入力が必要になります。

- コマンド送信モード

表 27 に、ビデオ・モードでのコマンドの HS 送信と LP 送信を選択するために使用されるレジスタ・ビットを示します。

表 27. コマンド送信モード・レジスタ

説明	レジスタ・フィールド
コマンドを低消費電力で送信するかどうかの設定	DSI_VMCR.LPCE

DSI_VMCR.LPE = 1 の場合、コマンドは LP モードで送信され、そうでない場合は HS モードで送信されます。

注：一部のディスプレイでは、初期化コマンドを LP モードで送信する必要があります。その場合、LP コマンド送信を初期化フェーズ中に有効にする必要があります。

- LP コマンド・パケット・サイズ

LP コマンド送信が有効である場合、ユーザは表 28 に定義されているレジスタ・フィールドを使用してバイト単位で最大許容パケット・サイズを DSI ホストに通知する必要があります。

表 28. LP コマンド・パケット・サイズ・レジスタ

説明	レジスタ・フィールド
最大パケット・サイズ	DSI_LPMCR LPSIZE
VACT 最大パケット・サイズ	DSI_LPMCR VLPSIZE

DSI ホストが HS ビデオ・モード送信中に低消費電力（LP）コマンドを送信するように設定されている場合（DSI_VMCR.LPCE=1）、水平フロント・ポーチ（HFP）、垂直同期アクティブ（VSA）、垂直バック・ポーチ（VBP）、垂直フロント・ポーチ（VFP）の領域の間で、LP モードでコマンドを送信できる時間（バイト単位）を計算する必要があります。

- LPSIZE : VACT 領域外の最大パケット・サイズ
このフィールドは、LP モードでのコマンドの送信に使用されます。VSA、VBP、VFP の領域の間でラインに適合する最大パケット・サイズ（バイト単位）を定義します。
- VLPSIZE : VACT 領域内の最大パケット・サイズ
このフィールドは、LP モードでのコマンドの送信に使用されます。VACT 領域の HFP の間でラインに適合する最大パケット・サイズ（バイト単位）を定義します。

注：LPSIZE と VLPSIZE は正しく設定する必要があります。LPSIZE と VLPSIZE が実際に使用できる時間より大きい場合、ビデオ・タイミング違反が発生する場合があります。また、LPSIZE と VLPSIZE が使用できるタイミングを大きく下回っている場合、多くのコマンドがフレームの最終ラインまで遅延します。

注：フレームの最終ラインでのライン送信を避けることを推奨します。大きなコマンドを送信する必要がある場合、ユーザは DSI ビデオ・モードを無効にして、DSI コマンド・モードでコマンドを送信し、ビデオ・モードを再び有効にすることができます。

LPSIZE 計算

図 90 に、同期パルスでのビデオ非バースト・モードの LPSIZE 計算を示します。

図 90. 同期パルスでの非バーストの LPSIZE

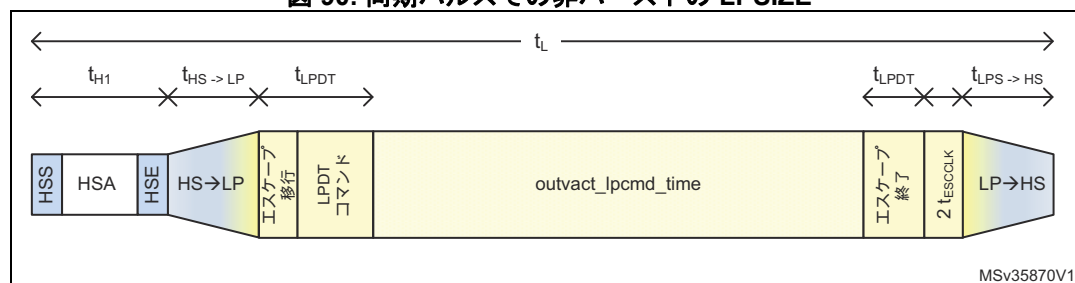
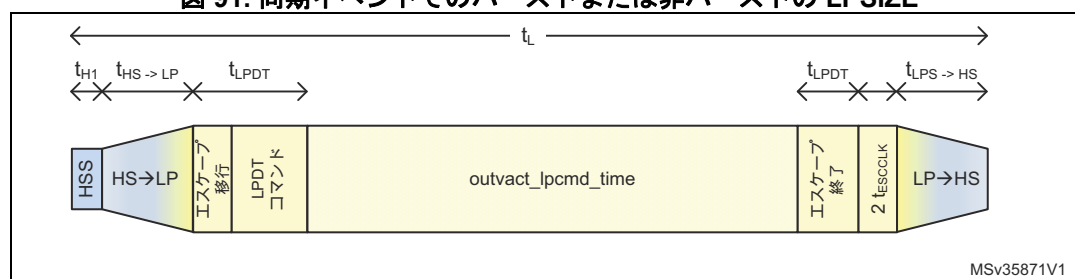


図 91 に、同期イベントでのビデオ・バースト・モードおよびビデオ非バースト・モードの LPSIZE 計算を示します。

図 91. 同期イベントでのバーストまたは非バーストの LPSIZE



ここで、

$$t_L = \text{ライン時間} = (HSA + HBP + HACT + HFP) / PCLK$$

$$t_{H1}$$

同期パルスでの非バースト・モード：

$$t_{H1} = \text{HSA パルスの時間} = t_{HSA} = HSA / PCLK$$

同期イベントでのバースト・モードまたは非バースト・モード：

$$t_{H1} = \text{HSS パケットを送信する時間} = 4 \text{バイト} / (\text{lane_byte_clk} \times \text{Number_Lanes})$$

$t_{HS \rightarrow LP}$ = 低消費電力モードに移行する時間

$t_{LP \rightarrow HS}$ = 低消費電力モードを終了する時間

t_{LPDT} = エスケープ・モード・エスケープ、LPDT コマンド、エスケープ終了に関連する D-PHY タイミング。D-PHY 仕様に従って、この値は LP で常に 11bit (または 22 TX エスケープ・クロック・サイクル) です。

$$t_{ESCCLK} = \text{エスケープ・クロック周期} = DSI_CCR.TXECKDIV / \text{lane_byteclk}$$

$$2 t_{ESCCLK} = \text{DSI ホスト実装による遅延}$$

計算例：

$$t_L = (5 + 35 + 800 + 35) / 27.429 \text{MHz} = 31.9 \mu\text{s}$$

t_{H1}

同期パルスでの非バースト・モード：

$$t_{H1} = t_{HSA} = 5 / 27.429 \text{MHz} = 0.182 \mu\text{s}$$

同期イベントでのバースト・モードまたは非バースト・モード：

$$t_{H1} = 4 / (62.5 \times 2) = 0.032 \mu\text{s}$$

$t_{HS \rightarrow LP} = 291 \text{ns}$ （これは D-PHY 固有のタイミングです）

$t_{LP \rightarrow HS} = 264 \text{ns}$ （これは PHY 固有のタイミングです）

$$t_{ESCCLK} = 4 / 62.5 = 0.064 \text{ns}$$

$$t_{LPDT} = 22 \times t_{ESCCLK} = 1.408$$

同期イベントでのバースト・モードおよび非バースト・モードの LPSIZE：

$$LPSIZE = (31.9 - (0.032 + 0.291 + 0.264 + 1.408 + 0.128)) / (2 \times 8 \times 0.064) = 29.07$$

同期パルスでの非バースト・モードの LPSIZE：

$$LPSIZE = (31.9 - (0.182 + 0.291 + 0.264 + 1.408 + 0.128)) / (2 \times 8 \times 0.064) = 28.93$$

マージンを確保するため、両方のケースで LPSIZE を 28 バイトでプログラムする必要があります。

図 92 に、ブランキング領域中に LP モードで送信される 28 バイトのコマンドを示します。コマンドは、タイム・ライン違反が発生することなくブランキング期間に収まります。

図 92. バースト・モードでの VFP 中の28バイト LP コマンド

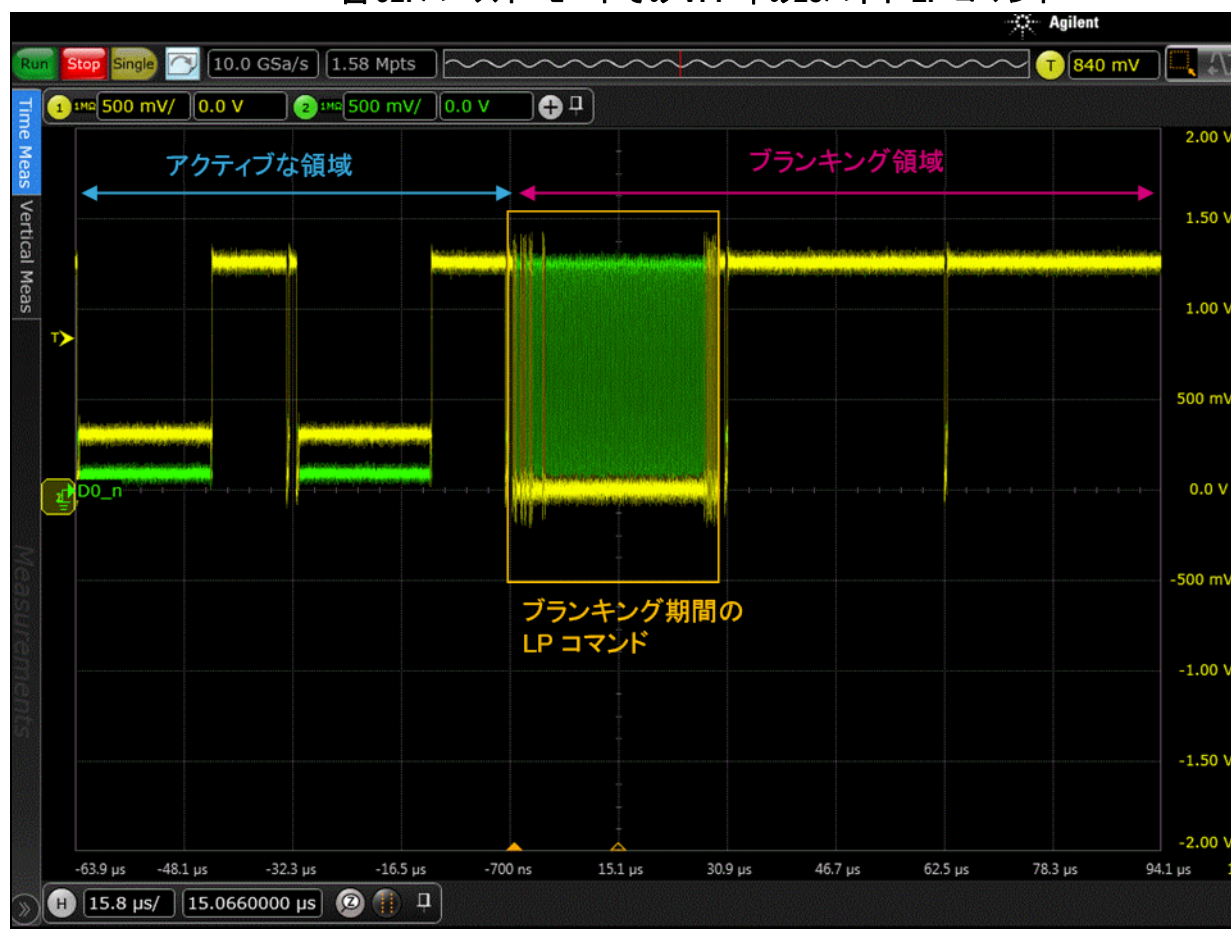
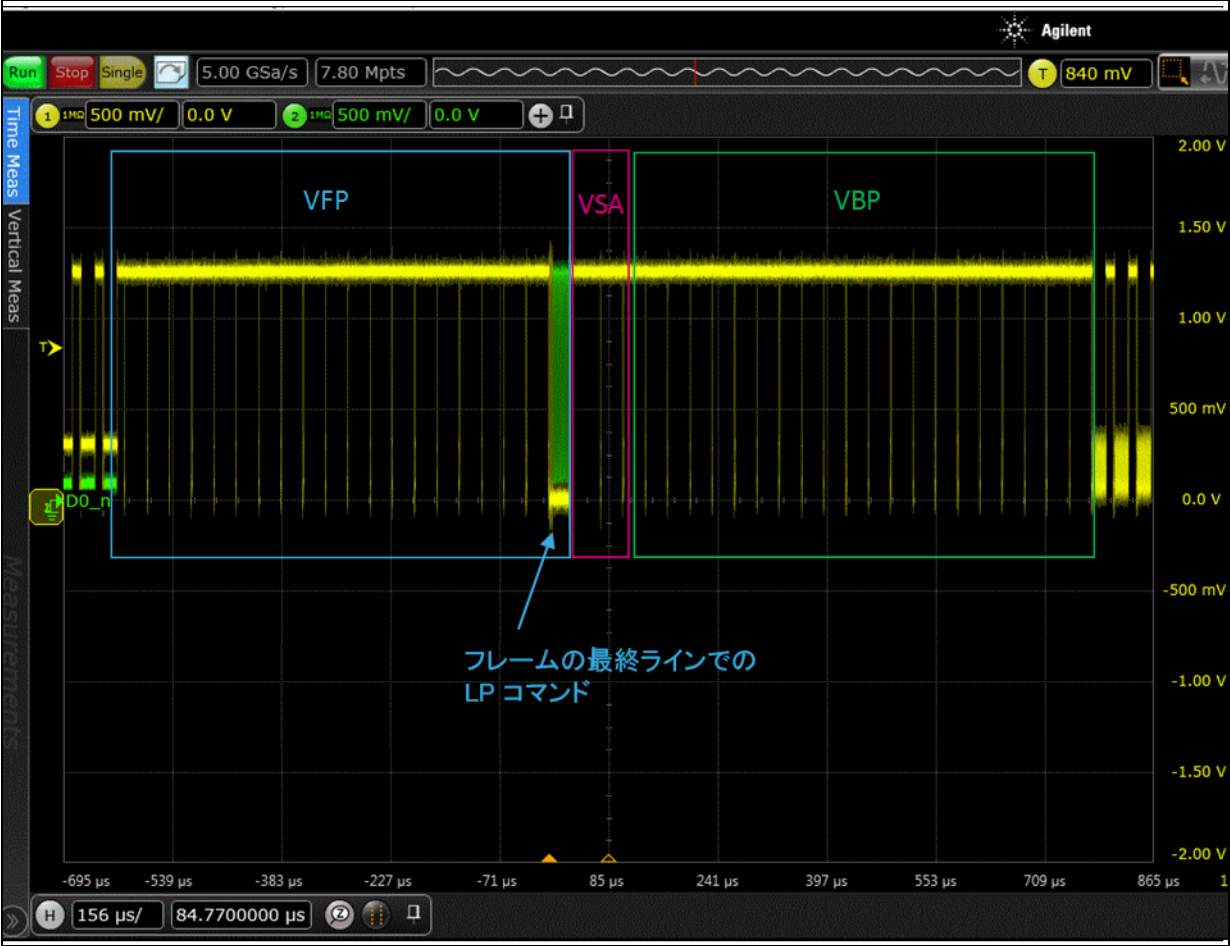


図 93 に、アクティブ領域やブランキング領域中に収まらない29バイトのコマンドを示します。この場合、DSI ホストはコマンドをフレームの最終ラインまで遅らせます。

図 93. 最終ラインまで遅らせた29バイト LP コマンド



VLPSIZE 計算

図 94 に、同期パルスでのビデオ非バースト・モードの VLPSIZE 計算を示します。

図 94. 同期パルスでの非バーストの VLPSIZE

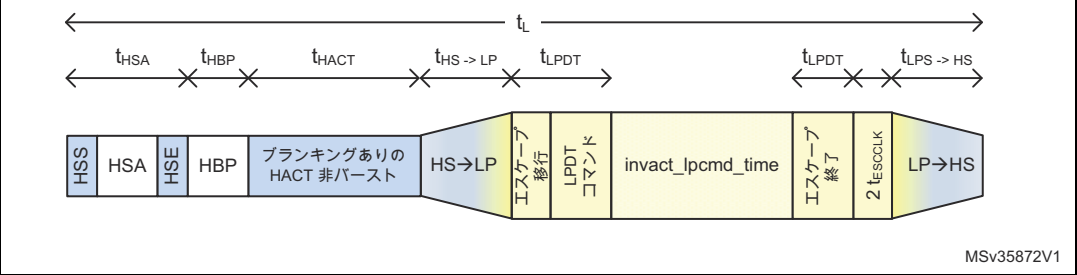


図 95 に、同期イベントでのビデオ非バースト・モードの VLPSIZE 計算を示します。

図 95. 同期イベントでの非バーストの VLPSIZE

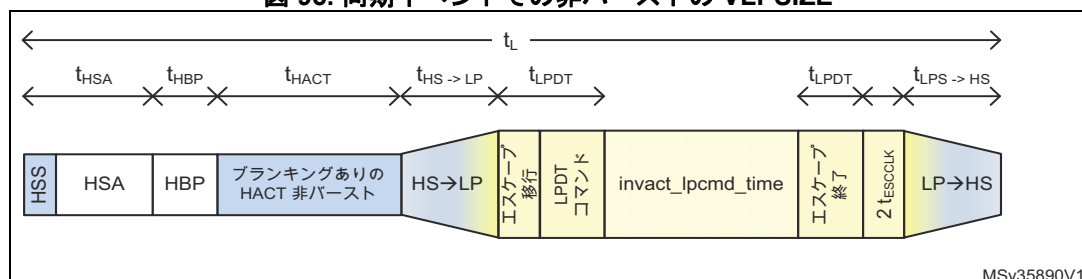
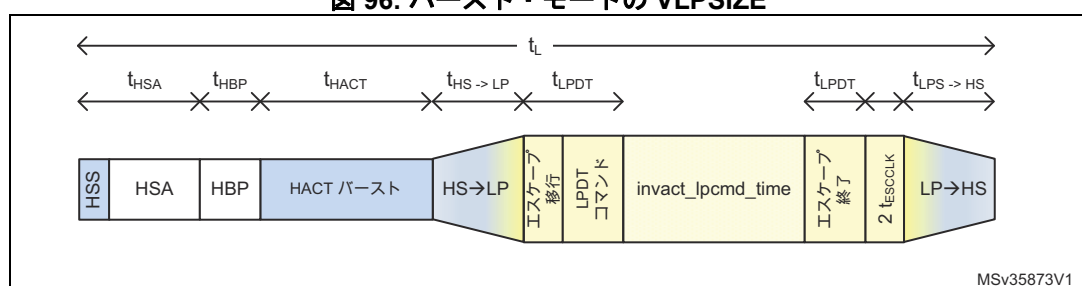


図 96 に、ビデオ・バースト・モードの VLPSIZE 計算を示します。

図 96. バースト・モードの VLPSIZE



ここで、

t_L = ライン時間 = $(HSA + HBP + HACT + HFP) / PCLK$

t_{HSA} = HSA パルスの時間 = $HSA / PCLK$

t_{HBP} = 水平バック・ポーチの時間 = $HBP / PCLK$

t_{HACT} = ビデオ・アクティブの時間

非バースト・モード : $\text{pixels_per_line} / PCLK$

バースト・モード : ビデオ・アクティブは時間圧縮され、次のように計算されます。

$t_{HACT} = (VPSIZE \times \text{Bytes_per_Pixel}) / (\text{Number_Lanes} \times \text{Lane_byte_clk})$

$t_{ESCCLK} = \text{エスケープ・クロック周期} = DSI_CCR.TXECKDIV / \text{lane_byteclk}$

計算例 :

t_L = ライン時間 = $(5 + 35 + 800 + 35) / 27.4\text{MHz} = 31.9\mu\text{s}$

$t_{HSA} = 5 / 27.4\text{MHz} = 0.182\mu\text{s}$

$t_{HBP} = 35 / 27.4\text{MHz} = 1.27\mu\text{s}$

t_{HACT}

非バースト・モード :

$t_{HACT} = 800 / 27.4\text{MHz} = 29.16\mu\text{s}$

バースト・モード :

$t_{HACT} = (800 \times 3) / (2 \times 62.5\text{MHz}) = 19.2\mu\text{s}$

バースト・モードでの VLPSIZE

$VLPSIZE = (31.9 - (0.182 + 1.27 + 19.2 + 0.291 + 0.264 + 1.408 + 0.128)) / (2 \times 8 \times 0.064) = 8.94$

8バイトのロング・パケットは、バースト・モードの VACT 領域で使用できます。

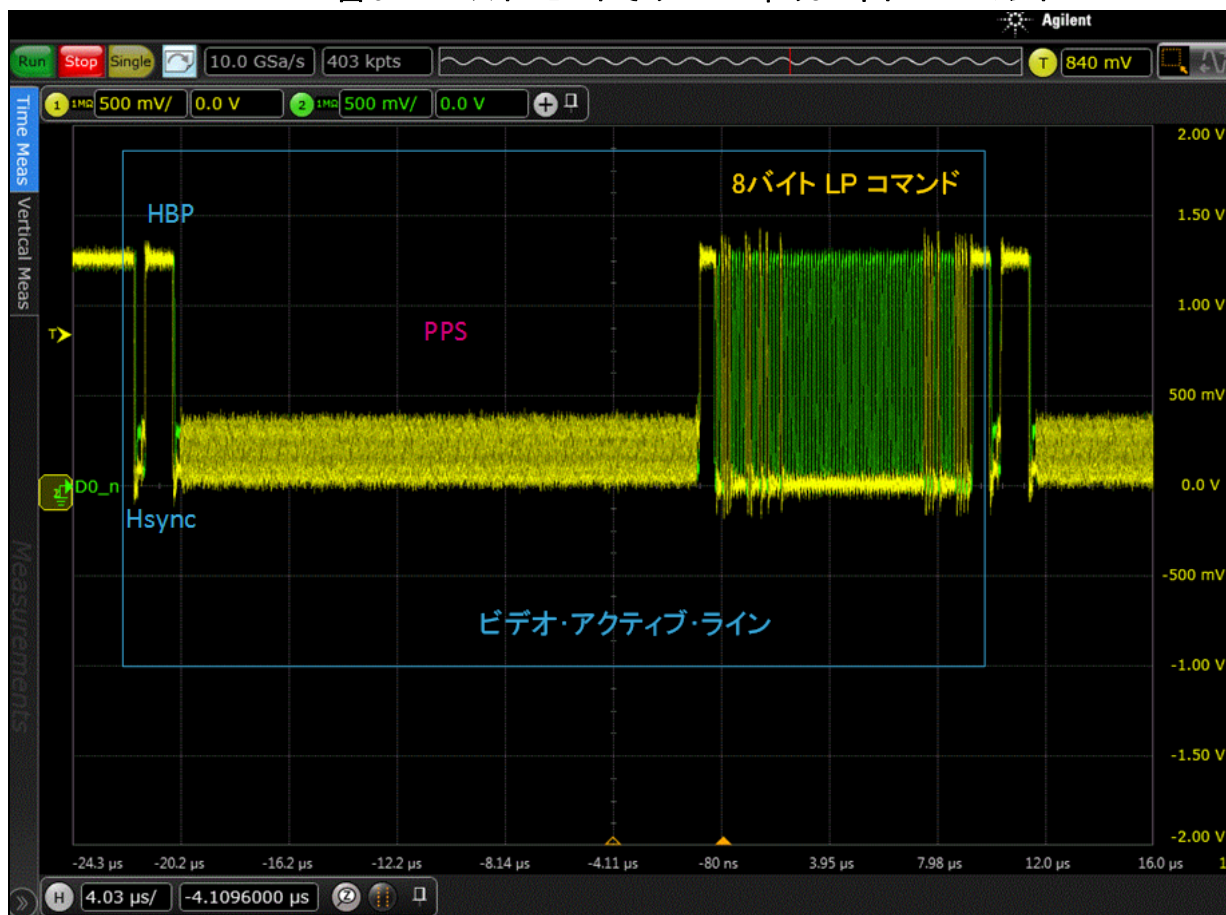
非バースト・モードでの VLPSIZE

$$VLPSIZE = (31.9 - (0.182 + 1.27 + 29.16 + 0.291 + 0.264 + 1.408 + 0.128)) / (2 \times 8 \times 0.064) = -0.78$$

→VACT 領域で利用できるパケットはありません。

図 97 に、ビデオ・アクティブ・ライン中に LP モードで送信される8バイトのコマンドを示します。コマンドが、アクティブ・ラインのタイミング違反を発生させずに送信されます。

図 97. バースト・モードでの VACT 中の8バイト LP コマンド



注： ユーザは、ビデオ・タイミング問題を回避するために許容バイト数（LPSIZE と VLPSIZE）に10%のマージンを設定できます。

フレーム確認応答

フレームをディスプレイが正しく受信したことを確認するために、DSI ホストはフレーム確認応答をリクエストします。

表 29 に、ビデオ・モードでのフレーム確認応答を有効にするために使用されるレジスタ・ビットを示します。

表 29. フレーム確認応答レジスタ

説明	レジスタ・フィールド
フレーム・バス・ターンアラウンド確認応答の有効化	DSI_VMCR.FBTAAE

フレームの最終ラインで、ホストが BTA 手順を実行します。その後、ディスプレイがバスを制御して、すべての前のパケットがエラーなしで受信された場合に確認応答トリガを送信します（これは、フレームがディスプレイで正しく受信されたことを示します）。次に、ディスプレイが BTA シーケンスを実行して、バスの制御を DSI ホストに戻します。ディスプレイで前のパケットによるエラーが発生した場合、エラー・レポートで応答します。

注： バス・ターンアラウンド（BTA）リクエストを有効にするには、DSI_PCR.BTAE を1にセットする必要があります。

図 98 および図 99 に、ビデオ・モードでのフレーム確認応答トリガの例を示します。

図 98. フレーム確認応答の例

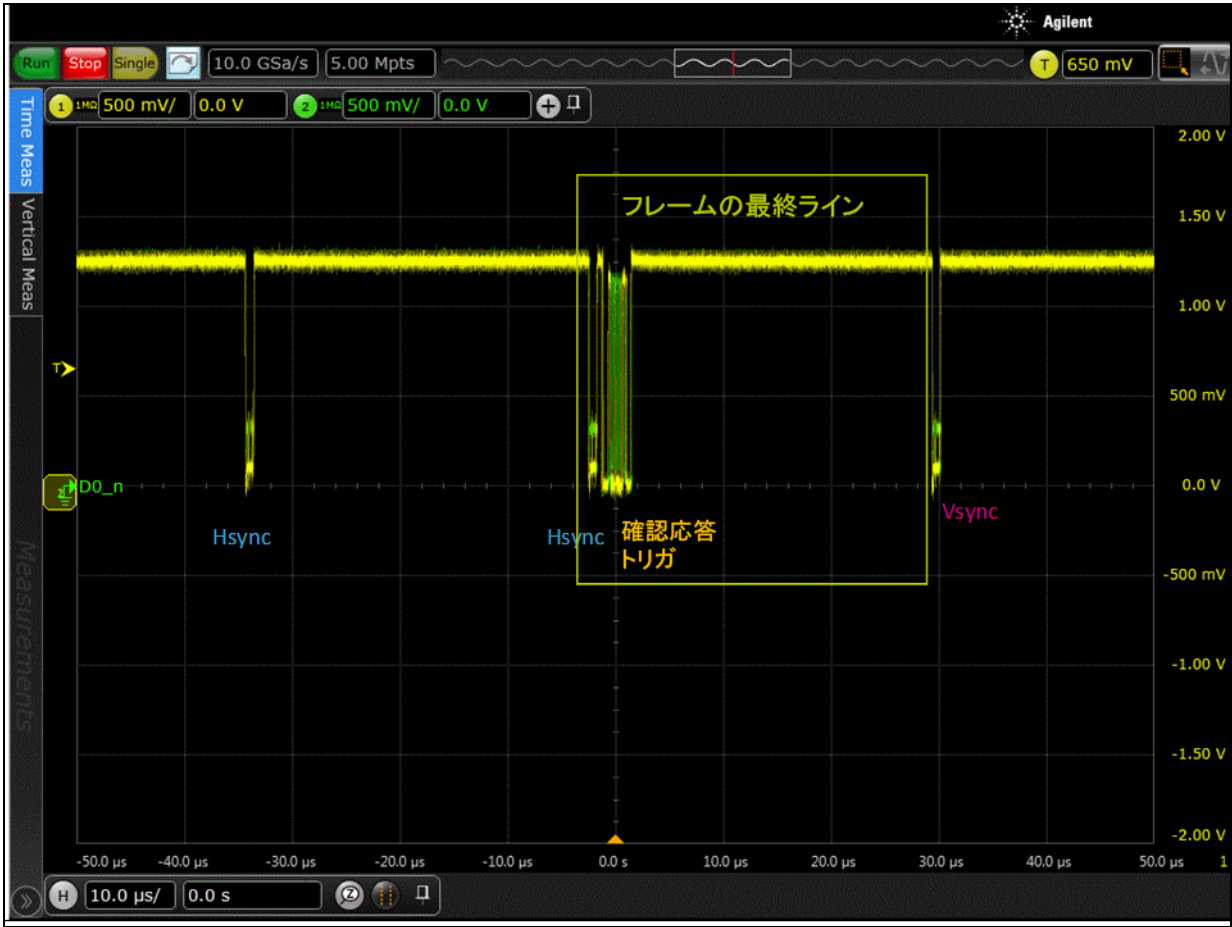


図 99. フレーム確認応答の拡大図



5.2.2 LTDC インタフェースでのアダプテッド・コマンド・モード

このセクションでは、アダプテッド・コマンド・モードに関連する DSI ホストの設定について説明します。

DSI コマンド・モード

アダプテッド・コマンド・モードは、DSI ホストと DSI ラッパーの両方で選択する必要があります (表 30 を参照)。

表 30. DSI コマンド・モード・レジスタ

説明	レジスタ・フィールド
ビデオ送信用のモードの選択 : ビデオ・モードか アダプテッド・コマンド・モード	DSI_WCFGR.DSIM
ビデオ・モードかコマンド・モードで DSI ホストを セット	DSI_MCR.CMDM

DSI ラッパー設定レジスタでアダプテッド・コマンド・モードを選択します (DSI_WCFGR.DSIM=1)。

DSI ホスト・モード設定レジスタでコマンド・モードを選択します (DSI_MCR.CMDM=1)。

STOP ウェイト・タイム設定

表 31 のレジスタ・フィールドでは、STOP 状態の後に HS 送信をリクエストする最小ウェイト時間を設定します。

表 31. STOP ウェイト・タイム設定レジスタ

説明	レジスタ・フィールド
STOP 状態の後にハイスピード送信をリクエストする最小ウェイト時間を設定します。	DSI_PCONFR.SW_TIME

SW_TIME は、新しい HS 送信が開始される前にトランスミッタ D-PHY ですべてのデータ・レーンが STOP 状態であることを保証するために必須です。

また、ディスプレイは新しい HS 送信を受信する前に一定の時間が必要になる場合があります。これは、ディスプレイのデータシートで確認する必要があります。

プログラムされる値は、ホストの SW_Time とディスプレイの SW_TIME の中で最大にする必要があります。

注： DSI ホストの最小 SW_Time は、10 lanebyteclk コマンド・モードです。

コマンド・サイズ (CMDSIZE)

ユーザは、ディスプレイの GRAM をリフレッシュするために、アダプテッド・コマンド・モードで使用する DCS ロング書き込みコマンド (WMS および WMC) のサイズをピクセル単位で定義する必要があります。コマンド・サイズは、表 32 に示したレジスタでセットされます。

表 32. コマンド・サイズ・レジスタ

説明	レジスタ・フィールド
このフィールドでは、LTDC 書き込みメモリ・コマンドの最大許容サイズをピクセル単位で設定します。	DSI_LCCR.CMDSIZE

DSI ホストのピクセル FIFO サイズは 960 32-bit ワードです。これは以下のことを意味します。

- 24bpp モードでは、このフィールドは1280ピクセル以下になります。
- 16bpp モードでは、このフィールドは1920ピクセル以下になります。

LTDC 停止極性

フレームのリフレッシュが終了した後に LTDC が停止する VSync エッジを選択します。Vsync エッジは、表 33 に示すようにセットされます。

表 33. LTDC 停止極性

説明	レジスタ・フィールド
DSI ラッパーの VSYNC 極性を設定します。	DSI_WCFGR.VSPOL

LTDC は、Vsync の立ち下がりエッジか立ち上がりエッジで停止できます。エッジ極性は、LTDC インタフェースの Vsync 極性と一致させる必要があります。DSI_LPCR.VSP がアクティブ・ハイの場合、LTDC は立ち上がりエッジで停止する必要があります。DSI_LPCR.VSP がアクティブ・ローの場合、LTDC は立ち下がりエッジで停止する必要があります。

ティアリング効果設定

コマンド・モードでのティアリング効果は、表 34 に示したレジスタで管理されます。

表 34. ティアリング効果設定レジスタ

説明	レジスタ・フィールド
TE ソース	DSI_WCFGR.TESRC
TE 極性	DSI_WCFGR.TEPOL
ティアリング効果の確認応答リクエストの有効化	DSI_CMCR.TEARE

- リンク経由のティアリング効果
 - TE ソース
DSI ラッパー設定レジスタのティアリング効果ソース (DSI_WCFGR.TESRC) は、リンク経由の TE の場合、0 にセットする必要があります。
 - TE 確認応答リクエスト
リンク経由のティアリング効果レポートの場合、DSI ホスト・コマンド・モード設定レジスタの DSI_CMCR.TEARE ビットをセットする必要があります。

注： TE レポートで逆方向の通信を許可するには、DSI ホスト・プロトコル設定レジスタの DSI_PCR.BTAE ビットをセットする必要があります。

- ピン経由のティアリング効果
 - TE ソース
ティアリング効果ソース (TESRC) は、外部ピン経由の TE の場合、1 にセットする必要があります。
 - TE 極性
GPIO リンク経由で使用される TE の場合、ディスプレイの TE 極性に対してこれをプログラムする必要があります。DSI ホストは両方の極性（ローとハイ）をサポートします。

リフレッシュ・モード

DSI ホストは、ディスプレイのリフレッシュ動作を開始する2つのモードをサポートします。表 34 にリフレッシュ・モードの選択に使用されるレジスタ・フィールドを示します。

表 35. リフレッシュ・モード・レジスタ

説明	レジスタ・フィールド
自動リフレッシュ	DSI_WCFGR.AR

DSI ラッパー設定レジスタ (DSI_WCFGR) の自動リフレッシュ (AR) ビットは、ティアリング効果イベントを受信するたびにディスプレイを自動的に更新する必要がある場合にセットされます。

- 自動リフレッシュ：TE イベント受信後に DSI_WCR.LTDCEN が自動的にセットされます。
- 手動リフレッシュ：ソフトウェアで、TE イベント受信後に DSI_WCR.LTDCEN ビットをセットして GRAM をリフレッシュします。

LTDC の設定

アダプテッド・コマンド・モードでは、DSI ホストが LTDC からピクセル・ストリームを入力します。DSI がアダプテッド・コマンド・モードで動作している場合、LTDC ピクセル・レートとビデオ・タイミングには特定の設定があります。

- LTDC ピクセル・クロック設定

ピクセル・クロック周波数は、タイミング情報生成用の内部コントローラに依存するため、ディスプレイ・ピクセル・クロックと一致させる必要はありません。

アダプテッド・コマンドでは、次の要件を保証するために LTDC ピクセル・クロックを選択する必要があります。

- 最小ピクセル・クロックは、視覚的な乱れを回避するために GRAM のリフレッシュ時間がディスプレイの内部リフレッシュ・レートより短くなるように速くする必要があります。
- 最大ピクセル・クロックは、LTDC 側で FIFO アンダーラン問題を回避するためにシステム制約と一致させる必要があります。

アダプテッド・コマンド・モードでのピクセル・クロックの最小値と最大値の詳細については、[セクション 7 : DSI ホストのパフォーマンス](#)を参照してください。

- LTDC ビデオ・タイミング

ディスプレイはタイミング情報についてホストに依存しないため、すべての垂直および水平ブランキング期間（HSA、HBP、HFP、VSA、VBP、VFP）を最小値1にセットできますが、ユーザはラインの長さとフレームごとのライン数それぞれで適切に HACT と VACT をセットする必要があります。

コマンド送信モード

すべてのコマンドはそれぞれのタイプに応じて、ハイスピードと低消費電力のいずれかで送受信できます。それぞれに対する専用の設定ビットは、DSI ホスト・コマンド・モード設定レジスタ (DSI_CMCR) でプログラムされます ([表 36](#) を参照)。

表 36. コマンド送信レジスタ

説明	レジスタ・フィールド
最大読出しパケット・サイズ	DSI_CMCR.MRDPS
DCS ロング書込みの送信	DSI_CMCR.DLWTX
DCS ショート読出し0パラメータの送信	DSI_CMCR.DSR0TX
DCS ショート読出し1パラメータの送信	DSI_CMCR.DSW1TX
DCS ショート書込み0パラメータの送信	DSI_CMCR.DSW0TX
汎用ロング書込みの送信	DSI_CMCR.GLWTX
汎用ショート読出し2パラメータの送信	DSI_CMCR.GSR2TX
汎用ショート読出し1パラメータの送信	DSI_CMCR.GSR1TX
汎用ショート読出し0パラメータの送信	DSI_CMCR.GSR0TX
汎用ショート書込み2パラメータの送信	DSI_CMCR.GSW2TX
汎用ショート書込み1パラメータの送信	DSI_CMCR.GSW1TX
汎用ショート書込み0パラメータの送信	DSI_CMCR.GSW0TX

注：一部のディスプレイでは、初期化コマンドを LP モードで送信する必要があります。この場合、ディスプレイの初期化に使用されるコマンドは、初期化フェーズ中 LP モードに設定する必要があります。初期化フェーズ後、コマンドをハイスピード・モードで送信するように再設定できます。これは、特にディスプレイ・リフレッシュ中に使用される WMS と WMC DCS コマンドを受け入れるために使用する DCS ロング書き込みコマンドで重要です。

確認応答リクエスト

DSI ホストは各コマンド送信後に確認応答をリクエストできます。これを有効にするには、DSI_CMCR.ARE ビットをセットします（表 37 を参照）。

表 37. 確認応答リクエスト・レジスタ

説明	レジスタ・フィールド
各パケット送信後の確認応答リクエストの有効化	DSI_CMCR.ARE

この機能を有効にすると、DSI ホストは各コマンド送信後に BTA 手順を開始します。ディスプレイがバスを制御するようになり、確認応答トリガまたはエラーの場合はエラー・レポートで応答します。

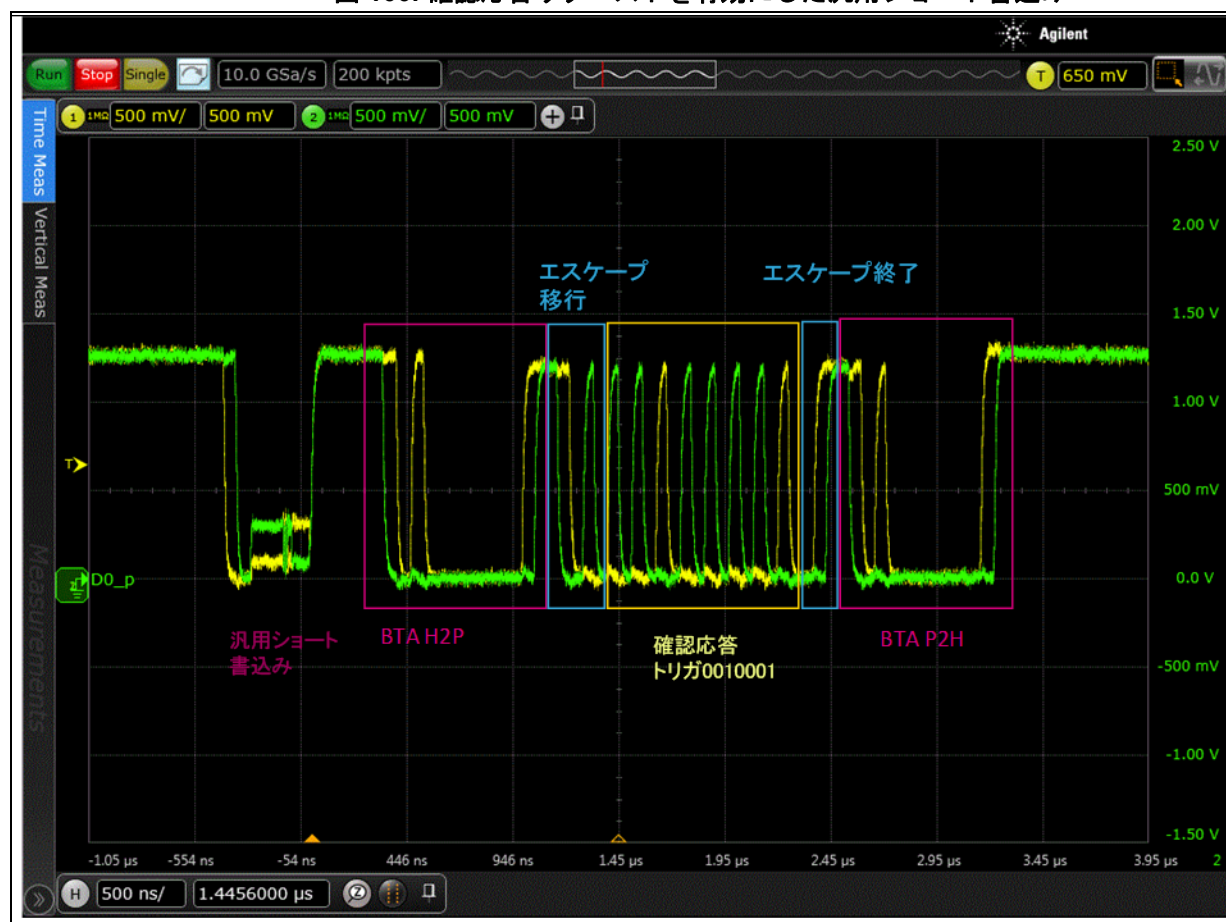
その後、ディスプレイが BTA を送信して、バスの制御を DSI ホストに戻します。

注：この機能は、大量のオーバーヘッドを追加して、ディスプレイのリフレッシュ時間を遅くするため、ディスプレイのリフレッシュ動作におけるアダプテッド・コマンド・モードの場合は避けてください。

この機能は、システムの安全性を高めて、可能な限り早くエラーを検出するのに役立ちます。そのため、使用するかどうかはアプリケーションのニーズによります。

図 100 に、確認応答リクエストを有効にした書込みコマンドの例を示します。

図 100. 確認応答リクエストを有効にした汎用ショート書込み



6 STM32CubeMX の設定例

STM32CubeMX ツールは、DSI ホストのペリフェラルの設定に使用できます。このセクションでは、ビデオ・バースト・モード、同期パルスでのビデオ非バースト・モード、アダプテッド・コマンド・モードの各動作モードに DSI ホストを設定するために必要となる基本的な設定ステップを示します。また、各動作モードに LTDC と DSI ホストの両方を設定するためのソフトウェア・コードの例を示します。より詳しい例については、STM32Cube の例を参照できます。この例は、STM32F769I ディスカバリ・ボード向けに生成されています。

DSI ホストは LTDC をビデオ・ストリーマとして使用するため、LTDC 設定は必須です。これらの例では、LTDC のごく基本的な設定を示しています。LTDC 設定の詳細については、アプリケーション・ノート AN4861 で確認できます。

6.1 DSI ホストのビデオ・バースト・モード

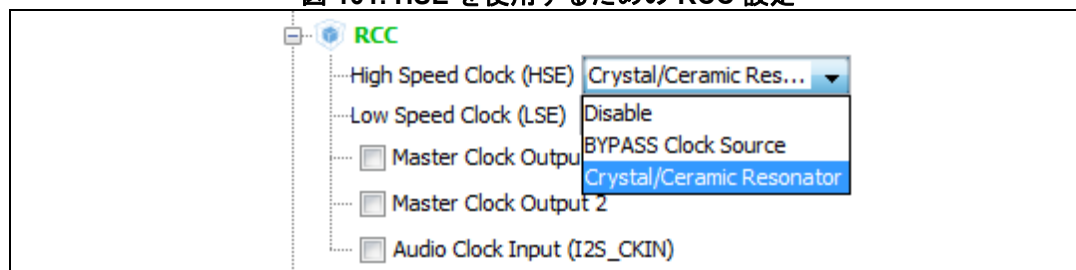
このセクションでは、ビデオ・バースト・モードでの DSI ホストの設定に必要な各ステップを示します。必須設定のみ公開します。

6.1.1 ピン配置設定

RCC での HSE 有効化

DSI は、DSI PLL のクロック入力として HSE（ハイスピード外部）オシレータを使用する必要があります。図 101 に、HSE を有効にするための RCC（リセットおよびクロック制御）の設定方法を示します。

図 101. HSE を使用するための RCC 設定

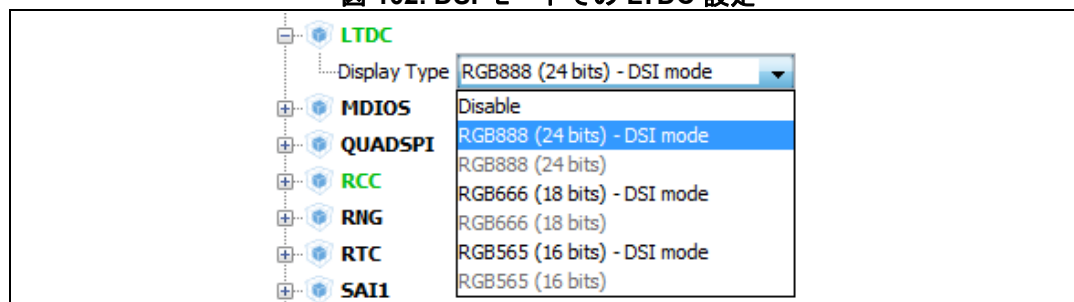


DSI モードでの LTDC 有効化

LTDC を有効にして、DSI モードにセットする必要があります。

LTDC は DSI を供給するビデオ・ストリームとして使用されることに注意してください。そのため、DSI モードでは、LTDC 出力がオン・チップで DSI ホストに接続されるので、LTDC のピン設定はありません。図 102 に LTDC 設定を示します。

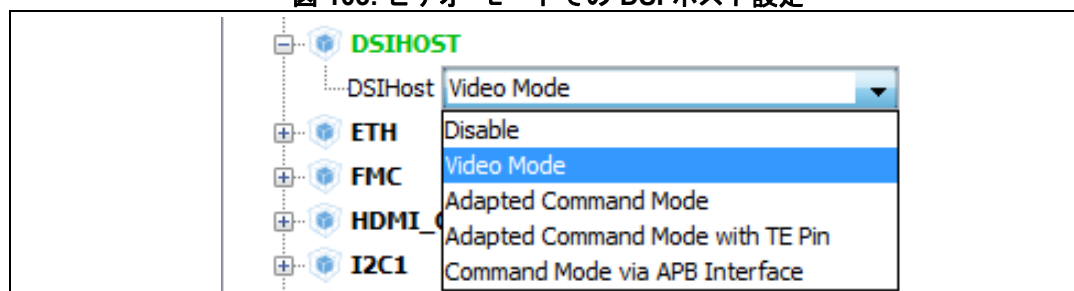
図 102. DSI モードでの LTDC 設定



ビデオ・モードでの DSI ホスト有効化

DSI ホストのビデオ・モードを選択します（図 103 を参照）。

図 103. ビデオ・モードでの DSI ホスト設定



注： DSI ホストは専用ピンを使用します。必要なオルタネート機能設定はありません。

6.1.2 クロック設定

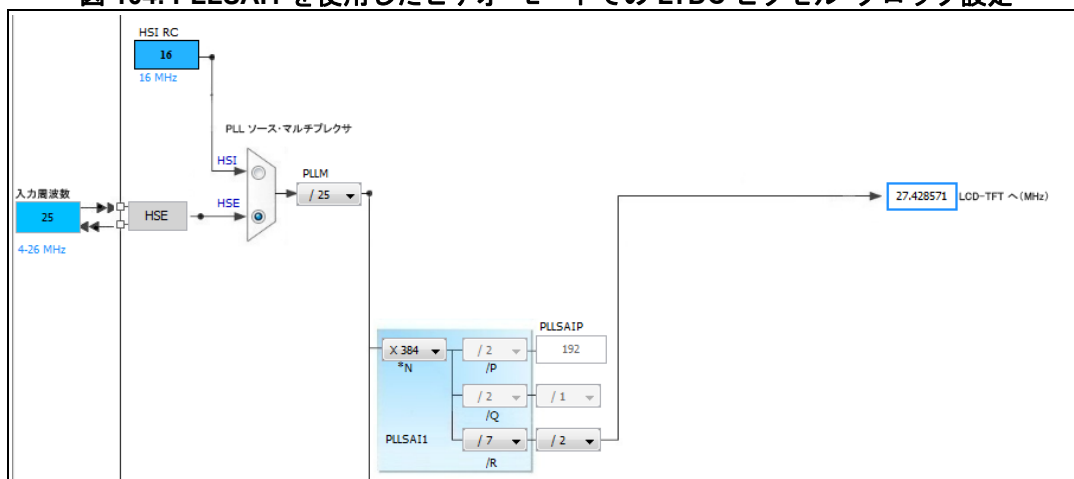
クロック設定フェーズ中に、DSI PLL（DSI ホストと PHY 用）と PLLSAI（LTDC 用）を設定する必要があります。

LTDC クロック設定

LTDC ピクセル・クロック周波数はディスプレイ要件に従って設定されます。ビデオ・モードでのピクセル・クロック設定については、[セクション：89 ページの LTDC の設定の LTDC ピクセル・クロック設定](#)のステップを参照してください。

この例では、ピクセル・クロック周波数が 27.4MHz に設定されています。図 104 に、ピクセル・クロックを 27.4MHz に設定するために必要な PLLSAI1 の設定を示します。

図 104. PLLSAI1 を使用したビデオ・モードでの LTDC ピクセル・クロック設定

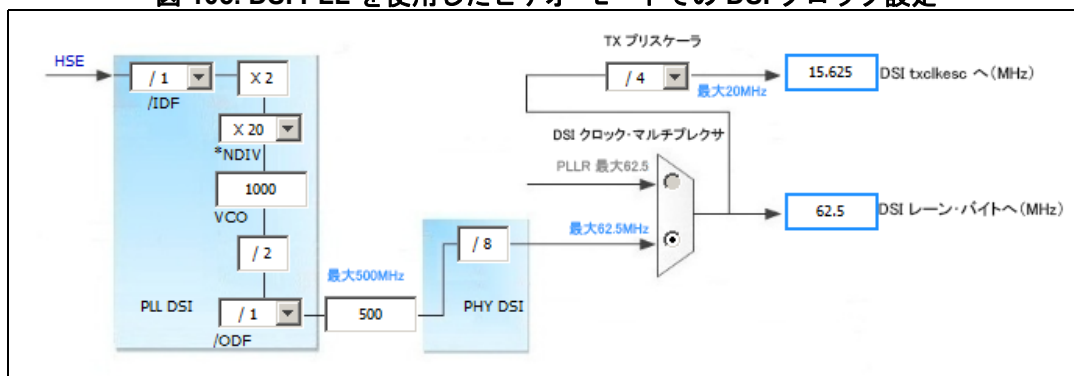


DSI クロック設定

この例では、個別の DSI クロックを生成するための DSI PLL 設定を示しています。

図 105 に、DSI PLL の設定例を示します。この例のリンク・レートはレーン当たり 500Mbit/秒で、lane_byte_clock は 62.5MHz に設定されています。

図 105. DSI PLL を使用したビデオ・モードでの DSI クロック設定



エスケープ・モードのクロック・プリスケアラの値を選択して、TX LP 送信中に使用されるエスケープ・クロックを生成する必要があります。このクロックは 20MHz を超えてはなりません。

注： TX プリスケアラは2より大きい値にセットする必要があります。プリスケアラの値 0 または 1 は、TX エスケープ・クロックの生成を無効にします。

6.1.3 LTDC および DSI の設定

LTDC 設定

このセクションでは、DSI インタフェースを使用して画像を表示するために必要な LTDC 設定を示します。

- LTDC のパラメータ設定

図 105 に LTDC のパラメータ設定を示します。

図 106. ビデオ・モードでの LTDC のパラメータ設定

Synchronization for Width		
Horizontal Synchronization Width	5 pixels	ディスプレイの水平ビデオ・タイミング
Horizontal Back Porch	35 pixels	
Active Width	800 pixels	
Horizontal Front Porch	35 pixels	
HSync Width	4	LTDC レジスタにセットする自動的に計算された値
Accumulated Horizontal Back Porch Width	39	
Accumulated Active Width	839	
Total Width	874	
Synchronization for Height		
Vertical Synchronization Height	2 lines	ディスプレイの垂直ビデオ・タイミング
Vertical Back Porch	20 lines	
Active Height	480 lines	
Vertical Front Porch	20 lines	
VSynch Height	1	LTDC レジスタにセットする自動的に計算された値
Accumulated Vertical Back Porch Height	21	
Accumulated Active Height	501	
Total Height	521	
Signal Polarity		
Horizontal Synchronization Polarity	Active Low	LTDC 信号極性
Vertical Synchronization Polarity	Active Low	
Data Enable Polarity	Active Low	
Pixel Clock Polarity	Normal Input	
BackGround Color		
Red	0	
Green	0	
Blue	0	

垂直および水平ビデオ・タイミング：ユーザがディスプレイ・タイミングを入力すると、STM32CubeMX が LTDC レジスタ内にプログラムすべき対応する値を自動的に生成します。

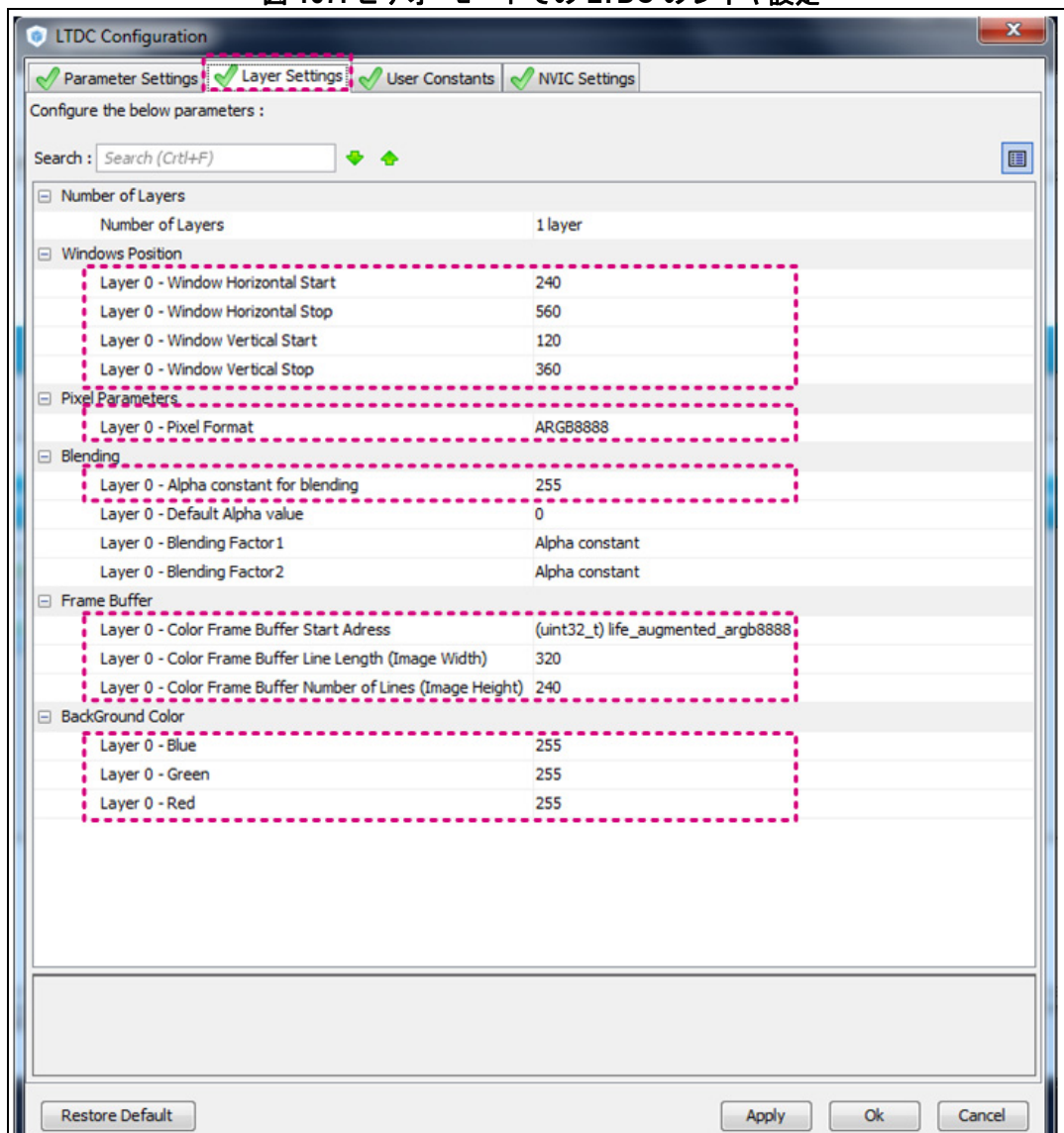
ビデオ信号極性：この信号は DSI ホストに供給されます。ユーザは LTDC の極性を入力する必要があり、STM32CubeMX は対応する極性が DSI 内に自動的にセットされていることを確認します。

デフォルトの LTDC 信号極性（すべての信号がアクティブ・ロー）を保持することを推奨します。

- LTDC のレイヤ設定

図 107 に、LTDC のレイヤ設定を示します。この例では、レイヤが1つだけ使用されています。

図 107. ビデオ・モードでの LTDC のレイヤ設定



ウィンドウ位置の定義：この例では、幅320ピクセルで高さ240ラインの画像を使用し、画面の残り部分はレイヤのデフォルト色で塗りつぶされています。ウィンドウの位置を選択すると、画像が画面の中央に表示されます。

ピクセル・パラメータ設定：ピクセル・パラメータは、ソース画像のカラー・フォーマットに従って設定する必要があります。ARGB8888は、この例で使用されている画像のカラー・フォーマットです。

ブレンディング・パラメータ設定：この例では、ブレンディングに255の定数アルファ・パラメータを持つレイヤが1つだけ使用されています。

フレームバッファ・パラメータ：

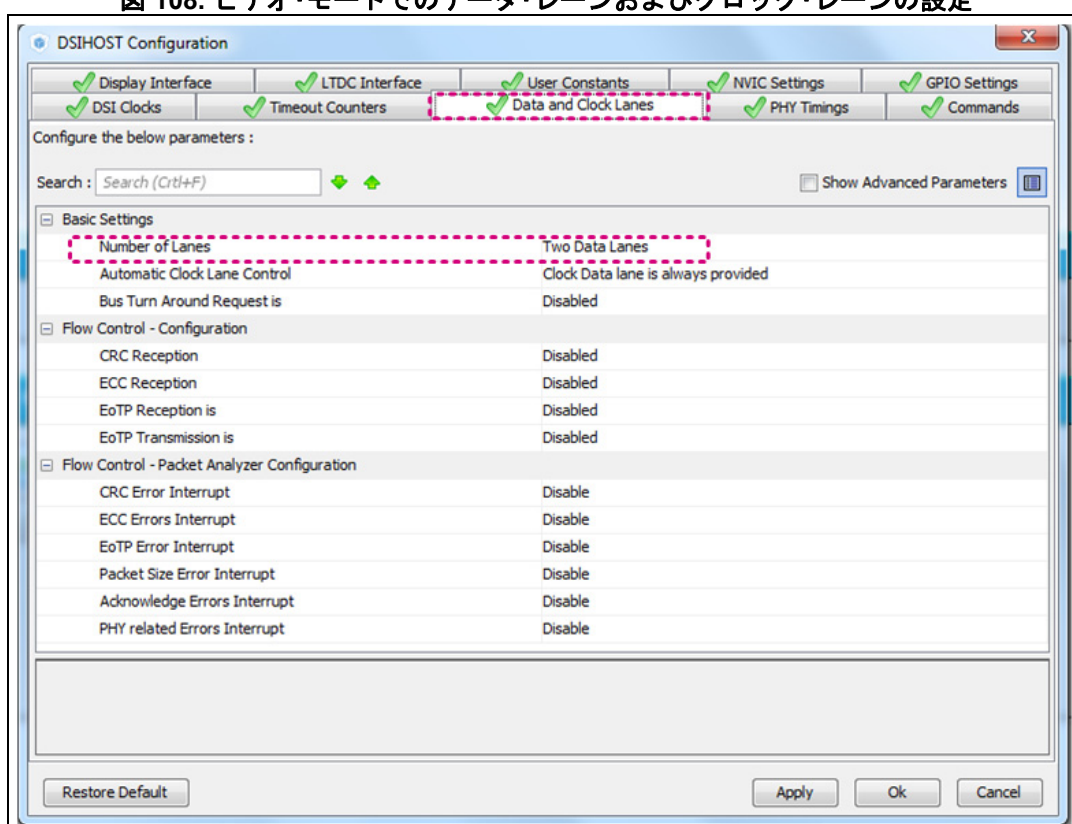
- フレームバッファの開始アドレスが画像ソース開始アドレスに設定されます。この例では、ソース画像のポインタに設定しています（life_augmented_argb8888）。
- 画像の幅と高さでフレームバッファの長さとライン数をそれぞれ設定します。この例では、320 x 240の画像が使用されています。
- レイヤのデフォルト色設定：表示されている画像外のすべての領域がデフォルト色で色付けされます。この例では白です。

DSI ホストの設定

- データ・レーンおよびクロック・レーンの設定

図 108 に DSI のデータ・レーンおよびクロック・レーンの設定を示します。

図 108. ビデオ・モードでのデータ・レーンおよびクロック・レーンの設定



レーン番号選択：この例では、2レーンが使用されています。

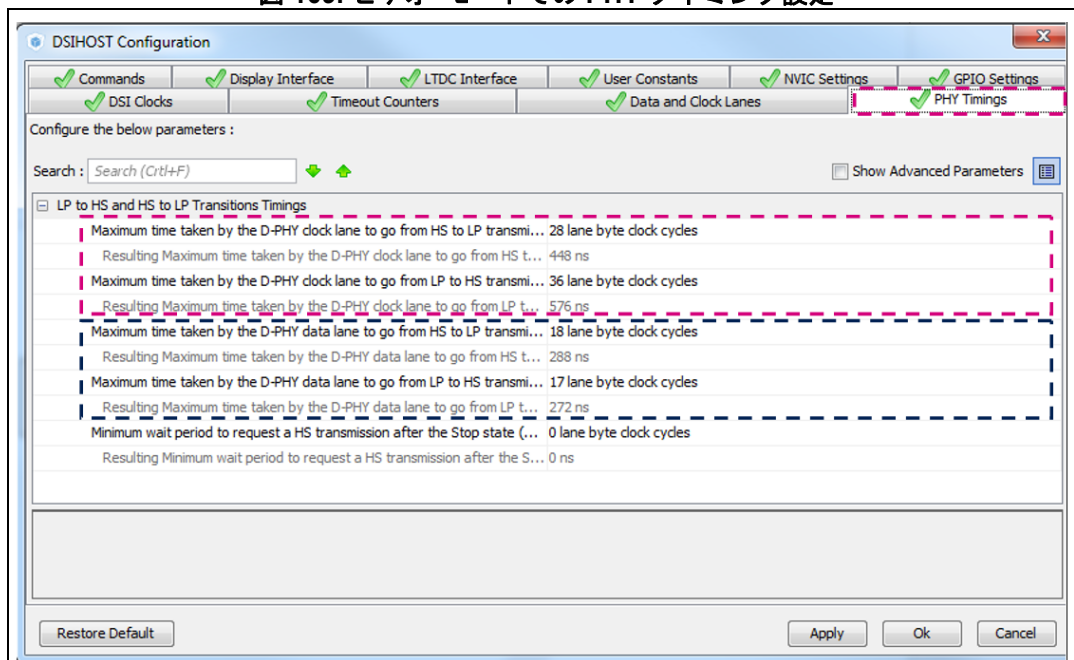
クロック・レーン制御モード：この例では、クロック・レーンが常に供給されています。

BTA リクエスト：逆方向の通信が必要な場合（読出しリクエスト、フレーム確認応答リクエスト、またはその他）、BTA リクエストを有効にする必要があります。この例では必須ではありません。

- PHY タイミング設定

図 109 に DSI PHY タイミング設定を示します。

図 109. ビデオ・モードでの PHY タイミング設定

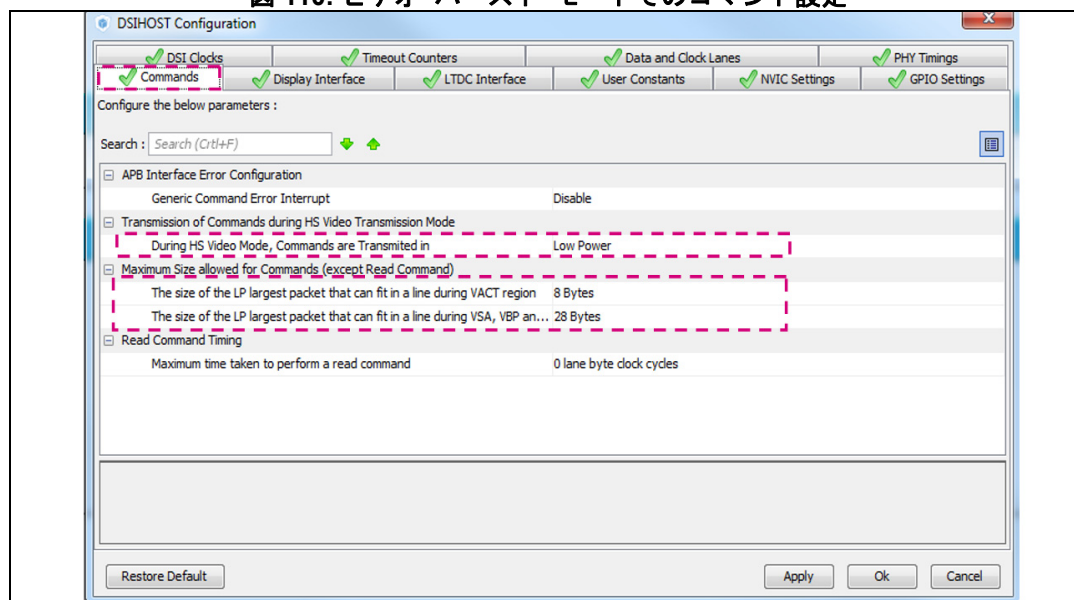


- データ・レーンの遷移タイミング :
上記のように LP を HS に、HS を LP に遷移するタイミングのデフォルト値を保持します。
データ・レーンの遷移タイミング設定は必須です。
- クロック・レーンの遷移タイミング : これらのタイミングは、「自動クロック・レーン制御」が「時間が許可される場合にクロック・レーンを供給しない」に設定されている場合のみ必須です。
- ビデオ・モードでは、STOP 状態の後に HS 送信をリクエストする最小ウェイト時間 (SW_TIME) が 0 に設定されています。

- ・ コマンド送信設定

図 110 に、コマンド送信設定を示します。

図 110. ビデオ・バースト・モードでのコマンド設定

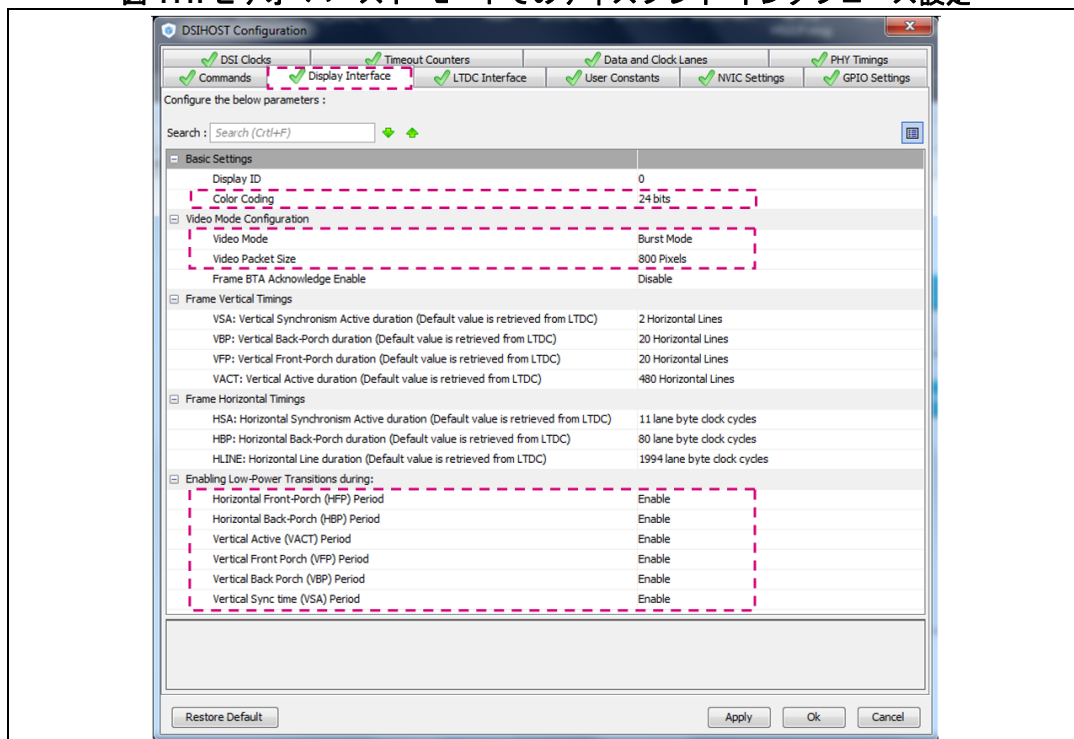


- コマンド送信モード：低消費電力モードでのコマンド送信を有効にします。ディスプレイ初期化コマンドは LP モードで送信する必要があるため、この例では必須です。
- 最大 LP コマンド・サイズ：これは[セクション：DSI ビデオ・パケット・パラメータ](#)に示すように計算する必要があります。
VACT 領域内の LP 最大パケット・サイズを8バイトに設定します。
垂直ブランキング領域内の LP 最大パケット・サイズを28バイトに設定します。詳細については、[セクション：ビデオ・モードでのコマンド送信](#)を参照してください。
- この例で必要な読出しコマンドはないため、読出しコマンド・タイミングは0のままです。

- ディスプレイ・インタフェース設定

図 111 に DSI ディスプレイ・インタフェース設定を示します。

図 111. ビデオ・バースト・モードでのディスプレイ・インタフェース設定



- カラー・コーディング選択：これは、リンク経由で送信される DSI パケットのカラー・フォーマットを選択できます。この設定は、画像ソースの LTDC のレイヤ・カラー・フォーマットとは独立しています。画像ソースでは、565のカラー・フォーマットと、24-bit カラー・フォーマットに設定された DSI ホストを指定できます。
この例では、ピクセル・ストリームが 24-bit フォーマットでパック済みのピクセル・ストリームを使用して送信されています。
- ビデオ・モード設定：
ビデオ・バースト・モードを選択します。
ビデオ・パケット・サイズの設定：バースト・モードでは、ビデオ・パケット・サイズがピクセル単位でビデオ・ライン全体の長さに設定されます。
必要に応じてフレームの BTA 確認応答を有効にします。この例では使用されていません。
- フレームの垂直および水平タイミングは、LTDC 設定から取得されます。値は、LTDC ビデオ設定、レーン・バイト・クロック、LTDC ピクセル・クロックに基づいて STM32CubeMX によって自動的に計算されます。
- すべての領域の LP 遷移を有効にしておくことを推奨します。DSI ホストが、領域の長さや PHY 遷移に基づいて遷移可能であるか自動的にチェックします。ユーザは必要に応じて特定の領域で LP 遷移を無効にできますが、推奨されません。

6.1.4 ビデオ・バースト・モードの生成コードの例

STM32CubeMX には、設定フェーズが終了すると異なるツールチェーンを使用してコードを生成できる機能が搭載されています。STM32CubeMX によって生成されたコードの一部をこのセクションに示し、「ユーザ・コード」のセクションでディスプレイのリセットおよび初期化のためにユーザが追加する必要があるコード・セクションもハイライトされています。

```
/* 主な関数 */
/* I キャッシュを有効にします。*/
SCB_EnableICache();
/* D キャッシュを有効にします。*/
SCB_EnableDCache();
/* マイクロコントローラ設定 */
/* すべてのペリフェラルのリセット、フラッシュインターフェイスと SysTick の初期化。*/
HAL_Init();
/* システム・クロックを設定します。*/
SystemClock_Config();
/* すべての設定済みペリフェラルを初期化します。*/
/* HSE の GPIO 初期化 */
MX_GPIO_Init();
/* DSI ホスト初期化です。DSI はこの時点ではまだ起動していません。*/
MX_DSIHOST_DSI_Init();
/* LTDC 初期化です。LTDC がこの時点で有効になります。*/
MX_LTDC_Init();
/* USER CODE BEGIN 2 */
/* XRES 信号での LCD ディスプレイ・ハードウェア・リセット */
BSP_LCD_Reset();
/* DSI ホストを起動します。これによって DSI ホストとラッパーが有効になります。LTDC が有効になった後にこの操作が必要です。*/
HAL_DSI_Start(&hdsi);
/* LCD ディスプレイ初期化：これによってディスプレイ初期化コマンドが送信されます。引数はカラー・フォーマットと方向です。LCD ディスプレイのカラー・フォーマットは、DSI ホストのカラー・フォーマットと一致している必要があります。*/
OTM8009A_Init(OTM8009A_FORMAT_RGB888 , OTM8009A_ORIENTATION_LANDSCAPE);
/* USER CODE END 2 */

/* グローバル初期化 */
static void MX_DSIHOST_DSI_Init(void) {
    hdsi.Instance = DSI;
    hdsi.Init.AutomaticClockLaneControl = DSI_AUTO_CLK_LANE_CTRL_DISABLE;
    hdsi.Init.TXEscapeCkdiv = 4;
    hdsi.Init.NumberOfLanes = DSI_TWO_DATA_LANES;
/* レーン・レート当たり 500mbps の DSI PLL 設定です。Lane_byte_clock は 62.5Mhz です。*/
    PLLInit.PLLNDIV = 20;
    PLLInit.PLLIDF = DSI_PLL_IN_DIV1;
    PLLInit.PLLODF = DSI_PLL_OUT_DIV1;
    if (HAL_DSI_Init(&hdsi, &PLLInit) != HAL_OK)
```

```
{
    Error_Handler();
}

/* ビデオ・モード初期化 */
VidCfg.VirtualChannelID = 0;
/* DSI ホストのカラー・フォーマットの設定です。画像データが 24bit フォーマットでパック済みピクセル・ストリームを使用して送信されています。*/
VidCfg.ColorCoding = DSI_RGB888;
VidCfg.LooselyPacked = DSI_LOOSELY_PACKED_DISABLE;
/* ビデオ・モード設定 */
VidCfg.Mode = DSI_VID_MODE_BURST;
/* ビデオ・パケット設定 */
VidCfg.PacketSize = 800;
VidCfg.NumberOfChunks = 0;
VidCfg.NullPacketSize = 0;
/* 信号極性設定です。極性が反対のデータ有効化を除いて LTDC と DSI は同じ極性です。*/
VidCfg.HSPolarity = DSI_HSYNC_ACTIVE_LOW;
VidCfg.VSPolarity = DSI_VSYNC_ACTIVE_LOW;
VidCfg.DEPolarity = DSI_DATA_ENABLE_ACTIVE_HIGH;
/* ビデオ・タイミング設定です。LTDC 設定から取得されます。*/
VidCfg.HorizontalSyncActive = 11;
VidCfg.HorizontalBackPorch = 80;
VidCfg.HorizontalLine = 1994;
VidCfg.VerticalSyncActive = 2;
VidCfg.VerticalBackPorch = 20;
VidCfg.VerticalFrontPorch = 20;
VidCfg.VerticalActive = 480;
/* コマンド送信モードと最大 LP パケット・サイズ */
VidCfg.LPCommandEnable = DSI_LP_COMMAND_ENABLE;
VidCfg.LPLargestPacketSize = 29;
VidCfg.LPVACTLargestPacketSize = 8;
/* LP 遷移設定です。すべての領域で LP 遷移を有効にしておくことを推奨します。*/
VidCfg.LPHorizontalFrontPorchEnable = DSI_LP_HFP_ENABLE;
VidCfg.LPHorizontalBackPorchEnable = DSI_LP_HBP_ENABLE;
VidCfg.LPVerticalActiveEnable = DSI_LP_VACT_ENABLE;
VidCfg.LPVerticalFrontPorchEnable = DSI_LP_VFP_ENABLE;
VidCfg.LPVerticalBackPorchEnable = DSI_LP_VBP_ENABLE;
VidCfg.LPVerticalSyncActiveEnable = DSI_LP_VSYNC_ENABLE;
/* フロー制御設定 */
VidCfg.FrameBTAAcknowledgeEnable = DSI_FBTAA_DISABLE;
if (HAL_DSI_ConfigVideoMode(&hdsi, &VidCfg) != HAL_OK)
{
    Error_Handler();
}
```

```
/* LTDC 初期化 */
LTDc_LayerCfgTypeDef pLayerCfg;
hltdc.Instance = LTDC;

/* LTDC 信号極性 */
hltdc.Init.HSPolarity = LTDC_HSPOLARITY_AL;
hltdc.Init.VSPolarity = LTDC_VSPOLARITY_AL;
hltdc.Init.DEPolarity = LTDC_DEPOLARITY_AL;
hltdc.Init.PCPolarity = LTDC_PCPOLARITY_IPC;

/* ディスプレイ・タイミングに応じたビデオ・タイミング設定 */
hltdc.Init.HorizontalSync = 4;
hltdc.Init.VerticalSync = 1;
hltdc.Init.AccumulatedHBP = 39;
hltdc.Init.AccumulatedVBP = 21;
hltdc.Init.AccumulatedActiveW = 839;
hltdc.Init.AccumulatedActiveH = 501;
hltdc.Init.TotalWidth = 874;
hltdc.Init.TotalHeigh = 521;
if (HAL_LTDC_Init(&hltdc) != HAL_OK)
{
    Error_Handler();
}

/* LTDC レイヤ初期化 */
/* ウィンドウ位置の設定 */
pLayerCfg.WindowX0 = 240
pLayerCfg.WindowX1 = 560
pLayerCfg.WindowY0 = 120
pLayerCfg.WindowY1 = 360

/* ピクセル・カラー・フォーマットを入力します。これは、ソース画像のカラー・フォーマットと一致している必要があります。*/
pLayerCfg.PixelFormat = LTDC_PIXEL_FORMAT_ARGB8888;

/* ブレンディング・パラメータ */
pLayerCfg.Alpha = 255;
pLayerCfg.Alpha0 = 0
pLayerCfg.BlendingFactor1 = LTDC_BLENDING_FACTOR1_CA;
pLayerCfg.BlendingFactor2 = LTDC_BLENDING_FACTOR2_CA;

/* フレームバッファのパラメータ */
pLayerCfg.FBStartAdress = (uint32_t) life_augmented_argb8888;
pLayerCfg.ImageWidth = 320;
pLayerCfg.ImageHeight = 240;

/* バックグラウンド・カラー設定です。この例では白色のバックグラウンドです。*/
pLayerCfg.Backcolor.Blue = 255;
pLayerCfg.Backcolor.Green = 255;
pLayerCfg.Backcolor.Red = 255;
```

```
if (HAL_LTDC_ConfigLayer(&hltdc, &pLayerCfg, 0) != HAL_OK)
{
    Error_Handler();
}
```

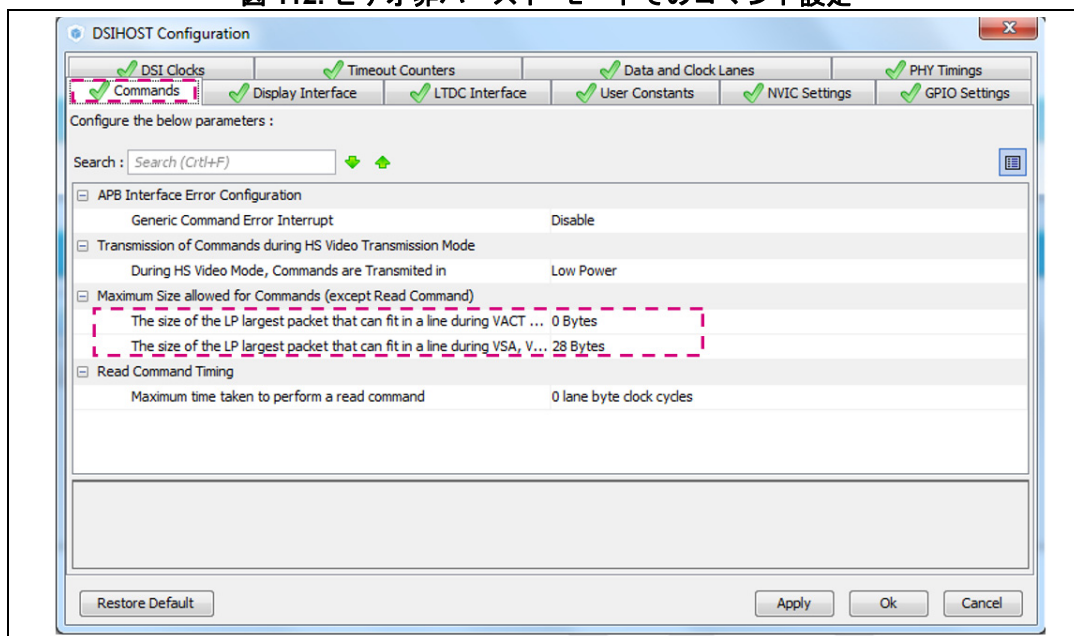
6.2 DSI ホストの同期パルスでの非バースト・モード

コマンド設定とディスプレイ・インタフェース設定を除いて、ほとんどの設定がバースト・モードの設定と同様です。

6.2.1 コマンド設定

図 112 に、コマンド送信設定を示します。

図 112. ビデオ非バースト・モードでのコマンド設定



非バースト・モードでは、ビデオ・バースト・モードと比べてコマンド送信の VACT 領域中のマージンが少なくなります。

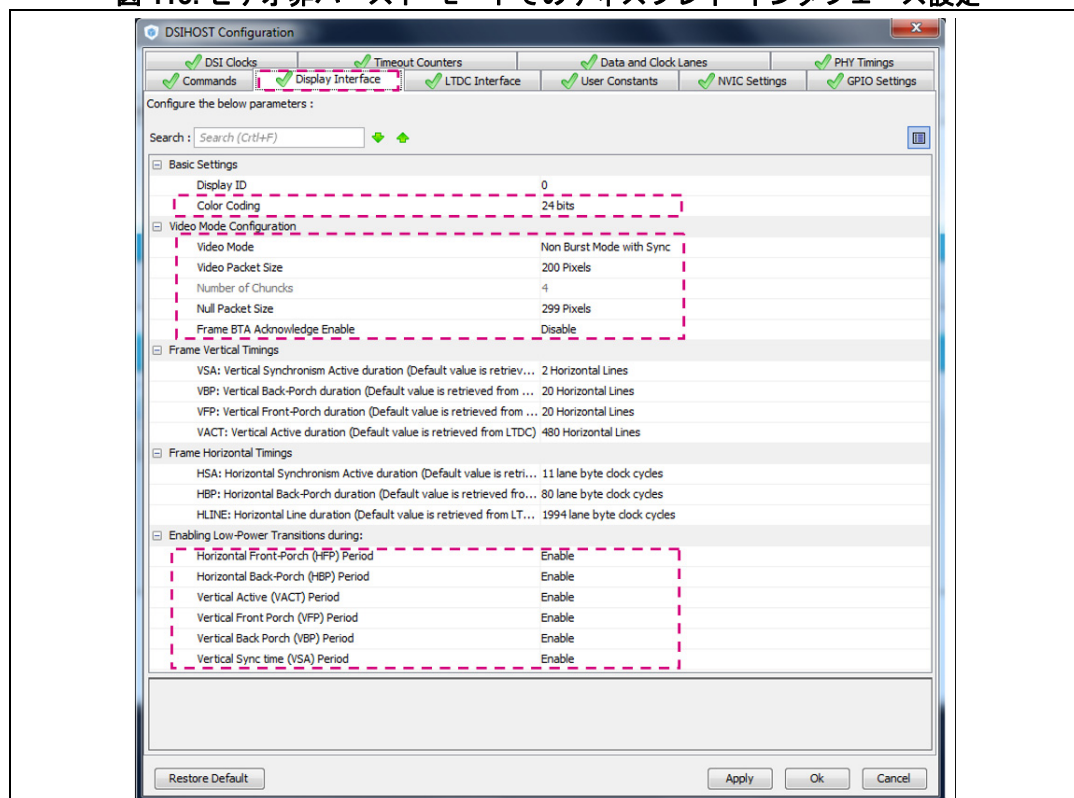
この例では、この期間中にコマンドを送信できないため、VACT 中の LP 最大パケットを0にセットする必要があります。

詳細については、[ビデオ・モードでのコマンド送信](#)を参照してください。

6.2.2 ディスプレイ・インタフェース設定

図 113 に DSI ディスプレイ・インタフェース設定を示します。

図 113. ビデオ非バースト・モードでのディスプレイ・インタフェース設定



ビデオ・モードの選択：この例では同期パルスでの非バーストを選択します。

ビデオ・パケット・サイズ：これはディスプレイ内で使用できるライン・バッファ・サイズに従って設定する必要があります。この例では、ビデオ・パケット・サイズが200ピクセルに設定されています。

チャンク数は、LTDC で設定されたアクティブな幅とパケット・サイズに基づいて自動的に計算されます（チャンク数 = アクティブな幅 / ビデオ・パケット・サイズ）。

null パケット・サイズ：バイト単位での null パケットのサイズを計算する必要があります。この例では、299バイトが必要になります。計算の詳細については、[セクション：DSI ビデオ・パケット・パラメータ](#)を参照してください。

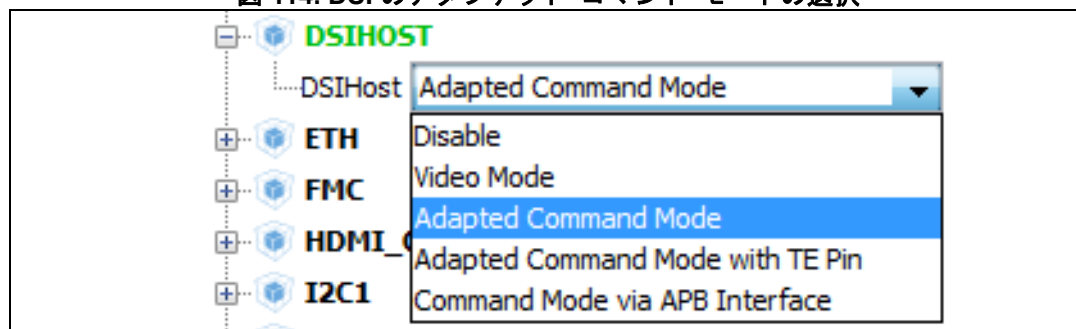
6.3 DSI ホストのアダプテッド・コマンド・モード

6.3.1 ピン設定

RCC および LTDC のピン配置設定は、ビデオ・バースト・モードと同じです。DSI ホスト設定のみ変更してアダプテッド・コマンド・モードに設定する必要があります。

ピン配置設定のセクションで DSI ホストのアダプテッド・コマンド・モードを選択します（図 114 を参照）。

図 114. DSI のアダプテッド・コマンド・モードの選択



注：ピン経由でのティアリング効果レポートが必要な場合は、「TE ピンによるアダプテッド・コマンド・モード」を選択する必要があります。これでピンが TE に使用されるように設定されます。

6.3.2 クロック設定

DSI クロック設定は、ビデオ・モードで実行されます。この例は、62.5MHz で同じ lane_byte_clock 周波数のままです。

LTDC クロック設定

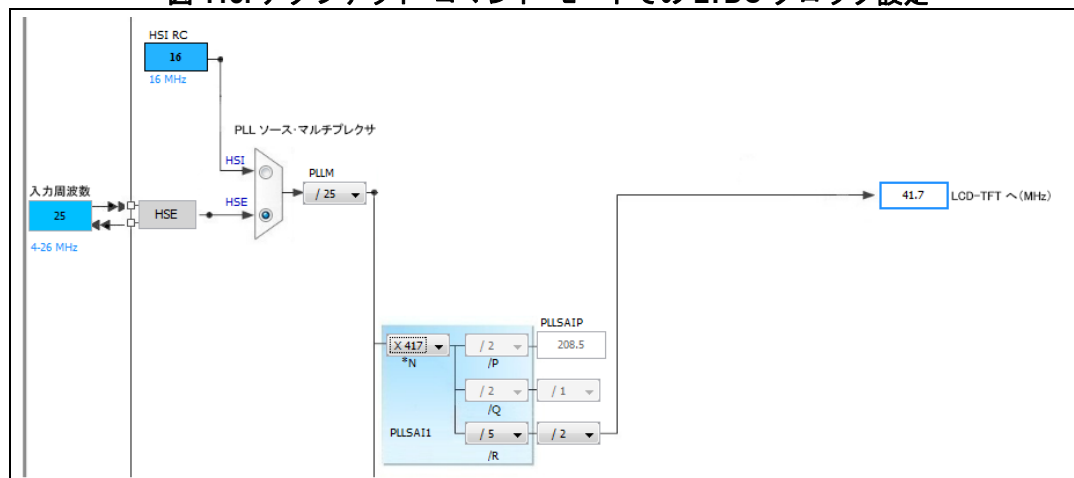
アダプテッド・コマンド・モードでは、LTDC pixel_clock がリフレッシュ時間を低減させるために最大サポート周波数に設定されます。

$$\text{ピクセル・クロック} = \text{レーン・レート} \times \text{レーン数} / \text{bit_per_pixel}$$

それぞれ500Mbit/秒の2つのデータ・レーンを持つ 24-bit カラー・モードでは、最大サポート LTDC ピクセル・クロックが $500\text{mbs} \times 2 / 24 = 41.7\text{MHz}$ です。

図 115 に、41.7MHz で LTDC ピクセル・クロックを設定するための PLLSAI 設定方法を示します。

図 115. アダプテッド・コマンド・モードでの LTDC クロック設定



6.3.3 LTDC および DSI の設定

LTDC 設定

LTDC のレイヤ設定については、ビデオ・モードの例（[セクション 6.1 : DSI ホストのビデオ・パースト・モード](#)）を参照してください。

LTDC パラメータの設定は、ビデオのブランキング・タイミングを除いてビデオ・モードと同じです（[図 116](#) を参照）。

図 116. アダプテッド・コマンド・モードでの LTDC パラメータ

LTDC Configuration

Parameter Settings Layer Settings User Constants NVIC Settings

Configure the below parameters :

Search : Search (Ctrl+F)

Synchronization for Width

Horizontal Synchronization Width	1 pixels
Horizontal Back Porch	1 pixels
Active Width	800 pixels
Horizontal Front Porch	1 pixels
HSync Width	0
Accumulated Horizontal Back Porch Width	1
Accumulated Active Width	801
Total Width	802

Synchronization for Height

Vertical Synchronization Height	1 lines
Vertical Back Porch	1 lines
Active Height	480 lines
Vertical Front Porch	1 lines
VSynch Height	0
Accumulated Vertical Back Porch Height	1
Accumulated Active Height	481
Total Height	482

Signal Polarity

Horizontal Synchronization Polarity	Active Low
Vertical Synchronization Polarity	Active Low
Data Enable Polarity	Active Low
Pixel Clock Polarity	Normal Input

BackGround Color

Red	0
Green	0
Blue	0

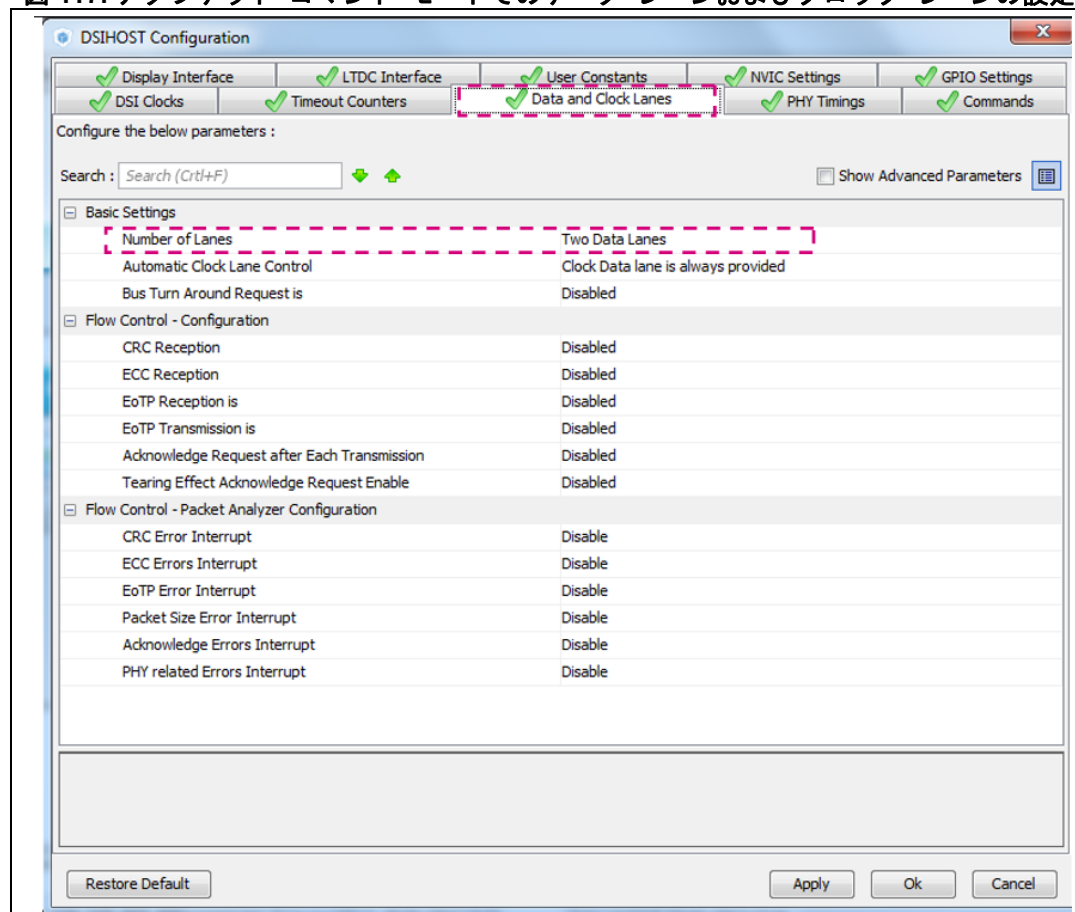
アダプテッド・コマンドでは、水平ブランキング・タイミングを最小値1ピクセル・クロックに、垂直ブランキング・タイミングを最小値1ラインに設定できます。これは、ビデオ・タイミング生成ではディスプレイが内部ディスプレイ・コントローラに依存しているためです。

DSI ホストの設定

- データ・レーンおよびクロック・レーンの設定

図 117 にアダプテッド・コマンド・モードでの DSI のデータ・レーンおよびクロック・レーンの設定を示します。

図 117. アダプテッド・コマンド・モードでのデータ・レーンおよびクロック・レーンの設定



データ・レーン数の選択：この例では、2つのデータ・レーンが使用されています。

リンク経由でのティアリング効果レポートが必要な場合は、ユーザは次のものを有効にする必要があります。

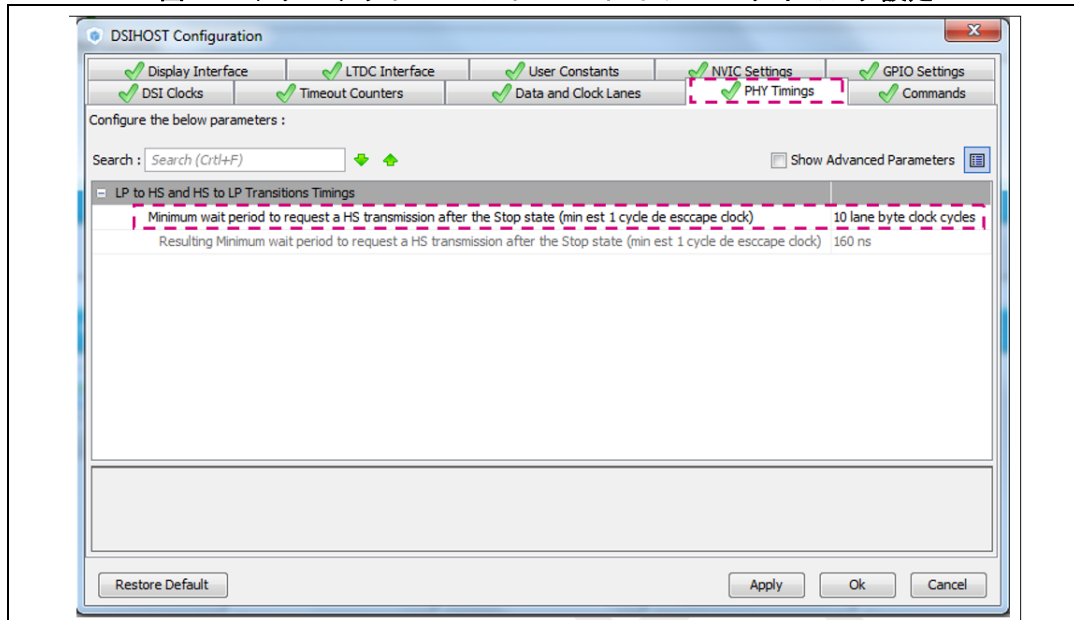
- バス・ターンアラウンド・リクエスト
- ティアリング効果の確認応答リクエスト

この例では、ティアリング効果レポートを使用しません。

- PHY タイミング設定

図 118 に DSI PHY タイミング設定を示します。設定すべき唯一のパラメータは、STOP ウェイト・タイムです。

図 118. アダプテッド・コマンド・モードでの PHY タイミング設定

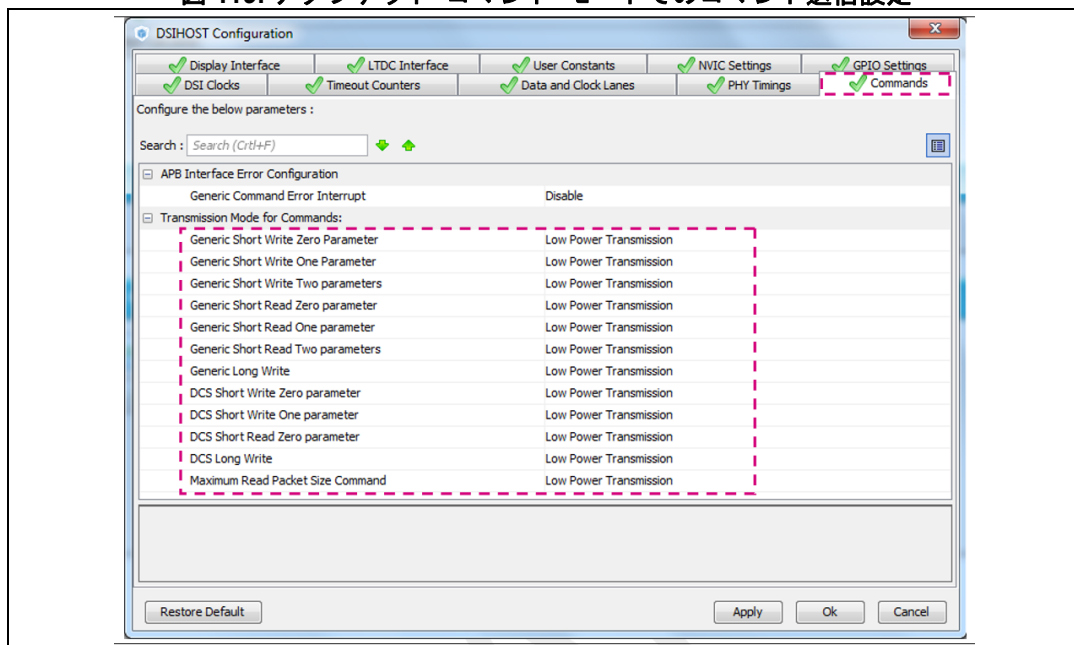


コマンド・モードでは、STOP 状態の後に HS 送信をリクエストする最小ウェイト時間（STOP ウェイト・タイム（SW_Time））を設定する必要があります。DSI ホストに必要な SW_Time は、10レーン・バイト・クロック・サイクルです。ディスプレイによってさらに長い STOP ウェイト・タイムが必要である場合、ディスプレイの SW_TIME でこのフィールドをプログラムします。

- コマンド送信設定

図 119 に、コマンド送信設定を示します。

図 119. アダプテッド・コマンド・モードでのコマンド送信設定



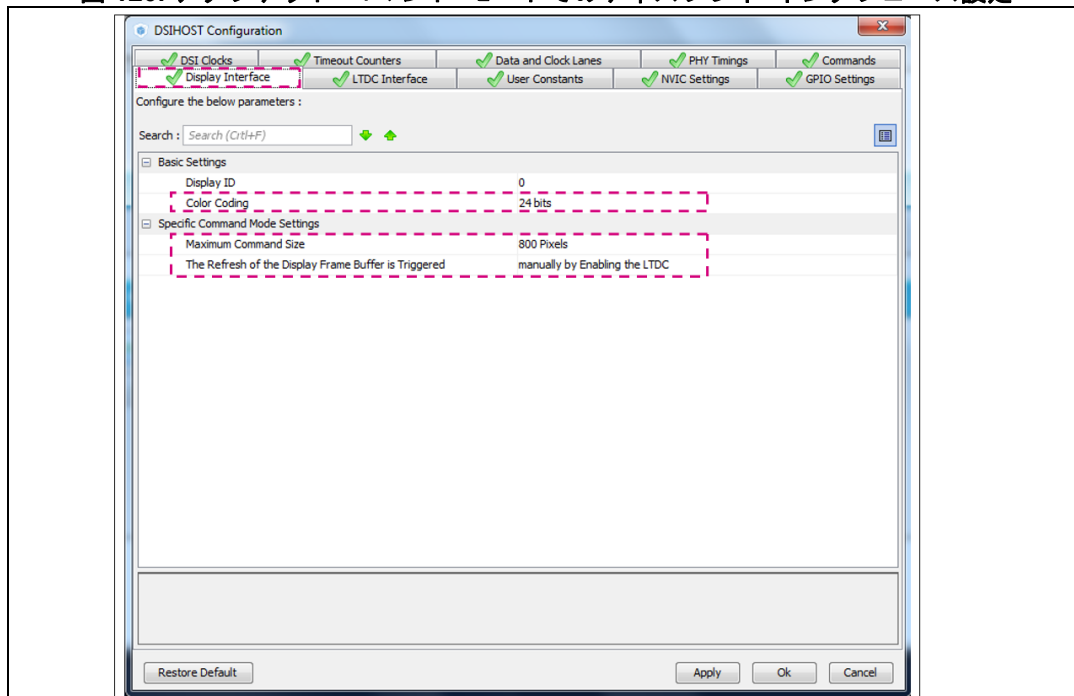
各コマンド・タイプを個別に設定して、LP または HS モードで送信できます。

一部のディスプレイでは、初期化コマンドを LP モードで送信する必要があります。この場合、ユーザは低消費電力モードでのコマンド送信を有効にする必要があります。その後、ディスプレイの初期化が終了してから、HS 送信を再び有効にする必要があります（特にフレーム・リフレッシュに使用される DCS ロング書込みコマンドの場合）。

- ディスプレイ・インタフェース設定

図 120 に DSI ディスプレイ・インタフェース設定を示します。

図 120. アダプテッド・コマンド・モードでのディスプレイ・インタフェース設定



カラー・コーディングの選択：この例では、24-bits カラー・モードが使用されています。

コマンド・モードでは、ホストが使用したカラー・フォーマットをディスプレイに通知する必要があります。この処理は、DCS ショート・コマンド `set_pixel_format` を送信して実行されます。ディスプレイ初期化フェーズ中に実行可能です。

この例では、最大コマンド・サイズが800ピクセルに設定され、フレームの各ラインは1つの WMS または WMC の DCS コマンドにカプセル化されます。

リフレッシュ・モードの選択：この例では、LTDC を有効にすることでリフレッシュを手動で実行します。

6.3.4 アダプテッド・コマンド・モードの生成コードの例

このセクションでは、アダプテッド・コマンド・モード設定で STM32CubeMX によって生成されたコードについて示します。ユーザは、ディスプレイのリセットと初期化に関連するごくわずかなセクションを「ユーザ・コード」セクションに追加する必要があります。

/* 主な関数 */

/* I キャッシュを有効にします。*/

`SCB_EnableICache();`

/* D キャッシュを有効にします。*/

`SCB_EnableDCache();`

```

/* マイクロコントローラ設定 */
/* すべてのペリフェラルのリセット、フラッシュインターフェイスと SysTick の初期化。*/
HAL_Init();

/* システム・クロックを設定します。*/
SystemClock_Config();

/* すべての設定済みペリフェラルを初期化します。*/
/* HSE の GPIO 初期化 */
MX_GPIO_Init();
/* DSI ホスト初期化です。DSI はこの時点ではまだ起動していません。*/
MX_DSIHOST_DSI_Init();
/* LTDC 初期化です。LTDC がこの時点で有効になります。*/
MX_LTDC_Init();
/* USER CODE BEGIN 2 */
/* XRES 信号での LCD ディスプレイ・ハードウェア・リセット */
BSP_LCD_Reset();
/* DSI ホストを起動します。これによって DSI ホストとラッパーが有効になります。LTDC が
有効になった後にこの操作が必要です。*/
HAL_DSI_Start(&hdsi);
/* LCD ディスプレイ初期化：これによってディスプレイ初期化コマンドが送信されます。引数は
カラー・フォーマットと方向です。カラー・フォーマットは、DSI ホストのカラー・フォーマットと
一致している必要があります。*/
OTM8009A_Init(OTM8009A_FORMAT_RGB888 , OTM8009A_ORIENTATION_LANDSCAPE);

/* コマンドの HS 送信を有効にします。これは、一部のディスプレイで必要であるため、ディス
プレイ初期化が LP で実行された場合です。*/
/* ディスプレイ・リフレッシュは DCS ロング書き込みコマンドで実行されるため、DSI を停止し
て、DCS ロング書き込みをハイスピードのみで再設定します。*/
HAL_DSI_Stop(&hdsi_eval);
/* コマンド・モードを設定します。*/
dsiLPCmdInit.LPGenShortWriteNoP      = DSI_LP_GSW0P_ENABLE;
dsiLPCmdInit.LPGenShortWriteOneP     = DSI_LP_GSW1P_ENABLE;
dsiLPCmdInit.LPGenShortWriteTwoP     = DSI_LP_GSW2P_ENABLE;
dsiLPCmdInit.LPGenShortReadNoP       = DSI_LP_GSR0P_ENABLE;
dsiLPCmdInit.LPGenShortReadOneP      = DSI_LP_GSR1P_ENABLE;
dsiLPCmdInit.LPGenShortReadTwoP      = DSI_LP_GSR2P_ENABLE;
dsiLPCmdInit.LPGenLongWrite           = DSI_LP_GLW_ENABLE;
dsiLPCmdInit.LPDcsShortWriteNoP      = DSI_LP_DSW0P_ENABLE;
dsiLPCmdInit.LPDcsShortWriteOneP     = DSI_LP_DSW1P_ENABLE;
dsiLPCmdInit.LPDcsShortReadNoP       = DSI_LP_DSR0P_ENABLE;
dsiLPCmdInit.LPDcsLongWrite          = DSI_LP_DLW_DISABLE;
dsiLPCmdInit.LPMaxReadPacket         = DSI_LP_MRDP_ENABLE;
dsiLPCmdInit.AcknowledgeRequest      = DSI_ACKNOWLEDGE_DISABLE;
/* コマンド・モードを初期化します。*/
HAL_DSI_ConfigCommand(&hdsi_eval, &dsiLPCmdInit);

```



```

    HAL_DSI_Start(&hdsi_eval);

/* 手動リフレッシュです。これによって DSI ラッパー制御レジスタの LTDCEN ビットが有効になります。*/
HAL_DSI_Refresh(&hdsi);
/* USER CODE END 2 */

/* グローバル初期化 */
hdsi.Instance = DSI;
hdsi.Init.AutomaticClockLaneControl = DSI_AUTO_CLK_LANE_CTRL_DISABLE;
hdsi.Init.TXEscapeCkdiv = 4;
hdsi.Init.NumberOfLanes = DSI_TWO_DATA_LANES;
/* DSI PLL の設定です。これによってリンク・レートが 500Mbps で設定されます。
Lane_byte_clock は 62.5Mhz です。*/
PLLInit.PLLNDIV = 20;
PLLInit.PLLIDF = DSI_PLL_IN_DIV1;
PLLInit.PLLODF = DSI_PLL_OUT_DIV1;
if (HAL_DSI_Init(&hdsi, &PLLInit) != HAL_OK)
{
    Error_Handler();
}

/* コマンド送信設定 */
/* LP モードでコマンド送信を有効にします。これは、初期化フェーズ中の一部のディスプレイで
必須です。ディスプレイ初期化後、DCS ロング書き込みコマンドでは LP 送信を無効にする必要があります。*/
LPCmd.LPGenShortWriteNoP = DSI_LP_GSW0P_ENABLE;
LPCmd.LPGenShortWriteOneP = DSI_LP_GSW1P_ENABLE;
LPCmd.LPGenShortWriteTwoP = DSI_LP_GSW2P_ENABLE;
LPCmd.LPGenShortReadNoP = DSI_LP_GSR0P_ENABLE;
LPCmd.LPGenShortReadOneP = DSI_LP_GSR1P_ENABLE;
LPCmd.LPGenShortReadTwoP = DSI_LP_GSR2P_ENABLE;
LPCmd.LPGenLongWrite = DSI_LP_GLW_ENABLE;
LPCmd.LPDcsShortWriteNoP = DSI_LP_DSW0P_ENABLE;
LPCmd.LPDcsShortWriteOneP = DSI_LP_DSW1P_ENABLE;
LPCmd.LPDcsShortReadNoP = DSI_LP_DSR0P_ENABLE;
LPCmd.LPDcsLongWrite = DSI_LP_DLW_ENABLE;
LPCmd.LPMaxReadPacket = DSI_LP_MRDp_ENABLE;
LPCmd.AcknowledgeRequest = DSI_ACKNOWLEDGE_DISABLE;
if (HAL_DSI_ConfigCommand(&hdsi, &LPCmd) != HAL_OK)
{
    Error_Handler();
}

```

```
/* アダプテッド・コマンド設定 */
CmdCfg.VirtualChannelID = 0;

/* DSI ホストのカラー・フォーマットを選択します。*/
CmdCfg.ColorCoding = DSI_RGB888;
CmdCfg.CommandSize = 800;
CmdCfg.TearingEffectSource = DSI_TE_DSILINK;
CmdCfg.TearingEffectPolarity = DSI_TE_RISING_EDGE;

/* DSI ホストの信号極性です。極性が反対のデータ有効化を除いて LTDC と DSI は同じ極性です。*/
CmdCfg.HSPolarity = DSI_HSYNC_ACTIVE_LOW;
CmdCfg.VSPolarity = DSI_VSYNC_ACTIVE_LOW;
CmdCfg.DEPolarity = DSI_DATA_ENABLE_ACTIVE_HIGH;
CmdCfg.VSyncPol = DSI_VSYNC_FALLING;

/* 手動リフレッシュが使用されます。*/
CmdCfg.AutomaticRefresh = DSI_AR_DISABLE;
CmdCfg.TEAcknowledgeRequest = DSI_TE_ACKNOWLEDGE_DISABLE;
if (HAL_DSI_ConfigAdaptedCommandMode(&hdsi, &CmdCfg) != HAL_OK)
{
    Error_Handler();
}

/* LTDC 設定 */
hltdc.Instance = LTDC;
hltdc.Init.HSPolarity = LTDC_HSPOLARITY_AL;
hltdc.Init.VSPolarity = LTDC_VSPOLARITY_AL;
hltdc.Init.DEPolarity = LTDC_DEPOLARITY_AL;
hltdc.Init.PCPolarity = LTDC_PCPOLARITY_IPC;

/* ビデオ・タイミング設定です。アダプテッド・コマンド・モードでは、垂直および水平ブランキングを1にセットできます。*/
hltdc.Init.HorizontalSync = 0;
hltdc.Init.VerticalSync = 0;
hltdc.Init.AccumulatedHBP = 1;
hltdc.Init.AccumulatedVBP = 1;
hltdc.Init.AccumulatedActiveW = 801;
hltdc.Init.AccumulatedActiveH = 481;
hltdc.Init.TotalWidth = 802;
hltdc.Init.TotalHeigh = 482;

/* バックグラウンド・カラー設定です。*/
hltdc.Init.Backcolor.Blue = 0;
hltdc.Init.Backcolor.Green = 0;
hltdc.Init.Backcolor.Red = 0;
if (HAL_LTDC_Init(&hltdc) != HAL_OK)
{
    Error_Handler();
}

/* LTDC のレイヤ設定は、ビデオ・バースト・モードの例と同じです。*/
```

7 DSI ホストのパフォーマンス

DSI ホストのパフォーマンスは、DSI リンク帯域幅の物理的制限と、システム・レベルの制約による影響を受けます。

7.1 LTDC ピクセル・クロックでの DSI リンク最大帯域幅の影響

サポートされている最大 DSI リンク速度は、レーン当たり500Mbit/秒です。これによって、2つのデータ・レーン使用時は、合計1Gbit/秒のリンク速度になります。

相当ピクセル・クロックと DSI ホスト設定には関係があります。カラー・コーディング、使用されたデータ・レーン数、データ・ラインの速度に応じて、次のように相当ピクセル・クロックを評価できます。

$$\text{ピクセル・クロック} = (\text{lane_ratexnumber_of_lanes}) / \text{bits_per_pixel}$$

例として、500Mbit/秒のデータ・レーン2つ、合計1Gbit/秒のデータ・レートを使用している場合：

- ピクセル当たり 16-bit のコーディング：
最大相当ピクセル・クロックは、1Gbit/秒／16bpp = 62.5MHz です。
- ピクセル当たり 24-bit のコーディング：
最大相当ピクセル・クロックは、1Gbit/秒／24bpp = 41.5MHz です。

表 38 に、カラー・コーディングと DSI リンク速度に関連した最大ピクセル・クロック周波数を示します。

表 38. カラー・コーディングと DSI リンク速度に応じた最大ピクセル・クロック周波数

-	1データ・レーン (500Mbit/秒)	2データ・レーン (1Gbit/秒)
24bpp	20.83 MHz	41.66 MHz
16bpp	31.25 MHz	62.5 MHz

7.2 LTDC ピクセル・クロックでのシステム制約の影響

最大相当ピクセル・クロックは、システム制約の影響を受ける可能性があります。アプリケーションの使用事例に応じて、システム制約で LTDC ピクセル・クロックを低下させなければならない場合があります。

システム制約に関連したサポートされている最大ピクセル・クロックの詳細については、AN4861「LCD-TFT display controller (LTDC) in STM32 microcontrollers」を参照してください。

7.3 DSI リンク帯域幅の推定

このセクションでは、ビデオ・モードおよびアダプテッド・コマンド・モードで必要な DSI リンク帯域幅を評価することを目的としています。

7.3.1 ビデオ・モード

ビデオ・モードでは、LTDC ピクセル・クロックと最小リンク BW（帯域幅）がディスプレイ・タイミングの影響を受けます。

ピクセル・クロックは次の式で計算できます。

$$\text{ピクセル・クロック} = \text{幅合計} \times \text{高さ合計} \times \text{レーン数} \times \text{リフレッシュ・レート}$$

ディスプレイを駆動するために必要な最小 DSI リンク BW は次の式で計算します。

$$\text{最低 DSI リンク BW} = \text{ピクセル・クロック} \times \text{色深度}$$

次のタイミングのディスプレイを例とします。

- HSA = 5、HBP = 35、HACT = 800、HFP = 35
- VSA = 2、VBP = 20、VACT = 480、VFP = 20
- リフレッシュ・レート = 60fps
- 色深度 = 24bpp
 - ピクセル・クロック = $875 \times 522 \times 60 = 27.4\text{MHz}$
 - 最小リンク BW = 657Mbit/秒

これがディスプレイを駆動するために必要な最小リンク BW です。

最大レーン・レートは500Mbit/秒であるため、このディスプレイは1つのレーンだけでは駆動できません。

このディスプレイは、最小レーン・レート各328Mbit/秒で2つのレーンによって駆動できます。

注： 上記のリンク BW では、最小必要 BW と使用するレーン数だけを推定できます。ビデオ・モード・タイプ（バーストと非バースト）およびプロトコル・オーバーヘッドは、選択するリンク BW に影響します。

バースト・モードでは、DSI リンク BW を増加させることができます。これにより、DSI ホストは LP モードに長期間移行できるほど高速でピクセル・データを送信できます。

非バースト・モードでは、[セクション：93 ページの DSI ビデオ・パケット・パラメータ](#)のセクションの式1および2に示すようにプロトコル・オーバーヘッドを考慮するために、DSI リンク BW の計算を微調整する必要があります。

いずれの場合でも、DSI BW が増加しても、LTDC ピクセル・クロックはディスプレイのビデオ・タイミングから計算したのと同じ値を保持する必要があります。

7.3.2 アダプテッド・コマンド・モード

アダプテッド・コマンド・モードでは、最大 GRAM リフレッシュ時間がディスプレイの内部リフレッシュ・レートの影響を受けます。

最大許容リフレッシュ時間は、視覚的な乱れやティアリングを回避するために、1/（ディスプレイのリフレッシュ・レート）未満にする必要があります。

最大許容リフレッシュ時間は、次の式で求められます。

$$\text{最大リフレッシュ時間} = 1 / \text{ディスプレイのリフレッシュ・レート}$$

たとえば、ディスプレイの内部リフレッシュ・レートが 60Hz の場合、最大許容リフレッシュ時間は $1/60\text{Hz} = 16.6\text{ms}$ です。

DSI リンク BW は次の式で計算できます。

$$\text{DSI リンク BW} = \text{FB サイズ} / \text{リフレッシュ時間} = \text{HACT} \times \text{VACT} \times \text{色深度} / \text{リフレッシュ時間}$$

最小リンク BW は最大リフレッシュ時間を使用して計算します。最小 BW では、ディスプレイ側の視覚的な乱れを回避できます。

$$\text{最小 DSI リンク BW} = \text{HACT} \times \text{VACT} \times \text{色深度} / \text{最大リフレッシュ時間}$$

たとえば、16bpp の色深度で 60Hz ディスプレイ内部リフレッシュ・レートの 320 x 320 ディスプレイの場合：

$$\text{FB サイズ (KB)} = 320 \times 320 \times 2 / 1024 = 200\text{KB}$$

$$\text{最小リンク帯域幅} = 320 \times 320 \times 16 / 0.016 = 102\text{Mbit/秒}$$

この帯域幅は、102Mbit/秒でレーンを1つだけ使用する場合にサポートできます。

LTDC ピクセル・クロックは以下の式で計算できます。

$$\text{LTDC ピクセル・クロック} = \text{DSI リンク BW} / \text{色深度}$$

この例では、LTDC ピクセル・クロック = 102 / 16 = 6.3MHz です。

システムがシングル・バッファを使用してフレームバッファを格納している場合、グラフィック演算の時間を十分に取るために GRAM リフレッシュ時間を最小限に抑えることが重要です。この処理は、DSI リンク速度を増加することで実行できます。

GRAM リフレッシュ時間は、次のように計算されます。

$$\text{リフレッシュ時間} = \text{HACT} \times \text{VACT} \times \text{色深度} / \text{DSI リンク BW}$$

リンク速度が 500Mbit/秒まで増加すると、ディスプレイ GRAM のリフレッシュに必要な時間は次のようになります。

$$\text{リフレッシュ時間} = 320 \times 320 \times 16 / 500 = 3\text{ms}$$

これにより、グラフィック演算用に 16.6ms - 3ms = 13.6ms が残ります。

注： DSI リンク速度を増加すると、ピクセル・クロックも増加させる必要があります。

この例の LTDC ピクセル・クロックは、500 / 16 = 31.25MHz まで増加しますが、LTDC 側で FIFO アンダーラン問題を回避するためにシステム制約に注意する必要があります。

最小リフレッシュ時間を保証するための最大リンク速度は、次に従って評価する必要があります。

- 最大 DSI リンクの物理的な制限（[セクション 7.1：LTDC ピクセル・クロックでの DSI リンク最大帯域幅の影響](#)を参照）。
- LTDC ピクセル・クロックでのシステム制約の影響（[セクション 7.2：LTDC ピクセル・クロックでのシステム制約の影響](#)を参照）

8 DSI ホストのアプリケーション例

このセクションでは、DSI ホストで駆動するディスプレイの使用事例をいくつか示します。DSI ホストの動作モードはディスプレイの特性に従って選択されます。リンク帯域幅とフレームバッファ・サイズの要件を [セクション 7 : DSI ホストのパフォーマンス](#) に示しています。

8.1 小型ディスプレイの駆動例

この例では、320 x 320 ピクセルの解像度で 16bpp の色深度の小型ディスプレイを駆動させています。

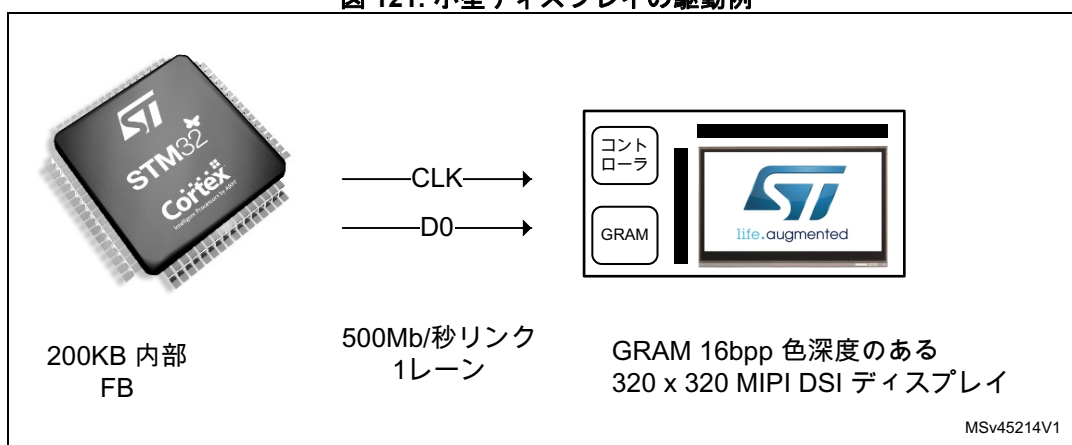
ディスプレイには、フレームバッファを格納する内部 GRAM が組み込まれています。そのため、ディスプレイの駆動にコマンド・モードを使用できます。

必要なフレームバッファ・サイズは 200KB であり、内部 SRAM に収まります。

マイクロコントローラ 側でシングル・バッファを使用するには、レーン・レートを 500Mbit/秒に設定してリフレッシュ動作の速度を上げ、グラフィック演算の時間を増加させます。

[図 121](#) に、コマンド・モードでの小型ディスプレイの駆動に関する設定例を示します。

図 121. 小型ディスプレイの駆動例



8.2 大型ディスプレイの駆動例

この例では、800 x 480 で 24bpp の色深度の大型ディスプレイを駆動させています。

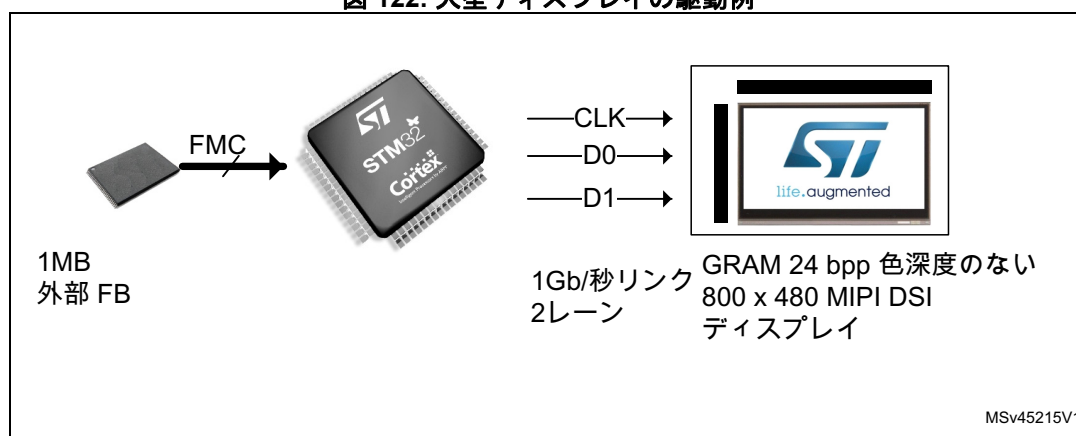
ディスプレイには、内部 GRAM が組み込まれていないため、ビデオ・モードを使用する必要があります。

必要なフレームバッファ・サイズは約 1MB であり、外部ストレージ・デバイスを使用する必要があります。外部 SRAM または SDRAM は FMC で駆動させてフレームバッファを格納できます。

ディスプレイ側で必要なリフレッシュ・レートを確保するには、2つのレーンを使用する必要があります。

図 122 に、ビデオ・モードでの大型ディスプレイの駆動に関する設定例を示します。

図 122. 大型ディスプレイの駆動例



9 サポートされているデバイス

STM32 DSI ホストは、MIPI DSI 仕様で定義されたすべての動作モードをサポートします。

コマンド・モードおよびすべてのビデオ・モードの種類（バースト、同期パルスでの非バースト、同期イベントでの非バースト）をサポートしています。

レーン当たり最大500Mbit/秒のデータ・レートをサポートしており、2つのデータ・レーン使用時は合計1Gbit/秒のリンク速度になります。

どの DSI 準拠のディスプレイともインタフェース接続できます。

10 まとめ

DSI ホストのある新しい STM32 マイクロコントローラは、ピン数の低減と DSI プロトコルの低消費電力機能により、ディスプレイと接続する最も効率的な方法です。

このアプリケーション・ノートでは、幅広いディスプレイとインタフェース接続できる STM32 DSI ホストの性能と機能について説明してきました。

顧客に柔軟性を提供する STM32 DSI ホストのスケラブルなアーキテクチャとさまざまな動作モードについても説明しました。

DSI ホストのアダプテッド・コマンド・モードは、ワンショット・リフレッシュ機能と低消費電力によってディスプレイとインタフェース接続する最も適切な方法ですが、完全なフレームバッファ GRAM が必要となり、ディスプレイ側のコストが高くなります。

コントローラと GRAM を組み込んでいないディスプレイの場合、ビデオ・バースト・モードがビデオ・モードの中で最も電力効率が良いため、最適な選択となります。ただし、ディスプレイ側でビデオ・ラインを格納する必要があります。

GRAM やライン・バッファのない低コスト・ディスプレイの場合、STM32 DSI ホストがこの種類のディスプレイとインタフェース接続するための非バースト・モードをサポートしています。

ユーザがアプリケーションの開発をすぐに開始できるように、STM32CubeMX を使用してステップ・バイ・ステップで設定について説明し、サンプル・コードも記載しました。

11 改版履歴

表 39. 文書改版履歴

日付	版	変更内容
2017 年 2 月 10 日	1	初版発行
2017年10月17日	2	更新 : – 資料のタイトル – 表紙 : 関連ドキュメント – セクション : 82 ページのビデオ制御信号の極性 – 95 ページのnull パケットを有効にした4つのチャンクの設定例 : – セクション : 114 ページのLTDC 設定 – 図 121 : 小型ディスプレイの駆動例 追加 : – セクション : LTDC 停止極性 削除 : – 表 1 : 対象とする製品

表 40. 日本語版文書改版履歴

日付	版	変更内容
2021 年 3 月 31 日	1	日本語版初版発行

重要なお知らせ（よくお読み下さい）

STMicroelectronics NV およびその子会社（以下、ST）は、ST製品及び本書の内容をいつでも予告なく変更、修正、改善、改定及び改良する権利を留保します。購入される方は、発注前にST製品に関する最新の関連情報を必ず入手してください。ST製品は、注文請書発行時点で有効なSTの販売条件に従って販売されます。

ST製品の選択並びに使用については購入される方が全ての責任を負うものとします。購入される方の製品上の操作や設計に関してSTは一切の責任を負いません。

明示又は黙示を問わず、STは本書においていかなる知的財産権の実施権も許諾致しません。

本書で説明されている情報とは異なる条件でST製品が再販された場合、その製品についてSTが与えたいかなる保証も無効となります。

STおよびSTロゴはSTMicroelectronicsの商標です。その他の製品またはサービスの名称は、それぞれの所有者に帰属します。

本書の情報は本書の以前のバージョンで提供された全ての情報に優先し、これに代わるものです。

この資料は、STMicroelectronics NV並びにその子会社(以下ST)が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くためにSTマイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST及びSTマイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

© 2021 STMicroelectronics - All rights reserved