

STM32H72x、STM32H73x、およびシングルコア STM32H74x/75x システムのアーキテクチャと性能

概要

STM32H7 シリーズは、STMicroelectronics マイクロコントローラで 40 nm プロセス技術を用いた最初のシリーズです。この技術により、STM32H7 デバイスに大容量内蔵 Flash メモリと SRAM を統合することができ、一般にハイエンドの組込み開発を複雑にするリソースの制約を低減します。また、コアの性能を最大限に引き出し、大幅な消費電力の節約を実現しながら、システム全体の超高速データ転送を可能にします。

さらに、STM32H7 シリーズは最大 550 MHz で動作可能な Arm[®] Cortex[®]-M7 ベースの 32 ビットマイクロコントローラの最初のシリーズで、1177 DMIPS および 2777 CoreMark[®] の性能新記録を達成しています。

STM32H7 シリーズは高性能製品として STM32F7 シリーズの後継シリーズであり、大幅に改善されたアーキテクチャにより、STM32F7 シリーズのデバイスと比較して性能が向上しています。

STM32H7 シリーズデバイスのアーキテクチャと性能により、産業用ゲートウェイ、ホームオートメーション、電気通信機器ならびにコンシューマ向けスマート製品、高性能モータ制御ならびに家庭用電気製品、およびスマートウォッチなどのリッチなユーザインタフェースを備えた小型デバイスでの使用に最適です。

このアプリケーション・ノートでは、STM32H72x、STM32H73x、STM32H742x、STM32H743/753x、および STM32H750x のシングルコアマイクロコントローラ（以下 STM32H72x/73x/74x/75x という）について取り上げます（表 1 を参照）。本書では、デュアルコアデバイスについては取り上げません。本書の目的は、最高の性能と追加コードとデータサイズのトレードオフを実現する高度な柔軟性を提供する、デバイスのグローバルアーキテクチャとそのメモリインタフェースならびに機能を示すことです。

また、このアプリケーション・ノートでは、コードとデータの位置が異なるさまざまなメモリ分割設定における STM32H74x/75x Arm[®] Cortex[®]-M7 シングルコアアーキテクチャ性能のソフトウェアデモンストレーションの結果を提供しています。

このアプリケーション・ノートは、STM32H742x、STM32H743/753x、および STM32H750x マイクロコントローラ専用の X-CUBE-PERF-H7 拡張パッケージとともに提供されます。この拡張パッケージには、H7_single_cpu_perf プロジェクトが含まれています。これは、L1 キャッシュを使用し、さまざまなメモリ位置でコード実行やデータストレージを行うことで、さまざまな設定で CPU メモリアクセスの性能を実証することを目的としています。このプロジェクトは STM32H743I-EVAL ボードで動作します。

参考文献

- リファレンスマニュアル STM32H723/733, STM32H725/735 and STM32H730 Value line advanced Arm[®]-based 32-bit MCUs (RM0468)
- リファレンスマニュアル STM32H742, STM32H743/753 and STM32H750 Value line advanced Arm[®]-based 32-bit MCUs (RM0433)

ドキュメントはすべて、STMicroelectronics のウェブサイト (www.st.com) から入手できます。

目次

1	一般情報	6
2	STM32H72x/73x/74x/75x システムアーキテクチャの概要	6
2.1	Cortex [®] -M7 コア	6
2.2	Cortex [®] -M7 システムキャッシュ	7
2.3	Cortex [®] -M7 メモリインタフェース	7
2.3.1	AXI バス・インタフェース	7
2.3.2	TCM バス・インタフェース	8
2.3.3	AHBS バス・インタフェース	8
2.3.4	AHBP バス・インタフェース	9
2.4	STM32H72x/73x/74x/75x 相互接続マトリックス	9
2.4.1	D1 ドメインの AXI バスマトリックス	12
2.4.2	D2 および D3 ドメインの AHB バスマトリックス	13
2.4.3	ドメイン間バス	14
2.5	STM32H72x/73x/74x/75x のメモリ	19
2.5.1	内蔵 Flash メモリ	19
2.5.2	内蔵 RAM	20
2.5.3	外部メモリ	24
2.6	STM32F7 シリーズと、STM32H72x、STM32H73x、STM32H74x、および STM32H75x デバイスとの主なアーキテクチャの違い	31
3	標準アプリケーション	33
3.1	FFT のデモンストレーション	33
3.2	デモンストレーションプロジェクトの設定	34
4	ベンチマークの結果と分析	38
4.1	ベンチマークの結果	39
4.1.1	データと命令の位置が性能に与える影響	39
4.1.2	基本パラメータが性能に与える影響	44
4.2	結果分析	47
5	ソフトウェアのメモリ分割とヒント	48
5.1	ソフトウェアのメモリ分割	48
5.2	推奨事項とヒント	50

6	まとめ	51
7	改版履歴	52

表の一覧

表 1.	このアプリケーション・ノートの対象となる STM32H7 ライン	6
表 2.	STM32H72x/73x/74x/75x デバイスカッシュサイズ	7
表 3.	リセット後の Cortex [®] -M7 のデフォルトのメモリ属性	8
表 4.	STM32H72x/73x/74x/75x におけるバスマスタとバススレーブの使用可能な相互接続	16
表 5.	STM32H72x および STM32H73x の内部メモリの概要	23
表 6.	STM32H74x および STM32H75x の内部メモリの概要	23
表 7.	STM32F7 シリーズと、STM32H72x、STM32H73x、STM32H74x、および STM32H75x デバイスとのアーキテクチャの違い	31
表 8.	異なるメモリ位置における MDK-ARM のデータストレージの結果 (実行位置は ITCM-RAM に固定)、CPU が 480 MHz で動作している場合 (AHB_FREQ_HALF_CORE_FREQ、USE_VOS0_480MHZ = 1、Flash ws = 4)	39
表 9.	異なるメモリ位置における MDK-ARM の実行の結果 (データロケーションは DTCM-RAM に固定)、CPU が 480 MHz で動作している場合 (AHB_FREQ_HALF_CORE_FREQ、USE_VOS0_480MHZ = 1、Flash ws = 4)	40
表 10.	異なるメモリ位置における MDK-ARM のデータストレージの結果 (実行位置は ITCM-RAM に固定)、CPU が 240 MHz で動作している場合 (AHB_FREQ_EQU_CORE_FREQ、USE_VOS0_480MHZ = 1、Flash ws = 4)	40
表 11.	異なるメモリ位置における MDK-ARM の実行の結果 (データロケーションは DTCM-RAM に固定)、CPU が 240 MHz で動作している場合 (AHB_FREQ_EQU_CORE_FREQ、USE_VOS0_480MHZ = 1、Flash ws = 4)	40
表 12.	異なるメモリ位置における MDK-ARM のデータストレージの結果 (実行位置は ITCM-RAM に固定)、CPU が 400 MHz で動作している場合 (AHB_FREQ_HALF_CORE_FREQ、USE_VOS0_480MHZ = 0、Flash ws = 2)	41
表 13.	異なるメモリ位置における MDK-ARM のデータストレージの結果 (実行位置は ITCM-RAM に固定)、CPU が 400 MHz で動作している場合 (AHB_FREQ_HALF_CORE_FREQ、USE_VOS0_480MHZ = 0、Flash ws = 2)	41
表 14.	異なるメモリ位置における MDK-ARM のデータストレージの結果 (実行位置は ITCM-RAM に固定)、CPU が 200 MHz で動作している場合 (AHB_FREQ_EQU_CORE_FREQ、USE_VOS0_480MHZ = 0、Flash ws = 2)	41
表 15.	異なるメモリ位置における MDK-ARM の実行の結果 (データロケーションは DTCM-RAM に固定)、CPU が 200 MHz で動作している場合 (AHB_FREQ_EQU_CORE_FREQ、USE_VOS0_480MHZ = 0、Flash ws = 2)	42
表 16.	Flash ウェイトステートの数と性能 (MDK-ARM) /CPU が 480 MHz で動作している場合 / AXI が 240 MHz で動作している場合 (VOS0)	45
表 17.	Flash ウェイトステートの数と性能 (MDK-ARM) /CPU が 400 MHz で動作している場合 / AXI が 200 MHz で動作している場合 (VOS1)	45
表 18.	SDRAM データ読出し / 書き込みアクセス性能と 6 - D1_ITCM - D1_SDRAM 設定に基づく バス幅およびクロック周波数	46
表 19.	SDRAM からの実行性能と 10 - D1_SDRAM_Swapped - D1_DTCM の設定に基づくバス幅 およびクロック周波数	46
表 20.	6 - D1_ITCM - D1_SDRAM 設定に基づくスワップされたバンク設定またはスワップされない バンク設定での SDRAM データ読出し / 書き込みアクセス性能	46
表 21.	10 - D1_SDRAM_Swapped - D1_DTCM 設定に基づくスワップされたバンク設定または スワップされないバンク設定での SDRAM からの実行性能	47
表 22.	文書改版履歴	52
表 23.	日本語版文書改版履歴	54

図の一覧

図 1.	STM32H72x および STM32H73x のシステムアーキテクチャ	10
図 2.	STM32H74x および STM32H75x のシステムアーキテクチャ	11
図 3.	D1、D2、および D3 ドメインのメモリへの D1/D2 マスタアクセスの例 (STM32H74x および STM32H75x)	18
図 4.	STM32H72x/73x/74x/75x Flash メモリアクセス	20
図 5.	STM32H72x および STM32H73x の外部メモリマッピング	25
図 6.	STM32H74x および STM32H75x の外部メモリマッピング	26
図 7.	STM32H74x および STM32H75x の外部メモリインタフェースの例	27
図 8.	FFT の例のブロック図	33
図 9.	Keil® (MDK-ARM) 設定の選択	34
図 10.	MDK-ARM フラグ設定	35
図 11.	MDK-ARM のヒープとスタックの設定	37
図 12.	仮想 COM ポート番号	37
図 13.	STM32H74x および STM32H75x の FFT ベンチマーク : MDK-ARM ツールチェーンを使用した 480 MHz での異なるメモリ位置 (ITCM-RAM のコード) におけるデータストレージ	42
図 14.	STM32H74x および STM32H75x の FFT ベンチマーク : MDK-ARM ツールチェーンを使用した 480 MHz での異なるメモリ位置 (DTCM-RAM の R/W データ) からのコード実行	43
図 15.	STM32H74x および STM32H75x の FFT ベンチマーク : MDK-ARM ツールチェーンを使用した 400 MHz での異なるメモリ位置 (ITCM-RAM のコード) におけるデータストレージ	43
図 16.	STM32H74x および STM32H75x の FFT ベンチマーク : MDK-ARM ツールチェーンを使用した 400 MHz での異なるメモリ位置 (DTCM-RAM の R/W データ) からのコード実行	44

1 一般情報

本書は、STM32 Arm[®] ベース^(a) のマイクロコントローラに適用されます。



2 STM32H72x/73x/74x/75x システムアーキテクチャの概要

このセクションでは、STM32H72x/73x/74x/75x の主なアーキテクチャ機能を紹介します。
表 1 は、関連する製品ラインを定義します。

表 1. このアプリケーション・ノートの対象となる STM32H7 ライン

一般的な部品番号	製品ライン
STM32H72x, STM32H73x	STM32H723/733, STM32H725/735, STM32H730 バリュールライン
STM32H74x, STM32H75x	STM32H742, STM32H743/753 ライン、STM32H750 バリュールライン

2.1 Cortex[®]-M7 コア

STM32H72x/73x/74x/75x デバイスは、最大 480 MHz (STM32H74x/75x) および 550 MHz (STM32H72x/73x) の周波数で動作する、高性能 Arm[®] Cortex[®]-M7 32 ビット RISC コアをベースとしています。Cortex[®]-M7 コアは、高性能浮動小数点ユニット (FPU) に加え、倍精度浮動小数点ユニットも備えており、Arm[®] のすべての単精度および倍精度のデータ処理命令とデータ型をサポートしています。また、アプリケーションのセキュリティを強化する DSP のすべての命令とメモリ保護ユニット (MPU) も実装しています。STM32H72x/73x/74x/75x デバイスに内蔵された MPU では、最大 16 の MPU 領域を定義できます。Cortex[®]-M4 から Cortex[®]-M7 への上位互換性により、Cortex[®]-M4 用にコンパイルされたバイナリを Cortex[®]-M7 で直接実行できます。

Cortex[®]-M7 には、分岐予測と 2 命令同時発行 (dual-issue instructions) が可能な 6/7 ステージのスーパースカラパイプラインがあります。分岐予測機能を使用すると、分岐の分析により次の分岐を予測できるため、ループによって消費されるサイクル数を低減できます。2 命令同時発行機能により、コアは 2 つの命令を同時に実行して、命令のスループットを向上させることができます。

a. Arm は、米国内およびその他の地域にある Arm Limited (またはその子会社) の登録商標です。

2.2 Cortex[®]-M7 システムキャッシュ

デバイスには、データキャッシュ (DCACHE) と命令キャッシュ (ICACHE) の 2 つの個別のキャッシュに分割されるレベル 1 キャッシュ (L1-キャッシュ) が Cortex[®]-M7 に内蔵されており、最高性能を実現するハーバード・アーキテクチャを実装します。これらのキャッシュにより、Cortex[®]-M7 は周波数が高くてもゼロウェイトステートの性能に達します。命令キャッシュとデータキャッシュの両方のキャッシュサイズを表 2 に示します。

デフォルトでは、命令キャッシュとデータキャッシュは両方とも無効です。

Arm[®] CMSIS ライブラリには、データキャッシュと命令キャッシュを有効にする 2 つの関数が用意されています。

- SCB_EnableICache () は命令キャッシュを有効にします。
- SCB_EnableDCache () はデータキャッシュを有効または無効にします。

キャッシュの有効化と無効化の詳細については、www.arm.com ウェブサイトから入手可能な Arm[®] Cortex[®]-M7 プロセッサ - テクニカルリファレンスマニュアルを参照してください。

STM32H72x/73x/74x/75x デバイスでの L1-キャッシュの使用方法の詳細については、アプリケーション・ノート STM32F7 および STM32H7 シリーズにおけるレベル 1 キャッシュ (AN4839) を参照してください。

表 2. STM32H72x/73x/74x/75x デバイスキャッシュサイズ

デバイス	命令キャッシュサイズ	データキャッシュサイズ
STM32H72x/73x	32 KB	32 KB
STM32H74x/75x	16 KB	16 KB

2.3 Cortex[®]-M7 メモリインタフェース

Cortex[®]-M7 には、AXIM、ITCM、DTCM、AHBS、AHBP の 5 つのインタフェースがあります。このセクションでは、それぞれについて説明します。

2.3.1 AXI バス・インタフェース

AXI は、Advanced eXtensible Interface (アドバンスド・エクステンシブル・インタフェース) の略です。Cortex[®]-M7 は AXIM AMBA[®] 4 を実装します。これは、より多くの命令フェッチとデータロードの帯域幅に対応する 64 ビット幅のインタフェースです。

TCM または AHBP インタフェースに対するものではないアクセスは、キャッシュが有効な場合、適切なキャッシュコントローラによって処理されます。ユーザは、メモリ領域のすべてがキャッシュ可能ではないことを考慮する必要があります。キャッシュ可能性は、メモリタイプに依存します。

- 共有メモリ、デバイス、または Strongly-ordered のメモリ領域は、キャッシュできません。
- ノーマルメモリタイプのみキャッシュ可能です。

メモリ属性と動作の詳細ならびに一般的なルールについては、STM32F7 および STM32H7 シリーズ Cortex[®]-M7 プロセッサプログラミングマニュアル (PM0253) を参照してください。

メモリ領域のタイプと属性を変更するには、MPU を使用して、メモリ領域をキャッシュ可能領域に設定できます。これには、TEX フィールドと MPU_RASR レジスタの S、C、B ビットを設定します。

表 3 に、Cortex[®]-M7 リセット後のメモリ領域属性の一覧を示します。

表 3. リセット後の Cortex[®]-M7 のデフォルトのメモリ属性

アドレス範囲	領域名	タイプ	属性	実行不可 (Execute Never) ?
0x0000 0000-0x1FFF FFFF	エンコード	ノーマル	キャッシュ可能、ライトスルー、 読出しミス時に割り当て	いいえ
0x2000 0000-0x3FFF FFFF	SRAM	ノーマル	キャッシュ可能、ライトバック、 読出しおよび書込みミス時に 割り当て	いいえ
0x4000 0000-0x5FFF FFFF	ペリフェラル	デバイス	共有不可	はい
0x6000 0000-0x7FFF FFFF	RAM_	ノーマル	キャッシュ可能、ライトバック、 読出しおよび書込みミス時に 割り当て	いいえ
0x8000 0000-0x9FFF FFFF	RAM_	ノーマル	キャッシュ可能、ライトスルー、 読出しミス時に割り当て	いいえ
0xA000 0000-0xBFFF FFFF	外部デバイス	デバイス	共有可能	はい
0xC000 0000-0xDFFF FFFF	外部デバイス	デバイス	共有不可	はい
0xE000 0000-0xE000 FFFF	プライベートペリ フェラルバス	Strongly- ordered	-	はい
0xE001 0000-0xFFFF FFFF	ベンダーシステム	デバイス	共有不可	はい

STM32H72x/73x/74x/75x では、64 ビット AXI マスタバスがコアを 64 ビット AXI バスマトリックス (D1 ドメイン) に接続します。

2.3.2 TCM バス・インタフェース

TCM (密結合メモリ) は、Cortex[®]-M7 メモリを内部 RAM に接続するために提供されています。TCM インタフェースは、ハーバード・アーキテクチャであり、ITCM (命令 TCM) および DTCM (データ TCM) インタフェースを備えています。ITCM には 1 つの 64 ビットメモリインタフェースがある一方、DTCM は 2 つの 32 ビット幅ポート、D0TCM と D1TCM に分割されています。

Cortex[®]-M7 CPU は、64 ビット ITCM バスを使用して ITCM から命令をフェッチし、ITCM-RAM にあるデータ (リテラルプール) にアクセスします。ITCM は Cortex[®]-M7 によってゼロウェイトステートの CPU クロックスピードでアクセスされます。DTCM インタフェースでも、命令をフェッチできます。

STM32H72x/73x/74x/75x アーキテクチャでは、CPU と MDMA のみが、ITCM および DTCM インタフェースに接続されたメモリにアクセスできます。

2.3.3 AHBS バス・インタフェース

Cortex[®]-M7 AHBS (AHB スレーブ) は、ITCM、D1TCM、および D0TCM へのシステムアクセスを提供する 32 ビット幅のインタフェースです。ただし、STM32H72x/73x/74x/75x アーキテクチャでは、Cortex[®]-M7 を除き、AHBS によって MDMA のみを使用した DTCM-RAM と ITCM-RAM との間のデータ転送が可能です。AHBS インタフェースはコアが SLEEP 状態でも使用できるため、TCM-RAM との間の MDMA 転送は低電力モードで実行できます。この接続は、図 3 では薄いピンク色のパスで表されます。

2.3.4 AHBP バス・インタフェース

AHBP インタフェース (AHB ペリフェラル) は、Cortex[®]-M7 からペリフェラルへの接続専用の 32 ビット幅の単一のインタフェースです。データアクセスにのみ使用されます。命令フェッチがこのインタフェースで実行されることはありません。

STM32H72x/73x/74x/75x アーキテクチャでは、このインタフェースは D2 ドメインにある 32 ビット AHB バスマトリックスに接続された AHB ペリフェラルに Cortex[®]-M7 コアを接続します (セクション 2.4 を参照)。このバスの対象は、D2 ドメインにある AHB1、AHB2、APB1、および APB2 ペリフェラルです。この接続は、図 2 では濃い緑色のバスで表されます。D1 および D3 ドメインにあるペリフェラル (セクション 2.4 を参照) は AXI バスを介して Cortex[®]-M7 によって検出されますが、D2 ドメインにあるペリフェラルは AHBP バスを介して Cortex[®]-M7 によって検出されます。

2.4 STM32H72x/73x/74x/75x 相互接続マトリックス

STM32H72x/73x/74x/75x デバイスは、複数のバスマトリックスを内蔵した最初の STM32 マイクロコントローラで、性能と消費電力の最適な妥協点を得ることができます。また、ハイスピードペリフェラルの同時動作を効率的に行うことができ、複数のマスタが同時にアクティブな場合にバスの混雑を解消します (個別のバスマトリックスに配置された異なるマスタ)。

STM32H72x/73x/74x/75x には、3 つの個別のバスマトリックスがあります。各バスマトリックスは、ドメインに関連付けられています。

- 64 ビット AXI バスマトリックス (D1 ドメイン) : 高性能機能を備えており、高速性を必要とする動作専用です。広帯域ペリフェラルは、AXI バスマトリックスに接続されます。
- 32 ビット AHB バスマトリックス (D2 ドメイン) : 通信ペリフェラルとタイマは、このバスマトリックスに接続されます。
- 32 ビット AHB バスマトリックス (D3 ドメイン) : リセット、クロック制御、電源管理、および GPIO は、このドメインにあります。

最大バスマトリックス周波数は、CPU の最大周波数の半分です。Cortex[®]-M7 の場合のみ、ITCM-RAM および DTCM-RAM が CPU 周波数で動作できます。

すべてのバスマトリックスはドメイン間バスによって接続されており、所定のドメインにあるマスタは別のドメインにあるスレーブにアクセスできますが、BDMA マスタはアクセスが D3 ドメインにあるリソースに制限されているため例外です。

図 1 および図 2 に、STM32H72x/73x/74x/75x のシステム全体のアーキテクチャならびに相互接続マトリックスの接続を示します。



図 1. STM32H72x および STM32H73x のシステムアーキテクチャ

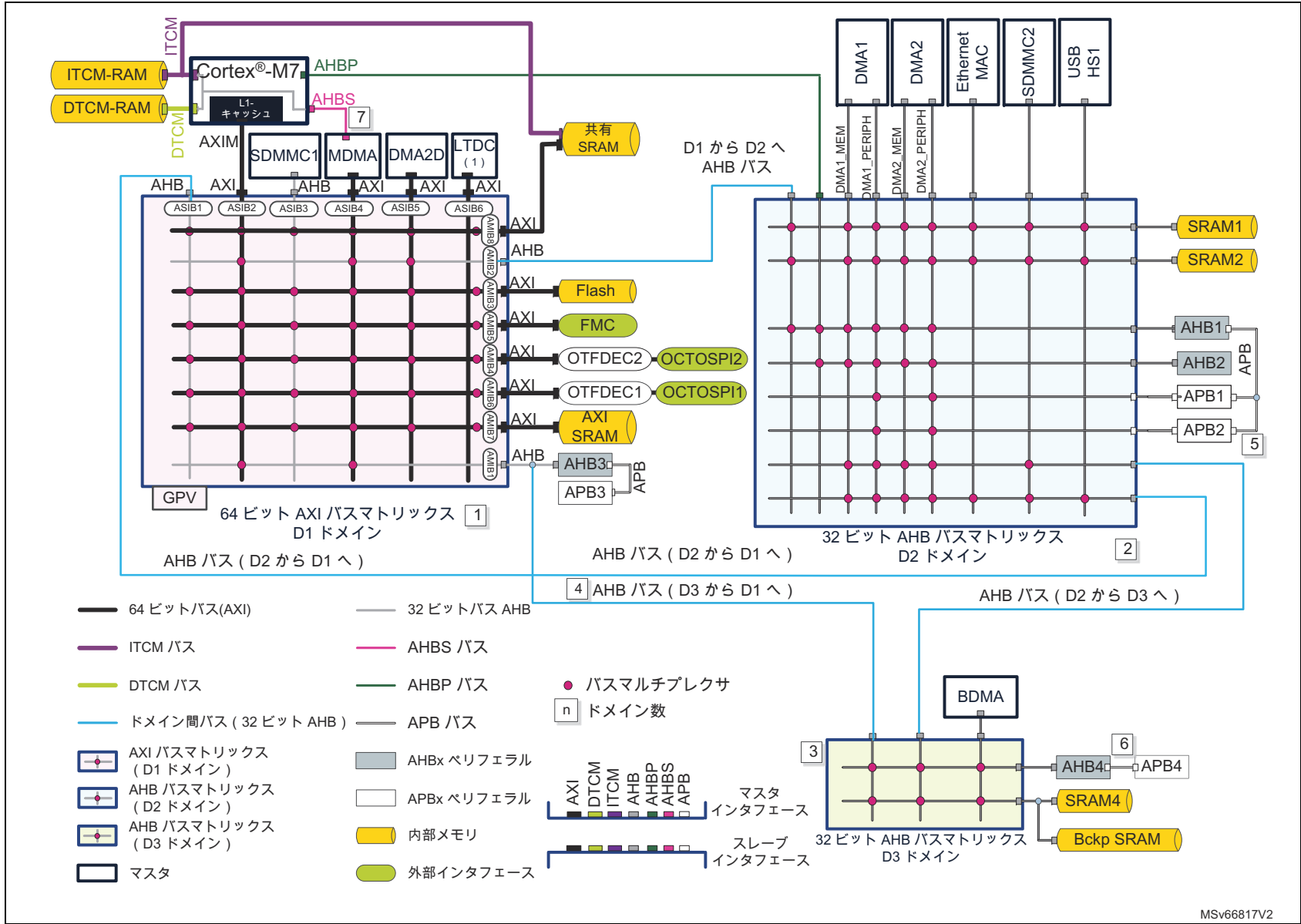
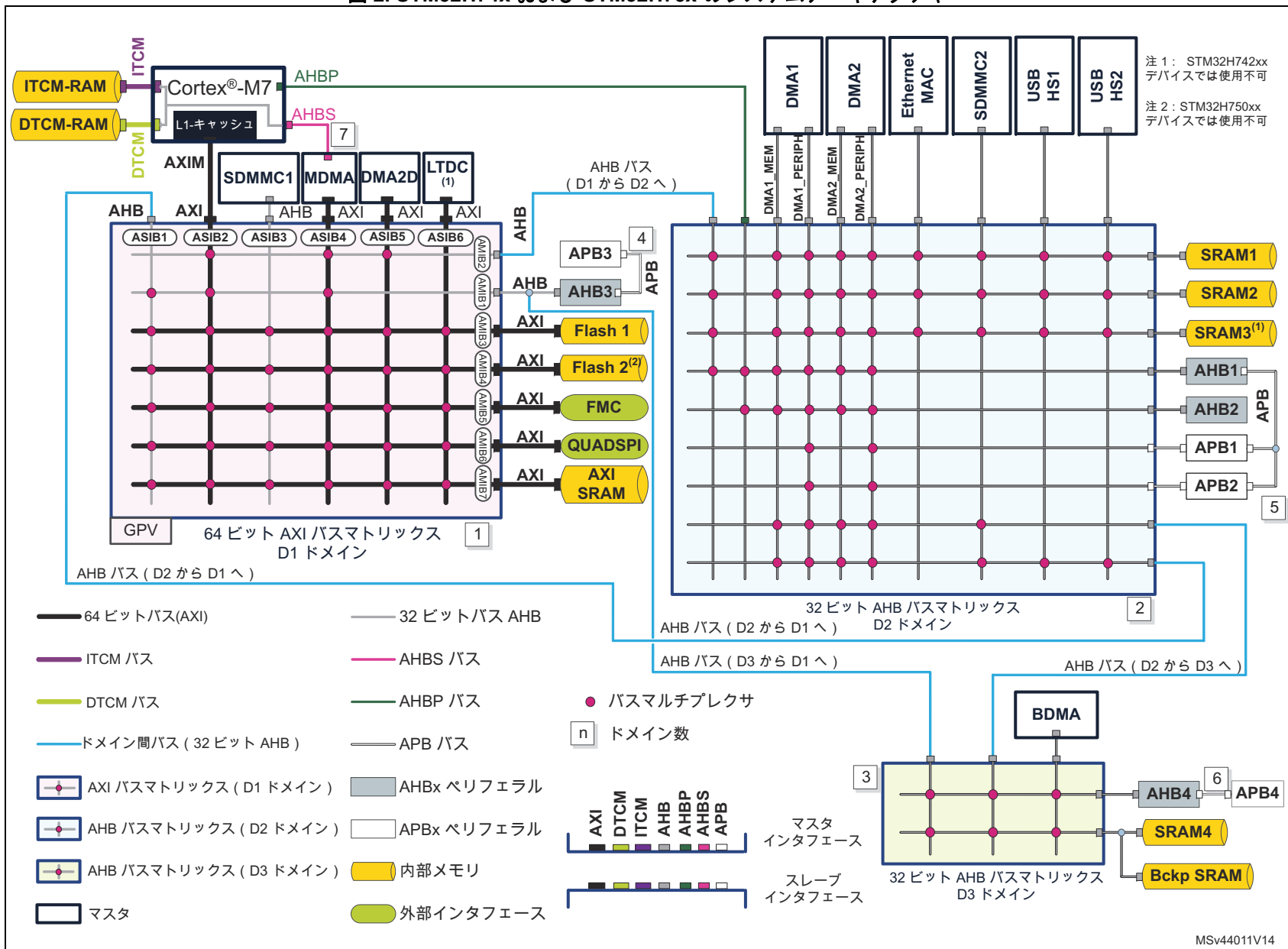


図 2. STM32H74x および STM32H75x のシステムアーキテクチャ



MSv44011V14

2.4.1 D1 ドメインの AXI バスマトリックス

AXI インタコネクタは Arm[®] CoreLink[™] NIC-400 Network Interconnect に基づいています。これには、マスタが接続される ASIB (AMBA スレーブインタフェースブロック) と呼ばれるイニシエータポートが 6 つと、スレーブが接続される AMIB (AMBA マスタインタフェースブロック) と呼ばれるターゲットポートが最大 8 つあります。

AXI バスマトリックスは、D1 ドメインにあります。CPU の最大周波数の半分で動作できます。ASIB と AMIB を接続する 64 ビットバスマトリックスであり、コア AXI バス、マスタバス、およびスレーブバス間で多数の平行アクセスパスを有効にします。これにより、複数のハイスピードペリフェラルが同時動作中であっても、同時アクセスや効率的な動作を行うことが可能になっています。内部アービタは、QoS 機能 (サービス品質) を備えたラウンドロビン方式を使用して、バスマトリックス上での競合やマスタのバスの同時使用を解決します。各マスタには 0 ~ 15 のプログラム可能な読出しチャネルと書込みチャネルの優先順位があり、値が高いほど優先順位が高くなるように、AXI_INIX_READ_QOS および AXI_INIX_WRITE_QOS レジスタでそれぞれ設定されています。2 つのマスタが同時に同じスレーブにアクセスしようとした場合、優先順位の高いトランザクションを持つマスタが、もう一方のマスタよりも前に所定のスレーブにアクセスします。2 つのトランザクションの QoS 値が同じ場合は、最も長い時間使われていない (LRU) 優先順位方式が採用されます。QoS は、各 ASIB での QoS レベルなど、一部のパラメータを設定するレジスタを含む Global Programmer View (GPV) で設定できます。

QoS は、Cortex[®]-M7 CPU に対する LTDC および DMA2D の優先順位を上げるグラフィック処理などのタスクに有用です。

AXI バスマトリックスは以下のものを相互接続します。

- 6 個のバスマスタ :
 - Cortex[®]-M7 AXI バス
 - AHB ドメイン間 (D2 から D1 へ)、D2 ドメインを D1 ドメインに接続する 32 ビット AHB バス
 - SDMMC1 32 ビット AHB バス
 - MDMA 64 ビット AXI バス
 - LCD-TFT コントローラ 64 ビット AXI バス (STM32H742x デバイスでは使用不可)
 - Chrom-Art アクセラレータ (DMA2D) 64 ビット AXI バス
- 最大 8 個のバスのスレーブ :
 - AXI バス上の内蔵 Flash メモリバンク 1
 - AXI バスを介してアクセスされる最大 512 KB の AXI SRAM メモリ
 - AHB-APB ブリッジを含む AHB3 ペリフェラル、APB3 ペリフェラル、および AHB ドメイン間 (D1 から D3 へ)
 - 64 ビットアクセスの AXI バス上の FMC メモリインタフェース
 - D1 ドメインを D2 ドメインに接続するドメイン間 (D1 から D2 へ) の 32 ビット AHB バス
 - 64 ビットアクセスの AXI バス上の Quad-SPI メモリインタフェース (STM32H74x/75x でのみ使用可能)
 - AXI バス上の内蔵 Flash メモリバンク 2 (STM32H750x を除く STM32H74x/75x でのみ使用可能)
 - ITCM と RAM の間で共有される SRAM (STM32H72x/73x でのみ使用可能)
 - 64 ビットアクセスの AXI バス上の OCTOSPI1 メモリインタフェース (STM32H72x でのみ使用可能)
 - 64 ビットアクセスの AXI バス上の OCTOSPI2 メモリインタフェース (STM32H72x でのみ使用可能)

- 64 ビットアクセスの AXI バス上の OTFDEC1/OCTOSPI1 メモリインタフェース (STM32H73x でのみ使用可能)
- 64 ビットアクセスの AXI バス上の OTFDEC1/OCTOSPI2 メモリインタフェース (STM32H73x でのみ使用可能)

Cortex[®]-M7 は、システム内で使用可能なすべてのリソースにアクセスできます。AHB1 ペリフェラルは、AXI バスや AHB ドメイン間バス (D1 から D2 へ) ではなく、AHBP バスを介して CPU によってアクセスされます (図 2 を参照)。MDMA は、D2 ドメインにある AHB2 リソースを除き、システム内で使用可能なすべてのリソースにアクセスできます。

2.4.2 D2 および D3 ドメインの AHB バスマトリックス

AHB バスマトリックスは D2 および D3 ドメインにあります。最大周波数は、CPU の最大周波数の半分です。これらは、複数のマスタから複数のスレーブへの同時アクセスを可能にし、またアービトレーションを行います。これにより、ハイスピードペリフェラルとメモリの同時動作を効率的に行うことができます。

内部アービタは、ラウンドロビン方式を使用して、バスマトリックス上での競合やマスタのバスの同時使用を解決します。

D2 ドメインの AHB バスマトリックスは、通信ペリフェラルとタイマ専用です。これで次のバスを相互接続します。

- 最大 10 個のバスマスタ :
 - D1 ドメインを D2 ドメインに接続する AHB ドメイン間 (D1 から D2 へ)
 - D2 ドメイン上の AHB1 および AHB2 ペリフェラルへの CPU のアクセスを可能にする、Cortex[®]-M7 AHB ペリフェラルバス
 - DMA1 メモリ AHB バス
 - DMA1 ペリフェラル AHB バス
 - DMA2 メモリ AHB バス
 - DMA2 ペリフェラル AHB バス
 - Ethernet DMA AHB バス
 - SDMMC2 DMA AHB バス
 - USB OTG ハイスピード 1 DMA AHB バス
 - USB OTG ハイスピード 2 DMA AHB バス (STM32H74x/75x でのみ使用可能)
- 最大 9 個のバスのスレーブ :
 - 32 ビット AHB アクセスで最大 128 KB の内部 SRAM1
 - 32 ビット AHB アクセスで最大 128 KB の内部 SRAM2
 - 32 ビット AHB アクセスで 32 KB の内部 SRAM3 (STM32H742x を除き、STM32H74x/75x で使用可能)
 - APB1 および APB2 ペリフェラルへの Cortex[®]-M7 のアクセスを可能にする、AHB-APB ブリッジを含む AHB1 ペリフェラルバス
 - スピードペリフェラルを接続する AHB2 ペリフェラルバス
 - APB1 ペリフェラルへの DMA1 および DMA2 のアクセスを可能にする APB1 ペリフェラルバス
 - APB2 ペリフェラルへの DMA1 および DMA2 のアクセスを可能にする APB2 ペリフェラルバス
 - D2 ドメインを D3 ドメインに接続する AHB ドメイン間 (D2 から D3 へ)
 - D2 ドメインを D1 ドメインに接続する AHB ドメイン間 (D2 から D1 へ)

D3 ドメインの AHB バスマトリックスは、リセット、クロック制御、電源管理、および GPIO 専用です。これで次のものを相互接続します。

- 3つのイニシエータ：
 - D1 ドメインを D3 ドメインに接続する AHB ドメイン間 (D1 から D3 へ)
 - D2 ドメインを D3 ドメインに接続する AHB ドメイン間 (D2 から D3 へ)
 - BDMA メモリ AHB バス
- 2つのバススレーブ：
 - AHB-APB ブリッジ(図 2 の接続 6)を含む AHB4 ペリフェラルおよび APB4 ペリフェラル
 - 同じ AHB バスを共有する最大 64 KB の内部 SRAM4 と 4 KB のバックアップ SRAM

2.4.3 ドメイン間バス

AHB ドメイン間バス (D1 から D2 へ)

この 32 ビット AHB バスは、D1 ドメインにある AXI バスマトリックスを D2 ドメインにある AHB バスマトリックスに接続します。これにより、D1 ドメインのいくつかのマスタは、D2 ドメインのリソース (メモリとペリフェラル) にアクセスできます。

D1 ドメインにある Cortex[®]-M7、MDMA、および DMA2D のマスタのみが、D2 ドメインにある次のリソースにアクセスできます。SRAM1、SRAM2、SRAM3 (STM32H74x/75x の場合)、AHB1、APB1、および APB2 ペリフェラル。

SDMMC1 および LTDC は、D2 ドメインにあるリソースにアクセスできません。

そのため、たとえば、SDMMC1 または LTDC が SRAM1 の何らかのデータを必要とする場合、ユーザは SDMMC1 および LTDC によってアクセス可能な AXI SRAM に SRAM1 からのデータをコピーするために、MDMA または DMA2D を使用できます。

AHB ドメイン間バス (D2 から D1 へ)

この 32 ビットバスは、D2 ドメインを D1 ドメインにある AXI バスマトリックスに接続します。これにより、D2 ドメインのバスマスタは、D1 ドメインのリソースならびに AHB ドメイン間バス (D1 から D3 へ) を介して間接的に D3 ドメインにあるリソースにアクセスできます。

その結果、D2 ドメインにあるすべてのマスタ、DMA1、DMA2、SDMMC2、および USB OTG_HS コントローラは、D1 ドメインの内部メモリ (TCM-RAM を除く)、外部メモリ、および D1 ドメインにある AHB3 および APB3 ペリフェラル (STM32H74x/75x の場合) にアクセスできます。Ethernet ペリフェラルは、D1 リソースにアクセスできません。

AHB ドメイン間バス (D1 から D3 へ)

この 32 ビット AHB バスは、D1 ドメインを D3 ドメインの AHB バスマトリックスに接続します。これにより、D1 ドメインのマスタ、および間接的に D2 ドメインの一部のマスタが D3 ドメインにあるリソースにアクセスできます。

D1 ドメインにある Cortex[®]-M7 と MDMA の 2 つのマスタのみが、D3 ドメインにあるリソース、すなわち SRAM4、バックアップ SRAM、AHB4、および APB4 ペリフェラルにアクセスできます。SDMMC1、LTDC、および DMA2D は、これらのリソースにはアクセスできません。

SDMMC1、LTDC、および DMA2D が、たとえば SRAM4 の何らかのデータを必要とする場合は、それらを SRAM4 から AXI SRAM に転送するために MDMA を使用できます。

STM32H74x/75x の場合、AHB ドメイン間バス (D1 から D3 へ) によって、D2 ドメインにある一部のマスタが、D3 ドメインにあるリソースにアクセスできるようになります。USB OTG_HS などの D2 ドメインの一部のマスタは、AHB ドメイン間バス (D2 から D3 へ) を介して D3 にあるリソース

に直接アクセスできないことに注意してください。まず AHB (D2 から D1 へ)、次に AHB ドメイン間バス (D1 から D3 へ) を介してアクセスします (図 3 で、黄色でハイライトされている USBHS2 の SRAM4 へのアクセスパスを参照)。

AHB ドメイン間バス (D2 から D3 へ)

この 32 ビット AHB バスは、D2 ドメインを D3 ドメインの AHB バスマトリックスに接続します。これにより、D2 ドメインのマスタは、D3 ドメインのリソースにアクセスできます。

D2 ドメインにある DMA1、DMA2、および SDMMC2 は、AHB ドメイン間バス (D2 から D3 へ) を介して D3 にあるリソースに直接アクセスできます。STM32H74x/75x の場合、他のマスタは、まず AHB (D2 から D1 へ)、次に AHB ドメイン間バス (D1 から D3 へ) を介してアクセスします。Ethernet ペリフェラルは、D3 リソースにアクセスできません。

D3 ドメインにある基本 DMA (BDMA) コントローラは、バックアップ SRAM を含め、そのドメインにあるリソースにのみアクセスすることに注意してください。

表 4 に、異なるドメインにあるさまざまなマスタから別々のスレーブへの、使用可能な各種相互接続と各種アクセスパスの組み合わせを示します。表 4 の 1 から 7 までの番号は、図 2 に示されている番号を表しています。各番号は特定のドメインを表します。

表 4. STM32H72x/73x/74x/75x におけるバスマスタとバススレーブの使用可能な相互接続

バススレーブタイプ ⁽¹⁾	バスマスタ/タイプ ⁽¹⁾																	
	Cortex®-M7 - AXIM	Cortex®-M7 - AHB	Cortex®-M7 - ITCM	Cortex®-M7 - DTCM	SDMMC1	MDMA - AXI	MDMA - AHBS	DMA2D	LTDC ⁽²⁾	DMA1 - MEM	DMA1 - PERIPH	DMA2 - MEM	DMA2 - PERIPH	Ethernet MAC - AHB	SDMMC2 - AHB	USBHS1 - AHB	USBHS2 - AHB ⁽⁵⁾	BDMA - AHB
ITCM	-	-	D	-	-	-	7	-	-	-	-	-	-	-	-	-	-	-
DTCM	-	-	-	D	-	-	7	-	-	-	-	-	-	-	-	-	-	-
AHB3 ペリフェラル	1	-	-	-	-	1	-	-	21	21	-	21	21	-	21	21	21	-
APB3 ペリフェラル	14	-	-	-	-	14	-	-	214	214	-	214	214	-	214	214	214	-
Flash バンク 1	1	-	-	-	1	1	-	1	1	21	21	-	21	21	-	21	21	-
Flash バンク 2 ⁽⁴⁾	1	-	-	-	1	1	-	1	1	21	21	-	21	21	-	21	21	-
AXI SRAM	1	-	-	-	1	1	-	1	1	21	21	-	21	21	-	21	21	-
QUADSPI ⁽⁵⁾	1	-	-	-	1	1	-	1	1	21	21	-	21	21	-	21	21	-
ITCM と AXI の間で共有される RAM ⁽⁶⁾	1	-	-	-	1	1	-	1	1	21	21	-	21	21	-	21	21	-
OCTOSPI ⁽⁶⁾	1	-	-	-	1	1	-	1	1	21	21	-	21	21	-	21	21	-
FMC	1	-	-	-	1	1	-	1	1	21	21	-	21	21	-	21	21	-
SRAM 1	12	-	-	-	-	12	-	12	-	2	2	-	2	2	-	2	2	-
SRAM 2	12	-	-	-	-	12	-	12	-	2	2	-	2	2	-	2	2	-
SRAM 3 ⁽⁷⁾	12	-	-	-	-	12	-	12	-	2	2	-	2	2	-	2	2	-
AHB1 ペリフェラル	12	2	-	-	-	12	-	12	-	2	2	-	2	2	-	-	-	-
APB1 ペリフェラル	125	25	-	-	-	125	-	125	-	25	25	2	25	25	2	-	-	-
AHB2 ペリフェラル	-	2	-	-	-	-	-	-	-	2	2	-	2	2	-	-	-	-
APB2 ペリフェラル	125	25	-	-	-	125	-	125	-	25	25	2	25	25	2	-	-	-
AHB4 ペリフェラル	13	-	-	-	-	13	-	-	-	23	23	-	23	23	-	23 ⁽⁸⁾	213 ⁽⁸⁾	3
APB4 ペリフェラル	136	-	-	-	-	136	-	-	-	236	236	-	236	236	-	23 ⁽⁸⁾	213 ⁽⁸⁾	36
SRAM4	13	-	-	-	-	13	-	-	-	23	23	-	23	23	-	23 ⁽⁸⁾	213 ⁽⁸⁾	3
バックアップ RAM	13	-	-	-	-	13	-	-	-	23	23	-	23	23	-	23 ⁽⁸⁾	213 ⁽⁸⁾	3

- 太字は 64 ビットのバスを、通常字体は 32 ビットバスを表します。
- LTDC は STM32H742x デバイスでは使用できません。
- 表本体のセルは、アクセスできる可能性、ユーティリティ、バス、およびタイプを示しています。
 アクセスできる可能性およびユーティリティ:
 任意の数値 = アクセス可能、「-」= アクセス不可、灰色の網掛け = アクセス有効/使用可能
 アクセスバス:
 D = 直接、1 = AXI バスマトリックス経由、2 = D2 の AHB バスマトリックス経由、3 = D3 の AHB バスマトリックス経由、4 = D1 の AHB/APB ブリッジ経由、5 = D2 の AHB/APB ブリッジ経由、6 = D3 の AHB/APB ブリッジ経由、7 = Cortex®-M7 の AHBS バス経由、
 複数桁の数字 = 相互接続バスは、桁順に複数のマトリックスやブリッジを通る
 アクセスタイプ:
 通常字体 = 32 ビット、斜体 = バスマスタ終了時に 32 ビット/バススレーブ終了時に 64 ビット、太字 = 64 ビット
- Flash バンク 2 は STM32H750x デバイスを除く STM32H74x/75x デバイスでのみ使用できます。
- QUADSPI と USBHS2 は STM32H74x/75x デバイスでのみ使用できます。



6. STM32H72x/73x でのみ使用できます。
7. SRAM3 は STM32H742x を除く STM32H74x/75x でのみ使用できます。
8. STM32H74x/75x でのみ使用可能な接続です。

図 3 に、D1 および D2 ドメインにある一部のマスタが D1、D2、および D3 ドメインにあるリソースにアクセスするために使用するパスの一部（マスタアクセスパスの 10 個の例）を示します。この例は、STM32H74x/75x に基づいています。ただし、USBHS2 の SRAM4 へのアクセスパスを除き、STM32H72x/73x のパスは同じです。

2.5 STM32H72x/73x/74x/75x のメモリ

STM32H74x/75x デバイス (STM32H750x を除く) には、それぞれ最大 1 MB の 2 つの独立した Flash メモリバンクが内蔵されています。STM32H750x が 128 KB のシングル Flash メモリバンクを 1 つ備えている一方で、STM32H72x/73x には最大 1 MB の Flash メモリバンクが 1 つ内蔵されています。

すべてのデバイスに、さまざまなサイズで分散された SRAM が内蔵されており、FMC、Quad-SPI (STM32H74x/75x)、または Octo-SPI (STM32H72x/73x) などの外部メモリインタフェースがあります。分散アーキテクチャ設定により、アプリケーションの要件に従ってメモリリソースを柔軟に分割できるようになり、アプリケーションのコードサイズ、データサイズ、および省電力に対して、適切なトレードオフを実現します。

2.5.1 内蔵Flashメモリ

Flash メモリには、AXI バスを介して、読出またはおおよび書込みアクセスによってアクセスできます。

デュアルバンクデバイスでは、バンクには AXI バスマトリックスへの独自の AMIB 接続があり、これにより同時操作が可能になります。2 つのバンクで、2 つの読出し/プログラム/消去操作を並列に実行できます。これにより、2 つのマスタは異なるバンクにアクセスできるので、2 つのマスタが同時に Flash メモリにアクセスする場合の競合も回避できます。2 MB の Flash メモリを搭載したデバイスの場合、2 つのバンクはアドレス位置に関して連続しています。バンク 2 の開始アドレスは、バンク 1 の終了アドレスの直後です。これにより、Cortex[®]-M7 コアは、コードを格納するために Flash メモリ全体を 2 MB の 1 ブロックとして使用します。2 つのバンクに構成された 1 MB の Flash メモリを搭載した STM32H74x/75x デバイスではこの設定はサポートされておらず、2 つのバンクは隣接しません。STM32H72x/73x には、1 つのシングルバンクがあります。

STM32H72x/73x デバイスには、1 つのシングルバンクがあります。

Flash メモリは、256 ビットとして構成されています。読出しと書込みでは、命令およびデータに 256 ビット幅アクセス、エラーコード訂正 (ECC) 用に 10 ビット幅でアクセス可能です。

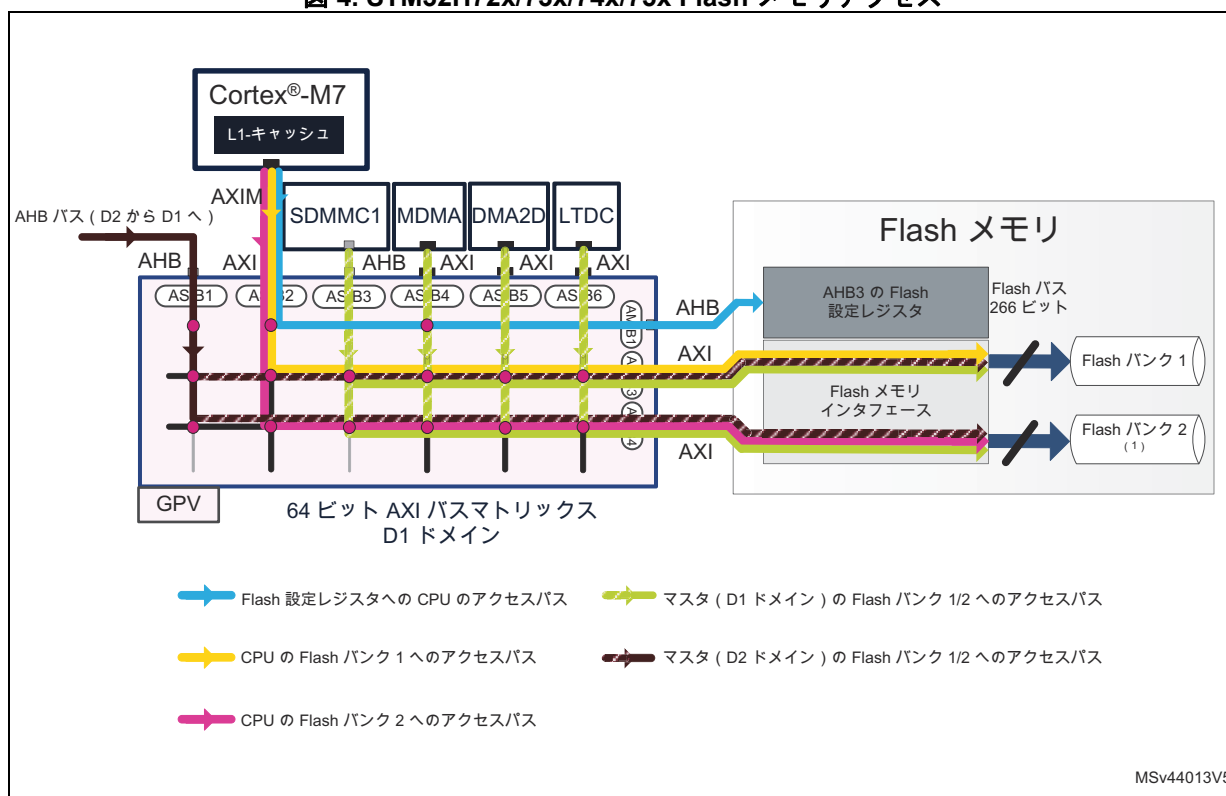
制御、設定、およびステータスレジスタアクセスの場合、Flash メモリインタフェースには、32 ビット AHB バスである AXIM/AHB3 のバスを介してアクセスできます (図 4 の青色のバスを参照)。

STM32H7 デバイスは、STM32 マイクロコントローラとして初めて最大 70 MHz で動作する Flash メモリを内蔵しています。ウェイトステート数は、同じ周波数で動作する、以前の STM32 デバイスと比較して結果的に減少します。この機能拡張によって遅延を減らせるため、システム性能が向上します。たとえば、AXI バスが 200 MHz で動作する場合、ウェイトステート数は 2 で、V_{CORE} 範囲は VOS1 レベルに設定されます。AXI バスが 240 MHz で動作する場合、ウェイトステート数は 4 で、V_{CORE} 範囲は VOS0 レベルに設定されます (V_{CORE} 範囲の詳細については、RM0433 および RM0468 リファレンスマニュアルを参照)。

Flash バンク 1 (1 番目のバンク) はアドレス 0x0800 0000 からアクセスされ、Flash バンク 2 (2 番目のバンク) はアドレス 0x0810 0000 からアクセスされます (使用可能な場合)。Flash メモリに対する CPU のゼロウェイトステートと同様のアクセスを実現するには、命令キャッシュまたはデータキャッシュ、あるいはその両方を有効にする必要があります。

図 3 に、異なるマスタによる Flash メモリへのさまざまなアクセスパスを示します。MDMA は、Flash 設定レジスタにアクセスすることもできます。

図 4. STM32H72x/73x/74x/75x Flash メモリアクセス



1. バンク 2 は STM32H74x/75x でのみ使用できます (STM32H750x を除く)。

2.5.2 内蔵 RAM

STM32H74x/75x には、最大 1060 KB (4 KB のバックアップ SRAM を含む) の大きな内蔵 RAM があり、最大 7 つのブロックに分割され、3 つのドメインに分散されている一方で、STM32H72x/73x には最大 564 KB (4 KB のバックアップ SRAM を含む) の内蔵 RAM があり、最大 7 つのブロックに分割され、3 つのドメインに分散されています。

D1 ドメインにある RAM

D1 ドメインにある RAM は、次のとおりです。

- 64 KB の命令 RAM (ITCM-RAM)

ITCM-RAM はアドレス 0x0000 0000 に配置されます。

Cortex[®]-M7 コアおよび MDMA (SLEEP モードでも) によるアクセスのみ可能です (SLEEP モードの場合でも)。CPU は ITCM バス (図 2 の紫色のバス) を介してアクセスでき、MDMA はコアの特定の AHBS バス (図 3 の薄いピンク色のバス) を介してアクセスできます。Cortex[®]-M7 は、バイト、ハーフワード (16 ビット)、ワード (32 ビット)、またはダブルワード (64 ビット) でアクセスできます。ITCM-RAM には、CPU の最大クロック速度で遅延なし、ゼロウェイトステートでアクセスできます。520 MHz を超える CPU 速度でアクセスするには、STM32H72x/73x で CPUFREQ_BOOST オプションバイトを介して、この RAM の ECC を無効にする必要があります。

STM32H72x/73x の場合、ITCM-RAM のサイズは 64 KB の精度で最大 192 KB まで増やすことができますが、AXI-SRAM のサイズと引き換えになります。

- 128 KB の DTCM-RAM
DTCM-RAM は D1 ドメインに配置されます。
それぞれ 32 ビットアクセスの 2 つの DTCM-RAM に分割されます。両方のメモリは、それぞれ Cortex[®]-M7 の D0TCM と D1TCM ポート (図には表されていません) に接続されており、Cortex[®]-M7 の 2 命令同時発行機能により並行して (ロード/格納操作に) 使用できます。DTCM-RAM は、アドレス 0x2000 0000 の DTCM インタフェースに配置されます。CPU と MDMA のみがアクセスでき、Cortex[®]-M7 は DTCM バス (図 2 の薄緑色のバス) を介して、また MDMA は Cortex[®]-M7 の特定の AHBS バス (図 3 の薄いピンク色のバス) を介してアクセスできます。Cortex[®]-M7 は、バイト、ハーフワード (16 ビット)、ワード (32 ビット)、またはダブルワード (64 ビット) でアクセスできます。
DTCM-RAM には、最大 Cortex[®]-M7 クロック速度で遅延なしでアクセスできます。520 MHz を超える CPU 速度でアクセスするには、STM32H72x/73x で CPUFREQ_BOOST オプションバイトを介して、この RAM の ECC を無効にする必要があります。
Cortex[®]-M7 および MDMA による DTCM-RAM への同時アクセスならびにその優先順位は、Cortex[®]-M7 自体のスレーブ制御レジスタ (CM7_AHBSR レジスタ) で処理できます。DTCM-RAM へのアクセスについては、MDMA よりも Cortex[®]-M7 に高い優先順位を与えることができます。このレジスタの詳細については、Arm[®] Cortex[®]-M7 プロセッサ - テクニカルリファレンスマニュアルを参照してください。
- 最大 512 KB の AXI SRAM
AXI SRAM はアドレス 0x2400 0000 に配置されます。
D1 ドメインおよび D2 ドメインにあるすべてのマスタが、AHB ドメイン間バス (D2 から D1 へ) を介してアクセスできます。D3 ドメインにある BDMA は、このメモリにアクセスできません。AXI SRAM は 64 ビット幅の AXI バスを介して AXI バスマトリックスに接続され、バイト (8 ビット)、ハーフワード (16 ビット)、フルワード (32 ビット)、またはダブルワード (64 ビット) によるアクセスが可能です。使用可能な一部の AXI SRAM アクセスについては、図 3 を参照してください。AXI SRAM は、読出し/書込みデータストレージならびにコード実行に使用できます。AXI バスマトリックスと同じ周波数 (CPU の最大周波数の半分) でアクセスされます。
- ITCM と AXI RAM の間で共有される 192 KB の RAM (STM32H72x/73x でのみ使用可能)
D1 ドメインにあり、64 KB の精度で命令 TCM または AXI SRAM との間で共有できます。
ITCM-RAM として使用される場合は、64 KB の ITCM-RAM としてアクセスされますが、固定の ITCM-RAM に隣接するアドレス 0x0001 0000 に配置されます。
AXI SRAM として使用される場合は、128 KB の AXI SRAM としてアクセスされますが、固定の AXI SRAM に隣接するアドレス 0x2402 0000 に配置されます。
この機能は、TCM_AXI_SHARED[1:0] オプションバイトで設定できます。

D2 ドメインにある RAM

AHB の SRAM1、SRAM2、および SRAM3 には、D1 ドメインおよび D2 ドメインにあるすべてのマスタが、AHB ドメイン間バス (D1 から D2 へ) を介してアクセスできます。バイト、ハーフワード (16 ビット)、またはワード (32 ビット) でアクセスできます。使用可能な一部の SRAM1 および SRAM2 アクセスの図については、[図 3](#) を参照してください。これらは、読出し/書込みデータストレージならびにコード実行に使用できます。これらのメモリは、AHB バスマトリックス周波数 (CPU の最大周波数の半分) でアクセスされます。各メモリには、AHB バスマトリックスに接続する独自の AHB バスがあります。これにより、複数のマスタから同時にアクセスされた場合に、バスの競合を解消し、高いシステム性能を維持できます。

D2 SRAM のベースアドレスの下 :

- STM32H74x/75x
 - 最大 128 KB の AHB SRAM1 はアドレス 0x3000 0000 に配置されます。
 - 最大 128 KB の AHB SRAM2 はアドレス 0x3002 0000 に配置されます。
 - 32 KB の AHB SRAM3 はアドレス 0x3004 0000 に配置されます。このメモリは STM32H742x デバイスでは使用できません。
- STM32H72x/73x の場合 :
 - 最大 16 KB の AHB SRAM1 は、アドレス 0x3000 0000 に配置されます。
 - 最大 16 KB の AHB SRAM2 は、アドレス 0x3000 4000 に配置されます。

上記の SRAM は、ドメイン内のペリフェラルとやり取りするデータのバッファとしてローカル DMA (D2 ドメイン) が使用できます。Cortex[®]-M7 のハイスピード処理の MDMA を使用して、転送の最後にデータを D1 ドメインに転送できます。

注 : リセット後、SRAM1、SRAM2、および SRAM3 クロックは無効化されるため、アクセスできません。クロックを有効にするには、SRAM1EN、SRAM2EN、および SRAM3EN を、レジスタ RCC_AHB2ENR の SRAM1、SRAM2、SRAM3 にそれぞれ対応するようにセットする必要があります。

D3 ドメインにある RAM

D3 ドメインにある RAM は、次のとおりです。

- AHB の SRAM4 には、次を介してアクセスできます。
 - AHB ドメイン間バス (D1 から D3 へ) を介して D1 ドメインにある Cortex[®]-M7 および MDMA にアクセスできます。
 - AHB ドメイン間バス (D2 から D3 へ) または AHB ドメイン間バス (D2 から D1 へ、および D1 から D2 へ) を介して D2 ドメインにある任意のマスタにアクセスできます。この組み合わせは、SRAM4 にアクセスするマスタに依存します。
 - D3 ドメインにある AHB バスマトリックスを介して BDMA にアクセスできます。

SRAM4 はアドレス 0x3800 0000 に配置されます。バイト、ハーフワード (16 ビット)、またはワード (32 ビット) によるアクセスが可能です。使用可能な一部の SRAM4 アクセスの図については、[図 3](#) を参照してください。SRAM4 は、読出し/書込みデータストレージならびにコード実行、または D1 および D2 ドメインが DStandby モードに入るときのデータ保持に使用できます。SRAM4 は、AHB バスマトリックス周波数 (CPU の最大周波数の半分) でアクセスされます。

- アドレス 0x3880 0000 にあるほとんどのシステムマスタ (SDMMC1、DMA2D、LTDC、Ethernet、および STM32H72x/73x の USB OTG_HS を除くすべてのマスタ) を通じてアクセス可能な 4 KB のバックアップ SRAM。バイト、ハーフワード (16 ビット)、またはワード (32 ビット) によるアクセスが可能です。VBAT が常に存在している場合は、内部 EEPROM とみなすことができます (このメモリの使用方法については、RM0433 および RM0468 リファレンスマニュアルを参照)。

すべての内部 RAM にエラー訂正コード (ECC) があります。STM32H73x/74x デバイスが 520 MHz 超で動作している場合、CPUFREQ_BOOST オプションバイトを介して、TCM-RAM で ECC を無効にする必要があります。

表 5 と表 6 に、内部メモリマッピングと STM32H72x/73x/74x/75x デバイスのメモリサイズの一覧を示します。

表 5. STM32H72x および STM32H73x の内部メモリの概要

メモリタイプ	メモリ領域	開始アドレス	サイズ	アクセス インタフェース	ドメイン	最大周波数
Flashメモリ	FLASH-1	0x0800 0000	1 MB ⁽¹⁾	AXI (64 ビット)	D1	275 MHz
RAM_	DTCM-RAM	0x2000 0000	128 KB	DTCM (64 ビット)	D1	550 MHz
	ITCM-RAM	0x0000 0000	⁽²⁾	ITCM (64 ビット)	D1	550 MHz
	AXI SRAM	0x2400 0000	⁽²⁾	AXI (64 ビット)	D1	275 MHz
	SRAM1	0x3000 0000	16 KB	AHB (32 ビット)	D2	275 MHz
	SRAM2	0x3000 4000	16 KB	AHB (32 ビット)	D2	275 MHz
	SRAM4	0x3800 0000	64 KB	AHB (32 ビット)	D3	275 MHz
	バックアップ SRAM	0x3880 0000	4 KB	AHB (32 ビット)	D3	275 MHz

1. デバイスに応じて最大 1 MB

2. RM0468 リファレンスマニュアルから ITCM/DTCM/AXI の設定の表を参照してください。

表 6. STM32H74x および STM32H75x の内部メモリの概要

メモリタイプ	メモリ領域	開始アドレス	サイズ	アクセス インタフェース	ドメイン	最大周波数
Flashメモリ	FLASH-1	0x0800 0000	1 MB ⁽¹⁾	AXI (64 ビット)	D1	240 MHz
	FLASH-2 ⁽²⁾	0x0810 0000	1 MB ⁽¹⁾	AXI (64 ビット)	D1	240 MHz
RAM_	DTCM-RAM	0x2000 0000	128 KB	DTCM (64 ビット)	D1	480 MHz
	ITCM-RAM	0x0000 0000	64 KB	ITCM (64 ビット)	D1	480 MHz
	AXI SRAM	0x2400 0000	512 KB ⁽³⁾	AXI (64 ビット)	D1	240 MHz
	SRAM1	0x3000 0000	128 KB ⁽⁴⁾	AHB (32 ビット)	D2	240 MHz
	SRAM2	0x3002 0000	128 KB ⁽⁴⁾	AHB (32 ビット)	D2	240 MHz
	SRAM3 ⁽⁵⁾	0x3004 0000	32 KB	AHB (32 ビット)	D2	240 MHz
	SRAM4	0x3800 0000	64 KB	AHB (32 ビット)	D3	240 MHz
	バックアップ SRAM	0x3880 0000	4 KB	AHB (32 ビット)	D3	240 MHz

1. デバイスに応じて最大 1 MB

2. STM32H750x デバイスでは使用不可

3. デバイスに応じて最大 512 KB

4. デバイスに応じて最大 128 KB

5. STM32H742x デバイスでは使用不可

2.5.3 外部メモリ

USB や SDMMC などの内部メモリやストレージコントローラに加え、フレキシブルメモリコントローラ (FMC) と Quad-SPI コントローラ (STM32H74x/75x) または Octo-SPI インタフェース (STM32H72x/73x) を使用して STM32H72x/73x/74x/75x メモリを拡張できます。

外部メモリ空間は、それぞれ 256 MB の固定サイズのバンクに分けられています。

STM32H72x および STM32H73x の外部メモリ

4 つの外部メモリバンクは FMC 専用 (さらに SDRAM 再配置用のバンクが 1 つある) で、2 つは Octo-SPI コントローラ専用です。

- バンク 1 は NOR/PSRAM メモリに使用されます。
- バンク 2 は OCTOSPI2 メモリに使用されます。
- バンク 3 は NAND メモリに使用されます。
- バンク 4 は OCTOSPI1 メモリに使用されます。
- バンク 5 および 6 は 2 つの SDRAM バンクに使用されます。

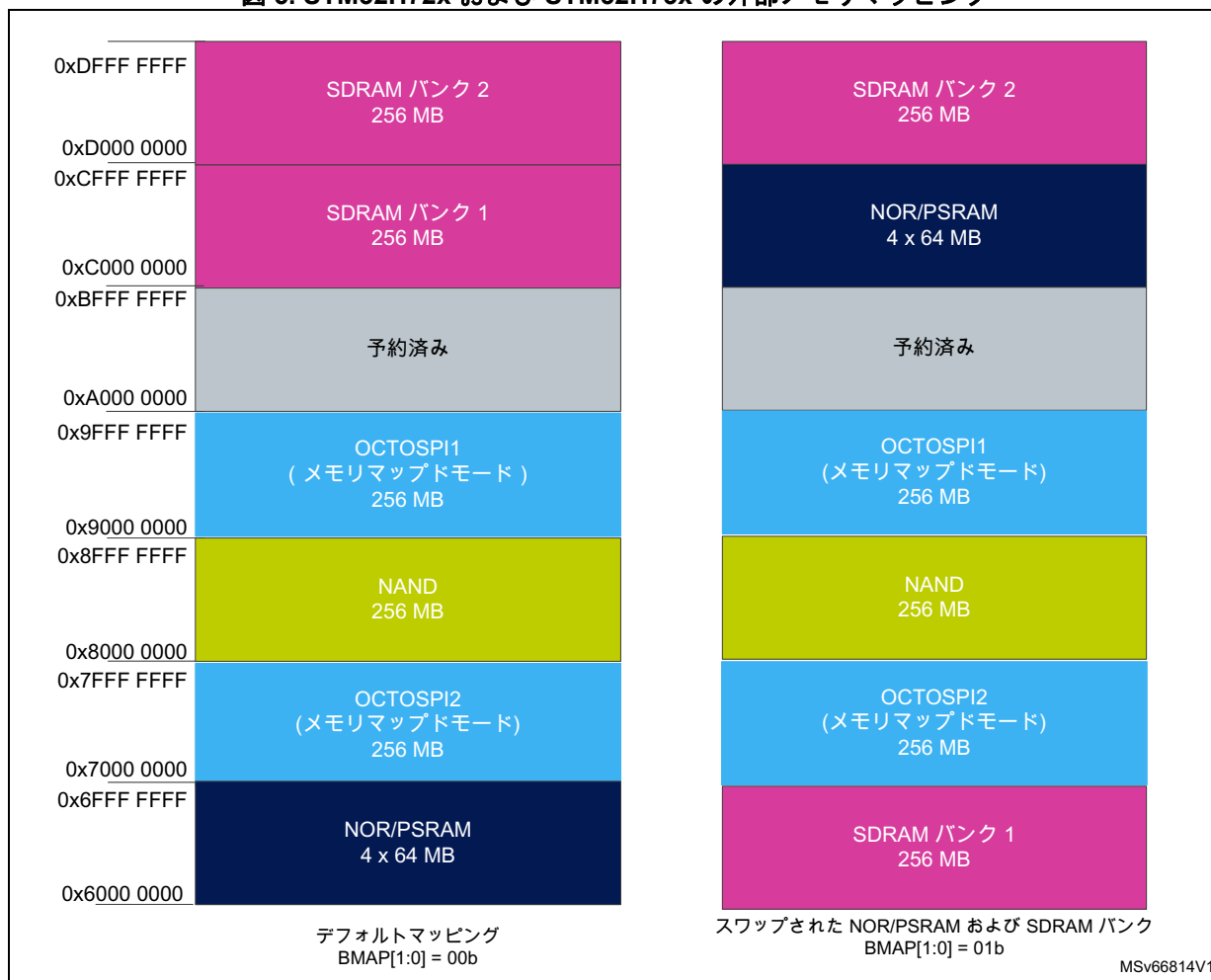
FMC バンクのマッピングは、FMC_BCR1 レジスタの BMAP[1:0] ビットを介して変更できます。BMAP バンクメモリマッピングビットは、2 つの設定可能なオプションをサポートしています。

- デフォルトマッピング
- NOR/PSRAM バンクの SDRAM バンクとのスワッピング

Octo-SPI インタフェースは、Single、Dual、Quad、または Octal SPI Flash メモリを対象とする特殊な通信インタフェースです。内部 Flash メモリを Octo-SPI インタフェースごとに 256 MB 拡張することができ、グラフィカルアプリケーションの画像などのデータの格納、またはユーザアプリケーションの格納に使用できます。STM32H73x では、書き込む前に格納されたデータを暗号化できます。その場合、OTFDEC はデータの読出し中にオンザフライで復号化します (アプリケーション・ノート「How to use OTFDEC for encryption/decryption in trusted environment on STM32 MCUs (AN5281)」を参照)。

図 5 に、外部メモリのメモリマッピング、リセット後のそれぞれのアドレス範囲、および使用可能な再配置の一覧を示します。

図 5. STM32H72x および STM32H73x の外部メモリマッピング



STM32H74x および STM32H75x の外部メモリ

4 つの外部メモリバンクは FMC 専用（さらに SDRAM 再配置用のバンクが 1 つある）で、1 つは Quad-SPI 専用です。

- バンク 1 は NOR/PSRAM メモリに使用されます。
- バンク 2 は SDRAM バンクの再配置に使用されます。
- バンク 3 は NAND メモリに使用されます。
- バンク 4 は Quad-SPI メモリに使用されます。
- バンク 5 および 6 は 2 つの SDRAM バンクに使用されます。

FMC バンクのマッピングは、FMC_BCR1 レジスタの BMAP[1:0] ビットで変更できます。BMAP バンクメモリマッピングビットには、3 つの設定可能なオプションがあります。

- デフォルトマッピング
- SDRAM バンク 2 の再配置により、2 つの異なるアドレスマッピングで SDRAM バンクにアクセスできます。
- NOR/PSRAM バンクの SDRAM バンクとのスワッピング

Quad-SPI インタフェースは、Single、Dual、または Quad-SPI Flash メモリを対象とする特殊な通信インタフェースです。内部 Flash メモリを 256 MB 拡張することができ、グラフィカルアプリケーションの画像などのデータの格納、またはユーザアプリケーションを実行するためのコードを含めるために使用できます。

図 6 に、外部メモリのメモリマッピング、リセット後のそれぞれのアドレス範囲、および使用可能な再配置の一覧を示します。

図 6. STM32H74x および STM32H75x の外部メモリマッピング

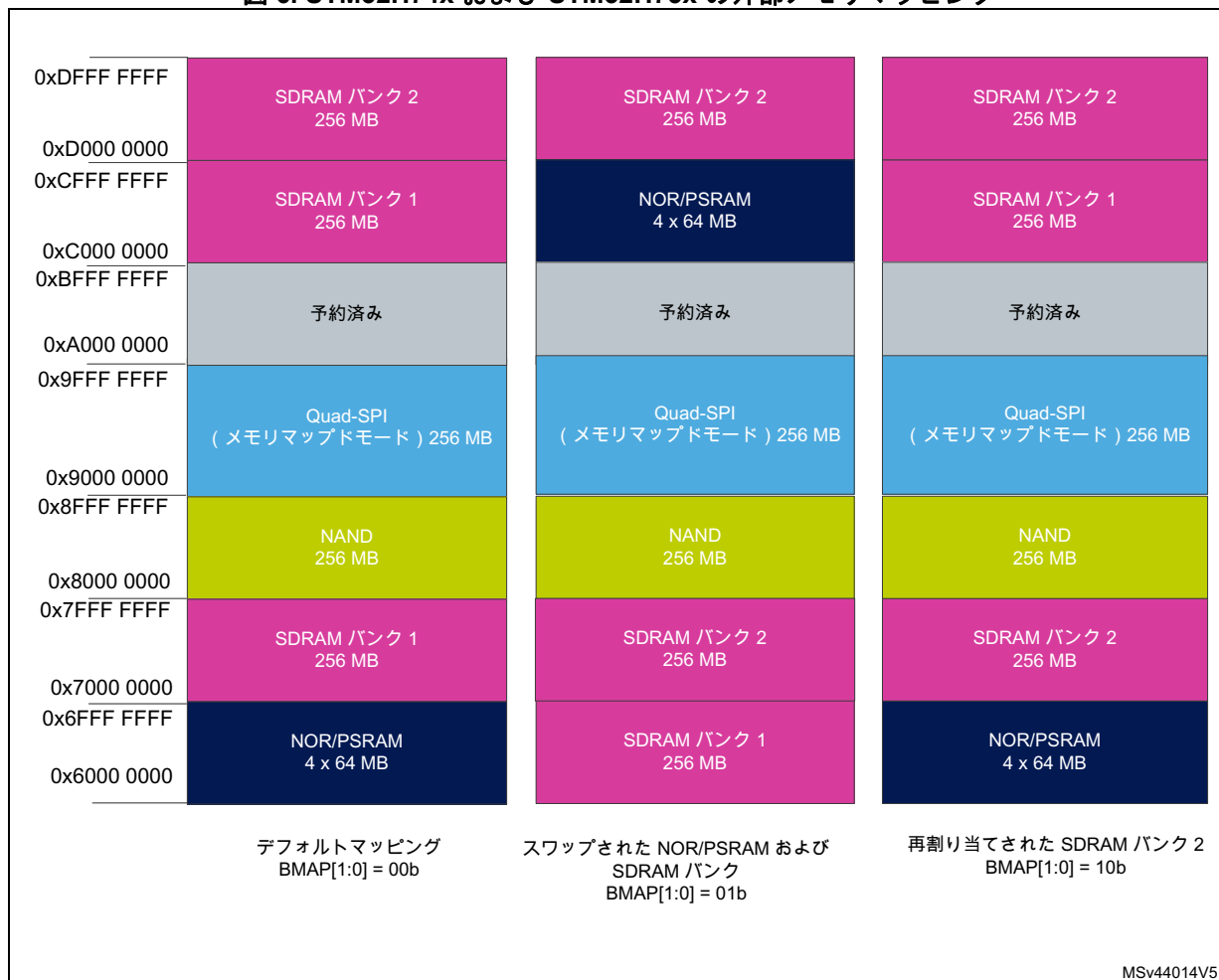


図 7 は、Cortex[®]-M7 と別の DMA を AXI および AHB バスを介してこれらの外部メモリに相互接続する、使用可能なパスを示しています。この例は、STM32H74x/75x を対象としています。ただし、Quad-SPI インタフェースを Octo-SPI に置き換えることで、STM32H72x/73x にも適用されます。図 7 に示すように、外部メモリは Cortex[®]-M7 のキャッシュからメリットを得ることができ、それにより用途（データストレージまたはコード実行）を問わず性能を最大化できます。これにより、高性能と大容量メモリを両立させることができます。

図 7 でピンク色でハイライトされたパスは、FMC による外部メモリと Cortex[®]-M7 の間の接続を表しています。

黄色でハイライトされたパスは、Quad-SPI コントローラによる外部メモリと Cortex[®]-M7 の間の接続を表しています。

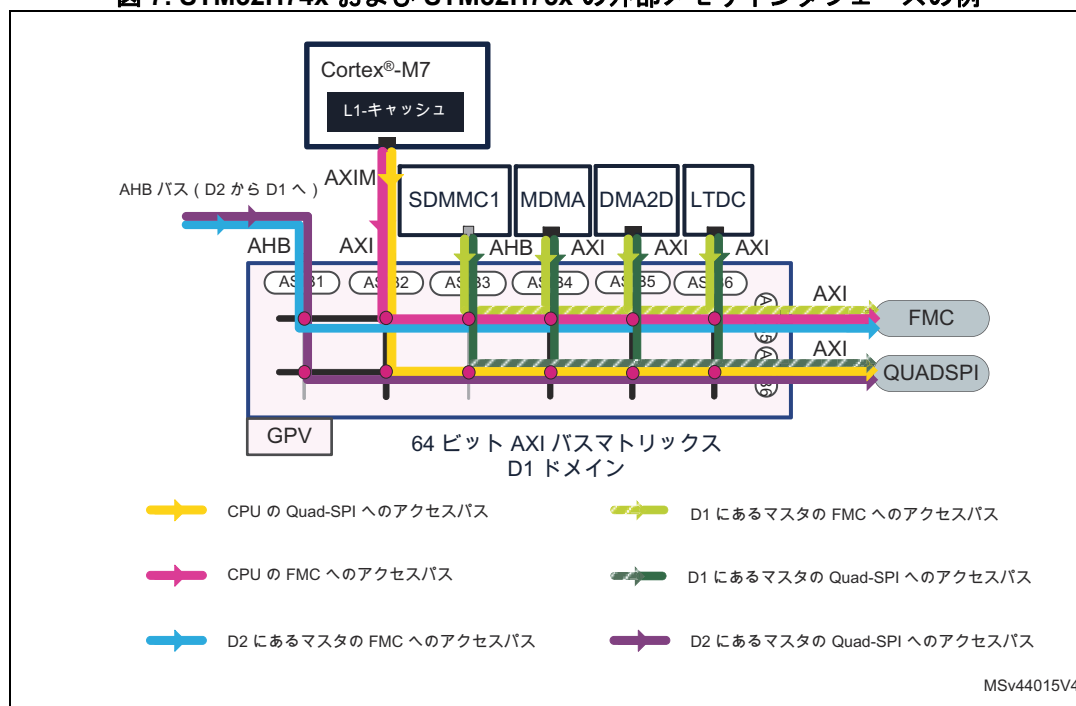
薄緑色でハイライトされたパスは、D1 ドメインにある一部のマスタから FMC コントローラによって接続された外部メモリへのアクセスパスを表しています。

濃い緑色でハイライトされたパスは、D1 ドメインにある一部のマスタから Quad-SPI コントローラによって接続された外部メモリへのアクセスパスを表しています。

紫色と青色でハイライトされたパスは、それぞれ D2 ドメインにあるマスタから、D1 ドメインにある Quad-SPI コントローラおよび FMC コントローラによって接続された、外部メモリへのアクセスを表しています。

BDMA を除き、システムで使用可能な任意のマスタで、すべての外部メモリにアクセスできます。

図 7. STM32H74x および STM32H75x の外部メモリインタフェースの例



フレキシブルメモリコントローラインタフェース (FMC)

STM32H72x/73x/74x/75x の FMC コントローラは、SRAM、ROM、NOR/NAND Flash メモリ、および SDRAM デバイスなどを含むメモリマップドデバイスとのインタフェースを構成します。プログラムの実行 (NAND Flash を除く) または R/W データストレージに使用されます。

FMC の主な機能は以下のとおりです。

- 異なるメモリを同時にサポートする 4 つのバンク
- メモリバンクごとに独立したチップセレクト制御
- メモリバンクごとに独立した設定
- 広範囲なデバイスをサポートするプログラマブルタイミング
- 8/16/32 ビットデータバス
- 外部非同期ウェイト制御
- 2 つの SDRAM バンクを備えた同期 DRAM (SDRAM) とのインタフェース
- クロックの柔軟性を高めることが可能な独立したクロックソース (独立 PLL)
- 同期メモリは、2 分周または 3 分周したカーネルクロックの最大周波数でアクセスできます。

すべての FMC 外部メモリで、同じアドレス、データ、および制御信号を共有します。

各外部デバイスには、固有のチップセレクトを使ってアクセスします。FMC は外部デバイスへ一度に 1 回だけアクセスします。

SDRAM バンクの 2 つのデフォルト領域は、キャッシュできません。キャッシュが有効であっても、データまたは命令はキャッシュを経由しません。キャッシュアクセラレーションのメリットを得るには、SDRAM バンクをそれぞれ 0xC000 0000 および 0xD000 0000 から 0x6000 0000 および 0x7000 0000 に再配置できます。これらはデフォルトで、キャッシュ可能領域です (STM32H72x/73x の場合は SDRAM バンク 1 のみを 0xD000 0000 から 0x6000 0000 に再配置可能)。これには、FMC_BCR1 レジスタのフィールド BMAP[1:0] ビットをセットします。図 6 に、さまざまな外部メモリマッピングとそれらに対応する BMAP[1:0] の値を示します。

再配置がアプリケーションに適していない場合、Cortex[®]-M7 MPU を使用して、デフォルトの SDRAM メモリ領域をキャッシュ可能にするかどうかを変更できます。

FMC に接続されたすべての外部メモリは、データおよび命令用の L1-キャッシュからのメリットを得られます (図 7 のピンク色と黄色のパス)。これにより、最高性能のより大きなデータまたはコードサイズを実現できます。

Quad-SPI メモリインタフェース (QUADSPI)

STM32H74x/75x デバイスには、Quad-SPI メモリインタフェース (QUADSPI) が内蔵されており、これは Single、Dual、または Quad-SPI Flash メモリを対象とする特殊な通信インタフェースです。この複数の幅のインタフェースは、従来の SPI のシングルビットシリアル入出力に加え、2 ビットおよび 4 ビットのシリアルコマンドをサポートしています。さらに、このインタフェースではダブルデータレート (DDR) 読出しコマンドをサポートしています。つまり、アドレス転送とデータ読出しが、通信クロックの両方のエッジで実行されるということです。データ/命令のスループットを 2 倍にできるため、外部 Quad-SPI Flash メモリへのアクセス効率を高めることができます。

QUADSPI は、次の 3 つのモードのいずれかで動作します。

- インダイレクトモード: すべての動作は QUADSPI レジスタを使用して実行されます。
- ステータスポーリングモード: 外部 Flash メモリステータスレジスタが定期的に読み出され、フラグのセット時に割込みが生成されます。
- メモリマップドモード: 外部 Flash がメモリマッピングされます。これはその後、システムに内部メモリとみなされます。

STM32H74x/75x QUADSPI は、デフォルトモードである SDR モードと、2 倍のデータスループットを可能にする DDR モードをサポートします。DDR モードは、データロードと命令フェッチの性能を高めます。また、QUADSPI が PCB の制限のために最大速度で動作できない場合など、QUADSPI クロックを低速にする必要がある場合にも有用です。

QUADSPI は、シングル Flash およびデュアル Flash メモリモードをサポートします。後者により、マイクロコントローラは 2 つの外部メモリデバイスと同時に通信できるようになります。このモードは、スループットを 2 倍にし、Flash メモリのサイズを 2 倍にする場合に便利です。デュアル Flash メモリが DDR Quad-SPI モードのとき、1 サイクルあたり 2 バイトのスループットを達成でき、これによりデータストレージまたはコード実行のため、これらの外部 Flash メモリへの高性能アクセスを実現できます。

QUADSPI は、メモリマップドモードで 0x9000 0000 から 0x9FFF FFFF の最大 256 MB の Flash メモリを管理できます。実行可能領域にマッピングされるため、再配置は必要ありません（アドレス 0x0000 0000 で再配置）。

FMC と比較して、QUADSPI では、小型のパッケージ（PCB 領域の削減）と GPIO の使用を減らし、コストを削減し、外部 Flash メモリを接続できます。シングル Quad-SPI モード（4 ビット）では 6 個の GPIO が任意の Flash メモリのサイズで使用されます。または、デュアル Quad-SPI モード（8 ビット）で 10 個の GPIO が使用されます。

図 2 に示すように、QUADSPI は 64 ビット AXI バスマトリックス上の専用レイヤにマッピングされ、L1-キャッシュからメリットを得ることができます。これにより、より性能の高い QUADSPI からコードを実行してデータをロードできます（図 7 の黄色のパスを参照）。QUADSPI レジスタが AHB バスにマッピングされていることに注意してください。

QUADSPI は、BDMA を除き、システムで使用可能なすべてのマスタでもアクセスできます（図 7 の深い緑色、黄色、および紫色のパスを参照）。Chrom-ART アクセラレータと LCD-TFT コントローラでアクセスできるため、高いフレーム表示レートが必要なグラフィック・アプリケーションで、特に画像について、効率的なデータ転送が可能になります。

QUADSPI の用途の詳細については、アプリケーション・ノート「Quad-SPI (QUADSPI) interface on STM32 microcontrollers」(AN4760) を参照してください。

Octo-SPI メモリインタフェース (OCTOSPI)

STM32H72x/73x デバイスには、2 つの Octo-SPI メモリインタフェース (OCTOSPI) が内蔵されており、これらは Single、Dual、Quad、または Octo-SPI Flash メモリを対象とする特殊な通信インタフェースです。これらの複数の幅のインタフェースは、従来の SPI のシングルビットシリアル入出力に加え、2 ビット、4 ビット、および 8 ビットのシリアルコマンドをサポートしています。さらに、OCTOSPI はダブルデータレート (DDR) 読出しコマンドをサポートしています。つまり、アドレス転送とデータ読出し操作が、通信クロックの両方のエッジで実行されるということです。データ/命令のスループットを 2 倍にできるため、外部 Octo-SPI Flash メモリへのアクセス効率を高めることができます。

OCTOSPI は、次の 3 つのモードのいずれかで動作します。

- インダイレクトモード：すべての動作は OCTOSPI レジスタを使用して実行されます。
- ステータスポーリングモード：外部 Flash メモリステータスレジスタが定期的に読み出され、フラグのセット時に割込みが生成されます。
- メモリマップドモード：外部 Flash メモリがメモリマッピングされます。これはその後、システムに内部メモリとみなされます。

OCTOSPI は、次のプロトコルと、それらに関連するフレームフォーマットをサポートします。

- コマンド、アドレス、オルタネートバイト、ダミーサイクル、およびデータフェーズから成る標準フレームフォーマット
- HyperBus™ フレームフォーマット

STM32H72x/73x OCTOSPI は、デフォルトモードである SDR モードと、2 倍のデータスループットを可能にする DDR モードをサポートします。DDR モードは、データロードと命令フェッチの性能を高めます。また、OCTOSPI が PCB の制限のために最大速度で動作できない場合など、OCTOSPI クロックを低速にする必要がある場合にも有用です。

各 OCTOSPI は、メモリマップドモードで OCTOSPI1 の場合は 0x9000 0000 から 0x9FFF FFFF、OCTOSPI2 の場合は 0x7000 0000 から 0x7FFF FFFF の最大 256 MB の Flash メモリを管理できます。実行可能領域にマッピングされるため、再配置は必要ありません（アドレス 0x0000 0000 で再配置）。

FMC と比較して、OCTOSPI では、小型のパッケージ（PCB 領域の削減）と GPIO の使用を減らしてコストを削減し、外部 Flash メモリを接続できます。Flash メモリのサイズにかかわらず、オクタルモードでは 10 個の GPIO が使用されます。

各 OCTOSPI は 64 ビット AXI バスマトリックス上の専用レイヤにマッピングされ、L1-キャッシュからメリットを得ることができます。これにより、より性能の高い OCTOSPI からコードを実行してデータをロードできます。OCTOSPI レジスタが AHB バスにマッピングされていることに注意してください。

OCTOSPI は、BDMA を除き、システムで使用可能なすべてのマスタでもアクセスできます。Chrom-ART アクセラレータと LCD-TFT でアクセスできるため、高いフレーム表示レートが必要なグラフィック・アプリケーションで、特に画像について、効率的なデータ転送が可能になります。

STM32H73x の場合、OCTOSPI から読み出されたデータはすべて、AXI に送信される前にオンザフライで復号化できます（アプリケーション・ノート「How to use OTFDEC for encryption/decryption in trusted environment on STM32 MCUs (AN5281)」を参照）。

2.6 STM32F7 シリーズと、STM32H72x、STM32H73x、STM32H74x、および STM32H75x デバイスとの主なアーキテクチャの違い

表 7 に、STM32F7 シリーズデバイスと STM32H72x/73x/74x/75x デバイスのアーキテクチャと性能面の違いについて、一覧を示します（ペリフェラルの違いは含まれません）。

表 7. STM32F7 シリーズと、STM32H72x、STM32H73x、STM32H74x、および STM32H75x デバイスとのアーキテクチャの違い

	STM32F7 シリーズ	STM32H72x および STM32H73x デバイス	STM32H74x および STM32H75x デバイス
Cortex®-M7 レビジョン	r0P1/r1P0 ⁽¹⁾	r1P2	r1P1
CPU の最大周波数	216 MHz	550 MHz	480 MHz
命令/データキャッシュ サイズ	4 KB ~ 16 KB ⁽¹⁾	32 KB	16 KB
FPU	単精度/倍精度の浮動小数点 ⁽¹⁾	単精度および倍精度の浮動小数点	
バスマトリックス	AXI-AHB ブリッジ + 1 x AHB バスマトリックス	1 x AXI バスマトリックス + 2 x AHB バスマトリックス + ドメイン間バス	
Flash メモリアクセス	2 つのバンクで共有されている 32 ビットまたは 64 ビットの AHB バス ⁽²⁾ 経由 ⁽³⁾ または 64 ビット ITCM バス経由	バンクごとの専用 AXI バス (64 ビット) 経由 ⁽⁴⁾ / ITCM アクセスなし	
Flash メモリの ライン幅	128/256 ビット ⁽³⁾	各バンクにつき、読出しおよび 書込み用に 256 ビット	
Flash メモリの ウェイトステート @200 MHz	6 ⁽⁵⁾	2	
Flash メモリの デュアルバンクの サポート	いいえ/はい ⁽¹⁾	いいえ	はい ⁽⁶⁾
DTCM-RAM サイズ	64 KB または 128 KB ⁽¹⁾	128 KB	
ITCM-RAM サイズ	16 KB	64 ~ 256 KB ⁽⁷⁾	64 KB
ITCM-RAM の アクセシビリティ	CPU のみ	CPU + MDMA	
SRAM サイズ	最大 384 KB	最大 564 KB	最大 864 KB
SRAM アクセスバス	32 ビット AHB	64 ビット AXI (AXI SRAM) 32 ビット AHB (D2 および D3 の SRAM)	
DMA	2x 汎用 DMA	柔軟性を高めるために DMAMux とともに 使用可能な 4x 汎用 DMA ⁽⁸⁾	
DMA1 転送	ペリフェラルからメモリ/ メモリからペリフェラルへの 転送のみを許可	すべての転送を許可	
MPU 保護領域番号	8	16	

1. STM32F7 デバイスによる。

2. CPU アクセスは 64 ビットで、DMA アクセスは 32 ビットです。

3. 一部のデバイスにはシングルバンクで 128 ビットアクセスのみがあり、別のデバイスにはシングルバンクで 256 ビットアクセスのみがあります。さらに別のデバイスには使用したバンクモード（シングルおよびデュアルバンク）に応じて、128/256 ビットアクセスがあります。
4. 2つのバンクで同時に2つの読出し/プログラム/消去操作を並行して実行できます。
5. 電圧範囲 2.7 V ~ 3.6 V の周波数。
6. この機能は STM32H750x デバイスでは使用できません。
7. ITCM-RAM サイズはオプションバイトで設定できます。
8. 1x ハイスピード汎用マスタダイレクトメモリアクセスコントローラ (MDMA)、2x FIFO を用いたデュアルポート DMA、および 1x 基本 DMA。

3 標準アプリケーション

このアプリケーション・ノートでは、STM32H74x/75x デバイスの性能について説明するソフトウェアの例を提供しています。選択した例は、CMSIS ライブラリで提供されている FFT の例に基づいています。H7_single_cpu_perf プロジェクトは、ユーザが自分のアプリケーションを統合することができる骨組みとして使用できます。

3.1 FFT のデモンストレーション

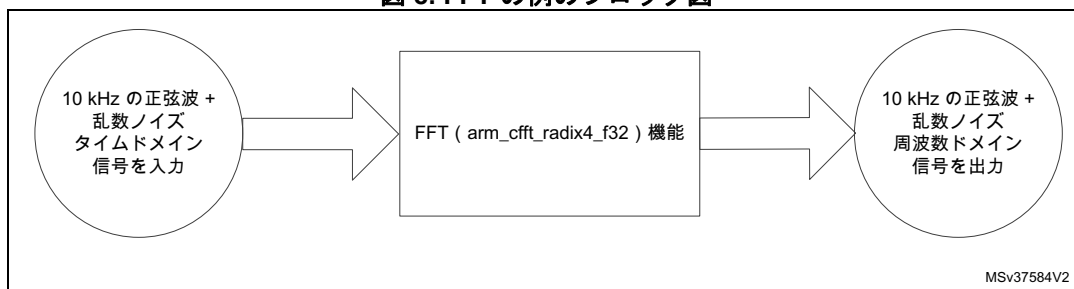
FFT の例を使用します。これは、Cortex[®]-M7 の浮動小数点ユニットから得られるメリットがあり、いくつかのループやデータロード/格納操作が含まれており、またさまざまなパス/メモリからアクセスできるためです。コードは、内部メモリまたは外部メモリから実行できます。

この例は、複素数 FFT、複素数の絶対値、および最大関数を使用した、入力信号の周波数ドメインでの最大エネルギーの計算から成ります。ここでは FFT 1024 ポイントを使用し、計算は単精度浮動小数点に基づいて行います。入力信号は、10 kHz の正弦波とホワイト・ノイズを合成したものです。図 8 に、変換のブロック図を示します。

FFT プロセスによって消費されるサイクル数も、システムティックタイマに基づいて計算されます。この例は STM32H743I-EVAL ボード上で実行され、結果（ナノ秒単位）は仮想 COM ポートを使用して UART を介してハイパーターミナルに表示されます。

FFT のデモンストレーションには、システム周波数、キャッシュの設定（ON/OFF）、SDRAM または Quad-SPI の外部メモリ設定などの現在のプロジェクト設定が表示されます。

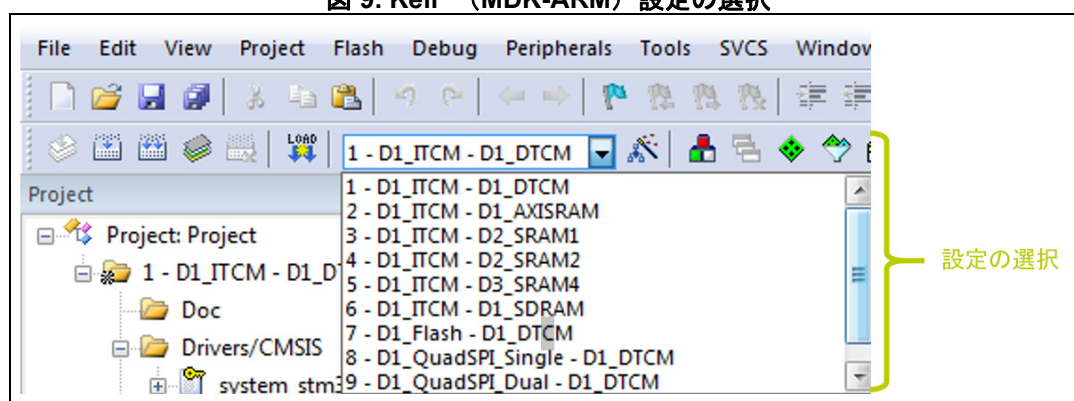
図 8. FFT の例のブロック図



3.2 デモンストレーションプロジェクトの設定

CPU メモリアクセスのデモンストレーションには、Keil® (MDK-ARM)、IAR™ (EWARM)、および System Workbench for STM32 (SW4STM32) ツールチェーンが提供されます。プロジェクトは、10個のサブプロジェクトワークスペースで表示され、それぞれ設定を表します。各設定で、データとコードの位置を選択できます。図 9 に、MDK-ARM ツールチェーンのさまざまな設定のスクリーンショットを示します。

図 9. Keil® (MDK-ARM) 設定の選択



この設定は、次のルールを使用して命名されます。

N - InstructionLocation - DataLocation

ここで、

- ***N*** : 設定番号。
- ***InstructionLocation*** : ユーザコードのメモリ位置と、それぞれのドメイン位置。ユーザは、実行領域とロード領域を区別する必要があります。実行領域は、アプリケーションが実行されるメモリ位置です。ロード領域は、アプリケーションが Flash ロードによって最初にロードされ、後で (スキャッタロードフェーズで) コピーされるメモリ位置です。実行領域とロード領域のアドレス位置が異なる場合は、実行領域内にあります。

DataLocation : RW/ゼロ初期化されたデータ、スタック、およびヒープのメモリ位置と、メモリのドメイン位置です。

次の設定を提案します。

1 - D1_ITCM - D1_DTCM : プログラムは ITCM-RAM から実行され、データは D1 ドメインにある DTCM-RAM に格納されます。

2 - D1_ITCM - D1_AXISRAM : プログラムは ITCM-RAM から実行され、データは D1 ドメインにある AXI SRAM に格納されます。このとき、D キャッシュは有効です。

3 - D1_ITCM - D2_SRAM1 : プログラムは ITCM-RAM から実行され、データは D2 ドメインにある SRAM1 に格納されます。このとき、D キャッシュは有効です。

4 - D1_ITCM - D2_SRAM2 : プログラムは ITCM-RAM から実行され、データは D2 ドメインにある SRAM2 に格納されます。このとき、D キャッシュは有効です。

5 - D1_ITCM - D3_SRAM4 : プログラムは ITCM-RAM から実行され、データは D3 ドメインにある SRAM4 に格納されます。このとき、D キャッシュは有効です。

6 - D1_ITCM - D1_SDRAM : プログラムは ITCM-RAM から実行され、データは D1 ドメインにある SDRAM に格納されます。このとき、D キャッシュは有効です。

7 - D1_Flash - D1_DTCM : プログラムは内部 Flash メモリから実行され、データは DTCM-RAM に格納されます。このとき、I キャッシュと D キャッシュは有効です。FFT アルゴリズムでは巨大な定数を使用します。読出し専用データは、この場合、内部 Flash メモリに配置されます。これが、D キャッシュも有効になる理由です。

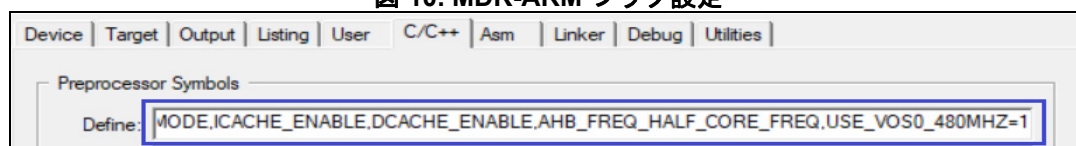
8 - D1_QuadSPI_Single - D1_DTCM : プログラムは Quad-SPI Flash メモリから実行されます。このとき、I キャッシュと D キャッシュは有効です（定数が Quad-SPI Flash に配置されているため）。Quad-SPI Flash メモリはシングルモードで設定され、システムクロック周波数が 480 MHz に設定されている場合は 60 MHz で、システムクロック周波数が 400 MHz に設定されている場合は 50 MHz で有効化される DDR モードで動作します。

9 - D1_QuadSPI_Dual - D1_DTCM : プログラムは Quad-SPI Flash メモリから実行されます。このとき、I キャッシュと D キャッシュは有効です（定数が Quad-SPI Flash に配置されているため）。Quad-SPI Flash メモリはデュアルモードで設定され、システムクロック周波数が 480 MHz に設定されている場合は 60 MHz で、システムクロック周波数が 400 MHz に設定されている場合は 50 MHz で有効化される DDR モードで動作します。

10 - D1_SDRAM_Swapped - D1_DTCM : プログラムはバンク 2 のスワップアドレス (0xD000 0000 -> 0x7000 0000) により FMC-SDRAM から実行され、データは DTCM-RAM に格納されます。I キャッシュと D キャッシュは有効であり（定数は SDRAM に配置されます）、SDRAM は 100 MHz で動作します。

各設定には、独自のフラグセットがあります。これらのフラグは、設定プロジェクトで設定可能です。[図 10](#) に、MDK-ARM ツールチェーンに対してこれらのフラグが定義される場所を示します。

図 10. MDK-ARM フラグ設定



コードは、すべての設定でレベル 3 (Optimize for time) に最適化されています。

プロジェクトのフラグは次のとおりです。

- **USE_VOS0_480MHZ** : システムクロック周波数を定義します。
 - USE_VOS0_480MHZ = 1 の場合、システムクロック周波数は 480 MHz に設定されます。
 - USE_VOS0_480MHZ = 0 の場合、システムクロック周波数は 400 MHz に設定されます。
- **AHB_FREQ_X_CORE_FREQ** : コアおよびバスマトリックスの動作周波数を定義します。X は HALF または EQU と同等です。次の 2 つの設定があります。
 - **AHB_FREQ_HALF_CORE_FREQ** : AXI バスマトリックスと 2 つの AHB バスマトリックスはコア周波数の半分で動作します。
 - **AHB_FREQ_EQU_CORE_FREQ** : AXI バスマトリックスと 2 つの AHB バスマトリックスはコアと同じ周波数で動作します。

デフォルト値は AHB_FREQ_HALF_CORE_FREQ です。コアは、AXI および AHB バスマトリックスの 2 倍の周波数で動作します。

- **DCACHE_ENABLE** : 設定プロジェクトで定義されている場合、データキャッシュは有効化されます。
- **ICACHE_ENABLE** : 設定プロジェクトで定義されている場合、命令キャッシュは有効化されます。
- **FLASH_WS** : このフラグは、内部 Flash のウェイトステート数を設定します。

FLASH_WS = FLASH_LATENCY_X、ここで X の範囲は 0 (0 ウェイトステート) から 15 (15 ウェイトステート) です。プロジェクト設定におけるウェイトステートのデフォルト数は 2 です (X = 4)。

注： フラグ `USE_VOS0_480MHZ = 0` の場合、Flash メモリのウェイトステートは 2 である場合があります。フラグ `USE_VOS0_480MHZ = 1` でユーザが Flash メモリのウェイトステートを 4 未満の値に設定しようとした場合、コンパイル時に `#error` が発生し、ユーザに Flash メモリのウェイトステートの値を増やすように伝えます。

- **DATA_IN_ExtSDRAM** : 設定プロジェクトで定義されている場合、SDRAM はデータストレージまたはコード実行のために設定され、使用できるようになっています。
- **SDRAM_MEM_BUS_WIDTH** : このフラグは、外部 SDRAM バスの幅を次のように設定します。
`SDRAM_MEM_BUS_WIDTH = FMC_SDRAM_MEM_BUS_WIDTH_X` で、X は 8、16、または 32 です。
- **SDRAM_ADDRESS_SWAPPED** : 設定プロジェクトで定義されている場合、SDRAM バンク 2 のアドレスは `0xD000 0000` から `0x7000 0000` に再配置されます。この再配置により、SDRAM がキャッシュ可能で実行可能なメモリに再配置されます。

注： このフラグが削除されると、SDRAM バンク 2 のアドレスは、デフォルトのアドレス `0xD000 0000` に設定されます。MPU は、`system_stm32h7xx.c` ファイルで、その領域をキャッシュ可能かつ実行可能な領域として設定するために使用されます。このような場合、ハードフォールト例外を回避するために、SDRAM アドレスは対応するリンクファイルに相応に適応させる必要があります。すなわち、`0x70000000` を `0xD0000000` に置き換えます。

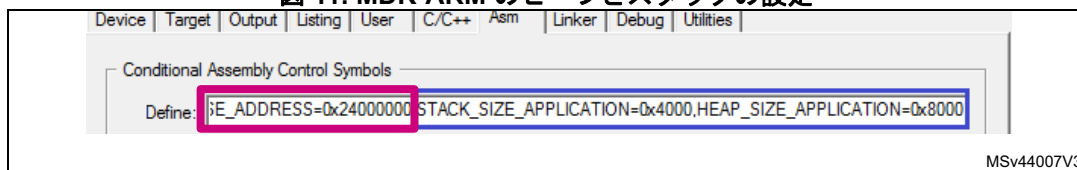
- **DATA_IN_QSPI** : 設定プロジェクトで定義されている場合、Quad-SPI Flash メモリが設定され、コード/データロケーションとして使用できる状態になります。
- **QSPI_DUAL_FLASH** : 設定プロジェクトで定義されている場合、Quad-SPI Flash メモリはデュアルモードで設定されます。このモードでは、データバスは 8 ビット幅です。
- **QSPI_CLK_PRESCALER** : このフラグは、Quad-SPI クロックプリスケアラを定義します。次のように設定されます。
`QSPI_CLK_PRESCALER = X`、ここで `X = 0 ~ 255`。
- **QSPI_DDRMODE** : 設定プロジェクトで定義されている場合、Quad-SPI は DDR モードで設定されます。
- **QSPI_INSTRUCTION_1_LINE, QSPI_INSTRUCTION_4_LINES** : 最初のフラグは Quad-SPI Flash 命令が 1 ラインモードで動作するよう設定するために使用され、2 番目のフラグは命令が 4 ラインモードで動作するように設定します。フラグが存在しない場合、Quad-SPI 命令は 1 ラインモードで設定されます。
- **QSPI_XIP_MODE** : 設定プロジェクトで定義されている場合、Quad-SPI は XIP モードで設定されます。最初に命令のみが送信されます。キャッシュが有効な場合、XIP モードは性能にほとんど影響しません。

ユーザは、これらのテンプレートに基づいて、コード実行/データストレージ位置の新しい設定を作成できます。これには、適切な設定をマージし、リンクファイルを変更し、適切な Flash ローダを設定します。

注： スキャッタファイルの RAM 領域（スタック領域とヒープ領域）を変更するには、それに応じて MDK-ARM ツールチェーンの ASM メニューのスタックサイズとヒープサイズを変更する必要があります。スキャッタファイルでの領域のサイズは、メインアプリケーションの実際のスタックサイズとは見なされません。ユーザは、`STACK_SIZE_APPLICATION` および `HEAP_SIZE_APPLICATION` フラグの値を変更し、それらの値をスキャッタファイルで設定されたヒープ/スタックサイズの領域に強制的に合わせる必要があります。

図 11 に、これらのフラグの変更箇所（青枠）を示します。ここには、外部メモリがデータストレージに使用された場合に用いられる初期スタックポインタもあります。サイズは 1 KB で、スタートアップファイル内の `Stack_Size_Init` 変数を変更することで変更できます。初期スタックポインタのベースアドレスは、図 11 に示すように ASM（アセンブリ制御シンボル）メニューで設定できます（赤枠参照）。

図 11. MDK-ARM のヒープとスタックの設定



さまざまな設定のスキヤットファイルは、デモンストレーションプロジェクトの *MDK-ARM\scatter_files* パス内にあります。

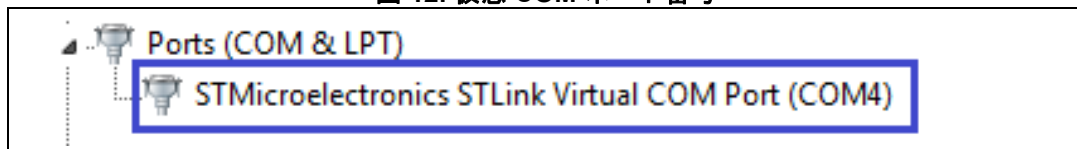
IAR™ (EWARM) ツールチェーンの場合、リンクは *EWARM\icf_files* 内にあります。System Workbench ツールチェーンの場合、リンクは *SW4STM32\<project folder configuration>* 内にあります。

結果は、次の設定で仮想 COM ポートを使用し、UART を介して HyperTerminal PC アプリケーションに表示できます。

- ボーレート：115200
- データビット：7 ビット
- ストップ・ビット：1 ビット
- パリティ：奇数
- HW フロー制御：なし

ボードが使用している COM 番号を調べるには、ボード ST-LINK を USB ケーブルで PC に接続し、[コントロールパネル] > [システム] > [デバイスマネージャ] > [ポート (COM & LPT)] を参照する必要があります。図 12 に、UART の COM 番号が COM4 の例を示します。

図 12. 仮想 COM ポート番号



4 ベンチマークの結果と分析

このセクションでは、使用した設定の後に各機能の有効化（I キャッシュおよび D キャッシュ）について説明し、それらに対応する取得した結果（FFT アルゴリズムによって消費されたナノ秒単位の時間）を示します。

結果は、Keil[®] MDK-ARM (v5.27.1) ツールチェーン、STM32H7xx パックバージョン 2.2.0 および STM32CubeH7 マイクロコントローラパッケージバージョン 1.4.0 を使用して取得したものです。

MDK-ARM コードの最適化設定は、レベル 3（時間用に最適化）に設定されます。

命令フェッチが CPU の AXIM バスを介して実行される場合、コード実行の性能を高めるために I キャッシュを有効にする必要があります。

データが CPU の AXIM バスを介してフェッチされている場合、メモリへのデータアクセスの性能を向上させ、遅延を解消するために、D キャッシュを有効にする必要があります。

コードが ITCM-RAM に配置されていない場合、以下の設定については、I キャッシュを有効にする必要があります。

- 7 - D1_Flash - D1_DTCM
- 8 - D1_QuadSPI_Single - D1_DTCM
- 9 - D1_QuadSPI_Dual - D1_DTCM
- 10 - D1_SDRAM_Swapped - D1_DTCM

これらの設定では、命令は CPU の AXIM バスからフェッチされます。

以下の設定で、DTCM-RAM に読み出し/書き込みデータが配置されていないすべての設定について、D キャッシュを有効にする必要があります。

- 2 - D1_ITCM - D1_AXISRAM
- 3 - D1_ITCM - D2_SRAM1
- 4 - D1_ITCM - D2_SRAM2
- 5 - D1_ITCM - D3_SRAM4
- 6 - D1_ITCM - D1_SDRAM

以下の設定で、読み出し専用データが ITCM-RAM に配置されていない場合にも、D キャッシュを有効にする必要があります。

- 7 - D1_Flash - D1_DTCM
- 8 - D1_QuadSPI_Single - D1_DTCM
- 9 - D1_QuadSPI_Dual - D1_DTCM
- 10 - D1_SDRAM_Swapped - D1_DTCM

デモンストレーションで使用した FFT アルゴリズムの場合、非常に大量の読み出し専用データが使用されます。設定 7、8、9、および 10 のデータキャッシュを無効にすると、性能が大幅に低下します。

設定 6 および 10 では、SDRAM はスワップされます（キャッシュを使用可能にし、メモリ領域を実行可能にするために、0xD000 0000 から 0x7000 0000 に再配置されます）。これは、0xA000 0000 から 0xDFFF FFFF のデフォルトの MPU 属性領域がデバイスメモリアイプの領域であり、キャッシュ可能でも実行可能でもないためです。

4.1 ベンチマークの結果

結果は、STM32H743I-EVAL ボードを使用して取得したものです。提供されたプロジェクトで、Arm® Cortex®-M7 およびバスマトリックスは、それぞれ以下の値で実行可能です。

- 480 MHz および 240 MHz (VOS0: リビジョン Y より高いシリコンリビジョンの場合のみ、Flash ウェイトステート = 4)
- 240 MHz および 240 MHz (VOS0: リビジョン Y より高いシリコンリビジョンの場合のみ、Flash ウェイトステート = 4)
- 400 MHz および 200 MHz (VOS1: すべてのシリコンリビジョン、Flash ウェイトステート = 2)
- 200 MHz および 200 MHz (VOS1: すべてのシリコンリビジョン、Flash ウェイトステート = 2)

注：本書に記載されている性能結果は、STM32H742x、STM32H743x、STM32H750x、および STM32H753x のすべてのデバイスに適用されます。

4.1.1 データと命令の位置が性能に与える影響

表 8 および表 9 に、各設定の MDK-ARM と 480 MHz で動作する Cortex®-M7 を使用して得られた FFT のデモンストレーション性能結果を示します。これらの表は、リビジョン Y より高いシリコンリビジョンの場合にのみ使用できます。

表 10 および表 11 は、240 MHz で動作する CPU を使用した場合と同じタイプの結果を示します (CPU とバスマトリックスは同じ周波数で動作します)。これらの表は、リビジョン Y より高いシリコンリビジョンの場合にのみ使用できます。

表 12 および表 13 に、Cortex®-M7 が 400 MHz で動作する各設定の MDK-ARM を使用して得られた FFT のデモンストレーション性能結果を示します。これらの表は、すべてのシリコンリビジョンで使用できます。

表 14 および表 15 は、200 MHz で動作する CPU を使用した場合と同じタイプの結果を示します (CPU とバスマトリックスは同じ周波数で動作します)。これらの表は、すべてのシリコンリビジョンで使用できます。

表 8、表 10、表 12、および表 14 では、コードと読出し専用 (RO) のデータロケーションは ITCM-RAM に固定されますが、読出し/書込み (R/W) のデータロケーションは各設定によって異なります。R/W データに使用されるメモリ (内部/外部) は、異なるドメインにあります。

表 9、表 11、表 13、および表 15 では、R/W のデータロケーションは DTCM-RAM に固定され、コードと RO データロケーションは設定ごとに異なります。

**表 8. 異なるメモリ位置における MDK-ARM のデータストレージの結果
(実行位置は ITCM-RAM に固定)、CPU が 480 MHz で動作している場合
(AHB_FREQ_HALF_CORE_FREQ、USE_VOS0_480MHZ = 1、Flash ws = 4)**

キャッシュの設定	設定	実行時間 (ns) ⁽¹⁾	相対比
-	1 - D1_ITCM - D1_DTCM (リファレンス)	260327	1.00
D キャッシュオン	2 - D1_ITCM - D1_AXISRAM	266345	1.02
D キャッシュオン	3 - D1_ITCM - D2_SRAM1	270612	1.04
D キャッシュオン	4 - D1_ITCM - D2_SRAM2	271689	1.04
D キャッシュオン	5 - D1_ITCM - D3_SRAM4	271693	1.04
D キャッシュオン	6 - D1_ITCM - D1_SDRAM	300495	1.15

1. 実行時間の値は、ツールチェーンのバージョンごとに異なることがあります。

表 9. 異なるメモリ位置における MDK-ARM の実行の結果
(データロケーションは DTCM-RAM に固定)、CPU が 480 MHz で動作している場合
(AHB_FREQ_HALF_CORE_FREQ、USE_VOS0_480MHZ = 1、Flash ws = 4)

キャッシュの設定	設定	実行時間 (ns 単位) ⁽¹⁾	相対比
-	1 - D1_ITCM - D1_DTCM (リファレンス)	260327	1.00
I キャッシュ + D キャッシュオン	7 - D1_Flash - D1_DTCM	276135	1.06
I キャッシュ + D キャッシュオン	8 - D1_QuadSPI_Single - D1_DTCM	459691	1.77
I キャッシュ + D キャッシュオン	9 - D1_QuadSPI_Dual - D1_DTCM	366166	1.41
I キャッシュ + D キャッシュオン	10 - D1_SDRAM_Swapped - D1_DTCM	298218	1.15

1. 実行時間の値は、ツールチェーンのバージョンごとに異なることがあります。

表 10. 異なるメモリ位置における MDK-ARM のデータストレージの結果
(実行位置は ITCM-RAM に固定)、CPU が 240 MHz で動作している場合
(AHB_FREQ_EQU_CORE_FREQ、USE_VOS0_480MHZ = 1、Flash ws = 4)

キャッシュの設定	設定	実行時間 (ns 単位) ⁽¹⁾	相対比
-	1 - D1_ITCM - D1_DTCM (リファレンス)	520650	1.00
D キャッシュオン	2 - D1_ITCM - D1_AXISRAM	528150	1.01
D キャッシュオン	3 - D1_ITCM - D2_SRAM1	531033	1.02
D キャッシュオン	4 - D1_ITCM - D2_SRAM2	532091	1.02
D キャッシュオン	5 - D1_ITCM - D3_SRAM4	532100	1.02
D キャッシュオン	6 - D1_ITCM - D1_SDRAM	560283	1.08

1. 実行時間の値は、ツールチェーンのバージョンごとに異なることがあります。

表 11. 異なるメモリ位置における MDK-ARM の実行の結果
(データロケーションは DTCM-RAM に固定)、CPU が 240 MHz で動作している場合
(AHB_FREQ_EQU_CORE_FREQ、USE_VOS0_480MHZ = 1、Flash ws = 4)

キャッシュの設定	設定	実行時間 (ns 単位) ⁽¹⁾	相対比
-	1 - D1_ITCM - D1_DTCM (リファレンス)	520650	1.00
I キャッシュ + D キャッシュオン	7 - D1_Flash - D1_DTCM	542854	1.04
I キャッシュ + D キャッシュオン	8 - D1_QuadSPI_Single - D1_DTCM	670491	1.29
I キャッシュ + D キャッシュオン	9 - D1_QuadSPI_Dual - D1_DTCM	611062	1.17
I キャッシュ + D キャッシュオン	10 - D1_SDRAM_Swapped - D1_DTCM	550070	1.06

1. 実行時間の値は、ツールチェーンのバージョンごとに異なることがあります。

表 12. 異なるメモリ位置における MDK-ARM のデータストレージの結果
(実行位置は ITCM-RAM に固定)、CPU が 400 MHz で動作している場合
(AHB_FREQ_HALF_CORE_FREQ、USE_VOS0_480MHZ = 0、Flash ws = 2)

キャッシュの設定	設定	実行時間 (ns 単位) ⁽¹⁾	相対比
-	1 - D1_ITCM - D1_DTCM (リファレンス)	312382	1.00
D キャッシュオン	2 - D1_ITCM - D1_AXISRAM	319605	1.02
D キャッシュオン	3 - D1_ITCM - D2_SRAM1	324735	1.04
D キャッシュオン	4 - D1_ITCM - D2_SRAM2	326027	1.04
D キャッシュオン	5 - D1_ITCM - D3_SRAM4	326032	1.04
D キャッシュオン	6 - D1_ITCM - D1_SDRAM	352642	1.13

1. 実行時間の値は、ツールチェーンのバージョンごとに異なることがあります。

表 13. 異なるメモリ位置における MDK-ARM のデータストレージの結果
(実行位置は ITCM-RAM に固定)、CPU が 400 MHz で動作している場合
(AHB_FREQ_HALF_CORE_FREQ、USE_VOS0_480MHZ = 0、Flash ws = 2)

キャッシュの設定	設定	実行時間 (ns 単位) ⁽¹⁾	相対比
-	1 - D1_ITCM - D1_DTCM (リファレンス)	312382	1.00
I キャッシュ + D キャッシュオン	7 - D1_Flash - D1_DTCM	327817	1.05
I キャッシュ + D キャッシュオン	8 - D1_QuadSPI_Single - D1_DTCM	592282	1.90
I キャッシュ + D キャッシュオン	9 - D1_QuadSPI_Dual - D1_DTCM	473580	1.52
I キャッシュ + D キャッシュオン	10 - D1_SDRAM_Swapped - D1_DTCM	345840	1.11

1. 実行時間の値は、ツールチェーンのバージョンごとに異なることがあります。

表 14. 異なるメモリ位置における MDK-ARM のデータストレージの結果
(実行位置は ITCM-RAM に固定)、CPU が 200 MHz で動作している場合
(AHB_FREQ_EQU_CORE_FREQ、USE_VOS0_480MHZ = 0、Flash ws = 2)

キャッシュの設定	設定	実行時間 (ns 単位) ⁽¹⁾	相対比
-	1 - D1_ITCM - D1_DTCM (リファレンス)	624765	1.00
D キャッシュオン	2 - D1_ITCM - D1_AXISRAM	633775	1.01
D キャッシュオン	3 - D1_ITCM - D2_SRAM1	637235	1.02
D キャッシュオン	4 - D1_ITCM - D2_SRAM2	638505	1.02
D キャッシュオン	5 - D1_ITCM - D3_SRAM4	638515	1.02
D キャッシュオン	6 - D1_ITCM - D1_SDRAM	664720	1.06

1. 実行時間の値は、ツールチェーンのバージョンごとに異なることがあります。

表 15. 異なるメモリ位置における MDK-ARM の実行の結果
 (データロケーションは DTCM-RAM に固定)、CPU が 200 MHz で動作している場合
 (AHB_FREQ_EQU_CORE_FREQ、USE_VOS0_480MHZ = 0、Flash ws = 2)

キャッシュの設定	設定	実行時間 (ns 単位) ⁽¹⁾	相対比
-	1 - D1_ITCM - D1_DTCM (リファレンス)	624765	1.00
I キャッシュ + D キャッシュオン	7 - D1_Flash - D1_DTCM	647915	1.04
I キャッシュ + D キャッシュオン	8 - D1_QuadSPI_Single - D1_DTCM	821015	1.31
I キャッシュ + D キャッシュオン	9 - D1_QuadSPI_Dual - D1_DTCM	748810	1.20
I キャッシュ + D キャッシュオン	10 - D1_SDRAM_Swapped - D1_DTCM	654390	1.05

1. 実行時間の値は、ツールチェーンのバージョンごとに異なることがあります。

$$\text{Relative ratio} = \text{execution_time_config_X} / \text{execution_time_config_1}$$

相対比の計算により、特定の設定の性能を最高性能の設定 (1 - D1_ITCM - D1_DTCM) と比較したり、特定の設定の性能を別の設定と比較したりできます。

図 13 のチャートは、各設定に対する本ベンチマークのリファレンスである設定 1 の相対比を示しています。このチャートは、CPU が 480 MHz で動作していて、コードの位置が ITCM-RAM に固定されているときの、異なるメモリ位置におけるデータストレージの FFT ベンチマークを示しています。

図 13. STM32H74x および STM32H75x の FFT ベンチマーク : MDK-ARM ツールチェーンを使用した 480 MHz での異なるメモリ位置 (ITCM-RAM のコード) におけるデータストレージ

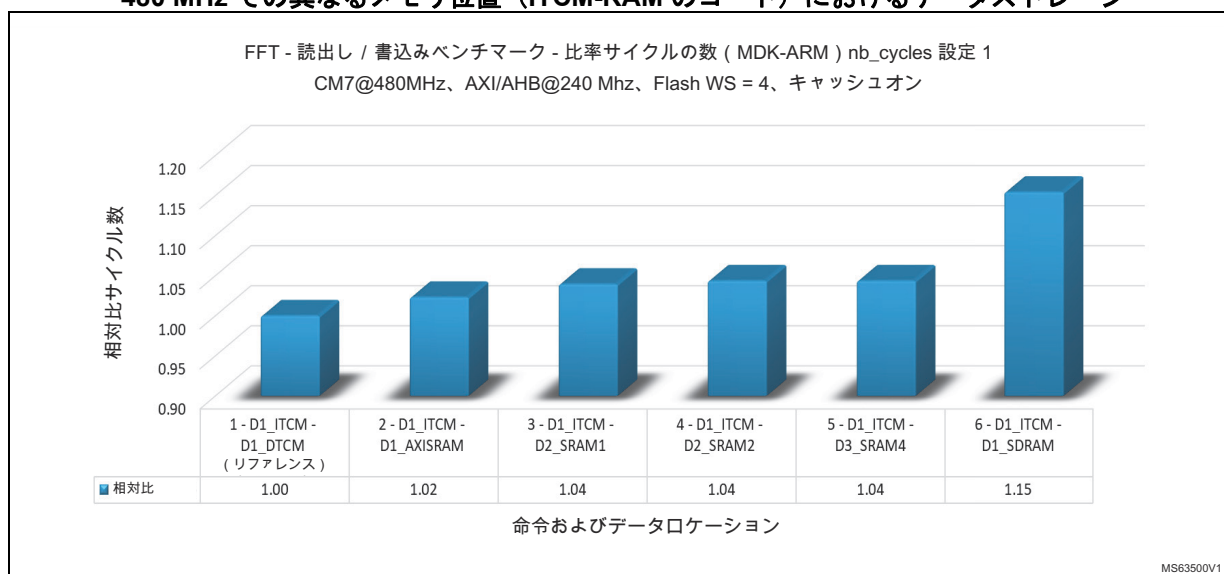


図 14 のチャートは、各設定に対する設定 1 (D1_ITCM - D1_DTCM) の相対比を示しています。これは、CPU が 480 MHz で動作していて、データストレージ位置が DTCM-RAM に固定されているときに、異なるメモリ位置からコードを実行する FFT ベンチマークを表しています。

図 14. STM32H74x および STM32H75x の FFT ベンチマーク : MDK-ARM ツールチェーンを使用した 480 MHz での異なるメモリ位置 (DTCM-RAM の R/W データ) からのコード実行

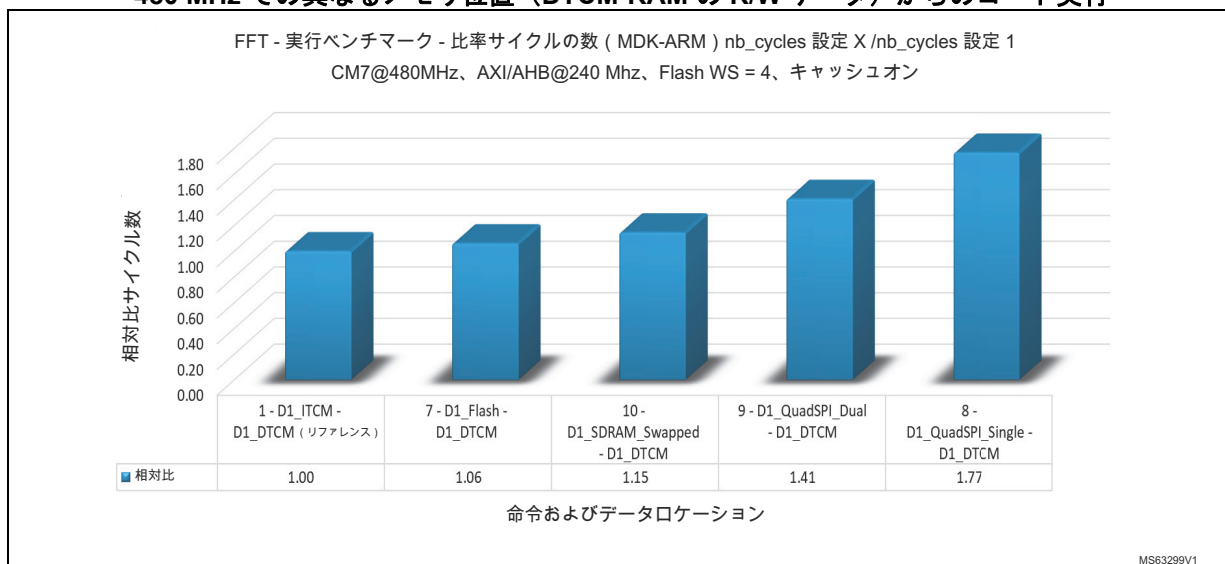


図 15 のチャートは、各設定に対する本ベンチマークのリファレンスである設定 1 の相対比を示しています。このチャートは、CPU が 400 MHz で動作していて、コードの位置が ITCM-RAM に固定されているときの、異なるメモリ位置におけるデータストレージの FFT ベンチマークを示しています。

図 15. STM32H74x および STM32H75x の FFT ベンチマーク : MDK-ARM ツールチェーンを使用した 400 MHz での異なるメモリ位置 (ITCM-RAM のコード) におけるデータストレージ

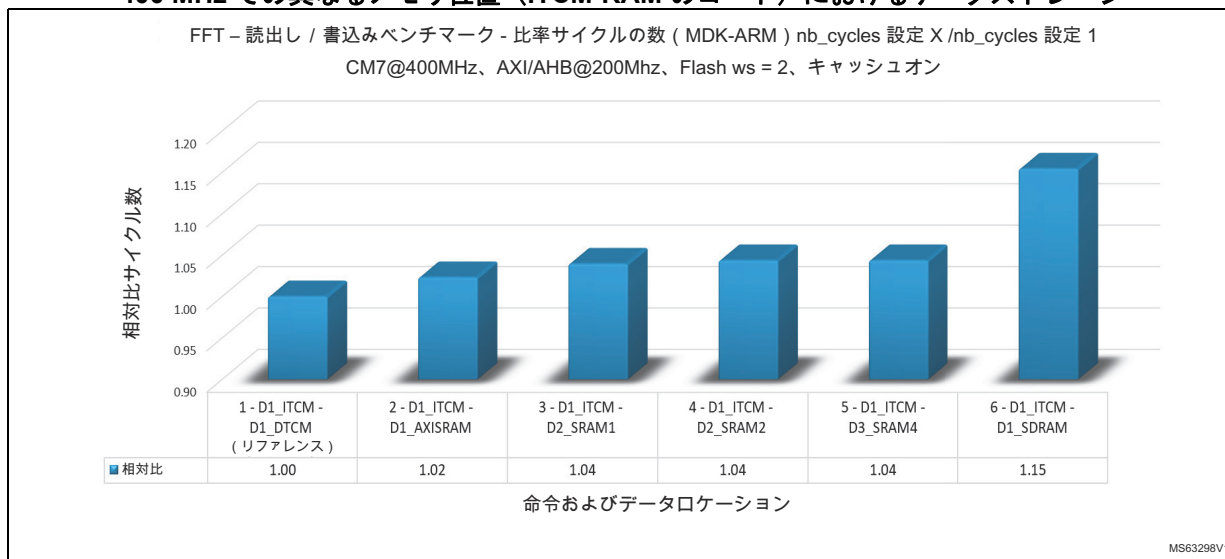
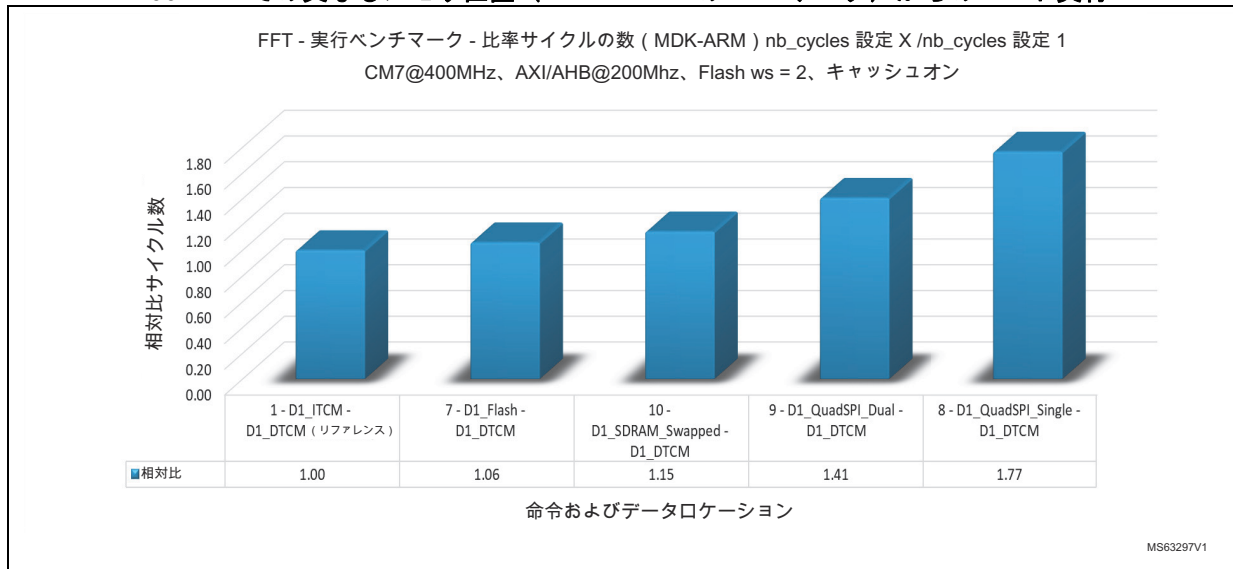


図 16 のチャートは、各設定に対する設定 1 (D1_ITCM - D1_DTCM) の相対比を示しています。これは、CPU が 400 MHz で動作していて、データストレージ位置が DTCM-RAM に固定されているときに、異なるメモリ位置からコードを実行する FFT ベンチマークを表しています。

図 16. STM32H74x および STM32H75x の FFT ベンチマーク : MDK-ARM ツールチェーンを使用した 400 MHz での異なるメモリ位置 (DTCM-RAM の R/W データ) からのコード実行



4.1.2 基本パラメータが性能に与える影響

性能に影響を与える一部の基本パラメータは以下のとおりです。

- Flash メモリのウェイトステート数
- バス幅、クロック周波数、再配置などの SDRAM パラメータ

Flash メモリのウェイトステート数

このセクションでは、Flash メモリのウェイトステートの数がもたらす性能への影響について説明します。

以下の結果は、FLASH_WS パラメータが IDE プリプロセッサに設定された設定 7 - D1_Flash - D1_DTCM により取得したものです。

例 : FLASH_WS=FLASH_LATENCY_4 では、Flash ウェイトステートの数を 4 に設定します。

表 16 は、CPU と AXI がそれぞれ 480 MHz と 240 MHz で動作している場合の、性能に対するウェイトステートの影響の結果一覧を示します。

表 17 は、CPU と AXI がそれぞれ 400 MHz と 200 MHz で動作している場合の、性能に対するウェイトステートの影響の結果一覧を示します。

表 16. Flash ウェイトステートの数と性能 (MDK-ARM) /CPU が 480 MHz で動作している場合/AXI が 240 MHz で動作している場合 (VOS0)

7 - D1_Flash - D1_DTCM			
CPU 周波数 = 480 MHz、 AXI 周波数 = 240 MHz (VOS0)	実行時間 (ns)	相対比	減少 (%)
Flash ws = 4 (リファレンス)	276135	1.00	-
Flash ws = 5	277627	1.01	0.54
Flash ws = 6	279177	1.01	1.10
Flash ws = 7	280685	1.02	1.65
Flash ws = 8	282247	1.02	2.21
Flash ws = 9	283737	1.03	2.75
Flash ws = 10	285195	1.03	3.28

表 17. Flash ウェイトステートの数と性能 (MDK-ARM) /CPU が 400 MHz で動作している場合/AXI が 200 MHz で動作している場合 (VOS1)

7 - D1_Flash - D1_DTCM			
CPU 周波数 = 400 MHz、 AXI 周波数 = 200 MHz (VOS1)	実行時間 (ns)	相対比	減少 (%)
Flash ws = 2 (リファレンス)	327817	1.00	-
Flash ws = 3	329597	1.01	0.54
Flash ws = 4	331397	1.01	1.09
Flash ws = 5	333187	1.02	1.64
Flash ws = 6	335107	1.02	2.22
Flash ws = 7	336857	1.03	2.76
Flash ws = 8	338622	1.03	3.30

上記の結果 (表 16 および表 17) は、Flash ウェイトステートの数が 1 でインクリメントされると、約 0.54% の性能の低下を示します。

SDRAM のパラメータと設定

このセクションでは、SDRAM バス幅、クロック周波数、ならびに SDRAM の再配置 (スワップされたバンクとスワップされないバンク) など、一部の SDRAM パラメータが性能に与える影響について取り上げます。デフォルトでは、SDRAM のマッピングはスワップされないバンク設定に設定されています (図 6 を参照)。使用された SDRAM はアドレス 0xD000 0000 にマッピングされていますが、これはキャッシュ可能領域でも実行可能領域でもありません。この設定を使用するには、IDE プリプロセッサから SDRAM_ADDRESS_SWAPPED の定義を削除します。SDRAM_ADDRESS_SWAPPED フラグの詳細については、セクション 3.2 の説明を参照してください。

表 18 に、6 - D1_ITCM - D1_SDRAM 設定で SDRAM バス幅とそのクロック周波数を調整することによって取得した結果を示します。

表 18. SDRAM データ読み出し/書き込みアクセス性能と 6 - D1_ITCM - D1_SDRAM 設定に基づくバス幅およびクロック周波数

6 - D1_ITCM - D1_SDRAM	実行時間 (ns 単位)	減少 (%)
バス幅 32 ビット / SDRAM クロック = 100 MHz	300495	-
バス幅 32 ビット / SDRAM クロック = 66.7 MHz	322895	7.45
バス幅 16 ビット / SDRAM クロック = 100 MHz	321995	7.15
バス幅 16 ビット / SDRAM クロック = 66.7 MHz	352914	17.44
バス幅 8 ビット / SDRAM クロック = 100 MHz	364193	21.20
バス幅 8 ビット / SDRAM クロック = 66.7 MHz	419377	39.56

10 - D1_SDRAM_Swapped - D1_DTCM 設定に対して同じベンチマークが実行されています。結果を表 19 に示します。

表 19. SDRAM からの実行性能と 10 - D1_SDRAM_Swapped - D1_DTCM の設定に基づくバス幅およびクロック周波数

10 - D1_SDRAM_Swapped - D1_DTCM	実行時間 (ns 単位)	減少 (%)
バス幅 32 ビット / SDRAM クロック = 100 MHz	298218	-
バス幅 32 ビット / SDRAM クロック = 66.7 MHz	315235	5.71
バス幅 16 ビット / SDRAM クロック = 100 MHz	320314	7.41
バス幅 16 ビット / SDRAM クロック = 66.7 MHz	352239	18.11
バス幅 8 ビット / SDRAM クロック = 100 MHz	377681	26.65
バス幅 8 ビット / SDRAM クロック = 66.7 MHz	447493	50.06

表 20 に、6 - D1_ITCM - D1_SDRAM 設定に基づいた SDRAM のスワップされた設定とスワップされない設定の SDRAM データ読み出し/書き込みアクセスの結果を示します。

表 20. 6 - D1_ITCM - D1_SDRAM 設定に基づくスワップされたバンク設定またはスワップされないバンク設定での SDRAM データ読み出し/書き込みアクセス性能

6 - D1_ITCM - D1_SDRAM	実行時間 (ns 単位)	減少 (%)
1 - D1_ITCM - D1_DTCM (リファレンス)	260327	-
スワップされた SDRAM 32 ビット / SDRAM クロック = 100 MHz	300495	15.43
スワップされない SDRAM 32 ビット / SDRAM クロック = 100 MHz	300520	15.44

表 21 に、10 - D1_SDRAM_Swapped - D1_DTCM 設定を用いた SDRAM のスワップされた設定とスワップされない設定の SDRAM からのコード実行の結果を示します。

表 21. 10 - D1_SDRAM_Swapped - D1_DTCM 設定に基づくスワップされたバンク設定またはスワップされないバンク設定での SDRAM からの実行性能

10 - D1_SDRAM_Swapped - D1_DTCM	実行時間 (ns 単位)	減少 (%)
1 - D1_ITCM - D1_DTCM (リファレンス)	260327	-
スワップされた SDRAM 32 ビット / SDRAM クロック = 100 MHz	298218	14.56
スワップされない SDRAM 32 ビット / SDRAM クロック = 100 MHz	298116	14.52

4.2 結果分析

異なるメモリ位置におけるデータストレージのベンチマークの場合 (図 13 および図 15)、コード位置は ITCM-RAM に固定されます。これには、実際のゼロウェイトステートアクセスでコードが実行されるという利点があります。この方法により、コード実行によるメモリ遅延の影響が排除されます。これにより、命令フェッチの干渉が排除され、複数のメモリ位置で R/W データアクセスのみのベンチマークを行うことができます。

異なるメモリ位置におけるコード実行のベンチマークの場合 (図 14 および図 16)、データロケーションは DTCM-RAM に固定されます。これには、データへのアクセスが遅延なしで実行されるという利点があります。この方法により、R/W データへのあらゆるメモリ遅延の影響が排除されます。このような設定により、データアクセスの干渉を受けることなく、いくつかのメモリ位置で命令フェッチのみのベンチマークを行うことができます。

さまざまなメモリインタフェースに対する Cortex®-M7 アクセスの実際の性能を示すため、さまざまな設定の 240 MHz (表 14 および表 15 に示すバスマトリックスと同じ周波数) で動作する Cortex®-M7 コアの相対比も計算されます。

製品の最高性能を実現するために、キャッシュの使用を推奨します。内部メモリであるか外部メモリであるかを問わず、すべてのメモリアクセスに使用できます。キャッシュの使用が必要なのは TCM-RAM のみです。キャッシュは、ブリッジと相互接続によって発生する遅延を隠します。これにより、DTCM-RAM へのデータストレージと ITCM-RAM でのコード実行について、ほぼ同じレベルの性能を得ることができます。

Cortex®-M7 で最高のデータストレージアクセス性能を得るために、最適な R/W データの位置は DTCM-RAM です。これは、決定論的アクセスにより、遅延なしでアクセスされるためです (キャッシュメンテナンスは実行されません)。DTCM-RAM は、Cortex®-M7 と同じ周波数で動作します (最大 480 MHz)。他の RAM 位置では、内部メモリであるか外部メモリであるかを問わず、また別のドメインに配置されている場合でも、キャッシュが有効なときは決定論的アクセスを提供しませんが、引き続き DTCM-RAM と同様の性能アクセスを示します (図 15 を参照)。

性能の面でコード実行に最適な場所は、決定論的な方法で遅延なしでアクセスされ、Cortex®-M7 コアと同じ周波数で動作する ITCM-RAM です。内部 Flash メモリからコードが実行された場合、480 MHz であっても同様のレベルの性能を得られます。これは、STM32H74x/75x に実装されているキャッシュサイズと、内部 Flash メモリのウェイトステートの数が小さいためです (図 16 を参照)。

性能を向上させるため、Quad-SPI Flash をデュアル Flash メモリモードを使用することを推奨します。FFT アルゴリズムを使用した場合、デュアル Flash モードを使用することで、シングル Flash モードと比較して、性能が 20% 向上します。

SDRAM の場合、キャッシュを有効にして内部 Flash メモリから実行した場合と比較して、コード実行で同様の性能が得られます。

5 ソフトウェアのメモリ分割とヒント

このセクションでは、性能とコード/データサイズの間で最高のトレードオフを実現するために、STM32H72x/73x/74x/75x メモリでのコードとデータの分割に関するヒントをいくつか紹介します。製品の最適な設定と問題回避に関する推奨事項についても説明します。

5.1 ソフトウェアのメモリ分割

Cortex[®]-M7 では、ゼロウェイトステートで TCM メモリに 64 ビット幅で直接アクセスできるため、DTCM-RAM と ITCM-RAM の位置は、データの読出し/書込みと命令フェッチにそれぞれ最適です。

したがって、ITCM-RAM は、キャッシュミスを待つことができない割込みハンドラなどの決定論的に実行される重要なコードや、モータ制御アプリケーションなどを対象とした一部の重要な制御ループのために確保されています。STM32H72x/73x ITCM-RAM のサイズは設定可能であるため、アプリケーション要件に合わせるすることができます（[セクション 2.6](#) を参照）。

DTCM-RAM は、R/W データへの定期的なアクセスと、スタックやヒープなどの決定性が求められる重要なリアルタイムデータのために確保されています。計算を高速化するため、またデータがたとえば D1 ドメインの AXI SRAM、D2 ドメインの SRAM1、または D3 ドメインの SRAM4 にある場合は、CPU クロック速度で処理されるよう、データをこれらのメモリから DTCM-RAM に移動するために、MDMA を使用できます。

一般に、RTOS を使用したリアルタイムアプリケーションでは、ヒープを大量に使用します。DTCM-RAM のサイズ（128 KB）がアプリケーションに対して十分に大きい場合、DTCM-RAM の適正な分散は、スタック用に 16 KB、ヒープ用に 92 KB、そしてグローバル変数用に 20 KB です。ユーザは、アプリケーションのニーズに合わせて DTCM-RAM を分散させることができますが、ヒープ変数やグローバル変数と比較して、より高い優先順位を DTCM-RAM へのスタックの配置に与える必要があります。ベアメタルアプリケーションモデルでは、ヒープはあまり使われず、スタック変数とグローバル変数の間のみ DTCM-RAM が分散されます。

ユーザアプリケーションのコードサイズが（キャッシュが有効な状態で）内部 Flash メモリに収まる場合、後者が（性能面で）コード実行に適切な位置であり、決定性を必要とする重要なコードは ITCM-RAM に配置されます。

D1 ドメインにある AXI SRAM は、LCD-TFT および DMA2D DMA で保証され、大量のグラフィックデータと高い表示性能を必要とする 16 ビットモードの QVGA TFT を使用してグラフィック・アプリケーションにおけるグラフィック・フレーム・バッファ用に保持できます。これを実現するには、STM32H72x/73x の共有 SRAM を AXI メモリとして設定する必要があります。このメモリは、DTCM-RAM に利用可能な空間がなくなった場合に、データストレージ用としても使用できます。その場合、データキャッシュを有効にした AXI SRAM の領域をグローバル変数用に保持できます。これは、決定論的アクセスが必要な重要データにより多くの空間を残すためです。

D2 ドメインにある SRAM1、SRAM2、および SRAM3 は、Ethernet や USB などの D2 ドメインにあるペリフェラルの入出力データを格納するバッファとして使用できます。これらのデータは、バッファとディスクリプタ、または I2S オーディオフレームなどである場合があります。

DTCM-RAM でオーディオデータフレームを処理するには、MDMA を使用してオーディオデータフレームを SRAM1、SRAM2、または SRAM3 から DTCM-RAM にコピーします。これらのメモリは、CPU がデータキャッシュを使用してドメイン間バス（D1 から D2 へ）経由でアクセスできるので、グローバル変数として使用することもできます。

D3 ドメインにある SRAM4 は、通常、ユーザアプリケーションの低電力部分のデータを格納するために使用されます。D1 および D2 が DStandby モードに移行したときに、アプリケーションデータの一部を保持するために使用できます。低電力アプリケーションデータは、CPU の R/W データ、また

は LPUART1、I2C4 などのペリフェラル（D3 ドメインにある）によって転送されるバッファとして使用できます。

注： データキャッシュは、ドメイン D1 を STANDBY に切り替える前にクリアする必要があります。データキャッシュをクリアすると、保持するために SRAM4 に転送されたデータの損失を回避できます。

SRAM4 は、すべてのシステムが STANDBY モードに移行しない限り、使用可能な状態で維持されます。そうでない場合は、VBAT にバッテリーが接続された状態で、引き続きバックアップ SRAM を使用してデータの一部を保持することが可能です。ただし、リーク電流を低減するためにバックアップ SRAM のサイズは 4 KB に最適化されています (RM0433 および RM0468 リファレンスマニュアルを参照)。これにより、低電力アプリケーションの例が提供され、低電力モードアプリケーションでの D3 ドメインの使用方法が説明されます。

SRAM4 は、非低電力アプリケーション用の内部メモリ拡張として CPU のレギュラデータストレージに使用することもできます。

アプリケーションがより多くのメモリを必要としており、コード、データ、またはその両方が内部メモリに収まらない場合は、外部メモリを使用することで性能を損なうことなくメモリサイズを拡張できます。

たとえば、キャッシュを有効にすると、FMC を介して接続された最大 64 MB の外部 NOR Flash メモリには、アプリケーションの命令を格納できます。

内部 RAM がない場合でも、データキャッシュを有効にして、FMC インタフェースを介して外部 SRAM または SDRAM でデータを格納できます。これらのメモリには、グラフィカルアプリケーション用のフレームバッファまたは重要ではないデータを格納できます。同時に、DTCM-RAM に配置される非常に重要なデータの優先順位が高く設定されます。

Quad-SPI および Octo-SPI Flash メモリは、データキャッシュを有効にすることで、内部 Flash メモリアクセスとほぼ同じレベルの性能を維持しながら、読出し専用データ（比較的大きな画像またはオーディオファイル）の格納に使用できます。

Quad-SPI および Octo-SPI Flash メモリは、メモリマップドモードで最大 256 MB のアプリケーションコードを格納するために使用することもできます。また、同時に FMC インタフェースに接続する必要のあるパラレル Flash メモリと比べて小さい STM32H72x/73x/74x/75x デバイスパッケージに、いくつかの GPIO を保存できます。その場合、CPU が読出し専用データに定期的にアクセスする際に、後者を内部 Flash メモリにマッピングできます。アプリケーションで、より多くのメモリ空間とより高い実行性能が必要である場合は、ユーザはアプリケーションを Quad-SPI/Octo-SPI（ロード領域）にロードして、外部 SDRAM を使用できます。アプリケーションはここにコピーされ（スキャッタロードフェーズ）、実行されます（実行領域）。

5.2 推奨事項とヒント

キャッシュを有効にすると、すべてのメモリアクセスで最高の性能を得ることができます。TCM-RAM は Cortex[®]-M7 のアクセス性能に影響しないため例外です。

可能であれば、データが SRAM1、SRAM2、または SRAM3 にある場合、後で CPU によってより高い決定性と性能で処理（CPU クロック速度で計算）されるよう、MDMA を使用してデータを DTCM-RAM にコピーできます。

SDRAM バンク（FMC_BCR1 レジスタの BMAP[1:0] フィールドを設定）の場合、アプリケーションのデータストレージに外部メモリが使用され、それがキャッシュ可能領域にマッピングされないときは、キャッシュ可能領域への再割当てが可能であれば、単純にメモリ再配置を使用します。もしくは、MPU を使用して、メモリ MPU 属性をキャッシュ可能領域に設定します。

アプリケーションコードを格納するために外部メモリが使用されている場合、このメモリがマッピングされた領域のデフォルト属性が実行なし（XN）の場合は、注意が必要です。その場合、ユーザは MPU を使用してメモリを実行可能領域に変更する必要があり、そうしないとハードフォールト例外が発生します。これは、リセット後の SDRAM バンク領域の場合です（[セクション 3.2](#) で説明されている設定 6 および 10）。Cortex[®]-M7 のデフォルトの実行可能領域については、[表 3](#) を参照してください。

MDMA と Cortex[®]-M7 DTCM-RAM への同時アクセスの際には、Cortex[®]-M7 へのアクセスの優先順位が最高でない場合、アプリケーション速度が低下することがあります。この優先順位は、DTCM-RAM で Cortex[®]-M7 によってデータをロード/格納する重要なコードセクションの CM7_AHBSCR レジスタを使用して、ソフトウェアで管理できます。

QUADSPI をデュアル Flash メモリモードで使用すると、シングル Flash モードの設定よりも性能が向上します。可能であれば、このモードを選択することをお勧めします。

リセット後、D2 ドメインにある SRAM はデフォルトで無効化されます。ハードフォールト例外を回避するため、CPU がアクセスする前に RCC_AHB2ENR レジスタをプログラミングして有効にする必要があります。

6 まとめ

STM32H72x/73x/74x/75x デバイスは、STM32F7 シリーズの続きとして ST 高性能 32 ビットマイクロコントローラの幅を拡げています。

STM32H72x/73x/74x/75x は、前の世代と比べ、改善されたアーキテクチャ、内蔵された L1-キャッシュ (命令およびデータキャッシュ)、最大 550 MHz で動作する Cortex[®]-M7 コア、およびその 40 nm の製造技術により、より高い性能と最適な消費電力を実現しています。

内蔵 Flash メモリのウェイトステートの数は、同じ周波数で動作する STM32F7 シリーズに比べ、減少しています。これにより、性能が大幅に向上し、遅延が低減します。

また内部メモリのサイズは、より多くのメモリを消費するアプリケーションを適切に処理するために増加しており、その結果、アプリケーション開発にかかるリソースに関連する従来の制約がなくなり、新製品の製品化までの時間が短縮されています。

さらに、内部メモリの STM32F7 シリーズデバイスよりも多様なアーキテクチャが採用されているため、ユーザは最小の CPU アクセス遅延時間でより柔軟にコードやデータを配置できます。

ベンチマークとこのアプリケーション・ノートの結果は、コードやデータのメモリ位置にかかわらず、内部メモリと外部メモリのどちらの場合でも、性能が同等であることを示しています。

7 改版履歴

表 22. 文書改版履歴

日付	版	変更内容
2017年6月15日	1	初版発行
2019年4月24日	2	<p>置換：</p> <ul style="list-style-type: none"> - 必要に応じて、すべての STM32H7x3 リファレンスを STM32H74x および STM32H75x に置換。 - 該当する場合、クロック周波数を 200 から 240 MHz、400 から 480 MHz に置換。 - ドキュメント全体にわたって CPU の略記を Cortex[®]-M7 に置換。 <p>更新：</p> <ul style="list-style-type: none"> - ドキュメント全体にわたって SRAM バス周波数を 200MHz から 240MHz に更新。 - はじめにを最新の性能の数値に更新。 - セクション 2.2：Cortex[®]-M7 システムキャッシュ：サポートされているシリーズに更新。 - セクション 2.3.1：AXI バスインタフェース：「共有なし」という用語を削除。 - 図 2.4.1：D1 ドメインの AXI バスマトリックス：AXI メモリのサポートの説明を「最大 512 KB」に変更。 - セクション 2.4.3：ドメイン間バス：基本 DMA 定義を変更。 - セクション 2.5.1：内蔵 Flash メモリ：「最大 1 MB」という用語を追加、STM32H750 の例外を追加、Flash アドレス指定処理を変更、AXI ウェイトステート定義を拡張。 - セクション 2.5.2：内蔵 RAM：内部 RAM の定義の 1060 KB の前に「最大」という用語を追加、CPU クロック速度を 480 MHz に変更、AXI SRAM の容量の定義に「最大」という用語を追加して更新、AXI バスマトリックス周波数を 240 MHz に変更、AHB SRAM 1 & 2 の容量の定義に「最大」という用語を追加して変更、AHB SRAM3 の定義に STM32H742xx デバイスの例外を追加。 - セクション 2.5：STM32H74x および STM32H75x メモリ：「最大 1 MB」という用語を追加。 - セクション 2.5.3：外部メモリ：同期メモリアクセス周波数の定義を 110 Mhz に変更。 - 表 6：STM32F7 シリーズと、STM32H74x および STM32H75x デバイスとのアーキテクチャの違い：脚注と SRAM 情報を追加して、表を更新。 - セクション 5.1：ソフトウェアのメモリ分割：「ベアメタルアプリケーションモデル」でテキストを更新、「これらのメモリモジュールは、CPU がデータキャッシュを使用してドメイン間バス（D1 から D2 へ）経由でアクセスできるので、グローバル変数として使用することもできます。」の文章の表現を変更、リファレンス・マニュアルの詳細とともに STM32H742/743/753 および STM32H750 デバイスをサポートするよう注記を変更。 - セクション 4.1：結果：サポートされているデバイスを追加。 <p>追加：</p> <ul style="list-style-type: none"> - 図 1：STM32H74x および STM32H75x のシステムアーキテクチャ：注 1 & 2。 - 表 4：STM32H74x および STM32H75x のバスマスタとバススレーブの使用可能な相互接続：脚注 3 & 4。 - 表 5：STM32H74x および STM32H75x の内部メモリの概要：脚注 (1)、(2)、(3)、(4) を追加、サポートされている周波数 240 & 480 MHz を更新。

表 22. 文書改版履歴 (続き)

日付	版	変更内容
2019年7月16日	3	<p>更新:</p> <ul style="list-style-type: none"> - 概要: stm32h7x3_cpu_perf を H7_single_cpu_perf に変更。 - セクション 3: 標準アプリケーション: stm32h7x3_cpu_perf を H7_single_cpu_perf に変更。 - セクション 3.2: デモンストレーションプロジェクトの設定 <p>追加:</p> <ul style="list-style-type: none"> - セクション 4.1.1: データと命令の位置が性能に与える影響 - セクション 3: 標準アプリケーションの図 8 ~ 図 12 - セクション 4: ベンチマークの結果と分析の図 13 ~ 図 15 - セクション 4.1.2: 基本パラメータが性能に与える影響
2020年9月16日	4	<p>STM32H72x および STM32H73x マイクロコントローラを対象とするためにドキュメントを更新。</p> <p>RM0468 に加え、セクション: 参照文献 にもリファレンスを追加。 Chrom-Art アクセラレータの商標を削除。「X-CUBE-PERF-H7 組込みソフトウェア・パッケージ」を「X-CUBE-PERF-H7 拡張パッケージ」に変更。</p> <p>Flash A を Flash バンク 1 に、Flash B を Flash バンク 2 に置換。STM32H74x および SMT32H75x (STM32H750x を除く) にのみ 2 つのバンクがあることを指定。 セクション 2.5.1: 内蔵Flashメモリを更新。</p> <p>QSPI インタフェース (QSPI) を Quad-SPI インタフェース (QUADSPI) に置換。 セクション: フレキシブルメモリコントローラインタフェース (FMC): 同期メモリの更新周波数をカーネルクロックの 2 または 3 分周に変更。</p> <p>セクション 3.2: デモンストレーションプロジェクトの設定 で、スキャットファイルの RAM 領域の変更に関連する注記を更新。 セクション 4: ベンチマークの結果と分析 および セクション 4.1.2: 基本パラメータが性能に与える影響 を名称変更。</p>
2022年5月9日	5	<p>セクション: 概要 で、X-CUBE-PERF-H7 が STM32H742x、STM32H743/753x、および STM32H750x マイクロコントローラのみを対象とするように指定。 図 2: STM32H74x および STM32H75x のシステムアーキテクチャ、セクション: AHB ドメイン間バス (D2 から D1 へ) から Ethernet ペリフェラルと AHB ドメイン間バス (D2 から D1 へ) の間の接続を削除。セクション: AHB ドメイン間バス (D1 から D3 へ) から Ethernet を削除。セクション: AHB ドメイン間バス (D2 から D3 へ) で、D3 リソースにアクセスできないペリフェラルのリストから USB OTG_HS を削除。 表 4: STM32H72x/73x/74x/75x におけるバスマスタとバススレーブの使用可能な相互接続で、AHB4、APB4、SRAM4、およびバックアップ SRAM への Ethernet ペリフェラル接続を削除。 図 3: D1、D2、および D3 ドメインのメモリへの D1/D2 マスタアクセスの例 (STM32H74x および STM32H75x) で、Ethernet ペリフェラルと AHB ドメイン間バス (D2 から D1 へ) の間の接続および AXI SRAM との接続を削除。 セクション: D3 ドメインにある RAM で、Ethernet からのバックアップ SRAM アクセスを削除。 表 5: STM32H72x および STM32H73x の内部メモリの概要 および 表 6: STM32H74x および STM32H75x の内部メモリの概要 で AXI SRAM のアクセスインタフェースを更新。</p>

表 23. 日本語版文書改版履歴

日付	版	変更内容
2023 年 5 月	1	日本語版 初版発行

重要なお知らせ（よくお読み下さい）

STMicroelectronics NV およびその子会社（以下、ST）は、ST製品及び本書の内容をいつでも予告なく変更、修正、改善、改定及び改良する権利を留保します。購入される方は、発注前にST製品に関する最新の関連情報を必ず入手してください。ST製品は、注文請書発行時点で有効なSTの販売条件に従って販売されます。

ST製品の選択並びに使用については購入される方が全ての責任を負うものとします。購入される方の製品上の操作や設計に関してSTは一切の責任を負いません。

明示又は黙示を問わず、STは本書においていかなる知的財産権の実施権も許諾致しません。

本書で説明されている情報とは異なる条件でST製品が再販された場合、その製品についてSTが与えたいかなる保証も無効となります。

STおよびSTロゴはSTMicroelectronicsの商標です。STの登録商標についてはSTウェブサイトをご覧ください。www.st.com/trademarks
その他の製品またはサービスの名称は、それぞれの所有者に帰属します。

本書の情報は本書の以前のバージョンで提供された全ての情報に優先し、これに代わるものです。

この資料は、STMicroelectronics NV並びにその子会社(以下ST)が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くためにSTマイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST及びSTマイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

© 2023 STMicroelectronics - All rights reserved