

概要

このアプリケーション・ノートでは、STM32MP1 シリーズのアプリケーション PCB（プリント基板）に DDR3、DDR3L、LPDDR2、LPDDR3 メモリインタフェースを実装する方法についてガイダンスを提供します。インタフェースの回路図、レイアウトの実装ルール、およびベストプラクティスを提供します。

目次

1	設計インタフェースの制約	6
2	メモリアーキテクチャのオプション	7
2.1	32 ビット DDR3/DDR3L インタフェース	7
2.2	16 ビット DDR3/DDR3L インタフェース	8
2.3	32 ビット LPDDR2/LPDDR3 インタフェース	10
2.4	16 ビット LPDDR2/LPDDR3 インタフェース	11
3	DDR3/DDR3L 回路図の実装	12
3.1	標準のフライバイ・トポロジ	12
3.2	コストが最適化されたポイントツーポイント・トポロジ	12
3.3	その他の信号	12
3.4	電源および基準電圧	13
4	LPDDR2/LPDDR3 回路図の実装	14
4.1	ポイントツーポイント・トポロジ	14
4.2	その他の信号	14
4.3	電源および基準電圧	15
5	PCB 設計の考慮事項	16
5.1	パターン分離距離	16
5.2	等長化	17
5.3	インピーダンス	18
5.4	4 層基板の層割り当て	18
5.5	VDD_DDR の電源プレーン仕様	19
5.6	層変更コンデンサ	20
5.7	デカップリングコンデンサの種類	20
5.8	デカップリングコンデンサの HF コンデンサによる接続インダクタンスの 最小化	21
5.8.1	コンデンサの最上層への配置	21
5.8.2	コンデンサの最下層への配置	22

6	メモリのレイアウトルール	24
6.1	32 ビットメモリインタフェースのデータ信号ルール	24
6.2	16 ビットメモリインタフェースのデータ信号ルール	25
6.3	アドレスおよび制御 (A/C) 信号のルール	25
6.4	ZQ 信号	26
6.5	電源プレーンのルール	26
6.5.1	VDD_DDR (LPDDR2/3 の場合は VDD_DDR2) 電源プレーン	26
6.5.2	VTT 電源プレーンのルール	27
	改版履歴	28

表の一覧

表 1.	STM32MP1 シリーズのパッケージ概要	7
表 2.	文書改版履歴	28
表 3.	日本語版文書改版履歴	28

図の一覧

図 1.	LFBGA448 または TFBGA361 の 32 ビット DDR3/3L 接続.....	7
図 2.	LFBGA448 または TFBGA361 の 16 ビット DDR3/3L 接続.....	8
図 3.	LFBGA354 または TFBGA257 の 16 ビット DDR3/3L 接続.....	9
図 4.	LFBGA448 または TFBGA361 で、直列抵抗を使った 16 ビット DDR3/3L 接続.....	9
図 5.	LFBGA354 または TFBGA257 で、直列抵抗を使った 16 ビット DDR3/3L 接続.....	10
図 6.	LFBGA448 または TFBGA361 の 32 ビット LPDDR2/3 接続.....	10
図 7.	LFBGA448 または TFBGA361 の 16 ビット LPDDR2/3 接続.....	11
図 8.	LFBGA354 または TFBGA257 の 16 ビット LPDDR2/3 接続.....	11
図 9.	図示された S-3S 分離ルール.....	16
図 10.	等長化の型.....	17
図 11.	DDR3L A/C の信号レイアウトと対応する電源プレーンの例.....	19
図 12.	層変更コンデンサの使用.....	20
図 13.	最上層への HF コンデンサの配置.....	22
図 14.	最下層での HF コンデンサ.....	22
図 15.	最下層への HF コンデンサの配置.....	23
図 16.	VTT 電源プレーンのアイランドのレイアウト.....	27

1 設計インタフェースの制約

STM32MP1 シリーズは、Arm^{®(a)} Cortex[®] プロセッサベースの STM32 32 ビットデバイスです。

STM32MP1 シリーズのメモリインタフェースは、以下のさまざまなタイプのメモリに対応できます。

- データレート 1066 Mbps の DDR3 および DDR3L (電圧は DDR3 で 1.5 V、DDR3L で 1.35 V)。DDR3 SDRAM の詳細については、JEDEC DDR3 SDRAM 規格 JESD79-3F を参照してください。
- データレート 1066 Mbps、電圧 1.2 V の LPDDR2 および LPDDR3。LPDDR2 および LPDDR3 の詳細については、JEDEC LPDDR2 規格 JESD209-2F および JEDEC LPDDR3 規格 JESD209-3C を参照してください。

低電圧および高速データレートになると、読出しアイ開口部の許容範囲が狭くなり、システムが不安定になるリスクが高くなります。

このため、メモリインタフェースを使用する際には、考慮すべき多くの制約と設計上の敏感性があります。例：

ほとんどの信号はシングルエンドであり、クロックのみが差動信号です。

信号は、ポイントツーポイントまたはフライバイ・トポロジで接続できます。

基板サイズの削減が進むにつれて、DDR インタフェースの設計に課題が生じ、インタフェースの性能に制限が加えられる可能性があります。

また、STM32MP1 シリーズとメモリデバイスのインタフェースの両方での DDR 接続が固定されているため、物理的レイアウトの面で柔軟性が非常に限られています。

- 信号配線の量は必要最小限であり、これ以上減らすことはできません。
- 管理すべきインピーダンスの制約があります。

パターンの分離、等長化、電力供給とデカップリング、およびインピーダンス整合に関する基本的な設計ルールを尊重して、正しい信号と電源のインテグリティを確保する必要があります。

本書では、4 層 PCB (プリント基板) に最先端のメモリインタフェースを実装するために適用しなければならないルールを示します。

ST では、ST の参照設計のレイアウトを再利用することを強くお勧めします。

これらのレイアウトはテストされ、安定性が確認されています。



a. Arm は、米国内およびその他の地域にある Arm Limited (またはその子会社) の登録商標です。

2 メモリアーキテクチャのオプション

パッケージとメモリのタイプに応じて、いくつかのオプションを選択できます。

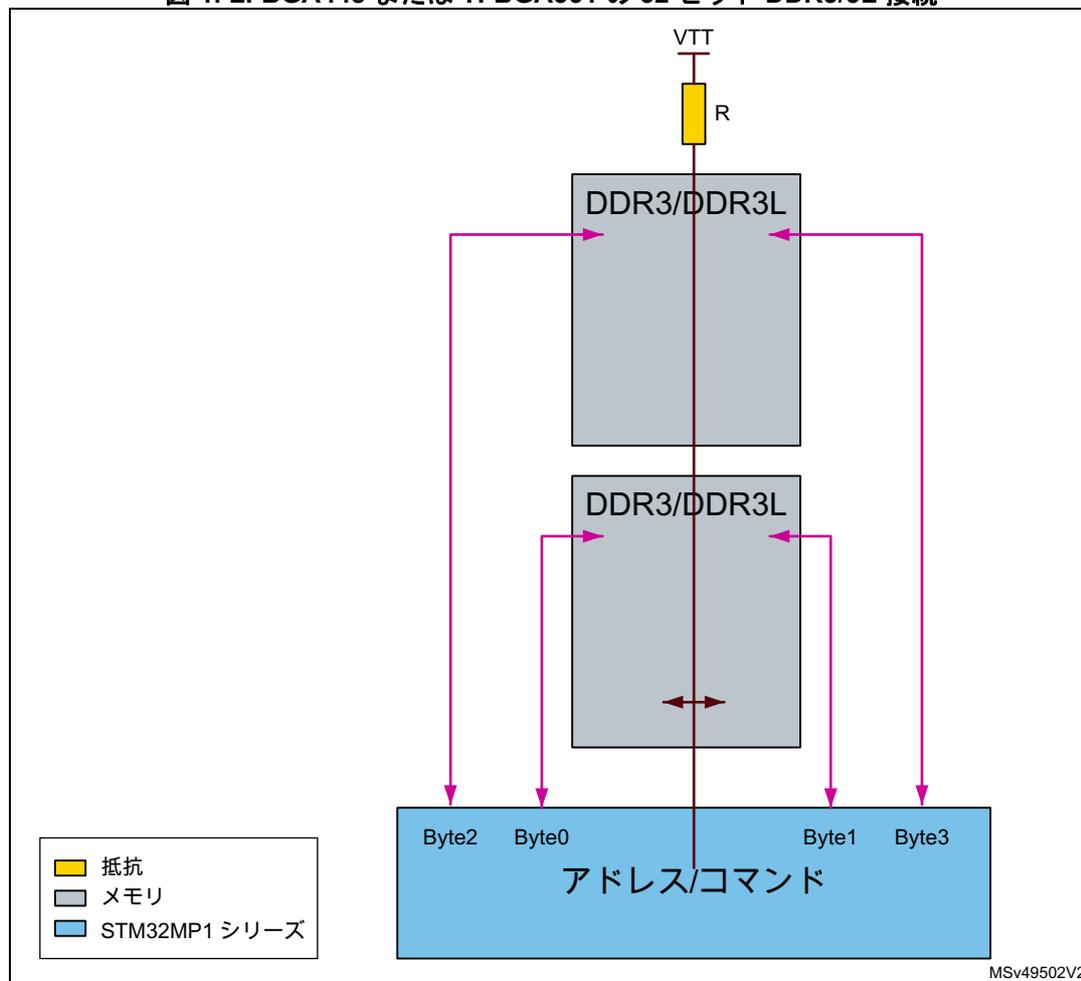
表 1. STM32MP1 シリーズのパッケージ概要

パッケージタイプ	TFBGA257 (10 × 10 mm)	LFBGA354 (16 × 16 mm)	TFBGA361 (12 × 12 mm)	LFBGA448 (18 × 18 mm)
16/32 ビットインタフェース	-	-	X	X
16 ビットインタフェース	X	X	-	-

2.1 32 ビット DDR3/DDR3L インタフェース

32 ビット DDR3 または DDR3L インタフェースでは、2 つの 16 ビット DDR3/3L がフライバイ・トポロジで使用されます。

図 1. LFBGA448 または TFBGA361 の 32 ビット DDR3/3L 接続



この設計の利点は、最大 1 G バイトのメモリ (2 * 4 G ビット) を駆動できることですが、より大きな PCB フットプリントが必要になります。

2.2 16 ビット DDR3/DDR3L インタフェース

16 ビット DDR3 または DDR3L インタフェースでは、1 つの 16 ビット DDR3/3L が使用されます。

この構成で、最大 1 GB のメモリ (1 * 8 G ビット) を駆動できます。

32 ビットインタフェースでは、バイト 0 と 1 のみが使用され、バイト 2 と 3 は接続されません。

図 2. LFBGA448 または TFBGA361 の 16 ビット DDR3/3L 接続

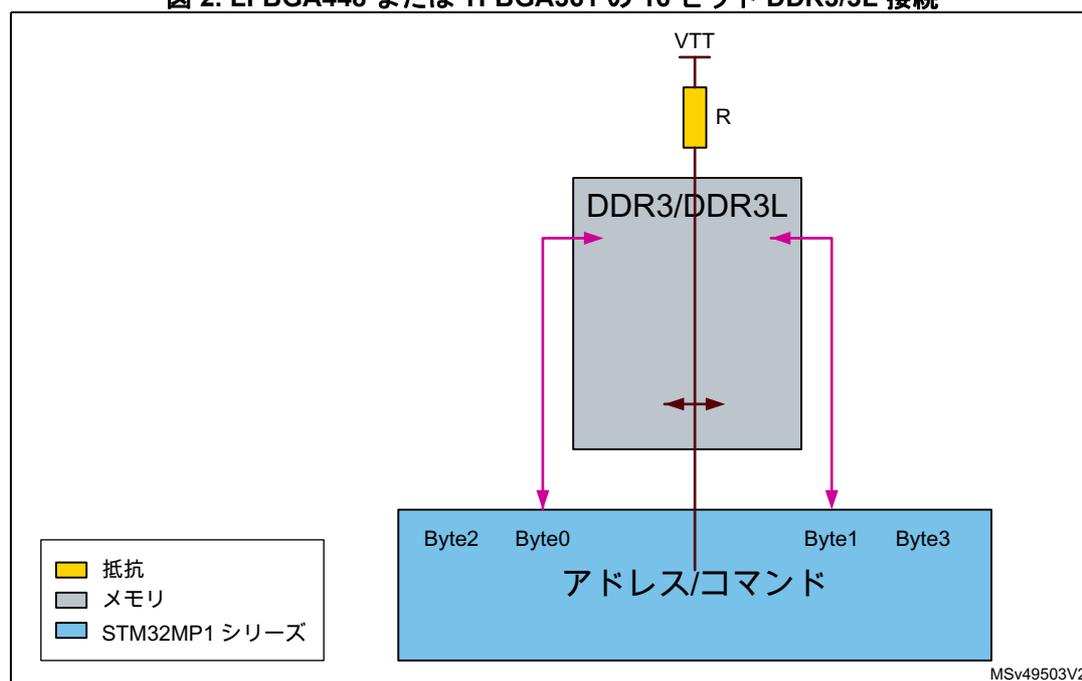
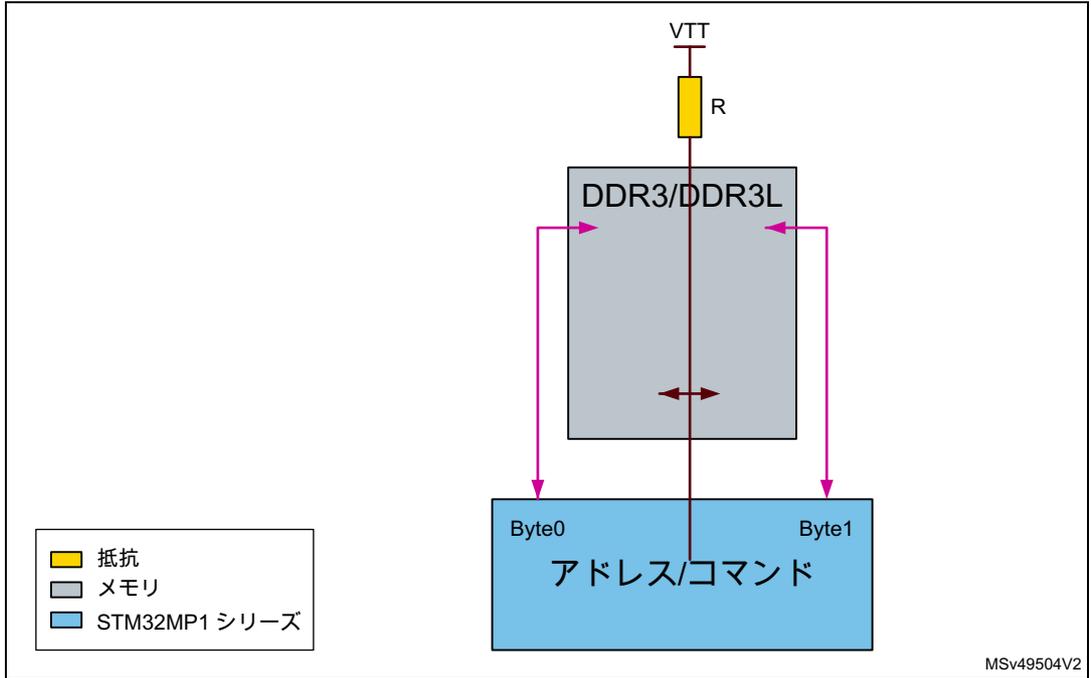


図 3. LFBGA354 または TFBGA257 の 16 ビット DDR3/3L 接続



終端抵抗を使用しない場合に 1 つの DDR3/3L を接続する他の可能な方法は、各アドレスラインとコマンドラインの STM32MP1 シリーズの近くに直列抵抗を接続することです。

図 4. LFBGA448 または TFBGA361 で、直列抵抗を使った 16 ビット DDR3/3L 接続

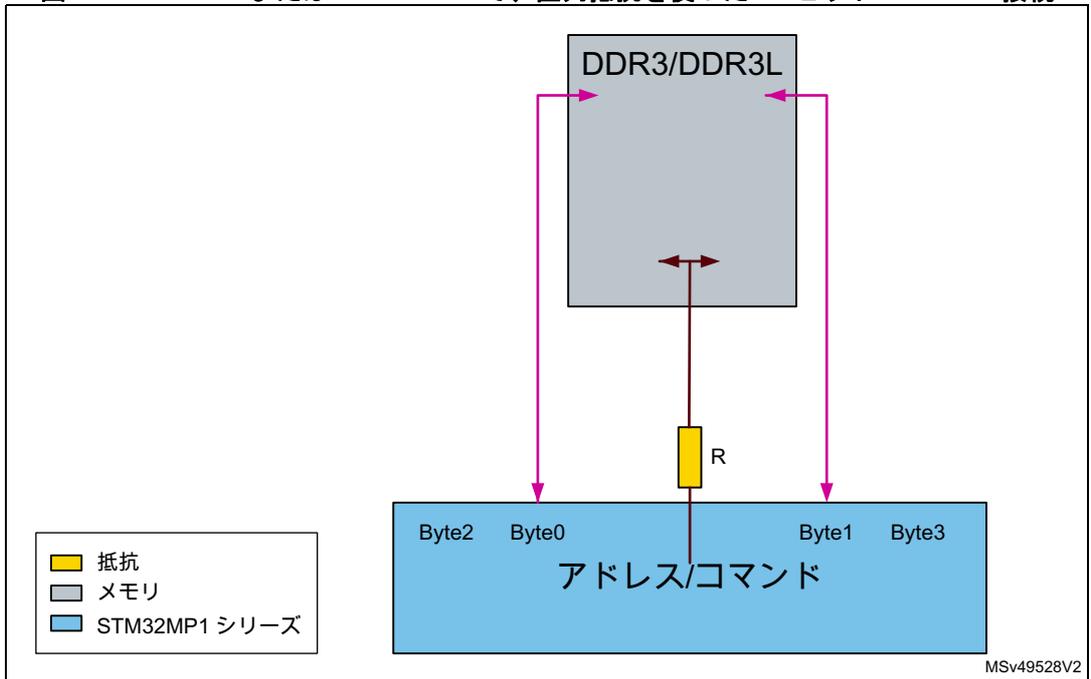
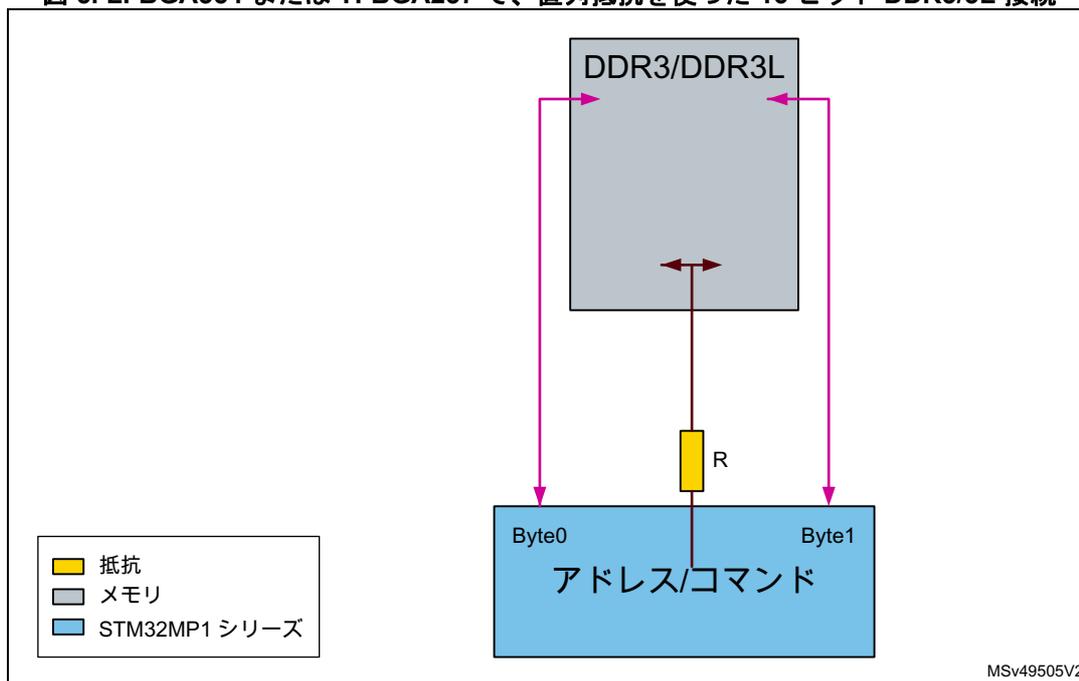


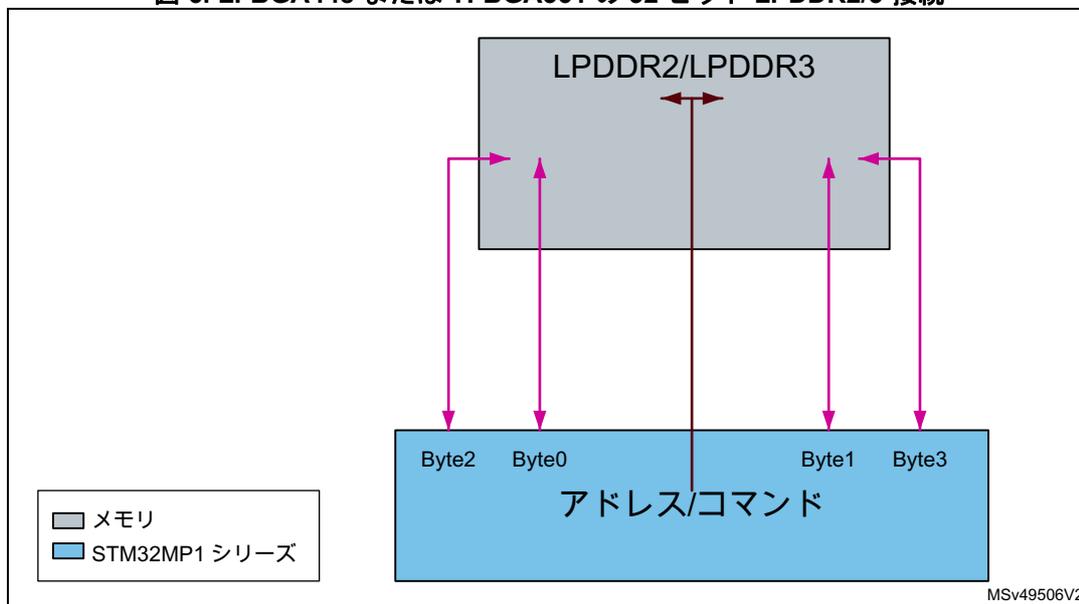
図 5. LFBGA354 または TFBGA257 で、直列抵抗を使った 16 ビット DDR3/3L 接続



2.3 32 ビット LPDDR2/LPDDR3 インタフェース

32 ビット LPDDR インタフェースでは、1 つの 32 ビット LPDDR2/3 がポイントツーポイント接続で使用されます。

図 6. LFBGA448 または TFBGA361 の 32 ビット LPDDR2/3 接続



2.4 16 ビット LPDDR2/LPDDR3 インタフェース

16 ビット LPDDR インタフェースでは、1つの 16 ビット LPDDR2/3 がポイントツーポイント接続で使用されます。

32 ビットインタフェースでは、バイト 0 と 1 のみが使用され、バイト 2 と 3 は接続されません。

図 7. LFBGA448 または TFBGA361 の 16 ビット LPDDR2/3 接続

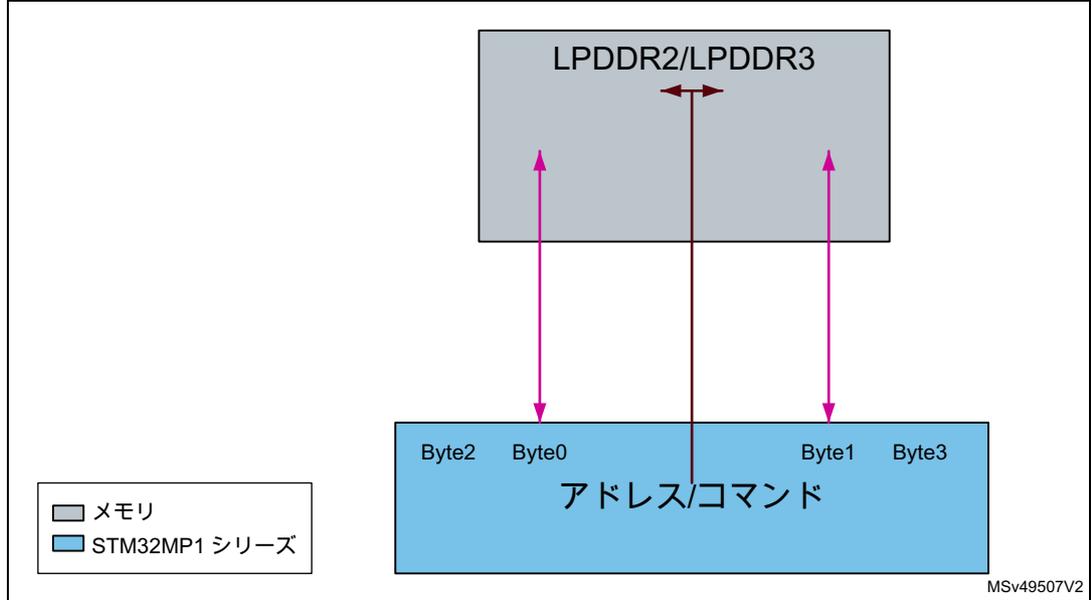
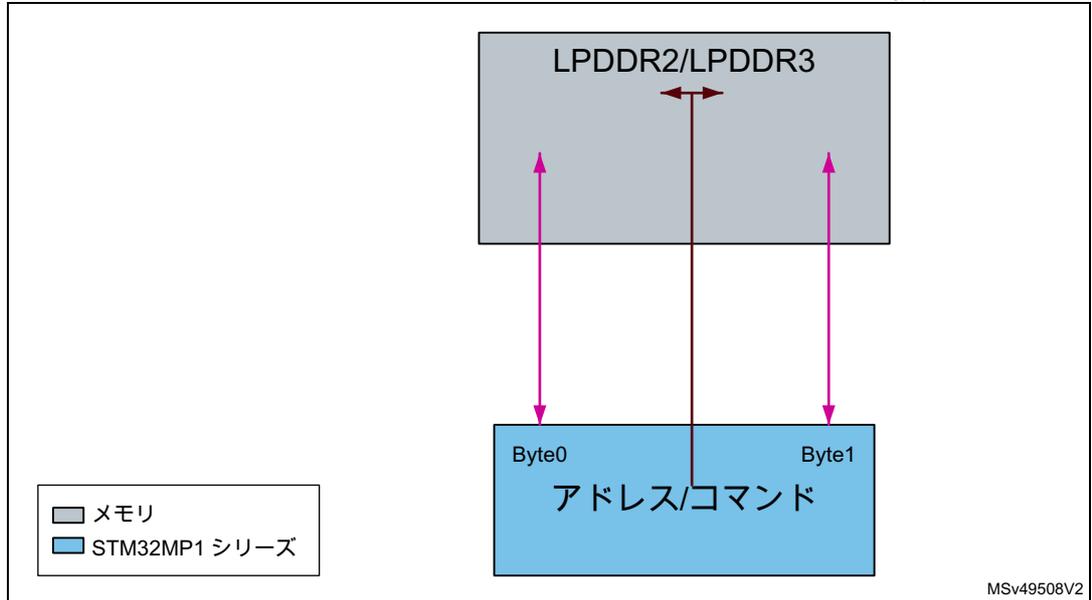


図 8. LFBGA354 または TFBGA257 の 16 ビット LPDDR2/3 接続



3 DDR3/DDR3L 回路図の実装

DDR の実装は、以下の要素で構成する必要があります。

3.1 標準のフライバイ・トポロジ

標準的なフライバイ・トポロジの構成は、以下のとおりです。

- VTT (VDD_DDR/2) で 56 Ω オンボード終端を備えた分散 A/C バス
- すべての DDR デバイスに分配される差動クロック
 - 100 Ω の抵抗を 1 本使用して、CLK_N/CLK_P 信号の差動終端を実装します。
- 以下を含むデータバス (スワップ可能な 4 バイト、および同じバイト内のスワップ可能なビット) のポイントツーポイント接続が必要です。
 - 32 ビットのデータ信号 (DQ)
 - 4 つのデータマスク信号 (DQMx)
 - 4 つの差動クロック (DQSx_N/DQSx_P)

3.2 コストが最適化されたポイントツーポイント・トポロジ

このトポロジは、シングル DDR チップインタフェースがある場合に使用できます。この機能は以下の要素で構成されます。

- オンボード終端なしの、すべての A/C バスのポイントツーポイント接続
- 反射を低減するため、DDR チップの A/C すべてに 33 Ω の直列抵抗を入れることを推奨します。
- CLK_N/CLK_P 信号は、1 本の 100 Ω の抵抗で差動終端されます。
- 以下のデータバス (スワップ可能な 2 バイト、および同じバイト内のスワップ可能なビット) のポイントツーポイント接続。
 - 16 ビットのデータ信号 (DQ)
 - 2 つのデータマスク信号 (DQMx)
 - 2 つの差動クロック (DQSx_N/DQSx_P)

3.3 その他の信号

さらに、以下の信号を回路図に含める必要があります。

- DDR_RESETN
DDR_RESETN は、DDR コントローラから DDR デバイスへの非同期低速リセット信号です。10 kΩ のプルダウン抵抗が必要です。この信号は、パワーオン時またはリセットが必要なときにローになります。そうでない場合、信号はデフォルトでハイになります。
- ZQ
この信号では、DDR のインピーダンス補正のために、抵抗を次のように信号ボールとグラウンドの間に配置する必要があります。
 - 240 Ω (+/- 1%) の抵抗を各 DDR チップの ZQ ボールと GND プレーンの間に配置する必要があります。
 - STM32MP1 シリーズの ZQ ボールと GND プレーンの間にも 240 Ω (+/- 1%) の抵抗を配置する必要があります。

- CKE
CKE は、DRAM の内部回路とクロックを有効（レジスタをハイ）／無効（レジスタをロー）にするものです。10 k Ω のプルダウン抵抗が必要です。

3.4 電源および基準電圧

次の電源および基準電圧を用意する必要があります。

- VREF 基準電圧（VDD_DDR /2 に等しい）
これは、STM32MP1 シリーズおよび DDR3/3L デバイスが A/C およびデータ信号を正しくサンプリングするために必要な基準電圧です。JEDEC 規格に規定されているように、ノイズレベルは非常に低く抑える必要があります。

次の 2 つの解決策をお勧めします。

- デバイスごとに独立した VREF 発生器（VREFCA、VREFDQ）
各 VREF 発生器は、VDD_DDR からの 2 k Ω (+/- 1%) の抵抗ブリッジと 100 nF のローカル・デカップリングコンデンサから成ります。
基準電圧 VREF は、対応するボールのできるだけ近くで生成する必要があります。
- 各デバイスの共通 VREF
外部 IC からの VREF 発生器は、100 nF のローカル・デカップリングコンデンサとともに各デバイスに供給されます。STPMIC は VREF を供給できます。
- VTT 電源（VDD_DDR /2 に等しい）
VTT 電源は、フライバイ・トポロジを使用する DDR3/3L インタフェースでのみ使用されます。
これはアドレスおよび制御（A/C）信号の終端電圧です。
外部 VTT 電圧発生器を推奨します。STPMIC は VTT を供給できます。
終端抵抗のできるだけ近くに、強力な VTT デカップリングが必要です。
- VDD_DDR 電源プレーン
これは DDR インタフェース用の電源で、DDR3 では 1.5 V (1.425~1.575 V)、DDR3L では 1.35 V (1.283~1.45 V) です。
このプレーンには、バルクコンデンサと DDR および STM32MP1 シリーズの各電源ピンの近くに高周波コンデンサを配置することによる、GND プレーンに対するデカップリングコンデンサが必須となります。

4 LPDDR2/LPDDR3 回路図の実装

LPDDR2/3 の実装は、以下の要素で構成する必要があります。

4.1 ポイントツーポイント・トポロジ

標準的なポイントツーポイント・トポロジの構成は、以下のとおりです。

- 12本の分散した A/C 信号
- 1本の 100 Ω 抵抗を使用して CLK_N/CLK_P 信号の差動終端を施した差動クロック。
- 以下を含むデータバス (32 ビット LPDDR2/3 では 4 バイト、16 ビット LPDDR2/3 では 2 バイト) のポイントツーポイント接続が必要です。
 - 32 ビットのデータ信号 (DQ)。LPDDR2/3 のバイト 0 は STM32MP1 シリーズのバイト 0 に接続する必要がありますが、このバイトのビットをスワップすることはできません。他の 3 つのバイトはスワップ可能で、かつ、同じバイト内のビットもスワップ可能です。
 - 4 つのデータマスク信号 (DQMx)。
 - 4 つの差動クロック (DQSx_N/DQSx_P)。

4.2 その他の信号

さらに、以下の信号を回路図に含める必要があります。

- ZQ
この信号では、LPDDR2/3 のインピーダンス補正のために、抵抗を次のように信号ボールとグラウンドの間に配置する必要があります。
 - LPDDR2/3 チップの ZQ ボールと GND プレーンの間に 240 Ω (+/- 1%) の抵抗を配置する必要があります。
 - STM32MP1 シリーズの ZQ ボールと GND プレーンの間にも 240 Ω (+/- 1%) の抵抗を配置する必要があります。
- CKE
CKE は、DRAM の内部回路とクロックを有効 (レジスタをハイ) / 無効 (レジスタをロー) にするものです。10 kΩ のプルダウン抵抗が必要です。

4.3 電源および基準電圧

次の電源および基準電圧を用意する必要があります。

- VREF 基準電圧 (VDD2_DDR /2 に等しい)
これは、STM32MP1 シリーズおよび LPDDR2/3 が A/C およびデータ信号を正しくサンプリングするために必要な基準電圧です。JEDEC 規格に規定されているように、ノイズレベルは非常に低く抑える必要があります。

次の 2 つの解決策をお勧めします。

- 独立した VREF 発生器 (VREFCA、VREFDQ)
各 VREF ジェネレータは、VDD2_DDR からの 2 k Ω (+/- 1%) の抵抗ブリッジと 100 nF のローカル・デカップリングコンデンサから成ります。
基準電圧 VREF は、対応するボールのできるだけ近くで生成する必要があります。
- 共通 VREF (VREFCA、VREFDQ)。
外部 IC からの VREF 発生器は、100 nF のローカル・デカップリングコンデンサとともに LPDDR2/3 に供給されます。STPMIC は VREF を供給できます。
- VDD2_DDR 電源プレーン
これは LPDDR2/3 インタフェースの電源で、1.2 V (1.14~1.30 V) です。
このプレーンには、バルクコンデンサと LPDDR2/3 および STM32MP1 シリーズの各電源ピンの近くに高周波コンデンサを配置することによる、GND プレーンに対するデカップリングコンデンサが必須となります。
- VDD1_DDR 電源
これは LPDDR2/3 のコア電源で、1.8 V (1.7~1.95 V) です。

5 PCB 設計の考慮事項

考慮すべき基本的な PCB 設計上の考慮事項について、以下のセクションで詳しく説明します。これは、ノイズに敏感な信号を設計するために従うべき優れたプラクティスを網羅するものではありません。

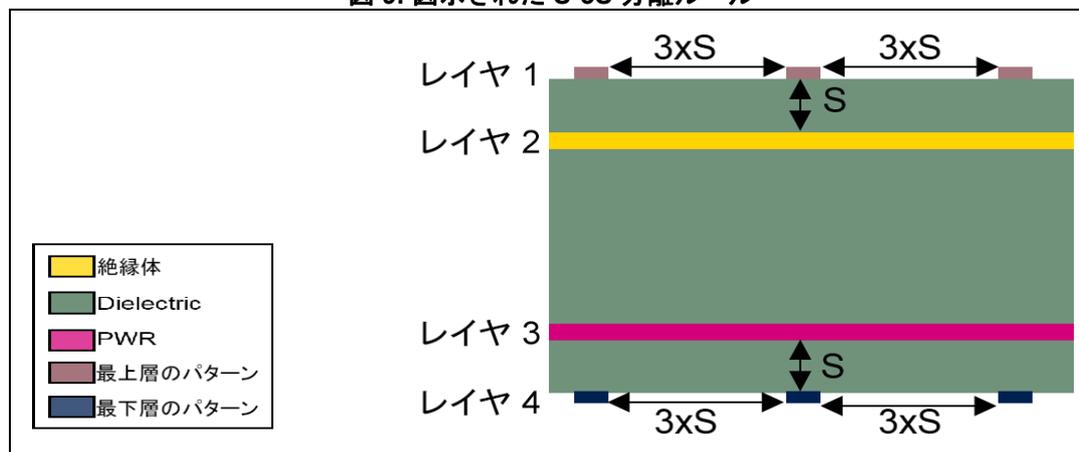
5.1 パターン分離距離

隣接するパターン（「アグレッサ」と呼ばれることもあります）によって引き起こされるクロストーク、グリッチ、およびジッタを低減するために、すべてのパターンの周囲に最小分離距離を設ける必要があります。

S-3S 分離ルール

S をパターンと基準プレーン（最上層のパターンの場合は GND プレーン、最下層のパターンの場合は PWR プレーン）との間の距離とした場合、パターンと、それに直接隣接するパターンとの距離が $3 \times S$ 以上あれば、そのパターンは分離していると言われます。図 9 に、実際上のこのルールを示します。

図 9. 図示された S-3S 分離ルール



言い換えると、S-3S が最小分離/間隔のルールです。

パターン間にもっと多くの間隔がとれる場合は、信号を伝達するためにその間隔を使用すべきです (S-4S、S-10S など)。パターン間に間隔があればあるほど、信号の分離とノイズ耐性が向上します。

ファンアウトの制約のため、S-3S ルールは BGA デバイス（メモリおよび STM32MP1 シリーズ）の下面には適用できません。

S-3S ルールが適用できない場合は、ルールに違反するセグメントの長さを最小にする必要があります。

S-1S レイアウトを使用するレイアウトは、できるだけ避ける必要があります。S-3S ルールが適用できない場合、S-1S レイアウトを使用するよりも、パターン間の距離をできる限り大きくすること (S-2S ルール) が望まれます。

5.2 等長化

同じグループの信号は、転送先に到着したときに、セットアップとホールドのタイミングが一致している必要があります。このため、これらのタイミング制約を満たすために、パターン等の等長化が必要になることがあります。

パッケージと PCB の長さを考慮して、信号パス全体（STM32MP1 シリーズのダイからメモリチップまで）を考慮する必要があります。

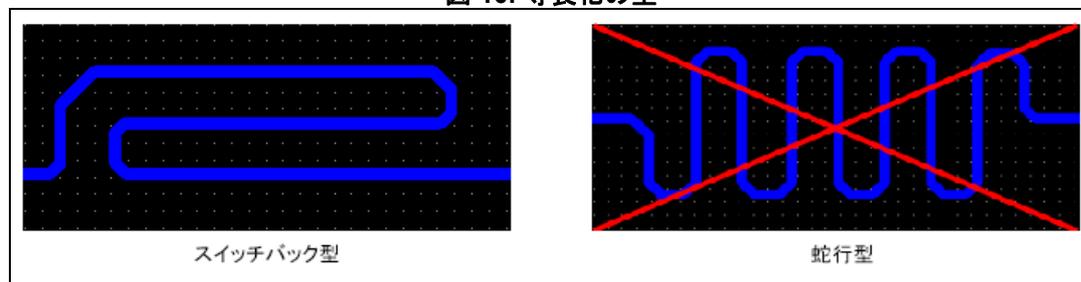
データ信号の場合、内部遅延調整機能によって、等長化要件を除去または低減できる場合があります。

等長化の型

長さが等しくなるようにパターンを配線する場合、他の型よりも優先すべき型があります。たとえば、蛇行配線は推奨されません。蛇行配線は直交伝搬を引き起こして、シグナルインテグリティを損ないます。

スイッチバック型が推奨されます。

図 10. 等長化の型



S-3S の分離ルールは、等長化パターン内でも適用する必要があります。すなわち、同じパターンの区分間の最小距離は S-3S 以上にする必要があります。

差動信号の場合：

- ペア内の等長化は許されません。
- N と P の間隔は一定でなければなりません。
- 差動ペアでは、次の N 信号および P 信号の平均値長さを考慮する必要があります。

$$L_{\text{sig}} = \frac{L_{\text{sigN}} + L_{\text{sigP}}}{2}$$

ST のテンプレートと等長化テーブルを使用すると、信号パターン長を等しくする作業を簡略化できます。これらのテーブルには、パッケージのパターン長が含まれています。これらの入手については、ST の販売代理店にお問い合わせください。

5.3 インピーダンス

一般に、ドライバインピーダンス (ZDRV) は通常 $34\ \Omega$ または $40\ \Omega$ で、オンダイ終端インピーダンス (ZODT) は通常 $60\ \Omega$ です。

適切な伝送ラインのセットアップを保証するためには、パターンの形状 (幅と間隔) と基板の積層に応じて、基板のインピーダンスを制御する必要があります。

DDR3/3L、LPDDR2/3 インタフェースの場合、ST は次のインピーダンスを推奨します。

- シングルエンド信号の場合 : $55\ \Omega$ +/- 10%。
- 差動信号の場合 : $100\ \Omega$ 差動 +/- 10%。

5.4 4層基板の層割り当て

層は、例外なく、以下に示すように割り当てて実装する必要があります。

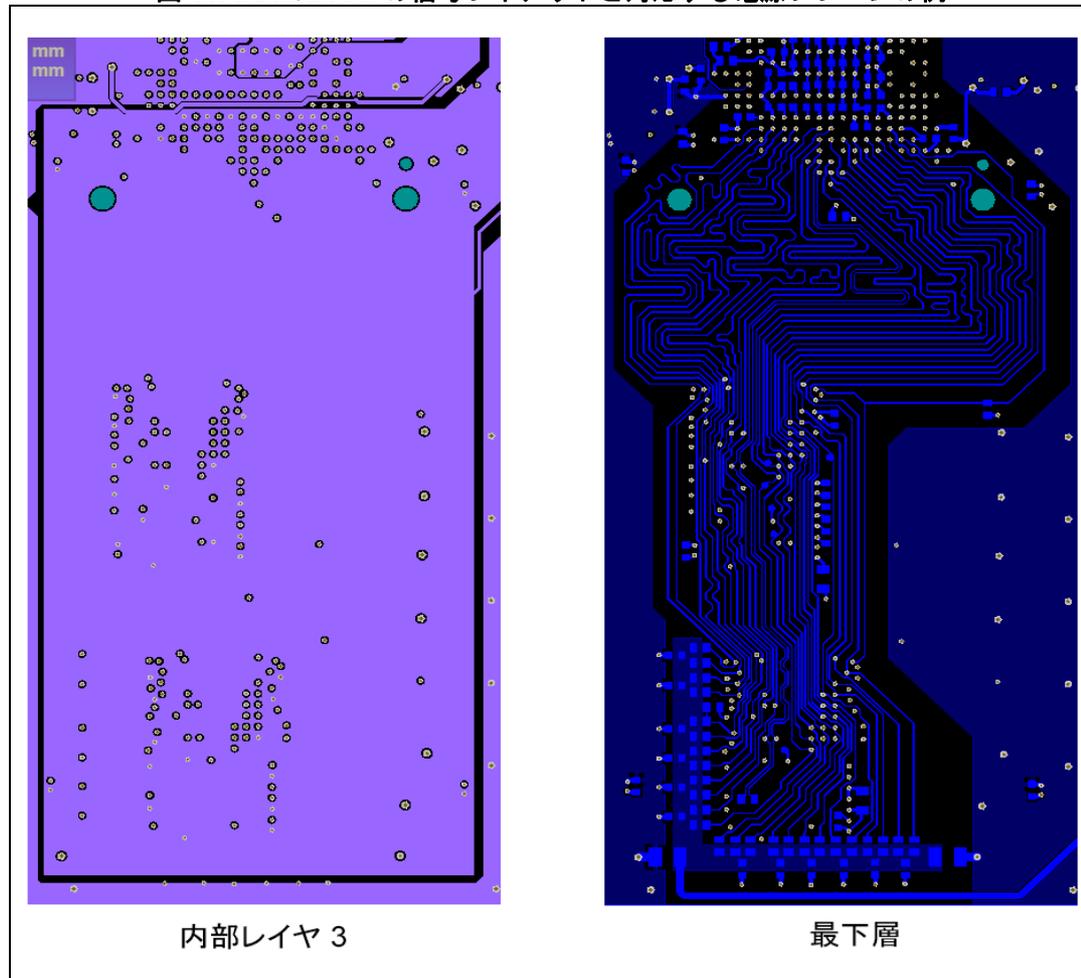
- 最上層
 - この層は、最もノイズに敏感なパターン専用です。
 - パターンは一様な内部グラウンド (GND) プレーンを基準としています。
 - インピーダンス・ブレイクはありません。
 - ノイズの多い電源への結合は許されません。
- レイヤ 2 (GND) 内部層
 - これは一様な内部グラウンドプレーンです。
 - このプレーンはビアマトリックスによって最上部および最下部の GND 領域に接続する必要があります。
- レイヤ 3 (DDR3/3L の場合は VDD_DDR、LPDDR2/3 の場合は VDD_DDR2) 内部層
 - これはオンボード電源供給を行う専用の電源プレーンです。
- 最下層
 - これは、パターンに使用される 2 番目の信号層です。基準電源プレーンの不連続性のために、この層にインピーダンス・ブレイクが発生する可能性があります。

5.5 VDD_DDR の電源プレーン仕様

通常、A/C 信号は 4 層 PCB の最下層にレイアウトされます。

内部レイヤ 3 は、複数の電源プレーンを参照するパターンによるインピーダンス・ブレイクを回避するために、メモリの最下層信号に完全に重なる VDD_DDR (LPDDR2/3 の場合は VDD_DDR2) の一様な電源プレーンでなければなりません。

図 11. DDR3L A/C の信号レイアウトと対応する電源プレーンの例



5.6 層変更コンデンサ

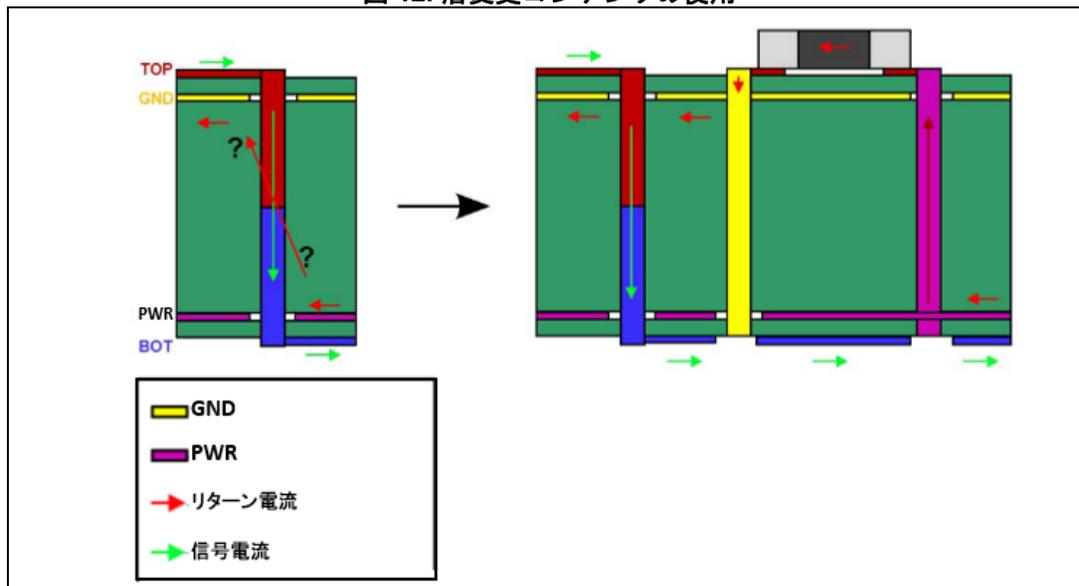
ノイズに敏感な信号が PCB の最上層から最下層に（またはその逆に）移動する場合、100 nF のコンデンサを信号ビアのできるだけ近くに配置する必要があります。

これは、一方の側からレイヤ 2 (GND) に、もう一方の側からレイヤ 3 (DDR3/3L の場合は VDD_DDR、LPDDR2/3 の場合は VDD_DDR2) に接続する必要があります。

この設計要件は、信号に対する高周波リターン電流のリファレンスパスを提供するために必須です。

コンデンサは、(図 12 に示すように) 最下層または最上層に配置できます。

図 12. 層変更コンデンサの使用



実際には、PCB の同じ領域で複数の信号が層を変更する場合 (A/C バス配線の場合など)、各ビアの近くに 1 つのコンデンサを配置することができなくなることがあります。

この場合の解決策は、ビアのグループに対してコンデンサを 1 つ追加することです。コンデンサは、基板設計に対して実用的である限り多く使用するようにし、これらはビア領域のできるだけ近くに配置する必要があります。

5.7 デカップリングコンデンサの種類

パワーインテグリティは、電圧が低下して、その結果、アイが閉じて、誤データ送信が起きることを避けるために非常に重要です。

コア電源およびノイズに敏感な電源 (VDD_DDR など) は、配線インピーダンスを最小化するために、最大幅を使った内部電源プレーンを使ってレイアウトする必要があります。

これに加え、デカップリングコンデンサが必要です。これには、次の 2 種類があります。

- バルクコンデンサ
 このコンデンサは、低周波数、大電流のニーズに対してオンボードのエネルギータンクとなります。キャパシタンスの値は 10~100 μF の範囲です。電源に適したコンデンサ容量の選択については、ST の参照設計を参照してください。
 バルクコンデンサは、転送先のごく近くに配置する必要はありません。

- 高周波コンデンサ
高周波 (HF) コンデンサは、高周波電流バーストに対する局所的なエネルギータンクとなります。HF コンデンサは、転送先 (電源ピンまたはボール) のできるだけ近くに配置する必要があります。実装するコンデンサの数は少ない方が良いのですが、接続インダクタンスを下げるために、最適な位置に配置すべきです。

5.8 デカップリングコンデンサの HF コンデンサによる接続インダクタンスの最小化

デカップリングコンデンサの配置では、接続インダクタンスを最小にする必要があります。

コンデンサは転送先に近いほど、効率が上がります。これは、特に HF コンデンサに当てはまります。

もう 1 つの要素は、コンデンサを最上層に配置するか、最下層に配置するかです。

コンデンサを最上層に配置すると、最下層に配置するよりもはるかに高いデカップリング効率を得ることができます。

ただし、コンデンサを配置する場所の選択は、BGA のファンアウトによって制約されることがあります。

このため、最上層と最下層の両方について、接続インダクタンスを最小限に抑え、デカップリング効率を改善するためのコンデンサ配置のベストプラクティスについて説明します。

5.8.1 コンデンサの最上層への配置

パッケージの制約により、PCB の最上層に配置するコンデンサを BGA ボールの近くに配置することはできません。

しかし、コンデンサが最上層の電源パターンによって BGA ボールに直接接続されている場合、その接続インダクタンスは、積層内の GND 層の位置のため (GND はリターン電流層です)、コンデンサがより近くではあるが最下層に配置されている場合よりも小さい値にとどまります。

結果として生じる接続インダクタンスの量は、電流ループの面積に直接リンクします。

したがって、最上層への配置によって次の長所・短所がもたらされます。

- 長所
 - 電流ループ面積が小さいので、接続インダクタンスが小さくなり、良好なデカップリング機能が得られます。
 - 他の信号のレイアウト用に最下層の空きスペースを確保できます。メモリ A/C パターンのレイアウトは通常、最下層にあるので、これにより、A/C の等長化/スペース要件により柔軟に対応できます。
- 短所
 - ファンアウトの制約のため、メイン BGA のデカップリングに対して最上層へコンデンサを配置することができないことがよくあります。

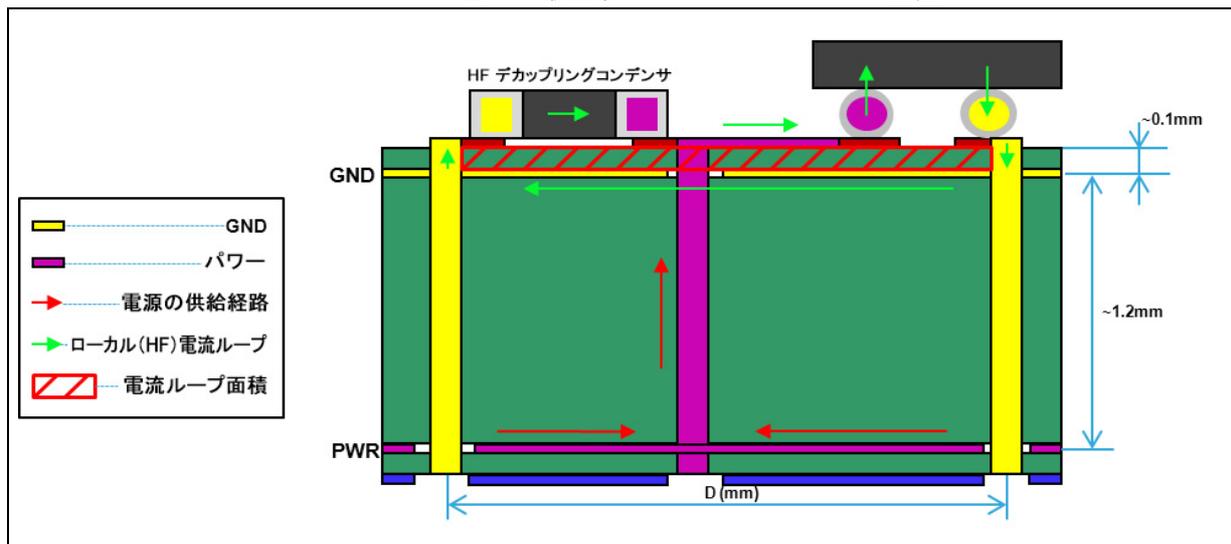
可能であれば、HF コンデンサは最上層に配置し、最上層で電源に直接接続するようにします。レイヤ 2 (GND) によって近いリターンパスが得られ、その結果、電流ループ面積が小さくなり、最適なデカップリング効率を得られます。

たとえば、図 13 に示すレイアウトの場合、結果として電流ループ面積は次のようになります。

電流ループ面積 = $0.1 \times D$

したがって、D が 5 mm の場合、電流ループ面積は 0.5 mm² の領域になります。

図 13. 最上層への HF コンデンサの配置

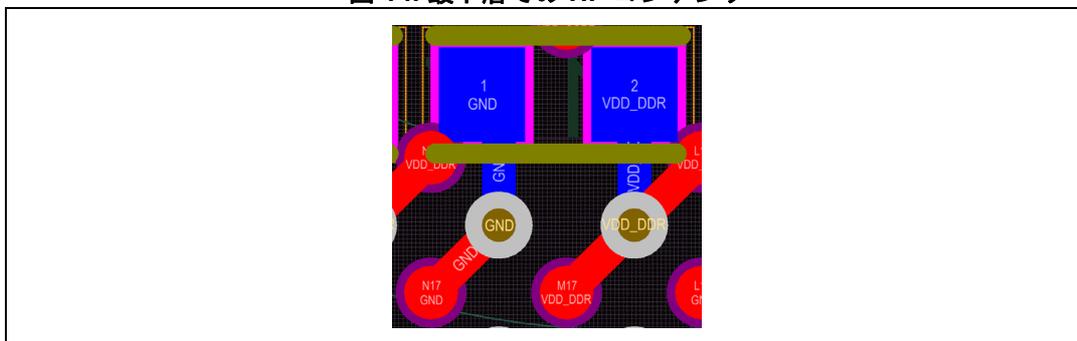


5.8.2 コンデンサの最下層への配置

最上層でのデカップリングができない場合、コンデンサの配置は最下層に行く必要があります。

電流ループ面積がより大きくなるため、接続インダクタンスは、最上層にコンデンサを配置する場合よりも高くなりますが、ほとんどの場合、最下層配置がメイン BGA に対する唯一のデカップリングオプションとなります。いくつかの基本的な実装ルールに従えば、この配置を最適化できます。最良の結果を得るには、コンデンサを BGA ボールの真下に配置します。

図 14. 最下層での HF コンデンサ



HF コンデンサを最下層に配置する場合は、接続をできるだけ短くし、図 14 に示すように BGA の直下にビアを適切に配置するようにします。

次の例では、結果として電流ループ面積は次のようになります。

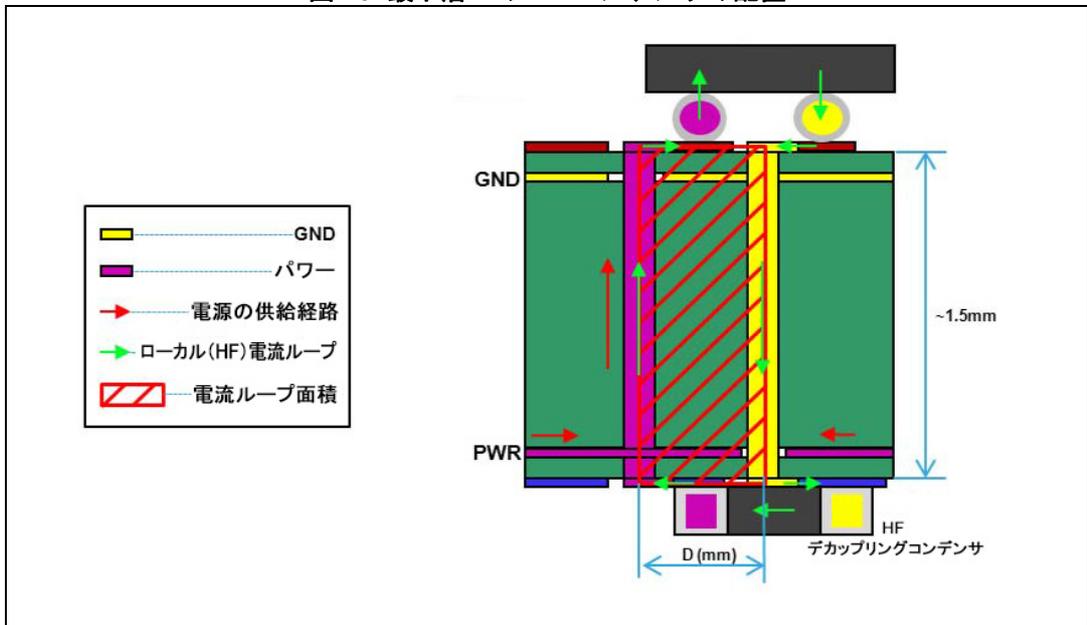
電流ループ面積 = $1.5 \times D$

5 mm の距離で最上層に配置した場合の 0.5 mm^2 と比べて、D が 1.0 mm の場合、結果として得られる電流ループ面積は 1.5 mm^2 となります。

言い換えると、コンデンサを電源ボールから 15 mm の最上層に配置した場合の効率が、電源ボールの真下で最下層に配置したコンデンサの効率と同じになります。

これは、最下層の配置と比較して、最上層のコンデンサ配置の方が効率が高いことを示しています。

図 15. 最下層への HF コンデンサの配置



6 メモリのレイアウトルール

基本的な PCB 設計ルールに基づいて、メモリインタフェースで適用すべきベストプラクティス・ルールを信号の種類別に示します。

6.1 32 ビットメモリインタフェースのデータ信号ルール

以下の 4 バイトにわたって 4 つの異なる、独立した信号グループがあります。

- バイト 0 = DQ[7:0]、DQM0、DQS0_N、および DQS0_P
- バイト 1 = DQ[15:8]、DQM1、DQS1_N、および DQS1_P
- バイト 2 = DQ[23:16]、DQM2、DQS2_N、および DQS2_P
- バイト 3 = DQ[31:24]、DQM3、DQS3_N、および DQS3_P

これらのデータ信号には、次のルールを適用してください。

- これらのデータ信号は、PCB の最上層でのみ配線する必要があります。
- 可能な限り、最低限 S-3S 分離ルールを適用します。
唯一の例外は、高いビア密度と BGA ピッチの制約のため、信号がメモリチップまたは STM32MP1 シリーズにきわめて近い場合です。
S-3S ルールが適用できない場合、分離ルールを最適化するように (S-2S、S-1.5S など) レイアウトを設計する必要があります。S-1S が唯一の選択肢である場合、セグメントはできるだけ短くする必要があります。
- DDR3 および DDR3L では、2 つの 16 ビット DDR3/3L でフライバイ・トポロジが使用されるので、オンボードですべてのバイトに同じ等長化を適用しないで、最初の DDR3/3L のバイトに以下のルールと一緒に適用し、2 番目の DDR3/3L のバイトに同じルールと一緒に適用してください。
 - DQ または DQM から DQS_N/DQS_P まで +/- 40 mil (1.016 mm)
 - DQS_N/DQS_P の長さは、CLK_N/CLK_P の長さより 0~590 mil (14.986 mm) 短くする必要があります (CLK_N/CLK_P は最も長いパターンでなければなりません)。
 - 2 番目の DDR3/3L のバイトの長さは 1 番目の DDR3/3L のバイトの長さと比較して、最大 1300 mil (33.02 mm) まで
- LPDDR2 および LPDDR3 には、ポイントツーポイント・トポロジが使用されるので、各バイトに以下のルールを適用します。
 - DQ または DQM から DQS_N/DQS_P まで +/- 40 mil (1.016 mm)
 - DQS_N/DQS_P の長さは、CLK_N/CLK_P の長さより 0~590 mil (14.986 mm) 短くする必要があります (CLK_N/CLK_P は最も長いパターンでなければなりません)。

パターンの長さ = サブストレートの長さ + ビアの長さ + 基板のパターン長

$$\text{差動パターンの長さ (DSQS_N/DQS_P)} = \frac{\text{パターンの長さ N} + \text{パターンの長さ P}}{2}$$

- 信号の順序、BGA ファンアウト、およびレイアウトの例については、ST の参照設計を常に参照してください。

6.2 16 ビットメモリインタフェースのデータ信号ルール

以下の 2 バイトにわたって 2 つの異なる／独立した信号グループがあります。

- Byte0 = DQ[7:0]、DQM0、DQS0_N、および DQS0_P
- Byte1 = DQ[15:8]、DQM1、DQS1_N、および DQS1_P

1 つの 16 ビット DDR3/3L または LPDDR2/3 では、以下のルールが両方のバイトに適用されます。

- DQ または DQM から DQS_N/DQS_P まで +/- 40 mil (1.016 mm)
- DQS_N/DQS_P の長さは、CLK_N/CLK_P の長さより 0~590 mil (14.986 mm) 短くする必要があります (CLK_N/CLK_P は最も長いパターンでなければなりません)。

フライバイ・トポロジの 2 つの 8 ビット DDR3/3L では、以下のルールをバイト 0 とバイト 1 に適用し、バイト 0 のパターン長とバイト 1 のパターン長は同じではないことを確認してください。

- DQ/DQM から DQS_N/DQS_P まで +/- 40 mil (1.016 mm)
- DQS_N/DQS_P の長さは、CLK_N/CLK_P の長さより 0~590 mil (14.986 mm) 短くする必要があります (CLK_N/CLK_P は最も長いパターンでなければなりません)。
- バイト 1 の長さをバイト 0 の長さと比較した場合、最大 1300 mil (33.02 mm) まで

6.3 アドレスおよび制御 (A/C) 信号のルール

これらのグループには次の信号が含まれます。

- DDR3/3L の場合、A[15:0]、BA[2:0]、RASN、CASN、WEN、CSN、CKE、ODT、CLK_N、CLK_P
- LPDDR2/3 の場合、A[9:0]、CSN、CKE、CLK_N、CLK_P

A/C 信号には、以下の設計ルールを適用する必要があります。

- メモリデバイスへの A/C の配線には PCB の最下層を使用する必要があります。最上層は、メモリチップへの接続 (スタブ) と A/C バスの交差用に予約されています。
- 可能な限り、最低限 S-3S 分離ルールを適用します。
唯一の例外は、高いビア密度と BGA ピッチの制約のため、信号がメモリチップまたは STM32MP1 シリーズにきわめて近い場合です。
S-3S ルールが適用できない場合、分離ルールを最適化するように (S-2S、S-1.5S など) レイアウトを設計する必要があります。S-1S が唯一の選択肢である場合、セグメントはできるだけ短くする必要があります。

- 等長化ルール：
A/C の長さは CLK_N/CLK_P の長さよりも 0~40 mil (1.016 mm) 短くする必要があります。
CLK_N/CLK_P の最大長さ 4.72 インチ (12 cm)

パターンの長さ = サブストレートの長さ + ビアの長さ + 基板のパターン長

$$\text{差動パターンの長さ (CLK_N/CLK_P)} = \frac{\text{パターンの長さ N} + \text{パターンの長さ P}}{2}$$

- DDR3/3L に使用されるフライバイ・トポロジの場合：
1 番目の DDR3/3L の A/C、CLK_N/CLK_P の長さは、2 番目の DDR3/3L の A/C、CLK_N/CLK_P の長さと比較して、最大 1300 mil (33.02 mm) まで
- 信号の順序、BGA ファンアウト、およびレイアウトの例については、ST の参照設計を常に参照してください。

6.4 ZQ 信号

この信号は、ボールから基準抵抗までのパターンができるだけ短くなるようにレイアウトする必要があります。ノイズの多いアグレッサ信号から十分に分離するように注意する必要があります。

6.5 電源プレーンのルール

電源プレーンは、以下のルールに従って設計する必要があります。

6.5.1 VDD_DDR (LPDDR2/3 の場合は VDD_DDR2) 電源プレーン

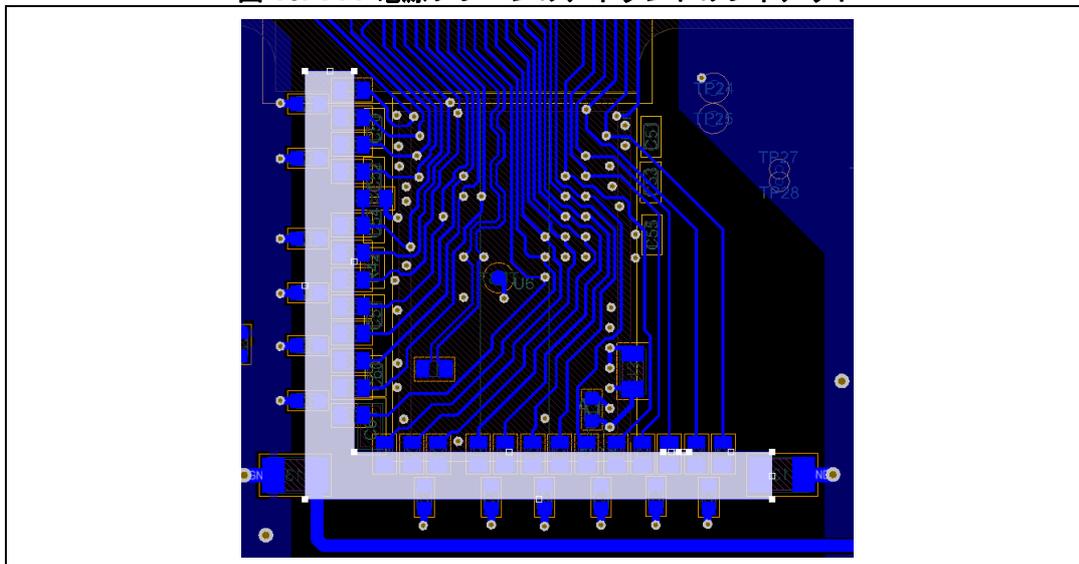
- これは、レイヤ 3 の一様な電源プレーンでなければなりません。
- インピーダンスの不連続を避けるために、この電源プレーンは最下層にあるすべての DDR3/3L (LPDDR2/3) パターンに重なる必要があります。
- VDD_DDR 電源プレーンの VDD_DDR 電源、STM32MP1 シリーズ、および各メモリデバイスへの接続は、複数のビアで行う必要があります。
- 標準のデカップリングルールを適用する必要があります。
 - バルクコンデンサを電圧レギュレータと、STM32MP1 シリーズおよびメモリデバイスとの間に配置する必要があります。
 - HF デカップリングコンデンサは、[セクション 5.8](#) で説明した低接続インダクションの推奨に従って、各電源ピンのできるだけ近くに配置する必要があります。

6.5.2 VTT 電源プレーンのルール

VTT 電源は、フライバイ・トポロジを使用する DDR3/3L インタフェースでのみ使用されます。

- VTT 終端電圧は、電源と見なす必要があります。
- VDD_DDR の制約（DDR 領域に重なるレイヤ 3 の一様なプレーン）により、VTT レイアウトは最下層でアイランドとして管理する必要があります。図 16 を参照してください。
- VTT レギュレータは、RTT 終端の近くに配置する必要があります。
- HF コンデンサ 1 個を、2 つの RTT 終端抵抗用に確保し、できるだけ近くに配置する必要があります。
- バルクコンデンサは、VTT レギュレータと終端の間のどこにでも配置できます。
- クロストークを低減するために、VTT アイランドの周囲は十分な間隔を空けてください。

図 16. VTT 電源プレーンのアイランドのレイアウト



改版履歴

表 2. 文書改版履歴

日付	版	変更内容
2018年1月31日	1	初版発行
2019年2月1日	2	置換： -STM32MP15 シリーズを STM32MP1 シリーズで置換 更新： -データ、アドレス、および制御信号のルールについて、 セクション 6.1 、 セクション 6.2 、および セクション 6.3 を更新
2019年2月6日	3	置換： -STPMU1 を STPMIC で置換

表 3. 日本語版文書改版履歴

日付	版	変更内容
2022年6月	1	日本語版 初版発行

重要なお知らせ（よくお読み下さい）

STMicroelectronics NV およびその子会社（以下、ST）は、ST製品及び本書の内容をいつでも予告なく変更、修正、改善、改定及び改良する権利を留保します。購入される方は、発注前にST製品に関する最新の関連情報を必ず入手してください。ST製品は、注文請書発行時点で有効なSTの販売条件に従って販売されます。

ST製品の選択並びに使用については購入される方が全ての責任を負うものとします。購入される方の製品上の操作や設計に関してSTは一切の責任を負いません。

明示又は黙示を問わず、STは本書においていかなる知的財産権の実施権も許諾致しません。

本書で説明されている情報とは異なる条件でST製品が再販された場合、その製品についてSTが与えたいかなる保証も無効となります。

STおよびSTロゴはSTMicroelectronicsの商標です。STの登録商標についてはSTウェブサイトをご覧ください。www.st.com/trademarks
その他の製品またはサービスの名称は、それぞれの所有者に帰属します。

本書の情報は本書の以前のバージョンで提供された全ての情報に優先し、これに代わるものです。

この資料は、STMicroelectronics NV並びにその子会社(以下ST)が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くためにSTマイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST及びSTマイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

© 2022 STMicroelectronics - All rights reserved