

## STM32MP13x ライン・ハードウェア開発の手引書

### はじめに

本アプリケーション・ノートでは、STM32MP13x マイクロプロセッサ (MPU) の使用方法を説明します。これらの製品を使用してアプリケーションを開発するために必要な最小ハードウェア・リソースについても説明します。

本書では、開発ボードのハードウェア実装の概要を示します。重点的に説明する機能は、電源、パッケージの選択、クロック管理、リセット制御、ブートモード設定、デバッグ管理です。

このアプリケーション・ノートには、リファレンス設計図も含まれています。この設計図には、主要コンポーネント、インターフェース、モードが記載されています。

表 1. 対象とする製品

タイプ	製品ライン
マイクロコントローラ	STM32MP131, STM32MP133, STM32MP135

## 1 一般情報

本書は STM32MP13x Arm<sup>®</sup>ベースの MPU に適用されます。

注 Arm は、米国内およびその他の地域にある Arm Limited 社 (またはその子会社) の登録商標です。

表 2. 参照文献

-	参照	タイトル
[1]	AN2867	Oscillator design guide for STM8AF/AL/S, STM32 MCUs, and MPUs
[2]	AN1709	EMC design guide for STM8, STM32, and legacy MCUs
[3]	AN5105	Getting started with touch-sensing control on STM32 microcontrollers
[4]	AN4316	Tuning a touch-sensing application on MCUs
[5]	AN5275	USB DFU/USART protocols used in STM32MP1 Series bootloaders
[6]	AN5168	DDR configuration on STM32MP1 Series MPUs
[7]	AN5587	STM32MP13x lines and STPMIC1 integration on a wall-adaptor supply
[8]	AN5592	STM32MP13x lines DDR memory routing guidelines
[9]	AN5585	STM32MP13x lines and STPMIC1 integration on a battery-powered application
[10]	AN5586	STM32MP13x lines discrete power supply hardware integration
[11]	AN4879	USB hardware and PCB guidelines using STM32 MCUs
[12]	UM2993	STM32MP135F-DK discovery board user manual
[13]	RM0475	STM32MP13x advanced Arm-based 32-bit MPUs
[14]	DSXXXX	STM32MP13xA/Dxx datasheet
[15]	DSXXXX	STM32MP13xC/Fxx datasheet
[16]	ES0539	STM32MP131x STM32MP133x STM32MP135x errata sheet

表 3. 用語

項目 (略称)	説明
ADC	A/D コンバータ
AHB	Advanced high-performance bus (アドバンスド・ハイパフォーマンス・バス)
AXI	Advanced eXtensible Interface (アドバンスド・エクステンシブル・インタフェース) (AXI に基づき拡張された相互接続マトリックス)
AXIM	AXI matrix (AXI マトリックス) (AXI ベースの相互接続)
AXIMC	AXI matrix configuration control (AXI マトリックス設定コントロール)
BKPSRAM	バックアップ SRAM
BSEC	Boot and security controller (ブートおよびセキュリティ・コントローラ) (OTP インタフェース)
CEC	Consumer Electronics Control (コンシューマ・エレクトロニクス・コントロール) (HDMI 規格の一部)
CNT	Generic timer (汎用タイマ) (Cortex-A7 <sup>®</sup> 内部)
CRYP	Cryptographic peripheral (暗号ペリフェラル)。DES、トリプル DES、および AES をサポート
CSI	Low-power internal oscillator (低電力内部オシレータ)
CTI	Cross-trigger interface (クロストリガ・インタフェース)
DAP	Debug access port (デバッグ・アクセス・ポート)
DCMI	Digital camera interface (デジタル・カメラ・インタフェース) (パラレル・インタフェース)

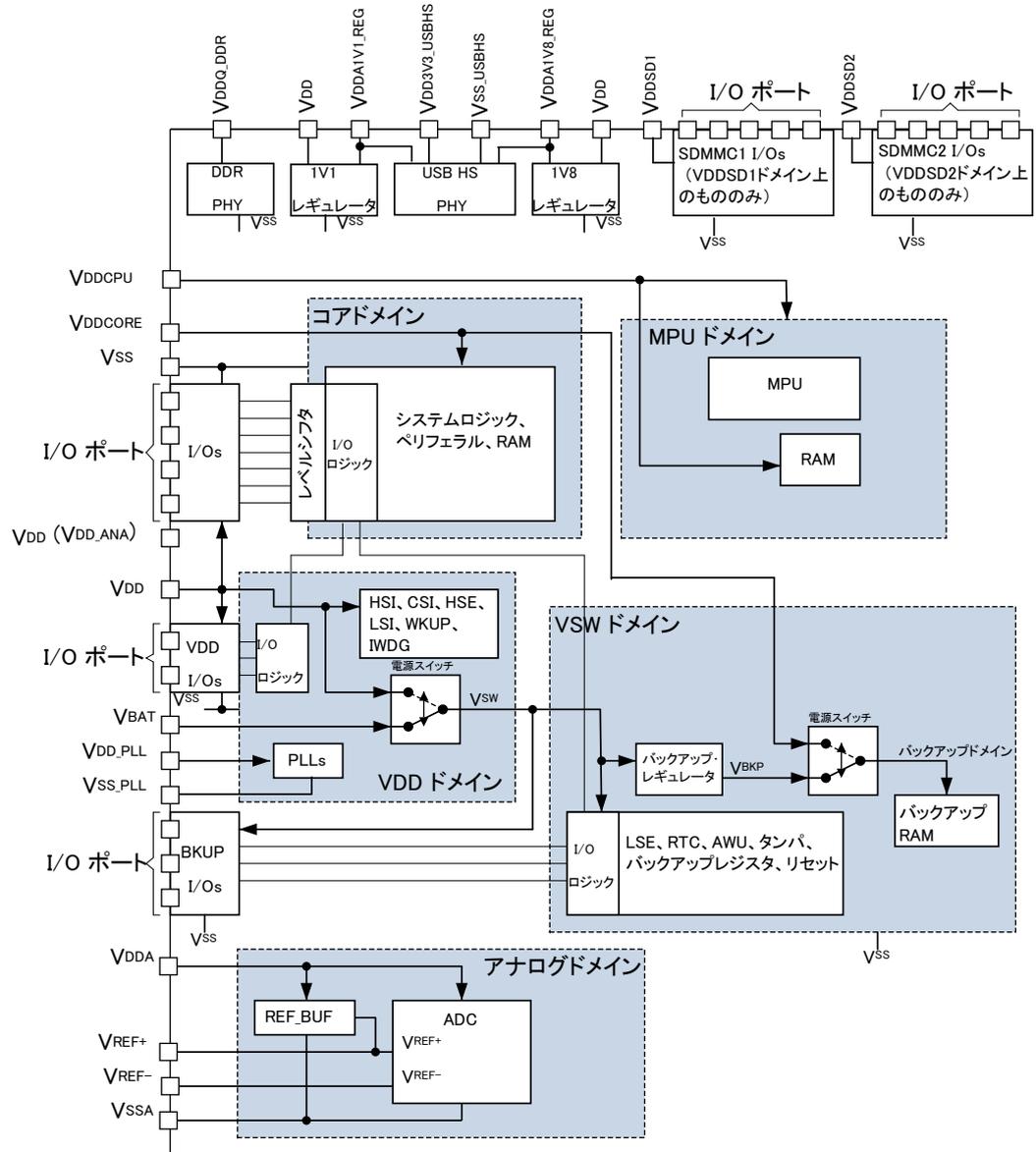
項目(略称)	説明
DDRCTRL	Double data rate SDRAM controller(ダブル・データ・レート SDRAM コントローラ)。LPDDR2、DDR3/DDR3L プロトコルをサポート
DDRPERFM	DDR Performance Monitor(DDR 性能モニタ) (DDRCTRL に接続される)
DDRPHYC	DDR physical interface control(DDR 物理インタフェース制御)
DFSDM	Digital Filter for Sigma Delta modulators(シグマ・デルタ・モジュレータのデジタル・フィルタ)
DLYBQS	Delay block for QUASDPI(QUASDPI 用遅延ブロック)。最高のデータレートを得るために外部信号のタイミングを補正
DLYBSD	Delay block for SDMMC(SDMMC 用遅延ブロック)。最高のデータレートを得るために外部信号のタイミングを補正
DMA	Direct memory access(ダイレクト・メモリ・アクセス) : ペリフェラルとメモリ間、またはメモリ間で自律的にデータを転送できるバス・マスタ
DMAMUX	DMA request multiplexer(DMA リクエスト・マルチプレクサ)
ETH	Ethernet controller(Ethernet コントローラ)
ETM	Embedded Trace Macrocell(組み込みトレース・マクロセル)™
ETZPC	Enhanced TrustZone® protection controller(強化された TrustZone 保護コントローラ)。一部のペリフェラルおよび ROM/RAM 保護設定項目を設定するために使用
EXTI	Extended interrupt and event controller(拡張割り込み/イベントコントローラ)
FDCAN	Controller area network with flexible data-rate(フレキシブル・データレートのコントローラ・エリア・ネットワーク)(タイムトリガ CAN(TT)もサポート可能)
FMC	Flexible memory controller(フレキシブル・メモリ・コントローラ)
GIC	Generic interrupt controller(汎用割り込みコントローラ)
GMAC	Gigabit Ethernet media access controller(ギガビット Ethernet メディア・アクセス・コントローラ)
GPIO	General-purpose input output(汎用入出力)
GPU	Graphic processing unit(グラフィック処理装置)
HASH	Cryptographic hash peripheral(暗号化ハッシュ・ペリフェラル), SHA(secure hash algorithm:セキュア・ハッシュ・アルゴリズム)をサポート
HDMI	High-definition multimedia interface(高解像度マルチメディア・インタフェース)
HDP	Hardware debug port(ハードウェア・デバッグ・ポート)
HSE	High-speed external quartz oscillator(高速外部水晶発振器)
HSEM	Hardware semaphore(ハードウェア・セマフォ)。マルチプロセッサのリソース共有を支援
HSI	High-speed internal oscillator(高速内部オシレータ)
I2C	Inter-integrated circuit(集積回路間)インタフェース
I2S	Inter-integrated circuit sound(集積回路間サウンド)
IPCC	Interprocessor communication controller(プロセッサ間通信コントローラ)
IWDG	Independent watchdog(独立型ウォッチドッグ)
JTAG	Joint test action group(デバッグ・インタフェース)
LCD	Liquid crystal display(液晶ディスプレイ)
LPTIM	Low-power timer(低消費電力タイマ)
LSE	Low-speed external quartz oscillator(低速外部水晶発振器)
LSI	Low-speed internal oscillator(低速内部オシレータ)
LTDC	LDC TFT Display Controller(LCD TFT ディスプレイ・コントローラ)
MDIOS	Management data input/output slave(マネージメント・データ・インプット/アウトプット・スレーブ)。Ethernet 物理インタフェースの制御に使用
MDMA	Master DMA(マスタ DMA)

項目(略称)	説明
MLAHB	Multilayer AHB(マルチレイヤ AHB)(AHB ベース相互接続)
OTG	USB On-The-Go。標準 USB インタフェースで、ホストとしてもデバイスとしても動作可能
OTP	One time program memory(ワンタイム・プログラム・メモリ)
PMB	Process Monitor Block(プロセス・モニタ・ブロック)
PMIC	信号やシリアル・インタフェースで幅広く制御できるさまざまなプラットフォームの電源を搭載した外部パワー・マネージメント回路
PWR	Power control(電源制御)
QUADSPI	Quad-data-lanes serial-peripheral interface(クワッドデータレーン・シリアルペリフェラル・インタフェース)
RCC	Reset and clock control(リセットおよびクロック制御)
RNG	乱数発生器
RMA	Return material analysis(返品分析)の製品ライフサイクル状態
ROM	Read-only memory(読出し専用メモリ)
RTC	Real-time clock(リアルタイム・クロック)
SAI	Serial audio interface(シリアル・オーディオ・インタフェース)
SDMMC	Secure digital and MultiMediaCard(セキュア・デジタルおよび MultiMediaCard)インタフェース。SD、MMC、e.MMC™、および SDIO プロトコルをサポート
SMPS	Switched-mode power supply(スイッチモード電源)
SPDIF	Sony/Philips Digital Interface Format(Sony/Philips デジタル・インタフェース形式)
SPI	Serial peripheral interface(シリアル・ペリフェラル・インタフェース)
SRAM	Static random access memory(スタティック・ランダム・アクセス・メモリ)
STGEN	System timer generator(システム時間生成回路)。Cortex-A7 タイマに使用
STGENC	STGEN control(STGEN 制御): STGEN のセキュア部分
STGENR	TGEN read(STGEN 読出し): STGEN の読出し専用部分
STM	System trace macrocell(システム・トレース・マクロセル)
SWD	Serial-wire debug(シリアルワイヤ・デバッグ)
SWO	Single-wire output(シングルワイヤ出力)(トレース・ポート)
SYSCFG	System configuration(システム設定)
SYSRAM	System SRAM(システム SRAM)
TAMP	Tamper detection peripheral(タンパ検出ペリフェラル)
TEMP	温度センサ
TFT	Thin-film transistor(薄膜トランジスタ): LCD テクノロジープロセス
TIM	タイマ
TSGEN	Debug time stamp generator(デバッグ・タイム・スタンプ・ジェネレータ)。複数のコア・トレースの同期を保證するために使用
TZC	TrustZone address space controller(TrustZon アドレス空間コントローラ)。外部 SDRAM へのアクセスを保護するために使用
UART	Universal asynchronous receiver/transmitter(ユニバーサル非同期レシーバ/トランスミッタ)
USART	Universal synchronous/asynchronous receiver/transmitter(ユニバーサル同期/非同期レシーバ/トランスミッタ)
USB	ユニバーサルシリアル
USBH	USB host controller(USB ホスト・コントローラ)
USBPHYC	USB physical interface control(DDR 物理インタフェース制御)
VREFBUF	ADC voltage reference buffer(ADC 電圧リファレンス・バッファ)

項目 (略称)	説明
WWDG	Window watchdog (ウインドウ型ウォッチドッグ)

2 電源機器

図 1. 電源図



## 2.1 概要

STM32MP13x 電源の主な機能を以下に示します(製品データシートの詳細と保証された動作ポイント)。

- メイン I/O 電圧源( $V_{DD}$ )の範囲は 1.71 V ~ 3.6 V です。
- コアロジック動作電圧源( $V_{DDCORE}$ )の範囲は 1.21 V ~ 1.29 V です。
- MPU ドメインの動作電圧源( $V_{DDCPU}$ )の範囲は次のとおりです。
  - 1.21 V ~ 1.38 V (OPP 650 MHz)
  - 1.32 V ~ 1.38 V (OPP 1000 MHz)
- USB 電源( $V_{DD3V3\_USBHS}$ )の範囲は 3.07 V ~ 3.6 V です。
- 一部の内部ブロックに電源供給するために、内蔵レギュレータが使用されます。
  - USB 用の 1.8 V LDO は、USB への内部電源供給用の  $V_{DDA1V8\_REG}$  から出力されます。  $BYPASS\_REG1V8 = V_{DD}$  の場合、 $V_{DDA1V8\_REG}$  は外部から供給する必要があります。その場合、範囲は 1.65 V ~ 1.95 V です。
  - USB 用の 1.1 V LDO は、外部デカップリング用の  $V_{DD1V1\_REG}$  から出力されます。  
注: 内蔵レギュレータは外部コンポーネントの電源供給に使用出来ません。
- リアルタイム・クロック(RTC)およびバックアップ・レジスタは、主電源  $V_{DD}$  がオフの場合、 $V_{BAT}$  から電源供給することができます。 $V_{BAT}$  と  $V_{DD}$  の間の自動スイッチによるこの内部電源供給は、VSW ドメインと呼ばれます。VSW ドメインは、PI3、PI2、PI1、PI0、PC13、PC14、PC15 ピンへの電源供給にも使用されます。

**注** アナログスイッチで供給できる電流の量は限られている(3 mA)ため、出力モードでの GPIO PI3、PI2、PI1、PI0、PC13、PC14、PC15 の使用は制限されています。最大周波数は、最大負荷を 30 pF として 2 MHz に制限する必要があります。また、これらの I/O を電流ソースとして使用することはできません(たとえば、LED を駆動するなど)。  
 $V_{BAT}$  電圧の範囲は 1.20 V ~ 3.6 V です。  
 $V_{DD}$  が  $V_{BAT}$  より高い電圧の場合、外部バックアップ電圧デバイス(スーパーキャパシタなど)用に  $V_{BAT}$  ピンから少量の充電電流を供給できます。

### 2.1.1 独立した ADC コンバータ用電源と基準電圧

変換の精度とダイナミックレンジを向上させるため、ADC およびリファレンスには独立した電源が供給されます。この電源は個別にフィルタすることができます。この電源は、PCB のノイズをシールドすることもできます。

アナログ動作電圧源( $V_{DDA}$ )の範囲は 1.71 V ~ 3.6 V です。

- ADC/ $V_{REFBUF}$  用の電源入力は、独立した  $V_{DDA}$  ピンから供給されます。
- ADC 電源のグラウンドは、独立した  $V_{SSA}$  ピンとして用意されています。  
いずれの場合も、 $V_{SSA}$  ピンは、 $V_{SS}$  と同じグラウンドに外部で接続する必要があります。

#### 外部 $V_{REF}$

$V_{REF+}$  ピンの独立した外部基準電圧の ADC 入力を接続できます。 $V_{REF+}$  の電圧は、1.62 V ~  $V_{DDA}$  の範囲にすることができます。

#### 内部 $V_{REF}$

$V_{REFBUF}$  ブロックで  $V_{REF+}$  の内部基準電圧を有効にすることができます。

$V_{REF+}$  の電圧は、1.5 V、1.8 V、2.048 V、および 2.5 V から選択できます。

$V_{REF+}$  ピンで内部  $V_{REF}$  を使用できるので、外部でも使用できます。負荷がデータシートの値内に保たれていれば、たとえば、アナログ・コンパレータのリファレンス用に使用できます。

$V_{REFBUF}$  には、 $V_{REF+} + 0.3$  V 以上の  $V_{DDA}$  が必要です。

**注意**  $V_{REF-}$  ピンを  $V_{SSA}$  に外部接続する必要があります。

### ADC アナログ入力スイッチ用ブースタ

ADC 入力はアナログスイッチで切り替えられますが、このスイッチは  $V_{DDA}$  電源が 2.7 V 未満の場合に性能が低下します。ADC のアナログ性能を最大化するために、以下のいずれかをアナログスイッチに供給することもできます。

- $V_{DD}$  (2.7 V を超える場合)
- $V_{DDA}$  からの内蔵 3.3 V ブースタ

下の表に示すように、SYSCFG\_PMCR レジスタで制御されます。

**表 4. ANASWVDD および EN\_BOOSTER 用の推奨設定**

$V_{DDA}$ (V)	$V_{DD}$ (V)	SYSCFG_PMCR.ANASWVDD	SYSCFG_PMCR.EN_BOOSTER	スイッチの供給電圧	ADC アナログ性能
> 2.7	1.71~3.6	0	0	$V_{DDA}$ (> 2.7 V)	最大
< 2.7	> 2.7	1	0	$V_{DD}$ (> 2.7 V)	
	< 2.7	0	1 <sup>(1)</sup>	ブースタ (~3.3 V)	
			0 <sup>(2)</sup>	$V_{DDA}$ (< 2.7 V)	低下

1. ブースタ電圧は安定するまでに最大 50 ms かかることがあります。
2. ADC アナログ性能の低下が許容できる場合、ブースタを無効にすれば最大 250 mA を節約できます。

### 電源デカップリングの推奨事項

外部の低ノイズ・リファレンスを備えた電源  $V_{REF+}$  を推奨します。

$V_{REF+}$  への電源供給に内部 VREFBUF を使用する場合、以下のデカップリングコンデンサの使用を推奨します。

- $V_{REF+}$  ピンと  $V_{REF-}/V_{SSA}$  ピンの間: 1 つの 100 nF をできるだけ近くに配置し、少し離して 1 つの 1  $\mu$ F を配置する
- $V_{DDA}$  ピンと  $V_{SSA}$  ピンの間: 1 つの 100 nF をできるだけ近くに配置し、少し離して 1 つの 1  $\mu$ F を配置する

使用できるコンデンサが 1 つのみの場合、1  $\mu$ F を残して  $V_{REF+}$  および  $V_{DDA}$  ピンのできるだけ近くに配置することを推奨します。

基準電圧  $V_{REF+}$  として  $V_{DDA}$  電源を使用する場合、以下のデカップリングコンデンサの使用を推奨します。

- $V_{REF+}/V_{DDA}$  ピンと  $V_{REF-}/V_{SSA}$  ピンの間: 1 つの 100 nF をできるだけ近くに配置し、少し離して 1 つの 1  $\mu$ F を配置する

使用できるコンデンサが 1 つのみの場合、1  $\mu$ F を残して  $V_{REF+}$  および  $V_{DDA}$  ピンのできるだけ近くに配置することを推奨します。

### 2.1.2 独立 I/O 電源レール

I/O の 2 つのセクションのを使用して UHS-I モードで SD カードを使用している場合、外部の独立したレベル・シフタは不要です。IO は独立した  $V_{DDSD1}$  および  $V_{DDSD2}$  電源により供給されます。

独立した  $V_{DDSD1}$  および  $V_{DDSD2}$  電源によって供給される I/O では、SDMMC 信号は同じになります。これらの信号は、対応する製品のデータシートで「VSD1」または「VSD2」のサフィックスで識別されます。VSD1 は PC8、PC9、PC10、PC11、PC12、および PD2 で確認できます。VSD2 は PB3、PB4、PB14、PB15、PE3、および PG6 で確認できます。

これらの I/O で SD カードを使用しない、または外部のレベル・シフタを使用する場合、 $V_{DDSD1}$  および  $V_{DDSD2}$  電源を  $V_{DD}$  電源に接続できます。詳細については、[セクション 8.8: 外部のレベル・シフタなしの SD カード](#) を参照してください。

以下の 2 つの条件を満たしている場合、 $V_{DDSD1}$  または  $V_{DDSD2}$  電源を  $V_{SS}$  に接続できます。

- $V_{DDSD1}$  または  $V_{DDSD2}$  の I/O セクションで I/O を使用していない
- その他の GPIO が > 3.6 V でない

通常、5 V トレラント I/O で 5 V 時に入力がある場合、 $V_{DDSDx}$  は無効にできず、1.4 V (5 V - 3.6 V) を下回ることもできません。

$V_{DD}$  の電力レベルとは関係なく、ランタイム中に  $V_{DDSD1}$  または  $V_{DDSD2}$  の電源を切ることができます。そのためには、その他の GPIO が  $> 3.6$  であってはなりません。たとえば、次の 2 つの条件を満たしている場合に、 $V_{DDSD1}$  を 0 に設定した SDMMC でのパワーサイクルが可能です。

- オンボード SDMMC メモリの接続に  $V_{DDSD1}$  I/O を使用している
- $V_{DDSD1}$  への電源供給にオンボード SDMMC メモリ電源が使用されている

### 2.1.3 CPIO 用の HSLV モードおよび補正セル

一部の GPIO では、HSLV(ハイスピード低電圧)モードが利用できます。このモードでは、1.8 V の使用時に I/O のドライブを増やすことができます。

HSLV モードは、I/O の電源が 2.7 V 未満になっている状態で使用する必要があります。これに従わない場合、永続的なデバイスの損傷が発生する可能性があります。

関連するインタフェース I/O の HSLV モードは HSLVEN ビットによって制御され、この制御は I/O 電源とは関係なく行われます。SDMMC1 および SDMMC2 インタフェースのすべての I/O の HSLV モードは、それぞれ SYSCFG\_HSLVEN4R と SYSCFG\_HSLVEN5R によって制御されます。ここでは、 $V_{DD}$ 、 $V_{DDSD1}$ 、または  $V_{DDSD2}$  によって電源供給される I/O が含まれます。

HSLV モードは、 $V_{DD}$  によって電源供給される I/O 用の OTP ビット (product\_below\_2V5) によって保護されます。HSLV モードを使用するには、OTP ビットがすでに結合されている必要があります。 $V_{DDSD1}$  および  $V_{DDSD2}$  によって電源供給される I/O には、そのタイプの保護は適用されません。

補正セルは、転流スルーレート (tfall/trise) を制御するために使用します。これにより、多数の I/O ピンの電源の I/O ノイズを低減できます。補正セルは電源に関連しているため、以下を実行する必要があります。

- $V_{DD}$  によって電源供給される I/O 用に SYSCFG\_CMPENSETR.EN をプログラムする
- $V_{DDSD1}$  によって電源供給される I/O 用に SYSCFG\_CMPSD1ENSETR.EN をプログラムする
- $V_{DDSD2}$  によって電源供給される I/O 用に SYSCFG\_CMPSD2ENSETR.EN をプログラムする

### 2.1.4 バッテリバックアップ

$V_{DD}$  がオフになった場合に、バックアップレジスタおよび BKPSRAM の内容を保持するために、VBAT ピンをバッテリーやその他の電源に接続することができます。

VBAT ピンから RTC にも電源が供給され、主デジタル電源 ( $V_{DD}$ ) がオフの場合でも RTC が動作できるようにします。 $V_{BAT}$  電源への切り替えは、リセットブロックに組み込まれているパワーダウンリセット (PDR) 回路によって制御されます。外部バッテリーを使用しないアプリケーションでは、VBAT を  $V_{DD}$  に外部接続する必要があります。

### 2.1.5 電圧レギュレータ

BYPASS\_REG1V8 =  $V_{SS}$  の場合、1.8 V LDO (USB 用) はパワーオン・リセット後に常に有効になります。STANDBY への移行時に無効になり、(LP/LPLV-) STOP による影響を受けません。

1.1 V LDO (USB 用) は、パワーオン・リセット後に常に有効になります。STANDBY への移行時に無効になり、(LP/LPLV-) STOP による影響を受けません。

特に明記されていない限り、内蔵レギュレータは外部コンポーネントの電源供給に使用出来ません。

## 2.2 電源供給方法

回路には、以下の複数の電源から電力供給されます。

- $V_{DD}$  は I/O の主電源です。STANDBY モード中は、内部部品に電力が供給され続けます。有効な電圧範囲は 1.71 V ~ 3.6 V です (例: 1.8 V、2.5 V、3.0 V、または 3.3 V 標準)。
  - これらの電源は外部のデカップリングコンデンサに接続する必要があります (表 5 を参照)。
  - $V_{DD\_PLL}$  および  $V_{DD\_ANA}$  は  $V_{DD}$  に接続する必要があります。
- $V_{DDSD1}$  と  $V_{DDSD2}$  は 2 つの独立した I/O セクション専用の電源です。電圧範囲は  $V_{DD}$  と同じです。
  - これらの電源は外部のデカップリングコンデンサに接続する必要があります (表 5 を参照)。

- $V_{DDCORE}$  はデジタルコアドメインの電源です。STANDBY モード中は、外部的に停止できます。RUN モード中の電圧範囲は 1.21 V ~ 1.29 V (標準 1.25 V) です。
  - この電源は外部のデカップリングコンデンサに接続する必要があります (表 5 を参照)。
  - $V_{DDCORE}$  は特定の STOP モード (LPLV\_Stop、LPLV\_Stop2) でさらに低減できます。ここには、次のいずれかが含まれます。
    - PWR\_ON 信号: たとえば、外部パワーマネージメント回路である STPMIC1 を使用
    - ディスクリット SMPS コンポーネントによる PWR\_LP 信号。
- $V_{DDCPU}$  は MPU ドメインの電源です。STANDBY および LPLV-Stop2 モード中は、外部的に停止できます。電圧範囲は次のとおりです。
  - 最大 650 MHz で 1.21 V ~ 1.38 V (標準 1.25 V)、
  - 650 Mhz 以上で 1.32 V ~ 1.38 V (標準 1.35)
  - この電源は外部のデカップリングコンデンサに接続する必要があります (表 5 を参照)。
  - $V_{DDCPU}$  は特定の STOP モード (LPLV\_Stop) でさらに低減できます。ここには、次のいずれかが含まれます。
    - 外部のパワーマネジメント IC である STPMIC1 による PWR\_ON 信号
    - ディスクリット SMPS コンポーネントによる PWR\_CPU\_ON および PWR\_LP 信号
- VBAT ピンは、外部バッテリーに接続できます ( $1.2\text{ V} < V_{BAT} < 3.6\text{ V}$ )。
  - アプリケーションでバックアップバッテリーをサポートしていない場合は、このピンを  $V_{DD}$  に接続することを推奨します。
  - アプリケーションでバックアップバッテリーをサポートしている場合は、 $V_{BAT}$  と  $V_{SS}$  間にセラミックデカップリングコンデンサを付加することを推奨します。表 5 を参照してください。
  - アプリケーションで VBAT にスーパーキャパシタを使っている場合は、追加のデカップリングは必要ありません。
- VDDA ピンはアナログ (ADC/VREFBUF) 電源で、外部のデカップリングコンデンサに接続する必要があります。表 5 を参照してください。
- VREF+ ピンは、VDDA 外部電源に接続できます。独立した内部または外部の基準電圧が VREF+ に印加されている場合は、デカップリングコンデンサをこのピンと VREF- の間に接続する必要があります。表 5 およびセクション 2.1.1 を参照してください。  
アナログ・ノイズをフィルタリングするには、事前に次のことに注意してください。VDDA は、インダクタベースのフィルタを介して VDD に接続できます。
- $V_{DDQ\_DDR}$  は DDR I/O の電源で、外部のデカップリングコンデンサに接続する必要があります (表 5 を参照)。
  - DDR3 メモリとのインタフェース用の電圧範囲は 1.425 V ~ 1.575 V です (標準 1.5 V)。
  - DDR3L メモリとのインタフェース用の電圧範囲は 1.283 V ~ 1.45 V です (標準 1.35 V)。
  - LPDDR2 または LPDDR3 メモリとのインタフェース用の電圧範囲は 1.14 V ~ 1.3 V です (標準 1.2 V)。
- $V_{DD3V3\_USBHS}$  は USB ハイスピード PHY 電源です。電圧範囲は 3.07 V ~ 3.6 V です。外部のデカップリングコンデンサに接続する必要があります (を参照)。  
 $V_{DD3V3\_USBHS}$  は、OTG\_VBUS (PI7) および OTG\_ID (PA10) ピンへの電力供給にも使用します。
- VDDA1V8\_REG ピンは 内部レギュレータの出力で、外部のデカップリングコンデンサに接続する必要があります。表 5 を参照してください。
  - VDDA1V8\_REG は USB PHY および USB PLL に内部的に接続されています。
  - 内部 VDDA1V8\_REG レギュレータはデフォルトで有効であり、ソフトウェアで制御できます。これは STANDBY 中、常に停止されます。

1.8 V 電圧レギュレータ構成では、電圧レギュレータを有効または無効にするために特定の BYPASS\_REG1V8 ピンを  $V_{SS}$  または  $V_{DD}$  に接続する必要があります。 $V_{DD}$  が 2.25 V を下回る場合には、以下のように 1.8 V レギュレータをバイパスすることが必須です。

- BYPASS\_REG1V8 = VDD の場合、VDDA1V8\_REG ピンを  $V_{DD}$  (1.98 V 未満の場合) または専用の 1.65 V ~ 1.98 V 電源 (標準 1.8 V) に接続する必要があります。
- BYPASS\_REG1V8 = VSS の場合、1.8 V 電圧レギュレータを正しく動作させるためには、 $V_{DD}$  は 2.25 V を超えていなければなりません。

詳細は、セクション 2.1.5: 電圧レギュレータ および製品データシートの「Embedded regulators characteristics」のセクションを参照してください。

- VDDA1V2\_DSI\_REG ピンは 内部レギュレータの出力で、外部のデカップリングコンデンサに接続する必要があります。表 5 を参照してください。電圧範囲は 1.045 V ~ 1.155 V です(標準 1.1 V)。
  - VDDA1V1\_REG は USB PHY に内部的に接続されています。
  - 内部 VDDA1V1\_REG レギュレータはデフォルトで有効であり、ソフトウェアで制御できます。これは STANDBY 中、常に停止されます。

**注意**

VDDA1V8\_REG がオフの時は、V<sub>DD3V3\_USBHS</sub> はオフにしてください。そうしないと、デバイスが損傷する可能性があります。STPMIC1 を使用するか、またはディスクリート部品で電源を実装する場合は外部コンポーネントを使用して電源投入の順序を守ります。

すべての電源グランド(V<sub>SS</sub>、V<sub>SS\_ANA</sub>、V<sub>SS\_PLL</sub>、V<sub>SS\_USBHS</sub>、V<sub>SSA</sub>、および V<sub>REF-</sub>)は、電源プレーンと接続する必要があります。

以下の表をガイドラインとして使用できます。コンデンサの実際の数と値は、さまざまなパラメータ(コンデンサのサイズ、コンデンサの誘電体、PCB テクノロジーなど)に応じて、製品の電源インテグリティシミュレーション結果を使用して調整できます。

**表 5. パッケージ別のデカップリングの推奨値**

電源ピン	デカップリングポイント <sup>(1)</sup>	値 <sup>(2)</sup>	TFBGA289 (9 x 9)	TFBGA320 (11 x 1)	LFBGA289 (14 x 14)	コメント
VBAT	VSS	100 nF <sup>(3)</sup>	1	1	1	VBAT が VDD に接続されているか、バッテリーの代わりにスーパーキャパシタが使われている場合は、省略できる。
VDDCORE	VSS	1 μF	8	8	8	PMIC/SMPS のコンデンサは含まない
VDDCPU	VSS	1 μF	7	7	7	PMIC/SMPS のコンデンサは含まない
VDDQ_DDR	VSS	1 nF	7	7	6	PMIC/SMPS のコンデンサおよびは DDR メモリの追加コンデンサは含まない
		1 μF	3	3	3	
VDD_ANA	VSS_ANA	1 μF	1	1	1	-
VDD_PLL、 VDD_PLL2	VSS_PLL、 VSS_PLL2	1 μF	2	2	2	PMIC/SMPS のコンデンサは含まない
VDD	VSS	1 μF	4	4	4	
VDDSD1/VDDSD2	VSS	1 μF	1/1	1/1	1/1	
VDDA1V8_REG	VSS_USBHS	2.2 μF	1	1	1	-
VDDA1V1_REG						
VDD3V3_USBHS		1 μF				
VDD3V3_USB	VSS	1 μF				
VDDA	VSSA	100 nF + 1 μF	1+1	1+1	1+1	VSSA は VSS プレーンに接続する必要がある
VREF+	VREF- および VSSA					VREF- は VSSA、次に VSS プレーンに接続する必要がある

1. すべての VSS\_X と VSSA は共通の VSS プレーンに接続する必要があります。
2. μF コンデンサはすべて MLCC(マルチレイヤ・セラミック)です。
3. 立ち上がり時間は 33 us/V 未満でなければなりません。

**表 6. 未使用の機能のための電源利用**

電源	通常の接続	可能な接続	ピン又は機能 <sup>(1)</sup>	関連ブロック
VDD3V3_USBHS	専用の 3.3 V 電源	オープンまたは VSS	USB_DP1/DM1 ピン	USBH

電源	通常の接続	可能な接続	ピン又は機能 <sup>(1)</sup>	関連ブロック
VDD3V3_USBHS	専用の 3.3 V 電源	オープンまたは VSS	USB_DP2/DM2 ピン	OTG または USBH
VDD3V3_USB	専用の 3.3 V 電源	オープンまたは VSS	USB_DP1/DM1 ピン	USBH
			OTG_HS_ID として PA10 ピン	OTG または USBH
VDDA1V1_REG	デカップリングコンデンサ	オープン	USB_DP1/DM1 ピン	USBH
VDDA1V8_REG	デカップリングコンデンサ または専用の 1.8 V 電源 または VDD 1.8 V	オープン	USB_DP2/DM2 ピン	OTG または USBH
			USB_DP1/DM1 ピン	USBH
VDDA	専用の電源または VDD	オープン、VSS または VDD	ADC 内部チャンネル	ADC1/ADC2
			ADCx_INxx ピン	ADC1/ADC2
			VREFBUF の使用	VREFBUF
VDDSD1	VDD、または SD カード UHS-I モード用の動的 電源(3.3 V ~ 1.8 V)	VDD	VREF+ ピン	ADC
			PC[12:8]、PD[2] ピン <sup>(2)</sup>	SDMMC1 およびその他の AFmux 機能
VDDSD2	VDD、または SD カード UHS-I モード用の動的 電源(3.3 V ~ 1.8 V)	VDD	PB[15, 14, 4, 3]、PE3、 PG6 ピン <sup>(3)</sup>	SDMMC2 およびその他の AFmux 機能

1. 関連するすべてのピン／機能が使用されていない場合のみ接続可能です。
2. これらのピンを使用しない場合、VDDSD1 を VDD に接続する必要があります。
3. これらのピンを使用しない場合、VDDSD2 を VDD に接続する必要があります。

## 2.3 リセットおよび電源供給スーパバイザ

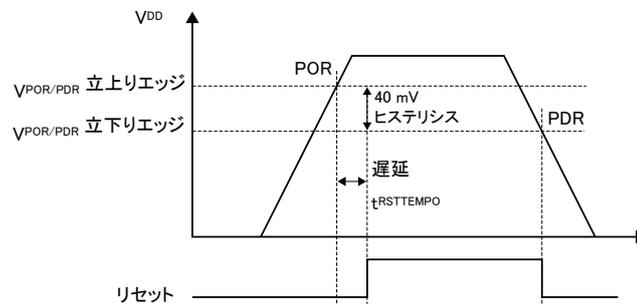
### 2.3.1 パワーオンリセット(POR)／パワーダウンリセット(PDR)

このデバイスには、1.71 V 以上での正常な動作を可能にする POR/PDR 統合回路が搭載されています。

デバイスは、 $V_{DD}$  が規定の閾値  $V_{POR/PDR}$  を下回っている間は、外部のリセット回路を必要とせずに、リセットモードを維持します。

POR/PDR 閾値の詳細については、製品データシートの電気的特性を参照してください。

図 2. パワーオンリセット／パワーダウンリセット波形



注:  $t_{RSTEMPO}$  は約 2.6 ms です。 $V_{POR/PDR}$  立上りエッジは 1.67 V (標準)、 $V_{POR/PDR}$  立下りエッジは 1.63 V (標準) です。実際値は、製品データシートを参照してください。

内部 POR/PDR 回路は、PDR\_ON ピンによって無効にできます。その場合、外部電源供給スーパバイザでは  $V_{DD}$  を監視する必要があり、 $V_{DD}$  が指定されている閾値を下回っている間はデバイスをリセットモードに維持する必要があります。

### 2.3.2 プログラム可能な電圧検出器 (PVD)

PVD を使用すると、閾値と比較することによって、 $V_{DD}$  電源を監視できます。閾値は、電源制御レジスタ (PWR\_CR) の PLS[2:0] ビットで選択できます。

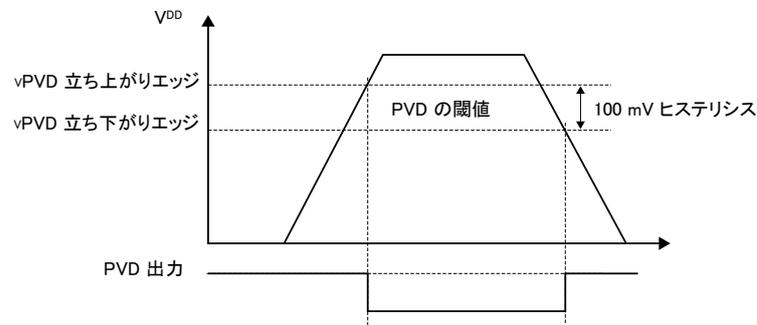
PVD は PVDE ビットをセットすることで有効になります。

$V_{DD}$  が PVD の閾値よりも高いか低いかを示すために、電源制御 / ステータスレジスタ (PWR\_CSR) の PVDO フラグが使用できます。このイベントは EXTI のライン 16 に内部接続され、EXTI レジスタで有効な場合は割り込みリクエストを生成させることができます。EXTI ライン 16 の立ち上がり / 立下りエッジの設定に応じて、次のときに PVD 出力割り込みを生成させることができます。

- $V_{DD}$  が PVD 閾値を下回ったとき
- $V_{DD}$  が PVD 閾値を上回ったとき
- 両方の条件を満たしたとき

たとえば、サービスルーチンで、緊急停止処理を実行することなどが可能です。

図 3. PVD の閾値



### 2.3.3 アプリケーションリセットとシステムリセット

アプリケーションリセット (app\_rst) は、次のいずれかのソースから生成されます。

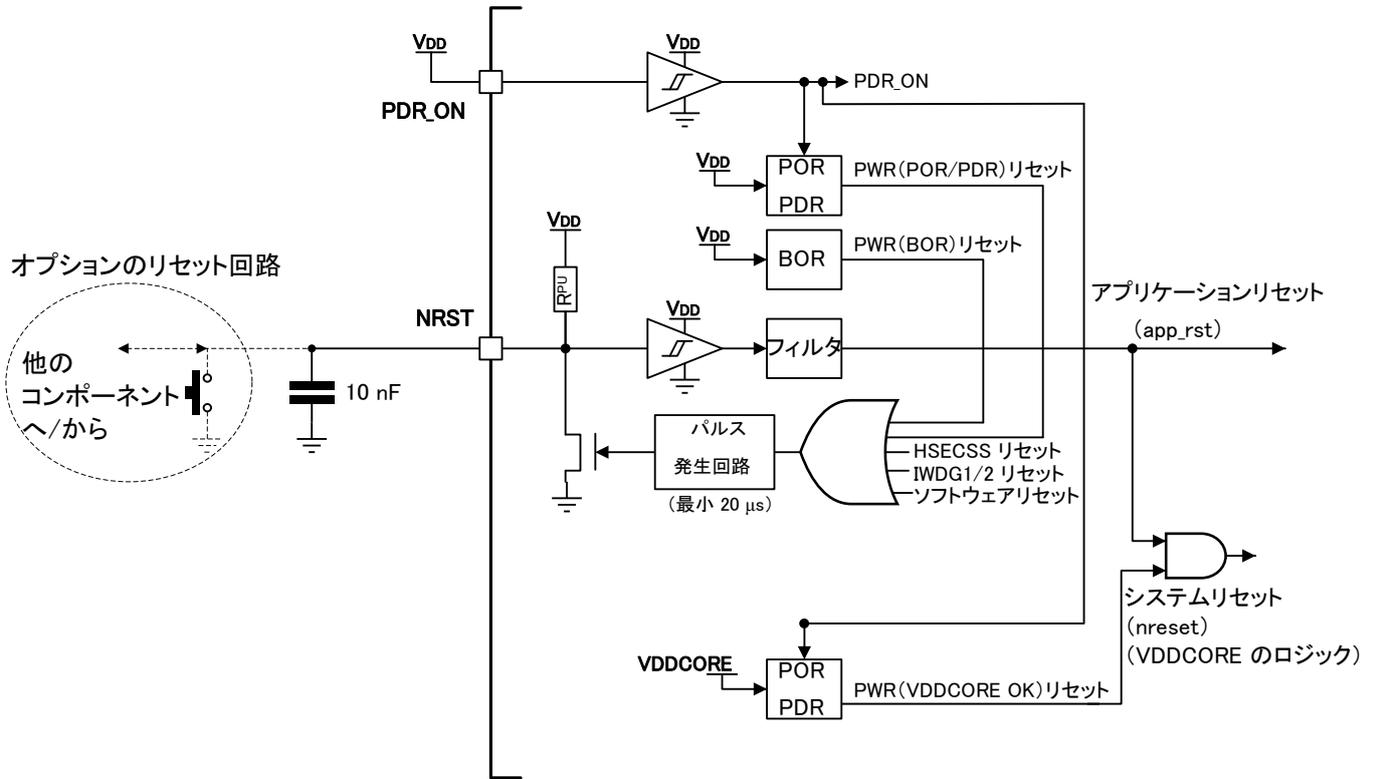
- NRST パッドからのリセット
- por\_rst 信号からのリセット (一般にパワーオンリセットと呼ばれます)
- bor\_rst 信号からのリセット (一般にブラウンアウトと呼ばれます)
- 独立型ウォッチドッグ 1 からのリセット (iwdg1\_rst)
- 独立型ウォッチドッグ 2 からのリセット (iwdg2\_rst)
- Cortex-A7 (MPU) で RCC の MPSYSRST ビットが「1」にセットされている場合、RCC からのソフトウェアリセット
- クロックセキュリティシステム機能がアクティブになっている場合 (hcss\_rst)、HSE の障害

システムリセット (nreset) は、次のいずれかのソースから生成されます。

- app\_rst 信号からのリセット (アプリケーションリセット)
- vcore\_rst 信号からのリセット

注 システムが STANDBY になっている場合、 $V_{DDCORE}$  はオフになりますが、 $V_{DD}$  はまだ継続します。そのため、システムが STANDBY を終了するときに、vcore\_rst 信号がアクティブになり nreset リセットが生成されます。

図 4. リセットピン回路の概要



## 3 パッケージ

### 3.1 パッケージの選択

パッケージを選択する際は、アプリケーションに強く依存する制約を考慮する必要があります。

STM32MP13x デバイス:

- すべてのパッケージで同じピンと機能を利用できます (ただし、TFBGA320 11 x 11 は例外で、DDR DLL テスト用の DDR\_DTO0 ピンを備えていません)。
- すべてのパッケージに 135 個の GPIO が装備されています (GPIO 上で多重化された 3 個の BOOT 信号と 4 個の JTAG 信号を含む)。

以下のリストに、よくある制約をまとめます。

- PCB テクノロジーの制約  
ピッチを小さく、ボール密度を高くするには、PCB の層数を増やし、上位クラスの PCB が必要となり、マイクロビア (レーザービア) テクノロジーでのスタックアップが必要になることがあります。
- パッケージの高さ
- PCB の使用可能面積
- 熱的制約 (パッケージが大きいほど放熱能力が向上します)

下の表に示すパッケージは、すべての STM32MP13x デバイスで利用できます。

**表 7. STM32MP13x パッケージの概要**

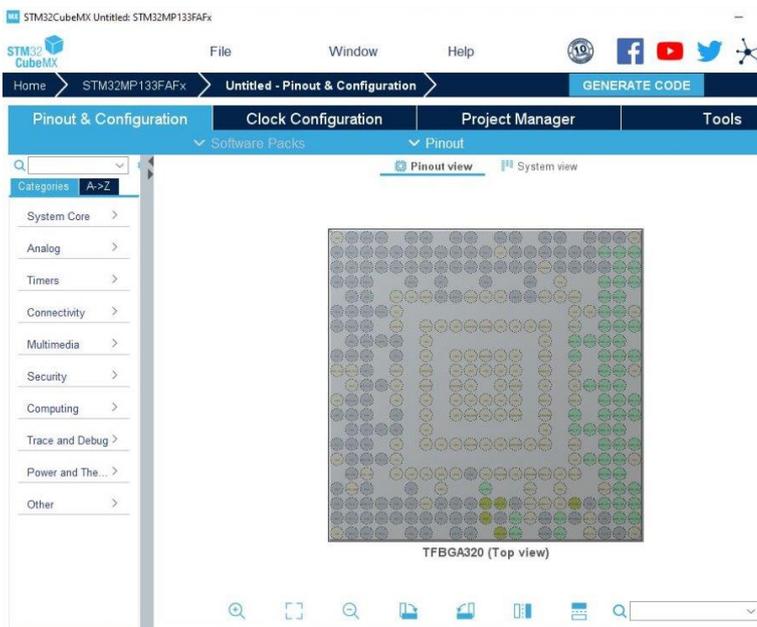
パッケージ	サイズ <sup>(1)</sup> (mm x mm)	最小ピッチ (mm)	高さ (mm)	ボール数
TFBGA289	9 x 9	0.5	1.2	289
TFBGA320	11 x 11	0.5	1.2	320
LFBGA289	14 x 14	0.8	1.4	289

1. 一般的な本体サイズです。

### 3.2 ピンへのオルタネート機能のマッピング

ピンへのペリフェラルのオルタネート機能マッピングを簡単に調べるには、STM32CubeMX ツールを使用することを推奨します。

図 5. STM32CubeMX のスクリーンショット例



## 4 クロック

サブシステムクロックを駆動するために、下記のさまざまなクロックソースが使用できます。

- HSI オシレータ・クロック (ハイスピード内部クロック信号)
- CSI オシレータ・クロック (低電力内部クロック信号)
- HSE オシレータ・クロック (ハイスピード外部クロック信号)
- PLL1/2/3/4 クロック
- USB クロックを生成する PLL\_USB (480 MHz)

STM32MP13x デバイスには、2 つの 2 次クロックソースがあります。

- 32 kHz 低速内部 RC (LSI RC)。独立型ウォッチドッグを駆動し、オプションで、STOP および STANDBY モードからの自動ウェイクアップに使用される RTC を駆動します。
- 32.768 kHz ロースピード外部クリスタル (LSE クリスタル)。オプションで、リアルタイムクロック (RTCCLK) を駆動します。

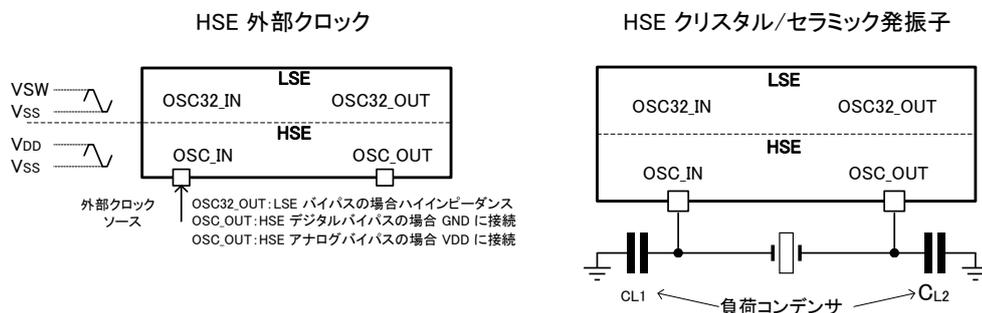
それぞれのクロック・ソースは、使用しないときに個別にオン/オフを切り替えて、電力消費を最適化可能です。クロック・ツリーについては、製品のリファレンス・マニュアルを参照してください。

### 4.1 HSE OSC クロック

HSE は、次のどちらかのクロックソースから生成できます (下図を参照)。

- HSE ユーザ外部クロック
- HSE 外部クリスタル/セラミック発振子

図 6. HSE クロックソース



次の式で負荷容量  $C_L$  を定義します。

$$C_L = C_{L1} \times C_{L2} / (C_{L1} + C_{L2}) + C_{stray}$$

ここで、 $C_{stray}$  は、ピンの容量と、基板やパターン上の PCB 関連容量です (通常は 2 ~ 4 pF。値を低減するには [セクション 7: 推奨事項](#) を参照)。

詳細については、文書 [1] を参照してください。

#### 4.1.1 外部ソース (HSE バイパス)

このモードでは、外部クロックソースが必要です。このソースでは、8 ~ 50 Mhz の周波数を利用できます。実際の最大値については、製品のデータシートを参照してください。

約 50% のデューティサイクルの外部デジタルまたはアナログクロック信号によって OSC\_IN ピンを駆動する必要があります。外部デジタル信号は  $V_{IL}/V_{IH}$  で、アナログ信号は少なくとも 200 mV pk-pk の振幅を持ちます。

**注** USB をブートするため、ブート ROM により自動的に HSE モードが選択されます。起動フェーズ中に、OSC\_OUT 接続がチェックされます (NRST 立ち上がりエッジで)。

- OSC\_OUT が GND (最大 1 kΩ) に接続されている場合は HSE デジタルバイパス
- OSC\_OUT が  $V_{DD}$  (最大 1 kΩ) に接続されている場合は HSE アナログバイパス
- OSC\_OUT がハイインピーダンスであるか、クリスタル/セラミック発振子に接続されている場合は HSE クリスタル/セラミック発振子モード

HSE バイパスを使用している場合、PWR\_ON により、外部クロック・ジェネレータでの節電を有効化できます (STANDBY では無効)。その場合、OSC\_IN クロック入力は、PWR\_ON の立ち上がりエッジが発生してから 10 ms 以内に安定している必要があります。

#### 4.1.2 外部クリスタル／セラミック発振子 (HSE クリスタル)

外部オシレータの周波数範囲は 8 ~ 48 MHz です。外部オシレータでは、メインクロックの周波数を非常に高い精度で生成できます。関連するハードウェア構成を図 6 に示します。正確な USB ハイスピードクロックを取得するには、24 MHz のクリスタル周波数を使用することが適しています。

波形ひずみと発振開始時の安定化までの時間を少なくするために、クリスタル／セラミック発振子と負荷コンデンサはオシレータのピンのできるだけ近くに接続する必要があります。負荷容量の値は、選択したクリスタル／セラミック発振子に応じて調整する必要があります。

C<sub>L1</sub> と C<sub>L2</sub> には、クリスタル／セラミック発振子の負荷要件を満たすように選択された 5 ~ 25 pF の範囲 (標準) の NP0/C0G コンデンサを使用することを推奨します。C<sub>L1</sub> と C<sub>L2</sub> は通常、同じ値とします。クリスタルのメーカーは通常、C<sub>L1</sub> と C<sub>L2</sub> の直列結合である負荷容量を指定します。C<sub>L1</sub> と C<sub>L2</sub> の大きさを決定するときは、PCB とピンの容量を含める必要があります (ピンと基板の合計容量の概算として 10 pF を使用できます)。

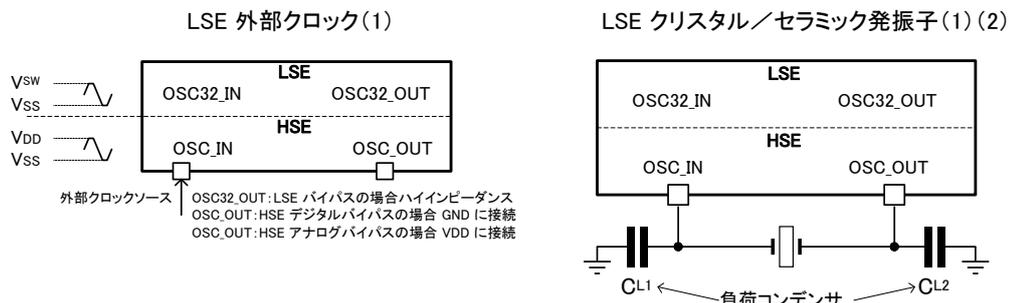
詳細については、[1] と製品データシートの電気特性のセクションを参照してください。

## 4.2 LSE OSC クロック

LSE は、次のどちらかのクロックソースから生成できます (下図を参照)。

- LSE ユーザ外部クロック
- LSE 外部クリスタル／セラミック発振子

図 7. LSE ソースクロック



- (1) OSC32\_IN ピンと OSC32\_OUT ピンは、GPIO としても使用できますが、同一アプリケーションで RTC ピンと GPIO ピンの両方として使用しないことをお勧めします。  
 (2) 負荷容量 CL 12.5 pF の発振子を使用することを強くお勧めします。

#### 4.2.1 外部ソース (LSE バイパス)

このモードでは、最大 1 MHz の周波数に対応する外部クロックソースが必要です。約 50% のデューティサイクルの外部デジタルまたはアナログクロック信号によって OSC32\_IN ピンを駆動する必要があり、OSC32\_OUT ピンはハイインピーダンスに保つ必要があります。外部デジタル信号は V<sub>IL</sub>/V<sub>IH</sub> で、アナログクロック信号は少なくとも 200 mV pk-pk の振幅を持ちます。図 7 を参照してください。バイパスモードの設定およびデジタルとアナログの選択は、RCC レジスタ内で行われます。

#### 4.2.2 外部クリスタル／セラミック発振子 (LSE クリスタル)

LSE クリスタルは、32.768 kHz のロースピード外部クリスタルまたはセラミック発振子です。時計/カレンダー、その他のタイミング機能のためのリアルタイムクロックペリフェラル (RTC) に、低電力ながら高精度のクロックソースを提供します。

波形ひずみと発振開始時の安定化までの時間を少なくするために、発振子と負荷コンデンサはオシレータのピンのできるだけ近くに接続する必要があります。負荷容量の値 C<sub>L1</sub> と C<sub>L2</sub> は、選択したオシレータに応じて調整する必要があります。

詳細については、[1] と製品データシートの電気特性のセクションを参照してください。

## 4.3 クロック・セキュリティ・システム (CSS) とクロック・モニタリング

詳細については、製品のリファレンス・マニュアルでご確認ください。

### 4.3.1 HSE

HSE クロック損失 (クロックがトグルしない状態) は、CSS ハードウェアを使用して検出できます。この検出は、HSE オシレータが有効になった状態で、RUN および STOP モードで行われます。HSE オシレータクロックで障害が検出されると、システムリセットが生成されると共に、セキュリティ保護のために TAMP ブロックに通知されます。CSS はソフトウェアで有効にできます。この場合、HSE オシレータの起動遅延後に、クロック検出回路が有効になります。クロック検出回路は、このオシレータが停止すると無効になります。

HSE 過周波数保護は、タイムアウトモードで設定されたセキュア低電力タイマ (LPTIM3) を使用して行われます。HSE 過周波数保護モードでは、LPTIM3 により HSE 周波数と HSI 周波数が比較されます。そして、相対周波数がプログラムした制限値を超過すると、LPTIM3 により自動的にタンパがトリガされます。このソリューションにより、HSE 公称周波数との相対関係で、ソフトウェアにより範囲内の任意の制限値がプログラムされます。

対応する内部タンパ入力 (入力タンパ入力 #4) の入力前に、HSE クロック損失と HSE 過周波数保護の両方の出力の論理和が算出されます。

### 4.3.2 LSE

LSE ハードウェアを使用して LSE クロック損失 (クロックが 200  $\mu$ s の間トグルしない状態) と過周波数 (2 Mhz を超過) を検出し、タンパイベントを生成することができます。VBAT モードを含め、すべてのシステムモードで機能します。LSE オシレータクロックで障害が検出されると、RTC/TAMP クロックソースは停止すると共に、セキュリティ保護のために TAMP に通知されます (入力タンパ入力 #3)。

## 5 ブート設定

### 5.1 ブートモード選択

STM32MP13x デバイスでは、PI[6:4] GPIO の BOOT[2:0] ピンによって異なるブートモードを選択できます。

表 8. ブートモード

BOOT2	BOOT1	BOOT0	初期ブートモード	コメント
0	0	0	UART および USB <sup>(1)</sup>	下記からの着信待ち: <ul style="list-style-type: none"> <li>デフォルトピン上の USART3/6 および UART4/5/7/8</li> <li>OTG_HS_DP/DM ピン上の USB HS デバイス<sup>(2)</sup></li> </ul>
0	0	1	シリアル NOR-Flash <sup>(3)</sup>	Quad SPI でのシリアル NOR-Flash <sup>(4)</sup>
0	1	0	eMMC <sup>(3)</sup>	eMMC on SDMMC2 での eMMC (デフォルト) <sup>(4)(5)</sup>
0	1	1	NAND-Flash <sup>(3)</sup>	FMC 上の SLC NAND-Flash
1	0	0	エンジニアリング・ブート (Flash ブートなし)	Flash からのブートなしにデバッグアクセスするために使用される <sup>(6)</sup>
1	0	1	SD カード <sup>(3)</sup>	SDMMC1 上の SD カード (デフォルト) <sup>(4)(5)</sup>
1	1	0	UART および USB <sup>(1)(3)</sup>	下記からの着信待ち: <ul style="list-style-type: none"> <li>デフォルトピン上の USART3/6 および UART4/5/7/8</li> <li>OTG_HS_DP/DM ピン上の USB HS デバイス<sup>(2)</sup></li> </ul>
1	1	1	シリアル NAND-Flash <sup>(3)</sup>	Quad SPI 上のシリアル NAND-Flash <sup>(4)</sup>

- OTP 設定でこれらを無効にできます。ただし、OTP で USB および HSE 周波数自動検出が無効化されている場合を除いて、UART の場合でも常に HSE クロック/クリスタルが必要です。
- OTP で異なる周波数にプログラムされていない場合は、USB には HSE クロック/クリスタルが必要です (セクション 5.3: 内蔵ブートローダ・モードを参照)。
- OTP 設定でブートソースを変更できます (例: SD カードで初期ブート後に、OTP 設定により eMMC)。
- OTP でデフォルトピンを変更できます。
- または、OTP により、このデフォルト以外の SDMMC インタフェースを選択できます。
- PA13 をトグルする無限ループ状態の Cortex-A7 Core0。

STANDBY からの復帰を含めて、システムリセット後に、BOOT ピン (PI[6:4]) 用のオルタナート機能 AF0 がデフォルトで選択されます。BOOT ピンは SYSCFG\_BOOTR レジスタ内でサンプリングできます。その後、対応する GPIOx\_MODER および GPIOx\_PUPDR レジスタをプログラムすることにより、GPIO として使用できます。

#### 重要

リセット中、必要なブートソースを選択するために、正しいロジックレベルでブートピンを駆動する必要があります。

可能な U(S)ARTx\_RX ピンの 1 つを使用する UART ブートの場合、ホストにフローティング信号が送信されるのを回避するために、またブート ROM によって初期化文字が受信され、デコードされるまで、それぞれの U(S)ARTx\_TX ピンに 10 kΩ VDD プルアップが必要です。

ブートまたはシステム・コンソール用に使用される UART\_RX ピンは、ダミーのシリアル文字のデコードを避けるため、フローティング状態に放置してはなりません。その対策として、uBoot/Linux デバイスツリーで内部プルアップを定義するか、ボードで 10 kΩ VDD プルアップを使用します。

**表 9. ブート可能な UART ピン**

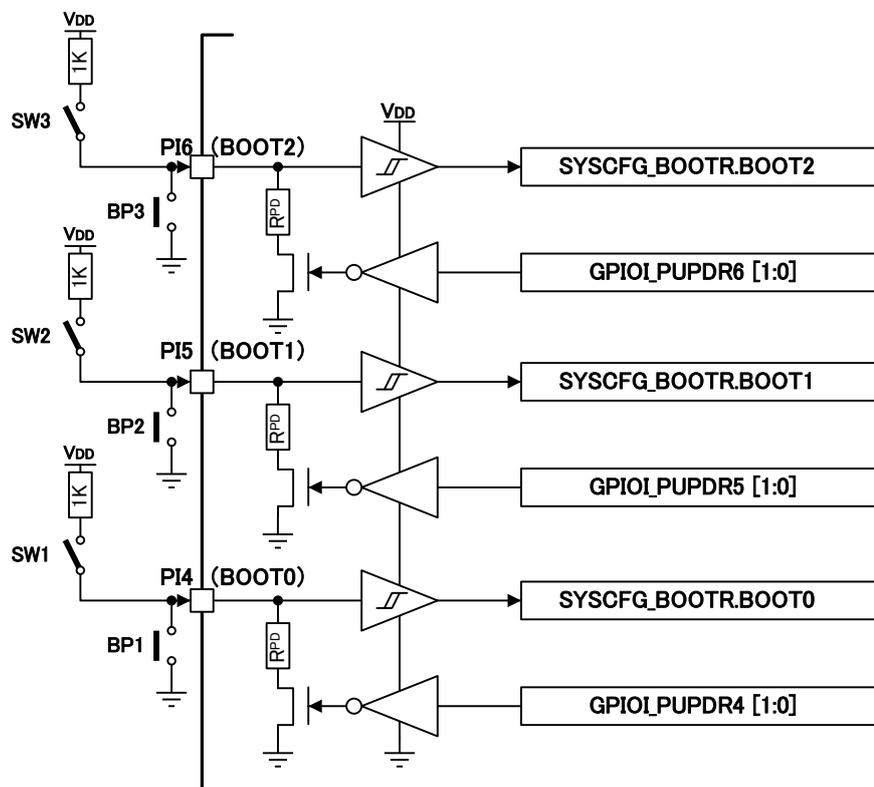
ペリフェラル	信号	ピン
USART3	RX	PB12
	TX	PB10
UART4 <sup>(1)</sup>	RX	PD8
	TX	PD6
UART5	RX	PB5
	TX	PB13
USART6	RX	PC7
	TX	PC6
UART7	RX	PF6
	TX	PF7
UART8	RX	PE0
	TX	PE1

1. Linux コンソールの推奨デフォルト UART(すなわち、STLINK STDC14 コネクタの VCP として)。

## 5.2 BOOT ピン接続

下図に、STM32MP13x デバイスのブートメモリを選択するために必要な外部接続の例を示します。Afmux のリセット後、デフォルトでは PI[6:4] GPIO の BOOT[2:0] ピンが選択されます。

図 8. ブートモード選択

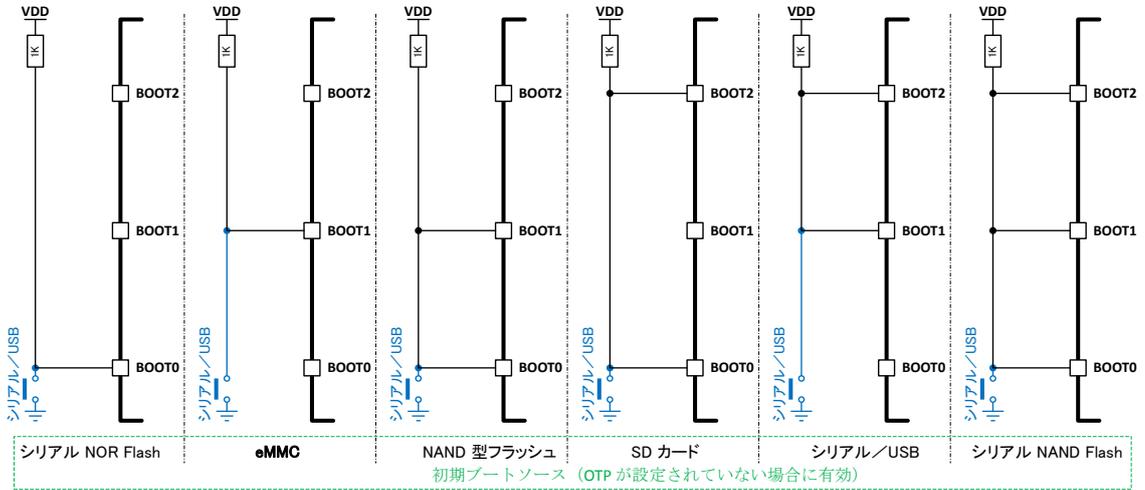


ソフトウェアのすべてのリカバリケースにもかかわらず、Flash メモリの内容に誤りや破損があると、システムが起動しないことがあります。この状況は「フリック」とも呼ばれます。メモリの内容の誤りや破損は、ユーザのミス、Flash の内容のプログラム不良、電源喪失などによって発生する可能性があります。

- 注
- 空の Flash の場合、ブートコードでは自動的に UART/USB 接続に切り替えられます。
  - ボード Flash メモリを再プログラムできるようにするために、強制的に UART/USB 接続を使用しなければならない場合があります。たとえば、セールサービスやファームウェア更新の後などです。
  - 通常ブートとは異なる Flash で初期ブートを行う場合もあります。初期ブートは、シリアル NOR、シリアル NAND、eMMC、SLC NAND などの別の Flash メモリにバイナリデータをコピーする SD カードからも行えます。これが可能なのは、初期ブートコードによって、その後はプログラムされた Flash からのブートを強制するように関連する OTP ビットを設定することができるためです(図 10 を参照)。 これにより、BOOT ピンの設定作業が不要で、単純かつ柔軟性の高い大量生産が可能になります。

最終的なボードの一般的な接続例を下図に示します。

**図 9. BOOT ピンの一般的な接続図**



— シリアルまたは USB ブートを強制するオプションの接続 (OTP 設定で無効になっていない場合)

「スイッチ」は、押しボタン、はんだブリッジ、コネクタ接点、テストポイントなど、さまざまな方法で実現できます。いずれの場合も、通常の製品のブート中は外部抵抗に電流が流れないように、デフォルトで「オープン」と想定されています。

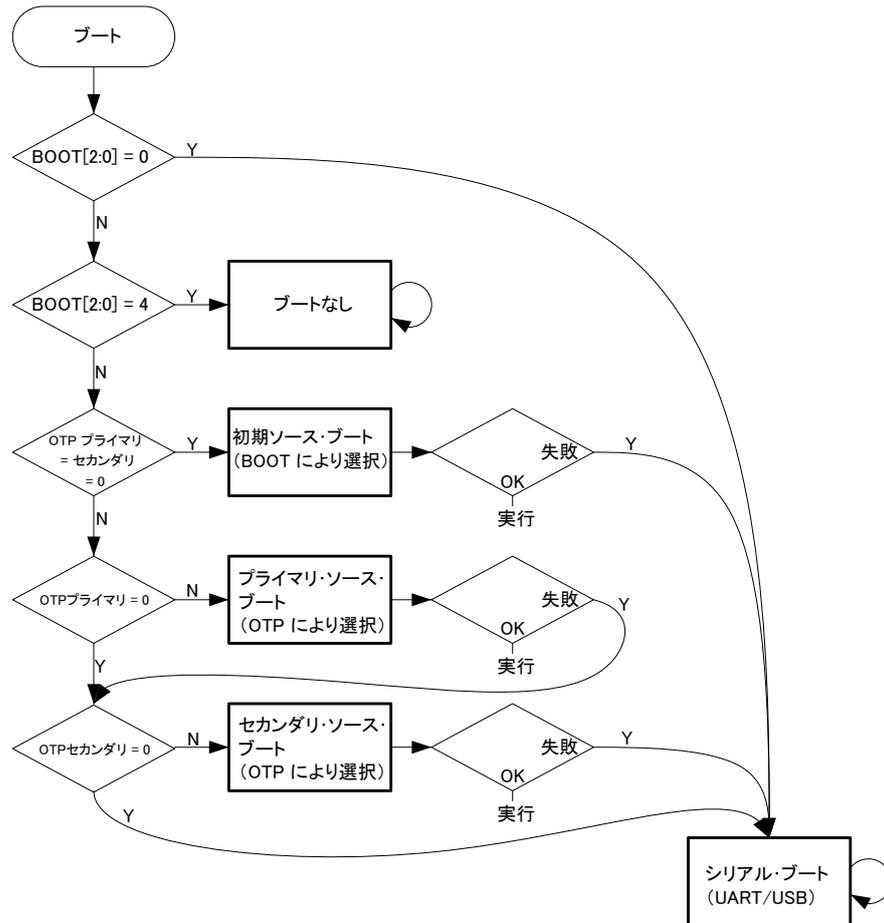
### 5.3 内蔵ブートローダ・モード

この内蔵ブートローダはブート ROM メモリ内に配置されています (詳細は文書 [5] を参照)。

ブート中、QUADSPI、FMC、SDMMC、および USART ペリフェラルは内部 64 MHz オシレータ (HSI) で動作します。

ただし、USB OTG HS デバイスは、デフォルト周波数 8、10、12、14、16、20、24、28、32、36、40、または 48 MHz の外部クロック (HSE) が存在する場合にのみ動作します (自動検出)。または、固定の 24、25、または 26 MHz の周波数も OTP 設定で使用できます。

図 10. ブートフロー概要

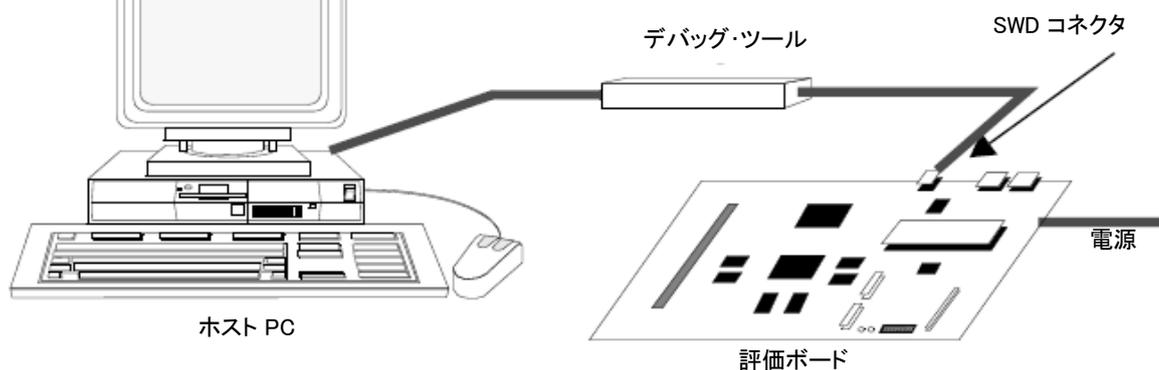


## 6 デバッグ管理

ホスト／ターゲット・インタフェースは、ホストをアプリケーションボードに接続するハードウェア機器です。このインタフェースは、ハードウェアデバッグツール、JTAG または SWD コネクタ、およびホストをデバッグツールに接続するケーブルの 3 つのコンポーネントで構成されています。

下図は、ホストと評価ボードの接続を示しています。

図 11. ホストとボードの接続



### 6.1 SWJ デバッグ・ポート(シリアルワイヤと JTAG)

STM32MP13x のコアには、シリアル・ワイヤ/JTAG デバッグ・ポート (SWJ-DP) が組み込まれています。これは、以下を組み合わせた Arm の標準の CoreSight™ デバッグポートです。

- AHP-AP ポートに 5 ピンの標準 JTAG インタフェースを提供する JTAG デバッグ・ポート (JTAG-DP)
- AHB-AP ポートに 2 ピン (クロック + データ) のインタフェースを提供するシリアルワイヤ・デバッグ・ポート (SW-DP)

SW-DP の 2 個のピンは、JTAG-DP の 5 個の JTAG ピンのうち 2 個と共用されています。

STM32MP13x デバイスでは、以下の 4 個の JTAG 信号が AFMux\_00 上の GPIO で共有されています。

- PF14 JTCK-SWCLK
- PF15 JTMS-SWDIO
- PH4 JTDI
- PH5 JTDO

NJTRST は専用のピンで利用できます。

RMA (返品受領) を使用するには、JTAG ピン (JTDI、JTCK、JTMS) へのアクセスが必要です。STM32MP13x に JTAP シーケンスを入力するためのツールによっては、JTDO ピンが必要となることもあります (一部のツールでは、JTDO 出力を使用して JTAG ID をチェックする必要があります)。

### 6.2 ピン名とデバッグポートピン

#### 6.2.1 JTAG ピンでの内部プルアップ／プルダウン抵抗

入出力レベルを正しく制御するため、デバイスには以下の内部プルアップ／プルダウン抵抗が JTAG ピンに内蔵されています。

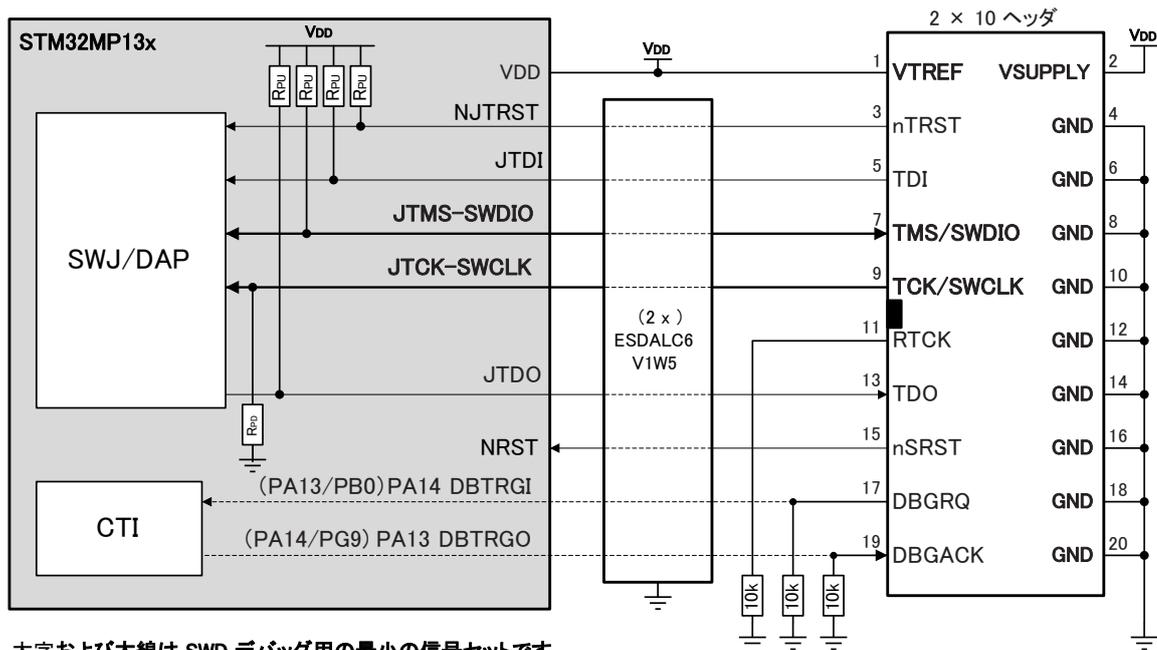
- NJTRST: 内部プルアップ
- JTDI: 内部プルアップ
- JTDO-TRACESWO: 内部プルアップ
- JTMS-SWDIO: 内部プルアップ
- JTCK-SWCLK: 内部プルダウン

注 JTAG IEEE 規格では、TDI、TMS、および nTRST にプルアップ抵抗を追加することを推奨していますが、TCK に関しては特別な推奨はありません。ただし、STM32MP13x デバイスの場合は、JTCK に内蔵プルダウン抵抗が使用されます。プルアップおよびプルダウン抵抗を内蔵しているため、外部抵抗を追加する必要がありません。

### 6.2.2 デバッグポートと標準 JTAG コネクタの接続

下図に、STM32MP13x デバイスと標準 JTAG/SWD コネクタとの接続を示します。

図 12. JTAG/SWD MIP110 コネクタの接続例

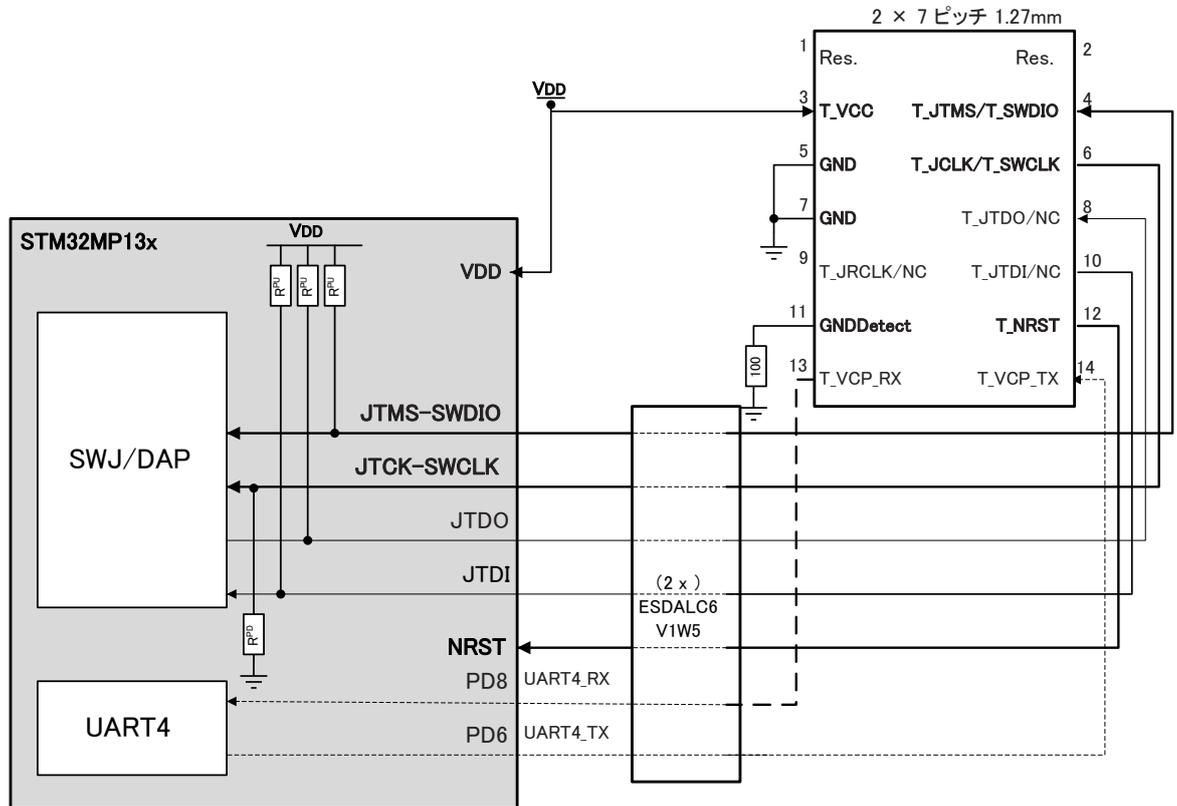


太字および太線は SWD デバッグ用の最小の信号セットです。

### 6.2.3 デバッグポートおよび UART と STDC14 コネクタの接続

下図に、UART 仮想通信ポート接続を含む、STM32MP13x デバイスと STDC14 コネクタの接続を示します。STDC14 ヘッダのリファレンス例は FTSH-107-01-L-DV-K-A です。

図 13. JTAG/SWD/UART VCP STDC14 コネクタの接続例



太字および太線は SWD デバッグ用の最小の信号セットです。

注 STDC14 コネクタは、Arm10 ピン配置 (Arm Cortex デバッグコネクタ) に準拠しています (ピン 3 からピン 12 まで)。

### 6.2.4 パラレルトレースと HDP

#### 6.2.4.1 パラレルトレース

TRACED[15:0] および TRACECLK 信号は I/O ピンでオルタネート機能として使用できます。トレースデータの数  $N = 1, 2, 4, 8$ , または  $16$  ピンを選択できます。トレースデータの数が少ないと、利用可能なトレース帯域幅が少なくなるため、トレースのオーバーランなしでトレースできる情報が少なくなります。STM32MP13x デバイスには  $4\text{ KB}$  のバッファがあります。トレースできる情報には、トレースソースの数、コード、データトレースがあります。製品ごとに、使用可能な機能とトレースバスの間にトレードオフがあるため、製品開発中にトレースを使用しているときに機能が制限される可能性があります。

トレースは Arm CoreSight トレースに準拠しています。SWD または JTAG を介してデバッグと関連するためには、専用のトレースツールが必要です。

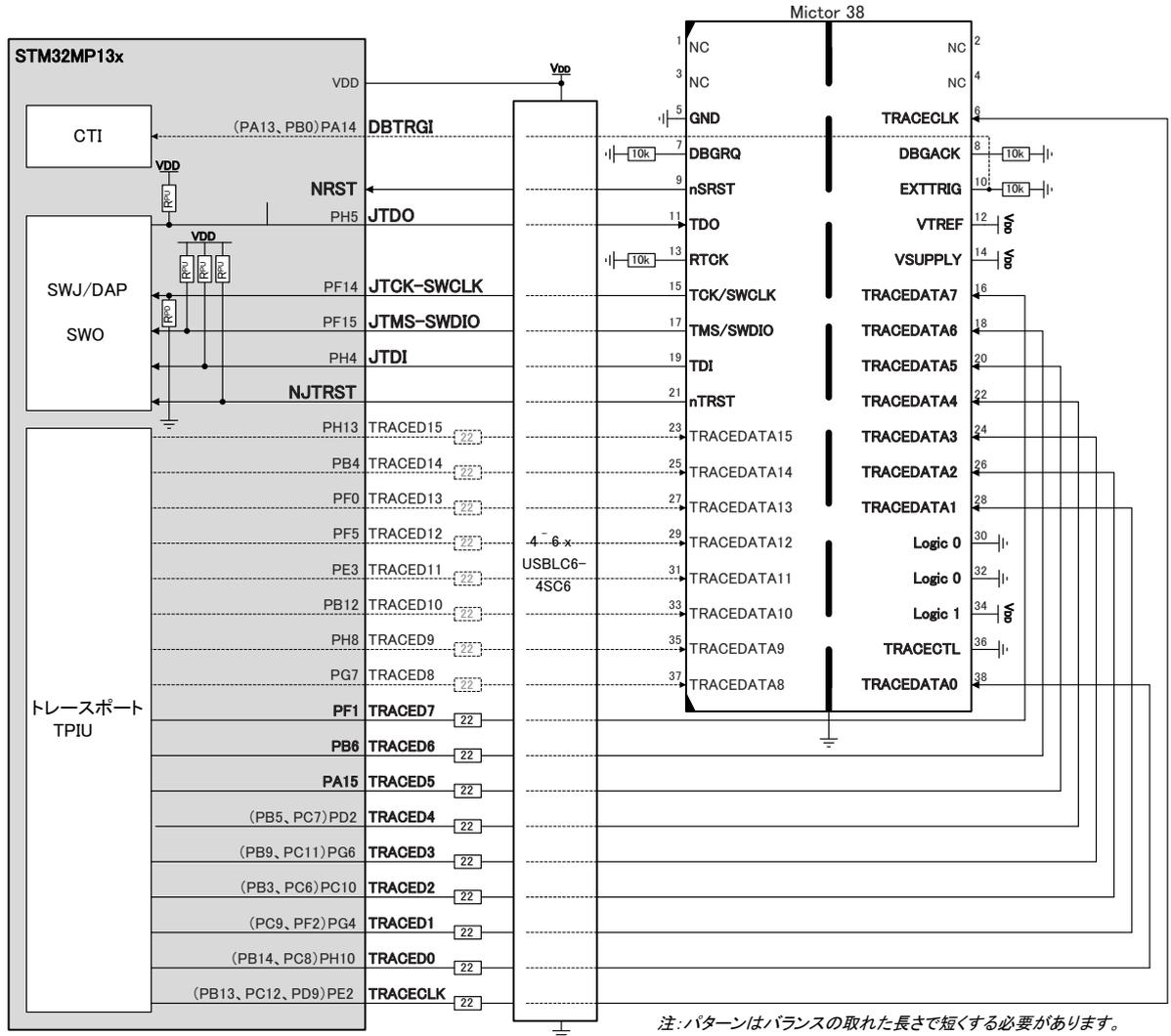
TPI (トレースポートインタフェース) CoreSight コンポーネントの詳細情報は、製品のリファレンスマニュアルと CoreSight SoC-400 Technical Reference Manual を参照してください。

注 トレース帯域幅を効率的に利用するには、すべてのパラレルトレース信号のシグナルインテグリティを良好に維持しながら、TRACECLK をできるだけ高速に実行する必要があります。これは、ボードとコネクタの選択、GPIO の能力設定 (GPIO\_OSPEEDR レジスタ)、および  $V_{DD}$  電圧に依存します。

$V_{DD} = 1.8\text{ V}$  を使用する場合、OTP ビット `product_below_2v5` とレジスタ `SYSCFG_HSLVEN0R (HSLVEN_TRACE ビット)` の設定が必要になることがあります。この設定により、トレース信号で使用されるパッドで最高の速度が確保されません。

**警告**  $V_{DD}$  が 2.7 V を超える場合、HSLVEN は設定しないでください。デバイスが損傷する可能性があります。

図 14. パラレルトレースポート付 JTAG/SWD の Mictor-38 接続例



#### 6.2.4.2 Hardware debug port(ハードウェア・デバッグ・ポート)

一部の内部信号は、詳細なデバッグに使用できます。使用時には専門知識とオシロスコープまたはロジックアナライザが必要です。詳細については、製品のリファレンスマニュアルおよびデータシートを参照してください。

#### 6.2.5 デバッグトリガと LED

CoreSight CTI(クロストリガインタフェース)はピン上で DBTRGI および DBTRGO として使用できます。

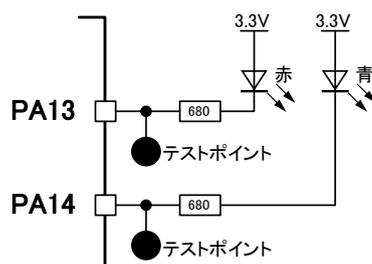
- DBTRGI ピンは外部ユーザ信号によって生成できます。CoreSight コンポーネント内でプログラムして、トレースを開始/停止したり、デバッグモード(ブレーク)で特定のコアに入ったりすることができます。DBTRGI は、PA13、PA14、または PB0 で使用可能です。
- DBTRGO は CTI によって生成できます。これにより CoreSight コンポーネントの 1 つがトリガ条件に達したことが外部から確認できます(コアブレーク、トレース開始など)。DBTRGO は、PA13、PA14、または PG9 で使用可能です。

PA13 ピンには次のような固有の動作があります (詳細はブートの文書を参照)。

- ブートフェーズ中、ブートが失敗した場合、PA13 はローオープンドレインに設定されます。エラー LED が明るく点灯します。
- UART/USB ブート中、PA13 は、接続が開始されるまで、約 5 Hz の速度でオープンドレインを切り替えます。エラー LED が速く点滅します。
- BOOT[2:0] = 0b100 (ブートなし、特定のデバッグに使用) の場合、PA13 は約 5 kHz の速度でオープンドレインを切り替えます。エラー LED が弱く点灯します。
- それ以外の場合はすべて、PA13 はリセット値に保たれます (ソフトウェアで設定されるまでハイインピーダンス)。

下図に示すように、PA13 に赤色 LED を接続することをお勧めします。

**図 15. LED の接続例**



システムの動作を視覚的にすばやく確認するために、PA13 と PA14 に LED を接続することをお勧めします。これは、デバッグのために PA13 または PA14 で DBTRGI および DBTRGO を使用することを妨げるものではありません (デバッグ中にはソフトウェアは LED の制御を停止すると想定)。

## 7 推奨事項

### 7.1 PCB(プリント回路基板)

技術的な理由により、デカップリングとシールドの効果を高めるには、以下を備えた多層 PCB を使用することが必須です。

- グランド(VSS)専用の個別の層
- $V_{DD}$ 、 $V_{DDCPU}$ 、 $V_{DDCORE}$  などの電源専用の別の層

### 7.2 コンポーネントの配置

PCB の暫定レイアウトでは、PCB 上のクロスカップリングを削減するために、EMI の影響に応じてさまざまな回路、すなわちノイズの多い高電流回路、低電圧回路、およびデジタルコンポーネントを分離する必要があります。

### 7.3 グランドおよび電源 ( $V_{SSx}$ 、 $V_{DDx}$ )

STM32MP13x デバイスには大きな電力と高周波が含まれるため、次のような特性を備えた PCB を使用することが必須です。

- 少なくとも 4 層
- $V_{SSx}$  and  $V_{DDx}$  専用の電圧プレーン

### 7.4 I/O 速度の設定

I/O に対して正しい出力駆動を設定することが重要です。これにより、十分な立ち上がり時間と立ち下がり時間が確保され、リンギングやノイズの増加も防止されます。

特定の I/O 速度の要件がない場合、OSPEEDR を 0 に設定する必要があります。

次の図で概算を確認し、信号の周波数と容量性負荷に応じて適用する適切な設定をすばやく選択できます。シグナルインテグリティの問題が発生した場合は、この設定を調整する必要があります。

一般的に、SYSCFG で I/O 補正を有効にする必要があります(詳細は製品のデータシートを参照)。

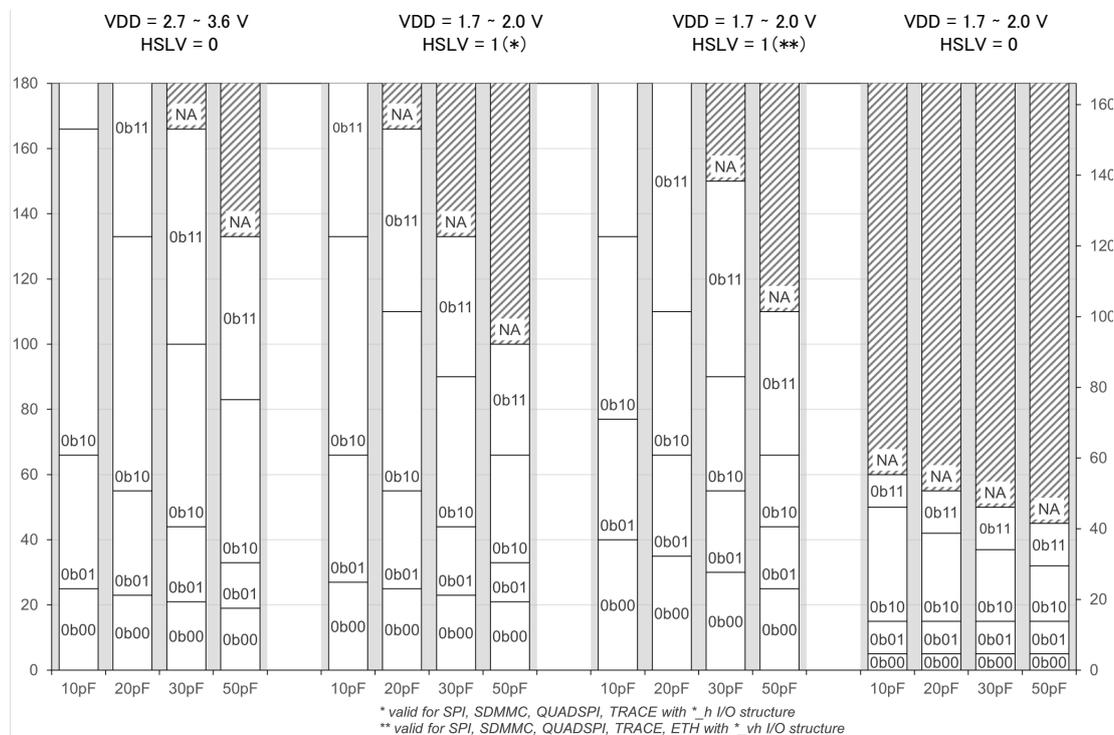
非同期またはシングルエッジクロックのデータレーン(SDR など)の場合、最速のデータ周波数のトグルは事実上データレートの半分です。たとえば、10 M ビット/秒で動作する SPI の最大周波数は、データ信号(たとえば、出力シリアルデータ 01010101 ...)では 5 MHz ですが、クロック信号では 10 MHz です。デュアルエッジクロックのデータレーン(DDR など)の場合、クロックとデータの最大トグル周波数は同じです。

ハイスピードインターフェース(SDMMC、QSPI、ETH、SPI、LTDC、および TRACE)では、I/O 電源が 2.7 V 未満の場合、十分なスルーレートを確保するため、ハイスピード低電圧(HSLV)モードを有効にする必要があります。HSLV モードは、対応する SYSCFG\_HSLVENxR レジスタに特別な値を書き込むことにより、インターフェースごとに個別に有効化されません。

---

**警告** I/O 電源が 2.7 V を上回っている状態で HSLV モードを有効化すると、デバイスが破損する危険があります。

---

**図 16. 負荷容量と電圧別の I/O 速度概要**


OTP ビット `product_below_2v5` は、SDMMC 以外のすべてのインタフェースに対して、HSLV を有効化する前にプログラムする必要があります。

**表 10. V<sub>DD</sub> = 標準 3.3 V での OSPEEDR の設定例**

ペリフェラル	信号	トグルレート (MHz)	OSPEEDR			
			C <sub>L</sub> = 30 pF での速度		C <sub>L</sub> = 10 pF での速度	
FMC 非同期	データ/制御	50	2	ハイスピード	1	ミディアムスピード
FMC 同期	CLK	100%	2	ハイスピード	2	ハイスピード
	データ/制御	50	2	ハイスピード	1	ミディアムスピード
QUADSPI (SDR)	CLK	133	2	ハイスピード <sup>(1)</sup>	2	ハイスピード
	データ/制御	66.5	2	ハイスピード	2	ハイスピード
QUADSPI (DDR)	すべて	66.5	2	ハイスピード	2	ハイスピード
LTDC (HDMI) <sup>(2)</sup>	CLK	74.25	2	ハイスピード	2	ハイスピード
	データ/制御	37.125	1	ミディアムスピード	1	ミディアムスピード
LTDC <sup>(2)</sup>	CLK	90	2	ハイスピード	2	ハイスピード
	データ/制御	45	2	ハイスピード	1	ミディアムスピード
LTDC	CLK	48	2	ハイスピード	1	ミディアムスピード
	データ/制御	24	1	ミディアムスピード	0	ロースピード
タイマ / ロー・パワー・タイマ	すべて	5	0	ロースピード	0	ロースピード
I2C	すべて	1	0	ロースピード	0	ロースピード

ペリフェラル	信号	トグルレート(MHz)	OSPEEDR			
			C <sub>L</sub> = 30 pF での速度		C <sub>L</sub> = 10 pF での速度	
USART	すべて	5	0	ロースピード	0	ロースピード
SPI	CLK	50	2	ハイスピード	1	ミディアムスピード
	データ/制御	25	1	ミディアムスピード	0	ロースピード
SAI	MCLK	15	0	ロースピード	0	ロースピード
	CLK	1	0	ロースピード	0	ロースピード
	データ/制御	0.5	0	ロースピード	0	ロースピード
SDMMC(SDR)	CLK	130	2	ハイスピード <sup>(1)</sup>	2	ハイスピード
	データ/制御	65	2	ハイスピード <sup>(1)</sup>	1	ミディアムスピード
SDMMC(DDR)	すべて	52	2	ハイスピード	1	ミディアムスピード
FDCAN	すべて	5	0	ロースピード	0	ロースピード
ETH(MII)	CLK	50	2	ハイスピード	1	ミディアムスピード
	データ/制御	25	1	ミディアムスピード	0	ロースピード
ETH(RMII)	すべて	50	2	ハイスピード	1	ミディアムスピード
ETH(RGMII)	すべて	125	3	超ハイスピード	2	ハイスピード
ETH(MDIO)	MDIO	2.5	0	ロースピード	0	ロースピード
TRACE	すべて	133	3	超ハイスピード	2	ハイスピード
		100%	2	ハイスピード	2	ハイスピード

1. CL = 20 pF の場合の値
2. HSE 用の外部オシレータが必要。

**表 11. V<sub>DD</sub> = 標準 1.8 V での OSPEEDR の設定例**

ペリフェラル	信号	トグルレート(MHz)	OSPEEDR C <sub>L</sub> =30 pF		OSPEEDR C <sub>L</sub> =10 pF	
FMC 非同期	データ/制御	50	3	超ハイスピード	2	ハイスピード
FMC 同期	CLK	45	3	超ハイスピード	2	ハイスピード
	データ/制御	22.5	2	ハイスピード	2	ハイスピード
QUADSPI(SDR) <sup>(1)</sup>	CLK	133	3	超ハイスピード <sup>(2)</sup>	2	ハイスピード
	データ/制御	66.5	2	ハイスピード	2	ハイスピード
QUADSPI(DDR) <sup>(1)</sup>	すべて	66.5	2	ハイスピード	2	ハイスピード
LTDC(HDMI) <sup>(3)</sup>	CLK	74.25	2	ハイスピード <sup>(2)</sup>	2	ハイスピード
	データ/制御	37.125	1	ミディアムスピード	1	ミディアムスピード
LTDC <sup>(3)</sup>	CLK	69	2	ハイスピード	2	ハイスピード
	データ/制御	34.5	1	ミディアムスピード	1	ミディアムスピード
タイマ / ロー・パワー・タイマ	すべて	5	0	ロースピード	0	ロースピード
I2C	すべて	1	0	ロースピード	0	ロースピード
USART	すべて	5	0	ロースピード	0	ロースピード
SPI <sup>(4)</sup>	CLK	50	2	ハイスピード	1	ミディアムスピード
	データ/制御	25	1	ミディアムスピード	0	ロースピード
SAI	MCLK	15	1	ミディアムスピード	1	ミディアムスピード
	CLK	1	0	ロースピード	0	ロースピード
	データ/制御	0.5	0	ロースピード	0	ロースピード

ペリフェラル	信号	トグルレート (MHz)	OSPEEDR C <sub>L</sub> =30 pF	OSPEEDR C <sub>L</sub> =10 pF
SDMMC (SDR) <sup>(5)</sup>	CLK	130	3 超ハイスピード <sup>(2)</sup>	2 ハイスピード
	データ/制御	65	2 ハイスピード	1 ミディアムスピード
SDMMC (DDR) <sup>(5)</sup>	すべて	52	2 ハイスピード	1 ミディアムスピード
FDCAN	すべて	5	0 ロースピード	0 ロースピード
ETH (MII)	CLK	50	1 ミディアムスピード	1 ミディアムスピード
	データ/制御	25	0 ロースピード	0 ロースピード
ETH (RMII)	すべて	50	1 ミディアムスピード	1 ミディアムスピード
ETH (RGMII) <sup>(6)</sup>	すべて	125	3 超ハイスピード <sup>(2)</sup>	2 ハイスピード
ETH (MDIO)	MDIO	2.5	0 ロースピード	0 ロースピード
TRACE <sup>(7)</sup>	すべて	133	3 超ハイスピード <sup>(2)</sup>	2 ハイスピード
		100%	3 超ハイスピード	2 ハイスピード

1. QUADSPI 用に有効化された HSLVENxR。
2. CL=20 pF 用の値。
3. LTDC 用に有効化された HSLVENxR。
4. SPI 用に有効化された HSLVENxR。
5. SDMMC 用に有効化された HSLVENxR。
6. ETH 用に有効化された HSLVENxR。
7. TRACE 用に有効化された HSLVENxR。

## 7.5 PCB スタックおよびテクノロジー

PCB のコストと電気接続の容易さの間のトレードオフを図る必要があります。以下の図に、6 層と 4 層の PCB の例を示します。

PTH のみの使用は、14 x 14 0.8 mm ピッチパッケージと 11 x 11 0.5 mm ピッチパッケージで可能です。9 x 9 0.5 mm ピッチパッケージでは、PTH、埋込みビア、レーザードリルビアの使用が必要となることもあります。

**図 17.4 層 PCB スタックの例(PTH ビアのみを使用)**

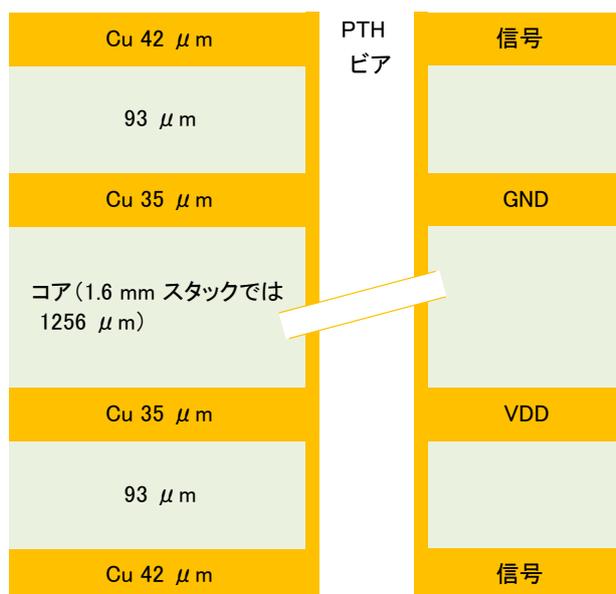


図 18. 6 層 PCB スタックの例(PTH、埋込みビア、およびレーザービアを使用)

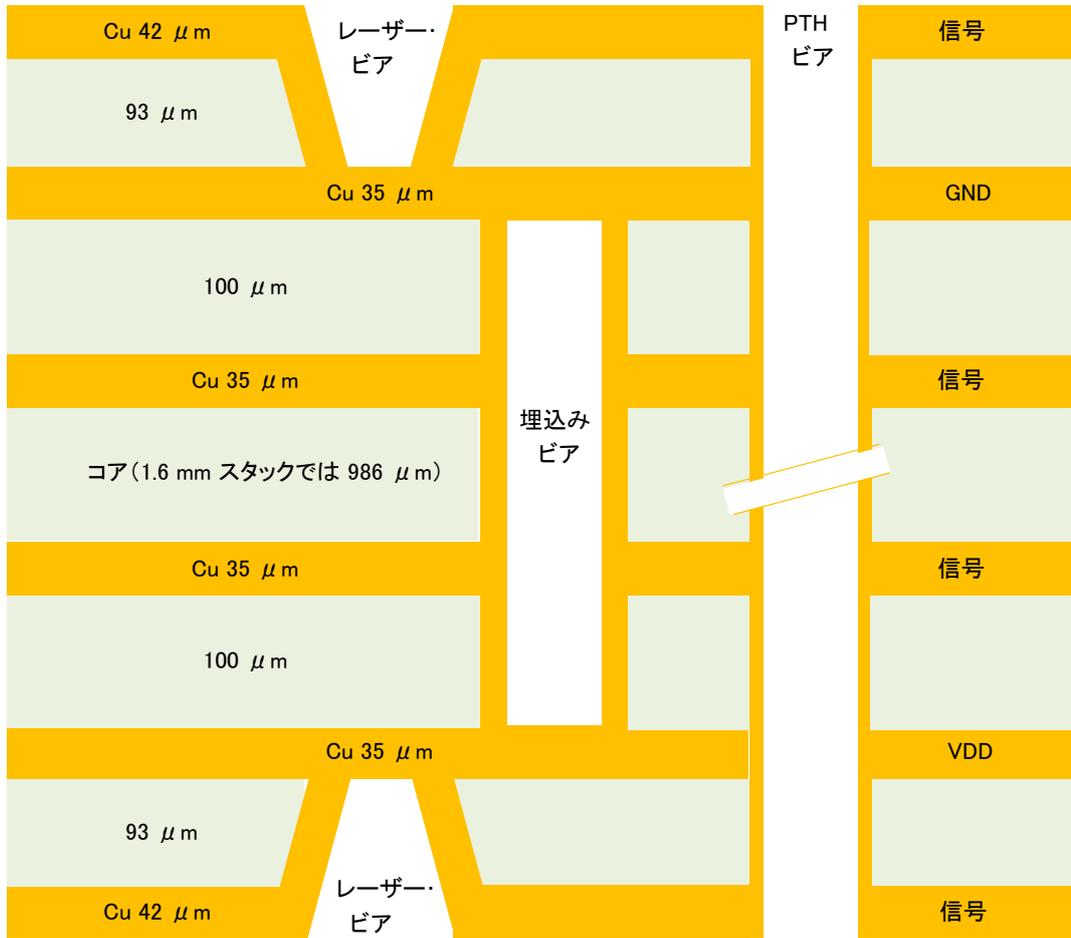


図 19. 0.8 mm ピッチパッケージ用 PCB ルールの例(PTH を使用)

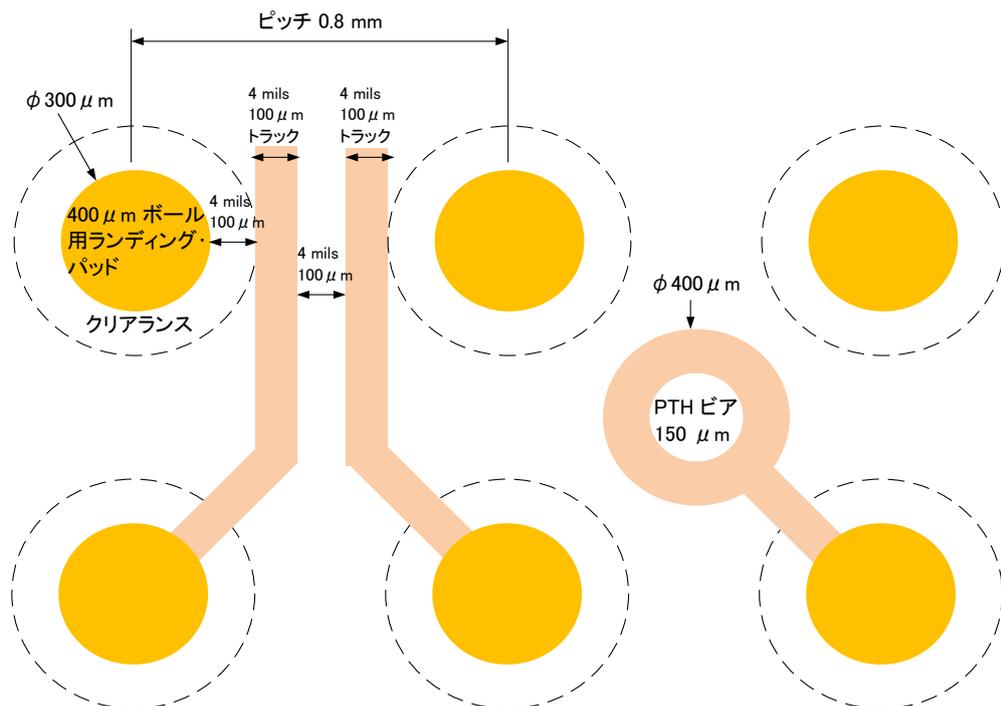
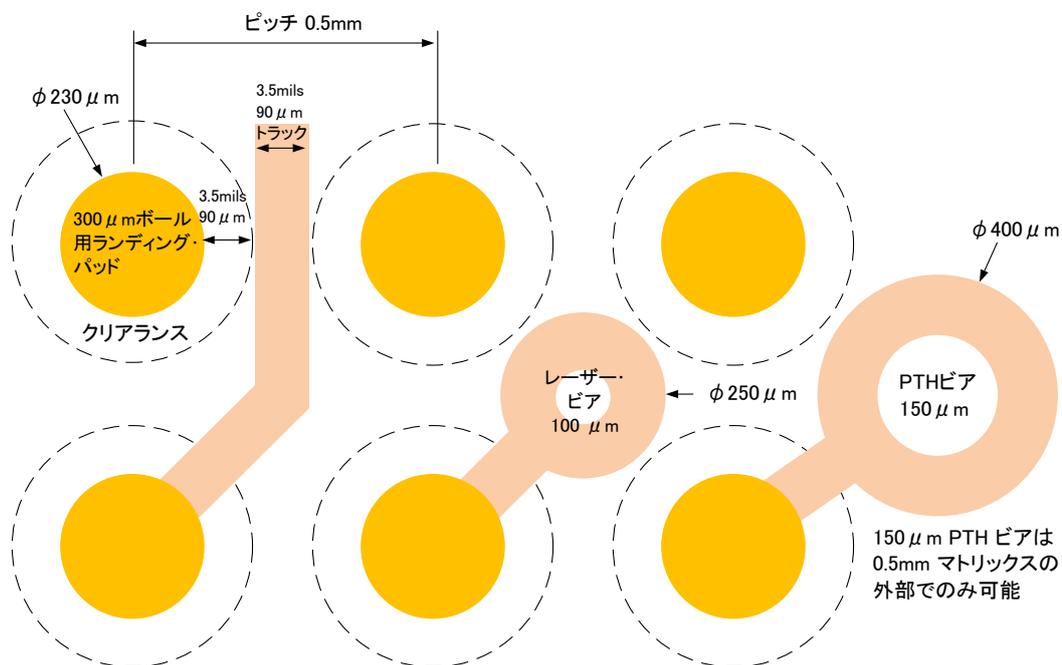


図 20. 0.5 mm ピッチパッケージ用 PCB ルールの例(レーザービアおよび PTH を使用)



## 7.6 デカップリングとパッケージ・エスケープ・ルーティング

すべての電源ピンとグランド・ピンは、電源に適切に接続する必要があります。パッド、パターン、ビアを含むこれらの接続のインピーダンスは、できる限り低くする必要があります。通常は、パターン幅を太くし、できれば多層 PCB で専用電源プレーンを使用することで、これを実現します。

また、各電源ペアを、セラミックコンデンサでデカップリングする必要があります（詳細は表 5 を参照）。これらのコンデンサは、PCB の裏面の、該当するピンのできる限り近くに、またはその下に、配置する必要があります。正確な値は、アプリケーションによって異なります。

推奨の PCB のレイアウトとエスケープ・ルーティング、パッケージタイプごとのデカップリングコンデンサの配置は、STM32MP13x lines DDR memory routing guidelines (AN5692) に添付されたリファレンスデザインでご確認ください。

## 7.7 ESD/EMI 保護

ESD (静電放電) と EMI (電磁干渉) は、後で追加しようとする非常に複雑で費用がかかる可能性があるため、製品開発の最初から考慮する必要があります。

ESD と EMI は、国際規格 (IEC 61000、JESD 22 など) によって推進されており、ほとんどの国では、製品に必須のマーキング (CE、FCC など) を適用できるようにするための認証が必要です。ESD と EMI は、標準化されたインタフェースの認証または要件 (たとえば USB など) によっても推進されています。

外部コンポーネント、特に最終製品で外部ユーザがアクセスするインタフェース (Ethernet、USB、SD カードなど) で最終製品の ESD 保護を行う必要があります。

一部のコンポーネントでは、ESD 保護と EMI コモンモードフィルタリングが提供されています (USB で使用される ECMF02-2AMX6 など)。ESD/EMI 保護のいくつかの例を [セクション 8: リファレンスデザイン例](#) に示します。

詳細については、[\[2\]](#) を参照してください。

## 7.8 ノイズに敏感な信号

アプリケーションを設計するときは、以下を詳細に検討することにより、電磁両立性 (EMC) を向上させることができます。

- 一時的な障害が実行中のプロセスに永続的に影響する信号。割込み信号やハンドシェイクストロブ信号など。LED コマンドの場合は除きます。  
以下の措置を施すことにより、これらの信号の EMC 性能が向上します。
  - グランドパターンで取り囲むこと
  - 長さを短くすること
  - 近くでノイズが多く敏感な配線 (クロストーク効果) を行わないことデジタル信号の場合は、2 つの論理状態を得るために、可能な限り最適な電氣的マージンを達成する必要があります。不要な状態を取り除くには、遅いシュミットトリガを推奨します。
- ノイズの多い信号 (クロックなど)
- ノイズに敏感な信号 (ハイインピーダンスな信号など)

詳細については、[\[2\]](#) を参照してください。

## 7.9 未使用の入出力と機能

STM32MP13x デバイスは広範囲のアプリケーションで使用できるように設計されており、通常は特定のアプリケーションが MCU のリソースを 100% 使用することはありません。

EMC 性能を向上するには、未使用のクロック、カウンタ、または I/O をフリーにしないでください。たとえば、I/O は「0」または「1」に設定 (未使用 I/O ピンにプルアップまたはプルダウン) する必要があります。未使用の機能は「停止」または無効にする必要があります。

表 6. 未使用の機能のための電源利用を参照してください。

## 8 リファレンスデザイン例

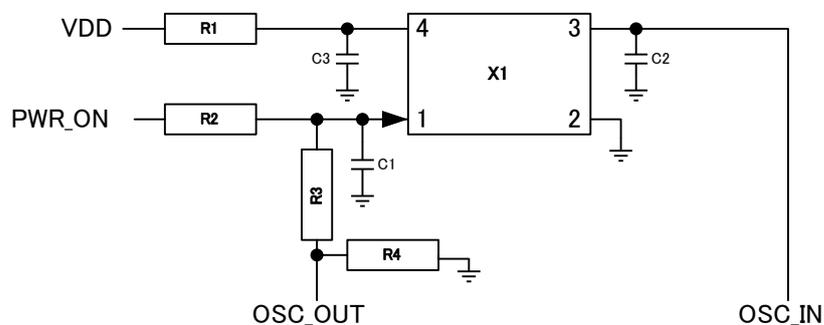
このセクションでは、主要なインタフェースおよび重要なインタフェースを STM32MP13x デバイスに接続するのに役立つ例を示します。

### 8.1 クロック

STM32MP13x デバイスには次の 2 つのクロックリソースが使用されます (詳細は [セクション 4](#) を参照)。

- LSE: 内蔵 RTC 用の 32.768 kHz クリスタル発振子
- Hse: MCU のメインクロックとして 24 MHz クリスタル発振子または外部オシレータ

**図 21. オシレータ/クリスタル発振子用の HSE 推奨回路**



DT61427V1

**表 12. オシレータまたはクリスタル発振子用の HSE 部品表**

	オシレータ	クリスタルオプション
X1	NZ2016SH 24 MHz	NX2016SA 24 MHz
R1	10 Ω	-
R2	10 KΩ	-
R3	-	0 Ω
R4	1 KΩ	-
C1	-	6.8 pF
C2	-	6.8 pF
C3	10 nF	-

### 8.2 リセット

NRST リセット信号はアクティブローです (図 3. PVD の閾値を参照)。リセットソースには、「リセットボタン」、JTAG コネクタ経由のデバッグツールが含まれます (セクション 2.3: リセットおよび電源供給スーパバイザを参照)。

### 8.3 ブートモード

ブートオプションは、恒久的なワイヤまたはスイッチ Sw3 (ピン PI6 の BOOT2)、SW2 (ピン PI5 の BOOT1)、SW1 (ピン PI4 の BOOT0) と内部 OTP を設定することによって構成されます。セクション 5: ブート設定を参照してください。

このピンを使用して U(S)ART がブートする場合、U(S)ART<sub>x</sub>\_TX ピンの 10 kΩ VDD プルアップが必要です。これにより、ブート ROM によって初期化文字が受信され、デコードされるまで、ホストへのフローティング信号の送信が回避されず。

表 13. ブート可能な U(S)ART ピン

ペリフェラル	信号	ピン
USART3	Rx	PB12
	Tx	PB10
UART4 <sup>(1)</sup>	Rx	PD8
	Tx	PD6
UART5	Rx	PB5
	Tx	PB13
USART6	Rx	PC7
	Tx	PC6
UART7	Rx	PF6
	Tx	PF7
UART8	Rx	PE0
	Tx	PE1

1. Linux<sup>®</sup> コンソールの推奨デフォルト UART (STLINK STDC14 コネクタの VCP として)。

QUADSPI ブートの場合、QUADSPI は次のいずれかからブートされる可能性があります。

- 専用のデフォルト QUADSPI ブート GPIO から (ボード上の QUADSPI シングルバンクの接続に使用)
- いくつかの FMC Nand8 ブート GPIO (PD1、PD4、PD5、PD11、PD15、PE9) を使用 (以下によるボードの FMC Nand8 の接続に使用)
  - PD1: QUADSPI\_BK1\_NCS
  - PD4: QUADSPI\_CLK
  - PD5: QUADSPI\_BK1\_IO0
  - PD11: QUADSPI\_BK1\_IO2
  - PD15: QUADSPI\_BK1\_IO3
  - PE9: QUADSPI\_BK1\_IO1

## 8.4 SWD/JTAG インタフェース

リファレンスデザインでは、STM32MP25x デバイスと標準コネクタとの間の接続を示しています(デバッグ管理を参照)。

注 可能な場合は、デバッガプローブシステムのリセットピンを NRST に接続することをお勧めします。これにより、デバッガからアプリケーションをリセットできるようになります。

表 14. SWD/JTAG インタフェース

インタフェース	信号	ピン	I/O 電源ドメイン
UART6	USART6 Rx	PF4	VDD
	USART6 Tx	PF5	
UART8	UART8 Rx	PF3	VDD
	UART8 Tx	PG3	
UART9	UART9 Rx	PB14	VDD
	UART9 Tx	PD13	

## 8.5 電源

セクション 2: 電源機器を参照してください。

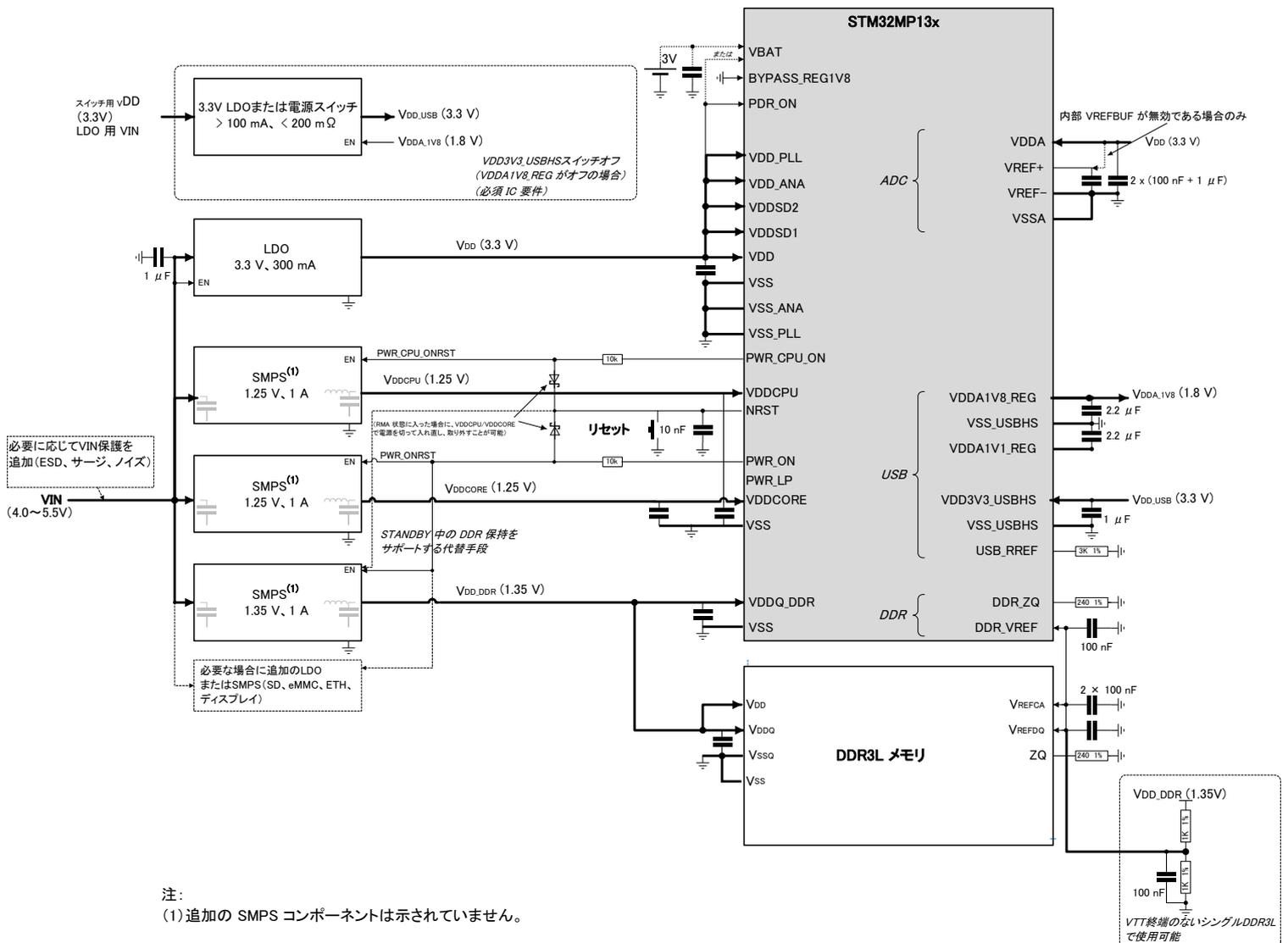
### 8.5.1 DDR3L 使用時の 3.3 V I/O ディスクリート電源例

このリファレンスデザインの例は、電力削減を重視せずに、低コストの DDR3L を使用するシンプルな 3.3 V I/O プラットフォームを対象としています。SLEEP/STOP/STANDBY モードがサポートされています。

LP-Stop および DDR3L 保持が可能な低消費電力 STANDBY は使用できますが、セルフリフレッシュ時に低消費電力ではない DDR3L を使用しているため、ほとんど効果がないと思われます。詳細については、文書 [10] を参照してください。

nRST が有効化されている場合、または STM32MP13x が STANDBY モードを終了したときには、VDDCPU および VDDCORE でパワーサイクルを実行する必要があります。そのため、SMPS の接続により、PWR\_ONRST および PWR\_CPU\_ONRST への信号が有効になります。故障の分析を依頼するためにデバイスを返品する RMA 状態に入る場合、パワーサイクルは実行しないでください。そのため、PWR\_ONRST および PWR\_CPU\_ONRST に接続された 2 つのダイオードを取り外す必要があります。

図 22. DDR3L 使用時の 3.3 V I/O ディスクリート電源例



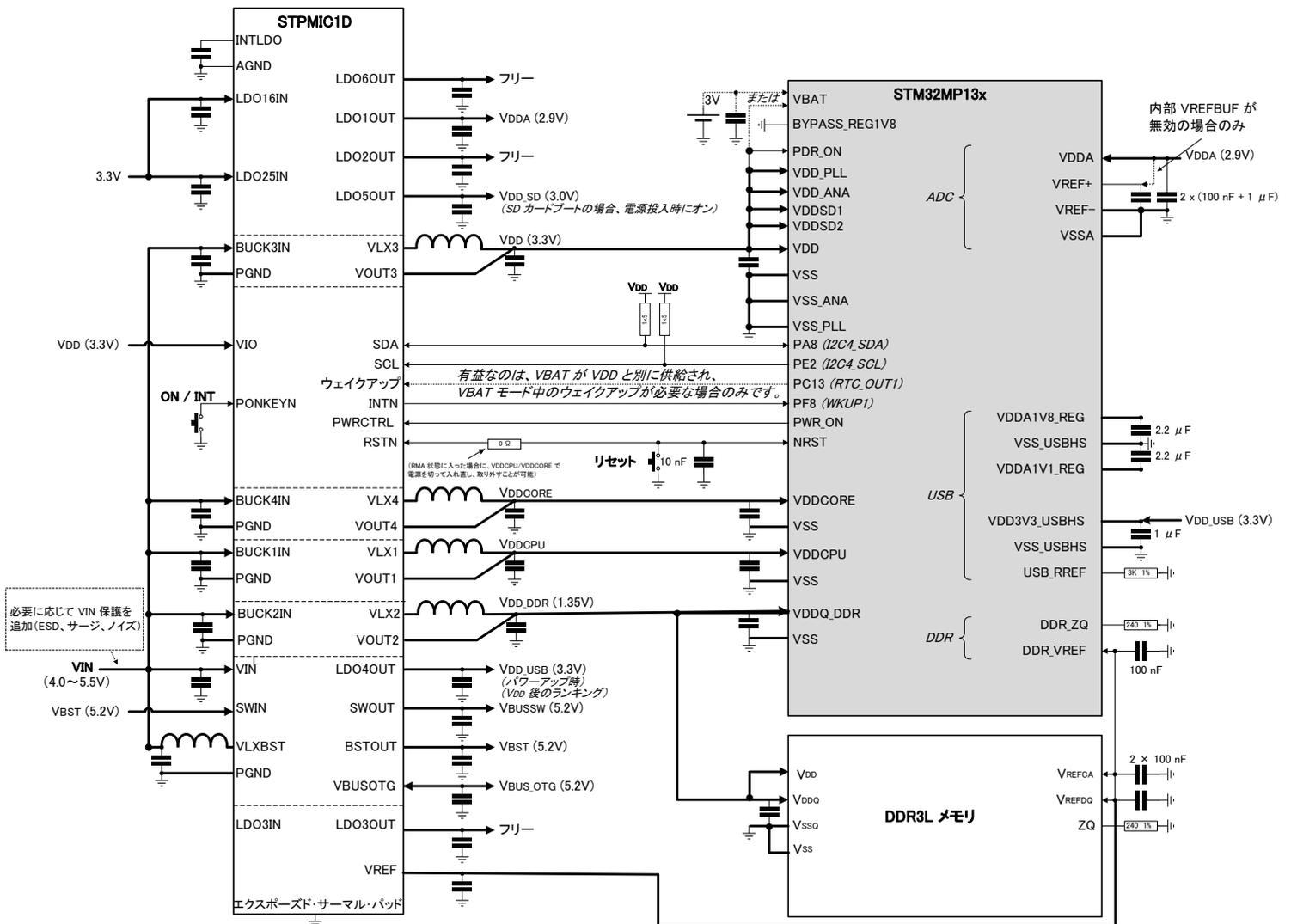
### 8.5.2 DDR3L 使用時の 3.3 V I/O STPMIC1 電源例

このリファレンスデザインの例は、低コストの DDR3L と高集積 STPMIC1 を備えた複雑な 3.3 V I/O プラットフォームを対象としています。通常、プラットフォームのすべてのコンポーネントは STPMIC1 で電力供給できます。STPMIC1 I<sup>2</sup>C およびサイドバンド信号により、完全な電源制御がサポートされています。SLEEP、STOP、および STANDBY モードがサポートされています（詳細は、STPMIC1 のデータシートを参照）。

nRST が有効化されている（nRST ボタン、STANDBY の終了、システムリセット）場合、STPMIC1 では自動的に VDDCORE および VDDCPU にパワーサイクルが適用されます。ただし、RMA 状態に入る場合、パワーサイクルは実行しないでください。RMA 状態に入る場合、STM32MP13x nRST と STPMIC1 の間で 0 Ω 抵抗を設定し、解除することができます。

同一の I<sup>2</sup>C バス上で、セキュアなソフトウェアと非セキュアなソフトウェアの両方から制御される I<sup>2</sup>C デバイスを共有することはできません。たとえば、セキュアなソフトウェアにより標準配信時に STPMIC1 を制御し、セキュリティ保護可能な特別な I<sup>2</sup>C マスタが使用されます（STM32MP13x の I2C3、I2C4、または I2C5）。

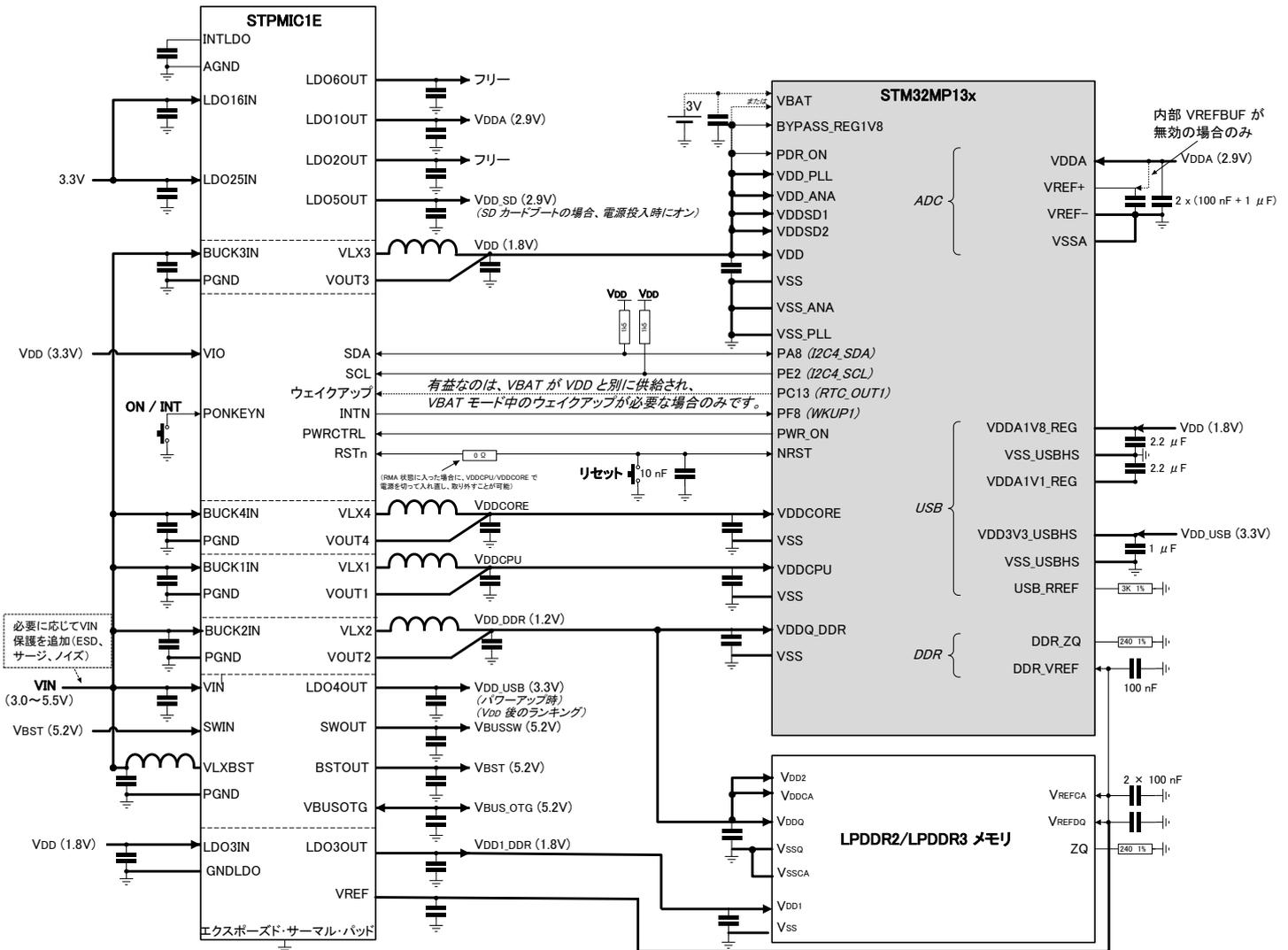
図 23. DDR3L 使用時の 3.3 V I/O STPMIC1 電源例



注 BUCK1 と BUCK4 のデフォルト値は 1.2 V です。この値では、製品を低周波数でブートできます。そして、ソフトウェアで BUCK 値を想定されるランタイム値に設定する必要があります（標準は VDDCORE および VDDCPU で 1.25 V です）。

**8.5.3 LPDDR2/LPDDR3 使用時の 1.8 V I/O STPMIC1 電源例**

このリファレンスデザインの例は、低電力の LPDDR2/LPDDR3 と高集積 PMIC を備えた複雑な 1.8 V I/O プラットフォームを対象としています。通常、プラットフォームのすべてのコンポーネントは STPMIC1 で電力供給できます。STPMIC1 I2C およびサイドバンド信号により、完全な電源制御がサポートされています。SLEEP/STOP/STANDBY モードのほか、LPDDR2/LPDDR3 保持を使用可能な超低消費電力 STANDBY もサポートされています（詳細は STPMIC1 のデータシートを参照）。

**図 24. LPDDR2/LPDDR3 使用時の 1.8 V I/O STPMIC1 電源例**


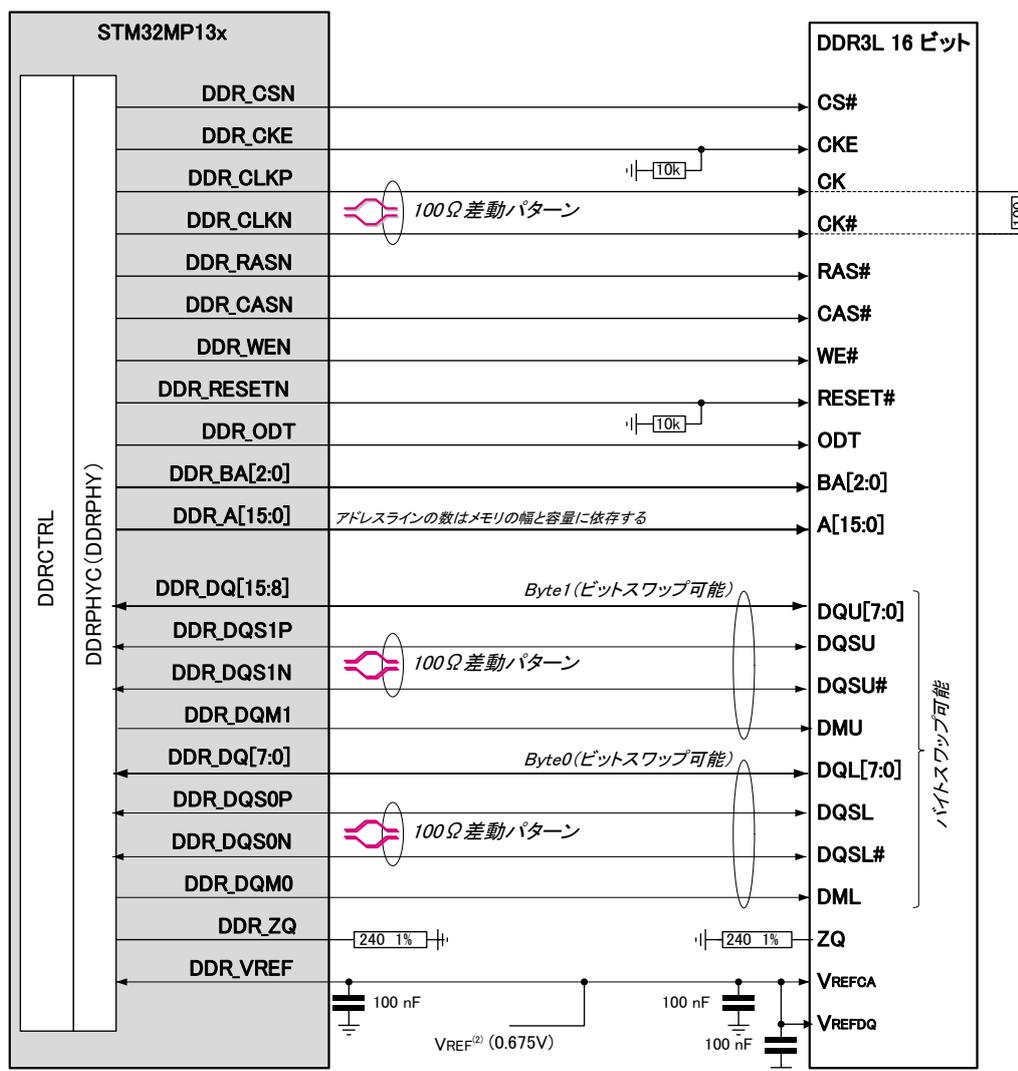
**注** BUCK1 と BUCK4 のデフォルト値は 1.2 V です。この値では、製品を低周波数でブートできます。そして、ソフトウェアで BUCK 値を想定されるランタイム値に設定する必要があります（標準は VDDCORE および VDDCPU で 1.25 V です）。

## 8.6 DDR3/DDR3L SDRAM

DDR3 と DDR3L の違いは、電源電圧 (1.5 V 対 1.35 V) と VREF レベル (0.75 V 対 0.675 V) が異なることです。DDR3L は、ほとんどの DDR3 設計に取って代わりました。

240 Ω、1% 抵抗を DDR\_ZQ の間に接続する必要があります。下図の値はほとんどの場合に機能しますが、I/O 駆動能力と PCB インピーダンスのそれぞれの側に合わせて調整できます。ルーティングの例は、文書 [8] を参照してください。

図 25. DDR3L 16 ビット接続例



注記

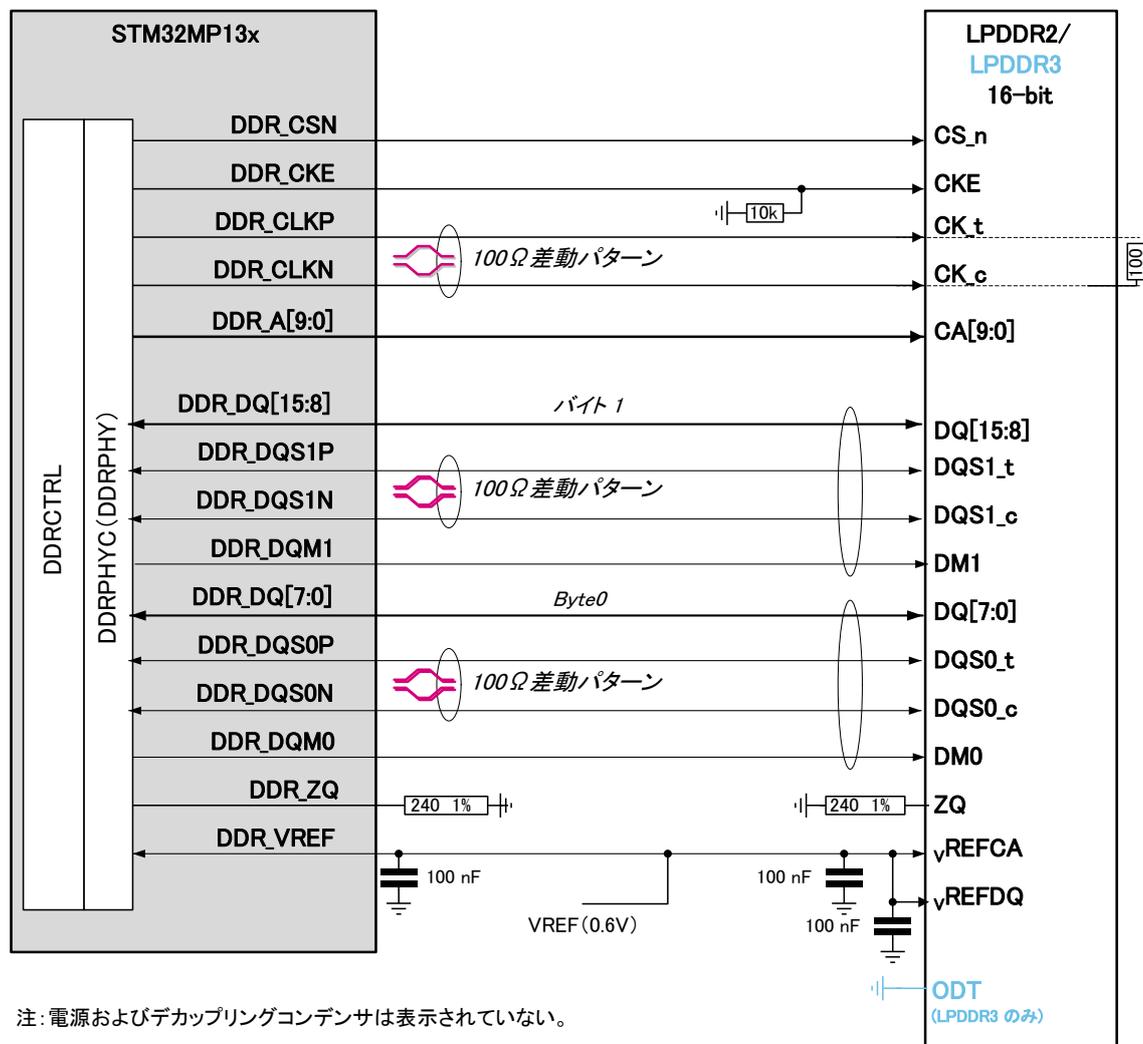
- (1) 電源およびデカップリングコンデンサは表示されていない。
- (2) ルーティングを容易にし、長い  $V_{REF}$  ラインを回避するために、代替として  $V_{REF}$  は各  $V_{REF}$  ピンの近くの VDDQ の  $1k\Omega / 1k\Omega 1\%$  抵抗分割器によってローカルに供給可能。

ルーティング例の詳細は、[8]に記載しています。

## 8.7 LPDDR2/3 SDRAM

抵抗 (240 Ω、1%) を DDR\_ZQ と VSS の間に接続する必要があります。この抵抗は、LPDDR2 または LPDDR3 コンポーネントに必要な 1 つ以上の ZQ 抵抗と共用しないでください。ルーティングの例は、文書 [8] を参照してください。

図 26. LPDDR2/LPDDR3 16 ビット接続例



ルーティング例の詳細は、[8]に記載しています。

## 8.8 外部のレベル・シフタなしの SD カード

$V_{DDSDx}$  の専用の電源を使用すると、外部のレベル・シフタがなくても、UHS-I 高速モードを使用できます。UHS-I 高速モードは、最大で SDR50 および DDR50 (50 Mbytes/s) のバス速度に対応するモードです。これらのモードでは、ユーザが 1.8 V の  $V_{DDSDx}$  I/O 電圧に切り替える必要があります (SD カードは 3 V のカード I/O で起動されます)。

**注** ブートは常に「標準」モード (3 V I/O) で実行されるため、カードがアプリケーションによって UHS-I で使用される場合、リセットまたは STANDBY 後にカード電源でのパワーサイクルが必要となります。

この例は、1.71 V ~ 3.6 V に対応する MPU I/O 電圧  $V_{DD}$  とは関係ありません。 $V_{DD}$  が標準 1.8 V である場合、SD カードの起動フェーズ中、 $V_{DDSDx}$  には「標準」モード (2.7 V ~ 3.6 V) での SD カードの起動トランザクションに対応した電圧を掛ける必要があります。

**注** 良好なシグナルインテグリティは、ボード、GPIO の能力設定 (GPIO\_OSPEEDR レジスタ)、および  $V_{DD}$  電圧に依存します。

$V_{DD} = 1.8$  V を使用する場合、SDMMC 出力で使用されるパッドで最高の速度を確保するために、次のいずれかの設定が必要になることがあります。

- OTP ビット product\_below\_2v5 の設定
- レジスタ SYSCFG\_HSLVEN4R (HSLVEN\_SDMMC1 ビット) の設定またはレジスタ SYSCFG\_HSLVEN5R (HSLVEN\_SDMMC2 ビット) の設定
- 上記の両方のレジスタの設定

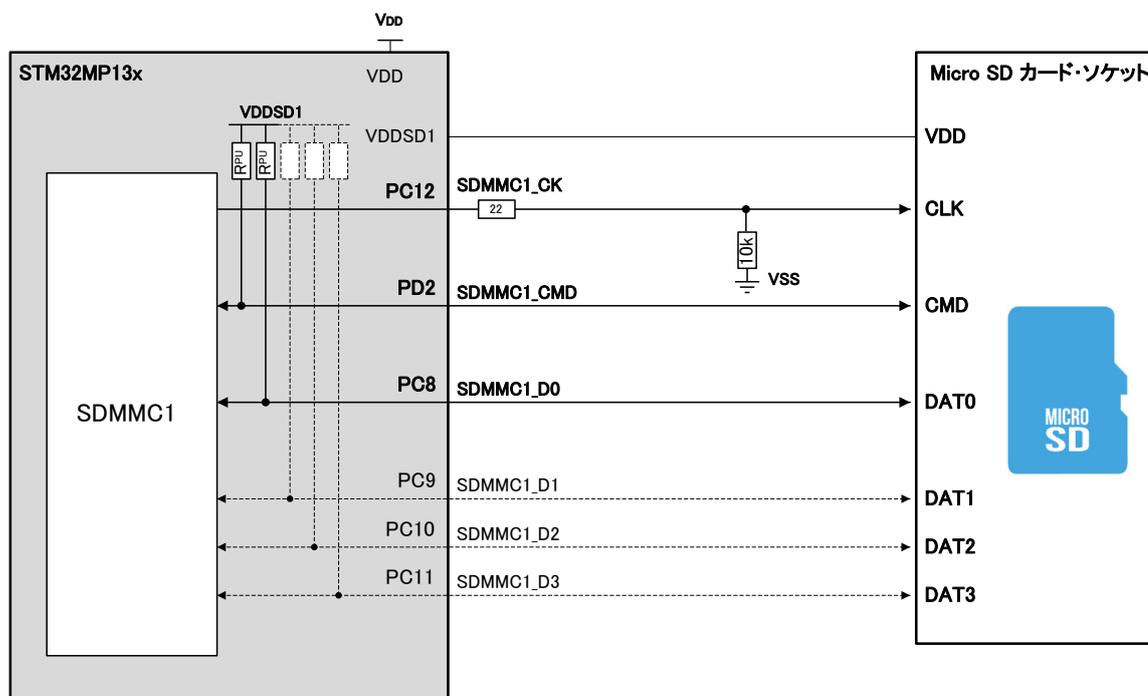
**警告**  $V_{DD}$  が 2.7 V を超える場合、HSLVEN は設定しないでください。デバイスが損傷する可能性があります。

必要に応じて、インピーダンス整合抵抗を出力駆動ピンのできるだけ近くに配置する必要があります。以下の例の値はほとんどの場合に機能しますが、I/O 駆動能力と PCB インピーダンスに合わせて調整できます。

$V_{DD\_SD}$  シャットダウンの前 (たとえば、STANDBY の前) に、カードに送られるすべての信号を SDMMC1 ドライバによって 0 またはハイインピーダンスに設定する必要があります。

下図に、UHS-I SD カードモードを使用していない接続例を示します。

**図 27. 外部のレベル・シフタなしの SD カードの例 (UHS-I モード接続なし)**



**注:**

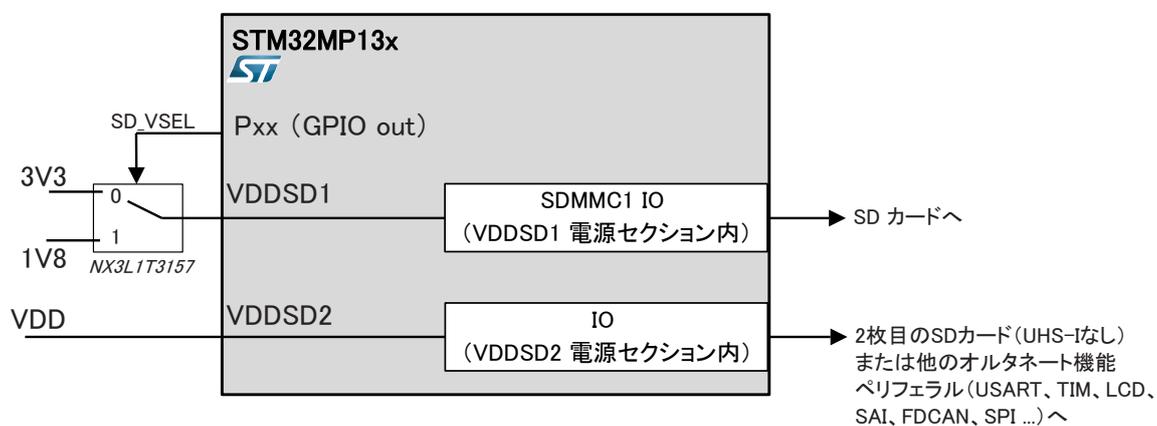
- 太字と実線: SDカードのブート中に低レベルのブート ROM が必要とするデフォルトのピンと信号の最小セット。
- パターンはバランスの取れた長さで短くする必要があります。

$V_{DD} = 3.3$  V の場合、電源ソースの節約のために、 $V_{DD\_SD}$  を  $V_{DD}$  に接続できます。



GPIO によってプログラムされた外部スイッチ (1.8 V、3.3 V) を使用して  $V_{DDSDx}$  電源ピンに電力供給することにより、プログラム可能なレギュレータ 1 台を確保しておくことができます (下図を参照)。

図 29. 外部電源スイッチによる  $V_{DDSDx}$  への電力供給



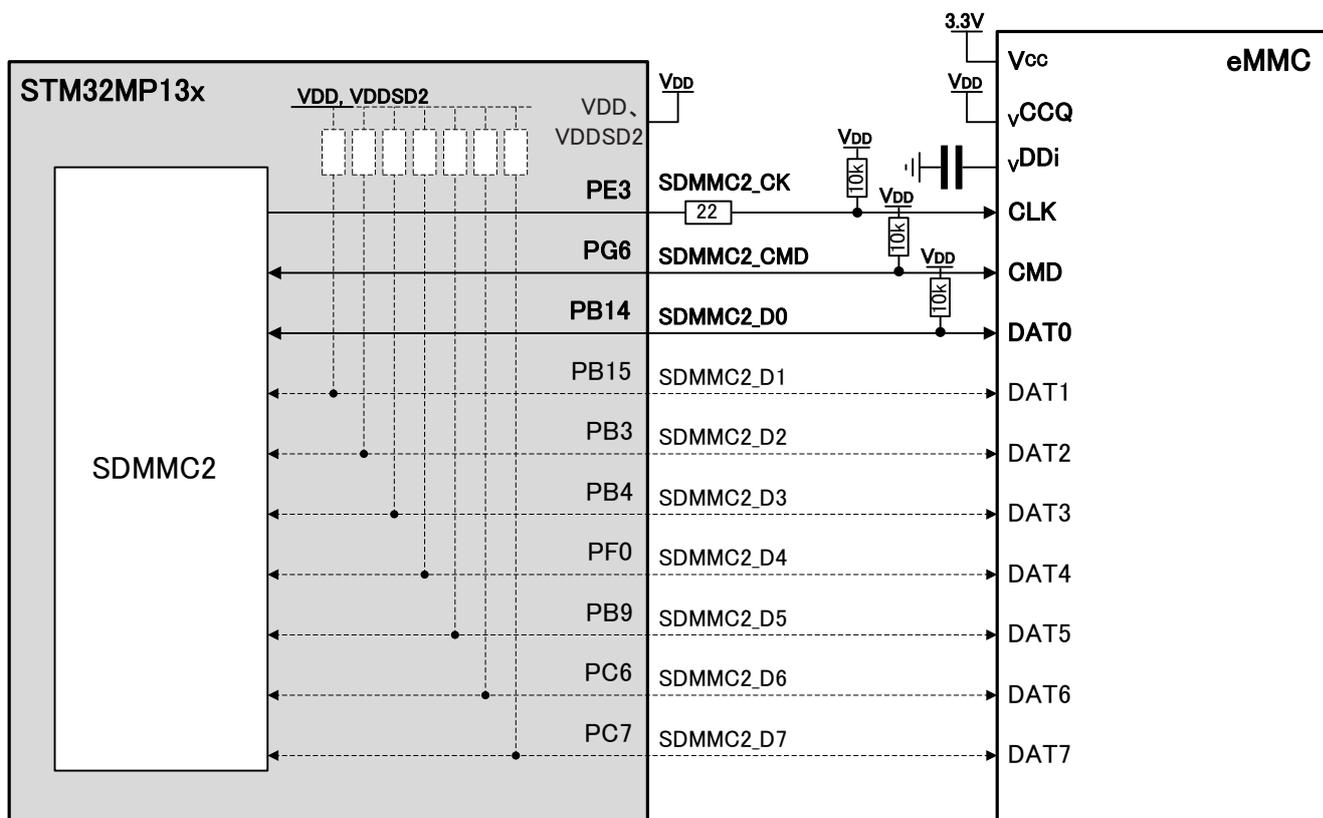
## 8.9 eMMC Flash

注 良好なシグナルインテグリティは、ボード、GPIO の能力設定 (GPIO\_OSPEEDR レジスタ)、および  $V_{DD}$  電圧に依存します。

$V_{DD} = 1.8\text{ V}$  を使用する場合、SDMMC 出力で使用されるパッドで最高の速度を確保するために、次の設定が必要になることがあります。

- OTP ビット `product_below_2v5` の設定
- レジスタ `SYSCFG_HSLVEN4R` (HSLVEN\_SDMMC1 ビット) またはレジスタ `SYSCFG_HSLVEN5R` (HSLVEN\_SDMMC2 ビット) の設定
- 上記の両方のレジスタの設定

図 30. eMMC 接続例



- 注: **太字**と実線: eMMC ブート中に低レベルの BootROM が必要とするデフォルトのピンと信号の最小セットです。
- パターンはバランスの取れた長さで短くする必要があります。デカップリングコンデンサは表示されていません。
  - このモードでは、 $V_{DD}$  と  $V_{DDSD2}$  は結合されます。

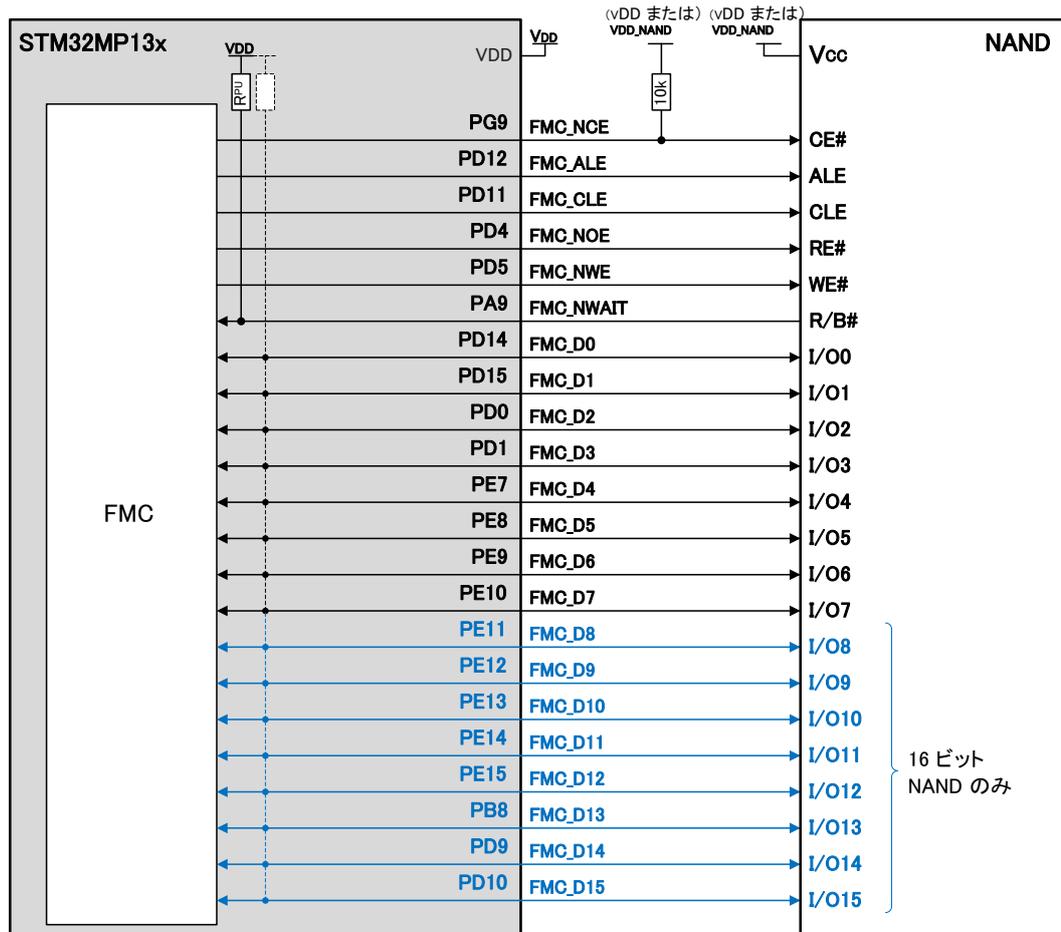
## 8.10 SLC NAND Flash

1つの8または16ビット SLC NAND メモリデバイス、および2つの独立した8ビット SLC NAND メモリデバイスがサポートされています。

- 1つの8または16ビット SLC NAND メモリデバイス = CE# = FMC\_NCE
- 独立した8ビット SLC NAND メモリデバイス = device1 CE# = FMC\_NCE および device2 CE# = FMC\_NCE2

注 ブートは、FMC\_NCE に接続された SLC NAND メモリデバイスでのみ実行されます。

図 31. SLC NAND-Flash 接続例



注意: - 太字と実線: eMMC ブート中に低レベルの BootROM が必要とするデフォルトのピンと信号の最小セットです。  
 - パターンはバランスの取れた長さで短くする必要があります。デカップリングコンデンサは表示されていません。  
 - 再起動(リセットまたは STANDBY の終了時)を可能にするために、VDD\_NAND を 1 ms 以上カットする必要があります。  
 ——— 16 ビット NAND の場合のみの回路

注 シングルレベルセル(SLC)NAND-Flash のみがサポートされています。ハミング、BCH4、または BCH8 エラー訂正アルゴリズムのいずれかと共にサポートされています。

## 8.11 シリアル NOR/NAND Flash

ブートは常に SPI モードで実行されるため、以下のいずれかの場合、リセットまたは STANDBY の終了後に、シリアル Flash 電源でのパワーサイクルが必要です。

- アプリケーションにより、複数のデータラインでシリアル Flash メモリが設定される場合
- セクタのアドレス指定が変更されている場合

注 良好なシグナルインテグリティは、ボード、GPIO の能力設定 (GPIO\_OSPEEDR レジスタ)、および  $V_{DD}$  電圧に依存します。

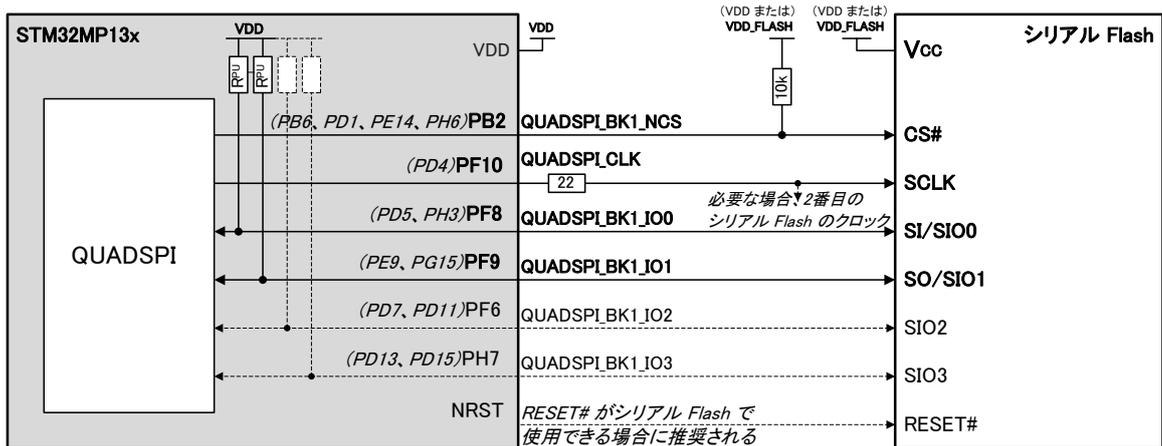
$V_{DD} = 1.8\text{ V}$  を使用する場合、QUADSPI 出力で使用されるパッドで最高の速度を確保するために、次の両方の設定が必要になることがあります。

- OTP ビット `product_below_2v5` の設定
- レジスタ `SYSCFG_HSLVEN1R` (HSLVEN\_QUADSPI ビット) の設定

**警告**  $V_{DD}$  が 2.7 V を超える場合、HSLVEN は設定しないでください。デバイスが損傷する可能性があります。

必要に応じて、インピーダンス整合抵抗を出力駆動ピンのできるだけ近くに配置する必要があります。以下の例の値はほとんどの場合に機能しますが、I/O 駆動能力と PCB インピーダンスに合わせて調整できます。

図 32. シリアル Flash 接続例



注:

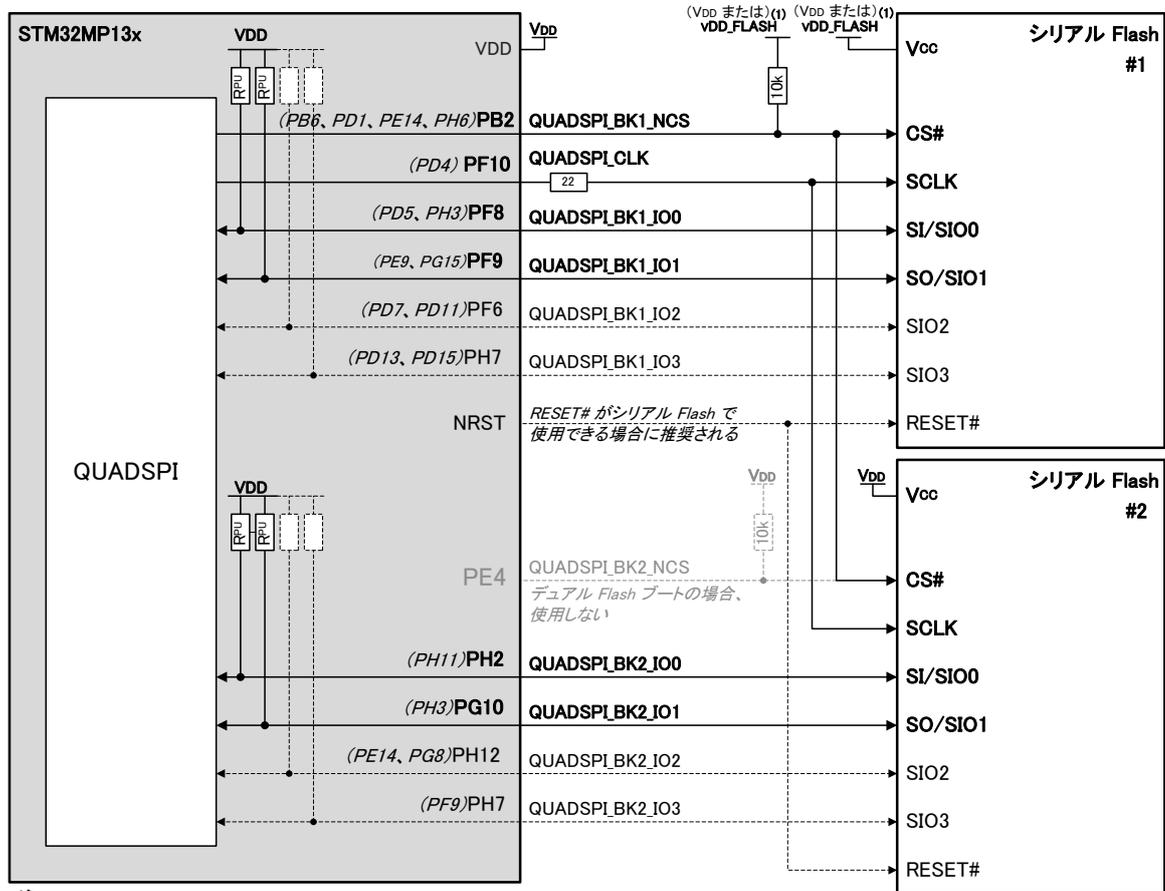
- **太字と実線**: シリアル Flash ブート中に低レベルのブート ROM が必要とするデフォルトのピンと信号の最小セット。
- デカップリングコンデンサは表示されていません。
- 再起動 (リセットまたは STANDBY の終了時) を可能にするために、 $V_{DD\_FLASH}$  を 1 ms 以上カットする必要があります。
- SI/SO を使用した SPI モードのブート中に、一部のシリアルメモリでは IO2 および IO3 ピンを HOLD などの追加機能として使用できます。このようなデバイスをブートできるようにするには、OTP を使用したブート中に内部プルアップを定義するか、外部プルアップを使用して、これらのピンをインアクティブレベルにセットする必要がある場合もあります。

シリアル Flash メモリがブランクの状態か破損している場合、ブート ROM では 1 つのシリアル Flash メモリからのブートを試みます。その後、ブート ROM ではデュアルシリアル Flash モードを試みます。ここでは、PH2 および PG10 と、ボードで使用される信号で矛盾が生じる可能性があります。必要に応じて、OTP をプログラムすることにより (ワード 3、5、6、および 7)、PH2 および PG10 でのこの矛盾が回避されます。このプログラムにより、ブート ROM ではシリアル Flash の 1 台構成に必要な 4 ピンのみが使用されるようになります。

QUADSPI シリアル Flash メモリのブートは、専用の GPIO から行うことも、両方のタイプの Flash メモリでボード上の専有面積が同じになるように一部の FMC Nand8 ブート GPIO (PD4、PD1、PD5、PE9、PD11、PD15) を使用して行うこともできます。このような場合、本番稼働フェーズ中に、STM32MP13x のデフォルトのブートピン NVM をプログラムする必要があります。

また、デバイスページおよびブロックサイズ用に OTP (ワード 9) を使用して、NAND 構成をセットアップすることができます。

図 33. デュアルシリアル Flash 接続例



注:

- **太字**と実線: デュアル・シリアル Flash ブート中に低レベルのブート ROM が必要とするデフォルトのピンと信号の最小セット。
- デカップリングコンデンサは表示されていません。
- 再起動(リセットまたは STANDBY の終了時)を可能にするために、 $V_{DD\_FLASH}$  を 1 ms 以上カットする必要があります。
- SI/SO を使用した SPI モードのブート中に、一部のシリアル・メモリでは IO2 および IO3 ピンを HOLD などの追加機能として使用できます。このようなデバイスをブートできるようにするには、OTP を使用したブート中に内部プルアップを定義するか、外部プルアップを使用して、これらのピンをインアクティブレベルにセットする必要がある場合もあります。

メモリ I/O 電源を  $V_{DD}$  と関係なく停止できる場合、NRST をメモリリセットピンに直接接続しないでください。また、次の方法も選択できます。

- メモリに内部 POR (パワーオン・リセット)がある場合、メモリリセットピンは開いたままにする。
- メモリリセットピンをショットキーダイオードを介して NRST 側のカソードに接続する。

これに従わないと、I/O 電源がない場合に、メモリの内部保護により NRST が低下する可能性があります。それによって、不必要にプラットフォームがリセットされる可能性があります。

メモリの文書を参照して、メモリリセットピンの要件を確認してください(特に、内部パワーオンリセットの存在やリセットピンの内部プルアップの存在)。

## 8.12 USB

注 一部の外部コンポーネントを使用することで、USB Type-C™ がサポートされます。  
 USB\_RREF と VSS\_USBHS (選択したパッケージで VSS\_USBHS が利用できない場合、VSS) の間に抵抗 (3 kΩ、1%) を接続する必要があります。

図 34. USB 2 ポートホストハイスピード

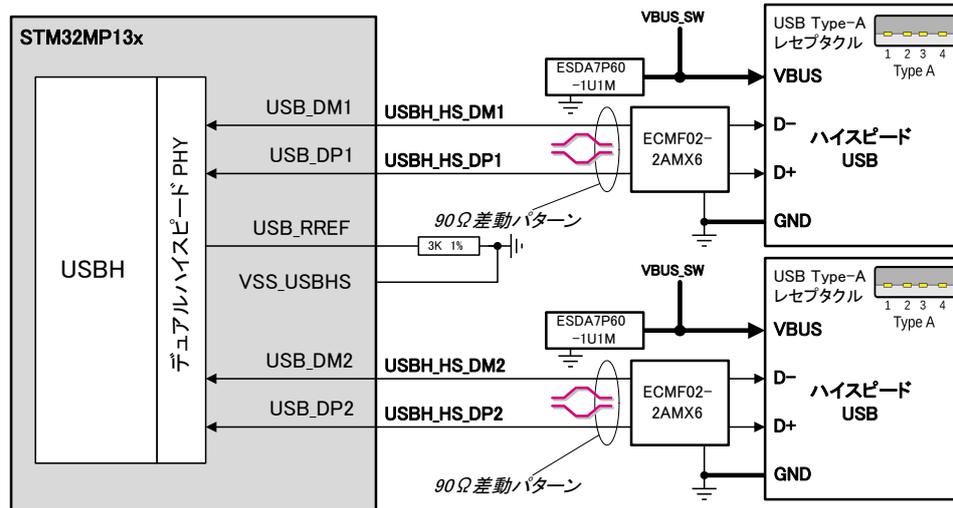
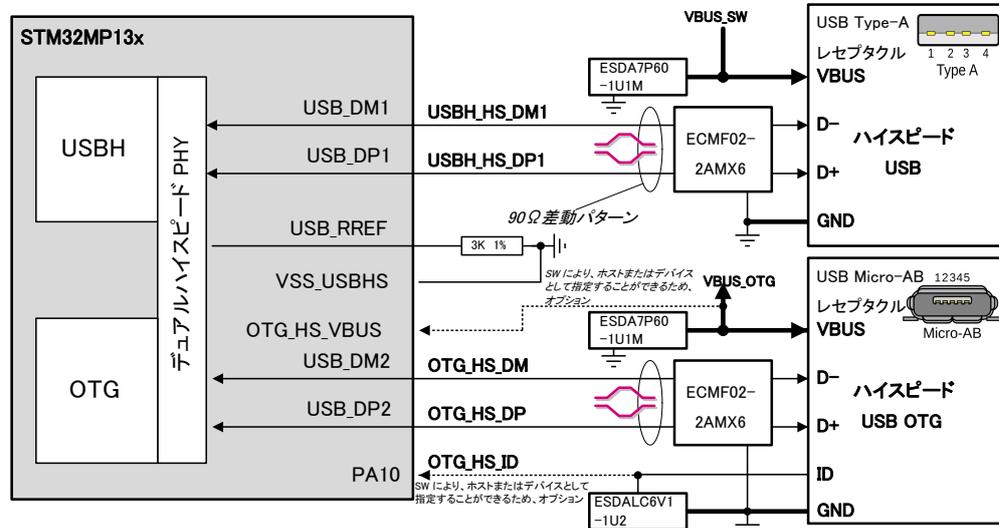


図 35. USB ホストハイスピード + OTG ハイスピード接続例



注 OTG ペリフェラルでは、Micro-AB の代わりに Micro-B レセプタクルを使用し、OTG\_ID ピンを未接続のままにすることで、USB ハイスピードもサポートされます。

注 OTG\_HS\_VBUS 信号を使用すると、USB 認証が妨げられる場合があります。これは、OTG\_HS\_VBUS 信号が使用可能になる前に、USB\_DPx ピンのプルアップが有効化されているためです。また、OTG\_HS\_VBUS GPIO の電気特性では OTG\_HS\_VBUS の前に V<sub>DD</sub> が存在していることが前提となりますが、ホストへのデバイスの接続中などは、必ずしもそのようにはなりません。文書 [11] を参照してください。

そのため、レジスタブリッジ付きの GPIO を使用し、この GPIO の EXTI 割込みを外部 USB VBUS 信号に接続することを推奨します。OTG\_HS\_ID 信号についても同様の処置を施す（外部 USB ID 信号に接続した GPIO+EXTI を使用）ことを推奨します。実装については、文書 [11] を参照してください。この回避策では、VBUS および ID USB 信号の EXTI により、低電力モードからの追加のウェイクアップが可能です。

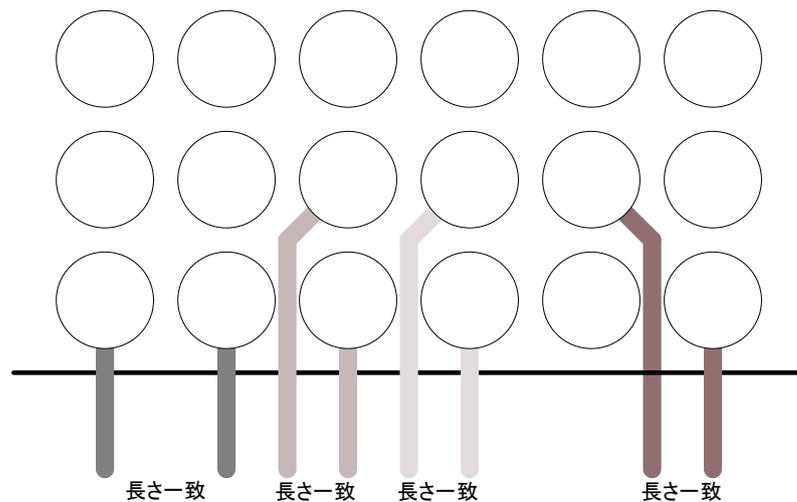
一部の GPIO ではすでに OTG\_HS\_VBUS および OTG\_HS\_ID 信号が利用できます。その場合、これらの GPIO を関連する EXTI と一緒に使用するか、任意の別の GPIO を使用することができます。OTG\_HS\_VBUS は PI7 (EXTI7)、OTG\_HS\_ID は PA10(EXTI10)にあります。

### USB ハイスピード PCB パターン長のマッチング

USB(および DDR)の差動ペアの長さマッチングでは、パッケージとボードのレイアウトが考慮されます。内側のボールの接続長はパッケージ内では短くなっています。そのため、ボードレベルの長い接続が望ましく、パッケージ内ですでに考慮されています。

下図に、ワイヤ長をパッケージ内ですでに一致させてある 4 種類の差動ペアを示します。内側のボール位置と外側のボール位置による長さの違いをボード上で補正する必要がないということです。

図 36. USB ハイスピード PCB パターン例



**表 15. USB ハイスピード PCB ルーティングの推奨事項**

推奨事項	最小値	典型的な値	最大値	単位
差動インピーダンス	76.5	90	103.5	Ω
シングルエンド・インピーダンス	38.25	45	51.75	Ω
ペア内の長さマッチング(パッケージを含む)	-50	-	+50	mil
	-1.27	-	+1.27	mm
最大パターン調(コネクタまたは最初の有効なコンポーネントまで)	-	-	8	インチ
	-	-	203	mm
ビアの最大数(推奨値)	-	-	2	-
差動パターンからその他の信号までの距離	S ~ 2S	S ~ 3S またはそれ以上	-	_(1)
電源プレーンの分割部の上を通してルーティングしないでください。サブなし(ポイント・ツー・ポイントのみ)。直角なし。				

1. 定義はアプリケーション・ノート「DDR memory routing guidelines (AN5692)」でご確認ください。

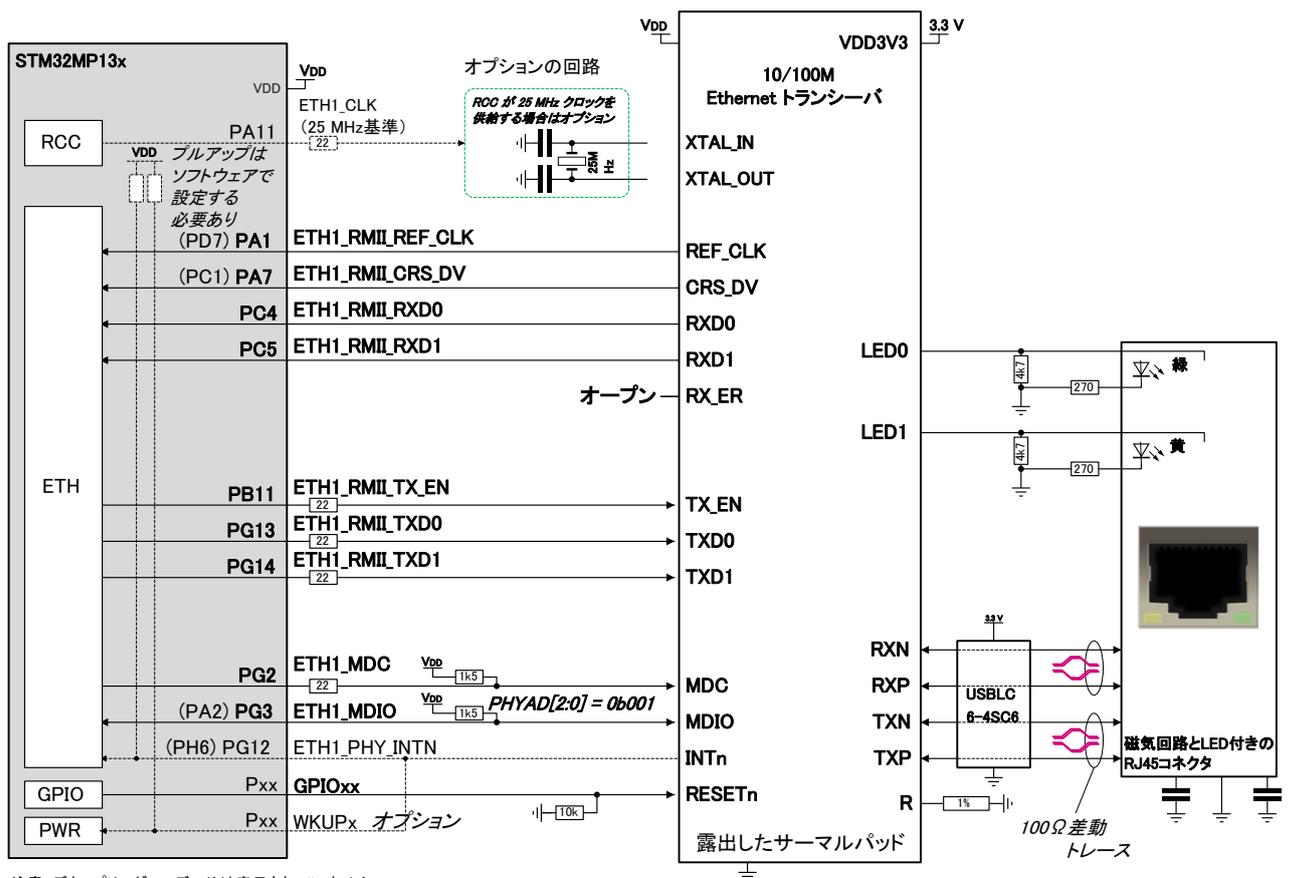
## 8.13 Ethernet

### 8.13.1 10/100M Ethernet

注 良好なシグナルインテグリティは、ボード、GPIO の能力設定 (GPIO\_OSPEEDR レジスタ)、および V<sub>DD</sub> 電圧に依存します。

必要に応じて、インピーダンス整合抵抗を出力駆動ピンのできるだけ近くに配置する必要があります。以下の例の値はほとんどの場合に機能しますが、I/O 駆動能力と PCB インピーダンスのそれぞれの側に合わせて調整できます。

図 37. 10/100M Ethernet PHY 接続例

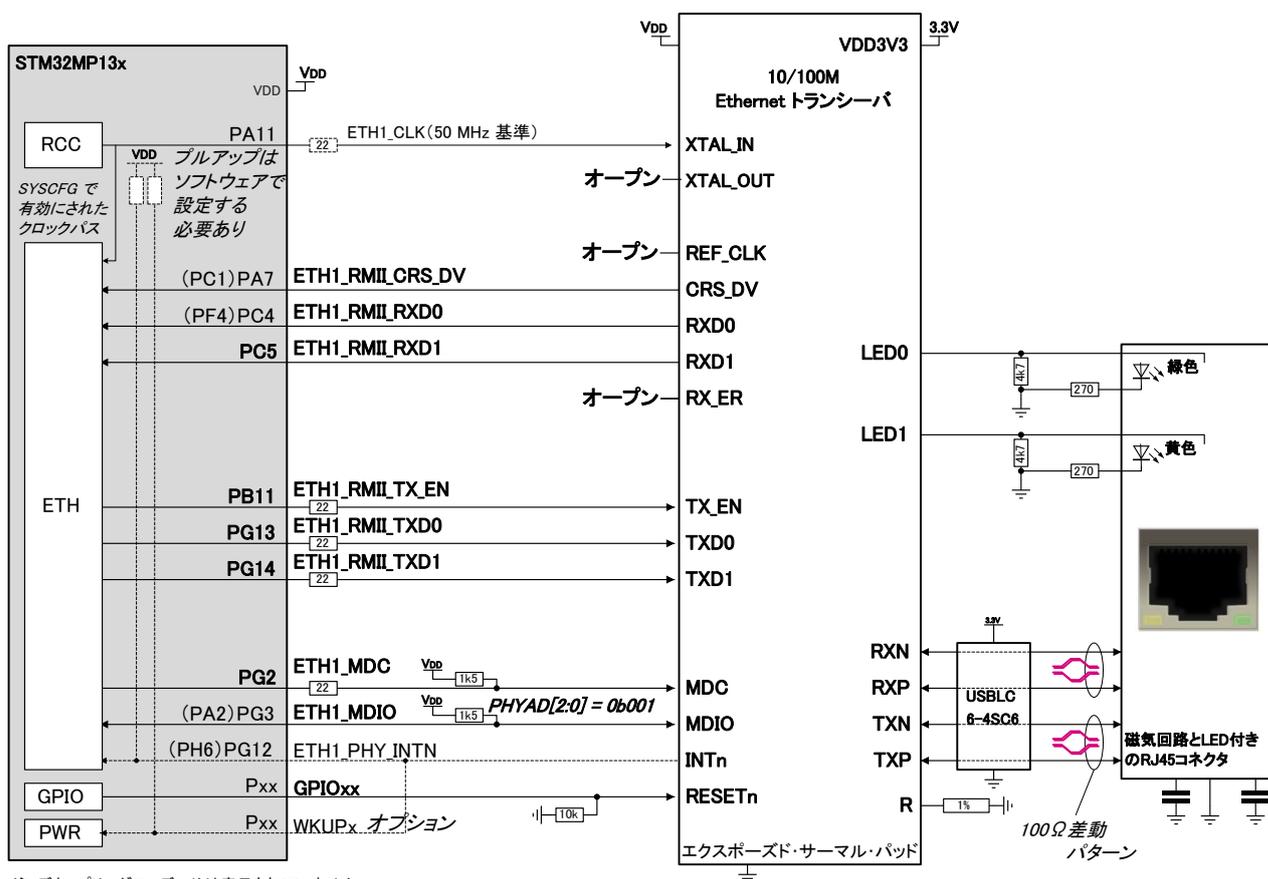


RCC では低電力モード中に PHY に 25 MHz のリファレンスクロックを供給できません。そのため、プラットフォーム用に LAN (WOL) でのウェイクアップが必要な場合、PHY に専用の 25 MHz クリスタルが必要です。PHY のクロック用に 25 MHz 出力を取得するよう RCC PLL を設定すると、他の RCC 周波数が制限される可能性があります。その場合、より柔軟に対応するには、PHY に専用の 25 MHz クリスタルを配置します。

あるいは、RCC から正確な 50 MHz クロックが供給でき、PHY でそれが許容される場合、50 MHz ETH\_CLK を STM32MP13x デバイスから PHY に供給できます。この場合、REF\_CLK は両側を未接続のままにできます。これにより、部品数と面積が節約され、一部の PHY の電力も節約されます。

注 RCC から正確な 50 MHz のクロックが供給できるか確認するには (PHY で許容されている場合)、HSE の水晶周波数および RCC の他のペリフェラル/コアクロック周波数設定に関して確認する必要があります。

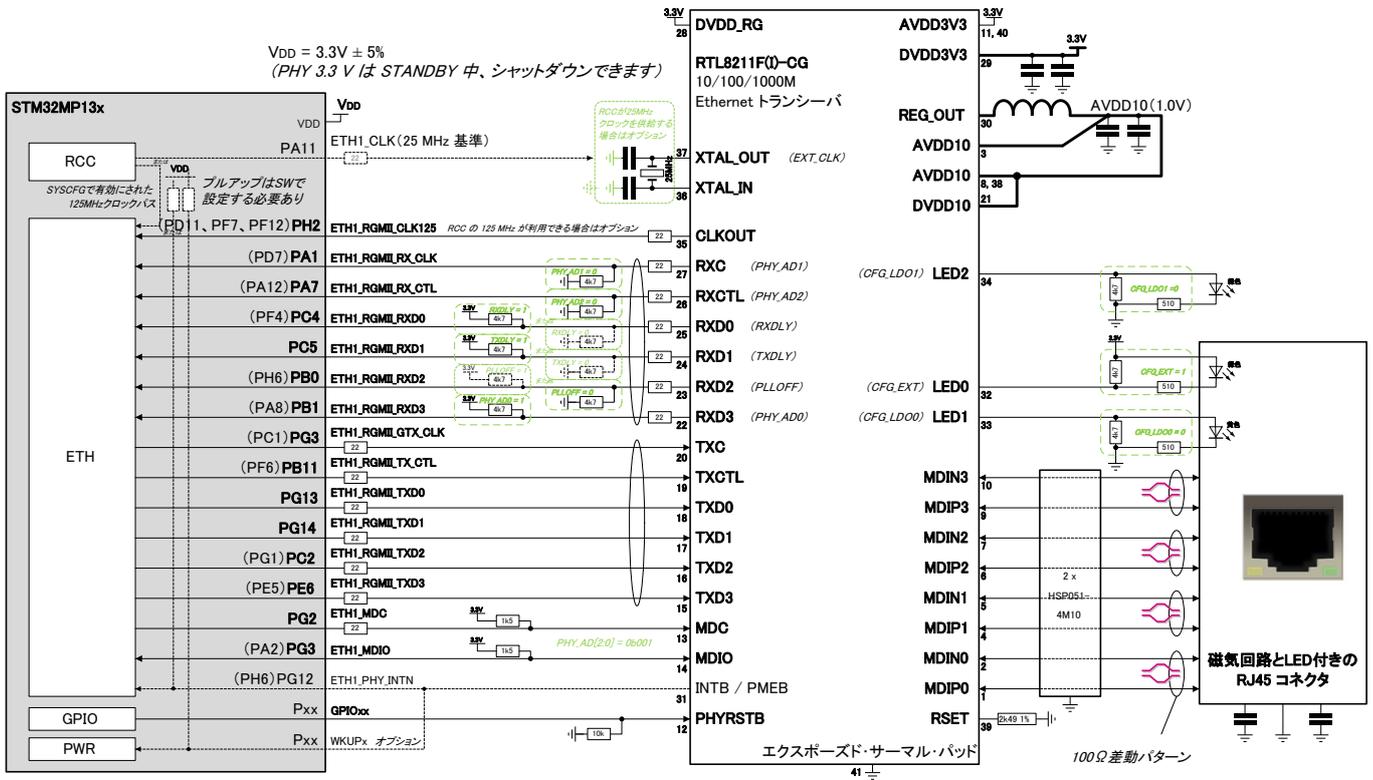
図 38. 10/100M Ethernet PHY 接続例 (RCC から REFCLK を使用)



RCC では低電力モード中に PHY に 50 MHz リファレンスクロックを供給できないため、プラットフォーム用に LAN (WOL) でのウェイクアップが必要な場合はこの方法を利用できません。PHY のクロック用に 50 MHz 出力を取得するよう RCC PLL を設定すると、他の RCC 周波数が制限される可能性があります。その場合、この方法は利用できません。デュアル Ethernet インタフェースの場合 (ETH1、ETH2)、各 Ethernet トランシーバの XTAL\_IN クロックを ETH1\_CLK または ETH2\_CLK に接続することができます。

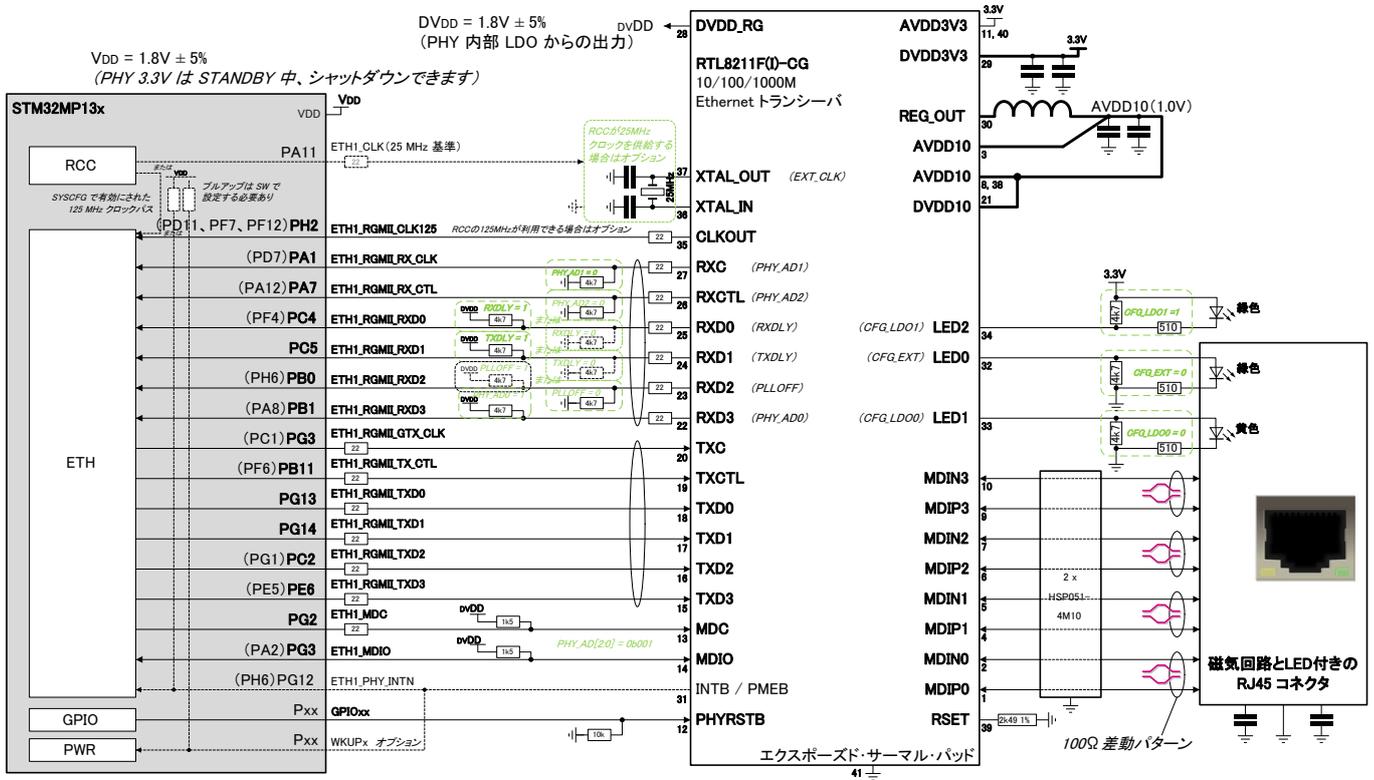


図 40. V<sub>DD</sub> = 3.3 V (RTL8211F) を使ったギガビット Ethernet PHY 接続例



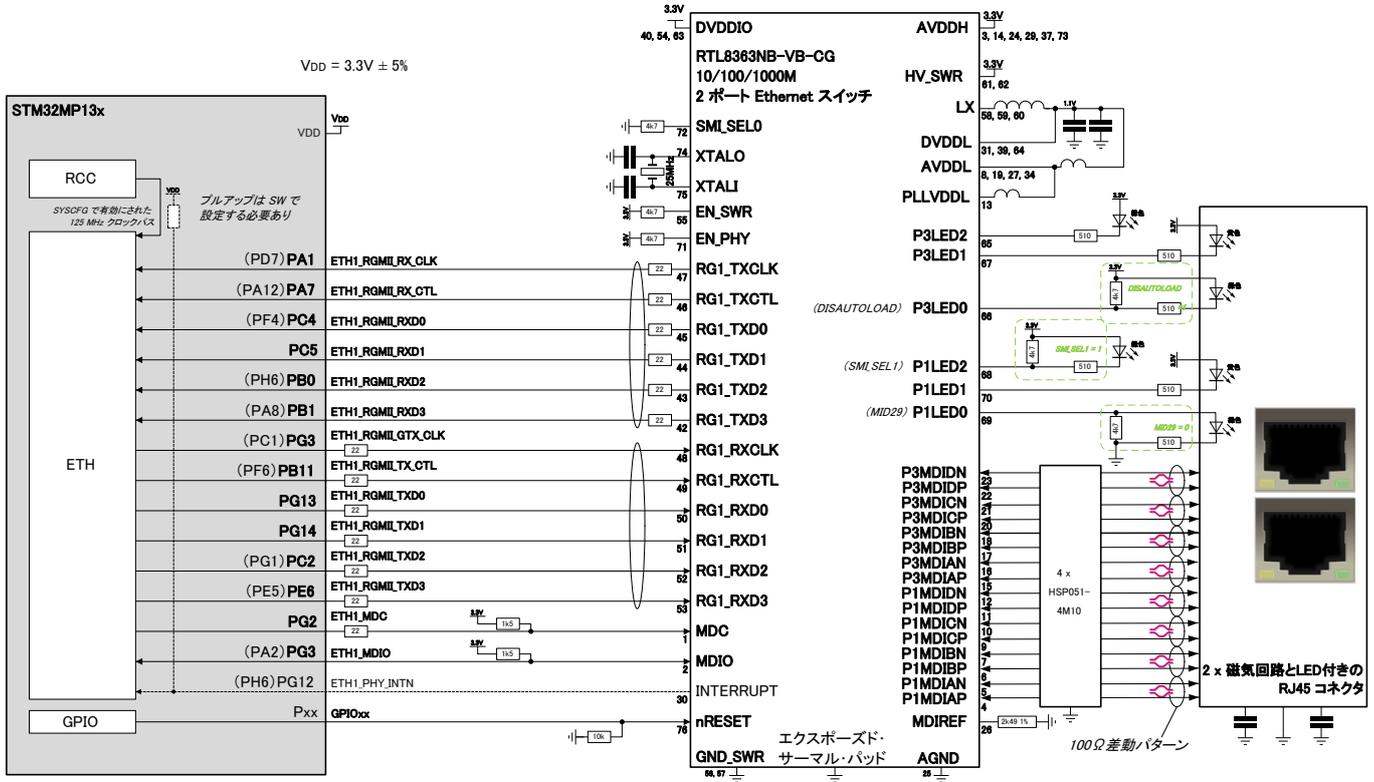
注:  
- 特に明記されていない限り、50 Ω パターン。パターンはバランスの取れた長さで短くする必要があります。  
- デカップリングコンデンサは表示されていません。  
- オプションの回路

図 41. V<sub>DD</sub> = 1.8 V (RTL8211F) を使ったギガビット Ethernet PHY 接続例



注:  
 - 特に明記されていない限り、50 Ω パターン。パターンはバランスの取れた長さで短くする必要があります。  
 - デカップリングコンデンサは表示されていません。  
 - オプションの回路

図 42. V<sub>DD</sub> = 3.3 V (RTL8363NB-VG) を使ったギガビット Ethernet 2 ポートスイッチ例



- 注:
- 特に明記されていない限り、50 Ω パターン。パターンはバランスの取れた長さで短くする必要があります。
  - デカップリングコンデンサは表示されていません。
  - オプションの回路

## 改版履歴

表 16. 文書改版履歴

日付	版	変更内容
2023 年 2 月 13 日	1	初版発行
2023 年 6 月 23 日	2	更新: <ul style="list-style-type: none"><li>• セクション 8.1: クロック</li><li>• 図 28</li><li>• 表 2. 参照文献</li></ul>
2023 年 9 月 25 日	3	更新: <ul style="list-style-type: none"><li>• 図 39</li><li>• 図 40</li><li>• 図 41</li><li>• 図 42</li></ul>

## 目次

<b>1</b>	<b>一般情報</b> .....	<b>2</b>
<b>2</b>	<b>電源機器</b> .....	<b>6</b>
<b>2.1</b>	<b>概要</b> .....	<b>7</b>
<b>2.1.1</b>	<b>独立した ADC コンバータ用電源と基準電圧</b> .....	<b>7</b>
<b>2.1.2</b>	<b>独立 I/O 電源レール</b> .....	<b>8</b>
<b>2.1.3</b>	<b>CPIO 用の HSLV モードおよび補正セル</b> .....	<b>9</b>
<b>2.1.4</b>	<b>バッテリーバックアップ</b> .....	<b>9</b>
<b>2.1.5</b>	<b>電圧レギュレータ</b> .....	<b>9</b>
<b>2.2</b>	<b>電源供給方法</b> .....	<b>9</b>
<b>2.3</b>	<b>リセットおよび電源供給スーパバイザ</b> .....	<b>12</b>
<b>2.3.1</b>	<b>パワーオンリセット(POR)／パワーダウンリセット(PDR)</b> .....	<b>12</b>
<b>2.3.2</b>	<b>プログラム可能な電圧検出器(PVD)</b> .....	<b>13</b>
<b>2.3.3</b>	<b>アプリケーションリセットとシステムリセット</b> .....	<b>13</b>
<b>3</b>	<b>パッケージ</b> .....	<b>15</b>
<b>3.1</b>	<b>パッケージの選択</b> .....	<b>15</b>
<b>3.2</b>	<b>ピンへのオルタネート機能のマッピング</b> .....	<b>16</b>
<b>4</b>	<b>クロック</b> .....	<b>17</b>
<b>4.1</b>	<b>HSE OSC クロック</b> .....	<b>17</b>
<b>4.1.1</b>	<b>外部ソース(HSE バイパス)</b> .....	<b>17</b>
<b>4.1.2</b>	<b>外部クリスタル／セラミック発振子(HSE クリスタル)</b> .....	<b>18</b>
<b>4.2</b>	<b>LSE OSC クロック</b> .....	<b>18</b>
<b>4.2.1</b>	<b>外部ソース(LSE バイパス)</b> .....	<b>18</b>
<b>4.2.2</b>	<b>外部クリスタル／セラミック発振子(LSE クリスタル)</b> .....	<b>18</b>
<b>4.3</b>	<b>クロック・セキュリティ・システム(CSS)とクロック・モニタリング</b> .....	<b>19</b>
<b>4.3.1</b>	<b>HSE</b> .....	<b>19</b>
<b>4.3.2</b>	<b>LSE</b> .....	<b>19</b>
<b>5</b>	<b>ブート設定</b> .....	<b>20</b>
<b>5.1</b>	<b>ブートモード選択</b> .....	<b>20</b>
<b>5.2</b>	<b>BOOT ピン接続</b> .....	<b>22</b>
<b>5.3</b>	<b>内蔵ブートローダ・モード</b> .....	<b>24</b>
<b>6</b>	<b>デバッグ管理</b> .....	<b>25</b>
<b>6.1</b>	<b>SWJ デバッグ・ポート(シリアルワイヤと JTAG)</b> .....	<b>25</b>
<b>6.2</b>	<b>ピン名とデバッグポートピン</b> .....	<b>25</b>
<b>6.2.1</b>	<b>JTAG ピンでの内部プルアップ／プルダウン抵抗</b> .....	<b>25</b>
<b>6.2.2</b>	<b>デバッグポートと標準 JTAG コネクタの接続</b> .....	<b>26</b>

6.2.3	デバッグポートおよび UART と STDC14 コネクタの接続	27
6.2.4	パラレルトレースと HDP	27
6.2.5	デバッグトリガと LED	28
<b>7</b>	<b>推奨事項</b>	<b>30</b>
7.1	PCB(プリント回路基板)	30
7.2	コンポーネントの配置	30
7.3	グラウンドおよび電源 ( $V_{SSx}$ , $V_{DDx}$ )	30
7.4	I/O 速度の設定	30
7.5	PCB スタックおよびテクノロジー	34
7.6	デカップリングとパッケージ・エスケープ・ルーティング	37
7.7	ESD/EMI 保護	37
7.8	ノイズに敏感な信号	37
7.9	未使用の入出力と機能	37
<b>8</b>	<b>リファレンスデザイン例</b>	<b>38</b>
8.1	クロック	38
8.2	リセット	38
8.3	ブートモード	39
8.4	SWD/JTAG インタフェース	40
8.5	電源	41
8.5.1	DDR3L 使用時の 3.3 V I/O ディスクリート電源例	41
8.5.2	DDR3L 使用時の 3.3 V I/O STPMIC1 電源例	42
8.5.3	LPDDR2/LPDDR3 使用時の 1.8 V I/O STPMIC1 電源例	43
8.6	DDR3/DDR3L SDRAM	44
8.7	LPDDR2/3 SDRAM	45
8.8	外部のレベル・シフトなしの SD カード	46
8.9	eMMC Flash	49
8.10	SLC NAND Flash	50
8.11	シリアル NOR/NAND Flash	51
8.12	USB	53
8.13	Ethernet	56
8.13.1	10/100M Ethernet	56
8.13.2	ギガビット Ethernet	58
	改版履歴	62
	表一覧	65
	図一覧	66

## 表一覧

表 1.	対象とする製品	1
表 2.	参照文献	2
表 3.	用語	2
表 4.	ANASWVDD および EN_BOOSTER 用の推奨設定	8
表 5.	パッケージ別のデカップリングの推奨値	11
表 6.	未使用の機能のための電源利用	11
表 7.	STM32MP13x パッケージの概要	15
表 8.	ブートモード	20
表 9.	ブート可能な UART ピン	21
表 10.	V <sub>DD</sub> = 標準 3.3 V での OSPEEDR の設定例	31
表 11.	V <sub>DD</sub> = 標準 1.8 V での OSPEEDR の設定例	32
表 12.	オシレータまたはクリスタル発振子用の HSE 部品表	38
表 13.	ブート可能な U(S)ART ピン	39
表 14.	SWD/JTAG インタフェース	40
表 15.	USB ハイスピード PCB ルーティングの推奨事項	55
表 16.	文書改版履歴	62

## 図一覧

図 1.	電源図	6
図 2.	パワーオンリセット／パワーダウンリセット波形	12
図 3.	PVD の閾値	13
図 4.	リセットピン回路の概要	14
図 5.	STM32CubeMX のスクリーンショット例	16
図 6.	HSE クロックソース	17
図 7.	LSE ソースクロック	18
図 8.	ブートモード選択	22
図 9.	BOOT ピンの一般的な接続図	23
図 10.	ブートフロー概要	24
図 11.	ホストとボードの接続	25
図 12.	JTAG/SWD MIPI10 コネクタの接続例	26
図 13.	JTAG/SWD/UART VCP STDC14 コネクタの接続例	27
図 14.	パラレルトレースポート付 JTAG/SWD の Mictor-38 接続例	28
図 15.	LED の接続例	29
図 16.	負荷容量と電圧別の I/O 速度概要	31
図 17.	4 層 PCB スタックの例 (PTH ビアのみを使用)	34
図 18.	6 層 PCB スタックの例 (PTH、埋込みビア、およびレーザービアを使用)	35
図 19.	0.8 mm ピッチパッケージ用 PCB ルールの例 (PTH を使用)	35
図 20.	0.5 mm ピッチパッケージ用 PCB ルールの例 (レーザービアおよび PTH を使用)	36
図 21.	オシレータ／クリスタル発振子用の HSE 推奨回路	38
図 22.	DDR3L 使用時の 3.3 V I/O ディスクリート電源例	41
図 23.	DDR3L 使用時の 3.3 V I/O STPMIC1 電源例	42
図 24.	LPDDR2/LPDDR3 使用時の 1.8 V I/O STPMIC1 電源例	43
図 25.	DDR3L 16 ビット接続例	44
図 26.	LPDDR2/LPDDR3 16 ビット接続例	45
図 27.	外部のレベル・シフトなしの SD カードの例 (UHS-I モード接続なし)	46
図 28.	外部のレベル・シフトなしの SD カードの例 (UHS-I モード接続)	47
図 29.	外部電源スイッチによる VDDSDx への電力供給	48
図 30.	eMMC 接続例	49
図 31.	SLC NAND-Flash 接続例	50
図 32.	シリアル Flash 接続例	51
図 33.	デュアルシリアル Flash 接続例	52
図 34.	USB 2 ポートホストハイスピード	53
図 35.	USB ホストハイスピード + OTG ハイスピード接続例	53
図 36.	USB ハイスピード PCB パターン例	54
図 37.	10/100M Ethernet PHY 接続例	56
図 38.	10/100M Ethernet PHY 接続例 (RCC から REFCLK を使用)	57
図 39.	V <sub>DD</sub> = 3.3 V (RTL8211E) を使ったギガビット Ethernet PHY 接続例	58
図 40.	V <sub>DD</sub> = 3.3 V (RTL8211F) を使ったギガビット Ethernet PHY 接続例	59
図 41.	V <sub>DD</sub> = 1.8 V (RTL8211F) を使ったギガビット Ethernet PHY 接続例	60
図 42.	V <sub>DD</sub> = 3.3 V (RTL8363NB-VG) を使ったギガビット Ethernet 2 ポートスイッチ例	61

重要なお知らせ(よくお読み下さい)

STMicroelectronics NV およびその子会社(以下、ST)は、ST 製品および本書の内容をいつでも予告なく変更、修正、改善、改定および改良する権利を留保します。購入される方は、発注前に ST 製品に関する最新の関連情報を必ず入手してください。ST 製品は、注文請書発行時点で有効な ST の販売条件に従って販売されます。

ST 製品の選択並びに使用については購入される方が全ての責任を負うものとします。購入される方の製品上の操作や設計に関して ST は一切の責任を負いません。

明示又は黙示を問わず、ST は本書においていかなる知的財産権の実施権も許諾致しません。

本書で説明されている情報とは異なる条件で ST 製品が再販された場合、その製品について ST が与えたいかなる保証も無効となります。

ST および ST ロゴは STMicroelectronics の商標です。ST の登録商標については ST ウェブサイトをご覧ください。[www.st.com/trademarks](http://www.st.com/trademarks)

その他の製品またはサービスの名称は、それぞれの所有者に帰属します。

本書の情報は本書の以前のバージョンで提供された全ての情報に優先し、これに代わるものです。

この資料は、STMicroelectronics NV 並びにその子会社(以下 ST)が英文で記述した資料(以下、「正規英語版資料」)を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス株式が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス株式は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

© 2023 STMicroelectronics – All rights reserved