

STM32MP13x 製品ラインの DDR メモリ配線ガイドライン

はじめに

本アプリケーション・ノートは STM32MP13x 製品ライン (STM32MP131、STM32MP133、および STM32MP135) に適用されます。

このアプリケーション・ノートでは、STM32MP13x 製品ラインのアプリケーション基板に DDR3、DDR3L、LPDDR2、LPDDR3 メモリ・インタフェースを実装する方法についてガイダンスを提供します。

本書では、インタフェースの回路図、レイアウトの実装ルール、およびベストプラクティスを提供します。

表 1. デバイスの概要

参照	製品ライン
STM32MP13x	STM32MP131、STM32MP133、STM32MP135

1 一般情報

STM32MP13x 製品ラインのデバイスは、16 ビット DDR インタフェースを備えた Arm® Cortex® プロセッサをベースとする STM32 の 32 ビット・デバイスです[1]。

注 Arm は、米国内およびその他の地域にある Arm Limited 社(またはその子会社)の登録商標です。

次の表に、本書で使用される用語と略語の一覧を示します(すべては網羅していません)。

表 2. 用語と略語

項目 (略称)	定義
A/C	Addresses and commands(アドレスおよびコマンド)
DDR3 SDRAM	Double data rate of third generation SDRAM(ダブルデータレート第 3 世代 SDRAM)
DDR3L SDRAM	Double data rate of third generation low-voltage SDRAM(ダブルデータレート第 3 世代低電圧 SDRAM)
DQ	データ
DQMx	Data mask(データマスク)
DQSx_N/DQSx_P	Data strobe N/Data strobe P(データストロブ N/データストロブ P)
GND	Ground(グラウンド)
HF	高周波
LPDDR2 SDRAM	Low-power double data rate 2 SDRAM(低電力ダブルデータレート 2 SDRAM)
LPDDR3 SDRAM	Low-power double data rate 3 SDRAM(低電力ダブルデータレート 3 SDRAM)
MT/s	Mega transfers per second(メガ転送/秒)
PCB	Printed circuit board(プリント回路基板)
SDRAM	Synchronous dynamic random access memory(同期ダイナミック・ランダムアクセス・メモリ)
STPMIC	Highly integrated power-management device for microprocessors(マイクロプロセッサ用高集積パワー・マネージメント・デバイス)
VTT	Termination voltage(終端電圧)

表 3. 参照文献

文書番号	タイトル
[1]	リファレンス・マニュアル STM32MP13xx advanced Arm®-based 32-bit MPUs(RM0475)
[2]	STPMIC1 データシート(DS12792)

2 設計インタフェースの制約

STM32MP13x デバイスの外部 DDR インタフェースは、以下のさまざまなタイプのメモリに対応できます。

- データレート 1066 MT/s、電圧は DDR3 で 1.5 V、DDR3L で 1.35 V の DDR3 および DDR3L。DDR3 SDRAM の詳細については、JEDEC DDR3 SDRAM 規格 JESD79-3F を参照してください。
- データレート 1066 MT/s、電圧 1.2 V の LPDDR2 および LPDDR3。LPDDR2 および LPDDR3 の詳細については、JEDEC LPDDR2 規格 JESD209-2F および JEDEC LPDDR3 規格 JESD209-3C を参照してください。

低電圧と高速データレートになると、読出しアイ開口部の点で許容範囲が狭くなり、システムが不安定になるリスクが高まる一因となります。そのため、メモリ・インタフェースを使用する際には、考慮すべき多くの制約や設計上の感受性があります。例：

- ほとんどの信号はシングル・エンドですが、クロックだけは差動信号です。
- 信号はポイント・ツー・ポイントでもフライバイ・ポロジでも接続できます。

基板サイズの縮小が進むにつれて、通常、インタフェースに性能の制限が加えられ、DDR インタフェースを設計する際の課題が増大します。

STM32MP13x デバイスとメモリ・デバイスのインタフェースの両方での DDR 接続が固定されていることを考えると、以下のように物理レイアウトの柔軟性は非常に限られています。

- 信号配線の量は必要最低限であり、これ以上減らすことはできません。
- 管理すべきインピーダンスの制約があります。

正しいシグナル・インテグリティとパワー・インテグリティを確保するためには、配線パターンの分離、等長化、電力供給とデカップリング、インピーダンス整合に関する基本的な設計ルールを尊重しなければなりません。

本書では、4 層または 6 層基板に最先端のメモリ・インタフェースを実装するために適用しなければならないルールを示します。

ST マイクロエレクトロニクスは、STM32 デバイスのリファレンス設計のレイアウトを再利用することを強く推奨します。これらのレイアウトはテスト済みで、安定性が確認されています。

3 メモリ・アーキテクチャのオプション

STM32MP13x デバイスの 3 つのパッケージでは、16 ビット・インタフェースが提供されます。これらパッケージは、1 つの LPDDR2/3、1 つまたは 2 つの DDR3/3L とさまざまな接続方法で接続できます。

表 4. STM32MP13 製品ラインのパッケージ一覧

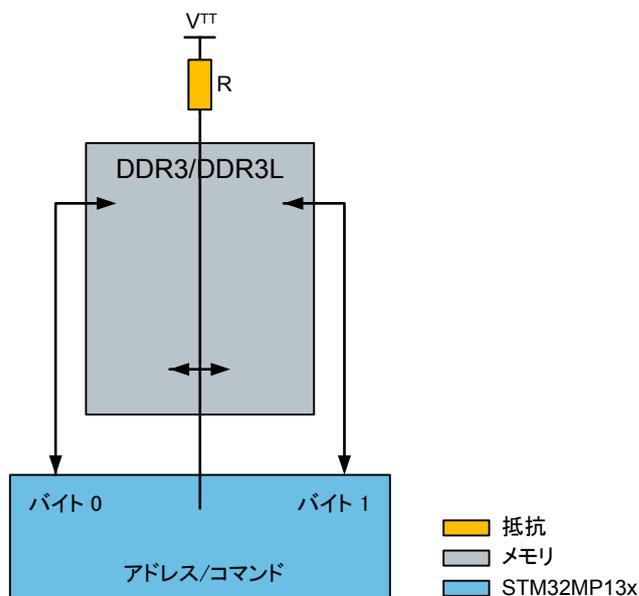
パッケージタイプ	LFBGA289 (14 × 14 mm)	TFBGA289 (9 × 9 mm)	TFBGA320 (11 × 11 mm)
16 ビット・インタフェース	X	X	X

3.1 1 つのメモリを使用する 16 ビット DDR3/DDR3L インタフェース

16 ビットの DDR3 または DDR3L インタフェースに、1 つの 16 ビット DDR3/3L を使用します。この構成では、STM32MP13x デバイスは最大 1G バイトのメモリ(1 × 8 G ビット)を駆動できます。

データラインではポイント・ツー・ポイント接続を使用します。アドレスおよびコマンド・ラインでは終端抵抗を使用します。

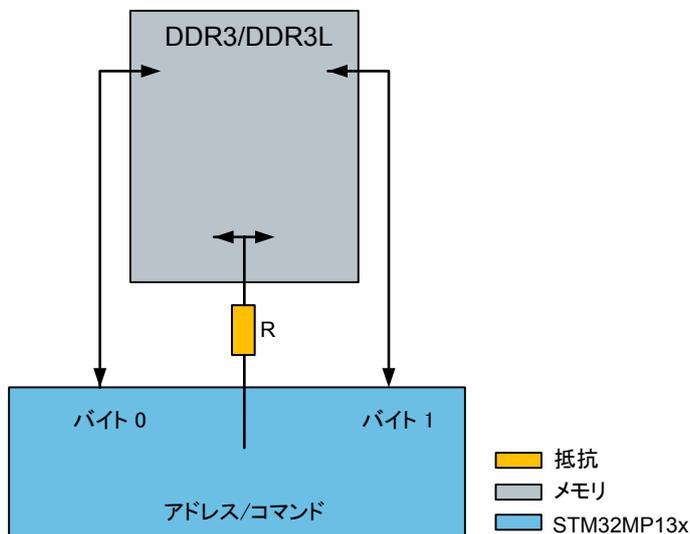
図 1. アドレス/コマンド・ラインに終端抵抗を備えた 16 ビット DDR3/3L の接続



DT68875V1

終端抵抗を使用しない場合に、1つのDDR3/3Lを接続する他の可能な方法は、各アドレス/コマンド・ラインのデバイスの近くに直列抵抗を接続することです。

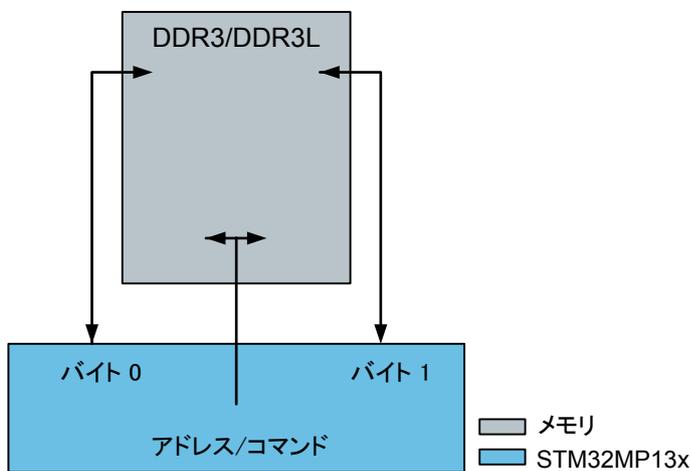
図 2. アドレス/コマンド・ラインに直列抵抗を備えた 16 ビット DDR3/3L の接続



DT68876V1

アドレス/コマンド・ラインに終端抵抗や直列抵抗を使用しない場合に、最後の可能な方法は、各ラインを1つのDDR3/3Lに直接接続することです。このタイプの接続では、デバイスとDDR3/3Lが非常に近いことが求められます。

図 3. 抵抗なしでの 16 ビット DDR3/3L の接続

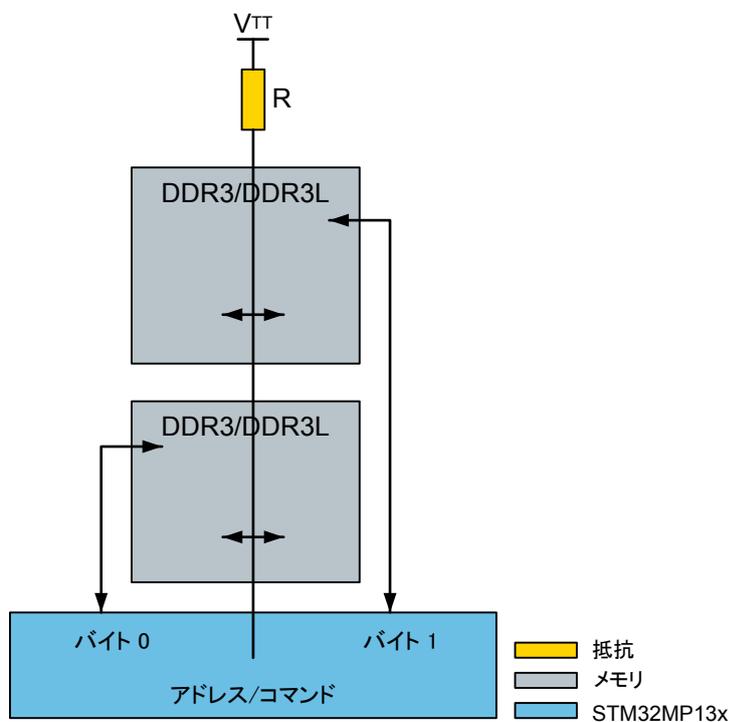


DT68877V1

3.2 2つのメモリを使用する 16 ビット DDR3/DDR3L インタフェース

16 ビットの DDR3 または DDR3L インタフェースには、2 つの 8 ビット DDR3/3L をフライバイトポロジで使用できます。STM32MP13x デバイスは最大 1G バイトのメモリ(2 x 4 G ビット)を駆動できます。

図 4. フライバイトポロジでの 2 つの 8 ビット DDR3/3L の接続

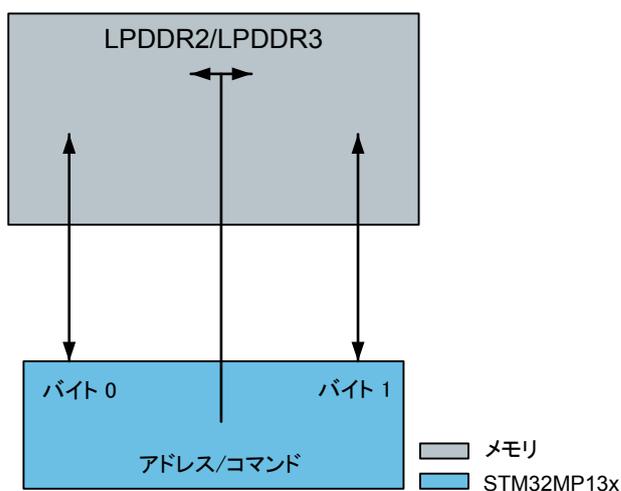


DT68878V1

3.3 16 ビット LPDDR2/LPDDR3 インタフェース

16 ビットの LPDDR インタフェースに、1 つの 16 ビット LPDDR2/3 をポイント・ツー・ポイント接続で使用します。

図 5. 16 ビット LPDDR2/3 のポイント・ツー・ポイント接続



DT68879V1

4 DDR3/DDR3L 回路の実装

DDR3/3L の実装は、以下の要素で構成する必要があります。

- 単一の DDR3/3L の接続、または 2 つの DDR3/3L を使った標準的なフライバイトポロジー、
- コスト最適化されたポイント・ツー・ポイントのトポロジー、
- その他の信号、
- 電源および基準電圧。

これらの要素について以下に詳しく説明します。

4.1 単一の DDR3/3L の接続

1 つの DDR3/DDR3L との接続は以下によって構成されます。

- $V_{TT} (= V_{DD_DDR}/2)$ への 56Ω オンボード終端を備えた分散 A/C バス、
- 1 つの 100Ω 抵抗を使用した、CLK_N/CLK_P 信号の差動終端を備えた差動クロック、
- 以下を含む、データバスの必須のポイント・ツー・ポイント接続 (スワップ可能な 2 バイト、および同一バイト内のスワップ可能なビット)。
 - 16 ビットのデータ信号 (DQ)
 - 2 つのデータマスク信号 (DQMx)
 - 2 つの差動クロック (DQSx_N/DQSx_P)

4.2 コスト最適化されたポイント・ツー・ポイントのトポロジー

このトポロジーは、1 つの DDR3/3L を使って V_{TT} なしで使用できます。その構成は以下のとおりです。

- オンボード終端のない、すべての A/C バスのポイント・ツー・ポイント接続、
- 反射を減らすために、DDR のすべての A/C に推奨される 33Ω の直列抵抗。DDR3/3L が STM32MP13x デバイスに非常に近い場合は、これらの抵抗は削除できます。ST リファレンス設計、または www.st.com で入手可能な STM32MP13x 製品ラインの DDR メモリ配線例にある例を参照してください。
- 1 つの 100Ω 抵抗によって差動終端されている CLK_N/CLK_P 信号、
- 以下を含む、データバスのポイント・ツー・ポイント接続 (スワップ可能な 2 バイト、および同一バイト内のスワップ可能なビット)。
 - 16 ビットのデータ信号 (DQ)
 - 2 つのデータマスク信号 (DQMx)
 - 2 つの差動クロック (DQSx_N/DQSx_P)

4.3 2 つの DDR3/3L を使った標準的なフライバイトポロジー

標準的なフライバイトポロジーには以下のものが含まれます。

- $V_{TT} (= V_{DD_DDR}/2)$ への 56Ω オンボード終端を備えた分散 A/C バス
- 1 つの 100Ω 抵抗を使用した CLK_N/CLK_P 信号の差動終端を備え、すべての DDR デバイスに分配される差動クロック
- 以下を含む、データバスのポイント・ツー・ポイント接続 (スワップ可能な 2 バイト、および 2 つの 8 ビット DDR3/3L 上の同一バイト内のスワップ可能なビット)。
 - 16 ビットのデータ信号 (DQ)
 - 2 つのデータマスク信号 (DQMx)
 - 2 つの差動クロック (DQSx_N/DQSx_P)

4.4 その他の信号

以下の信号を回路に含める必要があります。

- **DDR_RESETN**: DDR コントローラから DDR デバイスへの非同期低速リセット信号
10 kΩ のプルダウン抵抗が必要です。この信号は、電源オン時、またはリセットが必要なときにローに駆動されます。それ以外の場合、この信号はデフォルトでハイに駆動される必要があります。
- **DDR_ZQ**: DDR のインピーダンス補正のために、信号ボールとグランドの間に以下のように抵抗を配置する必要があります。
 - 各 DDR の ZQ ボールとグランド・プレーンの間に 240Ω(±1%) の抵抗を入れること。
 - デバイスの ZQ ボールとグランド・プレーンの間にも 240Ω(±1%) の抵抗を入れること。
- **DDR_CKE**(クロック・イネーブル): DRAM の内部回路およびクロックをアクティブ(レジスタをハイ)にしたり、非アクティブ(レジスタをロー)にしたりします。10kΩ のプルダウン抵抗が必要です。

4.5 電源および基準電圧

以下の電源と基準電圧の構成要素を DDR に供給する必要があります。

- V_{REF} 基準電圧(= $V_{DD_DDR} / 2$)
- V_{TT} 電源(= $V_{DD_DDR} / 2$)
- V_{DD_DDR} 電源プレーン

V_{REF} 基準電圧(= $V_{DD_DDR} / 2$)

この基準電圧は、STM32MP13x と DDR3/3L デバイスが A/C 信号とデータ信号を適切にサンプリングするために必要です。JEDEC 規格に記載されているように、そのノイズレベルは非常に低く保たれなければなりません。

この場合、次の 2 つの可能性があります。

- STM32MP13x および DDR3/3L 用の独立した V_{REF} 発生回路(V_{REFCA} 、 V_{REFDQ})
各 V_{REF} 発生回路は、 V_{DD_DDR} からの 2 つの 1kΩ(±1%) 抵抗による抵抗ブリッジと 100nF のローカル・デカップリング・コンデンサをベースとしています。 V_{REF} は、対応するボールにできるだけ近い位置で生成する必要があります。
- STM32MP13x および DDR3/3L 用の共通の V_{REF}
外部デバイスからの V_{REF} 発生回路を、100nF のローカル・デカップリング・コンデンサとともに STM32MP13x と DDR3/3L に供給します。STPMIC1x [2] は V_{REF} を供給できます。

V_{TT} 電源(= $V_{DD_DDR} / 2$)

この電源は DDR3/3L インタフェース専用に使われます。これはアドレスおよび制御(A/C)信号の終端電圧です。

外部の V_{TT} 電圧発生回路が推奨されます。STPMIC1x [2] は V_{TT} を供給できます。強力な V_{TT} デカップリングが必要です。これは終端抵抗のできる限り近くでなければなりません。

V_{DD_DDR} 電源プレーン

これは DDR インタフェースの電源です。DDR3 の場合、1.5 V (1.425 ~ 1.575 V) で、DDR3L の場合は、1.35 V (1.283 ~ 1.45 V) です。

このプレーンには、バルク・コンデンサと高周波コンデンサによる、グランド・プレーンに対する必須のデカップリング・コンデンサが必要です。これらのコンデンサは、STM32MP13x および DDR デバイスの電源ピンに近づける必要があります。

5 LPDDR2/LPDDR3 回路の実装

LPDDR2/3 の実装は、以下の要素から構成する必要があります(本セクションの後半で詳述)。

- ポイント・ツー・ポイントのトポロジー
- その他の信号
- 電源および基準電圧

5.1 ポイント・ツー・ポイントのトポロジー

標準的なポイント・ツー・ポイントのトポロジーには以下のものが含まれます。

- 12本の A/C 信号、
- 1つの 100Ω 抵抗を使用した CLK_N/CLK_P 信号の差動終端を備えた差動クロック、
- 以下を含む、データバスのポイント・ツー・ポイント接続(16ビット LPDDR2/3 で 2 バイト)。
 - 16ビットのデータ信号(DQ) : LPDDR2/3 のバイト 0 を STM32MP13x デバイスのバイト 0 に接続する必要があります。このバイトのビットをスワップすることはできません。
 - 2つのデータマスク信号(DQMx)
 - 2つの差動クロック(DQSx_N/DQSx_P)

5.2 その他の信号

以下の信号を回路に含める必要があります。

- DDR_ZQ : LPDDR2/3 のインピーダンス補正のために、信号ボールとグラウンドの間に以下のように抵抗を配置する必要があります。
 - LPDDR2/3 チップの ZQ ボールとグラウンド・プレーンの間に 240Ω(±1%) の抵抗を入れること。
 - STM32MP13x デバイスの ZQ ボールとグラウンド・プレーンの間に 240Ω(±1%) の抵抗を入れること。
- DDR_CKE(クロック・イネーブル) : DRAM の内部回路およびクロックをアクティブ(レジスタをハイ)にしたり、非アクティブ(レジスタをロー)にしたりします。10kΩ のプルダウン抵抗が必要です。

5.3 電源および基準電圧

以下の電源と基準電圧を DDR に供給する必要があります。

- V_{REF} 基準電圧(= V_{DD2_DDR} / 2)
- V_{DD2_DDR} 電源プレーン
- V_{DD1_DDR} 電源

V_{REF} 基準電圧(= V_{DD2_DDR} / 2)

V_{REF} は、STM32MP13x と LPDDR2/3 が A/C 信号とデータ信号を適切にサンプリングするために必要です。JEDEC 規格に記載されているように、そのノイズレベルは非常に低く保たなければなりません。

これには、次の 2 つの選択肢があります。

- STM32MP13x および LPDDR2/3 用の独立した V_{REF} 発生回路(VREFCA、VREFDQ)
各 V_{REF} 発生回路は、V_{DD_DDR} からの 2 つの 1kΩ(±1%) 抵抗による抵抗ブリッジと 100nF のローカル・デカップリング・コンデンサをベースとしています。
V_{REF} は、対応するボールにできるだけ近い位置で生成する必要があります。
- STM32MP13x および LPDDR2/3 用の共通の V_{REF}。
外部デバイスからの V_{REF} 発生回路を、100nF のローカル・デカップリング・コンデンサとともに STM32MP13x と LPDDR2/3 に供給します。
STPMIC1x [2] は V_{REF} を供給できます。

V_{DD2_DDR} 電源プレーン

これは LPDDR2/3 インタフェースの電源です。これは 1.2 V です(1.14~1.30 V)。

このプレーンには、バルク・コンデンサによる、グラウンド・プレーンに対する必須のデカップリング・コンデンサが必要です。高周波コンデンサは、STM32MP13x および LPDDR2/3 の両方の電源ピンに近づける必要があります。

V_{DD1_DDR} 電源

これは LPDDR2/3 のコア電源です。これは 1.8 V です (1.7~1.95 V)。

6 PCB 設計の考慮事項

考慮すべき基本的な PCB 設計上の注意点を、以下のセクションで詳しく説明します。

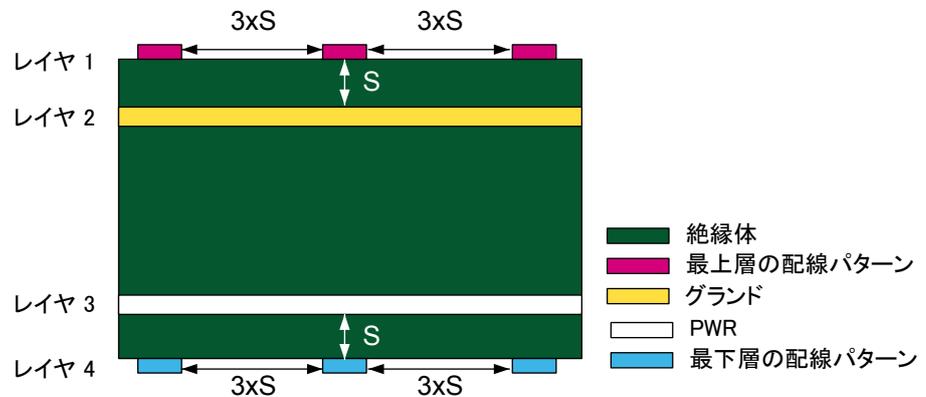
6.1 配線パターンの分離距離

隣接する配線パターン(アグレッサ(侵略者)と呼ばれることもあります)によって引き起こされるクロストーク、グリッチ、ジッターを低減するために、すべての配線パターンの周囲に最小限の分離距離を設ける必要があります。

S-3S 分離ルール

S を配線パターンと基準プレーン(最上層の配線パターンの場合はグランド・プレーン、最下層の配線パターンの場合は PWR プレーン)との間の距離とした場合、配線パターンと、それに直接隣接する配線パターンとの距離が $3 \times S$ 以上あれば、その配線パターンは分離していると言われます。下図に、実際上のこのルールを示します。

図 6. S-3S 分離ルールの図示



DT68880V1

言い換えると、S-3S が最小分離間隔のルールです。配線パターン間にもっと多くの間隔がとれる場合は、信号を分離するためにできる限り多くその間隔を使用する必要があります(S-4S、S-10S など)。配線パターン間に間隔があればあるほど、信号の分離とノイズ耐性が向上します。

ファンアウトの制約のため、S-3S ルールは BGA デバイス(メモリおよび STM32MP13x デバイス)の下面には適用できません。S-3S ルールが適用できない場合は、ルールに違反するセグメントの長さを最小にする必要があります。

S-1S 間隔を使用するレイアウトは、できるだけ避ける必要があります。S-3S ルールが適用できない場合、S-1S レイアウトを使用するよりも、配線パターン間の距離をできる限り大きくすること(S-2S ルール)が望まれます。

6.2 等長化

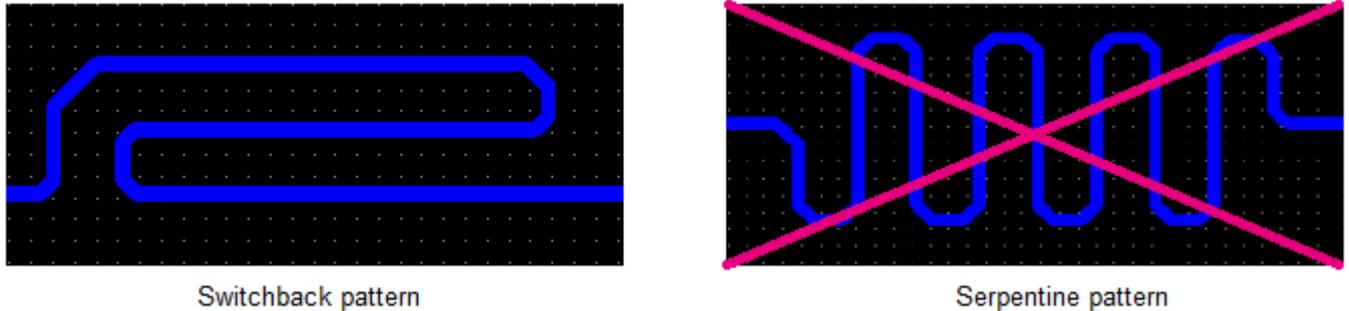
同じグループの信号は、転送先に到着したときに、セットアップとホールドのタイミングが一致していなければなりません。これらのタイミング制約を満たすために、配線パターンの等長化が必要になることがあります。

パッケージと基板の配線パターンの長さを含む、STM32MP13x デバイスからメモリまでの信号パス全体を考慮する必要があります。

等長化の型

長さが等しくなるように配線パターンを配線する場合、いくつかの型が推奨されます。たとえば、蛇行配線型よりスイッチバック型の方がお勧めです。蛇行配線は直交伝搬を引き起こして、シグナル・インテグリティを損ないます。

図 7. 等長化の型



S-3S の分離ルールは、等長化パターン内でも適用する必要があります。すなわち、同じ配線パターンの区分間の最小距離は S-3S 以上にすべきです。

差動信号の場合：

- ペア内の等長化は許されません。
- N と P の間隔は一定でなければなりません。
- 差動ペアの場合に考慮しなければならない N と P の信号の平均値の長さは、次式で与えられます： $L_{sig} = (L_{sigN} + L_{sigP}) / 2$ 。

ST マイクロエレクトロニクスのテンプレートと等長化テーブルを使用すると、信号配線パターン長を等しくする作業を簡略化できます。これらのテーブルには、パッケージの配線パターン長が含まれています。これらのテーブルは、www.st.com で入手できる STM32MP13x 製品ラインの DDR メモリ配線例から入手可能です。

6.3 インピーダンス

ドライバ・インピーダンス (ZDRV) は通常 34Ω または 40Ω で、オンダイ終端インピーダンス (ZODT) は通常 60Ω です。適切な伝送ラインのセットアップを保証するためには、配線パターンの形状 (幅と間隔) と基板の積層に応じて、基板のインピーダンスを制御する必要があります。

DDR3/3L および LPDDR2/3 インタフェースの場合、ST マイクロエレクトロニクスは次のインピーダンスを推奨します。

- シングルエンド信号の場合：55Ω±10%。
- 差動信号の場合：100Ω 差動±10%。

6.4 4 層基板の層割り当て

層は、例外なく、以下に示すように割り当てて実装する必要があります。

- 最上位層
 - この層は、最もノイズに敏感な配線パターン専用です。
 - 配線パターンは一様な内部グランド・プレーンを基準としています。
 - インピーダンス・ブレイクはありません。
 - ノイズの多い電源への結合は許されません。
- レイヤ 2 (GND) 内部層
 - これは一様な内部グランド・プレーンです。
 - このプレーンはビア・マトリックスによって最上部および最下部のグランド領域に接続する必要があります。
- レイヤ 3 (DDR3/3L の場合は V_{DD_DDR} 、LPDDR2/3 の場合は V_{DD2_DDR}) 内部層
 - これはオンボード電源供給を行う専用の電源プレーンです。
- 最下層
 - これは、配線パターンに使用される 2 番目の信号層です。基準電源プレーンの不連続性のために、この層にインピーダンス・ブレイクが発生する可能性があります。

6.5 TFBGA289 を使った 6 層基板の層割り当て

層は、例外なく、以下に示すように割り当てて実装する必要があります。

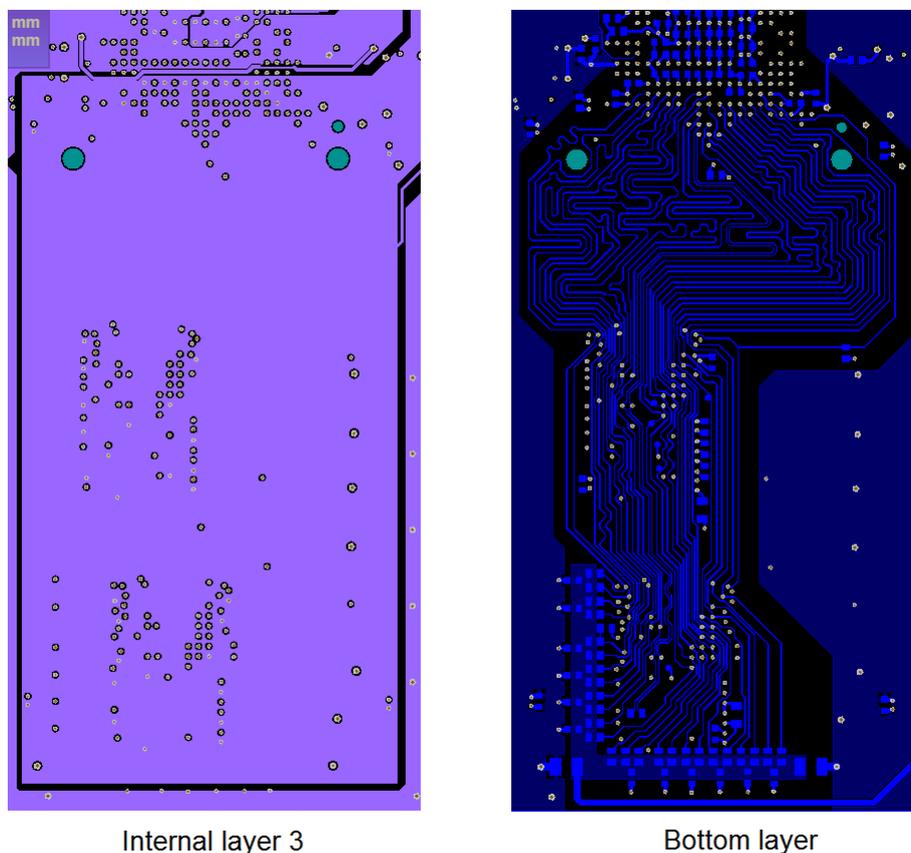
- 最上位層
 - この層はデータ配線パターン専用です。
 - 配線パターンは一様な内部グランド(GND)プレーンを基準としています。
 - インピーダンス・ブレイクはありません。
 - ノイズの多い電源への結合は許されません。
- レイヤ 2(GND)内部層
 - これは一様な内部グランド・プレーンです。
 - このプレーンはビア・マトリックスによって最上部および最下部のグランド領域に接続する必要があります。
- レイヤ 3 内部層
 - この層は A/C 配線パターン専用です。
- レイヤ 4 内部層
 - この層は、 V_{DD_DDR} または V_{DD2_DDR} 電源プレーンの上にあるグランド・プレーンです。
- レイヤ 5(DD3/3L の場合は V_{DD_DDR} 、LPDDR2/3 の場合は V_{DD2_DDR})内部層
 - これはオンボード電源供給を行う専用の電源プレーンです。
- 最下層
 - デカップリング・コンデンサがこの層を使用します。

6.6 V_{DD_DDR} の電源プレーン仕様

通常、A/C 信号は 4 層 PCB の最下層にレイアウトされます。

内部レイヤ 3 は、複数の電源プレーンを参照する配線パターンによるインピーダンス・ブレイクを回避するために、メモリの最下層信号に完全に重なる一様な V_{DD_DDR} (LPDDR2/3 の場合は V_{DD2_DDR}) の電源プレーンでなければなりません。

図 8. DDR3L の A/C 信号レイアウトと対応する電源プレーンの例

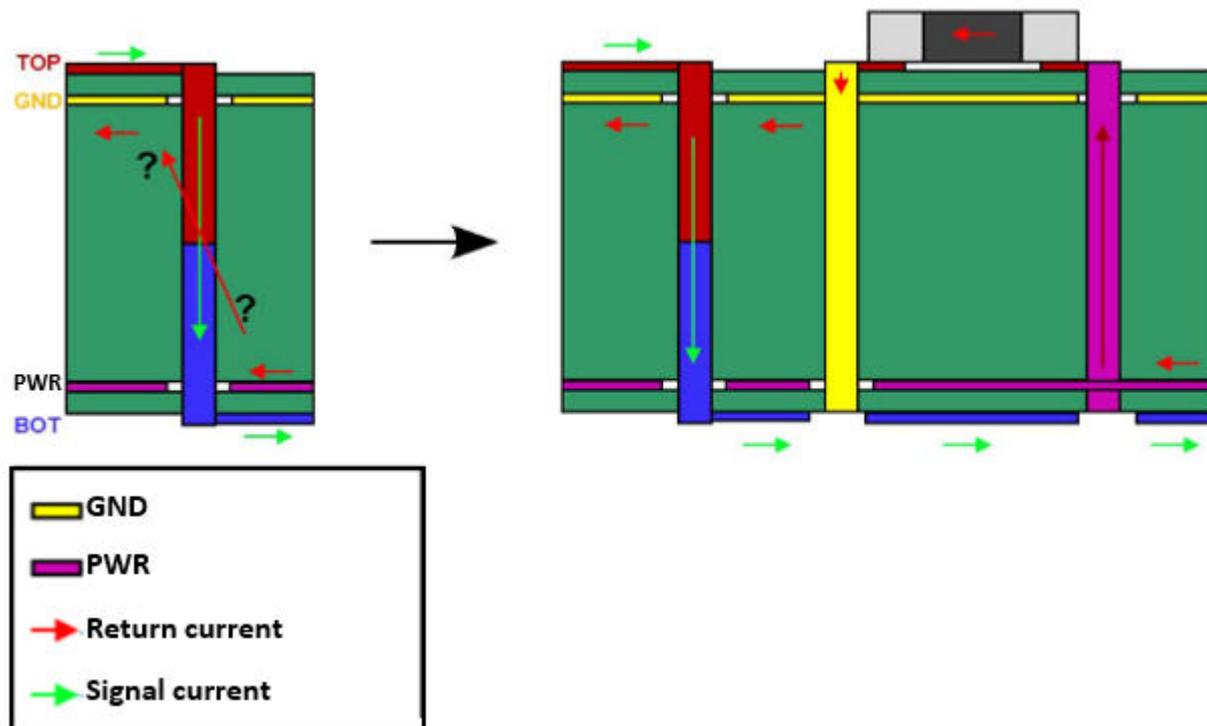


6.7 層変更コンデンサ

ノイズに敏感な信号が基板の最上層から最下層に(またはその逆に)移動する場合、100nF のコンデンサを信号ビアのできるだけ近くに配置する必要があります。これは、一方の側からレイヤ 2 (GND) に、もう一方の側からレイヤ 3 (DDR3/3L の場合は V_{DD_DDR} 、LPDDR2/3 の場合は V_{DD2_DDR}) に接続する必要があります。

この設計要件は、信号に対する高周波リターン電流のリファレンス・パスを提供するために必須です。コンデンサは、(下図に示すように)最下層または最上層に配置できます。

図 9. 層変更コンデンサの使用



基板の同じ領域で複数の信号が層を変更する場合 (A/C バス配線の場合など)、各ビアの近くに 1 つのコンデンサを配置することができなくなることがあります。この場合の解決策は、ビアのグループに対して単一のコンデンサを追加することです。コンデンサの数は、特定の基板設計に必要な限り多くするようにし、これらはビア領域のできるだけ近くに配置する必要があります。

6.8 デカップリング・コンデンサの種類

パワー・インテグリティは、電圧が降下して、その結果、アイが閉じて、誤データ送信が起きることを避けるために非常に重要です。

コア電源およびノイズに敏感な電源 (V_{DD_DDR} など) は、配線インピーダンスを最小化するために、最大幅を使った内部電源プレーンを使ってレイアウトする必要があります。これに加え、デカップリング・コンデンサが必要です。

コンデンサには次の 2 種類があります。

- バルク・コンデンサ
 このコンデンサは、低周波数、大電流のニーズに対してオンボードのエネルギータンクとなります。キャパシタンスの値は 10~100 μ F の範囲をとり得ます。使用する特定の電源に適したコンデンサ容量の選択については、ST のリファレンス設計または www.st.com で入手できる STM32MP13x 製品ラインの DDR メモリ配線例を参照してください。バルク・コンデンサは、転送先のごく近くに配置する必要はありません。
- 高周波 (HF) コンデンサ
 このコンデンサは、高周波電流バーストに対する局所的なエネルギータンクとなります。これらは、転送先 (電源ピンまたはボール) のできるだけ近くに配置する必要があります。実装するコンデンサの数は少ない方が良いのですが、接続インダクタンスを下げるために、最適な位置に配置すべきです。

6.9 デカップリング・コンデンサとしての HF コンデンサによる接続インダクタンスの最小化

デカップリング・コンデンサの配置では、接続インダクタンスを最小にする必要があります。

コンデンサは転送先に近いほど、効率が上がります。これは、特に HF コンデンサに当てはまります。

コンデンサを最上層に配置すると、最下層に配置するよりもはるかに高いデカップリング効率を得ることができます。

ただし、これらのコンデンサの場所は、BGA のファンアウトによって制約されることがあります。本セクションでは、最上層と最下層の両方について、接続インダクタンスを最小限に抑え、デカップリング効率を改善するためのコンデンサ配置のベストプラクティスについて説明します。

6.9.1 最上層へのコンデンサの配置

パッケージの制約により、PCB の最上層に配置するコンデンサを BGA ボールのごく近くに配置することはできません。しかし、コンデンサが最上層の BGA ボールへの電源パターンによって直接接続されている場合、その接続インダクタンスは、積層内の GND 層の位置のために (GND はリターン電流層です)、コンデンサがより近くではあるが最下層に配置されている場合よりも小さい値にとどまります。結果として生じる接続インダクタンスの量は、電流ループの面積に直接リンクします。

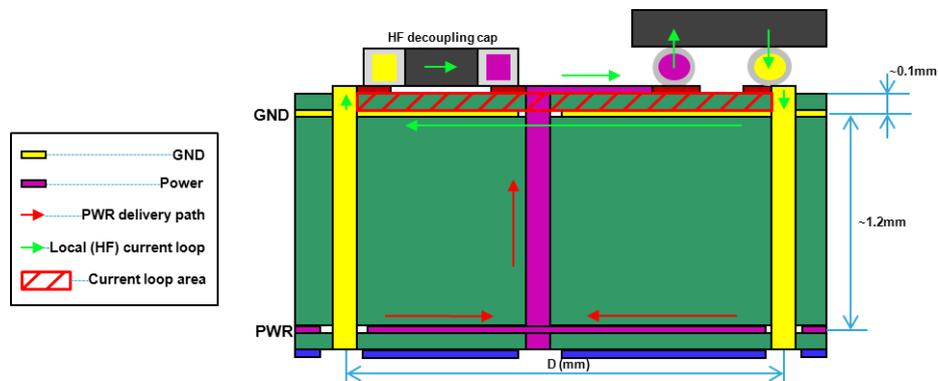
したがって、最上層への配置によって以下の長所・短所がもたらされます。

- 長所
 - 電流ループ面積が小さいので、接続インダクタンスが小さくなり、良好なデカップリング機能が得られます。
 - 他の信号のレイアウト用に最下層の空きスペースを確保できます。メモリ A/C 配線パターンのレイアウトは通常、最下層にあるので、これによって A/C の等長化/間隔要件に、より柔軟に対応できます。
- 短所
 - ファンアウトの制約のため、メイン BGA のデカップリングに対して最上層へコンデンサを配置することができないことがよくあります。

可能であれば、HF コンデンサは最上層に配置し、最上層で電源に直接接続するようにします。レイヤ 2 (GND) によって近いリターンパスが得られ、その結果、電流ループ面積が小さくなり、最適なデカップリング効率を得られます。

たとえば、下図に示すレイアウトでは、結果として電流ループ面積は: 電流ループ面積 = $0.1 \times D$ となります。D = 5 mm の場合、電流ループ面積は 0.5 mm^2 の領域になります。

図 10. 最上層への HF コンデンサの配置



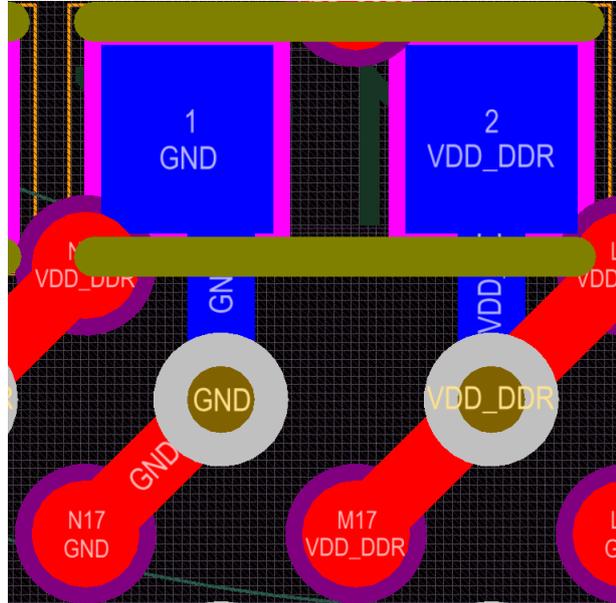
6.9.2 最下層へのコンデンサの配置

最上層でのデカップリングができない場合、コンデンサの配置は最下層に行う必要があります。

電流ループ面積がより大きくなるため、接続インダクタンスは、最上層にコンデンサを配置する場合よりも高くなりますが、ほとんどの場合、最下層配置がメイン BGA に対する唯一のデカップリングオプションとなります。いくつかの基本的な実装ルールに従えば、この配置を最適化できます。最良の結果を得るには、コンデンサを BGA ボールの真下に配置する必要があります。

HF コンデンサを最下層に配置する場合は、接続をできるだけ短くし、下図に示すように BGA の直下にビアを適切に配置するようにします。

図 11. 最下層での HF コンデンサ

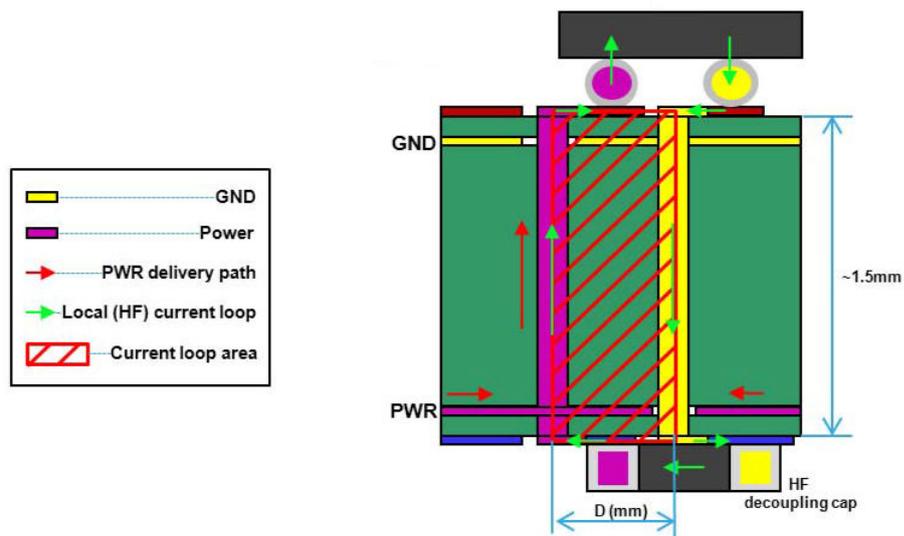


次の例では、結果として電流ループ面積は次のようになります。

電流ループ面積 = $1.5 \times D$

5 mm の距離で最上層に配置した場合の 0.5 mm^2 と比べて、 D が 1.0 mm の場合、結果として得られる電流ループ面積は 1.5 mm^2 となります。言い換えると、コンデンサを電源ボールから 15 mm の位置で最上層に配置した場合の効率が、電源ボールの真下で最下層に配置したコンデンサの効率と同じになります。これは、最下層の配置と比較して、最上層のコンデンサ配置の方が効率が高いことを示しています。

図 12. 最下層への HF コンデンサの配置



7 メモリのレイアウト・ルール

このセクションでは、メモリ・インタフェースでの信号の種類別に適用すべきベストプラクティス・ルールの規則を示します。これらの推奨事項は、基本的な PCB の設計ルールに基づいています。

7.1 16 ビット・メモリ・インタフェースのデータ信号ルール

以下の 2 バイトにわたって 2 つの異なる (独立した) 信号グループがあります。

- バイト 0 = DQ[7:0], DQM0, DQS0_N, および DQS0_P
- バイト 1 = DQ[15:8], DQM1, DQS1_N, および DQS1_P

これらのデータ信号には、次のルールを適用する必要があります。

- これらのデータ信号は、PCB の最上層でのみ配線する必要があります。
- 可能な限り、S-3S 分離ルール (最低限) を適用する必要があります。
高いビア密度と BGA ピッチの制約のため、信号がメモリまたは STM32MP13x デバイスにきわめて近い場合のみ、例外が許されます。
S-3S ルールが適用できない場合、分離ルールを最適化するように (S-2S、S-1.5S など) レイアウトを設計する必要があります。S-1S が唯一の選択肢である場合、セグメントはできるだけ短くする必要があります。
- DDR3 および DDR3L では、2 つの 8 ビット DDR3/3L でフライバイ・ポロジが使用されるので、オンボードで両方のバイトに同じ等長化を適用しないでください。最初の DDR3/3L のバイトと 2 番目の DDR3/3L のバイトに以下のルールを適用してください。
 - DQ または DQM から DQS_N/DQS_P まで ± 40 mil (1.016 mm)
 - DQS_N/DQS_P の長さは、CLK_N/CLK_P の長さより 0~590 mil (14.986 mm) 短くする必要があります (CLK_N/CLK_P は最も長い配線パターンでなければなりません)。
 - 2 番目の DDR3/3L のバイトの長さは 1 番目の DDR3/3L のバイトの長さと比較して、最大 1300 mil (33.02 mm) まで
- 1 つの 16 ビット DDR3/3L または LPDDR2/3 では、各バイトに以下のルールを適用する必要があります。
 - DQ または DQM から DQS_N/DQS_P まで ± 40 mil (1.016 mm)
 - DQS_N/DQS_P の長さは、CLK_N/CLK_P の長さより 0~590 mil (14.986 mm) 短くする必要があります (CLK_N/CLK_P は最も長い配線パターンでなければなりません)。

配線パターンの長さ = サブストレートの長さ + ビアの長さ + 基板の配線パターン長

差動配線パターンの長さ (DSQS_N/DQS_P) = (配線パターン長 N + 配線パターン長 P) / 2

注 信号の順序、BGA ファンアウト、およびレイアウトの例については、ST のリファレンス設計または www.st.com にある STM32MP13x 製品ラインの DDR メモリ配線例の例を必ず参照してください。

7.2 アドレスおよび制御 (A/C) 信号のルール

A/C グループには次の信号が含まれます。

- DDR3/3L A[15:0] の場合: BA[2:0], RASN, CASN, WEN, CSN, CKE, ODT, CLK_N, CLK_P
- LPDDR2/3 A[9:0] の場合: CSN, CKE, CLK_N, CLK_P

A/C 信号には、以下の設計ルールを適用する必要があります。

- TFBGA289 を除き、メモリデバイスへの A/C の配線には PCB の最下層を使用する必要があります。最上層は、メモリへの接続(スタブ)と A/C バスの交差用に予約されています。
- 可能な限り、最低限 S-3S 分離ルールを適用する必要があります。
S-3S ルールが適用できない場合、分離ルールを最適化するように(S-2S、S-1.5S など)レイアウトを設計する必要があります。S-1S が唯一の選択肢である場合、セグメントはできるだけ短くする必要があります。
高いビア密度と BGA ピッチの制約のため、信号がメモリまたは STM32MP13x デバイスにきわめて近い場合のみ、例外が許されます。
- 等長化ルール:
 - A/C の長さは CLK_N/CLK_P の長さよりも 0~40 mil (1.016 mm) 短くする必要があります。
 - CLK_N/CLK_P の最大長さ 4.72 インチ (12 cm)
 配線パターン長さ = サブストレートの長さ + ビアの長さ + 基板の配線パターン長さ
 差動配線パターン長さ (CLK_N/CLK_P) = (配線パターン長さ N + 配線パターン長さ P) / 2
- DDR3/3L に使用されるフライバイ・ポロジの場合:
2 番目の DDR3/3L の A/C、CLK_N/CLK_P の長さは、1 番目の DDR3/3L の A/C、CLK_N/CLK_P の長さと比較して、最大 1300 mil (33.02 mm) まで

注 信号の順序、BGA ファンアウト、およびレイアウトの例については、ST のリファレンス設計または www.st.com にある STM32MP13x 製品ラインの DDR メモリ配線例の例を必ず参照してください。

7.3 DDR_ZQ 信号

この信号は、ボールから基準抵抗までの配線パターンができるだけ短くなるようにレイアウトする必要があります。ノイズの多いアグレッサ信号から十分に分離するよう確保する必要があります。

7.4 電源プレーンのルール

このセクションでは、電源プレーンを設計するために従うべきルールを説明します。

7.4.1 V_{DD}_DDR (LPDDR2/3 の場合は V_{DD2}_DDR) 電源プレーン

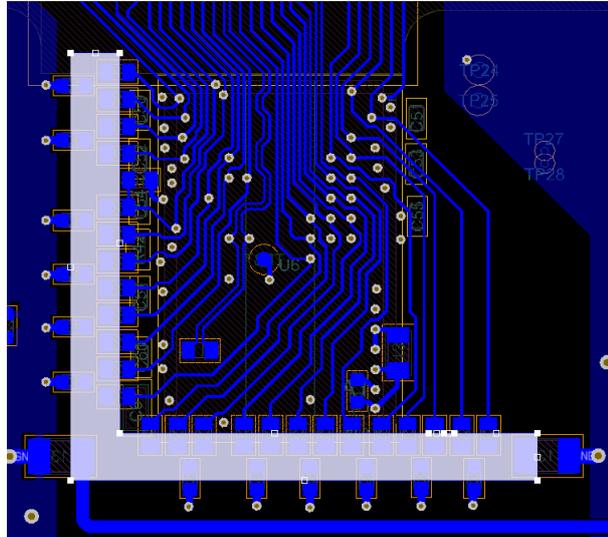
- 電源プレーンは、4 層基板の場合はレイヤ 3 の、6 層基板の場合はレイヤ 5 の一様なプレーンでなければなりません。
- インピーダンスの不連続を避けるために、この電源プレーンは 4 層基板の最下層にあるすべての DDR3/3L (LPDDR2/3) 配線パターンに重なる必要があります。
- V_{DD}_DDR 電源プレーンの V_{DD}_DDR 電源、STM32MP13x、および各メモリへの接続は、複数のビアで行う必要があります。
- 標準のデカップリング・ルールを適用する必要があります。
 - バルク・コンデンサを電圧レギュレータ、STM32MP13x デバイス、およびメモリの間に配置する必要があります。
 - HF デカップリング・コンデンサは、セクション 6.9: デカップリング・コンデンサとしての HF コンデンサによる接続インダクタンスの最小化で説明した低インダクタンス接続の推奨に従って、各電源ピンのできるだけ近くに配置する必要があります。

7.4.2 V_{TT} 電源プレーンのルール

V_{TT} 電源は、DDR3/3L インタフェースで使用されます。

- V_{TT} 終端電圧は、電源と見なす必要があります。
- V_{DD}_DDR の制約 (DDR 領域に重なる 4 層基板のレイヤ 3 の一様なプレーン) により、V_{TT} レイアウトは最下層でアイランドとして管理する必要があります。このセクションの最後にある図を参照してください。
- V_{TT} レギュレータは、RTT 終端の近くに配置する必要があります。
- HF コンデンサ 1 個を、2 つの RTT 終端抵抗用に確保し、できるだけ近くに配置する必要があります。
- バルク・コンデンサは、V_{TT} レギュレータと終端の間のどこにも配置できます。
- クロストークを低減するために、V_{TT} アイランドの周囲は十分な間隔を空けてください。

図 13. V_{TT} 電源プレーンのアイランドのレイアウト



改版履歴

表 5. 文書改版履歴

日付	版	変更内容
2023 年 1 月 18 日	1	初版発行

目次

1	一般情報	2
2	設計インタフェースの制約	3
3	メモリ・アーキテクチャのオプション	4
3.1	1つのメモリを使用する 16 ビット DDR3/DDR3L インタフェース	4
3.2	2つのメモリを使用する 16 ビット DDR3/DDR3L インタフェース	6
3.3	16 ビット LPDDR2/LPDDR3 インタフェース	6
4	DDR3/DDR3L 回路の実装	7
4.1	単一の DDR3/3L の接続	7
4.2	コスト最適化されたポイント・ツー・ポイントのトポロジー	7
4.3	2つの DDR3/3L を使った標準的なフライバイトポロジー	7
4.4	その他の信号	8
4.5	電源および基準電圧	8
5	LPDDR2/LPDDR3 回路の実装	9
5.1	ポイント・ツー・ポイントのトポロジー	9
5.2	その他の信号	9
5.3	電源および基準電圧	9
6	PCB 設計の考慮事項	11
6.1	配線パターンの分離距離	11
6.2	等長化	11
6.3	インピーダンス	12
6.4	4 層基板の層割り当て	12
6.5	TFBGA289 を使った 6 層基板の層割り当て	13
6.6	V_{DD_DDR} の電源プレーン仕様	13
6.7	層変更コンデンサ	14
6.8	デカップリング・コンデンサの種類	15
6.9	デカップリング・コンデンサとしての HF コンデンサによる接続インダクタンスの最小化	15
6.9.1	最上層へのコンデンサの配置	16
6.9.2	最下層へのコンデンサの配置	16
7	メモリのレイアウト・ルール	18
7.1	16 ビット・メモリ・インタフェースのデータ信号ルール	18
7.2	アドレスおよび制御 (A/C) 信号のルール	18
7.3	DDR_ZQ 信号	19
7.4	電源プレーンのルール	19
7.4.1	V_{DD_DDR} (LPDDR2/3 の場合は V_{DD2_DDR}) 電源プレーン	19

7.4.2	V _{TT} 電源プレーンのルール	19
改版履歴		21
表一覧		24
図一覧		25

表一覧

表 1.	デバイスの概要	1
表 2.	用語と略語	2
表 3.	参照文献	2
表 4.	STM32MP13 製品ラインのパッケージ一覧	4
表 5.	文書改版履歴	21

図一覧

図 1.	アドレス/コマンド・ラインに終端抵抗を備えた 16 ビット DDR3/3L の接続	4
図 2.	アドレス/コマンド・ラインに直列抵抗を備えた 16 ビット DDR3/3L の接続	5
図 3.	抵抗なしでの 16 ビット DDR3/3L の接続	5
図 4.	フライバイ・ポロジィでの 2 つの 8 ビット DDR3/3L の接続	6
図 5.	16 ビット LPDDR2/3 のポイント・ツー・ポイント接続	6
図 6.	S-3S 分離ルールの図示	11
図 7.	等長化の型	12
図 8.	DDR3L の A/C 信号レイアウトと対応する電源プレーンの例	14
図 9.	層変更コンデンサの使用	15
図 10.	最上層への HF コンデンサの配置	16
図 11.	最下層での HF コンデンサ	17
図 12.	最下層への HF コンデンサの配置	17
図 13.	V_{TT} 電源プレーンのアイランドのレイアウト	20

重要なお知らせ(よくお読み下さい)

STMicroelectronics NV およびその子会社(以下、ST)は、ST 製品及び本書の内容をいつでも予告なく変更、修正、改善、改定及び改良する権利を留保します。購入される方は、発注前に ST 製品に関する最新の関連情報を必ず入手してください。ST 製品は、注文請書発行時点で有効な ST の販売条件に従って販売されます。

ST 製品の選択並びに使用については購入される方が全ての責任を負うものとします。購入される方の製品上の操作や設計に関して ST は一切の責任を負いません。

明示又は黙示を問わず、ST は本書においていかなる知的財産権の実施権も許諾致しません。

本書で説明されている情報とは異なる条件で ST 製品が再販された場合、その製品について ST が与えたいかなる保証も無効となります。

ST および ST ロゴは STMicroelectronics の商標です。ST の登録商標については ST ウェブサイトをご覧ください。www.st.com/trademarks その他の製品またはサービスの名称は、それぞれの所有者に帰属します。

本書の情報は本書の以前のバージョンで提供された全ての情報に優先し、これに代わるものです。この資料は、STMicroelectronics NV 並びにその子会社(以下 ST)が英文で記述した資料(以下、「正規英語版資料」)を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス株が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス株は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

© 2024 STMicroelectronics – All rights reserved