

## 概要

ブートローダは STM32 デバイスの内部ブート ROM（システム・メモリ）に保管され、生産時に ST によってプログラムされます。その主なタスクは、使用できるシリアル・ペリフェラル（USART、CAN、USB、I<sup>2</sup>C、SPI など）のいずれかを使用して、アプリケーション・プログラムを内部の Flash メモリにダウンロードすることです。その通信プロトコルは、互換性のあるコマンド・セットとシーケンス込みでシリアル・インタフェースごとに定義されています。このドキュメントの内容は、表 1 に挙げた各製品に適用できます。このドキュメントでは、これらの製品を総称して STM32 と表現します。このドキュメントでは、STM32 デバイスのブートローダを使用する場合に考慮すべきサポート対象ペリフェラルとハードウェア要件について説明します。

表 1. 対象とする製品

| タイプ            | 部品番号または製品シリーズ  |
|----------------|--|
| マイクロ<br>コントローラ | STM32C0 シリーズ : STM32C011xx, STM32C031xx  |
|                | STM32F0 シリーズ : STM32F03xxx, STM32F04xxx, STM32F05xxx, STM32F07xxx,<br>STM32F09xxx,   |
|                | STM32F1 シリーズ   |
|                | STM32F2 シリーズ   |
|                | STM32F3 シリーズ : STM32F301xx, STM32F302xx, STM32F303xx, STM32F318xx,<br>STM32F328xx, STM32F334xx, STM32F358xx, STM32F373xx,<br>STM32F378xx, STM32F398xx  |
|                | STM32F4 シリーズ : STM32F401xx, STM32F405xx, STM32F407xx, STM32F410xx,<br>STM32F411xx, STM32F412xx, STM32F413xx, STM32F415xx,<br>STM32F417xx, STM32F423xx, STM32F427xx, STM32F429xx,<br>STM32F437xx, STM32F439xx, STM32F446xx, STM32F469xx,<br>STM32F479xx   |
|                | STM32F7 シリーズ : STM32F722xx, STM32F723xx, STM32F732xx, STM32F733xx,<br>STM32F745xx, STM32F746xx, STM32F756xx, STM32F765xx,<br>STM32F767xx, STM32F769xx, STM32F777xx, STM32F779xx  |
|                | STM32G0 シリーズ : STM32G030xx, STM32G031xx, STM32G041xx, STM32G07xxx,<br>STM32G08xxx, STM32G0B0xx, STM32G0B1xx, STM32G0C1xx,<br>STM32G050xx, STM32G051xx, STM32G061xx   |
|                | STM32G4 シリーズ : STM32G431xx, STM32G441xx, STM32G47xxx, STM32G48xxx,<br>STM32G491xx, STM32G4A1xx   |
|                | STM32H7 シリーズ : STM32H72xxx, STM32H73xxx, STM32H74xxx, STM32H75xxx,<br>STM32H7A3xx, STM32H7B3xx   |
|                | STM32L0 シリーズ   |
|                | STM32L1 シリーズ : STM32L100xx, STM32L151xx, STM32L152xx, STM32L162xx  |
|                | STM32L4 シリーズ : STM32L431xx, STM32L432xx, STM32L433xx, STM32L442xx,<br>STM32L443xx, STM32L451xx, STM32L452xx, STM32L462xx,<br>STM32L471xx, STM32L475xx, STM32L476xx, STM32L486xx,<br>STM32L496xx, STM32L4A6xx, STM32L4R5xx, STM32L4R7xx,<br>STM32L4R9xx, STM32L4S5xx, STM32L4S7xx, STM32L4S9xx,<br>STM32L412xx, STM32L422xx, STM32L4P5xx, STM32L4Q5xx,<br>STM32L431xx, STM32L432xx, STM32L433xx, STM32L442xx,<br>STM32L443xx, STM32L451xx, STM32L452xx, STM32L462xx,<br>STM32L471xx, STM32L475xx, STM32L476xx, STM32L486xx,<br>STM32L496xx, STM32L4A6xx, STM32L4R5xx, STM32L4R7xx,<br>STM32L4R9xx, STM32L4S5xx, STM32L4S7xx, STM32L4S9xx,<br>STM32L412xx, STM32L422xx, STM32L4P5xx, STM32L4Q5xx |
|                | STM32L5 シリーズ : STM32L552xx, STM32L562xx  |
|                | STM32WB シリーズ : STM32WB10xx, STM32WB15xx, STM32WB30xx, STM32WB35xx,<br>STM32WB50xx, STM32WB55xx   |
|                | STM32WL シリーズ : STM32WLE5xx, STM32WL55xx  |
|                | STM32U5 シリーズ : STM32U575xx, STM32U585xx  |

# 目次

|          |  |           |
|----------|--|-----------|
| <b>1</b> | <b>一般情報</b> .....                      | <b>21</b> |
| <b>2</b> | <b>関連ドキュメント</b> .....                  | <b>21</b> |
| <b>3</b> | <b>用語</b> .....                        | <b>22</b> |
| <b>4</b> | <b>ブートローダの概要</b> .....                 | <b>26</b> |
| 4.1      | ブートローダの有効化 .....                       | 26        |
| 4.2      | ブートローダ識別 .....                         | 29        |
| 4.3      | ハードウェア接続要件 .....                       | 37        |
| 4.4      | ブートローダのメモリ管理 .....                     | 39        |
| 4.5      | ブートローダ UART ボーレート検出 .....              | 41        |
| 4.6      | プログラミングの制約 .....                       | 42        |
| 4.7      | ExitSecureMemory 機能 .....              | 43        |
| <b>5</b> | <b>STM32C011xx デバイスのブートローダ</b> .....   | <b>46</b> |
| 5.1      | ブートローダの設定 .....                        | 46        |
| 5.2      | ブートローダの選択 .....                        | 47        |
| 5.3      | ブートローダのバージョン .....                     | 47        |
| <b>6</b> | <b>STM32C031xx デバイスのブートローダ</b> .....   | <b>48</b> |
| 6.1      | ブートローダの設定 .....                        | 48        |
| 6.2      | ブートローダの選択 .....                        | 49        |
| 6.3      | ブートローダのバージョン .....                     | 49        |
| <b>7</b> | <b>STM32F03xx4/6 デバイスのブートローダ</b> ..... | <b>50</b> |
| 7.1      | ブートローダの設定 .....                        | 50        |
| 7.2      | ブートローダの選択 .....                        | 51        |
| 7.3      | ブートローダのバージョン .....                     | 51        |

|           |  |           |
|-----------|--|-----------|
| <b>8</b>  | <b>STM32F030xC デバイスのブートローダ</b> .....                 | <b>52</b> |
| 8.1       | ブートローダの設定 .....                                      | 52        |
| 8.2       | ブートローダの選択 .....                                      | 54        |
| 8.3       | ブートローダのバージョン .....                                   | 54        |
| <b>9</b>  | <b>STM32F05xxx および STM32F030x8 デバイスのブートローダ</b> ..... | <b>55</b> |
| 9.1       | ブートローダの設定 .....                                      | 55        |
| 9.2       | ブートローダの選択 .....                                      | 56        |
| 9.3       | ブートローダのバージョン .....                                   | 56        |
| <b>10</b> | <b>STM32F04xxx デバイスのブートローダ</b> .....                 | <b>57</b> |
| 10.1      | ブートローダの設定 .....                                      | 57        |
| 10.2      | ブートローダの選択 .....                                      | 59        |
| 10.3      | ブートローダのバージョン .....                                   | 60        |
| <b>11</b> | <b>STM32F070x6 デバイスのブートローダ</b> .....                 | <b>61</b> |
| 11.1      | ブートローダの設定 .....                                      | 61        |
| 11.2      | ブートローダの選択 .....                                      | 63        |
| 11.3      | ブートローダのバージョン .....                                   | 64        |
| <b>12</b> | <b>STM32F070xB デバイスのブートローダ</b> .....                 | <b>65</b> |
| 12.1      | ブートローダの設定 .....                                      | 65        |
| 12.2      | ブートローダの選択 .....                                      | 67        |
| 12.3      | ブートローダのバージョン .....                                   | 68        |
| <b>13</b> | <b>STM32F071xx/072xx デバイスのブートローダ</b> .....           | <b>69</b> |
| 13.1      | ブートローダの設定 .....                                      | 69        |
| 13.2      | ブートローダの選択 .....                                      | 71        |
| 13.3      | ブートローダのバージョン .....                                   | 72        |
| <b>14</b> | <b>STM32F09xxx デバイスのブートローダ</b> .....                 | <b>73</b> |
| 14.1      | ブートローダの設定 .....                                      | 73        |
| 14.2      | ブートローダの選択 .....                                      | 75        |
| 14.3      | ブートローダのバージョン .....                                   | 75        |

|           |   |           |
|-----------|---|-----------|
| <b>15</b> | <b>STM32F10xxx デバイスのブートローダ</b> .....                                  | <b>76</b> |
| 15.1      | ブートローダの設定 .....   | 76        |
| 15.2      | ブートローダの選択 .....   | 77        |
| 15.3      | ブートローダのバージョン .....  | 77        |
| <b>16</b> | <b>STM32F105xx/107xx デバイスのブートローダ</b> .....                            | <b>79</b> |
| 16.1      | ブートローダの設定 .....   | 79        |
| 16.2      | ブートローダの選択 .....   | 81        |
| 16.3      | ブートローダのバージョン .....  | 82        |
| 16.3.1    | STM32F105xx/107xx のブートローダのバージョン識別方法 .....                             | 82        |
| 16.3.2    | STM32F105xx/STM32F107xx デバイスで使用できないブートローダ<br>(日付コードが 937 未満の場合) ..... | 83        |
| 16.3.3    | 0x22 ではなく 0x20 を返す USART ブートローダの Get-Version コマンド ...                 | 84        |
| 16.3.4    | ブートローダ V2.0 の USB 接続時の PA9 の過剰電力消費 .....                              | 84        |
| <b>17</b> | <b>STM32F10xxx XL 容量のデバイスのブートローダ</b> .....                            | <b>85</b> |
| 17.1      | ブートローダの設定 .....   | 85        |
| 17.2      | ブートローダの選択 .....   | 86        |
| 17.3      | ブートローダのバージョン .....  | 87        |
| <b>18</b> | <b>STM32F2xxxx デバイスのブートローダ</b> .....                                  | <b>88</b> |
| 18.1      | ブートローダ V2.x .....   | 88        |
| 18.1.1    | ブートローダの設定 .....   | 88        |
| 18.1.2    | ブートローダの選択 .....   | 89        |
| 18.1.3    | ブートローダのバージョン .....  | 90        |
| 18.2      | ブートローダ V3.x .....   | 91        |
| 18.2.1    | ブートローダの設定 .....   | 91        |
| 18.2.2    | ブートローダの選択 .....   | 93        |
| 18.2.3    | ブートローダのバージョン .....  | 94        |
| <b>19</b> | <b>STM32F301xx/302x4(6/8) デバイスのブートローダ</b> .....                       | <b>95</b> |
| 19.1      | ブートローダの設定 .....   | 95        |
| 19.2      | ブートローダの選択 .....   | 97        |
| 19.3      | ブートローダのバージョン .....  | 97        |

|           |   |            |
|-----------|---|------------|
| <b>20</b> | <b>STM32F302xB(C)/303xB(C) デバイスのブートローダ</b> .....      | <b>98</b>  |
| 20.1      | ブートローダの設定 .....                                       | 98         |
| 20.2      | ブートローダの選択 .....                                       | 100        |
| 20.3      | ブートローダのバージョン .....                                    | 100        |
| <b>21</b> | <b>STM32F302xD(E)/303xD(E) デバイスのブートローダ</b> .....      | <b>101</b> |
| 21.1      | ブートローダの設定 .....                                       | 101        |
| 21.2      | ブートローダの選択 .....                                       | 103        |
| 21.3      | ブートローダのバージョン .....                                    | 104        |
| <b>22</b> | <b>STM32F303x4(6/8)/334xx/328xx デバイスのブートローダ</b> ..... | <b>105</b> |
| 22.1      | ブートローダの設定 .....                                       | 105        |
| 22.2      | ブートローダの選択 .....                                       | 106        |
| 22.3      | ブートローダのバージョン .....                                    | 106        |
| <b>23</b> | <b>STM32F318xx デバイスのブートローダ</b> .....                  | <b>107</b> |
| 23.1      | ブートローダの設定 .....                                       | 107        |
| 23.2      | ブートローダの選択 .....                                       | 108        |
| 23.3      | ブートローダのバージョン .....                                    | 109        |
| <b>24</b> | <b>STM32F358xx デバイスのブートローダ</b> .....                  | <b>110</b> |
| 24.1      | ブートローダの設定 .....                                       | 110        |
| 24.2      | ブートローダの選択 .....                                       | 111        |
| 24.3      | ブートローダのバージョン .....                                    | 112        |
| <b>25</b> | <b>STM32F373xx デバイスのブートローダ</b> .....                  | <b>113</b> |
| 25.1      | ブートローダの設定 .....                                       | 113        |
| 25.2      | ブートローダの選択 .....                                       | 115        |
| 25.3      | ブートローダのバージョン .....                                    | 115        |
| <b>26</b> | <b>STM32F378xx デバイスのブートローダ</b> .....                  | <b>116</b> |
| 26.1      | ブートローダの設定 .....                                       | 116        |
| 26.2      | ブートローダの選択 .....                                       | 117        |
| 26.3      | ブートローダのバージョン .....                                    | 118        |

|           |  |            |
|-----------|--|------------|
| <b>27</b> | <b>STM32F398xx デバイスのブートローダ</b> .....       | <b>119</b> |
| 27.1      | ブートローダの設定 .....                            | 119        |
| 27.2      | ブートローダの選択 .....                            | 120        |
| 27.3      | ブートローダのバージョン .....                         | 121        |
| <b>28</b> | <b>STM32F40xxx/41xxx デバイスのブートローダ</b> ..... | <b>122</b> |
| 28.1      | ブートローダ V3.x .....                          | 122        |
| 28.1.1    | ブートローダの設定 .....                            | 122        |
| 28.1.2    | ブートローダの選択 .....                            | 125        |
| 28.1.3    | ブートローダのバージョン .....                         | 126        |
| 28.2      | ブートローダ V9.x .....                          | 127        |
| 28.2.1    | ブートローダの設定 .....                            | 127        |
| 28.2.2    | ブートローダの選択 .....                            | 131        |
| 28.2.3    | ブートローダのバージョン .....                         | 132        |
| <b>29</b> | <b>STM32F401xB(C) デバイスのブートローダ</b> .....    | <b>133</b> |
| 29.1      | ブートローダの設定 .....                            | 133        |
| 29.2      | ブートローダの選択 .....                            | 137        |
| 29.3      | ブートローダのバージョン .....                         | 138        |
| <b>30</b> | <b>STM32F401xD(E) デバイスのブートローダ</b> .....    | <b>139</b> |
| 30.1      | ブートローダの設定 .....                            | 139        |
| 30.2      | ブートローダの選択 .....                            | 143        |
| 30.3      | ブートローダのバージョン .....                         | 144        |
| <b>31</b> | <b>STM32F410xx デバイスのブートローダ</b> .....       | <b>145</b> |
| 31.1      | ブートローダの設定 .....                            | 145        |
| 31.2      | ブートローダの選択 .....                            | 148        |
| 31.3      | ブートローダのバージョン .....                         | 149        |
| <b>32</b> | <b>STM32F411xx デバイスのブートローダ</b> .....       | <b>150</b> |
| 32.1      | ブートローダの設定 .....                            | 150        |
| 32.2      | ブートローダの選択 .....                            | 154        |
| 32.3      | ブートローダのバージョン .....                         | 155        |

|           |  |            |
|-----------|--|------------|
| <b>33</b> | <b>STM32F412xx デバイスのブートローダ</b> .....       | <b>156</b> |
| 33.1      | ブートローダの設定 .....                            | 156        |
| 33.2      | ブートローダの選択 .....                            | 160        |
| 33.3      | ブートローダのバージョン .....                         | 161        |
| <b>34</b> | <b>STM32F413xx/423xx デバイスのブートローダ</b> ..... | <b>162</b> |
| 34.1      | ブートローダの設定 .....                            | 162        |
| 34.2      | ブートローダの選択 .....                            | 167        |
| 34.3      | ブートローダのバージョン .....                         | 168        |
| <b>35</b> | <b>STM32F42xxx/43xxx デバイスのブートローダ</b> ..... | <b>169</b> |
| 35.1      | ブートローダ V7.x .....                          | 169        |
| 35.1.1    | ブートローダの設定 .....                            | 169        |
| 35.1.2    | ブートローダの選択 .....                            | 172        |
| 35.1.3    | ブートローダのバージョン .....                         | 174        |
| 35.2      | ブートローダ V9.x .....                          | 175        |
| 35.2.1    | ブートローダの設定 .....                            | 175        |
| 35.2.2    | ブートローダの選択 .....                            | 179        |
| 35.2.3    | ブートローダのバージョン .....                         | 181        |
| <b>36</b> | <b>STM32F446xx デバイスのブートローダ</b> .....       | <b>182</b> |
| 36.1      | ブートローダの設定 .....                            | 182        |
| 36.2      | ブートローダの選択 .....                            | 186        |
| 36.3      | ブートローダのバージョン .....                         | 187        |
| <b>37</b> | <b>STM32F469xx/479xx デバイスのブートローダ</b> ..... | <b>188</b> |
| 37.1      | ブートローダの設定 .....                            | 188        |
| 37.2      | ブートローダの選択 .....                            | 192        |
| 37.3      | ブートローダのバージョン .....                         | 194        |
| <b>38</b> | <b>STM32F72xxx/73xxx デバイスのブートローダ</b> ..... | <b>195</b> |
| 38.1      | ブートローダの設定 .....                            | 195        |
| 38.2      | ブートローダの選択 .....                            | 199        |
| 38.3      | ブートローダのバージョン .....                         | 200        |



|           |  |            |
|-----------|--|------------|
| <b>39</b> | <b>STM32F74xxx/75xxx デバイスのブートローダ</b> .....       | <b>201</b> |
| 39.1      | ブートローダ V7.x .....                                | 202        |
| 39.1.1    | ブートローダの設定 .....                                  | 202        |
| 39.1.2    | ブートローダの選択 .....                                  | 205        |
| 39.1.3    | ブートローダのバージョン .....                               | 206        |
| 39.2      | ブートローダ V9.x .....                                | 207        |
| 39.2.1    | ブートローダの設定 .....                                  | 207        |
| 39.2.2    | ブートローダの選択 .....                                  | 211        |
| 39.2.3    | ブートローダのバージョン .....                               | 212        |
| <br>      |  |            |
| <b>40</b> | <b>STM32F76xxx/77xxx デバイスのブートローダ</b> .....       | <b>213</b> |
| 40.1      | ブートローダの設定 .....                                  | 213        |
| 40.2      | ブートローダの選択 .....                                  | 217        |
| 40.3      | ブートローダのバージョン .....                               | 219        |
| <br>      |  |            |
| <b>41</b> | <b>STM32G03xxx/STM32G04xxx デバイスのブートローダ</b> ..... | <b>220</b> |
| 41.1      | ブートローダの設定 .....                                  | 220        |
| 41.2      | ブートローダの選択 .....                                  | 221        |
| 41.3      | ブートローダのバージョン .....                               | 222        |
| <br>      |  |            |
| <b>42</b> | <b>STM32G07xxx/08xxx デバイスのブートローダ</b> .....       | <b>223</b> |
| 42.1      | ブートローダの設定 .....                                  | 223        |
| 42.2      | ブートローダの選択 .....                                  | 226        |
| 42.3      | ブートローダのバージョン .....                               | 226        |
| <br>      |  |            |
| <b>43</b> | <b>STM32G0B0xx デバイスのブートローダ</b> .....             | <b>228</b> |
| 43.1      | ブートローダの設定 .....                                  | 228        |
| 43.2      | ブートローダの選択 .....                                  | 231        |
| 43.3      | ブートローダのバージョン .....                               | 232        |
| <br>      |  |            |
| <b>44</b> | <b>STM32G0B1xx/0C1xx デバイスのブートローダ</b> .....       | <b>233</b> |
| 44.1      | ブートローダの設定 .....                                  | 233        |
| 44.2      | ブートローダの選択 .....                                  | 236        |
| 44.3      | ブートローダのバージョン .....                               | 237        |

|           |  |            |
|-----------|--|------------|
| <b>45</b> | <b>STM32G05xxx/061xx デバイスのブートローダ</b> ..... | <b>238</b> |
| 45.1      | ブートローダの設定 .....                            | 238        |
| 45.2      | ブートローダの選択 .....                            | 240        |
| 45.3      | ブートローダのバージョン .....                         | 240        |
| <b>46</b> | <b>STM32G431xx/441xx デバイスのブートローダ</b> ..... | <b>241</b> |
| 46.1      | ブートローダの設定 .....                            | 241        |
| 46.2      | ブートローダの選択 .....                            | 244        |
| 46.3      | ブートローダのバージョン .....                         | 245        |
| <b>47</b> | <b>STM32G47xxx/48xxx デバイスのブートローダ</b> ..... | <b>246</b> |
| 47.1      | ブートローダの設定 .....                            | 246        |
| 47.2      | ブートローダの選択 .....                            | 249        |
| 47.3      | ブートローダのバージョン .....                         | 251        |
| <b>48</b> | <b>STM32G491xx/4A1xx デバイスのブートローダ</b> ..... | <b>252</b> |
| 48.1      | ブートローダの設定 .....                            | 252        |
| 48.2      | ブートローダの選択 .....                            | 255        |
| 48.3      | ブートローダのバージョン .....                         | 256        |
| <b>49</b> | <b>STM32H72xxx/73xxx デバイスのブートローダ</b> ..... | <b>257</b> |
| 49.1      | ブートローダの設定 .....                            | 257        |
| 49.2      | ブートローダの選択 .....                            | 261        |
| 49.3      | ブートローダのバージョン .....                         | 262        |
| <b>50</b> | <b>STM32H74xxx/75xxx デバイスのブートローダ</b> ..... | <b>263</b> |
| 50.1      | ブートローダの設定 .....                            | 263        |
| 50.2      | ブートローダの選択 .....                            | 267        |
| 50.3      | ブートローダのバージョン .....                         | 268        |
| <b>51</b> | <b>STM32H7A3xx/B3xx デバイスのブートローダ</b> .....  | <b>269</b> |
| 51.1      | ブートローダの設定 .....                            | 269        |
| 51.2      | ブートローダの選択 .....                            | 273        |
| 51.3      | ブートローダのバージョン .....                         | 274        |

|           |  |            |
|-----------|--|------------|
| <b>52</b> | <b>STM32L01xxx/02xxx デバイスのブートローダ</b> ..... | <b>275</b> |
| 52.1      | ブートローダの設定 .....                            | 275        |
| 52.2      | ブートローダの選択 .....                            | 277        |
| 52.3      | ブートローダのバージョン .....                         | 278        |
| <b>53</b> | <b>STM32L031xx/041xx デバイスのブートローダ</b> ..... | <b>279</b> |
| 53.1      | ブートローダの設定 .....                            | 279        |
| 53.2      | ブートローダの選択 .....                            | 281        |
| 53.3      | ブートローダのバージョン .....                         | 281        |
| <b>54</b> | <b>STM32L05xxx/06xxx デバイスのブートローダ</b> ..... | <b>282</b> |
| 54.1      | ブートローダの設定 .....                            | 282        |
| 54.2      | ブートローダの選択 .....                            | 284        |
| 54.3      | ブートローダのバージョン .....                         | 284        |
| <b>55</b> | <b>STM32L07xxx/08xxx デバイスのブートローダ</b> ..... | <b>285</b> |
| 55.1      | ブートローダ V4.x .....                          | 285        |
| 55.1.1    | ブートローダの設定 .....                            | 285        |
| 55.1.2    | ブートローダの選択 .....                            | 287        |
| 55.1.3    | ブートローダのバージョン .....                         | 288        |
| 55.2      | ブートローダ V11.x .....                         | 289        |
| 55.2.1    | ブートローダの設定 .....                            | 289        |
| 55.2.2    | ブートローダの選択 .....                            | 291        |
| 55.2.3    | ブートローダのバージョン .....                         | 293        |
| <b>56</b> | <b>STM32L1xxx6(8/B)A デバイスのブートローダ</b> ..... | <b>294</b> |
| 56.1      | ブートローダの設定 .....                            | 294        |
| 56.2      | ブートローダの選択 .....                            | 295        |
| 56.3      | ブートローダのバージョン .....                         | 295        |
| <b>57</b> | <b>STM32L1xxx6(8/B) デバイスのブートローダ</b> .....  | <b>296</b> |
| 57.1      | ブートローダの設定 .....                            | 296        |
| 57.2      | ブートローダの選択 .....                            | 297        |
| 57.3      | ブートローダのバージョン .....                         | 297        |

|           |  |            |
|-----------|--|------------|
| <b>58</b> | <b>STM32L1xxxC デバイスのブートローダ</b> .....       | <b>298</b> |
| 58.1      | ブートローダの設定 .....                            | 298        |
| 58.2      | ブートローダの選択 .....                            | 300        |
| 58.3      | ブートローダのバージョン .....                         | 301        |
| <b>59</b> | <b>STM32L1xxxD デバイスのブートローダ</b> .....       | <b>302</b> |
| 59.1      | ブートローダの設定 .....                            | 302        |
| 59.2      | ブートローダの選択 .....                            | 304        |
| 59.3      | ブートローダのバージョン .....                         | 305        |
| <b>60</b> | <b>STM32L1xxxE デバイスのブートローダ</b> .....       | <b>306</b> |
| 60.1      | ブートローダの設定 .....                            | 306        |
| 60.2      | ブートローダの選択 .....                            | 308        |
| 60.3      | ブートローダのバージョン .....                         | 309        |
| <b>61</b> | <b>STM32L412xx/422xx デバイスのブートローダ</b> ..... | <b>310</b> |
| 61.1      | ブートローダの設定 .....                            | 310        |
| 61.2      | ブートローダの選択 .....                            | 313        |
| 61.3      | ブートローダのバージョン .....                         | 315        |
| <b>62</b> | <b>STM32L43xxx/44xxx デバイスのブートローダ</b> ..... | <b>316</b> |
| 62.1      | ブートローダの設定 .....                            | 316        |
| 62.2      | ブートローダの選択 .....                            | 320        |
| 62.3      | ブートローダのバージョン .....                         | 322        |
| <b>63</b> | <b>STM32L45xxx/46xxx デバイスのブートローダ</b> ..... | <b>324</b> |
| 63.1      | ブートローダの設定 .....                            | 324        |
| 63.2      | ブートローダの選択 .....                            | 328        |
| 63.3      | ブートローダのバージョン .....                         | 330        |
| <b>64</b> | <b>STM32L47xxx/48xxx デバイスのブートローダ</b> ..... | <b>331</b> |
| 64.1      | ブートローダ V10.x .....                         | 331        |
| 64.1.1    | ブートローダの設定 .....                            | 331        |
| 64.1.2    | ブートローダの選択 .....                            | 334        |
| 64.1.3    | ブートローダのバージョン .....                         | 336        |

|           |   |            |
|-----------|---|------------|
| 64.2      | ブートローダ V9.x .....                                   | 337        |
| 64.2.1    | ブートローダの設定 .....                                     | 337        |
| 64.2.2    | ブートローダの選択 .....                                     | 341        |
| 64.2.3    | ブートローダのバージョン .....                                  | 343        |
| <b>65</b> | <b>STM32L496xx/4A6xx デバイスのブートローダ .....</b>          | <b>344</b> |
| 65.1      | ブートローダの設定 .....                                     | 344        |
| 65.2      | ブートローダの選択 .....                                     | 348        |
| 65.3      | ブートローダのバージョン .....                                  | 350        |
| <b>66</b> | <b>STM32L4P5xx/4Q5xx デバイスのブートローダ .....</b>          | <b>351</b> |
| 66.1      | ブートローダの設定 .....                                     | 351        |
| 66.2      | ブートローダの選択 .....                                     | 355        |
| 66.3      | ブートローダのバージョン .....                                  | 357        |
| <b>67</b> | <b>STM32L4Rxxx/4Sxxx デバイスのブートローダ .....</b>          | <b>358</b> |
| 67.1      | ブートローダの設定 .....                                     | 358        |
| 67.2      | ブートローダの選択 .....                                     | 362        |
| 67.3      | ブートローダのバージョン .....                                  | 364        |
| <b>68</b> | <b>STM32L552xx/STM32L562xx デバイスのブートローダ .....</b>    | <b>365</b> |
| 68.1      | ブートローダの設定 .....                                     | 365        |
| 68.2      | ブートローダの選択 .....                                     | 369        |
| 68.3      | ブートローダのバージョン .....                                  | 370        |
| <b>69</b> | <b>STM32WB10xx/15xx デバイスのブートローダ .....</b>           | <b>371</b> |
| 69.1      | ブートローダの設定 .....                                     | 371        |
| 69.2      | ブートローダの選択 .....                                     | 373        |
| 69.3      | ブートローダのバージョン .....                                  | 374        |
| <b>70</b> | <b>STM32WB30xx/35xx/50xx/55xx デバイスのブートローダ .....</b> | <b>375</b> |
| 70.1      | ブートローダの設定 .....                                     | 375        |
| 70.2      | ブートローダの選択 .....                                     | 377        |
| 70.3      | ブートローダのバージョン .....                                  | 378        |

|             |   |            |
|-------------|---|------------|
| <b>71</b>   | <b>STM32WLE5xx/55xx デバイスのブートローダ</b> .....   | <b>379</b> |
| 71.1        | ブートローダの設定 .....                             | 379        |
| 71.2        | ブートローダの選択 .....                             | 381        |
| 71.3        | ブートローダのバージョン .....                          | 381        |
| <b>72</b>   | <b>STM32U575xx/85xx デバイスのブートローダ</b> .....   | <b>382</b> |
| 72.1        | ブートローダの設定 .....                             | 382        |
| 72.2        | ブートローダの選択 .....                             | 386        |
| 72.3        | ブートローダのバージョン .....                          | 387        |
| <b>73</b>   | <b>ブートローダデバイス依存のパラメータ</b> .....             | <b>388</b> |
| <b>74</b>   | <b>ブートローダのタイミング</b> .....                   | <b>393</b> |
| 74.1        | ブートローダの起動時間 .....                           | 393        |
| 74.2        | USART 接続のタイミング .....                        | 396        |
| 74.3        | USB 接続のタイミング .....                          | 399        |
| 74.4        | I <sup>2</sup> C 接続のタイミング .....             | 401        |
| 74.5        | SPI 接続のタイミング .....                          | 404        |
| <b>付録 A</b> | <b>"ExitSecureMemory" 関数を使用する関数の例</b> ..... | <b>405</b> |
| <b>75</b>   | <b>改版履歴</b> .....                           | <b>407</b> |

## 表の一覧

|       |  |     |
|-------|--|-----|
| 表 1.  | 対象とする製品  | 2   |
| 表 2.  | ブートローダの有効化パターン   | 26  |
| 表 3.  | 内蔵ブートローダ   | 30  |
| 表 4.  | ブートローダを使用した STM32 F2、F4、および F7 の電圧レンジの設定               | 40  |
| 表 5.  | Write、Read、Erase、および Go コマンドでサポートされるメモリ領域              | 40  |
| 表 6.  | ブートローダ USART 検出におけるソフトウェア・ジッタ計算値                       | 41  |
| 表 7.  | STM32 製品における Flash メモリ整列に対する制約                         | 42  |
| 表 8.  | ExitSecureMemory のエントリ・アドレス                            | 44  |
| 表 9.  | システム・メモリ・ブート・モードでの STM32C011xx の設定                     | 46  |
| 表 10. | STM32C011xx のブートローダのバージョン                              | 47  |
| 表 11. | システム・メモリ・ブート・モードでの STM32C031xx の設定                     | 48  |
| 表 12. | STM32C031xx のブートローダのバージョン                              | 49  |
| 表 13. | システム・メモリ・ブート・モードでの STM32F03xx4/6 の設定                   | 50  |
| 表 14. | STM32F03xx4/6 のブートローダのバージョン                            | 51  |
| 表 15. | システム・メモリ・ブート・モードでの STM32F030xC の設定                     | 52  |
| 表 16. | STM32F030xC のブートローダのバージョン                              | 54  |
| 表 17. | システム・メモリ・ブート・モードでの STM32F05xxx および STM32F030x8 デバイスの設定 | 55  |
| 表 18. | STM32F05xxx および STM32F030x8 デバイスのブートローダのバージョン          | 56  |
| 表 19. | システム・メモリ・ブート・モードでの STM32F04xxx の設定                     | 57  |
| 表 20. | STM32F04xxx のブートローダのバージョン                              | 60  |
| 表 21. | システム・メモリ・ブート・モードでの STM32F070x6 の設定                     | 61  |
| 表 22. | STM32F070x6 のブートローダのバージョン                              | 64  |
| 表 23. | システム・メモリ・ブート・モードでの STM32F070xB の設定                     | 65  |
| 表 24. | STM32F070xB のブートローダのバージョン                              | 68  |
| 表 25. | システム・メモリ・ブート・モードでの STM32F071xx/072xx の設定               | 69  |
| 表 26. | STM32F071xx/072xx のブートローダのバージョン                        | 72  |
| 表 27. | システムメモリブートモードでの STM32F09xxx の設定                        | 73  |
| 表 28. | STM32F09xxx のブートローダのバージョン                              | 75  |
| 表 29. | システム・メモリ・ブート・モードでの STM32F10xxx の設定                     | 76  |
| 表 30. | STM32F10xxx のブートローダのバージョン                              | 77  |
| 表 31. | システムメモリブートモードでの STM32F105xx/107xx の設定                  | 79  |
| 表 32. | STM32F105xx/107xx のブートローダのバージョン                        | 82  |
| 表 33. | システム・メモリ・ブート・モードでの STM32F10xxx XL 容量の設定                | 85  |
| 表 34. | STM32F10xxx XL 容量のブートローダのバージョン                         | 87  |
| 表 35. | システムメモリブートモードでの STM32F2xxxx の設定                        | 88  |
| 表 36. | STM32F2xxxx のブートローダのバージョン (V2.x)                       | 90  |
| 表 37. | システムメモリブートモードでの STM32F2xxxx の設定                        | 91  |
| 表 38. | STM32F2xxxx のブートローダのバージョン (V3.x)                       | 94  |
| 表 39. | システムメモリブートモードでの STM32F301xx/302x4(6/8) の設定             | 95  |
| 表 40. | STM32F301xx/302x4(6/8) のブートローダのバージョン                   | 97  |
| 表 41. | システムメモリブートモードでの STM32F302xB(C)/303xB(C) の設定            | 98  |
| 表 42. | STM32F302xB(C)/303xB(C) のブートローダのバージョン                  | 100 |
| 表 43. | システム・メモリ・ブート・モードでの STM32F302xD(E)/303xD(E) の設定         | 101 |
| 表 44. | STM32F302xD(E)/303xD(E) のブートローダのバージョン                  | 104 |
| 表 45. | システムメモリブートモードでの STM32F303x4(6/8)/334xx/328xx の設定       | 105 |
| 表 46. | STM32F303x4(6/8)/334xx/328xx のブートローダのバージョン             | 106 |
| 表 47. | システムメモリブートモードでの STM32F318xx の設定                        | 107 |
| 表 48. | STM32F318xx のブートローダのバージョン                              | 109 |
| 表 49. | システムメモリブートモードでの STM32F358xx の設定                        | 110 |

|        |   |     |
|--------|---|-----|
| 表 50.  | STM32F358xx のブートローダのバージョン                 | 112 |
| 表 51.  | システムメモリブートモードでの STM32F373xx の設定           | 113 |
| 表 52.  | STM32F373xx のブートローダのバージョン                 | 115 |
| 表 53.  | システムメモリブートモードでの STM32F378xx の設定           | 116 |
| 表 54.  | STM32F378xx のブートローダのバージョン                 | 118 |
| 表 55.  | システムメモリブートモードでの STM32F398xx の設定           | 119 |
| 表 56.  | STM32F398xx のブートローダのバージョン                 | 121 |
| 表 57.  | システムメモリブートモードでの STM32F40xxx/41xxx の設定     | 122 |
| 表 58.  | STM32F40xxx/41xxx のブートローダのバージョン (V3.x)    | 126 |
| 表 59.  | システム・メモリ・ブート・モードでの STM32F40xxx/41xxx の設定  | 127 |
| 表 60.  | STM32F40xxx/41xxx のブートローダのバージョン (V9.x)    | 132 |
| 表 61.  | システムメモリブートモードでの STM32F401xB(C) の設定        | 133 |
| 表 62.  | STM32F401xB(C) のブートローダのバージョン              | 138 |
| 表 63.  | システムメモリブートモードでの STM32F401xD(E) の設定        | 139 |
| 表 64.  | STM32F401xD(E) のブートローダのバージョン              | 144 |
| 表 65.  | システムメモリブートモードでの STM32F410xx の設定           | 145 |
| 表 66.  | STM32F410xx のブートローダのバージョン (V11.x)         | 149 |
| 表 67.  | システムメモリブートモードでの STM32F411xx の設定           | 150 |
| 表 68.  | STM32F411xx のブートローダのバージョン                 | 155 |
| 表 69.  | システム・メモリ・ブート・モードでの STM32F412xx の設定        | 156 |
| 表 70.  | STM32F412xx のブートローダのバージョン (V9.x)          | 161 |
| 表 71.  | システムメモリブートモードでの STM32F413xx/423xx の設定     | 162 |
| 表 72.  | STM32F413xx/423xx のブートローダのバージョン (V9.x)    | 168 |
| 表 73.  | システムメモリブートモードでの STM32F42xxx/43xxx の設定     | 169 |
| 表 74.  | STM32F42xxx/43xxx のブートローダのバージョン (V7.x)    | 174 |
| 表 75.  | システムメモリブートモードでの STM32F42xxx/43xxx の設定     | 175 |
| 表 76.  | STM32F42xxx/43xxx のブートローダのバージョン (V9.x)    | 181 |
| 表 77.  | システムメモリブートモードでの STM32F446xx の設定           | 182 |
| 表 78.  | STM32F446xx のブートローダのバージョン (V9.x)          | 187 |
| 表 79.  | システム・メモリ・ブート・モードでの STM32F469xx/479xx の設定  | 188 |
| 表 80.  | STM32F469xx/479xx のブートローダのバージョン (V9.x)    | 194 |
| 表 81.  | システム・メモリ・ブート・モードでの STM32F72xxx/73xxx の設定  | 195 |
| 表 82.  | STM32F72xxx/73xxx のブートローダのバージョン (V9.x)    | 200 |
| 表 83.  | システム・メモリ・ブート・モードでの STM32F74xxx/75xxx の設定  | 202 |
| 表 84.  | STM32F74xxx/75xxx のブートローダのバージョン (V7.x)    | 206 |
| 表 85.  | システムメモリブートモードでの STM32F74xxx/75xxx の設定     | 207 |
| 表 86.  | STM32F74xxx/75xxx のブートローダのバージョン (V9.x)    | 212 |
| 表 87.  | システムメモリブートモードでの STM32F76xxx/77xxx の設定     | 213 |
| 表 88.  | STM32F76xxx/77xxx のブートローダのバージョン (V9.x)    | 219 |
| 表 89.  | システム・メモリ・ブート・モードでの STM32G03xxx/G04xxx の設定 | 220 |
| 表 90.  | STM32G03xxx/G04xxx のブートローダのバージョン          | 222 |
| 表 91.  | システム・メモリ・ブート・モードでの STM32G07xxx/8xxx の設定   | 223 |
| 表 92.  | STM32G07xxx/8xxx のブートローダのバージョン            | 226 |
| 表 93.  | システム・メモリ・ブート・モードでの STM32G0B0xx の設定        | 228 |
| 表 94.  | STM32G0B0xx のブートローダのバージョン                 | 232 |
| 表 95.  | システムメモリブートモードでの STM32G0B1xx/0C1xx の設定     | 233 |
| 表 96.  | STM32G0B1xx/0C1xx のブートローダのバージョン           | 237 |
| 表 97.  | システム・メモリ・ブート・モードでの STM32G05xxx/061xx の設定  | 238 |
| 表 98.  | STM32G05xxx/061xx のブートローダのバージョン           | 240 |
| 表 99.  | システムメモリブートモードでの STM32G431xx/441xx の設定     | 241 |
| 表 100. | STM32G431xx/441xx のブートローダのバージョン           | 245 |
| 表 101. | システムメモリブートモードでの STM32G47xxx/48xxx の設定     | 246 |



|        |   |     |
|--------|---|-----|
| 表 102. | STM32G47xxx/48xxx のブートローダのバージョン                   | 251 |
| 表 103. | システムメモリブートモードでの STM32G491xx/4A1xx の設定             | 252 |
| 表 104. | STM32G491xx/4A1xx のブートローダのバージョン                   | 256 |
| 表 105. | システム・メモリ・ブート・モードでの STM32H72xxx/73xxx の設定          | 257 |
| 表 106. | STM32H72xxx/73xxx のブートローダのバージョン                   | 262 |
| 表 107. | システム・メモリ・ブート・モードでの STM32H74xxx/75xxx の設定          | 263 |
| 表 108. | STM32H74xxx/75xxx のブートローダのバージョン                   | 268 |
| 表 109. | システムメモリブートモードでの STM32H7A3xx/7B3xx の設定             | 269 |
| 表 110. | STM32H7A3xx/7B3xx のブートローダのバージョン                   | 274 |
| 表 111. | システム・メモリ・ブート・モードでの STM32L01xxx/02xxx の設定          | 275 |
| 表 112. | STM32L01xxx/02xxx のブートローダのバージョン                   | 278 |
| 表 113. | システムメモリブートモードでの STM32L031xx/041xx の設定             | 279 |
| 表 114. | STM32L031xx/041xx のブートローダのバージョン                   | 281 |
| 表 115. | システムメモリブートモードでの STM32L05xxx/06xxx の設定             | 282 |
| 表 116. | STM32L05xxx/06xxx のブートローダのバージョン                   | 284 |
| 表 117. | システム・メモリ・ブート・モードでの STM32L07xxx/08xxx の設定          | 285 |
| 表 118. | STM32L07xxx/08xxx のブートローダのバージョン                   | 288 |
| 表 119. | システム・メモリ・ブート・モードでの STM32L07xxx/08xxx の設定          | 289 |
| 表 120. | STM32L07xxx/08xxx のブートローダのバージョン (V11.x)           | 293 |
| 表 121. | システムメモリブートモードでの STM32L1xxx6(8/B)A の設定             | 294 |
| 表 122. | STM32L1xxx6(8/B)A のブートローダのバージョン                   | 295 |
| 表 123. | システムメモリブートモードでの STM32L1xxx6(8/B) の設定              | 296 |
| 表 124. | STM32L1xxx6(8/B) のブートローダのバージョン                    | 297 |
| 表 125. | システムメモリブートモードでの STM32L1xxxC の設定                   | 298 |
| 表 126. | STM32L1xxxC のブートローダのバージョン                         | 301 |
| 表 127. | システムメモリブートモードでの STM32L1xxxD の設定                   | 302 |
| 表 128. | STM32L1xxxD のブートローダのバージョン                         | 305 |
| 表 129. | システムメモリブートモードでの STM32L1xxxE の設定                   | 306 |
| 表 130. | STM32L1xxxE のブートローダのバージョン                         | 309 |
| 表 131. | システムメモリブートモードでの STM32L412xx/422xx の設定             | 310 |
| 表 132. | STM32L412xx/422xx のブートローダのバージョン                   | 315 |
| 表 133. | システムメモリブートモードでの STM32L43xxx/44xxx の設定             | 316 |
| 表 134. | STM32L43xxx/44xxx のブートローダのバージョン                   | 322 |
| 表 135. | システムメモリブートモードでの STM32L45xxx/46xxx の設定             | 324 |
| 表 136. | STM32L45xxx/46xxx のブートローダのバージョン                   | 330 |
| 表 137. | システムメモリブートモードでの STM32L47xxx/48xxx の設定             | 331 |
| 表 138. | STM32L47xxx/48xxx のブートローダのバージョン (V10.x)           | 336 |
| 表 139. | システムメモリブートモードでの STM32L47xxx/48xxx の設定             | 337 |
| 表 140. | STM32L47xxx/48xxx のブートローダのバージョン (V9.x)            | 343 |
| 表 141. | システムメモリブートモードでの STM32L496xx/4A6xx の設定             | 344 |
| 表 142. | STM32L496xx/4A6xx のブートローダのバージョン                   | 350 |
| 表 143. | システムメモリブートモードでの STM32L4P5xx/4Q5xx の設定             | 351 |
| 表 144. | STM32L4P5xx/4Q5xx のブートローダのバージョン                   | 357 |
| 表 145. | システムメモリブートモードでの STM32L4Rxxx/4Sxxx の設定             | 358 |
| 表 146. | STM32L4Rxx/4Sxx のブートローダのバージョン                     | 364 |
| 表 147. | システムメモリブートモードでの STM32L552xx/562xx の設定             | 365 |
| 表 148. | STM32L552cc/562xx の特殊コマンド                         | 368 |
| 表 149. | STM32L552xx/562xx のブートローダのバージョン                   | 370 |
| 表 150. | システムメモリブートモードでの STM32WB10xx/15xx の設定              | 371 |
| 表 151. | STM32WB10xx/15xx のブートローダのバージョン                    | 374 |
| 表 152. | システム・メモリ・ブート・モードでの STM32WB30xx/35xx/50xx/55xx の設定 | 375 |
| 表 153. | STM32WB30xx/35xx/50xx/55xx のブートローダのバージョン          | 378 |

|        |  |     |
|--------|--|-----|
| 表 154. | システムメモリブートモードでの STM32WLE5xx/55xx の設定             | 379 |
| 表 155. | STM32WLE5xx/55xx のブートローダのバージョン                   | 381 |
| 表 156. | システムメモリブートモードでの STM32U575xx/85xx の設定             | 382 |
| 表 157. | STM32U575xx/585xx の特殊コマンド                        | 385 |
| 表 158. | STM32U575xx/85xx のブートローダのバージョン                   | 387 |
| 表 159. | ブートローダデバイス依存のパラメータ                               | 388 |
| 表 160. | STM32 デバイスのブートローダの起動時間 (ms)                      | 393 |
| 表 161. | STM32 デバイスの USART ブートローダにおける最小時間 (ms)            | 396 |
| 表 162. | STM32 デバイスの USB ブートローダにおける最小時間 (ms)              | 399 |
| 表 163. | STM32 デバイスの I <sup>2</sup> C ブートローダにおける最小時間 (ms) | 401 |
| 表 164. | STM32 デバイスの SPI ブートローダにおける最小時間 (ms)              | 404 |
| 表 165. | 文書改版履歴   | 407 |
| 表 166. | 日本語版文書改版履歴                                       | 422 |

## 図の一覧

|       |   |     |
|-------|---|-----|
| 図 1.  | USART 接続                                      | 37  |
| 図 2.  | USB 接続  | 37  |
| 図 3.  | I <sup>2</sup> C 接続                           | 38  |
| 図 4.  | SPI 接続  | 38  |
| 図 5.  | CAN 接続  | 38  |
| 図 6.  | ExitSecureMemory 機能の使用                        | 44  |
| 図 7.  | ブートローダからセキュリティ保護可能な領域へのアクセス                   | 45  |
| 図 8.  | STM32C011xx デバイスのブートローダ V5.x の選択              | 47  |
| 図 9.  | STM32C031xx デバイスのブートローダ V5.x の選択              | 49  |
| 図 10. | STM32F03xx4/6 デバイスのブートローダの選択                  | 51  |
| 図 11. | STM32F030xC のブートローダの選択                        | 54  |
| 図 12. | STM32F05xxx および STM32F030x8 デバイスのブートローダの選択    | 56  |
| 図 13. | STM32F04xxx のブートローダの選択                        | 59  |
| 図 14. | STM32F070x6 のブートローダの選択                        | 63  |
| 図 15. | STM32F070xB のブートローダの選択                        | 67  |
| 図 16. | STM32F071xx/072xx のブートローダの選択                  | 71  |
| 図 17. | STM32F09xxx のブートローダの選択                        | 75  |
| 図 18. | STM32F10xxx のブートローダの選択                        | 77  |
| 図 19. | STM32F105xx/107xx デバイスのブートローダの選択              | 81  |
| 図 20. | STM32F10xxx XL 容量のデバイスのブートローダの選択              | 86  |
| 図 21. | STM32F2xxxx デバイスのブートローダ V2.x の選択              | 89  |
| 図 22. | STM32F2xxxx デバイスのブートローダ V3.x の選択              | 93  |
| 図 23. | STM32F301xx/302x4(6/8) のブートローダの選択             | 97  |
| 図 24. | STM32F302xB(C)/303xB(C) デバイスのブートローダの選択        | 100 |
| 図 25. | STM32F302xD(E)/303xD(E) のブートローダの選択            | 103 |
| 図 26. | STM32F303x4(6/8)/334xx/328xx のブートローダの選択       | 106 |
| 図 27. | STM32F318xx のブートローダの選択                        | 108 |
| 図 28. | STM32F358xx デバイスのブートローダの選択                    | 111 |
| 図 29. | STM32F373xx デバイスのブートローダの選択                    | 115 |
| 図 30. | STM32F378xx デバイスのブートローダの選択                    | 117 |
| 図 31. | STM32F398xx のブートローダの選択                        | 120 |
| 図 32. | STM32F40xxx/41xxx デバイスのブートローダ V3.x の選択        | 125 |
| 図 33. | STM32F40xxx/41xxx のブートローダ V9.x の選択            | 131 |
| 図 34. | STM32F401xB(C) のブートローダの選択                     | 137 |
| 図 35. | STM32F401xD(E) のブートローダの選択                     | 143 |
| 図 36. | STM32F410xx のブートローダ V11.x の選択                 | 148 |
| 図 37. | STM32F411xx のブートローダの選択                        | 154 |
| 図 38. | STM32F412xx のブートローダ V9.x の選択                  | 160 |
| 図 39. | STM32F413xx/423xx のブートローダ V9.x の選択            | 167 |
| 図 40. | STM32F42xxx/43xxx ブートローダ V7.x のデュアル・バンク・ブート実装 | 172 |
| 図 41. | STM32F42xxx/43xxx のブートローダ V7.x の選択            | 173 |
| 図 42. | STM32F42xxx/43xxx ブートローダ V9.x のデュアル・バンク・ブート実装 | 179 |
| 図 43. | STM32F42xxx/43xxx のブートローダ V9.x の選択            | 180 |
| 図 44. | STM32F446xx のブートローダ V9.x の選択                  | 186 |
| 図 45. | STM32F469xx/479xx ブートローダ V9.x のデュアル・バンク・ブート実装 | 192 |
| 図 46. | STM32F469xx/479xx のブートローダ V9.x の選択            | 193 |
| 図 47. | STM32F72xxx/73xxx のブートローダ V9.x の選択            | 199 |
| 図 48. | STM32F74xxx/75xxx のブートローダ V7.x の選択            | 205 |
| 図 49. | STM32F74xxx/75xxx のブートローダ V9.x の選択            | 211 |

|        |   |     |
|--------|---|-----|
| 図 50.  | STM32F76xxx/77xxx ブートローダ V9.x のデュアル・バンク・ブート実装     | 217 |
| 図 51.  | STM32F76xxx/77xxx のブートローダ V9.x の選択                | 218 |
| 図 52.  | STM32G03xxx/G04xxx のブートローダ V5.x の選択               | 221 |
| 図 53.  | STM32G07xxx/G08xxx のブートローダ V11.0 の選択              | 226 |
| 図 54.  | STM32G0B0xx のブートローダの選択                            | 231 |
| 図 55.  | STM32G0B1xx/0C1xx のブートローダの選択                      | 236 |
| 図 56.  | STM32G05xxx/061xx のブートローダの選択                      | 240 |
| 図 57.  | STM32G431xx/441xx のブートローダの選択                      | 244 |
| 図 58.  | STM32G47xxx/48xxx のブートローダの選択                      | 249 |
| 図 59.  | STM32G47xxx/48xxx ブートローダ V13.x のデュアルバンクブート実装      | 250 |
| 図 60.  | STM32G491xx/4A1xx のブートローダの選択                      | 255 |
| 図 61.  | STM32H72xxx/73xxx のブートローダ V9.0 の選択                | 261 |
| 図 62.  | STM32H74xxx/75xxx のブートローダ V9.x の選択                | 267 |
| 図 63.  | STM32H7A3xx/7B3xx のブートローダ V9.x の選択                | 273 |
| 図 64.  | STM32L01xxx/02xxx のブートローダの選択                      | 277 |
| 図 65.  | STM32L031xx/041xx のブートローダの選択                      | 281 |
| 図 66.  | STM32L05xxx/06xxx のブートローダの選択                      | 284 |
| 図 67.  | STM32L07xxx/08xxx ブートローダ V4.x のデュアル・バンク・ブート実装     | 287 |
| 図 68.  | STM32L07xxx/08xxx のブートローダ V4.x の選択                | 288 |
| 図 69.  | STM32L07xxx/08xxx ブートローダ V11.x のデュアル・バンク・ブート実装    | 291 |
| 図 70.  | STM32L07xxx/08xxx のブートローダ V11.x の選択               | 292 |
| 図 71.  | STM32L1xxx6(8/B)A デバイスのブートローダの選択                  | 295 |
| 図 72.  | STM32L1xxx6(8/B) デバイスのブートローダの選択                   | 297 |
| 図 73.  | STM32L1xxxC デバイスのブートローダの選択                        | 300 |
| 図 74.  | STM32L1xxxD デバイスのブートローダの選択                        | 304 |
| 図 75.  | STM32L1xxxE デバイスのブートローダの選択                        | 308 |
| 図 76.  | STM32L412xx/422xx ブートローダ V9.x のデュアル・バンク・ブート実装     | 313 |
| 図 77.  | STM32L412xx/422xx のブートローダ V13.x の選択               | 314 |
| 図 78.  | STM32L3x2xx/44xxx ブートローダ V9.x のデュアル・バンク・ブート実装     | 320 |
| 図 79.  | STM32L43xxx/44xxx のブートローダ V9.x の選択                | 321 |
| 図 80.  | STM32L45xxx/46xxx ブートローダ V9.x のデュアル・バンク・ブート実装     | 328 |
| 図 81.  | STM32L45xxx/46xxx のブートローダ V9.x の選択                | 329 |
| 図 82.  | STM32L47xxx/48xxx ブートローダ V10.x のデュアルバンクブート実装      | 334 |
| 図 83.  | STM32L47xxx/48xxx のブートローダ V10.x の選択               | 335 |
| 図 84.  | STM32L47xxx/48xxx ブートローダ V9.x のデュアルバンクブート実装       | 341 |
| 図 85.  | STM32L47xxx/48xxx のブートローダ V9.x の選択                | 342 |
| 図 86.  | STM32L496xx/4A6xx ブートローダ V9.x のデュアル・バンク・ブート実装     | 348 |
| 図 87.  | STM32L496xx/4A6xx のブートローダ V9.x の選択                | 349 |
| 図 88.  | STM32L4P5xx/4Q5xx ブートローダ V9.x のデュアルバンクブート実装       | 355 |
| 図 89.  | STM32L4P5xx/4Q5xx のブートローダ V9.x の選択                | 356 |
| 図 90.  | STM32L4Rxxx/STM32L4Sxxx ブートローダ V9.x のデュアルバンクブート実装 | 362 |
| 図 91.  | STM32L4Rxx/4Sxx のブートローダ V9.x の選択                  | 363 |
| 図 92.  | STM32L552xx/562xx のブートローダ V9.x の選択                | 369 |
| 図 93.  | STM32WB10xx/15xx のブートローダ V11.x の選択                | 373 |
| 図 94.  | STM32WB30xx/35xx/50xx/55xx のブートローダ V13.0 の選択      | 377 |
| 図 95.  | STM32WLE5xx/55xx のブートローダ V12.x の選択                | 381 |
| 図 96.  | STM32U575xx/85xx のブートローダ V9.x の選択                 | 386 |
| 図 97.  | ブートローダの起動時間の説明                                    | 393 |
| 図 98.  | USART 接続のタイミングの説明                                 | 396 |
| 図 99.  | USB 接続のタイミングの説明                                   | 399 |
| 図 100. | I <sup>2</sup> C 接続のタイミングの説明                      | 401 |
| 図 101. | SPI 接続のタイミングの説明                                   | 404 |

## 1 一般情報

本書は、Arm<sup>®(a)</sup> ベースのデバイスに適用されます。

## 2 関連ドキュメント

サポートされている製品（表 1 にリストされている）については、[www.st.com](http://www.st.com) から入手可能な以下の文書を参照してください。

- データシートまたはデータブリーフ
- リファレンスマニュアル
- アプリケーション・ノート
  - AN3154 : STM32 ブートローダで使用される CAN プロトコル
  - AN3155 : STM32 ブートローダで使用される USART プロトコル
  - AN3156 : STM32 ブートローダで使用される USB DFU プロトコル
  - AN4221 : STM32 ブートローダで使用される I2C プロトコル
  - AN4286 : STM32 ブートローダで使用される SPI プロトコル
  - AN5405 : STM32 ブートローダで使用される FDCAN プロトコル



---

a. Arm は、米国内およびその他の地域にある Arm Limited（またはその子会社）の登録商標です。

## 3 用語

### C0 シリーズ :

**STM32C011xx** は STM32C011xx デバイスを参照するために使用されます。

**STM32C031xx** は STM32C031xx デバイスを参照するために使用されます。

### F0 シリーズ :

**STM32F03xxx** は STM32F030x4、STM32F030x6、STM32F038x6、STM32F030xC、STM32F031x4、および STM32F031x6 デバイスを参照するために使用されます。

**STM32F04xxx** は STM32F042x4 および STM32F042x6 デバイスを参照するために使用されます。

**STM32F05xxx および STM32F030x8 デバイス** は STM32F051x4、STM32F051x6、STM32F051x8、STM32F058x8、および STM32F030x8 デバイスを参照するために使用されます。

**STM32F07xxx** は STM32F070x6、STM32F070xB、STM32F071xB、STM32F072x8、および STM32F072xB デバイスを参照するために使用されます。

**STM32F09xxx** は STM32F091xx および STM32F098xx デバイスを参照するために使用されます。

### F1 シリーズ :

**STM32F10xxx** は低容量、中容量、大容量、低容量バリュウライン、中容量バリュウライン、および大容量バリュウラインデバイスを参照するために使用されます。

**低容量デバイス**は、Flash メモリの容量が 16 KB から 32 KB の STM32F101xx、STM32F102xx、および STM32F103xx マイクロコントローラです。

**中容量デバイス**は、Flash メモリの容量が 64 KB から 128 KB の STM32F101xx、STM32F102xx、および STM32F103xx マイクロコントローラです。

**大容量デバイス**は、Flash メモリの容量が 256 KB から 512 KB の STM32F101xx および STM32F103xx マイクロコントローラです。

**低容量バリュウラインデバイス**は、Flash メモリの容量が 16 KB から 32 KB の STM32F100xx マイクロコントローラです。

**中容量バリュウラインデバイス**は、Flash メモリの容量が 64 KB から 128 KB の STM32F100xx マイクロコントローラです。

**大容量バリュウラインデバイス**は、Flash メモリの容量が 256 KB から 512 KB の STM32F100xx マイクロコントローラです。

**STM32F105xx/107xx** は STM32F105xx および STM32F107xx デバイスを参照するために使用されます。

**STM32F10xxx XL 容量**は、Flash メモリの容量が 768 KB から 1 MB の STM32F101xx および STM32F103xx デバイスを参照するために使用されます。

### F2 シリーズ :

**STM32F2xxxx** は STM32F215xx、STM32F205xx、STM32F207xx、および STM32F217xx デバイスを参照するために使用されます。

**F3 シリーズ :**

**STM32F301xx/302x4(6/8)** は STM32F301x4、STM32F301x6、STM32F301x8、STM32F302x4、STM32F302x6、および STM32F302x8 デバイスを参照するために使用されます。

**STM32F302xB(C)/303xB(C)** は STM32F302xB、STM32F302xC、STM32F303xB、および STM32F303xC デバイスを参照するために使用されます。

**STM32F302xD(E)/303xD(E)** は STM32F302xD、STM32F302xE、STM32F303xD、および STM32F303xE デバイスを参照するために使用されます。

**STM32F303x4(6/8)/334xx/328xx** は STM32F303x4、STM32F303x6、STM32F303x8、STM32F334x4、STM32F334x6、STM32F334x8、および STM32F328x8 デバイスを参照するために使用されます。

**STM32F318xx** は STM32F318x8 デバイスを参照するために使用されます。

**STM32F358xx** は STM32F358xC デバイスを参照するために使用されます。

**STM32F373xx** は STM32F373x8、STM32F373xB、および STM32F373xC デバイスを参照するために使用されます。

**STM32F378xx** は STM32F378xC デバイスを参照するために使用されます。

**STM32F398xx** は STM32F398xE デバイスを参照するために使用されます。

**F4 シリーズ :**

**STM32F40xxx/41xxx** は STM32F405xx、STM32F407xx、STM32F415xx、および STM32F417xx デバイスを参照するために使用されます。

**STM32F401xB(C)** は STM32F401xB および STM32F401xC デバイスを参照するために使用されます。

**STM32F401xD(E)** は STM32F401xD および STM32F401xE デバイスを参照するために使用されます。

**STM32F410xx** は STM32F410x8 および STM32F410xB デバイスを参照するために使用されます。

**STM32F411xx** は STM32F411xD および STM32F411xE デバイスを参照するために使用されます。

**STM32F412xx** は STM32F412Cx、STM32F412Rx、STM32F412Vx、および STM32F412Zx デバイスを参照するために使用されます。

**STM32F413xx/423xx** は STM32F413xG、STM32F413xH、および STM32F423xH デバイスを参照するために使用されます。

**STM32F42xxx/43xxx** は STM32F427xx、STM32F429xx、STM32F437xx、および STM32F439xx デバイスを参照するために使用されます。

**STM32F446xx** は STM32F446xE および STM32F446xC デバイスを参照するために使用されます。

**STM32F469xx/479xx** は STM32F469xE、STM32F469xG、STM32F469xI、STM32F479xG、および STM32F479xI デバイスを参照するために使用されます。

**F7 シリーズ :**

**STM32F72xxx/73xxx** は STM32F722xx、STM32F723xx、STM32F732xx、および STM32F733xx デバイスを参照するために使用されます。

**STM32F74xxx/75xxx** は STM32F745xx、STM32F746xx、および STM32F756xx デバイスを参照するために使用されます。

**STM32F76xxx/77xxx** は STM32F765xx、STM32F767xx、STM32F769xx、STM32F777xx、および STM32F779xx デバイスを参照するために使用されます。

**G0 シリーズ :**

**STM32G03xxx/04xxx** は STM32G03xxx および STM32G04xxx デバイスを参照するために使用されます。

**STM32G07xxx/08xxx** は STM32G07xxx および STM32G08xxx デバイスを参照するために使用されます。

**STM32G0B1xx/C1xx** は STM32GB1xx および STM32G0C1xxx デバイスを参照するために使用されます。

**STM32G0B0xx** は STM32G0B0xx を参照するために使用されます。

**STM32G05xxx/61xx** は STM32G050xx、STM32G051xx、および STM32G061xx を参照するために使用されます。

#### G4 シリーズ :

**STM32G431xx** は STM32G431xx デバイスを参照するために使用されます。

**STM32G441xx** は STM32G441xx デバイスを参照するために使用されます。

**STM32G47xxx** は STM32G471xx、STM32G473xx、および STM32G474xx デバイスを参照するために使用されます。

**STM32G48xxx** は STM32G483xx および STM32G484xx デバイスを参照するために使用されます。

**STM32G491xx** は STM32G491xx デバイスを参照するために使用されます。

**STM32G4A1xx** は STM32G4A1xx デバイスを参照するために使用されます。

#### H7 シリーズ :

**STM32H72xxx/73xxx** は STM32H72xxx および STM32H73xxx デバイスを参照するために使用されます。

**STM32H74xxx/75xxx** は STM32H74xxx および STM32H75xxx デバイスを参照するために使用されます。

**STM32H7A3xxx/7B3xx** は STM32H7A3xx/STM32H7B3xx デバイスを参照するために使用されます。

#### L0 シリーズ :

**STM32L01xxx/02xxx** は STM32L011xx および STM32L021xx デバイスを参照するために使用されます。

**STM32L031xx/041xx** は STM32L031xx および STM32L041xx デバイスを参照するために使用されます。

**STM32L05xxx/06xxx** は STM32L051xx、STM32L052xx、STM32L053xx、STM32L062xx、および STM32L063xx の超低電力デバイスを参照するために使用されます。

**STM32L07xxx/08xxx** は STM32L071xx、STM32L072xx、STM32L073xx、STM32L081xx、STM32L082xx、および STM32L083xx デバイスを参照するために使用されます。

#### L1 シリーズ :

**STM32L1xxx6(8/B)** は STM32L1xxV6T6、STM32L1xxV6H6、STM32L1xxR6T6、STM32L1xxR6H6、STM32L1xxC6T6、STM32L1xxC6H6、STM32L1xxV8T6、STM32L1xxV8H6、STM32L1xxR8T6、STM32L1xxR8H6、STM32L1xxC8T6、STM32L1xxC8H6、STM32L1xxVBT6、STM32L1xxVBH6、STM32L1xxRBT6、STM32L1xxRBH6、STM32L1xxCBT6、および STM32L1xxCBH6 の超低電力デバイスを参照するために使用されます。

**STM32L1xxx6(8/B)A** は STM32L1xxV6T6-A、STM32L1xxV6H6-A、STM32L1xxR6T6-A、STM32L1xxR6H6-A、STM32L1xxC6T6-A、STM32L1xxC6H6-A、STM32L1xxV8T6-A、STM32L1xxV8H6-A、STM32L1xxR8T6-A、STM32L1xxR8H6-A、STM32L1xxC8T6-A、STM32L1xxC8H6-A、STM32L1xxVBT6-A、STM32L1xxVBH6-A、STM32L1xxRBT6-A、STM32L1xxRBH6-A、STM32L1xxCBT6-A、および STM32L1xxCBH6-A の超低電力デバイスを参照するために使用されます。

**STM32L1xxxC** は STM32L1xxVCT6、STM32L1xxVCH6、STM32L1xxRCT6、STM32L1xxUCY6、STM32L1xxCCT6、および STM32L1xxCCU6 の超低電力デバイスを参照するために使用されます。

**STM32L1xxxD** は STM32L1xxZDT6、STM32L1xxQDH6、STM32L1xxVDT6、STM32L1xxRDY6、STM32L1xxRDT6、STM32L1xxZCT6、STM32L1xxQCH6、STM32L1xxRCY6、STM32L1xxVCT6-A、および STM32L1xxRCT6-A の超低電力デバイスを参照するために使用されます。



**STM32L1xxxE** は STM32L1xxZET6、STM32L1xxQEH6、STM32L1xxVET6、STM32L1xxVEY6、および STM32L1xxRET6 の超低電力デバイスを参照するために使用されます。

#### L4 シリーズ :

**STM32L412xx/422xx** は STM32L412xB、STM32L412x8、および STM32L422xB デバイスを参照するために使用されます。

**STM32L43xxx/44xxx** は STM32L431xx、STM32L432xx、STM32L433xx、STM32L442xx、および STM32L443xx デバイスを参照するために使用されます。

**STM32L45xxx/46xxx** は STM32L451xx、STM32L452xx、および STM32L462xx デバイスを参照するために使用されます。

**STM32L47xxx/48xxx** は STM32L471xx、STM32L475xx、STM32L476xx、および STM32L486xx デバイスを参照するために使用されます。

**STM32L496xx/4A6xx** は STM32L496xE、STM32L496xG、および STM32L4A6xG デバイスを参照するために使用されます。

**STM32L4Rxxx/4Sxxx** は STM32L4R5xx、STM32L4R7xx、STM32L4R9xx、STM32L4S5xx、STM32L4S7xx、および STM32L4S9xx デバイスを参照するために使用されます。

**STM32L4P5xx/4Q5xx** は STM32L4P5xx/STM32L4Q5xx デバイスを参照するために使用されます。

#### L5 シリーズ :

**STM32L552xx** は STM32L552xx デバイスを参照するために使用されます。

**STM32L562xx** は STM32L562xx デバイスを参照するために使用されます。

#### WB シリーズ :

**STM32WB10xx** は STM32WB10xx デバイスを参照するために使用されます。

**STM32WB15xx** は STM32WB15xx デバイスを参照するために使用されます。

**STM32WB30xx** は STM32WB30xx デバイスを参照するために使用されます。

**STM32WB35xx** は STM32WB35xx デバイスを参照するために使用されます。

**STM32WB50xx** は STM32WB50xx デバイスを参照するために使用されます。

**STM32WB55xx** は STM32WB55Cx、STM32WB55Rx、および STM32WB55Vx デバイスを参照するために使用されます。

#### WL シリーズ :

**STM32WLE5xx** は STM32WLE5xx デバイスを参照するために使用されます。

**STM32WL55xx** は STM32WL55xx デバイスを参照するために使用されます。

#### U5 シリーズ :

**STM32U575xx** は STM32U575xx デバイスを参照するために使用されます。

**STM32U585xx** は STM32U585xx デバイスを参照するために使用されます。

#### 注 :

**BL\_USART\_Loop** は USART ブートローダ実行ループを表します。

**BL\_CAN\_Loop** は CAN ブートローダ実行ループを表します。

**BL\_I2C\_Loop** は I2C ブートローダ実行ループを表します。

**BL\_SPI\_Loop** は SPI ブートローダ実行ループを表します。

## 4 ブートローダの概要

### 4.1 ブートローダの有効化

ブートローダは、表 2 に記載されたパターンの 1 つを適用すると有効化されます。

Boot from Bank2 オプションを有効にすると（この機能をサポートする製品の場合）、ブートローダは、図「STM32xxxx のデュアル・バンク・ブート実装」（ここで STM32xxxx は対応する STM32 製品）で説明されているデュアル・ブート・メカニズムを実行します（例：図 40）。無効にすると、図「STM32xxxx のブートローダ VY.x 選択」（ここで STM32xxxx は対応する STM32 製品）で説明されているブートローダ選択プロトコルを実行します（例：図 21）。

読出し保護レベル 2 が有効なときは、STM32 はいかなる場合もシステム・メモリからブートしないため、ブートローダは実行できません（Flash ユーザ・コードからジャンプしない限り、Get、GetID、および GetVersion を除き、コマンドにはアクセスできません）。

表 2. ブートローダの有効化パターン

| パターン   | 状態  |
|--------|---|
| パターン 1 | Boot0(pin) = 1 および Boot1(pin) = 0                                     |
| パターン 2 | Boot0(pin) = 1 および nBoot1(bit) = 1                                    |
| パターン 3 | Boot0(pin) = 1、Boot1(pin) = 0、および BFB2(bit) = 1                       |
|        | Boot0(pin) = 0、BFB2(bit) = 0、また両方のバンクに有効なコードが含まれていないこと                |
|        | Boot0(pin) = 1、Boot1(pin) = 0、BFB2(bit) = 0、また両方のバンクに有効なコードが含まれていないこと |
| パターン 4 | Boot0(pin) = 1、Boot1(pin) = 0、および BFB2(bit) = 1                       |
|        | Boot0(pin) = 0、BFB2(bit) = 0、また両方のバンクに有効なコードが含まれていないこと                |
|        | Boot0(pin) = 1、Boot1(pin) = 0、および BFB2(bit) = 0                       |
| パターン 5 | Boot0(pin) = 1、Boot1(pin) = 0、および BFB2(bit) = 0                       |
|        | Boot0(pin) = 0、BFB2(bit) = 1、また両方のバンクに有効なコードが含まれていないこと                |
|        | Boot0(pin) = 1、Boot1(pin) = 0、および BFB2(bit) = 1                       |
| パターン 6 | Boot0(pin) = 1、nBoot1(bit) = 1、および nBoot0_SW(bit) = 1                 |
|        | nBoot0(bit) = 0、nBoot1(bit) = 1、および nBoot0_SW(bit) = 0                |
|        | Boot0(pin) = 0、nBoot0_SW(bit) = 1、およびメイン Flash メモリが空であること             |
|        | nBoot0(bit) = 1、nBoot0_SW(bit) = 0、およびメイン Flash メモリが空であること            |
| パターン 7 | Boot0(pin) = 1、nBoot1(bit) = 1、および BFB2(bit) = 0                      |
|        | Boot0(pin) = 0、BFB2(bit) = 1、また両方のバンクに有効なコードが含まれていないこと                |
|        | Boot0(pin) = 1、nBoot1(bit) = 1、および BFB2(bit) = 1                      |
| パターン 8 | Boot(pin) = 0 および BOOT_ADD0(optionbyte) = 0x0040                      |
|        | Boot(pin) = 1 および BOOT_ADD1(optionbyte) = 0x0040                      |

表 2. ブートローダの有効化パターン (続き)

| パターン    | 状態   |
|---------|--|
| パターン 9  | nDBANK(bit) = 1、Boot(pin) = 0、および BOOT_ADD0(optionbyte) = 0x0040   |
|         | nDBANK(bit) = 1、Boot(pin) = 1、および BOOT_ADD1(optionbyte) = 0x0040   |
|         | nDBANK(bit) = 0、nDBOOT(bit) = 1、Boot(pin) = 0、および BOOT_ADD0(optionbyte) = 0x0040   |
|         | nDBANK(bit) = 0、nDBOOT(bit) = 1、Boot(pin) = 1、および BOOT_ADD1(optionbyte) = 0x0040   |
|         | nDBANK(bit) = 0、nDBOOT(bit) = 0、メモリ範囲外または ICP メモリ範囲内の BOOT_ADDx(optionbyte)  |
| パターン 10 | nDBANK(bit) = 0、nDBOOT(bit) = 0、Flash メモリ範囲内の BOOT_ADDx(optionbyte) と両方のバンクに有効なコードが含まれていないこと   |
|         | Boot(pin) = 0 および BOOT_ADD0(optionbyte) = 0x1FF0   |
| パターン 11 | Boot(pin) = 1 および BOOT_ADD1(optionbyte) = 0x1FF0   |
|         | nBoot0(bit) = 0、nBoot1(bit) = 1、nBOOT0_SEL(bit) = 1、および BOOT_LOCK(bit) = 0   |
|         | Boot0(pin) = 1、nBoot1(bit) = 1、および nBOOT0_SEL(bit) = 0   |
|         | nBoot0(bit) = 1、nBOOT0_SEL(bit) = 1、BOOT_LOCK(bit) = 0、およびメイン Flash メモリが空であること   |
| パターン 12 | Boot0(pin) = 0、nBOOT0_SEL(bit) = 0、BOOT_LOCK(bit) = 0、およびメイン Flash メモリが空であること  |
|         | TZen = 0、Boot0(pin) = 0、nSWBoot0(bit) = 1、および NSBOOTADD0 [24:0] = 0x017F200  |
|         | TZen = 0、Boot0(pin) = 1、nSWBoot0(bit) = 1、および NSBOOTADD1 [24:0] = 0x017F200  |
|         | TZen = 0、nBoot0(bit) = 0、nSWBoot0(bit) = 0、および NSBOOTADD1 [24:0] = 0x017F200   |
|         | TZen = 0、nBoot0(bit) = 1、nSWBoot0(bit) = 0、および NSBOOTADD0 [24:0] = 0x017F200   |
|         | TZen = 1、Boot0(pin) = 0、nSWBoot0(bit) = 1、および SECBOOTADD0 [24:0] = 0x01FF000 & RSSCMD = 0  |
|         | TZen = 1、Boot0(pin) = 1、nSWBoot0 (bit) = 1 & RSSCMD = 0、BOOT_LOCK=0 または (BOOT_LOCK = 1 および SECBOOTADD0 [24:0] = 0x01FF000)                                     |
|         | TZen = 1、nBoot0(bit) = 1、nSWBoot0 (bit) = 0 および SECBOOTADD0 [24:0] = 0x01FF000 & RSSCMD = 0、BOOT_LOCK=0 または (BOOT_LOCK = 1 および SECBOOTADD0 [24:0] = 0x01FF000) |
| パターン 13 | TZen = 1、nBoot0(bit) = 0、nSWBoot0 (bit) = 0 & RSSCMD = 0、BOOT_LOCK=0 または BOOT_LOCK = 1 および SECBOOTADD1 [24:0] = 0x01FF000                                      |
|         | TZen = 1、RSSCMD = 0x1C0、BOOT_LOCK=0 または (BOOT_LOCK = 1 および SECBOOTADD0 [24:0] = 0x01FF000)   |
|         | nBoot0(bit) = 0、nBoot1(bit) = 1、および nSWBoot0(bit) = 0  |
|         | nBoot0(bit) = 1、nBoot1(bit) = 1、nSWBoot0(bit) = 0、およびユーザ Flash が空であること   |
| パターン 14 | nBoot1(bit) = 1、nSWBoot0(bit) = 1、および Boot0(pin) = 1   |
|         | nBoot1(bit) = 1、nSWBoot0(bit) = 1、Boot0(pin) = 0、およびユーザ Flash が空であること  |
|         | BOOT_LOCK(bit) = 0、nBoot1(bit) = 1、Boot0(pin) = 1、および nSWBoot0(bit) = 1  |
|         | BOOT_LOCK(bit) = 0、nBoot1(bit) = 1、nBoot0(bit) = 0、および nSWBoot0(bit) = 0   |
| パターン 14 | BOOT_LOCK(bit) = 0、Boot0(pin) = 0、nSWBoot0(bit) = 1、BFB2(bit) = 1、また両方のバンクに有効なコードが含まれていないこと  |
|         | BOOT_LOCK(bit) = 0、nBoot0(bit)、nSWBoot0(bit) = 0、BFB2(bit) = 1、また両方のバンクに有効なコードが含まれていないこと   |

表 2. ブートローダの有効化パターン (続き)

| パターン       | 状態  |
|------------|---|
| パターン<br>15 | BOOT_LOCK(bit) = 0、Boot0(pin) = 1、nBoot1(bit) = 1、および nBoot0_SW(bit) = 1  |
|            | BOOT_LOCK(bit) = 0、nBoot0(bit) = 0、nBoot1(bit) = 1、および nBoot0_SW(bit) = 0 |
| パターン<br>16 | Boot0(pin) = 1、nBoot1(bit) = 1、および nBoot0_SW(bit) = 1                     |
|            | nBoot0(bit) = 0、nBoot1(bit) = 1、および nBoot0_SW(bit) = 0                    |
|            | Boot0(pin) = 0、nBoot0_SW(bit) = 1、およびメイン Flash メモリが空であること                 |

注： **BOOT\_LOCK** の実装は製品に依存します。詳細はリファレンス・マニュアルを参照してください。

上述のパターンに加え、ブートローダはユーザ・コードからシステム・メモリにジャンプして実行することもできます。ブートローダにジャンプする前に、次の操作が必要です。

- すべてのペリフェラルクロックの無効化
- 使用した PLL の無効化
- 割込みの無効化
- ペンディング割込みのクリア

システムメモリブートモードは、ブートローダの有効化状態から抜け出してハードウェアリセットを生成するか、Goコマンドを使用してユーザコードを実行することで終了できます。

注： **Go** コマンドを実行する場合、ブートローダによって使用されるペリフェラル・レジスタが、ユーザ・アプリケーションにジャンプする前にデフォルトのリセット値に初期化されることはありません。使用された場合は、ユーザ・アプリケーション側で再設定する必要があります。そのため、アプリケーションで IWDG を使用している場合は、アプリケーションの要件を満たすために IWDG プリスケール値を適合させる必要があります（プリスケールは最大値にセットされているため）。一部の製品では、すべてのリセット値が設定されるわけではありません。詳細については、各製品のブートローダのバージョンごとに明示されている既知の制限を参照してください。

注： デュアル・バンク・ブート機能を持つ STM32 デバイスの場合、ユーザ・コードからシステム・メモリにジャンプするには、まず SYSCFG レジスタを使用してシステム・メモリ・ブートローダをアドレス 0x00000000 に再配置してから（STM32F7 シリーズを除く）、ブートローダにジャンプする必要があります。

STM32F7 シリーズの場合は、nDBOOT と nDBANK のいずれかまたは両方の機能を（オプションバイトで）無効化してからブートローダにジャンプする必要があります。

注： DFU/CAN インタフェースを使用し、DFU/CAN 操作に外部クロック・ソース（HSE）を必要とするブートローダ内蔵の STM32 デバイスの場合、HSE 値の検出は内部オシレータ・クロック（HSI、MSI）に基づいてブートローダのファームウェアによって動的に実行されます。温度変化やその他の条件により内部オシレータの精度が許容範囲（理論値の 1% 前後）を超えて変わった場合、ブートローダは誤った HSE 周波数値を算出する場合があります。この場合、ブートローダの DFU/CAN インタフェースは正常に機能しなくなるか、まったく機能しなくなります。

## 4.2 ブートローダ識別

使用している STM32 デバイスによっては、内部 Flash メモリにコードをダウンロードするシリアルペリフェラルが 1 つ以上ブートローダに内蔵されている場合があります。ブートローダ識別 (ID) は、サポートされているシリアルペリフェラルについての情報を提供します。

所定の STM32 デバイスでは、ブートローダは以下によって識別されます。

1. **ブートローダ (プロトコル) のバージョン** : ブートローダで使用されるシリアル・ペリフェラル (USART、CAN、USB など) 通信プロトコルこのバージョンは、ブートローダの Get Version コマンドで取得できます。
2. **ブートローダ識別 (ID) : 0xXY** フォーマットで 1 バイトでコード化された STM32 デバイスのブートローダのバージョン。ここで :
  - **X** はデバイスのブートローダが使用する内蔵シリアルペリフェラルを指定します。
    - X = 1 : USART を 1 つ使用
    - X = 2 : USART を 2 つ使用
    - X = 3 : USART、CAN、および DFU を使用
    - X = 4 : USART および DFU を使用
    - X = 5 : USART および I<sup>2</sup>C を使用
    - X = 6 : I<sup>2</sup>C バスを使用
    - X = 7 : USART、CAN、DFU、および I<sup>2</sup>C を使用
    - X = 8 : I<sup>2</sup>C および SPI を使用
    - X = 9 : USART、CAN (または FDCAN)、DFU、I<sup>2</sup>C、および SPI を使用
    - X = 10 : USART、DFU、および I<sup>2</sup>C を使用
    - X = 11 : USART、I<sup>2</sup>C、および SPI を使用
    - X = 12 : USART および SPI を使用
    - X = 13 : USART、DFU、I<sup>2</sup>C、および SPI を使用
  - **Y** はデバイスのブートローダのバージョンを指定します。  
ID が 0x10 のブートローダを例にします。これは、USART を 1 つだけ使用するデバイスのブートローダの最初のバージョンであることを意味します。  
ブートローダ ID はデバイスシステムメモリの最後のバイトアドレス - 1 でプログラムされ、ブートローダの「Read memory」コマンドを使用するか、JTAG/SWD を介してシステムメモリに直接アクセスして読み出すことができます。

**注 :** ブートローダ ID フォーマットは STM32F1xx ファミリを除くすべての STM32 デバイスファミリに適用されます。STM32F1xx のブートローダのバージョンは、内蔵デバイスのブートローダのバージョンにのみ適用され、サポートされているプロトコルには適用されません。

STM32 デバイスに内蔵されているブートローダの識別情報を表 3 に示します。

表 3. 内蔵ブートローダ

| STM32<br>シリーズ | デバイス                    |                | サポートされる<br>シリアルペリフェラル                                 | ブートローダ ID |            | ブートローダ<br>(プロトコル) の<br>バージョン                             |
|---------------|-------------------------|----------------|---|-----------|------------|--|
|               |                         |                |   | ID        | メモリ位置      |  |
| C0            | STM32C011xx             |                | USART1/<br>I2C1                                       | 0x51      | 0x1FFF17FE | USART (V3.1)<br>I2C1(V1.1)                               |
|               | STM32C031xx             |                | USART1/<br>I2C1                                       | 0x52      | 0x1FFF17FE | USART (V3.1)<br>I2C1(V1.1)                               |
| F0            | STM32F05xxx/STM32F030x8 |                | USART1/USART2   | 0x21      | 0x1FFFF7A6 | USART (V3.1)   |
|               | STM32F03xx4/6           |                | USART1  | 0x10      | 0x1FFFF7A6 | USART (V3.1)   |
|               | STM32F030xC             |                | USART1/<br>I2C1                                       | 0x52      | 0x1FFFF796 | USART (V3.1)<br>I2C1(V1.0)                               |
|               | STM32F04xxx             |                | USART1/USART2/<br>DFU (USB デバイス FS) /<br>I2C1         | 0xA1      | 0x1FFFF6A6 | USART (V3.1)<br>DFU (V2.2)<br>I2C (V1.0)。                |
|               | STM32F071xx/072xx       |                | USART1/USART2/I2C1/<br>DFU (USB デバイス FS)              | 0xA1      | 0x1FFFF6A6 | USART (V3.1)<br>DFU (V2.2)<br>I2C (V1.0)。                |
| F0            | STM32F070x6             |                | USART1/USART2<br>/DFU (USB デバイス FS)<br>/I2C1          | 0xA2      | 0x1FFFF6A6 | USART (V3.1)<br>DFU (V2.2)<br>I2C (V1.0)。                |
|               | STM32F070xB             |                | USART1/USART2/<br>DFU (USB デバイス FS) /I2C1             | 0xA3      | 0x1FFFF6A6 | USART (V3.1)<br>DFU (V2.2)<br>I2C (V1.0)。                |
|               | STM32F09xxx             |                | USART1/USART2/<br>I2C1                                | 0x50      | 0x1FFFF796 | USART (V3.1)<br>I2C (V1.0)。                              |
| F1            | STM32F10xxx             | 低容量            | USART1  | 該当<br>なし  | 該当なし       | USART (V2.2)   |
|               |                         | 中容量            | USART1  | 該当<br>なし  | 該当なし       | USART (V2.2)   |
|               |                         | 大容量            | USART1  | 該当<br>なし  | 該当なし       | USART (V2.2)   |
|               |                         | 中容量<br>バリエーション | USART1  | 0x10      | 0x1FFFF7D6 | USART (V2.2)   |
|               |                         | 大容量<br>バリエーション | USART1  | 0x10      | 0x1FFFF7D6 | USART (V2.2)   |
|               | STM32F105xx/107xx       |                | USART1/USART2 (再配置)<br>/CAN2 (再配置)<br>/DFU (USB デバイス) | 該当<br>なし  | 該当なし       | USART (V2.2 <sup>(1)</sup> )<br>CAN (V2.0)<br>DFU (V2.2) |
|               | STM32F10xxx XL 容量       |                | USART1/USART2 (再配置)                                   | 0x21      | 0x1FFFF7D6 | USART (V3.0)   |
| F2            | STM32F2xxxx             |                | USART1/USART3   | 0x20      | 0x1FFF77DE | USART (V3.0)   |
|               |                         |                | USART1/USART3/<br>CAN2/<br>DFU (USB デバイス FS)          | 0x33      | 0x1FFF77DE | USART (V3.1)<br>CAN (V2.0)<br>DFU (V2.2)                 |

表 3. 内蔵ブートローダ (続き)

| STM32<br>シリーズ | デバイス                         | サポートされる<br>シリアルペリフェラル               | ブートローダ ID |            | ブートローダ<br>(プロトコル) の<br>バージョン |
|---------------|------------------------------|-------------------------------------|-----------|------------|------------------------------|
|               |                              |                                     | ID        | メモリ位置      |                              |
| F3            | STM32F373xx                  | USART1/USART2/<br>DFU (USB デバイス FS) | 0x41      | 0x1FFFF7A6 | USART (V3.1)<br>DFU (V2.2)   |
|               | STM32F378xx                  | USART1/USART2/I2C1                  | 0x50      | 0x1FFFF7A6 | USART (V3.1)<br>I2C (V1.0)。  |
|               | STM32F302xB(C)/303xB(C)      | USART1/USART2/<br>DFU (USB デバイス FS) | 0x41      | 0x1FFFF796 | USART (V3.1)<br>DFU (V2.2)   |
|               | STM32F358xx                  | USART1/USART2/<br>I2C1              | 0x50      | 0x1FFFF796 | USART (V3.1)<br>I2C (V1.0)。  |
|               | STM32F301xx/302x4(6/8)       | USART1/USART2/<br>DFU (USB デバイス FS) | 0x40      | 0x1FFFF796 | USART (V3.1)<br>DFU (V2.2)   |
|               | STM32F318xx                  | USART1/USART2/<br>I2C1/I2C3         | 0x50      | 0x1FFFF796 | USART (V3.1)<br>I2C (V1.0)。  |
|               | STM32F302xD(E)/303xD(E)      | USART1/USART2/<br>DFU (USB デバイス FS) | 0x40      | 0x1FFFF796 | USART (V3.1)<br>DFU (V2.2)   |
|               | STM32F303x4(6/8)/334xx/328xx | USART1/USART2/<br>I2C1              | 0x50      | 0x1FFFF796 | USART (V3.1)<br>I2C (V1.0)。  |
|               | STM32F398xx                  | USART1/USART2/<br>I2C1/I2C3         | 0x50      | 0x1FFFF796 | USART (V3.1)<br>I2C (V1.0)。  |

表 3. 内蔵ブートローダ (続き)

| STM32<br>シリーズ | デバイス              | サポートされる<br>シリアルペリフェラル  | ブートローダ ID |            | ブートローダ<br>(プロトコル) の<br>バージョン  |
|---------------|-------------------|--|-----------|------------|---|
|               |                   |  | ID        | メモリ位置      |   |
| F4            | STM32F40xxx/41xxx | USART1/USART3/<br>CAN2/<br>DFU (USB デバイス FS)   | 0x31      | 0x1FFF77DE | USART (V3.1)<br>CAN (V2.0)<br>DFU (V2.2)                              |
|               |                   | USART1/USART3/<br>CAN2 /<br>DFU (USB デバイス FS)<br>/I2C1/I2C2/I2C3/<br>SPI1/SPI2                 | 0x91      | 0x1FFF77DE | USART (V3.1)<br>CAN (V2.0)<br>DFU (V2.2)<br>SPI (V1.1)<br>I2C (V1.0)。 |
|               | STM32F42xxx/43xxx | USART1/USART3/<br>CAN2 /<br>DFU (USB デバイス FS) /<br>I2C1  | 0x70      | 0x1FFF76DE | USART (V3.1)<br>CAN (V2.0)<br>DFU (V2.2)<br>I2C (V1.0)。               |
|               |                   | USART1/USART3/<br>CAN2 /<br>DFU (USB デバイス FS) /<br>SPI1/SPI2/SPI4<br>I2C1/I2C2/I2C3/           | 0x91      | 0x1FFF76DE | USART (V3.1)<br>CAN (V2.0)<br>DFU (V2.2)<br>SPI (V1.1)<br>I2C (V1.0)。 |
|               | STM32F401xB(C)    | USART1/USART2/DFU<br>(USB デバイス FS)<br>/I2C1/I2C2/I2C3/SPI1/SPI2/SPI3                           | 0xD1      | 0x1FFF76DE | USART (V3.1)<br>DFU (V2.2)<br>SPI (V1.1)<br>I2C (V1.0)。               |
|               | STM32F401xD(E)    | USART1/USART2/DFU<br>(USB デバイス FS)<br>/I2C1/I2C2/I2C3/SPI1/SPI2/SPI3                           | 0xD1      | 0x1FFF76DE | USART (V3.1)<br>DFU (V2.2)<br>SPI (V1.1)<br>I2C (V1.1)。               |
|               | STM32F410xx       | USART1/USART2/<br>I2C1/I2C2/I2C4<br>SPI1/SPI2  | 0xB1      | 0x1FFF76DE | USART (V3.1)<br>I2C (V1.2)。<br>SPI (V1.1)                             |
|               | STM32F411xx       | USART1/USART2/<br>DFU (USB デバイス FS)<br>/SPI1/SPI2/SPI3<br>I2C1/I2C2/I2C3                       | 0xD0      | 0x1FFF76DE | USART (V3.1) DFU<br>(V2.2) SPI (V1.1)<br>I2C (V1.1)。                  |
|               | STM32F412xx       | USART1/USART2/<br>USART3/CAN2/<br>DFU (USB デバイス FS)<br>/I2C1/I2C2/I2C3/I2C4/<br>SPI1/SPI3/SPI4 | 0x91      | 0x1FFF76DE | USART (V3.1)<br>CAN (V2.0)<br>DFU (V2.2)<br>SPI (V1.1)<br>I2C (V1.2)。 |
|               | STM32F413xx/423xx | USART1/USART2/<br>USART3/CAN2/<br>DFU (USB デバイス FS)<br>/I2C1/I2C2/I2C3/I2C4/<br>SPI1/SPI3/SPI4 | 0x90      | 0x1FFF76DE | USART (V3.1)<br>CAN (V2.0)<br>DFU (V2.2)<br>I2C (V1.2)。<br>SPI (V1.1) |
|               | STM32F446xx       | USART1/USART3/CAN2/DFU<br>(USB デバイス FS)<br>/I2C1/I2C2/I2C3/SPI1/SPI2/SPI4                      | 0x90      | 0x1FFF76DE | USART (V3.1)<br>CAN (V2.0)<br>DFU (V2.2)<br>SPI (V1.1)<br>I2C (V1.2)。 |
|               | STM32F469xx/479xx | USART1/USART3/<br>I2C1/I2C2/I2C3/<br>CAN2/<br>DFU (USB デバイス FS) /<br>SPI1/SPI2/SPI4            | 0x90      | 0x1FFF76DE | USART (V3.1)<br>I2C (V1.2)。<br>CAN (V2.0)<br>DFU (V2.2)<br>SPI (V1.1) |



表 3. 内蔵ブートローダ (続き)

| STM32<br>シリーズ | デバイス              | サポートされる<br>シリアルペリフェラル  | ブートローダ ID |            | ブートローダ<br>(プロトコル) の<br>バージョン  |
|---------------|-------------------|--|-----------|------------|---|
|               |                   |  | ID        | メモリ位置      |   |
| F7            | STM32F72xxx/73xxx | USART1/USART3/<br>CAN1/<br>DFU (USB デバイス FS)<br>I2C1/I2C2/I2C3/<br>SPI1/SPI2/SPI4  | 0x90      | 0x1FF0EDBE | USART (V3.1)<br>CAN (V2.0)<br>DFU (V2.2)<br>I2C (V1.2)。<br>SPI (V1.2)   |
|               | STM32F74xxx/75xxx | USART1/USART3/<br>I2C1/I2C2/I2C3/<br>CAN2/<br>DFU (USB デバイス FS)                    | 0x70      | 0x1FF0EDBE | USART (V3.1)<br>I2C (V1.2)。<br>CAN (V2.0)<br>DFU (V2.2)                 |
|               |                   | USART1/USART3/<br>I2C1/I2C2/I2C3<br>CAN2/<br>DFU (USB デバイス FS) /<br>SPI1/SPI2/SPI4 | 0x90      | 0x1FF0EDBE | USART (V3.1)<br>I2C (V1.2)。<br>CAN (V2.0)<br>DFU (V2.2)<br>SPI (V1.2)   |
|               | STM32F76xxx/77xxx | USART1/USART3/<br>CAN2/<br>DFU (USB デバイス FS)<br>I2C1/I2C2/I2C3/<br>SPI1/SPI2/SPI4  | 0x93      | 0x1FF0EDBE | USART (V3.1)<br>CAN (V2.0)<br>DFU (V2.2)<br>I2C (V1.2)。<br>SPI (V1.2)   |
| G0            | STM32G07xxx/08xxx | USART1/USART2/<br>USART3/I2C1/I2C2/<br>SPI1/SPI2                                   | 0xB2      | 0x1FFF6FFE | USART (V3.1)<br>I2C (V1.2)。<br>SPI (V1.1)                               |
|               | STM32G03xxx/04xxx | USART1/USART2/<br>I2C1/I2C2  | 0x53      | 0x1FFF1FFE | USART (V3.1)<br>I2C (V1.2)。   |
|               | STM32G0B0xx       | USART1/USART2/USART3<br>I2C1/I2C2<br>SPI1/SPI2<br>DFU (USB デバイス FS)                | 0xD0      | 0x1FFF9FFE | USART (V3.1)<br>I2C (V1.2)。<br>SPI (V1.1)<br>DFU (V2.2)                 |
|               | STM32G0B1xx/0C1xx | USART1/USART2/USART3<br>I2C1/I2C2<br>SPI1/SPI2<br>DFU (USB デバイス FS)<br>FDCAN       | 0x92      | 0x1FFF9FFE | USART (V3.1)<br>I2C (V1.2)。<br>SPI (V1.1)<br>DFU (V2.2)<br>FDCAN (V1.0) |
|               | STM32G05xxx/061xx | USART1/USART2<br>I2C1/I2C2   | 0x51      | 0x1FFF1FFE | USART (V3.1)<br>I2C (V1.2)。   |
| G4            | STM32G431xx/441xx | USART1/USART2/USART3<br>I2C2/I2C3<br>SPI1/SPI2<br>DFU (USB デバイス FS)                | 0xD4      | 0x1FFF6FFE | USART (V3.1)<br>I2C (V1.2)。<br>SPI (V1.1)<br>DFU (V2.2)                 |
|               | STM32G47xxx/48xxx | USART1/USART2/USART3<br>I2C2/I2C3/I2C4<br>SPI1/SPI2<br>DFU (USB デバイス FS)           | 0xD5      | 0x1FFF6FFE | USART (V3.1)<br>I2C (V1.2)。<br>SPI (V1.1)<br>DFU (V2.2)                 |
|               | STM32G491xx/4A1xx | USART1/USART2/USART3<br>I2C2/I2C3<br>SPI1/SPI2<br>DFU (USB デバイス FS)                | 0xD2      | 0x1FFF6FFE | USART (V3.1)<br>I2C (V1.2)。<br>SPI (V1.1)<br>DFU (V2.2)                 |

表 3. 内蔵ブートローダ (続き)

| STM32<br>シリーズ                         | デバイス              | サポートされる<br>シリアルペリフェラル  | ブートローダ ID  |   | ブートローダ<br>(プロトコル) の<br>バージョン  |
|---------------------------------------|-------------------|--|------------|---|---|
|                                       |                   |  | ID         | メモリ位置                                     |   |
| H7                                    | STM32H72xxx/73xxx | USART1/USART2/USART3<br>I2C1/I2C2/I2C3/<br>DFU (USB デバイス FS) /<br>SPI1/SPI2/SPI3/SPI4/<br>FDCAN1 | 0x93       | 0x1FF1E7FE                                | USART (V3.1)<br>I2C (V1.2)。<br>DFU (V2.2)<br>SPI (V1.1)<br>FDCAN (V1.0) |
|                                       | STM32H74xxx/75xxx | USART1/USART2/USART3<br>I2C1/I2C2/I2C3/<br>DFU (USB デバイス FS) /<br>SPI1/SPI2/SPI3/SPI4/<br>FDCAN1 | 0x90       | 0x1FF1E7FE                                | USART (V3.1)<br>I2C (V1.1)。<br>DFU (V2.2)<br>SPI (V1.2)<br>FDCAN (V1.0) |
|                                       | STM32H7A3xx/B3xx  | USART1/USART2/USART3<br>I2C1/I2C2/I2C3/<br>DFU (USB デバイス FS) /<br>SPI1/SPI2/SPI3/SPI4/<br>FDCAN1 | 0x91       | 0x1FF13FFE                                | USART (V3.1)<br>I2C (V1.2)。<br>DFU (V2.2)<br>SPI (V1.2)<br>FDCAN (V1.0) |
| L0                                    | STM32L01xxx/02xxx | USART2/SPI1  | 0xC3       | 0x1FF00FFE                                | USART (V3.1)<br>SPI (V1.1)  |
|                                       | STM32L031xx/041xx | USART2/SPI1  | 0xC0       | 0x1FF00FFE                                | USART (V3.1)<br>SPI (V1.1)  |
|                                       | STM32L05xxx/06xxx | USART1/USART2/<br>SPI1/SPI2  | 0xC0       | 0x1FF00FFE                                | USART (V3.1)<br>SPI (V1.1)  |
|                                       | STM32L07xxx/08xxx | USART1/USART2/<br>DFU (USB デバイス FS)  | 0x41       | 0x1FF01FFE                                | USART (V3.1)<br>DFU (V2.2)  |
| USART1/USART2/SPI1/SPI2/<br>I2C1/I2C2 |                   | 0xB2   | 0x1FF01FFE | USART (V3.1)<br>SPI (V1.1)<br>I2C (V1.2)。 |   |
| L1                                    | STM32L1xxx6(8/B)  | USART1/USART2  | 0x20       | 0x1FF00FFE                                | USART (V3.0)  |
|                                       | STM32L1xxx6(8/B)A | USART1/USART2  | 0x20       | 0x1FF00FFE                                | USART (V3.1)  |
|                                       | STM32L1xxxC       | USART1/USART2/DFU<br>(USB デバイス FS)   | 0x40       | 0x1FF01FFE                                | USART (V3.1)<br>DFU (V2.2)  |
|                                       | STM32L1xxxD       | USART1/USART2/DFU<br>(USB デバイス FS)   | 0x45       | 0x1FF01FFE                                | USART (V3.1)<br>DFU (V2.2)  |
|                                       | STM32L1xxxE       | USART1/USART2/DFU<br>(USB デバイス FS)   | 0x40       | 0x1FF01FFE                                | USART (V3.1)<br>DFU (V2.2)  |

表 3. 内蔵ブートローダ (続き)

| STM32<br>シリーズ    | デバイス   | サポートされる<br>シリアルペリフェラル   | ブートローダ ID  |   | ブートローダ<br>(プロトコル) の<br>バージョン  |
|------------------|--|---|------------|---|---|
|                  |  |   | ID         | メモリ位置   |   |
| L4               | STM32L412xx/422xx  | USART1/USART2/USART3<br>I2C1/I2C2/I2C3/<br>DFU (USB デバイス FS)<br>/SPI1/SPI2              | 0xD1       | 0x1FFF6FFE  | USART (V3.1)<br>I2C (V1.2)。<br>DFU (V2.2)<br>SPI (V1.1)                 |
|                  | STM32L43xxx/44xxx  | USART1/USART2/USART3/<br>I2C1/I2C2/I2C3/<br>CAN1/<br>DFU (USB デバイス FS) /<br>SPI1/SPI2   | 0x91       | 0x1FFF6FFE  | USART (V3.1)<br>I2C (V1.2)。<br>CAN (V2.0)<br>DFU (V2.2)<br>SPI (V1.1)   |
|                  | STM32L45xxx/46xxx  | USART1/USART2/USART3/<br>I2C1/I2C2/I2C3/<br>CAN1/<br>DFU (USB デバイス FS) /<br>SPI1/SPI2   | 0x92       | 0x1FFF6FFE  | USART (V3.1)<br>I2C (V1.2)。<br>CAN (V2.0)<br>DFU (V2.2)<br>SPI (V1.1)   |
|                  | STM32L47xxx/48xxx  | USART1/USART2/USART3/<br>I2C1/I2C2/I2C3/<br>DFU (USB デバイス FS)                           | 0xA3       | 0x1FFF6FFE  | USART (V3.1)<br>I2C (V1.2)。<br>DFU (V2.2)                               |
|                  |  | USART1/USART2/USART3/<br>I2C/I2C2/I2C3<br>SPI1/SPI2/<br>CAN1/<br>DFU (USB デバイス FS)      | 0x92       | 0x1FFF6FFE  | USART (V3.1)<br>I2C (V1.2)<br>SPI (V1.1)<br>CAN (V2.0)<br>DFU (V2.2)    |
|                  | STM32L496xx/4A6xx  | USART1/USART2/USART3/<br>I2C1/I2C2/I2C3/<br>CAN1/<br>DFU (USB デバイス FS) /<br>SPI1/SPI2   | 0x93       | 0x1FFF6FFE  | USART (V3.1)<br>I2C (V1.2)。<br>CAN (V2.0)<br>DFU (V2.2)<br>SPI (V1.1)   |
|                  | STM32L4Rxxx/STM32L4Sxxx  | USART1/USART2/USART3/<br>I2C1/I2C2/I2C3/<br>CAN1/<br>DFU (USB デバイス FS) /<br>SPI1/SPI2   | 0x95       | 0x1FFF6FFE  | USART (V3.1)<br>I2C (V1.2)。<br>CAN (V2.0)<br>DFU (V2.2)<br>SPI (V1.1)   |
| STM32L4P5xx/Q5xx | USART1/USART2/USART3<br>I2C1/I2C2/I2C3/<br>CAN1/<br>DFU (USB デバイス FS) /<br>SPI1/SPI2 | 0x90  | 0x1FFF6FFE | USART (V3.1)<br>I2C (V1.2)。<br>CAN (V2.0)<br>DFU (V2.2)<br>SPI (V1.1) |   |
| L5               | STM32L552xx/562xx  | USART1/USART2/USART3<br>I2C1/I2C2/I2C3<br>SPI1/SPI2/SPI3<br>DFU (USB デバイス FS)<br>FDCAN1 | 0x92       | 0x0BF97FFE  | USART (V3.1)<br>I2C (V1.2)。<br>SPI (V1.1)<br>DFU (V2.2)<br>FDCAN (V1.0) |

表 3. 内蔵ブートローダ (続き)

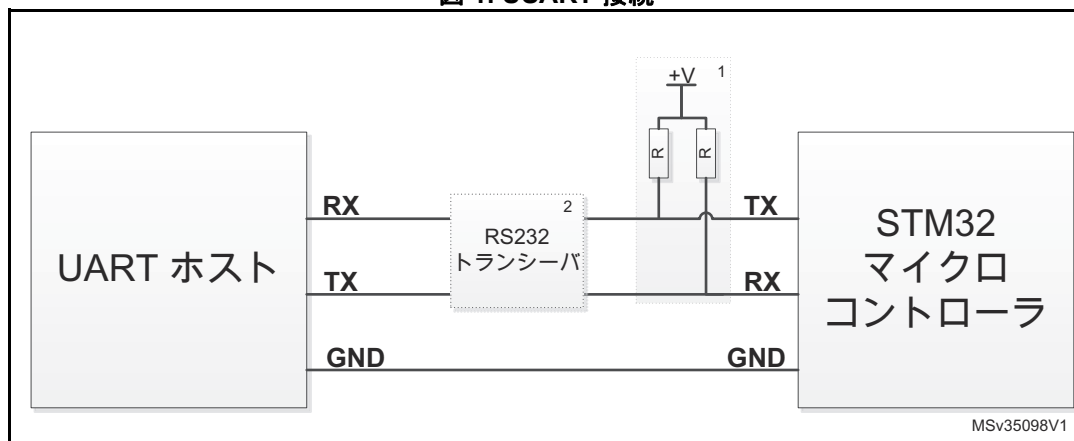
| STM32<br>シリーズ | デバイス                       | サポートされる<br>シリアルペリフェラル   | ブートローダ ID |            | ブートローダ<br>(プロトコル) の<br>バージョン  |
|---------------|----------------------------|---|-----------|------------|---|
|               |                            |   | ID        | メモリ位置      |   |
| WB            | STM32WB10xx/15xx           | USART1/<br>I2C1/<br>SPI1  | 0xB1      | 0x1FFF6FFE | USART (V3.1)<br>I2C (V1.2)。<br>SPI (V1.1)                               |
|               | STM32WB30xx/35xx/50xx/55xx | USART1/<br>I2C1/I2C3<br>SPI1/SPI2<br>DFU (USB デバイス FS)                                  | 0xD5      | 0x1FFF6FFE | USART (V3.2)<br>I2C (V1.2)。<br>SPI (V1.1)<br>DFU (V2.2)                 |
| WL            | STM32WLE5xx/55xx           | USART1/USART2<br>SPI1/SPI2  | 0xC4      | 0x1FFF3EFE | USART (V3.1)<br>SPI (V1.1)  |
| U5            | STM32U575xx/STM32U585xx    | USART1/USART2/USART3<br>I2C1/I2C2/I2C3<br>SPI1/SPI2/SPI3<br>DFU (USB デバイス FS)<br>FDCAN1 | 0x92      | 0x0BF99EFE | USART (V3.1)<br>I2C (V1.2)。<br>SPI (V1.1)<br>DFU (V2.2)<br>FDCAN (V1.1) |

1. コネクティビティラインデバイスの場合、USART ブートローダはプロトコルのバージョンとして V2.2 ではなく V2.0 を返します。詳細については、[www.st.com](http://www.st.com) から入手可能な「STM32F105xx および STM32F107xx リビジョン Z」正誤表シートを参照してください。

### 4.3 ハードウェア接続要件

USART ブートローダを使用するには、シリアルケーブルを使用して、目的の USARTx インタフェースの RX ピンおよび TX ピンにホストを接続する必要があります。

図 1. USART 接続

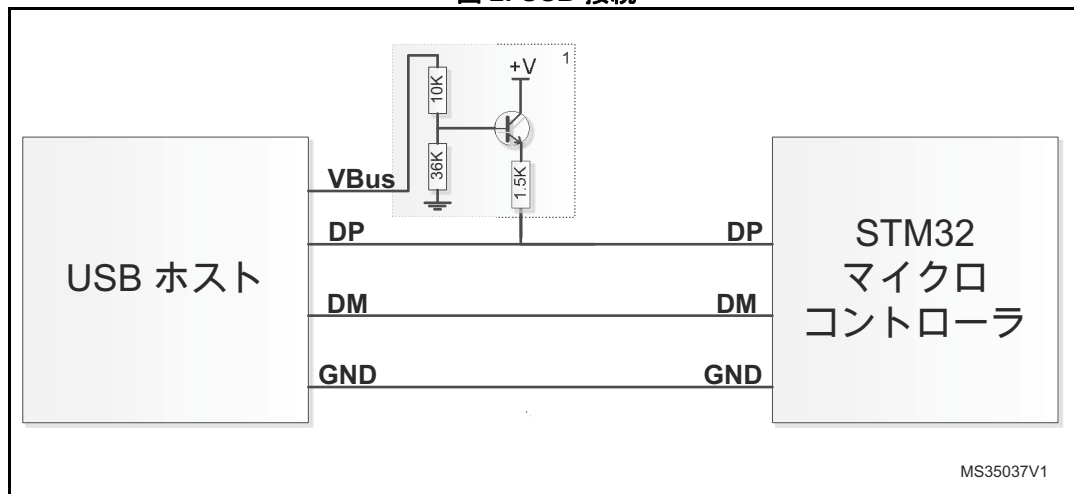


1. プルアップ抵抗がホスト側に接続されていない場合は追加する必要があります。
2. STM32 デバイスとホストの間の電圧レベル (3.3 ~ 12 V) に合わせるには、RS232 トランシーバを接続する必要があります。

**注：** 通常、+V は 3.3 V、R は 100 k $\Omega$  です。これらの値は、アプリケーションと使用しているハードウェアによって異なります。

DFU を使用するには、マイクロコントローラの USB インタフェースを USB ホスト (PC) に接続します。

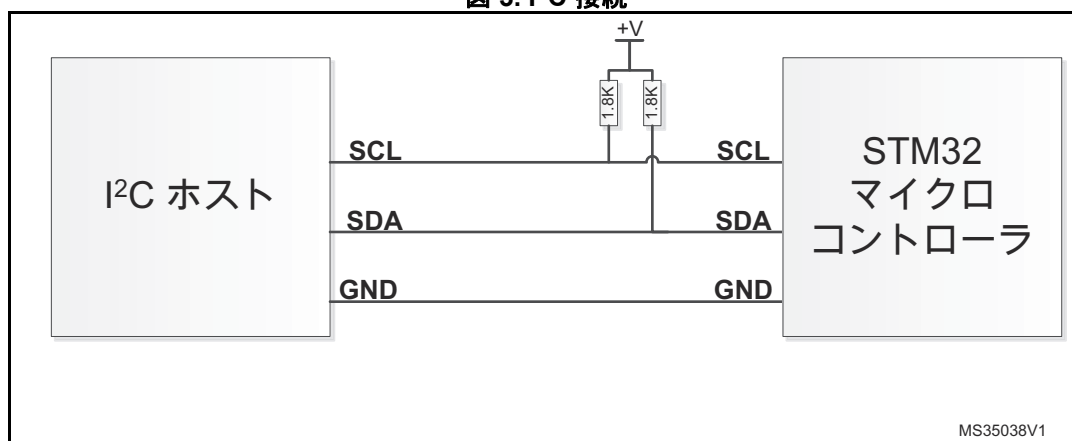
図 2. USB 接続



1. この追加回路により、必要に応じて VBus を使用してプルアップ抵抗を DP ピンに接続できます。外部プルアップ抵抗を DP ピンに接続する必要があるかどうかを確認するには、製品セクション (システム・メモリ・ブート・モードの STM32 の設定について説明している表) を参照してください。

**注：** +V は通常 3.3 V です。この値は、アプリケーションと使用しているハードウェアによって異なります。

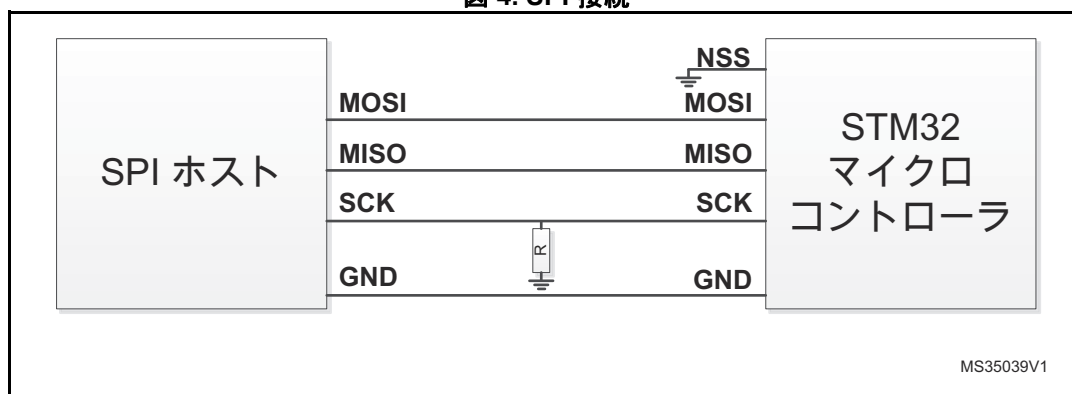
I<sup>2</sup>C ブートローダを使用するには、ホスト (マスタ) と目的の I<sup>2</sup>Cx インタフェース (スレーブ) を、データ (SDA) とクロック (SCL) ピンを使用して接続します。1.8 k $\Omega$  のプルアップ抵抗を、SDA と SCL の両方のラインに接続する必要があります。

図 3. I<sup>2</sup>C 接続

注： +Vは通常 3.3 Vです。この値は、アプリケーションと使用しているハードウェアによって異なります。

SPI ブートローダを使用するには、ホスト（マスタ）と目的の SPIx インタフェース（スレーブ）を MOSI、MISO、および SCK の各ピンを使用して接続します。NSS ピンは GND に接続する必要があります。プルダウン抵抗を SCK ラインに接続する必要があります。

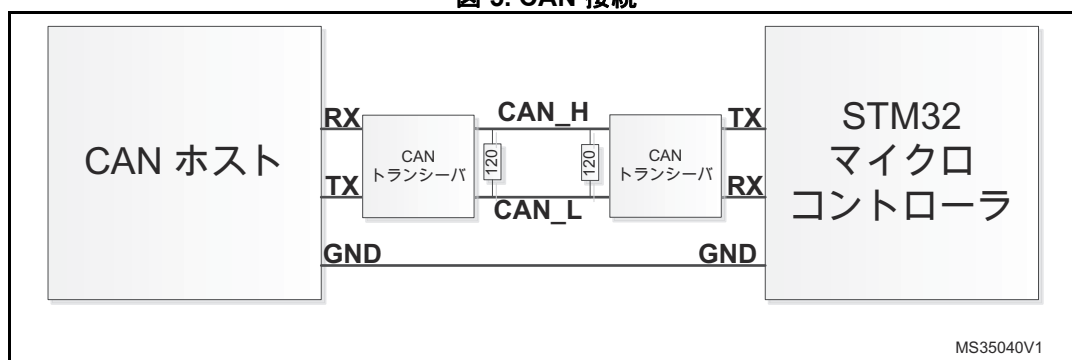
図 4. SPI 接続



注： 通常、R は 10 KΩ です。この値は、アプリケーションと使用しているハードウェアによって異なります。

CAN インタフェースを使用するには、CAN トランシーバとシリアルケーブルを使用して、目的の CANx インタフェースの RX ピンおよび TX ピンにホストを接続する必要があります。120 Ω の抵抗を終端抵抗として追加する必要があります。

図 5. CAN 接続



注： ブートローダのファームウェアが DFU をサポートしている場合、他のインタフェースの選択フェーズ中に USB ペリフェラルを USB ホストに接続しないでください。選択フェーズ後、ユーザーは、システムリセットを発生する実行例外コマンドへの影響を与えずに USB ケーブルを接続できます。

ブートローダ（検出フェーズ）の起動時に、未使用のブートローダのインタフェース（USART\_RX、SPI\_MOSI、CAN\_RX と、ある場合は USB D+/D- ライン）の RX ピンを、既知の（ローまたはハイ）レベルに保持することを推奨します。検出フェーズ中にこれらのピンをフローティング状態にしておくと、未使用のインタフェースが有効になることがあります。

## 4.4 ブートローダのメモリ管理

ブートローダのコマンドを使用する書込み操作は、すべて必ずワード境界でのみ整列されていなければなりません（アドレスは 4 の倍数であること）。書き込むデータ数も 4 の倍数とする必要があります（未整列のハーフページ書込みアドレスも使用できます）。

一部の製品には、いくつかの固有の機能を持つブートローダが内蔵されています。

- 一部の製品は全体消去操作をサポートしません。ブートローダを使用して全体消去操作を実行するには、2 つのオプションから選択できます。
  - Erase コマンドを使用してすべてのセクタを 1 つずつ消去する
  - 保護レベルをレベル 1 にセットする。その後、レベルを 0 にセットする（Read Protect コマンドを使用後、Read Unprotect コマンドを使用）。この操作により、内部 Flash メモリが全体消去される
- STM32 L1 および L0 シリーズのブートローダのファームウェアは、標準メモリ（内部 Flash、内部 SRAM、オプションバイト、およびシステムメモリ）に加え、データメモリもサポートしています。開始アドレスとこの領域のサイズは製品によって異なります。詳細については、製品リファレンス・マニュアルを参照してください。データ・メモリの読み書きはできますが、Erase コマンドによる消去はできません。データメモリの位置を書き込む際、書込み前のこの位置の消去操作はブートローダのファームウェアによって管理されます。データ・メモリへの書込みはワード境界で整列されていなければなりません（書き込むアドレスが 4 の倍数であること）。また、データ数も 4 の倍数である必要があります。データ・メモリの位置を消去するには、この位置にゼロを書き込みます。
- STM32 F2、F4、F7 および L4 シリーズのブートローダのファームウェアは、標準メモリ（内部 Flash、内部 SRAM、オプションバイト、およびシステム・メモリ）に加え、OTP メモリもサポートしています。開始アドレスとこの領域のサイズは製品によって異なります。詳細については、製品リファレンス・マニュアルを参照してください。OTP メモリの読み書きはできますが、Erase コマンドによる消去はできません。OTP メモリの位置を書き込む際は、関連する保護ビットがリセットされていないことを確認してください。
- STM32 F2、F4、および F7 シリーズでは、内部 Flash メモリへの書込み操作フォーマットは電圧レンジによって異なります。デフォルトでは、書込み操作は 1 つのバイト・フォーマットで実行できます（ハーフワード、ワード、およびダブルワード操作は不可）。書込み操作の速度を上げるには、適切な電圧レンジを適用してハーフワード、ワード、またはダブルワードでの書込み操作を可能にする必要があります。動作中に仮想メモリの位置を介してブートローダ・ソフトウェアを使用してこの設定を更新してください。このメモリ位置は物理的な位置ではありませんが、使用しているプロトコルに従って、通常のブートローダの読出し/書込み操作で読み書きできます。このメモリ位置には、表 4 で説明する 4 つのバイトが含まれています。1、2、3、または 4 バイトでアクセスできます。ただし、予約済みのバイトはデフォルト値（0xFF）のままとする必要があります。そのようにしないとリクエストが NACK されます。

表 4. ブートローダを使用した STM32 F2、F4、および F7 の電圧レンジの設定

| アドレス       | サイズ   | 説明   |
|------------|-------|--|
| 0xFFFF0000 | 1 バイト | このバイトは、電圧レンジの現在値を制御します。<br>0x00 : 電圧レンジ [1.8 V、2.1 V]<br>0x01 : 電圧レンジ [2.1 V、2.4 V]<br>0x02 : 電圧レンジ [2.4 V、2.7 V]<br>0x03 : 電圧レンジ [2.7 V、3.6 V]<br>0x04 : 電圧レンジ [2.7 V、3.6 V] およびダブルワード書き込み/消去操作を使用。この場合、VPP ピンを介した 9 V の供給は必須です (ダブルワード書き込み手順の詳細については、製品リファレンスマニュアルを参照)。<br>その他 : その他の値はすべてサポートされず、NACK されます。 |
| 0xFFFF0001 | 1 バイト | 予約済み。<br>0xFF : デフォルト値。<br>その他 : その他の値はすべてサポートされず、NACK されます。   |
| 0xFFFF0002 | 1 バイト | 予約済み。<br>0xFF : デフォルト値。<br>その他 : その他の値はすべてサポートされず、NACK されます。   |
| 0xFFFF0003 | 1 バイト | 予約済み。<br>0xFF : デフォルト値。<br>その他 : その他の値はすべてサポートされず、NACK されます。   |

次の表に、ブートローダのコマンドごとの有効なメモリ領域を示します。

表 5. Write、Read、Erase、および Go コマンドでサポートされるメモリ領域

| メモリ領域    | 書き込みコマンド  | 読み出しコマンド | 消去コマンド    | Go コマンド   |
|----------|-----------|----------|-----------|-----------|
| Flash    | サポートされます  | サポートされます | サポートされます  | サポートされます  |
| RAM      | サポートされます  | サポートされます | サポートされません | サポートされます  |
| システム・メモリ | サポートされません | サポートされます | サポートされません | サポートされません |
| データ・メモリ  | サポートされます  | サポートされます | サポートされません | サポートされません |
| OTP メモリ  | サポートされます  | サポートされます | サポートされません | サポートされません |



## 4.5 ブートローダ UART ボーレート検出

UART インタフェースのボーレート検出向けとして STM32 デバイスに実装されているメカニズムには次の 2 種類があります。

- 内部 HSI とタイマを使用したソフトウェア・ボーレート検出（GPIO を入力として、AN3155 の説明にある立ち下がリエッジと立ち上がりエッジを検出）。  
 このメカニズムを使用するデバイスでは、ソフトウェアのジッタ（ボーレート計算の不定誤差）が発生し、最大で $\pm 5\%$  に達することがあります。  
 したがって、STM32 ブートローダの UART インタフェースに接続するホストは、 $\pm 5\%$  に相当するボーレートの変動をサポートする必要があります。  
 このソフトウェアのジッタの値は変動し、試行ごとに異なります。したがって、ソフトウェアのジッタに対処するために、接続を複数回試行することが考えられます（接続してブートローダの応答が正しいかどうか確認します。応答が正しくない場合はデバイスをリセットして、正しい応答が得られるまで接続を試みます。正しい応答が得られれば、以降の接続はソフトウェア・ジッタの影響を受けなくなります）。  
 ボーレート値を低くすることでソフトウェア・ジッタを低減することもできます（たとえば、115200 の代わりに 56000 を使用します）。  
 ボーレートを 115200 bps とした場合のソフトウェアのジッタの最大値を表 6 に示します。  
 ボーレートが低いほど、ソフトウェア・ジッタも少なくなります。
- UART の自動ボーレート機能を使用したボーレート検出。このメカニズムを使用するデバイスではソフトウェア・ジッタが発生しません。

表 6. ブートローダ USART 検出におけるソフトウェア・ジッタ計算値

| シリーズ   | ボーレート検出方法      | 115200 bps でのソフトウェア・ジッタ最大値 |
|--|----------------|----------------------------|
| STM32F0  | ソフトウェア・ボーレート検出 | -1%                        |
| STM32F1  | ソフトウェア・ボーレート検出 | -3%                        |
| STM32F2  | ソフトウェア・ボーレート検出 | -5%                        |
| STM32F3  | ソフトウェア・ボーレート検出 | -2%                        |
| STM32F4  | ソフトウェア・ボーレート検出 | -6%                        |
| STM32F7  | ソフトウェア・ボーレート検出 | -6%                        |
| STM32L0  | ソフトウェア・ボーレート検出 | -2%                        |
| STM32L1  | ソフトウェア・ボーレート検出 | -3%                        |
| STM32L4  | ソフトウェア・ボーレート検出 | -5%                        |
| STM32G07x/8x UART3<br>STM32G03x/4x UART2       | ソフトウェア・ボーレート検出 | -4%                        |
| STM32G07x/8x UART1/UART2<br>STM32G03x/4x UART1 | 自動ボーレート        | 該当なし                       |
| STM32G4  | 自動ボーレート        | 該当なし                       |
| STM32H7  | 自動ボーレート        | 該当なし                       |
| STM32WB  | 自動ボーレート        | 該当なし                       |
| STM32WL  | 自動ボーレート        | 該当なし                       |

## 4.6 プログラミングの制約

ブートローダのインターフェースを使用して Flash メモリに書き込む場合は、プログラムするアドレスを表 7 に従った整列にする必要があります。

この整列に従っていないアドレスへの書き込み操作は失敗し、以降の各プログラム操作も同様に失敗します。

表 7. STM32 製品における Flash メモリ整列に対する制約

| シリーズ    | 整列     |
|---------|--------|
| STM32F0 | 4 バイト  |
| STM32F1 | 4 バイト  |
| STM32F2 | 4 バイト  |
| STM32F3 | 4 バイト  |
| STM32F4 | 4 バイト  |
| STM32F7 | 8 バイト  |
| STM32G0 | 4 バイト  |
| STM32G4 | 4 バイト  |
| STM32H7 | 8 バイト  |
| STM32L0 | 8 バイト  |
| STM32L1 | 8 バイト  |
| STM32L4 | 8 バイト  |
| STM32L5 | 16 バイト |
| STM32WB | 8 バイト  |
| STM32WL | 8 バイト  |
| STM32U5 | 16 バイト |

### 整列の例

- 4 バイト：0x08000014 は正しい整列なので正しく処理され、0x08000012 は整列が誤っているので失敗します。
- 8 バイト：0x08000010 は正しい整列なので正しく処理され、0x08000014 は整列が誤っているので失敗します。

注：製品によっては（STM32F4 と STM32F7）、デバイスの機能空間への書き込みによって整列の制約を変更できるものがあります。

## 4.7 ExitSecureMemory 機能

機密情報（秘密）を操作するセキュア・ブート・コード/データをアプリケーション・コードから隔離するには、セキュリティ保護可能な領域を使用します。

- FLASH\_CR レジスタのセキュリティ保護可能なメモリ・ビット SEC\_PROT（1 回のみ書込み可能）によってアクセスが制御されます。
- ブート時に一度実行され、その後セキュリティ保護可能なメモリ・ビットの書込みによりロックされます。
  - セキュリティ保護可能な領域で保護されているコードは、SEC\_PROT ビットのロックを解除する次のリセットまで秘匿された状態になります。
- 幅（Flash メモリのページ数）は、Flash メモリの FLASH\_SEC\_R レジスタのオプションバイトである SEC\_SIZE によって定義されます。

ExitSecureMemory は、システム・メモリ上で開発され、ホストされているソフトウェアです。ユーザのブート・コードがこのソフトウェアにジャンプすると、SEC\_PROT ビットが「1」に設定され、アプリケーション・コードに実行をジャンプできます。ExitSecureMemory 機能にジャンプする前に、SEC\_SIZE を所要の値に設定しておく必要があります。

図 6 に示すように 2 種類のジャンプ方法を使用できます。

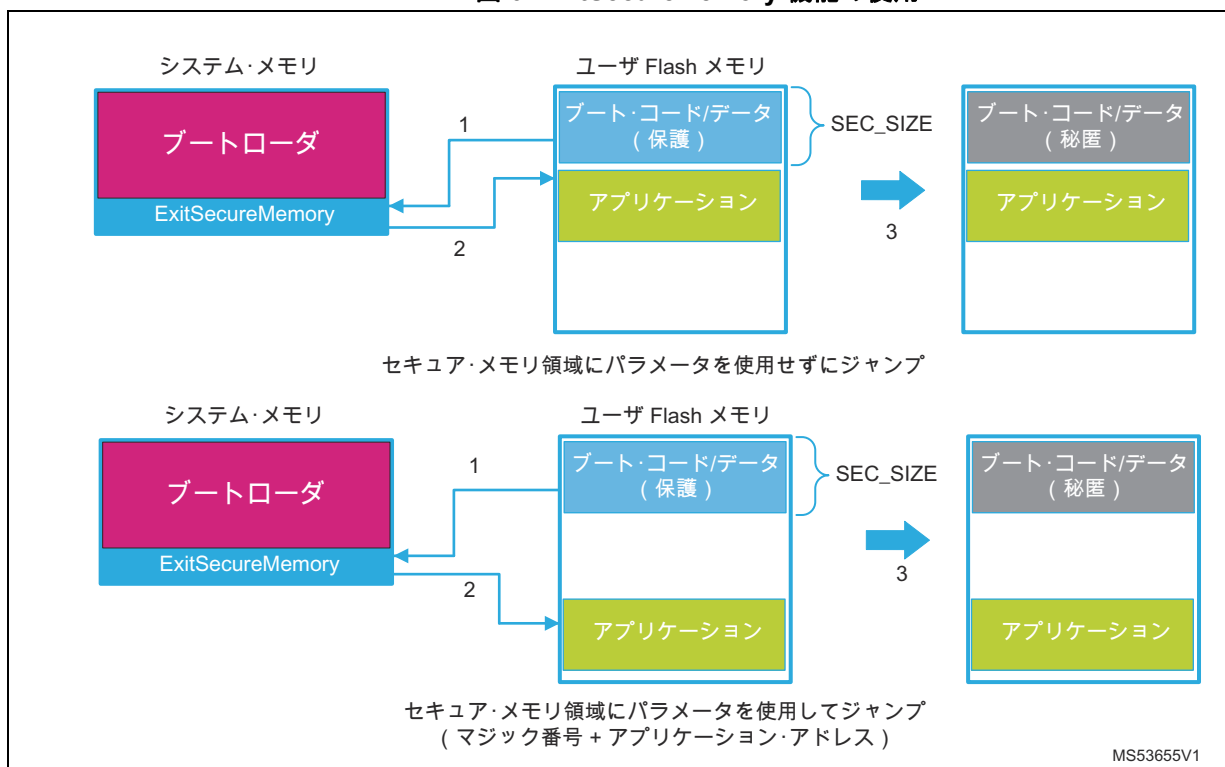
### セキュア・メモリ機能にパラメータを使用せずにジャンプする方法

この場合は、セキュア・メモリを定義した直後にアプリケーションをロードする必要があります。

### セキュア・メモリ機能に 2 つのパラメータを使用してジャンプする方法

- 1.マジック番号
  - 0x08192A3C
    - シングル・バンク製品では、ブート・コード/データを Flash でセキュリティ保護してジャンプするために使用します。
    - デュアル・バンク製品では、ブート・コード/データを Bank1 でセキュリティ保護してジャンプするために使用します。
  - 0x08192A3D
    - デュアル・バンク製品では、Bank2 でブート・コード/データをセキュリティ保護してアプリケーションにジャンプするために使用します。
2. ユーザ・アドレス = アプリケーション・アドレス
  - この場合は、ユーザ・アドレスの定義を使用してアプリケーションを任意のアドレスにロードできます。

図 6. ExitSecureMemory 機能の使用



注： オプションバイトの設定の詳細については、リファレンス・マニュアルを参照してください。

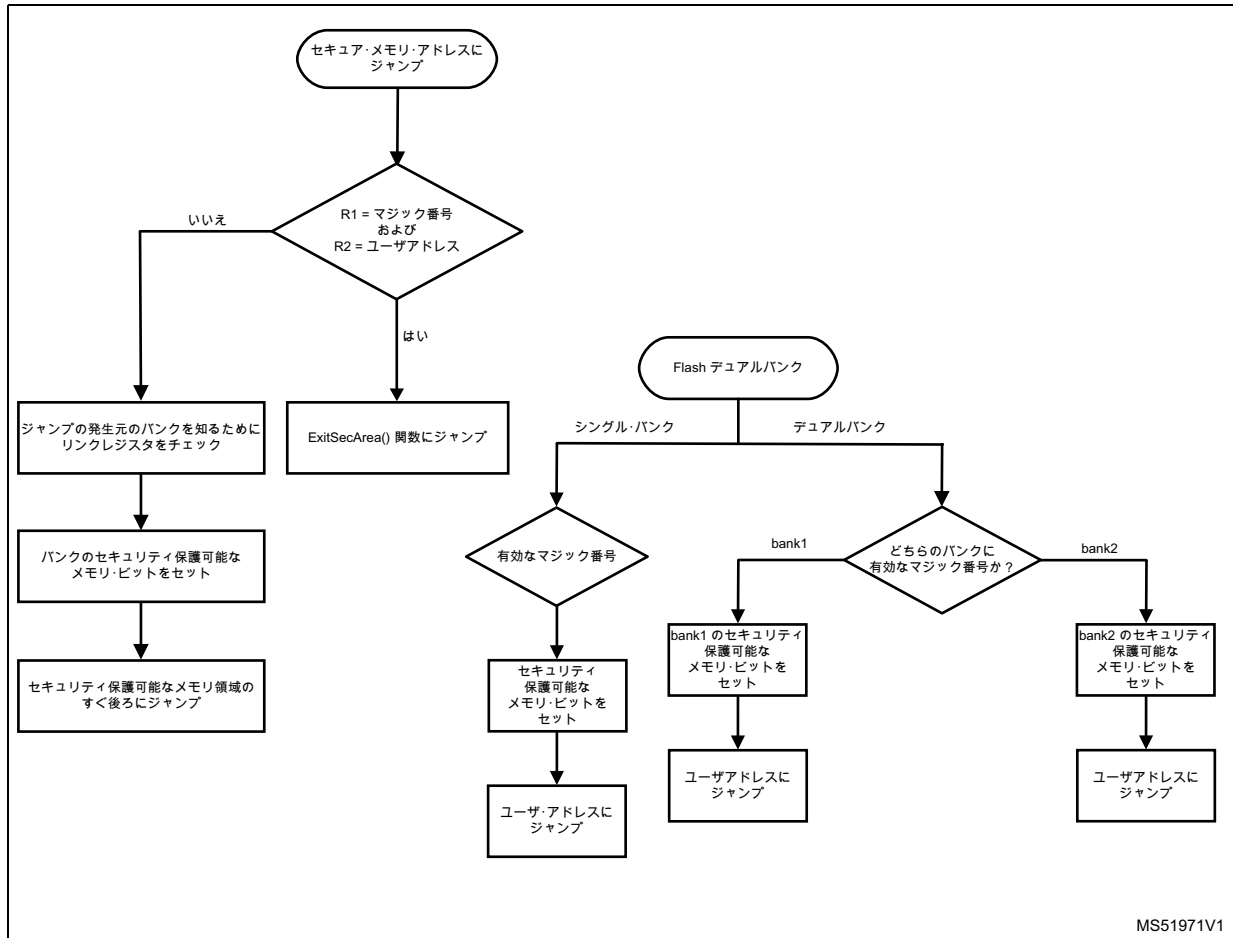
注： 「ExitSecureMemory」の呼び出しに使用できる関数の例が付録 A にあります。

表 8. ExitSecureMemory のエントリ・アドレス

| MCU     |                   | ExitSecureMemory のアドレス |
|---------|-------------------|------------------------|
| STM32G0 | STM32G07xxx/08xxx | 0x1FFF6800             |
|         | STM32G03xxx/04xxx | 0x1FFF1E00             |
|         | STM32G0Bxxx/0Cxxx | 0x1FFF6800             |
|         | STM32G05xxx/061xx | 0x1FFF6800             |
| STM32G4 | STM32G47xxx/48xxx | 0x1FFF6800             |
|         | STM32G431xx/441xx | 0x1FFF6800             |
|         | STM32G491xx/4A1xx | 0x1FFF6800             |

詳細については、図 7を参照してください。

図 7. ブートローダからセキュリティ保護可能な領域へのアクセス



MS51971V1

1. ブートローダは、ユーザ・アドレスの整合性をチェックしません。ジャンプ先のアドレスの有効性はユーザ側で確認する必要があります。

## 5 STM32C011xx デバイスのブートローダ

### 5.1 ブートローダの設定

STM32C011xx ブートローダは、パターン 11 を適用すると有効化されます (表 2: ブートローダの有効化パターンを参照)。表 13 に、このブートローダが使用するハードウェア・リソースを示します。

表 9. システム・メモリ・ブート・モードでの STM32C011xx の設定

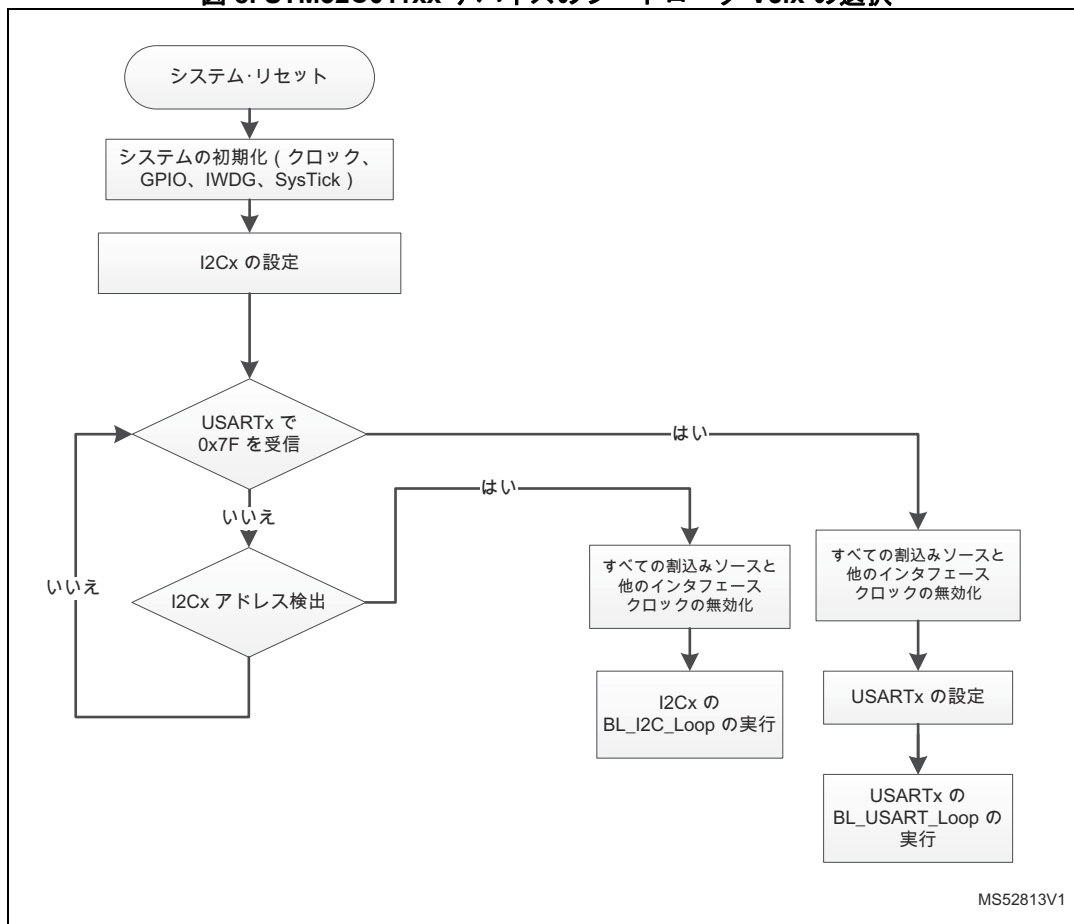
| ブートローダ        | 機能/ペリフェラル    | 状態         | コメント  |
|---------------|--------------|------------|---|
| すべてのブートローダに共通 | RCC          | HSI は有効です。 | システム・クロック周波数は 24 MHz です (PLL なし)。   |
|               | RAM          | -          | アドレス 0x20000000 から始まる 3.5 KB は、ブートローダのファームウェアによって使用されます。  |
|               | システム・メモリ     | -          | アドレス 0x1FFF0000 から始まる 6 KB に、ブートローダのファームウェアが含まれています。  |
|               | IWDG         | -          | 独立型ウォッチドッグ (IWDG) プリスケアラは、最大値に設定されます。これは、定期的にリフレッシュされ、ウォッチドッグがリセットされるのを防ぎます (ハードウェアの IWDG オプションがユーザによって事前に有効化されている場合)。                      |
| セキュリティ保護可能な領域 | -            | -          | セキュリティ保護可能な領域のジャンプ先のアドレス: @0x1FFF1600   |
| USART1 ブートローダ | USART1       | 有効         | 一度初期化されると、USART1 の設定は 8 ビット、偶数パリティ、および 1 ストップビットになります。  |
|               | USART1_RX ピン | 入力         | PA10 ピン: 受信モードの USART1。入力プルアップ・モードで使用。  |
|               | USART1_TX ピン | 出力         | PA9 ピン: 送信モードの USART1。オルタネート・プッシュプル、プルアップ・モードで使用。   |
| I2C1 ブートローダ   | I2C1         | 有効         | I2C1 設定:<br>I <sup>2</sup> C スピード: 最大 1 MHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレス: 0b1100100x<br>(ここで、書込みの場合 x=0、読出しの場合 x=1) |
|               | I2C1_SCL ピン  | 入力/出力      | PB6 ピン: クロック・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。  |
|               | I2C1_SDA ピン  | 入力/出力      | PB7 ピン: データ・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。   |

注: WLCSP-12、SO-8N、TSSOP-20、UFQFN-20 の各パッケージでは USART1 PA9/PA10 IO が PA11/PA12 に再配置されます。

## 5.2 ブートローダの選択

図 10 に、ブートローダの選択メカニズムを示します。

図 8. STM32C011xx デバイスのブートローダ V5.x の選択



## 5.3 ブートローダのバージョン

次の表に、STM32C011xx デバイスのブートローダのバージョンを示します。

表 10. STM32C011xx のブートローダのバージョン

| ブートローダのバージョン番号 | 説明             | 既知の制限 |
|----------------|----------------|-------|
| V5.1           | ブートローダの初期バージョン | なし    |

## 6 STM32C031xx デバイスのブートローダ

### 6.1 ブートローダの設定

STM32C031xx ブートローダは、パターン 11 を適用すると有効化されます (表 2: ブートローダの有効化パターンを参照)。表 13 に、このブートローダが使用するハードウェア・リソースを示します。

表 11. システム・メモリ・ブート・モードでの STM32C031xx の設定

| ブートローダ        | 機能/ペリフェラル    | 状態         | コメント  |
|---------------|--------------|------------|---|
| すべてのブートローダに共通 | RCC          | HSI は有効です。 | システム・クロック周波数は 24 MHz です (PLL なし)。   |
|               | RAM          | -          | アドレス 0x20000000 から始まる 3.5 KB は、ブートローダのファームウェアによって使用されます。  |
|               | システム・メモリ     | -          | アドレス 0x1FFF0000 から始まる 6 KB に、ブートローダのファームウェアが含まれています。  |
|               | IWDG         | -          | 独立型ウォッチドッグ (IWDG) プリスケアラは、最大値に設定されます。これは、定期的によりフレッシュされ、ウォッチドッグがリセットされるのを防ぎます (ハードウェアの IWDG オプションがユーザによって事前に有効化されている場合)。                     |
| セキュリティ保護可能な領域 | -            | -          | セキュリティ保護可能な領域のジャンプ先のアドレス: @0x1FFF1600   |
| USART1 ブートローダ | USART1       | 有効         | 一度初期化されると、USART1 の設定は 8 ビット、偶数パリティ、および 1 ストップビットになります。  |
|               | USART1_RX ピン | 入力         | PA10 ピン: 受信モードの USART1。入力プルアップ・モードで使用。  |
|               | USART1_TX ピン | 出力         | PA9 ピン: 送信モードの USART1。オルタネート・プッシュプル、プルアップ・モードで使用。   |
| I2C1 ブートローダ   | I2C1         | 有効         | I2C1 設定:<br>I <sup>2</sup> C スピード: 最大 1 MHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレス: 0b1100011x<br>(ここで、書込みの場合 x=0、読出しの場合 x=1) |
|               | I2C1_SCL ピン  | 入力/出力      | PB6 ピン: クロック・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。  |
|               | I2C1_SDA ピン  | 入力/出力      | PB7 ピン: データ・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。   |

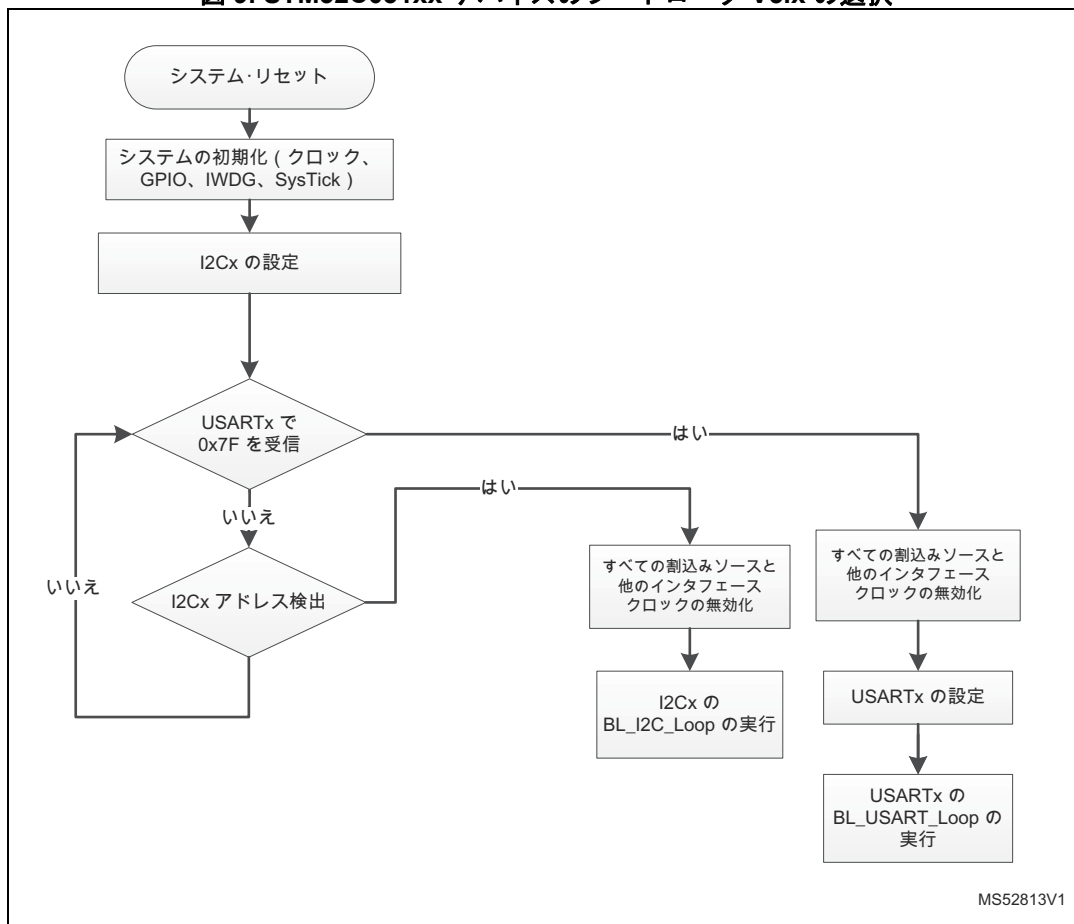
注: TSSOP-20 と UFQFN-28 の各パッケージでは USART1 PA9/PA10 IO が PA11/PA12 に再配置されます。



## 6.2 ブートローダの選択

図 10 に、ブートローダの選択メカニズムを示します。

図 9. STM32C031xx デバイスのブートローダ V5.x の選択



## 6.3 ブートローダのバージョン

次の表に、STM32C031xx デバイスのブートローダのバージョンを示します。

表 12. STM32C031xx のブートローダのバージョン

| ブートローダのバージョン番号 | 説明             | 既知の制限 |
|----------------|----------------|-------|
| V5.2           | ブートローダの初期バージョン | なし    |

## 7 STM32F03xx4/6 デバイスのブートローダ

### 7.1 ブートローダの設定

STM32F03xx4/6 ブートローダは、パターン 2 を適用すると有効化されます (表 2: ブートローダの有効化パターンを参照)。表 13 に、このブートローダが使用するハードウェア・リソースを示します。

表 13. システム・メモリ・ブート・モードでの STM32F03xx4/6 の設定

| ブートローダ                      | 機能/ペリフェラル    | 状態         | コメント  |
|-----------------------------|--------------|------------|---|
| すべてのブートローダに共通               | RCC          | HSI は有効です。 | システム・クロック周波数は 24 MHz です (HSI によってクロック供給された PLL を使用)。<br>Flash ウェイトステート 1 個。   |
|                             | RAM          | -          | アドレス 0x20000000 から始まる 2 KB は、ブートローダのファームウェアによって使用されます。  |
|                             | システムメモリ      | -          | アドレス 0x1FFFE000 から始まる 3 KB に、ブートローダのファームウェアが含まれています。  |
|                             | IWDG         | -          | 独立型ウォッチドッグ (IWDG) プリスケアラは、最大値に設定されます。これは、定期的リフレッシュされ、ウォッチドッグがリセットされるのを防ぎます (ハードウェアの IWDG オプションがユーザによって事前に有効化されている場合)。 |
| USART1 ブートローダ (PA10/PA9 上)  | USART1       | 有効         | 一度初期化されると、USART1 の設定は 8 ビット、偶数パリティ、および 1 ストップビットになります。  |
|                             | USART1_RX ピン | 入力         | PA10 ピン: 受信モードの USART1。入力プルアップ・モードで使用。  |
|                             | USART1_TX ピン | 出力         | PA9 ピン: 送信モードの USART1。オルタネート・プッシュプル、プルアップ・モードで使用。   |
| USART1 ブートローダ (PA14/PA15 上) | USART1       | 有効         | 一度初期化されると、USART1 の設定は 8 ビット、偶数パリティ、および 1 ストップビットになります。  |
|                             | USART1_RX ピン | 入力         | PA15 ピン: 受信モードの USART1。入力プルアップ・モードで使用。  |
|                             | USART1_TX ピン | 出力         | PA14 ピン: 送信モードの USART1。オルタネート・プッシュプル、プルアップ・モードで使用。  |
| USART1 ブートローダ               | SysTick タイマ  | 有効         | ホストからシリアルポーレートを手動検出するために使用されます。   |

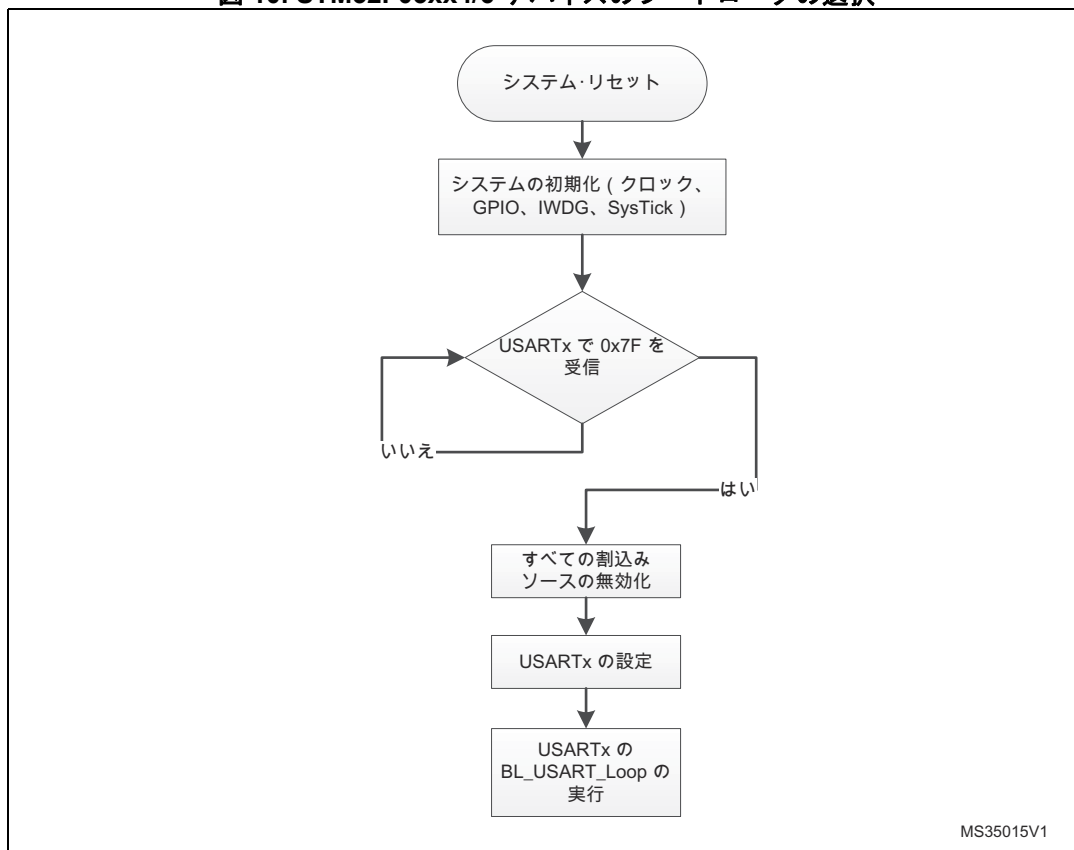
システムクロックは内蔵された内部ハイスピード RC から生成されます。ブートローダの実行に外部水晶発振器は不要です。

**注:** STM32F03xx4/6 デバイスをブートローダモードでブート後、シリアルワイヤデバッグ (SWD) 通信はシステムをリセットするまで使用できなくなります。これは、ブートローダ (USART1\_TX) ですでに使用されている PA14 ピン (SWCLK) を SWD が使用するためです。

## 7.2 ブートローダの選択

図 10 に、ブートローダの選択メカニズムを示します。

図 10. STM32F03xx4/6 デバイスのブートローダの選択



## 7.3 ブートローダのバージョン

次の表に、STM32F03xx4/6 デバイスのブートローダのバージョンを示します。

表 14. STM32F03xx4/6 のブートローダのバージョン

| ブートローダのバージョン番号 | 説明             | 既知の制限  |
|----------------|----------------|--|
| V1.0           | ブートローダの初期バージョン | USART インタフェースでは、Read Memory コマンドまたは Write Memory コマンドが送信されて、RDP レベルがアクティブな場合、1 つの NACK の代わりに 2 つの連続した NACK を送信します。 |

## 8 STM32F030xC デバイスのブートローダ

### 8.1 ブートローダの設定

STM32F030xC ブートローダは、パターン 2 を適用すると有効化されます（表 2：ブートローダの有効化パターンを参照）。表 15 に、このブートローダが使用するハードウェア・リソースを示します。

表 15. システム・メモリ・ブート・モードでの STM32F030xC の設定

| ブートローダ                      | 機能/ペリフェラル    | 状態         | コメント  |
|-----------------------------|--------------|------------|---|
| すべてのブートローダに共通               | RCC          | HSI は有効です。 | システム・クロック周波数は 48 MHz で、クロック・ソースは HSI 8 MHz です。          |
|                             | RAM          | -          | アドレス 0x20000000 から始まる 6 KB は、ブートローダのファームウェアによって使用されます。  |
|                             | システムメモリ      | -          | アドレス 0x1FFFD800 から始まる 8 KB に、ブートローダのファームウェアが含まれています。    |
| USART1 ブートローダ               | USART1       | 有効         | 一度初期化されると、USART1 の設定は 8 ビット、偶数パリティ、および 1 ストップ・ビットになります。 |
|                             | USART1_RX ピン | 入力         | PA10 ピン：受信モードの USART1。入力プルアップ・モードで使用。                   |
|                             | USART1_TX ピン | 出力         | PA9 ピン：送信モードの USART1。オルタネート・プッシュプル、プルアップ・モードで使用。        |
| USART2 ブートローダ (PA2/PA3 上)   | USART2       | 有効         | 一度初期化されると、USART2 の設定は 8 ビット、偶数パリティ、および 1 ストップ・ビットになります。 |
|                             | USART2_RX ピン | 入力         | PA3 ピン：受信モードの USART2。入力プルアップ・モードで使用。                    |
|                             | USART2_TX ピン | 出力         | PA2 ピン：送信モードの USART2。入力プルアップ・モードで使用。                    |
| USART2 ブートローダ (PA14/PA15 上) | USART2       | 有効         | 一度初期化されると、USART2 の設定は 8 ビット、偶数パリティ、および 1 ストップ・ビットになります。 |
|                             | USART2_RX ピン | 入力         | PA15 ピン：受信モードの USART2。入力プルアップ・モードで使用。                   |
|                             | USART2_TX ピン | 出力         | PA14 ピン：送信モードの USART2。オルタネート・プッシュプル、プルアップ・モードで使用。       |
| USARTx ブートローダ               | SysTick タイマ  | 有効         | USARTx ブートローダのホストからシリアルボーレートを自動検出するために使用されます。           |

表 15. システム・メモリ・ブート・モードでの STM32F030xC の設定 (続き)

| ブートローダ      | 機能/ペリフェラル   | 状態    | コメント   |
|-------------|-------------|-------|--|
| I2C1 ブートローダ | I2C1        | 有効    | I2C1 設定 :<br>I <sup>2</sup> C スピード : 最大 400 kHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレス : 0b1000001x<br>(ここで、書込みの場合 x=0、読出しの場合 x=1) |
|             | I2C1_SCL ピン | 入力/出力 | PB6 ピン : クロック・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。  |
|             | I2C1_SDA ピン | 入力/出力 | PB7 ピン : データ・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。   |

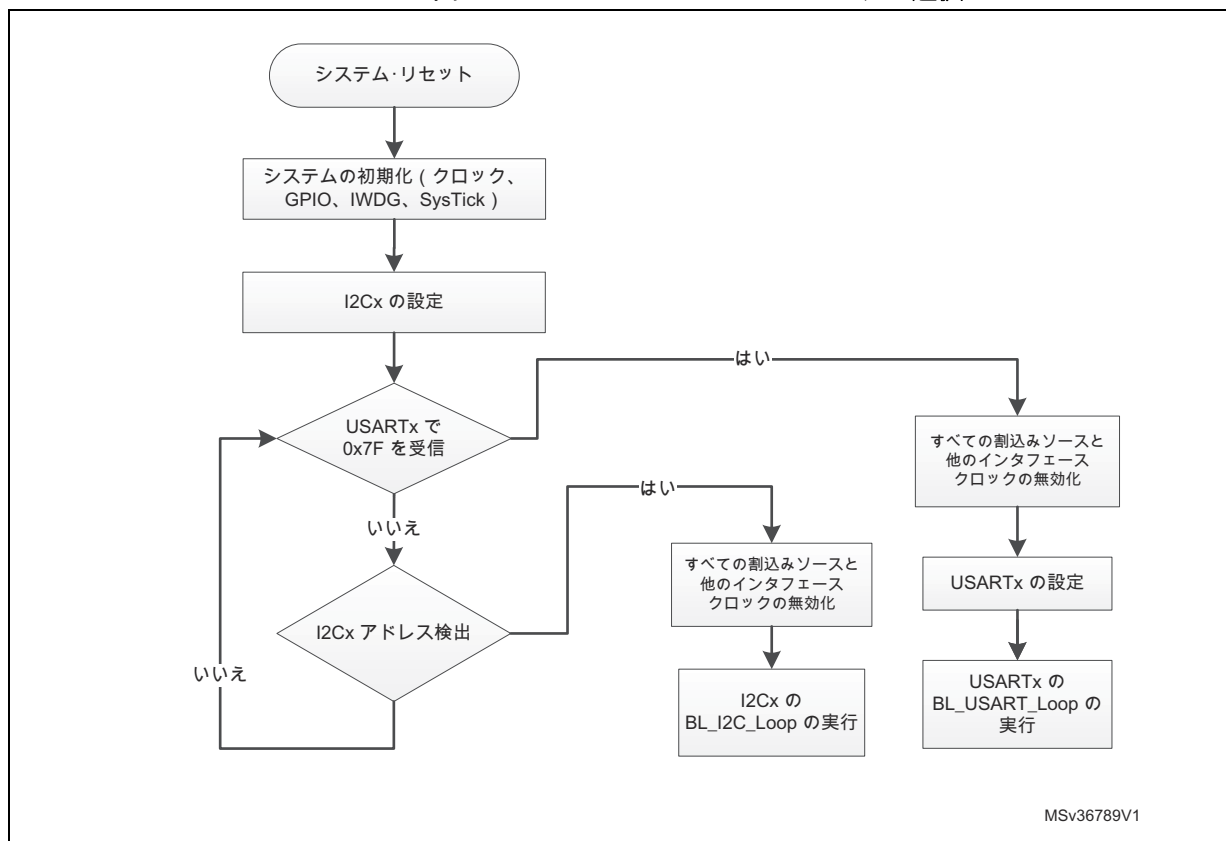
**注 :** USART2 を使用して STM32F030xC デバイスをブートローダ・モードでブート後、シリアル・ワイヤ・デバッグ (SWD) 通信はシステムをリセットするまで使用できなくなります。これは、ブートローダ (USART2\_RX) ですでに使用されている PA14 ピン (SWCLK) を SWD が使用するためです。

システムクロックは内蔵された内部ハイスピード RC から生成されます。ブートローダの実行に外部水晶発振器は不要です。

## 8.2 ブートローダの選択

図 11 に、ブートローダの選択メカニズムを示します。

図 11. STM32F030xC のブートローダの選択



## 8.3 ブートローダのバージョン

表 16 に STM32F030xC デバイスのブートローダのバージョンを示します。

表 16. STM32F030xC のブートローダのバージョン

| ブートローダのバージョン番号 | 説明             | 既知の制限                                      |
|----------------|----------------|--|
| V5.2           | ブートローダの初期バージョン | PA13は、ブートローダで使用されていなくても入力プルアップ・モードで設定されます。 |

## 9 STM32F05xxx および STM32F030x8 デバイスのブートローダ

### 9.1 ブートローダの設定

STM32F05xxx および STM32F030x8 デバイスのブートローダは、パターン 2 を適用すると有効化されます (表 2: ブートローダの有効化パターンを参照)。表 17 に、このブートローダが使用するハードウェア・リソースを示します。

表 17. システム・メモリ・ブート・モードでの STM32F05xxx および STM32F030x8 デバイスの設定

| ブートローダ        | 機能/ペリフェラル    | 状態         | コメント  |
|---------------|--------------|------------|---|
| すべてのブートローダに共通 | RCC          | HSI は有効です。 | システムクロック周波数は 24 MHz です (HSI によってクロック供給された PLL を使用)。Flash ウェイトステート 1 個。  |
|               | RAM          | -          | アドレス 0x20000000 から始まる 2 KB は、ブートローダのファームウェアによって使用されます。  |
|               | システムメモリ      | -          | アドレス 0x1FFFEC00 から始まる 3 KB に、ブートローダのファームウェアが含まれています。  |
|               | IWDG         | -          | 独立型ウォッチドッグ (IWDG) プリスケアラは、最大値に設定されます。これは、定期的によりフレッシュされ、ウォッチドッグがリセットされるのを防ぎます (ハードウェアの IWDG オプションがユーザによって事前に有効化されている場合)。 |
| USART1 ブートローダ | USART1       | 有効         | 一度初期化されると、USART1 の設定は 8 ビット、偶数パリティ、および 1 ストップビットになります。  |
|               | USART1_RX ピン | 入力         | PA10 ピン: 受信モードの USART1。オルタネート・プッシュプル、プルアップ・モードで使用。  |
|               | USART1_TX ピン | 出力         | PA9 ピン: 送信モードの USART1。オルタネート・プッシュプル、プルアップ・モードで使用。   |
| USART2 ブートローダ | USART2       | 有効         | 一度初期化されると、USART2 の設定は 8 ビット、偶数パリティ、および 1 ストップビットになります。  |
|               | USART2_RX ピン | 入力         | PA15 ピン: 受信モードの USART2。オルタネート・プッシュプル、プルアップ・モードで使用。  |
|               | USART2_TX ピン | 出力         | PA14 ピン: 送信モードの USART2。オルタネート・プッシュプル、プルアップ・モードで使用。  |
| USARTx ブートローダ | SysTick タイマ  | 有効         | ホストからシリアルポーレートを自動検出するために使用されます。   |

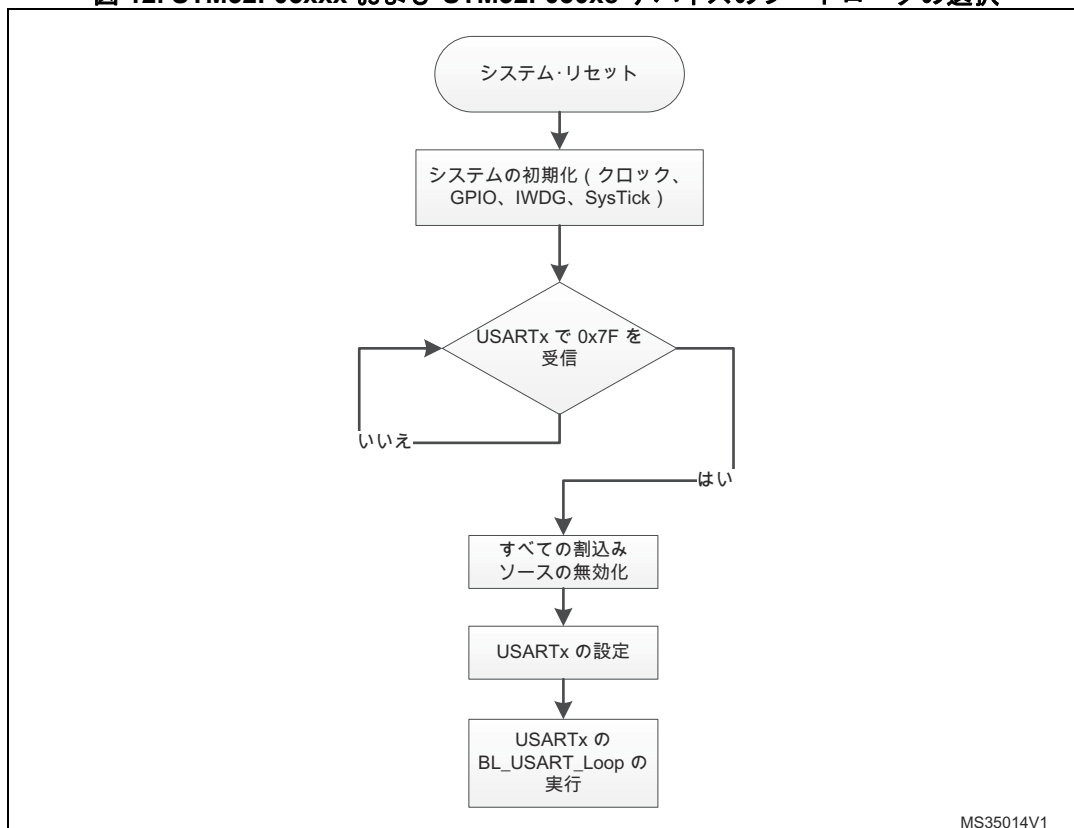
システムクロックは内蔵された内部ハイスピード RC から生成されます。ブートローダの実行に外部水晶発振器は不要です。

**注:** STM32F05xxx および STM32F030x8 デバイスをブートローダ・モードでブート後、シリアル・ワイヤ・デバッグ (SWD) 通信はシステムをリセットするまで使用できなくなります。これは、ブートローダ (USART2\_TX) ですでに使用されている PA14 ピン (SWCLK) を SWD が使用するためです。

## 9.2 ブートローダの選択

図 12 に、ブートローダの選択メカニズムを示します。

図 12. STM32F05xxx および STM32F030x8 デバイスのブートローダの選択



## 9.3 ブートローダのバージョン

表 18 に、STM32F05xxx および STM32F030x8 デバイスのブートローダのバージョンを示します。

表 18. STM32F05xxx および STM32F030x8 デバイスのブートローダのバージョン

| ブートローダのバージョン番号 | 説明             | 既知の制限  |
|----------------|----------------|--|
| V2.1           | ブートローダの初期バージョン | <ul style="list-style-type: none"> <li>- ブートローダの起動時に、HSITRIM 値は (RCC_CR レジスタの HSITRIM ビットで) デフォルト値 (16) ではなく 0 にセットされ、その結果クリスタル測定値に偏差が発生します。より良い結果を得るには、サポートされている最小のクリスタル値 (4 MHz) を使用します。</li> <li>- USART インタフェースでは、Read Memory コマンドまたは Write Memory コマンドが送信されて、RDP レベルがアクティブな場合、1つの NACK の代わりに 2つの連続した NACK を送信します。</li> <li>- PA13 は、ブートローダで使用されていなくても入力プルアップ・モードで設定されます。</li> </ul> |



## 10 STM32F04xxx デバイスのブートローダ

### 10.1 ブートローダの設定

STM32F04xxx ブートローダは、パターン 6 を適用すると有効化されます（表 2：ブートローダの有効化パターンを参照）。表 19 に、このブートローダが使用するハードウェア・リソースを示します。

表 19. システム・メモリ・ブート・モードでの STM32F04xxx の設定

| ブートローダ        | 機能/ペリフェラル     | 状態          | コメント   |
|---------------|---------------|-------------|--|
| すべてのブートローダに共通 | RCC           | HSI は有効です。  | システム・クロック周波数は 48 MHz で、クロック・ソースは HSI48 48 MHz です。  |
|               |               | -           | クロックリカバリシステム（CRS）は、USB を HSI48 48 MHz でクロック供給できるように DFU ブートローダで有効化されます。  |
|               | RAM           | -           | アドレス 0x20000000 から始まる 6 KB は、ブートローダのファームウェアによって使用されます。   |
|               | システムメモリ       | -           | アドレス 0x1FFFC400 から始まる 13 KB に、ブートローダのファームウェアが含まれています。  |
| USART1 ブートローダ | IWDG          | -           | 独立型ウォッチドッグ（IWDG）プリスケールは、最大値に設定されます。これは、定期的によりフレッシュされ、ウォッチドッグがリセットされるのを防ぎます（ハードウェアの IWDG オプションがユーザによって事前に有効化されている場合）。 |
|               | USART1        | 有効          | 一度初期化されると、USART1 の設定は 8 ビット、偶数パリティ、および 1 ストップ・ビットになります。  |
|               | USART1_RX ピン  | 入力          | PA10 ピン：受信モードの USART1。入力プルアップ・モードで使用   |
| USART2 ブートローダ | USART1_TX ピン  | 出力          | PA9 ピン：送信モードの USART1。オルタネート・プッシュプル、プルアップ・モードで使用。   |
|               | USART2        | 有効          | 一度初期化されると、USART2 の設定は 8 ビット、偶数パリティ、および 1 ストップ・ビットになります。  |
|               | USART2_RX ピン  | 入力          | PA15 ピン：受信モードの USART2。入力プルアップ・モードで使用。  |
| USART2 ブートローダ | USART2_TX ピン  | 出力          | PA14 ピン：送信モードの USART2。オルタネート・プッシュプル、プルアップ・モードで使用。  |
|               | USARTx ブートローダ | SysTick タイマ | 有効   |

表 19. システム・メモリ・ブート・モードでの STM32F04xxx の設定 (続き)

| ブートローダ      | 機能/ペリフェラル   | 状態    | コメント  |
|-------------|-------------|-------|---|
| I2C1 ブートローダ | I2C1        | 有効    | I2C1 設定：<br>I <sup>2</sup> C スピード：最大 400 kHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレス：0b0111110x (ここで、書込みの場合 x = 0、読出しの場合 x = 1)。 |
|             | I2C1_SCL ピン | 入力/出力 | PB6 ピン：クロック・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。   |
|             | I2C1_SDA ピン | 入力/出力 | PB7 ピン：データ・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。  |
| DFU ブートローダ  | USB         | 有効    | USB は FS モードで使用されます。  |
|             | USB_DM ピン   | 入力/出力 | PA11：USB DM ライン。オルタネート・プッシュプル、プルアップ・プルダウンなしモードで使用。  |
|             | USB_DP ピン   |       | PA12：USB DP ライン<br>外部プルアップ抵抗は不要です。オルタネート・プッシュプル、プルアップ・プルダウンなしモードで使用。  |

注： USART2 を使用して STM32F04xxx デバイスをブートローダ・モードでブート後、シリアル・ワイヤ・デバッグ (SWD) 通信はシステムをリセットするまで使用できなくなります。これは、ブートローダ (USART2\_RX) ですでに使用されている PA14 ピン (SWCLK) を SWD が使用するためです。

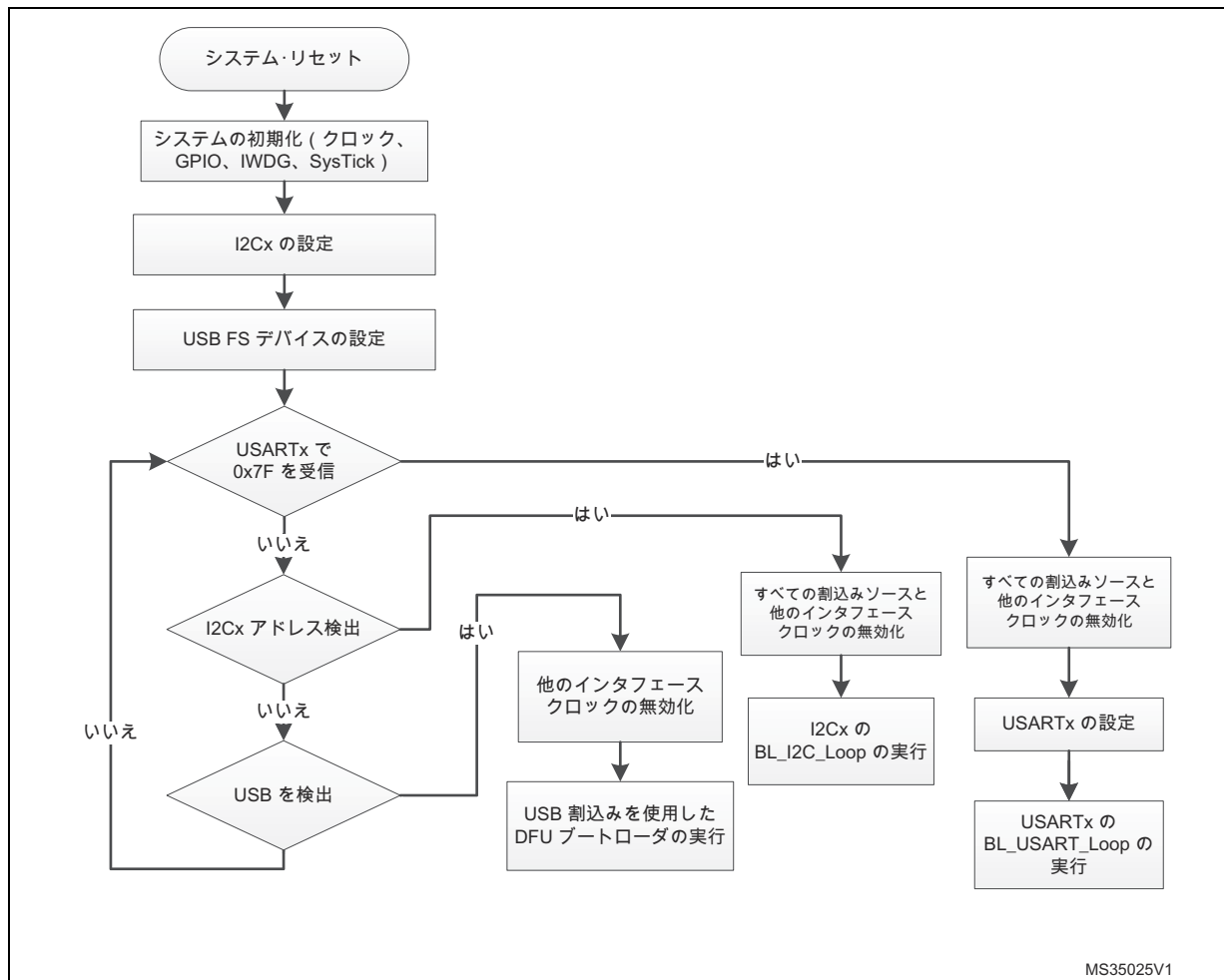
システムクロックは内蔵された内部ハイスピード RC から生成されます。ブートローダの実行に外部水晶発振器は不要です。

注： この製品のエンptyチェックメカニズムにより、ユーザコードからシステムブートローダにジャンプすることはできません。このようなジャンプにより、ユーザ Flash メモリ空間に戻るようになります。ただし、ユーザ Flash (0x0800 0000) の最初の 4 バイトがジャンプ時に空である場合 (ジャンプする前に 1 つ目のセクタを消去、または Flash が空の間に SRAM からコードを実行)、システム・ブートローダはジャンプ後に実行されます。

## 10.2 ブートローダの選択

図 13 に、ブートローダの選択メカニズムを示します。

図 13. STM32F04xxx のブートローダの選択



### 10.3 ブートローダのバージョン

次の表に、STM32F04xxx デバイスのブートローダのバージョンを示します。

表 20. STM32F04xxx のブートローダのバージョン

| ブートローダのバージョン番号 | 説明  | 既知の制限   |
|----------------|---|---|
| V10.0          | ブートローダの初期バージョン  | ブートローダの起動時に、HSITRIM 値は (RCC_CR レジスタの HSITRIM ビットで) デフォルト値 (16) ではなく 0 にセットされ、その結果クリスタル測定値に偏差が発生します。<br>より良い結果を得るには、サポートされている最小のクリスタル値 (4 MHz) を使用します。<br>PA13は、ブートローダで使用されていなくても入力プルアップ・モードで設定されます。 |
| V10.1          | 小型のパッケージ向けの PA11/12 IO に USART/USB インタフェースの動的なサポートを追加 |   |

## 11 STM32F070x6 デバイスのブートローダ

### 11.1 ブートローダの設定

STM32F070x6 ブートローダは、パターン 6 を適用すると有効化されます（表 2：ブートローダの有効化パターンを参照）。表 21 に、このブートローダが使用するハードウェア・リソースを示します。

表 21. システム・メモリ・ブート・モードでの STM32F070x6 の設定

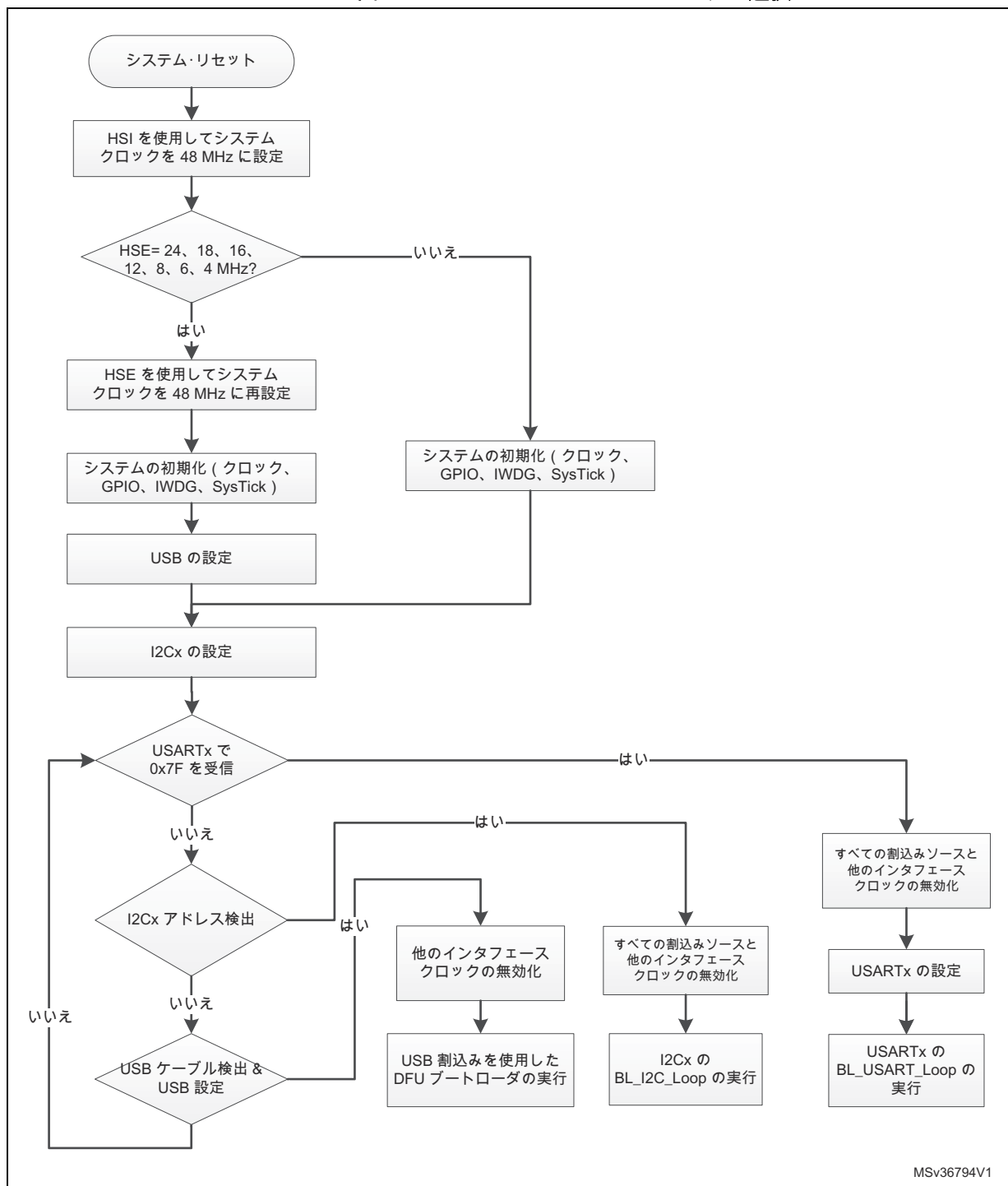
| ブートローダ        | 機能/ペリフェラル    | 状態         | コメント   |
|---------------|--------------|------------|--|
| すべてのブートローダに共通 | RCC          | HSI は有効です。 | 起動時、システム・クロック周波数は HSI を使用して 48 MHz に設定されます。外部クロック（HSE）がない場合、システムは HSI からのクロック供給を受け続けます。  |
|               |              | HSE は有効です。 | 外部クロックはすべてのブートローダ・インターフェースに使用でき、[24、18、16、12、8、6、4] MHz のいずれかの値にしてください。PLL は、USB とシステム・クロックに使用される 48 MHz クロックの生成に使用されます。                     |
|               |              | -          | HSE では、クロックセキュリティシステム（CSS）割込みが有効化されます。外部クロックの障害（または除去）により、システムリセットが生成されます。   |
|               | RAM          | -          | アドレス 0x20000000 から始まる 6 KB は、ブートローダのファームウェアによって使用されます。   |
|               | システムメモリ      | -          | アドレス 0x1FFFC400 から始まる 13 KB に、ブートローダのファームウェアが含まれています。  |
| USART1 ブートローダ | USART1       | 有効         | 一度初期化されると、USART1 の設定は 8 ビット、偶数パリティ、および 1 ストップ・ビットになります。  |
|               | USART1_RX ピン | 入力         | PA10 ピン：受信モードの USART1。オルタネート・プッシュプル、プルアップ・モードで使用。  |
|               | USART1_TX ピン | 出力         | PA9 ピン：送信モードの USART1。  |
| USART2 ブートローダ | USART2       | 有効         | 一度初期化されると、USART2 の設定は 8 ビット、偶数パリティ、および 1 ストップ・ビットになります。  |
|               | USART2_RX ピン | 入力         | PA15 ピン：受信モードの USART2  |
|               | USART2_TX ピン | 出力         | PA14 ピン：送信モードの USART2  |
| USARTx ブートローダ | SysTick タイマ  | 有効         | USARTx ブートローダのホストからシリアルポーレートを自動検出するために使用されます。  |
| I2C1 ブートローダ   | I2C1         | 有効         | I2C1 設定：<br>I <sup>2</sup> C スピード：最大 400 kHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレス：0b0111110x（ここで、書込みの場合 x = 0、読出しの場合 x = 1）。 |
|               | I2C1_SCL ピン  | 入力/出力      | PB6 ピン：クロックラインはオープンドレインモードで使用されます。   |
|               | I2C1_SDA ピン  | 入力/出力      | PB7 ピン：データラインはオープンドレインモードで使用されます。  |
| DFU ブートローダ    | USB          | 有効         | USB FS は強制デバイスモードで設定されます。USB FS 割込みベクタが有効化され、USB DFU 通信に使用されます。  |
|               | USB_DM ピン    | 入力/出力      | PA11 ピン：USB FS DM ライン。   |
|               | USB_DP ピン    |            | PA12 ピン：USB FS DP ライン。<br>外部プルアップ抵抗は不要です。  |

- 注： HSI 偏差が 1% を超えると、ブートローダが正常に機能しない場合があります。
- 注： USART2 を使用して STM32F070x6 デバイスをブートローダ・モードでブート後、シリアル・ワイヤ・デバッグ (SWD) 通信はシステムをリセットするまで使用できなくなります。これは、ブートローダ (USART2\_RX) ですでに使用されている PA14 ピン (SWCLK) を SWD が使用するためです。
- ブートローダには、ブートローダ起動時の外部クロック (HSE) の有無に応じて、2 つの働きがあります。
- HSE があり、値が 24、18、16、12、8、6、4 MHz のいずれかである場合、システムクロックは HSE をクロックソースとして 48 MHz に設定されます。DFU インタフェース、USART1、USART2、および I2C1 が動作し、これをブートローダデバイスとの通信に使用できます。
  - HSE がない場合、HSI はデフォルトのクロックソースとして保持され、USART1、USART2、および I2C1 のみが動作します。
- ブートローダの起動時に外部クロック (HSE) を接続している場合は、システム・クロック・ソースとして使用するために、これを保持する必要があります。
- 注： この製品のエンプティ・チェック・メカニズムにより、ユーザ・コードからシステム・ブートローダにジャンプすることはできません。このようなジャンプにより、ユーザ Flash メモリ空間に戻ることになります。ただし、ユーザ Flash (0x0800 0000) の最初の 4 バイトがジャンプ時に空である場合 (ジャンプする前に 1 つ目のセクタを消去、または Flash が空の間に SRAM からコードを実行)、システム・ブートローダはジャンプ後に実行されます。

## 11.2 ブートローダの選択

図 14 に、ブートローダの選択メカニズムを示します。

図 14. STM32F070x6 のブートローダの選択



## 11.3 ブートローダのバージョン

表 22 に STM32F070x6 デバイスのブートローダのバージョンを示します。

表 22. STM32F070x6 のブートローダのバージョン

| ブートローダのバージョン番号 | 説明                     | 既知の制限   |
|----------------|------------------------|---|
| V10.2          | ブートローダの初期バージョン         | ブートローダの起動時に、HSITRIM 値は (RCC_CR レジスタの HSITRIM ビットで) デフォルト値 (16) ではなく 0 にセットされ、その結果クリスタル測定値に偏差が発生します。より良い結果を得るには、サポートされている最小のクリスタル値 (4 MHz) を使用します。 |
| V10.3          | HSI 8 MHz に固定されたクロック設定 |   |



## 12 STM32F070xB デバイスのブートローダ

### 12.1 ブートローダの設定

STM32F070xB ブートローダは、パターン 2 を適用すると有効化されます（表 2：ブートローダの有効化パターンを参照）。表 23 に、このブートローダが使用するハードウェア・リソースを示します。

表 23. システム・メモリ・ブート・モードでの STM32F070xB の設定

| ブートローダ        | 機能/ペリフェラル    | 状態         | コメント  |
|---------------|--------------|------------|---|
| すべてのブートローダに共通 | RCC          | HSI は有効です。 | 起動時、システム・クロック周波数は HSI を使用して 48 MHz に設定されます。外部クロック (HSE) がいない場合、システムは HSI からのクロック供給を受け続けます。                            |
|               |              | HSE は有効です。 | 外部クロックはすべてのブートローダ・インタフェースに使用でき、[24、18、16、12、8、6、4] MHz のいずれかの値を持ちます。PLL は、USB とシステム・クロックに使用される 48 MHz クロックの生成に使用されます。 |
|               |              | -          | HSE では、クロックセキュリティシステム (CSS) 割込みが有効化されます。外部クロックの障害（または除去）により、システムリセットが生成されます。  |
|               | RAM          | -          | アドレス 0x20000000 から始まる 6 KB は、ブートローダのファームウェアによって使用されます。  |
|               | システムメモリ      | -          | アドレス 0x1FFFC800 から始まる 12 KB に、ブートローダのファームウェアが含まれています。   |
| USART1 ブートローダ | USART1       | 有効         | 一度初期化されると、USART1 の設定は 8 ビット、偶数パリティ、および 1 ストップ・ビットになります。   |
|               | USART1_RX ピン | 入力         | PA10 ピン：受信モードの USART1。オルタネート・プッシュプル、プルアップ・モードで使用。   |
|               | USART1_TX ピン | 出力         | PA9 ピン：送信モードの USART1。入力プルアップ・モードで使用   |
| USART2 ブートローダ | USART2       | 有効         | 一度初期化されると、USART2 の設定は 8 ビット、偶数パリティ、および 1 ストップ・ビットになります。   |
|               | USART2_RX ピン | 入力         | PA15 ピン：受信モードの USART2。オルタネート・プッシュプル、プルアップ・モードで使用。   |
|               | USART2_TX ピン | 出力         | PA14 ピン：送信モードの USART2。入力プルアップ・モードで使用。   |
| USARTx ブートローダ | SysTick タイマ  | 有効         | USARTx ブートローダのホストからシリアルポーレートを自動検出するために使用されます。   |

表 23. システム・メモリ・ブート・モードでの STM32F070xB の設定 (続き)

| ブートローダ      | 機能/ペリフェラル   | 状態    | コメント   |
|-------------|-------------|-------|--|
| I2C1 ブートローダ | I2C1        | 有効    | I2C1 設定 :<br>I <sup>2</sup> C スピード : 最大 400 kHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレス : 0b0111011x<br>(ここで、書込みの場合 x=0、読出しの場合 x=1) |
|             | I2C1_SCL ピン | 入力/出力 | PB6 ピン : クロック・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。  |
|             | I2C1_SDA ピン | 入力/出力 | PB7 ピン : データ・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。   |
| DFU ブートローダ  | USB         | 有効    | USB FS は強制デバイスモードで設定されます。<br>USB FS 割り込みベクタが有効化され、USB DFU 通信に使用されます。   |
|             | USB_DM ピン   | 入力/出力 | PA11 ピン : USB FS DM ラインはオルタネート・プッシュプル、プルアップ・プルダウンなしモードで使用されます。   |
|             | USB_DP ピン   |       | PA12 ピン : USB FS DP ラインはオルタネート・プッシュプル、プルアップ・プルダウンなしモードで使用されます。<br>外部プルアップ抵抗は不要です。  |

注 : HSI 偏差が 1% を超えると、ブートローダが正常に機能しない場合があります。

注 : USART2 を使用して STM32F070xB デバイスをブートローダ・モードでブート後、シリアル・ワイヤ・デバッグ (SWD) 通信はシステムをリセットするまで使用できなくなります。これは、ブートローダ (USART2\_RX) ですでに使用されている PA14 ピン (SWCLK) を SWD が使用するためです。

ブートローダには、ブートローダ起動時の外部クロック (HSE) の有無に応じて、2 つの働きがあります。

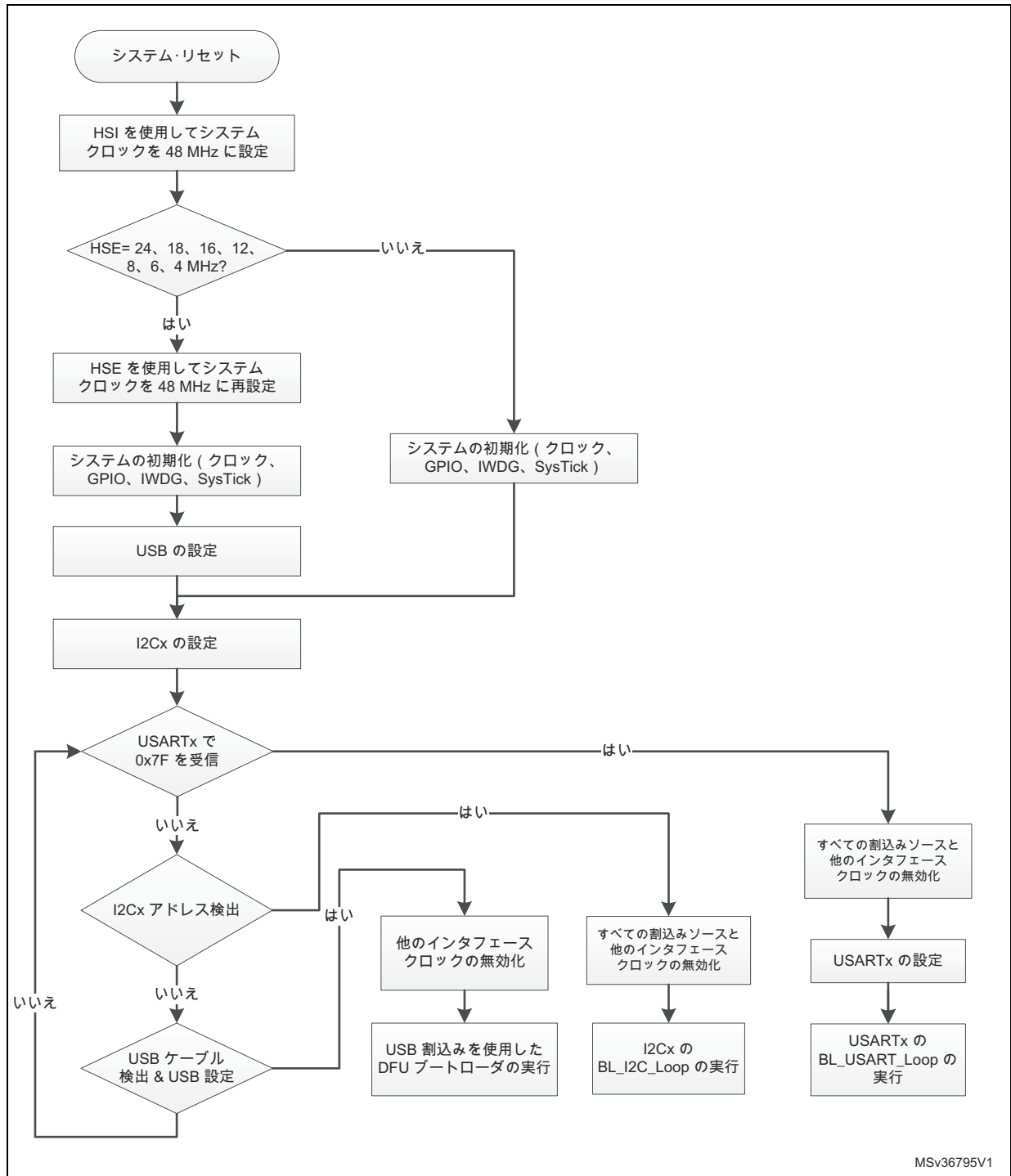
- HSE があり、値が 24、18、16、12、8、6、4 MHz のいずれかである場合、システムクロックは HSE をクロックソースとして 48 MHz に設定されます。DFU インタフェース、USART1、USART2、および I2C1 が動作し、これをブートローダデバイスとの通信に使用できます。
- HSE がない場合、HSI はデフォルトのクロックソースとして保持され、USART1、USART2、および I2C1 のみが動作します。

ブートローダの起動時に外部クロック (HSE) を接続している場合は、システム・クロック・ソースとして使用するために、これを保持する必要があります。

## 12.2 ブートローダの選択

図 15 に、ブートローダの選択メカニズムを示します。

図 15. STM32F070xB のブートローダの選択



## 12.3 ブートローダのバージョン

表 24 に STM32F070xB デバイスのブートローダのバージョンを示します。

表 24. STM32F070xB のブートローダのバージョン

| ブートローダのバージョン番号 | 説明                     | 既知の制限   |
|----------------|------------------------|---|
| V10.2          | ブートローダの初期バージョン         | ブートローダの起動時に、HSITRIM 値は (RCC_CR レジスタの HSITRIM ビットで) デフォルト値 (16) ではなく (0) にセットされ、その結果クリスタル測定値に偏差が発生します。より良い結果を得るには、サポートされている最小のクリスタル値 (4 MHz) を使用します。<br>PA13は、ブートローダで使用されていない場合でもオルタネート・プッシュプル・モードで設定されます。 |
| V10.3          | HSI 8 MHz に固定されたクロック設定 |   |

## 13 STM32F071xx/072xx デバイスのブートローダ

### 13.1 ブートローダの設定

STM32F071xx/072xx ブートローダは、パターン 2 を適用すると有効化されます (表 2: ブートローダの有効化パターンを参照)。表 25 に、このブートローダが使用するハードウェア・リソースを示します。

表 25. システム・メモリ・ブート・モードでの STM32F071xx/072xx の設定

| ブートローダ        | 機能/ペリフェラル     | 状態          | コメント   |
|---------------|---------------|-------------|--|
| すべてのブートローダに共通 | RCC           | HSI は有効です。  | システム・クロック周波数は 48 MHz で、クロック・ソースは HSI48 48 MHz です。  |
|               |               | -           | クロックリカバリシステム (CRS) は、USB を HSI48 48 MHz でクロック供給できるように DFU ブートローダで有効化されます。  |
|               | RAM           | -           | アドレス 0x20000000 から始まる 6 KB は、ブートローダのファームウェアによって使用されます。   |
|               | システムメモリ       | -           | アドレス 0x1FFFC800 から始まる 12 KB に、ブートローダのファームウェアが含まれています。  |
| USART1 ブートローダ | IWDG          | -           | 独立型ウォッチドッグ (IWDG) プリスケアラは、最大値に設定されます。これは、定期的にリフレッシュされ、ウォッチドッグがリセットされるのを防ぎます (ハードウェアの IWDG オプションがユーザによって事前に有効化されている場合)。 |
|               | USART1        | 有効          | 一度初期化されると、USART1 の設定は 8 ビット、偶数パリティ、および 1 ストップ・ビットになります。  |
|               | USART1_RX ピン  | 入力          | PA10 ピン: 受信モードの USART1。入力プルアップ・モードで使用。   |
| USART2 ブートローダ | USART1_TX ピン  | 出力          | PA9 ピン: 送信モードの USART1。オルタネート・プッシュプル、プルアップ・モードで使用。  |
|               | USART2        | 有効          | 一度初期化されると、USART2 の設定は 8 ビット、偶数パリティ、および 1 ストップ・ビットになります。  |
|               | USART2_RX ピン  | 入力          | PA15 ピン: 受信モードの USART2。入力プルアップ・モードで使用  |
| USART2 ブートローダ | USART2_TX ピン  | 出力          | PA14 ピン: 送信モードの USART2。オルタネート・プッシュプル、プルアップ・モードで使用。   |
|               | USARTx ブートローダ | SysTick タイマ | 有効   |

表 25. システム・メモリ・ブート・モードでの STM32F071xx/072xx の設定 (続き)

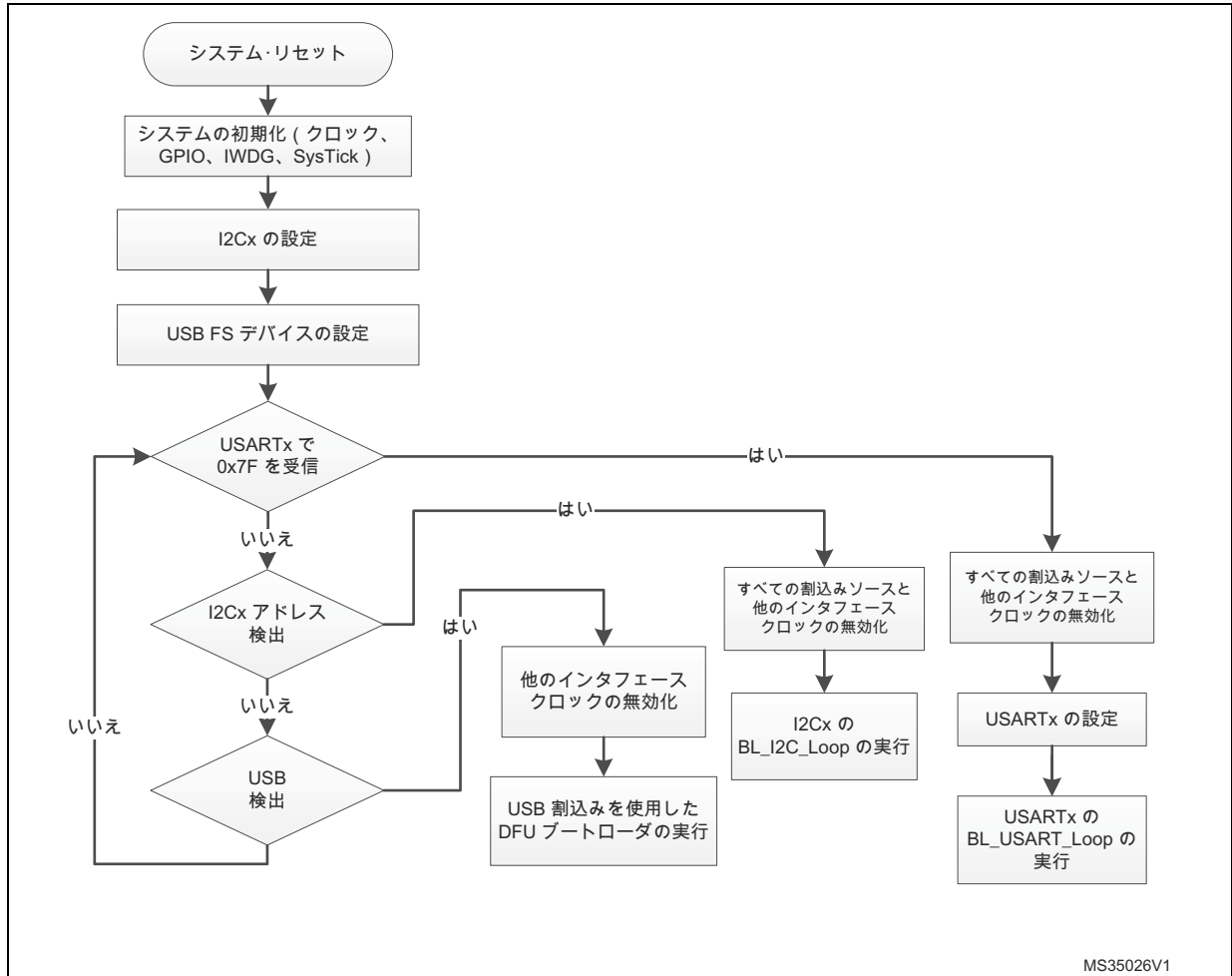
| ブートローダ      | 機能/ペリフェラル   | 状態    | コメント  |
|-------------|-------------|-------|---|
| I2C1 ブートローダ | I2C1        | 有効    | I2C1 設定：<br>I <sup>2</sup> C スピード：最大 400 kHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレス：0b0111011x (ここで、書込みの場合 x = 0、読出しの場合 x = 1)。 |
|             | I2C1_SCL ピン | 入力/出力 | PB6 ピン：クロック・ラインはオープンドレインのプルアップモードで使用されます。   |
|             | I2C1_SDA ピン | 入力/出力 | PB7 ピン：データ・ラインはオープンドレインのプルアップモードで使用されます。  |
| DFU ブートローダ  | USB         | 有効    | USB は FS モードで使用されます。  |
|             | USB_DM ピン   | 入力/出力 | PA11：USB DM ライン。オルタネート・プッシュプル、プルアップ・プルダウンなしモードで使用。  |
|             | USB_DP ピン   |       | PA12：USB DP ライン<br>外部プルアップ抵抗は不要です。オルタネート・プッシュプル、プルアップ・プルダウンなしモードで使用。  |

注： USART2 を使用して STM32F071xx/072xx デバイスをブートローダ・モードでブート後、シリアル・ワイヤ・デバッグ (SWD) 通信はシステムをリセットするまで使用できなくなります。これは、ブートローダ(USART2\_RX)ですでに使用されている PA14 ピン(SWCLK)を SWD が使用するためです。システムクロックは内蔵された内部ハイスピード RC から生成されます。ブートローダの実行に外部水晶発振器は不要です。

### 13.2 ブートローダの選択

図 16 に、ブートローダの選択メカニズムを示します。

図 16. STM32F071xx/072xx のブートローダの選択



MS35026V1

### 13.3 ブートローダのバージョン

表 26 に、STM32F071xx/072xx デバイスのブートローダのバージョンを示します。

表 26. STM32F071xx/072xx のブートローダのバージョン

| ブートローダのバージョン番号 | 説明             | 既知の制限   |
|----------------|----------------|---|
| V10.1          | ブートローダの初期バージョン | ブートローダの起動時に、HSITRIM 値は (RCC_CR レジスタの HSITRIM ビットで) デフォルト値 (16) ではなく (0) にセットされ、その結果クリスタル測定値に偏差が発生します。より良い結果を得るには、サポートされている最小のクリスタル値 (4 MHz) を使用します。PA13は、ブートローダで使用されていない場合でもオルタネート・プッシュプル、プルアップ・モードで設定されます。 |



## 14 STM32F09xxx デバイスのブートローダ

### 14.1 ブートローダの設定

STM32F09xxx ブートローダは、パターン 6 を適用すると有効化されます（表 2：ブートローダの有効化パターンを参照）。次の表に、このブートローダが使用するハードウェア・リソースを示します。

表 27. システムメモリブートモードでの STM32F09xxx の設定

| ブートローダ        | 機能/ペリフェラル    | 状態         | コメント  |
|---------------|--------------|------------|---|
| すべてのブートローダに共通 | RCC          | HSI は有効です。 | システム・クロック周波数は 48 MHz で、クロック・ソースは HSI48 48 MHz です。   |
|               | RAM          | -          | アドレス 0x20000000 から始まる 6 KB は、ブートローダのファームウェアによって使用されます。  |
|               | システムメモリ      | -          | アドレス 0x1FFFD800 から始まる 8 KB に、ブートローダのファームウェアが含まれています。  |
| USART1 ブートローダ | USART1       | 有効         | 一度初期化されると、USART1 の設定は 8 ビット、偶数パリティ、および 1 ストップ・ビットになります。   |
|               | USART1_RX ピン | 入力         | PA10 ピン：受信モードの USART1。入力プルアップ・モードで使用  |
|               | USART1_TX ピン | 出力         | PA9 ピン：送信モードの USART1。オルタネート・プッシュプル、プルアップ・モードで使用。  |
| USART2 ブートローダ | USART2       | 有効         | 一度初期化されると、USART2 の設定は 8 ビット、偶数パリティ、および 1 ストップ・ビットになります。   |
|               | USART2_RX ピン | 入力         | PA3 ピン：受信モードの USART2。入力プルアップ・モードで使用。<br>PA15 ピン：受信モードの USART2。入力プルアップ・モードで使用。   |
|               | USART2_TX ピン | 出力         | PA2 ピン：送信モードの USART2。オルタネート・プッシュプル、プルアップ・モードで使用。<br>PA14 ピン：送信モードの USART2。オルタネート・プッシュプル、プルアップ・モードで使用。   |
| USARTx ブートローダ | SysTick タイマ  | 有効         | USARTx ブートローダのホストからシリアルボーレートを自動検出するために使用されます。   |
| I2C1 ブートローダ   | I2C1         | 有効         | I2C1 設定：<br>I <sup>2</sup> C スピード：最大 400 kHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレス：0b1000001x<br>(ここで、書込みの場合 x = 0、読出しの場合 x = 1) |
|               | I2C1_SCL ピン  | 入力/出力      | PB6 ピン：クロック・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。   |
|               | I2C1_SDA ピン  | 入力/出力      | PB7 ピン：データ・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。  |

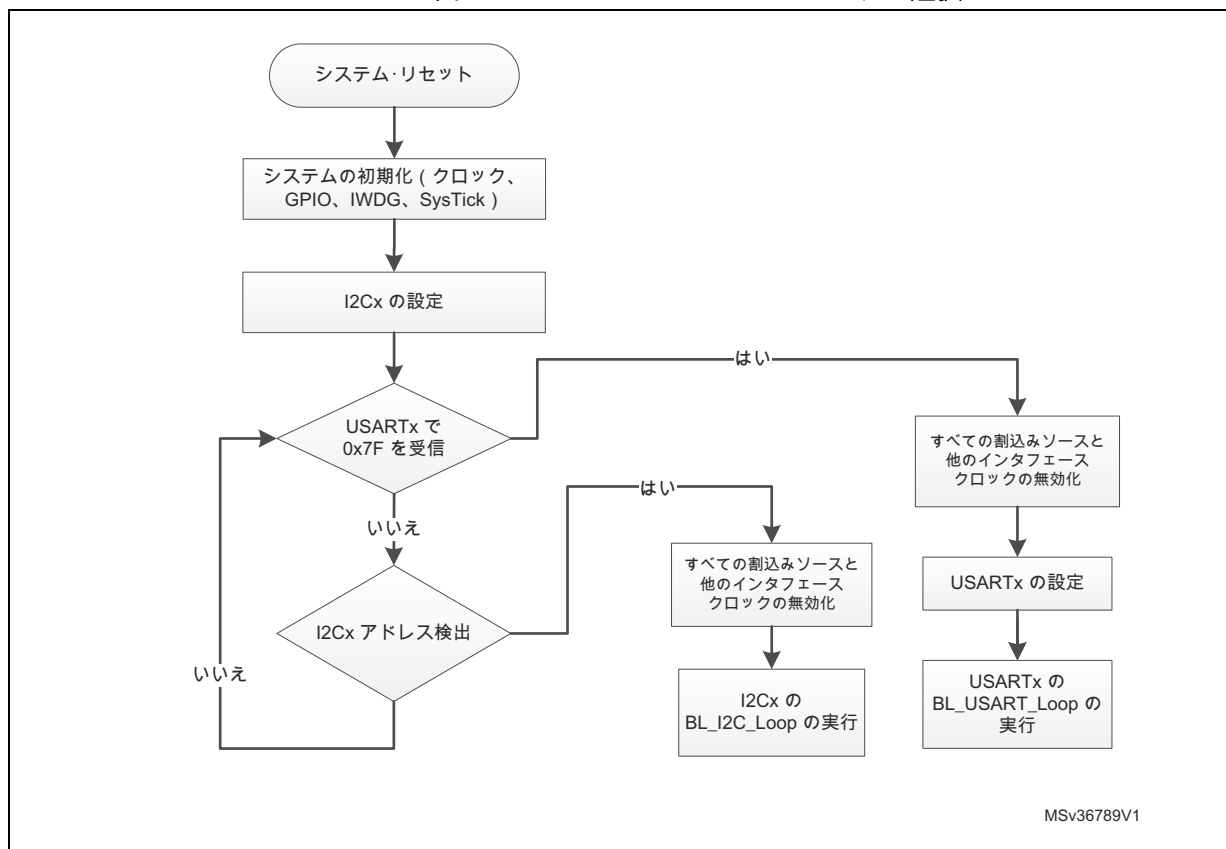
注： USART2 を使用して STM32F09xxx デバイスをブートローダ・モードでブート後、シリアル・ワイヤ・デバッグ (SWD) 通信はシステムをリセットするまで使用できなくなります。これは、ブートローダ (USART2\_RX) ですでに使用されている PA14 ピン (SWCLK) を SWD が使用するためです。

システムクロックは内蔵された内部ハイスピード RC から生成されます。ブートローダの実行に外部水晶発振器は不要です。

## 14.2 ブートローダの選択

次の図に、ブートローダの選択メカニズムを示します。

図 17. STM32F09xxx のブートローダの選択



## 14.3 ブートローダのバージョン

次の表に、STM32F09xxx デバイスのブートローダのバージョンを示します。

表 28. STM32F09xxx のブートローダのバージョン

| ブートローダのバージョン番号 | 説明             | 既知の制限   |
|----------------|----------------|---|
| V5.0           | ブートローダの初期バージョン | ブートローダの起動時に、HSITRIM 値は (RCC_CR レジスタの HSITRIM ビットで) デフォルト値 (16) ではなく (0) にセットされ、その結果クリスタル測定値に偏差が発生します。より良い結果を得るには、サポートされている最小のクリスタル値 (4 MHz) を使用します。PA13は、ブートローダで使用されていない場合でも入力プルアップ・モードで設定されます。 |

## 15 STM32F10xxx デバイスのブートローダ

### 15.1 ブートローダの設定

STM32F10xxx ブートローダは、パターン 1 を適用すると有効化されます（表 2：ブートローダの有効化パターンを参照）。表 29 に、このブートローダが使用するハードウェア・リソースを示します。

表 29. システム・メモリ・ブート・モードでの STM32F10xxx の設定

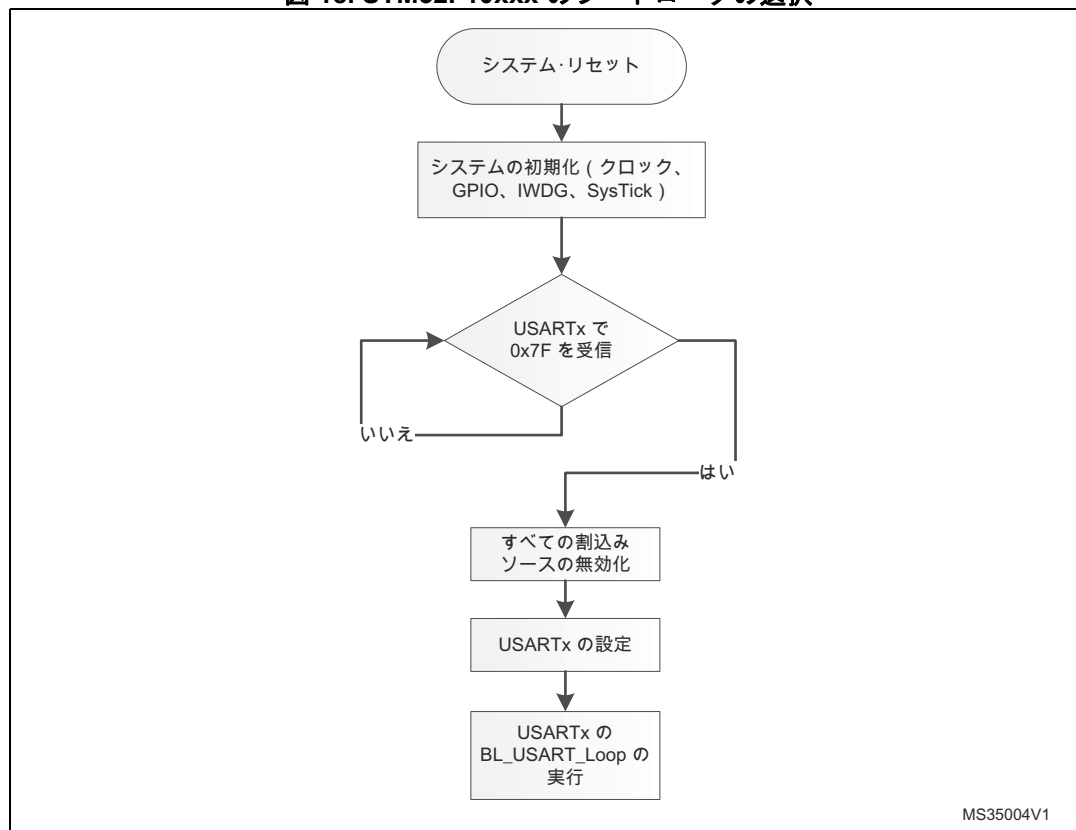
| ブートローダ        | 機能/ペリフェラル    | 状態         | コメント  |
|---------------|--------------|------------|---|
| USART1 ブートローダ | RCC          | HSI は有効です。 | システム・クロック周波数は 24 MHz です（PLL を使用）。   |
|               | RAM          | -          | アドレス 0x20000000 から始まる 512 バイトは、ブートローダのファームウェアによって使用されます。  |
|               | システムメモリ      | -          | アドレス 0x1FFFF000 から始まる 2 KB に、ブートローダのファームウェアが含まれています。  |
|               | IWDG         | -          | 独立型ウォッチドッグ（IWDG）プリスケアラは、最大値に設定されます。これは、定期的にリフレッシュされ、ウォッチドッグがリセットされるのを防ぎます（ハードウェアの IWDG オプションがユーザによって事前に有効化されている場合）。 |
|               | USART1       | 有効         | 一度初期化されると、USART1 の設定は 8 ビット、偶数パリティ、および 1 ストップビットになります。  |
|               | USART1_RX ピン | 入力         | PA10 ピン：受信モードの USART1。入力プルアップ・プルダウンなしモードで使用。  |
|               | USART1_TX ピン | 出力プッシュプル   | PA9 ピン：送信モードの USART1。オルタネート・プッシュプル、プルアップ・モードで使用。  |
|               | SysTick タイマ  | 有効         | ホストからシリアルボーレートを自動検出するために使用されます。   |

システムクロックは内蔵された内部ハイスピード RC から生成されます。ブートローダの実行に外部水晶発振器は不要です。

## 15.2 ブートローダの選択

次の図に、ブートローダの選択メカニズムを示します。

図 18. STM32F10xxx のブートローダの選択



## 15.3 ブートローダのバージョン

表 30 に STM32F10xxx デバイスのブートローダのバージョンを示します：

表 30. STM32F10xxx のブートローダのバージョン

| ブートローダのバージョン番号 | 説明   |
|----------------|--|
| V2.0           | ブートローダの初期バージョン   |
| V2.1           | <ul style="list-style-type: none"> <li>- Go コマンドを、メイン・スタック・ポインタを初期化するように更新</li> <li>- Go コマンドを、ジャンプアドレスがオプションバイト領域またはシステムメモリ領域にある場合に NACK を返すように更新</li> <li>- Get ID コマンドを、2 バイトでデバイス ID を返すように更新</li> <li>- ブートローダのバージョンを V2.1 に更新</li> </ul> |
| V2.2           | <ul style="list-style-type: none"> <li>- Read Memory、Write Memory、および Go の各コマンドを、ブートローダによって使用される RAM メモリの最初の 0x200 バイトへのアクセスが NACK 応答によって拒否されるように更新</li> <li>- Readout Unprotect コマンドを、ROP の無効化操作を行う前に、RAM の内容全体を 0x0 に初期化するように更新</li> </ul>   |

注： ブートローダ ID フォーマットは STM32F1xx ファミリを除くすべての STM32 デバイスファミリに適用されます。STM32F1xx のブートローダのバージョンは、内蔵デバイスのブートローダのバージョンにのみ適用され、サポートされているプロトコルには適用されません。

## 16 STM32F105xx/107xx デバイスのブートローダ

### 16.1 ブートローダの設定

STM32F105xx/107xx ブートローダは、パターン 1 を適用すると有効化されます (表 2: ブートローダの有効化パターンを参照)。次の表に、このブートローダが使用するハードウェア・リソースを示します。

表 31. システムメモリーブートモードでの STM32F105xx/107xx の設定

| ブートローダ        | 機能/ペリフェラル    | 状態         | コメント  |
|---------------|--------------|------------|---|
| すべてのブートローダに共通 | RCC          | HSI は有効です。 | システム・クロック周波数は 24 MHz です (PLL を使用)。これは、USARTx ブートローダおよび、CAN / DFU ブートローダの CAN2/USB 検出中に使用されます (CAN または DFU ブートローダを選択すると、外部クリスタルからクロック・ソースが生成されます)。   |
|               |              | HSE は有効です。 | 外部クロックは DFU および CAN ブートローダの場合にのみ必須で、8 MHz、14.7456 MHz、または 25 MHz のいずれかの周波数を提供する必要があります。<br>CAN ブートローダでは、PLL は HSE として 14.7456 MHz が使用されている場合に、48 MHz を生成するためにのみ使用されます。<br>DFU ブートローダでは、PLL はサポートされているすべての外部クロック周波数から 48 MHz システムクロックを生成するために使用されます。 |
|               |              | -          | CAN および DFU ブートローダでは、クロックセキュリティシステム (CSS) 割込みが有効化されます。外部クロックの障害 (または除去) により、システムリセットが生成されます。  |
|               | RAM          | -          | アドレス 0x20000000 から始まる 4 KB は、ブートローダのファームウェアによって使用されます。  |
|               | システムメモリ      | -          | アドレス 0x1FFFB000 から始まる 18 KB に、ブートローダのファームウェアが含まれています。   |
|               | IWDG         | -          | 独立型ウォッチドッグ (IWDG) プリスケールは、最大値に設定されます。これは、定期的によりフレッシュされ、ウォッチドッグがリセットされるのを防ぎます (ハードウェアの IWDG オプションがユーザによって事前に有効化されている場合)。   |
| USART1 ブートローダ | USART1       | 有効         | 一度初期化されると、USART1 の設定は 8 ビット、偶数パリティ、および 1 ストップビットになります。  |
|               | USART1_RX ピン | 入力         | PA10 ピン: 受信モードの USART1。入力プルアップ・プルダウンなしモードで使用。   |
|               | USART1_TX ピン | 出力プッシュプル   | PA9 ピン: 送信モードの USART1。入力プルアップ・プルダウンなしモードで使用。  |

表 31. システムメモリブートモードでの STM32F105xx/107xx の設定 (続き)

| ブートローダ        | 機能/ペリフェラル    | 状態       | コメント  |
|---------------|--------------|----------|---|
| USART2 ブートローダ | USART2       | 有効       | 一度初期化されると、USART2 の設定は8 ビット、偶数パリティ、および 1 ストップビットになります。USART2 は USART2 用の再配置されたピンを使用します。  |
|               | USART2_RX ピン | 入力       | PD6 ピン : USART2 受信 (再配置されたピン)   |
|               | USART2_TX ピン | 出力プッシュプル | PD5 ピン : USART2 送信 (再配置されたピン)   |
| USARTx ブートローダ | SysTick タイマ  | 有効       | USARTx ブートローダのホストからシリアルボーレートを自動検出するために使用されます。   |
| CAN2 ブートローダ   | CAN2         | 有効       | 一度初期化されると、CAN2 の設定はボーレート 125 kbps、11 ビット識別子になります。<br>注 : CAN1 は CAN ブートローダの実行中にクロック供給されず、これは、CAN1 が CAN2 と SRAM の間の通信を管理しているためです。 |
|               | CAN2_RX ピン   | 入力       | PB5 ピン : CAN2 受信 (再配置されたピン) オルタネート・プッシュプル、プルアップ・モードで使用。   |
|               | CAN2_TX ピン   | 出力プッシュプル | PB6 ピン : CAN2 送信 (再配置されたピン) 入力プルアップ・プルダウンなしモードで使用。  |
| DFU ブートローダ    | USB          | 有効       | USB OTG FS は強制デバイスモードで設定されます。   |
|               | USB_VBUS ピン  | 入力       | PA9 : 電源電圧ライン   |
|               | USB_DM ピン    | 入力/出力    | PA11 ピン : USB_DM ライン  |
|               | USB_DP ピン    |          | PA12 ピン : USB_DP ライン。<br>外部プルアップ抵抗は不要です。  |

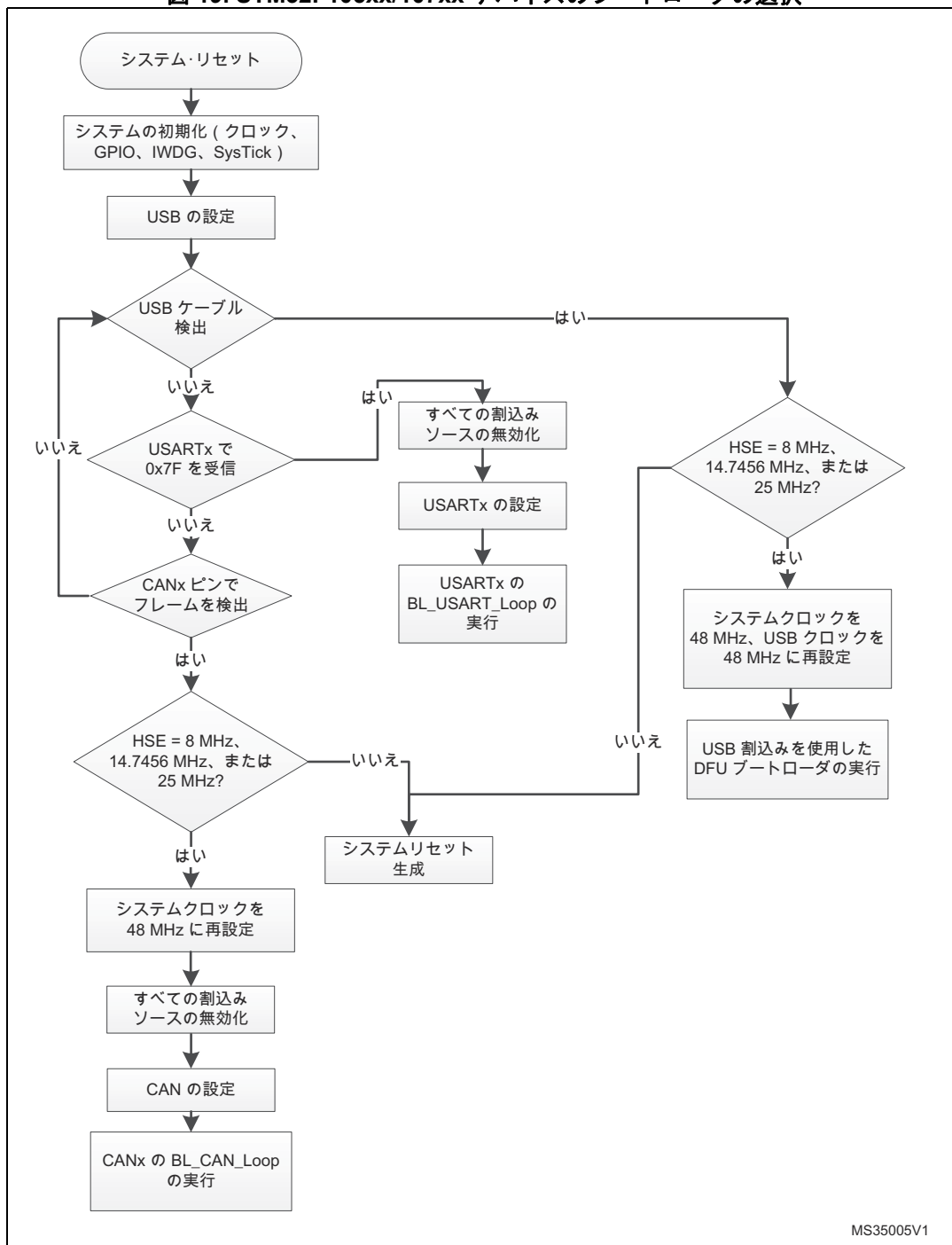
システム・クロックは USARTx ブートローダ用の内蔵された内部ハイスピード RC から生成されず、この内部クロックは、DFU ブートローダや CAN ブートローダにも使用されますが、選択フェーズに限られます。選択フェーズ後に DFU および CAN ブートローダを実行するには、外部クロック (8 MHz、14.7456 MHz、または 25 MHz) が必要です。



## 16.2 ブートローダの選択

図 19 に、ブートローダの選択メカニズムを示します。

図 19. STM32F105xx/107xx デバイスのブートローダの選択



## 16.3 ブートローダのバージョン

次の表に、STM32F105xx/107xx デバイスのブートローダのバージョンを示します。

表 32. STM32F105xx/107xx のブートローダのバージョン

| ブートローダのバージョン番号 | 説明   |
|----------------|--|
| V1.0           | ブートローダの初期バージョン   |
| V2.0           | <ul style="list-style-type: none"> <li>- このブートローダの未使用ペリフェラルの GPIO が、検出フェーズ中にローレベルに接続されたりフローティング状態で残されたりした場合の問題を解決するためにブートローダ検出メカニズムを更新。<br/>詳細については、<a href="#">セクション 16.3.2</a> を参照してください。</li> <li>- 0x00000000 ではなく 0x1FFFB000 にセットされたベクタテーブル</li> <li>- Go コマンドを更新 (すべてのブートローダ) : USART1、USART2、CAN2、GPIOA、GPIOB、GPIOC、および SysTick ペリフェラルレジスタをそれぞれのデフォルトトリセット値にセット</li> <li>- DFU ブートローダ: USB ペンディング割込みを Leave DFU コマンド実行前にクリア</li> <li>- DFU サブプロトコルのバージョンを V1.0 から V1.2 に変更</li> <li>- ブートローダのバージョンを V2.0 に更新</li> </ul> |
| V2.1           | <ul style="list-style-type: none"> <li>- <a href="#">セクション 16.3.4</a> で説明している PA9 の過剰消費について修正</li> <li>- Get-Version コマンド (AN3155 で定義) を修正。ブートローダ V2.0 では、0x20 ではなく 0x22 を返します。詳細については、<a href="#">セクション 16.3.3</a> を参照してください。</li> <li>- ブートローダのバージョンを V2.1 に更新</li> </ul>  |
| V2.2           | <ul style="list-style-type: none"> <li>- DFU オプションバイトのディスクリプタを修正 (読出し/書込み用で消去不可のため、「g」ではなく「e」にセット)。</li> <li>- Flash 読出し/書込み消去操作の DFU ポーリングのタイミングを修正。</li> <li>- DFU ブートローダインタフェースの安定性を強化。</li> <li>- ブートローダのバージョンを V2.2 に更新</li> </ul>  |

注: ブートローダ ID フォーマットは STM32F1xx ファミリーを除くすべての STM32 デバイスファミリに適用されます。STM32F1xx のブートローダのバージョンは、内蔵デバイスのブートローダのバージョンにのみ適用され、サポートされているプロトコルには適用されません。

### 16.3.1 STM32F105xx/107xx のブートローダのバージョン識別方法

ブートローダ V1.0 は日付コードが 937 未満のデバイスに実装されています (デバイス表示上の日付コードの場所については STM32F105xx および STM32F107xx のデータシートを参照)。

ブートローダ V2.0 および V2.1 は、日付コードが 937 以上のデバイスに実装されています。

ブートローダ V2.2 は、日付コードが 227 以上のデバイスに実装されています。

ブートローダのバージョンを識別するには、3 つの方法があります。

- USART ブートローダを使用している場合、AN2606 と AN3155 に定義された Get-Version コマンドが V2.1 バージョンで修正されています。この場合、ブートローダ V2.0 と同様に、0x20 ではなく 0x22 を返します。

- ブートローダコード冒頭のベクタテーブルの値が異なります。ユーザソフトウェアでは（または JTAG/SWD を介して）、ブートローダ V2.0 のアドレス 0x1FFFB004、ブートローダ V2.1 のアドレス 0x1FFFE9A1、およびブートローダ V2.2 のアドレス 0x1FFFE9C1 で 0x1FFFE945 を読み出します。
- DFU バージョンが次のいずれかです。
  - V2.1 (ブートローダ V2.1)
  - V2.2 (ブートローダ V2.2)
 DFU デバイスディスクリプタの bcdDevice フィールドを介して読み出すことができます。

### 16.3.2 STM32F105xx/STM32F107xx デバイスで使用できないブートローダ (日付コードが 937 未満の場合)

#### 説明

ブートローダは、USART1\_RX (PA10)、USART2\_RX (PD6、再配置)、CAN2\_Rx (PB5、再配置)、OTG\_FS\_DM (PA11)、および/または OTG\_FS\_DP (PA12) ピンがブートローダの有効化フェーズ中にローで保持されたりフローティング状態で残されたりした場合は使用できません。

ブートローダを、CAN2 (再配置)、DFU (デバイスモードの OTG FS)、USART1、または USART2 (再配置) を通じて接続することはできません。

64 ピンパッケージでは、USART2\_RX 信号で再配置された PD6 ピンは使用できません。これは、内部的にアース接続されています。この場合、ブートローダは完全に使用できません。

#### 回避策

- 64 ピンパッケージの場合：
  - なし。ブートローダは使用できません。
- 100 ピンパッケージの場合：
 

使用しているペリフェラルに応じて、次に示すように、ブートローダの有効化フェーズ中に未使用ペリフェラルのピンをハイレベルに保持する必要があります。

  - USART1 を使用してブートローダに接続している場合は、PD6 と PB5 をハイレベルに保持する必要があります。
  - USART2 を使用してブートローダに接続している場合は、PA10、PB5、PA11、および PA12 をハイレベルに保持する必要があります。
  - CAN2 を使用してブートローダに接続している場合は、PA10、PD6、PA11、および PA12 をハイレベルに保持する必要があります。
  - DFU を使用してブートローダに接続している場合は、PA10、PB5、および PD6 をハイレベルに保持する必要があります。

**注：** この制限は、日付コードが 937 未満の STM32F105xx および STM32F107xx デバイスにのみ適用されます。日付コードが 937 以上の STM32F105xx および STM32F107xx デバイスはこの影響を受けません。デバイス表示上の日付コードの場所については、STM32F105xx および STM32F107xx のデータシートを参照してください。

### 16.3.3 0x22 ではなく 0x20 を返す USART ブートローダのGet-Versionコマンド

#### 説明

USART モードでは、Get-Versionコマンド（AN3155 で定義）は 0x22 の代わりに 0x20 を返します。この制限はブートローダのバージョン V1.0 と V2.0 にもありますが、バージョン 2.1 では修正されています。

#### 回避策

なし。

### 16.3.4 ブートローダ V2.0 の USB 接続時の PA9 の過剰電力消費

#### 説明

システムメモリモードからの起動後に USB ケーブルを接続する場合、PA9 ピン ( $V_{BUS}=5\text{ V}$  に接続) は、USART TX ピン (USART ペリフェラルがまだクロック供給されていないためにオルタネート機能のプッシュプルとして設定され、強制的に 0 に設定された) と共有されます。その結果、PA9 I/O から 25 mA を超える電流が排出され、I/O パッドの信頼性に影響を与えることがあります。

この制限は、RX ピンで正しい 0x7F を受信し、USART がクロック供給されたときに PA9 をオルタネート機能のプッシュプルとして設定することで、ブートローダのバージョン 2.1 で修正されました。これ以外の場合、PA9 はオルタネート入力フローティングとして設定されます。

#### 回避策

なし。

## 17 STM32F10xxx XL 容量のデバイスのブートローダ

### 17.1 ブートローダの設定

STM32F10xxx XL 容量ブートローダは、パターン 3 を適用すると有効化されます (表 2: ブートローダの有効化パターンを参照)。次の表に、このブートローダが使用するハードウェア・リソースを示します。

表 33. システム・メモリ・ブート・モードでの STM32F10xxx XL 容量の設定

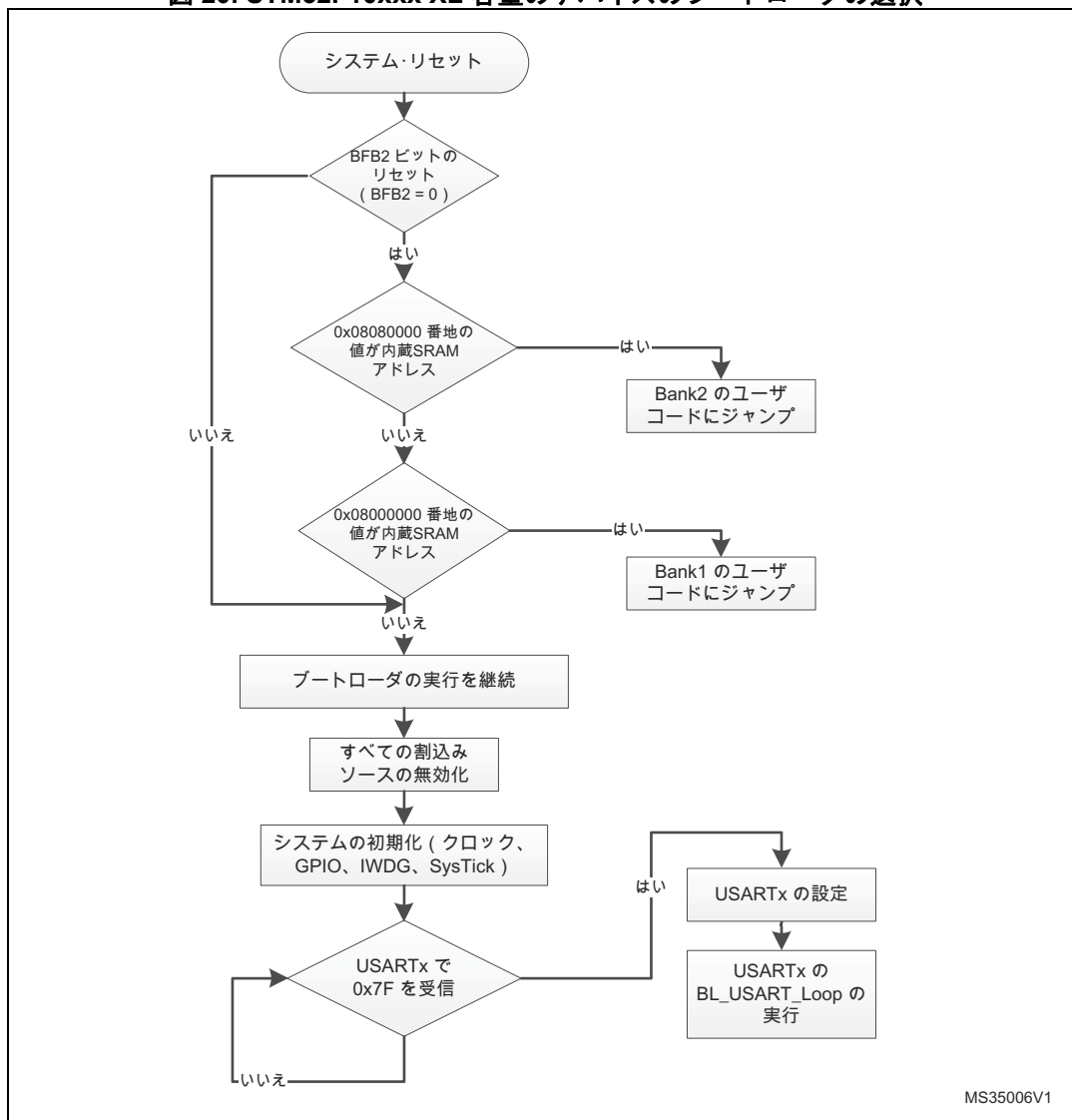
| ブートローダ        | 機能/ペリフェラル    | 状態         | コメント   |
|---------------|--------------|------------|--|
| すべてのブートローダに共通 | RCC          | HSI は有効です。 | システム・クロック周波数は 24 MHz です (PLL を使用)。   |
|               | RAM          | -          | アドレス 0x20000000 から始まる 2 KB は、ブートローダのファームウェアによって使用されます。   |
|               | システムメモリ      | -          | アドレス 0x1FFFE000 から始まる 6 KB に、ブートローダのファームウェアが含まれています。   |
|               | IWDG         | -          | 独立型ウォッチドッグ (IWDG) プリスケールは、最大値に設定されます。これは、定期的にリフレッシュされ、ウォッチドッグがリセットされるのを防ぎます (ハードウェアの IWDG オプションがユーザによって事前に有効化されている場合)。 |
| USART1 ブートローダ | USART1       | 有効         | 一度初期化されると、USART1 の設定は 8 ビット、偶数パリティ、および 1 ストップビットになります。   |
|               | USART1_RX ピン | 入力         | PA10 ピン: 受信モードの USART1。入力プルアップ・モードで使用。   |
|               | USART1_TX ピン | 出力プッシュプル   | PA9 ピン: 送信モードの USART1。オルタナート・プッシュプル、プルアップ・モードで使用。  |
| USART2 ブートローダ | USART2       | 有効         | 一度初期化されると、USART2 の設定は 8 ビット、偶数パリティ、および 1 ストップビットになります。   |
|               | USART2_RX ピン | 入力         | PD6 ピン: USART2 受信 (再配置されたピン) 入力プルアップ・モードで使用。   |
|               | USART2_TX ピン | 出力プッシュプル   | PD5 ピン: USART2 送信 (再配置されたピン) オルタナート・プッシュプル、プルアップ・モードで使用。   |
| USARTx ブートローダ | SysTick タイマ  | 有効         | ホストからシリアルボーレートを自動検出するために使用されます。  |

システムクロックは内蔵された内部ハイスピード RC から生成されます。ブートローダの実行に外部水晶発振器は不要です。

## 17.2 ブートローダの選択

図 20 に、ブートローダの選択メカニズムを示します。

図 20. STM32F10xxx XL 容量のデバイスのブートローダの選択



MS35006V1

## 17.3 ブートローダのバージョン

表 34 に、STM32F10xxx XL 容量デバイスのブートローダのバージョンを示します。

表 34. STM32F10xxx XL 容量のブートローダのバージョン

| ブートローダのバージョン番号 | 説明             |
|----------------|----------------|
| V2.1           | ブートローダの初期バージョン |

注：ブートローダ ID フォーマットは STM32F1xx ファミリを除くすべての STM32 デバイスファミリに適用されます。STM32F1xx のブートローダのバージョンは、内蔵デバイスのブートローダのバージョンにのみ適用され、サポートされているプロトコルには適用されません。

## 18 STM32F2xxxx デバイスのブートローダ

STM32F2xxxx デバイスでは 2 つのバージョンのブートローダを使用できます。

- V2.x (USART1 と USART3 をサポート)  
このバージョンはリビジョン A、Z、および B に内蔵されています。
- V3.x (USART1、USART3、CAN2、および DFU (USB FS デバイス) をサポート)  
このバージョンは、他のすべてのリビジョン (Y、X、W、1、V、2、3、および 4) に内蔵されています。

### 18.1 ブートローダ V2.x

#### 18.1.1 ブートローダの設定

STM32F2xxxx ブートローダは、パターン 1 を適用すると有効化されます (表 2: ブートローダの有効化パターンを参照)。次の表に、このブートローダが使用するハードウェア・リソースを示します。

表 35. システムメモリブートモードでの STM32F2xxxx の設定

| ブートローダ                      | 機能/ペリフェラル    | 状態         | コメント   |
|-----------------------------|--------------|------------|--|
| すべてのブートローダに共通               | RCC          | HSI は有効です。 | システム・クロック周波数は 24 MHz です。   |
|                             | RAM          | -          | アドレス 0x20000000 から始まる 8 KB。  |
|                             | システムメモリ      | -          | アドレス 0x1FFF0000 から始まる 29 KB に、ブートローダのファームウェアが含まれています。  |
|                             | IWDG         | -          | 独立型ウォッチドッグ (IWDG) プリスケールは、最大値に設定されます。これは、定期的によりフレッシュされ、ウォッチドッグがリセットされるのを防ぎます (ハードウェアの IWDG オプションがユーザによって事前に有効化されている場合)。                |
|                             | パワー          | -          | 電圧範囲が [1.62 V、2.1 V] にセットされます。この範囲で、内部 Flash 書き込み操作はバイトフォーマットでのみ実行できます (ハーフワード、ワード、およびダブルワード操作は不可)。電圧範囲は、実行時間中にブートローダのコマンドを使用して設定できます。 |
| USART1 ブートローダ               | USART1       | 有効         | 一度初期化されると、USART1 の設定は 8 ビット、偶数パリティ、および 1 ストップビットになります。   |
|                             | USART1_RX ピン | 入力         | PA10 ピン : 受信モードの USART1  |
|                             | USART1_TX ピン | 出力         | PA9 ピン : 送信モードの USART1   |
| USART3 ブートローダ (PC10/PC11 上) | USART3       | 有効         | 一度初期化されると、USART3 の設定は 8 ビット、偶数パリティ、および 1 ストップビットになります。   |
|                             | USART3_RX ピン | 入力         | PC11 ピン : 受信モードの USART3  |
|                             | USART3_TX ピン | 出力         | PC10 ピン : 送信モードの USART3  |



表 35. システムメモリブートモードでの STM32F2xxxx の設定 (続き)

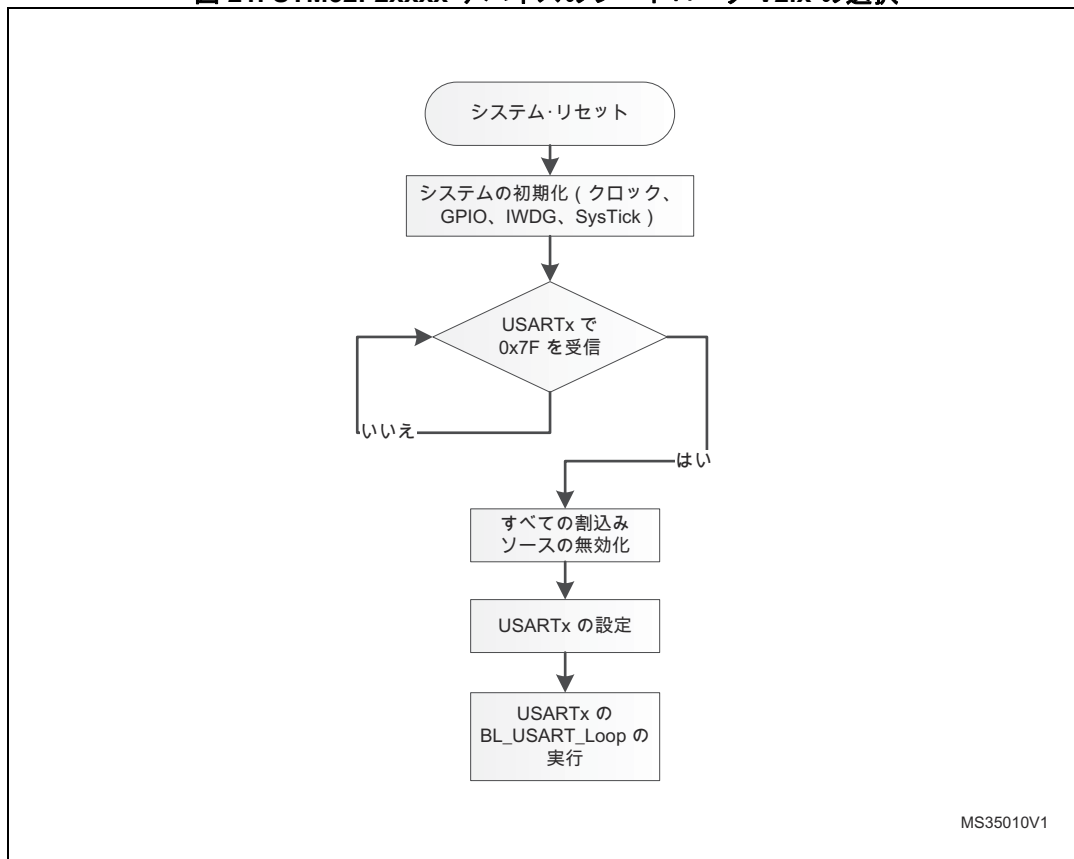
| ブートローダ                         | 機能/ペリフェラル    | 状態 | コメント   |
|--------------------------------|--------------|----|--|
| USART3 ブートローダ<br>(PB10/PB11 上) | USART3       | 有効 | 一度初期化されると、USART3 の設定は8ビット、偶数パリティ、および1ストップビットになります。 |
|                                | USART3_RX ピン | 入力 | PB11 ピン : 受信モードの USART3                            |
|                                | USART3_TX ピン | 出力 | PB10 ピン : 送信モードの USART3                            |
| USARTx ブートローダ                  | SysTick タイマ  | 有効 | ホストからシリアルボーレートを自動検出するために使用されます。                    |

システムクロックは内蔵された内部ハイスピード RC から生成されます。ブートローダコードに外部水晶発振器は不要です。

### 18.1.2 ブートローダの選択

図 21 に、ブートローダの選択メカニズムを示します。

図 21. STM32F2xxxx デバイスのブートローダ V2.x の選択



### 18.1.3 ブートローダのバージョン

次の表に、STM32F2xxxx デバイスのブートローダのバージョン (V2.x) を示します。

表 36. STM32F2xxxx のブートローダのバージョン (V2.x)

| ブートローダのバージョン番号 | 説明             | 既知の制限   |
|----------------|----------------|---|
| V2.0           | ブートローダの初期バージョン | Read Memory コマンドまたは Write Memory コマンドが、サポートされていないメモリ・アドレスと、アドレスの正確なチェックサム (アドレス 0x6000 0000) で発行された場合、このコマンドはブートローダ・デバイスによってアボートされますが、ホストに NACK (0x1F) は送信されません。結果として、次の 2 つのバイト (読出し/書込みを行うバイト数とそのチェックサム) は新しいコマンドとそのチェックサムとみなされます。<br>CAN インタフェースでは、Write Unprotect コマンドは機能しません。書込み保護を無効にするには、Write Memory コマンドを使用してオプションバイトに直接書き込みます。 <sup>(1)</sup> |

1. 読出し/書込みを行う「データ数 - 1」(N-1) が有効なコマンドコード (0x00、0x01、0x02、0x11、0x21、0x31、0x43、0x44、0x63、0x73、0x82、または 0x92) と一致しない場合、このコマンドは (サポートされていない新しいコマンドとして) どのみち NACK されるため、ホストから制限を認識することはできません。

## 18.2 ブートローダ V3.x

### 18.2.1 ブートローダの設定

STM32F2xxxx ブートローダは、パターン 1 を適用すると有効化されます（表 2：ブートローダの有効化パターンを参照）。次の表に、このブートローダが使用するハードウェア・リソースを示します。

表 37. システムメモリブートモードでの STM32F2xxxx の設定

| ブートローダ        | 機能/ペリフェラル    | 状態  | コメント   |
|---------------|--------------|---|--|
| すべてのブートローダに共通 | RCC          | HSI は有効です。  | システム・クロック周波数は 24 MHz です（PLL を使用）。<br>HSI クロック・ソースは、起動時（インタフェース検出フェーズ）および USARTx インタフェースの選択時に使用されます（CAN または DFU ブートローダを選択すると、外部クリスタルからクロック・ソースが生成されます）。 |
|               |              | HSE は有効です。  | システム・クロック周波数は 60 MHz です。<br>HSE クロックソースは、CAN または DFU（USB FS デバイス）インタフェースの選択時にのみ使用されます。<br>外部クロックは、1 MHz の倍数で、範囲が 4 MHz から 26 MHz の周波数を提供する必要があります。     |
|               |              | -   | CAN および DFU ブートローダでは、クロックセキュリティシステム（CSS）割込みが有効化されます。外部クロックの障害（または除去）により、システムリセットが生成されます。   |
|               | RAM          | -   | アドレス 0x20000000 から始まる 8 KB は、ブートローダのファームウェアによって使用されます。   |
|               | システムメモリ      | -   | アドレス 0x1FF00000 から始まる 29 KB に、ブートローダのファームウェアが含まれています。  |
|               | IWDG         | -   | 独立型ウォッチドッグ（IWDG）プリスケアラは、最大値に設定されます。これは、定期的によりフレッシュされ、ウォッチドッグがリセットされるのを防ぎます（ハードウェアの IWDG オプションがユーザによって事前に有効化されている場合）。                                   |
| パワー           | -            | 電圧範囲が [1.62 V、2.1 V] にセットされます。この範囲で、内部 Flash 書き込み操作はバイトフォーマットでのみ実行できます（ハーフワード、ワード、およびダブルワード操作は不可）。電圧範囲は、実行時間中にブートローダのコマンドを使用して設定できます。 |  |
| USART1 ブートローダ | USART1       | 有効  | 一度初期化されると、USART1 の設定は 8 ビット、偶数パリティ、および 1 ストップビットになります。   |
|               | USART1_RX ピン | 入力  | PA10 ピン：受信モードの USART1。入力プルアップ・プルダウンなしモードで使用。   |
|               | USART1_TX ピン | 出力  | PA9 ピン：送信モードの USART1。プルアップ・プルダウンなしモードで使用。  |

表 37. システムメモリブートモードでの STM32F2xxxx の設定 (続き)

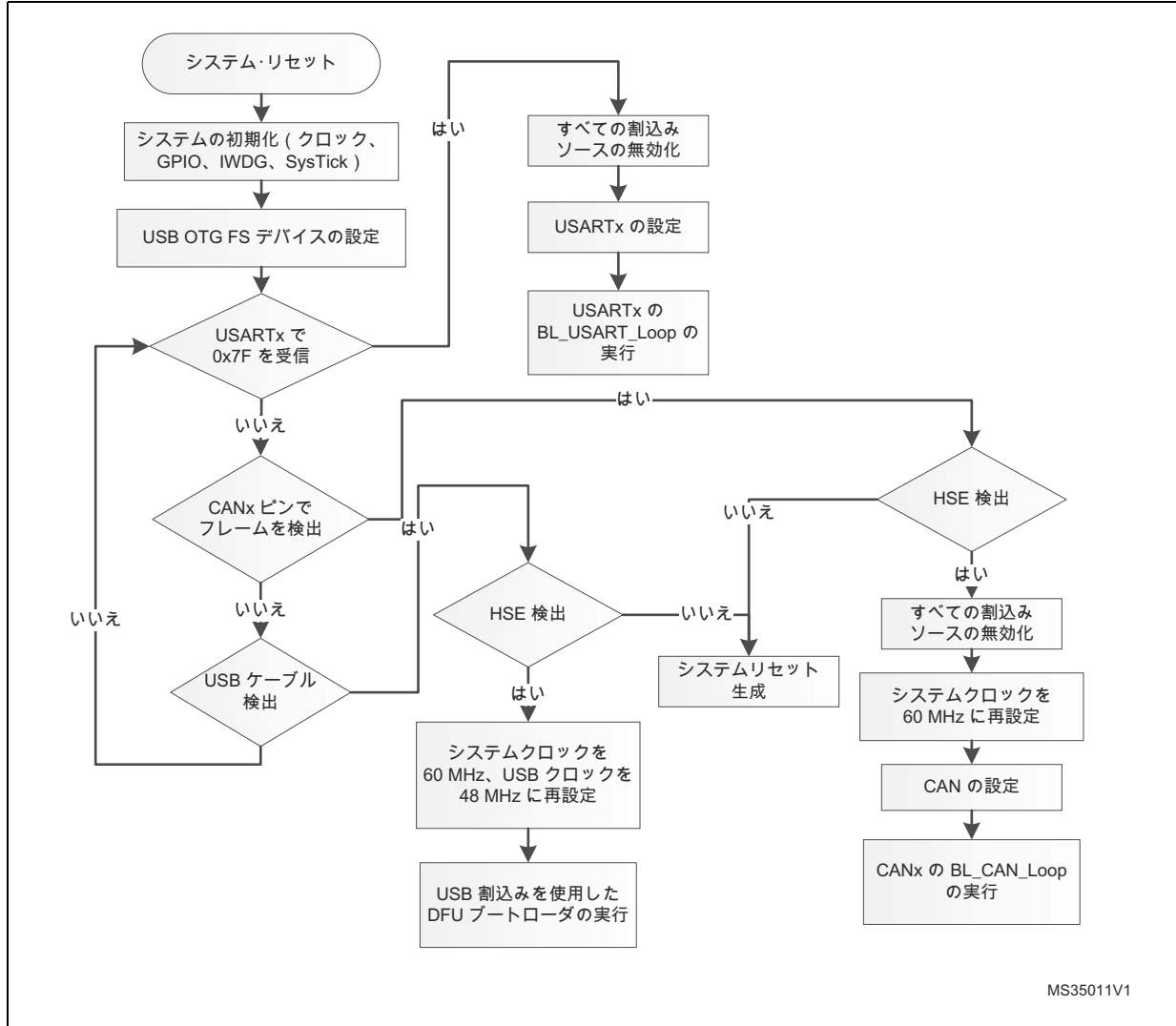
| ブートローダ                         | 機能/ペリフェラル    | 状態    | コメント   |
|--------------------------------|--------------|-------|--|
| USART3 ブートローダ<br>(PB10/PB11 上) | USART3       | 有効    | 一度初期化されると、USART3 の設定は8ビット、偶数パリティ、および1ストップビットになります。   |
|                                | USART3_RX ピン | 入力    | PB11 ピン：受信モードの USART3。プルアップ・モードで使用   |
|                                | USART3_TX ピン | 出力    | PB10 ピン：送信モードの USART3。プルアップ・モードで使用   |
| USART3 ブートローダ<br>(PC10/PC11 上) | USART3       | 有効    | 一度初期化されると、USART3 の設定は8ビット、偶数パリティ、および1ストップビットになります。   |
|                                | USART3_RX ピン | 入力    | PC11 ピン：受信モードの USART3。プルアップ・モードで使用。  |
|                                | USART3_TX ピン | 出力    | PC10 ピン：送信モードの USART3。プルアップ・モードで使用。  |
| USARTx ブートローダ                  | SysTick タイマ  | 有効    | USARTx ブートローダのホストからシリアルボーレートを自動検出するために使用されます。  |
| CAN2 ブートローダ                    | CAN2         | 有効    | 一度初期化されると、CAN2 の設定はボーレート 125 kbps、11 ビット識別子になります。<br><b>注：</b> CAN1 は CAN2 のブートローダの実行中にクロック供給されます。これは、CAN1 が CAN2 と SRAM の間の通信を管理しているためです。 |
|                                | CAN2_RX ピン   | 入力    | PB5 ピン：受信モードの CAN2。オルタネート・プッシュプル、プルアップ・モードで使用。   |
|                                | CAN2_TX ピン   | 出力    | PB13 ピン：送信モードの CAN2。オルタネート・プッシュプル、プルアップ・モードで使用。  |
| DFU ブートローダ                     | USB          | 有効    | USB OTG FS は強制デバイスモードで設定されます。  |
|                                | USB_DM ピン    | 入力/出力 | PA11：USB DM ライン。入力プルアップ・プルダウンなしモードで使用。   |
|                                | USB_DP ピン    |       | PA12：USB DP ライン。入力プルアップ・プルダウンなしモードで使用。<br>外部プルアップ抵抗は不要です。  |
| CAN2 および<br>DFU ブートローダ         | TIM11        | 有効    | このタイマは、HSE の値を決定するために使用されます。HSE 周波数が決定されると、システムクロックは PLL と HSE を使用して 60 MHz に設定されます。   |

システムクロックは USARTx ブートローダ用の内蔵された内部ハイスピード RC から生成されます。この内部クロックは、CAN や DFU (USB FS デバイス) にも使用されますが、選択フェーズに限られます。選択フェーズ後に CAN および DFU ブートローダを実行するには、1 MHz の倍数 (4 から 26 MHz の間) の外部クロックが必要です。

### 18.2.2 ブートローダの選択

次の図に、ブートローダの選択メカニズムを示します。

図 22. STM32F2xxxx デバイスのブートローダ V3.x の選択



MS35011V1

### 18.2.3 ブートローダのバージョン

次の表に、STM32F2xxxx デバイスのブートローダのバージョン (V3.x) を示します。

表 38. STM32F2xxxx のブートローダのバージョン (V3.x)

| ブートローダのバージョン番号 | 説明                              | 既知の制限  |
|----------------|---------------------------------|--|
| V3.2           | ブートローダの初期バージョン                  | <ul style="list-style-type: none"> <li>- Read Memory コマンドまたは Write Memory コマンドが、サポートされていないメモリ・アドレスと、アドレスの正確なチェックサム (アドレス 0x6000 0000) で発行された場合、このコマンドはブートローダ・デバイスによってアボートされますが、ホストに NACK (0x1F) は送信されません。結果として、次の 2 つのバイト (読出し/書込みを行うバイト数とそのチェックサム) は新しいコマンドとそのチェックサムとみなされます。<sup>(1)</sup></li> <li>- オプションバイト、OTP、およびデバイス機能ディスクリプタ (DFU インタフェース内) は、「e」(消去不可メモリ領域) ではなく「g」にセットされます。</li> </ul> |
| V3.3           | V3.2 の制限を修正。DFU インタフェースの安定性を強化。 | <ul style="list-style-type: none"> <li>- USART インタフェースでは、Read Memory または Write Memory コマンドが送信され、RDP レベルがアクティブな場合、(1 つの NACK の代わりに) 2 つの連続した NACK を送信します。</li> <li>- CAN インタフェースでは、Write Unprotect コマンドは機能しません。書込み保護を無効にするには、Write Memory コマンドを使用してオプションバイトに直接書き込みます。</li> </ul>  |

1. 読出し/書込みを行う「データ数 - 1」(N-1) が有効なコマンドコード (0x00、0x01、0x02、0x11、0x21、0x31、0x43、0x44、0x63、0x73、0x82、または 0x92) と一致しない場合、このコマンドは (サポートされていない新しいコマンドとして) どのみち NACK されるため、ホストから制限を認識することはできません。

## 19 STM32F301xx/302x4(6/8) デバイスのブートローダ

### 19.1 ブートローダの設定

STM32F301xx/302x4 (6/8) ブートローダは、パターン 2 を適用すると有効化されます (表 2: [ブートローダの有効化パターン](#)を参照)。次の表に、このブートローダが使用するハードウェア・リソースを示します。

表 39. システムメモリブートモードでの STM32F301xx/302x4(6/8) の設定

| ブートローダ        | 機能/ペリフェラル    | 状態  | コメント  |
|---------------|--------------|---|---|
| すべてのブートローダに共通 | RCC          | HSI は有効です。  | システム・クロック周波数は 48 MHz で、クロック・ソースは HSI48 48 MHz です。   |
|               |              | HSE は有効です。  | 外部クロックはすべてのブートローダ・インタフェースに使用でき、[24、18、16、12、9、8、6、4、3] MHz のいずれかの値を持ちます。<br>PLL は、USB 48 MHz クロックとシステム・クロックの 48 MHz クロックの生成に使用されます。 |
|               |              | -   | DFU ブートローダでは、クロックセキュリティシステム (CSS) 割込みが有効化されます。外部クロックの障害 (または除去) により、システムリセットが生成されます。  |
|               | RAM          | -   | アドレス 0x20000000 から始まる 6 KB は、ブートローダのファームウェアによって使用されます。  |
|               | システムメモリ      | -   | アドレス 0x1FFFD800 から始まる 8 KB に、ブートローダのファームウェアが含まれています。  |
| IWDG          | -            | 独立型ウォッチドッグ (IWDG) プリスケールは、最大値に設定されます。これは、定期的によりフレッシュされ、ウォッチドッグがリセットされるのを防ぎます (ハードウェアの IWDG オプションがユーザによって事前に有効化されている場合)。 |   |
| USART1 ブートローダ | USART1       | 有効  | 一度初期化されると、USART1 の設定は 8 ビット、偶数パリティ、および 1 ストップ・ビットになります。   |
|               | USART1_RX ピン | 入力  | PA10 ピン: 受信モードの USART1。オルタネート・プッシュプル、プルアップ・モードで使用。  |
|               | USART1_TX ピン | 出力  | PA9 ピン: 送信モードの USART1。オルタネート・プッシュプル、プルアップ・モードで使用。   |
| USART2 ブートローダ | USART2       | 有効  | 一度初期化されると、USART2 の設定は 8 ビット、偶数パリティ、および 1 ストップ・ビットになります。   |
|               | USART2_RX ピン | 入力  | PA3 ピン: 受信モードの USART2。オルタネート・プッシュプル、プルアップ・モードで使用。   |
|               | USART2_TX ピン | 出力  | PA2 ピン: 送信モードの USART2。オルタネート・プッシュプル、プルアップ・モードで使用。   |
| USARTx ブートローダ | SysTick タイマ  | 有効  | USARTx ブートローダのホストからシリアルボーレートを自動検出するために使用されます。   |

表 39. システムメモリブートモードでの STM32F301xx/302x4(6/8) の設定 (続き)

| ブートローダ     | 機能/ペリフェラル | 状態    | コメント  |
|------------|-----------|-------|---|
| DFU ブートローダ | USB       | 有効    | USB は FS モードで使用されます。  |
|            | USB_DM ピン | 入力/出力 | PA11 : USB DM ライン。オルタネート・プッシュプル、プルアップ・プルダウンなしモードで使用。  |
|            | USB_DP ピン |       | PA12 : USB DP ライン。オルタネート・プッシュプル、プルアップ・プルダウンなしモードで使用。<br>1.5 K $\Omega$ の外部プルアップ抵抗は、USB_DP ピンに接続する必要があります。 |

ブートローダには、ブートローダ起動時の外部クロック (HSE) の有無に応じて、2 つの働きがあります。

- HSE があり、値が 24、18、16、12、9、8、6、4、または 3 MHz のいずれかである場合、システムクロックは HSE をクロックソースとして 48 MHz に設定されます。DFU インタフェース、USART1、および USART2 が動作し、これをブートローダデバイスとの通信に使用できます。
- HSE がない場合、HSI はデフォルトのクロックソースとして保持され、USART1 と USART2 のみが動作します。

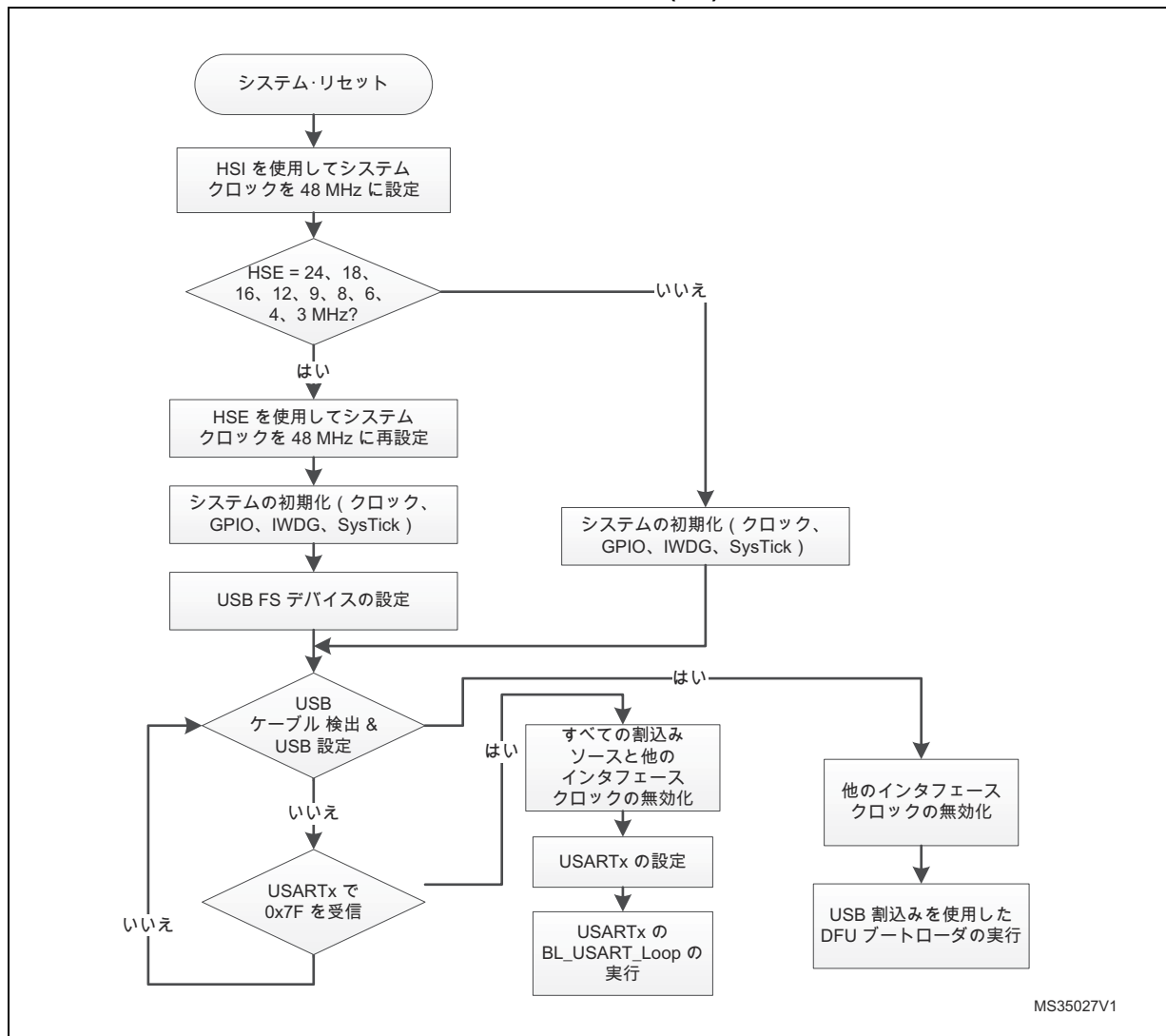
ブートローダの起動時に外部クロック (HSE) を接続している場合は、システム・クロック・ソースとして使用するために、これを保持する必要があります。



## 19.2 ブートローダの選択

図 23 に、ブートローダの選択メカニズムを示します。

図 23. STM32F301xx/302x4(6/8) のブートローダの選択



## 19.3 ブートローダのバージョン

次の表に、STM32F301xx/302x4(6/8) デバイスのブートローダのバージョンを示します。

表 40. STM32F301xx/302x4(6/8) のブートローダのバージョン

| ブートローダのバージョン番号 | 説明             | 既知の制限 |
|----------------|----------------|-------|
| V4.0           | ブートローダの初期バージョン | なし    |

## 20 STM32F302xB(C)/303xB(C) デバイスのブートローダ

### 20.1 ブートローダの設定

STM32F302xB(C)/303xB(C) ブートローダは、パターン 2 を適用すると有効化されます（表 2: ブートローダの有効化パターンを参照）。次の表に、このブートローダが使用するハードウェア・リソースを示します。

表 41. システムメモリブートモードでの STM32F302xB(C)/303xB(C) の設定

| ブートローダ        | 機能/ペリフェラル    | 状態         | コメント  |
|---------------|--------------|------------|---|
| すべてのブートローダに共通 | RCC          | HSI は有効です。 | 起動時、システム・クロック周波数は HSI を使用して 48 MHz に設定されます。外部クロック (HSE) がいない場合、システムは HSI からのクロック供給を受け続けます。                                      |
|               |              | HSE は有効です。 | 外部クロックはすべてのブートローダ・インタフェースに使用でき、[24、18、16、12、9、8、6、4、3] MHz のいずれかの値を持ちます。PLL は、USB 48 MHz クロックとシステム・クロックの 48 MHz クロックの生成に使用されます。 |
|               |              | -          | DFU ブートローダでは、クロックセキュリティシステム (CSS) 割込みが有効化されます。外部クロックの障害（または除去）により、システムリセットが生成されます。  |
|               | RAM          | -          | アドレス 0x20000000 から始まる 5 KB は、ブートローダのファームウェアによって使用されます。  |
|               | システムメモリ      | -          | アドレス 0x1FFFD800 から始まる 8 KB に、ブートローダのファームウェアが含まれています。  |
|               | IWDG         | -          | 独立型ウォッチドッグ (IWDG) プリスケアラは、最大値に設定されます。これは、定期的リフレッシュされ、ウォッチドッグがリセットされるのを防ぎます（ハードウェアの IWDG オプションがユーザによって事前に有効化されている場合）。            |
| USART1 ブートローダ | USART1       | 有効         | 一度初期化されると、USART1 の設定は 8 ビット、偶数パリティ、および 1 ストップビットになります。  |
|               | USART1_RX ピン | 入力         | PA10 ピン：受信モードの USART1。オルタネート・プッシュプル、プルアップ・モードで使用。   |
|               | USART1_TX ピン | 出力         | PA9 ピン：送信モードの USART1。オルタネート・プッシュプル、プルアップ・モードで使用。  |
| USART2 ブートローダ | USART2       | 有効         | 一度初期化されると、USART2 の設定は 8 ビット、偶数パリティ、および 1 ストップビットになります。USART2 は USART2 用の再配置されたピンを使用します。   |
|               | USART2_RX ピン | 入力         | PD6 ピン：受信モードの USART2。オルタネート・プッシュプル、プルアップ・モードで使用。  |
|               | USART2_TX ピン | 出力         | PD5 ピン：送信モードの USART2。オルタネート・プッシュプル、プルアップ・モードで使用。  |

表 41. システムメモリブートモードでの STM32F302xB(C)/303xB(C) の設定 (続き)

| ブートローダ        | 機能/ペリフェラル   | 状態    | コメント  |
|---------------|-------------|-------|---|
| USARTx ブートローダ | SysTick タイマ | 有効    | USARTx ブートローダのホストからシリアルポーレートを自動検出するために使用されます。   |
| DFU ブートローダ    | USB         | 有効    | USB は FS モードで使用されます。  |
|               | USB_DM ピン   | 入力/出力 | PA11 : USB DM ライン。オルタネート・プッシュプル、プルアップ・プルダウンなしモードで使用。  |
|               | USB_DP ピン   |       | PA12 : USB DP ライン。オルタネート・プッシュプル、プルアップ・プルダウンなしモードで使用。<br>1.5 K $\Omega$ の外部プルアップ抵抗は、USB_DP ピンに接続する必要があります。 |

ブートローダには、ブートローダ起動時の外部クロック (HSE) の有無に応じて、2 つの働きがあります。

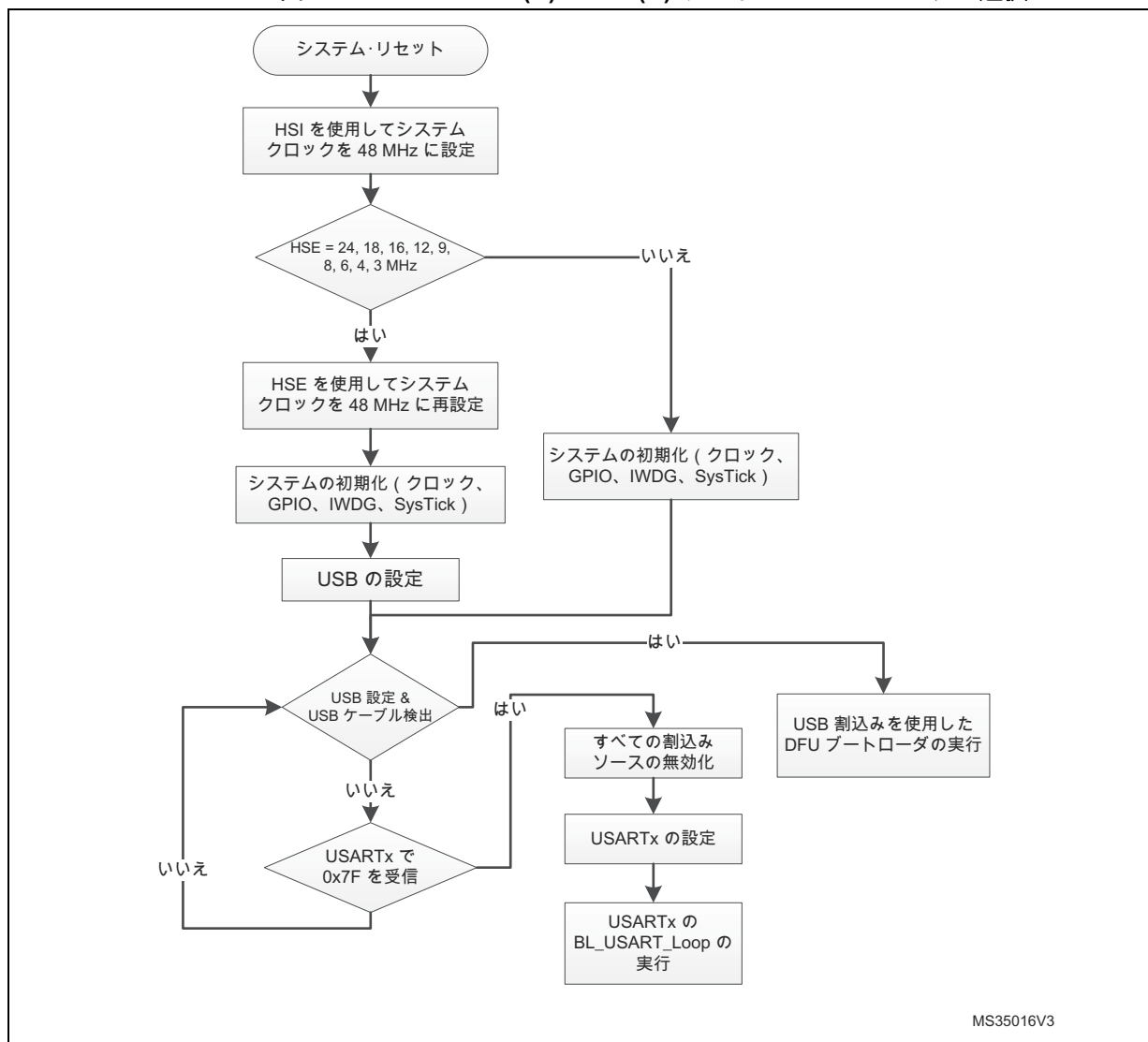
- HSE があり、値が 24、18、16、12、9、8、6、4、または 3 MHz のいずれかである場合、システムクロックは HSE をクロックソースとして 48 MHz に設定されます。DFU インタフェース、USART1、および USART2 が動作し、これをブートローダデバイスとの通信に使用できます。
- HSE がない場合、HSI はデフォルトのクロックソースとして保持され、USART1 と USART2 のみが動作します。

ブートローダの起動時に外部クロック (HSE) を接続している場合は、システム・クロック・ソースとして使用するために、これを保持する必要があります。

## 20.2 ブートローダの選択

次の図に、ブートローダの選択メカニズムを示します。

図 24. STM32F302xB(C)/303xB(C) デバイスのブートローダの選択



MS35016V3

## 20.3 ブートローダのバージョン

次の表に、STM32F302xB(C)/303xB(C) デバイスのブートローダのバージョンを示します。

表 42. STM32F302xB(C)/303xB(C) のブートローダのバージョン

| ブートローダのバージョン番号 | 説明             | 既知の制限 |
|----------------|----------------|-------|
| V4.1           | ブートローダの初期バージョン | なし    |

## 21 STM32F302xD(E)/303xD(E) デバイスのブートローダ

### 21.1 ブートローダの設定

STM32F302xD(E)/303xD(E) ブートローダは、パターン 2 を適用すると有効化されます (表 2: ブートローダの有効化パターンを参照)。次の表に、このブートローダが使用するハードウェア・リソースを示します。

表 43. システム・メモリ・ブート・モードでの STM32F302xD(E)/303xD(E) の設定

| ブートローダ        | 機能/ペリフェラル    | 状態   | コメント   |
|---------------|--------------|--|--|
| すべてのブートローダに共通 | RCC          | HSI は有効です。   | システム・クロック周波数は 48 MHz で、クロック・ソースは HSI48 48 MHz です。  |
|               |              | HSE は有効です。   | 外部クロックはすべてのブートローダ・インターフェースに使用でき、[24、18、16、12、9、8、6、4、3] MHz のいずれかの値を持ちます。<br>PLL は、USB 48 MHz クロックとシステム・クロックの 48 MHz クロックの生成に使用されます。 |
|               |              | -  | DFU ブートローダでは、クロックセキュリティシステム (CSS) 割込みが有効化されます。外部クロックの障害 (または除去) により、システムリセットが生成されます。   |
|               | RAM          | -  | アドレス 0x20000000 から始まる 6 KB は、ブートローダのファームウェアによって使用されます。   |
|               | システムメモリ      | -  | アドレス 0x1FFFD800 から始まる 8 KB に、ブートローダのファームウェアが含まれています。   |
| IWDG          | -            | 独立型ウォッチドッグ (IWDG) プリスケアラは、最大値に設定されます。これは、定期的にリフレッシュされ、ウォッチドッグがリセットされるのを防ぎます (ハードウェアの IWDG オプションがユーザによって事前に有効化されている場合)。 |  |
| USART1 ブートローダ | USART1       | 有効   | 一度初期化されると、USART1 の設定は 8 ビット、偶数パリティ、および 1 ストップ・ビットになります。  |
|               | USART1_RX ピン | 入力   | PA10 ピン: 受信モードの USART1。オルタネート・プッシュプル、プルアップ・モードで使用。   |
|               | USART1_TX ピン | 出力   | PA9 ピン: 送信モードの USART1。オルタネート・プッシュプル、プルアップ・モードで使用。  |
| USART2 ブートローダ | USART2       | 有効   | 一度初期化されると、USART2 の設定は 8 ビット、偶数パリティ、および 1 ストップ・ビットになります。  |
|               | USART2_RX ピン | 入力   | PA3 ピン: 受信モードの USART2。オルタネート・プッシュプル、プルアップ・モードで使用。  |
|               | USART2_TX ピン | 出力   | PA2 ピン: 送信モードの USART2。オルタネート・プッシュプル、プルアップ・モードで使用。  |
| USARTx ブートローダ | SysTick タイマ  | 有効   | USARTx ブートローダのホストからシリアルポーレートを自動検出するために使用されます。  |

表 43. システム・メモリ・ブート・モードでの STM32F302xD(E)/303xD(E) の設定 (続き)

| ブートローダ     | 機能/ペリフェラル | 状態    | コメント  |
|------------|-----------|-------|---|
| DFU ブートローダ | USB       | 有効    | USB FS は強制デバイスモードで設定されます。USB FS 割り込みベクタが有効化され、USB DFU 通信に使用されます。  |
|            | USB_DM ピン | 入力/出力 | PA11 ピン : USB FS DM ライン。オルタネート・プッシュプル、プルアップ・プルダウンなしモードで使用。  |
|            | USB_DP ピン |       | PA12 ピン : USB FS DP ライン。オルタネート・プッシュプル、プルアップ・プルダウンなしモードで使用。<br>1.5 K $\Omega$ の外部プルアップ抵抗は、USB_DP ピンに接続する必要があります。 |

ブートローダには、ブートローダ起動時の外部クロック (HSE) の有無に応じて、2 つの働きがあります。

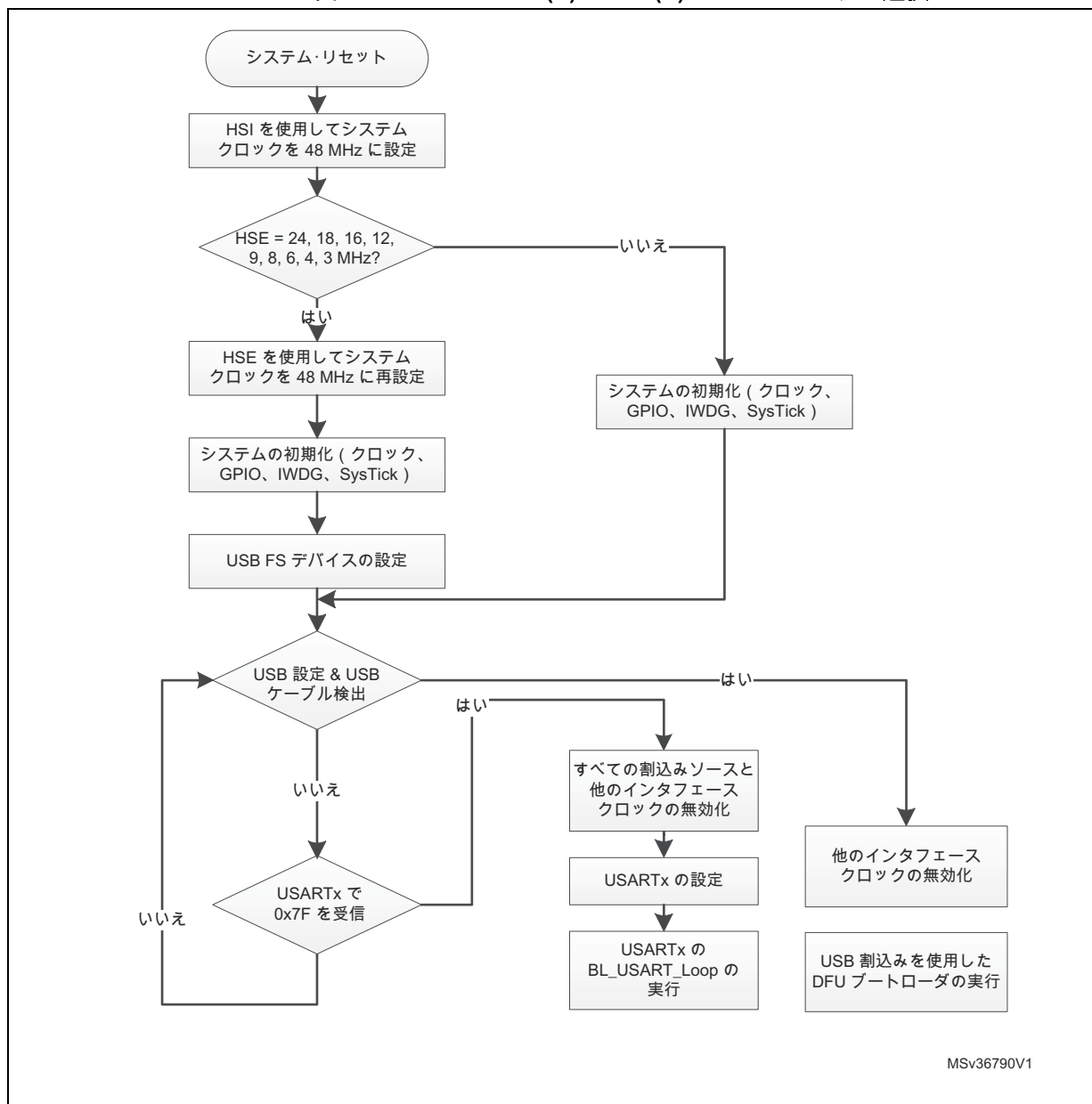
- HSE があり、値が 24、18、16、12、9、8、6、4、または 3 MHz のいずれかである場合、システムクロックは HSE をクロックソースとして 48 MHz に設定されます。DFU インタフェース、USART1、および USART2 が動作し、これをブートローダデバイスとの通信に使用できます。
- HSE がない場合、HSI はデフォルトのクロックソースとして保持され、USART1 と USART2 のみが動作します。

ブートローダの起動時に外部クロック (HSE) を接続している場合は、システム・クロック・ソースとして使用するために、これを保持する必要があります。

## 21.2 ブートローダの選択

次の図に、ブートローダの選択メカニズムを示します。

図 25. STM32F302xD(E)/303xD(E) のブートローダの選択



## 21.3 ブートローダのバージョン

次の表に、STM32F302xD(E)/303xD(E) デバイスのブートローダのバージョンを示します。

表 44. STM32F302xD(E)/303xD(E) のブートローダのバージョン

| ブートローダのバージョン番号 | 説明             | 既知の制限 |
|----------------|----------------|-------|
| V4.0           | ブートローダの初期バージョン | なし    |



## 22 STM32F303x4(6/8)/334xx/328xx デバイスのブートローダ

### 22.1 ブートローダの設定

STM32F303x4(6/8)/334xx/328xx ブートローダは、パターン 2 を適用すると有効化されます (表 2: [ブートローダの有効化パターン](#)を参照)。次の表に、このブートローダが使用するハードウェア・リソースを示します。

表 45. システムメモリブートモードでの STM32F303x4(6/8)/334xx/328xx の設定

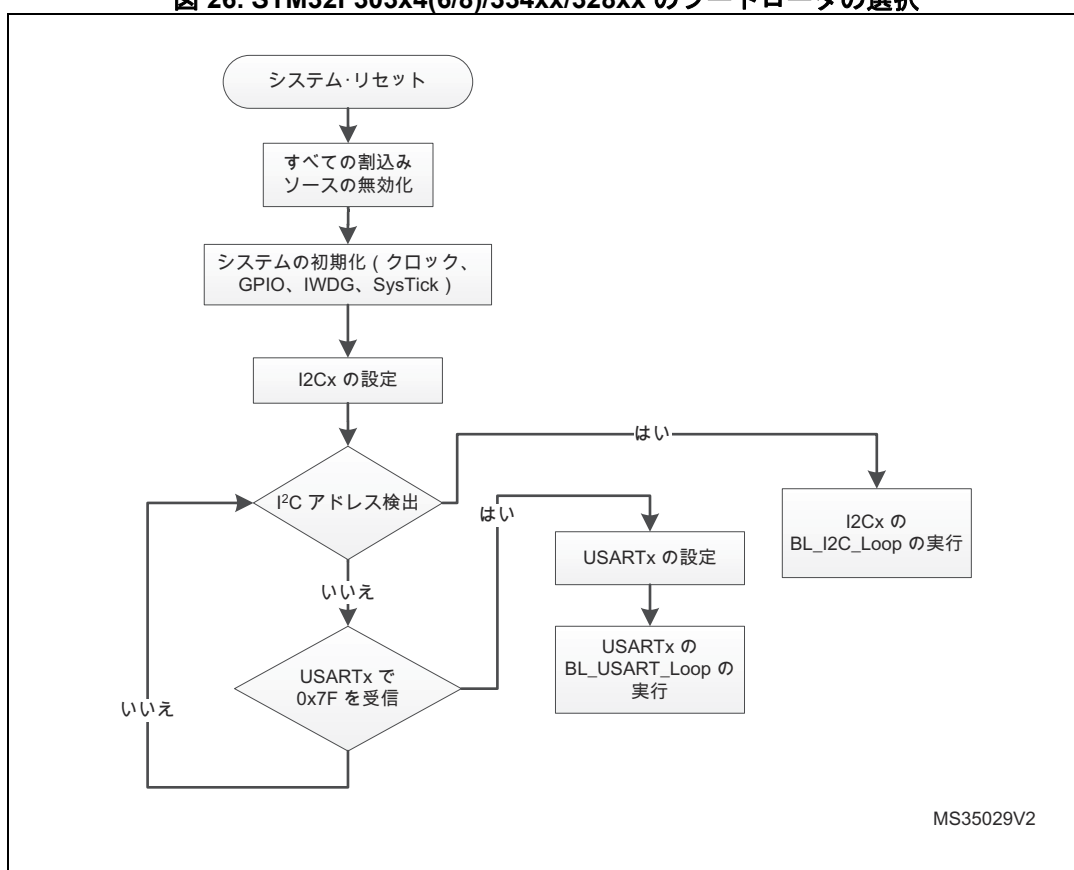
| ブートローダ        | 機能/ペリフェラル    | 状態         | コメント  |
|---------------|--------------|------------|---|
| すべてのブートローダに共通 | RCC          | HSI は有効です。 | システム・クロック周波数は 60 MHz で、クロック・ソースは HSI 8 MHz です。  |
|               | RAM          | -          | アドレス 0x20000000 から始まる 6 KB は、ブートローダのファームウェアによって使用されます。  |
|               | システムメモリ      | -          | アドレス 0x1FFFD800 から始まる 8 KB に、ブートローダのファームウェアが含まれています。  |
|               | IWDG         | -          | 独立型ウォッチドッグ (IWDG) プリスケールは、最大値に設定されます。これは、定期的にリフレッシュされ、ウォッチドッグがリセットされるのを防ぎます (ハードウェアの IWDG オプションがユーザによって事前に有効化されている場合)。                      |
| USART1 ブートローダ | USART1       | 有効         | 一度初期化されると、USART1 の設定は 8 ビット、偶数パリティ、および 1 ストップ・ビットになります。   |
|               | USART1_RX ピン | 入力         | PA10 ピン: 受信モードの USART1。オルタネート・プッシュプル、プルアップ・モードで使用。  |
|               | USART1_TX ピン | 出力         | PA9 ピン: 送信モードの USART1。オルタネート・プッシュプル、プルアップ・モードで使用。   |
| USART2 ブートローダ | USART2       | 有効         | 一度初期化されると、USART2 の設定は 8 ビット、偶数パリティ、および 1 ストップ・ビットになります。   |
|               | USART2_RX ピン | 入力         | PA3 ピン: 受信モードの USART2。オルタネート・プッシュプル、プルアップ・モードで使用。   |
|               | USART2_TX ピン | 出力         | PA2 ピン: 送信モードの USART2。オルタネート・プッシュプル、プルアップ・モードで使用。   |
| USARTx ブートローダ | SysTick タイマ  | 有効         | USARTx ブートローダのホストからシリアルボーレートを自動検出するために使用されます。   |
| I2C1 ブートローダ   | I2C1         | 有効         | I2C1 設定:<br>I <sup>2</sup> C スピード: 最大 400 kHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。7 ビット・スレーブ・アドレス: 0b0111111x (ここで、書込みの場合 x = 0、読出しの場合 x = 1)。 |
|               | I2C1_SCL ピン  | 入力/出力      | PB6 ピン: クロック・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。  |
|               | I2C1_SDA ピン  | 入力/出力      | PB7 ピン: データ・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。   |

システム・クロックは内蔵された内部ハイスピード RC から生成されます。ブートローダの実行に外部水晶発振器は不要です。

## 22.2 ブートローダの選択

次の図に、ブートローダの選択メカニズムを示します。

図 26. STM32F303x4(6/8)/334xx/328xx のブートローダの選択



## 22.3 ブートローダのバージョン

次の表に、STM32F303x4(6/8)/334xx/328xx デバイスのブートローダのバージョンを示します。

表 46. STM32F303x4(6/8)/334xx/328xx のブートローダのバージョン

| ブートローダのバージョン番号 | 説明             | 既知の制限 |
|----------------|----------------|-------|
| V5.0           | ブートローダの初期バージョン | なし    |

## 23 STM32F318xx デバイスのブートローダ

### 23.1 ブートローダの設定

STM32F318xx ブートローダは、パターン 2 を適用すると有効化されます（表 2：ブートローダの有効化パターンを参照）。次の表に、このブートローダが使用するハードウェア・リソースを示します。

表 47. システムメモリブートモードでの STM32F318xx の設定

| ブートローダ        | 機能/ペリフェラル    | 状態         | コメント  |
|---------------|--------------|------------|---|
| すべてのブートローダに共通 | RCC          | HSI は有効です。 | システム・クロック周波数は 60 MHz で、クロック・ソースは HSI 8 MHz です。  |
|               | RAM          | -          | アドレス 0x20000000 から始まる 6 KB は、ブートローダのファームウェアによって使用されます。  |
|               | システムメモリ      | -          | アドレス 0x1FFFD800 から始まる 8 KB に、ブートローダのファームウェアが含まれています。  |
|               | IWDG         | -          | 独立型ウォッチドッグ (IWDG) プリスケールは、最大値に設定されます。これは、定期的によりフレッシュされ、ウォッチドッグがリセットされるのを防ぎます (ハードウェアの IWDG オプションがユーザによって事前に有効化されている場合)。                       |
| USART1 ブートローダ | USART1       | 有効         | 一度初期化されると、USART1 の設定は 8 ビット、偶数パリティ、および 1 ストップ・ビットになります。   |
|               | USART1_RX ピン | 入力         | PA10 ピン：受信モードの USART1。オルタネート・プッシュプル、プルアップ・モードで使用。   |
|               | USART1_TX ピン | 出力         | PA9 ピン：送信モードの USART1。オルタネート・プッシュプル、プルアップ・モードで使用。  |
| USART2 ブートローダ | USART2       | 有効         | 一度初期化されると、USART2 の設定は 8 ビット、偶数パリティ、および 1 ストップ・ビットになります。   |
|               | USART2_RX ピン | 入力         | PA3 ピン：受信モードの USART2。オルタネート・プッシュプル、プルアップ・モードで使用。  |
|               | USART2_TX ピン | 出力         | PA2 ピン：送信モードの USART2。オルタネート・プッシュプル、プルアップ・モードで使用。  |
| USARTx ブートローダ | SysTick タイマ  | 有効         | USARTx ブートローダのホストからシリアルボーレートを自動検出するために使用されます。   |
| I2C1 ブートローダ   | I2C1         | 有効         | I2C1 設定：<br>I <sup>2</sup> C スピード：最大 400 kHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレス：0b0111101x (ここで、書込みの場合 x = 0、読出しの場合 x = 1)。 |
|               | I2C1_SCL ピン  | 入力/出力      | PB6 ピン：クロック・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。   |
|               | I2C1_SDA ピン  | 入力/出力      | PB7 ピン：データ・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。  |

表 47. システムメモリブートモードでの STM32F318xx の設定 (続き)

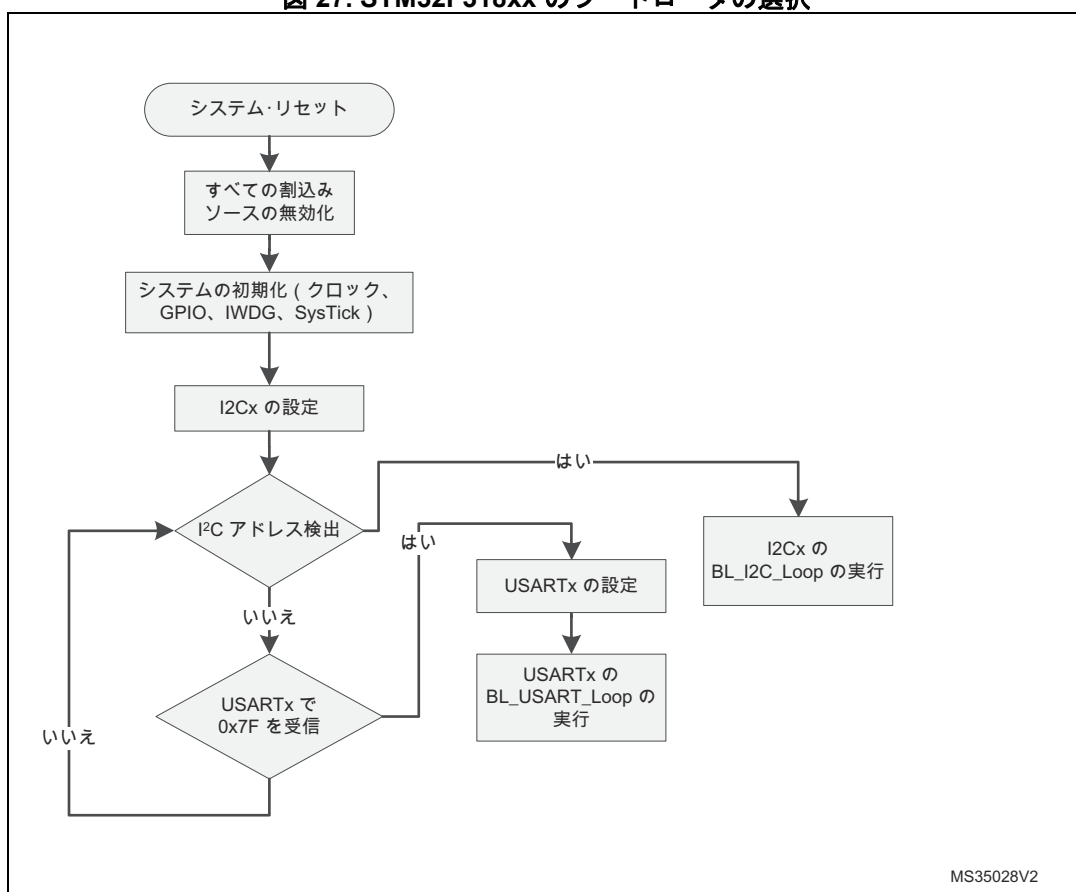
| ブートローダ      | 機能/ペリフェラル   | 状態    | コメント  |
|-------------|-------------|-------|---|
| I2C3 ブートローダ | I2C3        | 有効    | I2C3 設定 :<br>I <sup>2</sup> C スピード : 最大 400 kHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレス : 0b0111101x (ここで、書込みの場合 x = 0、読出しの場合 x = 1) で、デジタルフィルタ無効。 |
|             | I2C3_SCL ピン | 入力/出力 | PA8 ピン : クロック・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。   |
|             | I2C3_SDA ピン | 入力/出力 | PB5 ピン : データ・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。  |

システム・クロックは内蔵された内部ハイスピード RC から生成されます。ブートローダの実行に外部水晶発振器は不要です。

## 23.2 ブートローダの選択

次の図に、ブートローダの選択メカニズムを示します。

図 27. STM32F318xx のブートローダの選択



MS35028V2

### 23.3 ブートローダのバージョン

次の表に、STM32F318xx デバイスのブートローダのバージョンを示します。

表 48. STM32F318xx のブートローダのバージョン

| ブートローダのバージョン番号 | 説明             | 既知の制限 |
|----------------|----------------|-------|
| V5.0           | ブートローダの初期バージョン | なし    |

## 24 STM32F358xx デバイスのブートローダ

### 24.1 ブートローダの設定

STM32F358xx ブートローダは、パターン 2 を適用すると有効化されます（表 2：ブートローダの有効化パターンを参照）。次の表に、このブートローダが使用するハードウェア・リソースを示します。

表 49. システムメモリブートモードでの STM32F358xx の設定

| ブートローダ        | 機能/ペリフェラル    | 状態         | コメント  |
|---------------|--------------|------------|---|
| すべてのブートローダに共通 | RCC          | HSI は有効です。 | システム・クロック周波数は 8 MHz です (HSI を使用)。   |
|               | RAM          | -          | アドレス 0x20000000 から始まる 5 KB は、ブートローダのファームウェアによって使用されます。  |
|               | システムメモリ      | -          | アドレス 0x1FFFD800 から始まる 8 KB に、ブートローダのファームウェアが含まれています。  |
|               | IWDG         | -          | 独立型ウォッチドッグ (IWDG) プリスケアラは、最大値に設定されます。これは、定期的にリフレッシュされ、ウォッチドッグがリセットされるのを防ぎます (ハードウェアの IWDG オプションがユーザによって事前に有効化されている場合)。ウィンドウ機能は無効です。 |
| USART1 ブートローダ | USART1       | 有効         | 一度初期化されると、USART1 の設定は 8 ビット、偶数パリティ、および 1 ストップビットになります。  |
|               | USART1_RX ピン | 入力         | PA10 ピン：受信モードの USART1。オルタネート・プッシュプル、プルアップ・モードで使用。   |
|               | USART1_TX ピン | 出力         | PA9 ピン：送信モードの USART1。オルタネート・プッシュプル、プルアップ・モードで使用。  |
| USART2 ブートローダ | USART2       | 有効         | 一度初期化されると、USART2 の設定は 8 ビット、偶数パリティ、および 1 ストップビットになります。USART2 は USART2 用の再配置されたピンを使用します。   |
|               | USART2_RX ピン | 入力         | PD6 ピン：受信モードの USART2。オルタネート・プッシュプル、プルアップ・モードで使用。  |
|               | USART2_TX ピン | 出力         | PD5 ピン：送信モードの USART2。オルタネート・プッシュプル、プルアップ・モードで使用。  |
| USARTx ブートローダ | SysTick タイマ  | 有効         | USARTx ブートローダのホストからシリアルボーレータを自動検出するために使用されます。   |

表 49. システムメモリブートモードでの STM32F358xx の設定 (続き)

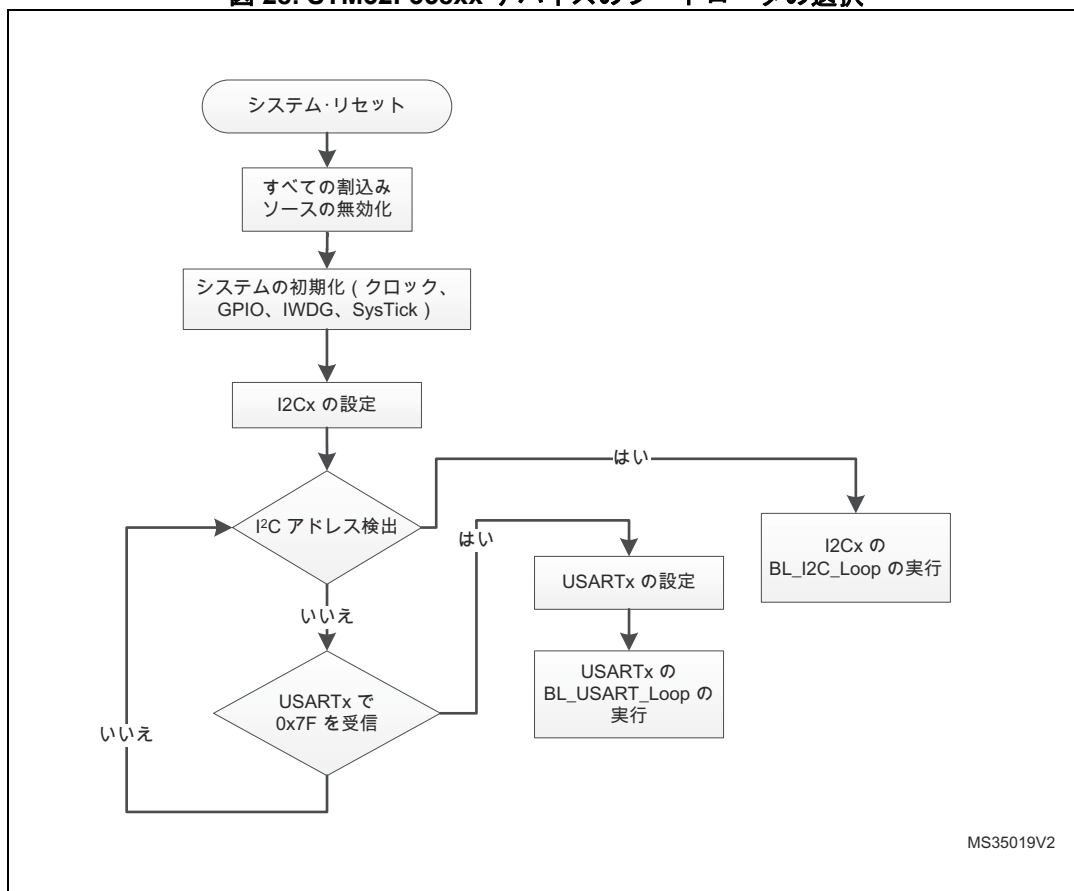
| ブートローダ      | 機能/ペリフェラル   | 状態    | コメント   |
|-------------|-------------|-------|--|
| I2C1 ブートローダ | I2C1        | 有効    | I2C1 設定 :<br>I <sup>2</sup> C スピード : 最大 400 kHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレス : 0b0110111x (ここで、書込みの場合 x = 0、読出しの場合 x = 1)。 |
|             | I2C1_SCL ピン | 入力/出力 | PB6 ピン : クロック・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。  |
|             | I2C1_SDA ピン | 入力/出力 | PB7 ピン : データ・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。   |

システム・クロックは内蔵された内部ハイスピード RC から生成されます。ブートローダの実行に外部水晶発振器は不要です。

## 24.2 ブートローダの選択

次の図に、ブートローダの選択メカニズムを示します。

図 28. STM32F358xx デバイスのブートローダの選択



## 24.3 ブートローダのバージョン

次の表に、STM32F358xx デバイスのブートローダのバージョンを示します。

表 50. STM32F358xx のブートローダのバージョン

| ブートローダのバージョン番号 | 説明             | 既知の制限  |
|----------------|----------------|--|
| V5.0           | ブートローダの初期バージョン | USART1 と USART2 のインタフェースでは、ブートローダによってサポートされる最大ボーレートは 57600 ボーです。 |



## 25 STM32F373xx デバイスのブートローダ

### 25.1 ブートローダの設定

STM32F373xx ブートローダは、パターン 2 を適用すると有効化されます（表 2：ブートローダの有効化パターンを参照）。次の表に、このブートローダが使用するハードウェア・リソースを示します。

表 51. システムメモリブートモードでの STM32F373xx の設定

| ブートローダ        | 機能/ペリフェラル    | 状態         | コメント  |
|---------------|--------------|------------|---|
| すべてのブートローダに共通 | RCC          | HSI は有効です。 | 起動時、システム・クロック周波数は HSI を使用して 48 MHz に設定されます。外部クロック (HSE) がいない場合、システムは HSI からのクロック供給を受け続けます。                                      |
|               |              | HSE は有効です。 | 外部クロックはすべてのブートローダ・インタフェースに使用でき、[24、18、16、12、9、8、6、4、3] MHz のいずれかの値を持ちます。PLL は、USB 48 MHz クロックとシステム・クロックの 48 MHz クロックの生成に使用されます。 |
|               |              | -          | DFU ブートローダでは、クロックセキュリティシステム (CSS) 割込みが有効化されます。外部クロックの障害（または除去）により、システムリセットが生成されます。  |
|               | RAM          | -          | アドレス 0x20000000 から始まる 5 KB は、ブートローダのファームウェアによって使用されます。  |
|               | システムメモリ      | -          | アドレス 0x1FFFD800 から始まる 8 KB に、ブートローダのファームウェアが含まれています。  |
|               | IWDG         | -          | 独立型ウォッチドッグ (IWDG) プリスケーラは、最大値に設定されます。これは、定期的によりフレッシュされ、ウォッチドッグがリセットされるのを防ぎます（ハードウェアの IWDG オプションがユーザによって事前に有効化されている場合）。          |
| USART1 ブートローダ | USART1       | 有効         | 一度初期化されると、USART1 の設定は 8 ビット、偶数パリティ、および 1 ストップビットになります。  |
|               | USART1_RX ピン | 入力         | PA10 ピン：受信モードの USART1。オルタネート・プッシュプル、プルアップ・モードで使用。   |
|               | USART1_TX ピン | 出力         | PA9 ピン：送信モードの USART1。オルタネート・プッシュプル、プルアップ・モードで使用。  |
| USART2 ブートローダ | USART2       | 有効         | 一度初期化されると、USART2 の設定は 8 ビット、偶数パリティ、および 1 ストップビットになります。USART2 は USART2 用の再配置されたピンを使用します。   |
|               | USART2_RX ピン | 入力         | PD6 ピン：受信モードの USART2。オルタネート・プッシュプル、プルアップ・モードで使用。  |
|               | USART2_TX ピン | 出力         | PD5 ピン：送信モードの USART2。オルタネート・プッシュプル、プルアップ・モードで使用。  |
| USARTx ブートローダ | SysTick タイマ  | 有効         | USARTx ブートローダのホストからシリアルボーレートを自動検出するために使用されます。   |

表 51. システムメモリブートモードでの STM32F373xx の設定 (続き)

| ブートローダ     | 機能/ペリフェラル | 状態    | コメント  |
|------------|-----------|-------|---|
| DFU ブートローダ | USB       | 有効    | USB は FS モードで使用されます。  |
|            | USB_DM ピン | 入力/出力 | PA11 : USB DM ライン。オルタネート・プッシュプル、プルアップ・プルダウンなしモードで使用。  |
|            | USB_DP ピン |       | PA12 : USB DP ライン。オルタネート・プッシュプル、プルアップ・プルダウンなしモードで使用。<br>1.5 K $\Omega$ の外部プルアップ抵抗は、USB_DP ピンに接続する必要があります。 |

ブートローダには、ブートローダ起動時の外部クロック (HSE) の有無に応じて、2 つの働きがあります。

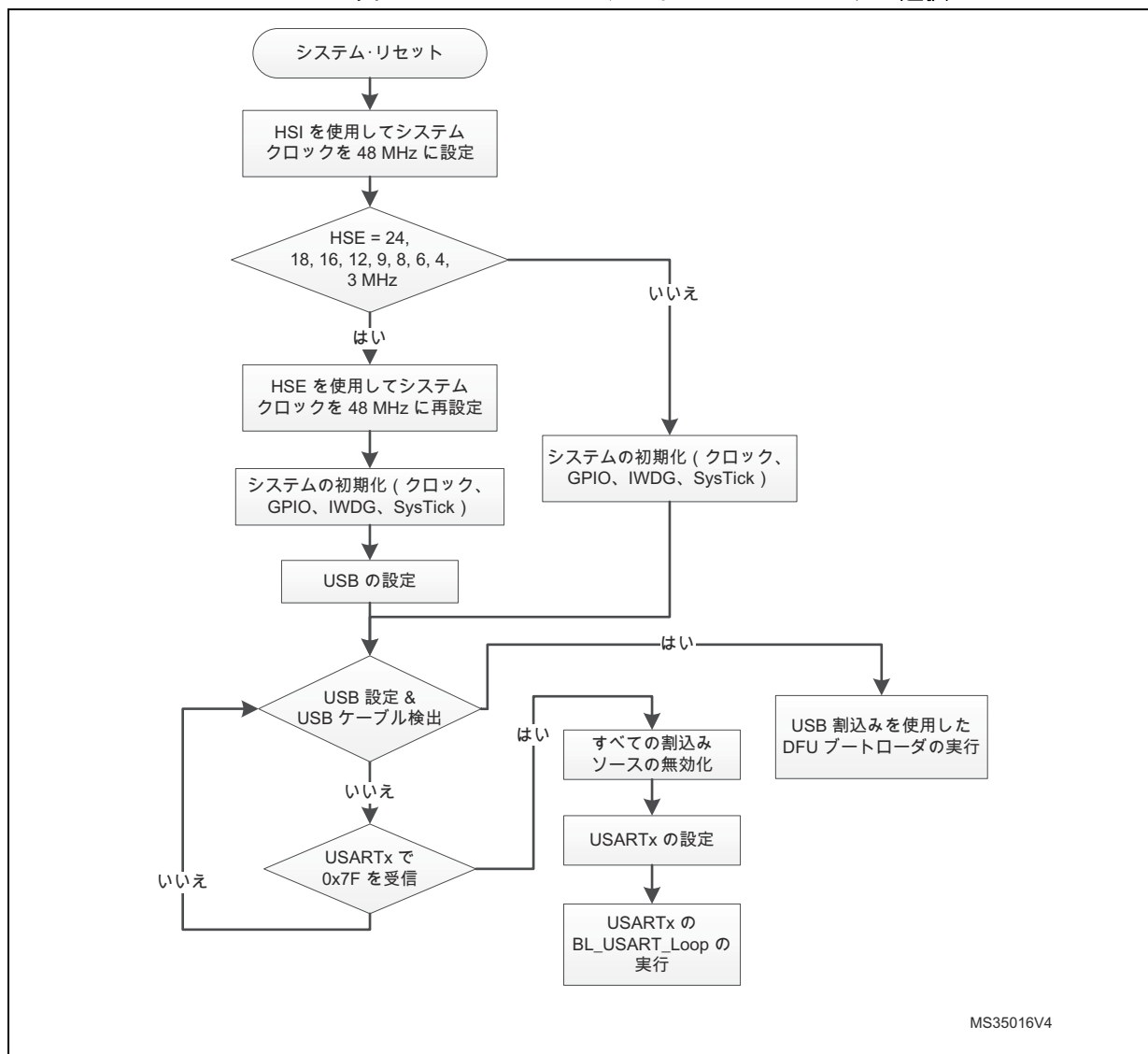
- HSE があり、値が 24、18、16、12、9、8、6、4、または 3 MHz のいずれかである場合、システムクロックは HSE をクロックソースとして 48 MHz に設定されます。DFU インタフェース、USART1、および USART2 が動作し、これをブートローダデバイスとの通信に使用できます。
- HSE がない場合、HSI はデフォルトのクロックソースとして保持され、USART1 と USART2 のみが動作します。

**注 :** ブートローダの起動時に外部クロック (HSE) を接続している場合は、システム・クロック・ソースとして使用するために、これを保持する必要があります。

## 25.2 ブートローダの選択

次の図に、ブートローダの選択メカニズムを示します。

図 29. STM32F373xx デバイスのブートローダの選択



MS35016V4

## 25.3 ブートローダのバージョン

次の表に、STM32F373xx デバイスのブートローダのバージョンを示します。

表 52. STM32F373xx のブートローダのバージョン

| ブートローダのバージョン番号 | 説明             | 既知の制限 |
|----------------|----------------|-------|
| V4.1           | ブートローダの初期バージョン | なし    |

## 26 STM32F378xx デバイスのブートローダ

### 26.1 ブートローダの設定

STM32F378xx ブートローダは、パターン 2 を適用すると有効化されます（表 2：ブートローダの有効化パターンを参照）。次の表に、このブートローダが使用するハードウェア・リソースを示します。

表 53. システムメモリブートモードでの STM32F378xx の設定

| ブートローダ        | 機能/ペリフェラル    | 状態         | コメント  |
|---------------|--------------|------------|---|
| すべてのブートローダに共通 | RCC          | HSI は有効です。 | システム・クロック周波数は 8 MHz です (HSI を使用)。   |
|               | RAM          | -          | アドレス 0x20000000 から始まる 4 KB は、ブートローダのファームウェアによって使用されます。  |
|               | システムメモリ      | -          | アドレス 0x1FFFD800 から始まる 8 KB に、ブートローダのファームウェアが含まれています。  |
|               | IWDG         | -          | 独立型ウォッチドッグ (IWDG) プリスケアラは、最大値に設定されます。これは、定期的にリフレッシュされ、ウォッチドッグがリセットされるのを防ぎます (ハードウェアの IWDG オプションがユーザによって事前に有効化されている場合)。ウィンドウ機能は無効です。 |
| USART1 ブートローダ | USART1       | 有効         | 一度初期化されると、USART1 の設定は 8 ビット、偶数パリティ、および 1 ストップビットになります。  |
|               | USART1_RX ピン | 入力         | PA10 ピン：受信モードの USART1。オルタネート・プッシュプル、プルアップ・モードで使用。   |
|               | USART1_TX ピン | 出力         | PA9 ピン：送信モードの USART1。オルタネート・プッシュプル、プルアップ・モードで使用。  |
| USART2 ブートローダ | USART2       | 有効         | 一度初期化されると、USART2 の設定は 8 ビット、偶数パリティ、および 1 ストップビットになります。USART2 は USART2 用の再配置されたピンを使用します。   |
|               | USART2_RX ピン | 入力         | PD6 ピン：受信モードの USART2。オルタネート・プッシュプル、プルアップ・モードで使用。  |
|               | USART2_TX ピン | 出力         | PD5 ピン：送信モードの USART2。オルタネート・プッシュプル、プルアップ・モードで使用。  |
| USARTx ブートローダ | SysTick タイマ  | 有効         | USARTx ブートローダのホストからシリアルポーレータを自動検出するために使用されます。   |

表 53. システムメモリブートモードでの STM32F378xx の設定 (続き)

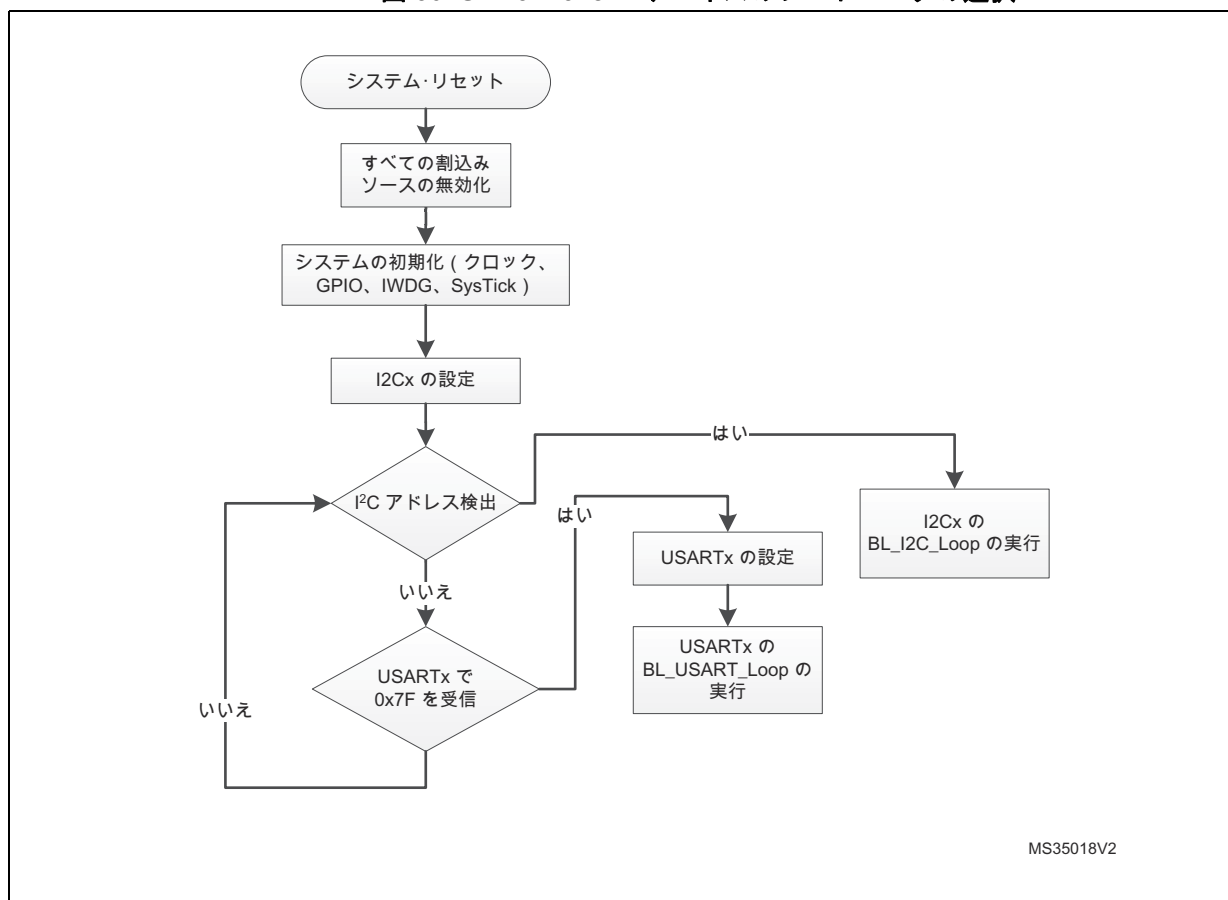
| ブートローダ      | 機能/ペリフェラル   | 状態    | コメント   |
|-------------|-------------|-------|--|
| I2C1 ブートローダ | I2C1        | 有効    | I2C1 設定 :<br>I <sup>2</sup> C スピード : 最大 400 kHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレス : 0b0110111x (ここで、書込みの場合 x = 0、読出しの場合 x = 1)。 |
|             | I2C1_SCL ピン | 入力/出力 | PB6 ピン : クロック・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。  |
|             | I2C1_SDA ピン | 入力/出力 | PB7 ピン : データ・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。   |

システム・クロックは内蔵された内部ハイスピード RC から生成されます。ブートローダの実行に外部水晶発振器は不要です。

## 26.2 ブートローダの選択

次の図に、ブートローダの選択メカニズムを示します。

図 30. STM32F378xx デバイスのブートローダの選択



MS35018V2

## 26.3 ブートローダのバージョン

次の表に、STM32F378xx デバイスのブートローダのバージョンを示します。

表 54. STM32F378xx のブートローダのバージョン

| ブートローダのバージョン番号 | 説明             | 既知の制限  |
|----------------|----------------|--|
| V5.0           | ブートローダの初期バージョン | USART1 と USART2 のインタフェースでは、ブートローダによってサポートされる最大ボーレートは 57600 ボーです。 |

## 27 STM32F398xx デバイスのブートローダ

### 27.1 ブートローダの設定

STM32F398xx ブートローダは、パターン 2 を適用すると有効化されます（表 2：ブートローダの有効化パターンを参照）。次の表に、このブートローダが使用するハードウェア・リソースを示します。

表 55. システムメモリブートモードでの STM32F398xx の設定

| ブートローダ        | 機能/ペリフェラル    | 状態         | コメント   |
|---------------|--------------|------------|--|
| すべてのブートローダに共通 | RCC          | HSI は有効です。 | システム・クロック周波数は 60 MHz で、クロック・ソースは HSI 8 MHz です。   |
|               | RAM          | -          | アドレス 0x20000000 から始まる 6 KB は、ブートローダのファームウェアによって使用されます。   |
|               | システムメモリ      | -          | アドレス 0x1FFFD800 から始まる 7 KB に、ブートローダのファームウェアが含まれています。   |
|               | IWDG         | -          | 独立型ウォッチドッグ (IWDG) プリスケアラは、最大値に設定されます。これは、定期的リフレッシュされ、ウォッチドッグがリセットされるのを防ぎます (ハードウェアの IWDG オプションがユーザによって事前に有効化されている場合)。                        |
| USART1 ブートローダ | USART1       | 有効         | 一度初期化されると、USART1 の設定は 8 ビット、偶数パリティ、および 1 ストップ・ビットになります。  |
|               | USART1_RX ピン | 入力         | PA10 ピン: 受信モードの USART1。オルタネート・プッシュプル、プルアップ・モードで使用。   |
|               | USART1_TX ピン | 出力         | PA9 ピン: 送信モードの USART1。オルタネート・プッシュプル、プルアップ・モードで使用。  |
| USART2 ブートローダ | USART2       | 有効         | 一度初期化されると、USART2 の設定は 8 ビット、偶数パリティ、および 1 ストップ・ビットになります。  |
|               | USART2_RX ピン | 入力         | PA3 ピン: 受信モードの USART2。オルタネート・プッシュプル、プルアップ・モードで使用。  |
|               | USART2_TX ピン | 出力         | PA2 ピン: 送信モードの USART2。オルタネート・プッシュプル、プルアップ・モードで使用。  |
| USARTx ブートローダ | SysTick タイマ  | 有効         | USARTx ブートローダのホストからシリアルポートを自動検出するために使用されます。  |
| I2C1 ブートローダ   | I2C1         | 有効         | I2C1 設定:<br>I <sup>2</sup> C スピード: 最大 400 kHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。7 ビット・スレーブ・アドレス: 0b1000000x (ここで、書き込みの場合 x = 0、読出しの場合 x = 1)。 |
|               | I2C1_SCL ピン  | 入力/出力      | PB6 ピン: クロック・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。   |
|               | I2C1_SDA ピン  | 入力/出力      | PB7 ピン: データ・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。  |

表 55. システムメモリブートモードでの STM32F398xx の設定 (続き)

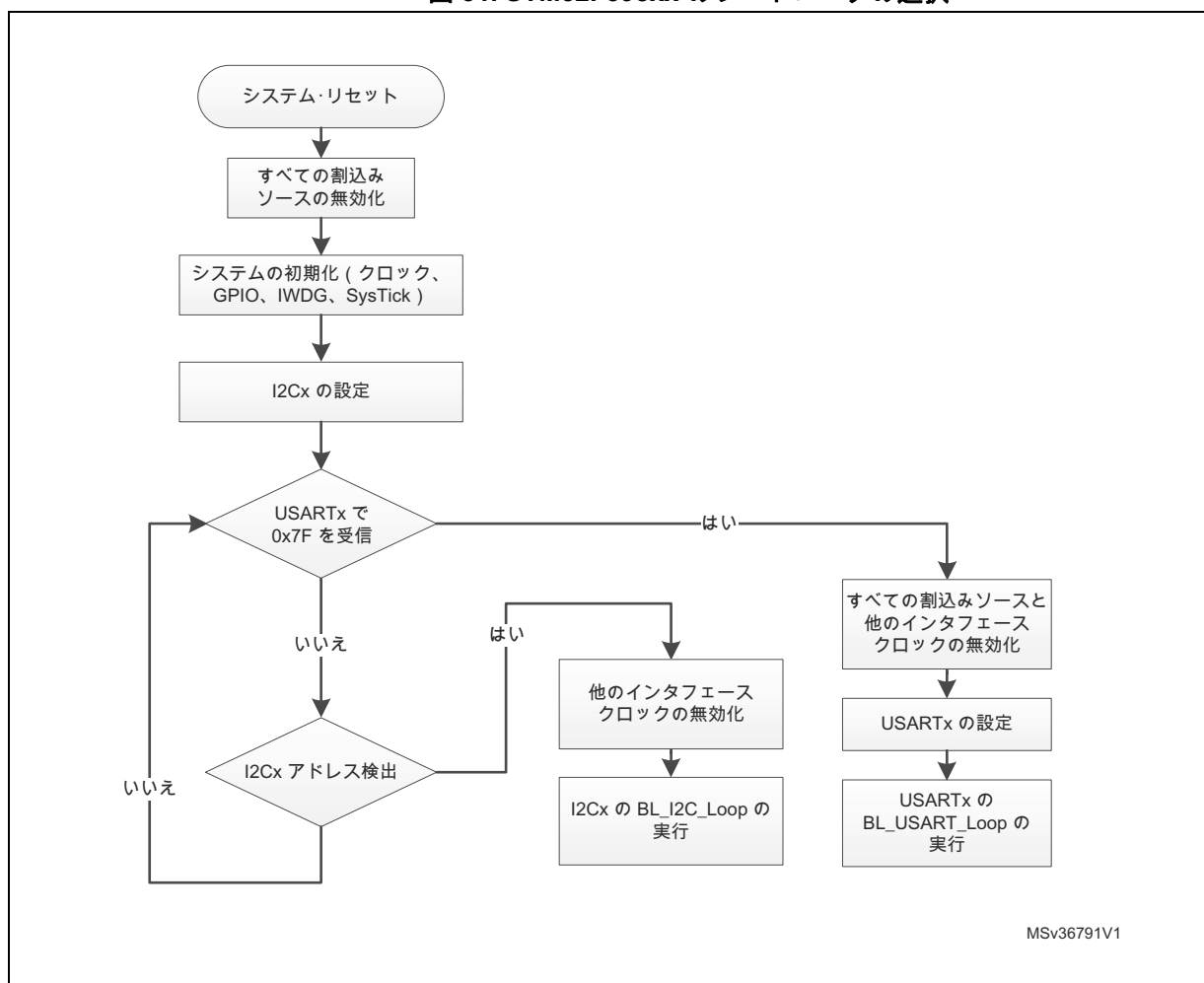
| ブートローダ      | 機能/ペリフェラル   | 状態    | コメント  |
|-------------|-------------|-------|---|
| I2C3 ブートローダ | I2C3        | 有効    | I2C3 設定 :<br>I <sup>2</sup> C スピード : 最大 400 kHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。7 ビット・スレーブ・アドレス : 0b1000000x (ここで、書き込みの場合 x = 0、読出しの場合 x = 1)。 |
|             | I2C3_SCL ピン | 入力/出力 | PA8 ピン : クロック・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。   |
|             | I2C3_SDA ピン | 入力/出力 | PB5 ピン : データ・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。  |

システム・クロックはすべてのブートローダ・インタフェース用の内蔵された内部ハイスピード RC から生成されます。ブートローダの動作に外部水晶発振器は不要です。

## 27.2 ブートローダの選択

次の図に、ブートローダの選択メカニズムを示します。

図 31. STM32F398xx のブートローダの選択



MSv36791V1



## 27.3 ブートローダのバージョン

次の表に、STM32F398xx デバイスのブートローダのバージョンを示します。

表 56. STM32F398xx のブートローダのバージョン

| ブートローダのバージョン番号 | 説明             | 既知の制限 |
|----------------|----------------|-------|
| V5.0           | ブートローダの初期バージョン | なし    |

## 28 STM32F40xxx/41xxx デバイスのブートローダ

### 28.1 ブートローダ V3.x

#### 28.1.1 ブートローダの設定

STM32F40xxx/41xxx ブートローダは、パターン 1 を適用すると有効化されます (表 2: ブートローダの有効化パターンを参照)。次の表に、このブートローダが使用するハードウェア・リソースを示します。

表 57. システムメモリブートモードでの STM32F40xxx/41xxx の設定

| ブートローダ        | 機能/ペリフェラル | 状態         | コメント   |
|---------------|-----------|------------|--|
| すべてのブートローダに共通 | RCC       | HSI は有効です。 | システム・クロック周波数は 24 MHz です (PLL を使用)。<br>HSI クロック・ソースは、起動時 (インタフェース検出フェーズ) および USARTx インタフェースの選択時に使用されます (CAN または DFU ブートローダを選択すると、外部クリスタルからクロック・ソースが生成されます)。 |
|               |           | HSE は有効です。 | システム・クロック周波数は 60 MHz です。<br>HSE クロックソースは、CAN または DFU (USB FS デバイス) インタフェースの選択時にのみ使用されます。<br>外部クロックは、1 MHz の倍数で、範囲が 4 MHz から 26 MHz の周波数を提供する必要があります。       |
|               |           | -          | CAN および DFU ブートローダでは、クロックセキュリティシステム (CSS) 割込みが有効化されます。外部クロックの障害 (または除去) により、システムリセットが生成されます。   |
|               | RAM       | -          | アドレス 0x20000000 から始まる 8 KB は、ブートローダのファームウェアによって使用されます。   |
|               | システムメモリ   | -          | アドレス 0x1FFF 0000 から始まる 29 KB に、ブートローダのファームウェアが含まれています。   |
|               | IWDG      | -          | 独立型ウォッチドッグ (IWDG) プリスケアラは、最大値に設定されます。これは、定期的によりフレッシュされ、ウォッチドッグがリセットされるのを防ぎます (ハードウェアの IWDG オプションがユーザによって事前に有効化されている場合)。                                    |
|               | パワー       | -          | 電圧範囲が [1.62 V, 2.1 V] にセットされます。この範囲で、内部 Flash 書き込み操作はバイトフォーマットでのみ実行できます (ハーフワード、ワード、およびダブルワード操作は不可)。電圧範囲は、実行時間中にブートローダのコマンドを使用して設定できます。                    |

表 57. システムメモリブートモードでの STM32F40xxx/41xxx の設定 (続き)

| ブートローダ                         | 機能/ペリフェラル    | 状態    | コメント   |
|--------------------------------|--------------|-------|--|
| USART1 ブートローダ                  | USART1       | 有効    | 一度初期化されると、USART1 の設定は8ビット、偶数パリティ、および1ストップビットになります。                                   |
|                                | USART1_RX ピン | 入力    | PA10 ピン: 受信モードの USART1。入力プルアップ・プルダウンなしモードで使用。  |
|                                | USART1_TX ピン | 出力    | PA9 ピン: 送信モードの USART1。入力プルアップ・プルダウンなしモードで使用  |
|                                | USART3       | 有効    | 一度初期化されると、USART3 の設定は8ビット、偶数パリティ、および1ストップビットになります。                                   |
|                                | USART3_RX ピン | 入力    | PB11 ピン: 受信モードの USART3。入力プルアップ・モードで使用。   |
|                                | USART3_TX ピン | 出力    | PB10 ピン: 送信モードの USART3。入力プルアップ・モードで使用。   |
| USART3 ブートローダ<br>(PC10/PC11 上) | USART3       | 有効    | 一度初期化されると、USART3 の設定は8ビット、偶数パリティ、および1ストップビットになります。                                   |
|                                | USART3_RX ピン | 入力    | PC11 ピン: 受信モードの USART3。入力プルアップ・モードで使用。   |
|                                | USART3_TX ピン | 出力    | PC10 ピン: 送信モードの USART3。入力プルアップ・モードで使用。   |
| USARTx ブートローダ                  | SysTick タイマ  | 有効    | USART3 ブートローダ (PB10/PB11 上)  |
| CAN2 ブートローダ                    | CAN2         | 有効    |  |
|                                | CAN2_RX ピン   | 入力    |  |
|                                | CAN2_TX ピン   | 出力    | PB13 ピン: 送信モードの CAN2。オルタネート・プッシュプル、プルアップ・モードで使用。                                     |
| DFU ブートローダ                     | USB          | 有効    | USB OTG FS は強制デバイスモードで設定されます。  |
|                                | USB_DM ピン    | 入力/出力 | PA11: USB DM ライン。オルタネート・プッシュプル、プルアップ・プルダウンなしモードで使用。                                  |
|                                | USB_DP ピン    |       | PA12: USB DP ライン。オルタネート・プッシュプル、プルアップ・プルダウンなしモードで使用。<br>外部プルアップ抵抗は不要です。               |
| CAN2 および<br>DFU ブートローダ         | TIM11        | 有効    | このタイマは、HSE の値を決定するために使用されます。HSE 周波数が決定されると、システムクロックは PLL と HSE を使用して 60 MHz に設定されます。 |

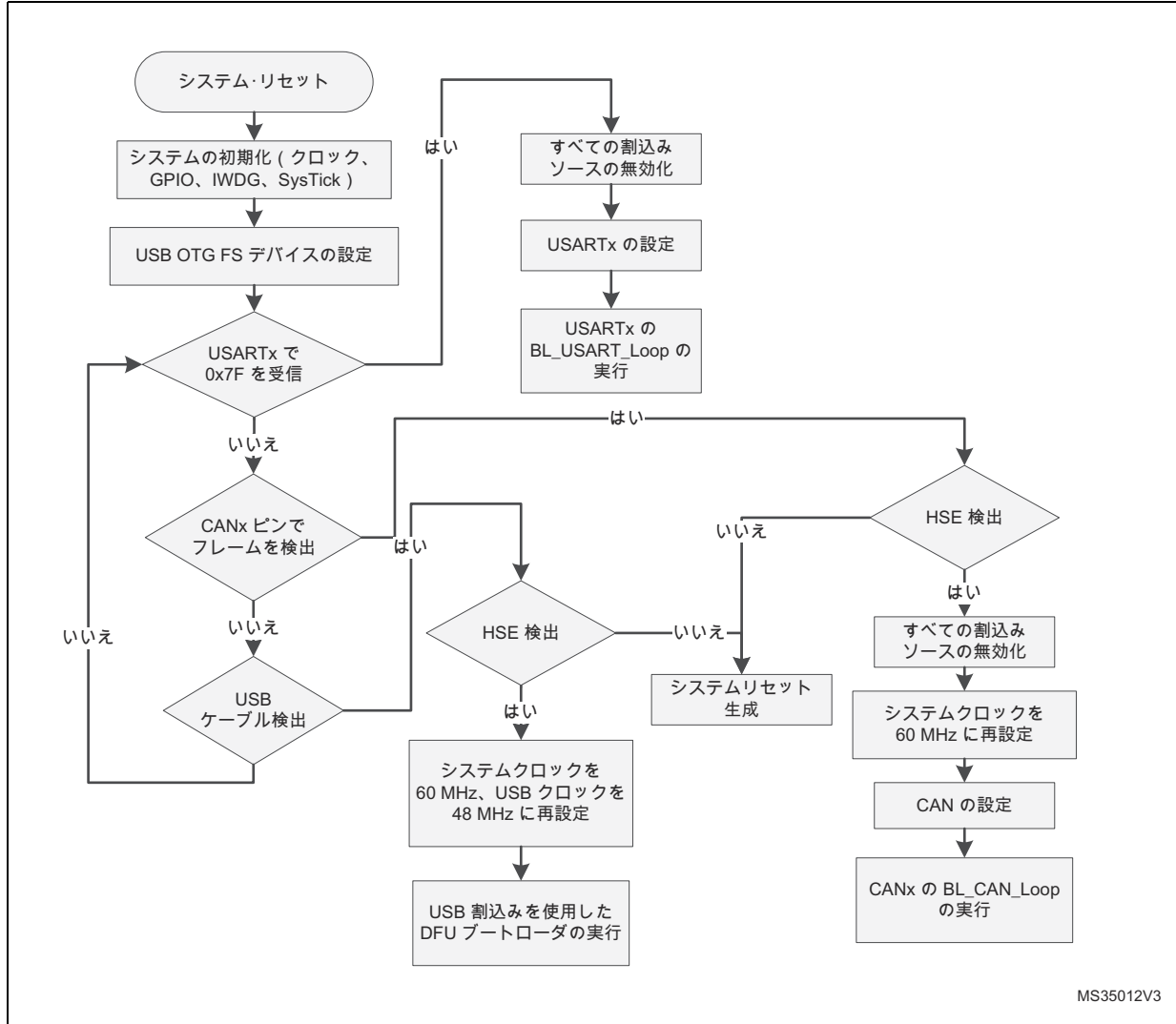
システムクロックは USARTx ブートローダ用の内蔵された内部ハイスピード RC から生成されます。この内部クロックは、CAN や DFU (USB FS デバイス) にも使用されますが、選択フェーズに限られます。選択フェーズ後に CAN および DFU ブートローダを実行するには、1 MHz の倍数 (4 から 26 MHz の間) の外部クロックが必要です。

**注 :** HSI には偏差があること、また HSE 値の検出に HSI が使用されていることから、HSE クリスタル値には高い周波数ではなく低い周波数を使用する必要があります (低周波数値はエラー・マージンが大きいことから検出が容易です)。たとえば、25 MHz よりも 8 MHz を使用する方が有利です。

### 28.1.2 ブートローダの選択

次の図に、ブートローダの選択メカニズムを示します。

図 32. STM32F40xxx/41xxx デバイスのブートローダ V3.x の選択



MS35012V3

## 28.1.3 ブートローダのバージョン

次の表に、STM32F40xxx/41xxx デバイスのブートローダのバージョン (V3.x) を示します。

表 58. STM32F40xxx/41xxx のブートローダのバージョン (V3.x)

| ブートローダのバージョン番号 | 説明                              | 既知の制限  |
|----------------|---------------------------------|--|
| V3.0           | ブートローダの初期バージョン                  | <ul style="list-style-type: none"> <li>- Read Memory コマンドまたは Write Memory コマンドが、サポートされていないメモリ・アドレスと、アドレスの正確なチェックサム (アドレス 0x6000 0000) で発行された場合、このコマンドはブートローダ・デバイスによってアボートされますが、ホストに NACK (0x1F) は送信されません。結果として、次の 2 つのバイト (読出し/書込みを行うバイト数とそのチェックサム) は新しいコマンドとそのチェックサムとみなされます。<sup>(1)</sup></li> <li>- オプションバイト、OTP、およびデバイス機能ディスクリプタ (DFU インタフェース内) は、「e」(消去不可メモリ領域) ではなく「g」にセットされます。</li> </ul> <p>Go コマンド (ユーザ・コードへのジャンプ) の実行後、ブートローダでは AHB1ENR 値を 0x0000 0000 にリセットするため、CCM RAM (存在する場合) はアクティブではありません (起動時にユーザ・コードで再度有効化するものとします)。</p> |
| V3.1           | V3.0 の制限を修正。DFU インタフェースの安定性を強化。 | <ul style="list-style-type: none"> <li>- USART インタフェースでは、Read Memory または Write Memory コマンドが送信され、RDP レベルがアクティブな場合、(1 つの NACK の代わりに) 2 つの連続した NACK を送信します。</li> <li>- CAN インタフェースでは、Write Unprotect コマンドは機能しません。書込み保護を無効にするには、Write Memory コマンドを使用してオプションバイトに直接書き込みます。</li> </ul> <p>Go コマンド (ユーザ・コードへのジャンプ) の実行後、ブートローダでは AHB1ENR 値を 0x0000 0000 にリセットするため、CCM RAM (存在する場合) はアクティブではありません (起動時にユーザ・コードで再度有効化するものとします)。</p>  |

1. 読出し/書込みを行う「データ数 - 1」(N-1) が有効なコマンドコード (0x00、0x01、0x02、0x11、0x21、0x31、0x43、0x44、0x63、0x73、0x82、または 0x92) と一致しない場合、このコマンドは (サポートされていない新しいコマンドとして) どのみち NACK されるため、ホストから制限を認識することはできません。

## 28.2 ブートローダ V9.x

### 28.2.1 ブートローダの設定

STM32F40xxx/41xxx ブートローダは、パターン 1 を適用すると有効化されます（表 2：ブートローダの有効化パターンを参照）。表 59 に、このブートローダが使用するハードウェア・リソースを示します。

注： ブートローダのバージョン V9.0 は、WLCSP-90 パッケージの STM32F405xx/415xx デバイスにのみ内蔵されています。

バージョン 9.1は、この製品のすべてのパッケージに実装されています。

表 59. システム・メモリ・ブート・モードでの STM32F40xxx/41xxx の設定

| ブートローダ        | 機能/ペリフェラル | 状態         | コメント   |
|---------------|-----------|------------|--|
| すべてのブートローダに共通 | RCC       | HSI は有効です。 | システム・クロック周波数は 60 MHz です（PLL を使用）。<br>HSI クロック・ソースは、起動時（インタフェース検出フェーズ）および USART、SPI、または I <sup>2</sup> C インタフェースの選択時に使用されます（CAN または DFU ブートローダを選択すると、外部クリスタルからクロック・ソースが生成されます）。 |
|               |           | HSE は有効です。 | システム・クロック周波数は 60 MHz です。<br>HSE クロックソースは、CAN または DFU（USB FS デバイス）インタフェースの選択時にのみ使用されます。<br>外部クロックは、1 MHz の倍数で、範囲が 4 MHz から 26 MHz の周波数を提供する必要があります。                             |
|               |           | -          | CAN および DFU ブートローダでは、クロックセキュリティシステム（CSS）割込みが有効化されます。外部クロックの障害（または除去）により、システムリセットが生成されます。   |
|               | RAM       | -          | アドレス 0x20000000 から始まる 12 KB は、ブートローダのファームウェアによって使用されます。  |
|               | システムメモリ   | -          | アドレス 0x1FFF0000 から始まる 29 KB に、ブートローダのファームウェアが含まれています。  |
|               | IWDG      | -          | 独立型ウォッチドッグ（IWDG）プリスケアラは、最大値に設定されます。これは、定期的によりフレッシュされ、ウォッチドッグがリセットされるのを防ぎます（ハードウェアの IWDG オプションがユーザによって事前に有効化されている場合）。   |
|               | パワー       | -          | 電圧範囲が [1.62 V、2.1 V] にセットされます。この範囲で、内部 Flash 書き込み操作はバイトフォーマットでのみ実行できます（ハーフワード、ワード、およびダブルワード操作は不可）。電圧範囲は、実行時間中にブートローダのコマンドを使用して設定できます。  |

表 59. システム・メモリ・ブート・モードでの STM32F40xxx/41xxx の設定 (続き)

| ブートローダ                         | 機能/ペリフェラル    | 状態    | コメント   |
|--------------------------------|--------------|-------|--|
| USART1 ブートローダ                  | USART1       | 有効    | 一度初期化されると、USART1 の設定は8 ビット、偶数パリティ、および 1 ストップ・ビットになります。   |
|                                | USART1_RX ピン | 入力    | PA10 ピン: 受信モードの USART1。入力プルアップ・プルダウンなしモードで使用。  |
|                                | USART1_TX ピン | 出力    | PA9 ピン: 送信モードの USART1。入力プルアップ・プルダウンなしモードで使用。   |
| USART3 ブートローダ<br>(PB10/PB11 上) | USART3       | 有効    | 一度初期化されると、USART3 の設定は8 ビット、偶数パリティ、および 1 ストップ・ビットになります。   |
|                                | USART3_RX ピン | 入力    | PB11 ピン: 受信モードの USART3。入力プルアップ・モードで使用。   |
|                                | USART3_TX ピン | 出力    | PB10 ピン: 送信モードの USART3   |
| USART3 ブートローダ<br>(PC10/PC11 上) | USART3       | 有効    | 一度初期化されると、USART3 の設定は8 ビット、偶数パリティ、および 1 ストップ・ビットになります。   |
|                                | USART3_RX ピン | 入力    | PC11 ピン: 受信モードの USART3。入力プルアップ・モードで使用。   |
|                                | USART3_TX ピン | 出力    | PC10 ピン: 送信モードの USART3。入力プルアップ・モードで使用。   |
| USARTx ブートローダ                  | SysTick タイマ  | 有効    | USARTx ブートローダのホストからシリアルボーレートを自動検出するために使用されます。  |
| CAN2 ブートローダ                    | CAN2         | 有効    | 一度初期化されると、CAN2 の設定はボーレート 125 kbps、11 ビット識別子になります。<br>注: CAN1 は CAN2 のブートローダの実行中にクロック供給されます。これは、CAN1 が CAN2 と SRAM の間の通信を管理しているためです。              |
|                                | CAN2_RX ピン   | 入力    | PB5 ピン: 受信モードの CAN2。オルタネート・プッシュプル、プルアップ・モードで使用。  |
|                                | CAN2_TX ピン   | 出力    | PB13 ピン: 送信モードの CAN2。オルタネート・プッシュプル、プルアップ・モードで使用。   |
| I2C1 ブートローダ                    | I2C1         | 有効    | I2C1 設定:<br>I <sup>2</sup> C スピード: 最大 400 kHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレス: 0b0111010x (ここで、書き込みの場合 x = 0、読出しの場合 x = 1)。 |
|                                | I2C1_SCL ピン  | 入力/出力 | PB6 ピン: クロック・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。   |
|                                | I2C1_SDA ピン  | 入力/出力 | PB7 ピン: データ・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。  |



表 59. システム・メモリ・ブート・モードでの STM32F40xxx/41xxx の設定 (続き)

| ブートローダ      | 機能/ペリフェラル    | 状態    | コメント   |
|-------------|--------------|-------|--|
| I2C2 ブートローダ | I2C2         | 有効    | I2C2 設定 :<br>I2C スピード : 最大 400 kHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレス : 0b0111010x (ここで、書込みの場合 x = 0、読出しの場合 x = 1)。              |
|             | I2C2_SCL ピン  | 入力/出力 | PF1 ピン : クロック・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。  |
|             | I2C2_SDA ピン  | 入力/出力 | PF0 ピン : データ・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。   |
| I2C3 ブートローダ | I2C3         | 有効    | I2C3 設定 :<br>I <sup>2</sup> C スピード : 最大 400 kHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレス : 0b0111010x (ここで、書込みの場合 x = 0、読出しの場合 x = 1)。 |
|             | I2C3_SCL ピン  | 入力/出力 | PA8 ピン : クロック・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。  |
|             | I2C3_SDA ピン  | 入力/出力 | PC9 ピン : データ・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。   |
| SPI1 ブートローダ | SPI1         | 有効    | SPI1 設定 :<br>スレーブモード、全二重、8 ビット MSB、最大 8 MHz の速度、極性 : CPOL ロー、CPHA ロー、NSS ハードウェア。   |
|             | SPI1_MOSI ピン | 入力    | PA7 ピン : スレーブ・データ入力ライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI1_MISO ピン | 出力    | PA6 ピン : スレーブ・データ出力ライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI1_SCK ピン  | 入力    | PA5 ピン : スレーブ・クロック・ライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI1_NSS ピン  | 入力    | PA4 ピン : スレーブ・チップ選択ピン (プッシュプル、プルダウンモードで使用)   |
| SPI2 ブートローダ | SPI2         | 有効    | SPI2 設定 :<br>スレーブモード、全二重、8 ビット MSB、最大 8 MHz の速度、極性 : CPOL ロー、CPHA ロー、NSS ハードウェア。   |
|             | SPI2_MOSI ピン | 入力    | PI3 ピン : スレーブ・データ入力ライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI2_MISO ピン | 出力    | PI2 ピン : スレーブ・データ出力ライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI2_SCK ピン  | 入力    | PI1 ピン : スレーブ・クロック・ライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI2_NSS ピン  | 入力    | PI0 ピン : スレーブ・チップ選択ピン (プッシュプル、プルダウンモードで使用)   |

表 59. システム・メモリ・ブート・モードでの STM32F40xxx/41xxx の設定 (続き)

| ブートローダ              | 機能/ペリフェラル | 状態    | コメント   |
|---------------------|-----------|-------|--|
| DFU ブートローダ          | USB       | 有効    | USB OTG FS は強制デバイスモードで設定されます。  |
|                     | USB_DM ピン | 入力/出力 | PA11 : USB DM ライン。オルタネート・プッシュプル、プルアップ・プルダウンなしモードで使用。                                 |
|                     | USB_DP ピン |       | PA12 : USB DP ライン。オルタネート・プッシュプル、プルアップ・プルダウンなしモードで使用。<br>外部プルアップ抵抗は不要です。              |
| CAN2 および DFU ブートローダ | TIM11     | 有効    | このタイマは、HSE の値を決定するために使用されます。HSE 周波数が決定されると、システムクロックは PLL と HSE を使用して 60 MHz に設定されます。 |

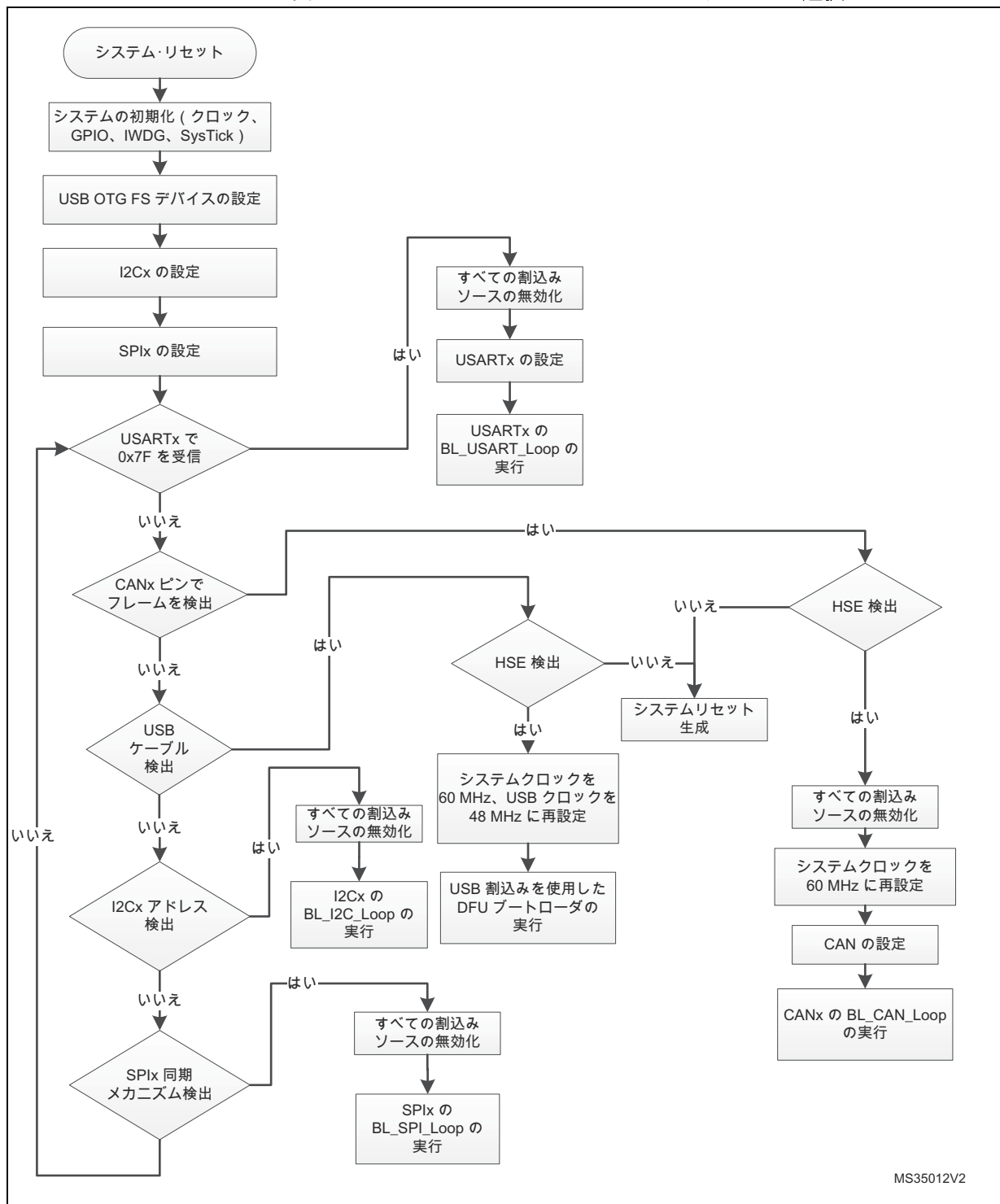
システムクロックは USARTx、I2Cx、および SPIx ブートローダ用の内蔵された内部ハイスピード RC から生成されます。この内部クロックは、CAN や DFU (USB FS デバイス) にも使用されますが、選択フェーズに限られます。選択フェーズ後に CAN および DFU ブートローダを実行するには、1 MHz の倍数 (4 から 26 MHz の間) の外部クロックが必要です。

**注 :** HSI には偏差があること、また HSE 値の検出に HSI が使用されていることから、HSE クリスタル値には高い周波数ではなく低い周波数を使用する必要があります (低周波数値はエラー・マージンが大きいことから検出が容易です)。たとえば、25 MHz よりも 8 MHz を使用する方が有利です。

## 28.2.2 ブートローダの選択

次の図に、ブートローダの選択メカニズムを示します。

図 33. STM32F40xxx/41xxx のブートローダ V9.x の選択



### 28.2.3 ブートローダのバージョン

次の表に、STM32F40xxx/41xxx デバイスのブートローダのバージョン (V9.x) を示します。

**表 60. STM32F40xxx/41xxx のブートローダのバージョン (V9.x)**

| ブートローダのバージョン番号 | 説明  | 既知の制限  |
|----------------|---|--|
| V9.0           | <p>このブートローダは、ブートローダ v3.1 の更新バージョンです。</p> <p>このブートローダの新しいバージョンでは、I2C1、I2C2、I2C3、SPI1、および SPI2 インタフェースをサポートしています。</p> <p>このブートローダが使用する RAM は、8 KB から 12 KB に増強されています。</p> <p>このブートローダの ID は 0x90 です。</p> <p>接続時間が増加されました。</p> | <ul style="list-style-type: none"> <li>- USART インタフェースでは、Read Memory または Write Memory コマンドが送信され、RDP レベルがアクティブな場合、(1 つの NACK の代わりに) 2 つの連続した NACK を送信します。</li> <li>- CAN インタフェースでは、Write Unprotect コマンドは機能しません。書き込み保護を無効にするには、Write Memory コマンドを使用してオプションバイトに直接書き込みます。</li> </ul> <p>Go コマンド (ユーザ・コードへのジャンプ) の実行後、ブートローダでは AHB1ENR 値を 0x0000 0000 にリセットするため、CCM RAM (存在する場合は) アクティブではありません (起動時にユーザ・コードで再度有効化するものとします)。</p> |
| V9.1           | <p>このブートローダは、ブートローダ v9.0 の更新バージョンです。ブートローダ v3.1 を内蔵したパッケージも含め、すべてのパッケージに実装されます。</p> <p>V9.0 で既知になっている制限が修正されています。</p>   | なし   |

## 29 STM32F401xB(C) デバイスのブートローダ

### 29.1 ブートローダの設定

STM32F401xB(C) ブートローダは、パターン 1 を適用すると有効化されます (表 2: ブートローダの有効化パターンを参照)。次の表に、このブートローダが使用するハードウェア・リソースを示します。

表 61. システムメモリブートモードでの STM32F401xB(C) の設定

| ブートローダ        | 機能/ペリフェラル    | 状態   | コメント  |
|---------------|--------------|--|---|
| すべてのブートローダに共通 | RCC          | HSI は有効です。   | システム・クロック周波数は 60 MHz です (PLL を使用)。<br>HSI クロック・ソースは、起動時 (インタフェース検出フェーズ) および USART、SPI、または I <sup>2</sup> C インタフェースの選択時に使用されず (DFU ブートローダを選択すると、外部クリスタルからクロック・ソースが生成されます)。 |
|               |              | HSE は有効です。   | システム・クロック周波数は 60 MHz です。<br>HSE クロックソースは、DFU (USB FS デバイス) インタフェースの選択時にのみ使用されます。<br>外部クロックは、1 MHz の倍数で、範囲が 4 MHz から 26 MHz の周波数を提供する必要があります。                              |
|               |              | -  | CAN および DFU ブートローダでは、クロックセキュリティシステム (CSS) 割込みが有効化されます。外部クロックの障害 (または除去) により、システムリセットが生成されます。  |
|               | RAM          | -  | アドレス 0x20000000 から始まる 12 KB は、ブートローダのファームウェアによって使用されます。   |
|               | システムメモリ      | -  | アドレス 0x1FFF0000 から始まる 29 KB に、ブートローダのファームウェアが含まれています。   |
|               | IWDG         | -  | 独立型ウォッチドッグ (IWDG) プリスケールは、最大値に設定されます。これは、定期的リフレッシュされ、ウォッチドッグがリセットされるのを防ぎます (ハードウェアの IWDG オプションがユーザによって事前に有効化されている場合)。   |
| パワー           | -            | 電圧範囲が [1.62 V、2.1 V] にセットされます。この範囲で、内部 Flash 書き込み操作はバイトフォーマットでのみ実行できます (ハーフワード、ワード、およびダブルワード操作は不可)。電圧範囲は、実行時間中にブートローダのコマンドを使用して設定できます。 |   |
| USART1 ブートローダ | USART1       | 有効   | 一度初期化されると、USART1 の設定は 8 ビット、偶数パリティ、および 1 ストップ・ビットになります。   |
|               | USART1_RX ピン | 入力   | PA10 ピン: 受信モードの USART1。入力プルアップ・プルダウンなしモードで使用。   |
|               | USART1_TX ピン | 出力   | PA9 ピン: 送信モードの USART1。入力プルアップ・プルダウンなしモードで使用。  |

表 61. システムメモリブートモードでの STM32F401xB(C) の設定 (続き)

| ブートローダ        | 機能/ペリフェラル    | 状態    | コメント  |
|---------------|--------------|-------|---|
| USART2 ブートローダ | USART2       | 有効    | 一度初期化されると、USART2 の設定は8 ビット、偶数パリティ、および 1 ストップ・ビットになります。  |
|               | USART2_RX ピン | 入力    | PD6 ピン: 受信モードの USART2。入力プルアップ・モードで使用。   |
|               | USART2_TX ピン | 出力    | PD5 ピン: 送信モードの USART2。入力プルアップ・モードで使用。   |
| USARTx ブートローダ | SysTick タイマ  | 有効    | USARTx ブートローダのホストからシリアルボーレートを自動検出するために使用されます。   |
| I2C1 ブートローダ   | I2C1         | 有効    | I2C1 設定:<br>I <sup>2</sup> C スピード: 最大 400 kHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレス: 0b0111001x (ここで、書込みの場合 x = 0、読出しの場合 x = 1)。 |
|               | I2C1_SCL ピン  | 入力/出力 | PB6 ピン: クロック・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。  |
|               | I2C1_SDA ピン  | 入力/出力 | PB7 ピン: データ・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。   |
| I2C2 ブートローダ   | I2C2         | 有効    | I2C2 設定:<br>I <sup>2</sup> C スピード: 最大 400 kHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレス: 0b0111001x (ここで、書込みの場合 x = 0、読出しの場合 x = 1)。 |
|               | I2C2_SCL ピン  | 入力/出力 | PB10 ピン: クロック・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。   |
|               | I2C2_SDA ピン  | 入力/出力 | PB3 ピン: データ・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。   |
| I2C3 ブートローダ   | I2C3         | 有効    | I2C3 設定:<br>I <sup>2</sup> C スピード: 最大 400 kHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレス: 0b0111001x (ここで、書込みの場合 x = 0、読出しの場合 x = 1)。 |
|               | I2C3_SCL ピン  | 入力/出力 | PA8 ピン: クロック・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。  |
|               | I2C3_SDA ピン  | 入力/出力 | PB4 ピン: データ・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。   |

表 61. システムメモリブートモードでの STM32F401xB(C) の設定 (続き)

| ブートローダ      | 機能/ペリフェラル    | 状態 | コメント   |
|-------------|--------------|----|--|
| SPI1 ブートローダ | SPI1         | 有効 | SPI1 設定 :<br>スレーブモード、全二重、8 ビット MSB、最大 8 MHz の速度、極性 : CPOL ロー、CPHA ロー、NSS ハードウェア。 |
|             | SPI1_MOSI ピン | 入力 | PA7 ピン : スレーブ・データ入力ライン (プッシュプル、プルダウンモードで使用)                                      |
|             | SPI1_MISO ピン | 出力 | PA6 ピン : スレーブ・データ出力ライン (プッシュプル、プルダウンモードで使用)                                      |
|             | SPI1_SCK ピン  | 入力 | PA5 ピン : スレーブ・クロック・ライン (プッシュプル、プルダウンモードで使用)                                      |
|             | SPI1_NSS ピン  | 入力 | PA4 ピン : スレーブ・チップ選択ピン (プッシュプル、プルダウンモードで使用)                                       |
| SPI2 ブートローダ | SPI2         | 有効 | SPI2 設定 :<br>スレーブモード、全二重、8 ビット MSB、最大 8 MHz の速度、極性 : CPOL ロー、CPHA ロー、NSS ハードウェア。 |
|             | SPI2_MOSI ピン | 入力 | PB15 ピン : スレーブ・データ入力ライン (プッシュプル、プルダウンモードで使用)                                     |
|             | SPI2_MISO ピン | 出力 | PB14 ピン : スレーブ・データ出力ライン (プッシュプル、プルダウンモードで使用)                                     |
|             | SPI2_SCK ピン  | 入力 | PB13 ピン : スレーブ・クロック・ライン (プッシュプル、プルダウンモードで使用)                                     |
|             | SPI2_NSS ピン  | 入力 | PB12 ピン : スレーブ・チップ選択ピン (プッシュプル、プルダウンモードで使用)                                      |
| SPI3 ブートローダ | SPI3         | 有効 | SPI3 設定 :<br>スレーブモード、全二重、8 ビット MSB、最大 8 MHz の速度、極性 : CPOL ロー、CPHA ロー、NSS ハードウェア。 |
|             | SPI3_MOSI ピン | 入力 | PC12 ピン : スレーブ・データ入力ライン (プッシュプル、プルダウンモードで使用)                                     |
|             | SPI3_MISO ピン | 出力 | PC11 ピン : スレーブ・データ出力ライン (プッシュプル、プルダウンモードで使用)                                     |
|             | SPI3_SCK ピン  | 入力 | PC10 ピン : スレーブ・クロック・ライン (プッシュプル、プルダウンモードで使用)                                     |
|             | SPI3_NSS ピン  | 入力 | PA15 ピン : スレーブ・チップ選択ピン (プッシュプル、プルダウンモードで使用)                                      |

表 61. システムメモリブートモードでの STM32F401xB(C) の設定 (続き)

| ブートローダ     | 機能/ペリフェラル | 状態    | コメント   |
|------------|-----------|-------|--|
| DFU ブートローダ | USB       | 有効    | USB OTG FS は強制デバイスモードで設定されます。  |
|            | USB_DM ピン | 入力/出力 | PA11 : USB DM ライン。オルタネート・プッシュプル、プルアップ・プルダウンなしモードで使用。                                 |
|            | USB_DP ピン |       | PA12 : USB DP ライン。オルタネート・プッシュプル、プルアップ・プルダウンなしモードで使用。<br>外部プルアップ抵抗は不要です。              |
|            | TIM11     | 有効    | このタイマは、HSE の値を決定するために使用されます。HSE 周波数が決定されると、システムクロックは PLL と HSE を使用して 60 MHz に設定されます。 |

システムクロックは USARTx、I2Cx、および SPIx ブートローダ用の内蔵された内部ハイスピード RC から生成されます。この内部クロックは、CAN や DFU (USB FS デバイス) にも使用されますが、選択フェーズに限られます。選択フェーズ後に CAN および DFU ブートローダを実行するには、1 MHz の倍数 (4 から 26 MHz の間) の外部クロックが必要です。

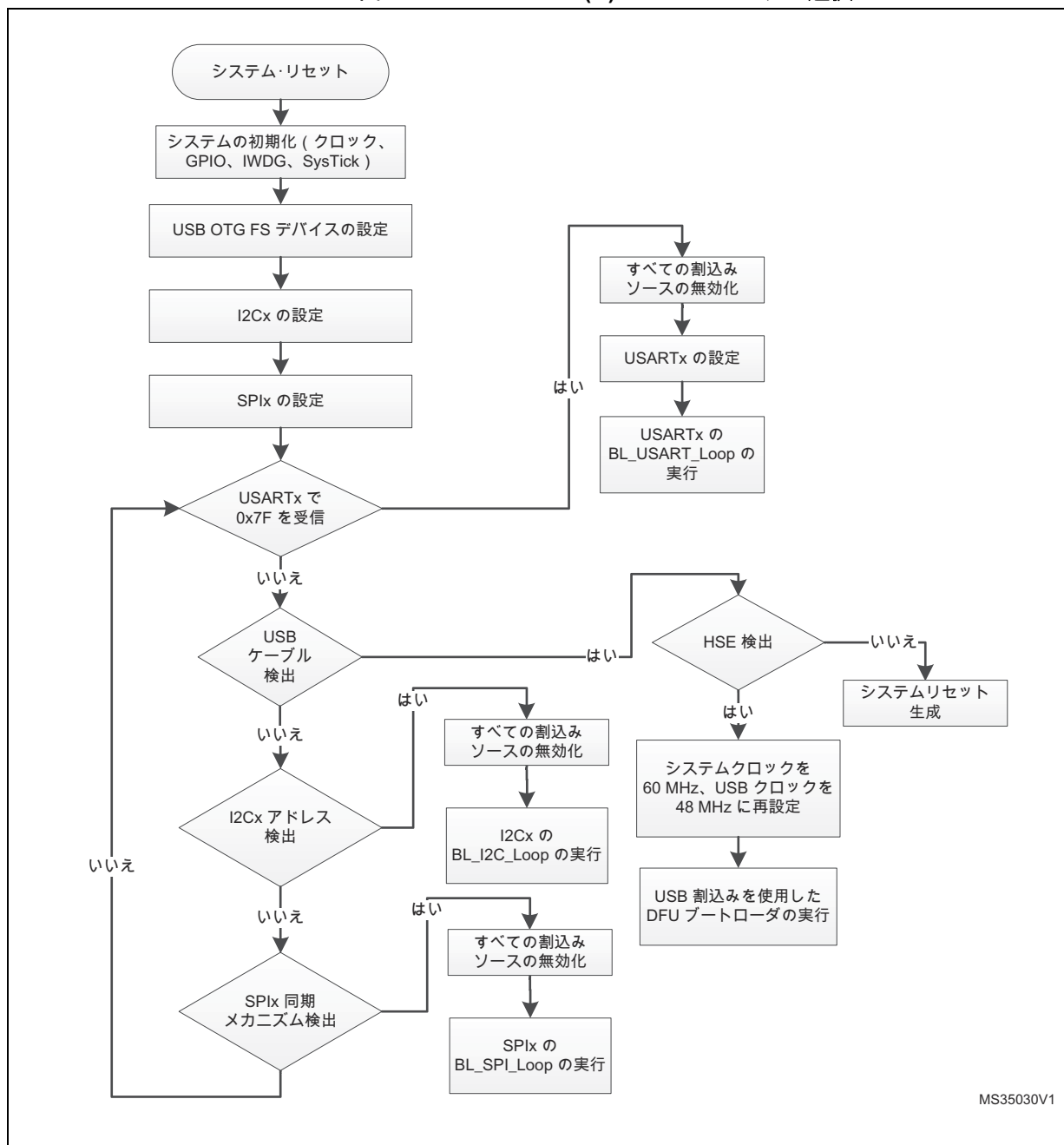
**注 :** HSI には偏差があること、また HSE 値の検出に HSI が使用されていることから、HSE クリスタル値には高い周波数ではなく低い周波数を使用する必要があります (低周波数値はエラー・マージンが大きいことから検出が容易です)。たとえば、25 MHz よりも 8 MHz を使用の方が有利です。



## 29.2 ブートローダの選択

次の図に、ブートローダの選択メカニズムを示します。

図 34. STM32F401xB(C) のブートローダの選択



## 29.3 ブートローダのバージョン

次の表に、STM32F401xB(C) デバイスのブートローダのバージョンを示します。

表 62. STM32F401xB(C) のブートローダのバージョン

| ブートローダのバージョン番号 | 説明             | 既知の制限  |
|----------------|----------------|--|
| V13.0          | ブートローダの初期バージョン | Go コマンド (ユーザ・コードへのジャンプ) の実行後、ブートローダでは AHB1ENR 値を 0x0000 0000 にリセットするため、CCM RAM (存在する場合) はアクティブではありません (起動時にユーザ・コードで再度有効化するものとします)。 |

## 30 STM32F401xD(E) デバイスのブートローダ

### 30.1 ブートローダの設定

STM32F401xD(E) ブートローダは、パターン 1 を適用すると有効化されます (表 2: ブートローダの有効化パターンを参照)。次の表に、このブートローダが使用するハードウェア・リソースを示します。

表 63. システムメモリブートモードでの STM32F401xD(E) の設定

| ブートローダ        | 機能/ペリフェラル    | 状態   | コメント   |
|---------------|--------------|--|--|
| すべてのブートローダに共通 | RCC          | HSI は有効です。   | システム・クロック周波数は 60 MHz です (PLL を使用)。<br>HSI クロック・ソースは、起動時 (インタフェース検出フェーズ) および USART、SPI、または I <sup>2</sup> C インタフェースの選択時に使用されます (DFU ブートローダを選択すると、外部クリスタルからクロック・ソースが生成されます)。 |
|               |              | HSE は有効です。   | システム・クロック周波数は 60 MHz です。<br>HSE クロックソースは、DFU (USB FS デバイス) インタフェースの選択時にのみ使用されます。<br>外部クロックは、1 MHz の倍数で、範囲が 4 MHz から 26 MHz の周波数を提供する必要があります。                               |
|               |              | -  | DFU ブートローダでは、クロックセキュリティシステム (CSS) 割込みが有効化されます。外部クロックの障害 (または除去) により、システムリセットが生成されます。   |
|               | RAM          | -  | アドレス 0x20000000 から始まる 12 KB は、ブートローダのファームウェアによって使用されます。  |
|               | システムメモリ      | -  | アドレス 0x1FFF0000 から始まる 29 KB に、ブートローダのファームウェアが含まれています。  |
|               | IWDG         | -  | 独立型ウォッチドッグ (IWDG) プリスケアラは、最大値に設定されます。これは、定期的によりフレッシュされ、ウォッチドッグがリセットされるのを防ぎます (ハードウェアの IWDG オプションがユーザによって事前に有効化されている場合)。  |
| パワー           | -            | 電圧範囲が [1.62 V、2.1 V] にセットされます。この範囲で、内部 Flash 書き込み操作はバイトフォーマットでのみ実行できます (ハーフワード、ワード、およびダブルワード操作は不可)。電圧範囲は、実行時間中にブートローダのコマンドを使用して設定できます。 |  |
| USART1 ブートローダ | USART1       | 有効   | 一度初期化されると、USART1 の設定は 8 ビット、偶数パリティ、および 1 ストップ・ビットになります。  |
|               | USART1_RX ピン | 入力   | PA10 ピン: 受信モードの USART1。ブルアップ・ブルダウなしモードで使用。   |
|               | USART1_TX ピン | 出力   | PA9 ピン: 送信モードの USART1。ブルアップ・ブルダウなしモードで使用。  |

表 63. システムメモリブートモードでの STM32F401xD(E) の設定 (続き)

| ブートローダ        | 機能/ペリフェラル    | 状態    | コメント  |
|---------------|--------------|-------|---|
| USART2 ブートローダ | USART2       | 有効    | 一度初期化されると、USART2 の設定は8 ビット、偶数パリティ、および 1 ストップ・ビットになります。  |
|               | USART2_RX ピン | 入力    | PD6 ピン：受信モードの USART2。プルアップ・モードで使用。  |
|               | USART2_TX ピン | 出力    | PD5 ピン：送信モードの USART2。プルアップ・モードで使用。  |
| USARTx ブートローダ | SysTick タイマ  | 有効    | USARTx ブートローダのホストからシリアルボーレートを自動検出するために使用されます。   |
| I2C1 ブートローダ   | I2C1         | 有効    | I2C1 設定：<br>I <sup>2</sup> C スピード：最大 400 kHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。7 ビット・スレーブ・アドレス：0b0111001x (ここで、書込みの場合 x = 0、読出しの場合 x = 1)。 |
|               | I2C1_SCL ピン  | 入力/出力 | PB6 ピン：クロック・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。   |
|               | I2C1_SDA ピン  | 入力/出力 | PB7 ピン：データ・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。  |
| I2C2 ブートローダ   | I2C2         | 有効    | I2C2 設定：<br>I <sup>2</sup> C スピード：最大 400 kHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。7 ビット・スレーブ・アドレス：0b0111001x (ここで、書込みの場合 x = 0、読出しの場合 x = 1)。 |
|               | I2C2_SCL ピン  | 入力/出力 | PB10 ピン：クロック・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。  |
|               | I2C2_SDA ピン  | 入力/出力 | PB3 ピン：データ・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。  |
| I2C3 ブートローダ   | I2C3         | 有効    | I2C3 設定：<br>I <sup>2</sup> C スピード：最大 400 kHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。7 ビット・スレーブ・アドレス：0b0111001x (ここで、書込みの場合 x = 0、読出しの場合 x = 1)。 |
|               | I2C3_SCL ピン  | 入力/出力 | PA8 ピン：クロック・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。   |
|               | I2C3_SDA ピン  | 入力/出力 | PB4 ピン：データ・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。  |

表 63. システムメモリブートモードでの STM32F401xD(E) の設定 (続き)

| ブートローダ      | 機能/ペリフェラル    | 状態    | コメント   |
|-------------|--------------|-------|--|
| SPI1 ブートローダ | SPI1         | 有効    | SPI1 設定 :<br>スレーブモード、全二重、8 ビット MSB、最大 8 MHz の速度、極性 : CPOL ロー、CPHA ロー、NSS ハードウェア。     |
|             | SPI1_MOSI ピン | 入力    | PA7 ピン : スレーブ・データ入力ライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI1_MISO ピン | 出力    | PA6 ピン : スレーブ・データ出力ライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI1_SCK ピン  | 入力    | PA5 ピン : スレーブ・クロック・ライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI1_NSS ピン  | 入力    | PA4 ピン : スレーブ・チップ選択ピン (プッシュプル、プルダウンモードで使用)   |
| SPI2 ブートローダ | SPI2         | 有効    | SPI2 設定 :<br>スレーブモード、全二重、8 ビット MSB、最大 8 MHz の速度、極性 : CPOL ロー、CPHA ロー、NSS ハードウェア。     |
|             | SPI2_MOSI ピン | 入力    | PB15 ピン : スレーブ・データ入力ライン (プッシュプル、プルダウンモードで使用)   |
|             | SPI2_MISO ピン | 出力    | PB14 ピン : スレーブ・データ出力ライン (プッシュプル、プルダウンモードで使用)   |
|             | SPI2_SCK ピン  | 入力    | PB13 ピン : スレーブ・クロック・ライン (プッシュプル、プルダウンモードで使用)   |
|             | SPI2_NSS ピン  | 入力    | PB12 ピン : スレーブ・チップ選択ピン (プッシュプル、プルダウンモードで使用)  |
| SPI3 ブートローダ | SPI3         | 有効    | SPI3 設定 :<br>スレーブモード、全二重、8 ビット MSB、最大 8 MHz の速度、極性 : CPOL ロー、CPHA ロー、NSS ハードウェア。     |
|             | SPI3_MOSI ピン | 入力    | PC12 ピン : スレーブ・データ入力ライン (プッシュプル、プルダウンモードで使用)   |
|             | SPI3_MISO ピン | 出力    | PC11 ピン : スレーブ・データ出力ライン (プッシュプル、プルダウンモードで使用)   |
|             | SPI3_SCK ピン  | 入力    | PC10 ピン : スレーブ・クロック・ライン (プッシュプル、プルダウンモードで使用)   |
|             | SPI3_NSS ピン  | 入力    | PA15 ピン : スレーブ・チップ選択ピン (プッシュプル、プルダウンモードで使用)  |
| DFU ブートローダ  | USB          | 有効    | USB OTG FS は強制デバイスモードで設定されます。  |
|             | USB_DM ピン    | 入力/出力 | PA11 : USB DM ライン。オルタネート・プッシュプル、ブルアップ・プルダウンなしモードで使用。                                 |
|             | USB_DP ピン    |       | PA12 : USB DP ライン。オルタネート・プッシュプル、ブルアップ・プルダウンなしモードで使用。<br>外部ブルアップ抵抗は不要です。              |
|             | TIM11        | 有効    | このタイマは、HSE の値を決定するために使用されます。HSE 周波数が決定されると、システムクロックは PLL と HSE を使用して 60 MHz に設定されます。 |

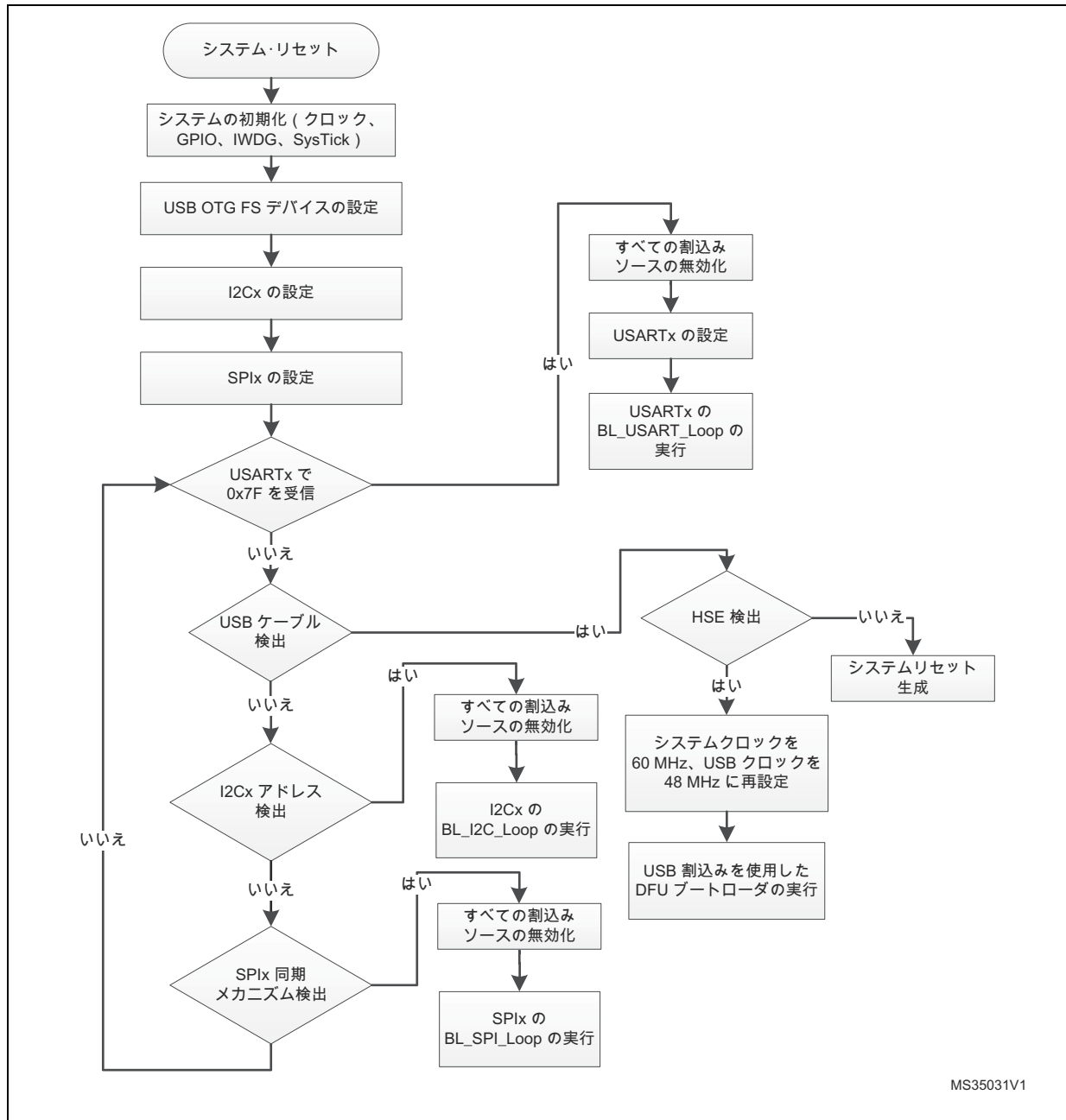
システムクロックは USARTx、I2Cx、および SPIx ブートローダ用の内蔵された内部ハイスピード RC から生成されます。この内部クロックは、DFU (USB FS デバイス) にも使用されますが、選択フェーズに限られます。選択フェーズ後に DFU ブートローダを実行するには、1 MHz の倍数 (4 から 26 MHz の間) の外部クロックが必要です。

**注 :** HSI には偏差があること、また HSE 値の検出に HSI が使用されていることから、HSE クリスタル値には高い周波数ではなく低い周波数を使用する必要があります (低周波数値はエラー・マージンが大きいことから検出が容易です)。たとえば、25 MHz よりも 8 MHz を使用する方が有利です。

## 30.2 ブートローダの選択

次の図に、ブートローダの選択メカニズムを示します。

図 35. STM32F401xD(E) のブートローダの選択



### 30.3 ブートローダのバージョン

次の表に、STM32F401xD(E) デバイスのブートローダのバージョンを示します。

表 64. STM32F401xD(E) のブートローダのバージョン

| ブートローダのバージョン番号 | 説明             | 既知の制限   |
|----------------|----------------|---|
| V13.1          | ブートローダの初期バージョン | Go コマンド（ユーザ・コードへのジャンプ）の実行後、ブートローダでは AHB1ENR 値を 0x0000 0000 にリセットするため、CCM RAM（存在する場合）はアクティブではありません（起動時にユーザ・コードで再度有効化するものとします）。 |



## 31 STM32F410xx デバイスのブートローダ

### 31.1 ブートローダの設定

STM32F410xx ブートローダは、パターン 1 を適用すると有効化されます（表 2：ブートローダの有効化パターンを参照）。次の表に、このブートローダが使用するハードウェア・リソースを示します。

表 65. システムメモリブートモードでの STM32F410xx の設定

| ブートローダ        | 機能/ペリフェラル    | 状態         | コメント  |
|---------------|--------------|------------|---|
| すべてのブートローダに共通 | RCC          | HSI は有効です。 | HSI は、60 MHz に設定されたシステム・クロックのクロック・ソースとして、また USART および I <sup>2</sup> C のブートローダ動作のクロック・ソースとして起動時に使用されます。   |
|               | RAM          | -          | アドレス 0x20000000 から始まる 5 KB は、ブートローダのファームウェアによって使用されます。  |
|               | システムメモリ      | -          | アドレス 0x1FFF0000 から始まる 29 KB に、ブートローダのファームウェアが含まれています。   |
|               | IWDG         | -          | 独立型ウォッチドッグ (IWDG) プリスケアラは、最大値に設定されます。これは、定期的にはリフレッシュされ、ウォッチドッグがリセットされるのを防ぎます (ハードウェアの IWDG オプションがユーザによって事前に有効化されている場合)。                                     |
|               | パワー          | -          | 電圧範囲は [1.8V、3.6V] です。<br>この範囲では：<br>- Flash ウェイト・ステート：3<br>- システム・クロック周波数：60 MHz<br>- ART アクセラレータ：有効<br>- バイト単位の Flash 書込み操作 (詳細については、ブートローダのメモリ管理セクションを参照) |
| USART1 ブートローダ | USART1       | 有効         | 一度初期化されると、USART1 の設定は 8 ビット、偶数パリティ、および 1 ストップ・ビットになります。   |
|               | USART1_RX ピン | 入力         | PA10 ピン：受信モードの USART1。オルタネート・プッシュプル、プルアップ・モードで使用。   |
|               | USART1_TX ピン | 出力         | PA9 ピン：送信モードの USART1。オルタネート・プッシュプル、プルアップ・モードで使用。  |
| USART2 ブートローダ | USART2       | 有効         | 一度初期化されると、USART2 の設定は 8 ビット、偶数パリティ、および 1 ストップ・ビットになります。   |
|               | USART2_RX ピン | 入力         | PA3 ピン：受信モードの USART2。オルタネート・プッシュプル、プルアップ・モードで使用。  |
|               | USART2_TX ピン | 出力         | PA2 ピン：送信モードの USART2。オルタネート・プッシュプル、プルアップ・モードで使用。  |
| USARTx ブートローダ | SysTick タイマ  | 有効         | USARTx ブートローダのホストからシリアルポーレートを自動検出するために使用されます。   |

表 65. システムメモリブートモードでの STM32F410xx の設定 (続き)

| ブートローダ      | 機能/ペリフェラル   | 状態    | コメント  |
|-------------|-------------|-------|---|
| I2C1 ブートローダ | I2C1        | 有効    | I2C1 設定 :<br>I <sup>2</sup> C スピード : 最大 400 kHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。7 ビット・スレーブ・アドレス : 0b1000111x (ここで、書き込みの場合 x = 0、読出しの場合 x = 1)。     |
|             | I2C1_SCL ピン | 入力/出力 | PB6 ピン : クロック・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。   |
|             | I2C1_SDA ピン | 入力/出力 | PB7 ピン : データ・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。  |
| I2C2 ブートローダ | I2C2        | 有効    | I2C2 設定 :<br>I <sup>2</sup> C スピード : 最大 400 kHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。7 ビット・スレーブ・アドレス : 0b1000111x (ここで、書き込みの場合 x = 0、読出しの場合 x = 1)。     |
|             | I2C2_SCL ピン | 入力/出力 | PB10 ピン : クロック・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。  |
|             | I2C2_SDA ピン | 入力/出力 | PB11 ピン : データ・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。   |
| I2C4 ブートローダ | I2C4        | 有効    | I2C4 設定 :<br>I <sup>2</sup> C スピード : 最大 1 MHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。7 ビット・スレーブ・アドレス : 0b1000111x (ここで、書き込みの場合 x = 0、読出しの場合 x = 1)。       |
|             | I2C4_SCL ピン | 入力/出力 | PB15 ピン : クロック・ラインは STM32F410Cx/Rx デバイスでオープンドレインのプルアップ・プルダウンなしモードで使用されます。<br>PB10 ピン : クロック・ラインは STM32F410Tx デバイスでオープンドレインのプルアップ・プルダウンなしモードで使用されます。 |
|             | I2C4_SDA ピン | 入力/出力 | PB14 ピン : データ・ラインは STM32F410Cx/Rx デバイスでオープンドレインのプルアップ・プルダウンなしモードで使用されます。<br>PB3 ピン : データ・ラインは STM32F410Tx デバイスでオープンドレインのプルアップ・プルダウンなしモードで使用されます。    |

表 65. システムメモリブートモードでの STM32F410xx の設定 (続き)

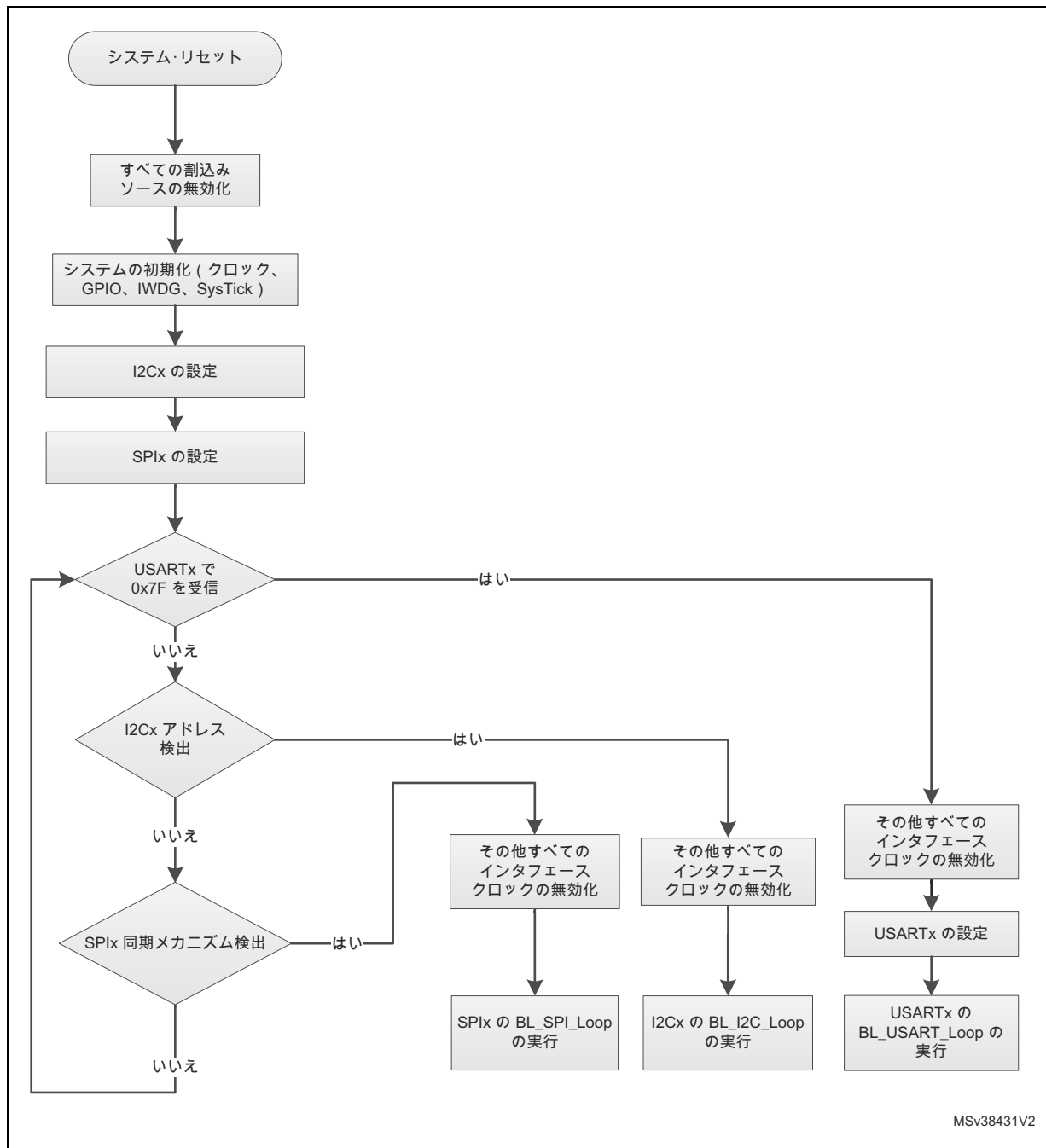
| ブートローダ      | 機能/ペリフェラル    | 状態 | コメント  |
|-------------|--------------|----|---|
| SPI1 ブートローダ | SPI1         | 有効 | SPI1 設定 :<br>スレーブモード、全二重、8 ビット MSB、最大 8 MHz の速度、極性 : CPOL ロー、CPHA ロー、NSS ハードウェア。  |
|             | SPI1_MOSI ピン | 入力 | PA7 ピン : スレーブ・データ入カライン (STM32F410Cx/Rx デバイスのプッシュプル・プルダウンモードで使用)<br>PB5 ピン : スレーブ・データ入カライン (STM32F410Tx デバイスのプッシュプル・プルダウンモードで使用) |
|             | SPI1_MISO ピン | 出力 | PA6 ピン : スレーブ・データ出カライン (STM32F410Cx/Rx デバイスのプッシュプル・プルダウンモードで使用)<br>PB4 ピン : スレーブ・データ出カライン (STM32F410Tx デバイスのプッシュプル・プルダウンモードで使用) |
|             | SPI1_SCK ピン  | 入力 | PA5 ピン : スレーブクロックライン (プッシュプル、プルダウンモードで使用)   |
|             | SPI1_NSS ピン  | 入力 | PA4 ピン : スレーブチップ選択ピン (STM32F410Cx/Rx デバイスのプッシュプル・プルアップモードで使用)<br>PA15 ピン : スレーブ・チップ選択ピン (STM32F410Tx デバイスのプッシュプル・プルダウンモードで使用)   |
| SPI2 ブートローダ | SPI2         | 有効 | SPI2 設定 :<br>スレーブモード、全二重、8 ビット MSB、最大 8 MHz の速度、極性 : CPOL ロー、CPHA ロー、NSS ハードウェア。  |
|             | SPI2_MOSI ピン | 入力 | PC3 ピン : スレーブ・データ入カライン (プッシュプル、プルダウンモードで使用)   |
|             | SPI2_MISO ピン | 出力 | PC2 ピン : スレーブ・データ出カライン (プッシュプル、プルダウンモードで使用)   |
|             | SPI2_SCK ピン  | 入力 | PB13 ピン : スレーブ・クロック・ライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI2_NSS ピン  | 入力 | PB12 ピン : スレーブ・チップ選択ピン (プッシュプル、プルダウンモードで使用)   |

システム・クロックはすべてのブートローダ・インタフェース用の内蔵された内部ハイスピード RC から生成されます。ブートローダの動作に外部水晶発振器は不要です。

### 31.2 ブートローダの選択

図 36 に、ブートローダの選択メカニズムを示します。

図 36. STM32F410xx のブートローダ V11.x の選択



### 31.3 ブートローダのバージョン

次の表に、STM32F410xx デバイスのブートローダのバージョン (V11.x) を示します。

表 66. STM32F410xx のブートローダのバージョン (V11.x)

| ブートローダのバージョン番号 | 説明  | 既知の制限   |
|----------------|---|---|
| V11.0          | ブートローダの初期バージョン                            | Go コマンド (ユーザ・コードへのジャンプ) の実行後、ブートローダでは AHB1ENR 値を 0x0000 0000 にリセットするため、CCM RAM (存在する場合はアクティブではありません (起動時にユーザ・コードで再度有効化するものとします))。 |
| V11.1          | STM32F410Tx デバイスで I2C4 および SPI1 をサポートします。 | Go コマンド (ユーザ・コードへのジャンプ) の実行後、ブートローダでは AHB1ENR 値を 0x0000 0000 にリセットするため、CCM RAM (存在する場合はアクティブではありません (起動時にユーザ・コードで再度有効化するものとします))。 |

## 32 STM32F411xx デバイスのブートローダ

### 32.1 ブートローダの設定

STM32F411xx ブートローダは、パターン 1 を適用すると有効化されます（表 2：ブートローダの有効化パターンを参照）。次の表に、このブートローダが使用するハードウェア・リソースを示します。

表 67. システムメモリブートモードでの STM32F411xx の設定

| ブートローダ            | 機能/ペリフェラル    | 状態  | コメント   |
|-------------------|--------------|---|--|
| すべてのブートローダに<br>共通 | RCC          | HSI は有効です。  | システム・クロック周波数は 60 MHz です（PLL を使用）。<br>HSI クロック・ソースは、起動時（インタフェース検出フェーズ）および USART、SPI、または I <sup>2</sup> C インタフェースの選択時に使用されます（DFU ブートローダを選択すると、外部クリスタルからクロック・ソースが生成されます）。 |
|                   |              | HSE は有効です。  | システム・クロック周波数は 60 MHz です。<br>HSE クロックソースは、DFU (USB FS デバイス) インタフェースの選択時にのみ使用されます。<br>外部クロックは、1 MHz の倍数で、範囲が 4 MHz から 26 MHz の周波数を提供する必要があります。                           |
|                   |              | -   | DFU ブートローダでは、クロックセキュリティシステム (CSS) 割込みが有効化されます。外部クロックの障害（または除去）により、システムリセットが生成されます。   |
|                   | RAM          | -   | アドレス 0x20000000 から始まる 12 KB は、ブートローダのファームウェアによって使用されます。  |
|                   | システムメモリ      | -   | アドレス 0x1FFF0000 から始まる 29 KB に、ブートローダのファームウェアが含まれています。  |
|                   | IWDG         | -   | 独立型ウォッチドッグ (IWDG) プリスケールは、最大値に設定されます。これは、定期的リフレッシュされ、ウォッチドッグがリセットされるのを防ぎます（ハードウェアの IWDG オプションがユーザによって事前に有効化されている場合）。   |
| パワー               | -            | 電圧範囲が [1.62 V、2.1 V] にセットされます。この範囲で、内部 Flash 書き込み操作はバイトフォーマットでのみ実行できます（ハーフワード、ワード、およびダブルワード操作は不可）。電圧範囲は、実行時間中にブートローダのコマンドを使用して設定できます。 |  |
| USART1 ブートローダ     | USART1       | 有効  | 一度初期化されると、USART1 の設定は 8 ビット、偶数パリティ、および 1 ストップ・ビットになります。  |
|                   | USART1_RX ピン | 入力  | PA10 ピン：受信モードの USART1。入力プルアップ・プルダウンなしモードで使用。   |
|                   | USART1_TX ピン | 出力  | PA9 ピン：送信モードの USART1。入力プルアップ・プルダウンなしモードで使用。  |

表 67. システムメモリブートモードでの STM32F411xx の設定 (続き)

| ブートローダ        | 機能/ペリフェラル    | 状態    | コメント  |
|---------------|--------------|-------|---|
| USART2 ブートローダ | USART2       | 有効    | 一度初期化されると、USART2 の設定は8 ビット、偶数パリティ、および 1 ストップ・ビットになります。  |
|               | USART2_RX ピン | 入力    | PD6 ピン: 受信モードの USART2。入力プルアップ・モードで使用。   |
|               | USART2_TX ピン | 出力    | PD5 ピン: 送信モードの USART2。入力プルアップ・モードで使用。   |
| USARTx ブートローダ | SysTick タイマ  | 有効    | USARTx ブートローダのホストからシリアルボーレートを自動検出するために使用されます。   |
| I2C1 ブートローダ   | I2C1         | 有効    | I2C1 設定:<br>I <sup>2</sup> C スピード: 最大 400 kHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレス: 0b0111001x (ここで、書込みの場合 x = 0、読出しの場合 x = 1)。 |
|               | I2C1_SCL ピン  | 入力/出力 | PB6 ピン: クロック・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。  |
|               | I2C1_SDA ピン  | 入力/出力 | PB7 ピン: データ・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。   |
| I2C2 ブートローダ   | I2C2         | 有効    | I2C2 設定:<br>I <sup>2</sup> C スピード: 最大 400 kHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレス: 0b0111001x (ここで、書込みの場合 x = 0、読出しの場合 x = 1)。 |
|               | I2C2_SCL ピン  | 入力/出力 | PB10 ピン: クロック・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。   |
|               | I2C2_SDA ピン  | 入力/出力 | PB3 ピン: データ・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。   |
| I2C3 ブートローダ   | I2C3         | 有効    | I2C3 設定:<br>I <sup>2</sup> C スピード: 最大 400 kHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレス: 0b0111001x (ここで、書込みの場合 x = 0、読出しの場合 x = 1)。 |
|               | I2C3_SCL ピン  | 入力/出力 | PA8 ピン: クロック・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。  |
|               | I2C3_SDA ピン  | 入力/出力 | PB4 ピン: データ・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。   |

表 67. システムメモリブートモードでの STM32F411xx の設定 (続き)

| ブートローダ      | 機能/ペリフェラル    | 状態 | コメント   |
|-------------|--------------|----|--|
| SPI1 ブートローダ | SPI1         | 有効 | SPI1 設定 :<br>スレーブモード、全二重、8 ビット MSB、最大 8 MHz の速度、極性 : CPOL ロー、CPHA ロー、NSS ハードウェア。 |
|             | SPI1_MOSI ピン | 入力 | PA7 ピン : スレーブ・データ入力ライン (プッシュプル、プルダウンモードで使用)                                      |
|             | SPI1_MISO ピン | 出力 | PA6 ピン : スレーブ・データ出力ライン (プッシュプル、プルダウンモードで使用)                                      |
|             | SPI1_SCK ピン  | 入力 | PA5 ピン : スレーブ・クロック・ライン (プッシュプル、プルダウンモードで使用)                                      |
|             | SPI1_NSS ピン  | 入力 | PA4 ピン : スレーブ・チップ選択ピン (プッシュプル、プルダウンモードで使用)                                       |
| SPI2 ブートローダ | SPI2         | 有効 | SPI2 設定 :<br>スレーブモード、全二重、8 ビット MSB、最大 8 MHz の速度、極性 : CPOL ロー、CPHA ロー、NSS ハードウェア。 |
|             | SPI2_MOSI ピン | 入力 | PB15 ピン : スレーブ・データ入力ライン (プッシュプル、プルダウンモードで使用)                                     |
|             | SPI2_MISO ピン | 出力 | PB14 ピン : スレーブ・データ出力ライン (プッシュプル、プルダウンモードで使用)                                     |
|             | SPI2_SCK ピン  | 入力 | PB13 ピン : スレーブ・クロック・ライン (プッシュプル、プルダウンモードで使用)                                     |
|             | SPI2_NSS ピン  | 入力 | PB12 ピン : スレーブ・チップ選択ピン (プッシュプル、プルダウンモードで使用)                                      |
| SPI3 ブートローダ | SPI3         | 有効 | SPI3 設定 :<br>スレーブモード、全二重、8 ビット MSB、最大 8 MHz の速度、極性 : CPOL ロー、CPHA ロー、NSS ハードウェア。 |
|             | SPI3_MOSI ピン | 入力 | PC12 ピン : スレーブ・データ入力ライン (プッシュプル、プルダウンモードで使用)                                     |
|             | SPI3_MISO ピン | 出力 | PC11 ピン : スレーブ・データ出力ライン (プッシュプル、プルダウンモードで使用)                                     |
|             | SPI3_SCK ピン  | 入力 | PC10 ピン : スレーブ・クロック・ライン (プッシュプル、プルダウンモードで使用)                                     |
|             | SPI3_NSS ピン  | 入力 | PA15 ピン : スレーブ・チップ選択ピン (プッシュプル、プルダウンモードで使用)                                      |



表 67. システムメモリブートモードでの STM32F411xx の設定 (続き)

| ブートローダ     | 機能/ペリフェラル | 状態    | コメント   |
|------------|-----------|-------|--|
| DFU ブートローダ | USB       | 有効    | USB OTG FS は強制デバイスモードで設定されます。  |
|            | USB_DM ピン | 入力/出力 | PA11 : USB DM ライン。オルタネート・プッシュプル、プルアップ・プルダウンなしモードで使用。                                 |
|            | USB_DP ピン |       | PA12 : USB DP ライン。オルタネート・プッシュプル、プルアップ・プルダウンなしモードで使用。<br>外部プルアップ抵抗は不要です。              |
|            | TIM11     | 有効    | このタイマは、HSE の値を決定するために使用されます。HSE 周波数が決定されると、システムクロックは PLL と HSE を使用して 60 MHz に設定されます。 |

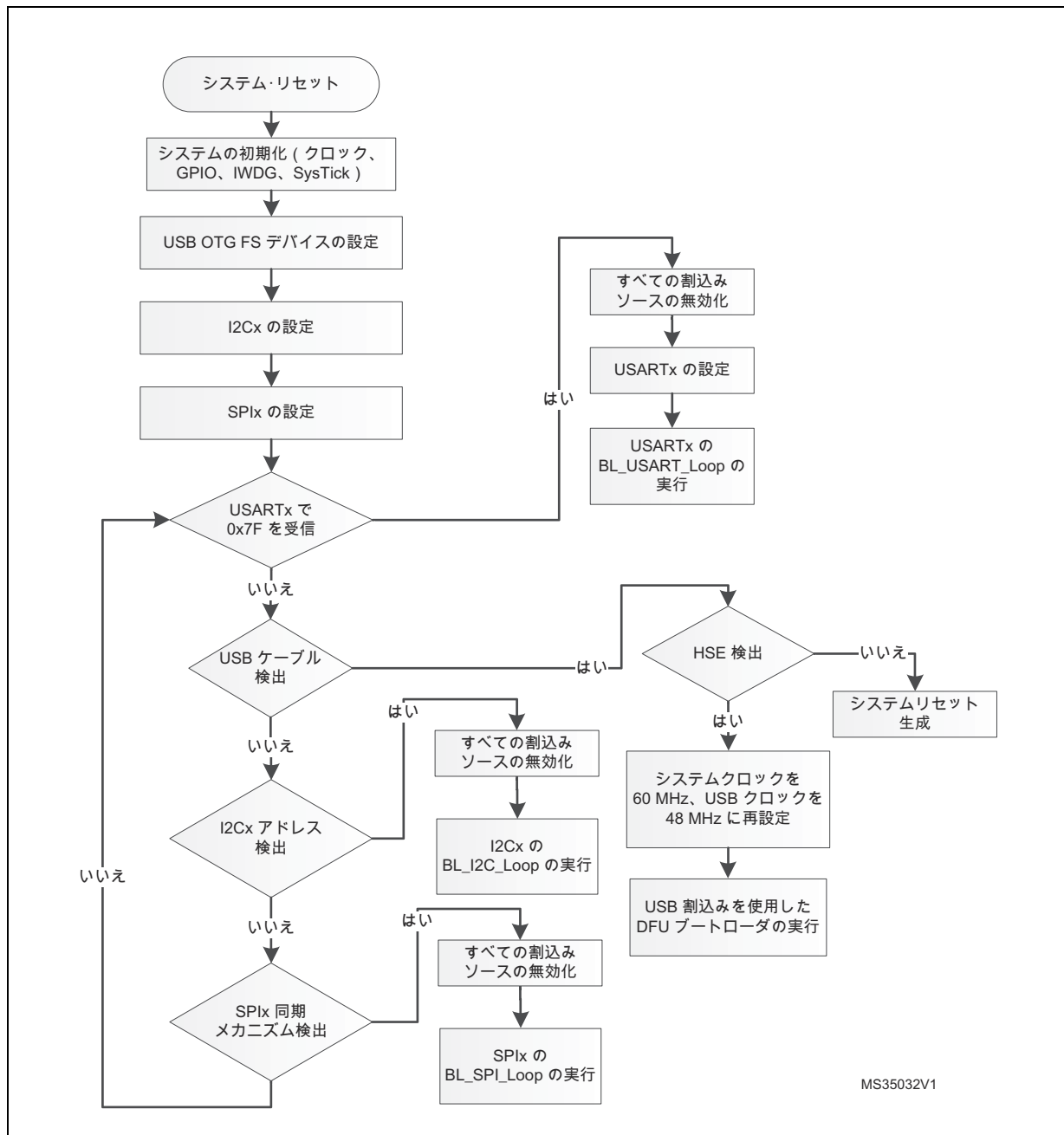
システムクロックは USARTx、I2Cx、および SPIx ブートローダ用の内蔵された内部ハイスピード RC から生成されます。この内部クロックは、DFU (USB FS デバイス) にも使用されますが、選択フェーズに限られます。選択フェーズ後に DFU ブートローダを実行するには、1 MHz の倍数 (4 から 26 MHz の間) の外部クロックが必要です。

**注 :** HSI には偏差があること、また HSE 値の検出に HSI が使用されていることから、HSE クリスタル値には高い周波数ではなく低い周波数を使用する必要があります (低周波数値はエラー・マージンが大きいことから検出が容易です)。たとえば、25 MHz よりも 8 MHz を使用する方が有利です。

### 32.2 ブートローダの選択

次の図に、ブートローダの選択メカニズムを示します。

図 37. STM32F411xx のブートローダの選択



MS35032V1

### 32.3 ブートローダのバージョン

次の表に、STM32F411xx デバイスのブートローダのバージョンを示します。

表 68. STM32F411xx のブートローダのバージョン

| ブートローダのバージョン番号 | 説明             | 既知の制限  |
|----------------|----------------|--|
| V13.0          | ブートローダの初期バージョン | Go コマンド (ユーザ・コードへのジャンプ) の実行後、ブートローダでは AHB1ENR 値を 0x0000 0000 にリセットするため、CCM RAM (存在する場合) はアクティブではありません (起動時にユーザ・コードで再度有効化するものとします)。 |

## 33 STM32F412xx デバイスのブートローダ

### 33.1 ブートローダの設定

STM32F412xx ブートローダは、パターン 1 を適用すると有効化されます（表 2：ブートローダの有効化パターンを参照）。次の表に、このブートローダが使用するハードウェア・リソースを示します。

表 69. システム・メモリ・ブート・モードでの STM32F412xx の設定

| ブートローダ        | 機能/ペリフェラル    | 状態   | コメント   |
|---------------|--------------|--|--|
| すべてのブートローダに共通 | RCC          | HSI は有効です。   | HSI は、60 MHz に設定されたシステム・クロックのクロック・ソースとして、また USART および I <sup>2</sup> C のブートローダ動作のクロック・ソースとして起動時に使用されます。  |
|               |              | HSE は有効です。   | HSE は、CAN または DFU (USB FS デバイス) インタフェースの選択時にのみ使用されます。この場合、システムクロックは 60 MHz で、クロックソースは HSE です。<br>HSE 周波数は、1 MHz の倍数で、範囲が 4 MHz から 26 MHz である必要があります。 |
|               |              | -  | CAN および DFU ブートローダでは、クロックセキュリティシステム (CSS) 割込みが有効化されます。外部クロックの障害 (または除去) により、システムリセットが生成されます。   |
|               | RAM          | -  | アドレス 0x20000000 から始まる 16 KB は、ブートローダのファームウェアによって使用されます。  |
|               | システムメモリ      | -  | アドレス 0x1FFF0000 から始まる 29 KB に、ブートローダのファームウェアが含まれています。  |
|               | IWDG         | -  | 独立型ウォッチドッグ (IWDG) ブリスケーラは、最大値に設定されます。これは、定期的によりフレッシュされ、ウォッチドッグがリセットされるのを防ぎます (ハードウェアの IWDG オプションがユーザによって事前に有効化されている場合)。                              |
| パワー           | -            | 電圧範囲は [1.8V、3.6V] です。<br>この範囲では：<br>- Flash ウェイト・ステート：3<br>- システム・クロック周波数：60 MHz<br>- ART アクセラレータ：有効<br>- バイト単位の Flash 書き込み操作 (詳細については、ブートローダのメモリ管理セクションを参照) |  |
| USART1 ブートローダ | USART1       | 有効   | 一度初期化されると、USART1 の設定は 8 ビット、偶数パリティ、および 1 ストップ・ビットになります。  |
|               | USART1_RX ピン | 入力   | PA10 ピン：受信モードの USART1。入力プルアップ・プルダウンなしモードで使用。   |
|               | USART1_TX ピン | 出力   | PA9 ピン：送信モードの USART1。入力プルアップ・プルダウンなしモードで使用。  |

表 69. システム・メモリ・ブート・モードでの STM32F412xx の設定 (続き)

| ブートローダ        | 機能/ペリフェラル    | 状態    | コメント   |
|---------------|--------------|-------|--|
| USART2 ブートローダ | USART2       | 有効    | 一度初期化されると、USART2 の設定は8 ビット、偶数パリティ、および1ストップ・ビットになります。   |
|               | USART2_RX ピン | 入力    | PD6 ピン：受信モードの USART2。入力プルアップ・モードで使用。   |
|               | USART2_TX ピン | 出力    | PD5 ピン：送信モードの USART2。入力プルアップ・モードで使用。   |
| USART3 ブートローダ | USART3       | 有効    | 一度初期化されると、USART3 の設定は8 ビット、偶数パリティ、および1ストップ・ビットになります。   |
|               | USART3_RX ピン | 入力    | PB11 ピン：受信モードの USART3。入力プルアップ・モードで使用。  |
|               | USART3_TX ピン | 出力    | PB10 ピン：送信モードの USART3。入力プルアップ・モードで使用。  |
| USARTx ブートローダ | SysTick タイマ  | 有効    | USARTx ブートローダのホストからシリアルボーレートを自動検出するために使用されます。  |
| CAN2 ブートローダ   | CAN2         | 有効    | 一度初期化されると、CAN2 の設定はボーレート 125 kbps、11 ビット識別子になります。<br>注：CAN1 は CAN2 のブートローダの実行中にクロック供給されます。これは、CAN1 が CAN2 と SRAM の間の通信を管理しているためです。           |
|               | CAN2_RX ピン   | 入力    | PB5 ピン：受信モードの CAN2。オルタネート・プッシュプル、プルアップ・モードで使用。   |
|               | CAN2_TX ピン   | 出力    | PB13 ピン：送信モードの CAN2。オルタネート・プッシュプル、プルアップ・モードで使用。  |
| I2C1 ブートローダ   | I2C1         | 有効    | I2C1 設定：<br>I <sup>2</sup> C スピード：最大 400 kHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレス：0b1000110x（ここで、書込みの場合 x = 0、読出しの場合 x = 1）。 |
|               | I2C1_SCL ピン  | 入力/出力 | PB6 ピン：クロック・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。  |
|               | I2C1_SDA ピン  | 入力/出力 | PB7 ピン：データ・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。   |
| I2C2 ブートローダ   | I2C2         | 有効    | I2C2 設定：<br>I <sup>2</sup> C スピード：最大 400 kHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレス：0b1000110x（ここで、書込みの場合 x = 0、読出しの場合 x = 1）。 |
|               | I2C2_SCL ピン  | 入力/出力 | PF1 ピン：クロック・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。  |
|               | I2C2_SDA ピン  | 入力/出力 | PF0 ピン：データ・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。   |

表 69. システム・メモリ・ブート・モードでの STM32F412xx の設定 (続き)

| ブートローダ      | 機能/ペリフェラル    | 状態    | コメント   |
|-------------|--------------|-------|--|
| I2C3 ブートローダ | I2C3         | 有効    | I2C3 設定 :<br>I <sup>2</sup> C スピード : 最大 400 kHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレス : 0b1000110x (ここで、書込みの場合 x = 0、読出しの場合 x = 1)。 |
|             | I2C3_SCL ピン  | 入力/出力 | PA8 ピン : クロック・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。  |
|             | I2C3_SDA ピン  | 入力/出力 | PB4 ピン : データ・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。   |
| I2C4 ブートローダ | I2C4         | 有効    | I2C4 設定 :<br>I <sup>2</sup> C スピード : 最大 1 MHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレス : 0b1000110x (ここで、書込みの場合 x = 0、読出しの場合 x = 1)。   |
|             | I2C4_SCL ピン  | 入力/出力 | PB15 ピン : クロック・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。   |
|             | I2C4_SDA ピン  | 入力/出力 | PB14 ピン : データ・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。  |
| SPI1 ブートローダ | SPI1         | 有効    | SPI1 設定 :<br>スレーブモード、全二重、8 ビット MSB、最大 8 MHz の速度、極性 : CPOL ロー、CPHA ロー、NSS ハードウェア。   |
|             | SPI1_MOSI ピン | 入力    | PA7 ピン : スレーブ・データ入力ライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI1_MISO ピン | 出力    | PA6 ピン : スレーブ・データ出力ライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI1_SCK ピン  | 入力    | PA5 ピン : スレーブ・クロック・ライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI1_NSS ピン  | 入力    | PA4 ピン : スレーブチップ選択ピン (プッシュプル・プルアップモードで使用)  |
| SPI3 ブートローダ | SPI3         | 有効    | SPI3 設定 :<br>スレーブモード、全二重、8 ビット MSB、最大 8 MHz の速度、極性 : CPOL ロー、CPHA ロー、NSS ハードウェア。   |
|             | SPI3_MOSI ピン | 入力    | PC12 ピン : スレーブ・データ入力ライン (プッシュプル、プルダウンモードで使用)   |
|             | SPI3_MISO ピン | 出力    | PC11 ピン : スレーブ・データ出力ライン (プッシュプル、プルダウンモードで使用)   |
|             | SPI3_SCK ピン  | 入力    | PC10 ピン : スレーブ・クロック・ライン (プッシュプル、プルダウンモードで使用)   |
|             | SPI3_NSS ピン  | 入力    | PA15 ピン : スレーブチップ選択ピン (プッシュプル・プルアップモードで使用)   |

表 69. システム・メモリ・ブート・モードでの STM32F412xx の設定 (続き)

| ブートローダ              | 機能/ペリフェラル    | 状態    | コメント   |
|---------------------|--------------|-------|--|
| SPI4 ブートローダ         | SPI4         | 有効    | SPI4 設定 :<br>スレーブモード、全二重、8 ビット MSB、最大 8 MHz の速度、極性 : CPOL ロー、CPHA ロー、NSS ハードウェア。     |
|                     | SPI4_MOSI ピン | 入力    | PE14 ピン : スレーブ・データ入力ライン (プッシュプル、プルダウンモードで使用)   |
|                     | SPI4_MISO ピン | 出力    | PE13 ピン : スレーブ・データ出力ライン (プッシュプル、プルダウンモードで使用)   |
|                     | SP4_SCK ピン   | 入力    | PE12 ピン : スレーブ・クロック・ライン (プッシュプル、プルダウンモードで使用)   |
|                     | SPI4_NSS ピン  | 入力    | PE11 ピン : スレーブチップ選択ピン (プッシュプル・プルアップモードで使用)   |
| DFU ブートローダ          | USB          | 有効    | USB OTG FS は強制デバイスモードで設定されます。  |
|                     | USB_DM ピン    | 入力/出力 | PA11 ピン : USB DM ライン。オルタネート・プッシュプル、プルアップ・プルダウンなしモードで使用。                              |
|                     | USB_DP ピン    |       | PA12 ピン : USB DP ライン。オルタネート・プッシュプル、プルアップ・プルダウンなしモードで使用。<br>外部プルアップ抵抗は不要です。           |
| CAN2 および DFU ブートローダ | TIM11        | 有効    | このタイマは、HSE の値を決定するために使用されます。HSE 周波数が決定されると、システムクロックは PLL と HSE を使用して 60 MHz に設定されます。 |

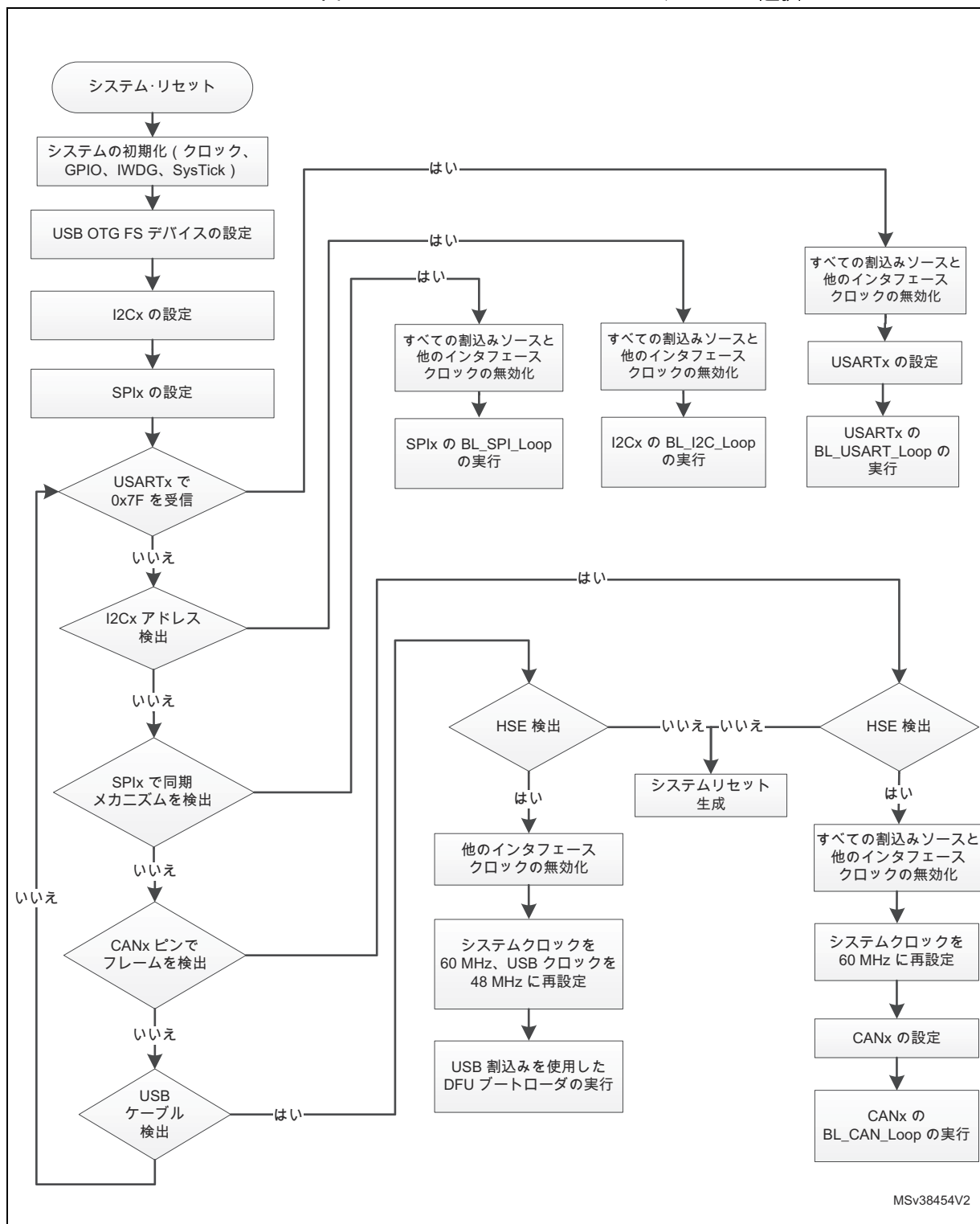
システムクロックは USARTx および I2Cx ブートローダ用の内蔵された内部ハイスピード RC から生成されます。この内部クロックは、CAN や DFU (USB FS デバイス) にも使用されますが、選択フェーズに限られます。選択フェーズ後に CAN および DFU ブートローダを実行するには、1 MHz の倍数 (4 から 26 MHz の間) の外部クロックが必要です。

**注 :** HSI には偏差があること、また HSE 値の検出に HSI が使用されていることから、HSE クリスタル値には高い周波数ではなく低い周波数を使用する必要があります (低周波数値はエラー・マージンが大きいことから検出が容易です)。たとえば、25 MHz よりも 8 MHz を使用する方が有利です。

### 33.2 ブートローダの選択

図 38 に、ブートローダの選択メカニズムを示します。

図 38. STM32F412xx のブートローダ V9.x の選択



MSv38454V2



### 33.3 ブートローダのバージョン

次の表に、STM32F412xx デバイスのブートローダのバージョン (V9.x) を示します。

表 70. STM32F412xx のブートローダのバージョン (V9.x)

| ブートローダのバージョン番号 | 説明                      | 既知の制限  |
|----------------|-------------------------|--|
| V9.0           | ブートローダの初期バージョン          | Go コマンド (ユーザ・コードへのジャンプ) の実行後、ブートローダでは AHB1ENR 値を 0x0000 0000 にリセットするため、CCM RAM (存在する場合) はアクティブではありません (起動時にユーザ・コードで再度有効化するものとします)。 |
| V9.1           | USART3 インタフェース・ピンアウトを修正 | Go コマンド (ユーザ・コードへのジャンプ) の実行後、ブートローダでは AHB1ENR 値を 0x0000 0000 にリセットするため、CCM RAM (存在する場合) はアクティブではありません (起動時にユーザ・コードで再度有効化するものとします)。 |

## 34 STM32F413xx/423xx デバイスのブートローダ

### 34.1 ブートローダの設定

STM32F413xx/423xx ブートローダは、パターン 1 を適用すると有効化されます (表 2: ブートローダの有効化パターンを参照)。次の表に、このブートローダが使用するハードウェア・リソースを示します。

表 71. システムメモリブートモードでの STM32F413xx/423xx の設定

| ブートローダ        | 機能/ペリフェラル | 状態  | コメント   |
|---------------|-----------|---|--|
| すべてのブートローダに共通 | RCC       | HSI は有効です。  | HSI は、60 MHz に設定されたシステム・クロックのクロック・ソースとして、また USART および I2C のブートローダ動作のクロック・ソースとして起動時に使用されず。  |
|               |           | HSE は有効です。  | HSE は、CAN または DFU (USB FS デバイス) インタフェースの選択時にのみ使用されます。この場合、システムクロックは 60 MHz で、クロックソースは HSE です。<br>HSE 周波数は、1 MHz の倍数で、範囲が 4 MHz から 26 MHz である必要があります。 |
|               |           | -   | CAN および DFU ブートローダでは、クロックセキュリティシステム (CSS) 割込みが有効化されます。外部クロックの障害 (または除去) により、システムリセットが生成されます。   |
|               | RAM       | -   | アドレス 0x20000000 から始まる 16 KB は、ブートローダのファームウェアによって使用されます。  |
|               | システムメモリ   | -   | アドレス 0x1FF00000 から始まる 60 KB に、ブートローダのファームウェアが含まれています。  |
|               | IWDG      | -   | 独立型ウォッチドッグ (IWDG) プリスケアラは、最大値に設定されます。これは、定期的リフレッシュされ、ウォッチドッグがリセットされるのを防ぎます (ハードウェアの IWDG オプションがユーザによって事前に有効化されている場合)。                                |
| パワー           | -         | 電圧範囲は [1.8V、3.6V] です。<br>この範囲では：<br>- 4 Flash ウェイトステート<br>- システム・クロック周波数 : 60 MHz<br>- ART アクセラレータ : 有効<br>- バイト単位の Flash 書込み操作 (詳細については、 <a href="#">ブートローダのメモリ管理</a> を参照) |  |

表 71. システムメモリブートモードでの STM32F413xx/423xx の設定 (続き)

| ブートローダ        | 機能/ペリフェラル    | 状態    | コメント  |
|---------------|--------------|-------|---|
| USART1 ブートローダ | USART1       | 有効    | 一度初期化されると、USART1 の設定は8ビット、偶数パリティ、および1ストップビットになります。  |
|               | USART1_RX ピン | 入力    | PA10 ピン: 受信モードの USART1。入力プルアップ・プルダウンなしモードで使用。   |
|               | USART1_TX ピン | 出力    | PA9 ピン: 送信モードの USART1。入力プルアップ・プルダウンなしモードで使用。  |
| USART2 ブートローダ | USART2       | 有効    | 一度初期化されると、USART2 の設定は8ビット、偶数パリティ、および1ストップビットになります。  |
|               | USART2_RX ピン | 入力    | PD6 ピン: 受信モードの USART2。入力プルアップ・モードで使用。   |
|               | USART2_TX ピン | 出力    | PD5 ピン: 送信モードの USART2。入力プルアップ・モードで使用。   |
| USART3 ブートローダ | USART3       | 有効    | 一度初期化されると、USART3 の設定は8ビット、偶数パリティ、および1ストップビットになります。  |
|               | USART3_RX ピン | 入力    | PB11 ピン: 受信モードの USART3。入力プルアップ・モードで使用。  |
|               | USART3_TX ピン | 出力    | PB10 ピン: 送信モードの USART3。入力プルアップ・モードで使用。  |
| USARTx ブートローダ | SysTick タイマ  | 有効    | USARTx ブートローダのホストからシリアルポーレートを確認するために使用されます。   |
| CAN2 ブートローダ   | CAN2         | 有効    | 一度初期化されると、CAN2 の設定はポーレート 125 kbps、11 ビット識別子になります。<br><b>注:</b> CAN1 は CAN2 のブートローダの実行中にクロック供給されます。これは、CAN1 が CAN2 と SRAM の間の通信を管理しているためです。      |
|               | CAN2_RX ピン   | 入力    | PB5 ピン: 受信モードの CAN2。オルタネート・プッシュプル、プルアップ・モードで使用。   |
|               | CAN2_TX ピン   | 出力    | PB13 ピン: 送信モードの CAN2。オルタネート・プッシュプル、プルアップ・モードで使用。  |
| I2C1 ブートローダ   | I2C1         | 有効    | I2C1 設定:<br>I <sup>2</sup> C スピード: 最大 400 kHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレス: 0b1001011x (ここで、書込みの場合 x = 0、読出しの場合 x = 1)。 |
|               | I2C1_SCL ピン  | 入力/出力 | PB6 ピン: クロック・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。  |
|               | I2C1_SDA ピン  | 入力/出力 | PB7 ピン: データ・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。   |

表 71. システムメモリブートモードでの STM32F413xx/423xx の設定 (続き)

| ブートローダ      | 機能/ペリフェラル   | 状態    | コメント   |
|-------------|-------------|-------|--|
| I2C2 ブートローダ | I2C2        | 有効    | I2C2 設定 :<br>I <sup>2</sup> C スピード : 最大 400 kHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレス : 0b1001011x (ここで、書込みの場合 x = 0、読出しの場合 x = 1)。 |
|             | I2C2_SCL ピン | 入力/出力 | PF1 ピン : クロック・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。  |
|             | I2C2_SDA ピン | 入力/出力 | PF0 ピン : データ・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。   |
| I2C3 ブートローダ | I2C3        | 有効    | I2C3 設定 :<br>I <sup>2</sup> C スピード : 最大 400 kHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレス : 0b1001011x (ここで、書込みの場合 x = 0、読出しの場合 x = 1)。 |
|             | I2C3_SCL ピン | 入力/出力 | PA8 ピン : クロック・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。  |
|             | I2C3_SDA ピン | 入力/出力 | PB4 ピン : データ・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。   |
| I2C4 ブートローダ | I2C4        | 有効    | I2C4 設定 :<br>I <sup>2</sup> C スピード : 最大 1 MHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレス : 0b1001011x (ここで、書込みの場合 x = 0、読出しの場合 x = 1)。   |
|             | I2C4_SCL ピン | 入力/出力 | PB15 ピン : クロック・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。   |
|             | I2C4_SDA ピン | 入力/出力 | PB14 ピン : データ・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。  |

表 71. システムメモリブートモードでの STM32F413xx/423xx の設定 (続き)

| ブートローダ      | 機能/ペリフェラル    | 状態 | コメント  |
|-------------|--------------|----|---|
| SPI1 ブートローダ | SPI1         | 有効 | SPI1 設定 :<br>- スレーブモード<br>- 全二重<br>- 8 ビット MSB、最大 8 MHz の速度<br>- 極性 : CPOL ロー、CPHA ロー、NSS ハードウェア。 |
|             | SPI1_MOSI ピン | 入力 | PA7 ピン : スレーブ・データ入カライン (プッシュプル、プルダウンモードで使用)   |
|             | SPI1_MISO ピン | 出力 | PA6 ピン : スレーブ・データ出カライン (プッシュプル、プルダウンモードで使用)   |
|             | SPI1_SCK ピン  | 入力 | PA5 ピン : スレーブ・クロック・ライン (プッシュプル、プルダウンモードで使用)   |
|             | SPI1_NSS ピン  | 入力 | PA4 ピン : スレーブ・チップ選択ピン (プッシュプル、プルダウンモードで使用)  |
| SPI3 ブートローダ | SPI3         | 有効 | SPI3 設定 :<br>- スレーブモード<br>- 全二重<br>- 8 ビット MSB、最大 8 MHz の速度<br>- 極性 : CPOL ロー、CPHA ロー、NSS ハードウェア。 |
|             | SPI3_MOSI ピン | 入力 | PC12 ピン : スレーブ・データ入カライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI3_MISO ピン | 出力 | PC11 ピン : スレーブ・データ出カライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI3_SCK ピン  | 入力 | PC10 ピン : スレーブ・クロック・ライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI3_NSS ピン  | 入力 | PA15 ピン : スレーブ・チップ選択ピン (プッシュプル、プルダウンモードで使用)   |
| SPI4 ブートローダ | SPI4         | 有効 | SPI4 設定 :<br>- スレーブモード<br>- 全二重<br>- 8 ビット MSB、最大 8 MHz の速度<br>- 極性 : CPOL ロー、CPHA ロー、NSS ハードウェア。 |
|             | SPI4_MOSI ピン | 入力 | PE14 ピン : スレーブ・データ入カライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI4_MISO ピン | 出力 | PE13 ピン : スレーブ・データ出カライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI4_SCK ピン  | 入力 | PE12 ピン : スレーブ・クロック・ライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI4_NSS ピン  | 入力 | PE11 ピン : スレーブ・チップ選択ピン (プッシュプル、プルダウンモードで使用)   |

表 71. システムメモリブートモードでの STM32F413xx/423xx の設定 (続き)

| ブートローダ              | 機能/ペリフェラル | 状態    | コメント   |
|---------------------|-----------|-------|--|
| DFU ブートローダ          | USB       | 有効    | USB OTG FS は強制デバイスモードで設定されます。  |
|                     | USB_DM ピン | 入力/出力 | PA11 ピン : USB DM ライン。オルタネート・プッシュプル、プルアップ・プルダウンなしモードで使用。                              |
|                     | USB_DP ピン |       | PA12 ピン : USB DP ライン。オルタネート・プッシュプル、プルアップ・プルダウンなしモードで使用。<br>外部プルアップ抵抗は不要です。           |
| CAN2 および DFU ブートローダ | TIM11     | 有効    | このタイマは、HSE の値を決定するために使用されます。HSE 周波数が決定されると、システムクロックは PLL と HSE を使用して 60 MHz に設定されます。 |

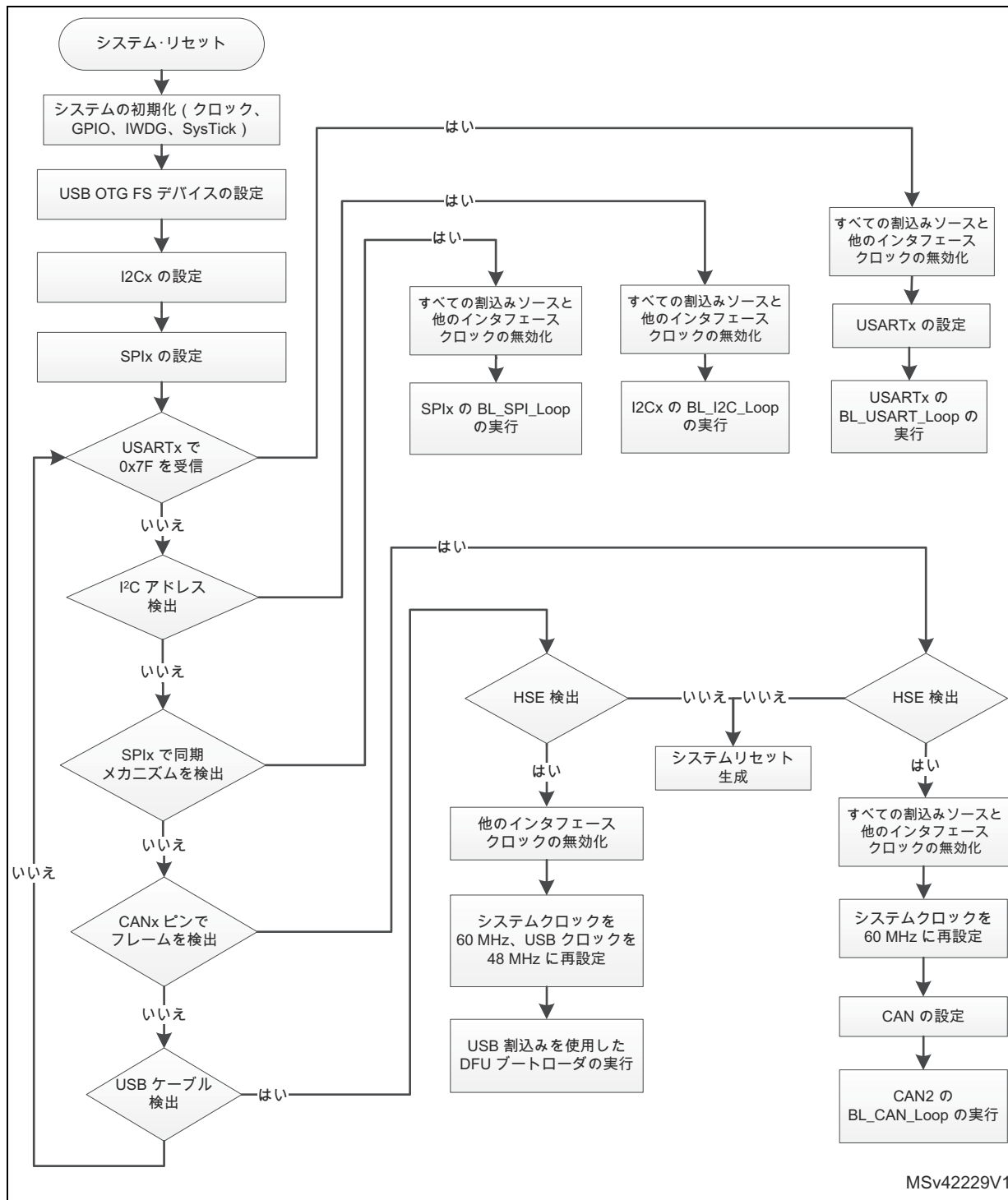
システムクロックは USARTx および I2Cx ブートローダ用の内蔵された内部ハイスピード RC から生成されます。この内部クロックは、CAN や DFU (USB FS デバイス) にも使用されますが、選択フェーズに限られます。選択フェーズ後に CAN および DFU ブートローダを実行するには、1 MHz の倍数 (4 から 26 MHz の間) の外部クロックが必要です。

**注 :** HSI には偏差があること、また HSE 値の検出に HSI が使用されていることから、HSE クリスタル値には高い周波数ではなく低い周波数を使用する必要があります (低周波数値はエラー・マージンが大きいことから検出が容易です)。たとえば、25 MHz よりも 8 MHz を使用する方が有利です。

### 34.2 ブートローダの選択

図 39 に、ブートローダの選択メカニズムを示します。

図 39. STM32F413xx/423xx のブートローダ V9.x の選択



### 34.3 ブートローダのバージョン

次の表に、STM32F413xx/423xx デバイスのブートローダのバージョン (V9.x) を示します。

表 72. STM32F413xx/423xx のブートローダのバージョン (V9.x)

| ブートローダのバージョン番号 | 説明             | 既知の制限   |
|----------------|----------------|---|
| V9.0           | ブートローダの初期バージョン | Go コマンド (ユーザ・コードへのジャンプ) の実行後、ブートローダでは AHB1ENR 値を 0x0000 0000 にリセットするため、CCM RAM (存在する場合は) はアクティブではありません (起動時にユーザ・コードで再度有効化するものとします)。 |



## 35 STM32F42xxx/43xxx デバイスのブートローダ

### 35.1 ブートローダ V7.x

#### 35.1.1 ブートローダの設定

STM32F42xxx/43xxx ブートローダは、パターン 5 を適用すると有効化されます (表 2: ブートローダの有効化パターンを参照)。次の表に、このブートローダが使用するハードウェア・リソースを示します。

表 73. システムメモリブートモードでの STM32F42xxx/43xxx の設定

| ブートローダ            | 機能/ペリフェラル | 状態         | コメント   |
|-------------------|-----------|------------|--|
| すべてのブートローダに<br>共通 | RCC       | HSI は有効です。 | システム・クロック周波数は 24 MHz です (PLL を使用)。<br>HSI クロック・ソースは、起動時 (インタフェース検出フェーズ) および USART または I2C インタフェースの選択時に使用されます (CAN または DFU ブートローダを選択すると、外部クリスタルからクロックソースが生成されます)。 |
|                   |           | HSE は有効です。 | システム・クロック周波数は 60 MHz です。<br>HSE クロックソースは、CAN または DFU (USB FS デバイス) インタフェースの選択時にのみ使用されます。<br>外部クロックは、1 MHz の倍数で、範囲が 4 MHz から 26 MHz の周波数を提供する必要があります。             |
|                   |           | -          | CAN および DFU ブートローダでは、クロックセキュリティシステム (CSS) 割込みが有効化されます。外部クロックの障害 (または除去) により、システムリセットが生成されます。   |
|                   | RAM       | -          | アドレス 0x20000000 から始まる 8 KB は、ブートローダのファームウェアによって使用されます。   |
|                   | システムメモリ   | -          | アドレス 0x1FFF0000 から始まる 29 KB に、ブートローダのファームウェアが含まれています。  |
|                   | IWDG      | -          | 独立型ウォッチドッグ (IWDG) プリスケアラは、最大値に設定されます。これは、定期的リフレッシュされ、ウォッチドッグがリセットされるのを防ぎます (ハードウェアの IWDG オプションがユーザによって事前に有効化されている場合)。  |
|                   | パワー       | -          | 電圧範囲が [1.62 V, 2.1 V] にセットされます。この範囲で、内部 Flash 書き込み操作はバイトフォーマットでのみ実行できます (ハーフワード、ワード、およびダブルワード操作は不可)。電圧範囲は、実行時間中にブートローダのコマンドを使用して設定できます。                          |

表 73. システムメモリブートモードでの STM32F42xxx/43xxx の設定 (続き)

| ブートローダ                         | 機能/ペリフェラル    | 状態    | コメント  |
|--------------------------------|--------------|-------|---|
| USART1 ブートローダ                  | USART1       | 有効    | 一度初期化されると、USART1 の設定は8 ビット、偶数パリティ、および 1 ストップビットになります。   |
|                                | USART1_RX ピン | 入力    | PA10 ピン: 受信モードの USART1。入力プルアップ・プルダウンなしモードで使用。   |
|                                | USART1_TX ピン | 出力    | PA9 ピン: 送信モードの USART1。入力プルアップ・プルダウンなしモードで使用。  |
| USART3 ブートローダ<br>(PB10/PB11 上) | USART3       | 有効    | 一度初期化されると、USART3 の設定は8 ビット、偶数パリティ、および 1 ストップビットになります。   |
|                                | USART3_RX ピン | 入力    | PB11 ピン: 受信モードの USART3。入力プルアップ・モードで使用。  |
|                                | USART3_TX ピン | 出力    | PB10 ピン: 送信モードの USART3。入力プルアップ・モードで使用。  |
| USART3 ブートローダ<br>(PC10/PC11 上) | USART3       | 有効    | 一度初期化されると、USART3 の設定は8 ビット、偶数パリティ、および 1 ストップビットになります。   |
|                                | USART3_RX ピン | 入力    | PC11 ピン: 受信モードの USART3。入力プルアップ・モードで使用。  |
|                                | USART3_TX ピン | 出力    | PC10 ピン: 送信モードの USART3。入力プルアップ・モードで使用。  |
| USARTx ブートローダ                  | SysTick タイマ  | 有効    | USARTx ブートローダのホストからシリアルポーレートが自動検出するために使用されます。   |
| CAN2 ブートローダ                    | CAN2         | 有効    | 一度初期化されると、CAN2 の設定はポーレート 125 kbps、11 ビット識別子になります。<br>注: CAN1 は CAN2 のブートローダの実行中にクロック供給されません。これは、CAN1 が CAN2 と SRAM の間の通信を管理しているためです。        |
|                                | CAN2_RX ピン   | 入力    | PB5 ピン: 受信モードの CAN2。オルタネート・プッシュプル・プルアップ・モードで使用。   |
|                                | CAN2_TX ピン   | 出力    | PB13 ピン: 送信モードの CAN2。オルタネート・プッシュプル・プルアップ・モードで使用。  |
| I2C1 ブートローダ                    | I2C1         | 有効    | I2C1 設定:<br>I <sup>2</sup> C スピード: 最大 400 kHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレス: 0b0111000x (ここで、書込みの場合 x=0、読出しの場合 x=1)。 |
|                                | I2C1_SCL ピン  | 入力/出力 | PB6 ピン: クロック・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。  |
|                                | I2C1_SDA ピン  | 入力/出力 | PB9 ピン: データ・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。   |

表 73. システムメモリブートモードでの STM32F42xxx/43xxx の設定 (続き)

| ブートローダ              | 機能/ペリフェラル | 状態    | コメント   |
|---------------------|-----------|-------|--|
| DFU ブートローダ          | USB       | 有効    | USB OTG FS は強制デバイスモードで設定されます。  |
|                     | USB_DM ピン | 入力/出力 | PA11 : USB DM ライン。オルタネート・プッシュプル、プルアップ・プルダウンなしモードで使用。                                 |
|                     | USB_DP ピン |       | PA12 : USB DP ライン。オルタネート・プッシュプル、プルアップ・プルダウンなしモードで使用。<br>外部プルアップ抵抗は不要です。              |
| CAN2 および DFU ブートローダ | TIM11     | 有効    | このタイマは、HSE の値を決定するために使用されます。HSE 周波数が決定されると、システムクロックは PLL と HSE を使用して 60 MHz に設定されます。 |

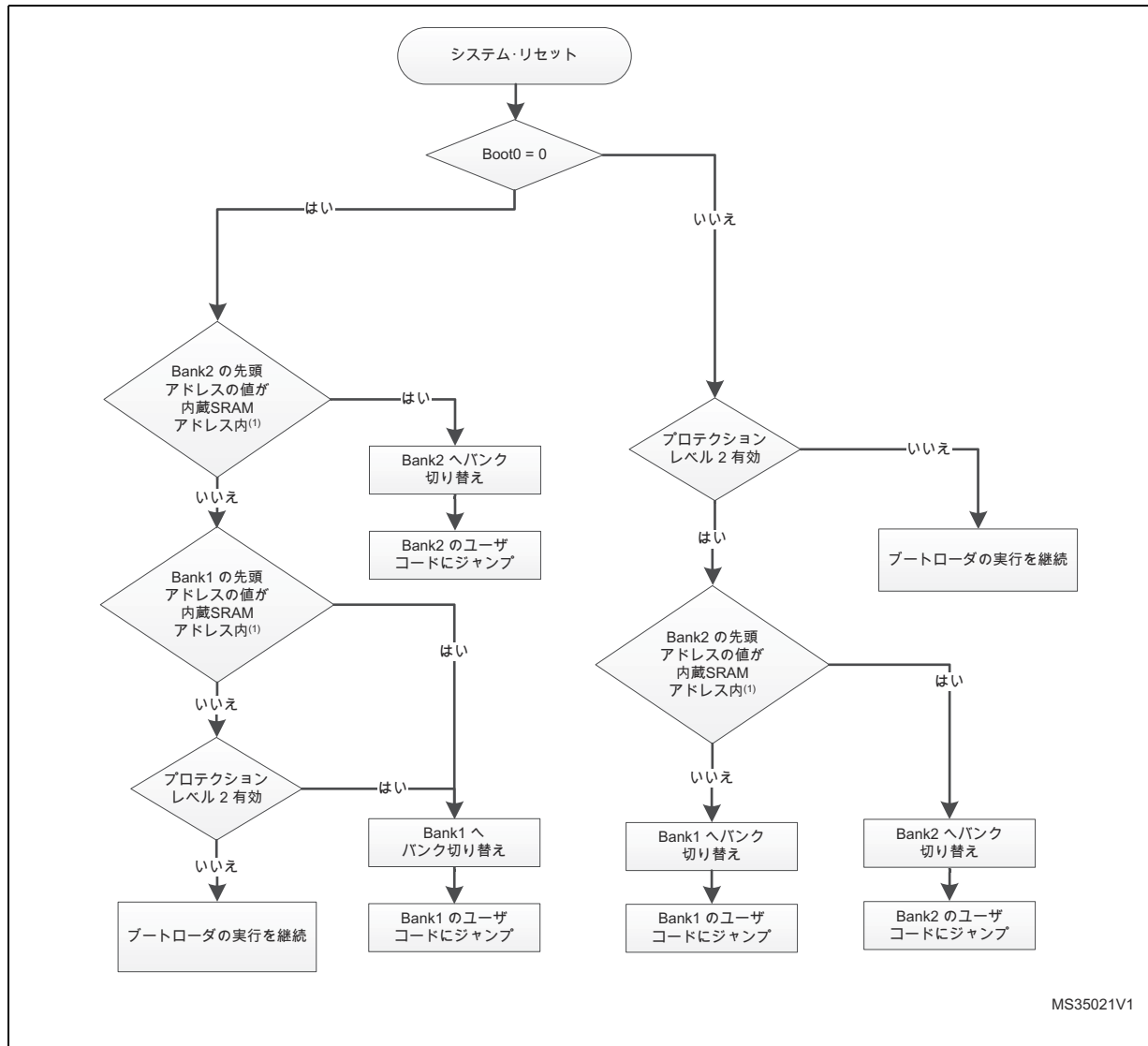
システムクロックは USARTx および I2Cx ブートローダ用の内蔵された内部ハイスピード RC から生成されます。この内部クロックは、CAN や DFU (USB FS デバイス) にも使用されますが、選択フェーズに限られます。選択フェーズ後に CAN および DFU ブートローダを実行するには、1 MHz の倍数 (4 から 26 MHz の間) の外部クロックが必要です。

**注 :** HSI には偏差があること、また HSE 値の検出に HSI が使用されていることから、HSE クリスタル値には高い周波数ではなく低い周波数を使用する必要があります (低周波数値はエラー・マージンが大きいことから検出が容易です)。たとえば、25 MHz よりも 8 MHz を使用する方が有利です。

### 35.1.2 ブートローダの選択

図 40 と図 41 に、ブートローダの選択メカニズムを示します。

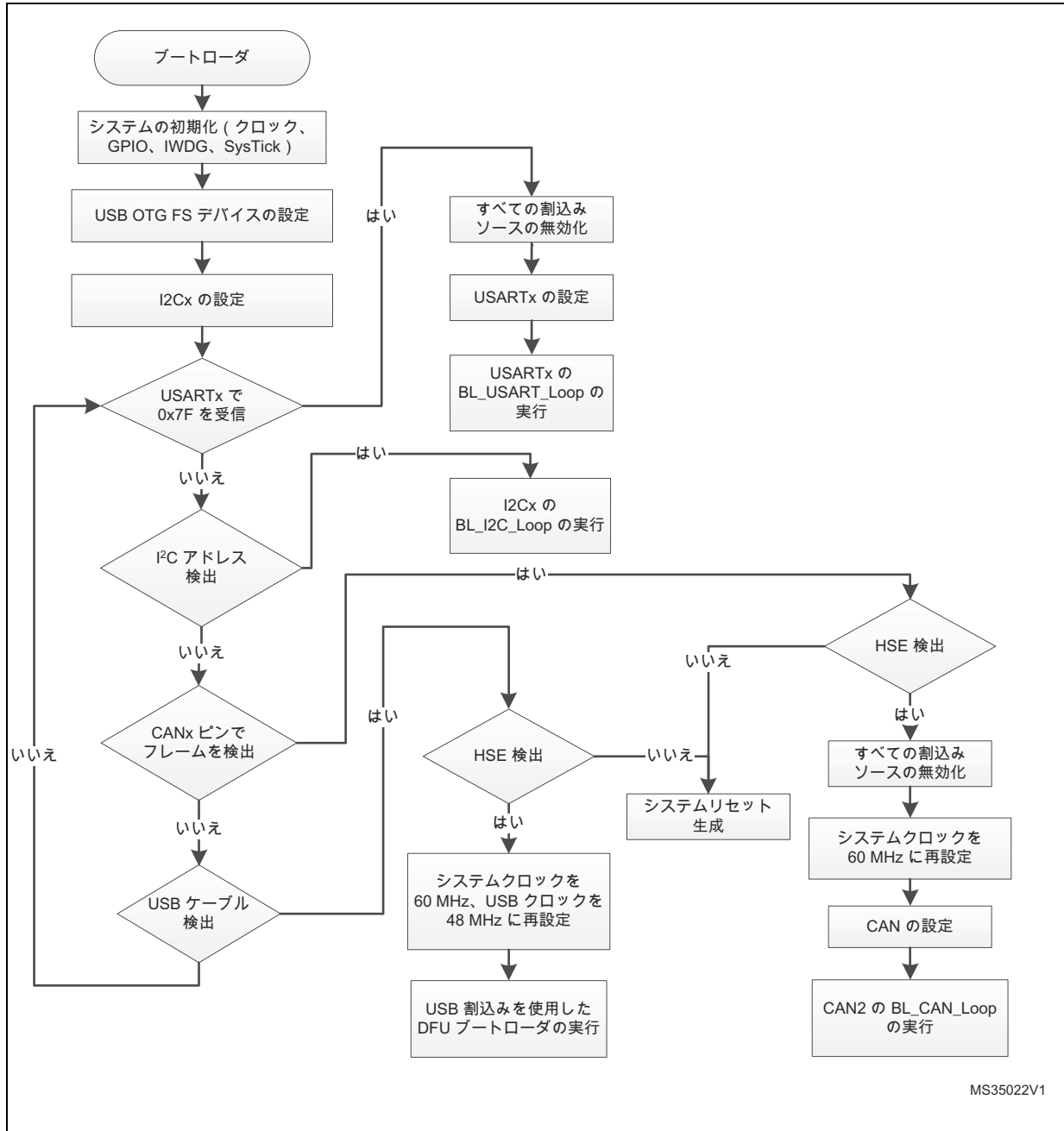
図 40. STM32F42xxx/43xxx ブートローダ V7.x のデュアル・バンク・ブート実装



MS35021V1

1. CCM RAM は、デュアル・バンク・ブート・メカニズムのスタック・ポインタのアドレスとして、有効とみなされません。

図 41. STM32F42xxx/43xxx のブートローダ V7.x の選択



### 35.1.3 ブートローダのバージョン

次の表に、STM32F42xxx/43xxx デバイスのブートローダのバージョン (V7.x) を示します。

表 74. STM32F42xxx/43xxx のブートローダのバージョン (V7.x)

| ブートローダのバージョン番号 | 説明             | 既知の制限  |
|----------------|----------------|--|
| V7.0           | ブートローダの初期バージョン | <p>CAN インタフェースでは、Write Unprotect コマンドは機能しません。書き込み保護を無効にするには、Write Memory コマンドを使用してオプションバイトに直接書き込みます。</p> <p>デュアル・バンク・モードの USB DFU インタフェースでは、消去操作は 2 番目のバンクでは機能しません。シングル・バンク・モードに戻って目的のセクタを消去し、その後デュアル・バンク・モードを再びアクティブにします。</p> <p>Go コマンド (ユーザ・コードへのジャンプ) の実行後、ブートローダでは AHB1ENR 値を 0x0000 0000 にリセットするため、CCM RAM (存在する場合) はアクティブではありません (起動時にユーザ・コードで再度有効化するものとします)。</p> |

## 35.2 ブートローダ V9.x

### 35.2.1 ブートローダの設定

STM32F42xxx/43xxx ブートローダは、パターン 5 を適用すると有効化されます (表 2: ブートローダの有効化パターンを参照)。次の表に、このブートローダが使用するハードウェア・リソースを示します。

表 75. システムメモリブートモードでの STM32F42xxx/43xxx の設定

| ブートローダ        | 機能/ペリフェラル    | 状態         | コメント  |
|---------------|--------------|------------|---|
| すべてのブートローダに共通 | RCC          | HSI は有効です。 | システム・クロック周波数は 60 MHz です (PLL を使用)。HSI クロック・ソースは、起動時 (インタフェース検出フェーズ) および USART、SPI、または I2C インタフェースの選択時に使用されます (CAN または DFU ブートローダを選択すると、外部クリスタルからクロック・ソースが生成されます)。 |
|               |              | HSE は有効です。 | システム・クロック周波数は 60 MHz です。HSE クロックソースは、CAN または DFU (USB FS デバイス) インタフェースの選択時にのみ使用されます。外部クロックは、1 MHz の倍数で、範囲が 4 MHz から 26 MHz の周波数を提供する必要があります。                      |
|               |              | -          | CAN および DFU ブートローダでは、クロックセキュリティシステム (CSS) 割込みが有効化されます。外部クロックの障害 (または除去) により、システムリセットが生成されます。  |
|               | RAM          | -          | アドレス 0x20000000 から始まる 12 KB は、ブートローダのファームウェアによって使用されます。   |
|               | システムメモリ      | -          | アドレス 0x1FFF0000 から始まる 29 KB に、ブートローダのファームウェアが含まれています。   |
|               | IWDG         | -          | 独立型ウォッチドッグ (IWDG) プリスケアラは、最大値に設定されます。これは、定期的によりフレッシュされ、ウォッチドッグがリセットされるのを防ぎます (ハードウェアの IWDG オプションがユーザによって事前に有効化されている場合)。   |
|               | パワー          | -          | 電圧範囲が [1.62 V、2.1 V] にセットされます。この範囲で、内部 Flash 書き込み操作はバイトフォーマットでのみ実行できます (ハーフワード、ワード、およびダブルワード操作は不可)。電圧範囲は、実行時間中にブートローダのコマンドを使用して設定できます。                            |
| USART1 ブートローダ | USART1       | 有効         | 一度初期化されると、USART1 の設定は 8 ビット、偶数パリティ、および 1 ストップ・ビットになります。   |
|               | USART1_RX ピン | 入力         | PA10 ピン: 受信モードの USART1。入力プルアップ・プルダウンなしモードで使用。   |
|               | USART1_TX ピン | 出力         | PA9 ピン: 送信モードの USART1。入力プルアップ・プルダウンなしモードで使用。  |

表 75. システムメモリブートモードでの STM32F42xxx/43xxx の設定 (続き)

| ブートローダ                         | 機能/ペリフェラル    | 状態    | コメント  |
|--------------------------------|--------------|-------|---|
| USART3 ブートローダ<br>(PB10/PB11 上) | USART3       | 有効    | 一度初期化されると、USART3 の設定は8 ビット、偶数パリティ、および1ストップ・ビットになります。  |
|                                | USART3_RX ピン | 入力    | PB11 ピン: 受信モードの USART3。入力プルアップ・モードで使用。  |
|                                | USART3_TX ピン | 出力    | PB10 ピン: 送信モードの USART3。入力プルアップ・モードで使用。  |
| USART3 ブートローダ<br>(PC10/PC11 上) | USART3       | 有効    | 一度初期化されると、USART3 の設定は8 ビット、偶数パリティ、および1ストップ・ビットになります。  |
|                                | USART3_RX ピン | 入力    | PC11 ピン: 受信モードの USART3。   |
|                                | USART3_TX ピン | 出力    | PC10 ピン: 送信モードの USART3。   |
| USARTx ブートローダ                  | SysTick タイマ  | 有効    | USARTx ブートローダのホストからシリアルボーレートを自動検出するために使用されます。   |
| CAN2 ブートローダ                    | CAN2         | 有効    | 一度初期化されると、CAN2 の設定はボーレート 125 kbps、11 ビット識別子になります。<br>注: CAN1 は CAN2 のブートローダの実行中にクロック供給されます。これは、CAN1 が CAN2 と SRAM の間の通信を管理しているためです。         |
|                                | CAN2_RX ピン   | 入力    | PB5 ピン: 受信モードの CAN2。オルタネート・プッシュプル、プルアップ・モードで使用。   |
|                                | CAN2_TX ピン   | 出力    | PB13 ピン: 送信モードの CAN2。オルタネート・プッシュプル、プルアップ・モードで使用。  |
| I2C1 ブートローダ                    | I2C1         | 有効    | I2C1 設定:<br>I <sup>2</sup> C スピード: 最大 400 kHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。7 ビット・スレーブ・アドレス: 0b0111000x (ここで、書込みの場合 x = 0、読出しの場合 x = 1)。 |
|                                | I2C1_SCL ピン  | 入力/出力 | PB6 ピン: クロックラインはオープンドレインモードで使用されます。   |
|                                | I2C1_SDA ピン  | 入力/出力 | PB9 ピン: データラインはオープンドレインモードで使用されます。  |
| I2C2 ブートローダ                    | I2C2         | 有効    | I2C2 設定:<br>I <sup>2</sup> C スピード: 最大 400 kHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。7 ビット・スレーブ・アドレス: 0b0111000x (ここで、書込みの場合 x = 0、読出しの場合 x = 1)。 |
|                                | I2C2_SCL ピン  | 入力/出力 | PF1 ピン: クロックラインはオープンドレインモードで使用されます。   |
|                                | I2C2_SDA ピン  | 入力/出力 | PF0 ピン: データラインはオープンドレインモードで使用されます。  |



表 75. システムメモリブートモードでの STM32F42xxx/43xxx の設定 (続き)

| ブートローダ      | 機能/ペリフェラル    | 状態    | コメント  |
|-------------|--------------|-------|---|
| I2C3 ブートローダ | I2C3         | 有効    | I2C3 設定 :<br>I <sup>2</sup> C スピード : 最大 400 kHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。7 ビット・スレーブ・アドレス : 0b0111000x (ここで、書き込みの場合 x = 0、読出しの場合 x = 1)。 |
|             | I2C3_SCL ピン  | 入力/出力 | PA8 ピン : クロックラインはオープンドレインモードで使用されます。  |
|             | I2C3_SDA ピン  | 入力/出力 | PC9 ピン : データラインはオープンドレインモードで使用されます。   |
| SPI1 ブートローダ | SPI1         | 有効    | SPI1 設定 :<br>スレーブモード、全二重、8 ビット MSB、最大 8 MHz の速度、極性 : CPOL ロー、CPHA ロー、NSS ハードウェア。  |
|             | SPI1_MOSI ピン | 入力    | PA7 ピン : スレーブ・データ入力ライン (プッシュプル、プルダウンモードで使用)   |
|             | SPI1_MISO ピン | 出力    | PA6 ピン : スレーブ・データ出力ライン (プッシュプル、プルダウンモードで使用)   |
|             | SPI1_SCK ピン  | 入力    | PA5 ピン : スレーブ・クロック・ライン (プッシュプル、プルダウンモードで使用)   |
|             | SPI1_NSS ピン  | 入力    | PA4 ピン : スレーブ・チップ選択ピン (プッシュプル、プルダウンモードで使用)  |
| SPI2 ブートローダ | SPI2         | 有効    | SPI2 設定 :<br>スレーブモード、全二重、8 ビット MSB、最大 8 MHz の速度、極性 : CPOL ロー、CPHA ロー、NSS ハードウェア。  |
|             | SPI2_MOSI ピン | 入力    | PI3 ピン : スレーブ・データ入力ライン (プッシュプル、プルダウンモードで使用)   |
|             | SPI2_MISO ピン | 出力    | PI2 ピン : スレーブ・データ出力ライン (プッシュプル、プルダウンモードで使用)   |
|             | SPI2_SCK ピン  | 入力    | PI1 ピン : スレーブ・クロック・ライン (プッシュプル、プルダウンモードで使用)   |
|             | SPI2_NSS ピン  | 入力    | PI0 ピン : スレーブ・チップ選択ピン (プッシュプル、プルダウンモードで使用)  |
| SPI4 ブートローダ | SPI4         | 有効    | SPI4 設定 :<br>スレーブモード、全二重、8 ビット MSB、最大 8 MHz の速度、極性 : CPOL ロー、CPHA ロー、NSS ハードウェア。  |
|             | SPI4_MOSI ピン | 入力    | PE14 ピン : スレーブ・データ入力ライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI4_MISO ピン | 出力    | PE13 ピン : スレーブ・データ出力ライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI4_SCK ピン  | 入力    | PE12 ピン : スレーブ・クロック・ライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI4_NSS ピン  | 入力    | PE11 ピン : スレーブ・チップ選択ピン (プッシュプル、プルダウンモードで使用)   |

表 75. システムメモリブートモードでの STM32F42xxx/43xxx の設定 (続き)

| ブートローダ              | 機能/ペリフェラル | 状態    | コメント   |
|---------------------|-----------|-------|--|
| DFU ブートローダ          | USB       | 有効    | USB OTG FS は強制デバイスモードで設定されます。  |
|                     | USB_DM ピン | 入力/出力 | PA11 : USB DM ライン。オルタネート・プッシュプル、プルアップ・プルダウンなしモードで使用。                                 |
|                     | USB_DP ピン |       | PA12 : USB DP ライン。オルタネート・プッシュプル、プルアップ・プルダウンなしモードで使用。<br>外部プルアップ抵抗は不要です。              |
| CAN2 および DFU ブートローダ | TIM11     | 有効    | このタイマは、HSE の値を決定するために使用されます。HSE 周波数が決定されると、システムクロックは PLL と HSE を使用して 60 MHz に設定されます。 |

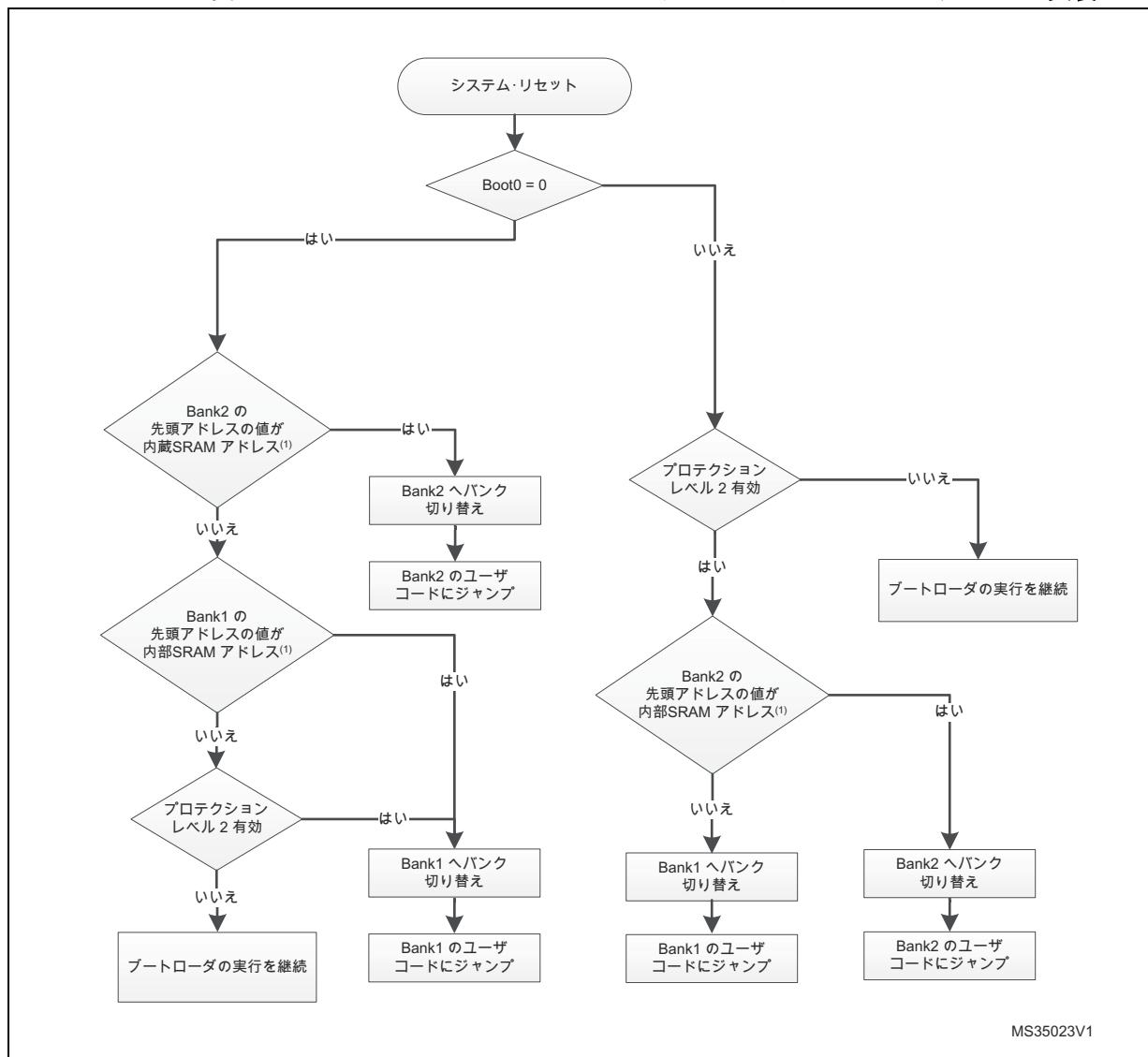
システムクロックは USARTx、I2Cx、および SPIx ブートローダ用の内蔵された内部ハイスピード RC から生成されます。この内部クロックは、CAN や DFU (USB FS デバイス) にも使用されますが、選択フェーズに限られます。選択フェーズ後に CAN および DFU ブートローダを実行するには、1 MHz の倍数 (4 から 26 MHz の間) の外部クロックが必要です。

**注 :** HSI には偏差があること、また HSE 値の検出に HSI が使用されていることから、HSE クリスタル値には高い周波数ではなく低い周波数を使用する必要があります (低周波数値はエラー・マージンが大きいことから検出が容易です)。たとえば、25 MHz よりも 8 MHz を使用する方が有利です。

### 35.2.2 ブートローダの選択

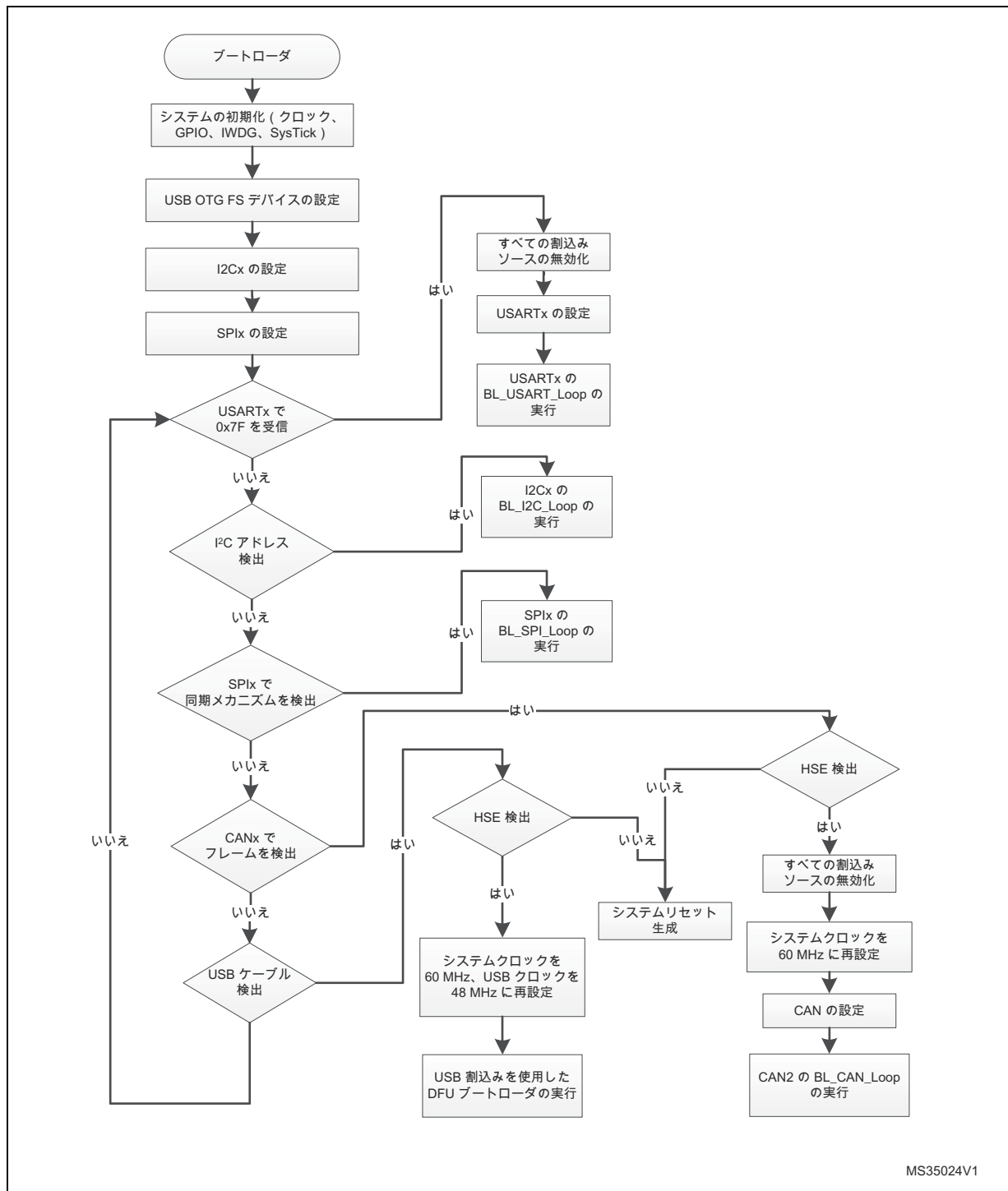
図 42 と図 43 に、ブートローダの選択メカニズムを示します。

図 42. STM32F42xxx/43xxx ブートローダ V9.x のデュアル・バンク・ブート実装



1. CCM RAM は、デュアル・バンク・ブート・メカニズムのスタック・ポインタのアドレスとして、有効とみなされません。

図 43. STM32F42xxx/43xxx のブートローダ V9.x の選択



MS35024V1

### 35.2.3 ブートローダのバージョン

表 76 に、STM32F42xxx/43xxx デバイスのブートローダのバージョン (V9.x) を示します。

表 76. STM32F42xxx/43xxx のブートローダのバージョン (V9.x)

| ブートローダのバージョン番号 | 説明  | 既知の制限   |
|----------------|---|---|
| V9.0           | このブートローダは、ブートローダ v7.0 の更新バージョンです。<br>このブートローダの新しいバージョンでは、I2C2、I2C3、SPI1、SPI2、および SPI4 インタフェースをサポートしています。<br>このブートローダで使用する RAM は、8 KB から 12 KB に増強されています。<br>このブートローダの ID は 0x90 です。<br>接続時間が増加されました。                      | デュアルバンクモードの USB DFU インタフェースでは、消去操作は 2 番目のバンクでは機能しません。シングルバンクモードに戻って目的のセクタを消去し、その後デュアルバンクモードを再びアクティブにします。<br>Go コマンド (ユーザコードへのジャンプ) の実行後、ブートローダでは AHB1ENR 値を 0x0000 0000 にリセットするため、CCM RAM (存在する場合は) アクティブではありません (起動時にユーザコードで再度有効化するものとします)。  |
| V9.1           | このブートローダは、ブートローダ v9.0 の更新バージョンです。この新しいバージョンは、新しい I2C のストレッチなしコマンド (I2C プロトコル v1.1) と、すべてのプロトコル (USB、USART、CAN、I2C、および SPI) に対する Readout Unprotect コマンドによって RDP1 が有効化された場合に、PCROP を無効化する機能を実装しています。このブートローダの ID は 0x91 です。 | CAN インタフェースでは、Write Unprotect コマンドは機能しません。書き込み保護を無効にするには、Write Memory コマンドを使用してオプションバイトに直接書き込みます。<br>デュアルバンクモードの USB DFU インタフェースでは、消去操作は 2 番目のバンクでは機能しません。シングルバンクモードに戻って目的のセクタを消去し、その後デュアルバンクモードを再びアクティブにします。<br>Go コマンド (ユーザコードへのジャンプ) の実行後、ブートローダでは AHB1ENR 値を 0x0000 0000 にリセットするため、CCM RAM (存在する場合は) アクティブではありません (起動時にユーザコードで再度有効化するものとします)。 |

## 36 STM32F446xx デバイスのブートローダ

### 36.1 ブートローダの設定

STM32F446xx ブートローダは、パターン 1 を適用すると有効化されます（表 2：ブートローダの有効化パターンを参照）。次の表に、このブートローダが使用するハードウェア・リソースを示します。

表 77. システムメモリブートモードでの STM32F446xx の設定

| ブートローダ            | 機能/ペリフェラル    | 状態  | コメント   |
|-------------------|--------------|---|--|
| すべてのブートローダに<br>共通 | RCC          | HSI は有効です。  | HSI は、60 MHz に設定されたシステム・クロックのクロック・ソースとして、また USART、I2C、および SPI のブートローダ動作のクロック・ソースとして起動時に使用されます。   |
|                   |              | HSE は有効です。  | HSE は、CAN または DFU (USB FS デバイス) インタフェースの選択時にのみ使用されます。この場合、システムクロックは 60 MHz で、クロックソースは HSE です。<br>HSE 周波数は、1 MHz の倍数で、範囲が 4 MHz から 26 MHz である必要があります。 |
|                   |              | -   | CAN および DFU ブートローダでは、クロックセキュリティシステム (CSS) 割込みが有効化されます。外部クロックの障害（または除去）により、システムリセットが生成されます。   |
|                   | RAM          | -   | アドレス 0x20000000 から始まる 12 KB は、ブートローダのファームウェアによって使用されます。  |
|                   | システムメモリ      | -   | アドレス 0x1FFF0000 から始まる 29 KB に、ブートローダのファームウェアが含まれています。  |
|                   | IWDG         | -   | 独立型ウォッチドッグ (IWDG) プリスケアラは、最大値に設定されます。これは、定期的によりフレッシュされ、ウォッチドッグがリセットされるのを防ぎます（ハードウェアの IWDG オプションがユーザによって事前に有効化されている場合）。                               |
| パワー               | -            | 電圧範囲は [1.71 V、3.6 V] です。<br>この範囲では：<br>- Flash ウェイト・ステート：3<br>- システムクロック：60 MHz<br>- プリフェッチ：無効<br>- バイト単位の Flash 書き込み操作（詳細については、ブートローダのメモリ管理セクションを参照） |  |
| USART1 ブートローダ     | USART1       | 有効  | 一度初期化されると、USART1 の設定は 8 ビット、偶数パリティ、および 1 ストップ・ビットになります。  |
|                   | USART1_RX ピン | 入力  | PA10 ピン：受信モードの USART1。入力プルアップ・プルダウンなしモードで使用。   |
|                   | USART1_TX ピン | 出力  | PA9 ピン：送信モードの USART1。入力プルアップ・プルダウンなしモードで使用。  |

表 77. システムメモリブートモードでの STM32F446xx の設定 (続き)

| ブートローダ                         | 機能/ペリフェラル    | 状態    | コメント   |
|--------------------------------|--------------|-------|--|
| USART3 ブートローダ<br>(PB10/PB11 上) | USART3       | 有効    | 一度初期化されると、USART3 の設定は8 ビット、偶数パリティ、および 1 ストップ・ビットになります。   |
|                                | USART3_RX ピン | 入力    | PB11 ピン : 受信モードの USART3。入力プルアップ・モードで使用。  |
|                                | USART3_TX ピン | 出力    | PB10 ピン : 送信モードの USART3。入力プルアップ・モードで使用。  |
| USART3 ブートローダ<br>(PC10/PC11 上) | USART3       | 有効    | 一度初期化されると、USART3 の設定は8 ビット、偶数パリティ、および 1 ストップ・ビットになります。   |
|                                | USART3_RX ピン | 入力    | PC11 ピン : 受信モードの USART3。入力プルアップ・モードで使用   |
|                                | USART3_TX ピン | 出力    | PC10 ピン : 送信モードの USART3。入力プルアップ・モードで使用。  |
| USARTx ブートローダ                  | SysTick タイマ  | 有効    | USARTx ブートローダのホストからシリアルボーレートを自動検出するために使用されます。  |
| CAN2 ブートローダ                    | CAN2         | 有効    | 一度初期化されると、CAN2 の設定はボーレート 125 kbps、11 ビット識別子になります。<br><b>注 :</b> CAN1 は CAN2 のブートローダの実行中にクロック供給されます。これは、CAN1 が CAN2 と SRAM の間の通信を管理しているためです。          |
|                                | CAN2_RX ピン   | 入力    | PB5 ピン : 受信モードの CAN2。オルタネート・プッシュプル、プルアップ・モードで使用。   |
|                                | CAN2_TX ピン   | 出力    | PB13 ピン : 送信モードの CAN2。オルタネート・プッシュプル、プルアップ・モードで使用。  |
| I2C1 ブートローダ                    | I2C1         | 有効    | I2C1 設定 :<br>I <sup>2</sup> C スピード : 最大 400 kHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレス : 0b0111100x<br>(ここで、書込みの場合 x = 0、読出しの場合 x = 1) |
|                                | I2C1_SCL ピン  | 入力/出力 | PB6 ピン : クロック・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。  |
|                                | I2C1_SDA ピン  | 入力/出力 | PB9 ピン : データ・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。   |
| I2C2 ブートローダ                    | I2C2         | 有効    | I2C2 設定 :<br>I <sup>2</sup> C スピード : 最大 400 kHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレス : 0b0111100x<br>(ここで、書込みの場合 x = 0、読出しの場合 x = 1) |
|                                | I2C2_SCL ピン  | 入力/出力 | PF1 ピン : クロック・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。  |
|                                | I2C2_SDA ピン  | 入力/出力 | PF0 ピン : データ・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。   |

表 77. システムメモリブートモードでの STM32F446xx の設定 (続き)

| ブートローダ      | 機能/ペリフェラル    | 状態    | コメント   |
|-------------|--------------|-------|--|
| I2C3 ブートローダ | I2C3         | 有効    | I2C3 設定 :<br>I <sup>2</sup> C スピード : 最大 400 kHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレス : 0b0111100x<br>(ここで、書込みの場合 x=0、読出しの場合 x=1) |
|             | I2C3_SCL ピン  | 入力/出力 | PA8 ピン : クロック・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。  |
|             | I2C3_SDA ピン  | 入力/出力 | PC9 ピン : データ・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。   |
| SPI1 ブートローダ | SPI1         | 有効    | SPI1 設定 :<br>スレーブモード、全二重、8 ビット MSB、最大 8 MHz の速度、極性 : CPOL ロー、CPHA ロー、NSS ハードウェア。   |
|             | SPI1_MOSI ピン | 入力    | PA7 ピン : スレーブ・データ入力ライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI1_MISO ピン | 出力    | PA6 ピン : スレーブ・データ出力ライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI1_SCK ピン  | 入力    | PA5 ピン : スレーブ・クロック・ライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI1_NSS ピン  | 入力    | PA4 ピン : スレーブ・チップ選択ピン (プッシュプル、プルダウンモードで使用)   |
| SPI2 ブートローダ | SPI2         | 有効    | SPI2 設定 :<br>スレーブモード、全二重、8 ビット MSB、最大 8 MHz の速度、極性 : CPOL ロー、CPHA ロー、NSS ハードウェア。   |
|             | SPI2_MOSI ピン | 入力    | PB15 ピン : スレーブ・データ入力ライン (プッシュプル、プルダウンモードで使用)   |
|             | SPI2_MISO ピン | 出力    | PB14 ピン : スレーブ・データ出力ライン (プッシュプル、プルダウンモードで使用)   |
|             | SPI2_SCK ピン  | 入力    | PC7 ピン : スレーブ・クロック・ライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI2_NSS ピン  | 入力    | PB12 ピン : スレーブ・チップ選択ピン (プッシュプル、プルダウンモードで使用)  |



表 77. システムメモリブートモードでの STM32F446xx の設定 (続き)

| ブートローダ              | 機能/ペリフェラル              | 状態    | コメント  |
|---------------------|------------------------|-------|---|
| SPI4 ブートローダ         | SPI4                   | 有効    | SPI4 設定 :<br>スレーブモード、全二重、8 ビット MSB、最大 8 MHz の速度、極性 : CPOL ロー、CPHA ロー、NSS ハードウェア。  |
|                     | SPI4_MOSI ピン           | 入力    | PE14 ピン : スレーブ・データ入力ライン (プッシュプル、プルダウンモードで使用)  |
|                     | SPI4_MISO ピン           | 出力    | PE13 ピン : スレーブ・データ出力ライン (プッシュプル、プルダウンモードで使用)  |
|                     | SPI4_SCK ピン            | 入力    | PE12 ピン : スレーブ・クロック・ライン (プッシュプル、プルダウンモードで使用)  |
|                     | SPI4_NSS ピン            | 入力    | PE11 ピン : スレーブ・チップ選択ピン (プッシュプル、プルダウンモードで使用)   |
| DFU ブートローダ          | USB                    | 有効    | USB OTG FS は強制デバイスモードで設定されます。   |
|                     | USB_DM ピン<br>USB_DP ピン | 入力/出力 | PA11 : USB DM ライン。オルタネート・プッシュプル、プルアップ・プルダウンなしモードで使用。<br>PA12 : USB DP ライン。オルタネート・プッシュプル、プルアップ・プルダウンなしモードで使用。<br>外部プルアップ抵抗は不要です。 |
| CAN2 および DFU ブートローダ | TIM17                  | 有効    | このタイマは、HSE の値を決定するために使用されます。HSE 周波数が決定されると、システムクロックは PLL と HSE を使用して 60 MHz に設定されます。  |

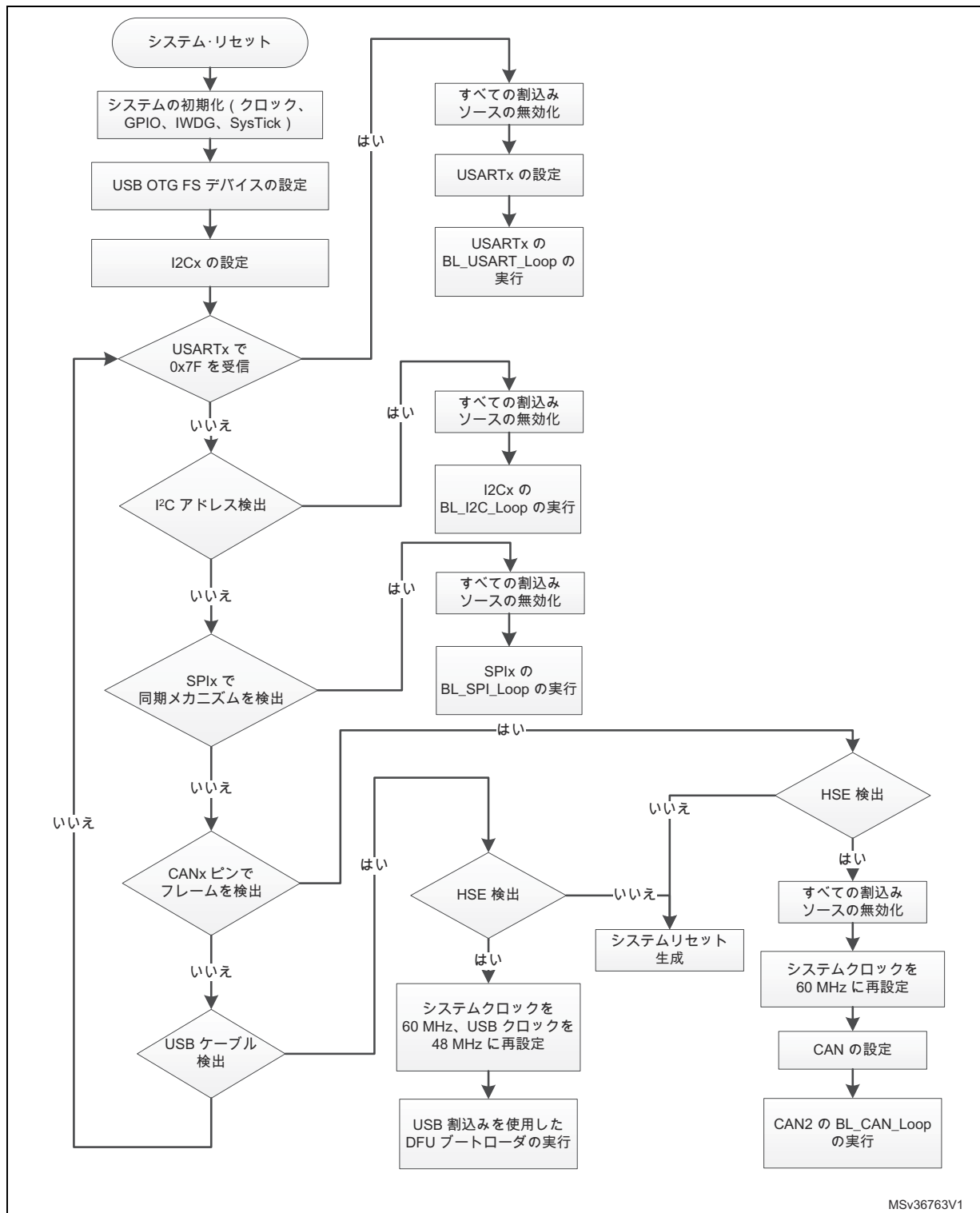
システムクロックは USARTx および I2Cx ブートローダ用の内蔵された内部ハイスピード RC から生成されます。この内部クロックは、CAN や DFU (USB FS デバイス) にも使用されますが、選択フェーズに限られます。選択フェーズ後に CAN および DFU ブートローダを実行するには、1 MHz の倍数 (4 から 26 MHz の間) の外部クロックが必要です。

**注 :** HSI には偏差があること、また HSE 値の検出に HSI が使用されていることから、HSE クリスタル値には高い周波数ではなく低い周波数を使用する必要があります (低周波数値はエラー・マージンが大きいことから検出が容易です)。たとえば、25 MHz よりも 8 MHz を使用する方が有利です。

### 36.2 ブートローダの選択

次の図に、ブートローダの選択メカニズムを示します。

図 44. STM32F446xx のブートローダ V9.x の選択



MSv36763V1

### 36.3 ブートローダのバージョン

次の表に、STM32F446xx デバイスのブートローダのバージョン (V9.x) を示します。

表 78. STM32F446xx のブートローダのバージョン (V9.x)

| ブートローダのバージョン番号 | 説明             | 既知の制限  |
|----------------|----------------|--|
| V9.0           | ブートローダの初期バージョン | Go コマンド (ユーザ・コードへのジャンプ) の実行後、ブートローダでは AHB1ENR 値を 0x0000 0000 にリセットするため、CCM RAM (存在する場合) はアクティブではありません (起動時にユーザ・コードで再度有効化するものとします)。 |

## 37 STM32F469xx/479xx デバイスのブートローダ

### 37.1 ブートローダの設定

STM32F469xx/479xx ブートローダは、パターン 5 を適用すると有効化されます (表 2: ブートローダの有効化パターンを参照)。表 79 に、このブートローダが使用するハードウェア・リソースを示します。

表 79. システム・メモリ・ブート・モードでの STM32F469xx/479xx の設定

| ブートローダ            | 機能/ペリフェラル | 状態         | コメント   |
|-------------------|-----------|------------|--|
| すべてのブートローダに<br>共通 | RCC       | HSI は有効です。 | システム・クロック周波数は 60 MHz です (PLL を使用)。<br>HSI クロック・ソースは、起動時 (インタフェース検出フェーズ) および USART、SPI、または I <sup>2</sup> C インタフェースの選択時に使用されます (CAN または DFU ブートローダを選択すると、外部クリスタルからクロック・ソースが生成されます)。 |
|                   |           | HSE は有効です。 | システム・クロック周波数は 60 MHz です。<br>HSE クロックソースは、CAN または DFU (USB FS デバイス) インタフェースの選択時にのみ使用されます。<br>外部クロックは、1 MHz の倍数で、範囲が 4 MHz から 26 MHz の周波数を提供する必要があります。                               |
|                   |           | -          | CAN および DFU ブートローダでは、クロックセキュリティシステム (CSS) 割込みが有効化されます。外部クロックの障害 (または除去) により、システムリセットが生成されます。   |
|                   | RAM       | -          | アドレス 0x20000000 から始まる 12 KB は、ブートローダのファームウェアによって使用されます。  |
|                   | システムメモリ   | -          | アドレス 0x1FFF0000 から始まる 29 KB に、ブートローダのファームウェアが含まれています。  |
|                   | IWDG      | -          | 独立型ウォッチドッグ (IWDG) プリスケアラは、最大値に設定されます。これは、定期的リフレッシュされ、ウォッチドッグがリセットされるのを防ぎます (ハードウェアの IWDG オプションがユーザによって事前に有効化されている場合)。  |
|                   | パワー       | -          | 電圧範囲が [1.62 V、2.1 V] にセットされます。この範囲で、内部 Flash 書込み操作はバイトフォーマットでのみ実行できます (ハーフワード、ワード、およびダブルワード操作は不可)。電圧範囲は、実行時間中にブートローダのコマンドを使用して設定できます。  |

表 79. システム・メモリ・ブート・モードでの STM32F469xx/479xx の設定 (続き)

| ブートローダ                         | 機能/ペリフェラル    | 状態    | コメント  |
|--------------------------------|--------------|-------|---|
| USART1 ブートローダ                  | USART1       | 有効    | 一度初期化されると、USART1 の設定は8 ビット、偶数パリティ、および 1 ストップ・ビットになります。  |
|                                | USART1_RX ピン | 入力    | PA10 ピン：受信モードの USART1。入力プルアップ・プルダウンなしモードで使用。  |
|                                | USART1_TX ピン | 出力    | PA9 ピン：送信モードの USART1。入力プルアップ・プルダウンなしモードで使用。   |
| USART3 ブートローダ<br>(PB10/PB11 上) | USART3       | 有効    | 一度初期化されると、USART3 の設定は8 ビット、偶数パリティ、および 1 ストップ・ビットになります。  |
|                                | USART3_RX ピン | 入力    | PB11 ピン：受信モードの USART3。  |
|                                | USART3_TX ピン | 出力    | PB10 ピン：送信モードの USART3。入力プルアップ・モードで使用。   |
| USART3 ブートローダ<br>(PC10/PC11 上) | USART3       | 有効    | 一度初期化されると、USART3 の設定は8 ビット、偶数パリティ、および 1 ストップ・ビットになります。  |
|                                | USART3_RX ピン | 入力    | PC11 ピン：受信モードの USART3。入力プルアップ・モードで使用。   |
|                                | USART3_TX ピン | 出力    | PC10 ピン：送信モードの USART3。入力プルアップ・モードで使用。   |
| USARTx ブートローダ                  | SysTick タイマ  | 有効    | USARTx ブートローダのホストからシリアルポーラリティを自動検出するために使用されます。  |
| CAN2 ブートローダ                    | CAN2         | 有効    | 一度初期化されると、CAN2 の設定はポーレート 125 kbps、11 ビット識別子になります。<br>注：CAN1 は CAN2 のブートローダの実行中にクロック供給されます。これは、CAN1 が CAN2 と SRAM の間の通信を管理しているためです。            |
|                                | CAN2_RX ピン   | 入力    | PB05 ピン：受信モードの CAN2。オルタネート・プッシュプル、プルアップ・モードで使用。   |
|                                | CAN2_TX ピン   | 出力    | PB13 ピン：送信モードの CAN2。オルタネート・プッシュプル、プルアップ・モードで使用。   |
| I2C1 ブートローダ                    | I2C1         | 有効    | I2C1 設定：<br>I <sup>2</sup> C スピード：最大 400 kHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレス：0b1000100x (ここで、書込みの場合 x = 0、読出しの場合 x = 1)。 |
|                                | I2C1_SCL ピン  | 入力/出力 | PB6 ピン：クロック・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。   |
|                                | I2C1_SDA ピン  | 入力/出力 | PB9 ピン：データ・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。  |

表 79. システム・メモリ・ブート・モードでの STM32F469xx/479xx の設定 (続き)

| ブートローダ      | 機能/ペリフェラル    | 状態    | コメント   |
|-------------|--------------|-------|--|
| I2C2 ブートローダ | I2C2         | 有効    | I2C2 設定 :<br>I <sup>2</sup> C スピード : 最大 400 kHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレス : 0b1000100x (ここで、書込みの場合 x = 0、読出しの場合 x = 1)。 |
|             | I2C2_SCL ピン  | 入力/出力 | PF0 ピン : クロック・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。  |
|             | I2C2_SDA ピン  | 入力/出力 | PF1 ピン : データ・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。   |
| I2C3 ブートローダ | I2C3         | 有効    | I2C3 設定 :<br>I <sup>2</sup> C スピード : 最大 400 kHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレス : 0b1000100x (ここで、書込みの場合 x = 0、読出しの場合 x = 1)。 |
|             | I2C3_SCL ピン  | 入力/出力 | PA8 ピン : クロック・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。  |
|             | I2C3_SDA ピン  | 入力/出力 | PC9 ピン : データ・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。   |
| SPI1 ブートローダ | SPI1         | 有効    | SPI1 設定 :<br>スレーブモード、全二重、8 ビット MSB、最大 8 MHz の速度、極性 : CPOL ロー、CPHA ロー、NSS ハードウェア。   |
|             | SPI1_MOSI ピン | 入力    | PA7 ピン : スレーブ・データ入力ライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI1_MISO ピン | 出力    | PA6 ピン : スレーブ・データ出力ライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI1_SCK ピン  | 入力    | PA5 ピン : スレーブ・クロック・ライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI1_NSS ピン  | 入力    | PA4 ピン : スレーブ・チップ選択ピン (プッシュプル、プルダウンモードで使用)   |
| SPI2 ブートローダ | SPI2         | 有効    | SPI2 設定 :<br>スレーブモード、全二重、8 ビット MSB、最大 8 MHz の速度、極性 : CPOL ロー、CPHA ロー、NSS ハードウェア。   |
|             | SPI2_MOSI ピン | 入力    | PI3 ピン : スレーブ・データ入力ライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI2_MISO ピン | 出力    | PI2 ピン : スレーブ・データ出力ライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI2_SCK ピン  | 入力    | PI1pin : スレーブ・クロック・ライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI2_NSS ピン  | 入力    | PI0 ピン : スレーブ・チップ選択ピン (プッシュプル、プルダウンモードで使用)   |

表 79. システム・メモリ・ブート・モードでの STM32F469xx/479xx の設定 (続き)

| ブートローダ      | 機能/ペリフェラル    | 状態    | コメント   |
|-------------|--------------|-------|--|
| SPI4 ブートローダ | SPI4         | 有効    | SPI4 設定 :<br>スレープモード、全二重、8 ビット MSB、最大 8 MHz の速度、極性 : CPOL ロー、CPHA ロー、NSS ハードウェア。 |
|             | SPI4_MOSI ピン | 入力    | PE14 ピン : スレープ・データ入力ライン (プッシュプル、プルダウンモードで使用)                                     |
|             | SPI4_MISO ピン | 出力    | PE13 ピン : スレープ・データ出力ライン (プッシュプル、プルダウンモードで使用)                                     |
|             | SP4_SCK ピン   | 入力    | PE12 ピン : スレープ・クロック・ライン (プッシュプル、プルダウンモードで使用)                                     |
|             | SPI4_NSS ピン  | 入力    | PE11 ピン : スレープ・チップ選択ピン (プッシュプル、プルダウンモードで使用)                                      |
| DFU ブートローダ  | USB          | 有効    | USB OTG FS は強制デバイスモードで設定されます。USB_OTG_FS 割込みベクタが有効化され、USB DFU 通信に使用されます。          |
|             | USB_DM ピン    | 入力/出力 | PA11 ピン : USB DM ライン。オルタネート・プッシュプル、プルアップ・プルダウンなしモードで使用。                          |
|             | USB_DP ピン    |       | PA12 ピン : USB DP ライン。オルタネート・プッシュプル、プルアップ・プルダウンなしモードで使用。<br>外部プルアップ抵抗は不要です。       |

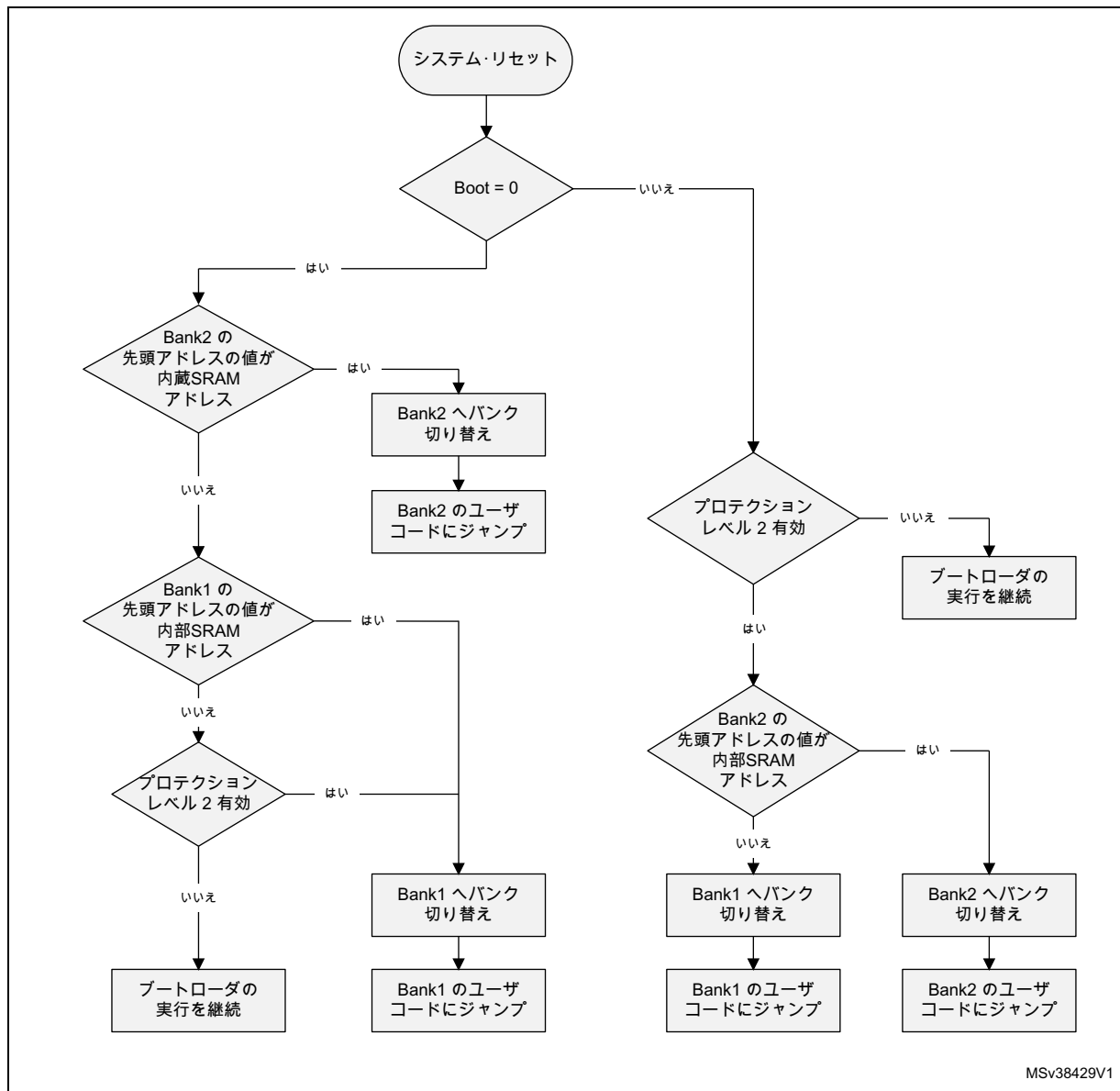
システムクロックは USARTx および I2Cx ブートローダ用の内蔵された内部ハイスピード RC から生成されます。この内部クロックは、CAN や DFU (USB FS デバイス) にも使用されますが、選択フェーズに限られます。選択フェーズ後に CAN および DFU ブートローダを実行するには、1 MHz の倍数 (4 から 48 MHz の間) の外部クロックが必要です。

**注 :** HSI には偏差があること、また HSE 値の検出に HSI が使用されていることから、HSE クリスタル値には高い周波数ではなく低い周波数を使用する必要があります (低周波数値はエラー・マージンが大きいことから検出が容易です)。たとえば、25 MHz よりも 8 MHz を使用の方が有利です。

### 37.2 ブートローダの選択

図 45 と 図 46 に、ブートローダの選択メカニズムを示します。

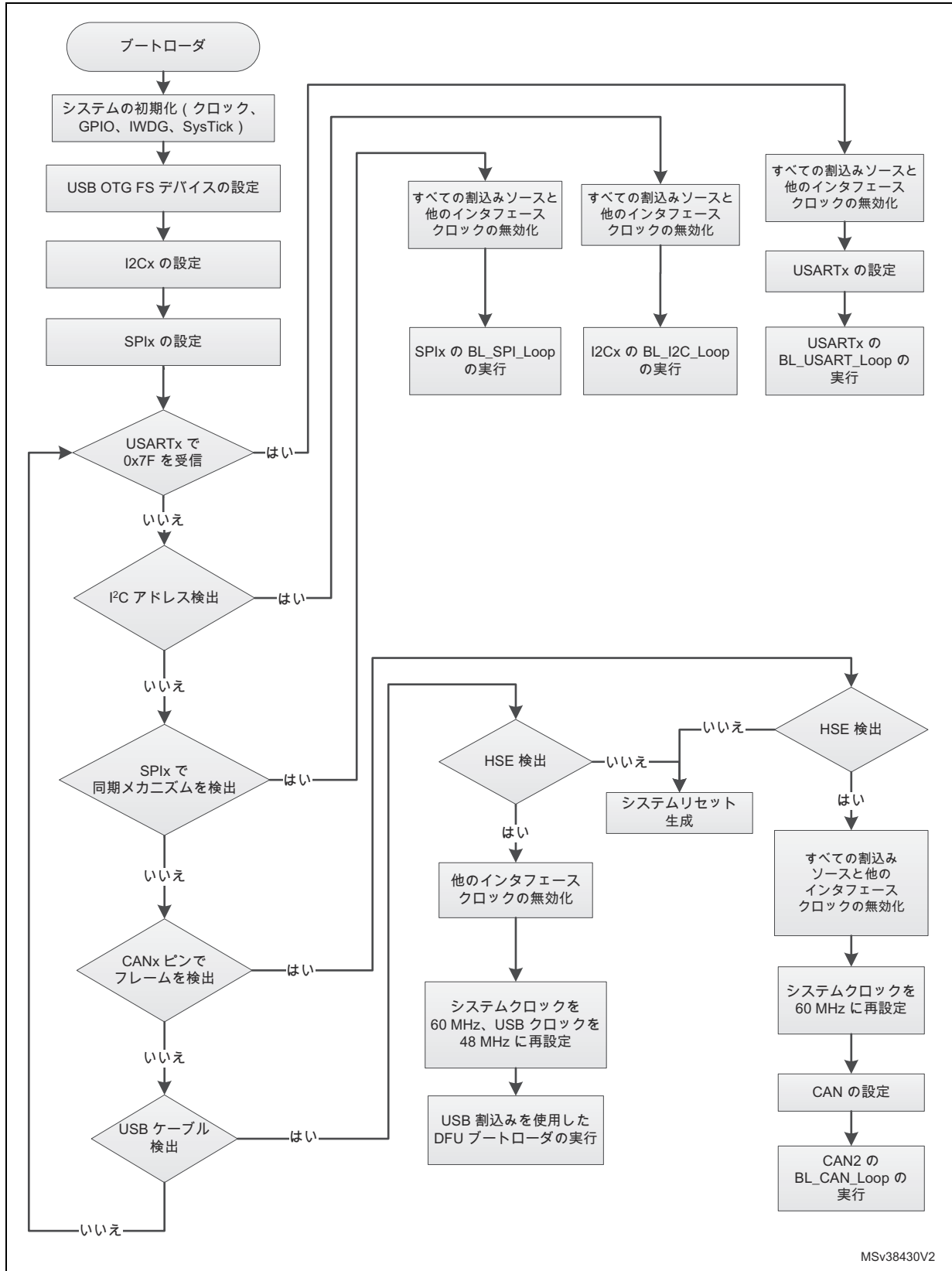
図 45. STM32F469xx/479xx ブートローダ V9.x のデュアル・バンク・ブート実装



MSv38429V1



図 46. STM32F469xx/479xx のブートローダ V9.x の選択



MSv38430V2

### 37.3 ブートローダのバージョン

表 80 に、STM32F469xx/479xx デバイスの V9.x ブートローダのバージョンを示します。

表 80. STM32F469xx/479xx のブートローダのバージョン (V9.x)

| ブートローダのバージョン番号 | 説明             | 既知の制限   |
|----------------|----------------|---|
| V9.0           | ブートローダの初期バージョン | Go コマンド (ユーザ・コードへのジャンプ) の実行後、ブートローダでは AHB1ENR 値を 0x0000 0000 にリセットするため、CCM RAM (存在する場合はアクティブではありません (起動時にユーザ・コードで再度有効化するものとします))。 |

## 38 STM32F72xxx/73xxx デバイスのブートローダ

### 38.1 ブートローダの設定

STM32F72xxx/73xxx ブートローダは、パターン 8 を適用すると有効化されます (表 2: ブートローダの有効化パターンを参照)。表 81 に、このブートローダが使用するハードウェア・リソースを示します。

表 81. システム・メモリ・ブート・モードでの STM32F72xxx/73xxx の設定

| ブートローダ        | 機能/ペリフェラル    | 状態   | コメント   |
|---------------|--------------|--|--|
| すべてのブートローダに共通 | RCC          | HSI は有効です。   | HSI は、60 MHz に設定されたシステム・クロックのクロック・ソースとして、また USART および I <sup>2</sup> C のブートローダ動作のクロック・ソースとして起動時に使用されます。  |
|               |              | HSE は有効です。   | HSE は、CAN または DFU (USB FS デバイス) インタフェースの選択時にのみ使用されます。この場合、システムクロックは 60 MHz で、クロックソースは HSE です。<br>HSE 周波数は、1 MHz の倍数で、範囲が 4 MHz から 26 MHz である必要があります。 |
|               |              | -  | CAN および DFU ブートローダでは、クロックセキュリティシステム (CSS) 割込みが有効化されます。外部クロックの障害 (または除去) により、システムリセットが生成されます。   |
|               | RAM          | -  | アドレス 0x20000000 から始まる 16 KB は、ブートローダのファームウェアによって使用されます。  |
|               | システムメモリ      | -  | アドレス 0x1FF00000 から始まる 59 KB に、ブートローダのファームウェアが含まれています。  |
|               | IWDG         | -  | 独立型ウォッチドッグ (IWDG) プリスケアラは、最大値に設定されます。これは、定期的によりフレッシュされ、ウォッチドッグがリセットされるのを防ぎます (ハードウェアの IWDG オプションがユーザによって事前に有効化されている場合)。                              |
| パワー           | -            | 電圧範囲は [1.8V、3.6V] です。<br>この範囲では：<br>- Flash ウェイト・ステート：3<br>- システム・クロック周波数：60 MHz<br>- ART アクセラレータ：有効<br>- バイト単位の Flash 書き込み操作 (詳細については、ブートローダのメモリ管理セクションを参照) |  |
| USART1 ブートローダ | USART1       | 有効   | 一度初期化されると、USART1 の設定は 8 ビット、偶数パリティ、および 1 ストップ・ビットになります。  |
|               | USART1_RX ピン | 入力   | PA10 ピン：受信モードの USART1。入力プルアップ・プルダウンなしモードで使用。   |
|               | USART1_TX ピン | 出力   | PA9 ピン：送信モードの USART1。入力プルアップ・プルダウンなしモードで使用。  |

表 81. システム・メモリ・ブート・モードでの STM32F72xxx/73xxx の設定 (続き)

| ブートローダ                         | 機能/ペリフェラル    | 状態    | コメント  |
|--------------------------------|--------------|-------|---|
| USART3 ブートローダ<br>(PB11/PB10 上) | USART3       | 有効    | 一度初期化されると、USART3 の設定は8 ビット、偶数パリティ、および 1 ストップ・ビットになります。  |
|                                | USART3_RX ピン | 入力    | PB11 ピン：受信モードの USART3。入力プルアップ・モードで使用。   |
|                                | USART3_TX ピン | 出力    | PB10 ピン：送信モードの USART3。入力プルアップ・モードで使用。   |
| USART3 ブートローダ<br>(PC11/PC10 上) | USART3       | 有効    | 一度初期化されると、USART3 の設定は8 ビット、偶数パリティ、および 1 ストップ・ビットになります。  |
|                                | USART3_RX ピン | 入力    | PC11 ピン：受信モードの USART3。入力プルアップ・モードで使用。   |
|                                | USART3_TX ピン | 出力    | PC10 ピン：送信モードの USART3。入力プルアップ・モードで使用。   |
| USARTx ブートローダ                  | SysTick タイマ  | 有効    | USARTx ブートローダのホストからシリアルポーレートを実動検出するために使用されます。   |
| CAN1 ブートローダ                    | CAN1         | 有効    | 一度初期化されると、CAN1 の設定はポーレート 125 kbps、11 ビット識別子になります。   |
|                                | CAN1_RX ピン   | 入力    | PD0 ピン：受信モードの CAN1。オルタネート・プッシュプル、プルアップ・モードで使用。  |
|                                | CAN1_TX ピン   | 出力    | PD1 ピン：送信モードの CAN1。オルタネート・プッシュプル、プルアップ・モードで使用。  |
| I2C1 ブートローダ                    | I2C1         | 有効    | I2C1 設定：<br>I <sup>2</sup> C スピード：最大 400 kHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレス：0b1001001x (ここで、書込みの場合 x = 0、読出しの場合 x = 1)。 |
|                                | I2C1_SCL ピン  | 入力/出力 | PB6 ピン：クロック・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。   |
|                                | I2C1_SDA ピン  | 入力/出力 | PB9 ピン：データ・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。  |
| I2C2 ブートローダ                    | I2C2         | 有効    | I2C2 設定：<br>I <sup>2</sup> C スピード：最大 400 kHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレス：0b1001101x (ここで、書込みの場合 x = 0、読出しの場合 x = 1)。 |
|                                | I2C2_SCL ピン  | 入力/出力 | PF1 ピン：クロック・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。   |
|                                | I2C2_SDA ピン  | 入力/出力 | PF0 ピン：データ・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。  |

表 81. システム・メモリ・ブート・モードでの STM32F72xxx/73xxx の設定 (続き)

| ブートローダ      | 機能/ペリフェラル    | 状態    | コメント   |
|-------------|--------------|-------|--|
| I2C3 ブートローダ | I2C3         | 有効    | I2C3 設定 :<br>I <sup>2</sup> C スピード : 最大 400 kHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレス : 0b1001001x (ここで、書込みの場合 x = 0、読出しの場合 x = 1)。 |
|             | I2C3_SCL ピン  | 入力/出力 | PA8 ピン : クロック・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。  |
|             | I2C3_SDA ピン  | 入力/出力 | PC9 ピン : データ・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。   |
| SPI1 ブートローダ | SPI1         | 有効    | SPI1 設定 :<br>スレーブモード、全二重、8 ビット MSB、最大 8 MHz の速度、極性 : CPOL ロー、CPHA ロー、NSS ハードウェア。   |
|             | SPI1_MOSI ピン | 入力    | PA7 ピン : スレーブ・データ入力ライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI1_MISO ピン | 出力    | PA6 ピン : スレーブ・データ出力ライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI1_SCK ピン  | 入力    | PA5 ピン : スレーブ・クロック・ライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI1_NSS ピン  | 入力    | PA4 ピン : スレーブ・チップ選択ピン (プッシュプル、プルダウンモードで使用)   |
| SPI2 ブートローダ | SPI2         | 有効    | SPI2 設定 :<br>スレーブモード、全二重、8 ビット MSB、最大 8 MHz の速度、極性 : CPOL ロー、CPHA ロー、NSS ハードウェア。   |
|             | SPI2_MOSI ピン | 入力    | PI3 ピン : スレーブ・データ入力ライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI2_MISO ピン | 出力    | PI2 ピン : スレーブ・データ出力ライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI2_SCK ピン  | 入力    | PI1 ピン : スレーブ・クロック・ライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI2_NSS ピン  | 入力    | PI0 ピン : スレーブ・チップ選択ピン (プッシュプル、プルダウンモードで使用)   |

表 81. システム・メモリ・ブート・モードでの STM32F72xxx/73xxx の設定 (続き)

| ブートローダ              | 機能/ペリフェラル    | 状態    | コメント   |
|---------------------|--------------|-------|--|
| SPI4 ブートローダ         | SPI4         | 有効    | SPI4 設定 :<br>スレーブモード、全二重、8 ビット MSB、最大 8 MHz の速度、極性 : CPOL ロー、CPHA ロー、NSS ハードウェア。     |
|                     | SPI4_MOSI ピン | 入力    | PE14 ピン : スレーブ・データ入力ライン (プッシュプル、プルダウンモードで使用)   |
|                     | SPI4_MISO ピン | 出力    | PE13 ピン : スレーブ・データ出力ライン (プッシュプル、プルダウンモードで使用)   |
|                     | SP4_SCK ピン   | 入力    | PE12 ピン : スレーブ・クロック・ライン (プッシュプル、プルダウンモードで使用)   |
|                     | SPI4_NSS ピン  | 入力    | PE11 ピン : スレーブ・チップ選択ピン (プッシュプル、プルダウンモードで使用)  |
| DFU ブートローダ          | USB          | 有効    | USB OTG FS は強制デバイスモードで設定されます。  |
|                     | USB_DM ピン    | 入力/出力 | PA11 ピン : USB DM ライン。オルタネート・プッシュプル、プルアップ・プルダウンなしモードで使用。                              |
|                     | USB_DP ピン    |       | PA12 ピン : USB DP ライン。オルタネート・プッシュプル、プルアップ・プルダウンなしモードで使用。<br>外部プルアップ抵抗は不要です。           |
| CAN1 および DFU ブートローダ | TIM11        | 有効    | このタイマは、HSE の値を決定するために使用されます。HSE 周波数が決定されると、システムクロックは PLL と HSE を使用して 60 MHz に設定されます。 |

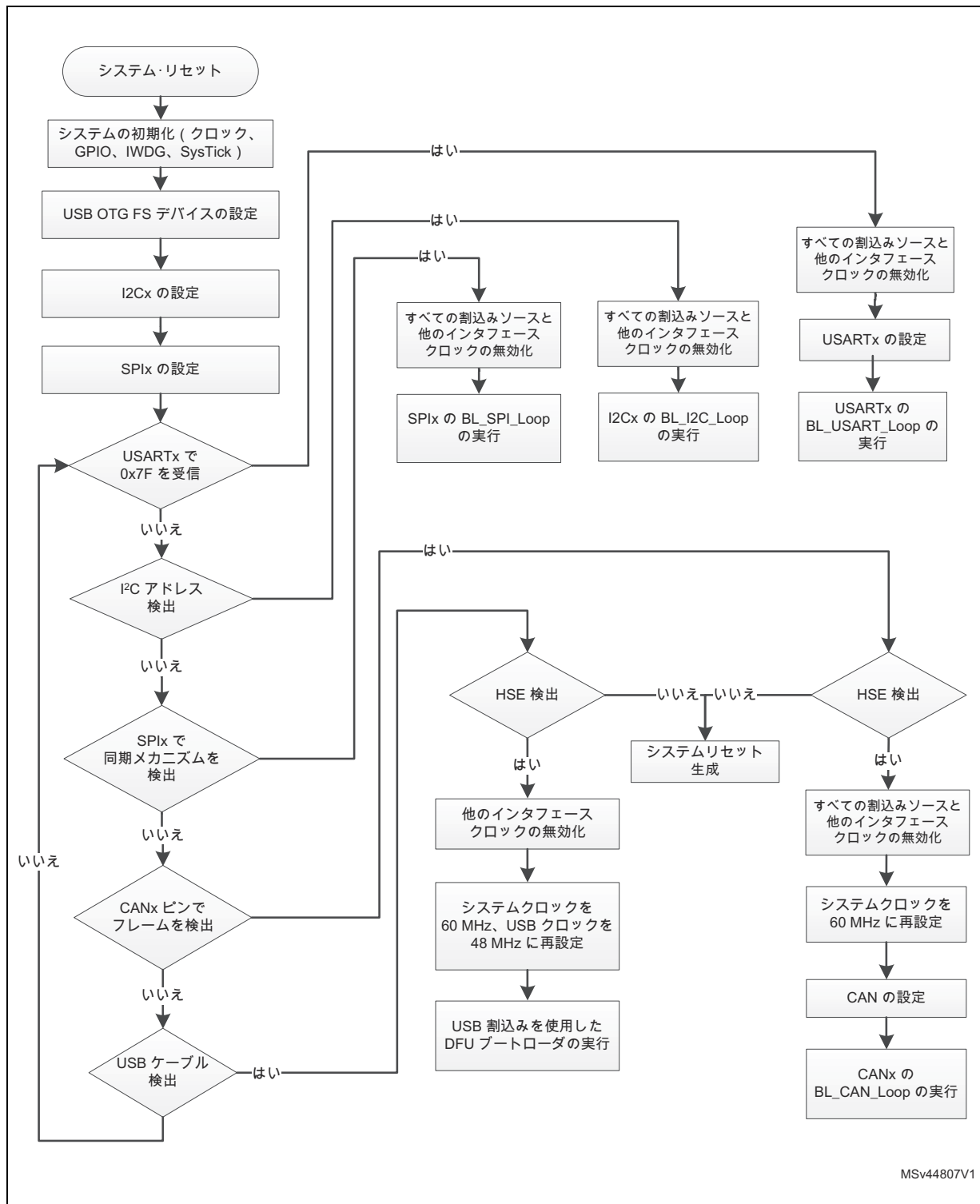
システムクロックは USARTx および I2Cx ブートローダ用の内蔵された内部ハイスピード RC から生成されます。この内部クロックは、CAN や DFU (USB FS デバイス) にも使用されますが、選択フェーズに限られます。選択フェーズ後に CAN および DFU ブートローダを実行するには、1 MHz の倍数 (4 から 26 MHz の間) の外部クロックが必要です。

**注 :** HSI には偏差があること、また HSE 値の検出に HSI が使用されていることから、HSE クリスタル値には高い周波数ではなく低い周波数を使用する必要があります (低周波数値はエラー・マージンが大きいことから検出が容易です)。たとえば、25 MHz よりも 8 MHz を使用の方が有利です。

## 38.2 ブートローダの選択

図 47 に、ブートローダの選択メカニズムを示します。

図 47. STM32F72xxx/73xxx のブートローダ V9.x の選択



### 38.3 ブートローダのバージョン

表 82 に、STM32F72xxx/73xxx デバイスのブートローダのバージョン (V9.x) を示します。

表 82. STM32F72xxx/73xxx のブートローダのバージョン (V9.x)

| ブートローダのバージョン番号 | 説明             | 既知の制限   |
|----------------|----------------|---|
| V9.0           | ブートローダの初期バージョン | UART のボーレートが高い場合 (115200 bps)、ソフトウェア・ジッタによりボーレートの計算に誤りが生じ、接続が失敗することがあります。<br>この場合、ブートローダはホストのボーレートとの差が最大 $\pm 5\%$ のボーレートで応答します。<br>回避策：ボーレートの誤差に対するホストの許容範囲が低く、 $\pm 5\%$ を下回る場合は、57600 bps 未満のボーレートを使用してください。 |



## 39 STM32F74xxx/75xxx デバイスのブートローダ

STM32F74xxx/75xxx では 2 つのバージョンのブートローダを使用できます。

- V7.x (USART1、USART3、CAN2、I2C1、I2C2、I2C3、および DFU (USB FS デバイス) をサポート)。このバージョンは、STM32F74xxx/75xxx デバイスのリビジョン A に内蔵されています。
- V9.x (USART1、USART3、CAN2、I2C1、I2C2、I2C3、SPI1、SPI2、SPI4、および DFU (USB FS デバイス) をサポート)。このバージョンは、STM32F74xxx/75xxx のリビジョン Z デバイスおよびリビジョン 1 デバイスに内蔵されています。

**注：** 読み出し保護レベル 2 が有効なときは、STM32F74xxx/75xxx デバイスをシステム・メモリでもブートすることができます。Get、GetID、および GetVersion を除き、コマンドにアクセスすることはできません。

## 39.1 ブートローダ V7.x

### 39.1.1 ブートローダの設定

STM32F74xxx/75xxx ブートローダは、パターン 8 を適用すると有効化されます (表 2: ブートローダの有効化パターンを参照)。表 83 に、このブートローダが使用するハードウェア・リソースを示します。

表 83. システム・メモリ・ブート・モードでの STM32F74xxx/75xxx の設定

| ブートローダ                      | 機能/ペリフェラル    | 状態         | コメント   |
|-----------------------------|--------------|------------|--|
| すべてのブートローダに共通               | RCC          | HSI は有効です。 | HSI は、60 MHz に設定されたシステム・クロックのクロック・ソースとして、また USART および I2C のブートローダ動作のクロック・ソースとして起動時に使用されます。   |
|                             |              | HSE は有効です。 | HSE は、CAN または DFU (USB FS デバイス) インタフェースの選択時にのみ使用されます。この場合、システムクロックは 60 MHz で、クロックソースは HSE です。HSE 周波数は、1 MHz の倍数で、範囲が 4 MHz から 26 MHz である必要があります。                   |
|                             |              | -          | CAN および DFU ブートローダでは、クロックセキュリティシステム (CSS) 割込みが有効化されます。外部クロックの障害 (または除去) により、システムリセットが生成されます。   |
|                             | RAM          | -          | アドレス 0x20000000 から始まる 16 KB は、ブートローダのファームウェアによって使用されます。  |
|                             | システムメモリ      | -          | アドレス 0x1FF00000 から始まる 60 KB に、ブートローダのファームウェアが含まれています。  |
|                             | IWDG         | -          | 独立型ウォッチドッグ (IWDG) プリスケアラは、最大値に設定されます。これは、定期的によりフレッシュされ、ウォッチドッグがリセットされるのを防ぎます (ハードウェアの IWDG オプションがユーザによって事前に有効化されている場合)。  |
|                             | パワー          | -          | 電圧範囲は [1.8 V, 3.6 V] です。この範囲では :<br>- Flash ウェイト・ステート : 3<br>- システム・クロック周波数 : 60 MHz<br>- ART アクセラレータ : 有効<br>- バイト単位の Flash 書き込み操作 (詳細については、ブートローダのメモリ管理セクションを参照) |
| USART1 ブートローダ               | USART1       | 有効         | 一度初期化されると、USART1 の設定は 8 ビット、偶数パリティ、および 1 ストップ・ビットになります。  |
|                             | USART1_RX ピン | 入力         | PA10 ピン : 受信モードの USART1。入力プルアップ・ブルダウナシモードで使用。  |
|                             | USART1_TX ピン | 出力         | PA9 ピン : 送信モードの USART1。入力プルアップ・ブルダウナシモードで使用。   |
| USART3 ブートローダ (PB10/PB11 上) | USART3       | 有効         | 一度初期化されると、USART3 の設定は 8 ビット、偶数パリティ、および 1 ストップ・ビットになります。  |
|                             | USART3_RX ピン | 入力         | PB11 ピン : 受信モードの USART3。入力プルアップ・モードで使用。  |
|                             | USART3_TX ピン | 出力         | PB10 ピン : 送信モードの USART3。入力プルアップ・モードで使用。  |

表 83. システム・メモリ・ブート・モードでの STM32F74xxx/75xxx の設定 (続き)

| ブートローダ                         | 機能/ペリフェラル    | 状態    | コメント  |
|--------------------------------|--------------|-------|---|
| USART3 ブートローダ<br>(PC10/PC11 上) | USART3       | 有効    | 一度初期化されると、USART3 の設定は8ビット、偶数パリティ、および1ストップ・ビットになります。   |
|                                | USART3_RX ピン | 入力    | PC11 ピン: 受信モードの USART3。入力プルアップ・モードで使用。  |
|                                | USART3_TX ピン | 出力    | PC10 ピン: 送信モードの USART3。入力プルアップ・モードで使用。  |
| USARTx ブートローダ                  | SysTick タイマ  | 有効    | USARTx ブートローダのホストからシリアルポーレートを自動検出するために使用されます。   |
| CAN2 ブートローダ                    | CAN2         | 有効    | 一度初期化されると、CAN2 の設定はポーレート 125 kbps、11 ビット識別子になります。<br>注: CAN1 は CAN2 のブートローダの実行中にクロック供給されます。これは、CAN1 が CAN2 と SRAM の間の通信を管理しているためです。               |
|                                | CAN2_RX ピン   | 入力    | PB5 ピン: 受信モードの CAN2。オルタネート・プッシュプル、プルアップ・モードで使用。   |
|                                | CAN2_TX ピン   | 出力    | PB13 ピン: 送信モードの CAN2。オルタネート・プッシュプル、プルアップ・モードで使用。  |
| I2C1 ブートローダ                    | I2C1         | 有効    | I2C1 設定:<br>I <sup>2</sup> C スピード: 最大 400 kHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレス: 0b1000101x<br>(ここで、書込みの場合 x = 0、読出しの場合 x = 1) |
|                                | I2C1_SCL ピン  | 入力/出力 | PB6 ピン: クロック・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。  |
|                                | I2C1_SDA ピン  | 入力/出力 | PB9 ピン: データ・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。   |
| I2C2 ブートローダ                    | I2C2         | 有効    | I2C2 設定:<br>I <sup>2</sup> C スピード: 最大 400 kHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレス: 0b1000101x<br>(ここで、書込みの場合 x = 0、読出しの場合 x = 1) |
|                                | I2C2_SCL ピン  | 入力/出力 | PF1 ピン: クロック・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。  |
|                                | I2C2_SDA ピン  | 入力/出力 | PF0 ピン: データ・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。   |
| I2C3 ブートローダ                    | I2C3         | 有効    | I2C3 設定:<br>I <sup>2</sup> C スピード: 最大 400 kHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレス: 0b1000101x<br>(ここで、書込みの場合 x = 0、読出しの場合 x = 1) |
|                                | I2C3_SCL ピン  | 入力/出力 | PA8 ピン: クロック・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。  |
|                                | I2C3_SDA ピン  | 入力/出力 | PC9 ピン: データ・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。   |

表 83. システム・メモリ・ブート・モードでの STM32F74xxx/75xxx の設定 (続き)

| ブートローダ              | 機能/ペリフェラル | 状態    | コメント   |
|---------------------|-----------|-------|--|
| DFU ブートローダ          | USB       | 有効    | USB OTG FS は強制デバイスモードで設定されます。  |
|                     | USB_DM ピン | 入力/出力 | PA11 ピン: USB DM ライン。オルタネート・プッシュプル、プルアップ・プルダウンなしモードで使用。                               |
|                     | USB_DP ピン |       | PA12 ピン: USB DP ライン。オルタネート・プッシュプル、プルアップ・プルダウンなしモードで使用。<br>外部プルアップ抵抗は不要です。            |
| CAN2 および DFU ブートローダ | TIM11     | 有効    | このタイマは、HSE の値を決定するために使用されます。HSE 周波数が決定されると、システムクロックは PLL と HSE を使用して 60 MHz に設定されます。 |

システムクロックは USARTx および I2Cx ブートローダ用の内蔵された内部ハイスピード RC から生成されます。この内部クロックは、CAN や DFU (USB FS デバイス) にも使用されますが、選択フェーズに限られます。選択フェーズ後に CAN および DFU ブートローダを実行するには、1 MHz の倍数 (4 から 26 MHz の間) の外部クロックが必要です。

**注:** HSI には偏差があること、また HSE 値の検出に HSI が使用されていることから、HSE クリスタル値には高い周波数ではなく低い周波数を使用する必要があります (低周波数値はエラー・マージンが大きいことから検出が容易です)。たとえば、25 MHz よりも 8 MHz を使用する方が有利です。



### 39.1.3 ブートローダのバージョン

次の表に、STM32F74xxx/75xxx デバイスのブートローダのバージョン (V7.x) を示します。

表 84. STM32F74xxx/75xxx のブートローダのバージョン (V7.x)

| ブートローダのバージョン番号 | 説明             | 既知の制限  |
|----------------|----------------|--|
| V7.0           | ブートローダの初期バージョン | UART ボーレートが高い場合 (115200 bps)、ソフトウェア・ジッタによりボーレートの計算に誤りが生じ、接続が失敗することがあります。<br>この場合、ブートローダはホストのボーレートとの差が最大±5%のボーレートで応答します。<br>回避策：ボーレートの誤差に対するホストの許容範囲が低く、±5%を下回る場合は、57600 bps 未満のボーレートを使用してください。 |

## 39.2 ブートローダ V9.x

### 39.2.1 ブートローダの設定

STM32F74xxx/75xxx ブートローダは、パターン 8 を適用すると有効化されます (表 2: ブートローダの有効化パターンを参照)。次の表に、このブートローダが使用するハードウェア・リソースを示します。

表 85. システムメモリブートモードでの STM32F74xxx/75xxx の設定

| ブートローダ        | 機能/ペリフェラル    | 状態   | コメント   |
|---------------|--------------|--|--|
| すべてのブートローダに共通 | RCC          | HSI は有効です。   | HSI は、60 MHz に設定されたシステム・クロックのクロック・ソースとして、また USART、I2C、および SPI のブートローダ動作のクロック・ソースとして起動時に使用されます。   |
|               |              | HSE は有効です。   | HSE は、CAN または DFU (USB FS デバイス) インタフェースの選択時にのみ使用されます。この場合、システムクロックは 60 MHz で、クロックソースは HSE です。<br>HSE 周波数は、1 MHz の倍数で、範囲が 4 MHz から 26 MHz である必要があります。 |
|               |              | -  | CAN および DFU ブートローダでは、クロックセキュリティシステム (CSS) 割込みが有効化されます。<br>外部クロックの障害 (または除去) により、システムリセットが生成されます。   |
|               | RAM          | -  | アドレス 0x20000000 から始まる 16 KB は、ブートローダのファームウェアによって使用されます。  |
|               | システムメモリ      | -  | アドレス 0x1FF00000 から始まる 60 KB に、ブートローダのファームウェアが含まれています。  |
|               | IWDG         | -  | 独立型ウォッチドッグ (IWDG) プリスケアラは、最大値に設定されます。これは、定期的によりフレッシュされ、ウォッチドッグがリセットされるのを防ぎます (ハードウェアの IWDG オプションがユーザによって事前に有効化されている場合)。                              |
| パワー           | -            | 電圧範囲は [1.8V、3.6V] です。<br>この範囲では：<br>- Flash ウェイト・ステート : 3<br>- システム・クロック周波数 : 60 MHz<br>- ART アクセラレータ : 有効<br>- バイト単位の Flash 書き込み操作 (詳細については、ブートローダのメモリ管理セクションを参照) |  |
| USART1 ブートローダ | USART1       | 有効   | 一度初期化されると、USART1 の設定は 8 ビット、偶数パリティ、および 1 ストップ・ビットになります。  |
|               | USART1_RX ピン | 入力   | PA10 ピン : 受信モードの USART1。入力プルアップ・プルダウンなしモードで使用。   |
|               | USART1_TX ピン | 出力   | PA9 ピン : 送信モードの USART1。入力プルアップ・プルダウンなしモードで使用。  |

表 85. システムメモリブートモードでの STM32F74xxx/75xxx の設定 (続き)

| ブートローダ                         | 機能/ペリフェラル    | 状態    | コメント  |
|--------------------------------|--------------|-------|---|
| USART3 ブートローダ<br>(PB10/PB11 上) | USART3       | 有効    | 一度初期化されると、USART3 の設定は8 ビット、偶数パリティ、および 1 ストップ・ビットになります。  |
|                                | USART3_RX ピン | 入力    | PB11 ピン: 受信モードの USART3。入力プルアップ・モードで使用。  |
|                                | USART3_TX ピン | 出力    | PB10 ピン: 送信モードの USART3。入力プルアップ・モードで使用。  |
| USART3 ブートローダ<br>(PC10/PC11 上) | USART3       | 有効    | 一度初期化されると、USART3 の設定は8 ビット、偶数パリティ、および 1 ストップ・ビットになります。  |
|                                | USART3_RX ピン | 入力    | PC11 ピン: 受信モードの USART3。入力プルアップ・モードで使用。  |
|                                | USART3_TX ピン | 出力    | PC10 ピン: 送信モードの USART3。入力プルアップ・モードで使用。  |
| USARTx ブートローダ                  | SysTick タイマ  | 有効    | USARTx ブートローダのホストからシリアルポーレートを自動検出するために使用されます。   |
| CAN2 ブートローダ                    | CAN2         | 有効    | 一度初期化されると、CAN2 の設定はポーレート 125 kbps、11 ビット識別子になります。<br>注: CAN1 は CAN2 のブートローダの実行中にクロック供給されます。これは、CAN1 が CAN2 と SRAM の間の通信を管理しているためです。               |
|                                | CAN2_RX ピン   | 入力    | PB5 ピン: 受信モードの CAN2。オルタネート・プッシュプル、プルアップ・モードで使用。   |
|                                | CAN2_TX ピン   | 出力    | PB13 ピン: 送信モードの CAN2。オルタネート・プッシュプル、プルアップ・モードで使用。  |
| I2C1 ブートローダ                    | I2C1         | 有効    | I2C1 設定:<br>I <sup>2</sup> C スピード: 最大 400 kHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレス: 0b1000101x<br>(ここで、書込みの場合 x = 0、読出しの場合 x = 1) |
|                                | I2C1_SCL ピン  | 入力/出力 | PB6 ピン: クロック・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。  |
|                                | I2C1_SDA ピン  | 入力/出力 | PB9 ピン: データ・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。   |
| I2C2 ブートローダ                    | I2C2         | 有効    | I2C2 設定:<br>I <sup>2</sup> C スピード: 最大 400 kHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレス: 0b1000101x<br>(ここで、書込みの場合 x = 0、読出しの場合 x = 1) |
|                                | I2C2_SCL ピン  | 入力/出力 | PF1 ピン: クロック・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。  |
|                                | I2C2_SDA ピン  | 入力/出力 | PF0 ピン: データ・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。   |



表 85. システムメモリブートモードでの STM32F74xxx/75xxx の設定 (続き)

| ブートローダ      | 機能/ペリフェラル    | 状態    | コメント   |
|-------------|--------------|-------|--|
| I2C3 ブートローダ | I2C3         | 有効    | I2C3 設定 :<br>I <sup>2</sup> C スピード : 最大 400 kHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレス : 0b1000101x<br>(ここで、書込みの場合 x = 0、読出しの場合 x = 1) |
|             | I2C3_SCL ピン  | 入力/出力 | PA8 ピン : クロック・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。  |
|             | I2C3_SDA ピン  | 入力/出力 | PC9 ピン : データ・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。   |
| SPI1 ブートローダ | SPI1         | 有効    | SPI1 設定 :<br>スレーブモード、全二重、8 ビット MSB、最大 8 MHz の速度、極性 : CPOL ロー、CPHA ロー、NSS ハードウェア。   |
|             | SPI1_MOSI ピン | 入力    | PA7 ピン : スレーブ・データ入力ライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI1_MISO ピン | 出力    | PA6 ピン : スレーブ・データ出力ライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI1_SCK ピン  | 入力    | PA5 ピン : スレーブ・クロック・ライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI1_NSS ピン  | 入力    | PA4 ピン : スレーブ・チップ選択ピン (プッシュプル、プルダウンモードで使用)   |
| SPI2 ブートローダ | SPI2         | 有効    | SPI2 設定 :<br>スレーブモード、全二重、8 ビット MSB、最大 8 MHz の速度、極性 : CPOL ロー、CPHA ロー、NSS ハードウェア。   |
|             | SPI2_MOSI ピン | 入力    | PI3 ピン : スレーブ・データ入力ライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI2_MISO ピン | 出力    | PI2 ピン : スレーブ・データ出力ライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI2_SCK ピン  | 入力    | PI1 ピン : スレーブ・クロック・ライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI2_NSS ピン  | 入力    | PI0 ピン : スレーブ・チップ選択ピン (プッシュプル、プルダウンモードで使用)   |

表 85. システムメモリブートモードでの STM32F74xxx/75xxx の設定 (続き)

| ブートローダ              | 機能/ペリフェラル    | 状態    | コメント   |
|---------------------|--------------|-------|--|
| SPI4 ブートローダ         | SPI4         | 有効    | SPI4 設定 :<br>スレーブモード、全二重、8 ビット MSB、最大 8 MHz の速度、極性: CPOL ロー、CPHA ロー、NSS ハードウェア。      |
|                     | SPI4_MOSI ピン | 入力    | PE14 ピン: スレーブ・データ入力ライン (プッシュプル、プルダウンモードで使用)  |
|                     | SPI4_MISO ピン | 出力    | PE13 ピン: スレーブ・データ出力ライン (プッシュプル、プルダウンモードで使用)  |
|                     | SP4_SCK ピン   | 入力    | PE12 ピン: スレーブ・クロック・ライン (プッシュプル、プルダウンモードで使用)  |
|                     | SPI4_NSS ピン  | 入力    | PE11 ピン: スレーブ・チップ選択ピン (プッシュプル、プルダウンモードで使用)   |
| DFU ブートローダ          | USB          | 有効    | USB OTG FS は強制デバイスモードで設定されます。  |
|                     | USB_DM ピン    | 入力/出力 | PA11 ピン: USB DM ライン。オルタネート・プッシュプル、プルアップ・プルダウンなしモードで使用。                               |
|                     | USB_DP ピン    |       | PA12 ピン: USB DP ライン。オルタネート・プッシュプル、プルアップ・プルダウンなしモードで使用。外部プルアップ抵抗は不要です。                |
| CAN2 および DFU ブートローダ | TIM11        | 有効    | このタイマは、HSE の値を決定するために使用されます。HSE 周波数が決定されると、システムクロックは PLL と HSE を使用して 60 MHz に設定されます。 |

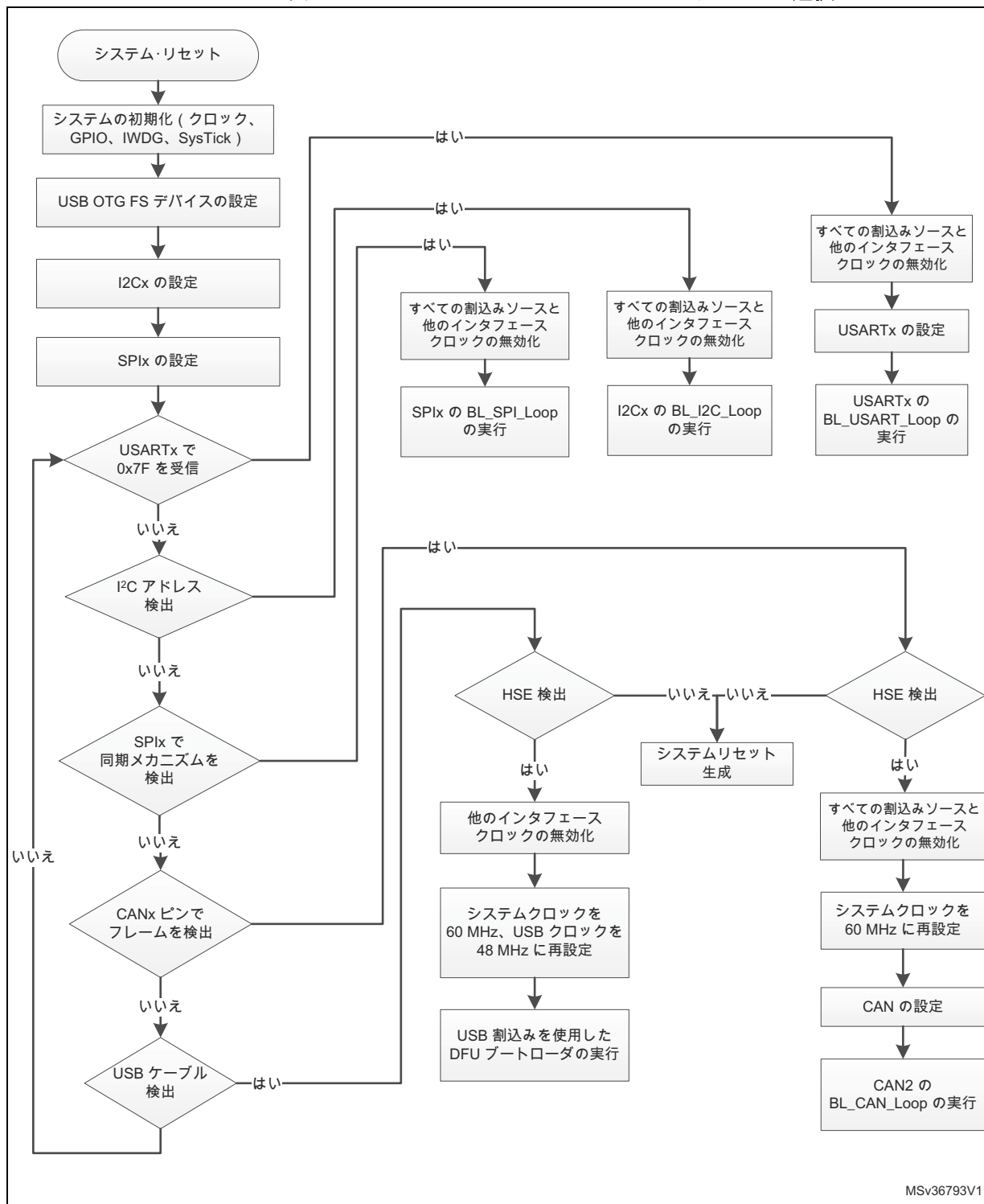
システムクロックは USARTx、I2Cx、および SPIx ブートローダ用の内蔵された内部ハイスピード RC から生成されます。この内部クロックは、CAN や DFU (USB FS デバイス) にも使用されますが、選択フェーズに限られます。選択フェーズ後に CAN および DFU ブートローダを実行するには、1 MHz の倍数 (4 から 26 MHz の間) の外部クロックが必要です。

**注:** HSI には偏差があること、また HSE 値の検出に HSI が使用されていることから、HSE クリスタル値には高い周波数ではなく低い周波数を使用する必要があります (低周波数値はエラー・マージンが大きいことから検出が容易です)。たとえば、25 MHz よりも 8 MHz を使用の方が有利です。

## 39.2.2 ブートローダの選択

図 49 に、ブートローダの選択メカニズムを示します。

図 49. STM32F74xxx/75xxx のブートローダ V9.x の選択



### 39.2.3 ブートローダのバージョン

次の表に、STM32F74xxx/75xxx のブートローダのバージョン (V9.x) を示します。

表 86. STM32F74xxx/75xxx のブートローダのバージョン (V9.x)

| ブートローダのバージョン番号 | 説明             | 既知の制限   |
|----------------|----------------|---|
| V9.0           | ブートローダの初期バージョン | UART ボーレートが高い場合 (115200 bps)、ソフトウェア・ジッタによりボーレートの計算に誤りが生じ、接続が失敗することがあります。<br>この場合、ブートローダはホストのボーレートとの差が最大±5%のボーレートで応答します。<br>回避策：ボーレートの誤差に対するホストの許容範囲が低く、±5%を下回る場合は、57600 bps未満のボーレートを使用してください。 |

## 40 STM32F76xxx/77xxx デバイスのブートローダ

### 40.1 ブートローダの設定

STM32F76xxx/77xxx ブートローダは、パターン 9 を適用すると有効化されます (表 2: ブートローダの有効化パターンを参照)。次の表に、このブートローダが使用するハードウェア・リソースを示します。

表 87. システムメモリブートモードでの STM32F76xxx/77xxx の設定

| ブートローダ        | 機能/ペリフェラル    | 状態  | コメント   |
|---------------|--------------|---|--|
| すべてのブートローダに共通 | RCC          | HSI は有効です。  | HSI は、60 MHz に設定されたシステム・クロックのクロック・ソースとして、また USART および I2C のブートローダ動作のクロック・ソースとして起動時に使用されます。   |
|               |              | HSE は有効です。  | HSE は、CAN または DFU (USB FS デバイス) インタフェースの選択時にのみ使用されます。この場合、システムクロックは 60 MHz で、クロックソースは HSE です。<br>HSE 周波数は、1 MHz の倍数で、範囲が 4 MHz から 26 MHz である必要があります。 |
|               |              | -   | CAN および DFU ブートローダでは、クロックセキュリティシステム (CSS) 割込みが有効化されます。外部クロックの障害 (または除去) により、システムリセットが生成されます。   |
|               | RAM          | -   | アドレス 0x20000000 から始まる 16 KB は、ブートローダのファームウェアによって使用されます。  |
|               | システムメモリ      | -   | アドレス 0x1FF00000 から始まる 59 KB に、ブートローダのファームウェアが含まれています。  |
|               | IWDG         | -   | 独立型ウォッチドッグ (IWDG) プリスケアラは、最大値に設定されます。これは、定期的によりフレッシュされ、ウォッチドッグがリセットされるのを防ぎます (ハードウェアの IWDG オプションがユーザによって事前に有効化されている場合)。                              |
| パワー           | -            | 電圧範囲は [1.8V, 3.6V] です。<br>この範囲では：<br>- Flash ウェイト・ステート : 3<br>- システム・クロック周波数 : 60 MHz<br>- ART アクセラレータ : 有効<br>- バイト単位の Flash 書き込み操作 (詳細については、ブートローダのメモリ管理セクションを参照) |  |
| USART1 ブートローダ | USART1       | 有効  | 一度初期化されると、USART1 の設定は 8 ビット、偶数パリティ、および 1 ストップ・ビットになります。  |
|               | USART1_RX ピン | 入力  | PA10 ピン : 受信モードの USART1。入力プルアップ・プルダウンなしモードで使用。   |
|               | USART1_TX ピン | 出力  | PA9 ピン : 送信モードの USART1。入力プルアップ・プルダウンなしモードで使用。  |

表 87. システムメモリブートモードでの STM32F76xxx/77xxx の設定 (続き)

| ブートローダ                         | 機能/ペリフェラル    | 状態    | コメント  |
|--------------------------------|--------------|-------|---|
| USART3 ブートローダ<br>(PB11/PB10 上) | USART3       | 有効    | 一度初期化されると、USART3 の設定は8 ビット、偶数パリティ、および 1 ストップ・ビットになります。  |
|                                | USART3_RX ピン | 入力    | PB11 ピン: 受信モードの USART3。入力プルアップ・モードで使用。  |
|                                | USART3_TX ピン | 出力    | PB10 ピン: 送信モードの USART3。入力プルアップ・モードで使用。  |
| USART3 ブートローダ<br>(PC11/PC10 上) | USART3       | 有効    | 一度初期化されると、USART3 の設定は8 ビット、偶数パリティ、および 1 ストップ・ビットになります。  |
|                                | USART3_RX ピン | 入力    | PC11 ピン: 受信モードの USART3。入力プルアップ・モードで使用。  |
|                                | USART3_TX ピン | 出力    | PC10 ピン: 送信モードの USART3。入力プルアップ・モードで使用。  |
| USARTx ブートローダ                  | SysTick タイマ  | 有効    | USARTx ブートローダのホストからシリアルボーレートを自動検出するために使用されます。   |
| CAN2 ブートローダ                    | CAN2         | 有効    | 一度初期化されると、CAN2 の設定はボーレート 125 kbps、11 ビット識別子になります。<br>注: CAN1 は CAN2 のブートローダの実行中にクロック供給されます。これは、CAN1 が CAN2 と SRAM の間の通信を管理しているためです。             |
|                                | CAN2_RX ピン   | 入力    | PB5 ピン: 受信モードの CAN2。オルタネート・プッシュプル、プルアップ・モードで使用。   |
|                                | CAN2_TX ピン   | 出力    | PB13 ピン: 送信モードの CAN2。オルタネート・プッシュプル、プルアップ・モードで使用。  |
| I2C1 ブートローダ                    | I2C1         | 有効    | I2C1 設定:<br>I <sup>2</sup> C スピード: 最大 400 kHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレス: 0b1001001x (ここで、書込みの場合 x = 0、読出しの場合 x = 1)。 |
|                                | I2C1_SCL ピン  | 入力/出力 | PB6 ピン: クロック・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。  |
|                                | I2C1_SDA ピン  | 入力/出力 | PB9 ピン: データ・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。   |
| I2C2 ブートローダ                    | I2C2         | 有効    | I2C2 設定:<br>I <sup>2</sup> C スピード: 最大 400 kHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレス: 0b1001001x (ここで、書込みの場合 x = 0、読出しの場合 x = 1)。 |
|                                | I2C2_SCL ピン  | 入力/出力 | PF1 ピン: クロック・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。  |
|                                | I2C2_SDA ピン  | 入力/出力 | PF0 ピン: データ・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。   |

表 87. システムメモリブートモードでの STM32F76xxx/77xxx の設定 (続き)

| ブートローダ      | 機能/ペリフェラル    | 状態    | コメント   |
|-------------|--------------|-------|--|
| I2C3 ブートローダ | I2C3         | 有効    | I2C3 設定 :<br>I <sup>2</sup> C スピード : 最大 400 kHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレス : 0b1001001x (ここで、書き込みの場合 x = 0、読み出しの場合 x = 1)。 |
|             | I2C3_SCL ピン  | 入力/出力 | PA8 ピン : クロック・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。  |
|             | I2C3_SDA ピン  | 入力/出力 | PC9 ピン : データ・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。   |
| SPI1 ブートローダ | SPI1         | 有効    | SPI1 設定 :<br>スレーブモード、全二重、8 ビット MSB、最大 8 MHz の速度、極性 : CPOL ロー、CPHA ロー、NSS ハードウェア。   |
|             | SPI1_MOSI ピン | 入力    | PA7 ピン : スレーブ・データ入力ライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI1_MISO ピン | 出力    | PA6 ピン : スレーブ・データ出力ライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI1_SCK ピン  | 入力    | PA5 ピン : スレーブ・クロック・ライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI1_NSS ピン  | 入力    | PA4 ピン : スレーブ・チップ選択ピン (プッシュプル、プルダウンモードで使用)   |
| SPI2 ブートローダ | SPI2         | 有効    | SPI2 設定 :<br>スレーブモード、全二重、8 ビット MSB、最大 8 MHz の速度、極性 : CPOL ロー、CPHA ロー、NSS ハードウェア。   |
|             | SPI2_MOSI ピン | 入力    | PI3 ピン : スレーブ・データ入力ライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI2_MISO ピン | 出力    | PI2 ピン : スレーブ・データ出力ライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI2_SCK ピン  | 入力    | PI1 ピン : スレーブ・クロック・ライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI2_NSS ピン  | 入力    | PI0 ピン : スレーブ・チップ選択ピン (プッシュプル、プルダウンモードで使用)   |
| SPI4 ブートローダ | SPI4         | 有効    | SPI4 設定 :<br>スレーブモード、全二重、8 ビット MSB、最大 8 MHz の速度、極性 : CPOL ロー、CPHA ロー、NSS ハードウェア。   |
|             | SPI4_MOSI ピン | 入力    | PE14 ピン : スレーブ・データ入力ライン (プッシュプル、プルダウンモードで使用)   |
|             | SPI4_MISO ピン | 出力    | PE13 ピン : スレーブ・データ出力ライン (プッシュプル、プルダウンモードで使用)   |
|             | SPI4_SCK ピン  | 入力    | PE12 ピン : スレーブ・クロック・ライン (プッシュプル、プルダウンモードで使用)   |
|             | SPI4_NSS ピン  | 入力    | PE11 ピン : スレーブ・チップ選択ピン (プッシュプル、プルダウンモードで使用)  |

表 87. システムメモリブートモードでの STM32F76xxx/77xxx の設定 (続き)

| ブートローダ              | 機能/ペリフェラル | 状態    | コメント   |
|---------------------|-----------|-------|--|
| DFU ブートローダ          | USB       | 有効    | USB OTG FS は強制デバイスモードで設定されます。  |
|                     | USB_DM ピン | 入力/出力 | PA11 ピン: USB DM ライン。オルタネート・プッシュプル、プルアップ・プルダウンなしモードで使用。                               |
|                     | USB_DP ピン |       | PA12 ピン: USB DP ライン。オルタネート・プッシュプル、プルアップ・プルダウンなしモードで使用。<br>外部プルアップ抵抗は不要です。            |
| CAN2 および DFU ブートローダ | TIM11     | 有効    | このタイマは、HSE の値を決定するために使用されます。HSE 周波数が決定されると、システムクロックは PLL と HSE を使用して 60 MHz に設定されます。 |

システムクロックは USARTx および I2Cx ブートローダ用の内蔵された内部ハイスピード RC から生成されます。この内部クロックは、CAN や DFU (USB FS デバイス) にも使用されますが、選択フェーズに限られます。選択フェーズ後に CAN および DFU ブートローダを実行するには、1 MHz の倍数 (4 から 26 MHz の間) の外部クロックが必要です。

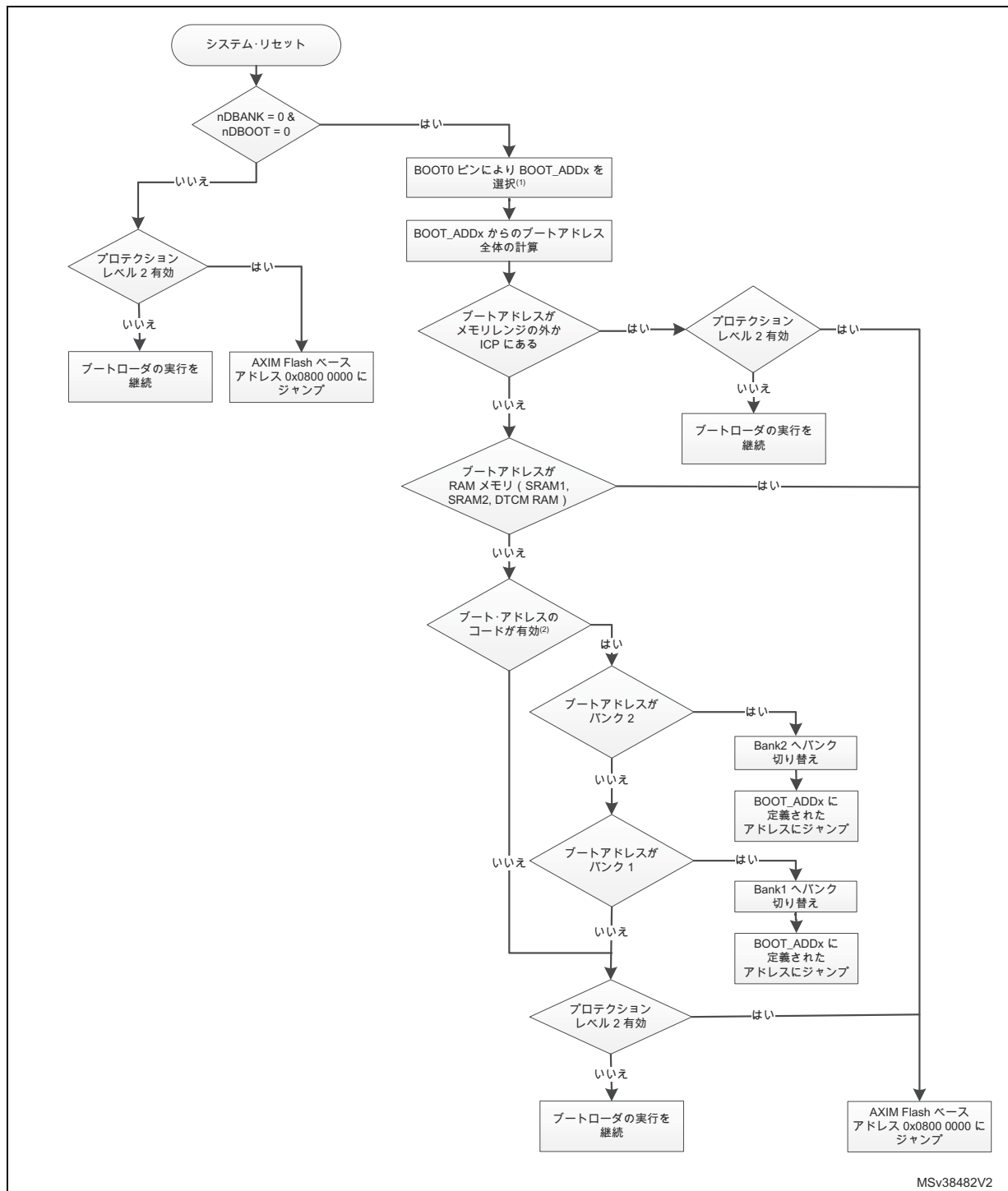
**注:** HSI には偏差があること、また HSE 値の検出に HSI が使用されていることから、HSE クリスタル値には高い周波数ではなく低い周波数を使用する必要があります (低周波数値はエラー・マージンが大きいことから検出が容易です)。たとえば、25 MHz よりも 8 MHz を使用する方が有利です。



## 40.2 ブートローダの選択

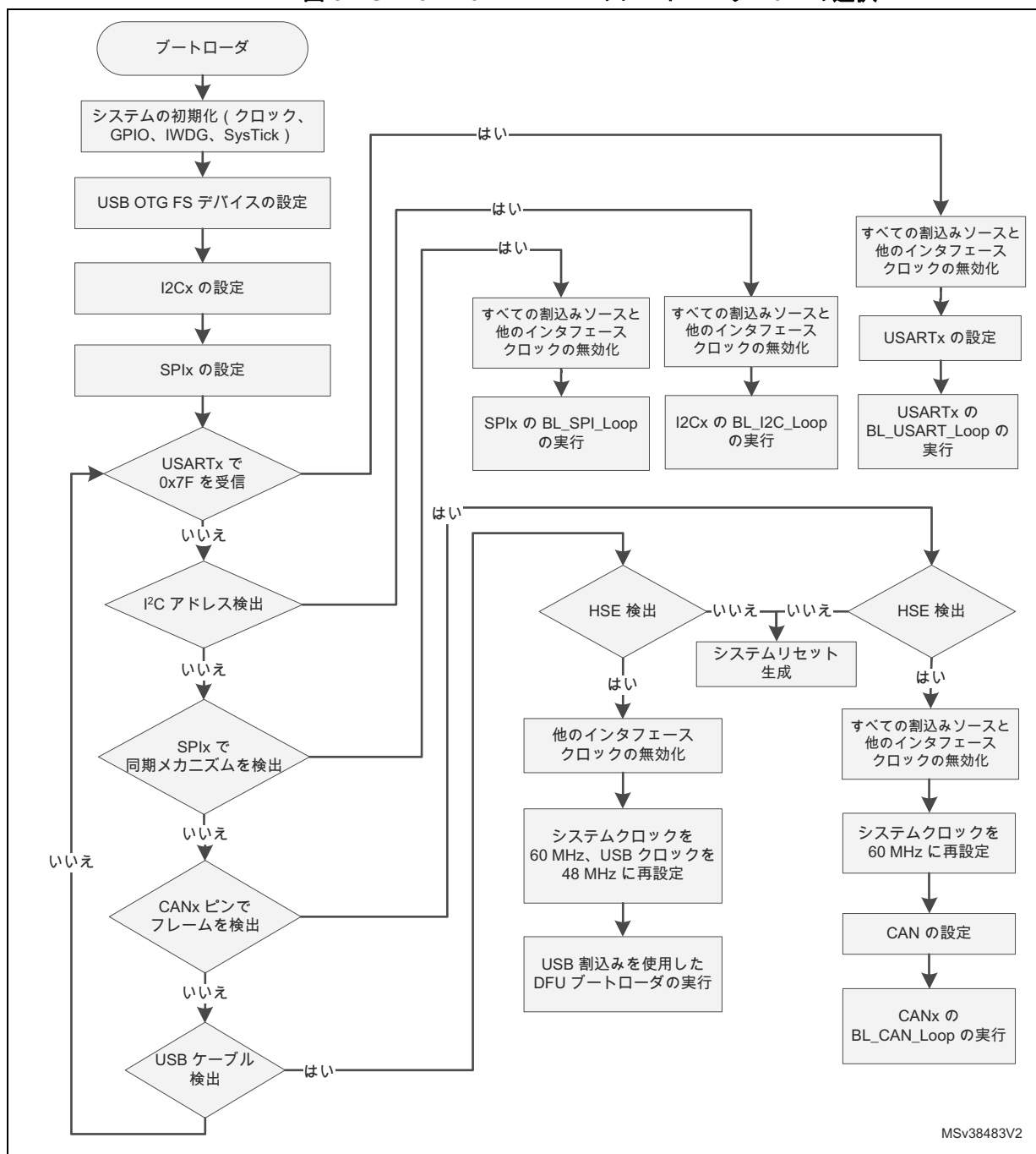
図 50 と 図 51 に、ブートローダの選択メカニズムを示します。

図 50. STM32F76xxx/77xxx ブートローダ V9.x のデュアル・バンク・ブート実装



- 表 88 に示す既知の制限で説明するように、BOOT0 ピンの状態にかかわらず、BOOT\_ADD0 値のみが考慮されます。
- ITCM RAM は、デュアルバンクブートメカニズムのスタックポインタのアドレスとして、有効とみなされません。

図 51. STM32F76xxx/77xxx のブートローダ V9.x の選択



### 40.3 ブートローダのバージョン

次の表に、STM32F76xxx/77xxx デバイスのブートローダのバージョン (V9.x) を示します。

表 88. STM32F76xxx/77xxx のブートローダのバージョン (V9.x)

| ブートローダのバージョン番号 | 説明             | 既知の制限   |
|----------------|----------------|---|
| V9.3           | ブートローダの初期バージョン | <p>Flash メモリをデュアルバンクブートモード (nDBANK=nDBOOT=0) に設定すると、BOOT0 ピンの状態にかかわらず、BOOT_ADD0 値のみが考慮されます (BOOT0 ピンが 1 の場合、BOOT_ADD1 ではなく BOOT_ADD0 値が考慮されます)。</p> <p>回避策 : BOOT_ADD0 のみでデュアル・バンク・ブート・モードを管理する場合は、AN4826: "STM32F7 Series Flash memory dual bank mode" を参照してください。</p> <p>UART ポーレートが高い場合 (115200 bps)、ソフトウェア・ジッタによりポーレートの計算に誤りが生じ、接続が失敗することがあります。</p> <p>この場合、ブートローダはホストのポーレートとの差が最大 <math>\pm 5\%</math> のポーレートで応答します。</p> <p>回避策 : ポーレートの誤差に対するホストの許容範囲が低く、<math>\pm 5\%</math> を下回る場合は、57600 bps 未満のポーレートを使用してください。</p> <p>USB インタフェースを使用すると、Bank2 セクタで消去に関する問題が発生します。インデックス (i) を指定して Bank2 からセクタを消去すると、セクタ (i+4) が消去されます。</p> |

## 41 STM32G03xxx/STM32G04xxx デバイスのブートローダ

### 41.1 ブートローダの設定

STM32G03xxx/G04xxx ブートローダは、パターン 11 を適用すると有効化されます (表 2: ブートローダの有効化パターンを参照)。次の表に、このブートローダが使用するハードウェア・リソースを示します。STM32G030x には BOOT\_LOCK(bit) がないので、パターン 11 を使用する場合はこの点を考慮します。

表 89. システム・メモリ・ブート・モードでの STM32G03xxx/G04xxx の設定

| ブートローダ        | 機能/ペリフェラル    | 状態         | コメント  |
|---------------|--------------|------------|---|
| すべてのブートローダに共通 | RCC          | HSI は有効です。 | システム・クロック周波数は 24 MHz です (HSI によってクロック供給された PLL を使用)。  |
|               | RAM          | -          | アドレス 0x20000000 から始まる 4 KB は、ブートローダのファームウェアによって使用されます。  |
|               | システムメモリ      | -          | アドレス 0x1FFF0000 から始まる 8 KB。   |
|               | IWDG         | -          | 独立型ウォッチドッグ (IWDG) プリスケーラは、最大値に設定されます。これは、定期的によりフレッシュされ、ウォッチドッグがリセットされるのを防ぎます (ハードウェアの IWDG オプションがユーザによって事前に有効化されている場合)。                             |
| セキュリティ保護可能な領域 | -            | -          | セキュリティ保護可能な領域のジャンプ先のアドレス : @0x1FFF1D00  |
| USART1 ブートローダ | USART1       | 有効         | 一度初期化されると、USART1 の設定は 8 ビット、偶数パリティ、および 1 ストップ・ビットになります。   |
|               | USART1_RX ピン | 入力         | PA10 ピン : 受信モードの USART1。オルタネート・プッシュプル、プルアップ・モードで使用。   |
|               | USART1_TX ピン | 出力         | PA9 ピン : 送信モードの USART1。オルタネート・プッシュプル、プルアップ・モードで使用。  |
| USART2 ブートローダ | USART2       | 有効         | 一度初期化されると、USART2 の設定は 8 ビット、偶数パリティ、および 1 ストップ・ビットになります。   |
|               | USART2_RX ピン | 入力         | PA3 ピン : 受信モードの USART2。オルタネート・プッシュプル、プルアップ・モードで使用。  |
|               | USART2_TX ピン | 出力         | PA2 ピン : 送信モードの USART2。オルタネート・プッシュプル、プルアップ・モードで使用。  |
| USARTx ブートローダ | SysTick タイマ  | 有効         | USARTx ブートローダのホストからシリアルポーレートを検出するために使用されます。   |
| I2C1 ブートローダ   | I2C1         | 有効         | I2C1 設定 :<br>I <sup>2</sup> C スピード : 最大 1 MHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレス : 0b1010110x<br>(ここで、書込みの場合 x = 0、読み出しの場合 x = 1) |
|               | I2C1_SCL ピン  | 入力/出力      | PB6 ピン : クロック・ラインはオープンドレインのプルアップモードで使用されます。   |
|               | I2C1_SDA ピン  | 入力/出力      | PB7 ピン : データ・ラインはオープンドレインのプルアップモードで使用されます。  |

表 89. システム・メモリ・ブート・モードでの STM32G03xxx/G04xxx の設定 (続き)

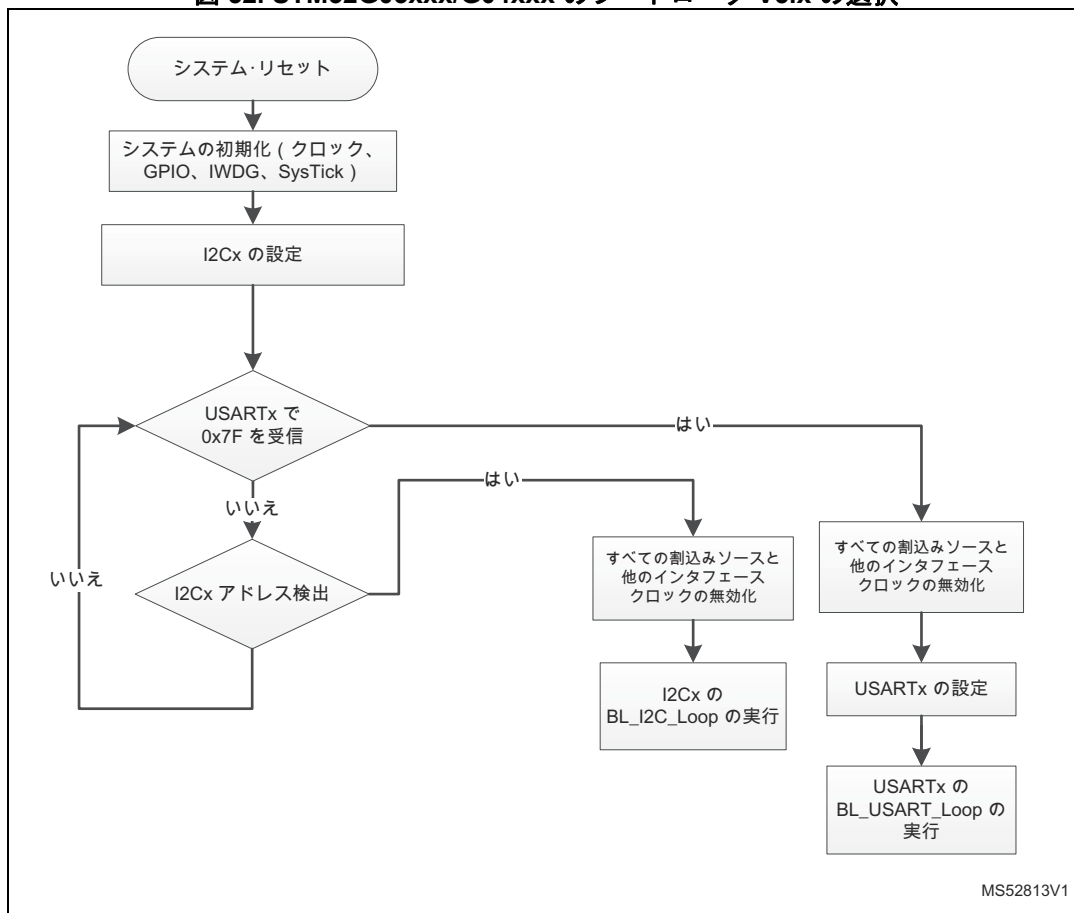
| ブートローダ      | 機能/ペリフェラル   | 状態    | コメント   |
|-------------|-------------|-------|--|
| I2C2 ブートローダ | I2C2        | 有効    | I2C2 設定 :<br>I <sup>2</sup> C スピード : 最大 1 MHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレス : 0b1010110x<br>(ここで、書き込みの場合 x=0、読み出しの場合 x=1) |
|             | I2C2_SCL ピン | 入力/出力 | PB10 ピン : クロック・ラインはオープンドレインのプルアップモードで使用されます。   |
|             | I2C2_SDA ピン | 入力/出力 | PB11 ピン : データ・ラインはオープンドレインのプルアップモードで使用されます。  |

注 : SO-8、WLCSP-18、TSSOP-20、UFQFN-28 の各パッケージでは USART1 PA9/PA10 の IO が PA11/PA12 に再配置されます。

## 41.2 ブートローダの選択

図 52 に、ブートローダの選択メカニズムを示します。

図 52. STM32G03xxx/G04xxx のブートローダ V5.x の選択



## 41.3 ブートローダのバージョン

表 90 に、STM32G03xxx/G04xxx デバイスのブートローダのバージョンを示します。

表 90. STM32G03xx/04xxx のブートローダのバージョン

| ブートローダのバージョン番号 | 説明                                    | 既知の制限  |
|----------------|---------------------------------------|--|
| V5.1           | ブートローダの初期バージョン                        | <ul style="list-style-type: none"><li>- 48 ピンと 32 ピンのパッケージのみがサポートされています。</li><li>- この両方のパッケージでは、PA3 がロー・レベルで保持されていると、システムは USART2 の検出シーケンスで停止し、他のインタフェースが検出されなくなります。</li></ul> |
| V5.2           | 小型のパッケージ (8/20 および 28 ピン) に対するサポートを追加 | PA3 ピンがない SO-8 を除くすべてのパッケージでは、PA3 がロー・レベルで保持されていると、システムは USART2 の検出シーケンスで停止し、他のインタフェースが検出されなくなります。   |
| V5.3           | V5.2 の制限を修正                           | なし   |

## 42 STM32G07xxx/08xxx デバイスのブートローダ

### 42.1 ブートローダの設定

STM32G07xxx/G08xxx ブートローダは、パターン 11 を適用すると有効化されます (表 2: ブートローダの有効化パターンを参照)。次の表に、このブートローダが使用するハードウェア・リソースを示します。STM32G070x には BOOT\_LOCK(bit) がないので、パターン 11 を使用する場合はこの点を考慮します。

表 91. システム・メモリ・ブート・モードでの STM32G07xxx/8xxx の設定

| ブートローダ            | 機能/ペリフェラル    | 状態         | コメント   |
|-------------------|--------------|------------|--|
| すべてのブートローダに<br>共通 | RCC          | HSI は有効です。 | システム・クロック周波数は 24 MHz です (HSI によってクロック供給された PLL を使用)。   |
|                   | RAM          | -          | アドレス 0x20000000 から始まる 12 KB は、ブートローダのファームウェアによって使用されます。  |
|                   | システムメモリ      | -          | アドレス 0x1FFF0000 から始まる 28 KB に、ブートローダのファームウェアが含まれています。  |
|                   | IWDG         | -          | 独立型ウォッチドッグ (IWDG) プリスケーラは、最大値に設定されます。これは、定期的にリフレッシュされ、ウォッチドッグがリセットされるのを防ぎます (ハードウェアの IWDG オプションがユーザによって事前に有効化されている場合)。 |
| セキュリティ保護可能な領域     | -            | -          | セキュリティ保護可能な領域のジャンプ先のアドレス：<br>@0x1FFF6800   |
| USART1 ブートローダ     | USART1       | 有効         | 一度初期化されると、USART1 の設定は 8 ビット、偶数パリティ、および 1 ストップ・ビットになります。  |
|                   | USART1_RX ピン | 入力         | PA10 ピン：受信モードの USART1。オルタネート・プッシュプル、プルアップ・モードで使用。  |
|                   | USART1_TX ピン | 出力         | PA9 ピン：送信モードの USART1。オルタネート・プッシュプル、プルアップ・モードで使用。   |
| USART2 ブートローダ     | USART2       | 有効         | 一度初期化されると、USART2 の設定は 8 ビット、偶数パリティ、および 1 ストップ・ビットになります。  |
|                   | USART2_RX ピン | 入力         | PA3 ピン：受信モードの USART2。オルタネート・プッシュプル、プルアップ・モードで使用。   |
|                   | USART2_TX ピン | 出力         | PA2 ピン：送信モードの USART2。オルタネート・プッシュプル、プルアップ・モードで使用。   |
| USART3 ブートローダ     | USART3       | 有効         | 一度初期化されると、USART3 の設定は 8 ビット、偶数パリティ、および 1 ストップ・ビットになります。  |
|                   | USART3_RX ピン | 入力         | PC11 ピン：受信モードの USART3。オルタネート・プッシュプル、プルアップ・モードで使用。  |
|                   | USART3_TX ピン | 出力         | PC10 ピン：送信モードの USART3。オルタネート・プッシュプル、プルアップ・モードで使用。  |

表 91. システム・メモリ・ブート・モードでの STM32G07xxx/8xxx の設定 (続き)

| ブートローダ      | 機能/ペリフェラル    | 状態    | コメント   |
|-------------|--------------|-------|--|
| I2C1 ブートローダ | I2C1         | 有効    | I2C1 設定 :<br>I <sup>2</sup> C スピード : 最大 1 MHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレス : 0b1010001x<br>(ここで、書込みの場合 x = 0、読出しの場合 x = 1) |
|             | I2C1_SCL ピン  | 入力/出力 | PB6 ピン : クロック・ラインはオープンドレインのプルアップモードで使用されます。  |
|             | I2C1_SDA ピン  | 入力/出力 | PB7 ピン : データ・ラインはオープンドレインのプルアップモードで使用されます。   |
| I2C2 ブートローダ | I2C2         | 有効    | I2C2 設定 :<br>I <sup>2</sup> C スピード : 最大 1 MHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレス : 0b1010001x<br>(ここで、書込みの場合 x = 0、読出しの場合 x = 1) |
|             | I2C2_SCL ピン  | 入力/出力 | PB10 ピン : クロック・ラインはオープンドレインのプルアップモードで使用されます。   |
|             | I2C2_SDA ピン  | 入力/出力 | PB11 ピン : データ・ラインはオープンドレインのプルアップモードで使用されます。  |
| SPI1 ブートローダ | SPI1         | 有効    | SPI1 設定 :<br>- スレーブモード<br>- 全二重<br>- 8 ビット MSB<br>- 最大 8 MHz の速度<br>- 極性 : CPOL ロー、CPHA ロー、NSS ハードウェア。   |
|             | SPI1_MOSI ピン | 入力    | PA7 ピン : スレーブデータ入力ライン (プッシュプル、プルダウンモードで使用)   |
|             | SPI1_MISO ピン | 出力    | PA6 ピン : スレーブデータ出力ライン (プッシュプル、プルダウンモードで使用)   |
|             | SPI1_SCK ピン  | 入力    | PA5 ピン : スレーブクロックライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI1_NSS ピン  | 入力    | PA4 ピン : スレーブ・チップ選択ピン (プッシュプル、プルダウンモードで使用)<br>注 : この IO は、SPI マスタが使用しない場合は、GND に接続できます。  |



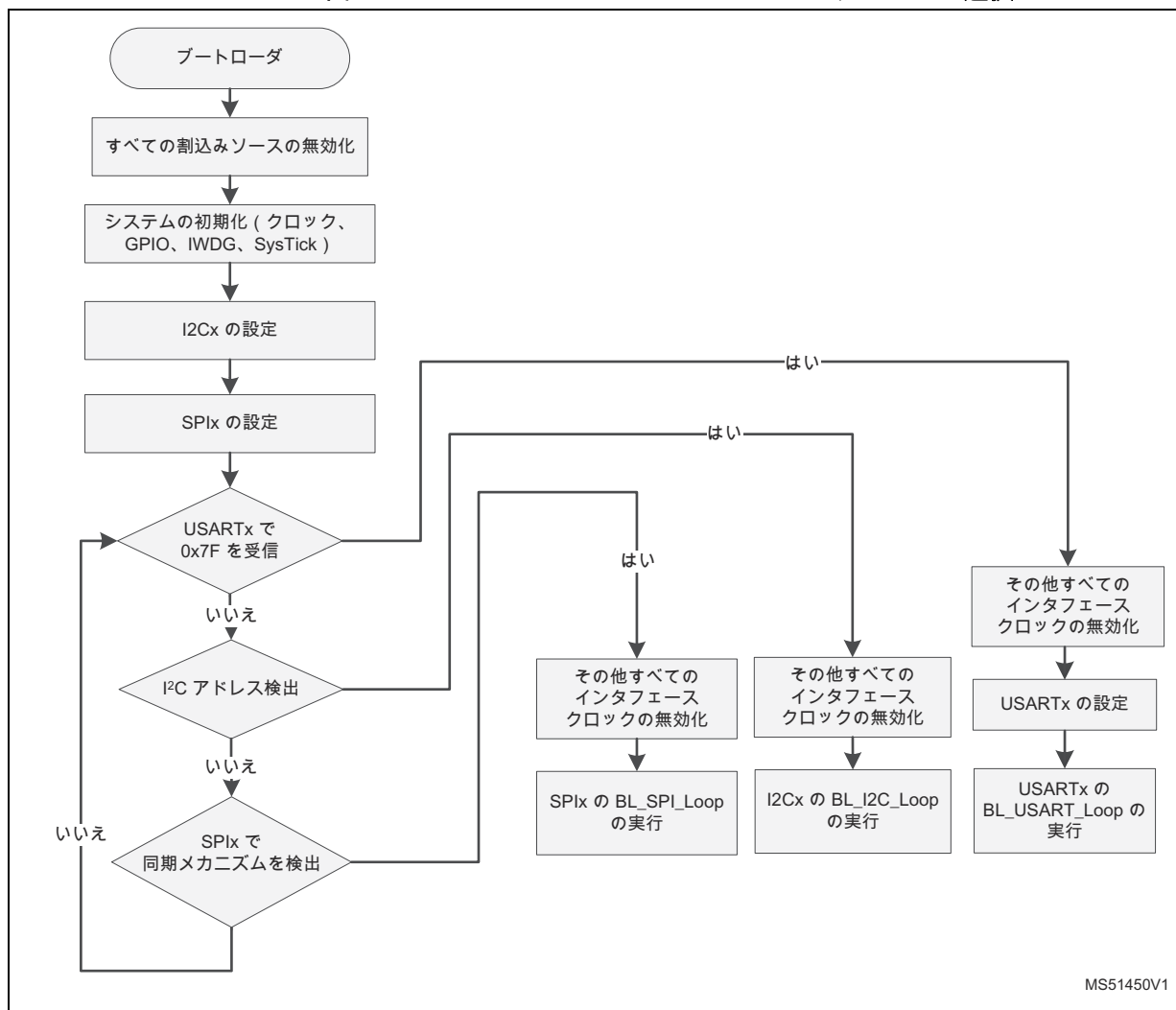
表 91. システム・メモリ・ブート・モードでの STM32G07xxx/8xxx の設定 (続き)

| ブートローダ      | 機能/ペリフェラル    | 状態 | コメント   |
|-------------|--------------|----|--|
| SPI2 ブートローダ | SPI2         | 有効 | SPI2 設定 :<br><ul style="list-style-type: none"> <li>- スレーブモード</li> <li>- 全二重</li> <li>- 8 ビット MSB</li> <li>- 最大 8 MHz の速度</li> <li>- 極性 : CPOL ロー、CPHA ロー、NSS ハードウェア。</li> </ul> |
|             | SPI2_MOSI ピン | 入力 | PB15 ピン : スレーブデータ入力ライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI2_MISO ピン | 出力 | PB14 ピン : スレーブデータ出力ライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI2_SCK ピン  | 入力 | PB13 ピン : スレーブクロックライン (プッシュプル、プルダウンモードで使用)   |
|             | SPI2_NSS ピン  | 入力 | PB12 ピン : スレーブ・チップ選択ピン (プッシュプル、プルダウンで使用)<br><b>注 :</b> この IO は、SPI マスタが使用しない場合は、GND に接続できます。   |

## 42.2 ブートローダの選択

図 53 に、ブートローダの選択メカニズムを示します。

図 53. STM32G07xxx/G08xxx のブートローダ V11.0 の選択



MS51450V1

## 42.3 ブートローダのバージョン

表 92 に、STM32G07xxx/8xxx デバイスのブートローダのバージョンを示します。

表 92. STM32G07xx/08xxx のブートローダのバージョン

| ブートローダのバージョン番号 | 説明             | 既知の制限                         |
|----------------|----------------|-------------------------------|
| V11.0          | ブートローダの初期バージョン | LQFP64 より小さいパッケージはサポートしていません。 |

表 92. STM32G07xx/08xxx のブートローダのバージョン

| ブートローダのバージョン番号 | 説明                  | 既知の制限  |
|----------------|---------------------|--|
| V11.1          | すべてのパッケージをサポート      | なし   |
| V11.2          | セキュリティ保護可能な領域の機能を追加 | <ul style="list-style-type: none"> <li>- USART プロトコルを使用するとオプションバイトの起動情報が失われます。</li> <li>- Go コマンドを使用すると、RCC レジスタ RCC_ICSCR がそのデフォルト値に設定されません。HSITRIM 値がデフォルト値ではない別の値に設定されます。</li> <li>- "Go" コマンドを使用すると、RCC レジスタがそのデフォルト値に設定されません (HSITRIM が正しくリセットされません)。</li> <li>- SRAM を初期化せずに SRAM のパリティ・チェックを指定するオプションバイトを有効にすると、ブートローダがクラッシュします。</li> </ul> |

## 43 STM32G0B0xx デバイスのブートローダ

### 43.1 ブートローダの設定

STM32G0B0xx ブートローダは、パターン 11 を適用すると有効化されます（表 2：ブートローダの有効化パターンを参照）。次の表に、このブートローダが使用するハードウェア・リソースを示します。STM32G0B0x には BOOT\_LOCK(bit) がないので、パターン 11 を使用する場合はこの点を考慮します。

表 93. システム・メモリ・ブート・モードでの STM32G0B0xx の設定

| ブートローダ        | 機能/ペリフェラル    | 状態         | コメント  |
|---------------|--------------|------------|---|
| すべてのブートローダに共通 | RCC          | HSI は有効です。 | システム・クロック周波数は 60 MHz です（HSI によってクロック供給された PLL を使用）。外部クロック（HSE）がない場合、システムは HSI からのクロック供給を受け続けます。                                     |
|               |              | HSE は有効です。 | 外部クロックはすべてのブートローダ・インタフェースに使用でき、[48、32、16、12、8] MHz のいずれかの値を持ちます。PLL は、USB とシステム・クロックに使用される 48 MHz クロックの生成に使用されます。                   |
|               | RAM          | -          | アドレス 0x20000000 から始まる 16 KB は、ブートローダのファームウェアによって使用されます。   |
|               | システムメモリ      | -          | ブートローダのファームウェアは次の 2 つのバンクに分割して保持されます。<br>- アドレス 0x1FFF0000 から 0x1FFF6FFF までの 28 KB<br>- アドレス 0x1FFF8000 から 0x1FFFEFFF までの 28 KB の一部 |
|               | IWDG         | -          | 独立型ウォッチドッグ（IWDG）プリスケアラは、最大値に設定されます。これは、定期的にリフレッシュされ、ウォッチドッグがリセットされるのを防ぎます（ハードウェアの IWDG オプションがユーザによって事前に有効化されている場合）。                 |
| セキュリティ保護可能な領域 | -            | -          | セキュリティ保護可能な領域を抜けるときのジャンプ先のアドレス：@0x1FFF6800  |
| USART1 ブートローダ | USART1       | 有効         | 一度初期化されると、USART1 の設定は 8 ビット、偶数パリティ、および 1 ストップ・ビットになります。   |
|               | USART1_RX ピン | 入力         | PA10 ピン：受信モードの USART1。オルタネート・プッシュプル、プルアップ・モードで使用。   |
|               | USART1_TX ピン | 出力         | PA9 ピン：送信モードの USART1。オルタネート・プッシュプル、プルアップ・モードで使用。  |
| USART2 ブートローダ | USART2       | 有効         | 一度初期化されると、USART2 の設定は 8 ビット、偶数パリティ、および 1 ストップ・ビットになります。   |
|               | USART2_RX ピン | 入力         | PA3 ピン：受信モードの USART2。オルタネート・プッシュプル、プルアップ・モードで使用。  |
|               | USART2_TX ピン | 出力         | PA2 ピン：送信モードの USART2。オルタネート・プッシュプル、プルアップ・モードで使用。  |

表 93. システム・メモリ・ブート・モードでの STM32G0B0xx の設定 (続き)

| ブートローダ        | 機能/ペリフェラル    | 状態    | コメント  |
|---------------|--------------|-------|---|
| USART3 ブートローダ | USART3       | 有効    | 一度初期化されると、USART3 の設定は8 ビット、偶数パリティ、および 1 ストップ・ビットになります。  |
|               | USART3_RX ピン | 入力    | PC11 ピン: 受信モードの USART3。オルタネート・プッシュプル、プルアップ・モードで使用。  |
|               | USART3_TX ピン | 出力    | PC10 ピン: 送信モードの USART3。オルタネート・プッシュプル、プルアップ・モードで使用。  |
| I2C1 ブートローダ   | I2C1         | 有効    | I2C1 設定:<br>I <sup>2</sup> C スピード: 最大 1 MHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレス: 0b1011101x<br>(ここで、書込みの場合 x = 0、読出しの場合 x = 1) |
|               | I2C1_SCL ピン  | 入力/出力 | PB6 ピン: クロック・ラインはオープンドレインのプルアップモードで使用されます。  |
|               | I2C1_SDA ピン  | 入力/出力 | PB7 ピン: データ・ラインはオープンドレインのプルアップモードで使用されます。   |
| I2C2 ブートローダ   | I2C2         | 有効    | I2C2 設定:<br>I <sup>2</sup> C スピード: 最大 1 MHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレス: 0b1011101x<br>(ここで、書込みの場合 x = 0、読出しの場合 x = 1) |
|               | I2C2_SCL ピン  | 入力/出力 | PB10 ピン: クロック・ラインはオープンドレインのプルアップモードで使用されます。   |
|               | I2C2_SDA ピン  | 入力/出力 | PB11 ピン: データ・ラインはオープンドレインのプルアップモードで使用されます。  |
| SPI1 ブートローダ   | SPI1         | 有効    | SPI1 設定:<br>- スレーブモード<br>- 全二重<br>- 8 ビット MSB<br>- 最大 8 MHz の速度<br>- 極性: CPOL ロー、CPHA ロー、NSS ハードウェア。  |
|               | SPI1_MOSI ピン | 入力    | PA7 ピン: スレーブデータ入カライン (プッシュプル、プルダウンモードで使用)   |
|               | SPI1_MISO ピン | 出力    | PA6 ピン: スレーブデータ出カライン (プッシュプル、プルダウンモードで使用)   |
|               | SPI1_SCK ピン  | 入力    | PA5 ピン: スレーブクロックライン (プッシュプル、プルダウンモードで使用)  |
|               | SPI1_NSS ピン  | 入力    | PA4 ピン: スレーブ・チップ選択ピン (プッシュプル、プルダウンモードで使用)<br>注: この IO は、SPI マスタが使用しない場合は、GND に接続できます。   |

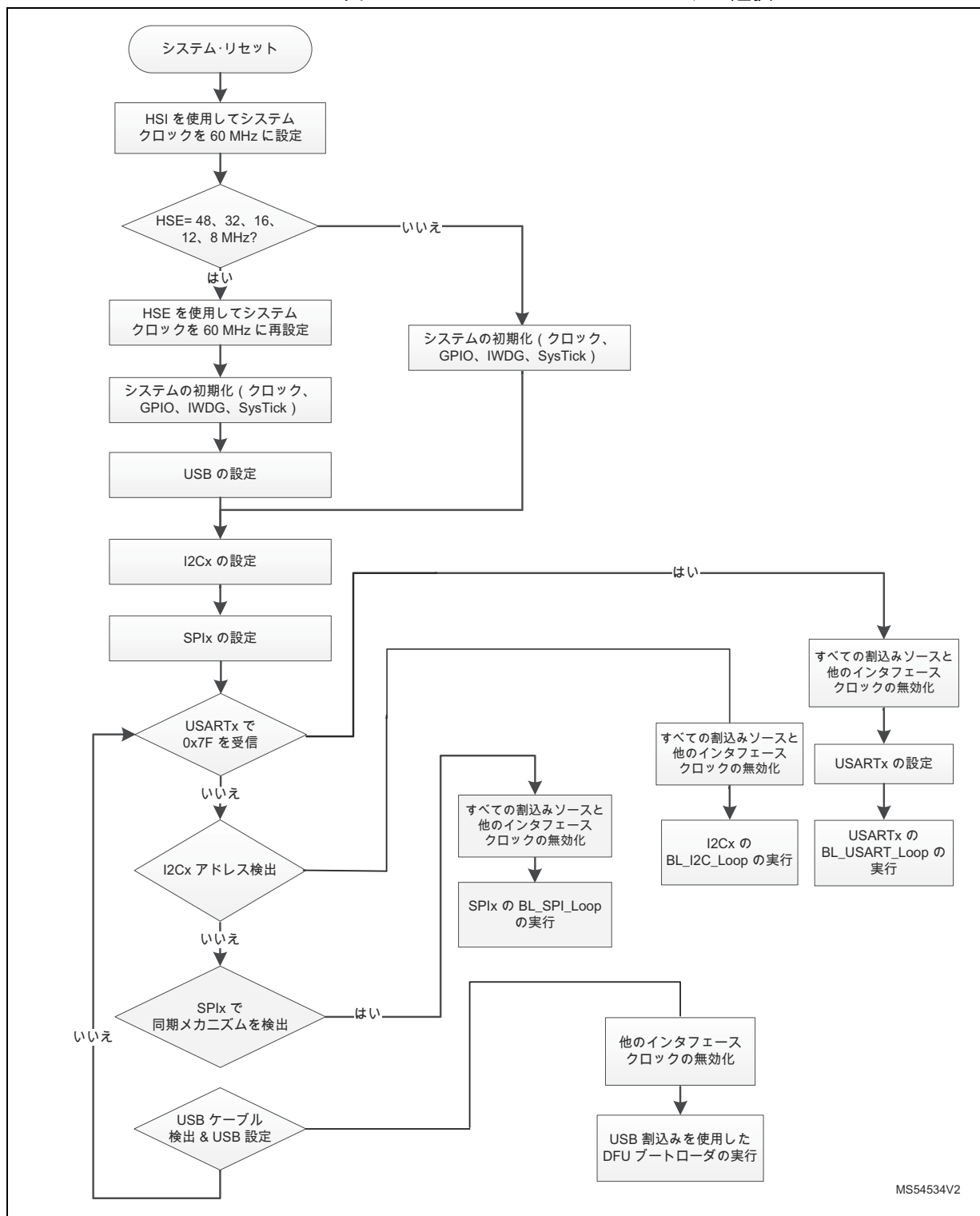
表 93. システム・メモリ・ブート・モードでの STM32G0B0xx の設定 (続き)

| ブートローダ      | 機能/ペリフェラル    | 状態    | コメント   |
|-------------|--------------|-------|--|
| SPI2 ブートローダ | SPI2         | 有効    | SPI2 設定 :<br>- スレーブモード<br>- 全二重<br>- 8 ビット MSB<br>- 最大 8 MHz の速度<br>- 極性 : CPOL ロー、CPHA ロー、NSS ハードウェア。                         |
|             | SPI2_MOSI ピン | 入力    | PB15 ピン : スレーブデータ入力ライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI2_MISO ピン | 出力    | PB14 ピン : スレーブデータ出力ライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI2_SCK ピン  | 入力    | PB13 ピン : スレーブクロックライン (プッシュプル、プルダウンモードで使用)   |
|             | SPI2_NSS ピン  | 入力    | PB12 ピン : スレーブ・チップ選択ピン (プッシュプル、プルダウンで使用)<br>注 : この IO は、SPI マスタが使用しない場合は、GND に接続できます。  |
| DFU ブートローダ  | USB          | 有効    | USB FS は強制デバイス・モードで設定されます。USB FS 割り込みベクタが有効化され、USB DFU 通信に使用されます。注 : USB ペリフェラルがブートローダで使用されるので、VDDUSB IO は 3.3 V に接続する必要があります。 |
|             | USB_DM ピン    | 入力/出力 | PA11 : USB DM ライン。入力プルアップ・プルダウンなしモードで使用。   |
|             | USB_DP ピン    |       | PA12 : USB DP ライン。入力プルアップ・プルダウンなしモードで使用。<br>外部プルアップ抵抗は不要です。  |

## 43.2 ブートローダの選択

次の図に、ブートローダの選択メカニズムを示します。

図 54. STM32G0B0xx のブートローダの選択



### 43.3 ブートローダのバージョン

表 94 に STM32G0B0xx デバイスのブートローダのバージョンを示します。

表 94. STM32G0B0xx のブートローダのバージョン

| ブートローダのバージョン番号 | 説明             | 既知の制限 |
|----------------|----------------|-------|
| V13.0          | ブートローダの初期バージョン | なし    |



## 44 STM32G0B1xx/0C1xx デバイスのブートローダ

### 44.1 ブートローダの設定

STM32G0B1xx/0C1xx ブートローダは、パターン 11 を適用すると有効化されます (表 2: ブートローダの有効化パターンを参照)。次の表に、このブートローダが使用するハードウェア・リソースを示します。

表 95. システムメモリブートモードでの STM32G0B1xx/0C1xx の設定

| ブートローダ        | 機能/ペリフェラル    | 状態  | コメント  |
|---------------|--------------|---|---|
| すべてのブートローダに共通 | RCC          | HSI は有効です。  | システム・クロック周波数は 60 MHz です (HSI によってクロック供給された PLL を使用)。  |
|               |              | -   | クロックリカバリシステム (CRS) は、USB を HSI48 48 MHz でクロック供給できるように DFU ブートローダで有効化されます。   |
|               |              | -   | PLLQ から生成された 20 MHz は FDCAN に使用されます。  |
|               | RAM          | -   | アドレス 0x20000000 から始まる 16 KB は、ブートローダのファームウェアによって使用されます。   |
|               | システムメモリ      | -   | ブートローダのファームウェアは次の 2 つのバンクに分割して保持されます。<br>- アドレス 0x1FFF0000 から 0x1FFF6FFF までの 28 KB<br>- アドレス 0x1FFF8000 から 0x1FFFEFFF までの 28 KB の一部 |
| IWDG          | -            | 独立型ウォッチドッグ (IWDG) プリスケーラは、最大値に設定されます。これは、定期的リフレッシュされ、ウォッチドッグがリセットされるのを防ぎます (ハードウェアの IWDG オプションがユーザによって事前に有効化されている場合)。 |   |
| セキュリティ保護可能な領域 | -            | -   | セキュリティ保護可能な領域のジャンプ先のアドレス : @0x1FFF6800  |
| USART1 ブートローダ | USART1       | 有効  | 一度初期化されると、USART1 の設定は 8 ビット、偶数パリティ、および 1 ストップ・ビットになります。   |
|               | USART1_RX ピン | 入力  | PA10 ピン : 受信モードの USART1。オルタネート・プッシュプル、プルアップ・モードで使用。   |
|               | USART1_TX ピン | 出力  | PA9 ピン : 送信モードの USART1。オルタネート・プッシュプル、プルアップ・モードで使用。  |
| USART2 ブートローダ | USART2       | 有効  | 一度初期化されると、USART2 の設定は 8 ビット、偶数パリティ、および 1 ストップ・ビットになります。   |
|               | USART2_RX ピン | 入力  | PA3 ピン : 受信モードの USART2。オルタネート・プッシュプル、プルアップ・モードで使用。  |
|               | USART2_TX ピン | 出力  | PA2 ピン : 送信モードの USART2。オルタネート・プッシュプル、プルアップ・モードで使用。  |

表 95. システムメモリブートモードでの STM32G0B1xx/0C1xx の設定 (続き)

| ブートローダ        | 機能/ペリフェラル    | 状態    | コメント  |
|---------------|--------------|-------|---|
| USART3 ブートローダ | USART3       | 有効    | 一度初期化されると、USART3 の設定は8 ビット、偶数パリティ、および 1 ストップ・ビットになります。  |
|               | USART3_RX ピン | 入力    | PC11 ピン：受信モードの USART3。オルタネート・プッシュプル、プルアップ・モードで使用。   |
|               | USART3_TX ピン | 出力    | PC10 ピン：送信モードの USART3。オルタネート・プッシュプル、プルアップ・モードで使用。   |
| I2C2 ブートローダ   | I2C2         | 有効    | I2C1 設定：<br>I <sup>2</sup> C スピード：最大 1 MHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレス：0b1011101x<br>(ここで、書込みの場合 x = 0、読出しの場合 x = 1) |
|               | I2C2_SCL ピン  | 入力/出力 | PB6 ピン：クロック・ラインはオープンドレインのプルアップモードで使用されます。   |
|               | I2C2_SDA ピン  | 入力/出力 | PB7 ピン：データ・ラインはオープンドレインのプルアップモードで使用されます。  |
| I2C3 ブートローダ   | I2C3         | 有効    | I2C3 設定：<br>I <sup>2</sup> C スピード：最大 1 MHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレス：0b1011101x<br>(ここで、書込みの場合 x = 0、読出しの場合 x = 1) |
|               | I2C3_SCL ピン  | 入力/出力 | PB10 ピン：クロック・ラインはオープンドレインのプルアップモードで使用されます。  |
|               | I2C3_SDA ピン  | 入力/出力 | PB11 ピン：データ・ラインはオープンドレインのプルアップモードで使用されます。   |
| SPI1 ブートローダ   | SPI1         | 有効    | SPI1 設定：<br>- スレーブモード<br>- 全二重<br>- 8 ビット MSB<br>- 最大 8 MHz の速度<br>- 極性：CPOL ロー、CPHA ロー、NSS ハードウェア。   |
|               | SPI1_MOSI ピン | 入力    | PA7 ピン：スレーブデータ入力ライン (プッシュプル、プルダウンモードで使用)  |
|               | SPI1_MISO ピン | 出力    | PA6 ピン：スレーブデータ出力ライン (プッシュプル、プルダウンモードで使用)  |
|               | SPI1_SCK ピン  | 入力    | PA5 ピン：スレーブクロックライン (プッシュプル、プルダウンモードで使用)   |
|               | SPI1_NSS ピン  | 入力    | PA4 ピン：スレーブ・チップ選択ピン (プッシュプル、プルダウンモードで使用)<br>注：この IO は、SPI マスタが使用しない場合は、GND に接続できます。   |

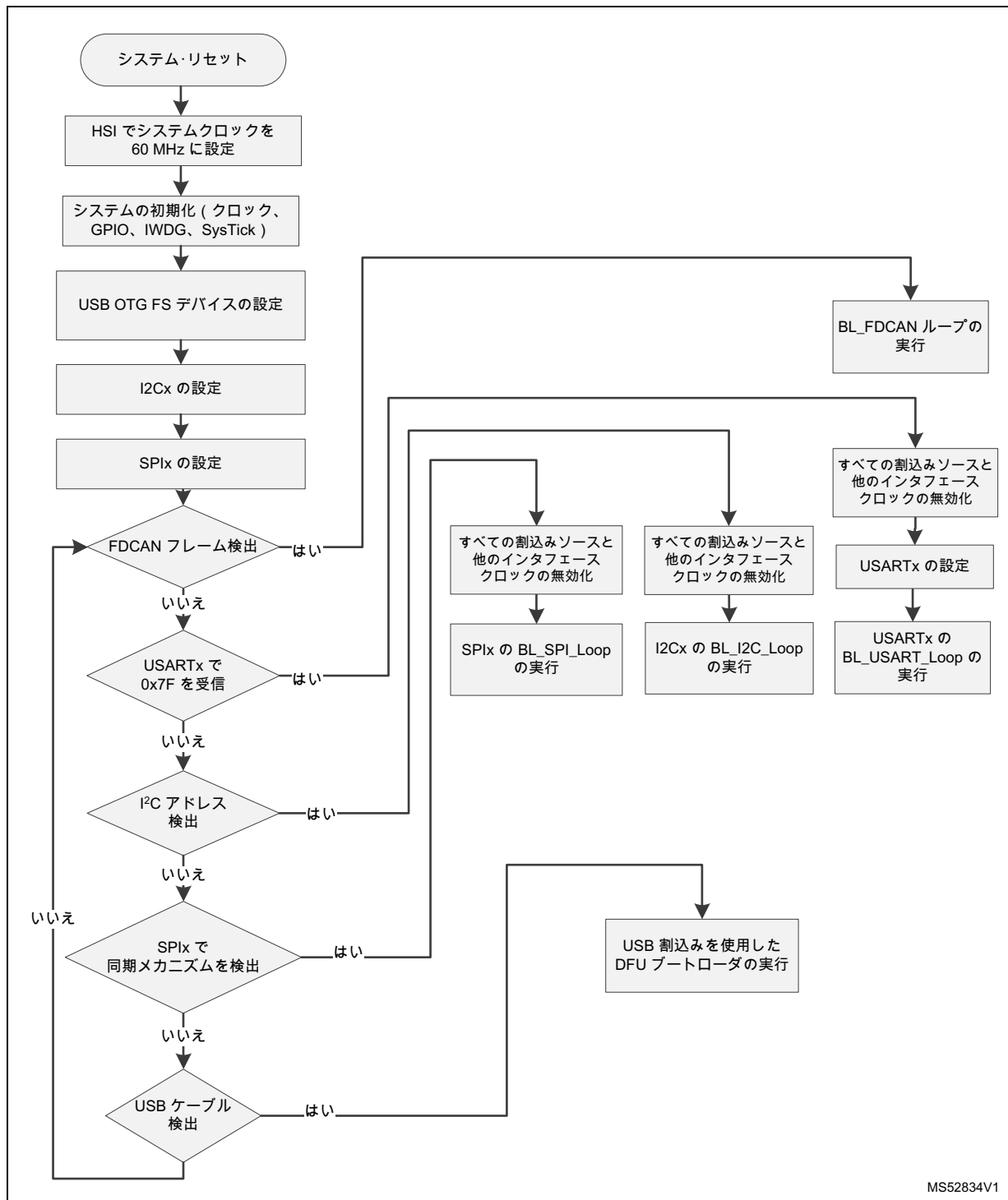
表 95. システムメモリブートモードでの STM32G0B1xx/0C1xx の設定 (続き)

| ブートローダ      | 機能/ペリフェラル    | 状態    | コメント   |
|-------------|--------------|-------|--|
| SPI2 ブートローダ | SPI2         | 有効    | SPI2 設定 :<br>- スレーブモード<br>- 全二重<br>- 8 ビット MSB<br>- 最大 8 MHz の速度<br>- 極性 : CPOL ロー、CPHA ロー、NSS ハードウェア。   |
|             | SPI2_MOSI ピン | 入力    | PB15 ピン : スレーブデータ入力ライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI2_MISO ピン | 出力    | PB14 ピン : スレーブデータ出力ライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI2_SCK ピン  | 入力    | PB13 ピン : スレーブクロックライン (プッシュプル、プルダウンモードで使用)   |
|             | SPI2_NSS ピン  | 入力    | PB12 ピン : スレーブ・チップ選択ピン (プッシュプル、プルダウンで使用)<br>注 : この IO は、SPI マスタが使用しない場合は、GND に接続できます。  |
| DFU ブートローダ  | USB          | 有効    | USB FS は強制デバイス・モードで設定されます。USB FS 割込みベクタが有効化され、USB DFU 通信に使用されます。注 : USB ペリフェラルがブートローダで使用されるので、VDDUSB IO は 3.3 V に接続する必要があります。  |
|             | USB_DM ピン    | 入力/出力 | PA11 : USB DM ライン。プルアップ・プルダウンなしモードで使用。   |
|             | USB_DP ピン    |       | PA12 : USB DP ライン。プルアップ・プルダウンなしモードで使用。<br>外部プルアップ抵抗は不要です。  |
| FDCAN       | FDCAN1       | 有効    | 一度初期化されると、FDCAN1 の設定は<br>- ビットレート 0.5 Mbps<br>- フレームフォーマット = FDCAN_FRAME_FD_BRS<br>モード = FDCAN_MODE_NORMAL<br>- 自動再送信 = ENABLE<br>- 送信一時停止 = DISABLE<br>- プロトコル例外 = ENABLE |
|             | FDCAN1_Rx ピン | 入力    | PD0 ピン : 受信モードの FDCAN1。オルタネート・プッシュプル、プルアップ・モードで使用。   |
|             | FDCAN1_Tx ピン | 出力    | PD1 ピン : 送信モードの FDCAN1。オルタネート・プッシュプル、プルアップ・モードで使用。   |

## 44.2 ブートローダの選択

次の図に、ブートローダの選択メカニズムを示します。

図 55. STM32G0B1xx/0C1xx のブートローダの選択



MS52834V1

## 44.3 ブートローダのバージョン

表 96 に、STM32G0B1xx/0C1xx デバイスのブートローダのバージョンを示します。

表 96. STM32G0B1xx/0C1xx のブートローダのバージョン

| ブートローダのバージョン番号 | 説明             | 既知の制限 |
|----------------|----------------|-------|
| V9.2           | ブートローダの初期バージョン | なし    |

## 45 STM32G05xxx/061xx デバイスのブートローダ

### 45.1 ブートローダの設定

STM32G05xxx/061xx ブートローダは、パターン 6 を適用すると有効化されます (表 2: ブートローダの有効化パターンを参照)。次の表に、このブートローダが使用するハードウェア・リソースを示します。STM32G050x には BOOT\_LOCK(bit) がないので、パターン 6 を使用する場合はこの点を考慮します。

表 97. システム・メモリ・ブート・モードでの STM32G05xxx/061xx の設定

| ブートローダ        | 機能/ペリフェラル    | 状態         | コメント  |
|---------------|--------------|------------|---|
| すべてのブートローダに共通 | RCC          | HSI は有効です。 | システム・クロック周波数は 24 MHz です (HSI によってクロック供給された PLL を使用)。  |
|               | RAM          | -          | アドレス 0x20000000 から始まる 4 KB は、ブートローダのファームウェアによって使用されます。  |
|               | システムメモリ      | -          | アドレス 0x1FFF0000 から始まる 8 KB に、ブートローダのファームウェアが含まれています。  |
|               | IWDG         | -          | 独立型ウォッチドッグ (IWDG) プリスケアラは、最大値に設定されます。これは、定期的リフレッシュされ、ウォッチドッグがリセットされるのを防ぎます (ハードウェアの IWDG オプションがユーザによって事前に有効化されている場合)。 |
| セキュリティ保護可能な領域 | -            | -          | セキュリティ保護可能な領域のジャンプ先のアドレス : @0x1FFF6800  |
| USART1 ブートローダ | USART1       | 有効         | 一度初期化されると、USART1 の設定は 8 ビット、偶数パリティ、および 1 ストップ・ビットになります。   |
|               | USART1_RX ピン | 入力         | PA10 ピン : 受信モードの USART1。オルタネート・プッシュプル、プルアップ・モードで使用。   |
|               | USART1_TX ピン | 出力         | PA9 ピン : 送信モードの USART1。オルタネート・プッシュプル、プルアップ・モードで使用。  |
| USART2 ブートローダ | USART2       | 有効         | 一度初期化されると、USART2 の設定は 8 ビット、偶数パリティ、および 1 ストップ・ビットになります。   |
|               | USART2_RX ピン | 入力         | PA3 ピン : 受信モードの USART2。オルタネート・プッシュプル、プルアップ・モードで使用。  |
|               | USART2_TX ピン | 出力         | PA2 ピン : 送信モードの USART2。オルタネート・プッシュプル、プルアップ・モードで使用。  |
| USARTx ブートローダ | SysTick タイマ  | 有効         | USART2 ブートローダのホストからシリアル・ボーレートを自動検出するために使用されます。  |

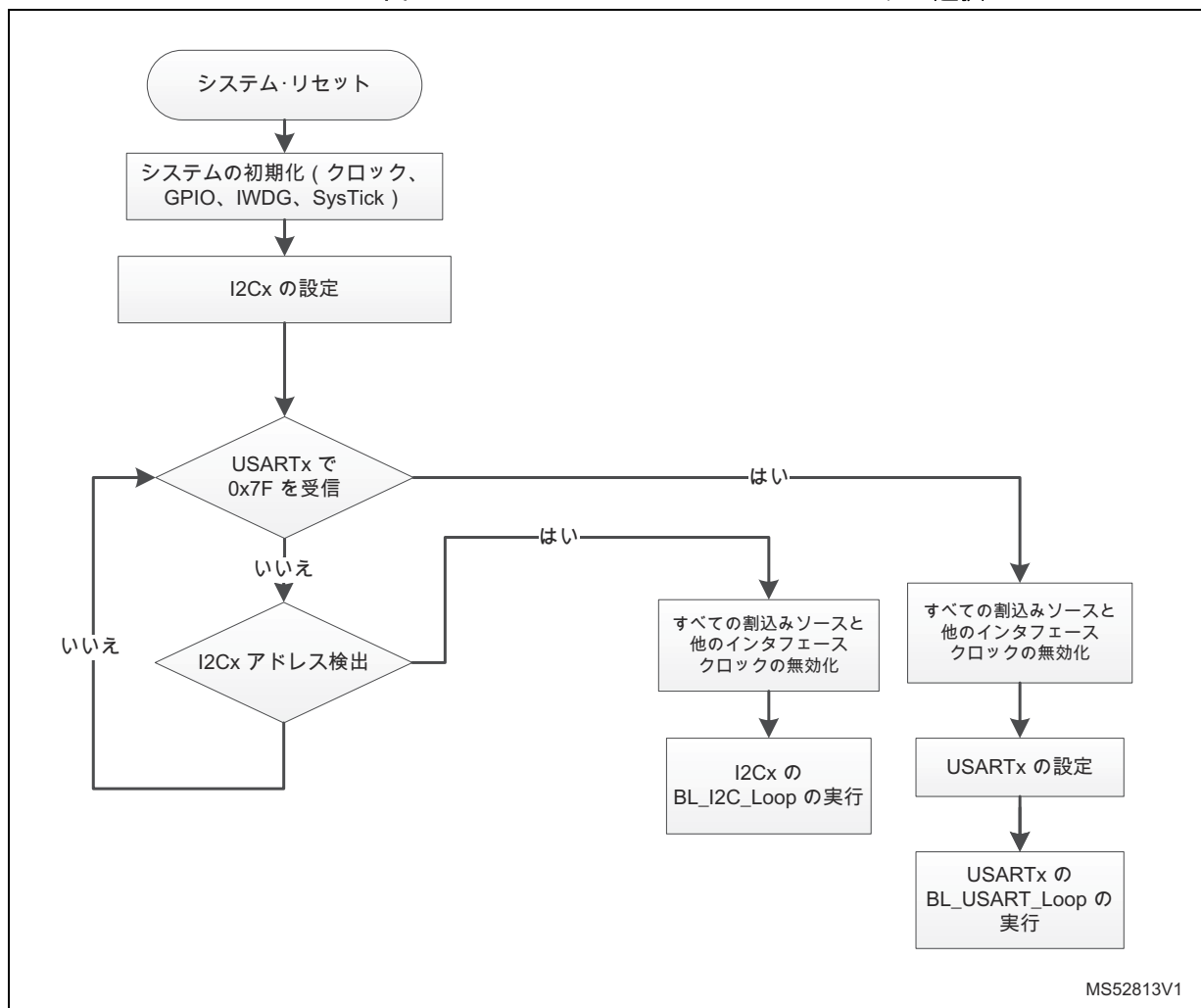
表 97. システム・メモリ・ブート・モードでの STM32G05xxx/061xx の設定 (続き)

| ブートローダ      | 機能/ペリフェラル   | 状態    | コメント   |
|-------------|-------------|-------|--|
| I2C1 ブートローダ | I2C1        | 有効    | I2C1 設定 :<br>I <sup>2</sup> C スピード : 最大 1 MHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレス : 0b1100010x<br>(ここで、書込みの場合 x = 0、読出しの場合 x = 1) |
|             | I2C1_SCL ピン | 入力/出力 | PB6 ピン : クロック・ラインはオープンドレインのプルアップモードで使用されます。  |
|             | I2C1_SDA ピン | 入力/出力 | PB7 ピン : データ・ラインはオープンドレインのプルアップモードで使用されます。   |
| I2C2 ブートローダ | I2C2        | 有効    | I2C2 設定 :<br>I <sup>2</sup> C スピード : 最大 1 MHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレス : 0b1100010x<br>(ここで、書込みの場合 x = 0、読出しの場合 x = 1) |
|             | I2C2_SCL ピン | 入力/出力 | PB10 ピン : クロック・ラインはオープンドレインのプルアップモードで使用されます。   |
|             | I2C2_SDA ピン | 入力/出力 | PB11 ピン : データ・ラインはオープンドレインのプルアップモードで使用されます。  |

## 45.2 ブートローダの選択

次の図に、ブートローダの選択メカニズムを示します。

図 56. STM32G05xxx/061xx のブートローダの選択



## 45.3 ブートローダのバージョン

表 98 に、STM32G05xxx/061xx デバイスのブートローダのバージョンを示します。

表 98. STM32G05xxx/061xx のブートローダのバージョン

| ブートローダのバージョン番号 | 説明             | 既知の制限                            |
|----------------|----------------|----------------------------------|
| V5.0           | ブートローダの初期バージョン | USART2 の検出フェーズでソフトウェアのジッタが発生する問題 |
| V5.1           | V5.0 の制限を修正    | なし                               |



## 46 STM32G431xx/441xx デバイスのブートローダ

### 46.1 ブートローダの設定

STM32G431xx/441xx ブートローダは、パターン 15 を適用すると有効化されます (表 2: ブートローダの有効化パターンを参照)。次の表に、このブートローダが使用するハードウェア・リソースを示します。

表 99. システムメモリブートモードでの STM32G431xx/441xx の設定

| ブートローダ        | 機能/ペリフェラル    | 状態         | コメント  |
|---------------|--------------|------------|---|
| すべてのブートローダに共通 | RCC          | HSI は有効です。 | システム・クロック周波数は 72 MHz です (HSI によってクロック供給された PLL を使用)。  |
|               |              | -          | クロックリカバリシステム (CRS) は、USB を HSI48 48 MHz でクロック供給できるように DFU ブートローダで有効化されます。   |
|               | RAM          | -          | アドレス 0x20000000 から始まる 16 KB は、ブートローダのファームウェアによって使用されます。   |
|               | システムメモリ      | -          | アドレス 0x1FFF0000 から始まる 28 KB に、ブートローダのファームウェアが含まれています。   |
|               | IWDG         | -          | 独立型ウォッチドッグ (IWDG) プリスケアラは、最大値に設定されます。これは、定期的によりフレッシュされ、ウォッチドッグがリセットされるのを防ぎます (ハードウェアの IWDG オプションがユーザによって事前に有効化されている場合)。 |
| セキュリティ保護可能な領域 | -            | -          | セキュリティ保護可能な領域を抜けるときのジャンプ先のアドレス: @0x1FFF6800   |
| USART1 ブートローダ | USART1       | 有効         | 一度初期化されると、USART1 の設定は 8 ビット、偶数パリティ、および 1 ストップ・ビットになります。   |
|               | USART1_RX ピン | 入力         | PA10 ピン: 受信モードの USART1。オルタネート・プッシュプル、プルアップ・モードで使用。  |
|               | USART1_TX ピン | 出力         | PA9 ピン: 送信モードの USART1。オルタネート・プッシュプル、プルアップ・モードで使用。   |
| USART2 ブートローダ | USART2       | 有効         | 一度初期化されると、USART2 の設定は 8 ビット、偶数パリティ、および 1 ストップ・ビットになります。   |
|               | USART2_RX ピン | 入力         | PA3 ピン: 受信モードの USART2。オルタネート・プッシュプル、プルアップ・モードで使用。   |
|               | USART2_TX ピン | 出力         | PA2 ピン: 送信モードの USART2。オルタネート・プッシュプル、プルアップ・モードで使用。   |
| USART3 ブートローダ | USART3       | 有効         | 一度初期化されると、USART3 の設定は 8 ビット、偶数パリティ、および 1 ストップ・ビットになります。   |
|               | USART3_RX ピン | 入力         | PC11 ピン: 受信モードの USART3。オルタネート・プッシュプル、プルアップ・モードで使用。  |
|               | USART3_TX ピン | 出力         | PC10 ピン: 送信モードの USART3。オルタネート・プッシュプル、プルアップ・モードで使用。  |

表 99. システムメモリブートモードでの STM32G431xx/441xx の設定 (続き)

| ブートローダ      | 機能/ペリフェラル    | 状態    | コメント  |
|-------------|--------------|-------|---|
| I2C2 ブートローダ | I2C2         | 有効    | I2C2 設定：<br>I <sup>2</sup> C スピード：最大 1 MHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレス：0b1010100x<br>(ここで、書込みの場合 x=0、読出しの場合 x=1) |
|             | I2C2_SCL ピン  | 入力/出力 | PC4 ピン：クロック・ラインはオープンドレインのプルアップモードで使用されます。   |
|             | I2C2_SDA ピン  | 入力/出力 | PA8 ピン：データ・ラインはオープンドレインのプルアップモードで使用されます。  |
| I2C3 ブートローダ | I2C3         | 有効    | I2C3 設定：<br>I <sup>2</sup> C スピード：最大 1 MHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレス：0b1010100x<br>(ここで、書込みの場合 x=0、読出しの場合 x=1) |
|             | I2C3_SCL ピン  | 入力/出力 | PC8 ピン：クロック・ラインはオープンドレインのプルアップモードで使用されます。   |
|             | I2C3_SDA ピン  | 入力/出力 | PC9 ピン：データ・ラインはオープンドレインのプルアップモードで使用されます。  |
| SPI1 ブートローダ | SPI1         | 有効    | SPI1 設定：<br>- スレーブモード<br>- 全二重<br>- 8 ビット MSB<br>- 最大 8 MHz の速度<br>- 極性：CPOL ロー、CPHA ロー、NSS ハードウェア。                                       |
|             | SPI1_MOSI ピン | 入力    | PA7 ピン：スレーブデータ入力ライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI1_MISO ピン | 出力    | PA6 ピン：スレーブデータ出力ライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI1_SCK ピン  | 入力    | PA5 ピン：スレーブクロックライン (プッシュプル、プルダウンモードで使用)   |
|             | SPI1_NSS ピン  | 入力    | PA4 ピン：スレーブ・チップ選択ピン (プッシュプル、プルダウンモードで使用)  |

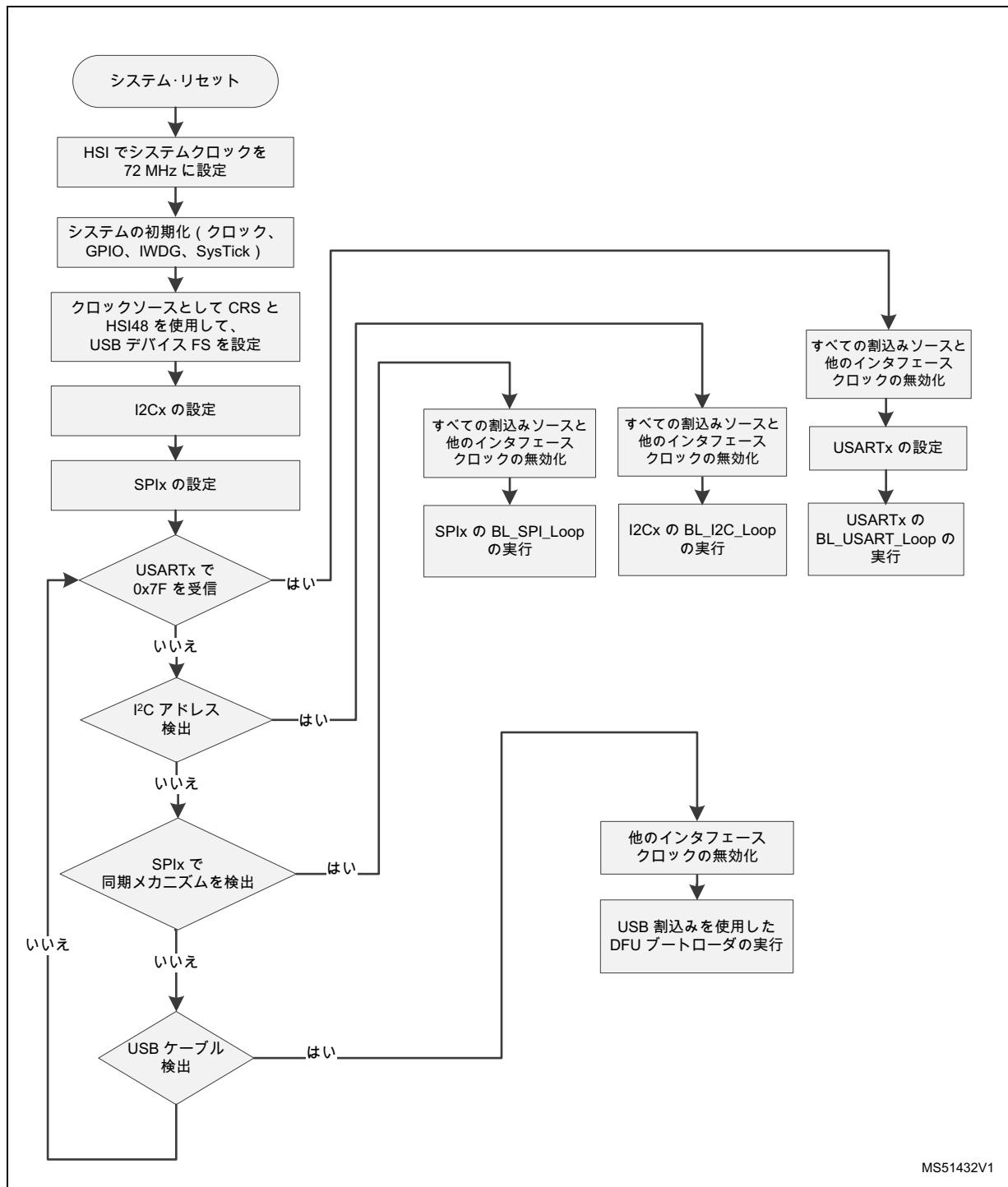
表 99. システムメモリブートモードでの STM32G431xx/441xx の設定 (続き)

| ブートローダ      | 機能/ペリフェラル    | 状態    | コメント   |
|-------------|--------------|-------|--|
| SPI2 ブートローダ | SPI2         | 有効    | SPI2 設定 :<br>- スレーブモード<br>- 全二重<br>- 8 ビット MSB<br>- 最大 8 MHz の速度<br>- 極性 : CPOL ロー、CPHA ロー、NSS ハードウェア。 |
|             | SPI2_MOSI ピン | 入力    | PB15 ピン : スレーブデータ入カライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI2_MISO ピン | 出力    | PB14 ピン : スレーブデータ出カライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI2_SCK ピン  | 入力    | PB13 ピン : スレーブクロックライン (プッシュプル、プルダウンモードで使用)   |
|             | SPI2_NSS ピン  | 入力    | PB12 ピン : スレーブチップ選択ピン (プッシュプル、プルダウンモードで使用)<br>注 : この IO は、SPI マスタが使用しない場合は、GND に接続できます。                |
| DFU ブートローダ  | USB          | 有効    | USB FS は強制デバイスモードで設定されます。<br>USB FS 割込みベクタが有効化され、USB DFU 通信に使用されます。                                    |
|             | USB_DM ピン    | 入力/出力 | PA11 : USB DM ライン。入力プルアップ・プルダウンなしモードで使用。   |
|             | USB_DP ピン    |       | PA12 : USB DP ライン。入力プルアップ・プルダウンなしモードで使用。<br>外部プルアップ抵抗は不要です。  |

## 46.2 ブートローダの選択

次の図に、ブートローダの選択メカニズムを示します。

図 57. STM32G431xx/441xx のブートローダの選択



## 46.3 ブートローダのバージョン

表 100. STM32G431xx/441xx のブートローダのバージョン

| ブートローダのバージョン番号 | 説明             | 既知の制限                |
|----------------|----------------|----------------------|
| V13.3 (0xD3)。  | ブートローダの初期バージョン | CCSRAM はサポートされていません。 |
| V13.4 (0xD4)。  | V13.3 の制限を修正   | CCSRAM のサポートを追加      |

## 47 STM32G47xxx/48xxx デバイスのブートローダ

### 47.1 ブートローダの設定

STM32G47xxx/48xxx ブートローダは、パターン 14 を適用すると有効化されます (表 2: ブートローダの有効化パターンを参照)。次の表に、このブートローダが使用するハードウェア・リソースを示します。

表 101. システムメモリブートモードでの STM32G47xxx/48xxx の設定

| ブートローダ        | 機能/ペリフェラル    | 状態         | コメント   |
|---------------|--------------|------------|--|
| すべてのブートローダに共通 | RCC          | HSI は有効です。 | システム・クロック周波数は 72 MHz です (HSI によってクロック供給された PLL を使用)。   |
|               |              | -          | クロックリカバリシステム (CRS) は、USB を HSI48 48 MHz でクロック供給できるように DFU ブートローダで有効化されます。  |
|               | RAM          | -          | アドレス 0x20000000 から始まる 16 KB は、ブートローダのファームウェアによって使用されます。  |
|               | システムメモリ      | -          | アドレス 0x1FFF0000 から始まる 28 KB に、ブートローダのファームウェアが含まれています。  |
|               | IWDG         | -          | 独立型ウォッチドッグ (IWDG) プリスケアラは、最大値に設定されます。これは、定期的にリフレッシュされ、ウォッチドッグがリセットされるのを防ぎます (ハードウェアの IWDG オプションがユーザによって事前に有効化されている場合)。 |
| セキュリティ保護可能な領域 | -            | -          | セキュリティ保護可能な領域を抜けるときのジャンプ先のアドレス: @0x1FFF6800  |
| USART1 ブートローダ | USART1       | 有効         | 一度初期化されると、USART1 の設定は 8 ビット、偶数パリティ、および 1 ストップ・ビットになります。  |
|               | USART1_RX ピン | 入力         | PA10 ピン: 受信モードの USART1。オルタネート・プッシュプル、ブルアップ・モードで使用。   |
|               | USART1_TX ピン | 出力         | PA9 ピン: 送信モードの USART1。オルタネート・プッシュプル、ブルアップ・モードで使用。  |
| USART2 ブートローダ | USART2       | 有効         | 一度初期化されると、USART2 の設定は 8 ビット、偶数パリティ、および 1 ストップ・ビットになります。  |
|               | USART2_RX ピン | 入力         | PA3 ピン: 受信モードの USART2。オルタネート・プッシュプル、ブルアップ・モードで使用。  |
|               | USART2_TX ピン | 出力         | PA2 ピン: 送信モードの USART2。オルタネート・プッシュプル、ブルアップ・モードで使用。  |
| USART3 ブートローダ | USART3       | 有効         | 一度初期化されると、USART3 の設定は 8 ビット、偶数パリティ、および 1 ストップ・ビットになります。  |
|               | USART3_RX ピン | 入力         | PC11 ピン: 受信モードの USART3。オルタネート・プッシュプル、ブルアップ・モードで使用。   |
|               | USART3_TX ピン | 出力         | PC10 ピン: 送信モードの USART3。オルタネート・プッシュプル、ブルアップ・モードで使用。   |

表 101. システムメモリブートモードでの STM32G47xxx/48xxx の設定 (続き)

| ブートローダ      | 機能/ペリフェラル    | 状態    | コメント  |
|-------------|--------------|-------|---|
| I2C2 ブートローダ | I2C2         | 有効    | I2C2 設定：<br>I <sup>2</sup> C スピード：最大 1 MHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレス：0b1010011x<br>(ここで、書込みの場合 x = 0、読出しの場合 x = 1) |
|             | I2C2_SCL ピン  | 入力/出力 | PC4 ピン：クロック・ラインはオープンドレインのプルアップモードで使用されます。   |
|             | I2C2_SDA ピン  | 入力/出力 | PA8 ピン：データ・ラインはオープンドレインのプルアップモードで使用されます。  |
| I2C3 ブートローダ | I2C3         | 有効    | I2C3 設定：<br>I <sup>2</sup> C スピード：最大 1 MHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレス：0b1010011x<br>(ここで、書込みの場合 x = 0、読出しの場合 x = 1) |
|             | I2C3_SCL ピン  | 入力/出力 | PC8 ピン：クロック・ラインはオープンドレインのプルアップモードで使用されます。   |
|             | I2C3_SDA ピン  | 入力/出力 | PC9 ピン：データ・ラインはオープンドレインのプルアップモードで使用されます。  |
| I2C4 ブートローダ | I2C4         | 有効    | I2C4 設定：<br>I <sup>2</sup> C スピード：最大 1 MHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレス：0b1010011x<br>(ここで、書込みの場合 x = 0、読出しの場合 x = 1) |
|             | I2C4_SCL ピン  | 入力/出力 | PC6 ピン：クロック・ラインはオープンドレインのプルアップモードで使用されます。   |
|             | I2C4_SDA ピン  | 入力/出力 | PC7 ピン：データ・ラインはオープンドレインのプルアップモードで使用されます。  |
| SPI1 ブートローダ | SPI1         | 有効    | SPI1 設定：<br>- スレーブモード<br>- 全二重<br>- 8 ビット MSB<br>- 最大 8 MHz の速度<br>- 極性：CPOL ロー、CPHA ロー、NSS ハードウェア。   |
|             | SPI1_MOSI ピン | 入力    | PA7 ピン：スレーブデータ入力ライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI1_MISO ピン | 出力    | PA6 ピン：スレーブデータ出力ライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI1_SCK ピン  | 入力    | PA5 ピン：スレーブ・クロック・ライン (プッシュプル、プルアップなし、プルダウン・モードで使用)  |
|             | SPI1_NSS ピン  | 入力    | PA4 ピン：スレーブ・チップ選択ピン (プッシュプル、プルダウンモードで使用)  |

表 101. システムメモリブートモードでの STM32G47xxx/48xxx の設定 (続き)

| ブートローダ      | 機能/ペリフェラル    | 状態    | コメント   |
|-------------|--------------|-------|--|
| SPI2 ブートローダ | SPI2         | 有効    | SPI2 設定 :<br>- スレーブモード<br>- 全二重<br>- 8 ビット MSB<br>- 最大 8 MHz の速度<br>- 極性 : CPOL ロー、CPHA ロー、NSS ハードウェア。                               |
|             | SPI2_MOSI ピン | 入力    | PB15 ピン : スレーブ・データ入力ライン (プッシュプル、プルダウンモードで使用)   |
|             | SPI2_MISO ピン | 出力    | PB14 ピン : スレーブデータ出力ライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI2_SCK ピン  | 入力    | PB13 ピン : スレーブ・クロック・ライン (プッシュプル、プルダウンモードで使用)   |
|             | SPI2_NSS ピン  | 入力    | PB12 ピン : スレーブ・チップ選択ピン (プッシュプル、プルダウンモードで使用)<br>注 : この IO は、SPI マスタが使用しない場合は、GND に接続できます。   |
| DFU ブートローダ  | USB          | 有効    | USB FS は強制デバイスモードで設定されます。<br>USB FS 割込みベクタが有効化され、USB DFU 通信に使用されます。<br>注 : USB ペリフェラルがブートローダで使用されるので、VDDUSB IO は 3.3 V に接続する必要があります。 |
|             | USB_DM ピン    | 入力/出力 | PA11 : USB DM ライン。入力プルアップ・プルダウンなしモードで使用。   |
|             | USB_DP ピン    |       | PA12 : USB DP ライン。入力プルアップ・プルダウンなしモードで使用。<br>外部プルアップ抵抗は不要です。  |



## 47.2 ブートローダの選択

以降の図に、ブートローダの選択メカニズムを示します。

図 58. STM32G47xxx/48xxx のブートローダの選択

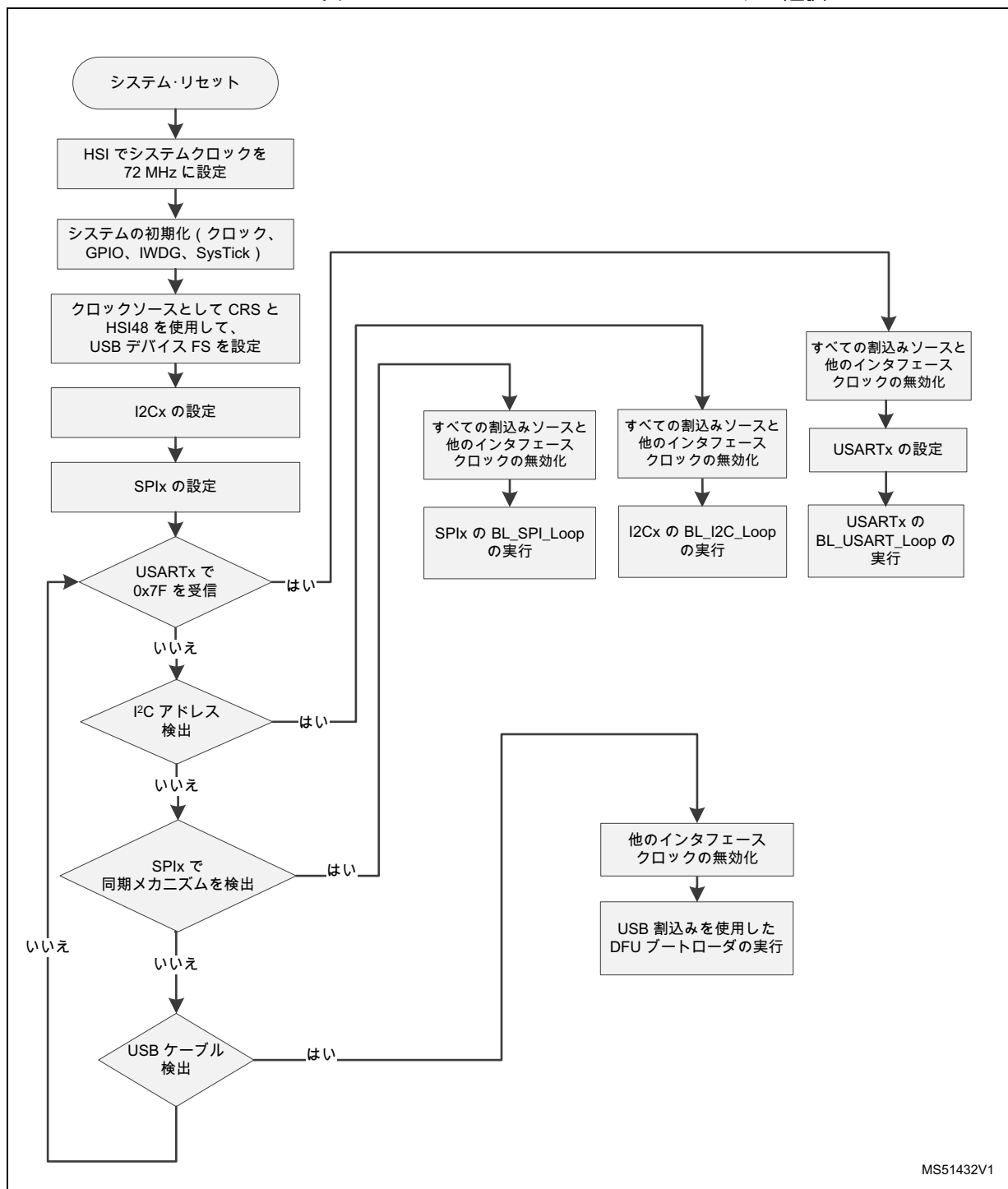
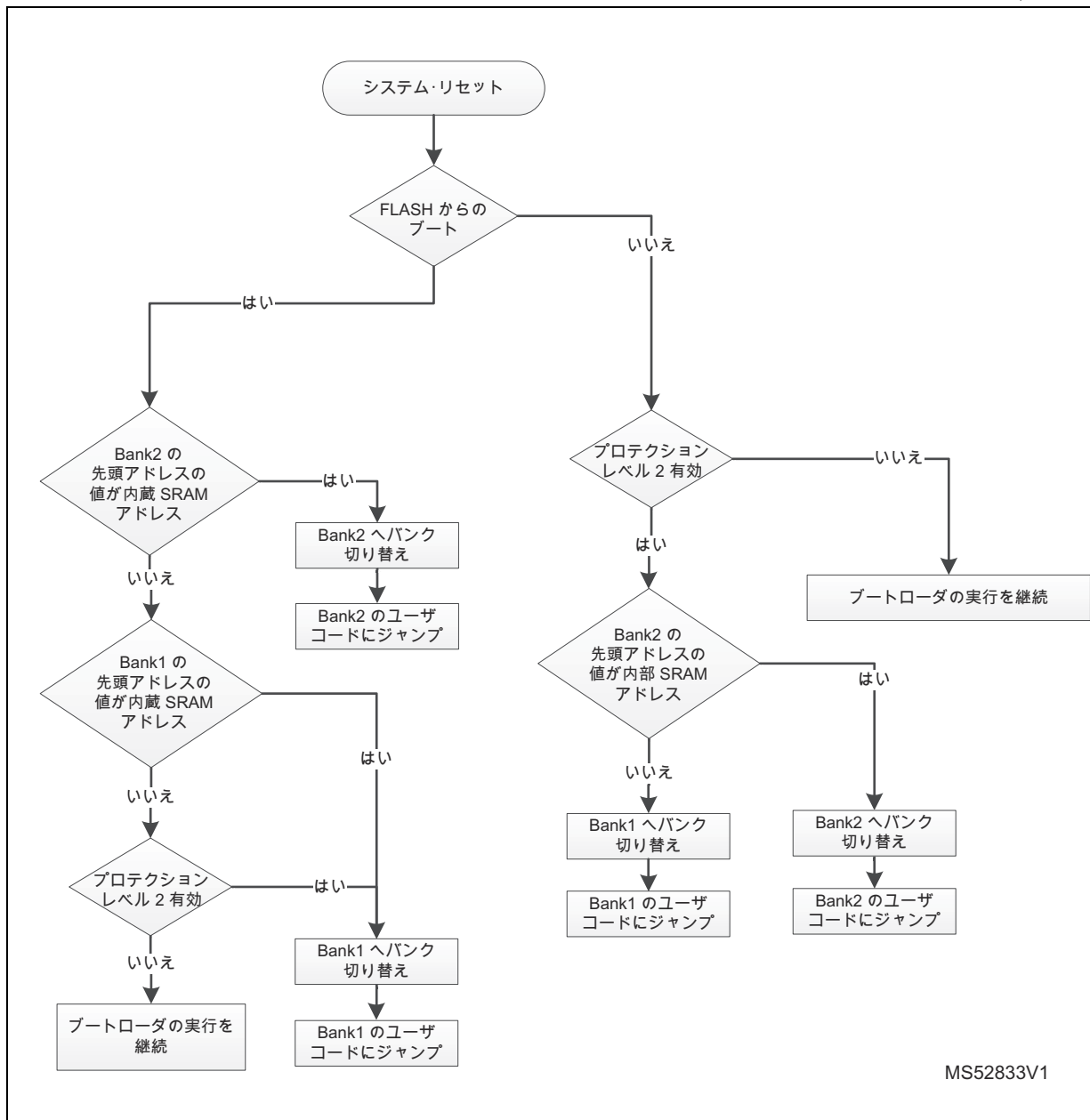


図 59. STM32G47xxx/48xxx ブートローダ V13.x のデュアルバンクブート実装



MS52833V1

## 47.3 ブートローダのバージョン

表 102. STM32G47xxx/48xxx のブートローダのバージョン

| ブートローダのバージョン番号 | 説明                                       | 既知の制限                     |
|----------------|--|---------------------------|
| V13.3 (0xD3)。  | ブートローダの初期バージョン                           | Bank2 からのブートが機能しません。      |
| V13.4 (0xD4)。  | V13.3 の制限を修正                             | CCSRAM/ENGI はサポートされていません。 |
| V13.5 (0xD5)。  | – V13.4 の制限を修正<br>– CCSRAM/ENGI のサポートを追加 | なし                        |

## 48 STM32G491xx/4A1xx デバイスのブートローダ

### 48.1 ブートローダの設定

STM32G491xx/4A1xx ブートローダは、パターン 15 を適用すると有効化されます (表 2: ブートローダの有効化パターンを参照)。次の表に、このブートローダが使用するハードウェア・リソースを示します。

表 103. システムメモリブートモードでの STM32G491xx/4A1xx の設定

| ブートローダ        | 機能/ペリフェラル    | 状態         | コメント  |
|---------------|--------------|------------|---|
| すべてのブートローダに共通 | RCC          | HSI は有効です。 | システム・クロック周波数は 72 MHz です (HSI によってクロック供給された PLL を使用)。  |
|               |              | -          | クロックリカバリシステム (CRS) は、USB を HSI48 48 MHz でクロック供給できるように DFU ブートローダで有効化されます。   |
|               | RAM          | -          | アドレス 0x20000000 から始まる 16 KB は、ブートローダのファームウェアによって使用されます。   |
|               | システムメモリ      | -          | アドレス 0x1FFF0000 から始まる 28 KB に、ブートローダのファームウェアが含まれています。   |
|               | IWDG         | -          | 独立型ウォッチドッグ (IWDG) プリスケーラは、最大値に設定されます。これは、定期的リフレッシュされ、ウォッチドッグがリセットされるのを防ぎます (ハードウェアの IWDG オプションがユーザによって事前に有効化されている場合)。 |
| セキュリティ保護可能な領域 | -            | -          | セキュリティ保護可能な領域を抜けるときのジャンプ先のアドレス: @0x1FFF6800   |
| USART1 ブートローダ | USART1       | 有効         | 一度初期化されると、USART1 の設定は 8 ビット、偶数パリティ、および 1 ストップ・ビットになります。   |
|               | USART1_RX ピン | 入力         | PA10 ピン: 受信モードの USART1。オルタネート・プッシュプル、プルアップ・モードで使用。  |
|               | USART1_TX ピン | 出力         | PA9 ピン: 送信モードの USART1。オルタネート・プッシュプル、プルアップ・モードで使用。   |
| USART2 ブートローダ | USART2       | 有効         | 一度初期化されると、USART2 の設定は 8 ビット、偶数パリティ、および 1 ストップ・ビットになります。   |
|               | USART2_RX ピン | 入力         | PA3 ピン: 受信モードの USART2。オルタネート・プッシュプル、プルアップ・モードで使用。   |
|               | USART2_TX ピン | 出力         | PA2 ピン: 送信モードの USART2。オルタネート・プッシュプル、プルアップ・モードで使用。   |
| USART3 ブートローダ | USART3       | 有効         | 一度初期化されると、USART3 の設定は 8 ビット、偶数パリティ、および 1 ストップ・ビットになります。   |
|               | USART3_RX ピン | 入力         | PC11 ピン: 受信モードの USART3。オルタネート・プッシュプル、プルアップ・モードで使用。  |
|               | USART3_TX ピン | 出力         | PC10 ピン: 送信モードの USART3。オルタネート・プッシュプル、プルアップ・モードで使用。  |

表 103. システムメモリブートモードでの STM32G491xx/4A1xx の設定 (続き)

| ブートローダ      | 機能/ペリフェラル    | 状態    | コメント   |
|-------------|--------------|-------|--|
| I2C2 ブートローダ | I2C2         | 有効    | I2C2 設定 :<br>I <sup>2</sup> C スピード : 最大 1 MHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレス : 0b1011111x<br>(ここで、書込みの場合 x = 0、読出しの場合 x = 1) |
|             | I2C2_SCL ピン  | 入力/出力 | PC4 ピン : クロック・ラインはオープンドレインのプルアップモードで使用されます。  |
|             | I2C2_SDA ピン  | 入力/出力 | PA8 ピン : データ・ラインはオープンドレインのプルアップモードで使用されます。   |
| I2C3 ブートローダ | I2C3         | 有効    | I2C3 設定 :<br>I <sup>2</sup> C スピード : 最大 1 MHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレス : 0b1011111x<br>(ここで、書込みの場合 x = 0、読出しの場合 x = 1) |
|             | I2C3_SCL ピン  | 入力/出力 | PC8 ピン : クロック・ラインはオープンドレインのプルアップモードで使用されます。  |
|             | I2C3_SDA ピン  | 入力/出力 | PC9 ピン : データ・ラインはオープンドレインのプルアップモードで使用されます。   |
| SPI1 ブートローダ | SPI1         | 有効    | SPI1 設定 :<br>- スレーブモード<br>- 全二重<br>- 8 ビット MSB<br>- 最大 8 MHz の速度<br>- 極性 : CPOL ロー、CPHA ロー、NSS ハードウェア。   |
|             | SPI1_MOSI ピン | 入力    | PA7 ピン : スレーブデータ入力ライン (プッシュプル、プルダウンモードで使用)   |
|             | SPI1_MISO ピン | 出力    | PA6 ピン : スレーブデータ出力ライン (プッシュプル、プルダウンモードで使用)   |
|             | SPI1_SCK ピン  | 入力    | PA5 ピン : スレーブ・クロック・ライン (プッシュプル、プルアップなし、プルダウン・モードで使用)   |
|             | SPI1_NSS ピン  | 入力    | PA4 ピン : スレーブ・チップ選択ピン (プッシュプル、プルダウンモードで使用)   |

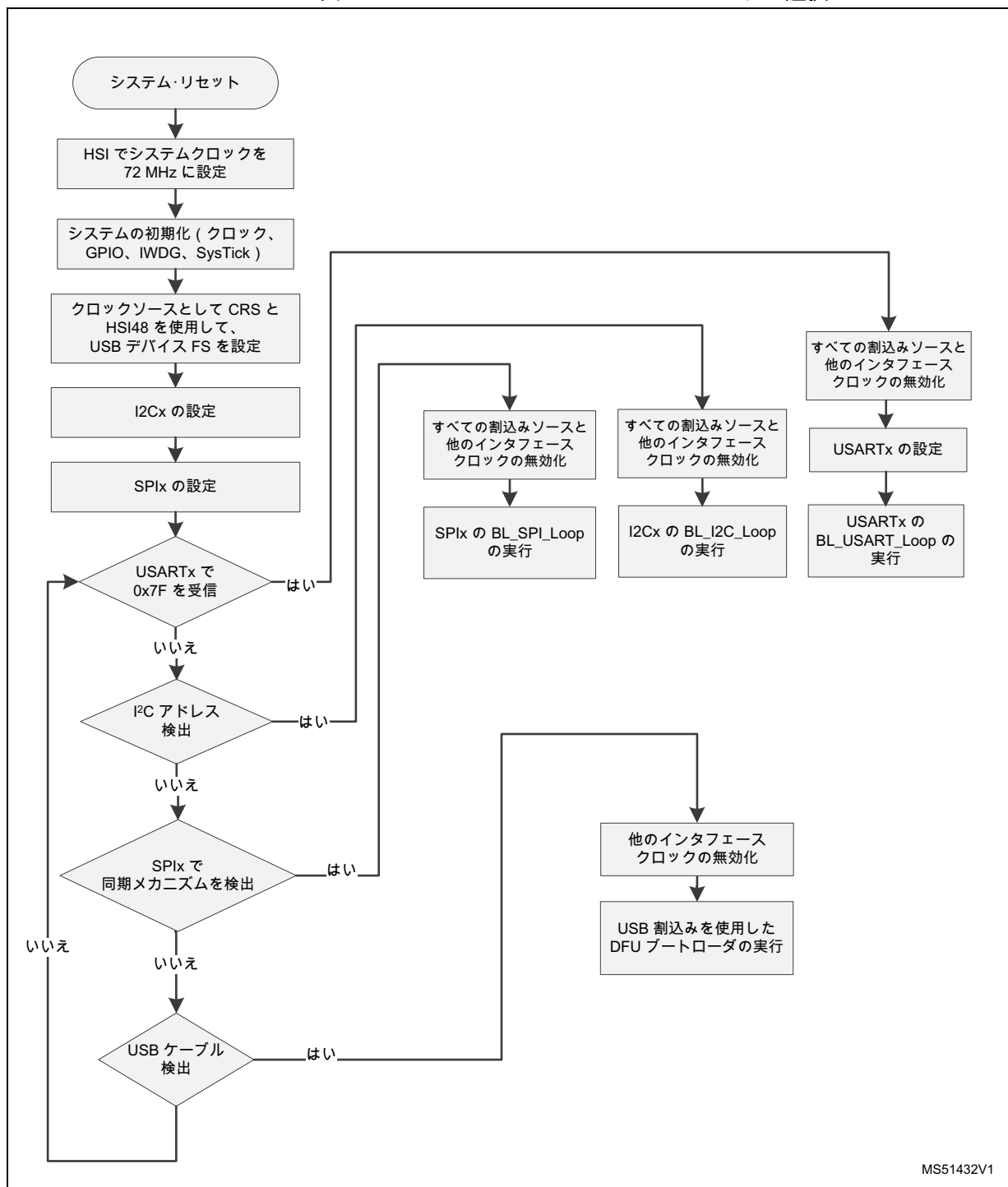
表 103. システムメモリブートモードでの STM32G491xx/4A1xx の設定 (続き)

| ブートローダ      | 機能/ペリフェラル    | 状態    | コメント   |
|-------------|--------------|-------|--|
| SPI2 ブートローダ | SPI2         | 有効    | SPI2 設定 :<br>- スレーブモード<br>- 全二重<br>- 8 ビット MSB<br>- 最大 8 MHz の速度<br>- 極性 : CPOL ロー、CPHA ロー、NSS ハードウェア。                               |
|             | SPI2_MOSI ピン | 入力    | PB15 ピン : スレーブ・データ入力ライン (プッシュプル、プルダウンモードで使用)   |
|             | SPI2_MISO ピン | 出力    | PB14 ピン : スレーブデータ出力ライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI2_SCK ピン  | 入力    | PB13 ピン : スレーブ・クロック・ライン (プッシュプル、プルダウンモードで使用)   |
|             | SPI2_NSS ピン  | 入力    | PB12 ピン : スレーブ・チップ選択ピン (プッシュプル、プルダウンモードで使用)<br>注 : この IO は、SPI マスタが使用しない場合は、GND に接続できます。   |
| DFU ブートローダ  | USB          | 有効    | USB FS は強制デバイスモードで設定されます。<br>USB FS 割込みベクタが有効化され、USB DFU 通信に使用されます。<br>注 : USB ペリフェラルがブートローダで使用されるので、VDDUSB IO は 3.3 V に接続する必要があります。 |
|             | USB_DM ピン    | 入力/出力 | PA11 : USB DM ライン。入力プルアップ・プルダウンなしモードで使用。   |
|             | USB_DP ピン    |       | PA12 : USB DP ライン。入力プルアップ・プルダウンなしモードで使用。<br>外部プルアップ抵抗は不要です。  |

## 48.2 ブートローダの選択

以降の図に、ブートローダの選択メカニズムを示します。

図 60. STM32G491xx/4A1xx のブートローダの選択



## 48.3 ブートローダのバージョン

表 104. STM32G491xx/4A1xx のブートローダのバージョン

| ブートローダのバージョン番号 | 説明             | 既知の制限 |
|----------------|----------------|-------|
| V13.2          | ブートローダの初期バージョン | なし    |



## 49 STM32H72xxx/73xxx デバイスのブートローダ

### 49.1 ブートローダの設定

STM32H72xxx/73xxx ブートローダは、パターン 10 を適用すると有効化されます (表 2: ブートローダの有効化パターンを参照)。表 105 に、このブートローダが使用するハードウェア・リソースを示します。

表 105. システム・メモリ・ブート・モードでの STM32H72xxx/73xxx の設定

| ブートローダ        | 機能/ペリフェラル    | 状態  | コメント  |
|---------------|--------------|---|---|
| すべてのブートローダに共通 | RCC          | HSI は有効です。  | システム・クロック周波数は 66 MHz です (HSI によってクロック供給された PLL を使用)。  |
|               |              | -   | クロックリカバリシステム (CRS) は、USB を HSI48 48 MHz でクロック供給できるように DFU ブートローダで有効化されます。   |
|               |              | -   | PLLQ から生成された 20 MHz は FDCAN に使用されます。  |
|               | RAM          | -   | アドレス 0x24000000 から始まる 16 KB は、ブートローダのファームウェアによって使用されます。   |
|               | システムメモリ      | -   | アドレス 0x1FF09800 から始まる 84 KB に、ブートローダのファームウェアが含まれています。   |
|               | IWDG         | -   | 独立型ウォッチドッグ (IWDG) プリスケアラは、最大値に設定されます。これは、定期的リフレッシュされ、ウォッチドッグがリセットされるのを防ぎます (ハードウェアの IWDG オプションがユーザによって事前に有効化されている場合)。 |
| パワー           | -            | 電圧範囲が VCORE レンジ 3 にセットされます。<br>ブートローダの SW は、4 バイトを使用して PWR_CR3 レジスタに書き込まれます。これによってこのレジスタがロックされます。パワーオフとパワーオンによってのみ、このロックが解除されます。この問題は 0x93 バージョンのブートローダで修正されます。 |   |
| USART1 ブートローダ | USART1       | 有効  | 一度初期化されると、USART1 の設定は 8 ビット、偶数パリティ、および 1 ストップ・ビットになります。   |
|               | USART1_RX ピン | 入力  | PA10 ピン: 受信モードの USART1。オルタネート・プッシュプル、プルアップ・モードで使用。  |
|               | USART1_TX ピン | 出力  | PA9 ピン: 送信モードの USART1。オルタネート・プッシュプル、プルアップ・モードで使用。0x93 バージョンのブートローダでは、USART1 が検出されるまで入力として設定されます。                      |
| USART2 ブートローダ | USART2       | 有効  | 一度初期化されると、USART2 の設定は 8 ビット、偶数パリティ、および 1 ストップ・ビットになります。   |
|               | USART2_RX ピン | 入力  | PA3 ピン: 受信モードの USART2。オルタネート・プッシュプル、プルアップ・モードで使用。   |
|               | USART2_TX ピン | 出力  | PA2 ピン: 送信モードの USART2。オルタネート・プッシュプル、プルアップ・モードで使用。0x93 バージョンのブートローダでは、USART2 が検出されるまで入力として設定されます。                      |

表 105. システム・メモリ・ブート・モードでの STM32H72xxx/73xxx の設定 (続き)

| ブートローダ                         | 機能/ペリフェラル    | 状態    | コメント   |
|--------------------------------|--------------|-------|--|
| USART3 ブートローダ<br>(PB10/PB11 上) | USART3       | 有効    | 一度初期化されると、USART3 の設定は8 ビット、偶数パリティ、および 1 ストップ・ビットになります。   |
|                                | USART3_RX ピン | 入力    | PB11 ピン : 受信モードの USART3。オルタネート・プッシュプル、プルダウン・モードで使用。  |
|                                | USART3_TX ピン | 出力    | PB10 ピン : 送信モードの USART3。オルタネート・プッシュプル、プルダウン・モードで使用。0x93 バージョンのブートローダでは、USART3 が検出されるまで入力として設定されます。   |
| USART3 ブートローダ<br>(PD8/PD9 上)   | USART3       | 有効    | 一度初期化されると、USART3 の設定は8 ビット、偶数パリティ、および 1 ストップ・ビットになります。   |
|                                | USART3_RX ピン | 入力    | PD9 ピン : 受信モードの USART3。オルタネート・プッシュプル、プルダウン・モードで使用。   |
|                                | USART3_TX ピン | 出力    | PD8 ピン : 送信モードの USART3。オルタネート・プッシュプル、プルダウン・モードで使用。0x93 バージョンのブートローダでは、USART3 が検出されるまで入力として設定されます。  |
| I2C1 ブートローダ                    | I2C1         | 有効    | I2C1 設定 :<br>I <sup>2</sup> C スピード : 最大 1 MHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレス : 0b1010111x<br>(ここで、書込みの場合 x = 0、読出しの場合 x = 1) |
|                                | I2C1_SCL ピン  | 入力/出力 | PB6 ピン : クロック・ラインはオーブンドレインのプルアップ・プルダウンなしモードで使用されます。  |
|                                | I2C1_SDA ピン  | 入力/出力 | PB9 ピン : データ・ラインはオーブンドレインのプルアップ・プルダウンなしモードで使用されます。   |
| I2C2 ブートローダ                    | I2C2         | 有効    | I2C2 設定 :<br>I <sup>2</sup> C スピード : 最大 1 MHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレス : 0b1010111x<br>(ここで、書込みの場合 x = 0、読出しの場合 x = 1) |
|                                | I2C2_SCL ピン  | 入力/出力 | PF1 ピン : クロック・ラインはオーブンドレインのプルアップ・プルダウンなしモードで使用されます。  |
|                                | I2C2_SDA ピン  | 入力/出力 | PF0 ピン : データ・ラインはオーブンドレインのプルアップ・プルダウンなしモードで使用されます。   |
| I2C3 ブートローダ                    | I2C3         | 有効    | I2C3 設定 :<br>I <sup>2</sup> C スピード : 最大 1 MHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレス : 0b1010111x<br>(ここで、書込みの場合 x = 0、読出しの場合 x = 1) |
|                                | I2C3_SCL ピン  | 入力/出力 | PA8 ピン : クロック・ラインはオーブンドレインのプルアップ・プルダウンなしモードで使用されます。  |
|                                | I2C3_SDA ピン  | 入力/出力 | PC9 ピン : データ・ラインはオーブンドレインのプルアップ・プルダウンなしモードで使用されます。   |

表 105. システム・メモリ・ブート・モードでの STM32H72xxx/73xxx の設定 (続き)

| ブートローダ      | 機能/ペリフェラル    | 状態 | コメント   |
|-------------|--------------|----|--|
| SPI1 ブートローダ | SPI1         | 有効 | SPI1 設定 :<br>- スレーブモード<br>- 全二重<br>- 8 ビット MSB<br>- 最大 8 MHz の速度<br>- 極性 : CPOL ロー、CPHA ロー、NSS ハードウェア。 |
|             | SPI1_MOSI ピン | 入力 | PA7 ピン : スレーブ・データ入力ライン (プッシュプル、プルアップ・プルダウンなしモードで使用)  |
|             | SPI1_MISO ピン | 出力 | PA6 ピン : スレーブ・データ出力ライン (プッシュプル、プルアップ・プルダウンなしモードで使用)  |
|             | SPI1_SCK ピン  | 入力 | PA5 ピン : スレーブ・クロック・ライン (プッシュプル、プルアップ・プルダウンなしモードで使用)  |
|             | SPI1_NSS ピン  | 入力 | PA4 ピン : スレーブ・チップ選択ピン (プッシュプル、プルアップ・プルダウンなしモードで使用)   |
| SPI3 ブートローダ | SPI3         | 有効 | SPI3 設定 :<br>- スレーブモード<br>- 全二重<br>- 8 ビット MSB<br>- 最大 8 MHz の速度<br>- 極性 : CPOL ロー、CPHA ロー、NSS ハードウェア。 |
|             | SPI3_MOSI ピン | 入力 | PC12 ピン : スレーブ・データ入力ライン (プッシュプル、プルアップ・プルダウンなしモードで使用)   |
|             | SPI3_MISO ピン | 出力 | PC11 ピン : スレーブ・データ出力ライン (プッシュプル、プルアップ・プルダウンなしモードで使用)   |
|             | SPI3_SCK ピン  | 入力 | PC10 ピン : スレーブ・クロック・ライン (プッシュプル、プルアップ・プルダウンなしモードで使用)   |
|             | SPI3_NSS ピン  | 入力 | PA15 ピン : スレーブ・チップ選択ピン (プッシュプル、プルアップ・プルダウンなしモードで使用)  |
| SPI4 ブートローダ | SPI4         | 有効 | SPI4 設定 :<br>- スレーブモード<br>- 全二重<br>- 8 ビット MSB<br>- 最大 8 MHz の速度<br>- 極性 : CPOL ロー、CPHA ロー、NSS ハードウェア。 |
|             | SPI4_MOSI ピン | 入力 | PE14 ピン : スレーブ・データ入力ライン (プッシュプル、プルダウンモードで使用)   |
|             | SPI4_MISO ピン | 出力 | PE13 ピン : スレーブデータ出力ライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI4_SCK ピン  | 入力 | PE12 ピン : スレーブ・クロック・ライン (プッシュプル、プルダウンモードで使用)   |
|             | SPI4_NSS ピン  | 入力 | PE11 ピン : スレーブチップ選択ピン (プッシュプル、プルアップモードで使用)<br>注 : この IO は、SPI マスタが使用しない場合は、GND に接続できます。                |

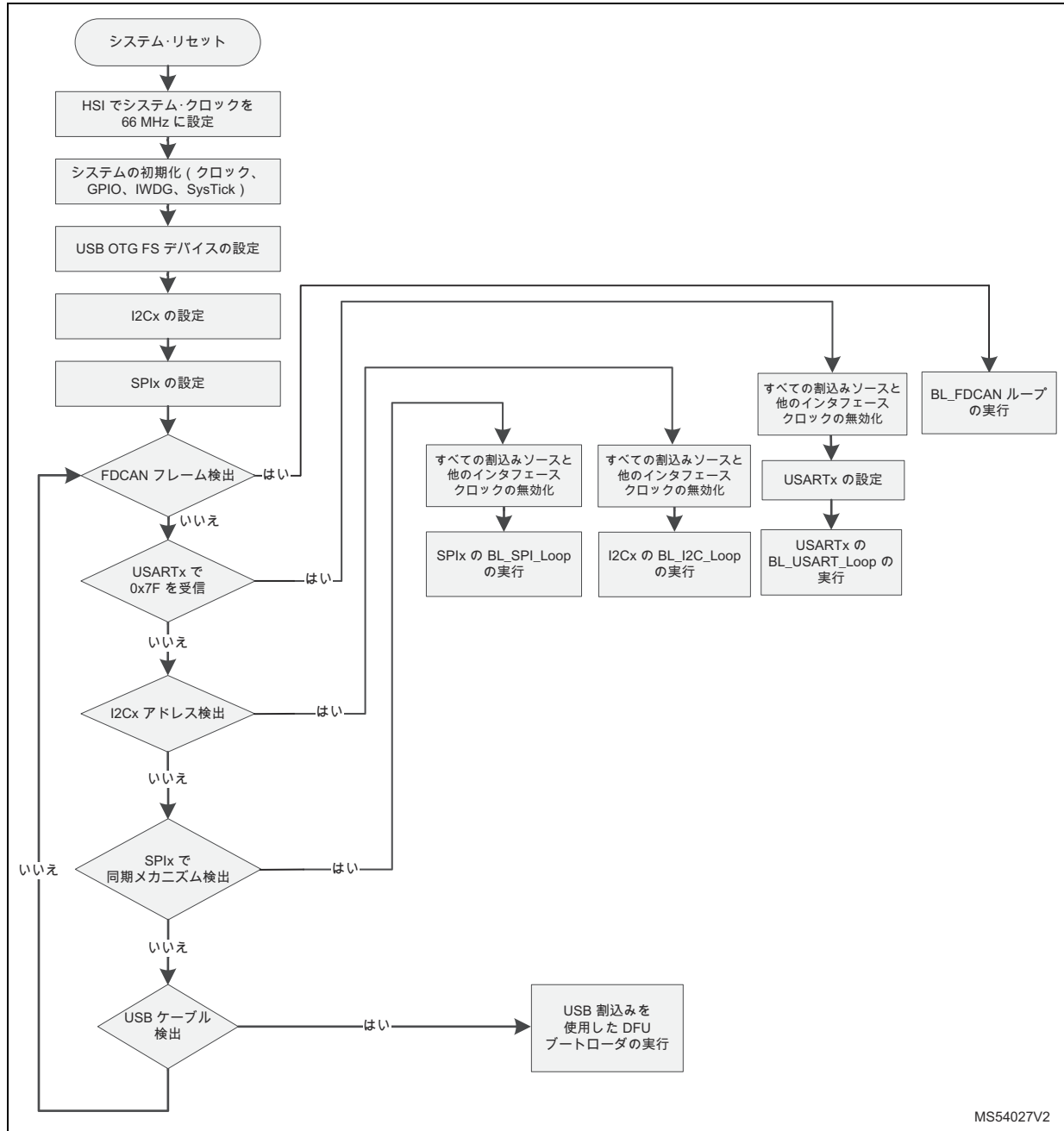
表 105. システム・メモリ・ブート・モードでの STM32H72xxx/73xxx の設定 (続き)

| ブートローダ                        | 機能/ペリフェラル    | 状態    | コメント  |
|-------------------------------|--------------|-------|---|
| DFU ブートローダ                    | USB          | 有効    | USB FS は強制デバイスモードで設定されます。<br>USB FS 割込みベクタが有効化され、USB DFU 通信に使用されます。   |
|                               | USB_DM ピン    | 入力/出力 | PA11 : USB DM ライン。オルタネート・プッシュプル、プルアップ・プルダウンなしモードで使用。  |
|                               | USB_DP ピン    |       | PA12 : USB DP ライン。オルタネート・プッシュプル、プルアップ・プルダウンなしモードで使用。<br>外部プルアップ抵抗は不要です。   |
| FDCAN ブートローダ<br>(PH13/PH14 上) | FDCAN1       | 有効    | 一度初期化されると、FDCAN1 の設定はビットレート 0.5 Mbps<br>フレームフォーマット = FDCAN_FRAME_FD_BRS<br>モード = FDCAN_MODE_NORMAL 自動再送信 = ENABLE<br>送信一時停止 = DISABLE<br>プロトコル例外 = ENABLE |
|                               | FDCAN1_Rx ピン | 入力    | PH14 ピン : 受信モードの FDCAN1。オルタネート・プッシュプル、プルダウン・モードで使用。   |
|                               | FDCAN1_Tx ピン | 出力    | PH13 ピン : 送信モードの FDCAN1。オルタネート・プッシュプル、プルダウン・モードで使用。   |
| FDCAN ブートローダ<br>(PD1/PD0 上)   | FDCAN1       | 有効    | 一度初期化されると、FDCAN1 の設定はビットレート 0.5 Mbps<br>フレームフォーマット = FDCAN_FRAME_FD_BRS<br>モード = FDCAN_MODE_NORMAL 自動再送信 = ENABLE<br>送信一時停止 = DISABLE<br>プロトコル例外 = ENABLE |
|                               | FDCAN1_Rx ピン | 入力    | PD0 ピン : 受信モードの FDCAN1。オルタネート・プッシュプル、プルダウン・モードで使用。  |
|                               | FDCAN1_Tx ピン | 出力    | PD1 ピン : 送信モードの FDCAN1。オルタネート・プッシュプル、プルダウン・モードで使用。  |

## 49.2 ブートローダの選択

図 61 に、ブートローダの選択メカニズムを示します。

図 61. STM32H72xxx/73xxx のブートローダ V9.0 の選択



## 49.3 ブートローダのバージョン

表 106 に、STM32H72xxx/73xxx デバイスのブートローダのバージョンを示します。

表 106. STM32H72xxx/73xxx のブートローダのバージョン

| ブートローダのバージョン番号 | 説明  | 既知の制限   |
|----------------|---|---|
| V9.1           | ブートローダの初期バージョン  | <ul style="list-style-type: none"> <li>- どのブートローダ・インタフェースを使用しても TCM_AXI_OB は変更できません。</li> <li>- USB を使用したときに返される文字列に記されたメモリ・サイズが正しくありません。</li> </ul>  |
| V9.2           | 以前のリリースの問題をすべて修正  | <ul style="list-style-type: none"> <li>- ブートローダ上でブートし、RDP を Level1 に設定して、リセットまたはパワー・オフ/オンしてから USB ケーブルを接続するとクラッシュ・ループが発生します。</li> <li>- TCM_AXI_SHARED オプションバイトが "0" ではない場合、RDP の Level1 ではブートローダが動作しません。RDP の L1 に移行する前に、この OB の値を "0" に設定する必要があります。</li> <li>- ブートローダの SW は、4 バイトを使用して PWR_CR3 レジスタに書き込まれます。これによってこのレジスタがロックされます。パワーオフとパワーオンによってのみ、このロックが解除されます。</li> </ul> |
| V9.3           | <ul style="list-style-type: none"> <li>- 以前のリリースの問題をすべて修正。</li> <li>- 以前のリリースではプッシュプル・モードになっていた USART TX を入力に変更。</li> </ul> | なし  |

## 50 STM32H74xxx/75xxx デバイスのブートローダ

### 50.1 ブートローダの設定

STM32H74xxx/75xxx ブートローダは、パターン 10 を適用すると有効化されます (表 2: ブートローダの有効化パターンを参照)。表 107 に、このブートローダが使用するハードウェア・リソースを示します。

表 107. システム・メモリ・ブート・モードでの STM32H74xxx/75xxx の設定

| ブートローダ                      | 機能/ペリフェラル    | 状態                          | コメント   |
|-----------------------------|--------------|-----------------------------|--|
| すべてのブートローダに共通               | RCC          | HSI は有効です。                  | システム・クロック周波数は 64 MHz です (HSI を使用)。HSI クロック・ソースは、起動時 (インタフェース検出フェーズ) および USART、SPI、I2C の各インタフェースの選択時に使用されます。            |
|                             |              | -                           | クロックリカバリシステム (CRS) は、USB を HSI48 48 MHz でクロック供給できるように DFU ブートローダで有効化されます。  |
|                             |              | -                           | FDCAN に使用されるクロックは 20 MHz に固定され、PLLQ から生成されます。  |
|                             | RAM          | -                           | アドレス 0x20000000 から始まる 16 KB、およびアドレス 0x24000000 から始まる 208 KB は、ブートローダのファームウェアによって使用されます。                                |
|                             | システムメモリ      | -                           | アドレス 0x1FFF0000 から始まる 122 KB に、ブートローダのファームウェアが含まれています。ブートローダの開始アドレスは 0x1FFF09800 です。                                   |
|                             | IWDG         | -                           | 独立型ウォッチドッグ (IWDG) プリスケアラは、最大値に設定されます。これは、定期的にリフレッシュされ、ウォッチドッグがリセットされるのを防ぎます (ハードウェアの IWDG オプションがユーザによって事前に有効化されている場合)。 |
| パワー                         | -            | 電圧範囲が VCORE レンジ 3 にセットされます。 |  |
| USART1 ブートローダ (PA9/PA10 上)  | USART1       | 有効                          | 一度初期化されると、USART1 の設定は 8 ビット、偶数パリティ、および 1 ストップ・ビットになります。  |
|                             | USART1_RX ピン | 入力                          | PA10 ピン: 受信モードの USART1。オルタネート・プッシュプル、プルアップ・モードで使用。   |
|                             | USART1_TX ピン | 出力                          | PA9 ピン: 送信モードの USART1。オルタネート・プッシュプル、プルアップ・モードで使用。  |
| USART1 ブートローダ (PB14/PB15 上) | USART1       | 有効                          | 一度初期化されると、USART1 の設定は 8 ビット、偶数パリティ、および 1 ストップ・ビットになります。  |
|                             | USART1_RX ピン | 入力                          | PB15 ピン: 受信モードの USART1。入力プルアップ・モードで使用。   |
|                             | USART1_TX ピン | 出力                          | PB14 ピン: 送信モードの USART1。入力プルアップ・モードで使用。   |

表 107. システム・メモリ・ブート・モードでの STM32H74xxx/75xxx の設定 (続き)

| ブートローダ        | 機能/ペリフェラル    | 状態    | コメント  |
|---------------|--------------|-------|---|
| USART2 ブートローダ | USART2       | 有効    | 一度初期化されると、USART2 の設定は8 ビット、偶数パリティ、および1ストップ・ビットになります。  |
|               | USART2_RX ピン | 入力    | PA3 ピン: 受信モードの USART2。オルタネート・プッシュプル、プルアップ・プルダウンなしモードで使用。オルタネート・プッシュプル、プルアップ・プルダウンなしモードで使用。  |
|               | USART2_TX ピン | 出力    | PA2 ピン: 送信モードの USART2。オルタネート・プッシュプル、プルアップ・プルダウンなしモードで使用。  |
| USART3 ブートローダ | USART3       | 有効    | 一度初期化されると、USART3 の設定は8 ビット、偶数パリティ、および1ストップ・ビットになります。  |
|               | USART3_RX ピン | 入力    | PB11 ピン: 受信モードの USART3。オルタネート・プッシュプル、プルアップ・プルダウンなしモードで使用。   |
|               | USART3_TX ピン | 出力    | PB10 ピン: 送信モードの USART3。オルタネート・プッシュプル、プルアップ・プルダウンなしモードで使用。   |
| I2C1 ブートローダ   | I2C1         | 有効    | I2C1 設定:<br>I <sup>2</sup> C スピード: 最大 400 kHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレス: 0b1001110x<br>(ここで、書込みの場合 x = 0、読出しの場合 x = 1) |
|               | I2C1_SCL ピン  | 入力/出力 | PB6 ピン: クロック・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。  |
|               | I2C1_SDA ピン  | 入力/出力 | PB9 ピン: データ・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。   |
| I2C2 ブートローダ   | I2C2         | 有効    | I2C2 設定:<br>I <sup>2</sup> C スピード: 最大 400 kHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレス: 0b1001110x<br>(ここで、書込みの場合 x = 0、読出しの場合 x = 1) |
|               | I2C2_SCL ピン  | 入力/出力 | PF1 ピン: クロック・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。  |
|               | I2C2_SDA ピン  | 入力/出力 | PF0 ピン: データ・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。   |
| I2C3 ブートローダ   | I2C3         | 有効    | I2C3 設定:<br>I <sup>2</sup> C スピード: 最大 400 kHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレス: 0b1001110x<br>(ここで、書込みの場合 x = 0、読出しの場合 x = 1) |
|               | I2C3_SCL ピン  | 入力/出力 | PA8 ピン: クロック・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。  |
|               | I2C3_SDA ピン  | 入力/出力 | PC9 ピン: データ・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。   |



表 107. システム・メモリ・ブート・モードでの STM32H74xxx/75xxx の設定 (続き)

| ブートローダ      | 機能/ペリフェラル    | 状態 | コメント   |
|-------------|--------------|----|--|
| SPI1 ブートローダ | SPI1         | 有効 | SPI1 設定 :<br>- スレーブモード<br>- 全二重<br>- 8 ビット MSB<br>- 最大 8 MHz の速度<br>- 極性 : CPOL ロー、CPHA ロー、NSS ハードウェア。 |
|             | SPI1_MOSI ピン | 入力 | PA7 ピン : スレーブ・データ入力ライン (プッシュプル、プルアップ・プルダウンなしモードで使用)  |
|             | SPI1_MISO ピン | 出力 | PA6 ピン : スレーブ・データ出力ライン (プッシュプル、プルアップ・プルダウンなしモードで使用)  |
|             | SPI1_SCK ピン  | 入力 | PA5 ピン : スレーブ・クロック・ライン (プッシュプル、プルアップ・プルダウンなしモードで使用)  |
|             | SPI1_NSS ピン  | 入力 | PA4 ピン : スレーブ・チップ選択ピン (プッシュプル、プルアップ・プルダウンなしモードで使用)   |
| SPI2 ブートローダ | SPI2         | 有効 | SPI2 設定 :<br>- スレーブモード<br>- 全二重<br>- 8 ビット MSB<br>- 最大 8 MHz の速度<br>- 極性 : CPOL ロー、CPHA ロー、NSS ハードウェア。 |
|             | SPI2_MOSI ピン | 入力 | PI3 ピン : スレーブ・データ入力ライン (プッシュプル、プルアップ・プルダウンなしモードで使用)  |
|             | SPI2_MISO ピン | 出力 | PI2 ピン : スレーブ・データ出力ライン (プッシュプル、プルアップ・プルダウンなしモードで使用)  |
|             | SPI2_SCK ピン  | 入力 | PI1 ピン : スレーブ・クロック・ライン (プッシュプル、プルアップ・プルダウンなしモードで使用)  |
|             | SPI2_NSS ピン  | 入力 | PI0 ピン : スレーブ・チップ選択ピン (プッシュプル、プルアップ・プルダウンなしモードで使用)   |
| SPI3 ブートローダ | SPI3         | 有効 | SPI3 設定 :<br>- スレーブモード<br>- 全二重<br>- 8 ビット MSB<br>- 最大 8 MHz の速度<br>- 極性 : CPOL ロー、CPHA ロー、NSS ハードウェア。 |
|             | SPI3_MOSI ピン | 入力 | PC12 ピン : スレーブ・データ入力ライン (プッシュプル、プルアップ・プルダウンなしモードで使用)   |
|             | SPI3_MISO ピン | 出力 | PC11 ピン : スレーブ・データ出力ライン (プッシュプル、プルアップ・プルダウンなしモードで使用)   |
|             | SPI3_SCK ピン  | 入力 | PC10 ピン : スレーブ・クロック・ライン (プッシュプル、プルアップ・プルダウンなしモードで使用)   |
|             | SPI3_NSS ピン  | 入力 | PA15 ピン : スレーブ・チップ選択ピン (プッシュプル、プルアップ・プルダウンなしモードで使用)  |

表 107. システム・メモリ・ブート・モードでの STM32H74xxx/75xxx の設定 (続き)

| ブートローダ       | 機能/ペリフェラル   | 状態    | コメント  |
|--------------|---|-------|---|
| SPI4 ブートローダ  | SPI4  | 有効    | SPI4 設定 :<br>- スレーブモード<br>- 全二重<br>- 8 ビット MSB<br>- 最大 8 MHz の速度<br>- 極性 : CPOL ロー、CPHA ロー、NSS ハードウェア。  |
|              | SPI4_MOSI ピン  | 入力    | PE14 ピン : スレーブ・データ入力ライン (プッシュプル、プルアップ・プルダウンなしモードで使用)  |
|              | SPI4_MISO ピン  | 出力    | PE13 ピン : スレーブ・データ出力ライン (プッシュプル、プルアップ・プルダウンなしモードで使用)  |
|              | SPI4_SCK ピン   | 入力    | PE12 ピン : スレーブ・クロック・ライン (プッシュプル、プルアップ・プルダウンなしモードで使用)  |
|              | SPI4_NSS ピン   | 入力    | PE11 ピン : スレーブ・チップ選択ピン (プッシュプル、プルアップ・プルダウンなしモードで使用)   |
| DFU ブートローダ   | USB   | 有効    | USB FS は強制デバイスモードで設定されます。<br>USB FS 割込みベクタが有効化され、USB DFU 通信に使用されます。   |
|              | USB_DM ピン   | 入力/出力 | PA11 : USB DM ライン。オルタネート・プッシュプル、プルアップ・プルダウンなしモードで使用。  |
| USB_DP ピン    | PA12 : USB DP ライン。オルタネート・プッシュプル、プルアップ・プルダウンなしモードで使用。<br>外部プルアップ抵抗は不要です。 |       |   |
| FDCAN ブートローダ | FDCAN1  | 有効    | 一度初期化されると、FDCAN1 の設定は<br>ビットレート 0.5 Mbps<br>フレームフォーマット = FDCAN_FRAME_FD_BRS<br>モード = FDCAN_MODE_NORMAL 自動再送信 = ENABLE<br>送信一時停止 = DISABLE<br>プロトコル例外 = ENABLE |
|              | FDCAN1_Rx ピン  | 入力    | PH14 ピン : 受信モードの FDCAN1。オルタネート・プッシュプル、プルアップ・モードで使用。   |
|              | FDCAN1_Tx ピン  | 出力    | PH13 ピン : 送信モードの FDCAN1。オルタネート・プッシュプル、プルアップ・モードで使用。   |

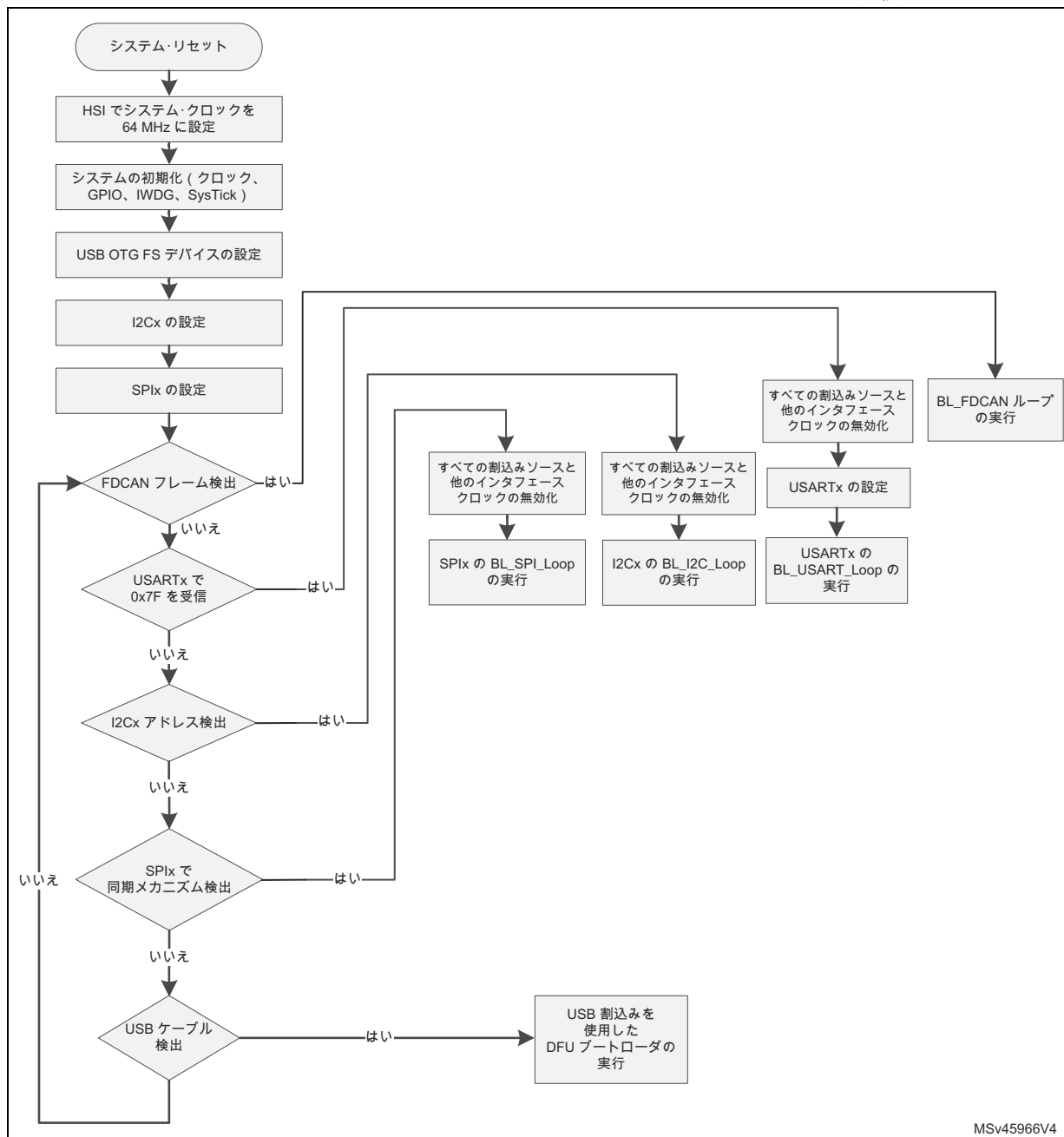
注 : PB14/PB15 ピンを使用してブートローダの USART1 に接続するには、2 つの同期バイトを送信する必要があります。

DFU モードでは USBREGEN モードがサポートされていません。1.8 V 電源で動作している STM32 ではブートローダ DFU を使用できません。3.3 V 電源を供給する必要があります。

## 50.2 ブートローダの選択

図 62 に、ブートローダの選択メカニズムを示します。

図 62. STM32H74xxx/75xxx のブートローダ V9.x の選択



## 50.3 ブートローダのバージョン

表 108 に、STM32H74xxx/75xxx デバイスのブートローダのバージョンを示します。

表 108. STM32H74xxx/75xxx のブートローダのバージョン

| ブートローダのバージョン番号 | 説明  | 既知の制限   |
|----------------|---|---|
| V13.2 (0xD2)。  | ブートローダの初期バージョン  | <ul style="list-style-type: none"> <li>- 「Go」 コマンドは機能しません。</li> <li>- USART2 接続は機能しません。</li> <li>- SPI1 接続は機能しません。</li> <li>- 全体消去は I2C では良好に機能しません（このコマンドでは Bank2 のみが消去されます）。</li> </ul>   |
| V13.3 (0xD3)。  | <ul style="list-style-type: none"> <li>- CRS を用いた USB クロック入力の HSE から HSI48 への切り替え</li> <li>- V13.2 に関する既知の制限を修正</li> </ul>                        | <ul style="list-style-type: none"> <li>- バンク消去は USART/SPI および I2C では機能しません。</li> <li>- DFU ブートローダの全体消去は機能しません。</li> </ul>   |
| V9.0 (0x90)    | <ul style="list-style-type: none"> <li>- FDCAN インタフェースのサポートを追加</li> <li>- V13.3 の制限を修正</li> <li>- V9.0 は V13.2 と V13.3 に代わる生産中の最新バージョン</li> </ul> | <ul style="list-style-type: none"> <li>- USART または SPI の使用時に、最初の ACK は「Go」 コマンドで受信できません。</li> <li>- FDCAN 書き込みメモリの制限で、長さが 63 バイトを超えるデータの書き込みは失敗します。</li> <li>- PB15 を GND に接続していると、ブートローダのインタフェースに接続できません。検出に割込みを使用していることから、USB のみを使用できます。PB14/PB15 の USART1 を使用していない場合は PB15 をプルダウンしないでください。</li> <li>- アプリケーションによってはジャンプの問題が発生します。アプリケーションのスタック・ポインタが確実に動作するためには、そのスタック・ポインタを（RAM 終端 @ - 16 バイト）未満とする必要があります。</li> <li>- ブートローダのインタフェースに接続できるようにするには、パワーオフ/オンの後でリセットを別途実行する必要があります。</li> <li>- デュアル・コアの場合、ブートローダを使用して "CM4_BOOT_ADDx" オプションバイトをプログラミングすることはできません。</li> <li>- FDCAN の Getversion コマンドで誤った FDCAN プロトコル・バージョン (0x11) が返されます。正しいバージョンは 0x10 (V1.0) です。</li> </ul> |

## 51 STM32H7A3xx/B3xx デバイスのブートローダ

### 51.1 ブートローダの設定

STM32H7A3xx/7B3xx ブートローダは、パターン 10 を適用すると有効化されます (表 2: ブートローダの有効化パターンを参照)。次の表に、このブートローダが使用するハードウェア・リソースを示します。

表 109. システムメモリブートモードでの STM32H7A3xx/7B3xx の設定

| ブートローダ                      | 機能/ペリフェラル    | 状態  | コメント  |
|-----------------------------|--------------|---|---|
| すべてのブートローダに共通               | RCC          | HSI は有効です。  | システム・クロック周波数は 64 MHz です (HSI を使用)。  |
|                             |              | -   | クロックリカバリシステム (CRS) は、USB を HSI48 48 MHz でクロック供給できるように DFU ブートローダで有効化されます。   |
|                             |              | -   | FDCAN に使用されるクロックは 20 MHz に固定され、PLLQ から生成されます。   |
|                             | RAM          | -   | アドレス 0x24000000 から始まる 16 KB は、ブートローダのファームウェアによって使用されます。   |
|                             | システムメモリ      | -   | アドレス 0x1FFFA000 から始まる 40 KB に、ブートローダのファームウェアが含まれています。   |
| IWDG                        | IWDG         | -   | 独立型ウォッチドッグ (IWDG) プリスケアラは、最大値に設定されます。これは、定期的リフレッシュされ、ウォッチドッグがリセットされるのを防ぎます (ハードウェアの IWDG オプションがユーザによって事前に有効化されている場合)。 |
|                             |              | 有効  | 一度初期化されると、USART1 の設定は 8 ビット、偶数パリティ、および 1 ストップ・ビットになります。   |
|                             |              | 入力  | PA10 ピン: 受信モードの USART1。オルタネート・プッシュプル、プルアップ・モードで使用。  |
| USART1 ブートローダ               | USART1_TX ピン | 出力  | PA9 ピン: 送信モードの USART1。オルタネート・プッシュプル、プルアップ・モードで使用。   |
|                             | 有効           | 一度初期化されると、USART2 の設定は 8 ビット、偶数パリティ、および 1 ストップ・ビットになります。 |   |
|                             | 入力           | PA3 ピン: 受信モードの USART2。オルタネート・プッシュプル、プルアップ・モードで使用。       |   |
| USART2 ブートローダ               | USART2_TX ピン | 出力  | PA2 ピン: 送信モードの USART2。オルタネート・プッシュプル、プルアップ・モードで使用。   |
|                             | 有効           | 一度初期化されると、USART3 の設定は 8 ビット、偶数パリティ、および 1 ストップ・ビットになります。 |   |
|                             | 入力           | PB11 ピン: 受信モードの USART3。オルタネート・プッシュプル、プルダウン・モードで使用。      |   |
| USART3 ブートローダ (PB10/PB11 上) | USART3_TX ピン | 出力  | PB10 ピン: 送信モードの USART3。オルタネート・プッシュプル、プルダウン・モードで使用。  |

表 109. システムメモリブートモードでの STM32H7A3xx/7B3xx の設定 (続き)

| ブートローダ                       | 機能/ペリフェラル    | 状態    | コメント  |
|------------------------------|--------------|-------|---|
| USART3 ブートローダ<br>(PD8/PD9 上) | USART3       | 有効    | 一度初期化されると、USART3 の設定は8 ビット、偶数パリティ、および 1 ストップ・ビットになります。  |
|                              | USART3_RX ピン | 入力    | PD9 ピン : 受信モードの USART3。オルタネート・プッシュプル、プルダウン・モードで使用。  |
|                              | USART3_TX ピン | 出力    | PD8 ピン : 送信モードの USART3。オルタネート・プッシュプル、プルダウン・モードで使用。  |
| I2C1 ブートローダ                  | I2C1         | 有効    | I2C1 設定 :<br>I <sup>2</sup> C スピード : 最大 400 kHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレス : 0b10101111x<br>(ここで、書込みの場合 x = 0、読出しの場合 x = 1) |
|                              | I2C1_SCL ピン  | 入力/出力 | PB6 ピン : クロック・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。   |
|                              | I2C1_SDA ピン  | 入力/出力 | PB9 ピン : データ・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。  |
| I2C2 ブートローダ                  | I2C2         | 有効    | I2C2 設定 :<br>I <sup>2</sup> C スピード : 最大 400 kHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレス : 0b10101111x<br>(ここで、書込みの場合 x = 0、読出しの場合 x = 1) |
|                              | I2C2_SCL ピン  | 入力/出力 | PF1 ピン : クロック・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。   |
|                              | I2C2_SDA ピン  | 入力/出力 | PF0 ピン : データ・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。  |
| I2C3 ブートローダ                  | I2C3         | 有効    | I2C3 設定 :<br>I <sup>2</sup> C スピード : 最大 400 kHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレス : 0b10101111x<br>(ここで、書込みの場合 x = 0、読出しの場合 x = 1) |
|                              | I2C3_SCL ピン  | 入力/出力 | PA8 ピン : クロック・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。   |
|                              | I2C3_SDA ピン  | 入力/出力 | PC9 ピン : データ・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。  |

表 109. システムメモリブートモードでの STM32H7A3xx/7B3xx の設定 (続き)

| ブートローダ      | 機能/ペリフェラル    | 状態 | コメント   |
|-------------|--------------|----|--|
| SPI1 ブートローダ | SPI1         | 有効 | SPI1 設定 :<br>- スレーブモード<br>- 全二重<br>- 8 ビット MSB<br>- 最大 8 MHz の速度<br>- 極性 : CPOL ロー、CPHA ロー、NSS ハードウェア。 |
|             | SPI1_MOSI ピン | 入力 | PA7 ピン : スレーブデータ入力ライン (プッシュプル、プルアップなしプルダウンなしモードで使用)  |
|             | SPI1_MISO ピン | 出力 | PA6 ピン : スレーブデータ出力ライン (プッシュプル、プルアップなしプルダウンなしモードで使用)  |
|             | SPI1_SCK ピン  | 入力 | PA5 ピン : スレーブクロックライン (プッシュプル・プルアップなし、プルアップなしプルダウンなしモードで使用)   |
|             | SPI1_NSS ピン  | 入力 | PA4 ピン : スレーブ・チップ選択ピン (プッシュプル、プルダウンモードで使用)   |
| SPI2 ブートローダ | SPI2         | 有効 | SPI2 設定 :<br>- スレーブモード<br>- 全二重<br>- 8 ビット MSB<br>- 最大 8 MHz の速度<br>- 極性 : CPOL ロー、CPHA ロー、NSS ハードウェア。 |
|             | SPI2_MOSI ピン | 入力 | PB15 ピン : スレーブ・データ入力ライン (プッシュプル、プルアップ・プルダウンなしモードで使用)   |
|             | SPI2_MISO ピン | 出力 | PB14 ピン : スレーブ・データ出力ライン (プッシュプル、プルアップ・プルダウンなしモードで使用)   |
|             | SPI2_SCK ピン  | 入力 | PB13 ピン : スレーブ・クロック・ライン (プッシュプル、プルアップ・プルダウンなしモードで使用)   |
|             | SPI2_NSS ピン  | 入力 | PB12 ピン : スレーブ・チップ選択ピン (プッシュプル、プルアップ・プルダウンなしモードで使用)  |
| SPI3 ブートローダ | SPI3         | 有効 | SPI3 設定 :<br>- スレーブモード<br>- 全二重<br>- 8 ビット MSB<br>- 最大 8 MHz の速度<br>- 極性 : CPOL ロー、CPHA ロー、NSS ハードウェア。 |
|             | SPI3_MOSI ピン | 入力 | PC12 ピン : スレーブ・データ入力ライン (プッシュプル、プルアップ・プルダウンなしモードで使用)   |
|             | SPI3_MISO ピン | 出力 | PC11 ピン : スレーブ・データ出力ライン (プッシュプル、プルアップ・プルダウンなしモードで使用)   |
|             | SPI3_SCK ピン  | 入力 | PC10 ピン : スレーブ・クロック・ライン (プッシュプル、プルアップ・プルダウンなしモードで使用)   |
|             | SPI3_NSS ピン  | 入力 | PA15 ピン : スレーブ・チップ選択ピン (プッシュプル、プルアップ・プルダウンなしモードで使用)  |

表 109. システムメモリブートモードでの STM32H7A3xx/7B3xx の設定 (続き)

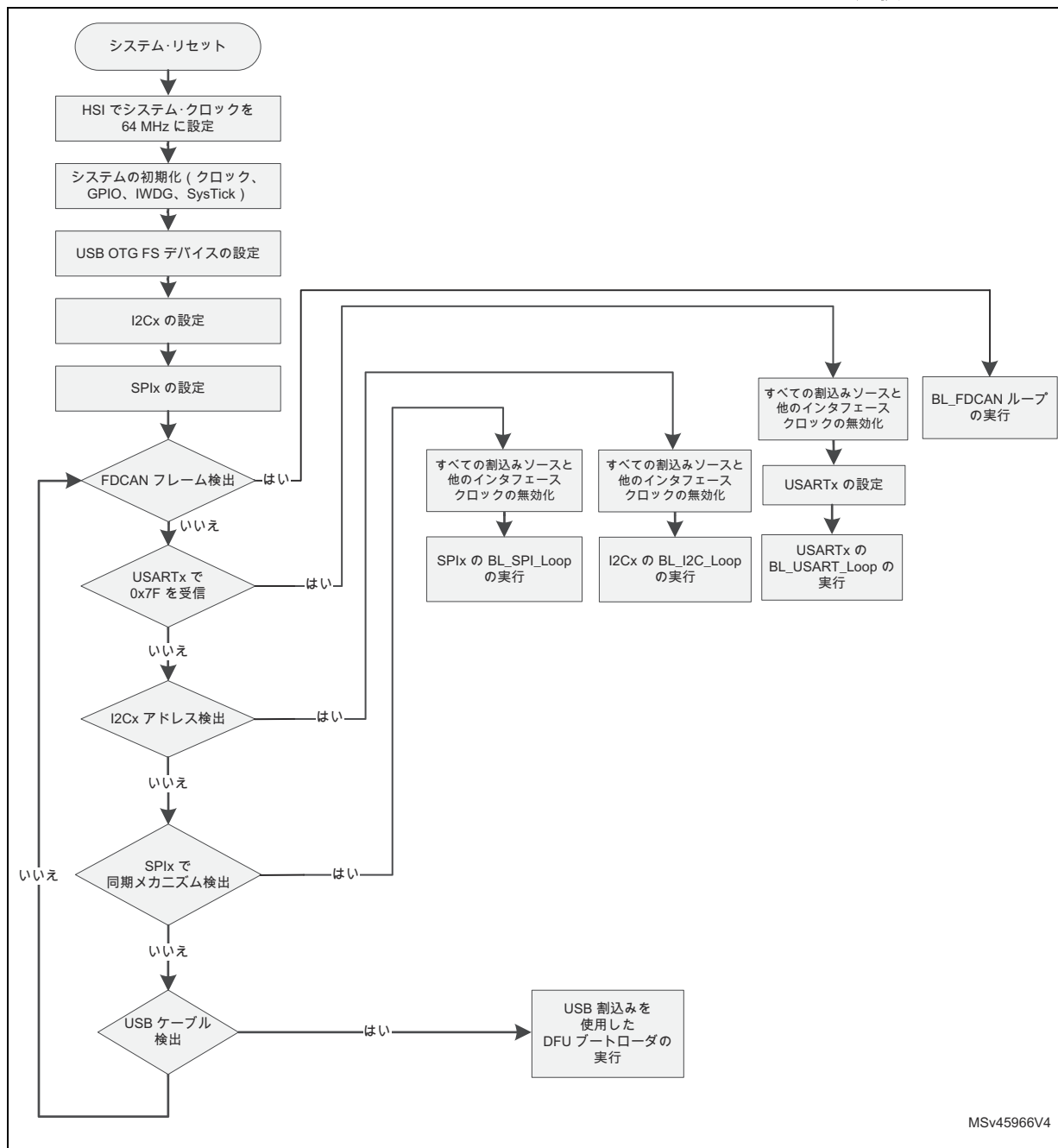
| ブートローダ                        | 機能/ペリフェラル    | 状態    | コメント   |
|-------------------------------|--------------|-------|--|
| DFU ブートローダ                    | USB          | 有効    | USB FS は強制デバイスモードで設定されます。<br>USB FS 割込みベクタが有効化され、USB DFU 通信に使用されます。  |
|                               | USB_DM ピン    | 入力/出力 | PA11 : USB DM ライン。オルタネート・プッシュプル、プルアップ・プルダウンなしモードで使用。   |
|                               | USB_DP ピン    |       | PA12 : USB DP ライン。オルタネート・プッシュプル、プルアップ・プルダウンなしモードで使用。<br>外部プルアップ抵抗は不要です。  |
| FDCAN ブートローダ<br>(PH13/PH14 上) | FDCAN1       | 有効    | 一度初期化されると、FDCAN1 の設定はビットレート 0.5 Mbps になります。<br>フレームフォーマット = FDCAN_FRAME_FD_BRS<br>モード = FDCAN_MODE_NORMAL 自動再送信 = ENABLE<br>送信一時停止 = DISABLE<br>プロトコル例外 = ENABLE |
|                               | FDCAN1_Rx ピン | 入力    | PH14 ピン : 受信モードの FDCAN1。オルタネート・プッシュプル、プルダウン・モードで使用。  |
|                               | FDCAN1_Tx ピン | 出力    | PH13 ピン : 送信モードの FDCAN1。オルタネート・プッシュプル、プルダウン・モードで使用。  |
| FDCAN ブートローダ<br>(PD1/PD0 上)   | FDCAN1       | 有効    | 一度初期化されると、FDCAN1 の設定はビットレート 0.5 Mbps になります。<br>フレームフォーマット = FDCAN_FRAME_FD_BRS<br>モード = FDCAN_MODE_NORMAL 自動再送信 = ENABLE<br>送信一時停止 = DISABLE<br>プロトコル例外 = ENABLE |
|                               | FDCAN1_Rx ピン | 入力    | PD0 ピン : 受信モードの FDCAN1。オルタネート・プッシュプル、プルダウン・モードで使用。   |
|                               | FDCAN1_Tx ピン | 出力    | PD1 ピン : 送信モードの FDCAN1。オルタネート・プッシュプル、プルダウン・モードで使用。   |



## 51.2 ブートローダの選択

図 62 に、ブートローダの選択メカニズムを示します。

図 63. STM32H7A3xx/7B3xx のブートローダ V9.x の選択



## 51.3 ブートローダのバージョン

表 110 に、STM32H7A3xx/7B3xx デバイスのブートローダのバージョンを示します。

表 110. STM32H7A3xx/7B3xx のブートローダのバージョン

| ブートローダのバージョン番号 | 説明                | 既知の制限  |
|----------------|-------------------|--|
| V9.0           | ブートローダの初期バージョン    | <ul style="list-style-type: none"><li>- USB を使用したときに Flash メモリのサイズを記述して返される文字列に誤りがあります（想定される値は 256 x 8 KB ですが、256 x 2KB が返されます）。</li><li>- ブートローダでは OTP メモリがサポートされていません。</li></ul> |
| V9.1           | 以前のリリースの問題をすべて修正。 | <ul style="list-style-type: none"><li>- ブートローダ上でブートし、RDP を Level1 に設定して、リセットまたはパワー・オフ/オンしてから USB ケーブルを接続するとクラッシュ・ループが発生します。</li></ul>  |

## 52 STM32L01xxx/02xxx デバイスのブートローダ

### 52.1 ブートローダの設定

STM32L01xxx/02xxx ブートローダは、パターン 6 を適用すると有効化されます (表 2: ブートローダの有効化パターンを参照)。表 111 に、このブートローダが使用するハードウェア・リソースを示します。

表 111. システム・メモリ・ブート・モードでの STM32L01xxx/02xxx の設定

| ブートローダ                     | 機能/ペリフェラル    | 状態         | コメント   |
|----------------------------|--------------|------------|--|
| すべてのブートローダに共通              | RCC          | HSI は有効です。 | システム・クロック周波数は 32 MHz で、クロック・ソースは HSI 16 MHz です。  |
|                            | RAM          | -          | アドレス 0x20000000 から始まる 2 KB は、ブートローダのファームウェアによって使用されます。   |
|                            | システムメモリ      | -          | アドレス 0x1FF00000 から始まる 4 KB に、ブートローダのファームウェアが含まれています。   |
|                            | IWDG         | -          | 独立型ウォッチドッグ (IWDG) プリスケアラは、最大値に設定されます。これは、定期的にリフレッシュされ、ウォッチドッグがリセットされるのを防ぎます (ハードウェアの IWDG オプションがユーザによって事前に有効化されている場合)。 |
| USART2 ブートローダ (PA9/PA10 上) | USART2       | 有効         | 一度初期化されると、USART2 の設定は 8 ビット、偶数パリティ、および 1 ストップ・ビットになります。  |
|                            | USART2_RX ピン | 入力         | PA10 ピン: 受信モードの USART2。入力プルアップ・モードで使用。   |
|                            | USART2_TX ピン | 出力         | PA9 ピン: 送信モードの USART2。入力プルアップで使用。  |
| USART2 ブートローダ (PA2/PA3 上)  | USART2       | 有効         | 一度初期化されると、USART2 の設定は 8 ビット、偶数パリティ、および 1 ストップ・ビットになります。  |
|                            | USART2_RX ピン | 入力         | PA3 ピン: 受信モードの USART2。入力プルアップ・モードで使用。  |
|                            | USART2_TX ピン | 出力         | PA2 ピン: 送信モードの USART2。入力プルアップ・モードで使用。  |
| USART2 ブートローダ              | SysTick タイマ  | 有効         | USARTx ブートローダのホストからシリアルポーレート を自動検出するために使用されます。   |

表 111. システム・メモリ・ブート・モードでの STM32L01xxx/02xxx の設定 (続き)

| ブートローダ                                       | 機能/ペリフェラル    | 状態 | コメント  |
|--|--------------|----|---|
| SPI1 ブートローダ<br>(TSSOP-14 を除くすべてのパッケージのデバイス用) | SPI1         | 有効 | SPI1 設定 :<br>スレーブモード、全二重、8 ビット MSB、最大 8 MHz の速度、極性 : CPOL ロー、CPHA ロー、NSS ハードウェア。  |
|  | SPI1_MOSI ピン | 入力 | PA7 ピン : スレーブ・データ入力ライン (プッシュプル、プルダウンモードで使用)   |
|  | SPI1_MISO ピン | 出力 | PA6 ピン : スレーブ・データ出力ライン (プッシュプル、プルダウンモードで使用)   |
|  | SPI1_SCK ピン  | 入力 | PA5 ピン : スレーブ・クロック・ライン (プッシュプル、プルダウンモードで使用)   |
|  | SPI1_NSS ピン  | 入力 | PA4 ピン : スレーブ・チップ選択ピン (プッシュプル、プルダウンモードで使用)<br>注 : この IO は、SPI マスタが使用しない場合は、GND に接続できます。   |
| SPI1 ブートローダ<br>(TSSOP-14 パッケージのデバイス専用)       | SPI1         | 有効 | SPI1 設定 :<br>スレーブモード、全二重、8 ビット MSB、最大 8 MHz の速度、極性 : CPOL ロー、CPHA ロー、NSS ハードウェア。  |
|  | SPI1_MOSI ピン | 入力 | PA7 ピン : スレーブ・データ入力ライン (プッシュプル、プルダウンモードで使用)   |
|  | SPI1_MISO ピン | 出力 | PA14 ピン : スレーブデータ出力ライン (プッシュプル、プルダウンモードで使用)<br>注 : この IO はデバッグ・インタフェースの SWCLK としても使用されるため、デバッグをブートローダの実行中に「動作中」モードでデバイスに接続することはできません。 |
|  | SPI1_SCK ピン  | 入力 | PA13 ピン : スレーブ・クロック・ライン (プッシュプル、プルダウンモードで使用)  |
|  | SPI1_NSS ピン  | 入力 | PA4 ピン : スレーブ・チップ選択ピン (プッシュプル、プルダウンモードで使用)<br>注 : NSS ピンの同期は、TSSOP14 パッケージのデバイス用の SPI1 インタフェースを持つブートローダで行う必要があります。                    |

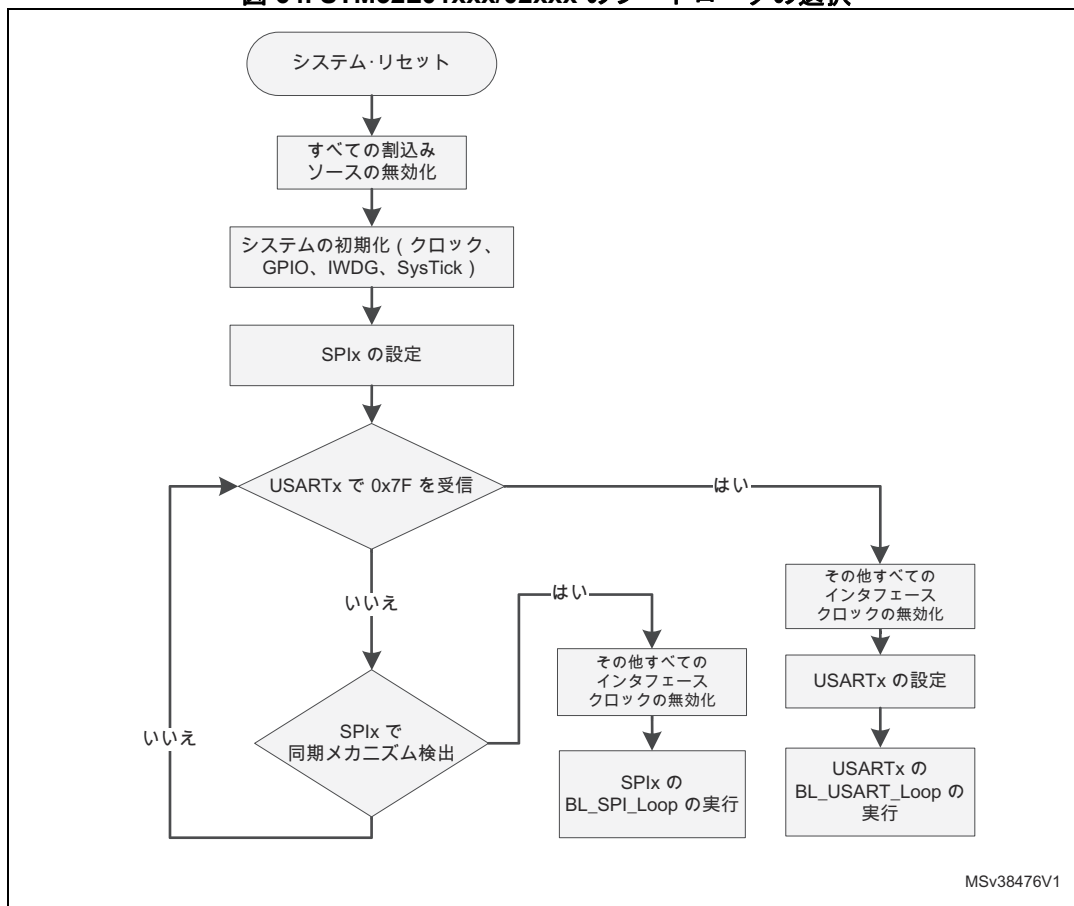
システムクロックはすべてのブートローダインタフェース用の内蔵された内部ハイスピード RC から生成されます。ブートローダの動作に外部水晶発振器は不要です。

注 : この製品のエンプティチェックメカニズムにより、ユーザコードからシステムブートローダにジャンプすることはできません。このようなジャンプにより、ユーザ Flash メモリ空間に戻ることはありません。ただし、ユーザ Flash メモリ (0x0800 0000) の最初の 4 バイトがジャンプ時に空である場合 (ジャンプする前に 1 つ目のセクタを消去、または Flash が空の間に SRAM からコードを実行)、システム・ブートローダはジャンプ後に実行されます。

## 52.2 ブートローダの選択

図 64 に、ブートローダの選択メカニズムを示します。

図 64. STM32L01xxx/02xxx のブートローダの選択



## 52.3 ブートローダのバージョン

次の表に、STM32L01xxx/02xxx デバイスのブートローダのバージョンを示します。

表 112. STM32L01xxx/02xxx のブートローダのバージョン

| ブートローダのバージョン番号 | 説明  | 既知の制限  |
|----------------|---|--|
| V12.2          | ブートローダの初期バージョン  | ブートローダは、TSSOP14 パッケージのデバイス用の SPI1 インタフェースでは機能しません。   |
| V12.3          | このブートローダは、ブートローダ V12.2 の更新バージョンです。この新しいバージョンにより、TSSOP14 パッケージの SPI インタフェースにサポートが追加されます。 | TSSOP14 のデバイス用の SPI1 インタフェースでは、SPI インタフェースを適切に同期するために、通信を開始する前に NSS ピンの立ち下がリエッジが必要になります。NSS ピンがアース接続されている場合（デバイスリセット後常時）、SPI 通信は同期されず、ブートローダは SPI インタフェースで正常に機能しません。 |

## 53 STM32L031xx/041xx デバイスのブートローダ

### 53.1 ブートローダの設定

STM32L031xx/041xx ブートローダは、パターン 2 を適用すると有効化されます (表 2: ブートローダの有効化パターンを参照)。次の表に、このブートローダが使用するハードウェア・リソースを示します。

表 113. システムメモリブートモードでの STM32L031xx/041xx の設定

| ブートローダ                     | 機能/ペリフェラル    | 状態         | コメント   |
|----------------------------|--------------|------------|--|
| すべてのブートローダに共通              | RCC          | HSI は有効です。 | システム・クロック周波数は 32 MHz で、クロック・ソースは HSI 16 MHz です。  |
|                            | RAM          | -          | アドレス 0x20000000 から始まる 4 KB は、ブートローダのファームウェアによって使用されます。   |
|                            | システムメモリ      | -          | アドレス 0x1FF00000 から始まる 4 KB に、ブートローダのファームウェアが含まれています。   |
|                            | IWDG         | -          | 独立型ウォッチドッグ (IWDG) プリスケアラは、最大値に設定されます。これは、定期的にリフレッシュされ、ウォッチドッグがリセットされるのを防ぎます (ハードウェアの IWDG オプションがユーザによって事前に有効化されている場合)。 |
| USART2 ブートローダ (PA9/PA10 上) | USART2       | 有効         | 一度初期化されると、USART2 の設定は 8 ビット、偶数パリティ、および 1 ストップ・ビットになります。  |
|                            | USART2_RX ピン | 入力         | PA10 ピン: 受信モードの USART2。入力プルアップ・モードで使用。   |
|                            | USART2_TX ピン | 出力         | PA9 ピン: 送信モードの USART2。入力プルアップ・モードで使用。  |
| USART2 ブートローダ (PA2/PA3 上)  | USART2       | 有効         | 一度初期化されると、USART2 の設定は 8 ビット、偶数パリティ、および 1 ストップ・ビットになります。  |
|                            | USART2_RX ピン | 入力         | PA3 ピン: 受信モードの USART2。入力プルアップ・モードで使用。  |
|                            | USART2_TX ピン | 出力         | PA2 ピン: 送信モードの USART2。入力プルアップ・モードで使用。  |
| USART2 ブートローダ              | SysTick タイマ  | 有効         | USARTx ブートローダのホストからシリアルポーレート を自動検出するために使用されます。   |

表 113. システムメモリブートモードでの STM32L031xx/041xx の設定 (続き)

| ブートローダ      | 機能/ペリフェラル    | 状態 | コメント  |
|-------------|--------------|----|---|
| SPI1 ブートローダ | SPI1         | 有効 | SPI1 設定 :<br>スレーブモード、全二重、8 ビット MSB、最大 8 MHz の速度、極性: CPOL ロー、CPHA ロー、NSS ハードウェア。       |
|             | SPI1_MOSI ピン | 入力 | PA7 ピン: スレーブ・データ入カライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI1_MISO ピン | 出力 | PA6 ピン: スレーブ・データ出カライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI1_SCK ピン  | 入力 | PA5 ピン: スレーブ・クロック・ライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI1_NSS ピン  | 入力 | PA4 ピン: スレーブ・チップ選択ピン (プッシュプル、プルダウンモードで使用)<br>注: この IO は、SPI マスタが使用しない場合は、GND に接続できます。 |

システムクロックはすべてのブートローダインタフェース用の内蔵された内部ハイスピード RC から生成されます。ブートローダの動作に外部水晶発振器は不要です。

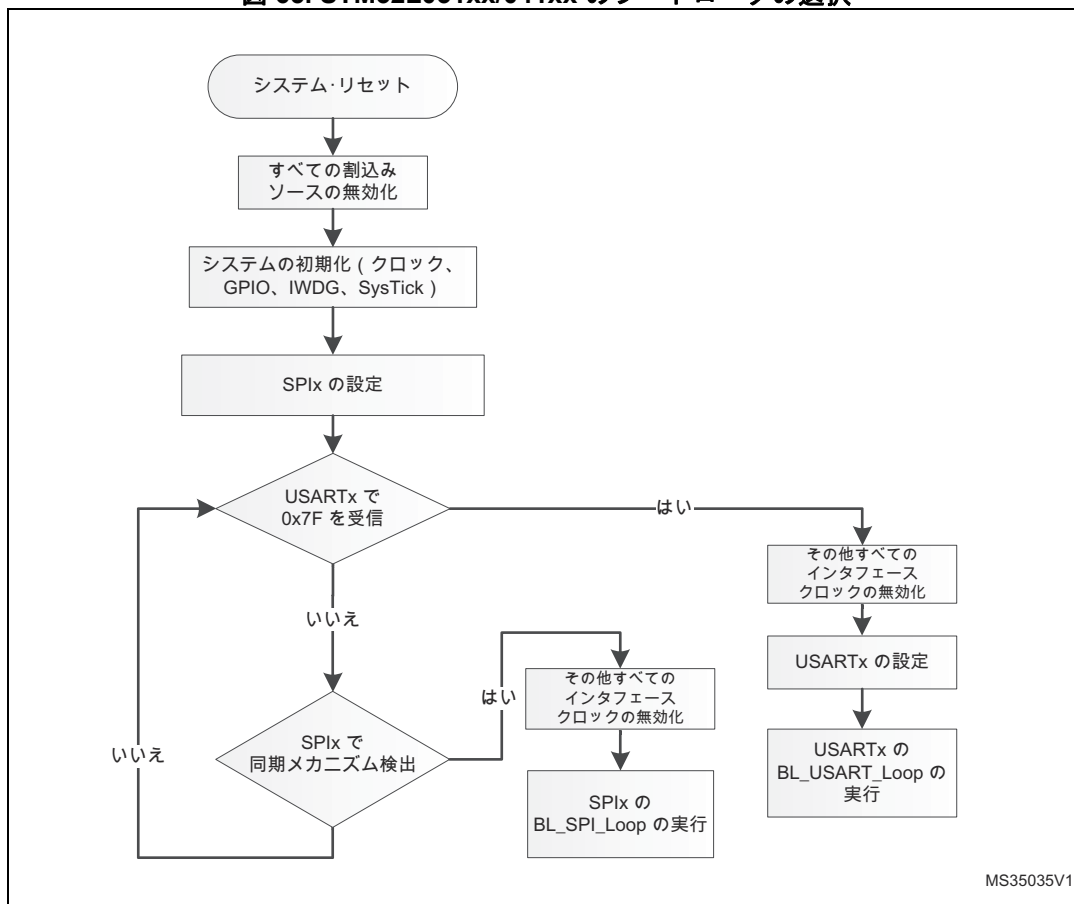
ブートローダの Read/Write コマンドでは、この製品の SRAM 空間をサポートしません。



## 53.2 ブートローダの選択

図 65 に、ブートローダの選択メカニズムを示します。

図 65. STM32L031xx/041xx のブートローダの選択



## 53.3 ブートローダのバージョン

表 114 に、STM32L031xx/041xx デバイスのブートローダのバージョンを示します。

表 114. STM32L031xx/041xx のブートローダのバージョン

| ブートローダのバージョン番号 | 説明             | 既知の制限 |
|----------------|----------------|-------|
| V12.0          | ブートローダの初期バージョン | なし    |

## 54 STM32L05xxx/06xxx デバイスのブートローダ

### 54.1 ブートローダの設定

STM32L05xxx/06xxx ブートローダは、パターン 1 を適用すると有効化されます (表 2: ブートローダの有効化パターンを参照)。次の表に、このブートローダが使用するハードウェア・リソースを示します。

表 115. システムメモリブートモードでの STM32L05xxx/06xxx の設定

| ブートローダ        | 機能/ペリフェラル    | 状態         | コメント  |
|---------------|--------------|------------|---|
| すべてのブートローダに共通 | RCC          | HSI は有効です。 | システム・クロック周波数は 32 MHz で、クロック・ソースは HSI 16 MHz です。   |
|               | パワー          | -          | 電圧範囲が VCORE レンジ 1 にセットされます。   |
|               | RAM          | -          | アドレス 0x20000000 から始まる 4 KB は、ブートローダのファームウェアによって使用されます。  |
|               | システムメモリ      | -          | アドレス 0x1FF00000 から始まる 4 KB に、ブートローダのファームウェアが含まれています。  |
|               | IWDG         | -          | 独立型ウォッチドッグ (IWDG) プリスケアラは、最大値に設定されます。これは、定期的リフレッシュされ、ウォッチドッグがリセットされるのを防ぎます (ハードウェアの IWDG オプションがユーザによって事前に有効化されている場合)。 |
| USART1 ブートローダ | USART1       | 有効         | 一度初期化されると、USART1 の設定は 8 ビット、偶数パリティ、および 1 ストップ・ビットになります。   |
|               | USART1_RX ピン | 入力         | PA10 ピン: 受信モードの USART1。オルタネート・プッシュプル、プルアップ・モードで使用。  |
|               | USART1_TX ピン | 出力         | PA9 ピン: 送信モードの USART1。オルタネート・プッシュプル、プルアップ・モードで使用。   |
| USART2 ブートローダ | USART2       | 有効         | 一度初期化されると、USART2 の設定は 8 ビット、偶数パリティ、および 1 ストップ・ビットになります。   |
|               | USART2_RX ピン | 入力         | PA3 ピン: 受信モードの USART2。オルタネート・プッシュプル、プルアップ・モードで使用。   |
|               | USART2_TX ピン | 出力         | PA2 ピン: 送信モードの USART2。オルタネート・プッシュプル、プルアップ・モードで使用。   |
| USARTx ブートローダ | SysTick タイマ  | 有効         | USARTx ブートローダのホストからシリアルポートを自動検出するために使用されます。   |

表 115. システムメモリブートモードでの STM32L05xxx/06xxx の設定 (続き)

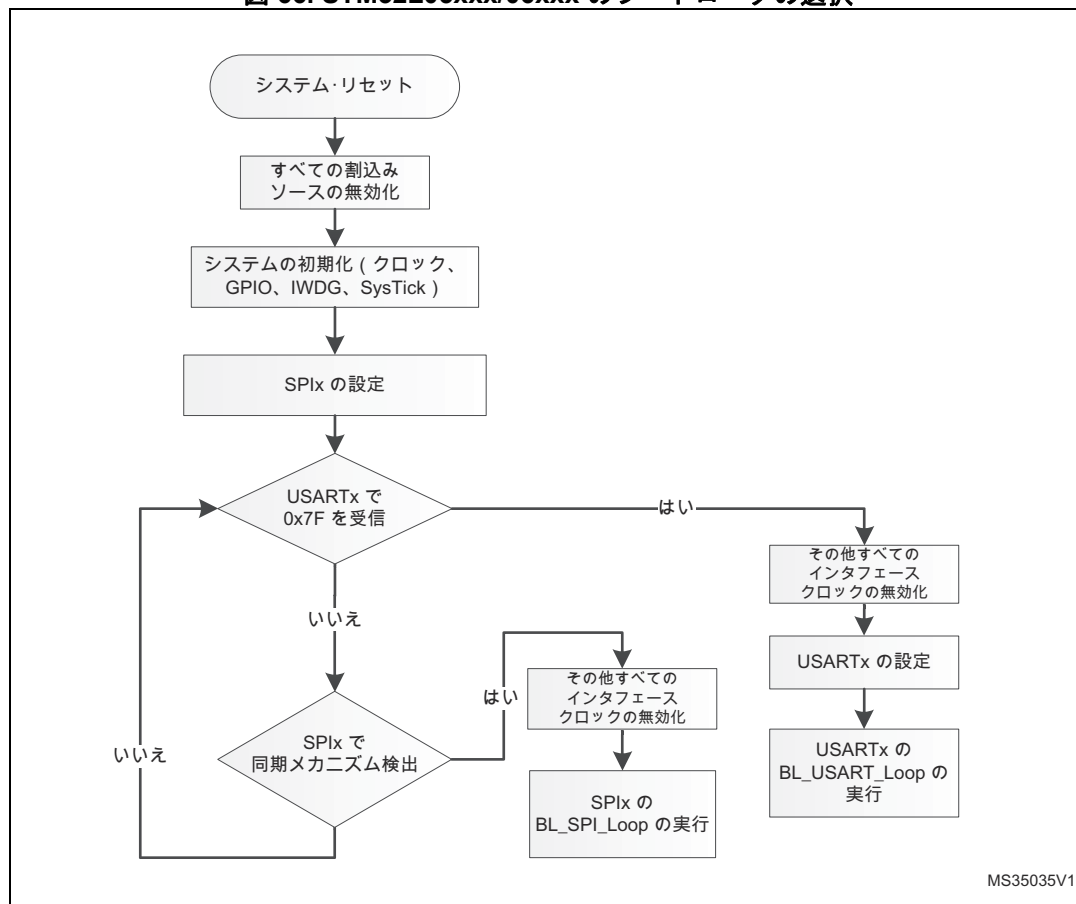
| ブートローダ      | 機能/ペリフェラル    | 状態 | コメント   |
|-------------|--------------|----|--|
| SPI1 ブートローダ | SPI1         | 有効 | SPI1 設定 :<br>スレーブモード、全二重、8 ビット MSB、最大 8 MHz の速度、極性 : CPOL ロー、CPHA ロー、NSS ハードウェア。 |
|             | SPI1_MOSI ピン | 入力 | PA7 ピン : スレーブ・データ入力ライン (プッシュプル、プルダウンモードで使用)                                      |
|             | SPI1_MISO ピン | 出力 | PA6 ピン : スレーブ・データ出力ライン (プッシュプル、プルダウンモードで使用)                                      |
|             | SPI1_SCK ピン  | 入力 | PA5 ピン : スレーブ・クロック・ライン (プッシュプル、プルダウンモードで使用)                                      |
|             | SPI1_NSS ピン  | 入力 | PA4 ピン : スレーブ・チップ選択ピン (プッシュプル、プルダウンモードで使用)                                       |
| SPI2 ブートローダ | SPI2         | 有効 | SPI2 設定 :<br>スレーブモード、全二重、8 ビット MSB、最大 8 MHz の速度、極性 : CPOL ロー、CPHA ロー、NSS ハードウェア。 |
|             | SPI2_MOSI ピン | 入力 | PB15 ピン : スレーブ・データ入力ライン (プッシュプル、プルダウンモードで使用)                                     |
|             | SPI2_MISO ピン | 出力 | PB14 ピン : スレーブ・データ出力ライン (プッシュプル、プルダウンモードで使用)                                     |
|             | SPI2_SCK ピン  | 入力 | PB13 ピン : スレーブ・クロック・ライン (プッシュプル、プルダウンモードで使用)                                     |
|             | SPI2_NSS ピン  | 入力 | PB12 ピン : スレーブ・チップ選択ピン (プッシュプル、プルダウンモードで使用)                                      |

システム・クロックはすべてのブートローダ・インタフェース用の内蔵された内部ハイスピード RC から生成されます。ブートローダの動作に外部水晶発振器は不要です。

## 54.2 ブートローダの選択

次の図に、ブートローダの選択メカニズムを示します。

図 66. STM32L05xxx/06xxx のブートローダの選択



MS35035V1

## 54.3 ブートローダのバージョン

次の表に、STM32L05xxx/06xxx デバイスのブートローダのバージョンを示します。

表 116. STM32L05xxx/06xxx のブートローダのバージョン

| ブートローダのバージョン番号 | 説明             | 既知の制限   |
|----------------|----------------|---|
| V12.0          | ブートローダの初期バージョン | PA13 と PA14 は、使用していなくても、それぞれオルタネート・プッシュプル・プルアップ・モードとオルタネート・プルアップ・プルダウン・モードでセットされます。 |

## 55 STM32L07xxx/08xxx デバイスのブートローダ

STM32L07xxx/08xxx デバイスでは 2 つのバージョンのブートローダを使用できます。

- V4.x (USART1、USART2、および DFU (USB FS デバイス) をサポート)。  
このバージョンは、STM32L072xx/73xx および STM32L082xx/83xx デバイスに内蔵されています。
- V11.x (USART1、USART2、I2C1、I2C2、SPI1、および SPI2 をサポート)。  
このバージョンは、STM32L071xx/081xx デバイスに内蔵されています。

### 55.1 ブートローダ V4.x

#### 55.1.1 ブートローダの設定

STM32L07xxx/08xxx ブートローダは、デュアル・バンク・ブート機能を利用可能なときにパターン 2 またはパターン 7 を適用すると有効化されます(表 2: ブートローダの有効化パターンを参照)。表 117 に、このブートローダが使用するハードウェア・リソースを示します。

表 117. システム・メモリ・ブート・モードでの STM32L07xxx/08xxx の設定

| ブートローダ            | 機能/ペリフェラル    | 状態         | コメント  |
|-------------------|--------------|------------|---|
| すべてのブートローダに<br>共通 | RCC          | HSI は有効です。 | システム・クロック周波数は 32 MHz で、クロック・ソースは HSI 16 MHz です。   |
|                   | RAM          | -          | アドレス 0x20000000 から始まる 4 KB は、ブートローダのファームウェアによって使用されます。  |
|                   | システムメモリ      | -          | アドレス 0x1FF00000 から始まる 8 KB に、ブートローダのファームウェアが含まれています。  |
|                   | IWDG         | -          | 独立型ウォッチドッグ (IWDG) プリスケアラは、最大値に設定されます。これは、定期的リフレッシュされ、ウォッチドッグがリセットされるのを防ぎます (ハードウェアの IWDG オプションがユーザによって事前に有効化されている場合)。 |
| USART1 ブートローダ     | USART1       | 有効         | 一度初期化されると、USART1 の設定は 8 ビット、偶数パリティ、および 1 ストップ・ビットになります。   |
|                   | USART1_RX ピン | 入力         | PA10 ピン: 受信モードの USART2。オルタネート・プッシュプル、プルアップ・モードで使用。  |
|                   | USART1_TX ピン | 出力         | PA9 ピン: 送信モードの USART2。オルタネート・プッシュプル、プルアップ・モードで使用。   |
| USART2 ブートローダ     | USART2       | 有効         | 一度初期化されると、USART2 の設定は 8 ビット、偶数パリティ、および 1 ストップ・ビットになります。   |
|                   | USART2_RX ピン | 入力         | PA3 ピン: 受信モードの USART2。オルタネート・プッシュプル、プルアップ・モードで使用。   |
|                   | USART2_TX ピン | 出力         | PA2 ピン: 送信モードの USART2。オルタネート・プッシュプル、プルアップ・モードで使用。   |
| USARTx ブートローダ     | SysTick タイマ  | 有効         | USARTx ブートローダのホストからシリアルボーレートを検出するために使用されます。   |

表 117. システム・メモリ・ブート・モードでの STM32L07xxx/08xxx の設定 (続き)

| ブートローダ     | 機能/ペリフェラル | 状態    | コメント  |
|------------|-----------|-------|---|
| DFU ブートローダ | USB       | 有効    | USB FS は強制デバイスモードで設定されます。USB FS 割込みベクタが有効化され、USB DFU 通信に使用されます。           |
|            | USB_DM ピン | 入力/出力 | PA11 ピン : USB FS DM ライン。オルタネート・プッシュプル、プルアップ・プルダウンなしモードで使用。                |
|            | USB_DP ピン |       | PA12 ピン : USB FS DP ライン。オルタネート・プッシュプル、プルアップ・プルダウンなしモードで使用。外部プルアップ抵抗は不要です。 |

システム・クロックはすべてのブートローダ・インタフェース用の内蔵された内部ハイスピード RC から生成されます。ブートローダの動作に外部水晶発振器は不要です。

## 55.1.2 ブートローダの選択

図 67 と図 68 に、ブートローダの選択メカニズムを示します。

図 67. STM32L07xxx/08xxx ブートローダ V4.x のデュアル・バンク・ブート実装

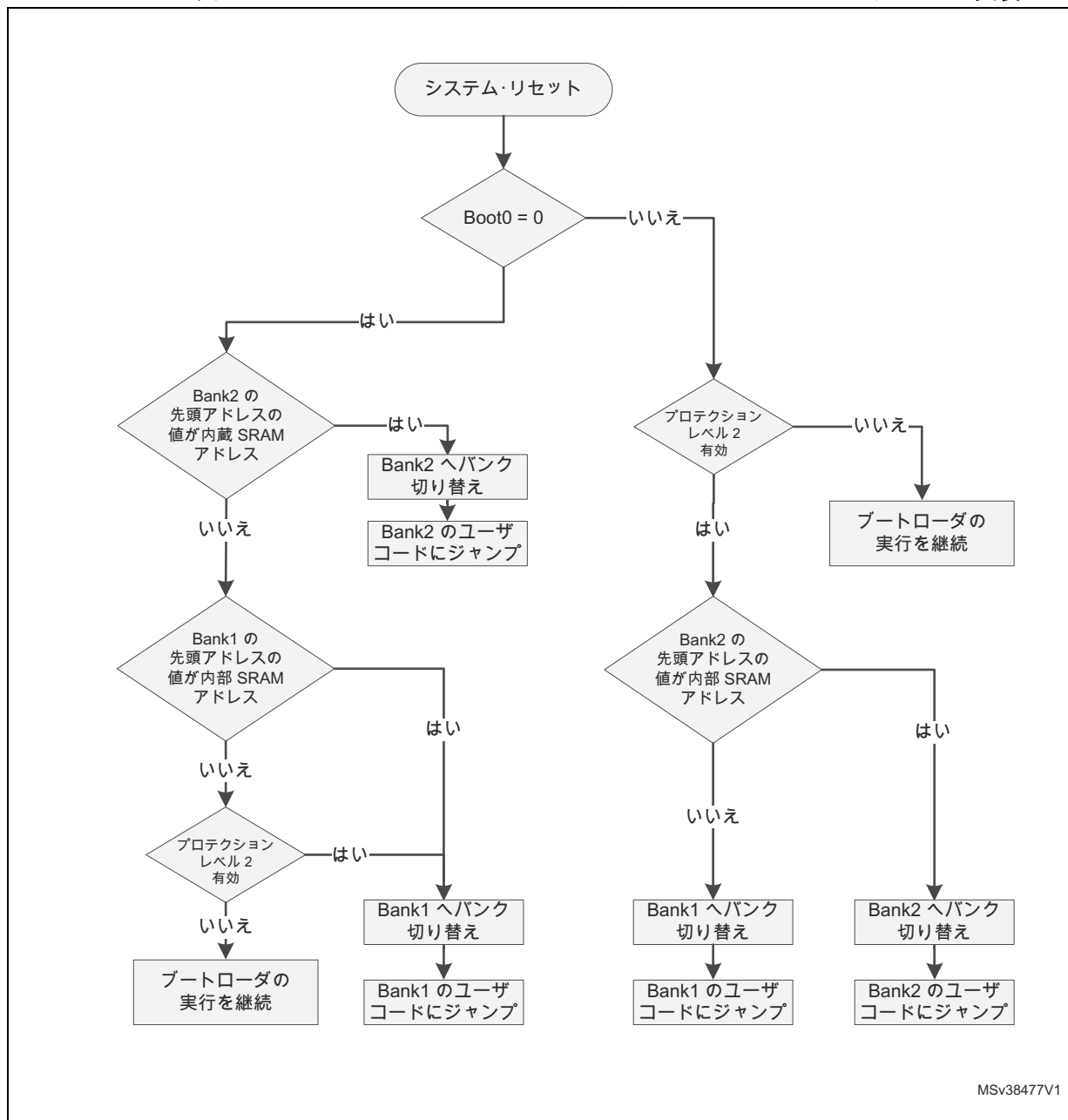
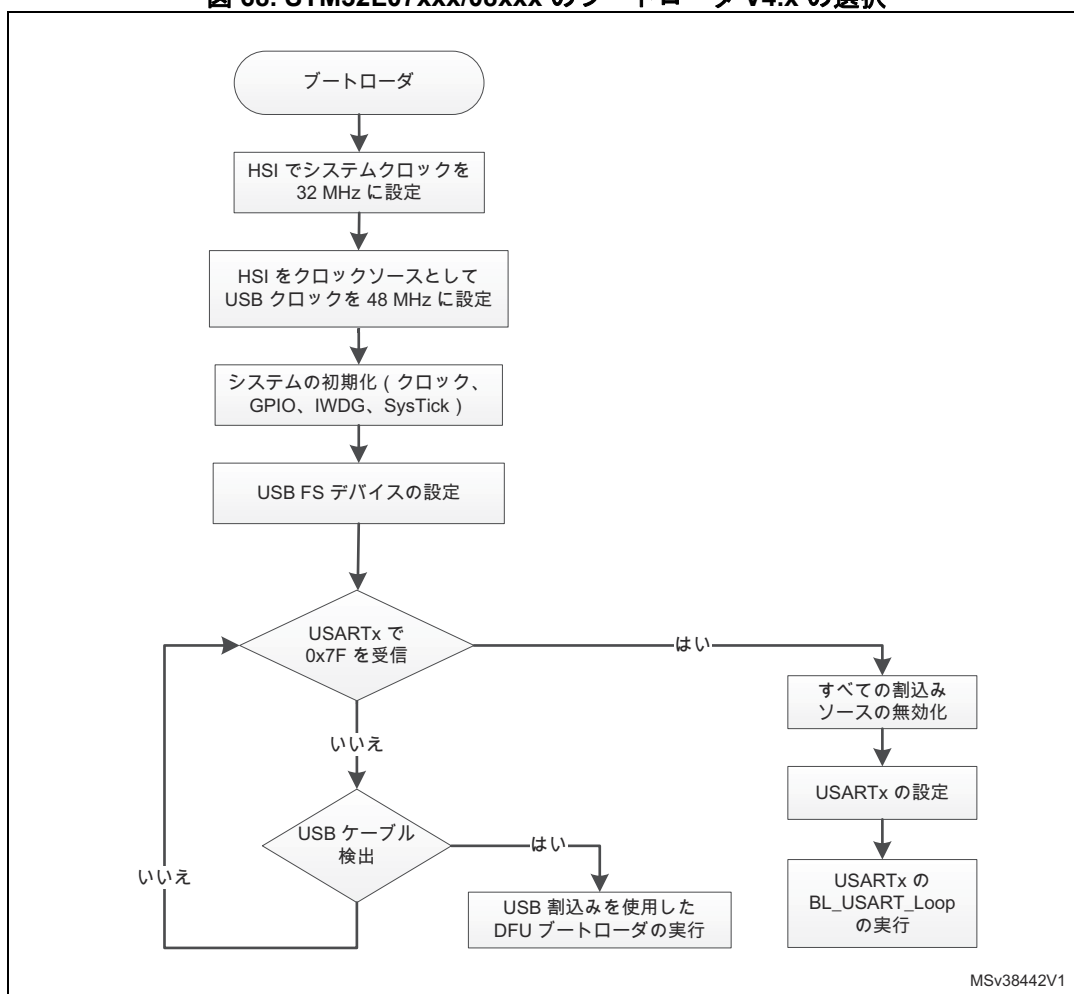


図 68. STM32L07xxx/08xxx のブートローダ V4.x の選択



### 55.1.3 ブートローダのバージョン

表 118 に、STM32L07xxx/08xxx デバイスのブートローダのバージョンを示します。

表 118. STM32L07xxx/08xxx のブートローダのバージョン

| ブートローダのバージョン番号 | 説明   | 既知の制限   |
|----------------|--|---|
| V4.0           | ブートローダの初期バージョン   | PA4、PA5、PA6、PA7 の各 I/O が、ブートローダで使用されていないにもかかわらず、プルダウン・モードで設定されます。 |
| V4.1           | このブートローダは、ブートローダ V4.0 の更新バージョンです。この新しいバージョンは、デュアルバンクブート機能を実装しています。 | PA4、PA5、PA6、PA7 の各 I/O が、ブートローダで使用されていないにもかかわらず、プルダウン・モードで設定されます。 |



## 55.2 ブートローダ V11.x

### 55.2.1 ブートローダの設定

STM32L07xxx/08xxx ブートローダは、デュアル・バンク・ブート機能を利用可能なときにパターン 2 またはパターン 7 を適用すると有効化されます(表 2: ブートローダの有効化パターンを参照)。表 119 に、このブートローダが使用するハードウェア・リソースを示します。

表 119. システム・メモリ・ブート・モードでの STM32L07xxx/08xxx の設定

| ブートローダ        | 機能/ペリフェラル    | 状態         | コメント  |
|---------------|--------------|------------|---|
| すべてのブートローダに共通 | RCC          | HSI は有効です。 | システム・クロック周波数は 32 MHz で、クロック・ソースは HSI 16 MHz です。   |
|               | RAM          | -          | アドレス 0x20000000 から始まる 5 KB は、ブートローダのファームウェアによって使用されます。  |
|               | システムメモリ      | -          | アドレス 0x1FF00000 から始まる 8 KB に、ブートローダのファームウェアが含まれています。  |
|               | IWDG         | -          | 独立型ウォッチドッグ (IWDG) プリスケアラは、最大値に設定されます。これは、定期的リフレッシュされ、ウォッチドッグがリセットされるのを防ぎます (ハードウェアの IWDG オプションがユーザによって事前に有効化されている場合)。                             |
| USART1 ブートローダ | USART1       | 有効         | 一度初期化されると、USART1 の設定は 8 ビット、偶数パリティ、および 1 ストップ・ビットになります。   |
|               | USART1_RX ピン | 入力         | PA10 ピン: 受信モードの USART2。オルタネート・プッシュプル、プルアップ・モードで使用。  |
|               | USART1_TX ピン | 出力         | PA9 ピン: 送信モードの USART2。オルタネート・プッシュプル、プルアップ・モードで使用。   |
| USART2 ブートローダ | USART2       | 有効         | 一度初期化されると、USART2 の設定は 8 ビット、偶数パリティ、および 1 ストップ・ビットになります。   |
|               | USART2_RX ピン | 入力         | PA3 ピン: 受信モードの USART2。オルタネート・プッシュプル、プルアップ・モードで使用。   |
|               | USART2_TX ピン | 出力         | PA2 ピン: 送信モードの USART2。オルタネート・プッシュプル、プルアップ・モードで使用。   |
| USARTx ブートローダ | SysTick タイマ  | 有効         | USARTx ブートローダのホストからシリアルポートを自動検出するために使用されます。   |
| I2C1 ブートローダ   | I2C1         | 有効         | I2C1 設定:<br>I <sup>2</sup> C スピード: 最大 400 kHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレス: 0b1000010x<br>(ここで、書込みの場合 x = 0、読出しの場合 x = 1) |
|               | I2C1_SCL ピン  | 入力/出力      | PB6 ピン: I2C1 クロック・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。   |
|               | I2C1_SDA ピン  | 入力/出力      | PB7 ピン: I2C1 データ・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。  |

表 119. システム・メモリ・ブート・モードでの STM32L07xxx/08xxx の設定 (続き)

| ブートローダ      | 機能/ペリフェラル    | 状態    | コメント   |
|-------------|--------------|-------|--|
| I2C2 ブートローダ | I2C2         | 有効    | I2C2 設定 :<br>I <sup>2</sup> C スピード : 最大 400 kHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレス : 0b1000010x<br>(ここで、書込みの場合 x = 0、読出しの場合 x = 1) |
|             | I2C2_SCL ピン  | 入力/出力 | PB10 ピン : I2C2 クロック・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。  |
|             | I2C2_SDA ピン  | 入力/出力 | PB11 ピン : I2C2 データ・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。   |
| SPI1 ブートローダ | SPI1         | 有効    | SPI1 設定 :<br>スレーブモード、全二重、8 ビット MSB、最大 8 MHz の速度、極性 : CPOL ロー、CPHA ロー、NSS ハードウェア。   |
|             | SPI1_MOSI ピン | 入力    | PA7 ピン : スレーブ・データ入力ライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI1_MISO ピン | 出力    | PA6 ピン : スレーブ・データ出力ライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI1_SCK ピン  | 入力    | PA5 ピン : スレーブ・クロック・ライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI1_NSS ピン  | 入力    | PA4 ピン : スレーブ・チップ選択ピン (プッシュプル、プルダウンモードで使用)<br>注 : この IO は、SPI マスタが使用しない場合は、GND に接続できます。  |
| SPI2 ブートローダ | SPI2         | 有効    | SPI2 設定 :<br>スレーブモード、全二重、8 ビット MSB、最大 8 MHz の速度、極性 : CPOL ロー、CPHA ロー、NSS ハードウェア。   |
|             | SPI2_MOSI ピン | 入力    | PB15 ピン : スレーブ・データ入力ライン (プッシュプル、プルダウンモードで使用)   |
|             | SPI2_MISO ピン | 出力    | PB14 ピン : スレーブ・データ出力ライン (プッシュプル、プルダウンモードで使用)   |
|             | SPI2_SCK ピン  | 入力    | PB13 ピン : スレーブ・クロック・ライン (プッシュプル、プルダウンモードで使用)   |
|             | SPI2_NSS ピン  | 入力    | PB12 ピン : スレーブ・チップ選択ピン (プッシュプル、プルダウンモードで使用)<br>注 : この IO は、SPI マスタが使用しない場合は、GND に接続できます。   |

システムクロックはすべてのブートローダインタフェース用の内蔵された内部ハイスピード RC から生成されます。ブートローダの動作に外部水晶発振器は不要です。

## 55.2.2 ブートローダの選択

図 69 と図 70 に、ブートローダの選択メカニズムを示します。

図 69. STM32L07xxx/08xxx ブートローダ V11.x のデュアル・バンク・ブート実装

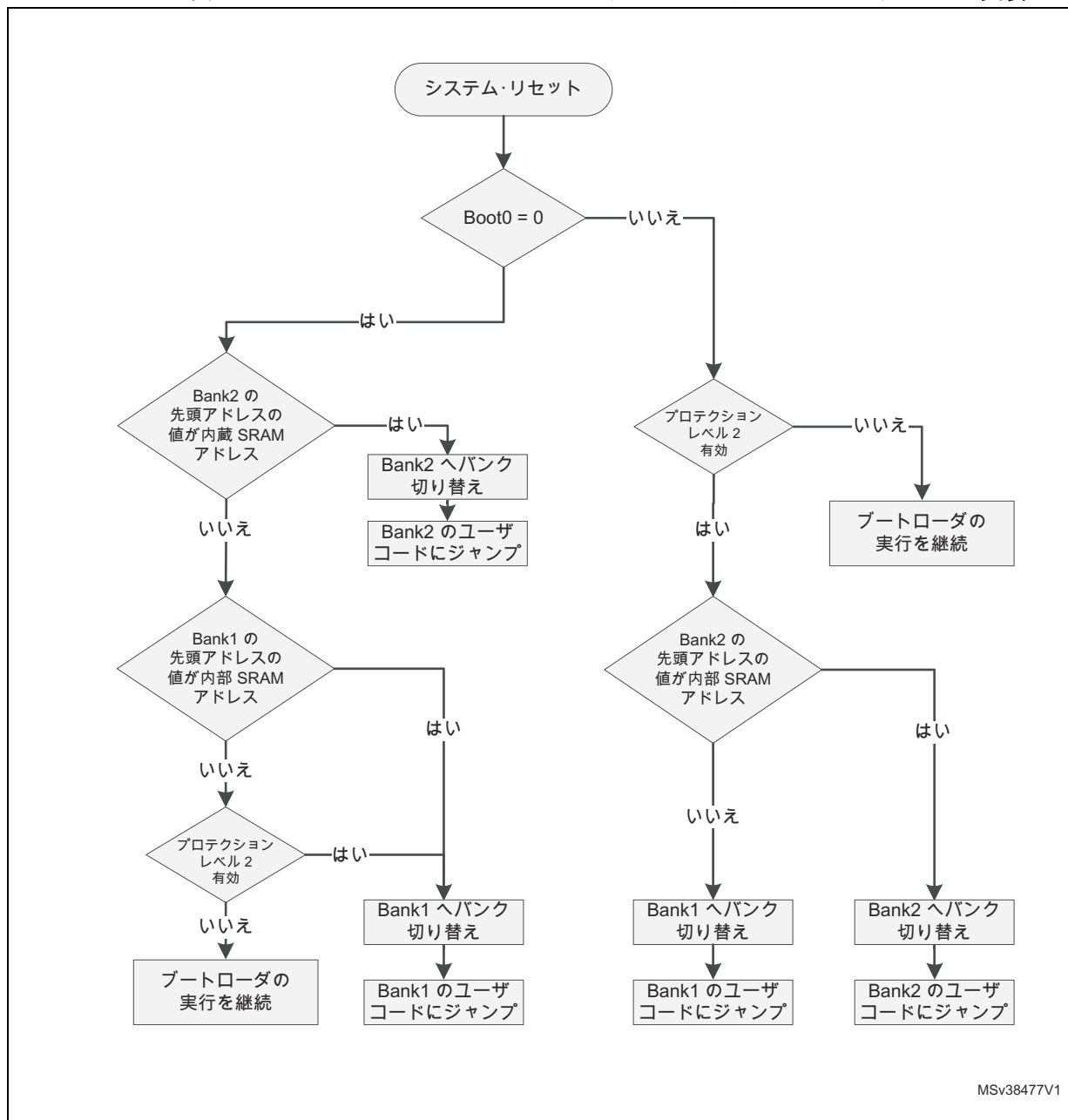
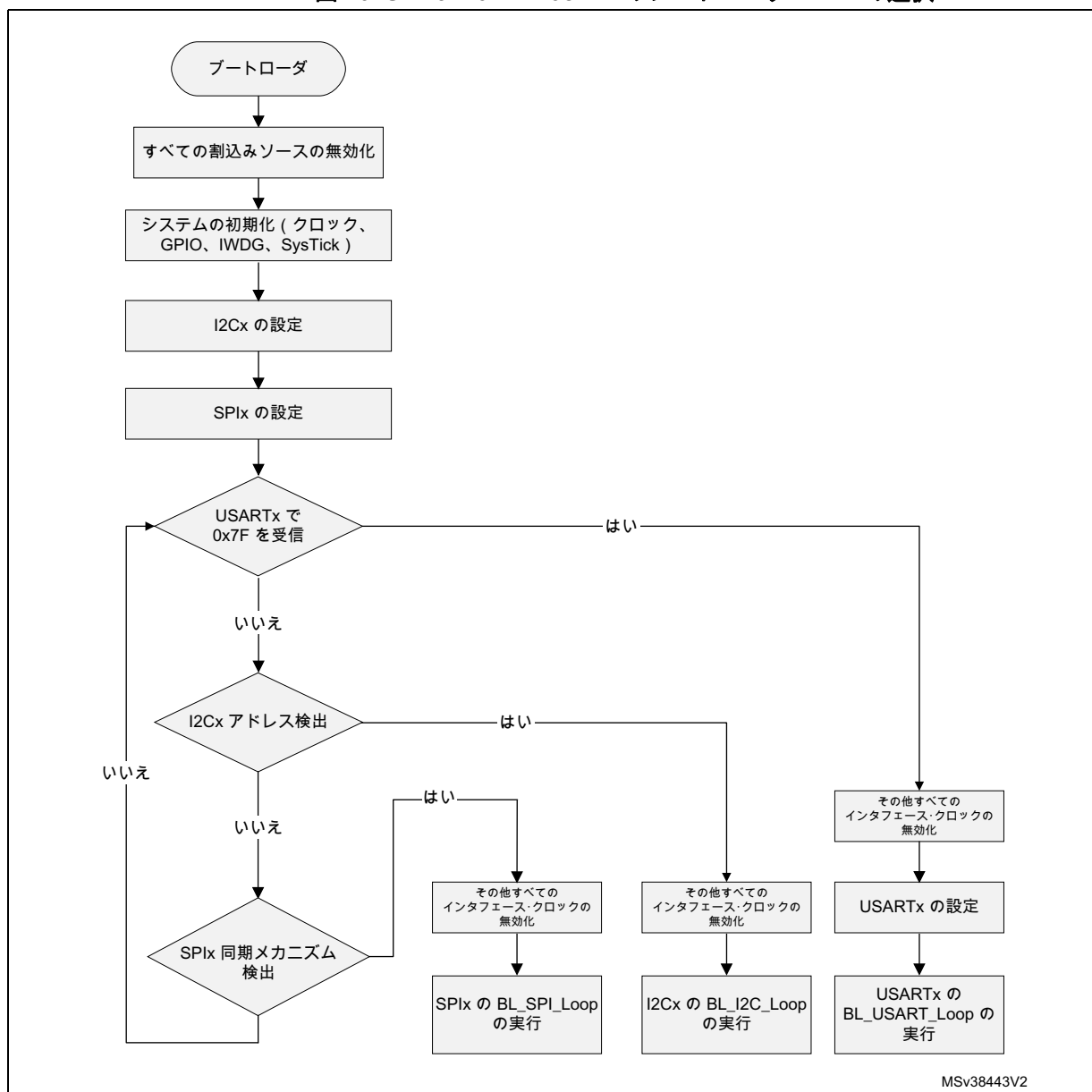


図 70. STM32L07xxx/08xxx のブートローダ V11.x の選択



### 55.2.3 ブートローダのバージョン

次の表に、STM32L07xxx/08xxx デバイスのブートローダのバージョンを示します。

表 120. STM32L07xxx/08xxx のブートローダのバージョン (V11.x)

| ブートローダのバージョン番号 | 説明  | 既知の制限 |
|----------------|---|-------|
| V11.1          | ブートローダの初期バージョン  | なし    |
| V11.2          | このブートローダは、ブートローダ V11.1 の更新バージョンです。この新しいバージョンは、デュアルバンクブート機能を実装しています。 | なし    |

## 56 STM32L1xxx6(8/B)A デバイスのブートローダ

### 56.1 ブートローダの設定

STM32L1xxx6(8/B)A ブートローダは、パターン 1 を適用すると有効化されます (表 2: ブートローダの有効化パターンを参照)。次の表に、このブートローダが使用するハードウェア・リソースを示します。

表 121. システムメモリブートモードでの STM32L1xxx6(8/B)A の設定

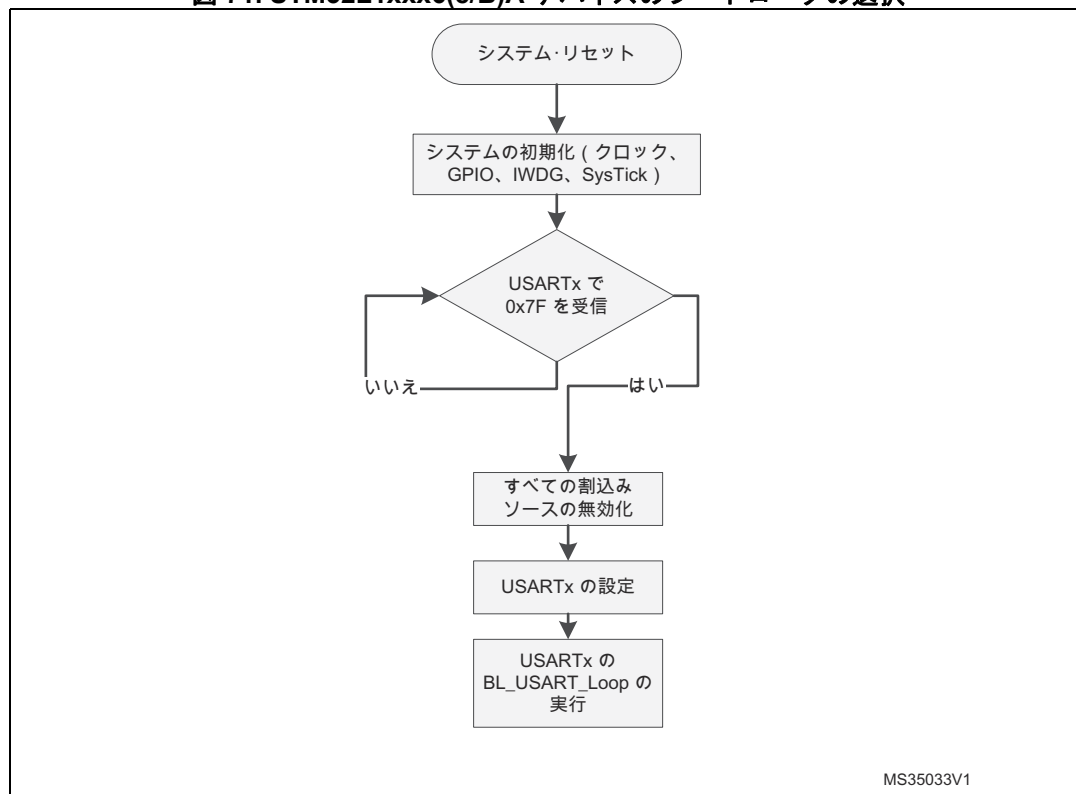
| ブートローダ        | 機能/ペリフェラル    | 状態         | コメント  |
|---------------|--------------|------------|---|
| すべてのブートローダに共通 | RCC          | HSI は有効です。 | システム・クロック周波数は 16 MHz です。  |
|               | RAM          | -          | アドレス 0x20000000 から始まる 2 KB は、ブートローダのファームウェアによって使用されます。  |
|               | システムメモリ      | -          | アドレス 0x1FF00000 から始まる 4 KB に、ブートローダのファームウェアが含まれています。  |
|               | IWDG         | -          | 独立型ウォッチドッグ (IWDG) プリスケアラは、最大値に設定されます。これは、定期的によりフレッシュされ、ウォッチドッグがリセットされるのを防ぎます (ハードウェアの IWDG オプションがユーザによって事前に有効化されている場合)。 |
|               | パワー          | -          | 電圧範囲が V <sub>CORE</sub> レンジ 1 にセットされます。   |
| USART1 ブートローダ | USART1       | 有効         | 一度初期化されると、USART1 の設定は 8 ビット、偶数パリティ、および 1 ストップビットになります。  |
|               | USART1_RX ピン | 入力         | PA10 ピン: 受信モードの USART1。オルタネート・プッシュプル、プルアップ・モードで使用。  |
|               | USART1_TX ピン | 出力         | PA9 ピン: 送信モードの USART1。オルタネート・プッシュプル、プルアップ・モードで使用。   |
| USART2 ブートローダ | USART2       | 有効         | 一度初期化されると、USART2 の設定は 8 ビット、偶数パリティ、および 1 ストップビットになります。  |
|               | USART2_RX ピン | 入力         | PD6 ピン: 受信モードの USART2。オルタネート・プッシュプル、プルアップ・モードで使用。   |
|               | USART2_TX ピン | 出力         | PD5 ピン: 送信モードの USART2。オルタネート・プッシュプル、プルアップ・モードで使用。   |
| USARTx ブートローダ | SysTick タイマ  | 有効         | ホストからシリアルポーレートを自動検出するために使用されます。   |

システムクロックは内蔵された内部ハイスピード RC から生成されます。ブートローダの実行に外部水晶発振器は不要です。

## 56.2 ブートローダの選択

次の図に、ブートローダの選択メカニズムを示します。

図 71. STM32L1xxx6(8/B)A デバイスのブートローダの選択



## 56.3 ブートローダのバージョン

次の表に、STM32L1xxx6(8/B)A デバイスのブートローダのバージョンを示します。

表 122. STM32L1xxx6(8/B)A のブートローダのバージョン

| ブートローダのバージョン番号 | 説明             | 既知の制限   |
|----------------|----------------|---|
| V2.0           | ブートローダの初期バージョン | Read Memory コマンドまたは Write Memory コマンドが、サポートされていないメモリ・アドレスと、アドレスの正確なチェックサム (アドレス 0x6000 0000) で発行された場合、このコマンドはブートローダ・デバイスによってアボートされますが、ホストに NACK (0x1F) は送信されません。結果として、次の 2 つのバイト (読出し/書込みを行うバイト数とそのチェックサム) は新しいコマンドとそのチェックサムとみなされます。 <sup>(1)</sup> |

1. 読出し/書込みを行う「データ数 - 1」(N-1) が有効なコマンドコードと一致しない場合、このコマンドは (サポートされていない新しいコマンドとして) どのみち NACK されるため、ホストから制限を認識することはできません。

## 57 STM32L1xxx6(8/B) デバイスのブートローダ

### 57.1 ブートローダの設定

STM32L1xxx6(8/B) ブートローダは、パターン 1 を適用すると有効化されます (表 2: ブートローダの有効化パターンを参照)。次の表に、このブートローダが使用するハードウェア・リソースを示します。

表 123. システムメモリブートモードでの STM32L1xxx6(8/B) の設定

| ブートローダ        | 機能/ペリフェラル    | 状態         | コメント   |
|---------------|--------------|------------|--|
| すべてのブートローダに共通 | RCC          | HSI は有効です。 | システム・クロック周波数は 16 MHz です。   |
|               | RAM          | -          | アドレス 0x20000000 から始まる 2 KB は、ブートローダのファームウェアによって使用されます。   |
|               | システムメモリ      | -          | アドレス 0x1FF00000 から始まる 4 KB に、ブートローダのファームウェアが含まれています。   |
|               | IWDG         | -          | 独立型ウォッチドッグ (IWDG) プリスケアラは、最大値に設定されます。これは、定期的によりフレッシュされ、ウォッチドッグがリセットされるのを防ぎます (ハードウェアの IWDG オプションがユーザーによって事前に有効化されている場合)。 |
|               | パワー          | -          | 電圧範囲が V <sub>CORE</sub> レンジ 1 にセットされます。  |
| USART1 ブートローダ | USART1       | 有効         | 一度初期化されると、USART1 の設定は 8 ビット、偶数パリティ、および 1 ストップビットになります。   |
|               | USART1_RX ピン | 入力         | PA10 ピン: 受信モードの USART1。オルタネート・プッシュプル、プルアップ・モードで使用。   |
|               | USART1_TX ピン | 出力         | PA9 ピン: 送信モードの USART1。オルタネート・プッシュプル、プルアップ・モードで使用。  |
| USART2 ブートローダ | USART2       | 有効         | 一度初期化されると、USART2 の設定は 8 ビット、偶数パリティ、および 1 ストップビットになります。   |
|               | USART2_RX ピン | 入力         | PD6 ピン: 受信モードの USART2。オルタネート・プッシュプル、プルアップ・モードで使用。  |
|               | USART2_TX ピン | 出力         | PD5 ピン: 送信モードの USART2。オルタネート・プッシュプル、プルアップ・モードで使用。  |
| USARTx ブートローダ | SysTick タイマ  | 有効         | ホストからシリアルポーレートを手動検出するために使用されます。  |

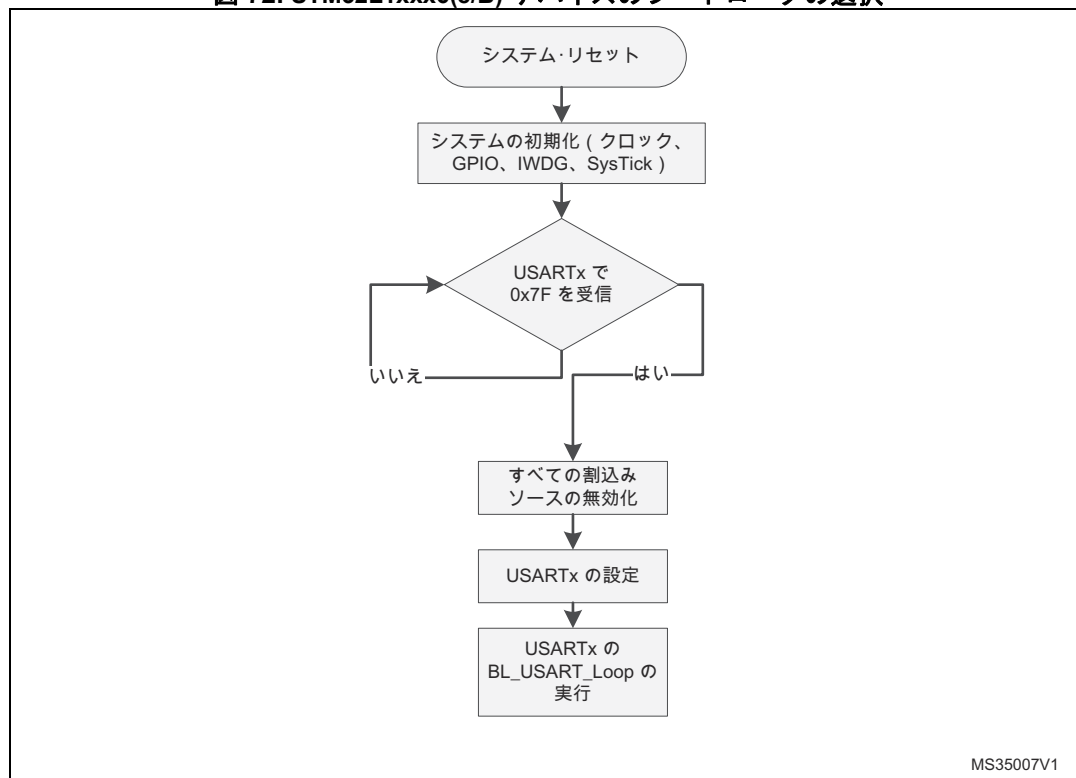
システムクロックは内蔵された内部ハイスピード RC から生成されます。ブートローダの実行に外部水晶発振器は不要です。



## 57.2 ブートローダの選択

次の図に、ブートローダの選択メカニズムを示します。

図 72. STM32L1xxx6(8/B) デバイスのブートローダの選択



## 57.3 ブートローダのバージョン

次の表に、STM32L1xxx6(8/B) デバイスのブートローダのバージョンを示します。

表 124. STM32L1xxx6(8/B) のブートローダのバージョン

| ブートローダのバージョン番号 | 説明             | 既知の制限   |
|----------------|----------------|---|
| V2.0           | ブートローダの初期バージョン | Read Memory コマンドまたは Write Memory コマンドが、サポートされていないメモリ・アドレスと、アドレスの正確なチェックサム (アドレス 0x6000 0000) で発行された場合、このコマンドはブートローダ・デバイスによってアボートされますが、ホストに NACK (0x1F) は送信されません。結果として、次の 2 つのバイト (読出し/書込みを行うバイト数とそのチェックサム) は新しいコマンドとそのチェックサムとみなされます。 <sup>(1)</sup><br>PA13/14/15 は、使用されていないとしても、オルタネート・ブッシュュブル、ブルアップ/ブルダウン (PA14 はブル・ダウン) に設定されます。 |

1. 読出し/書込みを行う「データ数 - 1」(N-1) が有効なコマンドコードと一致しない場合、このコマンドは (サポートされていない新しいコマンドとして) どのみち NACK されるため、ホストから制限を認識することはできません。

## 58 STM32L1xxxC デバイスのブートローダ

### 58.1 ブートローダの設定

STM32L1xxxC ブートローダは、パターン 1 を適用すると有効化されます（表 2：ブートローダの有効化パターンを参照）。次の表に、このブートローダが使用するハードウェア・リソースを示します。

表 125. システムメモリブートモードでの STM32L1xxxC の設定

| ブートローダ            | 機能/ペリフェラル    | 状態                                      | コメント  |
|-------------------|--------------|---|---|
| すべてのブートローダに<br>共通 | RCC          | HSI は有効です。                              | システム・クロック周波数は 16 MHz です (HSI を使用)。これは、DFU ブートローダの USB 検出中に、USARTx ブートローダのみに使用されます (DFU ブートローダを選択すると、外部クリスタルからクロックソースが生成されます)。       |
|                   |              | HSE は有効です。                              | 外部クロックは DFU ブートローダの場合にのみ必須で、次の範囲に設定する必要があります。<br>[24、16、12、8、6、4、3、2] MHz<br>PLL は、USB 48 MHz クロックとシステムクロックの 32 MHz クロックの生成に使用されます。 |
|                   |              | -                                       | DFU ブートローダでは、クロックセキュリティシステム (CSS) 割込みが有効化されます。外部クロックの障害 (または除去) により、システムリセットが生成されます。  |
|                   | RAM          | -                                       | アドレス 0x20000000 から始まる 4 KB は、ブートローダのファームウェアによって使用されます。  |
|                   | システムメモリ      | -                                       | アドレス 0x1FF00000 から始まる 8 KB に、ブートローダのファームウェアが含まれています。  |
|                   | IWDG         | -                                       | 独立型ウォッチドッグ (IWDG) プリスケアラは、最大値に設定されます。これは、定期的によりフレッシュされ、ウォッチドッグがリセットされるのを防ぎます (ハードウェアの IWDG オプションがユーザによって事前に有効化されている場合)。             |
| パワー               | -            | 電圧範囲が V <sub>CORE</sub> レンジ 1 にセットされます。 |   |
| USART1 ブートローダ     | USART1       | 有効                                      | 一度初期化されると、USART1 の設定は 8 ビット、偶数パリティ、および 1 ストップビットになります。  |
|                   | USART1_RX ピン | 入力                                      | PA10 ピン：受信モードの USART1。オルタネート・プッシュプル、プルアップ・モードで使用。   |
|                   | USART1_TX ピン | 出力                                      | PA9 ピン：送信モードの USART1。オルタネート・プッシュプル、プルアップ・モードで使用。  |
| USART2 ブートローダ     | USART2       | 有効                                      | 一度初期化されると、USART2 の設定は 8 ビット、偶数パリティ、および 1 ストップビットになります。USART2 は再配置されたピンを使用します。   |
|                   | USART2_RX ピン | 入力                                      | PD6 ピン：受信モードの USART2。オルタネート・プッシュプル、プルアップ・モードで使用。  |
|                   | USART2_TX ピン | 出力                                      | PD5 ピン：送信モードの USART2。オルタネート・プッシュプル、プルアップ・モードで使用。  |

表 125. システムメモリブートモードでの STM32L1xxxC の設定 (続き)

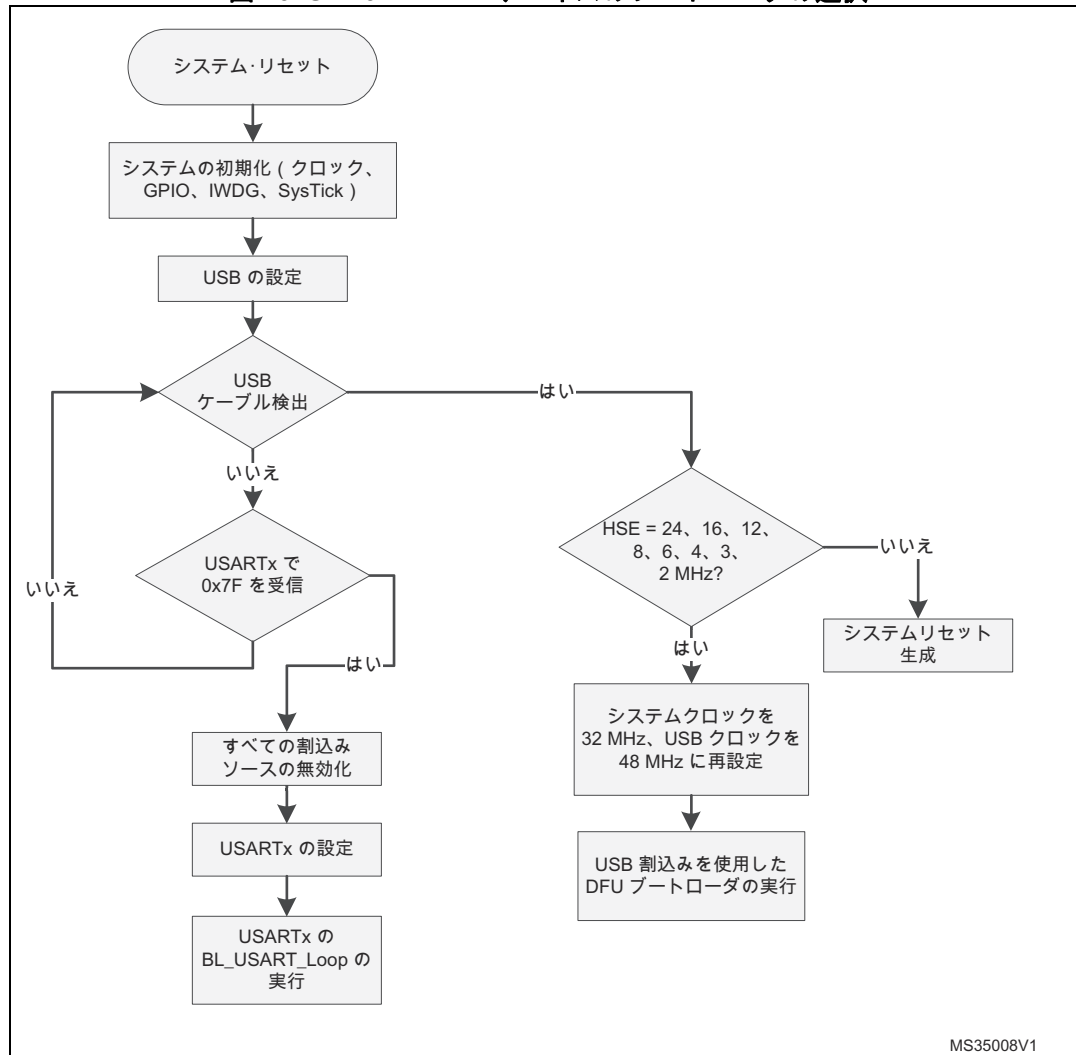
| ブートローダ        | 機能/ペリフェラル   | 状態    | コメント  |
|---------------|-------------|-------|---|
| USARTx ブートローダ | SysTick タイマ | 有効    | USARTx ブートローダのホストからシリアルポーレートを検出するために使用されます。 |
| DFU ブートローダ    | USB         | 有効    | USB は FS モードで使用されます。                        |
|               | USB_DM ピン   | 入力/出力 | PA11 : USB DM ライン。入カプルアップ・プルダウンなしモードで使用。    |
|               | USB_DP ピン   |       | PA12 : USB DP ライン。入カプルアップ・プルダウンなしモードで使用。    |

システム・クロックは USARTx ブートローダ用の内蔵された内部ハイスピード RC から生成されま  
す。この内部クロックは、DFU ブートローダにも使用されますが、選択フェーズに限られます。選択  
フェーズ後に DFU ブートローダを実行するには、[24、16、12、8、6、4、3、2] MHz の範囲の外部  
クロックが必要です。

### 58.2 ブートローダの選択

次の図に、ブートローダの選択メカニズムを示します。

図 73. STM32L1xxxC デバイスのブートローダの選択



MS35008V1

### 58.3 ブートローダのバージョン

次の表に、STM32L1xxxC デバイスのブートローダのバージョンを示します。

表 126. STM32L1xxxC のブートローダのバージョン

| ブートローダのバージョン番号 | 説明             | 既知の制限  |
|----------------|----------------|--|
| V4.0           | ブートローダの初期バージョン | USART インタフェースでは、Read Memory コマンドまたは Write Memory コマンドが送信されて、RDP レベルがアクティブな場合、1 つの NACK の代わりに 2 つの連続した NACK を送信します。<br>PA13/14/15 は、使用されていないとしても、オルタネート・プッシュプル・プル（PA14 はプル・ダウン）に設定されます。 |

## 59 STM32L1xxxD デバイスのブートローダ

### 59.1 ブートローダの設定

STM32L1xxxD ブートローダは、パターン 4 を適用すると有効化されます（表 2：ブートローダの有効化パターンを参照）。次の表に、このブートローダが使用するハードウェア・リソースを示します。

表 127. システムメモリブートモードでの STM32L1xxxD の設定

| ブートローダ            | 機能/ペリフェラル    | 状態                                      | コメント  |
|-------------------|--------------|---|---|
| すべてのブートローダに<br>共通 | RCC          | HSI は有効です。                              | システム・クロック周波数は 16 MHz です（HSI を使用）。これは、DFU ブートローダの USB 検出中に、USARTx ブートローダのみに使用されます（DFU ブートローダを選択すると、外部クリスタルからクロックソースが生成されます）。           |
|                   |              | HSE は有効です。                              | DFU ブートローダの場合にのみ外部クロックが必須で、そのクロックは[24、16、12、8、6、4、3、2] MHz の範囲で設定する必要があります。<br>PLL は、USB 48 MHz クロックとシステムクロックの 32 MHz クロックの生成に使用されます。 |
|                   |              | -                                       | DFU ブートローダでは、クロックセキュリティシステム（CSS）割込みが有効化されます。外部クロックの障害（または除去）により、システムリセットが生成されます。  |
|                   | RAM          | -                                       | アドレス 0x20000000 から始まる 4 KB は、ブートローダのファームウェアによって使用されます。  |
|                   | システムメモリ      | -                                       | アドレス 0x1FF00000 から始まる 8 KB に、ブートローダのファームウェアが含まれています。  |
|                   | IWDG         | -                                       | 独立型ウォッチドッグ（IWDG）プリスケールは、最大値に設定されます。これは、定期的リフレッシュされ、ウォッチドッグがリセットされるのを防ぎます（ハードウェアの IWDG オプションがユーザによって事前に有効化されている場合）。                    |
| パワー               | -            | 電圧範囲が V <sub>CORE</sub> レンジ 1 にセットされます。 |   |
| USART1 ブートローダ     | USART1       | 有効                                      | 一度初期化されると、USART1 の設定は 8 ビット、偶数パリティ、および 1 ストップビットになります。  |
|                   | USART1_RX ピン | 入力                                      | PA10 ピン：受信モードの USART1。オルタネート・プッシュプル、プルアップ・モードで使用。   |
|                   | USART1_TX ピン | 出力                                      | PA9 ピン：送信モードの USART1。オルタネート・プッシュプル、プルアップ・モードで使用。  |
| USART2 ブートローダ     | USART2       | 有効                                      | 一度初期化されると、USART2 の設定は 8 ビット、偶数パリティ、および 1 ストップビットになります。USART2 は USART2 用の再配置されたピンを使用します。   |
|                   | USART2_RX ピン | 入力                                      | PD6 ピン：受信モードの USART2。オルタネート・プッシュプル、プルアップ・モードで使用。  |
|                   | USART2_TX ピン | 出力                                      | PD5 ピン：送信モードの USART2。オルタネート・プッシュプル、プルアップ・モードで使用。  |

表 127. システムメモリブートモードでの STM32L1xxxD の設定 (続き)

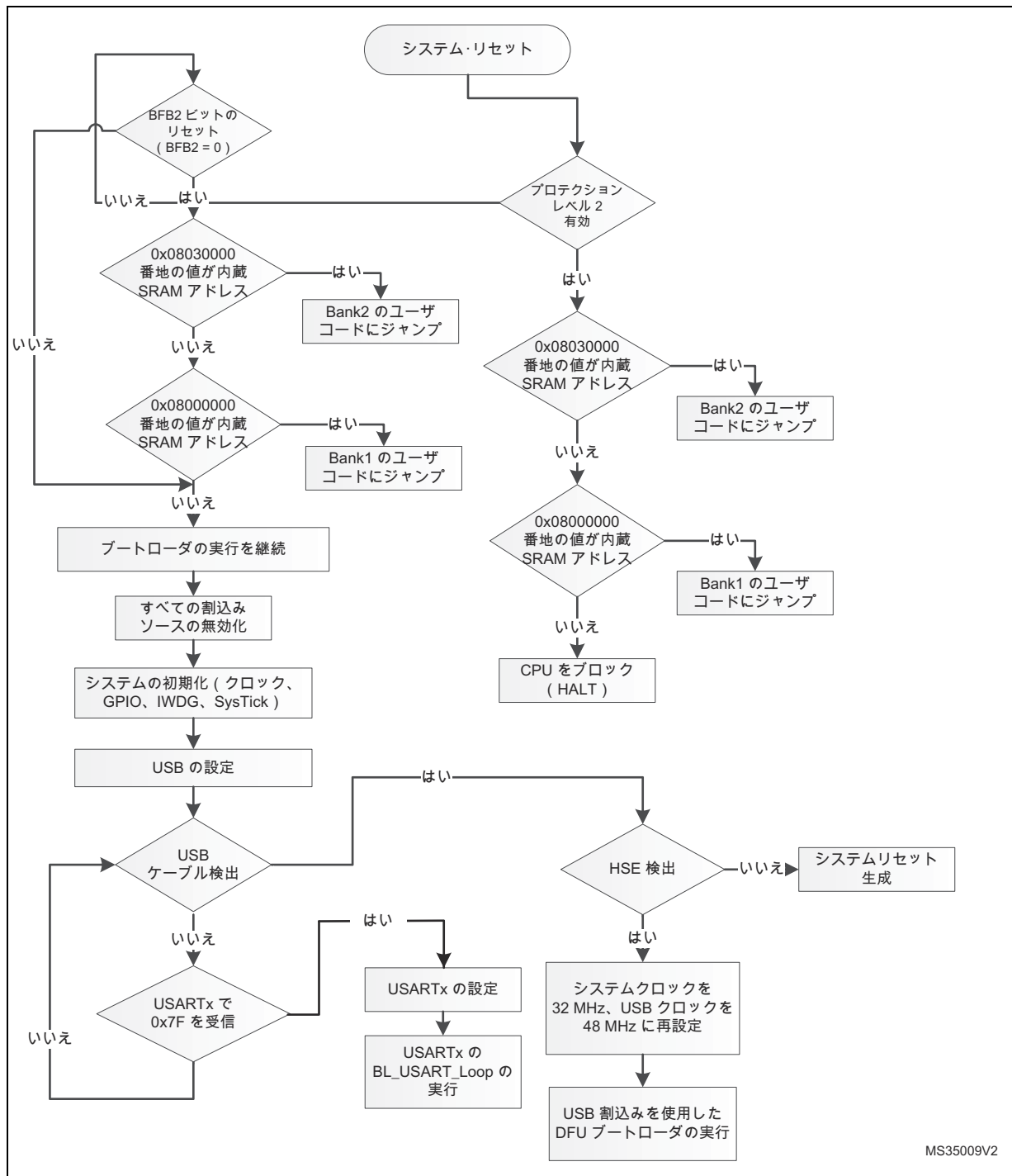
| ブートローダ        | 機能/ペリフェラル   | 状態    | コメント   |
|---------------|-------------|-------|--|
| USARTx ブートローダ | SysTick タイマ | 有効    | USARTx ブートローダのホストからシリアルポートを自動検出するために使用されます。          |
| DFU ブートローダ    | USB         | 有効    | USB は FS モードで使用されます。                                 |
|               | USB_DM ピン   | 入力/出力 | PA11 : USB DM ライン。オルタネート・プッシュプル、プルアップ・プルダウンなしモードで使用。 |
|               | USB_DP ピン   |       | PA12 : USB DP ライン。オルタネート・プッシュプル、プルアップ・プルダウンなしモードで使用。 |

USARTx ブートローダでは、システム・クロックは内蔵された内部ハイスピード RC から生成されま  
す。この内部クロックは、DFU ブートローダにも使用されますが、選択フェーズに限られます。選択  
フェーズ後に DFU ブートローダを実行するには、[24、16、12、8、6、4、3、2] MHz の範囲の外部  
クロックが必要です。

### 59.2 ブートローダの選択

次の図に、ブートローダの選択メカニズムを示します。

図 74. STM32L1xxxD デバイスのブートローダの選択



MS35009V2



### 59.3 ブートローダのバージョン

次の表に、STM32L1xxxD デバイスのブートローダのバージョンを示します。

表 128. STM32L1xxxD のブートローダのバージョン

| ブートローダのバージョン番号 | 説明  | 既知の制限   |
|----------------|---|---|
| V4.1           | ブートローダの初期バージョン  | <ul style="list-style-type: none"> <li>- ブートローダのコードで PA13 (JTMS/SWDIO) の I/O 出力速度は 400 kHz に設定されるため、デバッグによっては、ブートローダの実行中にシリアル・ワイヤ・モードでデバイスに接続できないものがあります。</li> <li>- DFU ブートローダを選択すると、RTC がリセットされ、それによりバックアップ・レジスタも含め、すべての RTC 情報 (カレンダー、アラームなど) が失われます。<b>注</b>: USART ブートローダが選択されている場合、RTC 設定 (バックアップレジスタを含む) に変更はありません。</li> </ul>   |
| V4.2           | V4.1 の制限を修正 (リビジョン Z デバイスでのみ使用可能)                         | <ul style="list-style-type: none"> <li>- BFB2 = 0 の場合に Bank1/Bank2 にジャンプする際、または読出し保護レベルが 2 にセットされている際に、スタックは 8 バイトでオーバーフローします。<br/>回避策: ユーザ・コードにより、メイン・プログラムにジャンプする前に、スタートアップ・ファイルにスタック最上位のアドレスを強制的に設定する必要があります。これは「Reset_Handler」ルーチンで行うことができます。</li> <li>- ユーザ・コードのスタックを SRAM (@ 0x2000C000) の範囲外に配置すると、そのユーザ・コードは無効とみなされ、ブートローダはそのコードにジャンプできません。これは、スタックを SRAM の最上部 (@ 0x2000C000) にある非物理アドレスに配置するコンパイラを使用する場合に発生することがあります。<br/>回避策: スタックを手動で物理アドレスに配置してください。</li> </ul> |
| V4.5           | V4.2 の制限を修正。<br>DFU インタフェースの安定性を強化 (リビジョン Y デバイスでのみ使用可能)。 | <ul style="list-style-type: none"> <li>- USART インタフェースでは、Read Memory または Write Memory コマンドが送信され、RDP レベルがアクティブな場合、(1 つの NACK の代わりに) 2 つの連続した NACK を送信します。</li> </ul>   |

## 60 STM32L1xxxE デバイスのブートローダ

### 60.1 ブートローダの設定

STM32L1xxxE ブートローダは、パターン 4 を適用すると有効化されます（表 2：ブートローダの有効化パターンを参照）。次の表に、このブートローダが使用するハードウェア・リソースを示します。

表 129. システムメモリブートモードでの STM32L1xxxE の設定

| ブートローダ        | 機能/ペリフェラル    | 状態                          | コメント  |
|---------------|--------------|-----------------------------|---|
| すべてのブートローダに共通 | RCC          | HSI は有効です。                  | システム・クロック周波数は 16 MHz です（HSI を使用）。これは、DFU ブートローダの USB 検出中に、USARTx ブートローダのみに使用されます（DFU ブートローダを選択すると、外部クリスタルからクロックソースが生成されます）。           |
|               |              | HSE は有効です。                  | DFU ブートローダの場合にのみ外部クロックが必須で、そのクロックは[24、16、12、8、6、4、3、2] MHz の範囲で設定する必要があります。<br>PLL は、USB 48 MHz クロックとシステムクロックの 32 MHz クロックの生成に使用されます。 |
|               |              | -                           | DFU ブートローダでは、クロックセキュリティシステム（CSS）割込みが有効化されます。外部クロックの障害（または除去）により、システムリセットが生成されます。  |
|               | RAM          | -                           | アドレス 0x20000000 から始まる 4 KB は、ブートローダのファームウェアによって使用されます。  |
|               | システムメモリ      | -                           | アドレス 0x1FF00000 から始まる 8 KB に、ブートローダのファームウェアが含まれています。  |
|               | IWDG         | -                           | 独立型ウォッチドッグ（IWDG）プリスケアラは、最大値に設定されます。これは、定期的リフレッシュされ、ウォッチドッグがリセットされるのを防ぎます（ハードウェアの IWDG オプションがユーザによって事前に有効化されている場合）。                    |
| パワー           | -            | 電圧範囲が VCORE レンジ 1 にセットされます。 |   |
| USART1 ブートローダ | USART1       | 有効                          | 一度初期化されると、USART1 の設定は 8 ビット、偶数パリティ、および 1 ストップビットになります。  |
|               | USART1_RX ピン | 入力                          | PA10 ピン：受信モードの USART1。オルタネート・プッシュプル、プルアップ・モードで使用。   |
|               | USART1_TX ピン | 出力                          | PA9 ピン：送信モードの USART1。オルタネート・プッシュプル、プルアップ・モードで使用。  |
| USART2 ブートローダ | USART2       | 有効                          | 一度初期化されると、USART2 の設定は 8 ビット、偶数パリティ、および 1 ストップビットになります。USART2 は USART2 用の再配置されたピンを使用します。   |
|               | USART2_RX ピン | 入力                          | PD6 ピン：受信モードの USART2。オルタネート・プッシュプル、プルアップ・モードで使用。  |
|               | USART2_TX ピン | 出力                          | PD5 ピン：送信モードの USART2。オルタネート・プッシュプル、プルアップ・モードで使用。  |

表 129. システムメモリブートモードでの STM32L1xxxE の設定 (続き)

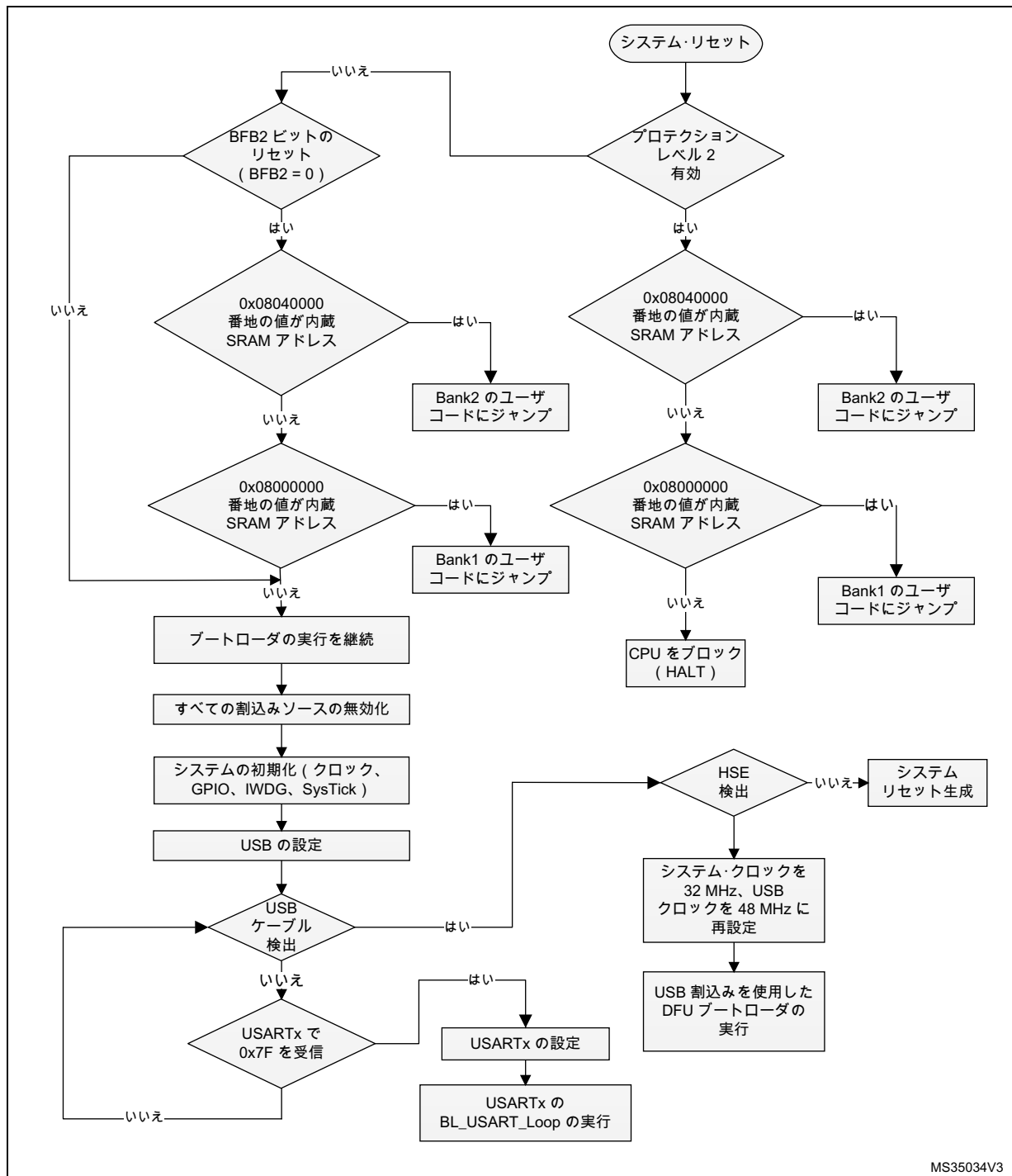
| ブートローダ        | 機能/ペリフェラル   | 状態    | コメント  |
|---------------|-------------|-------|---|
| USARTx ブートローダ | SysTick タイマ | 有効    | USARTx ブートローダのホストからシリアルポートを自動検出するために使用されます。 |
| DFU ブートローダ    | USB         | 有効    | USB は FS モードで使用されます。                        |
|               | USB_DM ピン   | 入力/出力 | PA11 : USB DM ライン。                          |
|               | USB_DP ピン   |       | PA12 : USB DP ライン。                          |

USARTx ブートローダでは、システム・クロックは内蔵された内部ハイスピード RC から生成されません。この内部クロックは、DFU ブートローダにも使用されますが、選択フェーズに限られます。選択フェーズ後に DFU ブートローダを実行するには、[24、16、12、8、6、4、3、2] MHz の範囲の外部クロックが必要です。

## 60.2 ブートローダの選択

次の図に、ブートローダの選択メカニズムを示します。

図 75. STM32L1xxxE デバイスのブートローダの選択



MS35034V3

## 60.3 ブートローダのバージョン

次の表に、STM32L1xxxE デバイスのブートローダのバージョンを示します。

表 130. STM32L1xxxE のブートローダのバージョン

| ブートローダのバージョン<br>番号 | 説明             | 既知の制限  |
|--------------------|----------------|--|
| V4.0               | ブートローダの初期バージョン | USART インタフェースでは、Read Memory<br>またはWrite Memoryコマンドが送信され、<br>RDP レベルがアクティブな場合、(1 つの<br>NACK の代わりに) 2 つの連続した NACK<br>を送信します。<br>PA13/14/15 は、使用されていないとしても、オ<br>ルタネート・プッシュプル・プル (PA14 はプ<br>ル・ダウン) で使用されます。 |

## 61 STM32L412xx/422xx デバイスのブートローダ

### 61.1 ブートローダの設定

STM32L412xx/422xx ブートローダは、パターン 6 を適用すると有効化されます (表 2: ブートローダの有効化パターンを参照)。次の表に、このブートローダが使用するハードウェア・リソースを示します。

表 131. システムメモリブートモードでの STM32L412xx/422xx の設定

| ブートローダ        | 機能/ペリフェラル    | 状態         | コメント  |
|---------------|--------------|------------|---|
| すべてのブートローダに共通 | RCC          | HSI は有効です。 | HSI は、72 MHz に設定されたシステム・クロックのクロック・ソースとして、また USART、I2C、SPI、および USB のブートローダ動作のクロック・ソースとして起動時に使用されます。                    |
|               |              | -          | クロックリカバリシステム (CRS) は、USB を HSI48 48 MHz でクロック供給できるように DFU ブートローダで有効化されます。   |
|               | RAM          | -          | アドレス 0x20000000 から始まる 12 KB は、ブートローダのファームウェアによって使用されます。   |
|               | システムメモリ      | -          | アドレス 0x1FFF0000 から始まる 28 KB に、ブートローダのファームウェアが含まれています。   |
|               | IWDG         | -          | 独立型ウォッチドッグ (IWDG) プリスケーラは、最大値に設定されます。これは、定期的リフレッシュされ、ウォッチドッグがリセットされるのを防ぎます (ハードウェアの IWDG オプションがユーザによって事前に有効化されている場合)。 |
|               | パワー          | -          | 電圧スケーリング・レンジ 2 が選択されている場合、ブートローダとの通信に DFU は使用できません。ブートローダのファームウェアでは、電圧スケーリング・レンジの値が PWR_CR1 レジスタに設定されません。             |
| USART1 ブートローダ | USART1       | 有効         | 一度初期化されると、USART1 の設定は 8 ビット、偶数パリティ、および 1 ストップ・ビットになります。   |
|               | USART1_RX ピン | 入力         | PA10 ピン: 受信モードの USART1。入力プルアップ・プルダウンなしモードで使用。   |
|               | USART1_TX ピン | 出力         | PA9 ピン: 送信モードの USART1。入力プルアップ・プルダウンなしモードで使用。  |
| USART2 ブートローダ | USART2       | 有効         | 一度初期化されると、USART2 の設定は 8 ビット、偶数パリティ、および 1 ストップ・ビットになります。   |
|               | USART2_RX ピン | 入力         | PA3 ピン: 受信モードの USART2。入力プルアップ・モードで使用。   |
|               | USART2_TX ピン | 出力         | PA2 ピン: 送信モードの USART2。入力プルアップ・モードで使用  |

表 131. システムメモリブートモードでの STM32L412xx/422xx の設定 (続き)

| ブートローダ        | 機能/ペリフェラル    | 状態    | コメント  |
|---------------|--------------|-------|---|
| USART3 ブートローダ | USART3       | 有効    | 一度初期化されると、USART3 の設定は8 ビット、偶数パリティ、および 1 ストップ・ビットになります。  |
|               | USART3_RX ピン | 入力    | PC11 ピン: 受信モードの USART3。入力プルアップ・モードで使用。  |
|               | USART3_TX ピン | 出力    | PC10 ピン: 送信モードの USART3。入力プルアップ・モードで使用。  |
| USARTx ブートローダ | SysTick タイマ  | 有効    | USARTx ブートローダのホストからシリアルポーレート を自動検出するために使用されます。  |
| I2C1 ブートローダ   | I2C1         | 有効    | I2C1 設定:<br>I <sup>2</sup> C スピード: 最大 1 MHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレス: 0b1010010x<br>(ここで、書込みの場合 x = 0、読出しの場合 x = 1) |
|               | I2C1_SCL ピン  | 入力/出力 | PB6 ピン: クロック・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。  |
|               | I2C1_SDA ピン  | 入力/出力 | PB7 ピン: データ・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。   |
| I2C2 ブートローダ   | I2C2         | 有効    | I2C2 設定:<br>I <sup>2</sup> C スピード: 最大 1 MHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレス: 0b1010010x<br>(ここで、書込みの場合 x = 0、読出しの場合 x = 1) |
|               | I2C2_SCL ピン  | 入力/出力 | PB10 ピン: クロック・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。   |
|               | I2C2_SDA ピン  | 入力/出力 | PB11 ピン: データ・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。  |
| I2C3 ブートローダ   | I2C3         | 有効    | I2C3 設定:<br>I <sup>2</sup> C スピード: 最大 1 MHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレス: 0b1010010x<br>(ここで、書込みの場合 x = 0、読出しの場合 x = 1) |
|               | I2C3_SCL ピン  | 入力/出力 | PC0 ピン: クロック・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。  |
|               | I2C3_SDA ピン  | 入力/出力 | PC1 ピン: データ・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。   |

表 131. システムメモリブートモードでの STM32L412xx/422xx の設定 (続き)

| ブートローダ      | 機能/ペリフェラル    | 状態    | コメント  |
|-------------|--------------|-------|---|
| SPI1 ブートローダ | SPI1         | 有効    | SPI1 設定 :<br>- スレーブモード<br>- 全二重<br>- 8 ビット MSB<br>- 最大 8 MHz の速度<br>- 極性 : CPOL ロー、CPHA ロー、NSS ハードウェア。                                      |
|             | SPI1_MOSI ピン | 入力    | PA7 ピン : スレーブ・データ入力ライン (プッシュプル、プルダウンモードで使用)   |
|             | SPI1_MISO ピン | 出力    | PA6 ピン : スレーブ・データ出力ライン (プッシュプル、プルダウンモードで使用)   |
|             | SPI1_SCK ピン  | 入力    | PA5 ピン : スレーブ・クロック・ライン (プッシュプル、プルダウンモードで使用)   |
|             | SPI1_NSS ピン  | 入力    | PA4 ピン : スレーブ・チップ選択ピン (プッシュプル、プルダウンモードで使用)<br><b>注 :</b> この IO は、SPI マスタが使用しない場合は、GND に接続できます。  |
| SPI2 ブートローダ | SPI2         | 有効    | SPI2 設定 :<br>- スレーブモード<br>- 全二重<br>- 8 ビット MSB<br>- 最大 8 MHz の速度<br>極性 : CPOL ロー、CPHA ロー、NSS ハードウェア   |
|             | SPI2_MOSI ピン | 入力    | PB15 ピン : スレーブ・データ入力ライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI2_MISO ピン | 出力    | PB14 ピン : スレーブ・データ出力ライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI2_SCK ピン  | 入力    | PB13 ピン : スレーブ・クロック・ライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI2_NSS ピン  | 入力    | PB12 ピン : スレーブ・チップ選択ピン (プッシュプル、プルダウンモードで使用)<br><b>注 :</b> この IO は、SPI マスタが使用しない場合は、GND に接続できます。   |
| DFU ブートローダ  | USB          | 有効    | USB FS は強制デバイスモードで設定されます。<br>USB FS 割込みベクタが有効化され、USB DFU 通信に使用されます。<br><b>注 :</b> USB ペリフェラルがブートローダで使用されるので、VDDUSB IO は 3.3 V に接続する必要があります。 |
|             | USB_DM ピン    | 入力/出力 | PA11 : USB DM ライン。オルタネート・プッシュプル、プルアップ・プルダウンなしモードで使用。  |
|             | USB_DP ピン    |       | PA12 : USB DP ライン。オルタネート・プッシュプル、プルアップ・プルダウンなしモードで使用。<br>外部プルアップ抵抗は不要です。   |

**注 :** VDDUSB ピンを VDD に接続していないと、電圧の問題に起因して SPI Flash メモリへの書き込みが機能しなくなります。詳細については、製品のデータシートとエラッタを参照してください。



## 61.2 ブートローダの選択

以降の図に、ブートローダの選択メカニズムを示します。

図 76. STM32L412xx/422xx ブートローダ V9.x のデュアル・バンク・ブート実装

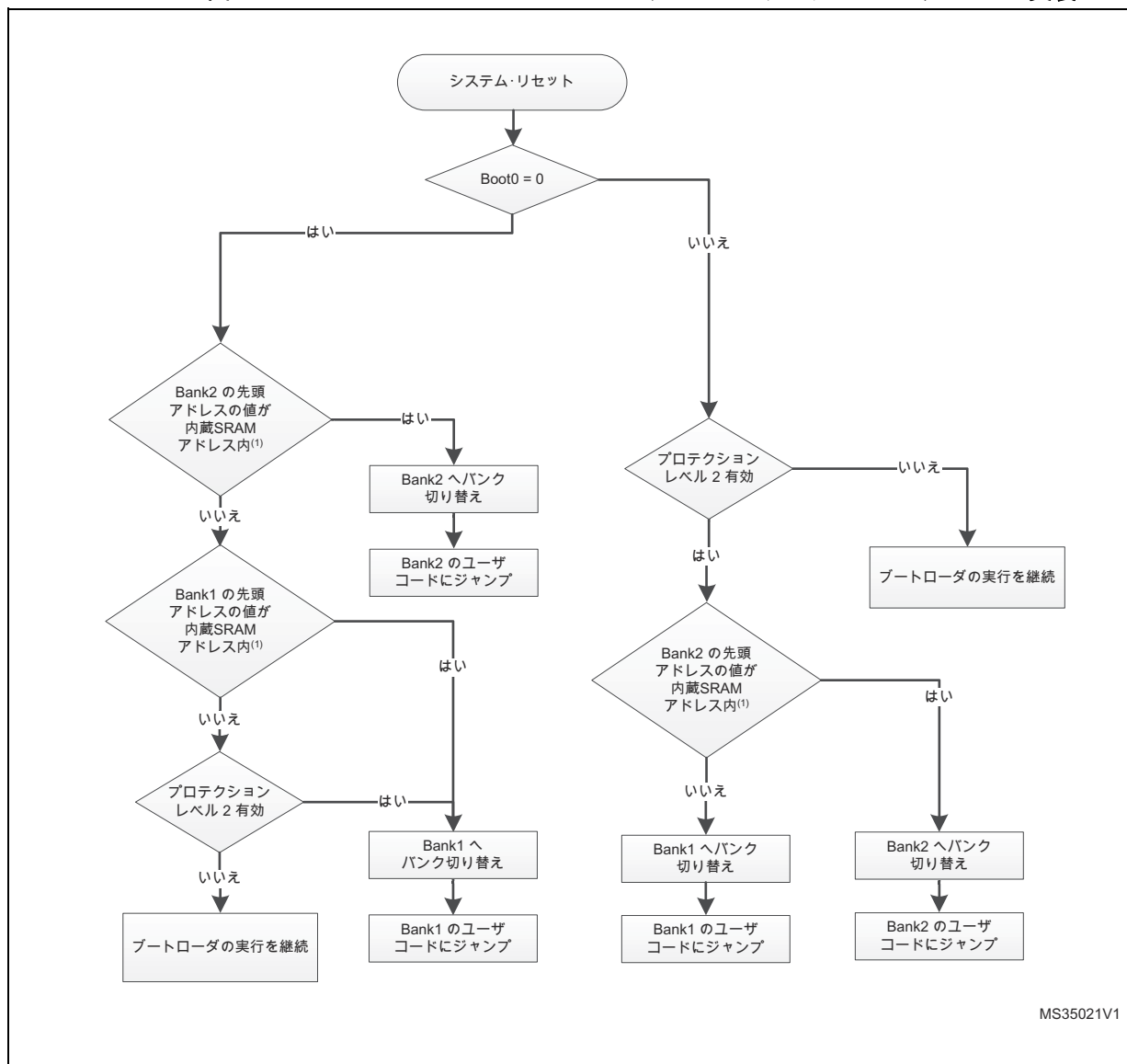
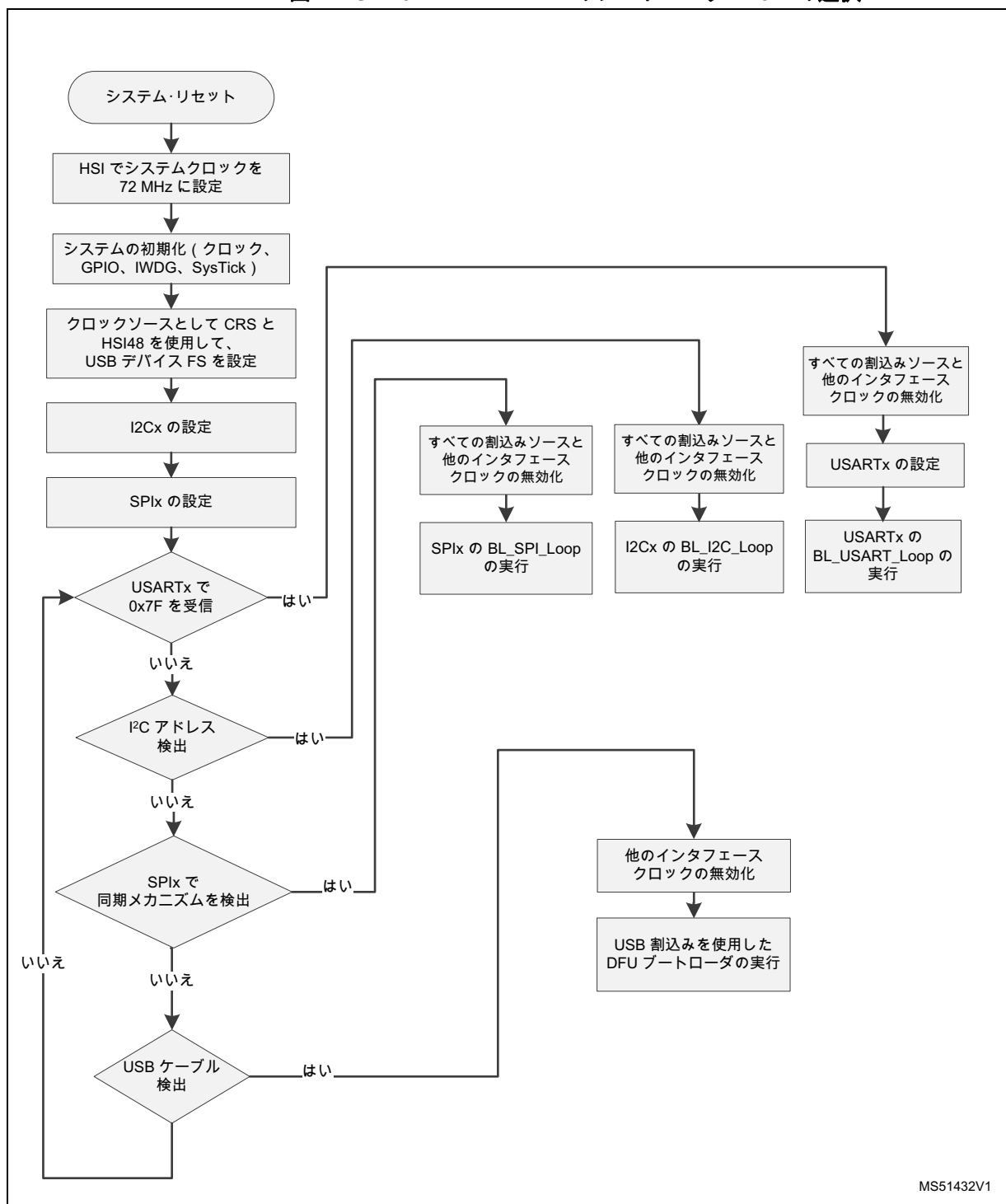


図 77. STM32L412xx/422xx のブートローダ V13.x の選択



## 61.3 ブートローダのバージョン

表 132 に、STM32L412xx/422xx デバイスのブートローダのバージョンを示します。

表 132. STM32L412xx/422xx のブートローダのバージョン

| ブートローダのバージョン番号 | 説明             | 既知の制限   |
|----------------|----------------|---|
| V13.1          | ブートローダの初期バージョン | <ul style="list-style-type: none"> <li>- 接続フェーズで、USART は 1 つのみではなく 2 つの ACK バイト (0x79) で応答します。</li> <li>- PCROP オプションバイトは書き込めません。これは、PCROP がハーフワードアクセスを用いてアクセスする必要があるのに対し、ブートローダがバイトアクセスを使用しているためです。</li> </ul> <p><b>回避策:</b> ブートローダインタフェースを使用して SRAM にコードスニペットをロードしてからこれにジャンプしてください。このコードにより PCROP 値が書き込まれます。</p> |

## 62 STM32L43xxx/44xxx デバイスのブートローダ

### 62.1 ブートローダの設定

ブートローダ V9.1 バージョンは USB-DFU インタフェースに関連する既知の制限を修正するために更新され、バージョン情報 ID が 0x10 のデバイスに実装されています（詳細については、表 134 を参照）。

STM32L43xxx/44xxx ブートローダは、パターン 6 を適用すると有効化されます（表 2：ブートローダの有効化パターンを参照）。次の表に、このブートローダが使用するハードウェア・リソースを示します。

表 133. システムメモリブートモードでの STM32L43xxx/44xxx の設定

| ブートローダ        | 機能/ペリフェラル    | 状態  | コメント   |
|---------------|--------------|---|--|
| すべてのブートローダに共通 | RCC          | HSI は有効です。  | HSI は、60 MHz に設定されたシステム・クロックのクロック・ソースとして、また USART、I2C、SPI、および USB のブートローダ動作のクロック・ソースとして起動時に使用されます。                 |
|               |              | -   | クロックリカバリシステム（CRS）は、USB を HSI48 48 MHz でクロック供給できるように DFU ブートローダで有効化されます。  |
|               |              | HSE は有効です。  | HSE は、CAN インタフェースの選択時にのみ使用されます。HSE は、[24、20、18、16、12、9、8、6、4] MHz のいずれかの値である必要があります。                               |
|               |              | -   | クロックセキュリティシステム（CSS）割込みは、HSE を有効にすると有効化されます。外部クロックの障害（または除去）により、システムリセットが生成されます。                                    |
|               | RAM          | -   | アドレス 0x20000000 から始まる 12 KB は、ブートローダのファームウェアによって使用されます。  |
|               | システムメモリ      | -   | アドレス 0x1FFF0000 から始まる 28 KB に、ブートローダのファームウェアが含まれています。  |
|               | IWDG         | -   | 独立型ウォッチドッグ（IWDG）プリスケールは、最大値に設定されます。これは、定期的リフレッシュされ、ウォッチドッグがリセットされるのを防ぎます（ハードウェアの IWDG オプションがユーザによって事前に有効化されている場合）。 |
| パワー           | -            | 電圧スケーリング・レンジ 2 が選択されている場合、ブートローダとの通信に DFU は使用できません。ブートローダのファームウェアでは、電圧スケーリング・レンジの値が PWR_CR1 レジスタに設定されません。 |  |
| USART1 ブートローダ | USART1       | 有効  | 一度初期化されると、USART1 の設定は 8 ビット、偶数パリティ、および 1 ストップ・ビットになります。  |
|               | USART1_RX ピン | 入力  | PA10 ピン：受信モードの USART1。入力プルアップ・プルダウンなしモードで使用。   |
|               | USART1_TX ピン | 出力  | PA9 ピン：送信モードの USART1。入力プルアップ・プルダウンなしモードで使用。  |

表 133. システムメモリブートモードでの STM32L43xxx/44xxx の設定 (続き)

| ブートローダ        | 機能/ペリフェラル    | 状態    | コメント  |
|---------------|--------------|-------|---|
| USART2 ブートローダ | USART2       | 有効    | 一度初期化されると、USART2 の設定は8 ビット、偶数パリティ、および1ストップ・ビットになります。  |
|               | USART2_RX ピン | 入力    | PA3 ピン: 受信モードの USART2。入力プルアップ・モードで使用。   |
|               | USART2_TX ピン | 出力    | PA2 ピン: 送信モードの USART2。入力プルアップ・モードで使用。   |
| USART3 ブートローダ | USART3       | 有効    | 一度初期化されると、USART3 の設定は8 ビット、偶数パリティ、および1ストップ・ビットになります。  |
|               | USART3_RX ピン | 入力    | PC11 ピン: 受信モードの USART3。入力プルアップ・モードで使用。  |
|               | USART3_TX ピン | 出力    | PC10 ピン: 送信モードの USART3  |
| USARTx ブートローダ | SysTick タイマ  | 有効    | USARTx ブートローダのホストからシリアルポーレットを自動検出するために使用されます。   |
| I2C1 ブートローダ   | I2C1         | 有効    | I2C1 設定:<br>I <sup>2</sup> C スピード: 最大 1 MHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレス: 0b1001000x<br>(ここで、書込みの場合 x = 0、読出しの場合 x = 1) |
|               | I2C1_SCL ピン  | 入力/出力 | PB6 ピン: クロック・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。  |
|               | I2C1_SDA ピン  | 入力/出力 | PB7 ピン: データ・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。   |
| I2C2 ブートローダ   | I2C2         | 有効    | I2C2 設定:<br>I <sup>2</sup> C スピード: 最大 1 MHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレス: 0b1001000x<br>(ここで、書込みの場合 x = 0、読出しの場合 x = 1) |
|               | I2C2_SCL ピン  | 入力/出力 | PB10 ピン: クロック・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。   |
|               | I2C2_SDA ピン  | 入力/出力 | PB11 ピン: データ・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。  |
| I2C3 ブートローダ   | I2C3         | 有効    | I2C3 設定:<br>I <sup>2</sup> C スピード: 最大 1 MHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレス: 0b1001000x<br>(ここで、書込みの場合 x = 0、読出しの場合 x = 1) |
|               | I2C3_SCL ピン  | 入力/出力 | PC0 ピン: クロック・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。  |
|               | I2C3_SDA ピン  | 入力/出力 | PC1 ピン: データ・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。   |

表 133. システムメモリブートモードでの STM32L43xxx/44xxx の設定 (続き)

| ブートローダ      | 機能/ペリフェラル    | 状態 | コメント   |
|-------------|--------------|----|--|
| SPI1 ブートローダ | SPI1         | 有効 | SPI1 設定 :<br>- スレーブモード<br>- 全二重<br>- 8 ビット MSB<br>- 最大 8 MHz の速度<br>- 極性 : CPOL ロー、CPHA ロー、NSS ハードウェア。 |
|             | SPI1_MOSI ピン | 入力 | PA7 ピン : スレーブ・データ入力ライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI1_MISO ピン | 出力 | PA6 ピン : スレーブ・データ出力ライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI1_SCK ピン  | 入力 | PA5 ピン : スレーブ・クロック・ライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI1_NSS ピン  | 入力 | PA4 ピン : スレーブ・チップ選択ピン (プッシュプル、プルダウンモードで使用)<br><b>注 :</b> この IO は、SPI マスタが使用しない場合は、GND に接続できます。         |
| SPI2 ブートローダ | SPI2         | 有効 | SPI2 設定 :<br>- スレーブモード<br>- 全二重<br>- 8 ビット MSB<br>- 最大 8 MHz の速度<br>極性 : CPOL ロー、CPHA ロー、NSS ハードウェア    |
|             | SPI2_MOSI ピン | 入力 | PB15 ピン : スレーブ・データ入力ライン (プッシュプル、プルダウンモードで使用)   |
|             | SPI2_MISO ピン | 出力 | PB14 ピン : スレーブ・データ出力ライン (プッシュプル、プルダウンモードで使用)   |
|             | SPI2_SCK ピン  | 入力 | PB13 ピン : スレーブ・クロック・ライン (プッシュプル、プルダウンモードで使用)   |
|             | SPI2_NSS ピン  | 入力 | PB12 ピン : スレーブ・チップ選択ピン (プッシュプル、プルダウンモードで使用)<br><b>注 :</b> この IO は、SPI マスタが使用しない場合は、GND に接続できます。        |
| CAN1 ブートローダ | CAN1         | 有効 | 一度初期化されると、CAN1 の設定は<br>ボーレート 125 kbps、11 ビット識別子になります。  |
|             | CAN1_RX ピン   | 入力 | PB8 ピン : 受信モードの CAN1。オルタネート・プッシュプル、プルアップ・モードで使用。   |
|             | CAN1_TX ピン   | 出力 | PB9 ピン : 送信モードの CAN1。オルタネート・プッシュプル、プルアップ・モードで使用。   |
|             | TIM16        | 有効 | このタイマは、HSE の値を決定するために使用されます。HSE 周波数が決定されると、システムクロックは PLL と HSE を使用して 60 MHz に設定されます。                   |

表 133. システムメモリブートモードでの STM32L43xxx/44xxx の設定 (続き)

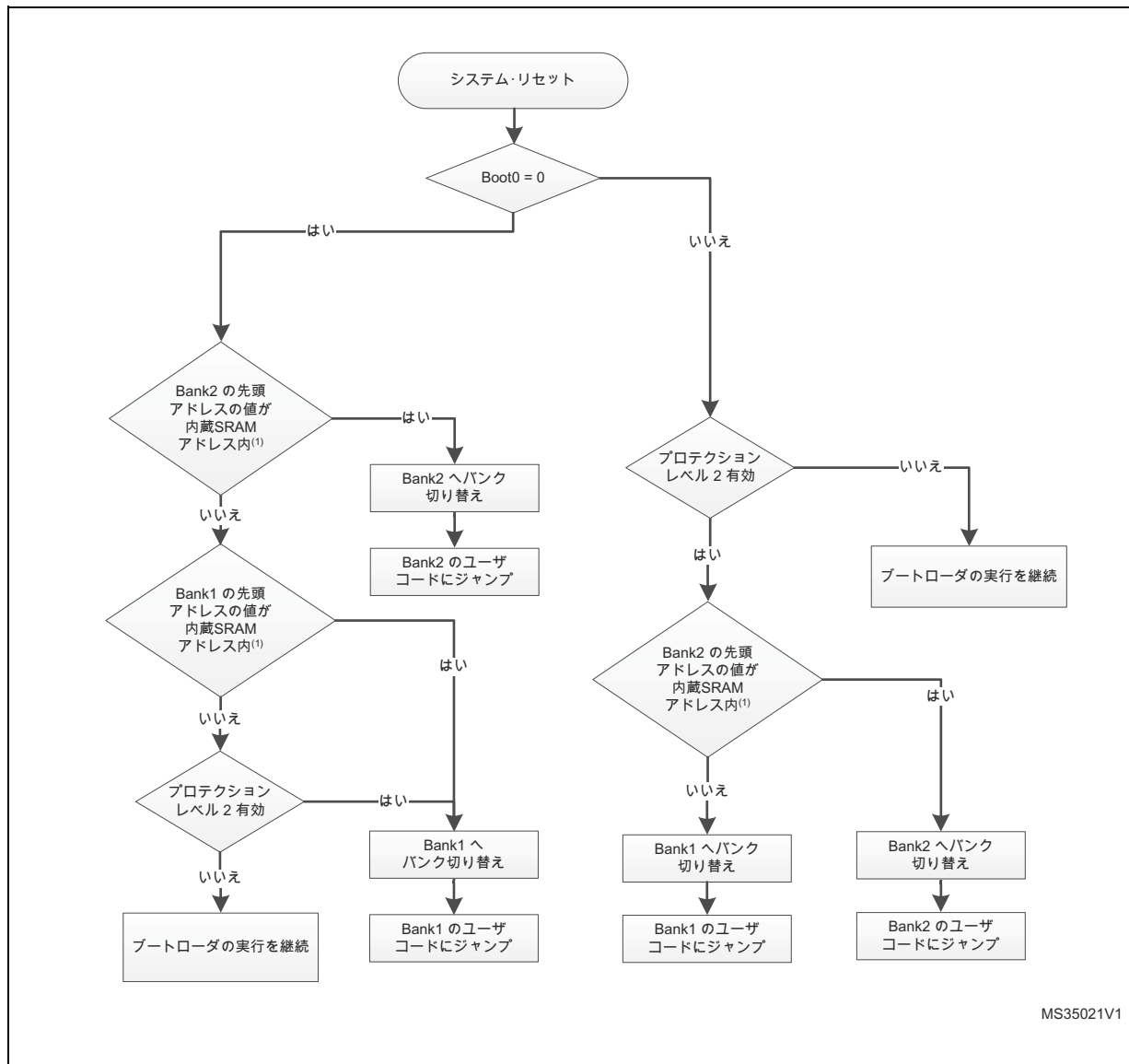
| ブートローダ     | 機能/ペリフェラル | 状態    | コメント  |
|------------|-----------|-------|---|
| DFU ブートローダ | USB       | 有効    | USB FS は強制デバイスモードで設定されます。<br>USB FS 割り込みベクタが有効化され、USB DFU 通信に使用されます。<br>注：USB ペリフェラルがブートローダで使用されるので、VDDUSB IO は 3.3 V に接続する必要があります。 |
|            | USB_DM ピン | 入力/出力 | PA11：USB DM ライン。オルタネート・プッシュプル、プルアップ・プルダウンなしモードで使用。  |
|            | USB_DP ピン |       | PA12：USB DP ライン。オルタネート・プッシュプル、プルアップ・プルダウンなしモードで使用。<br>外部プルアップ抵抗は不要です。   |

注： VDDUSB ピンを VDD に接続していないと、電圧の問題に起因して SPI Flash メモリへの書き込みが機能しなくなります。詳細については、製品のデータシートと正誤表を参照してください。

## 62.2 ブートローダの選択

以降の図に、ブートローダの選択メカニズムを示します。

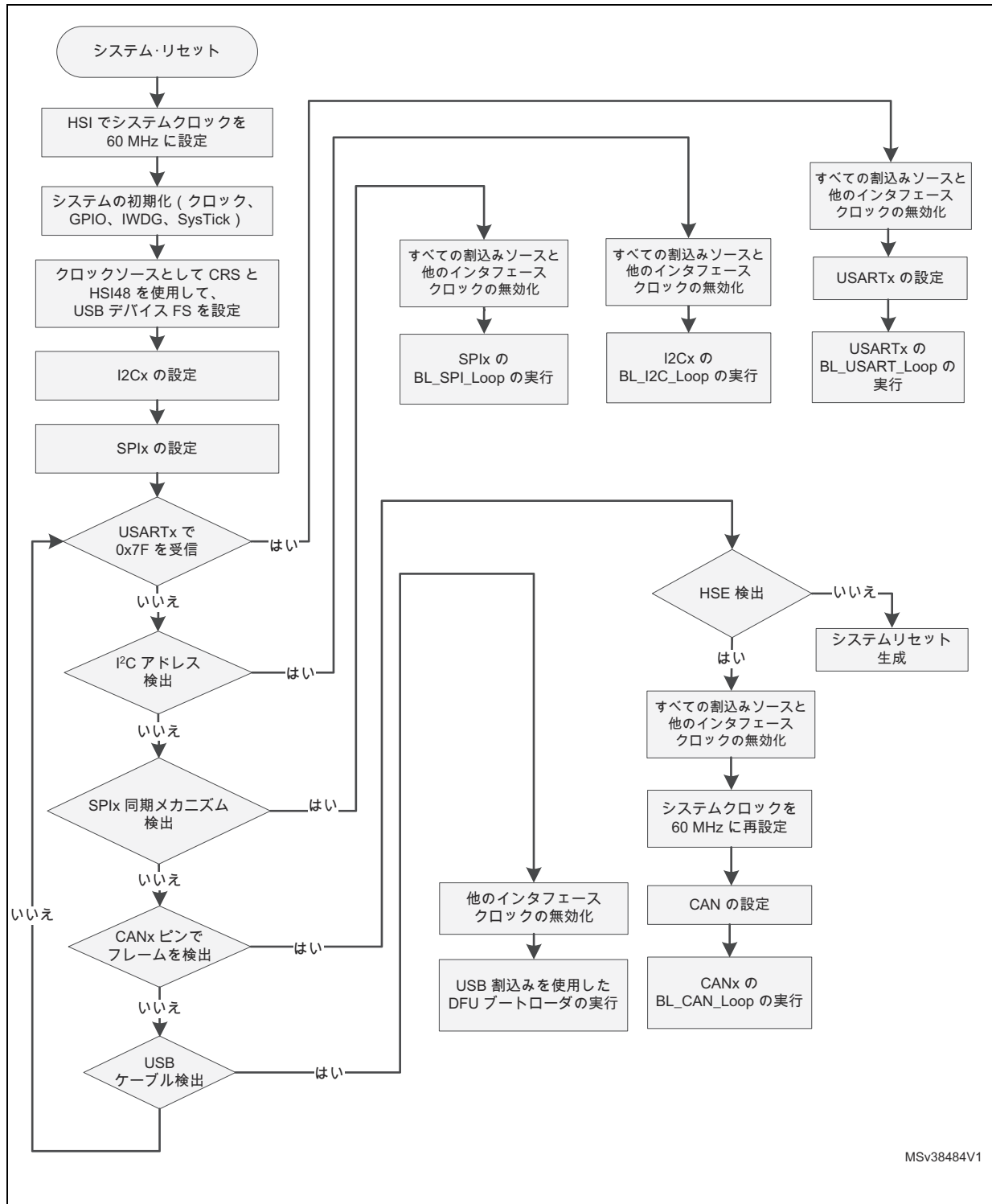
図 78. STM32L3x2xx/44xxx ブートローダ V9.x のデュアル・バンク・ブート実装



MS35021V1



図 79. STM32L43xxx/44xxx のブートローダ V9.x の選択



MSv38484V1

## 62.3 ブートローダのバージョン

表 134 に、STM32L43xxx/44xxx デバイスのブートローダのバージョンを示します。

表 134. STM32L43xxx/44xxx のブートローダのバージョン

| ブートローダのバージョン番号 | 説明             | 既知の制限   |
|----------------|----------------|---|
| V9.1           | ブートローダの初期バージョン | <p>0x1FFF6FF2 アドレスで読み出すことができる STM32L43xxx/44xxx デバイスのバージョン情報 ID をチェックします。</p> <p><b>バージョン情報 ID が 0xFF の場合：</b></p> <ul style="list-style-type: none"> <li>- メモリ書き込み操作で DFU インタフェースを使用している場合：バッファサイズが 256 バイトより大きく、8 バイトの倍数ではない場合、書き込みメモリ操作の結果は破損しています。回避策：ファイルサイズが 256 バイトより大きい場合は、8 バイトの倍数のサイズに合わせるためにバイトパディングを追加してください。</li> <li>- USB-DFU インタフェースの場合は、CRS (クロックリカバリシステム) が正しく設定されていないため、ランダムな USB 通信エラーが生じることがあります (温度と電圧による)。ほとんどの場合、通信エラーはセットアップパッケージへの「ストール」応答として表れます。</li> <li>- 「Go」コマンドでは、システムブートローダの初期化解除により、RCC_APB1ENR レジスタの RTCAPBEN ビットがクリアされます。</li> </ul> <p>回避策：ソフトウェアで、RTCAPBEN ビットをセットする<br/> <code>__HAL_RCC_RTC_CLK_ENABLE()</code> を手動で呼び出してください。</p> <p><b>バージョン情報 ID が 0x10 の場合：なし</b></p> <ul style="list-style-type: none"> <li>- PCROP オプションバイトは書き込めません。これは、PCROP がハードワードアクセスを用いてアクセスする必要があるのに対し、ブートローダがバイトアクセスを使用しているためです。</li> </ul> <p>回避策：ブートローダインタフェースを使用して SRAM にコードスニペットをロードしてからこれにジャンプしてください。このコードにより PCROP 値が書き込まれます。</p> |

表 134. STM32L43xxx/44xxx のブートローダのバージョン

| ブートローダのバージョン番号 | 説明                  | 既知の制限  |
|----------------|---------------------|--|
| V9.1 (続き)      | ブートローダの初期バージョン (続き) | <p>– SPI 書き込み操作が失敗する制限事項 :</p> <p>a. ブートローダの SPI 書き込み Flash メモリ操作により、一部のランダム 64 ビット (2 ダブルワード) が 0xFF でブランクのまま残ることがあります。</p> <p><b>根本原因 :</b></p> <p>a. ブートローダは SPI DMA によって割り込まれる 64 ビットキャスト書き込み操作を使用します。これにより、同じ Flash メモリアドレスへの二重アクセスが発生し、64 ビットは書き込まれません。</p> <p><b>回避策 :</b></p> <p>a. WA1 : Writeコマンドとその ACK リクエストを送信する間に、遅延を追加してください。この間隔は 256 バイトの Flash メモリの書き込みに要する時間と同じ値にする必要があります。</p> <p>b. WA2 : 書き込み後に読み戻し、エラーが発生したら再度書き込みを開始してください。</p> <p>c. WA3 : 64 ビットキャストなしで書き込みメモリを実装する Flash メモリに書き込むには、RAM にパッチしてください。WA1 と WA3 は、合計プログラミング時間の点で WA2 より効率的です。</p> <p><b>制限の重要度 :</b></p> <p>a. この制限は、書き込み操作ごとに 3 ~ 4 ms の遅延を追加して、顧客側 SPI ホストソフトウェアを修正します。</p> <p>b. この遅延時間は、どのみち Flash メモリの書き込み時間であり、ホストはいずれにしても待たなければならないため、無駄ではありません (ホストは ACK リクエストを送信して待つ代わりに、遅延により待ちます)。</p> <p>c. 制限は SPI にのみ影響し、USART/I2C/CAN に影響はありません。</p> <p>– システムのリセットによってシステム・ブートローダを起動する前にアプリケーションで RTC を使用すると、CAN インタフェースが正しく動作しないことがあります (接続を確立できない状態になります)。パワー・サイクルを実行するか、システム・ブートローダを起動する前に RTC をアプリケーションでリセットした場合は、この限りではありません。</p> |

## 63 STM32L45xxx/46xxx デバイスのブートローダ

### 63.1 ブートローダの設定

STM32L45xxx/46xxx ブートローダは、パターン 6 を適用すると有効化されます (表 2: ブートローダの有効化パターンを参照)。次の表に、このブートローダが使用するハードウェア・リソースを示します。

表 135. システムメモリブートモードでの STM32L45xxx/46xxx の設定

| ブートローダ        | 機能/ペリフェラル    | 状態  | コメント   |
|---------------|--------------|---|--|
| すべてのブートローダに共通 | RCC          | HSI は有効です。  | HSI は、72 MHz に設定されたシステム・クロックのクロック・ソースとして、また USART、I2C、SPI、および USB のブートローダ動作のクロック・ソースとして起動時に使用されます。             |
|               |              | -   | クロック・リカバリ・システム (CRS) は、USB に HSI の 48 MHz クロックを供給できるように DFU ブートローダで有効化されます。                                    |
|               |              | HSE は有効です。  | システムクロック周波数は 60 MHz です。<br>HSE は、CAN インタフェースの選択時のみ使用されます。HSE は、[24、20、18、16、12、9、8、6、4] MHz のいずれかの値である必要があります。 |
|               |              | -   | クロックセキュリティシステム (CSS) 割込みは、HSE を有効にすると有効化されます。外部クロックの障害 (または除去) により、システムリセットが生成されます。                            |
|               | RAM          | -   | アドレス 0x20000000 から始まる 12 KB は、ブートローダのファームウェアによって使用されます。  |
|               | システムメモリ      | -   | アドレス 0x1FFF0000 から始まる 28 KB に、ブートローダのファームウェアが含まれています。  |
| IWDG          | -            | 独立型ウォッチドッグ (IWDG) プリスケアラは、最大値に設定されます。これは、定期的リフレッシュされ、ウォッチドッグがリセットされるのを防ぎます (ハードウェアの IWDG オプションがユーザによって事前に有効化されている場合)。 |  |
| パワー           | -            | 電圧スケーリング・レンジ 2 が選択されている場合、ブートローダとの通信に DFU は使用できません。ブートローダのファームウェアでは、電圧スケーリング・レンジの値が PWR_CR1 レジスタに設定されません。             |  |
| USART1 ブートローダ | USART1       | 有効  | 一度初期化されると、USART1 の設定は 8 ビット、偶数パリティ、および 1 ストップ・ビットになります。  |
|               | USART1_RX ピン | 入力  | PA10 ピン: 受信モードの USART1。入力プルアップ・プルダウンなしモードで使用。  |
|               | USART1_TX ピン | 出力  | PA9 ピン: 送信モードの USART1。入力プルアップ・プルダウンなしモードで使用。   |

表 135. システムメモリブートモードでの STM32L45xxx/46xxx の設定 (続き)

| ブートローダ        | 機能/ペリフェラル    | 状態    | コメント  |
|---------------|--------------|-------|---|
| USART2 ブートローダ | USART2       | 有効    | 一度初期化されると、USART2 の設定は8 ビット、偶数パリティ、および 1 ストップ・ビットになります。  |
|               | USART2_RX ピン | 入力    | PA3 ピン: 受信モードの USART2。入力プルアップ・モードで使用。   |
|               | USART2_TX ピン | 出力    | PA2 ピン: 送信モードの USART2。入力プルアップ・モードで使用。   |
| USART3 ブートローダ | USART3       | 有効    | 一度初期化されると、USART3 の設定は8 ビット、偶数パリティ、および 1 ストップ・ビットになります。  |
|               | USART3_RX ピン | 入力    | PC11 ピン: 受信モードの USART3。入力プルアップ・モードで使用。  |
|               | USART3_TX ピン | 出力    | PC10 ピン: 送信モードの USART3  |
| USARTx ブートローダ | SysTick タイマ  | 有効    | USARTx ブートローダのホストからシリアルポートを自動検出するために使用されます。   |
| I2C1 ブートローダ   | I2C1         | 有効    | I2C1 設定:<br>I <sup>2</sup> C スピード: 最大 1 MHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレス: 0b1001010x<br>(ここで、書込みの場合 x = 0、読出しの場合 x = 1) |
|               | I2C1_SCL ピン  | 入力/出力 | PB6 ピン: クロック・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。  |
|               | I2C1_SDA ピン  | 入力/出力 | PB7 ピン: データ・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。   |
| I2C2 ブートローダ   | I2C2         | 有効    | I2C2 設定:<br>I <sup>2</sup> C スピード: 最大 1 MHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレス: 0b1001010x<br>(ここで、書込みの場合 x = 0、読出しの場合 x = 1) |
|               | I2C2_SCL ピン  | 入力/出力 | PB10 ピン: クロック・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。   |
|               | I2C2_SDA ピン  | 入力/出力 | PB11 ピン: データ・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。  |
| I2C3 ブートローダ   | I2C3         | 有効    | I2C3 設定:<br>I <sup>2</sup> C スピード: 最大 1 MHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレス: 0b1001010x<br>(ここで、書込みの場合 x = 0、読出しの場合 x = 1) |
|               | I2C3_SCL ピン  | 入力/出力 | PC0 ピン: クロックラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。   |
|               | I2C3_SDA ピン  | 入力/出力 | PC1 ピン: データ・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。   |

表 135. システムメモリブートモードでの STM32L45xxx/46xxx の設定 (続き)

| ブートローダ      | 機能/ペリフェラル    | 状態 | コメント  |
|-------------|--------------|----|---|
| SPI1 ブートローダ | SPI1         | 有効 | SPI1 設定 :<br>- スレーブモード<br>- 全二重<br>- 8 ビット MSB<br>- 最大 8 MHz の速度<br>- 極性: CPOL ロー、CPHA ロー、NSS ハードウェア。 |
|             | SPI1_MOSI ピン | 入力 | PA7 ピン: スレーブ・データ入力ライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI1_MISO ピン | 出力 | PA6 ピン: スレーブ・データ出力ライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI1_SCK ピン  | 入力 | PA5 ピン: スレーブ・クロック・ライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI1_NSS ピン  | 入力 | PA4 ピン: スレーブ・チップ選択ピン (プッシュプル、プルダウンモードで使用)<br>注: この IO は、SPI マスタが使用しない場合は、GND に接続できます。                 |
| SPI2 ブートローダ | SPI2         | 有効 | SPI2 設定 :<br>- スレーブモード<br>- 全二重<br>- 8 ビット MSB<br>- 最大 8 MHz の速度<br>- 極性: CPOL ロー、CPHA ロー、NSS ハードウェア。 |
|             | SPI2_MOSI ピン | 入力 | PB15 ピン: スレーブ・データ入力ライン (プッシュプル、プルダウンモードで使用)   |
|             | SPI2_MISO ピン | 出力 | PB14 ピン: スレーブ・データ出力ライン (プッシュプル、プルダウンモードで使用)   |
|             | SPI2_SCK ピン  | 入力 | PB13 ピン: スレーブ・クロック・ライン (プッシュプル、プルダウンモードで使用)   |
|             | SPI2_NSS ピン  | 入力 | PB12 ピン: スレーブ・チップ選択ピン (プッシュプル、プルダウンモードで使用)<br>注: この IO は、SPI マスタが使用しない場合は、GND に接続できます。                |
| CAN1 ブートローダ | CAN1         | 有効 | 一度初期化されると、CAN1 の設定はボーレート 125 kbps、11 ビット識別子になります。   |
|             | CAN1_RX ピン   | 入力 | PB8 ピン: 受信モードの CAN1。オルタネート・プッシュプル、プルアップ・モードで使用。   |
|             | CAN1_TX ピン   | 出力 | PB9 ピン: 送信モードの CAN1。オルタネート・プッシュプル、プルアップ・モードで使用。   |
|             | TIM16        | 有効 | このタイマは、HSE の値を決定するために使用されます。HSE 周波数が決定されると、システムクロックは PLL と HSE を使用して 60 MHz に設定されます。                  |

表 135. システムメモリブートモードでの STM32L45xxx/46xxx の設定 (続き)

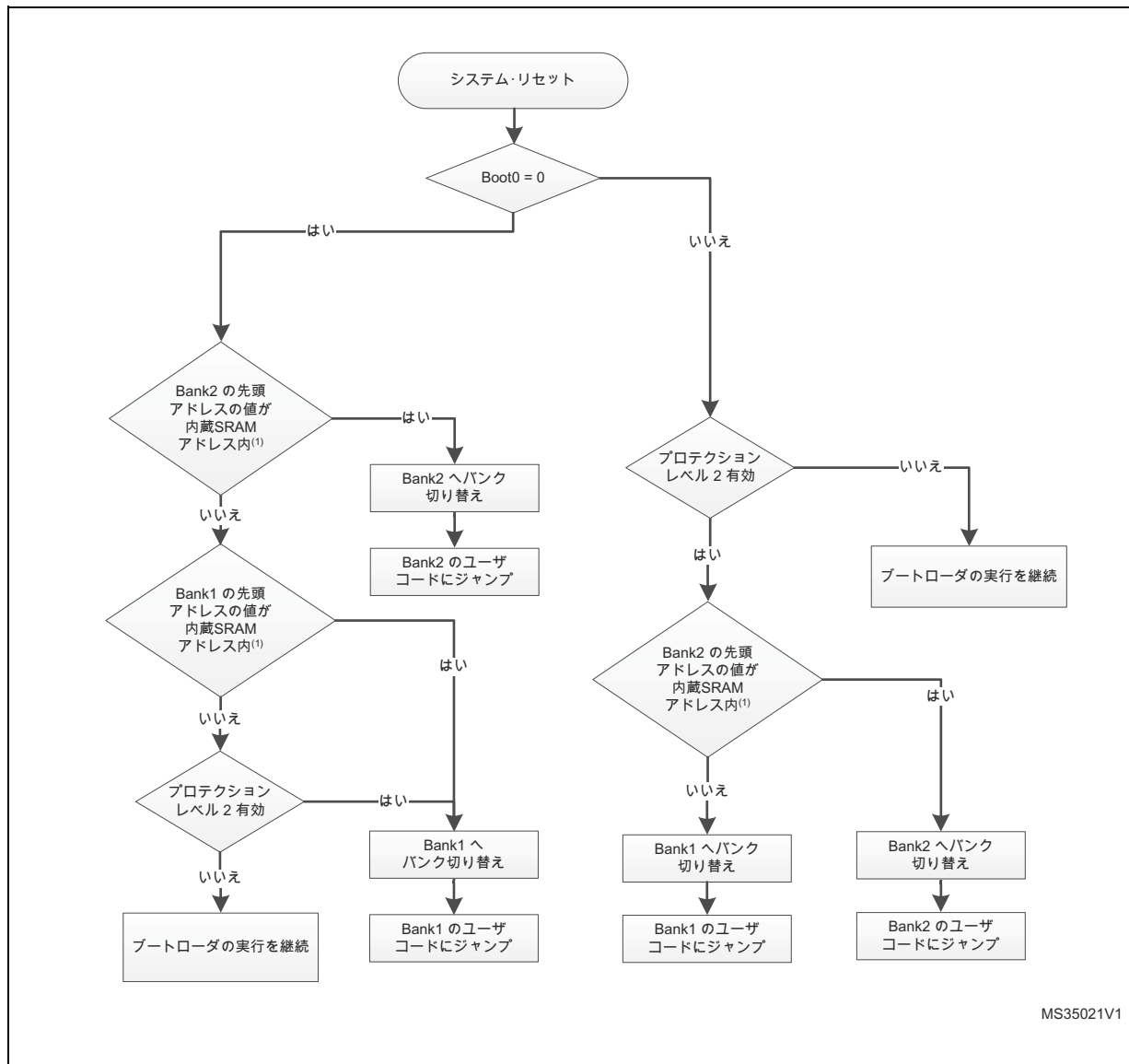
| ブートローダ     | 機能/ペリフェラル | 状態    | コメント  |
|------------|-----------|-------|---|
| DFU ブートローダ | USB       | 有効    | USB FS は強制デバイスモードで設定されます。<br>USB FS 割込みベクタが有効化され、USB DFU 通信に使用されます。<br>注: USB ペリフェラルがブートローダで使用されるので、VDDUSB IO は 3.3 V に接続する必要があります。 |
|            | USB_DM ピン | 入力/出力 | PA11: USB DM ライン。オルタネート・プッシュプル、プルアップ・プルダウンなしモードで使用。   |
|            | USB_DP ピン |       | PA12: USB DP ライン。オルタネート・プッシュプル、プルアップ・プルダウンなしモードで使用。<br>外部プルアップ抵抗は不要です。  |

注: VDDUSB ピンを VDD に接続していないと、電圧の問題に起因して SPI Flash メモリへの書き込みが機能しなくなります。詳細については、製品のデータシートと正誤表を参照してください。

## 63.2 ブートローダの選択

以降の図に、ブートローダの選択メカニズムを示します。

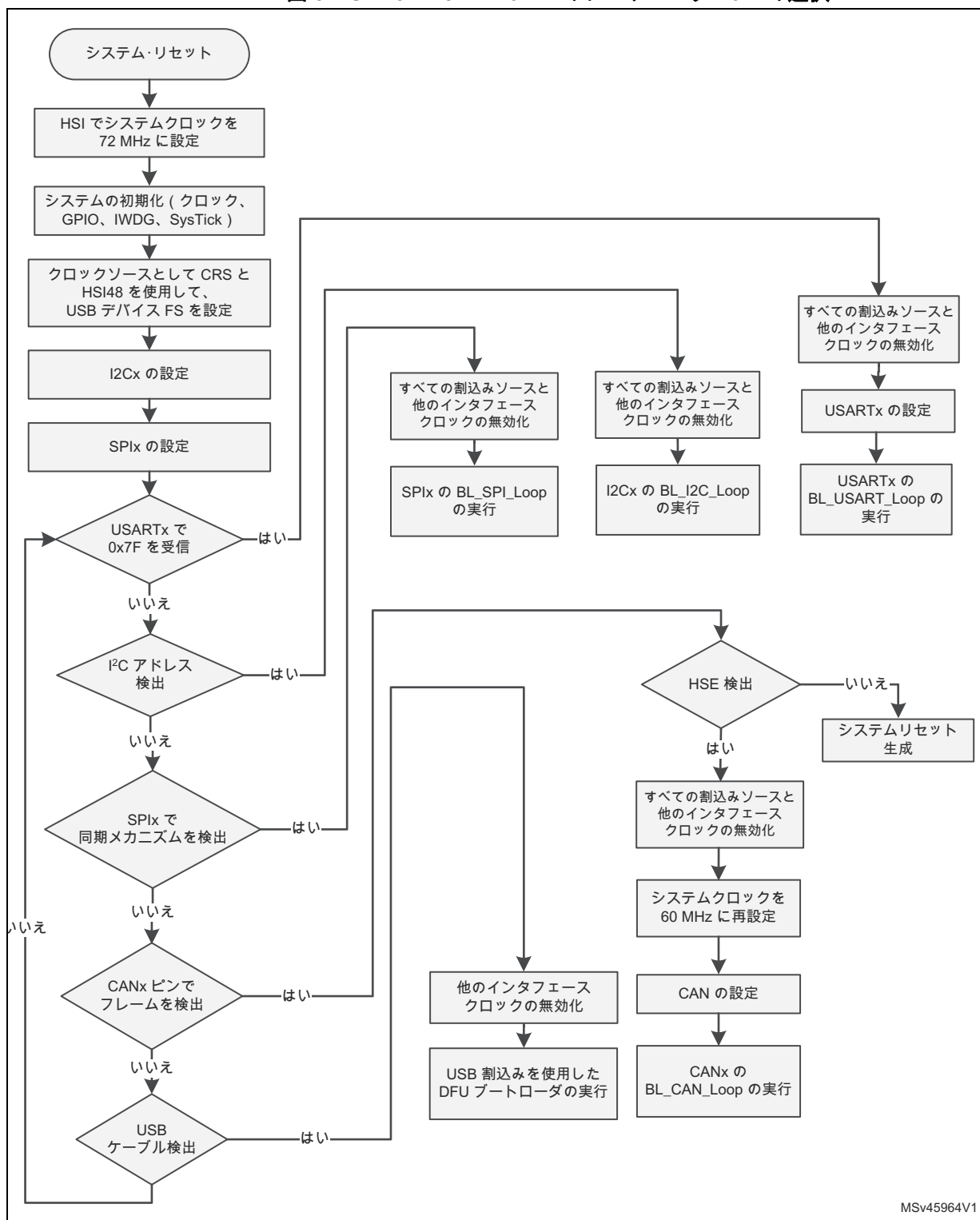
図 80. STM32L45xxx/46xxx ブートローダ V9.x のデュアル・バンク・ブート実装



MS35021V1



図 81. STM32L45xxx/46xxx のブートローダ V9.x の選択



### 63.3 ブートローダのバージョン

表 136 に、STM32L45xxx/46xxx デバイスのブートローダのバージョンを示します。

表 136. STM32L45xxx/46xxx のブートローダのバージョン

| ブートローダのバージョン番号 | 説明             | 既知の制限   |
|----------------|----------------|---|
| V9.2           | ブートローダの初期バージョン | <p>– PCROP オプションバイトは書き込めません。これは、PCROP がハーフワードアクセスを用いてアクセスする必要があるのに対し、ブートローダがバイトアクセスを使用しているためです。</p> <p><b>回避策：</b> ブートローダインタフェースを使用して SRAM にコードスニペットをロードしてからこれにジャンプしてください。このコードにより PCROP 値が書き込まれます。</p> <p>– SPI 書き込み操作が失敗する制限事項：</p> <p>a. ブートローダの SPI 書き込み Flash メモリ操作により、一部のランダム 64 ビット (2 ダブルワード) が 0xFF でブランクのまま残ることがあります。</p> <p><b>根本原因：</b></p> <p>a. ブートローダは SPI DMA によって割り込まれた 64 ビットキャスト書き込み操作を使用します。これにより、同じ Flash メモリアドレスへの二重アクセスが発生し、64 ビットは書き込まれません。</p> <p><b>回避策：</b></p> <p>a. WA1: Write コマンドとその ACK リクエストを送信する間に、遅延を追加してください。この間隔は 256 バイトの Flash メモリの書き込みに要する時間と同じ値にする必要があります。</p> <p>b. WA2: 書き込み後に読み戻し、エラーが発生したら再度書き込みを開始してください。</p> <p>c. WA3: 64 ビットキャストなしで書き込みメモリを実装する Flash メモリに書き込むには、RAM にパッチしてください。WA1 と WA3 は、合計プログラミング時間の点で WA2 より効率的です。</p> <p><b>制限の重要度：</b></p> <p>a. この制限は、書き込み操作ごとに 3 ~ 4 ms の遅延を追加して、顧客側 SPI ホストソフトウェアを修正します。</p> <p>b. この遅延時間は、どのみち Flash メモリの書き込み時間であり、ホストはいずれにしても待たなければならないため、無駄ではありません (ホストは ACK リクエストを送信して待つ代わりに、遅延により待ちます)。</p> <p>c. 制限は SPI にも適用され、USART/I2C/CAN に影響を与えることはできません。</p> |

## 64 STM32L47xxx/48xxx デバイスのブートローダ

STM32L47xxx/48xxx では 2 つのバージョンのブートローダを使用できます。

- V10.x (USART、I2C、および DFU (USB FS デバイス) をサポート)。  
このバージョンは、STM32L47xxx/48xxx のリビジョン 2 および 3 に内蔵されています。
- V9.x (USART、I2C、SPI、CAN、および DFU (USB FS デバイス) をサポート)。  
このバージョンは、STM32L47xxx/48xxx のリビジョン 4 に内蔵されています。

### 64.1 ブートローダ V10.x

#### 64.1.1 ブートローダの設定

STM32L47xxx/48xxx ブートローダは、パターン 7 を適用すると有効化されます (表 2: ブートローダの有効化パターンを参照)。次の表に、このブートローダが使用するハードウェア・リソースを示します。

表 137. システムメモリブートモードでの STM32L47xxx/48xxx の設定

| ブートローダ        | 機能/ペリフェラル | 状態  | コメント   |
|---------------|-----------|---|--|
| すべてのブートローダに共通 | RCC       | HSI は有効です。  | HSI は、24 MHz に設定されたシステムクロックのクロックソースとして、また USART および I2C のブートローダ動作のクロックソースとして起動時に使用されます。                                      |
|               |           | HSE は有効です。  | HSE は、USB インタフェースの選択時に LSE が存在しない場合にのみ使用されます。HSE は、[24、20、18、16、12、9、8、6、4] MHz のいずれかの値である必要があります。                           |
|               |           | LSE は有効です。  | LSE は、USB クロックソースとして 48 MHz に設定された MSI のトリミングに使用されます。LSE は 32,768 kHz とする必要があります。LSE が検出されない場合、USB を接続していれば代わりに HSE が使用されます。 |
|               |           | MSI は有効です。  | MSI は 48 MHz に設定され、USB クロック・ソースとして使用されます。MSI は LSE が検出された場合にのみ使用され、それ以外の場合では USB を接続していれば HSE が使用されます。                       |
|               | -         | -   | クロックセキュリティシステム (CSS) 割込みは、LSE または HSE を有効にすると有効化されます。外部クロックの障害 (または除去) により、システムリセットが生成されます。                                  |
|               | RAM       | -   | アドレス 0x20000000 から始まる 12 KB は、ブートローダのファームウェアによって使用されます。  |
|               | システムメモリ   | -   | アドレス 0x1FFF0000 から始まる 28 KB に、ブートローダのファームウェアが含まれています。  |
|               | IWDG      | -   | 独立型ウォッチドッグ (IWDG) プリスケアラは、最大値に設定されます。これは、定期的にはリフレッシュされ、ウォッチドッグがリセットされるのを防ぎます (ハードウェアの IWDG オプションがユーザによって事前に有効化されている場合)。      |
| パワー           | -         | 電圧スケーリング・レンジ 2 が選択されている場合、ブートローダとの通信に DFU は使用できません。ブートローダのファームウェアでは、電圧スケーリング・レンジの値が PWR_CR1 レジスタに設定されません。 |  |

表 137. システムメモリブートモードでの STM32L47xxx/48xxx の設定 (続き)

| ブートローダ        | 機能/ペリフェラル    | 状態    | コメント  |
|---------------|--------------|-------|---|
| USART1 ブートローダ | USART1       | 有効    | 一度初期化されると、USART1 の設定は8 ビット、偶数パリティ、および 1 ストップ・ビットになります。  |
|               | USART1_RX ピン | 入力    | PA10 ピン: 受信モードの USART1。入力プルアップ・プルダウンなしモードで使用。   |
|               | USART1_TX ピン | 出力    | PA9 ピン: 送信モードの USART1。入力プルアップ・プルダウンなしモードで使用。  |
| USART2 ブートローダ | USART2       | 有効    | 一度初期化されると、USART2 の設定は8 ビット、偶数パリティ、および 1 ストップ・ビットになります。  |
|               | USART2_RX ピン | 入力    | PA3 ピン: 受信モードの USART2。入力プルアップ・モードで使用。   |
|               | USART2_TX ピン | 出力    | PA2 ピン: 送信モードの USART2。入力プルアップ・モードで使用。   |
| USART3 ブートローダ | USART3       | 有効    | 一度初期化されると、USART3 の設定は8 ビット、偶数パリティ、および 1 ストップ・ビットになります。  |
|               | USART3_RX ピン | 入力    | PC11 ピン: 受信モードの USART3。入力プルアップ・モードで使用。  |
|               | USART3_TX ピン | 出力    | PC10 ピン: 送信モードの USART3  |
| USARTx ブートローダ | SysTick タイマ  | 有効    | USARTx ブートローダのホストからシリアルボーレートを自動検出するために使用されます。   |
| I2C1 ブートローダ   | I2C1         | 有効    | I2C1 設定:<br>I <sup>2</sup> C スピード: 最大 400 kHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレス: 0b1000011x<br>(ここで、書込みの場合 x = 0、読出しの場合 x = 1) |
|               | I2C1_SCL ピン  | 入力/出力 | PB6 ピン: クロック・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。  |
|               | I2C1_SDA ピン  | 入力/出力 | PB7 ピン: データ・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。   |
| I2C2 ブートローダ   | I2C2         | 有効    | I2C2 設定:<br>I <sup>2</sup> C スピード: 最大 400 kHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレス: 0b1000011x<br>(ここで、書込みの場合 x = 0、読出しの場合 x = 1) |
|               | I2C2_SCL ピン  | 入力/出力 | PB10 ピン: クロック・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。   |
|               | I2C2_SDA ピン  | 入力/出力 | PB11 ピン: データ・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。  |
| I2C3 ブートローダ   | I2C3         | 有効    | I2C3 設定:<br>I <sup>2</sup> C スピード: 最大 400 kHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレスは 0b1000011x<br>(ここで、書込みの場合 x = 0、読出しの場合 x = 1) |
|               | I2C3_SCL ピン  | 入力/出力 | PC0 ピン: クロック・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。  |
|               | I2C3_SDA ピン  | 入力/出力 | PC1 ピン: データ・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。   |

表 137. システムメモリブートモードでの STM32L47xxx/48xxx の設定 (続き)

| ブートローダ     | 機能/ペリフェラル | 状態    | コメント   |
|------------|-----------|-------|--|
| DFU ブートローダ | USB       | 有効    | USB OTG FS は強制デバイスモードで設定されます。  |
|            | USB_DM ピン | 入力/出力 | PA11 : USB DM ライン。オルタネート・プッシュプル、プルアップ・プルダウンなしモードで使用。                                 |
|            | USB_DP ピン |       | PA12 : USB DP ライン。オルタネート・プッシュプル、プルアップ・プルダウンなしモードで使用。<br>外部プルアップ抵抗は不要です。              |
|            | TIM17     | 有効    | このタイマは、HSE の値を決定するために使用されます。HSE 周波数が決定されると、システムクロックは PLL と HSE を使用して 24 MHz に設定されます。 |

USARTx および I2Cx ブートローダの場合、外部クロックは不要です。

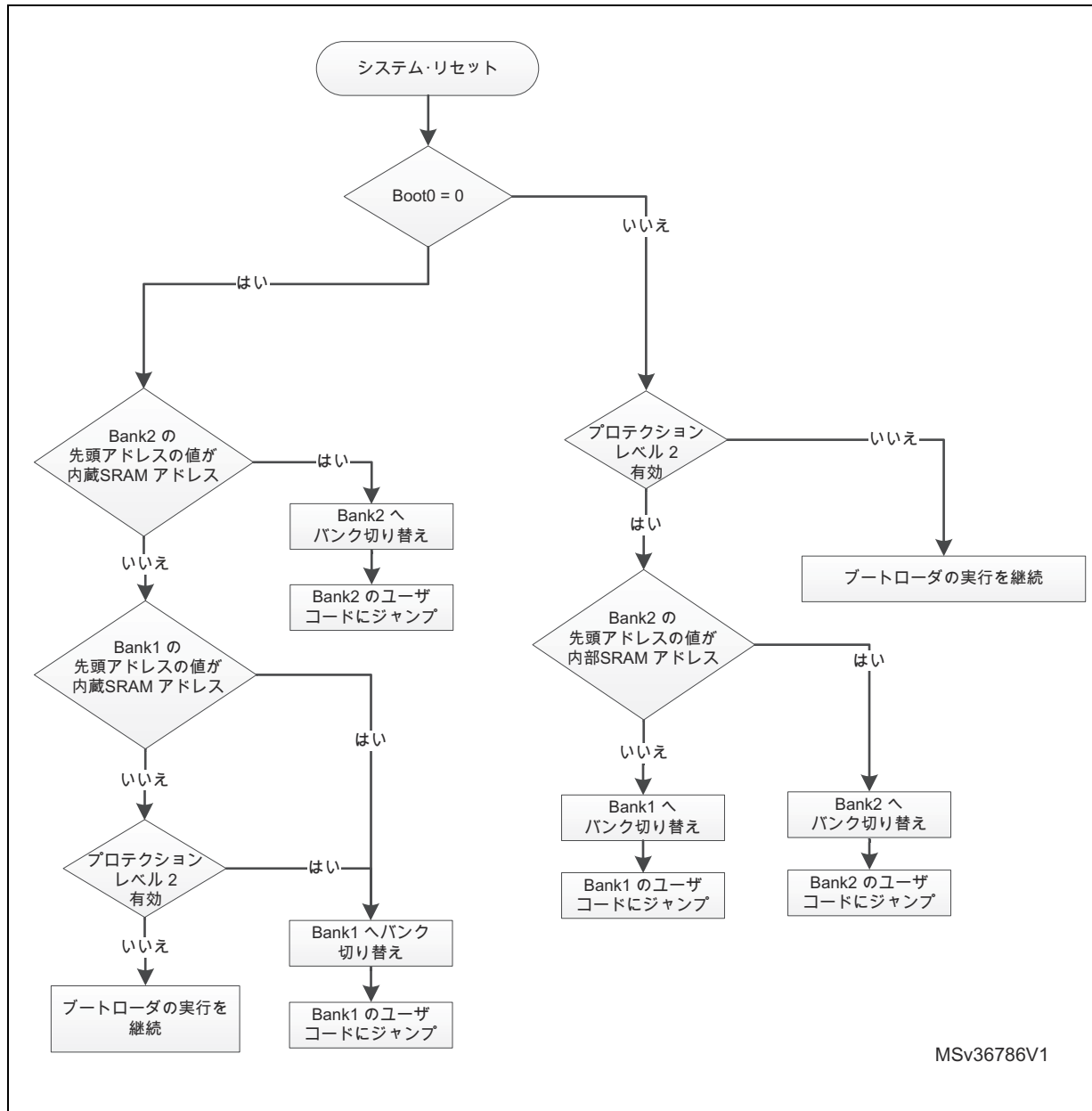
USB ブートローダ (DFU) の場合、LSE (低速外部クロック) または HSE (高速外部クロック) が必要です。

- HSE の有無にかかわらず LSE が用意されている場合、MSI は LSE によって 48 MHz の正確なクロックを発生するように設定されトリミングされます。これは、USB のクロック・ソースになります。システムクロックは、HSI によってクロック供給され、24 MHz を保持します。
- HSE が用意されている場合、システム・クロックと USB クロックは HSE をクロック・ソースとしてそれぞれ 24 MHz と 48 MHz に設定されます。

### 64.1.2 ブートローダの選択

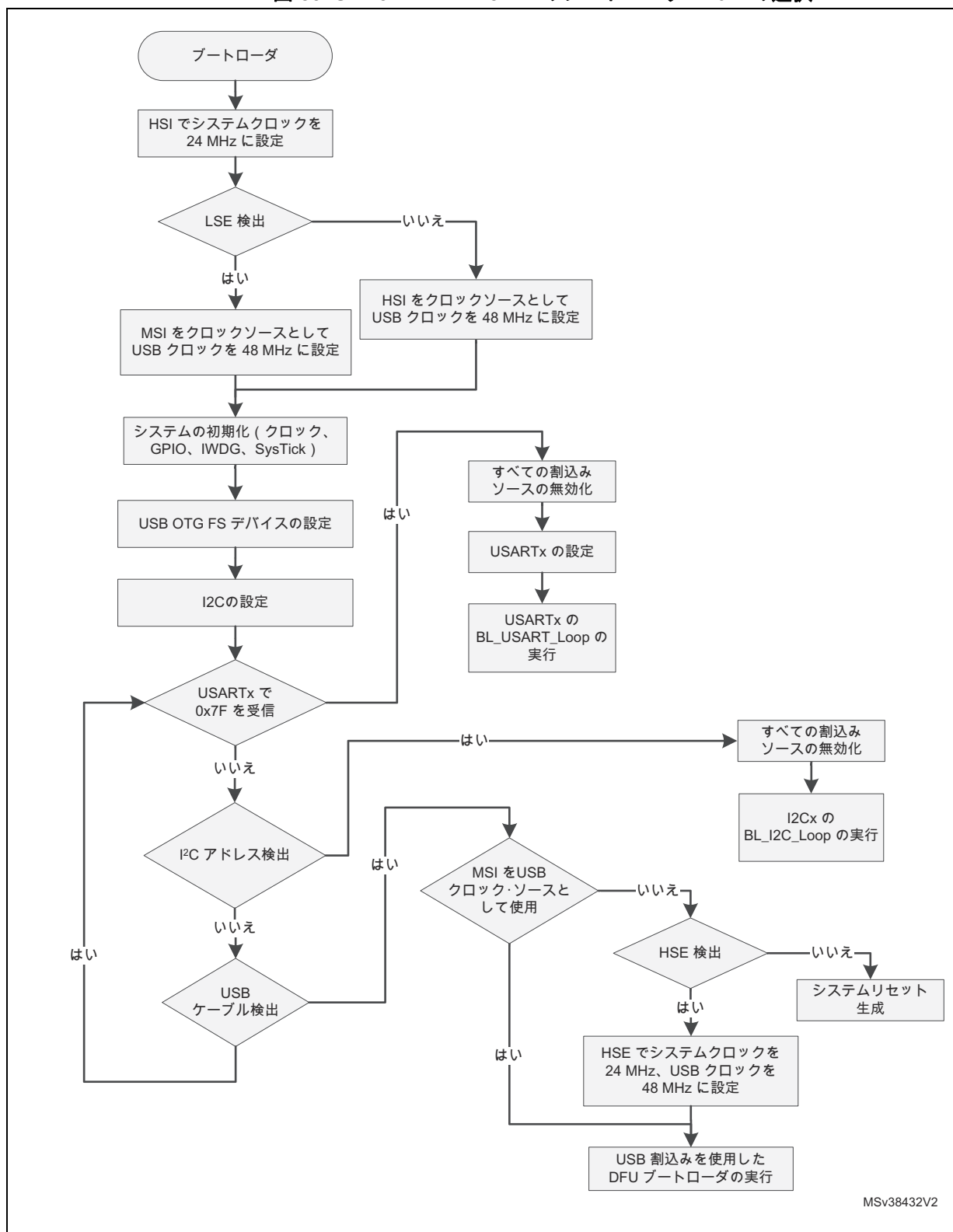
図 82 と図 83 に、ブートローダの選択メカニズムを示します。

図 82. STM32L47xxx/48xxx ブートローダ V10.x のデュアルバンクブート実装



MSV36786V1

図 83. STM32L47xxx/48xxx のブートローダ V10.x の選択



MSv38432V2



## 64.1.3 ブートローダのバージョン

次の表に、STM32L47xxx/48xxx デバイスのブートローダのバージョン (V10.x) を示します。

表 138. STM32L47xxx/48xxx のブートローダのバージョン (V10.x)

| ブートローダのバージョン番号 | 説明  | 既知の制限   |
|----------------|---|---|
| V10.1          | ブートローダの初期バージョン  | メモリ書き込み操作で DFU インタフェースを使用している場合：バッファサイズが 256 バイトより大きく、8 バイトの倍数ではない場合、書き込みメモリ操作の結果は破損しています。<br>回避策：ファイルサイズが 256 バイトより大きい場合は、8 バイトの倍数のサイズに合わせるためにバイトパディングを追加してください。<br>SRAM の書き込みは破損しています。  |
| V10.2          | SRAM の書き込みの問題を修正  | メモリ書き込み操作で DFU インタフェースを使用している場合：バッファサイズが 256 バイトより大きく、8 バイトの倍数ではない場合、書き込みメモリ操作の結果は破損しています。<br>回避策：ファイルサイズが 256 バイトより大きい場合は、8 バイトの倍数のサイズに合わせるためにバイトパディングを追加してください。   |
| V10.3          | USB クロックソースとしての MSI へのサポートを追加 (MSI の LSE によるトリミング)<br>ユーザスタックが SRAM2 に配置されたケースをサポートするためにデュアルバンクブート機能を更新 | – メモリ書き込み操作で DFU インタフェースを使用している場合：バッファサイズが 256 バイトより大きく、8 バイトの倍数ではない場合、書き込みメモリ操作の結果は破損しています。<br>回避策：ファイルサイズが 256 バイトより大きい場合は、8 バイトの倍数のサイズに合わせるためにバイトパディングを追加してください。<br>– PCROP オプションバイトは書き込めません。これは、PCROP がハーフワードアクセスを用いてアクセスする必要があるのに対し、ブートローダがバイトアクセスを使用しているためです。<br><b>回避策</b> ：ブートローダインタフェースを使用して SRAM にコードスニペットをロードしてからこれにジャンプしてください。このコードにより PCROP 値が書き込まれます。 |



## 64.2 ブートローダ V9.x

### 64.2.1 ブートローダの設定

STM32L47xxx/48xxx ブートローダは、パターン 7 を適用すると有効化されます（表 2：ブートローダの有効化パターンを参照）。次の表に、このブートローダが使用するハードウェア・リソースを示します。

表 139. システムメモリブートモードでの STM32L47xxx/48xxx の設定

| ブートローダ            | 機能/ペリフェラル | 状態         | コメント   |
|-------------------|-----------|------------|--|
| すべてのブートローダに<br>共通 | RCC       | HSI は有効です。 | HSI は、72 MHz に設定されたシステムクロックの起動時のクロックソースとして、また USART および I2C のブートローダ動作のクロックソースとして使用されます。  |
|                   |           | HSE は有効です。 | HSE は、USB インタフェースの選択時に LSE が存在しない場合にのみ使用されます。HSE は、[24、20、18、16、12、8、6、4] MHz のいずれかの値である必要があります。システムは、USB 使用時は 72 MHz、CAN 使用時は 60 MHz でクロック制御されます。 |
|                   |           | LSE は有効です。 | LSE は、USB クロックソースとして 48 MHz に設定された MSI のトリミングに使用されます。LSE は 32,768 kHz とする必要があります。LSE が検出されない場合、USB を接続していれば代わりに HSE が使用されます。                       |
|                   |           | MSI は有効です。 | MSI は 48 MHz に設定され、USB クロックソースとして使用されます。MSI は LSE が検出された場合にのみ使用され、それ以外の場合では USB を接続していれば HSE が使用されます。  |
|                   |           | CSS        | クロックセキュリティシステム (CSS) 割込みは、LSE または HSE を有効にすると有効化されます。外部クロックの障害（または除去）により、システムリセットが生成されます。  |
|                   | RAM       | -          | アドレス 0x20000000 から始まる 13 KB は、ブートローダのファームウェアによって使用されます。  |
|                   | システムメモリ   | -          | アドレス 0x1FFF0000 から始まる 28 KB に、ブートローダのファームウェアが含まれています。  |
|                   | IWDG      | -          | 独立型ウォッチドッグ (IWDG) プリスケアラは、最大値に設定されます。これは、定期的リフレッシュされ、ウォッチドッグがリセットされるのを防ぎます（ハードウェアの IWDG オプションがユーザによって事前に有効化されている場合）。                               |
|                   | パワー       | -          | 電圧スケーリング・レンジ 2 が選択されている場合、ブートローダとの通信に DFU は使用できません。ブートローダのファームウェアでは、電圧スケーリング・レンジの値が PWR_CR1 レジスタに設定されません。  |

表 139. システムメモリブートモードでの STM32L47xxx/48xxx の設定 (続き)

| ブートローダ        | 機能/ペリフェラル    | 状態    | コメント  |
|---------------|--------------|-------|---|
| USART1 ブートローダ | USART1       | 有効    | 一度初期化されると、USART1 の設定は8ビット、偶数パリティ、および1ストップ・ビットになります。   |
|               | USART1_RX ピン | 入力    | PA10 ピン: 受信モードの USART2。入力プルアップ・プルダウンなしモードで使用。   |
|               | USART1_TX ピン | 出力    | PA9 ピン: 送信モードの USART2。入力プルアップ・プルダウンなしモードで使用。  |
| USART2 ブートローダ | USART2       | 有効    | 一度初期化されると、USART2 の設定は8ビット、偶数パリティ、および1ストップ・ビットになります。   |
|               | USART2_RX ピン | 入力    | PA3 ピン: 受信モードの USART2。入力プルアップ・モードで使用。   |
|               | USART2_TX ピン | 出力    | PA2 ピン: 送信モードの USART2。入力プルアップ・モードで使用。   |
| USART3 ブートローダ | USART3       | 有効    | 一度初期化されると、USART3 の設定は8ビット、偶数パリティ、および1ストップ・ビットになります。   |
|               | USART3_RX ピン | 入力    | PC11 ピン: 受信モードの USART3。入力プルアップ・モードで使用。  |
|               | USART3_TX ピン | 出力    | PC10 ピン: 送信モードの USART3。入力プルアップ・モードで使用。  |
| USARTx ブートローダ | SysTick タイマ  | 有効    | USARTx ブートローダのホストからシリアルポーレートを手動検出するために使用されます。   |
| I2C1 ブートローダ   | I2C1         | 有効    | I2C1 設定:<br>I <sup>2</sup> C スピード: 最大 400 kHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。7 ビット・スレーブ・アドレス: 0b1000011x (ここで、書き込みの場合 x = 0、読み出しの場合 x = 1)。 |
|               | I2C1_SCL ピン  | 入力/出力 | PB6 ピン: クロック・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。  |
|               | I2C1_SDA ピン  | 入力/出力 | PB7 ピン: データ・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。   |
| I2C2 ブートローダ   | I2C2         | 有効    | I2C2 設定:<br>I <sup>2</sup> C スピード: 最大 400 kHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。7 ビット・スレーブ・アドレス: 0b1000011x (ここで、書き込みの場合 x = 0、読み出しの場合 x = 1)。 |
|               | I2C2_SCL ピン  | 入力/出力 | PB10 ピン: クロック・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。   |
|               | I2C2_SDA ピン  | 入力/出力 | PB11 ピン: データ・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。  |

表 139. システムメモリブートモードでの STM32L47xxx/48xxx の設定 (続き)

| ブートローダ      | 機能/ペリフェラル    | 状態    | コメント   |
|-------------|--------------|-------|--|
| I2C3 ブートローダ | I2C3         | 有効    | I2C3 設定 :<br>I <sup>2</sup> C スピード : 最大 400 kHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。7 ビット・スレーブ・アドレス : 0b1000011x (ここで、書込みの場合 x = 0、読出しの場合 x = 1)。 |
|             | I2C3_SCL ピン  | 入力/出力 | PC0 ピン : クロック・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。  |
|             | I2C3_SDA ピン  | 入力/出力 | PC1 ピン : データ・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。   |
| SPI1 ブートローダ | SPI1         | 有効    | SPI1 設定 :<br>スレーブモード、全二重、8 ビット MSB、最大 8 MHz の速度、極性 : CPOL ロー、CPHA ロー、NSS ハードウェア。   |
|             | SPI1_MOSI ピン | 入力    | PA7 ピン : スレーブ・データ入力ライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI1_MISO ピン | 出力    | PA6 ピン : スレーブ・データ出力ライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI1_SCK ピン  | 入力    | PA5 ピン : スレーブ・クロック・ライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI1_NSS ピン  | 入力    | PA4 ピン : スレーブ・チップ選択ピン (プッシュプル、プルダウンモードで使用)   |
| SPI2 ブートローダ | SPI2         | 有効    | SPI2 設定 :<br>スレーブモード、全二重、8 ビット MSB、最大 8 MHz の速度、極性 : CPOL ロー、CPHA ロー、NSS ハードウェア  |
|             | SPI2_MOSI ピン | 入力    | PB15 ピン : スレーブ・データ入力ライン (プッシュプル、プルダウンモードで使用)   |
|             | SPI2_MISO ピン | 出力    | PB14 ピン : スレーブ・データ出力ライン (プッシュプル、プルダウンモードで使用)   |
|             | SPI2_SCK ピン  | 入力    | PB13 ピン : スレーブ・クロック・ライン (プッシュプル、プルダウンモードで使用)   |
|             | SPI2_NSS ピン  | 入力    | PB12 ピン : スレーブ・チップ選択ピン (プッシュプル、プルダウンモードで使用)  |
| CAN1 ブートローダ | CAN1         | 有効    | 一度初期化されると、CAN1 の設定はボーレート 125 kbps、11 ビット識別子になります。  |
|             | CAN1_RX ピン   | 入力    | PB8 ピン : 受信モードの CAN1。オルタネート・プッシュプル、プルアップ・モードで使用。   |
|             | CAN1_TX ピン   | 出力    | PB9 ピン : 送信モードの CAN1。オルタネート・プッシュプル、プルアップ・モードで使用。   |

表 139. システムメモリブートモードでの STM32L47xxx/48xxx の設定 (続き)

| ブートローダ     | 機能/ペリフェラル | 状態    | コメント  |
|------------|-----------|-------|---|
| DFU ブートローダ | USB       | 有効    | USB FS は強制デバイスモードで設定されます。USB FS 割込みベクタが有効化され、USB DFU 通信に使用されます。<br><b>注</b> : USB ペリフェラルがブートローダで使用されるので、VDDUSB IO は 3.3 V に接続する必要があります。 |
|            | USB_DM ピン | 入力/出力 | PA11 ピン: USB FS DM ライン。オルタネート・プッシュプル、プルアップ・プルダウンなしモードで使用。   |
|            | USB_DP ピン |       | PA12 ピン: USB FS DP ライン。オルタネート・プッシュプル、プルアップ・プルダウンなしモードで使用。<br>外部プルアップ抵抗は不要です。  |

HSE が用意されている場合、システム・クロックと USB クロックは、HSE によってクロック供給される PLL をクロック・ソースとして、それぞれ 72 MHz と 48 MHz に設定されます。

**注 :** VDDUSB ピンを VDD に接続していないと、電圧の問題に起因して SPI Flash メモリへの書き込みが機能しなくなります。詳細については、製品のデータシートと正誤表を参照してください。

## 64.2.2 ブートローダの選択

図 84 と図 85 に、ブートローダの選択メカニズムを示します。

図 84. STM32L47xxx/48xxx ブートローダ V9.x のデュアルバンクブート実装

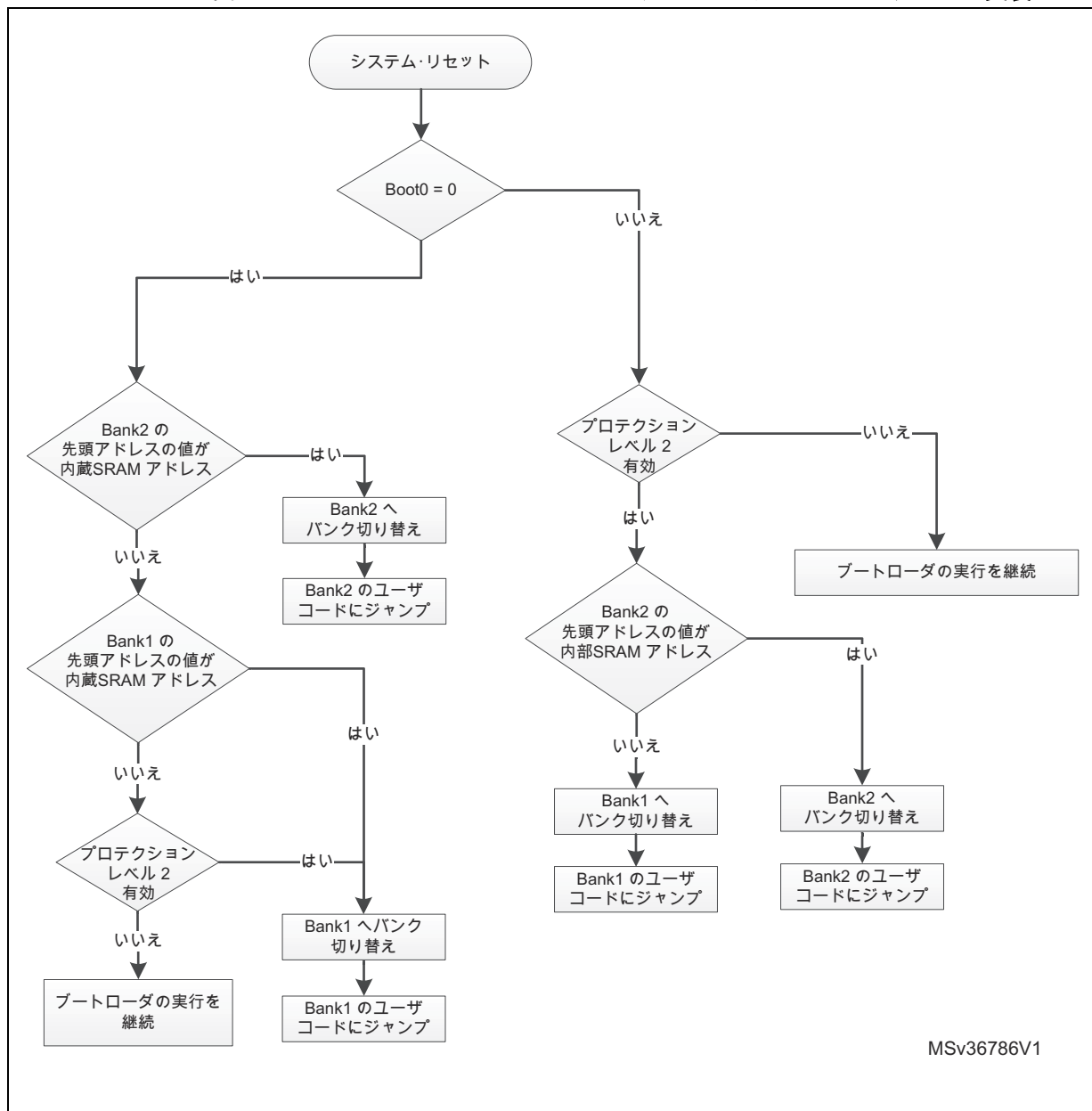
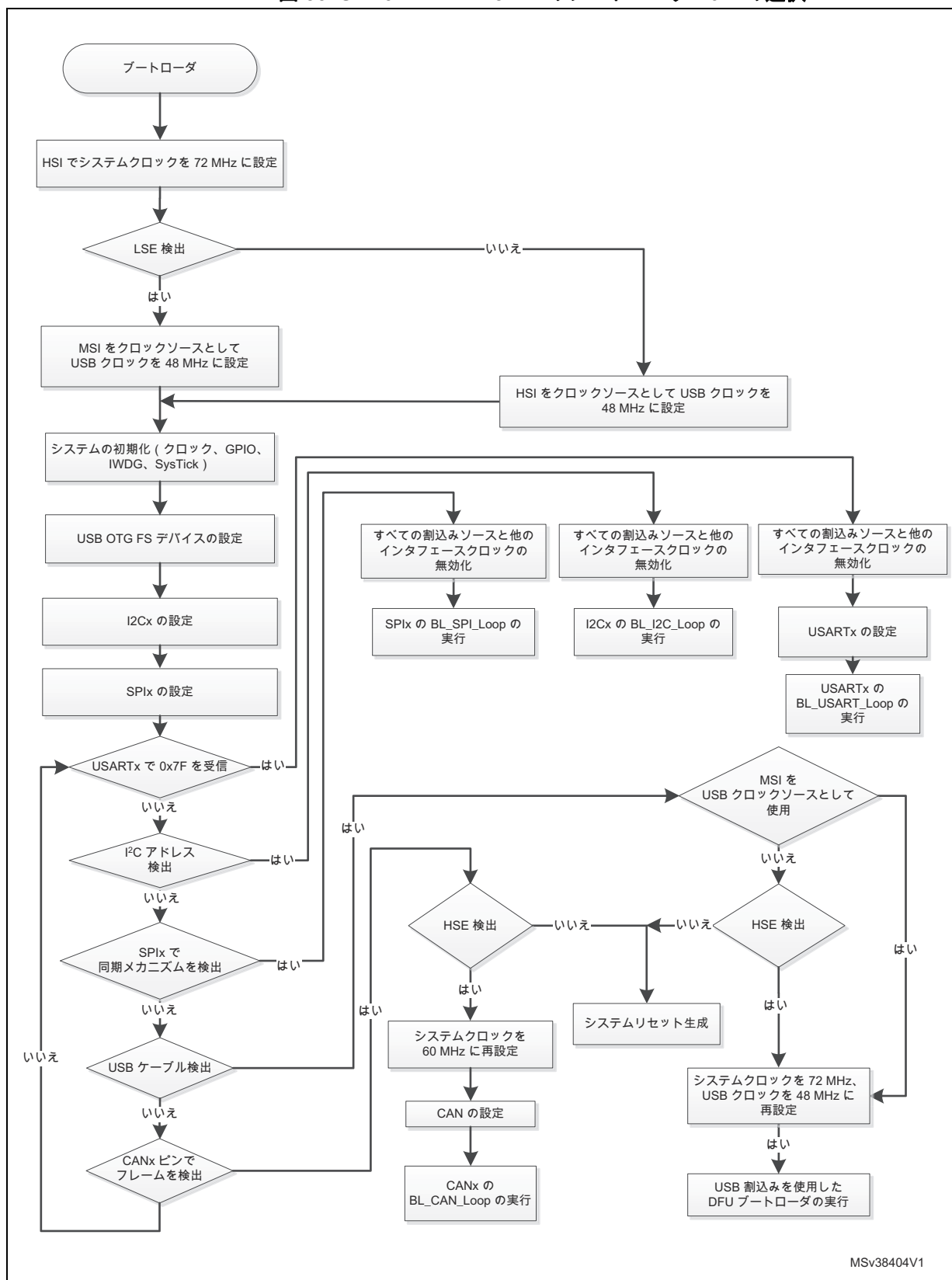


図 85. STM32L47xxx/48xxx のブートローダ V9.x の選択



MSv38404V1

### 64.2.3 ブートローダのバージョン

次の表に、STM32L47xxx/48xxx デバイスのブートローダのバージョン (V9.x) を示します。

表 140. STM32L47xxx/48xxx のブートローダのバージョン (V9.x)

| ブートローダのバージョン番号 | 説明               | 既知の制限   |
|----------------|------------------|---|
| V9.0           | ブートローダの初期バージョン   | メモリ書き込み操作で DFU インタフェースを使用している場合：バッファサイズが 256 バイトより大きく、8 バイトの倍数ではない場合、書き込みメモリ操作の結果は破損しています。<br>回避策：ファイルサイズが 256 バイトより大きい場合は、8 バイトの倍数のサイズに合わせるためにバイトパディングを追加してください。<br>SRAM の書き込みは破損しています。  |
| V9.1           | 非推奨バージョン (使用しない) | なし  |
| V9.2           | SRAM の書き込みの問題を修正 | – メモリ書き込み操作で DFU インタフェースを使用している場合：バッファサイズが 256 バイトより大きく、8 バイトの倍数ではない場合、書き込みメモリ操作の結果は破損しています。<br>回避策：ファイルサイズが 256 バイトより大きい場合は、8 バイトの倍数のサイズに合わせるためにバイトパディングを追加してください。<br>– PCROP オプションバイトは書き込めません。これは、PCROP がハーフワードアクセスを用いてアクセスする必要があるのに対し、ブートローダがバイトアクセスを使用しているためです。<br>回避策：ブートローダインタフェースを使用して SRAM にコードスニペットをロードしてからこれにジャンプしてください。このコードにより PCROP 値が書き込まれます。 |

## 65 STM32L496xx/4A6xx デバイスのブートローダ

### 65.1 ブートローダの設定

STM32L496xx/4A6xx ブートローダは、パターン 6 を適用すると有効化されます (表 2: ブートローダの有効化パターンを参照)。表 141 に、このブートローダが使用するハードウェア・リソースを示します。

表 141. システムメモリブートモードでの STM32L496xx/4A6xx の設定

| ブートローダ        | 機能/ペリフェラル    | 状態  | コメント  |
|---------------|--------------|---|---|
| すべてのブートローダに共通 | RCC          | HSI は有効です。  | HSI は、72 MHz に設定されたシステムクロックのクロックソースとして、また USART、I2C、および SPI のブートローダ動作のクロックソースとして起動時に使用されます。 |
|               |              | -   | クロックリカバリシステム (CRS) は、USB を HSI 48 MHz でクロック供給できるように DFU ブートローダで有効化されます。                     |
|               |              | HSE は有効です。  | HSE は、CAN インタフェースの選択時にのみ使用されません。HSE は、[24、20、18、16、12、9、8、6、4] MHz のいずれかの値である必要があります。       |
|               |              | -   | クロックセキュリティシステム (CSS) 割込みは、HSE を有効にすると有効化されます。外部クロックの障害 (または除去) により、システムリセットが生成されます。         |
|               | RAM          | -   | アドレス 0x20000000 から始まる 12 KB は、ブートローダのファームウェアによって使用されます。                                     |
|               | システムメモリ      | -   | アドレス 0x1FFF0000 から始まる 28 KB に、ブートローダのファームウェアが含まれています。                                       |
| IWDG          | -            | 独立型ウォッチドッグ (IWDG) プリスケーラは、最大値に設定されます。これは、定期的にはリフレッシュされ、ウォッチドッグがリセットされるのを防ぎます (ハードウェアの IWDG オプションがユーザによって事前に有効化されている場合)。 |   |
| パワー           | -            | 電圧スケーリング・レンジ 2 が選択されている場合、ブートローダとの通信に DFU は使用できません。ブートローダのファームウェアでは、電圧スケーリング・レンジの値が PWR_CR1 レジスタに設定されません。               |   |
| USART1 ブートローダ | USART1       | 有効  | 一度初期化されると、USART1 の設定は 8 ビット、偶数パリティ、および 1 ストップ・ビットになります。                                     |
|               | USART1_RX ピン | 入力  | PA10 ピン: 受信モードの USART1。入力プルアップ・プルダウンなしモードで使用。   |
|               | USART1_TX ピン | 出力  | PA9 ピン: 送信モードの USART1。入力プルアップ・プルダウンなしモードで使用。  |
| USART2 ブートローダ | USART2       | 有効  | 一度初期化されると、USART2 の設定は 8 ビット、偶数パリティ、および 1 ストップ・ビットになります。                                     |
|               | USART2_RX ピン | 入力  | PA3 ピン: 受信モードの USART2。入力プルアップ・プルダウンなしモードで使用。  |
|               | USART2_TX ピン | 出力  | PA2 ピン: 送信モードの USART2。入力プルアップ・プルダウンなしモードで使用。  |



表 141. システムメモリブートモードでの STM32L496xx/4A6xx の設定 (続き)

| ブートローダ        | 機能/ペリフェラル    | 状態    | コメント   |
|---------------|--------------|-------|--|
| USART3 ブートローダ | USART3       | 有効    | 一度初期化されると、USART3 の設定は8 ビット、偶数パリティ、および 1 ストップ・ビットになります。   |
|               | USART3_RX ピン | 入力    | PC11 ピン : 受信モードの USART3。入力プルアップ・プルダウンなしモードで使用。   |
|               | USART3_TX ピン | 出力    | PC10 ピン : 送信モードの USART3。入力プルアップ・プルダウンなしモードで使用。   |
| USARTx ブートローダ | SysTick タイマ  | 有効    | USARTx ブートローダのホストからシリアルポーレート を自動検出するために使用されます。   |
| I2C1 ブートローダ   | I2C1         | 有効    | I2C1 設定 :<br>I <sup>2</sup> C スピード : 最大 1 MHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレス : 0b1001100x (ここで、書込みの場合 x = 0、読出しの場合 x = 1)。 |
|               | I2C1_SCL ピン  | 入力/出力 | PB6 ピン : クロック・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。  |
|               | I2C1_SDA ピン  | 入力/出力 | PB7 ピン : データ・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。   |
| I2C2 ブートローダ   | I2C2         | 有効    | I2C2 設定 :<br>I <sup>2</sup> C スピード : 最大 1 MHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレス : 0b1001100x (ここで、書込みの場合 x = 0、読出しの場合 x = 1)。 |
|               | I2C2_SCL ピン  | 入力/出力 | PB10 ピン : クロック・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。   |
|               | I2C2_SDA ピン  | 入力/出力 | PB11 ピン : データ・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。  |
| I2C3 ブートローダ   | I2C3         | 有効    | I2C3 設定 :<br>I <sup>2</sup> C スピード : 最大 1 MHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレス : 0b1001100x (ここで、書込みの場合 x = 0、読出しの場合 x = 1)。 |
|               | I2C3_SCL ピン  | 入力/出力 | PC0 ピン : クロック・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。  |
|               | I2C3_SDA ピン  | 入力/出力 | PC1 ピン : データ・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。   |

表 141. システムメモリブートモードでの STM32L496xx/4A6xx の設定 (続き)

| ブートローダ      | 機能/ペリフェラル    | 状態 | コメント   |
|-------------|--------------|----|--|
| SPI1 ブートローダ | SPI1         | 有効 | SPI1 設定 :<br>- スレーブモード<br>- 全二重<br>- 8 ビット MSB<br>- 最大 8 MHz の速度<br>- 極性 : CPOL ロー、CPHA ロー、NSS ハードウェア。 |
|             | SPI1_MOSI ピン | 入力 | PA7 ピン : スレーブ・データ入力ライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI1_MISO ピン | 出力 | PA6 ピン : スレーブ・データ出力ライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI1_SCK ピン  | 入力 | PA5 ピン : スレーブ・クロック・ライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI1_NSS ピン  | 入力 | PA4 ピン : スレーブ・チップ選択ピン (プッシュプル、プルダウンモードで使用)<br>注 : この IO は、SPI マスタが使用しない場合は、GND に接続できます。                |
| SPI2 ブートローダ | SPI2         | 有効 | SPI2 設定 :<br>- スレーブモード<br>- 全二重<br>- 8 ビット MSB<br>- 最大 8 MHz の速度<br>- 極性 : CPOL ロー、CPHA ロー、NSS ハードウェア。 |
|             | SPI2_MOSI ピン | 入力 | PB15 ピン : スレーブ・データ入力ライン (プッシュプル、プルダウンモードで使用)   |
|             | SPI2_MISO ピン | 出力 | PB14 ピン : スレーブ・データ出力ライン (プッシュプル、プルダウンモードで使用)   |
|             | SPI2_SCK ピン  | 入力 | PB13 ピン : スレーブ・クロック・ライン (プッシュプル、プルダウンモードで使用)   |
|             | SPI2_NSS ピン  | 入力 | PB12 ピン : スレーブ・チップ選択ピン (プッシュプル、プルダウンモードで使用)<br>注 : この IO は、SPI マスタが使用しない場合は、GND に接続できます。               |
| CAN1 ブートローダ | CAN1         | 有効 | 初期化した CAN1 の設定は、ボーレート 125 kbps、11 ビット識別子になります。   |
|             | CAN1_RX ピン   | 入力 | PB8 ピン : 受信モードの CAN1。オルタネート・プッシュプル、プルアップ・モードで使用。   |
|             | CAN1_TX ピン   | 出力 | PB9 ピン : 送信モードの CAN1。オルタネート・プッシュプル、プルアップ・モードで使用。   |
|             | TIM16        | 有効 | このタイマは、HSE の値を決定するために使用されます。HSE 周波数が決定されると、システムクロックは PLL と HSE を使用して 60 MHz に設定されます。                   |

表 141. システムメモリブートモードでの STM32L496xx/4A6xx の設定 (続き)

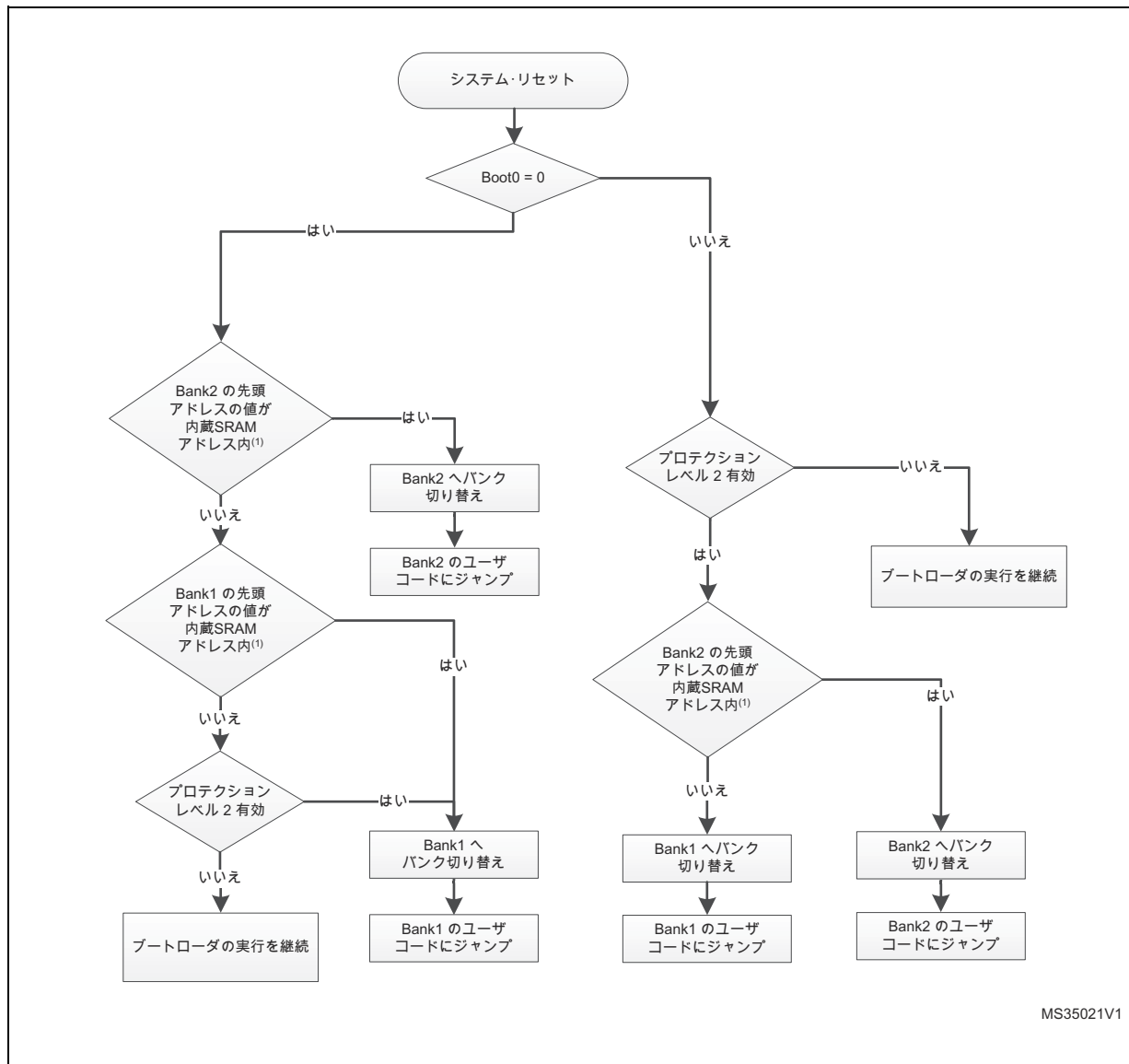
| ブートローダ     | 機能/ペリフェラル | 状態    | コメント   |
|------------|-----------|-------|--|
| DFU ブートローダ | USB       | 有効    | USB OTG FS は強制デバイスモードで設定されます。<br>USB OTG FS 割込みベクタが有効化され、USB DFU 通信に使用されます。<br>注：USB ペリフェラルがブートローダで使用されるので、VDDUSB IO は 3.3 V に接続する必要があります。 |
|            | USB_DM ピン | 入力/出力 | PA11：USB DM ライン。オルタネート・プッシュプル、プルアップ・プルダウンなしモードで使用。   |
|            | USB_DP ピン |       | PA12：USB DP ライン。オルタネート・プッシュプル、プルアップ・プルダウンなしモードで使用。<br>外部プルアップ抵抗は不要です。  |

注： VDDUSB ピンを VDD に接続していないと、電圧の問題に起因して SPI Flash メモリへの書き込みが機能しなくなります。詳細については、製品のデータシートと正誤表を参照してください。

## 65.2 ブートローダの選択

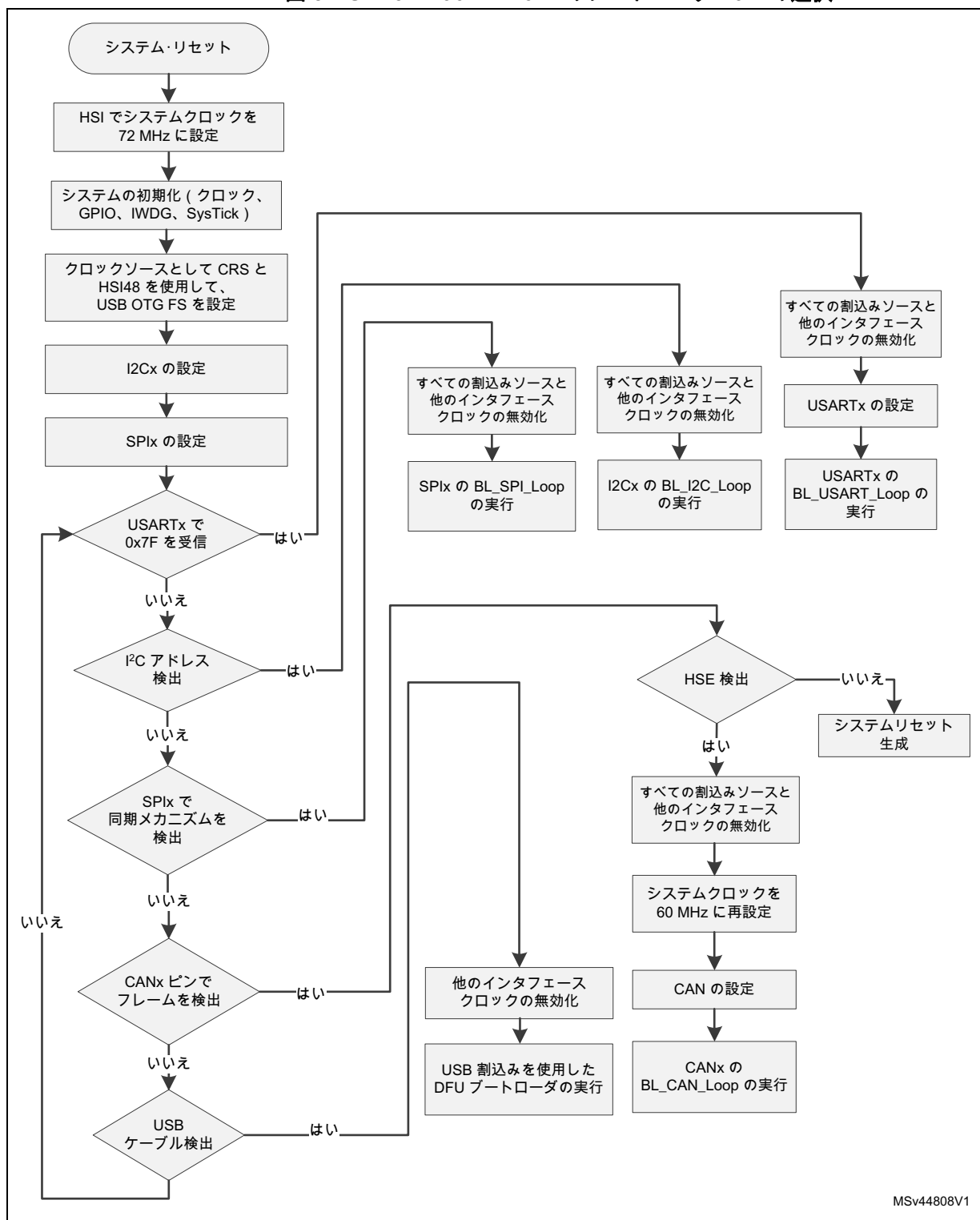
以降の図に、ブートローダの選択メカニズムを示します。

図 86. STM32L496xx/4A6xx ブートローダ V9.x のデュアル・バンク・ブート実装



MS35021V1

図 87. STM32L496xx/4A6xx のブートローダ V9.x の選択



MSv44808V1

## 65.3 ブートローダのバージョン

表 142 に、STM32L496xx/4A6xx デバイスのブートローダのバージョンを示します。

表 142. STM32L496xx/4A6xx のブートローダのバージョン

| ブートローダのバージョン番号 | 説明             | 既知の制限  |
|----------------|----------------|--|
| V9.3           | ブートローダの初期バージョン | <ul style="list-style-type: none"> <li>- Bank Erase コマンドはブートローダデバイスによってアボートされ、NACK (0x1F) がホストに送信されます。回避策: Erase コマンド (0x44) を使用して、ページ消去によりバンク消去操作を実行してください。</li> <li>- SPI 書き込み操作は失敗します。</li> </ul> <p><b>制限:</b></p> <ul style="list-style-type: none"> <li>a. ブートローダの SPI 書き込み Flash メモリ操作中に、一部のランダム 64 ビット (2 ダブルワード) を 0xFF でブランクのまま残すことができます。</li> </ul> <p><b>根本原因:</b></p> <ul style="list-style-type: none"> <li>a. ブートローダは SPI DMA によって割り込まれた 64 ビットキャスト書き込み操作を使用します。これにより、同じ Flash メモリアドレスへの二重アクセスが発生し、64 ビットは書き込まれません。</li> </ul> <p><b>回避策:</b></p> <ul style="list-style-type: none"> <li>a. WA1: Write コマンドとその ACK リクエストを送信する間に、遅延を追加してください。この間隔は 256 バイトの Flash メモリの書き込みに要する時間と同じ値にする必要があります。</li> <li>b. WA2: 書き込み後に読み戻し、エラーが発生したら再度書き込みを開始してください。</li> <li>c. WA3: 64 ビットキャストなしで書き込みメモリを実装する Flash メモリに書き込むには、RAM にパッチしてください。</li> </ul> <p>WA1 と WA3 は、合計プログラミング時間の点で WA2 より効率的です。</p> <p><b>制限の重要度:</b></p> <ul style="list-style-type: none"> <li>a. この制限は、書き込み操作ごとに 3 ~ 4 ms の遅延を追加して、顧客側 SPI ホストソフトウェアを修正します。</li> <li>b. この遅延時間は、どのみち Flash メモリの書き込み時間であり、ホストはいずれにしても待たなければならないため、無駄ではありません (ホストは ACK リクエストを送信して待つ代わりに、遅延により待ちます)。</li> <li>c. 制限は SPI にのみ適用され、USART/I2C/CAN に影響を与えることはできません。</li> </ul> <ul style="list-style-type: none"> <li>- PCROP オプションバイトは書き込まれません。これは、PCROP がハーフワードアクセスを用いてアクセスする必要があるのに対し、ブートローダがバイトアクセスを使用しているためです。</li> </ul> <p><b>回避策:</b> ブートローダインタフェースを使用して SRAM にコードスニペットをロードしてからこれにジャンプしてください。このコードにより PCROP 値が書き込まれます。</p> |

## 66 STM32L4P5xx/4Q5xx デバイスのブートローダ

### 66.1 ブートローダの設定

STM32L4P5xx/4Q5xx ブートローダは、パターン 7 を適用すると有効化されます (表 2: ブートローダの有効化パターンを参照)。表 143 に、このブートローダが使用するハードウェア・リソースを示します。

表 143. システムメモリブートモードでの STM32L4P5xx/4Q5xx の設定

| ブートローダ        | 機能/ペリフェラル    | 状態  | コメント   |
|---------------|--------------|---|--|
| すべてのブートローダに共通 | RCC          | HSI は有効です。  | HSI は、60 MHz に設定されたシステム・クロックのクロック・ソースとして、また USART、I <sup>2</sup> C、SPI、および USB のブートローダ動作のクロック・ソースとして起動時に使用されます。        |
|               |              | -   | クロックリカバリシステム (CRS) は、USB を HSI 48 MHz でクロック供給できるように DFU ブートローダで有効化されます。  |
|               |              | HSE は有効です。  | HSE は、CAN インタフェースの選択時のみ使用されます。HSE は、[24、20、18、16、12、9、8、6、4] MHz のいずれかの値である必要があります。                                    |
|               |              | -   | クロックセキュリティシステム (CSS) 割込みは、HSE を有効にすると有効化されます。外部クロックの障害 (または除去) により、システムリセットが生成されます。                                    |
|               | RAM          | -   | アドレス 0x20000000 から始まる 16 KB は、ブートローダのファームウェアによって使用されます。  |
|               | システムメモリ      | -   | アドレス 0x1FFF0000 から始まる 28 KB に、ブートローダのファームウェアが含まれています。  |
|               | IWDG         | -   | 独立型ウォッチドッグ (IWDG) プリスケアラは、最大値に設定されます。これは、定期的にリフレッシュされ、ウォッチドッグがリセットされるのを防ぎます (ハードウェアの IWDG オプションがユーザによって事前に有効化されている場合)。 |
| パワー           | -            | 電圧スケーリング・レンジ 2 が選択されている場合、ブートローダとの通信に DFU は使用できません。ブートローダのファームウェアでは、電圧スケーリング・レンジの値が PWR_CR1 レジスタに設定されません。 |  |
| USART1 ブートローダ | USART1       | 有効  | 一度初期化されると、USART1 の設定は 8 ビット、偶数パリティ、および 1 ストップ・ビットになります。  |
|               | USART1_RX ピン | 入力  | PA10 ピン: 受信モードの USART1。入力プルアップ・プルダウンなしモードで使用。  |
|               | USART1_TX ピン | 出力  | PA9 ピン: 送信モードの USART1。入力プルアップ・プルダウンなしモードで使用。   |

表 143. システムメモリブートモードでの STM32L4P5xx/4Q5xx の設定 (続き)

| ブートローダ        | 機能/ペリフェラル    | 状態    | コメント  |
|---------------|--------------|-------|---|
| USART2 ブートローダ | USART2       | 有効    | 一度初期化されると、USART2 の設定は8 ビット、偶数パリティ、および 1 ストップ・ビットになります。  |
|               | USART2_RX ピン | 入力    | PA3 ピン：受信モードの USART2。入力プルアップ・モードで使用。  |
|               | USART2_TX ピン | 出力    | PA2 ピン：送信モードの USART2  |
| USART3 ブートローダ | USART3       | 有効    | 一度初期化されると、USART3 の設定は8 ビット、偶数パリティ、および 1 ストップ・ビットになります。  |
|               | USART3_RX ピン | 入力    | PC11 ピン：受信モードの USART3。入力プルアップ・モードで使用。   |
|               | USART3_TX ピン | 出力    | PC10 ピン：送信モードの USART3。入力プルアップ・モードで使用。   |
| I2C1 ブートローダ   | I2C1         | 有効    | I2C1 設定：<br>I <sup>2</sup> C スピード：最大 1 MHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレス：0b1011011x<br>(ここで、書込みの場合 x = 0、読出しの場合 x = 1) |
|               | I2C1_SCL ピン  | 入力/出力 | PB6 ピン：クロック・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。   |
|               | I2C1_SDA ピン  | 入力/出力 | PB7 ピン：データ・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。  |
| I2C2 ブートローダ   | I2C2         | 有効    | I2C2 設定：<br>I <sup>2</sup> C スピード：最大 1 MHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレス：0b1011011x<br>(ここで、書込みの場合 x = 0、読出しの場合 x = 1) |
|               | I2C2_SCL ピン  | 入力/出力 | PB10 ピン：クロック・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。  |
|               | I2C2_SDA ピン  | 入力/出力 | PB11 ピン：データ・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。   |



表 143. システムメモリブートモードでの STM32L4P5xx/4Q5xx の設定 (続き)

| ブートローダ      | 機能/ペリフェラル    | 状態    | コメント   |
|-------------|--------------|-------|--|
| I2C3 ブートローダ | I2C3         | 有効    | I2C3 設定 :<br>I <sup>2</sup> C スピード : 最大 1 MHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレス : 0b1011011x<br>(ここで、書込みの場合 x = 0、読出しの場合 x = 1) |
|             | I2C3_SCL ピン  | 入力/出力 | PC0 ピン : クロック・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。  |
|             | I2C3_SDA ピン  | 入力/出力 | PC1 ピン : データ・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。   |
| SPI1 ブートローダ | SPI1         | 有効    | SPI1 設定 :<br>- スレーブモード<br>- 全二重<br>- 8 ビット MSB<br>- 最大 8 MHz の速度<br>- 極性 : CPOL ロー、CPHA ロー、NSS ハードウェア。   |
|             | SPI1_MOSI ピン | 入力    | PA7 ピン : スレーブ・データ入力ライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI1_MISO ピン | 出力    | PA6 ピン : スレーブ・データ出力ライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI1_SCK ピン  | 入力    | PA5 ピン : スレーブ・クロック・ライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI1_NSS ピン  | 入力    | PA4 ピン : スレーブ・チップ選択ピン (プッシュプル、プルダウンモードで使用)<br>注 : この IO は、SPI マスタが使用しない場合は、GND に接続できます。  |

表 143. システムメモリブートモードでの STM32L4P5xx/4Q5xx の設定 (続き)

| ブートローダ      | 機能/ペリフェラル    | 状態    | コメント  |
|-------------|--------------|-------|---|
| SPI2 ブートローダ | SPI2         | 有効    | SPI2 設定 :<br>- スレーブモード<br>- 全二重<br>- 8 ビット MSB<br>- 最大 8 MHz の速度<br>- 極性 : CPOL ロー、CPHA ロー、NSS ハードウェア。                                  |
|             | SPI2_MOSI ピン | 入力    | PB15 ピン : スレーブ・データ入力ライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI2_MISO ピン | 出力    | PB14 ピン : スレーブ・データ出力ライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI2_SCK ピン  | 入力    | PB13 ピン : スレーブ・クロック・ライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI2_NSS ピン  | 入力    | PB12 ピン : スレーブ・チップ選択ピン (プッシュプル、プルダウンモードで使用)<br><b>注 :</b> この IO は、SPI マスタが使用しない場合は、GND に接続できます。   |
| CAN1 ブートローダ | CAN1         | 有効    | 一度初期化されると、CAN1 の設定はボーレート 125 kbps、11 ビット識別子になります。   |
|             | CAN1_RX ピン   | 入力    | PB8 ピン : 受信モードの CAN1。オルタネート・プッシュプル、プルアップ・モードで使用。  |
|             | CAN1_TX ピン   | 出力    | PB9 ピン : 送信モードの CAN1。オルタネート・プッシュプル、プルアップ・モードで使用。  |
| DFU ブートローダ  | USB          | 有効    | USB FS は強制デバイスモードで設定されます。USB FS 割込みベクタが有効化され、USB DFU 通信に使用されます。<br><b>注 :</b> USB ペリフェラルがブートローダで使用されるので、VDDUSB IO は 3.3 V に接続する必要があります。 |
|             | USB_DM ピン    | 入力/出力 | PA11 : USB DM ライン。オルタネート・プッシュプル、プルアップ・プルダウンなしモードで使用。  |
|             | USB_DP ピン    |       | PA12 : USB DP ライン。オルタネート・プッシュプル、プルアップ・プルダウンなしモードで使用。<br>外部プルアップ抵抗は不要です。   |

## 66.2 ブートローダの選択

図 88 と 図 89 に、ブートローダの選択メカニズムを示します。

図 88. STM32L4P5xx/4Q5xx ブートローダ V9.x のデュアルバンクブート実装

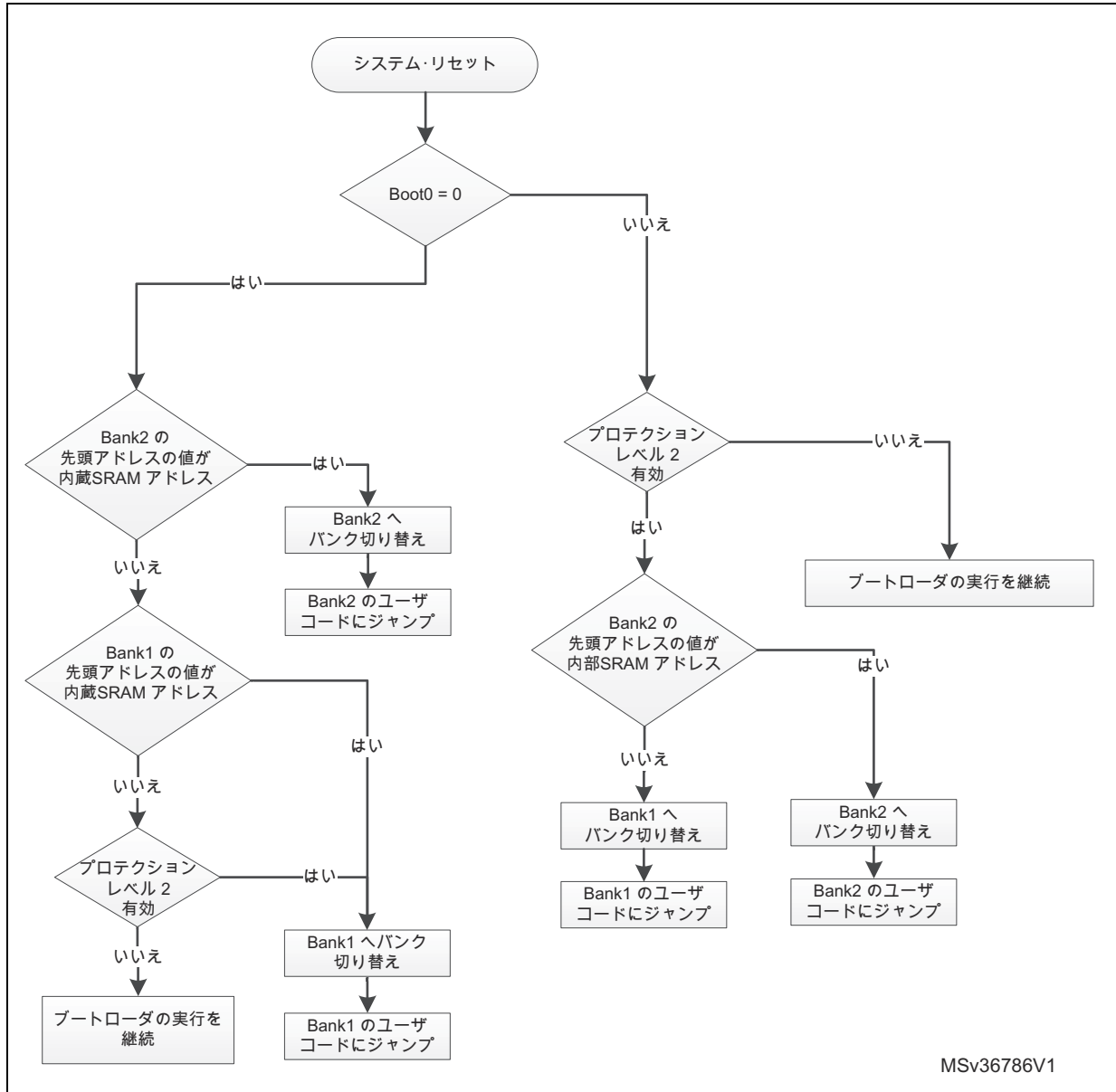
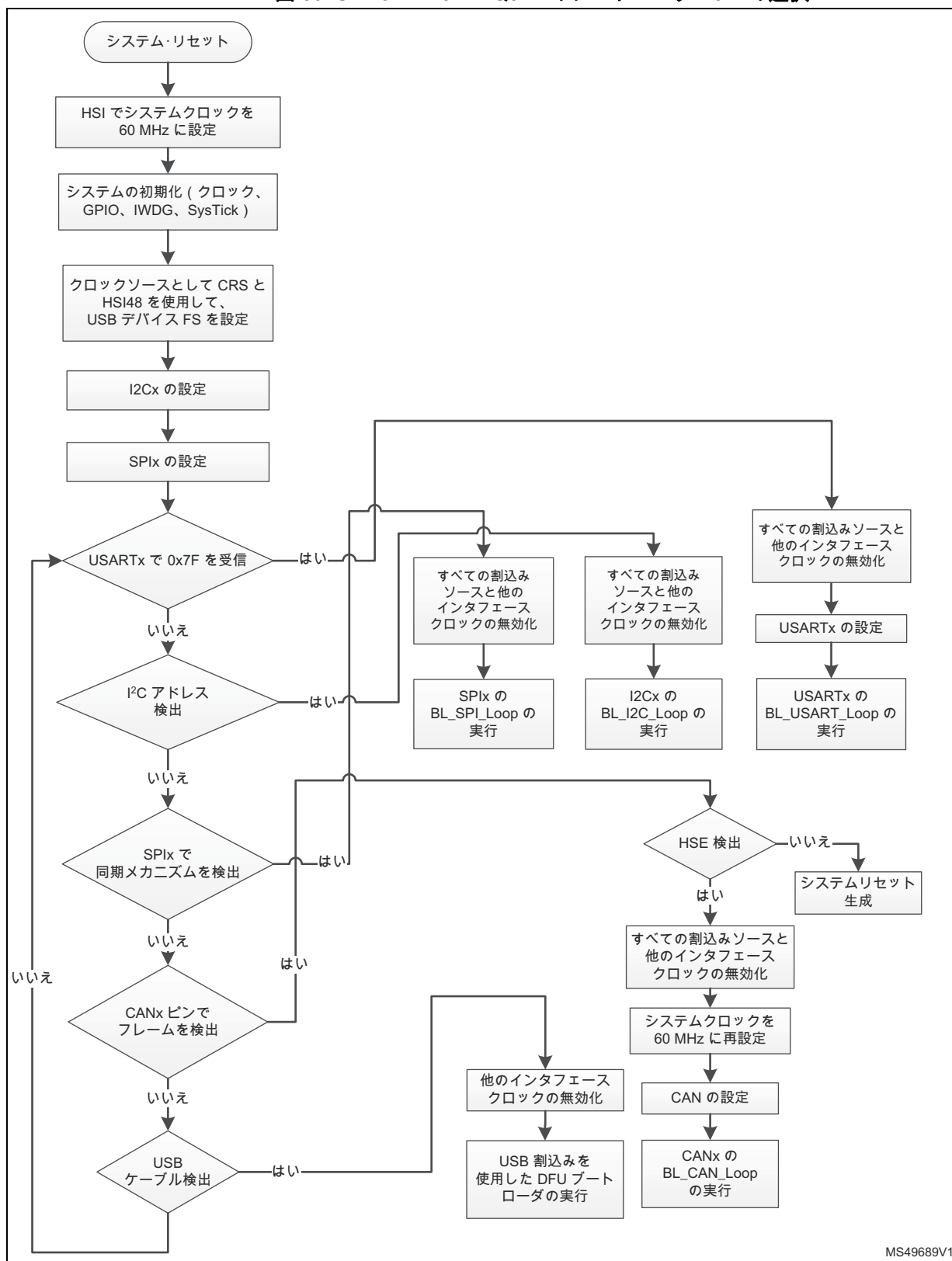


図 89. STM32L4P5xx/4Q5xx のブートローダ V9.x の選択



MS49689V1



## 66.3 ブートローダのバージョン

表 144 に、STM32L4P5xx/4Q5xx デバイスのブートローダのバージョンを示します。

表 144. STM32L4P5xx/4Q5xx のブートローダのバージョン

| ブートローダのバージョン番号 | 説明                          | 既知の制限   |
|----------------|-----------------------------|---|
| V9.0           | カット 1.0 サンプルのブートローダの初期バージョン | <p>– PCROP オプションバイトは書き込みません。これは、PCROP にはハーフワード・アクセスを用いてアクセスする必要があるのに対し、ブートローダがバイト・アクセスを使用しているためです。</p> <p><b>回避策</b>：ブートローダのインタフェースを使用して SRAM にコード・スニペットをロードしてから、そこにジャンプします。このコードにより PCROP 値が書き込まれます。</p> |

## 67 STM32L4Rxxx/4Sxxx デバイスのブートローダ

### 67.1 ブートローダの設定

STM32L4Rxxx/4Sxxx ブートローダは、パターン 6 を適用すると有効化されます (表 2: ブートローダの有効化パターンを参照)。表 145 に、このブートローダが使用するハードウェア・リソースを示します。

表 145. システムメモリブートモードでの STM32L4Rxxx/4Sxxx の設定

| ブートローダ        | 機能/ペリフェラル    | 状態         | コメント  |
|---------------|--------------|------------|---|
| すべてのブートローダに共通 | RCC          | HSI は有効です。 | HSI は、60 MHz に設定されたシステム・クロックのクロック・ソースとして、また USART、I2C、SPI、および USB のブートローダ動作のクロック・ソースとして起動時に使用されます。                      |
|               |              | -          | クロックリカバリシステム (CRS) は、USB を HSI 48 MHz でクロック供給できるように DFU ブートローダで有効化されます。   |
|               |              | HSE は有効です。 | HSE は、CAN インタフェースの選択時にのみ使用されません。HSE は、[24、20、18、16、12、9、8、6、4] MHz のいずれかの値である必要があります。                                   |
|               |              | -          | クロックセキュリティシステム (CSS) 割込みは、HSE を有効にすると有効化されます。外部クロックの障害 (または除去) により、システムリセットが生成されます。                                     |
|               | RAM          | -          | アドレス 0x20000000 から始まる 12 KB は、ブートローダのファームウェアによって使用されます。   |
|               | システムメモリ      | -          | アドレス 0x1FFF0000 から始まる 28672 バイトに、ブートローダのファームウェアが含まれています。  |
| USART1 ブートローダ | IWDG         | -          | 独立型ウォッチドッグ (IWDG) プリスケアラは、最大値に設定されます。これは、定期的によりフレッシュされ、ウォッチドッグがリセットされるのを防ぎます (ハードウェアの IWDG オプションがユーザによって事前に有効化されている場合)。 |
|               | パワー          | -          | 電圧スケーリング・レンジ 2 が選択されている場合、ブートローダとの通信に DFU は使用できません。ブートローダのファームウェアでは、電圧スケーリング・レンジの値が PWR_CR1 レジスタに設定されません。               |
|               | USART1       | 有効         | 一度初期化されると、USART1 の設定は 8 ビット、偶数パリティ、および 1 ストップ・ビットになります。   |
| USART2 ブートローダ | USART1_RX ピン | 入力         | PA10 ピン: 受信モードの USART1。入力プルアップ・プルダウンなしモードで使用。   |
|               | USART1_TX ピン | 出力         | PA9 ピン: 送信モードの USART1。入力プルアップ・プルダウンなしモードで使用。  |
|               | USART2       | 有効         | 一度初期化されると、USART2 の設定は 8 ビット、偶数パリティ、および 1 ストップ・ビットになります。   |
| USART2 ブートローダ | USART2_RX ピン | 入力         | PA3 ピン: 受信モードの USART2。入力プルアップ・モードで使用。   |
|               | USART2_TX ピン | 出力         | PA2 ピン: 送信モードの USART2。入力プルアップ・モードで使用。   |

表 145. システムメモリブートモードでの STM32L4Rxxx/4Sxxx の設定 (続き)

| ブートローダ        | 機能/ペリフェラル    | 状態    | コメント  |
|---------------|--------------|-------|---|
| USART3 ブートローダ | USART3       | 有効    | 一度初期化されると、USART3 の設定は8 ビット、偶数パリティ、および 1 ストップ・ビットになります。  |
|               | USART3_RX ピン | 入力    | PC11 ピン：受信モードの USART3。入力プルアップ・モードで使用。   |
|               | USART3_TX ピン | 出力    | PC10 ピン：送信モードの USART3。入力プルアップ・モードで使用。   |
| USARTx ブートローダ | SysTick タイマ  | 有効    | USARTx ブートローダのホストからシリアルポーレートを自動検出するために使用されます。   |
| I2C1 ブートローダ   | I2C1         | 有効    | I2C1 設定：<br>I <sup>2</sup> C スピード：最大 1 MHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレス：0b1010000x<br>(ここで、書込みの場合 x = 0、読出しの場合 x = 1) |
|               | I2C1_SCL ピン  | 入力/出力 | PB6 ピン：クロック・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。   |
|               | I2C1_SDA ピン  | 入力/出力 | PB7 ピン：データ・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。  |
| I2C2 ブートローダ   | I2C2         | 有効    | I2C2 設定：<br>I <sup>2</sup> C スピード：最大 1 MHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレス：0b1010000x<br>(ここで、書込みの場合 x = 0、読出しの場合 x = 1) |
|               | I2C2_SCL ピン  | 入力/出力 | PB10 ピン：クロック・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。  |
|               | I2C2_SDA ピン  | 入力/出力 | PB11 ピン：データ・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。   |
| I2C3 ブートローダ   | I2C3         | 有効    | I2C3 設定：<br>I <sup>2</sup> C スピード：最大 1 MHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレス：0b1010000x<br>(ここで、書込みの場合 x = 0、読出しの場合 x = 1) |
|               | I2C3_SCL ピン  | 入力/出力 | PC0 ピン：クロック・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。   |
|               | I2C3_SDA ピン  | 入力/出力 | PC1 ピン：データ・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。  |

表 145. システムメモリブートモードでの STM32L4Rxxx/4Sxxx の設定 (続き)

| ブートローダ      | 機能/ペリフェラル    | 状態 | コメント   |
|-------------|--------------|----|--|
| SPI1 ブートローダ | SPI1         | 有効 | SPI1 設定 :<br>- スレーブモード<br>- 全二重<br>- 8 ビット MSB<br>- 最大 8 MHz の速度<br>- 極性 : CPOL ロー、CPHA ロー、NSS ハードウェア。 |
|             | SPI1_MOSI ピン | 入力 | PA7 ピン : スレーブ・データ入力ライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI1_MISO ピン | 出力 | PA6 ピン : スレーブ・データ出力ライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI1_SCK ピン  | 入力 | PA5 ピン : スレーブ・クロック・ライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI1_NSS ピン  | 入力 | PA4 ピン : スレーブ・チップ選択ピン (プッシュプル、プルダウンモードで使用)<br>注 : この IO は、SPI マスタが使用しない場合は、GND に接続できます。                |
| SPI2 ブートローダ | SPI2         | 有効 | SPI2 設定 :<br>- スレーブモード<br>- 全二重<br>- 8 ビット MSB<br>- 最大 8 MHz の速度<br>- 極性 : CPOL ロー、CPHA ロー、NSS ハードウェア。 |
|             | SPI2_MOSI ピン | 入力 | PB15 ピン : スレーブ・データ入力ライン (プッシュプル、プルダウンモードで使用)   |
|             | SPI2_MISO ピン | 出力 | PB14 ピン : スレーブ・データ出力ライン (プッシュプル、プルダウンモードで使用)   |
|             | SPI2_SCK ピン  | 入力 | PB13 ピン : スレーブ・クロック・ライン (プッシュプル、プルダウンモードで使用)   |
|             | SPI2_NSS ピン  | 入力 | PB12 ピン : スレーブ・チップ選択ピン (プッシュプル、プルダウンモードで使用)<br>注 : この IO は、SPI マスタが使用しない場合は、GND に接続できます。               |
| CAN1 ブートローダ | CAN1         | 有効 | 一度初期化されると、CAN1 の設定は<br>ボーレート 125 kbps、11 ビット識別子になります。  |
|             | CAN1_RX ピン   | 入力 | PB8 ピン : 受信モードの CAN1。オルタネート・プッシュプル、プルアップ・モードで使用。   |
|             | CAN1_TX ピン   | 出力 | PB9 ピン : 送信モードの CAN1。オルタネート・プッシュプル、プルアップ・モードで使用。   |
|             | TIM16        | 有効 | このタイマは、HSE の値を決定するために使用されます。<br>HSE 周波数が決定されると、システムクロックは PLL と HSE を使用して 60 MHz に設定されます。               |



表 145. システムメモリブートモードでの STM32L4Rxxx/4Sxxx の設定 (続き)

| ブートローダ     | 機能/ペリフェラル | 状態    | コメント  |
|------------|-----------|-------|---|
| DFU ブートローダ | USB       | 有効    | USB FS は強制デバイスモードで設定されます。<br>USB FS 割込みベクタが有効化され、USB DFU 通信に使用されます。<br><b>注</b> : USB ペリフェラルがブートローダで使用されるので、VDDUSB IO は 3.3 V に接続する必要があります。 |
|            | USB_DM ピン | 入力/出力 | PA11 : USB DM ライン。  |
|            | USB_DP ピン |       | PA12 : USB DP ライン<br>外部プルアップ抵抗は不要です。  |

## 67.2 ブートローダの選択

図 90 と 図 91 に、ブートローダの選択メカニズムを示します。

図 90. STM32L4Rxxx/STM32L4Sxxx ブートローダ V9.x のデュアルバンクブート実装

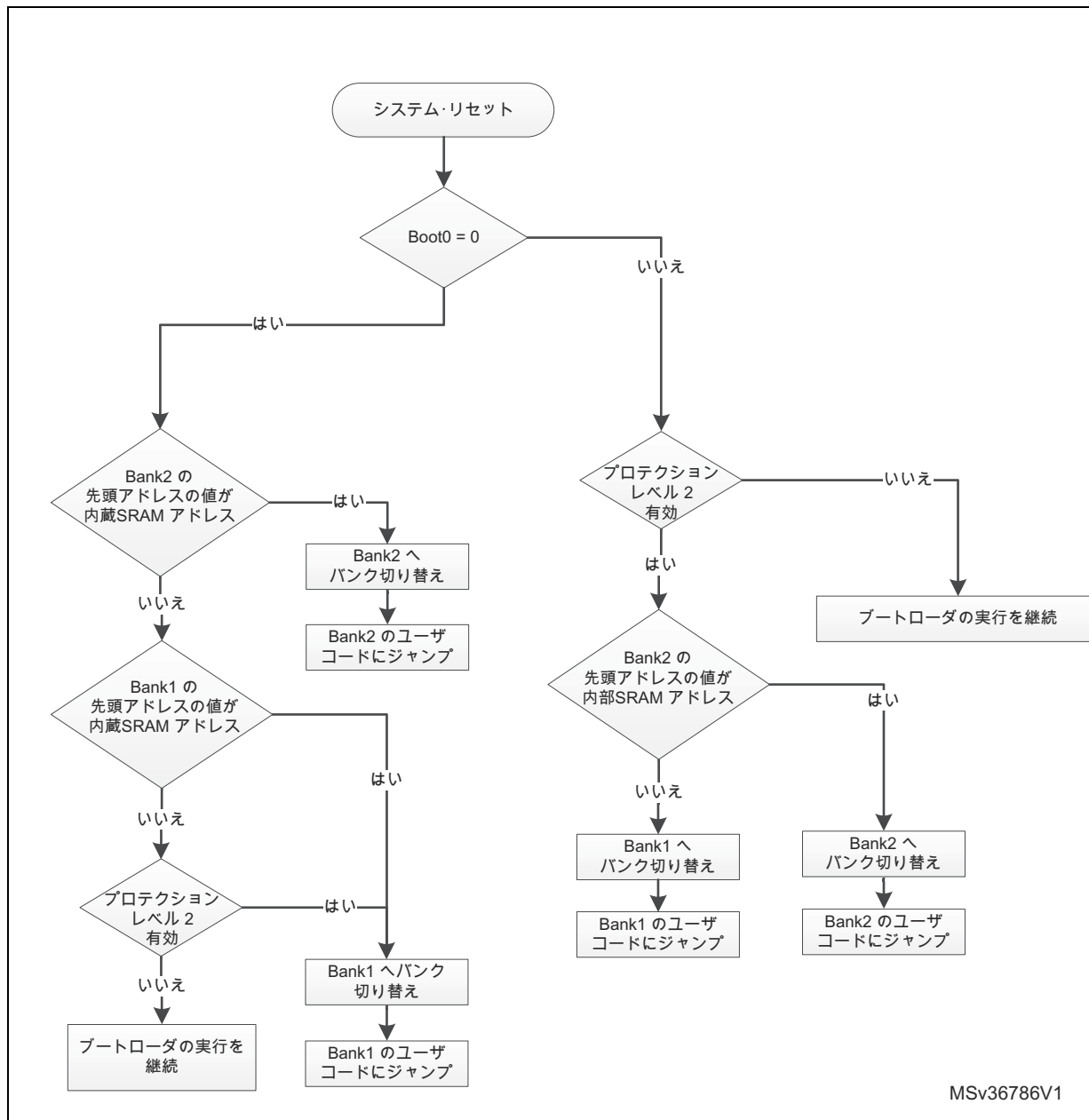
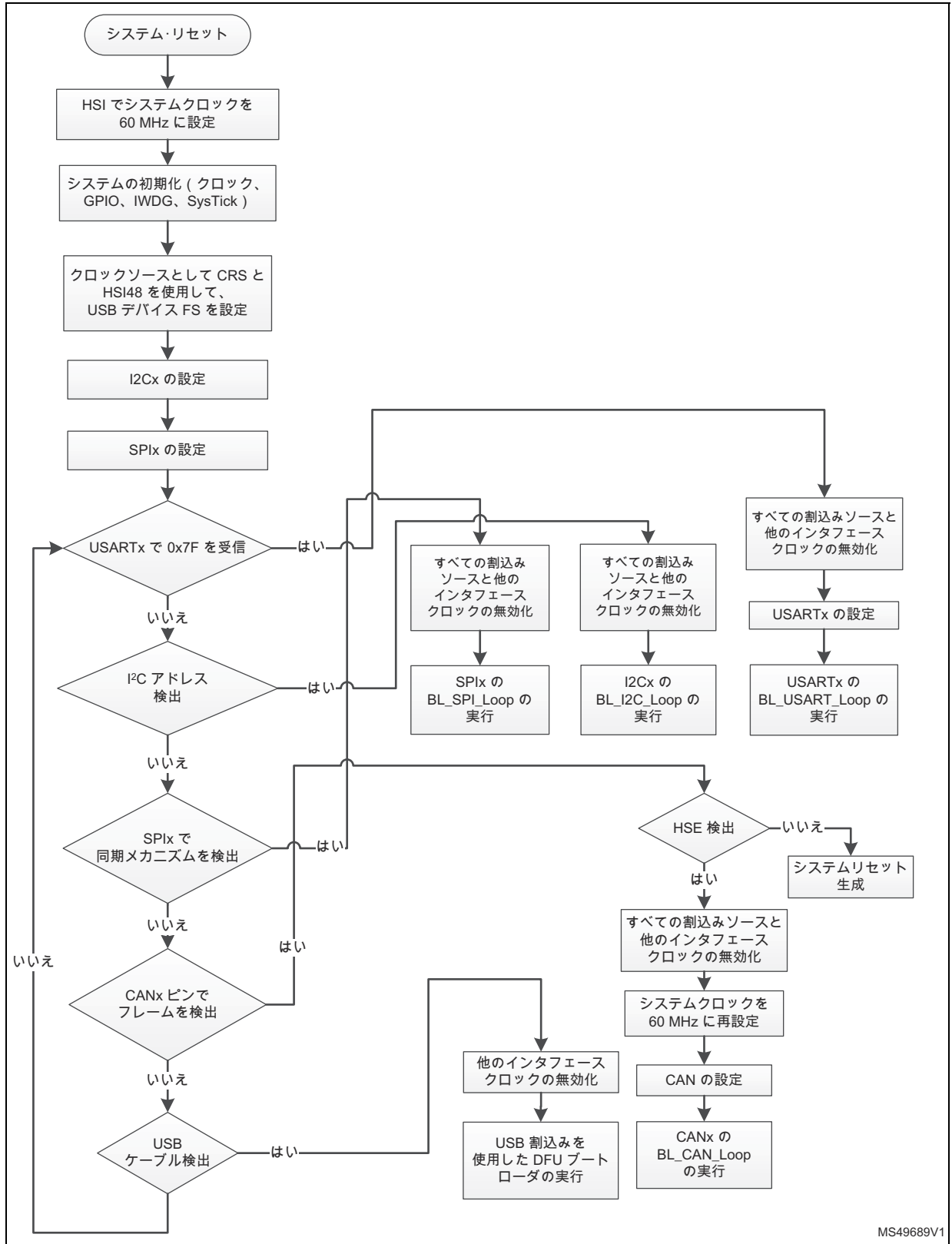


図 91. STM32L4Rxx/4Sxx のブートローダ V9.x の選択



MS49689V1

## 67.3 ブートローダのバージョン

表 146 に、STM32L4Rxx/4Sxx デバイスのブートローダのバージョンを示します。

表 146. STM32L4Rxx/4Sxx のブートローダのバージョン

| ブートローダのバージョン番号 | 説明                          | 既知の制限 |
|----------------|-----------------------------|-------|
| V9.0           | カット 1.0 サンプルのブートローダの初期バージョン | – なし  |

## 68 STM32L552xx/STM32L562xx デバイスのブートローダ

### 68.1 ブートローダの設定

STM32L552xx/562xx ブートローダは、パターン 12 を適用すると有効化されます (表 2: ブートローダの有効化パターンを参照)。次の表に、このブートローダが使用するハードウェア・リソースを示します。

表 147. システムメモリブートモードでの STM32L552xx/562xx の設定

| ブートローダ        | 機能/ペリフェラル    | 状態         | コメント  |
|---------------|--------------|------------|---|
| すべてのブートローダに共通 | RCC          | HSI は有効です。 | システム・クロック周波数は 60 MHz です (HSI によってクロック供給された PLL を使用)。  |
|               |              | -          | クロックリカバリシステム (CRS) は、USB を HSI 48 MHz でクロック供給できるように DFU ブートローダで有効化されます。   |
|               |              | -          | PLLQ から生成された 20 MHz は FDCAN に使用されます。  |
|               | RAM          | -          | アドレス 0x20000000 から始まる 16 KB は、ブートローダのファームウェアによって使用されます。   |
|               | システムメモリ      | -          | アドレス 0x0BF90000 から始まる 32 KB。  |
| USART1 ブートローダ | IWDG         | -          | 独立型ウォッチドッグ (IWDG) プリスケーラは、最大値に設定されます。これは、定期的リフレッシュされ、ウォッチドッグがリセットされるのを防ぎます (ハードウェアの IWDG オプションがユーザによって事前に有効化されている場合)。 |
|               | USART1       | 有効         | 一度初期化されると、USART1 の設定は 8 ビット、偶数パリティ、および 1 ストップ・ビットになります。   |
|               | USART1_RX ピン | 入力         | PA10 ピン: 受信モードの USART1。オルタネート・プッシュプル、プルアップ・モードで使用。  |
| USART2 ブートローダ | USART1_TX ピン | 出力         | PA9 ピン: 送信モードの USART1。オルタネート・プッシュプル、プルアップ・モードで使用。   |
|               | USART2       | 有効         | 一度初期化されると、USART2 の設定は 8 ビット、偶数パリティ、および 1 ストップ・ビットになります。   |
|               | USART2_RX ピン | 入力         | PA3 ピン: 受信モードの USART2。オルタネート・プッシュプル、プルアップ・モードで使用。   |
| USART3 ブートローダ | USART2_TX ピン | 出力         | PA2 ピン: 送信モードの USART2。オルタネート・プッシュプル、プルアップ・モードで使用。   |
|               | USART3       | 有効         | 一度初期化されると、USART3 の設定は 8 ビット、偶数パリティ、および 1 ストップ・ビットになります。   |
|               | USART3_RX ピン | 入力         | PC11 ピン: 受信モードの USART3。オルタネート・プッシュプル、プルアップ・モードで使用。  |
| USART3 ブートローダ | USART3_TX ピン | 出力         | PC10 ピン: 送信モードの USART3。オルタネート・プッシュプル、プルアップ・モードで使用。  |

表 147. システムメモリブートモードでの STM32L552xx/562xx の設定 (続き)

| ブートローダ      | 機能/ペリフェラル    | 状態    | コメント  |
|-------------|--------------|-------|---|
| I2C1 ブートローダ | I2C1         | 有効    | I2C1 設定：<br>I <sup>2</sup> C スピード：最大 1 MHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレス：0b0101100x<br>(ここで、書込みの場合 x = 0、読出しの場合 x = 1) |
|             | I2C1_SCL ピン  | 入力/出力 | PB6 ピン：クロック・ラインはオープンドレインのプルアップモードで使用されます。   |
|             | I2C1_SDA ピン  | 入力/出力 | PB7 ピン：データ・ラインはオープンドレインのプルアップモードで使用されます。  |
| I2C2 ブートローダ | I2C2         | 有効    | I2C2 設定：<br>I <sup>2</sup> C スピード：最大 1 MHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレス：0b0101100x<br>(ここで、書込みの場合 x = 0、読出しの場合 x = 1) |
|             | I2C2_SCL ピン  | 入力/出力 | PB10 ピン：クロック・ラインはオープンドレインのプルアップモードで使用されます。  |
|             | I2C2_SDA ピン  | 入力/出力 | PB11 ピン：データ・ラインはオープンドレインのプルアップモードで使用されます。   |
| I2C3 ブートローダ | I2C3         | 有効    | I2C3 設定：<br>I <sup>2</sup> C スピード：最大 1 MHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレス：0b0101100x (ここで、書込みの場合 x = 0、読出しの場合 x = 1)。   |
|             | I2C3_SCL ピン  | 入力/出力 | PC0 ピン：クロック・ラインはオープンドレインのプルアップモードで使用されます。   |
|             | I2C3_SDA ピン  | 入力/出力 | PC1 ピン：データ・ラインはオープンドレインのプルアップモードで使用されます。  |
| SPI1 ブートローダ | SPI1         | 有効    | SPI1 設定：<br>- スレーブモード<br>- 全二重<br>- 8 ビット MSB<br>- 最大 8 MHz の速度<br>- 極性：CPOL ロー、CPHA ロー、NSS ハードウェア。   |
|             | SPI1_MOSI ピン | 入力    | PA7 ピン：スレーブ・データ入力ライン (プッシュプル、プルダウンモードで使用)   |
|             | SPI1_MISO ピン | 出力    | PA6 ピン：スレーブ・データ出力ライン (プッシュプル、プルダウンモードで使用)   |
|             | SPI1_SCK ピン  | 入力    | PA5 ピン：スレーブ・クロック・ライン (プッシュプル、プルダウンモードで使用)   |
|             | SPI1_NSS ピン  | 入力    | PA4 ピン：スレーブ・チップ選択ピン (プッシュプル、プルダウンモードで使用)<br>注：この IO は、SPI マスタが使用しない場合は、GND に接続できます。   |

表 147. システムメモリブートモードでの STM32L552xx/562xx の設定 (続き)

| ブートローダ       | 機能/ペリフェラル    | 状態 | コメント   |
|--------------|--------------|----|--|
| SPI2 ブートローダ  | SPI2         | 有効 | SPI2 設定 :<br>- スレーブモード<br>- 全二重<br>- 8 ビット MSB<br>- 最大 8 MHz の速度<br>- 極性 : CPOL ロー、CPHA ロー、NSS ハードウェア。   |
|              | SPI2_MOSI ピン | 入力 | PB15 ピン : スレーブ・データ入力ライン (プッシュプル、プルダウンモードで使用)   |
|              | SPI2_MISO ピン | 出力 | PB14 ピン : スレーブ・データ出力ライン (プッシュプル、プルダウンモードで使用)   |
|              | SPI2_SCK ピン  | 入力 | PB13 ピン : スレーブ・クロック・ライン (プッシュプル、プルダウンモードで使用)   |
|              | SPI2_NSS ピン  | 入力 | PB12 ピン : スレーブ・チップ選択ピン (プッシュプル、プルダウンモードで使用)<br>注 : この IO は、SPI マスタが使用しない場合は、GND に接続できます。   |
| SPI3 ブートローダ  | SPI3         | 有効 | SPI 設定 :<br>- スレーブモード<br>- 全二重<br>- 8 ビット MSB<br>- 最大 8 MHz の速度<br>- 極性 : CPOL ロー、CPHA ロー、NSS ハードウェア。  |
|              | SPI3_MOSI ピン | 入力 | PB5 ピン : スレーブ・データ入力ライン (プッシュプル、プルダウンモードで使用)  |
|              | SPI3_MISO ピン | 出力 | PG10 ピン : スレーブ・データ出力ライン (プッシュプル、プルダウンモードで使用)   |
|              | SPI3_SCK ピン  | 入力 | PG9 ピン : スレーブ・クロック・ライン (プッシュプル、プルダウンモードで使用)  |
|              | SPI3_NSS ピン  | 入力 | PG12 ピン : スレーブ・チップ選択ピン (プッシュプル、プルダウンモードで使用)<br>注 : この IO は、SPI マスタが使用しない場合は、GND に接続できます。   |
| FDCAN ブートローダ | FDCAN1       | 有効 | 一度初期化されると、FDCAN1 の設定は<br>ビットレート 0.5 Mbps<br>フレームフォーマット = FDCAN_FRAME_FD_BRS<br>モード = FDCAN_MODE_NORMAL<br>自動再送信 = ENABLE<br>送信一時停止 = DISABLE<br>プロトコル例外 = ENABLE |
|              | FDCAN1_Rx ピン | 入力 | PB9 ピン : 受信モードの FDCAN1。オルタネート・プッシュプル、プルアップ・モードで使用。   |
|              | FDCAN1_Tx ピン | 出力 | PB8 ピン : 送信モードの FDCAN1。オルタネート・プッシュプル、プルアップ・モードで使用。   |

表 147. システムメモリブートモードでの STM32L552xx/562xx の設定 (続き)

| ブートローダ     | 機能/ペリフェラル | 状態    | コメント   |
|------------|-----------|-------|--|
| DFU ブートローダ | USB       | 有効    | USB FS は強制デバイスモードで設定されます。<br>USB FS 割り込みベクタが有効化され、USB DFU 通信に使用されます。<br>注: USB ペリフェラルがブートローダで使用されるので、VDDUSB IO は 3.3 V に接続する必要があります。 |
|            | USB_DM ピン | 入力/出力 | PA11 : USB DM ライン。入力プルアップ・プルダウンなしモードで使用。   |
|            | USB_DP ピン |       | PA12 : USB DP ライン。入力プルアップ・プルダウンなしモードで使用。<br>外部プルアップ抵抗は不要です。  |

表 148. STM32L552cc/562xx の特殊コマンド

| サポートされている特殊コマンド (USART/I2C/SPI/FDCAN)<br>OP コード - 0x50                |                   |                |       |        |       |                     |            |
|---|-------------------|----------------|-------|--------|-------|---------------------|------------|
| 機能  | サブ OP コード (2 バイト) | 送信データ数 (2 バイト) | 送信データ | 受信データ数 | 受信データ | 受信ステータスデータ数 (2 バイト) | 受信ステータスデータ |
| TrustZone 無効化<br>TZEN = 1 および<br>RDP = 1 のときに<br>実行する必要あり             | 0x82              | 0x4            | 0x0   | 0x0    | 該当なし  | 0x1                 | 0x0        |
| RDP L1 から RDP<br>0.5 への回帰<br>TZEN = 1 および<br>RDP = 1 のときに<br>実行する必要あり | 0x82              | 0x4            | 0x1   | 0x0    | 該当なし  | 0x1                 | 0x0        |

注: USB の仕様に基づき、USB の特殊コマンドは他のプロトコルのコマンドとわずかに異なります。

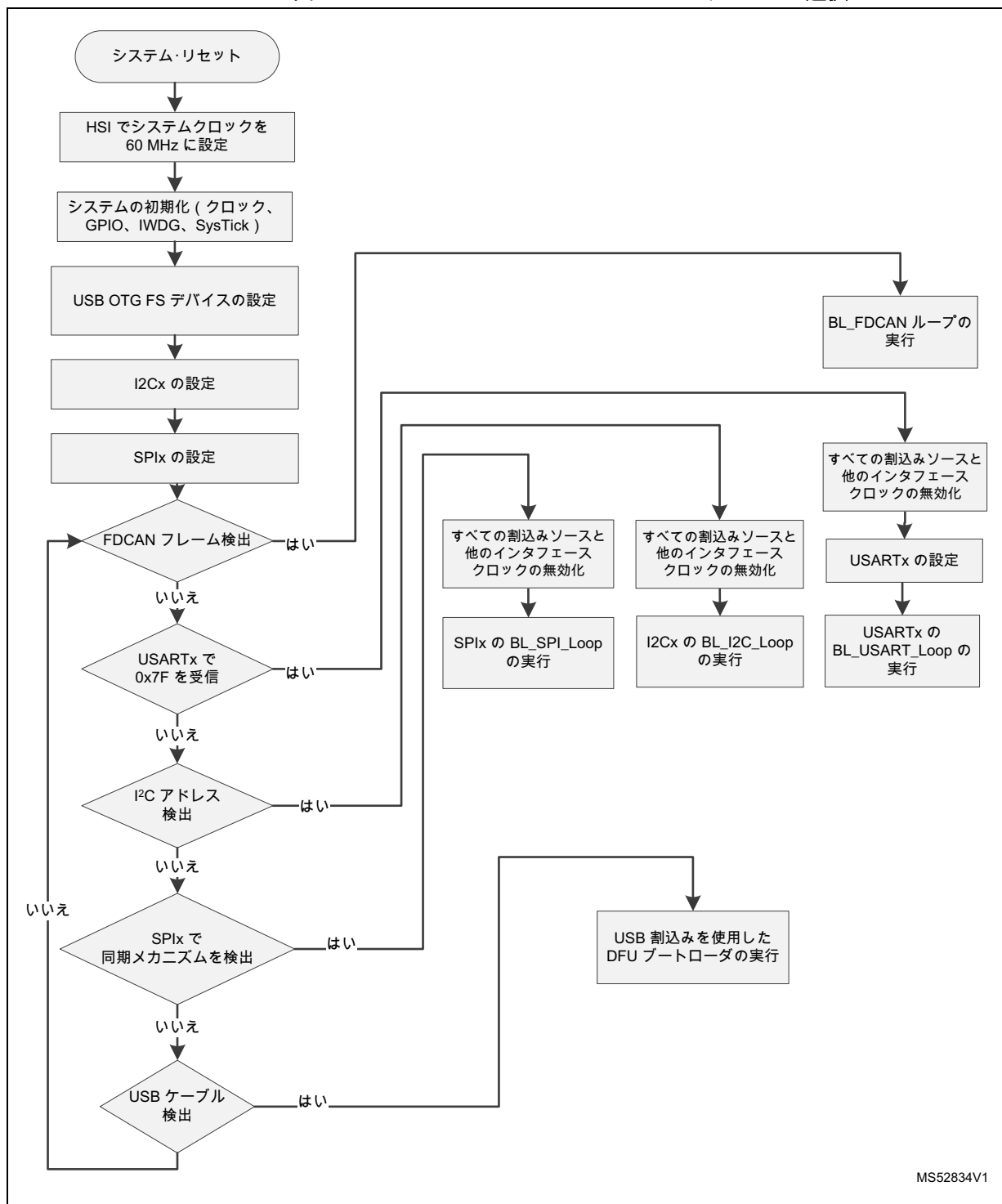
- OP コードを使用せずに、サブ OP コードを直接使用します。
- サブ OP コードは、2 バイトではなくシングル・バイトとして扱われます。
- データは、USB フレームでバイト単位で送信されます。送信するデータの数を加算する必要はありません。
- 返されるデータとステータスは、USB のネイティブ・プロトコルで書式設定されます。



## 68.2 ブートローダの選択

次の図に、ブートローダの選択メカニズムを示します。

図 92. STM32L552xx/562xx のブートローダ V9.x の選択



## 68.3 ブートローダのバージョン

表 149 に、STM32L552xx/562xx デバイスのブートローダのバージョンを示します。

表 149. STM32L552xx/562xx のブートローダのバージョン

| ブートローダのバージョン番号 | 説明  | 既知の制限   |
|----------------|---|---|
| V13.0          | カット 1.0 サンプルのブートローダの初期バージョン   | <ul style="list-style-type: none"> <li>- USART3 は機能しません。</li> <li>- SPI3 は機能しません。</li> <li>- オプションバイトの起動は USB-DFU では機能しません。</li> <li>- すべてのプロトコルで SRAM2 の読出し/書込みを行うことができません。</li> <li>- 読出しセキュアオプションバイトは USART/I2C にのみ実装されています。</li> <li>- TZen = 1 から TZen = 0 への回帰は、RDP 回帰で自動的に実行されます。</li> </ul>   |
| V9.0           | カット 2.0 でのみサポートされるリリース<br><ul style="list-style-type: none"> <li>- 以前のリリースの問題をすべて修正</li> <li>- FDCAN のサポートを追加</li> <li>- TZen の無効化用に新しいコマンドを追加</li> <li>- 販売タイプ 256 KB をサポート</li> </ul> | <ul style="list-style-type: none"> <li>- ブートローダのすべてのインタフェースを使用しても、オプションバイトのTZen を1にセットすることはできません。WA は使用できません。</li> <li>- ブートローダのインタフェースを使用しても RDP レベル 0.5 はセットできず、オプションバイトでRDP レベル 0.5 をセットすることもできません。WA は使用できません。</li> <li>- TZen が 1 のときに HW IWDG オプションバイトを有効にすると、複数のリセットが実行されます。WA は使用できません。</li> <li>- TZen が 1 で RDP レベルが 0 の場合、セキュア・オプションバイトはセットできません。WA は使用できません。</li> <li>- USB では「Go」コマンドは機能しません。</li> </ul> |
| V9.1           | <ul style="list-style-type: none"> <li>- 以前のリリースの既知の制限をすべて修正</li> <li>- BOOT_LOCK BL コマンドの有効化を追加</li> <li>- RDP の L1 から 0.5 への回帰をサポート</li> </ul>  | FDCAN インタフェースを使用すると、オプションバイトのプログラミングが適切に機能しません。<br>これにより、オプションバイトの変更は、一度電源をオフにして再度オンにするまで有効になりません。  |
| V9.2           | <ul style="list-style-type: none"> <li>- 以前のリリースの既知の制限をすべて修正</li> <li>- シリコンのリリース Z のバージョン</li> </ul>   | なし  |

注： ブートローダにジャンプするときはキャッシュを無効にする必要があります。

## 69 STM32WB10xx/15xx デバイスのブートローダ

### 69.1 ブートローダの設定

STM32WB10xx/15xx ブートローダは、パターン 6 を適用すると有効化されます (表 2: ブートローダの有効化パターンを参照)。表 150 に、このブートローダが使用するハードウェア・リソースを示します。

表 150. システムメモリブートモードでの STM32WB10xx/15xx の設定

| ブートローダ        | 機能/ペリフェラル    | 状態         | コメント  |
|---------------|--------------|------------|---|
| すべてのブートローダに共通 | RCC          | MSI は有効です。 | システム・クロック周波数は 64 MHz です (MSI によってクロック供給された PLL を使用)。  |
|               | RAM          | -          | アドレス 0x20000000 から始まる 16 KB は、ブートローダのファームウェアによって使用されます。   |
|               | システムメモリ      | -          | アドレス 0x1FFF0000 から始まる 28 KB に、ブートローダのファームウェアが含まれています。   |
|               | IWDG         | -          | 独立型ウォッチドッグ (IWDG) プリスケーラは、最大値に設定されます。これは、定期的リフレッシュされ、ウォッチドッグがリセットされるのを防ぎます (ハードウェアの IWDG オプションがユーザによって事前に有効化されている場合)。                         |
| USART1 ブートローダ | USART1       | 有効         | 一度初期化されると、USART1 の設定は 8 ビット、偶数パリティ、および 1 ストップ・ビットになります。   |
|               | USART1_RX ピン | 入力         | PA10 ピン: 受信モードの USART1。オルタネート・プッシュプル、プルアップ・モードで使用。  |
|               | USART1_TX ピン | 出力         | PA9 ピン: 送信モードの USART1。オルタネート・プッシュプル、プルアップ・モードで使用。   |
| I2C1 ブートローダ   | I2C1         | 有効         | I2C1 設定:<br>I <sup>2</sup> C スピード: 最大 1 MHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレス: 0b1001111x (ここで、書込みの場合 x = 0、読出しの場合 x = 1)。 |
|               | I2C1_SCL ピン  | 入力/出力      | PB6 ピン: クロック・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。  |
|               | I2C1_SDA ピン  | 入力/出力      | PB7 ピン: データ・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。   |

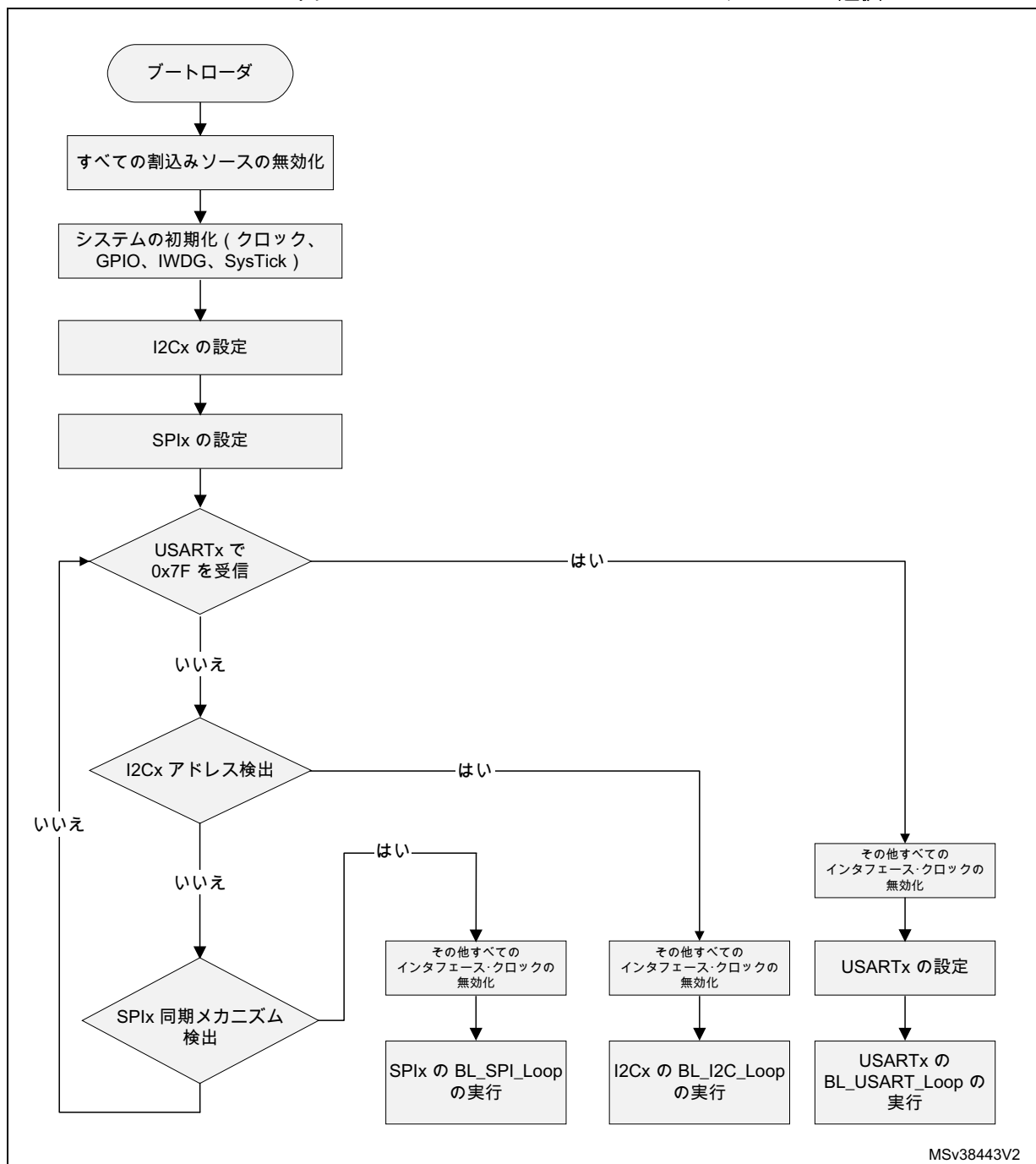
表 150. システムメモリブートモードでの STM32WB10xx/15xx の設定 (続き)

| ブートローダ      | 機能/ペリフェラル    | 状態 | コメント   |
|-------------|--------------|----|--|
| SPI1 ブートローダ | SPI1         | 有効 | SPI1 設定 :<br><ul style="list-style-type: none"> <li>- スレーブモード</li> <li>- 全二重</li> <li>- 8 ビット MSB</li> <li>- 最大 8 MHz の速度</li> <li>- 極性 : CPOL ロー、CPHA ロー、NSS ハードウェア。</li> </ul> |
|             | SPI1_MOSI ピン | 入力 | PA7 ピン : スレーブ・データ入力ライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI1_MISO ピン | 出力 | PA6 ピン : スレーブ・データ出力ライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI1_SCK ピン  | 入力 | PA5 ピン : スレーブ・クロック・ライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI1_NSS ピン  | 入力 | PA4 ピン : スレーブ・チップ選択ピン (プッシュプル、プルダウンモードで使用)<br>注 : この IO は、SPI マスタが使用しない場合は、GND に接続できます。  |

## 69.2 ブートローダの選択

次の図に、ブートローダの選択メカニズムを示します。

図 93. STM32WB10xx/15xx のブートローダ V11.x の選択



## 69.3 ブートローダのバージョン

表 151. STM32WB10xx/15xx のブートローダのバージョン

| ブートローダのバージョン番号 | 説明             | 既知の制限  |
|----------------|----------------|--|
| V11.1          | ブートローダの初期バージョン | <ul style="list-style-type: none"><li>- I<sup>2</sup>C の Write Protect コマンド (0x73) で書込み保護が無効にならず、Read Unprotect が実行されます。</li><li>- 回避策: 書込み保護解除操作を正しく実行する No-Stretch Write Unprotect コマンド (0x74) を使用します。</li></ul> |

## 70 STM32WB30xx/35xx/50xx/55xx デバイスのブートローダ

### 70.1 ブートローダの設定

STM32WBxxx ブートローダは、パターン 16 を適用すると有効化されます (表 2: ブートローダの有効化パターンを参照)。表 152 に、このブートローダが使用するハードウェア・リソースを示します。

表 152. システム・メモリ・ブート・モードでの STM32WB30xx/35xx/50xx/55xx の設定

| ブートローダ        | 機能/ペリフェラル    | 状態         | コメント  |
|---------------|--------------|------------|---|
| すべてのブートローダに共通 | RCC          | MSI は有効です。 | システム・クロック周波数は 64 MHz です (MSI によってクロック供給された PLL を使用)。  |
|               |              | -          | クロックリカバリシステム (CRS) は、USB を HSI 48 MHz でクロック供給できるように DFU ブートローダで有効化されます。   |
|               | RAM          | -          | アドレス 0x20000000 から始まる 20 KB は、ブートローダのファームウェアによって使用されます。   |
|               | システムメモリ      | -          | アドレス 0x1FFF0000 から始まる 28 KB に、ブートローダのファームウェアが含まれています。   |
| USART1 ブートローダ | IWDG         | -          | 独立型ウォッチドッグ (IWDG) プリスケアラは、最大値に設定されます。これは、定期的によりフレッシュされ、ウォッチドッグがリセットされるのを防ぎます (ハードウェアの IWDG オプションがユーザによって事前に有効化されている場合)。                       |
|               | USART1       | 有効         | 一度初期化されると、USART1 の設定は 8 ビット、偶数パリティ、および 1 ストップ・ビットになります。   |
|               | USART1_RX ピン | 入力         | PA10 ピン: 受信モードの USART1。オルタネート・プッシュプル、プルアップ・モードで使用。  |
|               | USART1_TX ピン | 出力         | PA9 ピン: 送信モードの USART1。オルタネート・プッシュプル、プルアップ・モードで使用。   |
| I2C1 ブートローダ   | I2C1         | 有効         | I2C1 設定:<br>I <sup>2</sup> C スピード: 最大 1 MHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレス: 0b1001111x (ここで、書込みの場合 x = 0、読出しの場合 x = 1)。 |
|               | I2C1_SCL ピン  | 入力/出力      | PB6 ピン: クロック・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。  |
|               | I2C1_SDA ピン  | 入力/出力      | PB7 ピン: データ・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。   |
| I2C3 ブートローダ   | I2C3         | 有効         | I2C3 設定:<br>I <sup>2</sup> C スピード: 最大 1 MHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレス: 0b1001111x (ここで、書込みの場合 x = 0、読出しの場合 x = 1)。 |
|               | I2C3_SCL ピン  | 入力/出力      | PC0 ピン: クロック・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。  |
|               | I2C3_SDA ピン  | 入力/出力      | PC1 ピン: データ・ラインはオープンドレインのプルアップ・プルダウンなしモードで使用されます。   |

表 152. システム・メモリ・ブート・モードでの STM32WB30xx/35xx/50xx/55xx の設定 (続き)

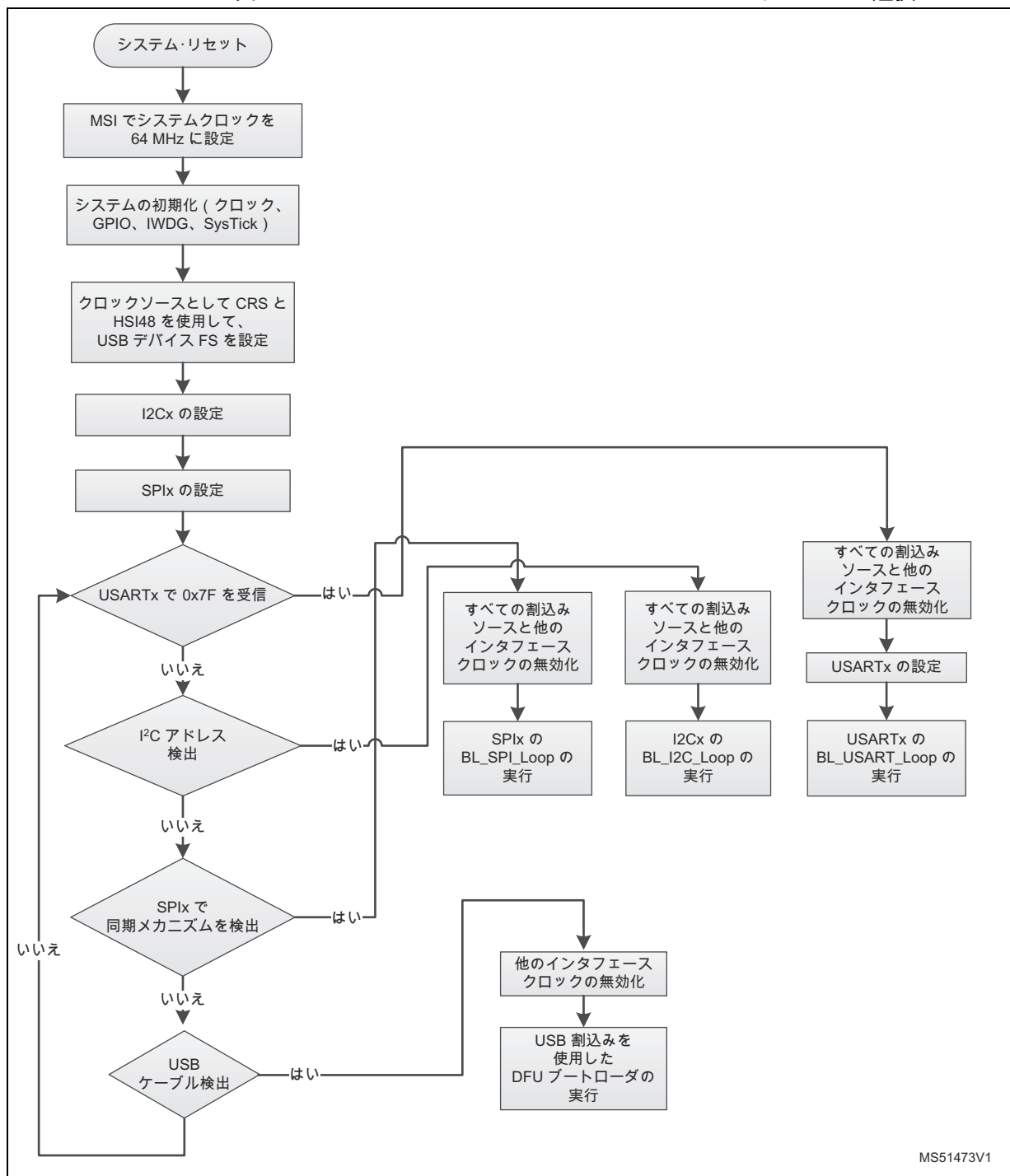
| ブートローダ      | 機能/ペリフェラル    | 状態    | コメント  |
|-------------|--------------|-------|---|
| SPI1 ブートローダ | SPI1         | 有効    | SPI1 設定 :<br>- スレーブモード<br>- 全二重<br>- 8 ビット MSB<br>- 最大 8 MHz の速度<br>- 極性 : CPOL ロー、CPHA ロー、NSS ハードウェア。                                |
|             | SPI1_MOSI ピン | 入力    | PA7 ピン : スレーブ・データ入力ライン (プッシュプル、プルダウンモードで使用)   |
|             | SPI1_MISO ピン | 出力    | PA6 ピン : スレーブ・データ出力ライン (プッシュプル、プルダウンモードで使用)   |
|             | SPI1_SCK ピン  | 入力    | PA5 ピン : スレーブ・クロック・ライン (プッシュプル、プルダウンモードで使用)   |
|             | SPI1_NSS ピン  | 入力    | PA4 ピン : スレーブ・チップ選択ピン (プッシュプル、プルダウンモードで使用)<br>注 : この IO は、SPI マスタが使用しない場合は、GND に接続できます。   |
| SPI2 ブートローダ | SPI2         | 有効    | SPI2 設定 :<br>- スレーブモード<br>- 全二重<br>- 8 ビット MSB<br>- 最大 8 MHz の速度<br>- 極性 : CPOL ロー、CPHA ロー、NSS ハードウェア。                                |
|             | SPI2_MOSI ピン | 入力    | PB15 ピン : スレーブ・データ入力ライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI2_MISO ピン | 出力    | PB14 ピン : スレーブ・データ出力ライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI2_SCK ピン  | 入力    | PB13 ピン : スレーブ・クロック・ライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI2_NSS ピン  | 入力    | PB12 ピン : スレーブ・チップ選択ピン (プッシュプル、プルダウンモードで使用)<br>注 : この IO は、SPI マスタが使用しない場合は、GND に接続できます。  |
| DFU ブートローダ  | USB          | 有効    | USB FS は強制デバイスモードで設定されます。<br>USB FS 割り込みベクタが有効化され、USB DFU 通信に使用されます。<br>注 : USB ペリフェラルがブートローダで使用されるので、VDDUSB IO は 3.3 V に接続する必要があります。 |
|             | USB_DM ピン    | 入力/出力 | PA11 : USB DM ライン。入力プルアップ・プルダウンなしモードで使用。  |
|             | USB_DP ピン    |       | PA12 : USB DP ライン。入力プルアップ・プルダウンなしモードで使用。<br>外部プルアップ抵抗は不要です。   |



## 70.2 ブートローダの選択

次の図に、ブートローダの選択メカニズムを示します。

図 94. STM32WB30xx/35xx/50xx/55xx のブートローダ V13.0 の選択



## 70.3 ブートローダのバージョン

表 153. STM32WB30xx/35xx/50xx/55xx のブートローダのバージョン

| ブートローダのバージョン番号 | 説明             | 既知の制限   |
|----------------|----------------|---|
| V13.5          | ブートローダの初期バージョン | <ul style="list-style-type: none"> <li>- Readout Unprotect コマンドは、コマンド終了時に Flash オプションバイトの再ロードではなく NVIC_SystemReset を実行するため、正常に機能しません。<br/>これにより、RDP レベルの変更は一度電源をオフにして再度オンにするまで有効になりません。</li> <li>- I<sup>2</sup>C の Write Protect コマンド (0x73) で書き込み保護が無効にならず、Read Unprotect が実行されます。<br/>回避策：書き込み保護解除操作を正しく実行する No-Stretch Write Unprotect コマンド (0x74) を使用します。</li> </ul> |

注： 操作の実行中に複数のリセットを実行する際の不安定性は、USART ブートローダで Overrun または FrameError エラーの原因となり、ハードウェア・リセットが実行されるまでリカバリできません。これは、FUS V1.0.1 および V1.0.2 の回避策で修正されました。

## 71 STM32WLE5xx/55xx デバイスのブートローダ

### 71.1 ブートローダの設定

STM32WLE5xx/55xx ブートローダは、パターン 13 を適用すると有効化されます (表 2: ブートローダの有効化パターンを参照)。表 154 に、このブートローダが使用するハードウェア・リソースを示します。

表 154. システムメモリブートモードでの STM32WLE5xx/55xx の設定

| ブートローダ            | 機能/ペリフェラル    | 状態         | コメント   |
|-------------------|--------------|------------|--|
| すべてのブートローダに<br>共通 | RCC          | HSI は有効です。 | システムクロック周波数は 48 MHz です (HSI によってクロック供給された PLL を使用)。  |
|                   | RAM          | -          | アドレス 0x20000000 から始まる 8 KB は、ブートローダのファームウェアによって使用されます。   |
|                   | システムメモリ      | -          | アドレス 0x1FFF0000 から始まる 16 KB に、ブートローダのファームウェアが含まれています。  |
|                   | IWDG         | -          | 独立型ウォッチドッグ (IWDG) プリスケーラは、最大値に設定されます。これは、定期的にリフレッシュされ、ウォッチドッグがリセットされるのを防ぎます (ハードウェアの IWDG オプションがユーザによって事前に有効化されている場合)。 |
| USART1 ブートローダ     | USART1       | 有効         | 一度初期化されると、USART1 の設定は 8 ビット、偶数パリティ、および 1 ストップ・ビットになります。  |
|                   | USART1_RX ピン | 入力         | PA10 ピン: 受信モードの USART1。オルタネート・プッシュプル、プルアップ・モードで使用。   |
|                   | USART1_TX ピン | 出力         | PA9 ピン: 送信モードの USART1。オルタネート・プッシュプル、プルアップ・モードで使用。  |
| USART2 ブートローダ     | USART2       | 有効         | 一度初期化されると、USART2 の設定は 8 ビット、偶数パリティ、および 1 ストップ・ビットになります。  |
|                   | USART2_RX ピン | 入力         | PA3 ピン: 受信モードの USART2。オルタネート・プッシュプル、プルアップ・モードで使用。  |
|                   | USART2_TX ピン | 出力         | PA2 ピン: 送信モードの USART2。オルタネート・プッシュプル、プルアップ・モードで使用。  |

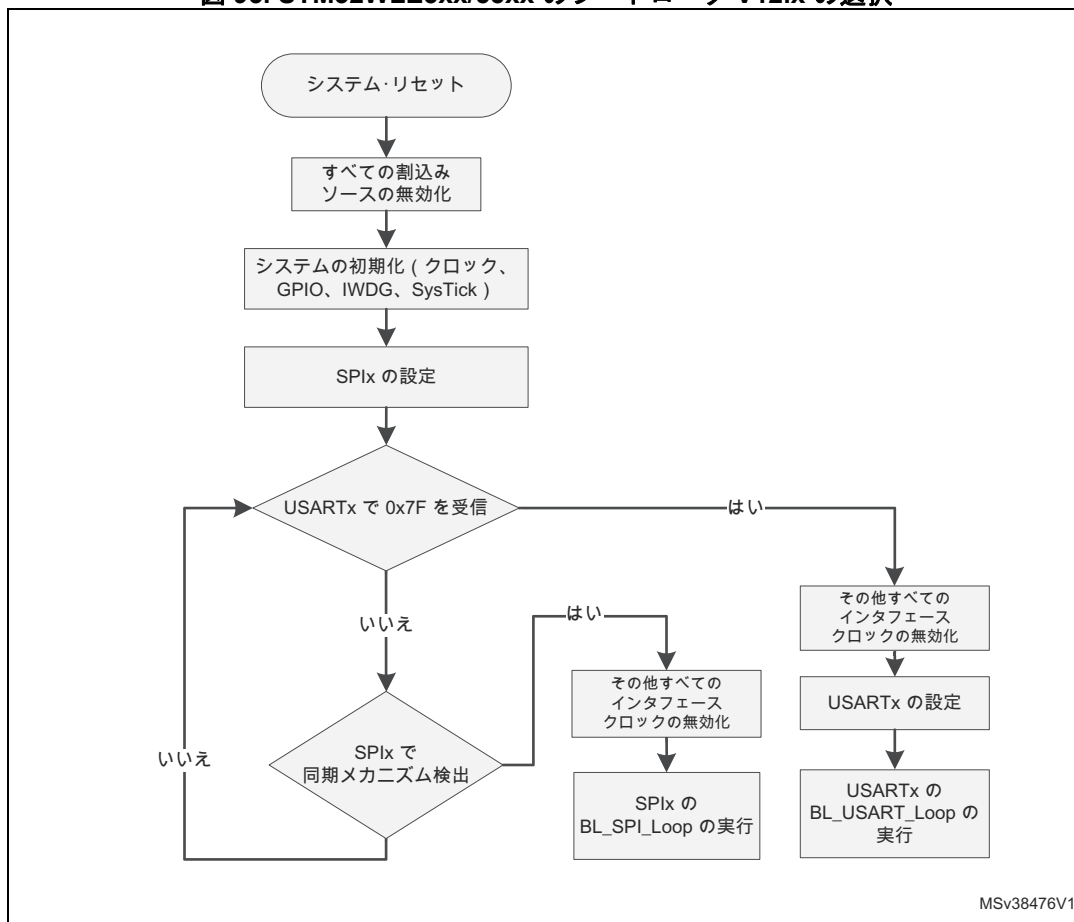
表 154. システムメモリブートモードでの STM32WLE5xx/55xx の設定 (続き)

| ブートローダ      | 機能/ペリフェラル    | 状態 | コメント   |
|-------------|--------------|----|--|
| SPI1 ブートローダ | SPI1         | 有効 | SPI1 設定 :<br>- スレーブモード<br>- 全二重<br>- 8 ビット MSB<br>- 最大 8 MHz の速度<br>- 極性 : CPOL ロー、CPHA ロー、NSS ハードウェア。 |
|             | SPI1_MOSI ピン | 入力 | PA7 ピン : スレーブ・データ入力ライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI1_MISO ピン | 出力 | PA6 ピン : スレーブ・データ出力ライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI1_SCK ピン  | 入力 | PA5 ピン : スレーブ・クロック・ライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI1_NSS ピン  | 入力 | PA4 ピン : スレーブ・チップ選択ピン (プッシュプル、プルダウンモードで使用)<br>注 : この IO は、SPI マスタが使用しない場合は、GND に接続できます。                |
| SPI2 ブートローダ | SPI2         | 有効 | SPI2 設定 :<br>- スレーブモード<br>- 全二重<br>- 8 ビット MSB<br>- 最大 8 MHz の速度<br>- 極性 : CPOL ロー、CPHA ロー、NSS ハードウェア。 |
|             | SPI2_MOSI ピン | 入力 | PB15 ピン : スレーブ・データ入力ライン (プッシュプル、プルダウンモードで使用)   |
|             | SPI2_MISO ピン | 出力 | PB14 ピン : スレーブ・データ出力ライン (プッシュプル、プルダウンモードで使用)   |
|             | SPI2_SCK ピン  | 入力 | PB13 ピン : スレーブ・クロック・ライン (プッシュプル、プルダウンモードで使用)   |
|             | SPI2_NSS ピン  | 入力 | PB12 ピン : スレーブ・チップ選択ピン (プッシュプル、プルダウンモードで使用)<br>注 : この IO は、SPI マスタが使用しない場合は、GND に接続できます。               |

## 71.2 ブートローダの選択

図 95 に、ブートローダの選択メカニズムを示します。

図 95. STM32WLE5xx/55xx のブートローダ V12.x の選択



## 71.3 ブートローダのバージョン

表 155. STM32WLE5xx/55xx のブートローダのバージョン

| ブートローダのバージョン番号 | 説明                          | 既知の制限 |
|----------------|-----------------------------|-------|
| V12.2          | リビジョン Z サンプルのブートローダの初期バージョン | なし    |
| V12.3          | リビジョン Z サンプルのブートローダの最終バージョン | なし    |
| V12.4          | リビジョン Y サンプルのブートローダの最終バージョン | なし    |

## 72 STM32U575xx/85xx デバイスのブートローダ

### 72.1 ブートローダの設定

STM32U575xx/85xx ブートローダは、パターン 12 を適用すると有効化されます (表 2: ブートローダの有効化パターンを参照)。次の表に、このブートローダが使用するハードウェア・リソースを示します。

表 156. システムメモリブートモードでの STM32U575xx/85xx の設定

| ブートローダ        | 機能/ペリフェラル    | 状態         | コメント  |
|---------------|--------------|------------|---|
| すべてのブートローダに共通 | RCC          | HSI は有効です。 | システム・クロック周波数は 60 MHz です (HSI によってクロック供給された PLL を使用)。  |
|               | RAM          | -          | アドレス 0x20000000 から始まる 16 KB は、ブートローダのファームウェアによって使用されます。   |
|               | システムメモリ      | -          | アドレス 0x0BF90000 から始まる 64 KB に、ブートローダのファームウェアが含まれています。   |
|               | IWDG         | -          | 独立型ウォッチドッグ (IWDG) プリスケーラは、最大値に設定されます。これは、定期的リフレッシュされ、ウォッチドッグがリセットされるのを防ぎます (ハードウェアの IWDG オプションがユーザによって事前に有効化されている場合)。 |
| USART1 ブートローダ | USART1       | 有効         | 一度初期化されると、USART1 の設定は 8 ビット、偶数パリティ、および 1 ストップ・ビットになります。   |
|               | USART1_RX ピン | 入力         | PA10 ピン: 受信モードの USART1。オルタネート・プッシュプル、プルアップ・モードで使用。  |
|               | USART1_TX ピン | 出力         | PA9 ピン: 送信モードの USART1。オルタネート・プッシュプル、プルアップ・モードで使用。   |
| USART2 ブートローダ | USART2       | 有効         | 一度初期化されると、USART2 の設定は 8 ビット、偶数パリティ、および 1 ストップ・ビットになります。   |
|               | USART2_RX ピン | 入力         | PA3 ピン: 受信モードの USART2。オルタネート・プッシュプル、プルアップ・モードで使用。   |
|               | USART2_TX ピン | 出力         | PA2 ピン: 送信モードの USART2。オルタネート・プッシュプル、プルアップ・モードで使用。   |
| USART3 ブートローダ | USART3       | 有効         | 一度初期化されると、USART3 の設定は 8 ビット、偶数パリティ、および 1 ストップ・ビットになります。   |
|               | USART3_RX ピン | 入力         | PC11 ピン: 受信モードの USART3。オルタネート・プッシュプル、プルアップ・モードで使用。  |
|               | USART3_TX ピン | 出力         | PC10 ピン: 送信モードの USART3。オルタネート・プッシュプル、プルアップ・モードで使用。  |

表 156. システムメモリブートモードでの STM32U575xx/85xx の設定 (続き)

| ブートローダ      | 機能/ペリフェラル    | 状態    | コメント   |
|-------------|--------------|-------|--|
| I2C1 ブートローダ | I2C1         | 有効    | I2C1 設定 :<br>I <sup>2</sup> C スピード : 最大 1 MHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレス : 0b1011010x (ここで、書込みの場合 x = 0、読出しの場合 x = 1)。 |
|             | I2C1_SCL ピン  | 入力/出力 | PB6 ピン : クロック・ラインはオープンドレインのプルアップモードで使用されます。  |
|             | I2C1_SDA ピン  | 入力/出力 | PB7 ピン : データ・ラインはオープンドレインのプルアップモードで使用されます。   |
| I2C2 ブートローダ | I2C2         | 有効    | I2C2 設定 :<br>I <sup>2</sup> C スピード : 最大 1 MHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレス : 0b1011010x (ここで、書込みの場合 x = 0、読出しの場合 x = 1)。 |
|             | I2C2_SCL ピン  | 入力/出力 | PB10 ピン : クロック・ラインはオープンドレインのプルアップモードで使用されます。   |
|             | I2C2_SDA ピン  | 入力/出力 | PB11 ピン : データ・ラインはオープンドレインのプルアップモードで使用されます。  |
| I2C3 ブートローダ | I2C3         | 有効    | I2C3 設定 :<br>I <sup>2</sup> C スピード : 最大 1 MHz、7 ビット・アドレス、スレーブ・モード、アナログ・フィルタ ON。<br>7 ビット・スレーブ・アドレス : 0b1011010x (ここで、書込みの場合 x = 0、読出しの場合 x = 1)。 |
|             | I2C3_SCL ピン  | 入力/出力 | PC0 ピン : クロック・ラインはオープンドレインのプルアップモードで使用されます。  |
|             | I2C3_SDA ピン  | 入力/出力 | PC1 ピン : データ・ラインはオープンドレインのプルアップモードで使用されます。   |
| SPI1 ブートローダ | SPI1         | 有効    | SPI1 設定 :<br>- スレーブモード<br>- 全二重<br>- 8 ビット MSB<br>- 最大 8 MHz の速度<br>- 極性 : CPOL ロー、CPHA ロー、NSS ハードウェア。   |
|             | SPI1_MOSI ピン | 入力    | PA7 ピン : スレーブ・データ入力ライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI1_MISO ピン | 出力    | PA6 ピン : スレーブ・データ出力ライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI1_SCK ピン  | 入力    | PA5 ピン : スレーブ・クロック・ライン (プッシュプル、プルダウンモードで使用)  |
|             | SPI1_NSS ピン  | 入力    | PA4 ピン : スレーブ・チップ選択ピン (プッシュプル、プルダウンモードで使用)   |

表 156. システムメモリブートモードでの STM32U575xx/85xx の設定 (続き)

| ブートローダ       | 機能/ペリフェラル    | 状態 | コメント   |
|--------------|--------------|----|--|
| SPI2 ブートローダ  | SPI2         | 有効 | SPI2 設定 :<br>- スレーブモード<br>- 全二重<br>- 8 ビット MSB<br>- 最大 8 MHz の速度<br>- 極性 : CPOL ロー、CPHA ロー、NSS ハードウェア。   |
|              | SPI2_MOSI ピン | 入力 | PB15 ピン : スレーブ・データ入力ライン (プッシュプル、プルダウンモードで使用)   |
|              | SPI2_MISO ピン | 出力 | PB14 ピン : スレーブ・データ出力ライン (プッシュプル、プルダウンモードで使用)   |
|              | SPI2_SCK ピン  | 入力 | PB13 ピン : スレーブ・クロック・ライン (プッシュプル、プルダウンモードで使用)   |
|              | SPI2_NSS ピン  | 入力 | PB12 ピン : スレーブ・チップ選択ピン (プッシュプル、プルダウンモードで使用)  |
| SPI3 ブートローダ  | SPI3         | 有効 | SPI3 設定 :<br>- スレーブモード<br>- 全二重<br>- 8 ビット MSB<br>- 最大 8 MHz の速度<br>- 極性 : CPOL ロー、CPHA ロー、NSS ハードウェア。   |
|              | SPI3_MOSI ピン | 入力 | PB5 ピン : スレーブ・データ入力ライン (プッシュプル、プルダウンモードで使用)  |
|              | SPI3_MISO ピン | 出力 | PG10 ピン : スレーブ・データ出力ライン (プッシュプル、プルダウンモードで使用)   |
|              | SPI3_SCK ピン  | 入力 | PG9 ピン : スレーブ・データ出力ライン (プッシュプル、プルダウンモードで使用)  |
|              | SPI3_NSS ピン  | 入力 | PG12 ピン : スレーブ・チップ選択ピン (プッシュプル、プルダウンモードで使用)  |
| FDCAN ブートローダ | FDCAN1       | 有効 | 一度初期化されると、FDCAN1 の設定は<br>ビットレート 0.5 Mbps<br>フレームフォーマット = FDCAN_FRAME_FD_BRS<br>モード = FDCAN_MODE_NORMAL<br>自動再送信 = ENABLE<br>送信一時停止 = DISABLE<br>プロトコル例外 = ENABLE |
|              | FDCAN1_Rx ピン | 入力 | PB9 ピン : 受信モードの FDCAN1。オルタネート・プッシュプル、プルアップ・モードで使用。   |
|              | FDCAN1_Tx ピン | 出力 | PB8 ピン : 送信モードの FDCAN1。オルタネート・プッシュプル、プルアップ・モードで使用。   |



表 156. システムメモリブートモードでの STM32U575xx/85xx の設定 (続き)

| ブートローダ     | 機能/ペリフェラル | 状態    | コメント   |
|------------|-----------|-------|--|
| DFU ブートローダ | USB       | 有効    | USB FS は強制デバイスモードで設定されます。<br>USB FS 割込みベクタが有効化され、USB DFU 通信に使用されます。<br><b>注:</b> USB ペリフェラルがブートローダで使用されるので、VDDUSB IO は 3.3 V に接続する必要があります。 |
|            | USB_DM ピン | 入力/出力 | PA11 : USB DM ライン。入力プルアップ・プルダウンなしモードで使用。   |
|            | USB_DP ピン |       | PA12 : USB DP ライン。入力プルアップ・プルダウンなしモードで使用。<br>外部プルアップ抵抗は不要です。  |

表 157. STM32U575xx/585xx の特殊コマンド

| サポートされている特殊コマンド (USART/I2C/SPI/FDCAN)<br>OP コード - 0x50                |                   |                |                       |        |       |                     |            |
|---|-------------------|----------------|-----------------------|--------|-------|---------------------|------------|
| 機能  | サブ OP コード (2 バイト) | 送信データ数 (2 バイト) | 送信データ                 | 受信データ数 | 受信データ | 受信ステータスデータ数 (2 バイト) | 受信ステータスデータ |
| TrustZone 無効化<br>TZEN = 1 および<br>RDP = 1 のときに<br>実行する必要あり             | 0x82              | 0x4            | 0x0                   | 0x0    | 該当なし  | 0x1                 | 0x0        |
| RDP L1 から RDP<br>0.5 への回帰<br>TZEN = 1 および<br>RDP = 1 のときに<br>実行する必要あり | 0x82              | 0x4            | 0x1                   | 0x0    | 該当なし  | 0x1                 | 0x0        |
| 書き込み保護の<br>アンロック<br>RDP = 1 のときに<br>実行する必要あり                          | 0x82              | 0x4            | 0xYY02 <sup>(1)</sup> | 0x0    | 該当なし  | 0x1                 | 0x0        |

1. 0xYY には 4 つの値を設定可能 (0 : WRP 領域、1 : WRP1A、2 : WRP2A、3 : WRP1B、4 : WRP2B)

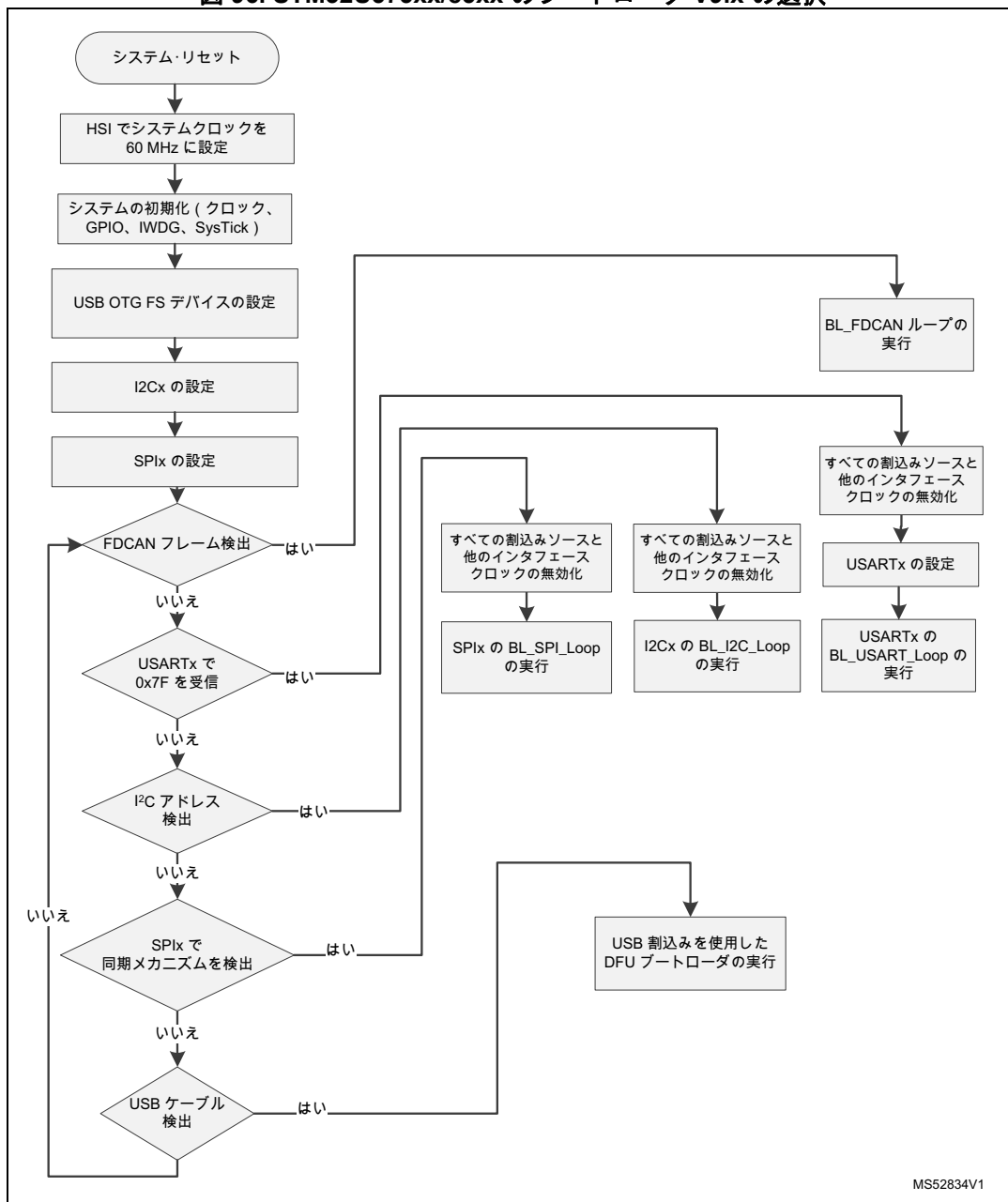
**注:** USB の仕様に基づき、USB の特殊コマンドは他のプロトコルのコマンドとわずかに異なります。

- OP コードを使用せずに、サブ OP コードを直接使用します。
- サブ OP コードは、2 バイトではなくシングル・バイトとして扱われます。
- データは、USB フレームでバイト単位で送信されます。送信するデータの数を加算する必要はありません。
- 返されるデータとステータスは、USB のネイティブ・プロトコルで書式設定されます。

## 72.2 ブートローダの選択

図 96 に、ブートローダの選択メカニズムを示します。

図 96. STM32U575xx/85xx のブートローダ V9.x の選択



## 72.3 ブートローダのバージョン

表 158. STM32U575xx/85xx のブートローダのバージョン

| ブートローダのバージョン番号 | 説明             | 既知の制限 |
|----------------|----------------|-------|
| V9.2           | ブートローダの初期バージョン | なし    |

## 73 ブートローダデバイス依存のパラメータ

各シリアル・ペリフェラルのブートローダ・プロトコルのコマンド・セットとシーケンスは、すべての STM32 デバイスで同じです。ただし、一部のパラメータはデバイスとブートローダのバージョンに依存します。

- PID (製品 ID)
- Read Memory、Go、および Write Memory コマンドがリクエストされた場合にブートローダによって許可される、有効な RAM メモリアドレス (ブートローダの実行中に使用される RAM 領域はアクセス不可)
- システムメモリ領域

このようなパラメータの値を STM32 デバイスごとに表 159 に示します。

表 159. ブートローダデバイス依存のパラメータ

| STM32<br>シリーズ | デバイス                        | PID   | BL ID | RAM                        | システム<br>メモリ                |
|---------------|-----------------------------|-------|-------|----------------------------|----------------------------|
| C0            | STM32C011xx                 | 0x443 | 0x51  | 0x20000000 -<br>0x20002FFF | 0x1FFF0000 -<br>0x1FFF17FF |
|               | STM32C031xx                 | 0x453 | 0x52  | 0x20002000 -<br>0x200017FF |                            |
| F0            | STM32F05xxx および STM32F030x8 | 0x440 | 0x21  | 0x20000800 -<br>0x20001FFF | 0x1FFFE000 -<br>0x1FFFF7FF |
|               | STM32F03xx4/6               | 0x444 | 0x10  | 0x20000800 -<br>0x20000FFF |                            |
|               | STM32F030xC                 | 0x442 | 0x52  | 0x20001800 -<br>0x20007FFF | 0x1FFFD800 -<br>0x1FFFF7FF |
|               | STM32F04xxx                 | 0x445 | 0xA1  | 該当なし                       | 0x1FFFC400 -<br>0x1FFFF7FF |
|               | STM32F070x6                 | 0x445 | 0xA2  | 該当なし                       | 0x1FFFC400 -<br>0x1FFFF7FF |
|               | STM32F070xB                 | 0x448 | 0xA2  | 該当なし                       | 0x1FFFC800 -<br>0x1FFFF7FF |
|               | STM32F071xx/072xx           | 0x448 | 0xA1  | 0x20001800 -<br>0x20003FFF | 0x1FFFC800 -<br>0x1FFFF7FF |
|               | STM32F09xxx                 | 0x442 | 0x50  | 該当なし                       | 0x1FFFD800 -<br>0x1FFFF7FF |

表 159. ブートローダデバイス依存のパラメータ (続き)

| STM32<br>シリーズ | デバイス                             |            | PID   | BL ID                      | RAM                        | システム<br>メモリ                |
|---------------|----------------------------------|------------|-------|----------------------------|----------------------------|----------------------------|
| F1            | STM32F10xxx                      | 低容量        | 0x412 | 該当なし                       | 0x20000200 -<br>0x200027FF | 0x1FFFF000 -<br>0x1FFFF7FF |
|               |                                  | 中容量        | 0x410 | 該当なし                       | 0x20000200 -<br>0x20004FFF |                            |
|               |                                  | 大容量        | 0x414 | 該当なし                       | 0x20000200 -<br>0x2000FFFF |                            |
|               |                                  | 中容量バリュウライン | 0x420 | 0x10                       | 0x20000200 -<br>0x20001FFF |                            |
|               |                                  | 大容量バリュウライン | 0x428 | 0x10                       | 0x20000200 -<br>0x20007FFF |                            |
|               | STM32F105xx/107xx                | 0x418      | 該当なし  | 0x20001000 -<br>0x2000FFFF | 0x1FFFB000 -<br>0x1FFFF7FF |                            |
|               | STM32F10xxx XL 容量                |            | 0x430 | 0x21                       | 0x20000800 -<br>0x20017FFF | 0x1FFFE000 -<br>0x1FFFF7FF |
| F2            | STM32F2xxxx                      |            | 0x411 | 0x20                       | 0x20002000 -<br>0x2001FFFF | 0x1FFF0000 -<br>0x1FFF77FF |
|               |                                  | 0x33       |       |                            |                            |                            |
| F3            | STM32F373xx                      | 0x432      | 0x41  | 0x41                       | 0x20001400 -<br>0x20007FFF | 0x1FFFD800 -<br>0x1FFFF7FF |
|               | STM32F378xx                      |            |       | 0x50                       | 0x20001000 -<br>0x20007FFF |                            |
|               | STM32F302xB(C)/303xB(C)          | 0x422      | 0x41  | 0x41                       | 0x20001400 -<br>0x20009FFF |                            |
|               | STM32F358xx                      |            |       | 0x50                       |                            |                            |
|               | STM32F301xx/302x4(6/8)           | 0x439      | 0x40  | 0x40                       | 0x20001800 -<br>0x20003FFF |                            |
|               | STM32F318xx                      |            |       | 0x50                       |                            |                            |
|               | STM32F303x4(6/8)/<br>334xx/328xx | 0x438      | 0x50  | 0x50                       | 0x20001800 -<br>0x20002FFF |                            |
|               | STM32F302xD(E)/303xD(E)          | 0x446      | 0x40  | 0x40                       | 0x20001800 -<br>0x2000FFFF |                            |
| STM32F398xx   | 0x446                            | 0x50       | 0x50  | 0x20001800 -<br>0x2000FFFF |                            |                            |

表 159. ブートローダデバイス依存のパラメータ (続き)

| STM32<br>シリーズ     | デバイス              | PID   | BL ID                      | RAM                        | システム<br>メモリ                |
|-------------------|-------------------|-------|----------------------------|----------------------------|----------------------------|
| F4                | STM32F40xxx/41xxx | 0x413 | 0x31                       | 0x20002000 -<br>0x2001FFFF | 0x1FFF0000 -<br>0x1FFF77FF |
|                   |                   |       | 0x91                       | 0x20003000 -<br>0x2001FFFF |                            |
|                   | STM32F42xxx/43xxx | 0x419 | 0x70                       | 0x20003000 -<br>0x2002FFFF |                            |
|                   |                   |       | 0x91                       | 0x20003000 -<br>0x2002FFFF |                            |
|                   | STM32F401xB(C)    | 0x423 | 0xD1                       | 0x20003000 -<br>0x2000FFFF |                            |
|                   | STM32F401xD(E)    | 0x433 | 0xD1                       | 0x20003000 -<br>0x20017FFF |                            |
|                   | STM32F410xx       | 0x458 | 0xB1                       | 0x20003000 -<br>0x20007FFF |                            |
|                   | STM32F411xx       | 0x431 | 0xD0                       | 0x20003000 -<br>0x2001FFFF |                            |
|                   | STM32F412xx       | 0x441 | 0x90                       | 0x20003000 -<br>0x2003FFFF |                            |
|                   | STM32F446xx       | 0x421 | 0x90                       | 0x20003000 -<br>0x2001FFFF |                            |
|                   | STM32F469xx/479xx | 0x434 | 0x90                       | 0x20003000 -<br>0x2005FFFF |                            |
| STM32F413xx/423xx | 0x463             | 0x90  | 0x20003000 -<br>0x2004FFFF |                            |                            |
| F7                | STM32F72xxx/73xxx | 0x452 | 0x90                       | 0x20004000 -<br>0x2003FFFF | 0x1FF00000 -<br>0x1FF0EDBF |
|                   | STM32F74xxx/75xxx | 0x449 | 0x70                       | 0x20004000 -<br>0x2004FFFF | 0x1FF00000 -<br>0x1FF0EDBF |
|                   |                   |       | 0x90                       | 0x20004000 -<br>0x2004FFFF | 0x1FF00000 -<br>0x1FF0EDBF |
| STM32F76xxx/77xxx | 0x451             | 0x93  | 0x20004000 -<br>0x2007FFFF | 0x1FF00000 -<br>0x1FF0EDBF |                            |

表 159. ブートローダデバイス依存のパラメータ (続き)

| STM32<br>シリーズ | デバイス              | PID   | BL ID                      | RAM  | システム<br>メモリ  |
|---------------|-------------------|-------|----------------------------|--|--|
| G0            | STM32G03xxx/04xxx | 0x466 | 0x52                       | 0x20001000 -<br>0x20001FFF                               | 0x1FFF0000 -<br>0x1FFF1FFF                               |
|               | STM32G07xxx/08xxx | 0x460 | 0xB2                       | 0x20002700 -<br>0x20009000                               | 0x1FFF0000 -<br>0x1FFF6FFF                               |
|               | STM32G0B0xx       | 0x467 | 0xD0                       | 0x20004000 -<br>0x20020000                               | 0x1FFF0000 -<br>0x1FFF6FFF<br>0x1FFF8000 -<br>0x1FFFEFFF |
|               | STM32G0B1xx/0C1xx | 0x467 | 0x92                       | 0x20004000 -<br>0x20020000                               | 0x1FFF0000 -<br>0x1FFF6FFF<br>0x1FFF8000 -<br>0x1FFFEFFF |
|               | STM32G05xxx/061xx | 0x456 | 0x51                       | 0x20001000 -<br>0x20002000                               | 0x1FFF0000 -<br>0x1FFF1FFF                               |
| G4            | STM32G431xx/441xx | 0x468 | 0xD4                       | 0x20004000 -<br>0x20005800                               | 0x1FFF0000 -<br>0x1FFF7000                               |
|               | STM32G47xxx/48xxx | 0x469 | 0xD5                       | 0x20004000 -<br>0x20018000                               | 0x1FFF0000 -<br>0x1FFF7000                               |
|               | STM32G491xx/A1xx  | 0x479 | 0xD2                       | 0x20004000 -<br>0x2001C000                               | 0x1FFF0000 -<br>0x1FFF7000                               |
| H7            | STM32H72xxx/73xxx | 0x483 | 0x93                       | 0x20004100 -<br>0x2001FFFF<br>0x24004000 -<br>0x2404FFFF | 0x1FF00000 -<br>0x1FF1E7FF                               |
|               | STM32H74xxx/75xxx | 0x450 | 0x90                       | 0x20004100 -<br>0x2001FFFF<br>0x24034000 -<br>0x2407FFFF | 0x1FF00000 -<br>0x1FF1E7FF                               |
|               | STM32H7A3xx/B3xx  | 0x480 | 0x90                       | 0x20004100 -<br>0x2001FFFF<br>0x24034000 -<br>0x2407FFFF | 0x1FF00000 -<br>0x1FF13FFF                               |
| L0            | STM32L01xxx/02xxx | 0x457 | 0xC3                       | 該当なし   | 0x1FF00000 -<br>0x1FF00FFF                               |
|               | STM32L031xx/041xx | 0x425 | 0xC0                       | 0x20001000 -<br>0x20001FFF                               | 0x1FF00000 -<br>0x1FF00FFF                               |
|               | STM32L05xxx/06xxx | 0x417 | 0xC0                       | 0x20001000 -<br>0x20001FFF                               | 0x1FF00000 -<br>0x1FF00FFF                               |
|               | STM32L07xxx/08xxx | 0x447 | 0x41                       | 0x20001000 -<br>0x20004FFF                               | 0x1FF00000 -<br>0x1FF01FFF                               |
| 0xB2          |                   |       | 0x20001400 -<br>0x20004FFF |  |  |

表 159. ブートローダデバイス依存のパラメータ (続き)

| STM32<br>シリーズ    | デバイス                         | PID   | BL ID                      | RAM                        | システム<br>メモリ                |
|------------------|------------------------------|-------|----------------------------|----------------------------|----------------------------|
| L1               | STM32L1xxx6(8/B)             | 0x416 | 0x20                       | 0x20000800 -<br>0x20003FFF | 0x1FFF0000 -<br>0x1FF01FFF |
|                  | STM32L1xxx6(8/B)A            | 0x429 | 0x20                       | 0x20001000 -<br>0x20007FFF |                            |
|                  | STM32L1xxxC                  | 0x427 | 0x40                       | 0x20001000 -<br>0x2000BFFF |                            |
|                  | STM32L1xxxD                  | 0x436 | 0x45                       | 0x20001000 -<br>0x20013FFF |                            |
|                  | STM32L1xxxE                  | 0x437 | 0x40                       | 0x20001000 -<br>0x20013FFF |                            |
| L4               | STM32L412xx/422xx            | 0x464 | 0xD1                       | 0x20002100 -<br>0x20008000 | 0x1FFF0000 -<br>0x1FFF6FFF |
|                  | STM32L43xxx/44xxx            | 0x435 | 0x91                       | 0x20003100 -<br>0x2000BFFF | 0x1FFF0000 -<br>0x1FFF6FFF |
|                  | STM32L45xxx/46xxx            | 0x462 | 0x92                       | 0x20003100 -<br>0x2001FFFF | 0x1FFF0000 -<br>0x1FFF6FFF |
|                  | STM32L47xxx/48xxx            | 0x415 | 0xA3                       | 0x20003000 -<br>0x20017FFF | 0x1FFF0000 -<br>0x1FFF6FFF |
|                  |                              |       | 0x92                       | 0x20003100 -<br>0x20017FFF |                            |
|                  | STM32L496xx/4A6xx            | 0x461 | 0x93                       | 0x20003100 -<br>0x2003FFFF | 0x1FFF0000 -<br>0x1FFF6FFF |
|                  | STM32L4Rxx/4Sxx              | 0x470 | 0x95                       | 0x20003200 -<br>0x2009FFFF | 0x1FFF0000 -<br>0x1FFF6FFF |
| STM32L4P5xx/Q5xx | 0x471                        | 0x90  | 0x20004000 -<br>0x2004FFFF | 0x1FFF0000 -<br>0x1FFF6FFF |                            |
| L5               | STM32L552xx/562xx            | 0x472 | 0x92                       | 0x20004000 -<br>0x2003FFFF | 0x0BF90000 -<br>0x0BF97FFF |
| WB               | STM32WB10xx/15xx             | 0x494 | 0xB1                       | 0x20005000 -<br>0x20040000 | 0x1FFF0000 -<br>0x1FFF7000 |
|                  | STM32WB30xx/35xx/50xx/WB55xx | 0x495 | 0xD5                       | 0x20004000 -<br>0x2000BFFF | 0x1FFF0000 -<br>0x1FFF7000 |
| WL               | STM32WLE5xx/WL55xx           | 0x497 | 0xC4                       | 0x20002000 -<br>0x2000FFFF | 0x1FFF0000 -<br>0x1FFF3FFF |
| U5               | STM32U575xx/STM32U585xx      | 0x482 | 0x92                       | 0x20004000 -<br>0x200BFFFF | 0x0BF90000 -<br>0x0BF97FFF |



## 74 ブートローダのタイミング

このセクションでは、ホストと STM32 デバイス間を正しく同期するために使用するブートローダのファームウェアの、標準的なタイミングを示します。

次の 2 種類のタイミングについて説明します。

- STM32 デバイスのブートローダのリソース初期化に必要な時間
- 通信インターフェースの選択に必要な時間

これらのタイミングの後に、ブートローダはホストコマンドを受信し、実行できるようになります。

### 74.1 ブートローダの起動時間

ブートローダのリセット後、ホストは STM32 ブートローダが特定のインターフェース通信で検出フェーズを開始できるようになるまで待つ必要があります。この時間はブートローダの起動時間に相当し、この間にブートローダによって使用されるリソースが初期化されます。

図 97. ブートローダの起動時間の説明

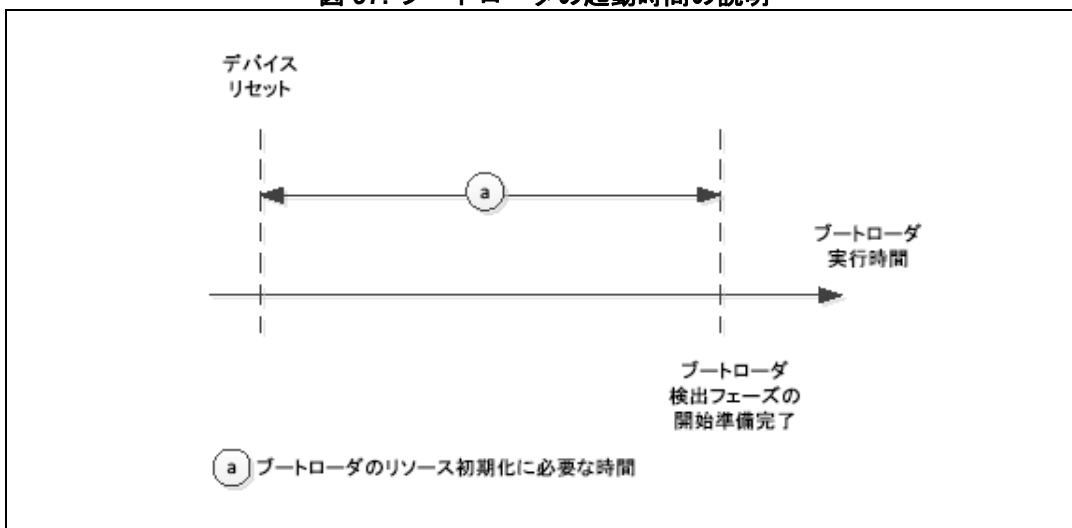


表 160. STM32 デバイスのブートローダの起動時間 (ms)

| デバイス                             | ブートローダの最短起動時間 | HSE タイムアウト |
|----------------------------------|---------------|------------|
| STM32F03xx4/6                    | 1.612         | 該当なし       |
| STM32F05xxx および STM32F030x8 デバイス | 1.612         | 該当なし       |
| STM32F04xxx                      | 0.058         | 該当なし       |
| STM32F071xx/072xx                | 0.058         | 該当なし       |
| STM32F070x6                      | HSE 接続済み      | 3          |
|                                  | HSE 未接続       | 230        |
| STM32F070xB                      | HSE 接続済み      | 6          |
|                                  | HSE 未接続       | 230        |

表 160. STM32 デバイスのブートローダの起動時間 (ms) (続き)

| デバイス                         |             | ブートローダの<br>最短起動時間 | HSE タイムアウト |
|------------------------------|-------------|-------------------|------------|
| STM32F09xxx                  |             | 2                 | 該当なし       |
| STM32F030xC                  |             | 2                 | 該当なし       |
| STM32F10xxx                  |             | 1.227             | 該当なし       |
| STM32F105xx/107xx            | PA9 ピン (ロー) | 1.396             | 該当なし       |
|                              | PA9 ピン (ハイ) | 524.376           |            |
| STM32F10xxx XL 容量            |             | 1.227             | 該当なし       |
| STM32F2xxxx                  | V2.x        | 134               | 該当なし       |
|                              | V3.x        | 84.59             | 0.790      |
| STM32F301xx/302x4(6/8)       | HSE 接続済み    | 45                | 560.5      |
|                              | HSE 未接続     | 560.8             |            |
| STM32F302xB(C)/303xB(C)      | HSE 接続済み    | 43.4              | 2.236      |
|                              | HSE 未接続     | 2.36              |            |
| STM32F302xD(E)/303xD         | HSE 接続済み    | 7.53              | 該当なし       |
|                              | HSE 未接続     | 146.71            | 該当なし       |
| STM32F303x4(6/8)/334xx/328xx |             | 0.155             | 該当なし       |
| STM32F318xx                  |             | 0.182             | 該当なし       |
| STM32F358xx                  |             | 1.542             | 該当なし       |
| STM32F373xx                  | HSE 接続済み    | 43.4              | 2.236      |
|                              | HSE 未接続     | 2.36              |            |
| STM32F378xx                  |             | 1.542             | 該当なし       |
| STM32F398xx                  |             | 1.72              | 該当なし       |
| STM32F40xxx/41xxx            | V3.x        | 84.59             | 0.790      |
|                              | V9.x        | 74                | 96         |
| STM32F401xB(C)               |             | 74.5              | 85         |
| STM32F401xD(E)               |             | 74.5              | 85         |
| STM32F410xx                  |             | 0.614             | 該当なし       |
| STM32F411xx                  |             | 74.5              | 85         |
| STM32F412xx                  |             | 0.614             | 180        |
| STM32F413xx/423xx            |             | 0.642             | 165        |
| STM32F429xx/439xx            | V7.x        | 82                | 97         |
|                              | V9.x        | 74                | 97         |
| STM32F446xx                  |             | 73.61             | 96         |
| STM32F469xx/479xx            |             | 73.68             | 230        |
| STM32F72xxx/73xxx            |             | 17.93             | 50         |
| STM32F74xxx/75xxx            |             | 16.63             | 50         |
| STM32G03xxx/04xxx            |             | 0.390             | 該当なし       |

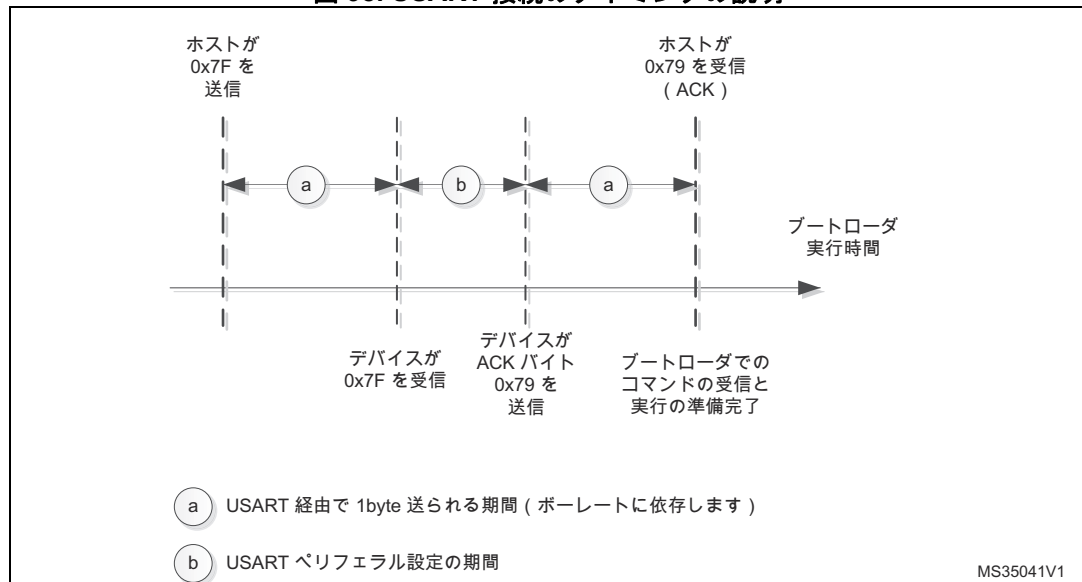
表 160. STM32 デバイスのブートローダの起動時間 (ms) (続き)

| デバイス                                 |       | ブートローダの<br>最短起動時間 | HSE タイムアウト |
|--------------------------------------|-------|-------------------|------------|
| STM32G07xxx/08xxx                    |       | 0.390             | 該当なし       |
| STM32G0Bxxx/Cxxx                     |       | 0.390             | 該当なし       |
| STM32G05xxx/061xx                    |       | 0.390             | 該当なし       |
| STM32G4xxxx                          |       | 0.390             | 該当なし       |
| STM32H72xxx/73xxx                    |       | 53.975            | 該当なし       |
| STM32H74xxx/75xxx                    |       | 53.975            | 2          |
| STM32H7A3xx/B3xx                     |       | 53.975            | 該当なし       |
| STM32L01xxx/02xxx                    |       | 0.63              | 該当なし       |
| STM32L031xx/041xx                    |       | 0.62              | 該当なし       |
| STM32L05xxx/06xxx                    |       | 0.22              | 該当なし       |
| STM32L07xxx/08xxx                    | V4.x  | 0.61              | 該当なし       |
|                                      | V11.x | 0.71              | 該当なし       |
| STM32L1xxx6(8/B)A                    |       | 0.542             | 該当なし       |
| STM32L1xxx6(8/B)                     |       | 0.542             | 該当なし       |
| STM32L1xxxC                          |       | 0.708             | 80         |
| STM32L1xxxD                          |       | 0.708             | 80         |
| STM32L1xxxE                          |       | 0.708             | 200        |
| STM32L43xxx/44xxx                    |       | 0.86              | 100        |
| STM32L45xxx/46xxx                    |       | 0.86              | 該当なし       |
| STM32L47xxx/48xxx                    | V10.x | LSE 接続済み          | 55         |
|                                      |       | LSE 未接続           | 2560       |
|                                      | V9.x  | LSE 接続済み          | 55.40      |
|                                      |       | LSE 未接続           | 2560.51    |
| STM32L412xx/422xx                    |       | 0.86              | 該当なし       |
| STM32L496xx/4A6xx                    |       | 76.93             | 100        |
| STM32L4P5xx/Q5xx                     |       | 該当なし              | 該当なし       |
| STM32L4Rxx/4Sxx                      |       | 該当なし              | 該当なし       |
| STM32L552xx/562xx                    |       | 0.390             | 該当なし       |
| STM32WB10xx/15xx/30xx/35xx/50xx/55xx |       | 0.390             | 該当なし       |
| STM32WLE5xx/WL55xx                   |       | 0.390             | 該当なし       |
| STM32U575xx/85xx                     |       | 0.390             | 該当なし       |

## 74.2 USART 接続のタイミング

USART 接続のタイミングは、同期データ (0x7F) を送信してから最初の確認応答 (0x79) を受信するまでにホストが待つ必要がある時間です。

図 98. USART 接続のタイミングの説明



- 0x7F 以外の別の文字 (またはライングリッチ) を受信すると、ブートローダは誤ったボーレートで通信を開始します。ブートローダでは 0x7F の最初の 1 ビットの立ち上がりエッジと 0x7F の最後の 1 ビットの立ち下がりエッジの間の信号長を測定してボーレート値を推測します。
- 計算されたボーレートがブートローダによって標準のボーレート値 (1200、9600、115200 など) に合わせて調整されることはありません。

**注：** STM32F105xx/107xx ラインデバイスでは、PA9 ピン (USB\_VBUS) は USB ホスト接続を検出するために使用されます。USB パリフェラルの初期化は、検出フェーズで PA9 がハイの場合に実行されます。これは、ホストがポートに接続されており、USB バス上で 5 V を供給していることを意味します。検出フェーズで PA9 レベルがハイの場合、USB パリフェラルの初期化と停止にはさらに時間がかかります。PA9 ピンを使用していない場合にブートローダの検出時間を最小限に抑えるには、USART 検出フェーズ中に、デバイスがリセットされた瞬間からデバイス ACK が送信されるまで PA9 の状態をローで保持します。

表 161. STM32 デバイスの USART ブートローダにおける最小時間 (ms)

| デバイス                             | USART 1バイトの送信時間 | USART 設定 | USART 接続 |
|----------------------------------|-----------------|----------|----------|
| STM32F03xx4/6                    | 0.078125        | 0.0064   | 0.16265  |
| STM32F05xxx および STM32F030x8 デバイス | 0.078125        | 0.0095   | 0.16575  |
| STM32F04xxx                      | 0.078125        | 0.007    | 0.16325  |
| STM32F071xx/072xx                | 0.078125        | 0.007    | 0.16325  |
| STM32F070x6                      | 0.078125        | 0.014    | 0.17     |
| STM32F070xB                      | 0.078125        | 0.08     | 0.23     |
| STM32F09xxx                      | 0.078125        | 0.07     | 0.22     |
| STM32F030xC                      | 0.078125        | 0.07     | 0.22     |
| STM32F10xxx                      | 0.078125        | 0.002    | 0.15825  |

表 161. STM32 デバイスの USART ブートローダにおける最小時間 (ms) (続き)

| デバイス                         |             | USART<br>1バイトの送信時間 | USART 設定 | USART 接続  |
|------------------------------|-------------|--------------------|----------|-----------|
| STM32F105xx/107xx            | PA9 ピン (ロー) | 0.078125           | 0.007    | 0.16325   |
|                              | PA9 ピン (ハイ) |                    | 105      | 105.15625 |
| STM32F10xxx XL 容量            |             | 0.078125           | 0.006    | 0.16225   |
| STM32F2xxxx                  | V2.x        | 0.078125           | 0.009    | 0.16525   |
|                              | V3.x        |                    |          |           |
| STM32F301xx/302x4(6/8)       | HSE 接続済み    | 0.078125           | 0.002    | 0.15825   |
|                              | HSE 未接続     |                    |          |           |
| STM32F302xB(C)/303xB(C)      | HSE 接続済み    | 0.078125           | 0.002    | 0.15825   |
|                              | HSE 未接続     |                    |          |           |
| STM32F302xD(E)/303xD         |             | 0.078125           | 0.002    | 0.15885   |
| STM32F303x4(6/8)/334xx/328xx |             | 0.078125           | 0.002    | 0.15825   |
| STM32F318xx                  |             | 0.078125           | 0.002    | 0.15825   |
| STM32F358xx                  |             | 0.15625            | 0.001    | 0.3135    |
| STM32F373xx                  | HSE 接続済み    | 0.078125           | 0.002    | 0.15825   |
|                              | HSE 未接続     |                    |          |           |
| STM32F378xx                  |             | 0.15625            | 0.001    | 0.3135    |
| STM32F398xx                  |             | 0.078125           | 0.002    | 0.15885   |
| STM32F40xxx/41xxx            | V3.x        | 0.078125           | 0.009    | 0.16525   |
|                              | V9.x        |                    | 0.0035   | 0.15975   |
| STM32F401xB(C)               |             | 0.078125           | 0.00326  | 0.15951   |
| STM32F401xD(E)               |             | 0.078125           | 0.00326  | 0.15951   |
| STM32F410xx                  |             | 0.078125           | 0.002    | 0.158     |
| STM32F411xx                  |             | 0.078125           | 0.00326  | 0.15951   |
| STM32F412xx                  |             | 0.078125           | 0.002    | 0.158     |
| STM32F413xx/423xx            |             | 0.078125           | 0.002    | 0.158     |
| STM32F429xx/439xx            | V7.x        | 0.078125           | 0.007    | 0.16325   |
|                              | V9.x        |                    | 0.00326  | 0.15951   |
| STM32F446xx                  |             | 0.078125           | 0.004    | 0.16      |
| STM32F469xx/479xx            |             | 0.078125           | 0.003    | 0.159     |
| STM32F72xxx/73xxx            |             | 0.078125           | 0.070    | 0.22      |
| STM32F74xxx/75xxx            |             | 0.078125           | 0.065    | 0.22      |
| STM32G03xxx/04xxx            |             | 0.078125           | 0.01     | 0.11      |
| STM32G07xxx/08xxx            |             | 0.078125           | 0.01     | 0.11      |
| STM32G0Bxxx/Cxxx             |             | 0.078125           | 0.01     | 0.11      |
| STM32G05xxx/061xx            |             | 0.078125           | 0.01     | 0.11      |
| STM32G4xxxx                  |             | 0.078125           | 0.003    | 0.159     |

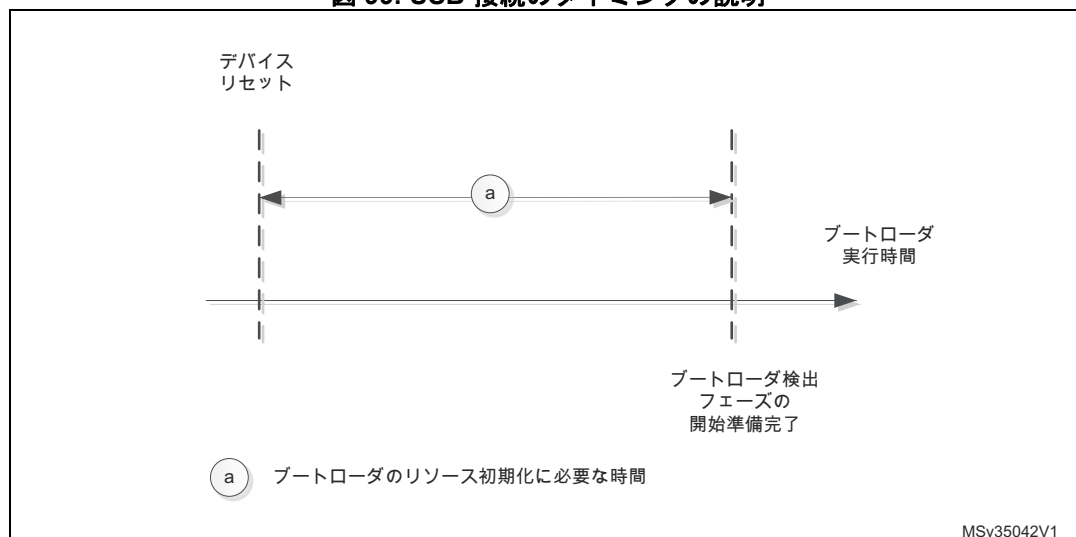
表 161. STM32 デバイスの USART ブートローダにおける最小時間 (ms) (続き)

| デバイス                                 | USART<br>1バイトの送信時間 | USART 設定 | USART 接続 |
|--------------------------------------|--------------------|----------|----------|
| STM32H72xxx/73xxx                    | 0.078125           | 0.072    | 0.22825  |
| STM32H74xxx/75xxx                    | 0.078125           | 0.072    | 0.22825  |
| STM32H7A3xx/B3xx                     | 0.078125           | 0.072    | 0.22825  |
| STM32L01xxx/02xxx                    | 0.078125           | 0.016    | 0.17     |
| STM32L031xx/041xx                    | 0.078125           | 0.018    | 0.174    |
| STM32L05xxx/06xxx                    | 0.078125           | 0.018    | 0.17425  |
| STM32L07xxx/08xxx                    | V4.x               | 0.078125 | 0.173    |
|                                      | V11.x              | 0.078125 | 0.158    |
| STM32L1xxx6(8/B)A                    | 0.078125           | 0.008    | 0.16425  |
| STM32L1xxx6(8/B)                     | 0.078125           | 0.008    | 0.16425  |
| STM32L1xxxC                          | 0.078125           | 0.008    | 0.16425  |
| STM32L1xxxD                          | 0.078125           | 0.008    | 0.16425  |
| STM32L1xxxE                          | 0.078125           | 0.008    | 0.16425  |
| STM32L412xx/422xx                    | 0.078125           | 0.005    | 0.2      |
| STM32L43xxx/44xxx                    | 0.078125           | 0.003    | 0.159    |
| STM32L45xxx/46xxx                    | 0.078125           | 0.07     | 0.22     |
| STM32L47xxx/48xxx                    | V10.x              | 0.078125 | 0.159    |
|                                      | V9.x               | 0.078125 | 0.159    |
| STM32L496xx/4A6xx                    | 0.078125           | 0.003    | 0.159    |
| STM32L4Rxx/4Sxx                      | 該当なし               | 該当なし     | 該当なし     |
| STM32L4P5xx/4Q5xx                    | 該当なし               | 該当なし     | 該当なし     |
| STM32L552xx/562xx                    | 0.078125           | 0.01     | 0.11     |
| STM32WB10xx/15xx/30xx/35xx/50xx/55xx | 0.078125           | 0.003    | 0.159    |
| STM32WLE5xx/WL55xx                   | 0.078125           | 0.001    | 0.110    |
| STM32U575xx/85xx                     | 0.078125           | 0.001    | 該当なし     |

### 74.3 USB 接続のタイミング

USB 接続のタイミングは、USB ケーブルを差し込んでからデバイスとの正しい接続を確立するまでにホストが待つ必要がある時間です。このタイミングにはエニユメレーションと DFU コンポーネントの設定が含まれます。USB 接続はホストに依存します。

図 99. USB 接続のタイミングの説明



注： STM32F105xx/107xx デバイスでは、外部 HSE クリスタル周波数が 25 MHzでない場合（14.7456 MHz または 8 MHz）、デバイスはホストとの正しい接続を確立する前に、接続/切断シーケンスによってエニユメレーションを何回か実行し、失敗します。これはフレーム開始（SOF）検出に基づく HSE 自動検出メカニズムに起因します。

表 162. STM32 デバイスの USB ブートローダにおける最小時間 (ms)

| デバイス                    |                   | USB 接続 |
|-------------------------|-------------------|--------|
| STM32F04xxx             |                   | 350    |
| STM32F070x6             |                   | 未定     |
| STM32F070xB             |                   | 320    |
| STM32F105xx/107xx       | HSE = 25 MHz      | 460    |
|                         | HSE = 14.7465 MHz | 4500   |
|                         | HSE = 8 MHz       | 13700  |
| STM32F2xxxx             |                   | 270    |
| STM32F301xx/302x4(6/8)  |                   | 300    |
| STM32F302xB(C)/303xB(C) |                   | 300    |
| STM32F302xD(E)/303xD    |                   | 100    |
| STM32F373xx             |                   | 300    |
| STM32F40xxx/41xxx       | V3.x              | 270    |
|                         | V9.x              | 250    |
| STM32F401xB(C)          |                   | 250    |
| STM32F401xD(E)          |                   | 250    |

表 162. STM32 デバイスの USB ブートローダにおける最小時間 (ms) (続き)

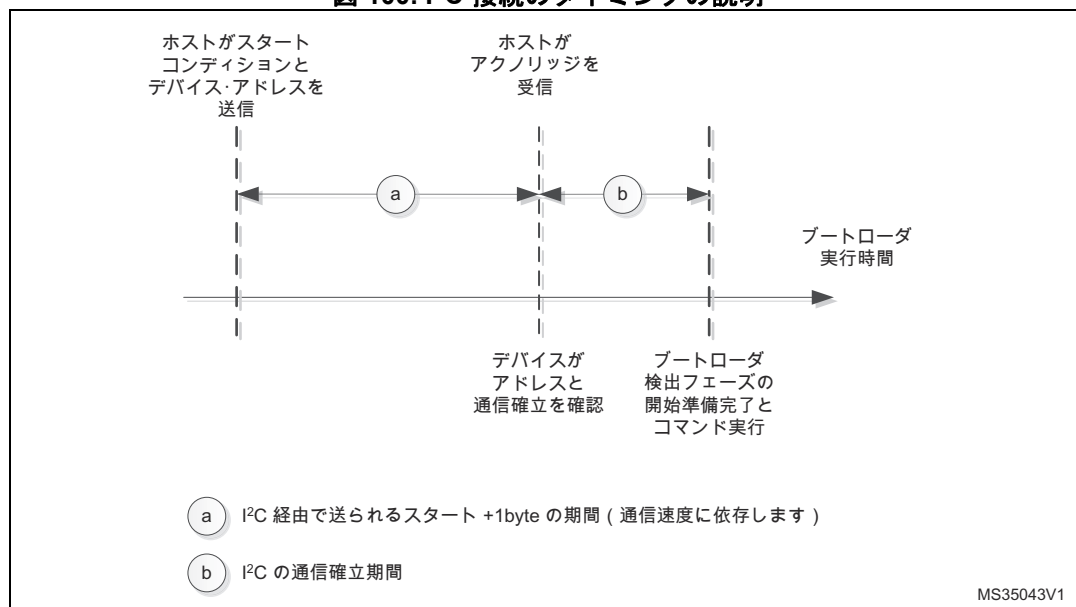
| デバイス                       |       | USB 接続  |
|----------------------------|-------|---------|
| STM32F411xx                |       | 250     |
| STM32F412xx                |       | 380     |
| STM32F413xx/423xx          |       | 350     |
| STM32F429xx/439xx          | V7.x  | 250     |
|                            | V9.x  |         |
| STM32F446xx                |       | 200     |
| STM32F469xx/479xx          |       | 270     |
| STM32F72xxx/73xxx          |       | 320     |
| STM32F74xxx/75xxx          |       | 230     |
| STM32G0B1xx/C1xx           |       | 300     |
| STM32G4xxxx                |       | 300     |
| STM32H72xxx/73xxx          |       | 53.9764 |
| STM32H74xxx/75xxx          |       | 53.9764 |
| STM32H7A3xx/B3xx           |       | 53.9764 |
| STM32L07xxx/08xxx          |       | 140     |
| STM32L1xxxC                |       | 849     |
| STM32L1xxxD                |       | 849     |
| STM32L412xx/422xx          |       | 820     |
| STM32L43xxx/44xxx          |       | 820     |
| STM32L45xxx/46xxx          |       | 330     |
| STM32L47xxx/48xxx          | V10.x | 300     |
|                            | V9.x  |         |
| STM32L496xx/4A6xx          |       | 430     |
| STM32L4P5xx/4Q5xx          |       | 該当なし    |
| STM32L4Rxx/4Sxx            |       | 該当なし    |
| STM32L552xx/L562xx         |       | 300     |
| STM32WB30xx/35xx/50xx/55xx |       | 300     |
| STM32U575xx/85xx           |       | 300     |



## 74.4 I<sup>2</sup>C 接続のタイミング

I<sup>2</sup>C 接続のタイミングは、I<sup>2</sup>C デバイスのアドレスを送信してからコマンド・コードを送信するまでにホストが待つ必要がある時間です。このタイミングには、I<sup>2</sup>C ラインのストレッチに必要な時間も含まれます。

図 100. I<sup>2</sup>C 接続のタイミングの説明



**注：** I<sup>2</sup>C 通信の場合、ブートローダのコマンドを正確に実行するには、実装されているタイムアウトメカニズムを考慮する必要があります。このタイムアウトは、同じコマンドの 2 つの I<sup>2</sup>C フレームの間に実装されます。(例：Write Memory コマンドの場合、タイムアウトはコマンドを送信するフレームとアドレスメモリを送信するフレームの間に挿入されます)。また、同じタイムアウト期間が、同じ I<sup>2</sup>C フレームの 2 つの連続するデータ受信または送信の間に挿入されます。タイムアウト期間が経過すると、ブートローダのクラッシュを避けるためにシステム・リセットが生成されます。

Erase Memory コマンドおよび Readout Unprotect コマンドでは、ホスト側を実装する際に、この操作の時間を考慮する必要があります。消去するページのコードを送信後、ホストはブートローダ・デバイスがページ消去を実行するまで待ってから、Erase コマンドの残りのステップを完了する必要があります。

表 163. STM32 デバイスの I<sup>2</sup>C ブートローダにおける最小時間 (ms)

| デバイス                         | START<br>コンディション +<br>I <sup>2</sup> C 1バイトの送信 | I <sup>2</sup> Cラインの<br>ストレッチ | I <sup>2</sup> C 接続 | I <sup>2</sup> C タイムアウト |
|------------------------------|--|-------------------------------|---------------------|-------------------------|
| STM32F04xxx                  | 0.0225   | 0.0025                        | 0.0250              | 1000                    |
| STM32F070x6                  | 0.0225   | 0.0025                        | 0.0245              | 1000                    |
| STM32F070xB                  | 0.0225   | 0.0025                        | 0.0245              | 1000                    |
| STM32F071xx/072xx            | 0.0225   | 0.0025                        | 0.0250              | 1000                    |
| STM32F09xxx                  | 0.0225   | 0.0025                        | 0.0245              | 1000                    |
| STM32F030xC                  | 0.0225   | 0.0025                        | 0.0250              | 1000                    |
| STM32F303x4(6/8)/334xx/328xx | 0.0225   | 0.0027                        | 0.0252              | 1000                    |

表 163. STM32 デバイスの I<sup>2</sup>C ブートローダにおける最小時間 (ms) (続き)

| デバイス               | START<br>コンディション +<br>I <sup>2</sup> C 1バイトの送信 | I <sup>2</sup> Cラインの<br>ストレッチ | I <sup>2</sup> C 接続 | I <sup>2</sup> C タイムアウト |      |
|--------------------|--|-------------------------------|---------------------|-------------------------|------|
| STM32F318xx        | 0.0225   | 0.0027                        | 0.0252              | 1000                    |      |
| STM32F358xx        | 0.0225   | 0.0055                        | 0.0280              | 10                      |      |
| STM32F378xx        | 0.0225   | 0.0055                        | 0.0280              | 10                      |      |
| STM32F398xx        | 0.0225   | 0.0020                        | 0.0245              | 1500                    |      |
| STM32F40xxx/41xxx  | 0.0225   | 0.0022                        | 0.0247              | 1000                    |      |
| STM32F401xB(C)     | 0.0225   | 0.0022                        | 0.0247              | 1000                    |      |
| STM32F401xD(E)     | 0.0225   | 0.0022                        | 0.0247              | 1000                    |      |
| STM32F410xx        | 0.0225   | 0.0020                        | 0.0245              | 1000                    |      |
| STM32F411xx        | 0.0225   | 0.0022                        | 0.0247              | 1000                    |      |
| STM32F412xx        | 0.0225   | 0.0020                        | 0.0245              | 1000                    |      |
| STM32F413xx/423xx  | 0.0225   | 0.0020                        | 0.0245              | 1000                    |      |
| STM32F42xxx/43xxx  | V7.x   | 0.0225                        | 0.0033              | 0.0258                  | 1000 |
|                    | V9.x   | 0.0225                        | 0.0022              | 0.0247                  | 1000 |
| STM32F446xx        | 0.0225   | 0.0020                        | 0.0245              | 1000                    |      |
| STM32F469xx/479xx  | 0.0225   | 0.0020                        | 0.0245              | 1000                    |      |
| STM32F72xxx/73xxx  | 0.0225   | 0.0020                        | 0.0245              | 1000                    |      |
| STM32F74xxx/75xxx  | 0.0225   | 0.0020                        | 0.0245              | 500                     |      |
| STM32G03xxx/04xxx  | 0.0225   | 0.0020                        | 0.0245              | 1000                    |      |
| STM32G07xxx/08xxx  | 0.0225   | 0.0020                        | 0.0245              | 1000                    |      |
| STM32G0Bxx/Cxx     | 0.0225   | 0.0020                        | 0.0245              | 1000                    |      |
| STM32G05xxx/061xx  | 0.0225   | 0.0020                        | 0.0245              | 1000                    |      |
| STM32G4xxxx        | 0.0225   | 0.0020                        | 0.0245              | 1000                    |      |
| STM32H72xxx/73xxx  | 0.0225   | 0.05                          | 0.0745              | 1000                    |      |
| STM32H74xxx/75xxx  | 0.0225   | 0.05                          | 0.0725              | 1000                    |      |
| STM32H7A3xx/7B3xx  | 0.0225   | 0.05                          | 0.0745              | 1000                    |      |
| STM32L07xxx/08xxx  | 0.0225   | 0.0020                        | 0.0245              | 1000                    |      |
| STM32L412xx/422xx  | 0.0225   | 0.0020                        | 0.0245              | 1000                    |      |
| STM32L43xxx/44xxx  | 0.0225   | 0.0020                        | 0.0245              | 1000                    |      |
| STM32L45xxx/46xxx  | 0.0225   | 0.0020                        | 0.0245              | 1000                    |      |
| STM32L47xxx/48xxx  | V10.x  | 0.0225                        | 0.0020              | 0.0245                  | 1000 |
|                    | V9.x   | 0.0225                        | 0.0020              | 0.0245                  | 1000 |
| STM32L496xx/4A6xx  | 0.0225   | 0.0020                        | 0.0245              | 1000                    |      |
| STM32L4P5xx/4Q5xx  | 該当なし   | 該当なし                          | 該当なし                | 該当なし                    |      |
| STM32L4Rxx/4Sxx    | 該当なし   | 該当なし                          | 該当なし                | 該当なし                    |      |
| STM32L552xx/L562xx | 0.0225   | 0.0020                        | 0.0245              | 1000                    |      |

表 163. STM32 デバイスの I<sup>2</sup>C ブートローダにおける最小時間 (ms) (続き)

| デバイス                                 | START<br>コンディション+<br>I <sup>2</sup> C 1バイトの送信 | I <sup>2</sup> Cラインの<br>ストレッチ | I <sup>2</sup> C 接続 | I <sup>2</sup> C タイムアウト |
|--------------------------------------|---|-------------------------------|---------------------|-------------------------|
| STM32WB10xx/15xx/30xx/35xx/50xx/55xx | 0.0225  | 0.0020                        | 0.0245              | 1000                    |
| STM32U575xx/85xx                     | 0.0225  | 0.0020                        | 0.0245              | 1000                    |

## 74.5 SPI 接続のタイミング

SPI 接続のタイミングは、同期データ (0xA5) を送信してから最初の確認応答 (0x79) を受信するまでにホストが待つ必要がある時間です。

図 101. SPI 接続のタイミングの説明

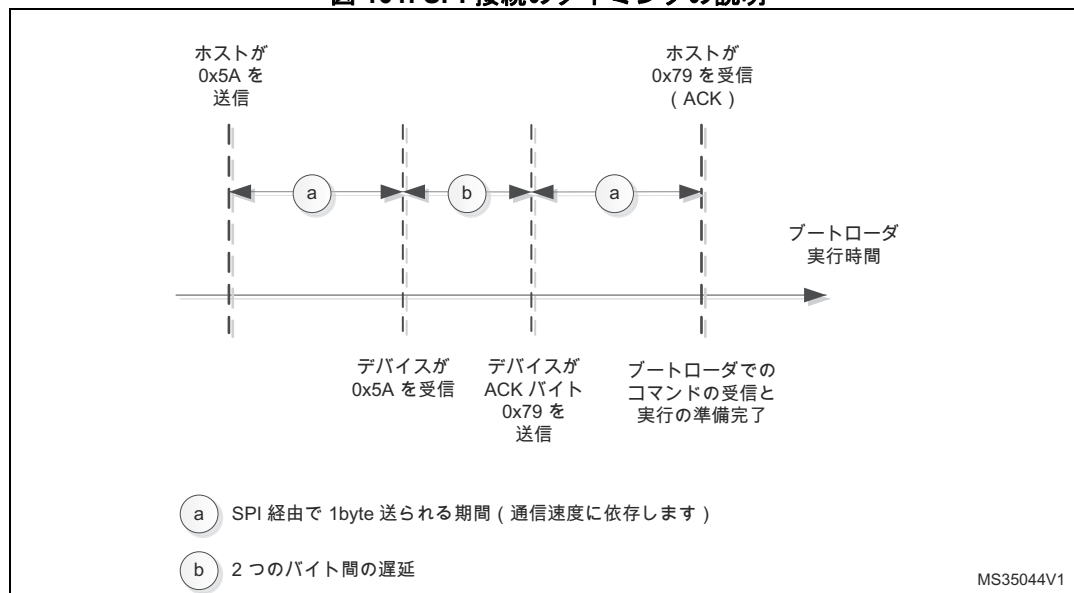


表 164. STM32 デバイスの SPI ブートローダにおける最小時間 (ms)

| デバイス | SPI 1バイトの送信時間 | 2つのバイト間の遅延 | SPI 接続 |
|------|---------------|------------|--------|
| 全製品  | 0.001         | 0.008      | 0.01   |

## 付録 A "ExitSecureMemory" 関数を使用する関数の例

```
/**
*****
****
* @file    main.c
*****
****
*/

/* Include -----
--*/
#include "main.h"

/* Private function prototypes -----
---*/
static void ConfigClock(void);

void JUMP_WITHOUT_PARAM(uint32_t jump_address);
void JUMP_WITH_PARAM(uint32_t jump_address, uint32_t magic, uint32_t
applicationVectorAddress);

/* Private functions -----
---*/

/**
* @brief  main program
* @param  None
* @retval None
*/
int main(void)
{
    ConfigClock();

    uint32_t application_address          = 0x08000800;
    uint32_t exit_secure_memory_address  = 0x1FFF1E00;
    uint32_t magic_number                 = 0x08192A3C;
    uint32_t exit_with_magic_number      = 0x0;

    if (exit_with_magic_number)
    {
        JUMP_WITH_PARAM(exit_secure_memory_address, magic_number,
application_address);
    }
    else
    {

```

```
        JUMP_WITHOUT_PARAM(exit_secure_memory_address);
    }
}

/**
 * @brief ConfigClock
 * @param None
 * @retval None
 */
static void ConfigClock(void)
{
    /* Will be developed as per the template of the needed project */
}

/**
 * @brief JUMP_WITHOUT_PARAM
 * @param jump_address
 * @retval None
 */
void JUMP_WITHOUT_PARAM(uint32_t jump_address)
{
    asm ("LDR R1, [R0]");    // jump_address
    asm ("LDR R2, [R0,#4]");
    asm ("MOV SP, R1");
    asm ("BX R2");
}

/**
 * @brief JUMP_WITH_PARAM
 * @param jump_address, magic, applicationVectorAddress
 * @retval None
 */
void JUMP_WITH_PARAM(uint32_t jump_address, uint32_t magic, uint32_t
applicationVectorAddress)
{
    asm ("MOV R3, R0");    // jump_address
    asm ("LDR R0, [R3]");
    asm ("MOV SP, R0");
    asm ("LDR R0, [R3,#4]");
    asm ("BX R0");
}

/***** (C) COPYRIGHT STMicroelectronics *****/
FILE*****/
```

## 75 改版履歴

表 165. 文書改版履歴

| 日付               | 版 | 変更内容   |
|------------------|---|--|
| 2007 年 10 月 22 日 | 1 | 初版発行   |
| 2008 年 1 月 22 日  | 2 | <p>生産中のすべての STM32 (リビジョン B およびリビジョン Z) に、このアプリケーションノートに記載されたブートローダが含まれています。</p> <p>修正：セクション 3.1：ブートローダの有効化、およびセクション 1.4：ブートローダのコードシーケンス</p> <p>追加：セクション 1.3：ハードウェア要件、セクション 1.5：USART ポーレートの選択、セクション 1.6：ブートローダの使用</p> <p>表 3：ブートローダのコマンドにある Get、Get Version &amp; Read Protection Status、Get ID の各コマンドに関連する注 2、および注 3 を追加。</p> <p>ドキュメントから「永久」(永久的な書き込み保護解除/読出し保護/保護解除) という表記を削除。テキストを微修正。</p> <p>ブートローダのバージョンを 2.0 にアップグレード。</p>  |
| 2008 年 5 月 26 日  | 3 | <p>テキストを微修正。RAM とシステム・メモリを表：システム・クロックは内蔵された内部ハイスピード RC から生成されます。ブートローダの実行に外部水晶発振器は不要ですに追加。</p> <p>セクション 1.6：8 ページのブートローダの使用を削除。</p> <p>消去を修正、注 3 を修正、9 ページの表 3：ブートローダのコマンドに注 1 を追加。</p> <p>11 ページの Byte 3：を修正。</p> <p>13 ページの Byte 2：を修正。</p> <p>15 ページの Byte 2：、Bytes 3-4：、および Byte 5：を修正、注 3 を修正。</p> <p>18 ページの Byte 8：を修正。</p> <p>注を 18 ページのセクション 2.5：Go コマンドに追加。</p> <p>図 11：20 ページの Go コマンド：デバイス側を修正。</p> <p>注を 21 ページのセクション 2.6：Write Memory コマンドに追加。</p> <p>24 ページの Byte 8：を修正。</p> <p>図 14：Erase Memory コマンド：ホスト側および図 15：Erase Memory コマンド：デバイス側を修正。</p> <p>26 ページの Byte 3：を修正。</p> <p>表 3：ブートローダのコマンドに注 1 を追加。</p> <p>27 ページのセクション 2.8：Write Protect コマンドの注を修正、注を追加。</p> <p>図 16：Write Protect コマンド：ホスト側、図 17：Write Protect コマンド：デバイス側、図 19：Write Unprotect コマンド：デバイス側、図 21：Readout Protect コマンド：デバイス側、図 23：Readout Unprotect コマンド：デバイス側を修正。</p> |
| 2009 年 1 月 29 日  | 4 | <p>このアプリケーションノートは、STM32F102xx マイクロコントローラにも適用されます。</p> <p>ブートローダのバージョンを V2.2 に更新 (表 4：ブートローダのバージョンを参照)</p>  |

表 165. 文書改版履歴 (続き)

| 日付          | 版  | 変更内容  |
|-------------|----|---|
| 2009年11月19日 | 5  | <p>表：システム・クロックは内蔵された内部ハイスピード RC から生成されます。ブートローダの実行に外部水晶発振器は不要です。IWDG を追加。注を追加。</p> <p>文書全体で、BL をブートローダに変更。</p> <p>表：システム・クロックは内蔵された内部ハイスピード RC から生成されます。ブートローダの実行に外部水晶発振器は不要です。Go コマンドの説明を追加。</p> <p>セクション 2.4：Read Memory コマンドでブートローダが待機するバイト数を修正。</p> <p>図 10：Go コマンド：ホスト側で注を修正。</p> <p>セクション 2.5：Go コマンドで注を削除、注を追加。</p> <p>セクション 2.6：Write Memory コマンドで開始 RAM アドレスを指定し、注を追加。Write Memory コマンドがオプションバイト領域に対して発行されると、すべてのオプションが消去される。</p> <p>図 11：Go コマンド：デバイス側を修正。</p> <p>図 13：Write Memory コマンド：デバイス側を修正。</p> <p>セクション 2.7：Erase Memory コマンドで注を追加し、ホストによって送信されるバイト 3 と 4 を修正</p> <p>セクション 2.8：Write Protect コマンドで注を追加。</p> |
| 2010年3月09日  | 6  | <p>アプリケーションノートを再構成。バリュールインとコネクティビティラインのデバイスのブートローダを追加 (AN2662 と置き換え)。</p> <p>概要を変更。用語を追加。</p>   |
| 2010年4月20日  | 7  | <p>関連ドキュメント：特大容量ラインのデータシートとプログラミングマニュアルを追加。</p> <p>用語：特大容量ラインのデバイスを追加。</p> <p>表 3：特大容量ラインのデバイスに関する情報を追加。</p> <p>セクション 4.1：ブートローダの設定：最初の文章を更新。</p> <p>セクション 5.1：ブートローダの設定：最初の文章を更新。</p> <p>セクション 6：STM32F10xxx 特大容量のデバイスのブートローダを追加。</p> <p>表 65：特大容量ラインのデバイスに関する情報を追加。</p>   |
| 2010年10月08日 | 8  | <p>表 3 および表 65 に大容量バリュールインデバイスに関する情報を追加。</p>  |
| 2010年10月14日 | 9  | <p>古いデバイスへの記述を削除。</p>   |
| 2010年11月26日 | 10 | <p>超低電力デバイスに関する情報を追加。</p>   |
| 2011年4月13日  | 11 | <p>STM32F205/215xx および STM32F207/217xx デバイスに関する情報を追加。</p> <p>セクション 32：ブートローダのタイミングを追加。</p>  |
| 2011年6月06日  | 12 | <p>更新：</p> <ul style="list-style-type: none"> <li>- 表 12：STM32L1xxx6(8/B) のブートローダのバージョン</li> <li>- 表 17：システムメモリブートモードでの STM32F2xxxx の設定</li> <li>- 表 18：STM32F2xxxx のブートローダのバージョン (V2.x)</li> <li>- 表 20：STM32F2xxxx のブートローダのバージョン (V3.x)</li> </ul>  |
| 2011年11月28日 | 13 | <p>STM32F405/415xx および STM32F407/417xx ブートローダ、ならびに STM32F105xx/107xx ブートローダ V2.1 に関する情報を追加。</p> <p>セクション 4：STM32F10xxx デバイスのブートローダでバリュールイン・デバイスを追加。</p>   |



表 165. 文書改版履歴 (続き)

| 日付         | 版  | 変更内容  |
|------------|----|---|
| 2012年7月30日 | 14 | <p>STM32F051x6/STM32F051x8 および大容量超低電力の STM32L151xx、STM32L152xx デバイスに関する情報を追加。</p> <p>セクション 3.1 : ブートローダの有効化で BOOT1 ビットの場合を追加。</p> <p>表 3 : 内蔵ブートローダのコネクティビティ・ライン、大容量超低電力ライン、STM32F2xx および STM32F4xx を更新。</p> <p>表 8 : STM32F105xx/107xx のブートローダのバージョンでブートローダのバージョン V2.2 を追加。</p> <p>セクション 5.3.1 : STM32F105xx/107xx のブートローダのバージョン識別方法でブートローダ V2.2 を追加。</p> <p>表 15 : システム・メモリ・ブート・モードでの STM32L1xxxx 大容量の設定の下に DFU インタフェースに関連する注を追加。表 16 : STM32L1xxxx 大容量ブートローダのバージョンで V4.2 ブートローダの既知の制限を追加して説明を更新し、V4.5 ブートローダを追加。</p> <p>表 19 : システム・メモリ・ブート・モードでの STM32F2xxxx の設定で DFU インタフェースに関する注を追加。表 20 : STM32F2xxxx ブートローダのバージョン (V3.x) で V3.2 ブートローダの既知の制限を追加し、V3.3 ブートローダを追加。表 21 : システム・メモリ・ブート・モードでの STM32F40xxx/41xxx の設定で STM32F2xx と STM32F4xx のシステム・メモリの終了アドレスを更新。</p> <p>表 21 : システム・メモリ・ブート・モードでの STM32F40xxx/41xxx の設定で DFU インタフェースに関する注を追加。表 22 : STM32F40xxx/41xxx ブートローダのバージョン (V3.x) で V3.0 ブートローダの既知の制限を追加し、V3.1 ブートローダを追加。</p> <p>表 26 : STM32F051xx のブートローダのバージョンでブートローダ V2.1 の既知の制限を追加。</p> <p>表 65 : ブートローダのデバイス依存のパラメータで STM32F051x6/x8 のシステム・メモリの終了アドレスを更新。</p> <p>表 75 : 大容量超低電力デバイスの USART ブートローダのタイミング、および表 78 : STM32F051xx デバイスの USART ブートローダのタイミングを追加。</p> <p>表 88 : 大容量超低電力デバイスの USB における最小時間を追加。</p> |
| 2013年1月24日 | 15 | <p>ドキュメント全体にわたって一般的な製品名を更新 (用語を参照)。</p> <p>以下の新しいセクションを追加 :</p> <ul style="list-style-type: none"> <li>- セクション8 : STM32L1xxxC デバイスのブートローダ</li> <li>- セクション13 : STM32F031xx デバイスのブートローダ</li> <li>- セクション14 : STM32F373xx デバイスのブートローダ</li> <li>- セクション15 : STM32F302xB(C)/303xB(C) デバイスのブートローダ</li> <li>- セクション16 : STM32F378xx デバイスのブートローダ</li> <li>- セクション17 : STM32F358xx デバイスのブートローダ</li> <li>- セクション18 : STM32F427xx/437xx デバイスのブートローダ</li> <li>- セクション34.3 : I2C ブートローダのタイミングの特性</li> </ul> <p>セクション 1 : 関連ドキュメントおよびセクション 2 : 用語を更新</p> <p>表 79 から表 85 を追加 (USART ブートローダのタイミング)。</p> <p>図 6 から図 16、および図 18、19、42 を置換。</p> <p>表 3、5、9、11、17、20、21、22 から 13、27、29、31、33、35、37 および 65 を修正。</p> <p>セクション 3.3 : ハードウェア接続要件で「X = 6 : USART を 1 つ使用」を削除。</p> <p>セクション 12.1 : ブートローダの設定でアドレス 0x1FFFF 8002 をアドレス 0x1FFF F802 に置き換え。</p> <p>セクション 6.2 : ブートローダの選択およびセクション 9.2 : ブートローダの選択で、28 ページの注にあるブートローダ・コードの実行に関連する手順を修正。</p>  |

表 165. 文書改版履歴 (続き)

| 日付              | 版  | 変更内容  |
|-----------------|----|---|
| 2013 年 2 月 06 日 | 16 | <p>ドキュメント全体にわたって I<sup>2</sup>C に関する情報を追加。<br/> <b>表 1</b> : 対象とする製品および<b>セクション 1</b> : <b>関連ドキュメント</b>を簡素化。<br/> <b>表 3</b> : <b>内蔵ブートローダ</b>で次のように修正。<br/>                     - 「V6.0」を「V1.0」に置換<br/>                     - STM32F31xx の行で「0x1FFFF7A6」を「0x1FFFF796」に置換<br/>                     - STM32F051xx の行で「0x1FFF7FA6」を「0x1FFF77A6」に置換<br/> <b>図 6、9、および 11</b> を更新。<br/> <b>用語</b>で<b>注</b> : を追加、<b>セクション 3.1</b> : <b>ブートローダの有効化</b>で<b>注</b> : を追加。<br/>                     置換 :<br/>                     - <b>表 17、19、19、22、21、27、37、および 59</b> で「1.62 V」を「1.8 V」に置換<br/>                     - <b>表 33</b> の RAM の行で「5 KB」を「4 KB」に置換<br/>                     - <b>表 65</b> の F3 の行で「127 ページ (各 2 KB)」を「4 KB (各 2 KB の 2 ページ)」に置換<br/>                     - <b>セクション 3.3</b> : <b>ハードウェア接続要件</b>で「ブートローダ ID はデバイスシステムメモリの最後の 2 バイトでプログラムされ」を「ブートローダ ID はデバイスシステムメモリの最後のバイトアドレス - 1 でプログラムされ」に置き換え。<br/>                     - <b>セクション 10</b> : <b>STM32F2xxxx デバイスのブートローダ</b>で「<b>STM32F2xxxx デバイスのリビジョン Y</b>」を「<b>STM32F2xxxx デバイスのリビジョン X および Y</b>」に置換<br/>                     - <b>表 11、15、および 26</b> で「電圧範囲 2」を「電圧範囲 1」に置換。</p> |
| 2013 年 5 月 21 日 | 17 | <p>更新 :<br/>                     - <b>概要</b><br/>                     - <b>セクション 2</b> : <b>用語</b><br/>                     - <b>セクション 3.3</b> : <b>ハードウェア接続要件</b><br/>                     - <b>セクション 7</b> : <b>STM32L1xxx6(8/B) デバイスのブートローダ</b> (STM32L100 バリユーラインを含めるため)<br/>                     - <b>セクション 32.2</b> : <b>USART 接続のタイミング</b><br/>                     - <b>セクション 34.2</b> : <b>USB ブートローダのタイミング特性</b><br/>                     - <b>セクション 34.3</b> : <b>I2C ブートローダのタイミング特性</b><br/>                     - <b>表 1</b> : 対象とする製品<br/>                     - <b>表 3</b> : <b>内蔵ブートローダ</b><br/>                     - <b>表 25</b> : システムメモリブートモードでの STM32F051xx の設定<br/>                     - <b>表 27</b> : システムメモリブートモードでの STM32F031xx の設定<br/>                     - <b>表 65</b> : ブートローダのデバイス依存のパラメータ<br/>                     - <b>図 17</b> : <b>STM32F031xx デバイスのブートローダの選択</b><br/> <b>セクション 19</b> : <b>STM32F429xx/439xx デバイスのブートローダ</b>を追加。</p>   |

表 165. 文書改版履歴 (続き)

| 日付          | 版  | 変更内容  |
|-------------|----|---|
| 2014年5月19日  | 18 | <p>追加:</p> <ul style="list-style-type: none"> <li>- 図 1 から図 5、図 75、図 10、図 29、図 30、図 28、図 42 から図 97、図 101</li> <li>- 表 4、表 129、表 130、表 13 から表 52、表 53 から表 50、表 75 から表 76、表 から表 164</li> <li>- セクション 38.4、セクション 35.2:、セクション 74.1:、セクション 74.5:</li> <li>- セクション 7:、セクション 25:、セクション 26:、セクション 24:、セクション 19: からセクション 64:</li> <li>- 図 1、図 2、図 3、および図 4 の下の注</li> </ul> <p>更新:</p> <ul style="list-style-type: none"> <li>- セクション 4: からセクション 9: まで、およびセクション 20:、セクション 35:、セクション 35: の各章を、ブートローダの設定、ブートローダの選択、ブートローダのバージョンの3つのサブセクションによる構成に更新。</li> <li>セクション 64: およびセクション 74: を更新。</li> <li>- 図 29 および図 24 のブロック図を更新。</li> <li>- 表 73 の STM32F429xx/439xx デバイスのI2C アドレスを修正</li> <li>- 表 1、表 2、表 3、表 31、表 123、表 125、表 127、表 35、表 37、表 57、表 159</li> <li>- 図 18 から図 32、図 12、図 97 から図 101</li> <li>- 表 124 の注</li> </ul>   |
| 2014年7月29日  | 19 | <p>更新:</p> <ul style="list-style-type: none"> <li>- 表 2 の下の注</li> <li>- 図 74 および図 75</li> <li>- セクション 3: 用語</li> <li>- セクション 35: STM32F42xxx/43xxx デバイスのブートローダですべての STM32F427xx/437xx という記述を STM32F42xxx/43xxx に置換</li> <li>- 「STM32F072xx」をすべて「STM32F07xxx」に置換</li> <li>- 「STM32F051xx」をすべて「STM32F051xx および STM32F030x8 デバイス」に置換</li> <li>- 表 31、表 37、表 57、表 129、表 73、表 75、表 19、表 25、表 61、表 63、および表 67 の OTG_FS_DP と OTG_FS_DM に関するコメントフィールド</li> <li>- 表 129 の USB_DM に関するコメントフィールド</li> <li>- 表 3 で「STM32F429xx/439xx」を「STM32F42xxx/43xxx」に置換</li> <li>- 表 75 の SPI2_MOSI、SPI2_MISO、SPI2_SCK、および SPI2_NSS ピンに関するコメントフィールド</li> </ul> <p>追加:</p> <ul style="list-style-type: none"> <li>- 表 2 の下の注</li> <li>- 表 1、セクション 3: 用語、表 160、表 161、表 162、表 163 の STM32F411 への参照</li> <li>- セクション 32: STM32F411xx デバイスのブートローダ</li> <li>表 3、セクション 3: 用語、表 159、表 160、表 161、表 162 の STM32F427xx/437xx への参照を削除</li> </ul> |
| 2014年11月24日 | 20 | <p>更新:</p> <ul style="list-style-type: none"> <li>- 表 129 および表 115 の「SPI1_NSS ピン」および「SPI2_NSS ピン」の行のコメント</li> <li>- 表 61、表 63、および表 67 の「SPI1_NSS ピン」、「SPI2_NSS ピン」、および「SPI3_NSS ピン」の行のコメント</li> <li>- 図 1</li> </ul>  |

表 165. 文書改版履歴 (続き)

| 日付          | 版  | 変更内容   |
|-------------|----|--|
| 2015年3月11日  | 21 | 更新：<br>- 表 1、表 3、表 29、表 33、表 123、表 35、表 37、表 38、表 57、表 129、表 17、表 18、<br>表 13、表 41、表 73、表 75、表 19、表 20、表 25、表 26、表 39、表 121、表 137、表 159、<br>表 160、表 161、表 162、および表 163<br>- 図 83<br>- 第 3 章：用語<br>- セクション 4.1：およびセクション 4.4：<br>追加：<br>- セクション 64：STM32L47xxx/48xxx デバイスのブートローダおよびセクション 36：<br>STM32F446xx デバイスのブートローダ  |
| 2015年6月09日  | 22 | 追加：<br>- セクション 11：STM32F070x6 デバイスのブートローダ<br>- セクション 12：STM32F070xB デバイスのブートローダ<br>- セクション 14：STM32F09xxx デバイスのブートローダ<br>- セクション 21：STM32F302xD(E)/303xD(E) デバイスのブートローダセクション 27：<br>STM32F398xx デバイスのブートローダ<br>- セクション 38：STM32F72xxx/73xxx デバイスのブートローダ<br>- セクション 64.2：ブートローダ V9.x<br>- 図 98 の注 1 および 2<br>更新：<br>- 表 1<br>- セクション 3：用語<br>- 表 2<br>- 表 3<br>- セクション 4.4：ブートローダのメモリ管理<br>- 表 159、表 160、表 161、表 162、および表 163 |
| 2015年9月29日  | 23 | 追加：<br>- セクション 31：STM32F410xx デバイスのブートローダ<br>- セクション 37：STM32F469xx/479xx デバイスのブートローダ<br>- セクション 53：STM32L031xx/041xx デバイスのブートローダ<br>- セクション 55：STM32L07xxx/08xxx デバイスのブートローダ<br>更新：<br>- 表 1<br>- セクション 3：用語<br>- 表 3<br>- 図 83、表 139、表 160、表 161、表 162、表 163   |
| 2015年11月02日 | 24 | 更新：<br>- 表 1、表 3、表 159、表 160、表 161、表 162、表 163<br>- セクション 37：<br>追加：<br>- セクション 28.2.1：の注<br>- セクション 33：   |
| 2015年12月01日 | 25 | 更新：<br>- セクション 4.1：、セクション 55：を更新。<br>- 表 159   |

表 165. 文書改版履歴 (続き)

| 日付         | 版  | 変更内容   |
|------------|----|--|
| 2016年3月03日 | 26 | <p>更新：</p> <ul style="list-style-type: none"> <li>- 表 1、表 3、表 70、表 118、表 120、表 159</li> <li>- セクション 3：、セクション 55.1.1：、セクション 55.2.1：、セクション 64：</li> </ul> <p>追加：</p> <ul style="list-style-type: none"> <li>- セクション 52：STM32L01xxx/02xxx デバイスのブートローダ</li> <li>- 図 67、図 69を更新。</li> </ul>   |
| 2016年4月21日 | 27 | <p>追加：</p> <ul style="list-style-type: none"> <li>- セクション 40：STM32F76xxx/77xxx デバイスのブートローダ、セクション 62：STM32L43xxx/44xxx デバイスのブートローダ。</li> <li>- 以下に注を追加：セクション 4.1：ブートローダの有効化、セクション 10.1：ブートローダの設定、セクション 11.1：ブートローダの設定、図 40：STM32F42xxx/43xxx ブートローダ V7.x のデュアル・バンク・ブート実装、図 42：STM32F42xxx/43xxx ブートローダ V9.x のデュアル・バンク・ブート実装</li> </ul> <p>更新：</p> <ul style="list-style-type: none"> <li>- 表 1：対象とする製品、表 2：ブートローダの有効化パターン、表 15：システム・メモリ・ブート・モードでの STM32F030xC の設定、表 21：システム・メモリ・ブート・モードでの STM32F070x6 の設定、表 23：システム・メモリ・ブート・モードでの STM32F070xB の設定、表 27：システムメモリブートモードでの STM32F09xxx の設定、表 39：システムメモリブートモードでの STM32F301xx/302x4(6/8) の設定、表 41：システムメモリブートモードでの STM32F302xB(C)/303xB(C) の設定、表 43：システム・メモリ・ブート・モードでの STM32F302xD(E)/303xD(E) の設定、表 51：システムメモリブートモードでの STM32F373xx の設定、表 61：システムメモリブートモードでの STM32F401xB(C) の設定、表 63：システムメモリブートモードでの STM32F401xD(E) の設定、表 67：システムメモリブートモードでの STM32F411xx の設定、表 138：STM32L47xxx/48xxx のブートローダのバージョン (V10.x)、表 140：STM32L47xxx/48xxx のブートローダのバージョン (V9.x)、表 159：ブートローダデバイス依存のパラメータ</li> <li>- セクション 3：用語、</li> </ul> |

表 165. 文書改版履歴 (続き)

| 日付         | 版  | 変更内容  |
|------------|----|---|
| 2016年9月05日 | 28 | <p>更新:</p> <ul style="list-style-type: none"> <li>- 表 1: 対象とする製品、表 15: システム・メモリ・ブート・モードでの STM32F030xC の設定、表 17: システム・メモリ・ブート・モードでの STM32F05xxx および STM32F030x8 デバイスの設定、表 19: システム・メモリ・ブート・モードでの STM32F04xxx の設定、表 21: システム・メモリ・ブート・モードでの STM32F070x6 の設定、表 23: システム・メモリ・ブート・モードでの STM32F070xB の設定、表 25: システム・メモリ・ブート・モードでの STM32F071xx/072xx の設定、表 27: システムメモリブートモードでの STM32F09xxx の設定、表 31: システムメモリブートモードでの STM32F105xx/107xx の設定、表 33: システム・メモリ・ブート・モードでの STM32F10xxx XL 容量の設定、表 35: システムメモリブートモードでの STM32F2xxxx の設定、表 37: システムメモリブートモードでの STM32F2xxxx の設定、表 39: システムメモリブートモードでの STM32F301xx/302x4(6/8) の設定、表 41: システムメモリブートモードでの STM32F302xB(C)/303xB(C) の設定、表 43: システム・メモリ・ブート・モードでの STM32F302xD(E)/303xD(E) の設定、表 45: システムメモリブートモードでの STM32F303x4(6/8)/334xx/328xx の設定、表 47: システムメモリブートモードでの STM32F318xx の設定、表 49: システムメモリブートモードでの STM32F358xx の設定、表 51: システムメモリブートモードでの STM32F373xx の設定、表 53: システムメモリブートモードでの STM32F378xx の設定、表 55: システムメモリブートモードでの STM32F398xx の設定、表 57: システムメモリブートモードでの STM32F40xxx/41xxx の設定、表 59: システム・メモリ・ブート・モードでの STM32F40xxx/41xxx の設定、表 61: システムメモリブートモードでの STM32F401xB(C) の設定、表 63: システムメモリブートモードでの STM32F401xD(E) の設定、表 67: システムメモリブートモードでの STM32F411xx の設定、表 73: システムメモリブートモードでの STM32F42xxx/43xxx の設定、表 75: システムメモリブートモードでの STM32F42xxx/43xxx の設定、表 77: システムメモリブートモードでの STM32F446xx の設定、表 79: システム・メモリ・ブート・モードでの STM32F469xx/479xx の設定、表 83: システム・メモリ・ブート・モードでの STM32F74xxx/75xxx の設定、表 85: システムメモリブートモードでの STM32F74xxx/75xxx の設定、表 115: システムメモリブートモードでの STM32L05xxx/06xxx の設定、表 121: システムメモリブートモードでの STM32L1xxx6(8/B)A の設定、表 123: システムメモリブートモードでの STM32L1xxx6(8/B) の設定、表 125: システムメモリブートモードでの STM32L1xxxC の設定、表 127: システムメモリブートモードでの STM32L1xxxD の設定、表 129: システムメモリブートモードでの STM32L1xxxE の設定、表 134: STM32L43xxx/44xxx のブートローダのバージョン、表 137: システムメモリブートモードでの STM32L47xxx/48xxx の設定、表 159: ブートローダデバイス依存のパラメータ</li> <li>- セクション 62.1: ブートローダの設定</li> <li>- 図 26: STM32F303x4(6/8)/334xx/328xx のブートローダの選択、図 27: STM32F318xx のブートローダの選択、図 29: STM32F373xx デバイスのブートローダの選択、図 30: STM32F378xx デバイスのブートローダの選択、図 33: STM32F40xxx/41xxx のブートローダ V9.x の選択、図 36: STM32F410xx のブートローダ V11.x の選択、図 38: STM32F412xx のブートローダ V9.x の選択、図 46: STM32F469xx/479xx のブートローダ V9.x の選択、図 51: STM32F76xxx/77xxx のブートローダ V9.x の選択、図 70: STM32L07xxx/08xxx のブートローダ V11.x の選択、図 83: STM32L47xxx/48xxx のブートローダ V10.x の選択</li> </ul> |

表 165. 文書改版履歴 (続き)

| 日付          | 版  | 変更内容   |
|-------------|----|--|
| 2016年12月07日 | 29 | <p>更新:</p> <ul style="list-style-type: none"> <li>- 表 1: 対象とする製品、セクション 3: 用語、セクション 4.1: ブートローダの有効化、表 3: 内蔵ブートローダ、表 14: STM32F09xxx デバイスのブートローダ、表 16: STM32F105xx/107xx デバイスのブートローダ、表 17: STM32F10xxx XL 容量のデバイスのブートローダ、表 18: STM32F2xxxx デバイスのブートローダ、表 19: STM32F301xx/302x4(6/8) デバイスのブートローダ、表 20: STM32F302xB(C)/303xB(C) デバイスのブートローダ、表 22: STM32F303x4(6/8)/334xx/328xx デバイスのブートローダ、表 24: STM32F358xx デバイスのブートローダ、表 27: STM32F398xx デバイスのブートローダ、表 31: STM32F410xx デバイスのブートローダ、表 34: STM32F413xx/423xx デバイスのブートローダ、表 63: システムメモリブートモードでの STM32F401xD(E) の設定、セクション 16.3.1: STM32F105xx/107xx のブートローダのバージョン識別方法、セクション 30.1: ブートローダの設定、表 65: システムメモリブートモードでの STM32F410xx の設定、表 67: システムメモリブートモードでの STM32F411xx の設定、表 69: システムメモリブートモードでの STM32F412xx の設定、セクション 32.1: ブートローダの設定、表 74: STM32F42xxx/43xxx のブートローダのバージョン (V7.x)、表 76: STM32F42xxx/43xxx のブートローダのバージョン (V9.x)、表 87: システムメモリブートモードでの STM32F76xxx/77xxx の設定、表 88: STM32F76xxx/77xxx のブートローダのバージョン (V9.x)、表 112: STM32L01xxx/02xxx のブートローダのバージョン、表 120: STM32L07xxx/08xxx のブートローダのバージョン (V11.x)、表 133: システムメモリブートモードでの STM32L43xxx/44xxx の設定、表 134: STM32L43xxx/44xxx のブートローダのバージョン、表 138: STM32L47xxx/48xxx のブートローダのバージョン (V10.x)、表 159: ブートローダデバイス依存のパラメータ、表 160: STM32 デバイスのブートローダの起動時間 (ms)、表 162: STM32 デバイスの USB ブートローダにおける最小時間 (ms)、表 162: STM32 デバイスの USB ブートローダにおける最小時間 (ms)、表 163: STM32 デバイスの I<sup>2</sup>C ブートローダにおける最小時間 (ms)</li> </ul> <p>追加:</p> <ul style="list-style-type: none"> <li>- セクション 34: STM32F413xx/423xx デバイスのブートローダ</li> </ul> |
| 2017年3月13日  | 30 | <p>更新:</p> <ul style="list-style-type: none"> <li>- 表 1: 対象とする製品、表 3: 内蔵ブートローダ、表 18: STM32F05xxx および STM32F030x8 デバイスのブートローダのバージョン、表 19: システムメモリブートモードでの STM32F04xxx の設定、表 20: STM32F04xxx のブートローダのバージョン、表 22: STM32F070x6 のブートローダのバージョン、表 24: STM32F070xB のブートローダのバージョン、表 25: システムメモリブートモードでの STM32F071xx/072xx の設定、表 26: STM32F071xx/072xx のブートローダのバージョン、表 27: システムメモリブートモードでの STM32F09xxx の設定、表 28: STM32F09xxx のブートローダのバージョン、表 39: システムメモリブートモードでの STM32F301xx/302x4(6/8) の設定、表 42: STM32F302xB(C)/303xB(C) のブートローダのバージョン、表 88: STM32F76xxx/77xxx のブートローダのバージョン (V9.x)、表 111: システムメモリブートモードでの STM32L01xxx/02xxx の設定、表 134: STM32L43xxx/44xxx のブートローダのバージョン、表 159: ブートローダデバイス依存のパラメータ、表 139: システムメモリブートモードでの STM32L47xxx/48xxx の設定、表 160: STM32 デバイスのブートローダの起動時間 (ms)、表 161: STM32 デバイスの USART ブートローダにおける最小時間 (ms)、表 162: STM32 デバイスの USB ブートローダにおける最小時間 (ms)、表 163: STM32 デバイスの I<sup>2</sup>C ブートローダにおける最小時間 (ms)、表 164: STM32 デバイスの SPI ブートローダにおける最小時間 (ms)</li> <li>- セクション 3: 用語、セクション 8.1: ブートローダの設定、セクション 16.3.3: 0x22 ではなく 0x20 を返す USART ブートローダの Get-Version コマンド、セクション 62: STM32L43xxx/44xxx デバイスのブートローダ およびセクション 64: STM32L47xxx/48xxx デバイスのブートローダの RPN リファレンス</li> </ul> <p>セクション 38: STM32F72xxx/73xxx デバイスのブートローダ およびセクション 65: STM32L496xx/4A6xx デバイスのブートローダ を追加</p>  |

表 165. 文書改版履歴 (続き)

| 日付              | 版  | 変更内容  |
|-----------------|----|---|
| 2017 年 7 月 04 日 | 31 | <p>更新：</p> <ul style="list-style-type: none"> <li>- 表 1：対象とする製品、表 2：ブートローダの有効化パターン、表 3：内蔵ブートローダ、表 32：STM32F105xx/107xx のブートローダのバージョン、表 37：システムメモリブートモードでの STM32F2xxxx の設定、表 41：システムメモリブートモードでの STM32F302xB(C)/303xB(C) の設定、表 49：システムメモリブートモードでの STM32F358xx の設定、表 51：システムメモリブートモードでの STM32F373xx の設定、表 53：システムメモリブートモードでの STM32F378xx の設定、表 59：システムメモリブートモードでの STM32F40xxx/41xxx の設定、表 61：システムメモリブートモードでの STM32F401xB(C) の設定、表 63：システムメモリブートモードでの STM32F401xD(E) の設定、表 67：システムメモリブートモードでの STM32F411xx の設定、表 73：システムメモリブートモードでの STM32F42xxx/43xxx の設定、表 77：システムメモリブートモードでの STM32F446xx の設定、表 79：システムメモリブートモードでの STM32F469xx/479xx の設定、表 81：システムメモリブートモードでの STM32F72xxx/73xxx の設定、表 83：システムメモリブートモードでの STM32F74xxx/75xxx の設定、表 85：システムメモリブートモードでの STM32F74xxx/75xxx の設定、表 107：システムメモリブートモードでの STM32L1xxxC の設定、表 127：システムメモリブートモードでの STM32L1xxxD の設定、表 129：システムメモリブートモードでの STM32L1xxxE の設定、表 135：システムメモリブートモードでの STM32L45xxx/46xxx の設定、表 159：ブートローダデバイス依存のパラメータ、表 160：STM32 デバイスのブートローダの起動時間 (ms)、表 161：STM32 デバイスの USART ブートローダにおける最小時間 (ms)、表 162：STM32 デバイスの USB ブートローダにおける最小時間 (ms)、表 163：STM32 デバイスの I<sup>2</sup>C ブートローダにおける最小時間 (ms)</li> <li>- 概要、セクション 3：用語を更新。</li> <li>- 図 79：STM32L43xxx/44xxx のブートローダ V9.x の選択</li> </ul> <p>追加：</p> <ul style="list-style-type: none"> <li>- セクション 50：STM32H74xxx/75xxx デバイスのブートローダ、セクション 63：STM32L45xxx/46xxx デバイスのブートローダを更新。</li> </ul> |
| 2018 年 2 月 16 日 | 32 | <p>表 3：内蔵ブートローダ、表 108：STM32H74xxx/75xxx のブートローダのバージョン、表 141：システムメモリブートモードでの STM32L496xx/4A6xx の設定、表 142：STM32L496xx/4A6xx のブートローダのバージョン、表 159：ブートローダデバイス依存のパラメータ、表 160：STM32 デバイスのブートローダの起動時間 (ms)、表 161：STM32 デバイスの USART ブートローダにおける最小時間 (ms)、表 162：STM32 デバイスの USB ブートローダにおける最小時間 (ms)、表 163：STM32 デバイスの I<sup>2</sup>C ブートローダにおける最小時間 (ms) を更新。</p> <p>セクション 67：STM32L4Rxxx/4Sxxx デバイスのブートローダを追加</p>   |
| 2018 年 8 月 07 日 | 33 | <p>セクション 10.1：ブートローダの設定の注：、セクション 11.1：ブートローダの設定の注：を更新</p>   |



表 165. 文書改版履歴 (続き)

| 日付          | 版  | 変更内容  |
|-------------|----|---|
| 2018年11月05日 | 34 | <p>表 1: 対象とする製品、表 58: STM32F40xxx/41xxx のブートローダのバージョン (V3.x)、表 60: STM32F40xxx/41xxx のブートローダのバージョン (V9.x)、表 62: STM32F401xB(C) のブートローダのバージョン、表 64: STM32F401xD(E) のブートローダのバージョン、表 66: STM32F410xx のブートローダのバージョン (V11.x)、表 68: STM32F411xx のブートローダのバージョン、表 70: STM32F412xx のブートローダのバージョン (V9.x)、表 72: STM32F413xx/423xx のブートローダのバージョン (V9.x)、表 74: STM32F42xxx/43xxx のブートローダのバージョン (V7.x)、表 76: STM32F42xxx/43xxx のブートローダのバージョン (V9.x)、表 78: STM32F446xx のブートローダのバージョン (V9.x)、表 80: STM32F469xx/479xx のブートローダのバージョン (V9.x)、表 82: STM32F72xxx/73xxx のブートローダのバージョン (V9.x)、表 84: STM32F74xxx/75xxx のブートローダのバージョン (V7.x)、表 86: STM32F74xxx/75xxx のブートローダのバージョン (V9.x)、表 88: STM32F76xxx/77xxx のブートローダのバージョン (V9.x)、表 159: ブートローダデバイス依存のパラメータ、表 160: STM32 デバイスのブートローダの起動時間 (ms)、表 161: STM32 デバイスの USART ブートローダにおける最小時間 (ms)、表 162: STM32 デバイスの USB ブートローダにおける最小時間 (ms) を更新。</p> <p>セクション 61: STM32L412xx/422xx デバイスのブートローダを追加</p> |
| 2018年12月06日 | 35 | <p>表 1: 対象とする製品、セクション 3: 用語、表 160: STM32 デバイスのブートローダの起動時間 (ms)、表 161: STM32 デバイスの USART ブートローダにおける最小時間 (ms)、表 163: STM32 デバイスの I<sup>2</sup>C ブートローダにおける最小時間 (ms) を更新。</p> <p>セクション 42: STM32G07xxx/08xxx デバイスのブートローダを追加</p>  |
| 2019年2月21日  | 36 | <p>表 1: 対象とする製品、セクション 3: 用語、表 3: 内蔵ブートローダ、表 159: ブートローダデバイス依存のパラメータ、表 160: STM32 デバイスのブートローダの起動時間 (ms)、表 161: STM32 デバイスの USART ブートローダにおける最小時間 (ms)、表 162: STM32 デバイスの USB ブートローダにおける最小時間 (ms)、表 163: STM32 デバイスの I<sup>2</sup>C ブートローダにおける最小時間 (ms) を更新。</p> <p>セクション 70: STM32WB30xx/35xx/50xx/55xx デバイスのブートローダを追加</p>  |
| 2019年5月06日  | 37 | <p>表 1: 対象とする製品、セクション 3: 用語、表 159: ブートローダデバイス依存のパラメータ、表 160: STM32 デバイスのブートローダの起動時間 (ms)、表 161: STM32 デバイスの USART ブートローダにおける最小時間 (ms)、表 162: STM32 デバイスの USB ブートローダにおける最小時間 (ms)、表 163: STM32 デバイスの I<sup>2</sup>C ブートローダにおける最小時間 (ms) を更新。</p> <p>セクション 46: STM32G431xx/441xx デバイスのブートローダ、セクション 47: STM32G47xxx/48xxx デバイスのブートローダを追加。</p>  |

表 165. 文書改版履歴 (続き)

| 日付          | 版  | 変更内容   |
|-------------|----|--|
| 2019年7月08日  | 38 | 更新： <ul style="list-style-type: none"> <li>- 表 1：対象とする製品、表 2：ブートローダの有効化パターン、表 3：内蔵ブートローダ、表 71：システムメモリブートモードでの STM32F413xx/423xx の設定、表 107：システム・メモリ・ブート・モードでの STM32H74xxx/75xxx の設定、表 108：STM32H74xxx/75xxx のブートローダのバージョン、表 113：システムメモリブートモードでの STM32L031xx/041xx の設定、表 134：STM32L43xxx/44xxx のブートローダのバージョン、表 135：システムメモリブートモードでの STM32L45xxx/46xxx の設定、表 142：STM32L496xx/4A6xx のブートローダのバージョン、表 153：STM32WB30xx/35xx/50xx/55xx のブートローダのバージョン、表 159：ブートローダデバイス依存のパラメータ、表 160：STM32 デバイスのブートローダの起動時間 (ms)、表 161：STM32 デバイスの USART ブートローダにおける最小時間 (ms)、表 162：STM32 デバイスの USB ブートローダにおける最小時間 (ms)、表 163：STM32 デバイスの I<sup>2</sup>C ブートローダにおける最小時間 (ms)</li> <li>- セクション 3：用語、セクション 4.1：ブートローダの有効化、セクション 41.1：ブートローダの設定、セクション 46.1：ブートローダの設定</li> <li>- 図 62：STM32H74xxx/75xxx のブートローダ V9.x の選択、図 90：STM32L4Rxxx/STM32L4Sxxx ブートローダ V9.x のデュアルバンクブート実装を更新。<br/>セクション 4.2 に注：、セクション 15.3 に注：、セクション 50.1 に注：、セクション 52.1 に注：、セクション 41：STM32G03xxx/STM32G04xxx デバイスのブートローダを追加</li> </ul> |
| 2019年9月16日  | 39 | 更新： <ul style="list-style-type: none"> <li>- 表 1：対象とする製品、表 2：ブートローダの有効化パターン、表 3：内蔵ブートローダ、表 90：STM32G03xx/04xxx のブートローダのバージョン、表 132：STM32L412xx/422xx のブートローダのバージョン、表 134：STM32L43xxx/44xxx のブートローダのバージョン、表 136：STM32L45xxx/46xxx のブートローダのバージョン、表 138：STM32L47xxx/48xxx のブートローダのバージョン (V10.x)、表 140：STM32L47xxx/48xxx のブートローダのバージョン (V9.x)、表 142：STM32L496xx/4A6xx のブートローダのバージョン、表 144：STM32L4P5xx/4Q5xx のブートローダのバージョン、表 159：ブートローダデバイス依存のパラメータ、表 160：STM32 デバイスのブートローダの起動時間 (ms)、表 161：STM32 デバイスの USART ブートローダにおける最小時間 (ms)、表 162：STM32 デバイスの USB ブートローダにおける最小時間 (ms)、表 163：STM32 デバイスの I<sup>2</sup>C ブートローダにおける最小時間 (ms)</li> <li>- セクション 3：用語、セクション 4.2：ブートローダ識別を更新。<br/>図 59：STM32G47xxx/48xxx ブートローダ V13.x のデュアルバンクブート実装、セクション 68：STM32L552xx/STM32L562xx デバイスのブートローダ、セクション 70.3：ブートローダのバージョンに注を追加</li> </ul>  |
| 2019年10月03日 | 40 | 表 3：内蔵ブートローダ、表 149：STM32L552xx/562xx のブートローダのバージョン、表 153：STM32WB30xx/35xx/50xx/55xx のブートローダのバージョンを更新。  |
| 2019年10月25日 | 41 | 更新： <ul style="list-style-type: none"> <li>- 表 82：STM32F72xxx/73xxx のブートローダのバージョン (V9.x)、表 84：STM32F74xxx/75xxx のブートローダのバージョン (V7.x)、表 86：STM32F74xxx/75xxx のブートローダのバージョン (V9.x)、表 88：STM32F76xxx/77xxx のブートローダのバージョン (V9.x)、表 89：システム・メモリ・ブート・モードでの STM32G03xxx/G04xxx の設定、表 108：STM32H74xxx/75xxx のブートローダのバージョン、表 144：STM32L4P5xx/4Q5xx のブートローダのバージョン、表 147：システムメモリブートモードでの STM32L552xx/562xx の設定、表 160：STM32 デバイスのブートローダの起動時間 (ms)、表 161：STM32 デバイスの USART ブートローダにおける最小時間 (ms)、表 163：STM32 デバイスの I<sup>2</sup>C ブートローダにおける最小時間 (ms)</li> <li>- セクション 18：STM32F2xxxx デバイスのブートローダ</li> </ul>  |

表 165. 文書改版履歴 (続き)

| 日付               | 版  | 変更内容  |
|------------------|----|---|
| 2019 年 12 月 05 日 | 42 | <p>更新:</p> <ul style="list-style-type: none"> <li>- 表 1: 対象とする製品、表 2: ブートローダの有効化パターン、表 3: 内蔵ブートローダ、表 159: ブートローダデバイス依存のパラメータ、表 160: STM32 デバイスのブートローダの起動時間 (ms)、表 161: STM32 デバイスの USART ブートローダにおける最小時間 (ms)、表 162: STM32 デバイスの USB ブートローダにおける最小時間 (ms)、表 163: STM32 デバイスの I<sup>2</sup>C ブートローダにおける最小時間 (ms)</li> <li>- セクション 3: 用語</li> </ul> <p>追加: セクション 51: STM32H7A3xx/B3xx デバイスのブートローダ、セクション 66: STM32L4P5xx/4Q5xx デバイスのブートローダ、セクション 71: STM32WLE5xx/55xx デバイスのブートローダ</p>  |
| 2020 年 6 月 4 日   | 43 | <p>更新:</p> <ul style="list-style-type: none"> <li>- 表 1: 対象とする製品、表 2: ブートローダの有効化パターン、表 3: 内蔵ブートローダ、表 99: システムメモリブートモードでの STM32G431xx/441xx の設定、表 101: システムメモリブートモードでの STM32G47xxx/48xxx の設定、表 102: STM32G47xxx/48xxx のブートローダのバージョン、表 108: STM32H74xxx/75xxx のブートローダのバージョン、表 110: STM32H7A3xx/7B3xx のブートローダのバージョン、表 144: STM32L4P5xx/4Q5xx のブートローダのバージョン、表 147: システムメモリブートモードでの STM32L552xx/562xx の設定、表 149: STM32L552xx/562xx のブートローダのバージョン、表 152: システムメモリブートモードでの STM32WB30xx/35xx/50xx/55xx の設定、表 159: ブートローダデバイス依存のパラメータ</li> <li>- セクション 3: 用語、セクション 39: STM32F74xxx/75xxx デバイスのブートローダ、セクション 41.1: ブートローダの設定、セクション 42.1: ブートローダの設定、セクション 46.1: ブートローダの設定、セクション 47.1: ブートローダの設定、セクション 50.1: ブートローダの設定</li> </ul> <p>追加:</p> <ul style="list-style-type: none"> <li>- セクション 4.5: ブートローダ UART ボーレート検出、セクション 4.6: プログラミングの制約、セクション 4.7: ExitSecureMemory 機能</li> <li>- セクション 28.1.1: ブートローダの設定、セクション 28.2.1: ブートローダの設定、セクション 29.1: ブートローダの設定、セクション 30.1: ブートローダの設定、セクション 32.1: ブートローダの設定、セクション 33.1: ブートローダの設定、セクション 34.1: ブートローダの設定、セクション 35.1.1: ブートローダの設定、セクション 35.2.1: ブートローダの設定、セクション 36.1: ブートローダの設定、セクション 37.1: ブートローダの設定、セクション 38.1: ブートローダの設定、セクション 39.1.1: ブートローダの設定、セクション 39.2.1: ブートローダの設定、セクション 40.1: ブートローダの設定 の注:</li> <li>- 図 78: STM32L3x2xx/44xxx ブートローダ V9.x のデュアルバンク・ブート実装、図 80: STM32L45xxx/46xxx ブートローダ V9.x のデュアルバンク・ブート実装、図 86: STM32L496xx/4A6xx ブートローダ V9.x のデュアルバンク・ブート実装</li> <li>- 付録 A: "ExitSecureMemory" 関数を使用する関数の例</li> </ul> <p>図 48: STM32G03xxx/G04xxx のブートローダからセキュリティ保護可能な領域へのアクセス、図 50: STM32G07xxx/G08xxx のブートローダからセキュリティ保護可能な領域へのアクセス、図 52: セキュリティ保護可能な領域へのアクセス、図 54: セキュリティ保護可能な領域へのアクセスを削除</p> |

表 165. 文書改版履歴 (続き)

| 日付               | 版  | 変更内容   |
|------------------|----|--|
| 2020 年 7 月 29 日  | 44 | <p>STM32H72ccc/73xxx デバイスを導入したことからセクション 49 : STM32H72xxx/73xxx デバイスのブートローダとそのサブセクションを追加。</p> <p>セクション 3 : 用語、およびセクション 41.1 : ブートローダの設定とセクション 70.1 : ブートローダの設定の注を更新。</p> <p>表 1 : 対象とする製品、表 2 : ブートローダの有効化パターン、表 3 : 内蔵ブートローダ、表 8 : ExitSecureMemory のエントリ・アドレス、表 101 : システムメモリブートモードでの STM32G47xxx/48xxx の設定、表 110 : STM32H7A3xx/7B3xx のブートローダのバージョン、表 125 : システムメモリブートモードでの STM32L1xxxC の設定、表 127 : システムメモリブートモードでの STM32L1xxxD の設定、表 129 : システムメモリブートモードでの STM32L1xxxE の設定、表 147 : システムメモリブートモードでの STM32L552xx/562xx の設定、表 159 : ブートローダデバイス依存のパラメータ、表 160 : STM32 デバイスのブートローダの起動時間 (ms)、表 161 : STM32 デバイスの USART ブートローダにおける最小時間 (ms)、表 162 : STM32 デバイスの USB ブートローダにおける最小時間 (ms)、表 163 : STM32 デバイスの I<sup>2</sup>C ブートローダにおける最小時間 (ms) を更新。</p> <p>図 62 : STM32H74xxx/75xxx のブートローダ V9.x の選択を更新。</p> <p>ドキュメント全体で文章を軽微に編集。</p>   |
| 2020 年 11 月 06 日 | 45 | <p>表 1 : 対象とする製品、表 3 : 内蔵ブートローダ、セクション 3 : 用語に STM32WB30xx、STM32WB35xx、STM32WI55xx を導入</p> <p>更新 :</p> <ul style="list-style-type: none"> <li>- 表 65 : システムメモリブートモードでの STM32F410xx の設定、表 71 : システムメモリブートモードでの STM32F413xx/423xx の設定、表 77 : システムメモリブートモードでの STM32F446xx の設定、表 79 : システム・メモリ・ブート・モードでの STM32F469xx/479xx の設定、表 81 : システム・メモリ・ブート・モードでの STM32F72xxx/73xxx の設定、表 85 : システムメモリブートモードでの STM32F74xxx/75xxx の設定、表 87 : システムメモリブートモードでの STM32F76xxx/77xxx の設定、表 91 : システム・メモリ・ブート・モードでの STM32G07xxx/8xxx の設定、表 99 : システムメモリブートモードでの STM32G431xx/441xx の設定、表 100 : STM32G431xx/441xx のブートローダのバージョン、表 101 : システムメモリブートモードでの STM32G47xxx/48xxx の設定、表 107 : システム・メモリ・ブート・モードでの STM32H74xxx/75xxx の設定、表 108 : STM32H74xxx/75xxx のブートローダのバージョン、表 109 : システムメモリブートモードでの STM32H7A3xx/7B3xx の設定、表 110 : STM32H7A3xx/7B3xx のブートローダのバージョン、表 111 : システム・メモリ・ブート・モードでの STM32L01xxx/02xxx の設定、表 113 : システムメモリブートモードでの STM32L031xx/041xx の設定、表 118 : STM32L07xxx/08xxx のブートローダのバージョン、表 119 : システム・メモリ・ブート・モードでの STM32L07xxx/08xxx の設定、表 131 : システムメモリブートモードでの STM32L412xx/422xx の設定、表 143 : システムメモリブートモードでの STM32L4P5xx/4Q5xx の設定、表 145 : システムメモリブートモードでの STM32L4Rxxx/4Sxxx の設定、表 147 : システムメモリブートモードでの STM32L552xx/562xx の設定、表 152 : システム・メモリ・ブート・モードでの STM32WB30xx/35xx/50xx/55xx の設定、表 154 : システムメモリブートモードでの STM32WLE5xx/55xx の設定、表 155 : STM32WLE5xx/55xx のブートローダのバージョン、表 159 : ブートローダデバイス依存のパラメータ、表 160 : STM32 デバイスのブートローダの起動時間 (ms)、表 161 : STM32 デバイスの USART ブートローダにおける最小時間 (ms)</li> <li>- 表 70 : STM32WB30xx/35xx/50xx/55xx デバイスのブートローダ、表 152 : システム・メモリ・ブート・モードでの STM32WB30xx/35xx/50xx/55xx の設定、表 71 : STM32WLE5xx/55xx デバイスのブートローダ、表 154 : システムメモリブートモードでの STM32WLE5xx/55xx の設定、表 95 : STM32WLE5xx/55xx のブートローダ V12.x の選択、表 155 : STM32WLE5xx/55xx のブートローダのバージョンのタイトル</li> </ul> |

表 165. 文書改版履歴 (続き)

| 日付          | 版  | 変更内容  |
|-------------|----|---|
| 2020年12月02日 | 46 | <p>更新：</p> <ul style="list-style-type: none"> <li>表 3：内蔵ブートローダ、表 89：システム・メモリ・ブート・モードでの STM32G03xxx/G04xxx の設定、表 101：システムメモリブートモードでの STM32G47xxx/48xxx の設定、表 134：STM32L43xxx/44xxx のブートローダのバージョン、表 136：STM32L45xxx/46xxx のブートローダのバージョン</li> </ul> <p>以下の注を追加：</p> <ul style="list-style-type: none"> <li>312ページの注：、319ページの注：、327ページの注：、340ページの注：、347ページの注：</li> </ul>  |
| 2021年2月16日  | 47 | <p>更新：</p> <ul style="list-style-type: none"> <li>表 1：対象とする製品、表 3：内蔵ブートローダ、表 8：ExitSecureMemory のエントリ・アドレス、表 88：STM32F76xxx/77xxx のブートローダのバージョン (V9.x)、表 101：システムメモリブートモードでの STM32G47xxx/48xxx の設定、表 131：システムメモリブートモードでの STM32L412xx/422xx の設定、表 133：システムメモリブートモードでの STM32L43xxx/44xxx の設定、表 135：システムメモリブートモードでの STM32L45xxx/46xxx の設定、表 139：システムメモリブートモードでの STM32L47xxx/48xxx の設定、表 141：システムメモリブートモードでの STM32L496xx/4A6xx の設定、表 143：システムメモリブートモードでの STM32L4P5xx/4Q5xx の設定、表 145：システムメモリブートモードでの STM32L4Rxxx/4Sxxx の設定、表 147：システムメモリブートモードでの STM32L552xx/562xx の設定、表 152：システム・メモリ・ブート・モードでの STM32WB30xx/35xx/50xx/55xx の設定、表 159：ブートローダデバイス依存のパラメータ、表 160：STM32 デバイスのブートローダの起動時間 (ms)、表 161：STM32 デバイスの USART ブートローダにおける最小時間 (ms)、表 162：STM32 デバイスの USB ブートローダにおける最小時間 (ms)、表 163：STM32 デバイスの I<sup>2</sup>C ブートローダにおける最小時間 (ms)</li> <li>セクション 3：用語</li> </ul> <p>セクション 43：STM32G0B0xx デバイスのブートローダ およびセクション 44：STM32G0B1xx/0C1xx デバイスのブートローダ を追加</p> |
| 2021年4月01日  | 48 | <p>更新：</p> <ul style="list-style-type: none"> <li>表 1：対象とする製品、表 3：内蔵ブートローダ、表 8：ExitSecureMemory のエントリ・アドレス、表 159：ブートローダデバイス依存のパラメータ、表 160：STM32 デバイスのブートローダの起動時間 (ms)、表 161：STM32 デバイスの USART ブートローダにおける最小時間 (ms)、表 163：STM32 デバイスの I<sup>2</sup>C ブートローダにおける最小時間 (ms)</li> </ul> <p>セクション 45：STM32G05xxx/061xx デバイスのブートローダ およびセクション 48：STM32G491xx/4A1xx デバイスのブートローダ を追加</p>   |
| 2021年7月06日  | 49 | <p>更新：</p> <ul style="list-style-type: none"> <li>セクション 3：用語、セクション 28.2.1：ブートローダの設定を更新。</li> </ul> <p>表 3、表 13、表 15 から表 20、表 23 から表 28、表 29、表 31、表 33、表 37、表 39、表 41、表 43、表 45、表 47、表 49、表 51、表 53、表 55、表 57、表 59、表 60、表 61、表 63、表 65、表 67、表 69、表 71、表 73、表 75、表 77、表 79、表 81、表 83、表 85、表 87、表 89、表 91、表 93、表 95、表 97、表 99、表 101、表 102、表 103、表 105、表 107、表 109、表 109、表 111、表 113、表 115、表 116、表 117、表 119、表 121、表 123、表 124、表 125、表 126、表 127、表 129、表 130、表 131、表 133、表 135、表 137、表 139、表 141、表 143、表 145、表 147、表 152、表 154、表 159</p> <p>表 148：STM32L552cc/562xx の特殊コマンド およびセクション 69：STM32WB10xx/15xx デバイスのブートローダ を追加</p>  |

表 165. 文書改版履歴 (続き)

| 日付          | 版  | 変更内容   |
|-------------|----|--|
| 2021年9月23日  | 50 | 更新：<br>- セクション 3：用語、セクション 43.1：ブートローダの設定、セクション 44.1：ブートローダの設定、<br>- 表 1、表 2、表 3、表 92、表 106、表 108、表 110、表 134、表 151、表 153、表 159、表 160、表 161、表 162、表 163<br>セクション 72：STM32U575xx/85xx デバイスのブートローダを追加 |
| 2021年10月20日 | 51 | 更新：<br>- 表 3、表 60、表 92、表 106、表 159<br>- セクション 28.2.1：ブートローダの設定   |
| 2022年2月04日  | 52 | 更新：<br>- セクション 3：用語、セクション 4.1：ブートローダの有効化、<br>- 表 1、表 2、表 3、表 7、表 92、表 108、表 159<br>- 図 54<br>セクション 5：STM32C011xx デバイスのブートローダ およびセクション 6：STM32C031xx デバイスのブートローダ を追加                                |
| 2022年3月01日  | 53 | 更新：<br>- 表 3、表 105、表 106、表 159。<br>- セクション 4.1：ブートローダの有効化、セクション 41.1：ブートローダの設定、セクション 42.1：ブートローダの設定、セクション 43.1：ブートローダの設定、セクション 45.1：ブートローダの設定  |

表 166. 日本語版文書改版履歴

| 日付      | 版 | 変更内容      |
|---------|---|-----------|
| 2022年6月 | 1 | 日本語版 初版発行 |

**重要なお知らせ（よくお読み下さい）**

STMicroelectronics NV およびその子会社（以下、ST）は、ST製品及び本書の内容をいつでも予告なく変更、修正、改善、改定及び改良する権利を留保します。購入される方は、発注前にST製品に関する最新の関連情報を必ず入手してください。ST製品は、注文請書発行時点で有効なSTの販売条件に従って販売されます。

ST製品の選択並びに使用については購入される方が全ての責任を負うものとします。購入される方の製品上の操作や設計に関してSTは一切の責任を負いません。

明示又は黙示を問わず、STは本書においていかなる知的財産権の実施権も許諾致しません。

本書で説明されている情報とは異なる条件でST製品が再販された場合、その製品についてSTが与えたいかなる保証も無効となります。

STおよびSTロゴはSTMicroelectronicsの商標です。STの登録商標についてはSTウェブサイトをご覧ください。www.st.com/trademarks  
その他の製品またはサービスの名称は、それぞれの所有者に帰属します。

本書の情報は本書の以前のバージョンで提供された全ての情報に優先し、これに代わるものです。

この資料は、STMicroelectronics NV並びにその子会社(以下ST)が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くためにSTマイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST及びSTマイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

© 2022 STMicroelectronics - All rights reserved