

## はじめに

STマイクロエレクトロニクス社のTIMEKEEPERスーパーバイザには、リアルタイムクロックおよびNVRAMの監視機能が搭載されており、ユーザによる設計の中に、RTCおよびバッテリーバックアップSRAM機能を簡単に実装可能です。同一チップ上にRTCとバッテリー切り替え回路を搭載したことにより、コイン型バッテリー1個だけでRTC動作とNVRAMのデータ保持が可能です。

これらのデバイスには、それ以外にも、パワーオンリセット/低電圧検出、ウォッチドッグ、電源喪失検出コンパレータ、バッテリー監視などの有用な監視機能が搭載されています。

これら数多くの機能が1つのデバイスに統合されたことで、最小限のコストと基板面積で信頼性の高いシステムの開発が容易になります。

**表 1. TIMEKEEPER監視機能**

デバイス	パッケージ	バス	バッテリー切り替え回路	チップイネーブルゲーティング	パワーオンリセット/ 低電圧検出	タンパー検出入力	アラーム	ウォッチドッグ	方形波出力	専用32 KHz出力	マニキュアリセット入力	電源喪失検出コンパレータ (PFI-PFO)	バッテリー監視
M41ST85WMX	水晶振動子内蔵 SOX-28	400 kHz I <sup>2</sup> C	3	3	3		3	3	3		2	1	3
M41ST85WMH	SNAPHAT <sup>(1)</sup> SOH-28												
M41ST87WMX	水晶振動子内蔵 SOX-28	400 kHz I <sup>2</sup> C	3	3	3	2	3	3	3	3	2	2	3
M41ST87WSS	SSOP20			No							1		
M48T201Y/V	SNAPHAT <sup>(1)</sup> SOH-44	パラレル 8ビット	3	3	3		3	3	3		2		3

1. Timekeeperスーパーバイザ用のバッテリーと水晶振動子については、www.st.comをご覧ください。

## 目次

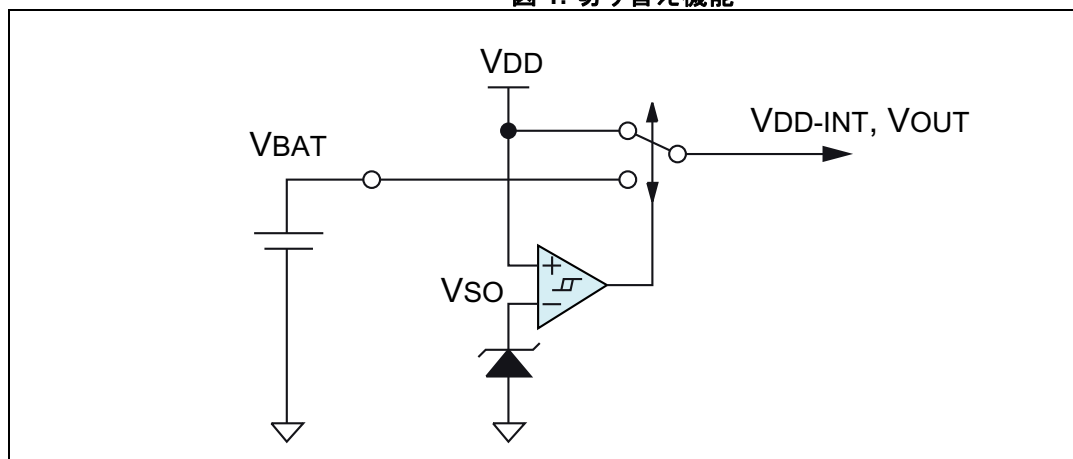
1	バッテリー切り替えとチップイネーブルゲーティング（書込み保護）	3
2	パワーオンリセットと低電圧検出	5
2.1	リセット入力	5
3	システムインターフェース	6
3.1	パラレルアクセス	7
4	パッケージ	8
5	タンパー検出	9
6	アラーム	10
7	専用 32.768 kHz 出力	10
8	プログラム可能方形波出力	11
9	バッテリー監視	12
10	ウォッチドッグタイマ	13
11	電源喪失検出コンパレータ（PFI-PFO） - 早期電源喪失警告	14
12	まとめ	15
13	参考資料	16
14	改版履歴	17

## 1 バッテリー切り替えとチップイネーブルゲーティング（書き込み保護）

バッテリー切り替え機構は、リアルタイムクロックおよびバッテリーバックアップされたSRAM（NVRAM）のキーとなる機能です。一般的なRTCまたはNVRAM用途においては、 $V_{DD}$ が低下した場合に、デバイスがシームレスにバックアップバッテリーに切り替わり、データの喪失やRTCデータの破壊を防ぐことが最も重要です。切り替え回路は、 $V_{DD}$ の低下を検出し、RTC/SRAMの電圧を絶対に不足電圧まで低下させることなく、RTC/SRAMをバックアップバッテリー（ $V_{BAT}$ ）に接続する必要があります。したがって、切り替え機構の切り替え閾値は、負荷により許容される最低電圧を超える値であることが必要です。さらに、切り替え回路には、負荷へのアクセスを遮断するゲーティング信号が備わっていることが望まれます。 $V_{DD}$ が低下した場合には、この信号によって、RTC/SRAMへの書き込み保護が行われます。

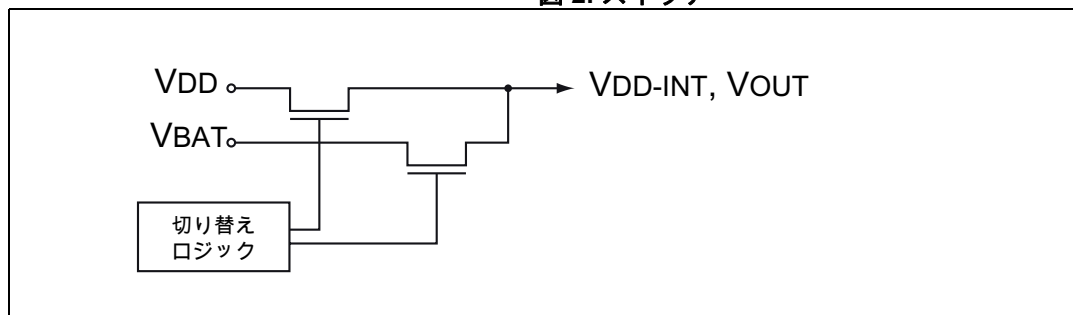
基本的な切り替え機能を下図に示します。 $V_{DD}$ が切り替え閾値 $V_{SO}$ よりも低下すると、負荷に対する電源は $V_{BAT}$ に切り替わります。スイッチの出力からは、内部回路（ $V_{DD-INT}$ ）と外部負荷（ $V_{OUT}$ ）の両方に電源が供給されます。

図 1. 切り替え機能



実際のスイッチはFETを用いて実装されており、下図のように接続されています。

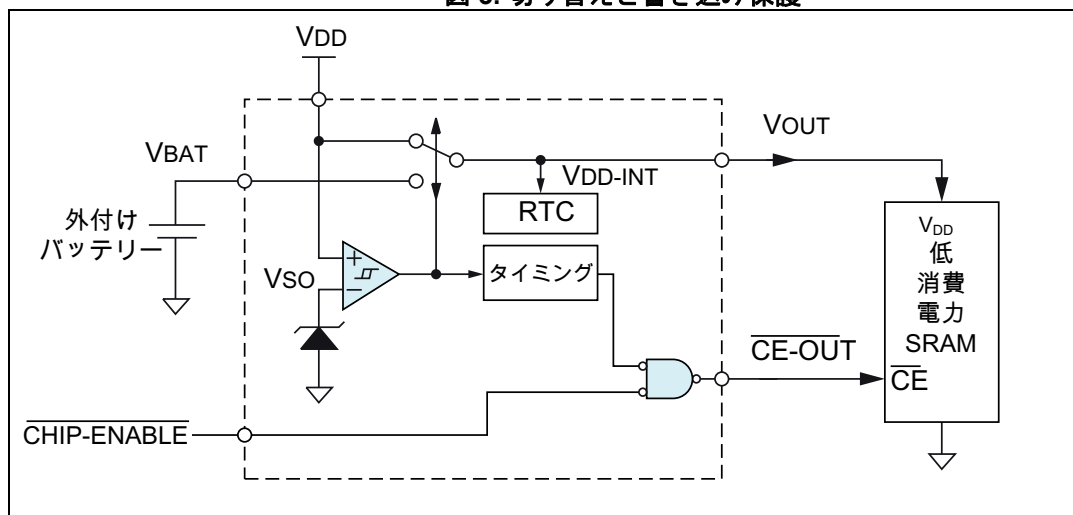
図 2. スイッチ



バックアップ用途では、接続図は下図のようなものとなります。切り替え回路からは、V<sub>OUT</sub>を通じて外付けSRAMに電源が供給されており、ここから負荷に対してアクティブ電流とバックアップ電流の両方が供給されます。V<sub>DD</sub>が低下すると、切り替え機構によって、バッテリーが外付けSRAMと、リアルタイムクロックを含むTIMEKEEPERスーパーバイザの内部回路に自動的に接続されます。同時に、チップイネーブルが外付け低消費電力SRAMに対してゲーティングされ、書き込み保護が行われます。

V<sub>DD</sub>が復帰すると、タイミングブロックによって、その後少しの間LPSRAMが書き込み保護されたままであることが保証されます。この時間は、通常40~200ミリ秒（t<sub>REC</sub>の間隔と同じ）となります。

図 3. 切り替えと書き込み保護

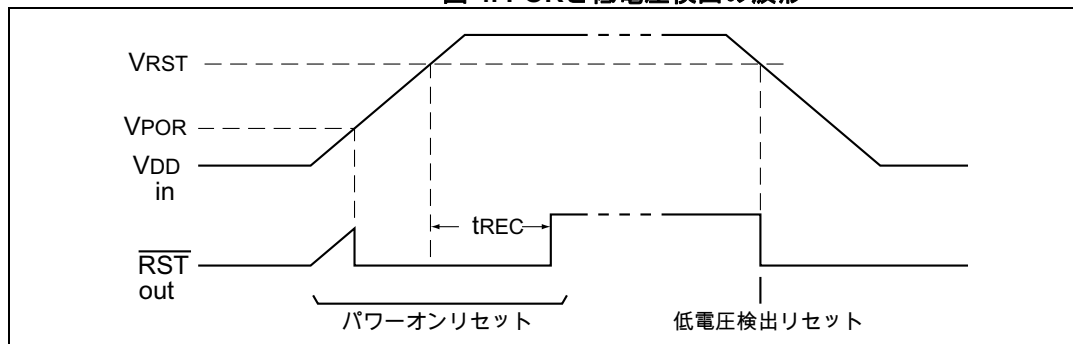


標準的なバッテリーバックアップされたSRAMの用途では、実用的なバッテリー寿命とするために、低消費電力SRAMのスタンバイ/バックアップ電流は、数マイクロアンペアのオーダーである必要があります。たとえば、120ミリアンペア時のバッテリーに、SRAMに1マイクロアンペア、RTCに0.5マイクロアンペアの負荷がある場合、9年間以上のバックアップ寿命が期待されます。

## 2 パワーオンリセットと低電圧検出

POR/LVDの基本機能は、システム電圧が推奨動作範囲以外である間は、常にシステムをリセット状態に保持することです。これは、 $V_{DD}$ が上昇中や降下中にPOR/LVDリセット出力がアサートされることを意味しています。

図 4. PORと低電圧検出の波形



上図に示すように、 $V_{DD}$ が閾値の $V_{POR}$ を超えて上昇すると、 $\overline{RST}$ が能動的にLowにドライブされます。 $t_{REC}$ と表示されている時間だけ $V_{DD}$ が $V_{RST}$ を超えた電圧にとどまるまでの間、 $\overline{RST}$ はLowのままとなります。 $t_{REC}$ の長さは、40～200ミリ秒の間です。TIMEKEEPERスーパーバイザの設定ビットにより、 $t_{REC}$ の範囲を96～98ミリ秒に狭めることができます。

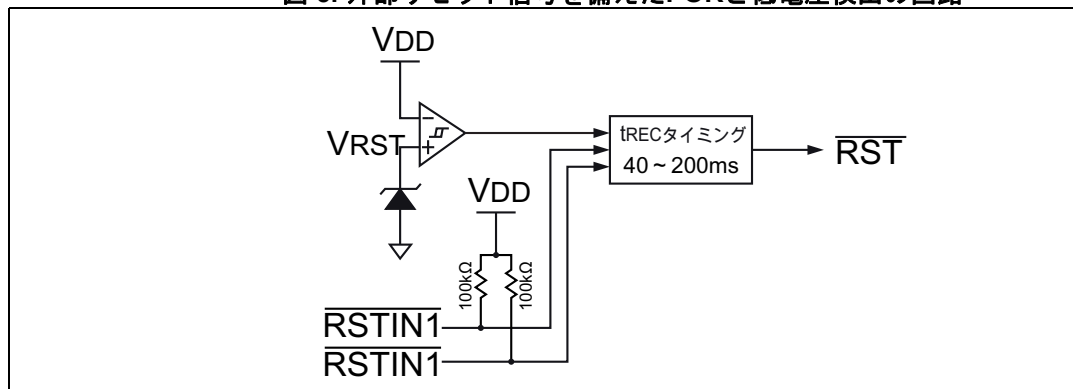
$V_{RST}$ はデバイスの種類によって異なりますが、4.35V、2.9V、2.62Vやその他の電圧があります。詳細については、当該のデータシートを参照してください。

### 2.1 リセット入力

POR/LVD回路には、外部リセット入力信号も含まれています。これらのアクティブLowの入力には、内蔵プルアップ抵抗が備わっており、押しボタン式リセット機能の実装や、ユーザ基板上の別要因からの他のリセット信号の入力に用いることができます。これらの信号に対する詳細なタイミングはさまざまですが、基本的な概念としては、入力がアサートされると $\overline{RST}$ 出力がLowとなり、最低でも $t_{REC}$ で指定された期間だけLow状態が保持されます。

POR/LVD回路の回路図を以下に示します。要するに、2本のリセット入力に対して、コンパレータ出力との論理ORを取られています。

図 5. 外部リセット信号を備えたPORと低電圧検出の回路

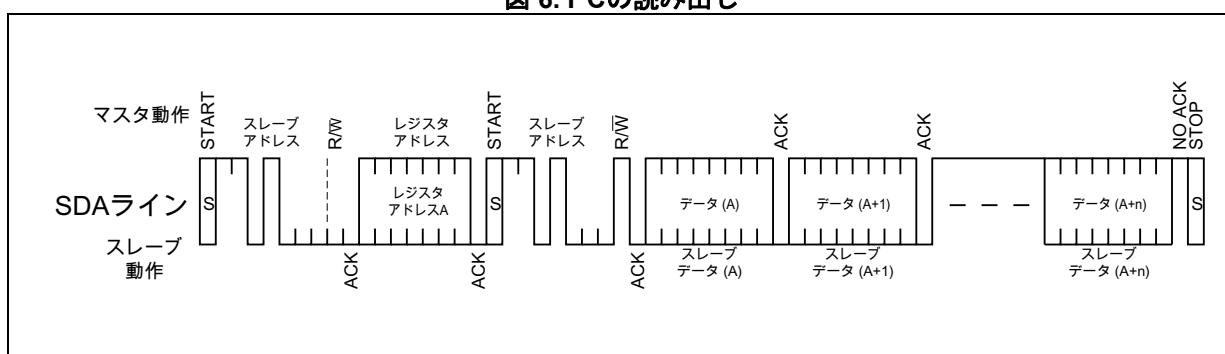


### 3 システムインターフェース

M41ST85WとM41ST87Wの各デバイスには、400kHz I<sup>2</sup>C (Inter-Integrated Circuit) インターフェースが内蔵されています。この一般的な2線式インターフェースによって、クロック機能およびカレンダー機能へのアクセスに加えて、チップ上のステータスレジスタと制御レジスタ、ならびにバッテリーバックアップされたSRAMへのアクセスが提供されています。どちらのデバイスもアドレスの自動インクリメントに対応しており、アドレスレジスタに1バイトの書き込みを行うと、その後に内部レジスタから複数バイトの読み出し（または書き込み）が可能です。最初のバイト読み出し（書き込み）は、アドレスレジスタが指しているアドレスから行われますが、その後にデバイスは、次のバイトがこのレジスタから（このレジスタに）転送されるように、自動的にアドレスをインクリメントして次のデータレジスタを指すようにします。

次にある読み出しの例が示すように、転送される連続したデータバイトそれぞれは、次の高位アドレスからのものです。

図 6. I<sup>2</sup>Cの読み出し

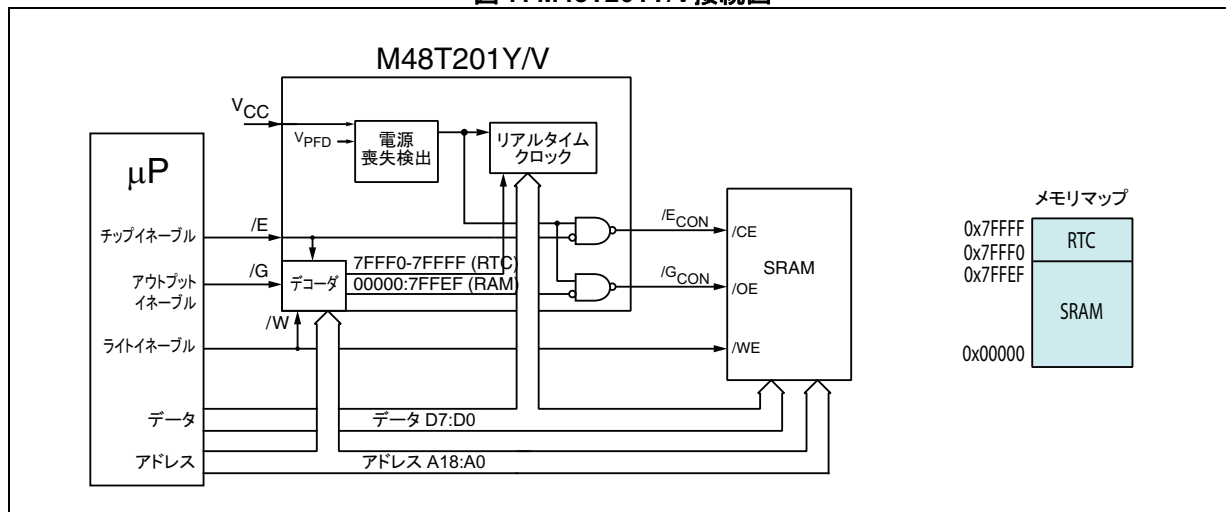


複数データバイトの転送に対して、レジスタのアドレスは1回転送されるだけでよいため、自動インクリメントによって、アプリケーションはデータを高速で転送可能となります。

### 3.1 パラレルアクセス

M48T201Y/Vは、SRAM（または、それ以外のあらゆる読み書き可能なランダムアクセスメモリ）と同様な方法でプロセッサに接続されます。19本のアドレスラインと8本のデータラインによって基本的な接続が構成されており、それ以外の3本のラインでタイミングと読み書きの制御を行います。RTCレジスタ（およびSRAMデータ）へのすべてのアクセスには、同時にパラレル転送される8ビットデータが用いられます。

図 7. M48T201Y/V接続図



M48T201Y/Vのメモリには、外付けSRAMのアドレス空間にクロック/カレンダーレジスタがマッピングされています。たとえば、512KバイトSRAMとともに使用される場合には、SRAM空間の上位16バイト（アドレス0x7FFF0～0x7FFF7）は、実際にはクロック/カレンダーレジスタとなっており、下位の524,272バイトがSRAM（アドレス0～0x7FFEF）です。

シリアルインターフェースと比較すると、パラレルインターフェースには、プロセッサとデバイスの間をかなり高速にデータが転送可能という利点があります。たとえば、M48T201Y/Vに対して、約1.6マイクロ秒で8バイトの転送が可能です。（転送データバイトごとの100 nsに加えて、各データバイトの前のインストラクションフェッチに100 nsを仮定しています。）400 kHz I<sup>2</sup>Cバスでは、アドレス自動インクリメントを用いても同じ手順に255 μsを要し、これは100倍以上の時間です。

## 4 パッケージ

TIMEKEEPER スーパーバイザでは、業界標準のパッケージング技術に基づくICパッケージを使用しています。M41ST87WSSには、一般的な20ピンのシュリンク型小型アウトラインパッケージ（SSOP-20）が使用されています。ユーザはこのデバイスにバッテリーと水晶振動子を接続します。

M41ST85WMXとM41ST87WMXでは、ほかの点では一般的な300 mil（7.62 mm）28ピンの小型アウトラインICパッケージ（SOIC）に、水晶振動子が内蔵されています。ユーザは、外付けバッテリーをこれらのデバイスに接続します。

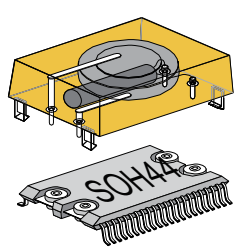
STのフラッグシップパッケージは、SNAPHAT SOICです。このエンベロープは、通常の330 mil（8.38 mm）SOICと同じものです。28ピンバージョン（SOH-28）では実装面積についても同一ですが、44ピンバージョンでは、28ピンバージョンと同一の全体外形を維持しながら、44本のピンを詰め込むために間隔を狭めています。このパッケージのメリットは、ICパッケージの上に位置する接合ハットの中にバッテリーと水晶振動子が収納されていることです。ICパッケージの両端に2本の接続部を追加することにより、SNAPHATトップに収納されている水晶振動子とバッテリーに対する接点となっています。同じハットがSOH-28とSOH-44の両方のパッケージに適合します。

図 8. パッケージ

デバイス	パッケージ
M41ST85WMX	水晶振動子内蔵SOX-28
M41ST85WMH	SNAPHAT SOH-28
M41ST87WMX	水晶振動子内蔵SOX-28
M41ST87WSS	SSOP20
M48T201Y/V	SNAPHAT SOH-44

SNAPHAT  
TOP

SNAPHAT  
SOIC





## 5 タンパー検出

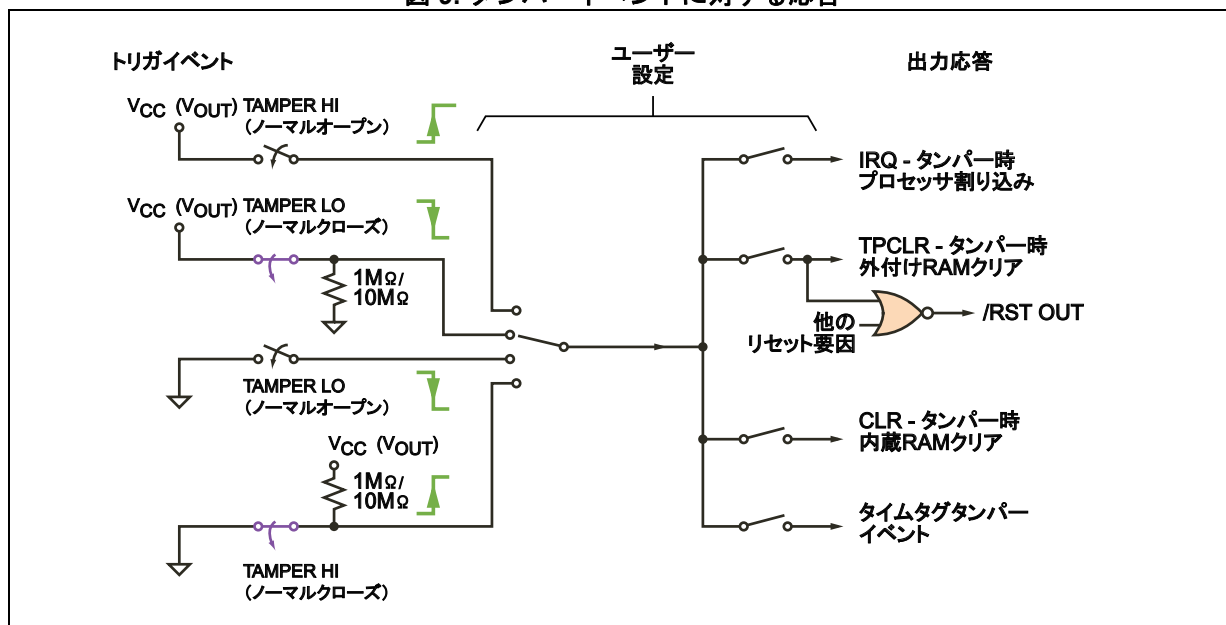
高度のセキュリティが不可欠な用途では、タンパー検出がデータが盗難されていないことを確認する手段となります。バッテリーバックアップされた保護では、タンパー検出機能は、たとえシステムの電源が入っていない場合であっても、物理的な侵入が検出されるたびにデータの消去を起動する目的で使用できます。さらに、その事象の時間タグが記録されるため、追加となる侵入の証拠を提供します。

タンパー検出入力はスイッチの開閉の検出に用いられ、デバイスはユーザーによって設定されたさまざまな方法で応答可能です。

次に示すように、スイッチが開いたのか閉じたのかに応じて、入力極性を選択することもできます。また、ノーマリークローズの場合には、バッテリー電流を減らすために、 $1\text{M}\Omega$ と $10\text{M}\Omega$ から抵抗値を選択可能です。図には示されていませんが、2種類あるノーマリークローズの場合では、電力を節約するために、入力が絶えず監視されるのか、周期的にサンプリングされるのかについても選択可能です。

出力側については、タンパーイベントに対して4種類の異なる応答から選択可能です。これらの選択肢は、どのようにも組み合わせ可能です。

図 9. タンパーイベントに対する応答



タンパー検出機能にはほとんど電流が流れないため、簡単にバッテリーバックアップ化できます。これによって、万一電源が失われた場合も、タンパー機能が引き続き動作することが保証されます。タンパー検出を回避しようとする侵入者は、システム電源を落としても回避できません。したがって、万一システム電源が失われた場合であっても、機密上重要なデータは保護されたままとなります。

## 6 アラーム

アラーム機能は、通常のアラーム時計のアラームと非常に似ています。ユーザがアラーム発生時刻を設定すると、デバイスは、現在時刻がアラーム時刻に一致したときに割り込みを生成します。ユーザはアラーム事象の時、分、秒だけではなく、月と日の設定も行えますので、アラームが年1回だけ発生するように設定可能です。それ以外の設定オプションを用いれば、1ヵ月に1回、1日に1回、1時間に1回、または毎秒アラームが発生するように選択できます。

アラーム割り込みがアサートされると、アプリケーションがデバイスのフラグレジスタを読み取って割り込みをクリアしますが、これによって割り込みがディアサートされます。

## 7 専用32.768 kHz出力

オシレータをベースとするデバイスの多くには、フェーズロックドループクロック合成回路が搭載されています。これらは一般に使われているオシレータの置き換えまたは拡大を行うものです。通常32.768 kHzの時計用水晶振動子は、適度な精度を有してはいるが、より周波数の高いATカット水晶振動子よりもコストがかなり削減されます。一般的に、マイクロプロセッサ用途では、PLLクロック合成によって、32.768 kHzオシレータから得られる高い周波数の信号を生成します。この周波数の高い信号から、ATカット水晶振動子を必要とせずにプロセッサを動作させるタイミング基準信号が得られます。

リアルタイムクロックデバイスにはすでに32.768 kHzオシレータが内蔵されているため、RTCのオシレータを使用してプロセッサのPLL入力をドライブし、その結果として、重複する32.768 kHz水晶振動子を削除することにより、さらにシステムコストを削減可能です。M41ST87Iには、この用途専用32.768 kHz出力が搭載されています。

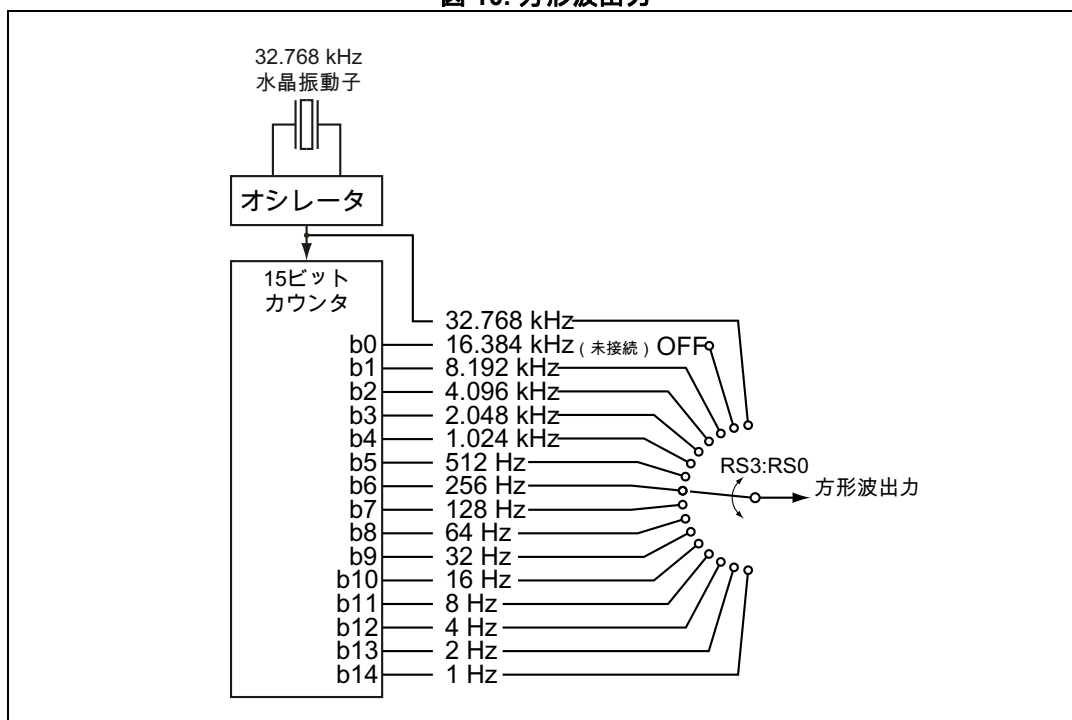
この出力は、初回の電源オンで有効となり、 $V_{CC}$ が切り替え閾値 $V_{SO}$ を超える電圧に維持されている限り、出力が行われています。不揮発制御ビットの32kEを0にクリアして、無効とすることもできます。

## 8 プログラム可能方形波出力

32.768 kHzオシレータの信号を15バイナリカウンタに接続することにより、それよりも周波数の低い15種類の信号を得ることができます。カウンタの各タップからは、その上のタップの半分の周波数が出力されます。その結果、1 Hzまでの周波数が生成されます。これらの信号は、アプリケーションで制御されるスイッチに入力されます。RS3:RS0の4ビットが、これらの信号のどれが方形波出力ピンをドライブするかを制御します。

16.384 kHz信号は使用できないことに注意してください。16.384 kHzの代わりに16番目の位置がOFFとなっているため、16種類の周波数の中で15種類だけが使用できます。

図 10. 方形波出力



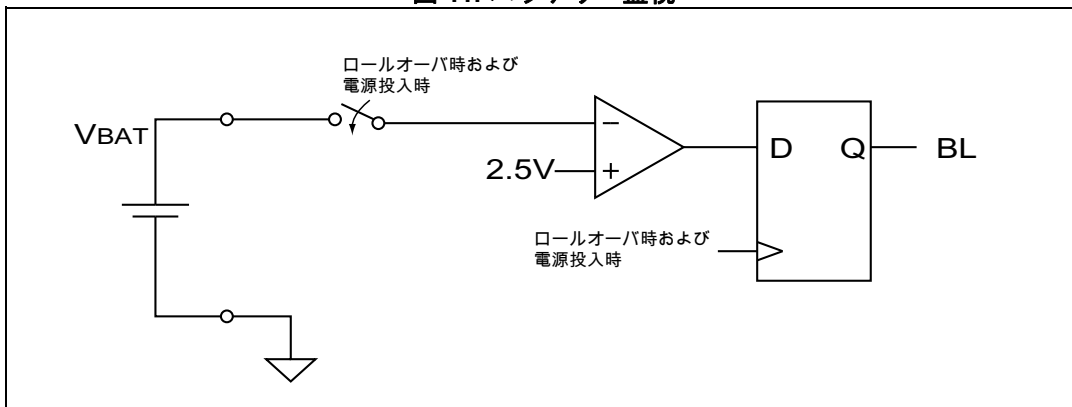
## 9 バッテリー監視

不揮発性を維持するために、バッテリー監視機能が、データが失われる前にバッテリーの交換が必要であることをアプリケーションに通知可能となっています。

バッテリー監視回路が、毎晩午前0時（ロールオーバー）とデバイスがバックアップモードから起動するたびに、バッテリーのチェックを行います。バッテリー電圧は2.5 Vと比較され、これが発生するたびにBLビット（低バッテリー）が更新されます。

一部の用途では、ユーザが強制的にBLを更新する必要があります。これを行うための一般的な仕掛けは、現在時刻を保存し、午前0時の1秒前（午後11:59:59）を時刻に書き込み、2秒間待ってから前に保存しておいた時刻を（2秒加えて）書き戻すという方法です。これによって、デバイスの電源を入れ直す必要なく、BLビットが更新されます。

図 11. バッテリー監視

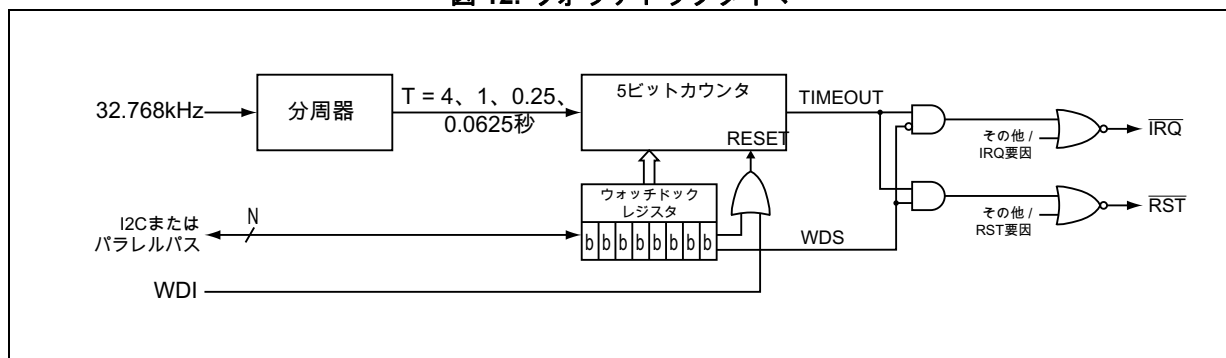


## 10 ウォッチドッグタイマ

ウォッチドッグタイマの基本的な機能は、最後にウォッチドッグタイマがリセットされてから長い時間が経過した場合に、システムを必ずリセットすることです。ソフトウェアにとっての通常の用途は、ウォッチドッグタイマを定期的リセットし、これが起こらない場合には、ソフトウェアがハングアップしており、復旧のためには再初期化の必要があることが推測されるというものです。そのため、ウォッチドッグタイマの出力は、システムリセット信号（RST）または割り込み（IRQ）と接続されます。アプリケーションがタイマを定期的リセットしている限りは、タイムアウトは発生しません。ただし、ソフトウェアがある原因でハングアップしてしまった場合には、ウォッチドッグがタイムアウトしリセット（または割り込み）が発生します。その結果として、システムを再起動させます。

M48T201Y/V、M41ST85W、M41ST87W/Iには、どれにも同じ基本的なウォッチドッグ機能が採用されています。WDIピンが反転されるか、アプリケーションによりI<sup>2</sup>C（M48T201Y/Vではパラレルバス）を通じてウォッチドッグレジスタに書き込みが行われるかすると、そのタイマがリセットされます。5ビットカウンタをドライブするクロック周期は、4種類から1つを選択できます。プログラム可能なタイムアウト時間は、 $\frac{1}{4}$ 秒から124秒の範囲となります。詳細については、個別デバイスのデータシートを参照してください。

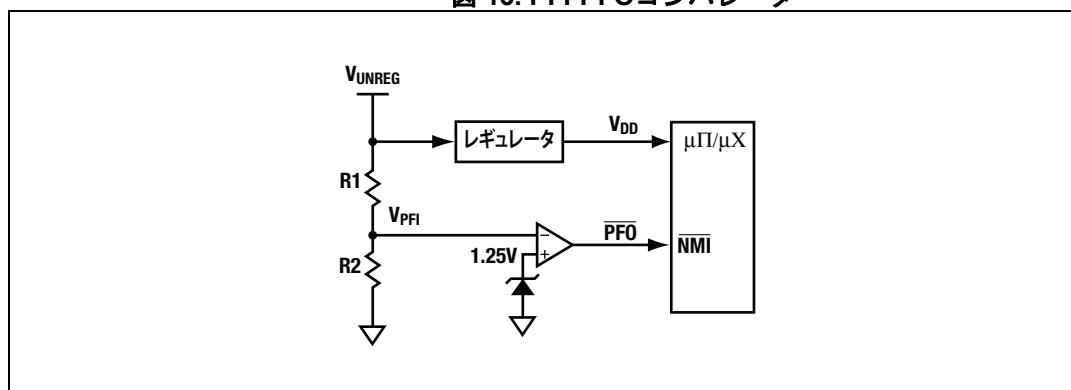
図 12. ウォッチドッグタイマ



## 11 電源喪失検出コンパレータ (PFI-PFO) - 早期電源喪失警告

ほとんどのRTC/NVRAMアプリケーションでは、バッテリー切り替えと書き込み保護のタイミングは、不揮発データと計時機能を維持するために十分な余裕がありますので、事前警告は不要です。システム電源が失われた場合、デバイスはそれと同時に、自動的にバックアップモードに切り替わります、

図 13. PFI-PFOコンパレータ



しかし、アプリケーションによっては、電源が失われた際に、重要データをNVRAMに格納してから適切にシャットダウンするまでに、十分な時間を必要とするものもあります。PFI-PFOコンパレータ (power-fail in / power-fail out) は、間もなく電源が失われることの事前警告を生成するために用います。システム電源用レギュレータの上流を監視することにより、システムは、安定化前の電圧が大幅に低下したことを判定し、マイクロプロセッサに割り込みを送信することができます。安定化前の電圧をある期間にわたって測定することにより、典型的な喪失特性を特徴づけて、それに応じた抵抗値R1とR2を選択することが可能です。

## 12 まとめ

STのTIMEKEEPERスーパーバイザファミリを使用すれば、あらゆるシステムにNVRAMとRTCの機能を実装するのが容易となるだけでなく、その中には、コンパクトで経済性に優れたソリューションを提供するとともに、システムの信頼性を向上させるさまざまなスーパーバイザ機能も含まれていることがおわかりになるでしょう。

## 13 参考資料

- AN1336: NVRAM監視デバイス用電源喪失検出コンパレータ



## 14 改版履歴

表 2. 文書改版履歴

日付	版	変更内容
2015年5月7日	1	初版リリース

表 3. 日本語版改版履歴文書改版履歴

日付	版	変更内容
2016年3月1日	1	日本語版 初版リリース

**重要なお知らせ（よくお読み下さい）**

STMicroelectronics NV およびその子会社（以下、ST）は、ST製品及び本書の内容をいつでも予告なく変更、修正、改善、改定及び改良する権利を留保します。購入される方は、発注前にST製品に関する最新の関連情報を必ず入手してください。ST製品は、注文請書発行時点で有効なSTの販売条件に従って販売されます。

ST製品の選択並びに使用については購入される方が全ての責任を負うものとします。購入される方の製品上の操作や設計に関してSTは一切の責任を負いません。

明示又は黙示を問わず、STは本書においていかなる知的財産権の実施権も許諾致しません。

本書で説明されている情報とは異なる条件でST製品が再販された場合、その製品についてSTが与えたいかなる保証も無効となります。

STおよびSTロゴはSTMicroelectronicsの商標です。その他の製品またはサービスの名称は、それぞれの所有者に帰属します。

本書の情報は本書の以前のバージョンで提供された全ての情報に優先し、これに代わるものです。

© 2016 STMicroelectronics - All rights reserved