

参考資料



life.augmented

AN5031

アプリケーションノート

STM32MP151, STM32MP153, STM32MP157 ラインの
ハードウェア開発の手引書

概要

本アプリケーションノートでは、STM32MP151、STM32MP153、STM32MP157 の各ラインの使用方法、およびそれらの MPU 製品を使用してアプリケーションを開発するために必要な最小ハードウェアリソースについて説明します。

このアプリケーションノートは、開発ボードのハードウェア実装の概要を知る必要があるシステム設計者を対象としており、次のような機能について説明します。

- 電源
- パッケージの選択
- クロック管理
- リセット制御
- ブートモード設定
- デバッグ管理

本書には、詳細なリファレンスデザインの回路図のほか、主要コンポーネント、インターフェース、およびモードに関する説明も記載されています。

参考資料

目次

AN5031

目次

1	一般情報	8
2	参照文献	8
3	用語	9
4	電源	11
4.1	概要	12
4.1.1	独立した ADC および DAC コンバータ用電源と基準電圧	12
4.1.2	バッテリバックアップ	13
4.1.3	電圧レギュレータ	13
4.2	電源供給方式	14
4.3	リセットおよび電源供給スーパバイザ	17
4.3.1	パワーオンリセット (POR) / パワーダウンリセット (PDR)	17
4.3.2	プログラム可能な電圧検出器 (PWD)	17
4.3.3	アプリケーションリセットとシステムリセット	18
5	パッケージ	20
5.1	パッケージの選択	20
5.2	ピンへのオルタネート機能のマッピング	22
5.3	異なる型番間のパッケージ互換性	23
6	クロック	28
6.1	HSE OSC クロック	28
6.1.1	外部ソース (HSE バイパス)	29
6.1.2	外部クリスタル/セラミック発振子 (HSE クリスタル)	29
6.2	LSE OSC クロック	30
6.2.1	外部ソース (LSE バイパス)	30
6.2.2	外部クリスタル/セラミック発振子 (LSE クリスタル)	30
6.3	クロックセキュリティシステム (CSS)	31
6.3.1	HSE の CSS	31
6.3.2	LSE の CSS	31

参考資料

7	ブート設定	32
7.1	ブート・モード選択	32
7.2	BOOT ピンの接続	33
7.3	内蔵ブート・ローダ・モード	35
8	デバッグ管理	36
8.1	概要	36
8.2	SWJ デバッグポート（シリアルワイヤと JTAG）	36
8.3	ピン名とデバッグポートピン	36
8.3.1	JTAG ピンでの内部プルアップ / プルダウン抵抗	36
8.3.2	デバッグポートと標準 JTAG コネクタの接続	37
8.3.3	STDC14 コネクタへのデバッグポートと UART の接続	38
8.3.4	パラレルトレースと HDP	39
8.3.5	デバッグトリガと LED	41
9	推奨事項	42
9.1	プリント回路基板	42
9.2	コンポーネントの位置	42
9.3	グランドおよび電源 (V_{SSx} , V_{DDx})	42
9.4	IO 速度の設定	42
9.5	PCB スタックおよびテクノロジー	46
9.6	デカッピング	50
9.7	ESD/EMI 保護	50
9.8	ノイズに敏感な信号	51
9.9	未使用の I/O および機能	51
10	リファレンスデザイン例	52
10.1	説明	52
10.1.1	クロック	52
10.1.2	リセット	53
10.1.3	ブートモード	53
10.1.4	SWD/JTAG インタフェース	53
10.1.5	電源	54
10.1.6	DDR3/DDR3L SDRAM	57
10.1.7	LpDDR2/LpDDR3 SDRAM	58

参考資料

目次

AN5031

10.1.8	SD カード	59
10.1.9	eMMC™ Flash	61
10.1.10	SLC NAND-Flash	63
10.1.11	シリアル NOR-Flash/NAND-Flash	64
10.1.12	USB	66
10.1.13	Ethernet	69
10.1.14	ディスプレイシリアルインターフェース (DSI)	74
11	改版履歴	76

参考資料

AN5031

表の一覧

表の一覧

表 1.	参照文献	8
表 2.	用語	9
表 3.	ANASWVDD および EN_BOOSTER 用の推奨設定	13
表 4.	パッケージ別デカップリングコンデンサ値と数量の推奨値	16
表 5.	パッケージ一覧	20
表 6.	パッケージ別主要機能の相違	21
表 7.	デバイスの互換性のまとめ	23
表 8.	16x16 LFBGA354 用の STM32MP151xxx および STM32MP153xxx の互換性	24
表 9.	10x10 TFBGA257 用の STM32MP151xxx および STM32MP153xxx の互換性	25
表 10.	12x12 TFBGA361 用の STM32MP151xxx および STM32MP153xxx の互換性	26
表 11.	18x18 LFBGA448 用の STM32MP151xxx および STM32MP153xxx の互換性	27
表 12.	ブートモード	32
表 13.	VDD = 標準 3.3 V での OSPEEDR 設定例	43
表 14.	VDD = 標準 1.8 V での OSPEEDR 設定例	44
表 15.	オシレータまたはクリスタル発振子用の HSE 部品表	52
表 16.	ブート可能な UART ピン	53
表 17.	USB 用のパッケージの長さマッチング値	68
表 18.	DSI 用のパッケージの長さマッチング値	75
表 19.	文書改版履歴	76
表 20.	日本語版文書改版履歴	76



図の一覧

図 1.	電源供給方式	11
図 2.	パワーオンリセット／パワーダウンリセット波形	17
図 3.	PVD の閾値	18
図 4.	リセットピン回路概要	19
図 5.	STM32CubeMX のスクリーンショット例	22
図 6.	16x16 LFBGA354 互換性	24
図 7.	10x10 TFBGA257 互換性	25
図 8.	12x12 TFBGA361 互換性	26
図 9.	18x18 LFBGA448 互換性	27
図 10.	HSE 外部クロック	28
図 11.	HSE クリスタル / セラミック発振子	28
図 12.	LSE 外部クロック	30
図 13.	LSE クリスタル / セラミック発振子	30
図 14.	BOOT モード選択の例	33
図 15.	BOOT ピンの一般的な接続図	34
図 16.	ブートフロー概要	35
図 17.	ホストとボードの接続	36
図 18.	JTAG/SWD MIPI10 コネクタ接続例	37
図 19.	JTAG/SWD/UART VCP STDC14 コネクタ接続例	38
図 20.	パラレルトレースポート付き JTAG/SWD の Mictor38 接続例	40
図 21.	LED の接続例	41
図 22.	負荷容量と電圧別 I/O 速度概要	43
図 23.	6 層 PCB スタック例	46
図 24.	4 層 PCB スタック例	47
図 25.	0.8 mm ピッチパッケージ用 PCB ルール例	48
図 26.	0.5 mm ピッチパッケージ用 PCB ルール例	49
図 27.	電源供給用 0.65mm ピッチ内部ボール用 PCB ルール例	49
図 28.	デカップリング用コンデンサのレイアウト例	50
図 29.	オシレータ／クリスタル発振子 HSE 推奨回路	52
図 30.	DDR3L 使用時の 3.3 V I/O ディスクリート電源例	54
図 31.	DDR3L 使用時の 3.3 V I/O PMIC 例	55
図 32.	LPDDR2/LPDDR3 使用時の 1.8 V I/O PMIC 例	56
図 33.	DDR3L 16/32 ビット接続例	57
図 34.	LPDDR2/LPDDR3 32 ビット接続例	58
図 35.	外部レベルシフタ付き SD カード接続例	60
図 36.	3.3 V I/O SD カード接続例	61
図 37.	eMMC™ 接続例	62
図 38.	SLC NAND-Flash 接続例	63
図 39.	シリアル Flash 接続例	64
図 40.	デュアルシリアル Flash 接続例	65
図 41.	USB 2 ポートホストハイスピード + OTG フルスピード接続例	66
図 42.	USB ホストハイスピード + OTG ハイスピード接続例	67
図 43.	0.8 mm ボールピッチパッケージ USB ハイスピード PCB パターン例	68
図 44.	10/100M Ethernet PHY 接続例	69
図 45.	RCC からの REFCLK を使った 10/100M Ethernet PHY 接続例	70
図 46.	VDD = 3.3 V (RTL8211E) を使ったギガビット Ethernet PHY 接続例	71
図 47.	VDD = 3.3 V (RTL8211F) を使ったギガビット Ethernet PHY 接続例	72
図 48.	VDD = 1.8 V (RTL8211F) を使ったギガビット Ethernet PHY 接続例	72
図 49.	VDD = 3.3 V (RTL8363NB-VG) を使ったギガビット Ethernet 2 ポートスイッチ例	73

参考資料

AN5031

図の一覧

図 50.	DSI によるディスプレイ接続例	74
図 51.	0.8 mm ポールピッチパッケージ DSI インタフェース PCB パターン例	75

参考資料

1 一般情報

本書は、Arm^{®(a)} ベースのデバイスに適用されます。



2 参照文献

以下のドキュメントを、www.st.com より入手できます。

表 1. 参照文献

参照	タイトル
AN2867	STM8AF/AL/SおよびSTM32マイクロコントローラ用発振器設計ガイド
AN1709	STマイクロコントローラ EMCデザインガイド
AN5275	USB DFU/USART protocols used in STM32MP1 Series bootloaders
AN5168	DDR configuration on STM32MP1 Series MPUs
AN5089	STM32MP1 Series and STPMIC1 hardware / software integration
AN5122	STM32MP1 Series DDR memory routing guidelines
AN5256	STM32MP151, STM32MP153 and STM32MP157 discrete power supply hardware integration
UM2535	Evaluation boards with STM32MP157 MPUs
UM2534	Discovery kits with STM32MP157 MPUs
RM0441	STM32MP151 advanced Arm [®] -based 32-bit MPU
RM0442	STM32MP153 advanced Arm [®] -based 32-bit MPU
RM0436	STM32MP157 advanced Arm [®] -based 32-bit MPU
DS12500	STM32MP151A/D データシート
DS12501	STM32MP151C/F データシート
DS12502	STM32MP153A/D データシート
DS12503	STM32MP153C/F データシート
DS12504	STM32MP157A/D データシート
DS12505	STM32MP157C/F データシート

a. Arm は、米国内およびその他の地域にある Arm Limited（またはその子会社）の登録商標です。

3 用語

表 2. 用語

用語	意味
ADC	A/D コンバータ
AHB	Advanced high-performance bus(アドバンスト・ハイパフォーマンス・バス)
CSI	低電力内部オシレータ
CTI	Cross-trigger interface(クロストリガインターフェース)
DAC	D/A コンバータ
DAP	Debug access port(デバッグアクセスポート)
DDRCTRL	Double data rate SDRAM controller(ダブルデータレート SDRAM コントローラ)LPDDR2 および DDR3/DDR3L プロトコルをサポート
DDRPHYC	DDR 物理インターフェースコントロール
DSI	Display serial interface master(ディスプレイ・シリアル・インターフェース・マスター)
ETH	Ethernet コントローラ
EXTI	Extended interrupt and event controller(拡張割込み／イベントコントローラ)
FMC	Flexible memory controller(フレキシブル・メモリ・コントローラ)
GPIO	General Purpose input Output (汎用入出力)
HDP	Hardware debug port(ハードウェア・デバッグ・ポート)
HSE	High-speed external quartz oscillator(高速外部水晶発振器)
HSI	High-speed internal oscillator(高速内部オシレータ)
I2C	Inter IC bus(インター IC バス)
IWDG	Independent watchdog(独立型ウォッチドッグ)
JTAG	Joint Test Action Group(ジェイタグ)デバッグインターフェース
LSE	Low-speed external quartz oscillator(低速外部水晶発振器)
LSI	Low-speed internal oscillator(低速内部オシレータ)
MDIOS	Management data input/output slave(マネージメント・データ・インプット/アウトプット・スレーブ)Ethernet 物理インターフェースを制御するために使われるインターフェース
OTG	USB on the Go ホストにもデバイスにもなれるインターフェースの USB 規格
OTP	One time program memory(ワンタイム・プログラム・メモリ)
PMIC	Power management integrated circuit(電源管理IC)外部信号とシリアルインターフェースから制御可能なさまざまなプラットフォーム電源を提供する外部回路
PWR	電源制御
QUADSPI	Quad data lanes serial peripheral interface(クワッド・データ・レーン・シリアル・ペリフェラル・インターフェース)
RCC	Reset and clock control(リセットおよびクロック制御)
ROM	Read-only memory(読み出し専用メモリ)
RTC	Real time clock(リアルタイムクロック)

参考資料

表 2. 用語 (続き)

用語	意味
SDMMC	Secure digital and multiMedia card interface(セキュア・デジタル・マルチメディア・カード・インターフェース)SD、MMC、eMMC、および SDIO プロトコルをサポート
SMPS	Switched mode power supply(スイッチモード電源)
SPI	Serial peripheral interface(シリアル・ペリフェラル・インターフェース)
STM	System trace microcell(システム・トレース・マクロセル)
SW	ソフトウェア
SWD	Serial wire debug(シリアル・ワイヤ・デバッグ)
SWO	Single wire output(シングルワイヤ出力)トレースポート
SYSCFG	System configuration(システム設定)
TAMP	Tamper detection IP(タンパ検出 IP)
TEMP	Temperature sensor(温度センサ)
UART	Universal asynchronous receiver/transmitter (ユニバーサル非同期レシーバ／トランスマッタ)
USART	Universal synchronous/asynchronous receiver/transmitter (ユニバーサル同期／非同期レシーバ／トランスマッタ)
USB	Universal serial bus(ユニバーサル・シリアル・バス)
USBH	USB host controller (USB ホストコントローラ)
VREFBUF	ADC/DAC voltage reference buffer (ADC/DAC 電圧リファレンスバッファ)

参考資料

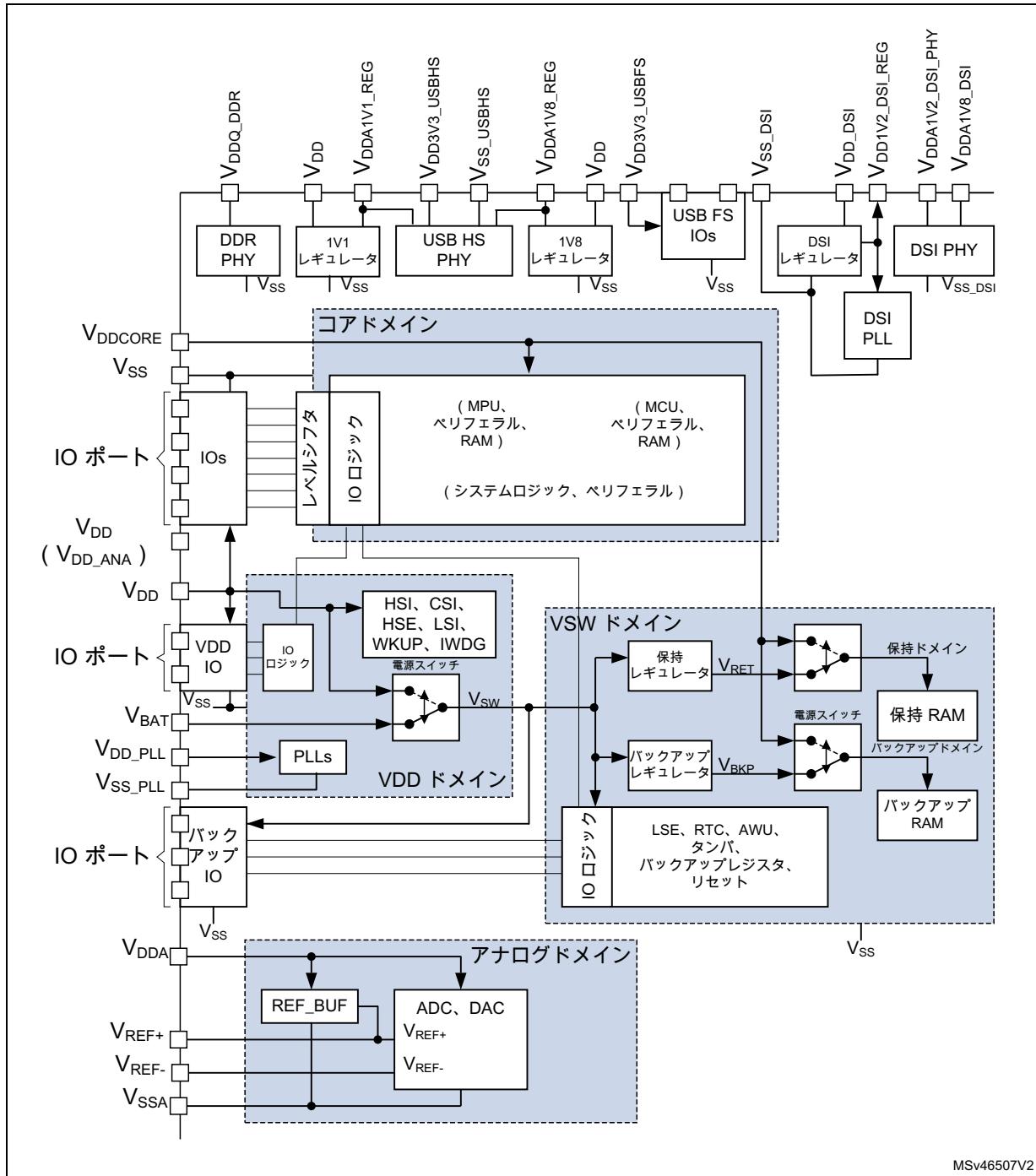
AN5031

電源

4

電源

図 1. 電源供給方式



MSv46507V2



AN5031Rev 1 [English Rev 2]

11/77

4.1 概要

注： 詳細および保証動作範囲については製品データシートを参照してください。

- メイン IO 電圧源 (V_{DD}) の範囲は 1.71~3.6 V です。
 - コアロジック動作電圧源 (V_{DDCORE}) の範囲は 1.18~1.25 V です。
 - USB 電源 (V_{DD3V3_USBHS} および V_{DD3V3_USBFS}) の範囲は 3.07~3.6 V です。
 - 一部の内部ブロックに電源供給するために、内蔵レギュレータが使用されます。
 - DSI 用の 1.2 V LDO は、DSI PLL および $V_{DD1V2_DSI_PHY}$ ピンに電源供給するために使用され、 $V_{DD1V2_DSI_REG}$ から出力されます。範囲は 1.15~1.26 V です。
 - DSI および USB 用の 1.8 V LDO は、内部的に USB および V_{DDA1V8_DSI} に電源供給するために使用され、 V_{DDA1V8_REG} から出力されます。BYPASS_REG1V8 = V_{DD} の場合、 V_{DDA1V8_REG} は外部から供給する必要があります。その場合、範囲は 1.65~1.95 V です。
 - USB 用の 1.1 V LDO は、外部デカッピング用の V_{DD1V1_REG} から出力されます。
- 注： 内蔵レギュレータは外部コンポーネントの電源供給に使用出来ません。
- リアルタイムクロック (RTC) およびバックアップレジスタは、主電源 V_{DD} がオフの場合、 V_{BAT} から電源供給することができます。 V_{BAT} と V_{DD} の間の自動スイッチを備えたこの内部電源は V_{SW} ドメインと呼ばれ、PI8、PC13、PC14、PC15 パッドへの電源供給にも使用されます。 V_{BAT} 電圧の範囲は 1.20~3.6 V です。
- V_{DD} が V_{BAT} より高い電圧の場合、外部バックアップ電圧デバイス (スーパーイヤパシタなど) 用に V_{BAT} から少量の充電電流を供給できます。

4.1.1 独立した ADC および DAC コンバータ用電源と基準電圧

変換の精度とダイナミックレンジを向上させるため、ADC、DAC、およびリファレンスには独立した電源が供給されます。この電源は、PCB のノイズを防ぐために、個別にフィルタしシールドすることができます。

アナログ動作電圧源 (V_{DDA}) の範囲は 1.71~3.6 V です (DAC は、 V_{DDA} が 1.8 V 以上の場合にのみ使用できます)。

- ADC/DAC/VREFBUF 用の電源入力は、独立した V_{DDA} ピンから供給されます。
- ADC 電源のグランドは、独立した V_{SSA} ピンとして用意されています。
いずれの場合も、 V_{SSA} ピンは、 V_{SS} と同じグランドに外部で接続する必要があります。

外部 VREF

独立した外部基準電圧を ADC/DAC の V_{REF+} 入力に接続できます。 V_{REF+} の電圧は、1.62 V から V_{DDA} の範囲にすることができます。

注： DAC を機能させるには、1.8 V を超える V_{REF+} が必要です。

内部 VREF

VREFBUF ブロックで V_{REF+} の内部基準電圧を有効にすることができます。
 V_{REF+} の電圧は、1.5 V、1.8 V、2.048 V、および 2.5 V から選択できます。

V_{REF+} ピンで内部 VREF を使用できるので、負荷がデータシートの値内に保たれていれば、外部で (たとえば、アナログコンパレータのリファレンス用に) これを使用できます。

注： DAC を機能させるには、1.8 V を超える V_{REF+} が必要です。

注： VREFBUF には、 $V_{REF+} + 0.3$ V 以上の V_{DDA} が必要です。

参考資料

AN5031

電源

注意： V_{REF-} ピンが用意されているパッケージでは、このピンを外部で V_{SSA} に固定する必要があります。

ADC アナログ入力スイッチ用ブースタ

ADC 入力はアナログスイッチで切り替えられますが、このスイッチは V_{DDA} 電源が 2.7 V 未満の場合に性能が低下します。ADC のアナログ性能を最大化するために、 V_{DD} (2.7 V を超える場合) または V_{DDA} からの内蔵 3.3 V ブースタのいずれかをアナログスイッチに供給することもできます。

これは SYSCFG_PMCR レジスタで制御されます。

表 3. ANASWVDD および EN_BOOSTER 用の推奨設定

V_{DDA} (V)	V_{DD} (V)	-->	SYSCFG_PMCR. ANASWVDD	SYSCFG_PMCR. EN_BOOSTER	スイッチ電源	ADC アナログ性能
>2.7	1.71~3.6	-	0	0	V_{DDA} (>2.7 V)	最大
<2.7	>2.7	-	1	0	V_{DD} (>2.7 V)	
	<2.7	-	0	1 ⁽¹⁾	ブースタ (~3.3 V)	
				0 ⁽²⁾	V_{DDA} (<2.7 V)	低下

1. ブースタ電圧は安定するまでに最大 50 μ s かかることがあります。

2. ADC アナログ性能の低下が許容できる場合、ブースタを無効にすれば最大 250 μ A を節約できます。

4.1.2 バッテリバックアップ

V_{DD} がオフになった場合に、バックアップレジスタ、BKPSRAM、および RETRAM の内容を保持するため、 V_{BAT} ピンをバッテリやその他の電源に接続することができます。

V_{BAT} ピンから RTC ユニットにも電源が供給され、主デジタル電源 (V_{DD}) がオフの場合でも RTC が動作できるようにします。 V_{BAT} 電源への切り替えは、リセットブロックに組み込まれているパワーダウンリセット (PDR) 回路によって制御されます。

外部バッテリを使用しないアプリケーションでは、 V_{BAT} を V_{DD} に外部接続する必要があります。

4.1.3 電圧レギュレータ

BYPASS_REG1V8 = V_{SS} の場合、パワーオンリセット後に 1.8 V LDO (USB および DSI 用) は常に有効になります。これは、(LP/LPLV-) STOP による影響を受けませんが、STANDBY への移行時に無効になります。

1.1 V LDO (USB 用) は、パワーオンリセット後に常に有効になります。これは、(LP/LPLV-) STOP による影響を受けませんが、STANDBY への移行時に無効になります。

1.2 V LDO (DSI 用) は、システムリセット後に無効になり、DSI を使用する前にソフトウェアで有効にする必要があります。これは、(LP/LPLV-) STOP による影響を受けませんが、STANDBY への移行時に無効になります。

注：特に明記されていない限り、内蔵レギュレータは外部コンポーネントの電源供給に使用出来ません。



4.2 電源供給方式

回路には、以下の複数の電源から電力供給されます。

- V_{DD} は、IO および STANDBY モード中に電源が供給され続ける内部部品の主電源です。有効な電圧範囲は 1.71~3.6 V です（例：1.8 V、2.5 V、3.0 V、または 3.3 V 標準）。
 - これらの電源は外部のデカップリングコンデンサに接続する必要があります（表 4 参照）。
 - V_{DD_DSI} 、 V_{DD_PLL} 、および V_{DD_ANA} は V_{DD} に接続する必要があります。
 - V_{DDCORE} は、メインのデジタル電圧で、STANDBY モード中に外部から停止できます。RUN モード中の電圧範囲は 1.18~1.25/1.38 V（標準 1.2/1.34 V）です。
 - この電源は外部のデカップリングコンデンサに接続する必要があります（表 4 参照）
 - V_{DDCORE} は特定の STOP モード（LPLV_Stop）でさらに低減できます。これには、PWR_ON 信号（たとえば、外部電源管理 IC のSTPMIC1）または PWR_LP 信号（ディスクリート SMPS コンポーネントによる）のどちらかが関与します。
 - V_{BAT} ピンは、外部バッテリに接続できます（ $1.2 \text{ V} < V_{BAT} < 3.6 \text{ V}$ ）。
 - RETRAM が使われている場合は、 V_{BAT} の最小値は 1.4 V です。
 - アプリケーションでバックアップバッテリをサポートしていない場合は、このピンを V_{DD} に接続することを推奨します。
 - アプリケーションでバックアップバッテリをサポートしている場合は、 V_{BAT} と V_{SS} 間に 100 nF のセラミックデカップリングコンデンサを付加することを推奨します。
 - アプリケーションで V_{BAT} にスーパーキャパシタを使っている場合は、追加のデカップリングは必要ありません。
 - V_{DDA} ピンはアナログ（ADC/DAC/VREFBUF）電源で、外部のデカップリングコンデンサに接続する必要があります（表 4 参照）。
 - V_{REF+} ピンは、 V_{DDA} 外部電源に接続できます。独立した内部または外部の基準電圧が V_{REF+} に印加されている場合は、デカップリングコンデンサをこのピンと V_{REF-} の間に接続する必要があります（表 4 参照）。セクション 4.1.1：を参照してください。
アナログ・ノイズをフィルタリングするには、事前に次のことに注意してください。
 - V_{DDA} は、インダクタベースのフィルタを介して V_{DD} に接続できます。
 - V_{DDQ_DDR} は DDR IO の電源で、外部のデカップリングコンデンサに接続する必要があります（表 4 参照）。
 - DDR3 メモリとのインターフェース用の電圧範囲は 1.425~1.575 V です（標準 1.5 V）。
 - DDR3L メモリとのインターフェース用の電圧範囲は 1.283~1.45 V です（標準 1.35 V）。
 - LPDDR2 または LPDDR3 メモリとのインターフェース用の電圧範囲は 1.14~1.3 V です（標準 1.2 V）。
 - $V_{DDA1V2_DSI_REG}$ ピンは 内部レギュレータの出力で、外部のデカップリングコンデンサに接続する必要があります（表 4 参照）。
 - $V_{DDA1V2_DSI_REG}$ は DS1 PLL に内部的に接続されています。
 - $V_{DDA1V2_DSI_PHY}$ はアナログDSI PHY 電源です。電圧範囲は 1.15~1.26 V です（標準 1.2 V）。 $V_{DDA1V2_DSI_PHY}$ は $V_{DDA1V2_DSI_REG}$ に接続する必要があります。
 - V_{DD3V3_USBHS} および V_{DD3V3_USBFS} はそれぞれ、USB ハイスピード PHY および USB フルスピード PHY の電源です。電圧範囲は 3.07~3.6 V です。ともに外部のデカップリングコンデンサに接続する必要があります（表 4 参照）。
- V_{DD3V3_USBFS} は OTG_VBUS および OTG_ID (PA10) ピンに供給するために使用されます。そのため、USB ハイスピードデュアルポートまたは USB ハイスピードデバイスを使用する

参考資料

場合は、 V_{DD3V3_USBFS} も供給する必要があります。使用しない場合は、 V_{DD} に接続する必要があります。

- V_{DDA1V8_REG} ピンは 内部レギュレータの出力で、外部のデカッピングコンデンサに接続する必要があります (表 4 参照)。
 - V_{DDA1V8_REG} は USB PHY および USB PLL に内部的に接続されています。
 - 内部 V_{DDA1V8_REG} レギュレータはデフォルトで有効であり、ソフトウェアで制御できます。これは STANDBY 中、常に停止されます。
- 1.8 V 電圧レギュレータ構成では、電圧レギュレータを有効または無効にするために BYPASS_REG1V8 ピンを V_{SS} または V_{DD} に接続する必要があります。 V_{DD} が 2.25 V を下回る場合には、以下のように 1.8 V レギュレータをバイパスすることが必須です。
 - BYPASS_REG1V8 = V_{DD} 。この場合、 V_{DDA1V8_REG} ピンは V_{DD} (1.98V 未満の場合) または専用の 1.65~1.98 V 電源 (標準 1.8 V) に接続する必要があります。
 - BYPASS_REG1V8 = V_{SS} 。この場合、1.8 V 電圧レギュレータを正しく動作させるためには、 V_{DD} は 2.25 V を超えていなければなりません。
 - 詳細は、セクション 4.1.3: および関連するデバイスデータシートの「Embedded regulators characteristics」のセクションを参照してください。
- V_{DDA1V8_DSI} はアナログ DSI 電源です。電圧範囲は 1.65~1.98 V です (標準 1.8 V)。 V_{DDA1V8_DSI} は V_{DDA1V8_REG} に接続する必要があります。また、外部のデカッピングコンデンサにも接続する必要があります (表 4 参照)。
- V_{DDA1V1_REG} ピンは 内部レギュレータの出力で、外部のデカッピングコンデンサに接続する必要があります (表 4 参照)。電圧範囲は 1.045~1.155 V です (標準 1.1 V)。
 - V_{DDA1V1_REG} は USB PHY に内部的に接続されています。
 - 内部 V_{DDA1V1_REG} レギュレータはデフォルトで有効であり、ソフトウェアで制御できます。これは STANDBY 中、常に停止されます。

注意 : V_{DDA1V8_REG} がオフの時は、 V_{DD3V3_USBHS} はオフにしてください。そうしないと、永続的な STM32MP15x ラインの損傷が発生する可能性があります。PMIC を使用するか、またはディスクリート部品で電源を実装する場合は外部コンポーネントを使用して電源投入の順序を守る必要があります。

注意 : すべての電源グランド (V_{SS} 、 V_{SS_ANA} 、 V_{SS_PLL} 、 V_{SS_USBHS} 、 V_{SS_DSI} 、 V_{SSA} 、および V_{REF-}) は、共に電源ブレーンと接続する必要があります。

参考資料

表 4. パッケージ別デカップリングコンデンサ値と数量の推奨値⁽¹⁾

電源ピン	デカップリング ポイント ⁽²⁾	値	LFBGA354	TFBGA257	TFBGA361	LFBGA448	コメント
V _{BAT}	V _{SS}	100 nF	1	1	1	1	V _{BAT} が V _{DD} に接続されているか、バッテリの代わりにスーパー・キャパシタが使われている場合は、省略できる
V _{DDCORE}	V _{SS}	1 μF ⁽³⁾	15	15	15	15	PMIC/SMPS のコンデンサは含まない
V _{DDQ_DDR}	V _{SS}	1 nF	2	2	2	2	PMIC/SMPS のコンデンサおよび DDR メモリの追加コンデンサは含まない
		3.3 nF	0	3	0	0	
		1 μF ⁽³⁾	4	2	7	7	
V _{DD_ANA}	V _{SS_ANA}	1 μF ⁽³⁾	1	- ⁽⁴⁾	1	1	-
V _{DD_PLL} 、V _{DD_PLL2}	V _{SS_PLL} 、 V _{SS_PLL2}	1 μF ⁽³⁾	2	- (4)	- (4)	2	PMIC/SMPS のコンデンサは含まない
V _{DD} 、V _{DD_DSI}	V _{SS}	1 μF ⁽³⁾	4	4	4	4	
V _{DD1V2_DSI_REG} 、 V _{DD1V2_DSI_PHY}	V _{SS_DSI}	2.2 μF ⁽³⁾	1	-	1	1	-
	V _{SS}		-	1 ⁽⁵⁾	-	-	
V _{DDA1V8_REG}	V _{SS_USBHS}	2.2 μF ⁽³⁾	1	-	1	1	-
	V _{SS}		-	1 ⁽⁵⁾	-	-	
V _{DDA1V8_DSI}	V _{SS_DSI}	1 μF ⁽³⁾	1	-	1	1	V _{DDA1V8_DSI} は V _{DDA1V8_REG} に接続する必要がある
	V _{SS}		-	1 ⁽⁵⁾	-	-	
V _{DDA1V1_REG}	V _{SS_USBHS}	2.2 μF ⁽³⁾	1	-	1	1	-
	V _{SS}		-	1 ⁽⁵⁾	-	-	
V _{DD3V3_USBHS} 、 V _{DD3V3_USBFS}	V _{SS_USBHS}	1 μF ⁽³⁾	1	-	1	1	-
V _{DD3V3_USB}	V _{SS}		-	1 ⁽⁵⁾	-	-	
V _{DDA}	V _{SSA}	100 nF + 1 μF ⁽³⁾	1+1	1+1	1+1	1+1	V _{SSA} は V _{SS} プレーンに接続する必要がある
V _{REF+}	V _{REF-} および V _{SSA}	100 nF + 1 μF ⁽³⁾	1+1	-	-	1+1	V _{REF-} は V _{SSA} 、次に V _{SS} プレーンに接続する必要がある
	V _{SSA}		-	1+1 ⁽⁶⁾	1+1 ⁽⁶⁾	-	V _{SSA} は V _{SS} プレーンに接続する必要がある

- この表はガイドラインとして使用できます。コンデンサの実際の数と値は、コンデンサのサイズ、コンデンサの誘電体、PCB テクノロジーなど、さまざまなパラメータに応じて、製品の電源インテグリティシミュレーション結果を使用して調整できます。
- すべての V_{SS_X} と V_{SSA} は共通の V_{SS} プレーンに接続する必要があります。
- 多層セラミックコンデンサ (MLCC)
- 電源は内部で V_{DD} とマージされます。
- 電源リターンバスは内部で V_{SS} とマージされます。
- V_{REF-} は内部で V_{SSA} とマージされます。

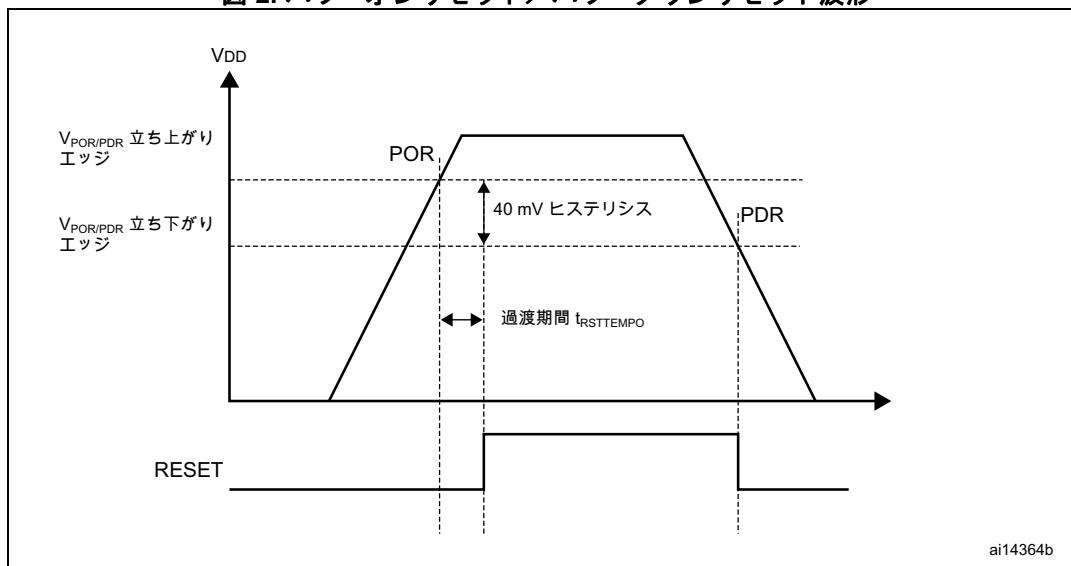
4.3 リセットおよび電源供給スーパーバイザ

4.3.1 パワーオンリセット (POR) / パワーダウンリセット (PDR)

このデバイスには、1.71 V 以上での正常な動作を可能にする POR/PDR 統合回路が搭載されています。

デバイスは、 V_{DD} が規定の閾値 $V_{POR/PDR}$ を下回っている間は、外部のリセット回路を必要とせずに、リセットモードを維持します。POR/PDR 閾値の詳細については、製品データシートの電気的特性を参照してください。

図 2. パワーオンリセット/パワーダウンリセット波形



ai14364b

- $t_{RSTTEMPO}$ は約 2.6 ms です。 $V_{POR/PDR}$ 立ち上がりエッジは 1.67 V（標準）、 $V_{POR/PDR}$ 立ち下がりエッジは 1.63 V（標準）です。実際の値については、STM32MP15x のデータシートを参照してください。

内部パワーオンリセット (POR) / パワーダウンリセット (PDR) 回路は、PDO_ON ピンによって無効にできます。その場合、外部電源供給スーパーバイザでは V_{DD} を監視する必要があり、 V_{DD} が指定されている閾値を下回っている間はデバイスをリセットモードに維持する必要があります。

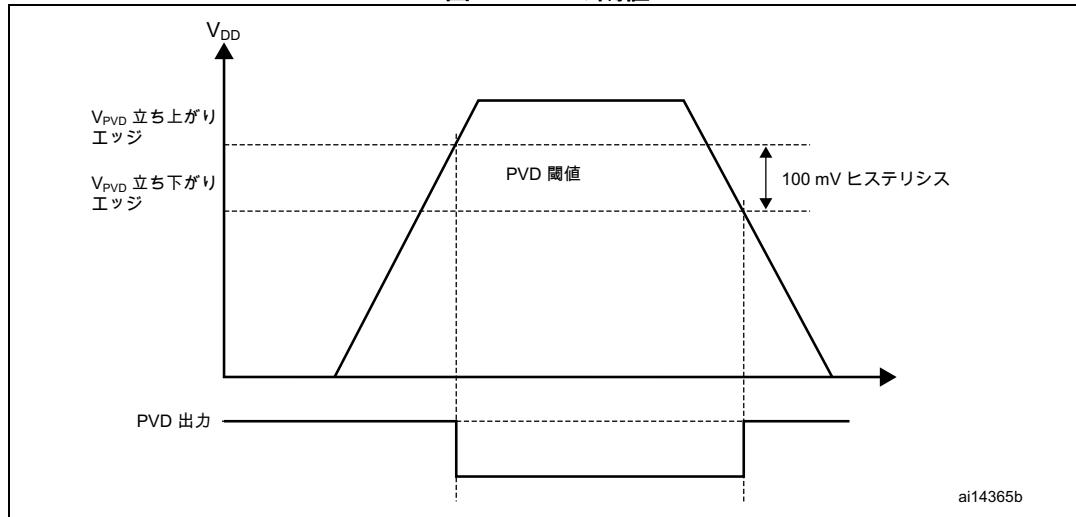
4.3.2 プログラム可能な電圧検出器 (PVD)

PVD を使用した V_{DD} 電源の監視が可能です。電源制御レジスタ (PWR_CR) の PLS[2:0] ビットで選択した閾値と比較することで監視します。

PVD は PVDE ビットをセットすることで有効になります。

V_{DD} が PVD の閾値よりも高いか低いかを示すために、電源制御/ステータスレジスタ (PWR_CSR) の PVDO フラグが使用できます。このイベントは EXTI のライン 16 に内部接続され、EXTI レジスタで有効な場合は割込みリクエストを生成させることができます。EXTI ライン 16 の立ち上がり/立ち下がりエッジの設定に応じて、 V_{DD} が PVD の閾値を下回るか、上回ったとき、あるいはその両方で、PVD 出力割込みを生成させることができます。たとえば、サービスルーチンで、緊急停止処理を実行することなどが可能です。

図 3. PVD の閾値



4.3.3 アプリケーションリセットとシステムリセット

アプリケーションリセット (app_rst) は、次のいずれかのソースから生成されます。

- NRST パッドからのリセット
- por_rst 信号からのリセット（一般にパワーオンリセットと呼ばれます）
- bor_rst 信号からのリセット（一般にブラウンアウトと呼ばれます）
- 独立型ウォッチドッグ 1 からのリセット (iwdg1_rst)
- 独立型ウォッチドッグ 2 からのリセット (iwdg2_rst)
- AIRCR レジスタ (MCYSRST) 経由の Cortex-M4 (MCU) からのソフトウェアリセット（オプションバイトの OPT MCU_SYSRST_EN が許可している場合）
- Cortex-A7 (MPU) で RCC の MPSYSRST ビットが“1”にセットされている場合、RCC からのソフトウェアリセット
- クロックセキュリティシステム機能がアクティブになっている場合、HSE の障害 (hcss_rst)

システムリセット (nreset) は、次のいずれかのソースから生成されます。

- app_rst 信号からのリセット（アプリケーションリセット）
- vcore_rst 信号からのリセット

注： システムが STANDBY になっている場合、V_{DDCORE} はオフになりますが、V_{DD} はまだ継続します。そのため、システムが STANDBY を終了するときに、vcore_rst 信号がアクティブになり nreset リセットが生成されます。

注： シリコン Rev.B (DBGMCU_IDC.REV_ID = 0x2000) では、NRST (STPMIC1 によってデフォルトで行われる) に VDDCORE パワーサイクルが伴わない場合、NRST を NRST_CORE に接続することを推奨します。詳細については、製品の正誤表シートを参照してください。

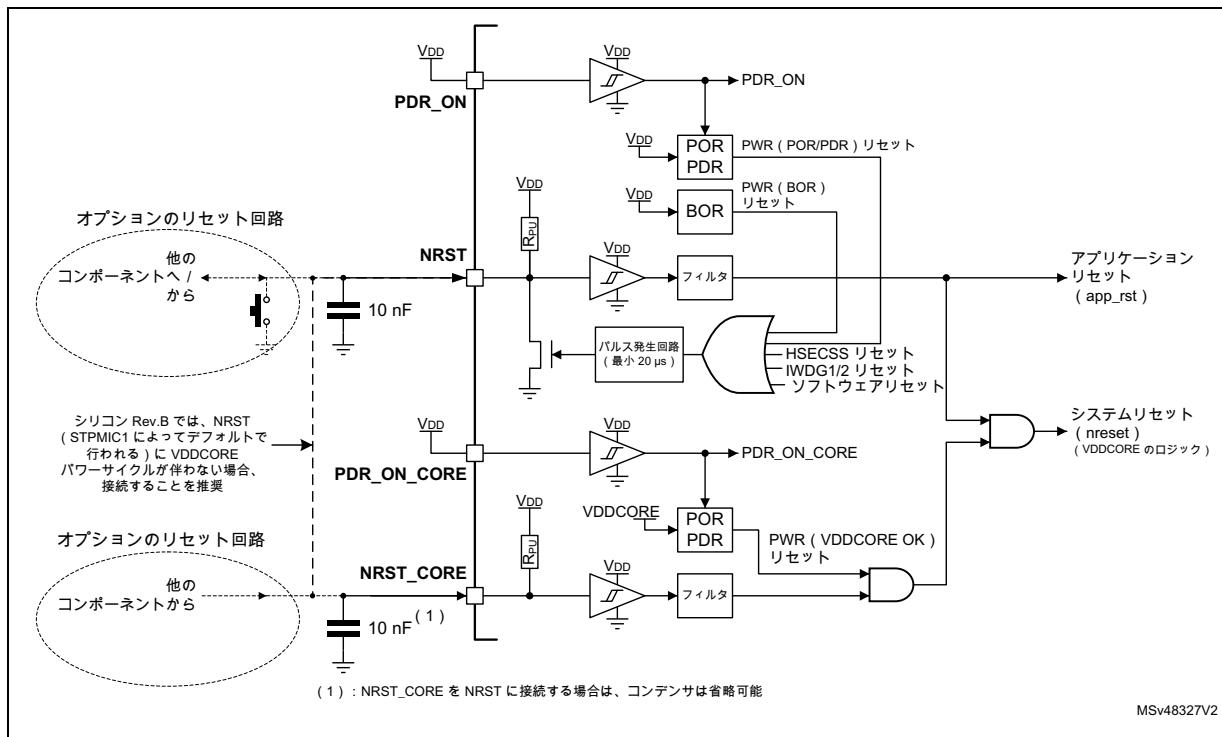
リセットの適用範囲の詳細については、リファレンスマニュアルの RCC のセクションを参照してください。

参考資料

AN5031

電源

図 4. リセットピン回路概要



5 パッケージ

5.1 パッケージの選択

パッケージを選択する際は、アプリケーションに強く依存する制約を考慮する必要があります。

以下のリストに、よくある制約をまとめます。

- 必要なインターフェースの数。
パッケージによっては、一部のインターフェースを使用できない場合があります。
パッケージによっては、一部のインターフェースを組み合わせることができない場合があります。
詳細については、製品データシートを参照してください。
- PCB テクノロジーの制約。
ピッチを小さく、ボール密度を高くするには、PCB の層数を増やし、上位クラスの PCB が必要となり、マイクロビア（レーザービア）テクノロジーでのスタックアップが必要になります。
- パッケージの高さ
- PCB の使用可能面積
- 热的制約（パッケージが大きいほど放熱能力が向上します）

表 5. パッケージ一覧

サイズ (mm) ⁽¹⁾	16 x 16	10 x 10	12 x 12	18 x 18
最小ピッチ (mm)	0.8	0.5	0.5	0.8
高さ (mm)	1.4	1.2	1.2	1.4
販売番号	LFBGA354	TFBGA257	TFBGA361	LFBGA448
STM32MP151xxx	X	X	X	X
STM32MP153xxx	X	X	X	X
STM32MP157xxx	X	X	X	X

1. 標準本体サイズ

参考資料

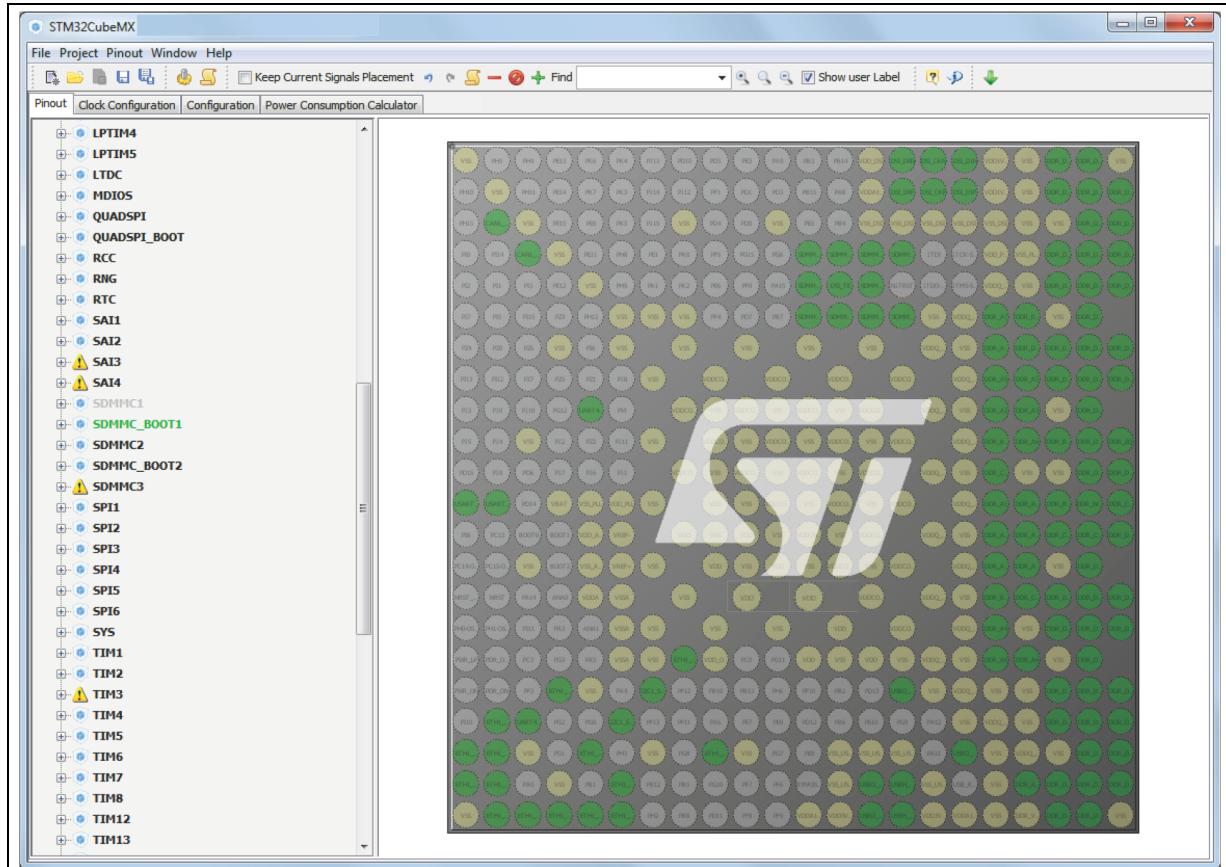
表 6. パッケージ別主要機能の相違

パッケージ		TFBGA257	LFBGA354	TFBGA361	LFBGA448					
パッケージ	本体サイズ (mm)	10x10	16x16	12x12	18x18					
	ピッチ (mm) (中央 0.65)	0.5 (中央 0.65)	0.8	0.5 (中央 0.65)	0.8					
	厚さ (mm)	<1.2	<1.4	<1.2	<1.4					
	ボール数	257	354	361	448					
SDRAM	LPDDR2/3	16 ビット 533 MHz	最大 1 GB、シングルランク	-	最大 1 GB、シングルランク					
		32 ビット 533 MHz	-	最大 1 GB、シングルランク	-					
	DDR3/3L	16 ビット 533 MHz	最大 1 GB、シングルランク							
		32 ビット 533 MHz	-	最大 1 GB、シングルランク						
FMC	パラレルアドレス/データ 8/16 ビット	-	4×CS、最大 4×64 MB							
	パラレル AD-Mux 8/16 ビット	4×CS、最大 4×64 MB								
	NAND 8/16 ビット	可、2×CS、SLC、BCH4/8								
ギガビット Ethernet		-	PTP および EEE 機能付き MII、RMII、GMII、RGMII							
10/100M Ethernet		PTP および EEE 機能付き MII、RMII								
割込み付き GPIO (合計数)		98	148	176						
-	セキュリティ保護可能 GPIO	-	8							
	ウェイクアップピン	4	6							
	タンパピン (アクティブランプ)	2 (1)	3 (1)							
最大 16 ビット同期 ADC		2 (それぞれ 16/14/12/10/8 ビットで最大 0.25/4.4/5/5.7/6.7 Msps)								
-	低ノイズ 16 ビット (差動)	-	2 (1)							
	16 ビット (差動)	6 (1)	7 (1)							
	14 ビット (差動)	11 (3)	13 (3)							
	ADC チャネル合計	17	22							

5.2 ピンへのオルタネート機能のマッピング

ピンへのペリフェラルのオルタネート機能マッピングを簡単に調べるには、www.st.com から入手できる STM32CubeMX ツールを使用することを推奨します。

図 5. STM32CubeMX のスクリーンショット例



5.3 異なる型番間のパッケージ互換性

STM32MP151xxx、STM32MP153xxx デバイスは STM32MP157xxx デバイスとは少し異なります。しかししながら、わずかの追加の接続を犠牲にして互換性のある PCB を構築することができます。

表 7. デバイスの互換性のまとめ

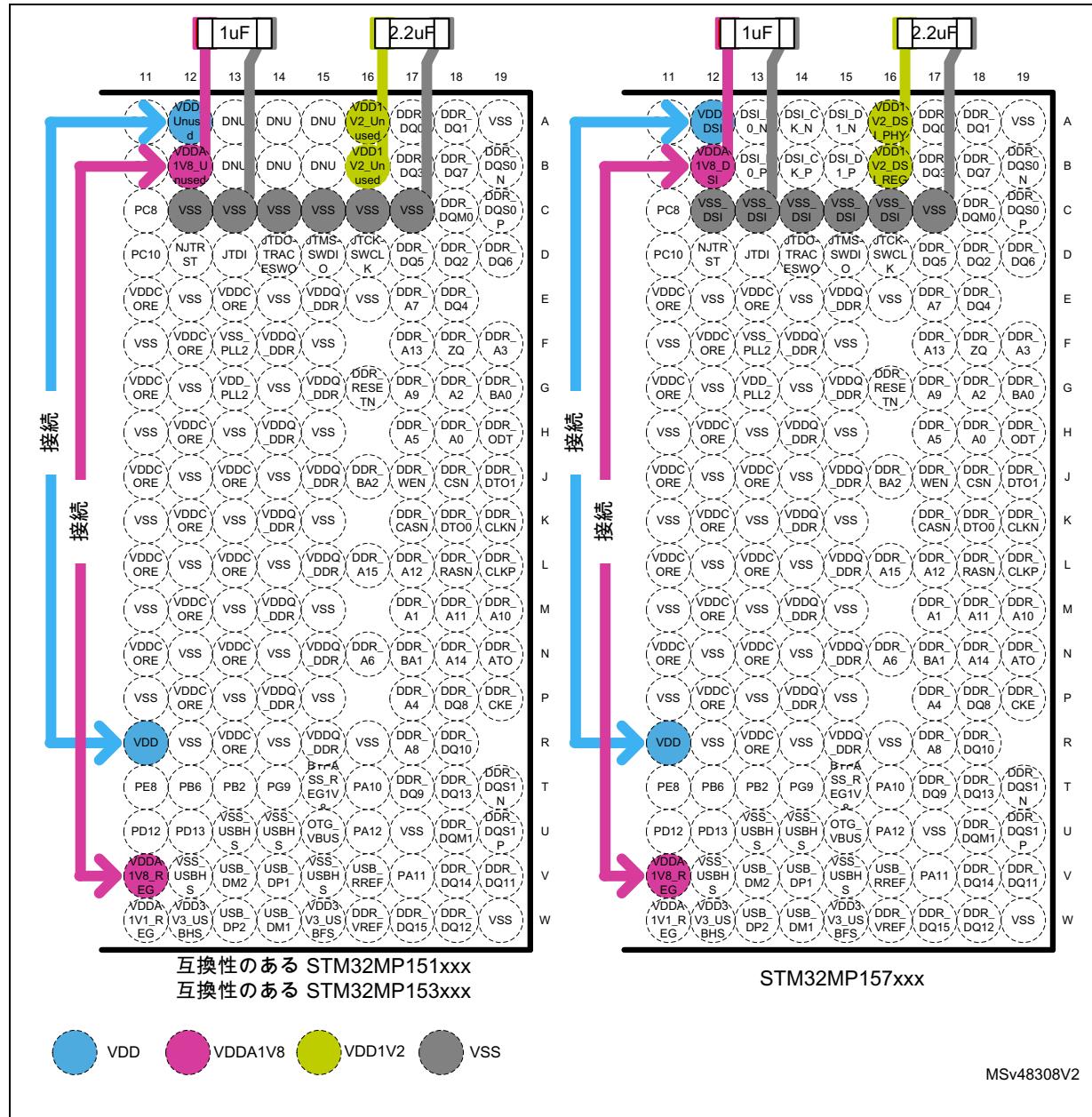
PCB の用途対象	使用するデバイス		
	STM32MP151xxx	STM32MP153xxx	STM32MP157xxx
STM32MP151xxx	互換性あり	互換性あり	互換可能 (表 8~表 11 および 図 6~図 9 を参照)
STM32MP153xxx	互換性あり	互換性あり	
STM32MP157xxx	互換性あり	互換性あり	互換性あり

參考資料

表 8. 16x16 LFBGA354 用の STM32MP151xxx および STM32MP153xxx の互換性

追加するポート接続	STM32MP151xxx	STM32MP153xxx	STM32MP157xxx
B12 から V11 (VDD1V8_REG)	VDDA1V8_Unused	VDDA1V8_DSI	
A16 から B16 + 1 μ F から VSS	VDD1V2_Unused		VDD1V2_DSI_PHY / VDD1V2_DSI_REG
A12 ~ VDD	VDD_Unused		VDD_DSI

図 6. 16x16 LFBGA354 互換性



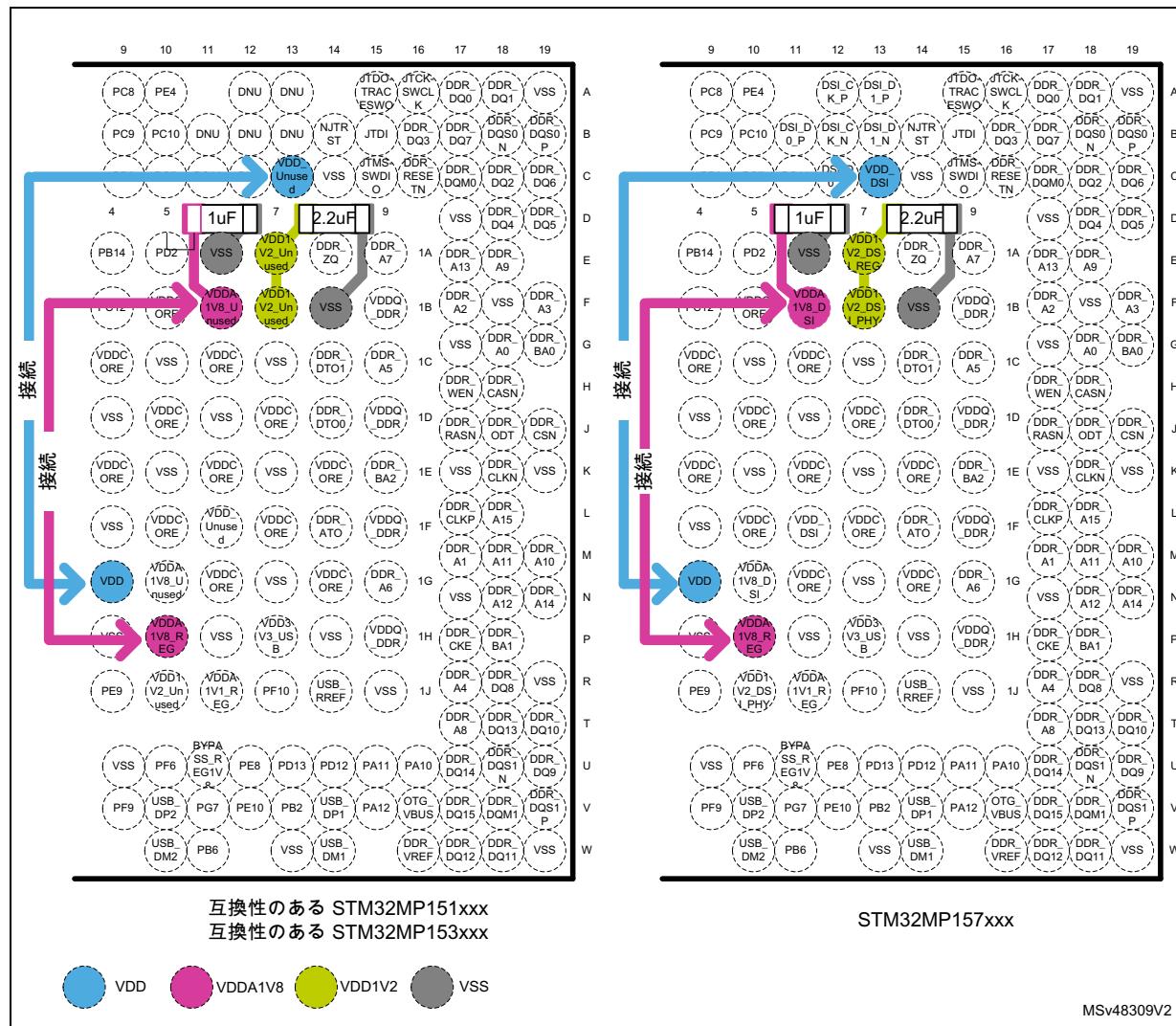
注：この図は理解を助けるためのものであり、実際の基板パターンとコンポーネントのサイズ/配置を反映していません。

參考資料

表 9. 10x10 TFBGA257 用の STM32MP151xxx および STM32MP153xxx の互換性

追加するポート接続	STM32MP151xxx	STM32MP153xxx	STM32MP157xxx
1B6 から 1H5 (VDD1V8_REG)	VDDA1V8_Unused	VDDA1V8_DSI	
1B7 から 1A7 + 1 μF から VSS	VDD1V2_Unused		VDD1V2_DSI_PHY / VDD1V2_DSI_REG
C13 ~ VDD	VDD_Unused		VDD_DSI

図 7. 10x10 TFBGA257 互換性



注：この図は理解を助けるためのものであり、実際の基板パターンとコンポーネントのサイズ/配置を反映していません。

参考資料

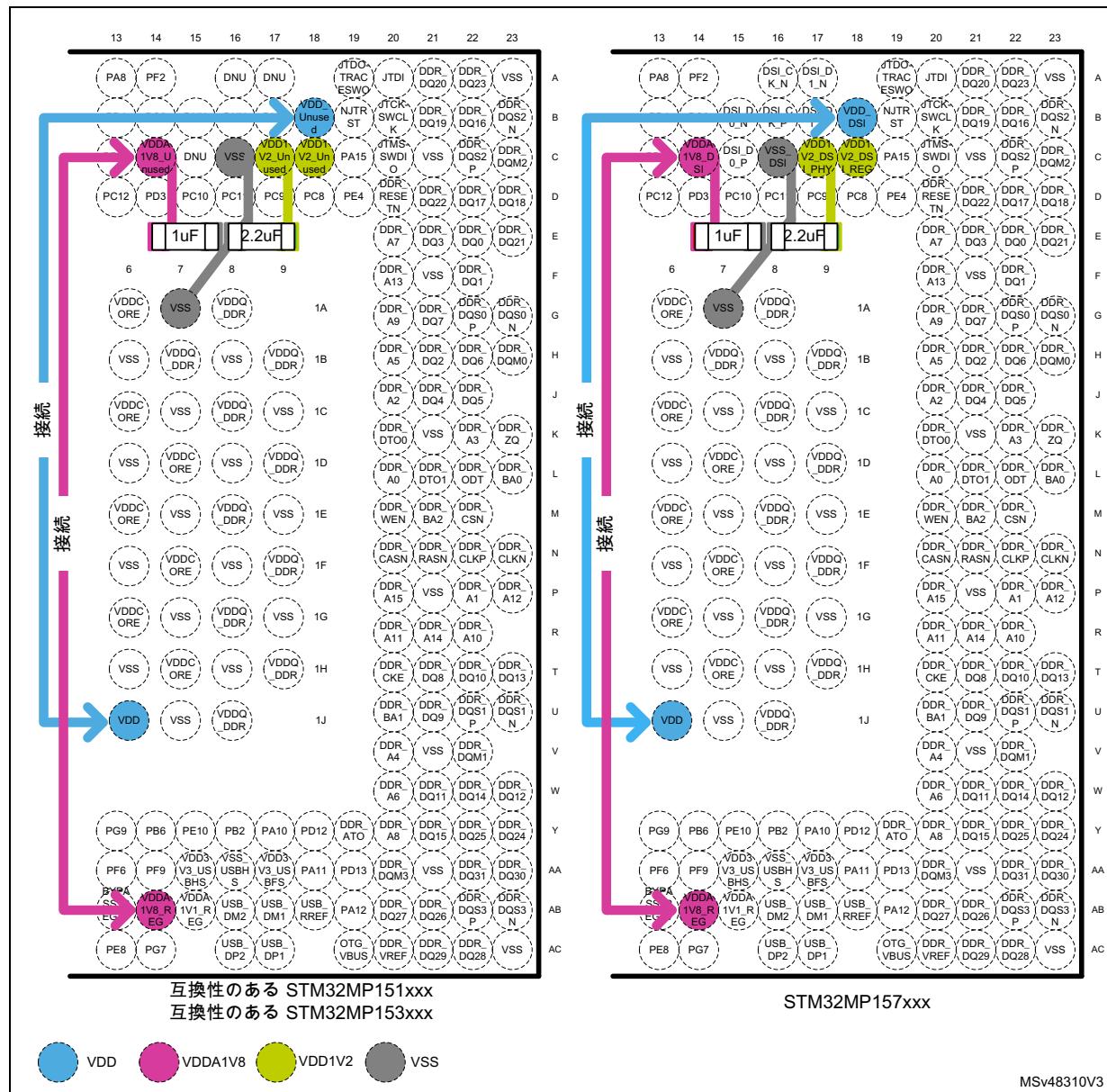
パッケージ

AN5031

表 10. 12x12 TFBGA361 用の STM32MP151xxx および STM32MP153xxx の互換性

追加するボール接続	STM32MP151xxx	STM32MP153xxx	STM32MP157xxx
C14 から AB14 (VDD1V8_REG)	VDDA1V8_Unused		VDDA1V8_DSI
C17 から C18 + 1 μF から VSS	VDD1V2_Unused		VDD1V2_DS1_PHY / VDD1V2_DS1_REG
B18 ~ VDD	VDD_Unused		VDD_DSI

図 8. 12x12 TFBGA361 互換性



注: この図は理解を助けるためのものであり、実際の基板パターンとコンポーネントのサイズ/配置を反映していません。

参考資料

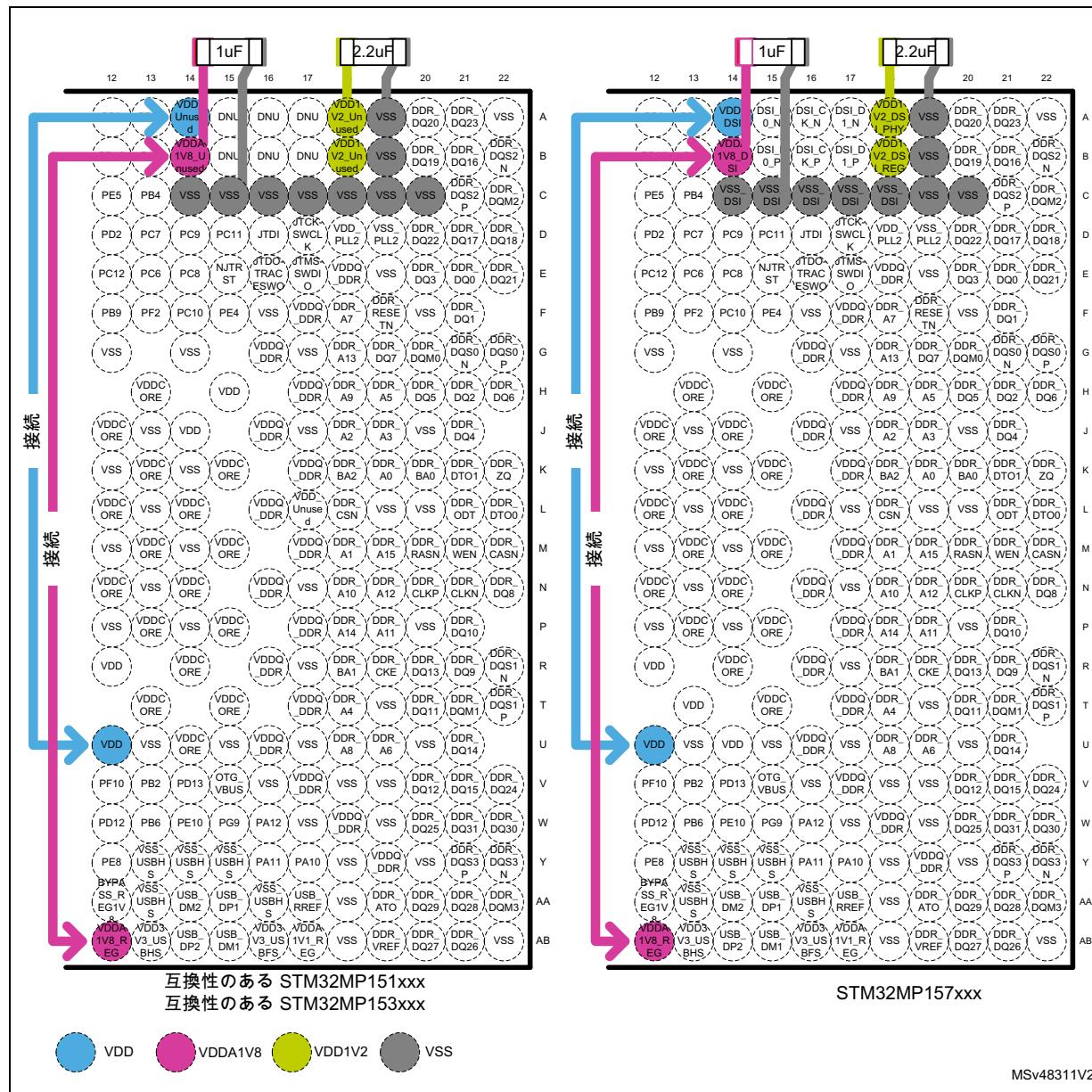
AN5031

パッケージ

表 11. 18x18 LFBGA448 用の STM32MP151xxx および STM32MP153xxx の互換性

追加するポール接続	STM32MP151xxx	STM32MP153xxx	STM32MP157xxx
B14 から AB12 (VDD1V8_REG)	VDDA1V8_Unused	VDDA1V8_DSI	
A18 から B18 + 1 μF から VSS	VDD1V2_Unused	VDD1V2_DS1_PHY / VDD1V2_DS1_REG	
A14 ~ VDD	VDD_Unused	VDD_DSI	

図 9. 18x18 LFBGA448 互換性



注: この図は理解を助けるためのものであり、実際の基板パターンとコンポーネントのサイズ/配置を反映していません。



6 クロック

サブシステムクロックを駆動するために、下記のさまざまなクロックソースが使用できます。

- HSI オシレータ・クロック（ハイスピード内部クロック信号）
- CSI オシレータ・クロック（低電力内部クロック信号）
- HSE オシレータ・クロック（ハイスピード外部クロック信号）
- PLL1/2/3/4 クロック
- DSI クロックを生成する PLL_DSI（最大 1 GHz）^(a)
- USB クロックを生成する PLL_USB（480 MHz）

デバイスには、2 つの 2 次クロックソースがあります。

- 32 kHz ロースピード内蔵 RC（LSI RC）。独立型ウォッчドッグを駆動し、オプションで、STOP/STANDBY モードからの自動ウェイクアップに使用される RTC を駆動します。
- 32.768 kHz ロースピード外部クリスタル（LSE クリスタル）。オプションで、リアルタイムクロック（RTCCLK）を駆動します。

それぞれのクロック・ソースは、使用しないときに個別にオン/オフを切り替えて、電力消費を最適化可能です。

クロックツリーについては、RM0436、RM0441、RM0442 リファレンスマニュアルを参照してください。

6.1 HSE OSC クロック

ハイスピード外部クロック信号（HSE）は、次のどちらかのクロックソースから生成できます。

- HSE ユーザ外部クロック（図 10 を参照）
- HSE 外部クリスタル/セラミック発振子（図 11 を参照）

図 10. HSE 外部クロック

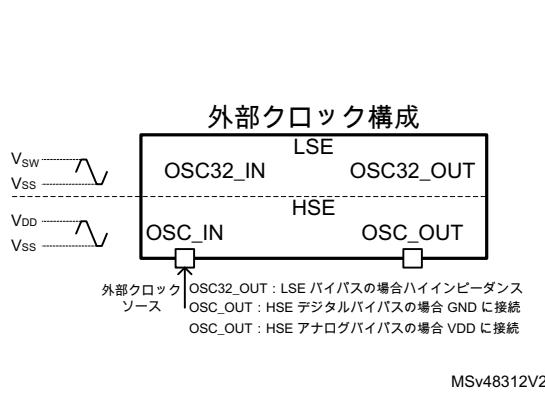
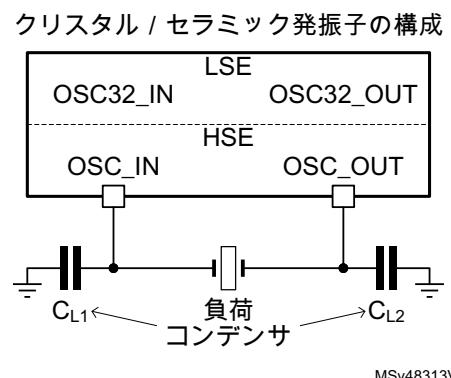


図 11. HSE クリスタル/セラミック発振子



- ST マイクロコントローラ用発振器設計ガイドアプリケーションノート (AN2867) を参照してください。
- 負荷容量 C_L の計算式は次のとおりです。 $C_L = C_{L1} \times C_{L2} / (C_{L1} + C_{L2}) + C_{stray}$ ここで、 C_{stray} は、ピンの容量と、基板やパターンの PCB 関連容量です。一般的には 2~4 pF の範囲です。この値を最小に抑えるには、[セクション 9 : 42 ページの推奨事項](#) を参照してください。

- 使用できるかどうかは STM32MP15x ラインのデバイスによって異なります。

6.1.1 外部ソース (HSE バイパス)

このモードでは、外部クロックソースが必要です。8~50 MHz の周波数を使用できます（実際の最大値については、STM32MP15x データシートを参照してください）。

約 50% のデューティサイクルの外部デジタル (V_{IL}/V_{IH}) またはアナログ（最小振幅 200 mV pk-pk）クロック信号によって OSC_IN ピンを駆動する必要があります。

注：USB ブートを可能にするために、BootROM では起動フェーズ中（つまり、NRST 立ち上がりエッジ時）に OSC_OUT の接続をチェックすることにより、下記のように HSE モードを自動的に選択します。

- OSC_OUT が GND に接続されている（最大 1 kΩ）: HSE デジタルバイパス
- OSC_OUT が VDD に接続されている（最大 1 kΩ）: HSE アナログバイパス
- OSC_OUT はハイインピーダンス、またはクリスタル／セラミック発振子に接続されている: HSE クリスタル／セラミック発振子モード

バイパスを使用すると、PWR_ON によって外部クロックジェネレータを有効にして電力を節約できます（STANDBY では無効になります）。その場合、OSC_IN クロック入力は、PWR_ON の立ち上がりエッジが発生してから 10 ms 以内に安定している必要があります。

6.1.2 外部クリスタル／セラミック発振子 (HSE クリスタル)

外部オシレータの周波数範囲は 8~48 MHz です。

外部オシレータには、メインクロックの周波数を非常に高い精度で生成できるという利点があります。関連するハードウェア構成を [図 11](#) に示します。正確な USB ハイスピードクロックを取得するには、24 MHz のクリスタル周波数を使用することが適しています。

波形ひずみと発振開始時の安定化までの時間を少なくするために、クリスタル／セラミック発振子と負荷コンデンサはオシレータのピンのできるだけ近くに接続する必要があります。負荷コンデンサの値は、選択したクリスタル／セラミック発振子に応じて調整する必要があります。

C_{L1} と C_{L2} には、クリスタル／セラミック発振子の負荷要件を満たすように選択された 5~25 pF の範囲（標準）の NP0/C0G コンデンサを使用することを推奨します。 C_{L1} と C_{L2} は通常、同じ値とします。クリスタルのメーカーは通常、 C_{L1} と C_{L2} の直列結合である負荷容量を指定します。 C_{L1} と C_{L2} の大きさを決定するときは、PCB とピンの容量を含める必要があります（ピンと基板の合計容量の概算として 10 pF を使用できます）。

詳細については、ST マイクロコントローラ用発振器設計ガイド アプリケーションノート (AN2867) および製品データシートの電気特性のセクションを参照してください。

6.2 LSE OSC クロック

ロースピード外部クロック信号 (LSE) は、次のどちらかのクロック・ソースから生成できます。

- LSE ユーザ外部クロック (図 12 を参照)
- LSE 外部クリスタル/セラミック発振子 (図 13 を参照)

図 12. LSE 外部クロック

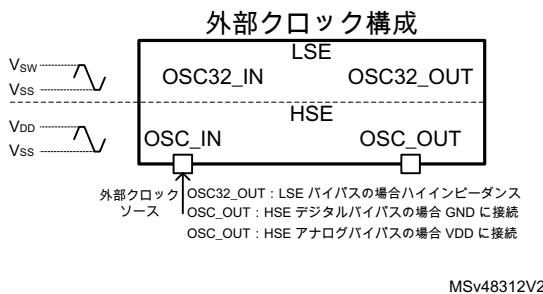
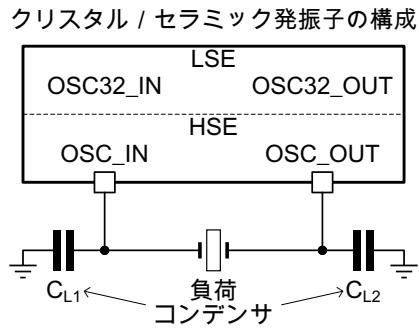


図 13. LSE クリスタル/セラミック発振子



1. 「LSE クリスタル/セラミック発振子」の図：
負荷容量 $C_L \leq 12.5 \text{ pF}$ の発振子を使用することを強くお勧めします。
2. 「LSE 外部クロック」と「LSE クリスタル/セラミック発振子」の図：
OSC32_IN ピンと OSC32_OUT ピンは、GPIO としても使用できますが、同一アプリケーションで RTC ピンと GPIO ピンの両方として使用しないことをお勧めします。

6.2.1 外部ソース (LSE バイパス)

このモードでは、外部クロックソースが必要です。最大 1 MHz までの周波数を使用できます。約 50% のデューティサイクルの外部デジタル (VIL/VIH) またはアナログ (最小振幅 200 mV pk-pk) クロック信号によって OSC32_IN ピンを駆動する必要があります、OSC32_OUT ピンはハイインピーダンスに保つ必要があります (図 12 を参照)。バイパスモードの設定およびデジタルとアナログの選択は、RCC レジスタ内で行われます。

6.2.2 外部クリスタル/セラミック発振子 (LSE クリスタル)

LSE クリスタルは、32.768 kHz のロースピード外部クリスタルまたはセラミック発振子です。時計／カレンダ、その他のタイミング機能のためのリアルタイムクロックペリフェラル (RTC) に、低消費電力ながら高精度のクロックソースを供給できるという利点があります。

波形ひずみと発振開始時の安定化までの時間を少なくするために、発振子と負荷コンデンサはオシレータのピンのできるだけ近くに接続する必要があります。負荷コンデンサの値 C_{L1} と C_{L2} は、選択したオシレータに応じて調整する必要があります。

詳細については、ST マイクロコントローラ用発振器設計ガイド 専用アプリケーションノート (AN2867) および製品データシートの電気特性のセクションを参照してください。

6.3 クロックセキュリティシステム (CSS)

詳細は製品のリファレンスマニュアルをご覧ください（表 1 : [参照文献](#) を参照）。

6.3.1 HSE の CSS

クロックセキュリティシステムはソフトウェアで有効にできます。この場合、HSE オシレータのスタートアップ遅延時間の後にクロック検出回路が有効になり、オシレータが停止すると検出回路も無効になります。

- HSE オシレータクロックで障害が検出されると、システムリセットが生成されると共に、セキュリティ保護のために TAMP ブロックに通知されます。

6.3.2 LSE の CSS

クロックセキュリティシステムはソフトウェアで有効にできます。この場合、LSE オシレータのスタートアップ遅延時間の後にクロック検出回路が有効になり、オシレータが停止すると検出回路も無効になります。

- LSE オシレータクロックで障害が検出されると、RTC/TAMP クロックソースは停止すると共に、セキュリティ保護のために TAMP ブロックに通知されます。

7 ブート設定

7.1 ブート・モード選択

STM32MP15x ラインデバイスでは、BOOT[2:0] ピンによってさまざまなブートモードを選択できます。表では予約済みの設定がグレー表示されています。

表 12. ブートモード

BOOT2	BOOT1	BOOT0	初期ブートモード	コメント
0	0	0	UART および USB ⁽¹⁾	下記からの着信待ち： – デフォルトピン上の USART2/3/6 および UART4/5/7/8 – OTG_HS_DP/DM ピン上の USB ハイスピードデバイス ⁽²⁾
0	0	1	シリアル NOR-Flash ⁽³⁾	QUADSPI 上のシリアル NOR-Flash ⁽⁵⁾
0	1	0	eMMC™ ⁽³⁾	SDMMC2 上の eMMC™（デフォルト） ⁽⁵⁾⁽⁶⁾
0	1	1	NAND-Flash ⁽³⁾	FMC 上の SLC NAND-Flash
1	0	0	予約済みです。	Flash からのブートなしにデバッグアクセスするために使用される ⁽⁴⁾
1	0	1	SD カード ⁽³⁾	SDMMC1 上の SD カード（デフォルト） ⁽⁵⁾⁽⁶⁾
1	1	0	UART および USB ⁽¹⁾⁽³⁾	下記からの着信接続を待機： – デフォルトピン上の USART2/3/6 および UART4/5/7/8 – OTG_HS_DP/DM ピン上の USB ハイスピードデバイス ⁽²⁾
1	1	1	シリアル NAND-Flash ⁽³⁾	QUADSPI 上のシリアル NAND-Flash ⁽⁵⁾

1. OTP 設定で無効にできます。
2. OTP で異なる周波数にプログラムされていなければ、USB には 24 MHz HSE クロック／クリスタルが必要です（セクション 7.3：内蔵ブート・ローダ・モード を参照）。
3. ブートソースは、OTP 設定によって変更できます（OTP 設定によって、SD カードで初期ブート、次に eMMC など）。
4. PA13 をトグルする無限ループ状態の Cortex-A7 Core0、RETRAM での無限ループ状態の Cortex-M4。
5. デフォルトピンは OTP で変更できます。
6. あるいは、このデフォルト以外の別の SDMMC インタフェースを OTP で選択できます。

BOOT ピンの値は、リセット後に BootROM によってサンプリングされます。リセットが終了する前に BOOT[2:0] ピンを設定して必要なブートモードを選択出来ます。

BOOT ピンは、STANDBY モードを終了するときに、ソフトウェアによって（SYSCFG_BOOTR_BOOT[2:0] フィールドを読み取るなど）または BootROM によって後で再サンプリングすることもできます。したがって、これらのピンは常に必要なブートモード設定にする必要があります。

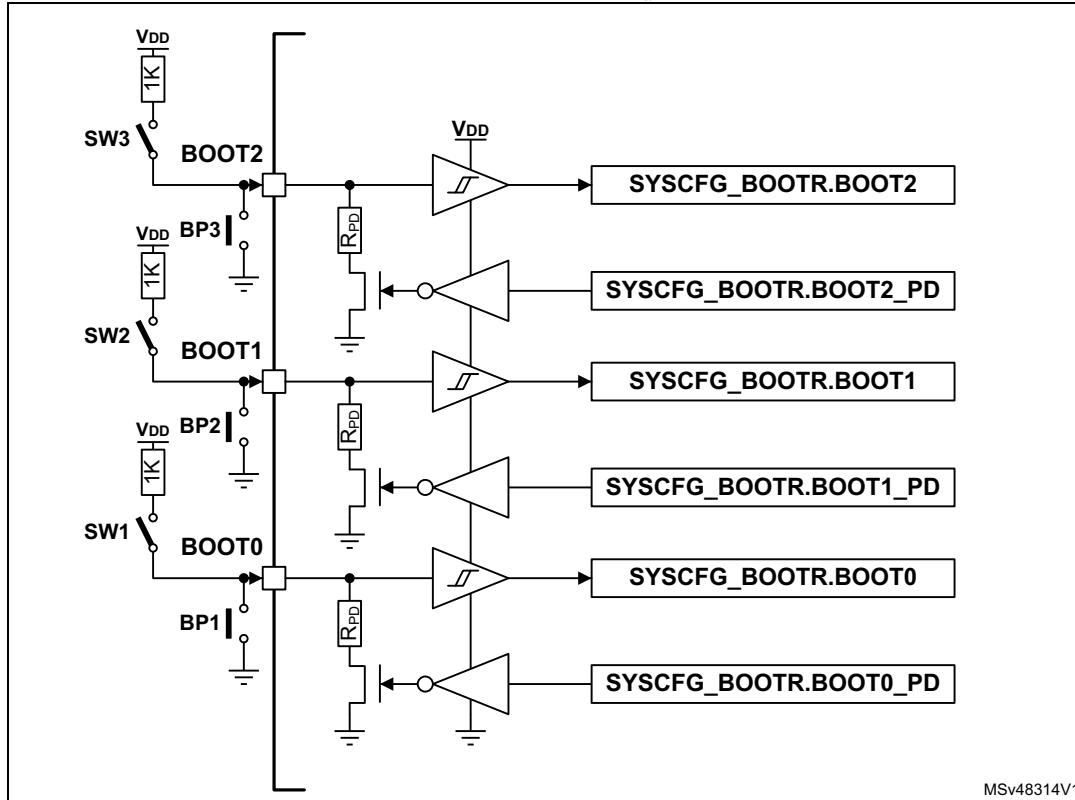
STOP モード中、BOOT[2:0] ピンが V_{DD} に接続されている場合、3 つの内蔵プルダウンがデフォルトで有効になっているため、プルダウンを介して電流が流れています。

数十μA の電力を節約するために、ソフトウェアによって、フィールド SYSCFG_BOOTR_BOOT[2:0]_PD を SYSCFG_BOOTR_BOOT[2:0] フィールドで読み取られた値に等しく設定する事で、V_{DD} に接続されているピンのプルダウンを無効にすることができます。STANDBY 時に SYSCFG_BOOTR レジスタがリセットされたため、各 STANDBY の終了後にこれを再度設定する必要があります。STANDBY 時には、BOOT[2:0] ピンがトライステートに設定され、V_{DD} に接続されていても、BOOT[2:0] ピンには電流が流れていませんことに注意してください。

7.2 BOOT ピンの接続

図 14 には、STM32MP15x ラインデバイスのブートメモリを選択するため必要な外部接続の例を示します。

図 14. BOOT モード選択の例



ソフトウェアのすべてのリカバリケースにもかかわらず、間違ったまたは破損した Flash コンテンツ（ユーザのミス、間違ってプログラムされた Flash コンテンツ、電源喪失など）があると、システムが起動しなくなる（「ブリック」とも呼ばれる）可能性があります。

空の Flash の場合、ブートコードでは自動的に UART/USB 接続に切り替えられます。

ボードの Flash を再プログラミングできるようにするために、UART/USB 接続の使用を強制する方法が必要になる場合があります（例：アフターサービス、ファームウェアの更新）。

通常のブートとは異なる Flash で初期ブートを行う場合もあります（たとえば、シリアル NOR、シリアル NAND、eMMC、SLC NAND などの別の Flash にバイナリデータをコピーする SD カードからの初期ブート）。初期ブートコードによって、その後はプログラムされた Flash からのブートを強制するように関連する OTP ビットを設定することができるので、これが可能になります（図 16 を参照）。これにより、BOOT ピンの設定作業が不要で、単純かつ柔軟性の高い大量生産が可能になります。

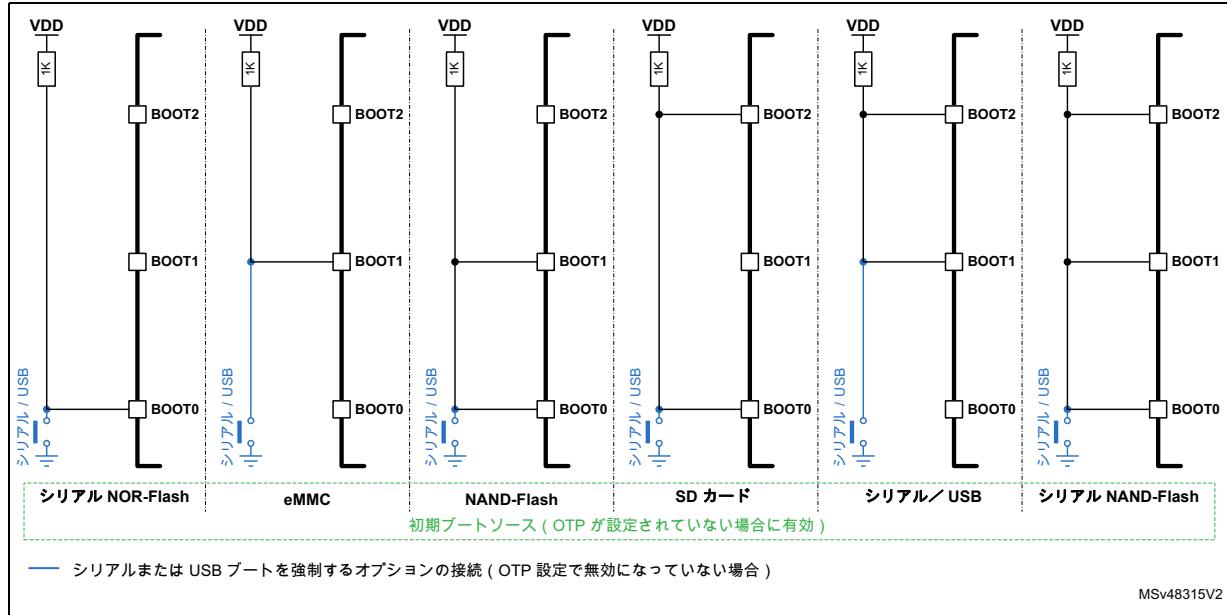
ボードの一般的な接続例を図 15 に示します。

「スイッチ」は、押しボタン、はんだブリッジ、コネクタ接点、テストポイントなど、さまざまな方法で実現できますが、通常の製品のブート中は、外部抵抗に電流が流れないように、デフォルトで「オープン」と想定されています。

製品のセキュリティ要件を満たすために、OTP 設定においてブートソースのいずれかを強制または禁止することがあることに注意してください。

参考資料

図 15. BOOT ピンの一般的な接続図



7.3 内蔵ブート・ローダ・モード

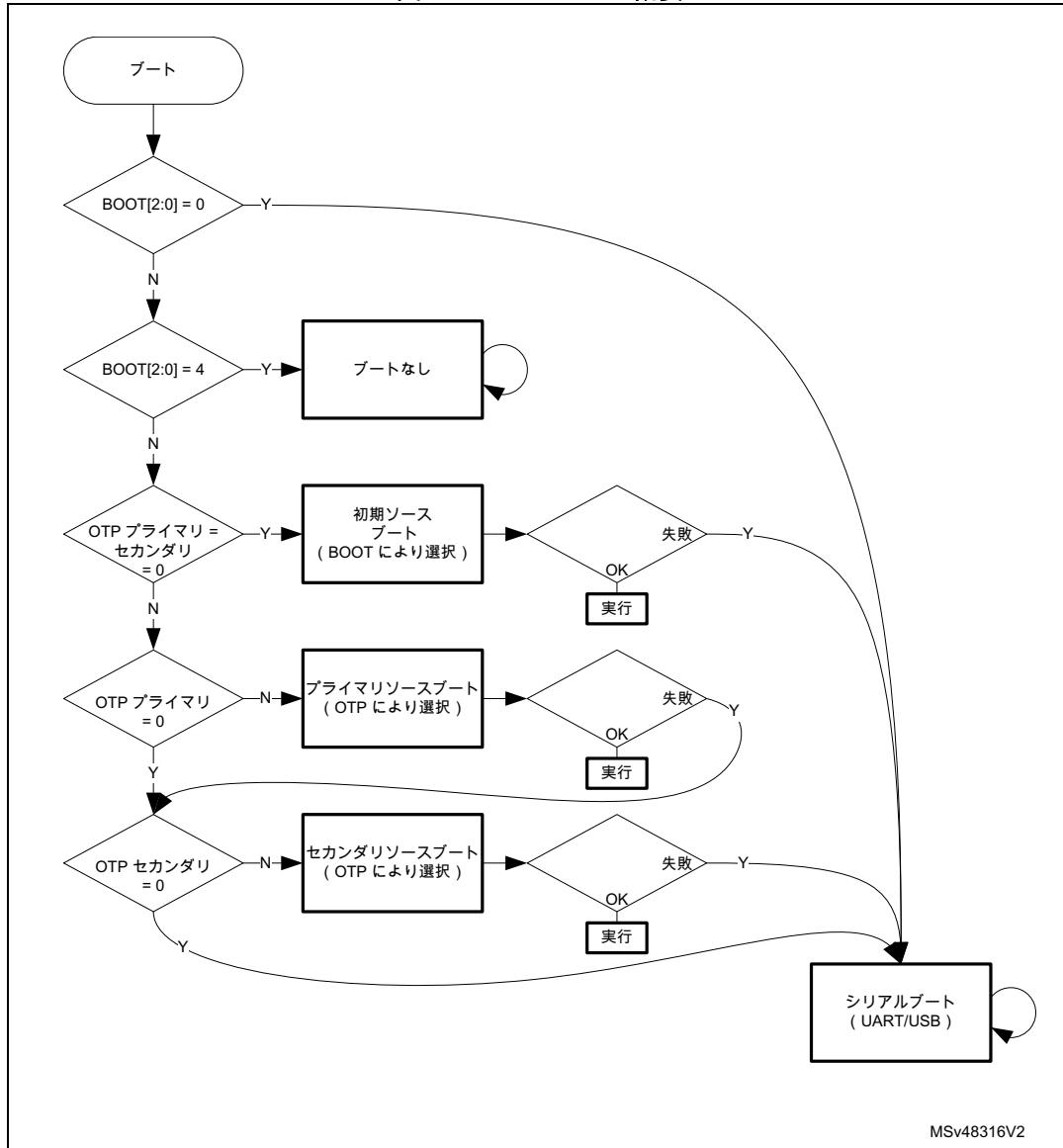
この内蔵ブートローダは BootROM メモリ内にあります。

詳しい情報は、USB DFU/USART protocols used in STM32MP1 Series bootloaders (AN5275) (表 1) を参照してください。

ブート中、QUADSPI、FMC、SDMMC、および USART ペリフェラルは内部 64 MHz オシレータ (HSI) で動作します。

ただし、USB OTG HS デバイスは、デフォルト周波数 24 MHz の外部クロック (HSE) が存在する場合にのみ機能します（デフォルト周波数の代わりに、8、10、12、14、16、20、24、25、26、28、32、36、40、48 MHz も、OTP 設定や自動周波数検出によって使用できます）。

図 16. ブートフロー概要



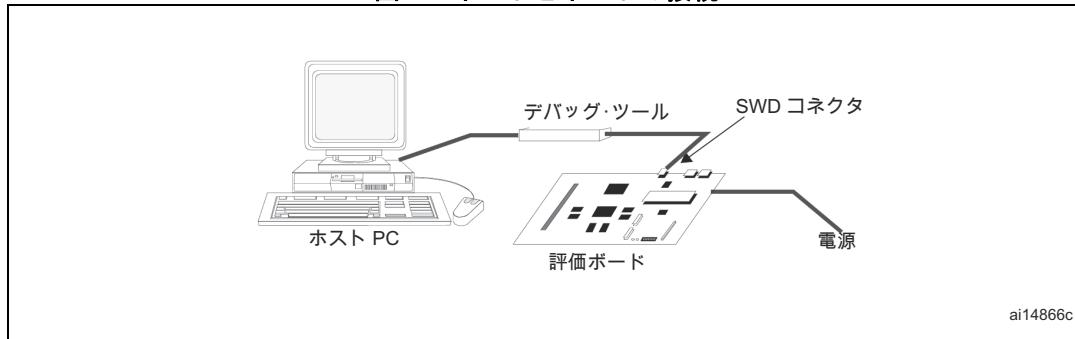
8 デバッグ管理

8.1 概要

ホスト／ターゲット・インターフェースは、ホストをアプリケーションボードに接続するハードウェア機器です。このインターフェースは、ハードウェアデバッグツール、JTAG または SWD コネクタ、およびホストをデバッグツールに接続するケーブルの 3 つのコンポーネントで構成されています。

図 17 は、ホストと評価ボードの接続を示しています。

図 17. ホストとボードの接続



8.2 SWJ デバッグポート（シリアルワイヤと JTAG）

STM32MP15x ラインのコアには、シリアルワイヤ／JTAG デバッグポート (SWJ-DP) が組み込まれています。これは、JTAG-DP (5 ピン) インタフェースと SW-DP (2 ピン) インタフェースを組み合わせた Arm® の標準の CoreSight™ デバッグポートです。

- JTAG デバッグ・ポート (JTAG-DP) は、AHP-AP ポートに 5 ピンの標準 JTAG インタフェースを提供します。
- シリアルワイヤデバッグポート (SW-DP) は、AHB-AP ポートに 2 ピン (クロック + データ) のインターフェースを提供します。

SW-DP の 2 個のピンは、JTAG-DP の 5 個の JTAG ピンのうち 2 個と共に用されています。

8.3 ピン名とデバッグポートピン

8.3.1 JTAG ピンでの内部プルアップ/プルダウン抵抗

入出力レベルを正しく制御するため、STM32MP15x ラインには内部プルアップ／プルダウン抵抗が JTAG ピンに内蔵されています。

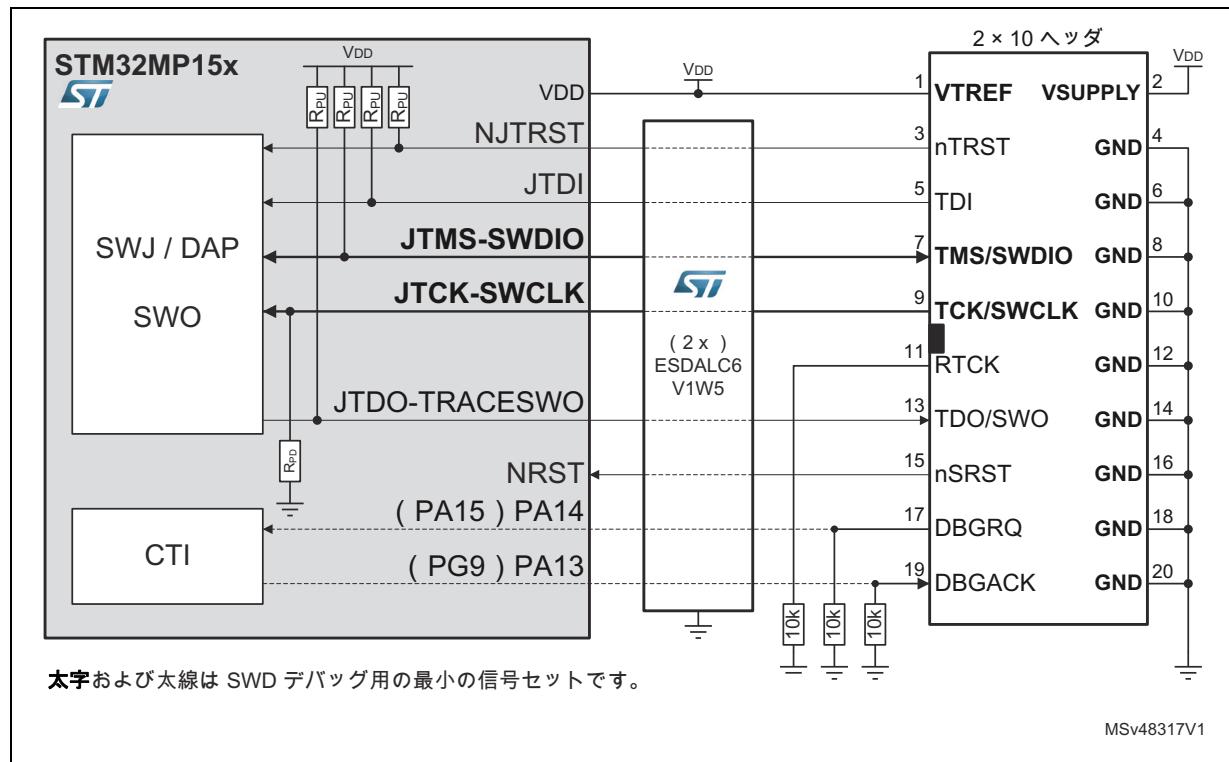
- NJTRST : 内部プルアップ
- JTDI : 内部プルアップ
- JTDO-TRACESWO : 内部プルアップ
- JTMS-SWDIO : 内部プルアップ
- JTCK-SWCLK : 内部プルダウン

注： IEEE 規格では、 JTAG の TDI 、 TMS 、および nTRST にプルアップ抵抗を追加することを推奨していますが、 TCK に関しては特別な推奨はありません。ただし、 STM32MP15x ラインの場合は、 JTCK に内蔵プルダウン抵抗が使用されます。
プルアップおよびプルダウン抵抗を内蔵しているため、外部抵抗を追加する必要がありません。

8.3.2 デバッグポートと標準 JTAG コネクタの接続

図 18 は、 STM32MP15x ラインと標準 JTAG/SWD コネクタとの接続を示しています。

図 18. JTAG/SWD MIPI10 コネクタ接続例



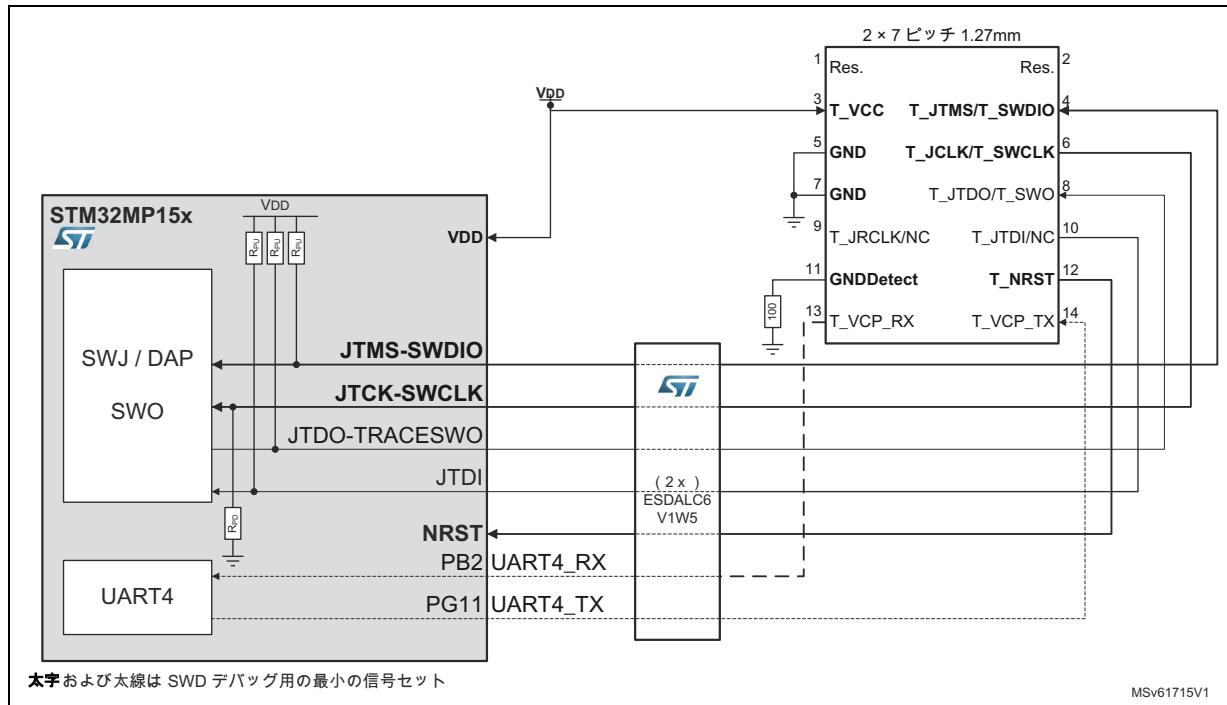
注： TRACESWO ピンでのシングルワイヤトレースは Cortex-M4 コアでのみ使用できます。すべてのコアの動作をトレースするためには、パラレルトレースポートを使う必要があります（[セクション 8.3.4 : パラレルトレースと HDP を参照](#)）。

8.3.3 STDC14 コネクタへのデバッグポートと UART の接続

図 19 は、STM32MP15x ラインと STDC14 コネクタとの接続、および UART 仮想 COM ポートの接続を示しています。

STDC14 ヘッダの参照例は FTSH-107-01-L-DV-K-A です。

図 19. JTAG/SWD/UART VCP STDC14 コネクタ接続例



8.3.4 パラレルトレースと HDP

パラレルトレース

TRACED[15:0] および TRACECLK 信号は IO ピンでオルタネート機能として使用できます。トレースデータの数 $N = 1, 2, 4, 8$ 、または 16 ピンを選択できます。トレースデータの数が少ないと、利用可能なトレース帯域幅が少なくなるため、トレースのオーバーランなしでトレースできる情報（トレースソースの数、コードやデータトレースなど）が少なくなります（STM32MP15x ラインには 8 KB のバッファがあります）。製品ごとに、使用可能な機能とトレースバスの間にトレードオフがあるため、製品開発中にトレースを使用しているときに機能が制限される可能性があります。

トレースは Arm® CoreSight™ トレースに準拠しており、SWD または JTAG を介しデバッグするためには、専用のトレースツールが必要です。

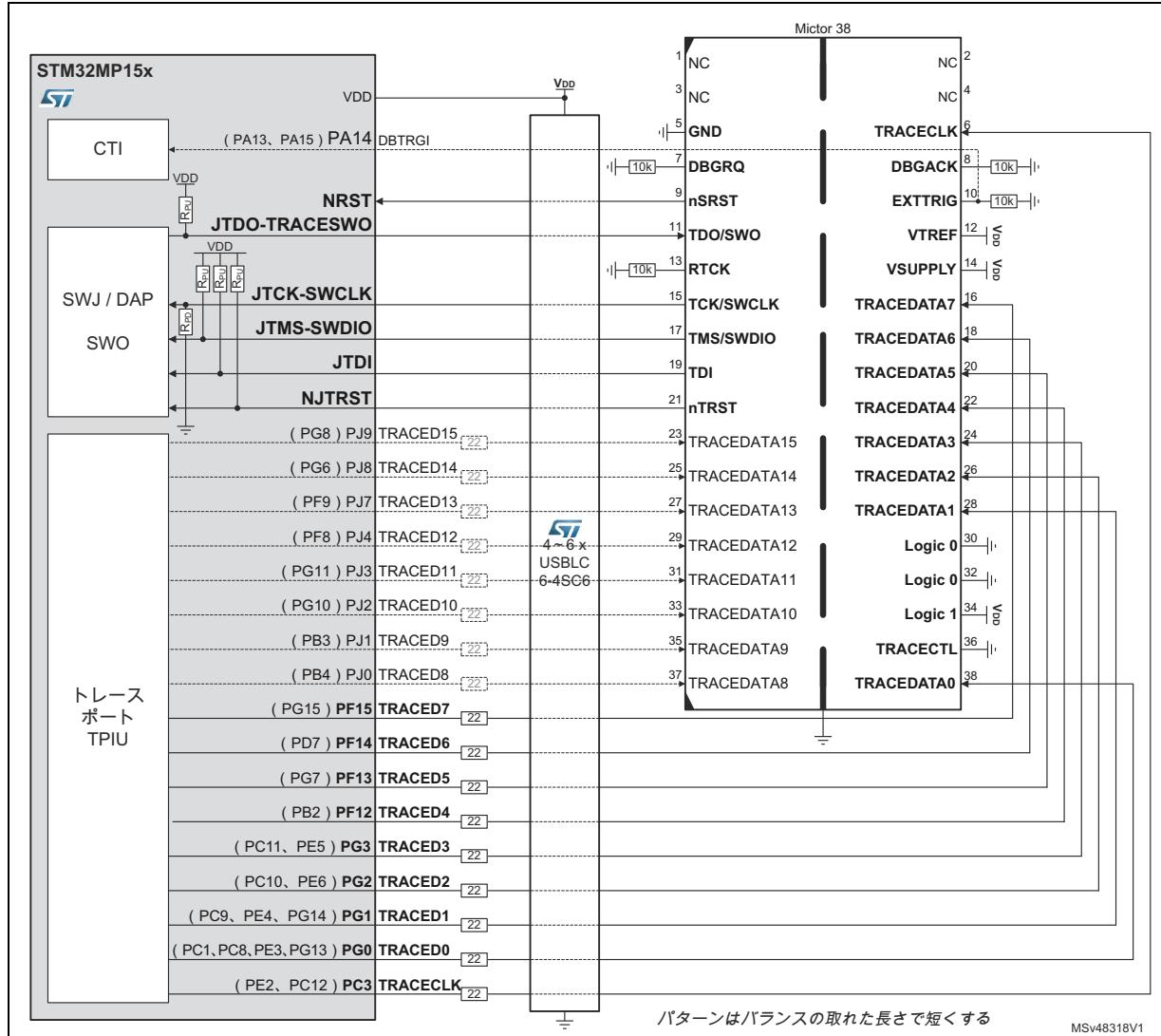
トレースポートインターフェース CoreSight™ コンポーネントの詳細情報は、製品のリファレンスマニュアルと Arm® CoreSight™ SoC-400 Technical Reference Manual を参照してください。

トレース帯域幅を効率的に利用するには、すべてのパラレルトレース信号のシグナルインテグリティを良好に維持しながら、TRACECLK をできるだけ高速に実行する必要があります。これは、ボードとコネクタの選択、GPIO の能力設定 (GPIO_OSPEEDR レジスタ)、および V_{DD} 電圧に依存します。 $V_{DD} = 1.8\text{ V}$ を使用する場合、トレース信号で使用されるパッドで最高の速度を確保するには、OTP ビットとレジスタ SYSCFG_ICTRLSETR (HSLVEN_TRACE ビット) の設定が必要になることがあります。

警告 : V_{DD} が 2.7 V を超える場合、UHSLVEN および HSLVEN は設定しないでください。IC が損傷する可能性があります。

参考資料

図 20. パラレルトレースポート付き JTAG/SWD の Mictor38 接続例



ハードウェアデバッグポート

一部の内部信号は、詳細なデバッグに使用できます。使用時には専門知識とオシロスコープまたはロジックアナライザが必要です。詳細については、製品のリファレンスマニュアルおよびデータシートを参照してください。

8.3.5 デバッグトリガとLED

CoreSight™ クロストリガインターフェース (CTI) はピン上で DBTRGI および DBTRGO として使用できます。

DBTRGI は外部ユーザ信号によって生成でき、CoreSight™ コンポーネント内でプログラムして、トレースを開始／停止したり、デバッグモード（ブレーク）で特定のコアに入ることができます。

DBTRGO は CTI によって生成され、これにより CoreSight™ コンポーネントの 1 つによってトリガ条件に達したことが外部から確認できます（コアブレーク、トレース開始など）。

DBTRGO は、PA13、PA14、または PG9 で使用可能です。

DBTRGI は、PA13、PA14、または PA15 で使用可能です。

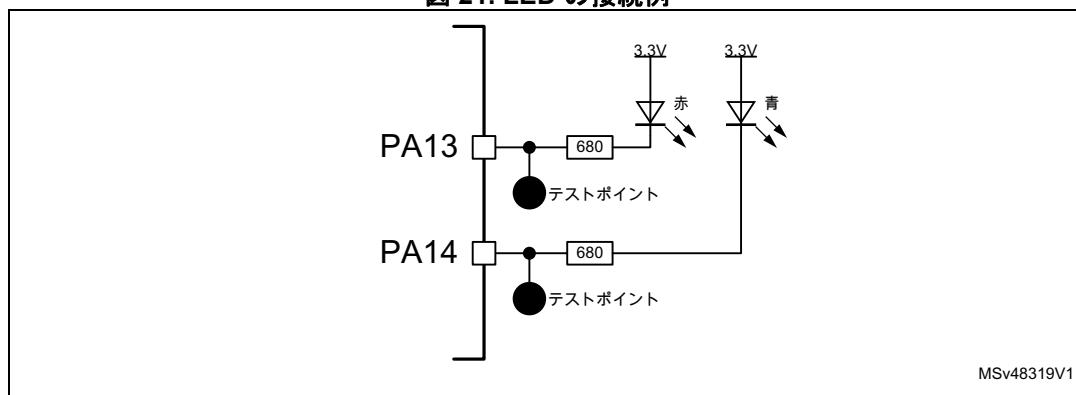
PA13 固有の動作（詳細はブートの文書を参照）：

- ブートフェーズ中、ブートが失敗した場合、PA13 ピンはロー・オーブンドレインに設定されます（すなわち、エラー LED が明るく点灯します）。
- UART/USB ブート中、PA13 ピンは、接続が開始されるまで、約 5 Hz の速度でオーブンドレインを切り替えます（すなわち、エラー LED が速く点滅します）。
- BOOT[2:0] = 0b100（ブートなし、特定のデバッグに使用）の場合、PA13 は約 5 kHz の速度でオーブンドレインを切り替えます（すなわち、エラー LED が弱く点灯します）。
- それ以外の場合はすべて、PA13 はリセット値、すなわち、ソフトウェアで設定されるまでハイインピーダンスに保たれます。

図 21 に示すように、PA13 に赤色 LED を接続することをお勧めします。

システムの動作を視覚的にすばやく確認するために、PA13 と PA14 に LED を接続することをお勧めします。これは、デバッグのために PA13 または PA14 で DBTRGI および DBTRGO を使用することを妨げるものではありません（デバッグ中にはソフトウェアは LED の制御を停止すると想定）。

図 21. LED の接続例



9 推奨事項

9.1 プリント回路基板

技術的な理由により、グランド (V_{SS}) 専用の個別の層と、 V_{DD} や V_{DDCORE} などの電源専用の別の層を持つ多層プリント回路基板 (PCB) を使用することが必須です。これにより、デカッピングとシールド効果が向上します。

9.2 コンポーネントの位置

PCB の暫定レイアウトでは、PCB 上のクロスカッピングを削減するために、EMI の影響に応じてさまざまな回路、すなわちノイズの多い高電流回路、低電圧回路、およびデジタルコンポーネントを分離する必要があります。

9.3 グランドおよび電源 (V_{SSx} 、 V_{DDx})

STM32MP15x ライン には大きな電力と高周波が含まれるため、 V_{SSx} および V_{DDx} 専用の電源プレーンを備えた少なくとも 4 層の PCB を使用することが必須です。

9.4 IO 速度の設定

十分な立ち上がり時間と立ち下がり時間を確保するために、IO に適切な出力駆動を設定することが重要ですが、リングやノイズの増加を避けることも重要です。

IO 速度に特に具体的な要件がなければ、OSPEEDR に 0 を設定することが必須です。

次の図と表を使用して、信号の周波数と容量性負荷に応じて適用する適切な設定をすばやく選択できます。シグナルインテグリティの問題が発生した場合は、この設定を調整する必要があります。

ほとんどの場合、IO 補正を SYSCFG で有効にする必要があります。詳細については、製品データシートを参照してください。

注： 非同期またはシングルエッジクロックのデータレーン (SDR など) の場合、最速のデータ周波数のトグルは事実上データレートの半分です。たとえば、10 M ビット／秒で動作する SPI の最大周波数は、データ信号 (たとえば、出力シリアルデータ 01010101 ...) では 5 MHz ですが、クロック信号では 10 MHz です。デュアルエッジクロックのデータレーン (DDR など) の場合、クロックとデータの最大トグル周波数は同じです。

注： OTP ビット PRODUCT_BELOW_2V5 = 0 (デフォルト状態) の場合、HSLVEN_xxx ビットは考慮されません。

注： $VDD > 2.7 \text{ V}$ のときに HSLVEN_xxx=1 および product_below_2V5=1 を設定すると、IC が損傷する可能性があります。

参考資料

図 22. 負荷容量と電圧別 IO 速度概要

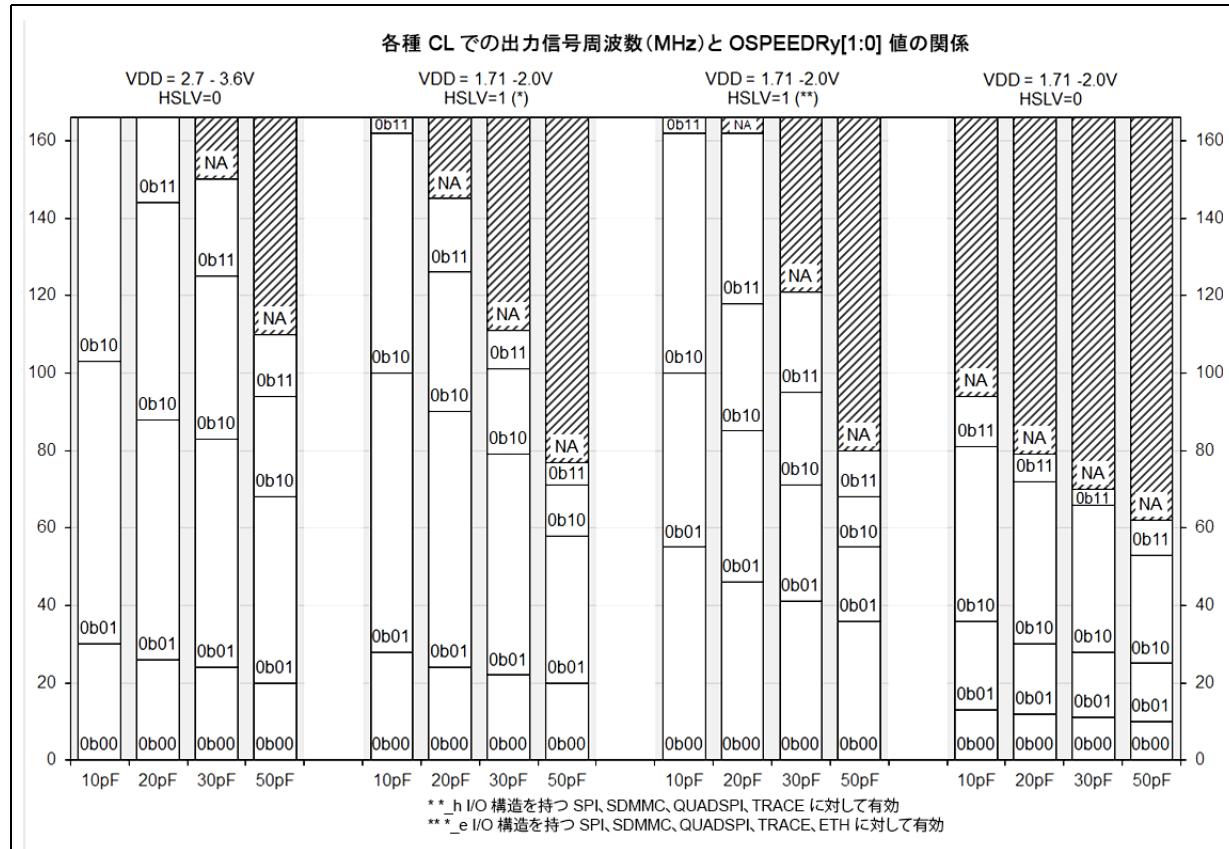


表 13. VDD = 標準 3.3 V での OSPEEDR 設定例

ペリフェラル	信号	トグルレート (MHz)	OSPEEDR CL=30 pF		OSPEEDR CL=10 pF	
			1	ミディアムスピード	1	ミディアムスピード
FMC 非同期	データ／制御	50	1	ミディアムスピード	1	ミディアムスピード
FMC 同期	CLK	100	2	ハイスピード	1	ミディアムスピード
	データ／制御	50	1	ミディアムスピード	1	ミディアムスピード
QUADSPI (SDR)	CLK	133	2	ハイスピード ⁽¹⁾	2	ハイスピード
	データ／制御	66.5	1	ミディアムスピード	1	ミディアムスピード
QUADSPI (DDR)	すべて	66.5	1	ミディアムスピード	1	ミディアムスピード
LTDC (HDMI) ⁽²⁾	CLK	74.25	1	ミディアムスピード	1	ミディアムスピード
	データ／制御	37.125	1	ミディアムスピード	1	ミディアムスピード
LTDC ⁽²⁾	CLK	90	2	ハイスピード	1	ミディアムスピード
	データ／制御	45	1	ミディアムスピード	1	ミディアムスピード
LTDC	CLK	48	1	ミディアムスピード	1	ミディアムスピード
	データ／制御	24	0	ロースピード	0	ロースピード
TIM/LPTIM	すべて	5	0	ロースピード	0	ロースピード
I2C	すべて	1	0	ロースピード	0	ロースピード

参考資料

表 13. VDD = 標準 3.3 V での OSPEEDR 設定例（続き）

ペリフェラル	信号	トグルレート (MHz)	OSPEEDR CL=30 pF	OSPEEDR CL=10 pF
USART	すべて	5	0 ロースピード	0 ロースピード
SPI	CLK	50	1 ミディアムスピード	1 ミディアムスピード
	データ／制御	25	1 ミディアムスピード	0 ロースピード
SAI	MCLK	15	0 ロースピード	0 ロースピード
	CLK	1	0 ロースピード	0 ロースピード
	データ／制御	0.5	0 ロースピード	0 ロースピード
MDIOS	すべて	5	0 ロースピード	0 ロースピード
SDMMC (SDR)	CLK	133	2 ハイスピード ⁽¹⁾	2 ハイスピード
	データ／制御	66.5	1 ミディアムスピード	1 ミディアムスピード
SDMMC (DDR)	すべて	52	1 ミディアムスピード	1 ミディアムスピード
FDCAN	すべて	5	0 ロースピード	0 ロースピード
ETH (MII)	CLK	50	1 ミディアムスピード	1 ミディアムスピード
	データ／制御	25	1 ミディアムスピード	0 ロースピード
ETH (RMII)	すべて	50	1 ミディアムスピード	1 ミディアムスピード
ETH (GMII)	CLK	125	2 ハイスピード	2 ハイスピード
	データ／制御	62.5	1 ミディアムスピード	1 ミディアムスピード
ETH (RGMII)	すべて	125	2 ハイスピード	2 ハイスピード
ETH (MDIO)	MDIO	2.5	0 ロースピード	0 ロースピード
TRACE	すべて	133	3 超ハイスピード	2 ハイスピード
		100	2 ハイスピード	1 ミディアムスピード

1. CL=20 pF に対する値

2. HSE 用の外部オシレータが必要

表 14. VDD = 標準 1.8 V での OSPEEDR 設定例⁽¹⁾

ペリフェラル	信号	トグルレート (MHz)	OSPEEDR CL=30 pF	OSPEEDR CL=10 pF
FMC 非同期	データ／制御	50	2 ハイスピード	2 ハイスピード
FMC 同期	CLK	69	3 超ハイスピード	3 超ハイスピード
	データ／制御	34.5	2 ハイスピード	1 ミディアムスピード
QUADSPI (SDR) ⁽²⁾	CLK	133	3 超ハイスピード ⁽³⁾	2 ハイスピード
	データ／制御	66.5	1 ミディアムスピード	1 ミディアムスピード
QUADSPI (DDR) ⁽²⁾	すべて	66.5	1 ミディアムスピード	1 ミディアムスピード
LTDC (HDMI)	CLK	74.25	3 超ハイスピード ⁽³⁾	3 超ハイスピード
	データ／制御	37.125	2 ハイスピード	2 ハイスピード
LTDC	CLK	69	3 超ハイスピード	3 超ハイスピード
	データ／制御	34.5	2 ハイスピード	1 ミディアムスピード
TIM/LPTIM	すべて	5	0 ロースピード	0 ロースピード
I2C	すべて	1	0 ロースピード	0 ロースピード

参考資料

AN5031

推奨事項

表 14. VDD = 標準 1.8 V での OSPEEDR 設定例⁽¹⁾ (続き)

ペリフェラル	信号	トグルレート (MHz)	OSPEEDR CL=30 pF	OSPEEDR CL=10 pF
USART	すべて	5	0 ロースピード	0 ロースピード
SPI ⁽⁴⁾	CLK	50	1 ミディアムスピード	1 ミディアムスピード
	データ／制御	25	1 ミディアムスピード	0 ロースピード
SAI	MCLK	15	1 ミディアムスピード	1 ミディアムスピード
	CLK	1	0 ロースピード	0 ロースピード
	データ／制御	0.5	0 ロースピード	0 ロースピード
MDIOS	すべて	5	0 ロースピード	0 ロースピード
SDMMC (SDR) ⁽⁵⁾	CLK	133	3 超ハイスピード ⁽³⁾	2 ハイスピード
	データ／制御	66.5	1 ミディアムスピード	1 ミディアムスピード
SDMMC (DDR) ⁽⁵⁾	すべて	52	1 ミディアムスピード	1 ミディアムスピード
FDCAN	すべて	5	0 ロースピード	0 ロースピード
ETH (MII) ⁽⁶⁾	CLK	50	1 ミディアムスピード	0 ロースピード
	データ／制御	25	0 ロースピード	0 ロースピード
ETH (RMII) ⁽⁶⁾	すべて	50	1 ミディアムスピード	0 ロースピード
ETH (GMII) ⁽⁶⁾	CLK	125	3 超ハイスピード ⁽³⁾	2 ハイスピード
	データ／制御	62.5	1 ミディアムスピード	1 ミディアムスピード
ETH (RGMII) ⁽⁶⁾	すべて	125	3 超ハイスピード ⁽³⁾	2 ハイスピード
ETH (MDIO)	MDIO	2.5	0 ロースピード	0 ロースピード
TRACE ⁽⁷⁾	すべて	133	3 超ハイスピード ⁽³⁾	2 ハイスピード
		100	2 ハイスピード	1 ミディアムスピード

1. OTP ビット PRODUCT_BELOW_2V5 がセットされている場合のみ、HSLVEN_xxx=1 は考慮されます。

2. HSLVEN_QUADSPI=1

3. CL=20pF に対する値

4. HSLVEN_SPI=1

5. HSLVEN_SDMMC=1

6. HSLVEN_ETH=1

7. HSLVEN_TRACE=1

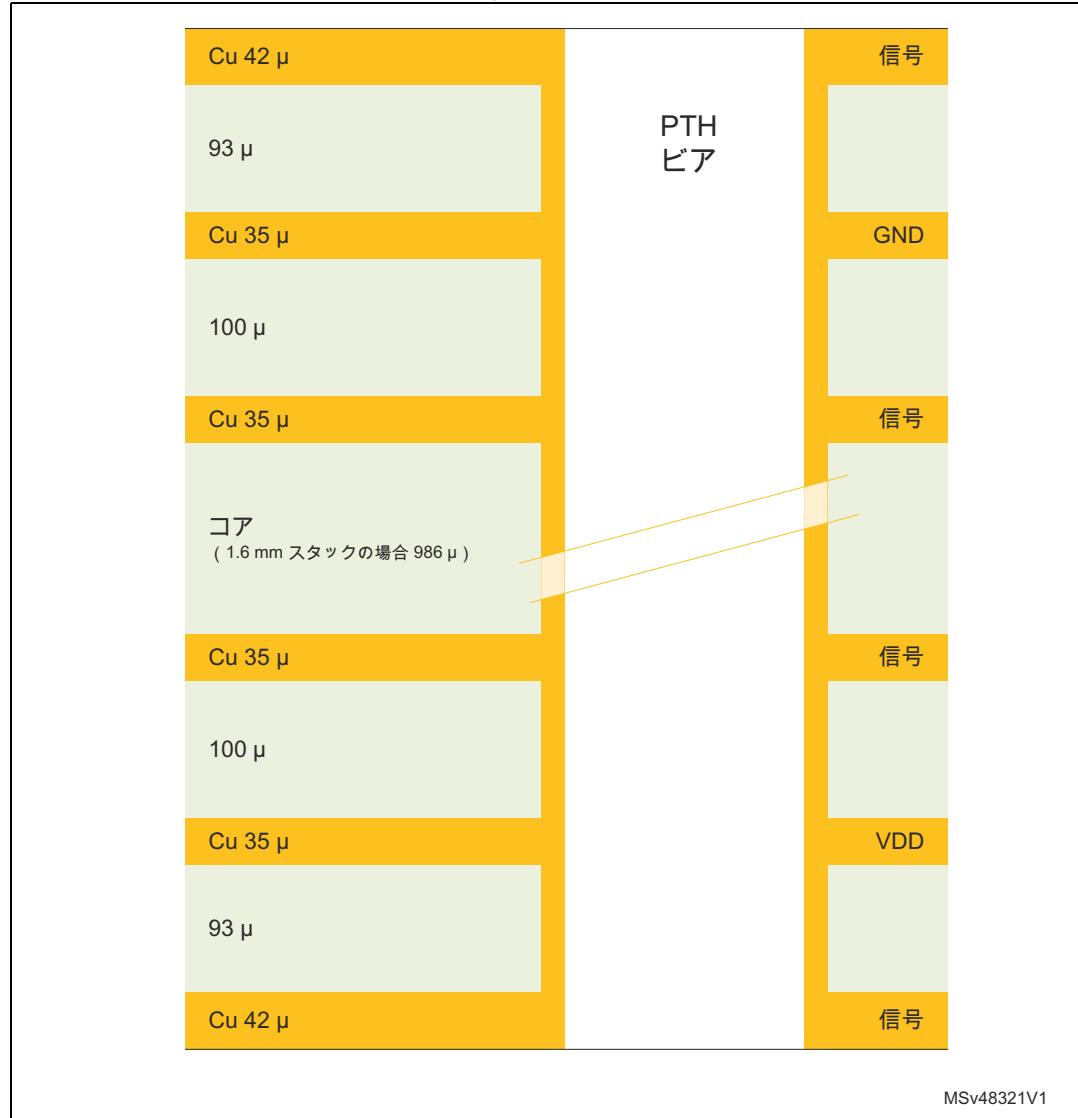


9.5 PCB スタックおよびテクノロジー

PCB のコストと電気接続の容易さの間のトレードオフを図る必要があります。以下の例は、PTH のみを備えた 4 層または 6 層 PCB (0.8 mm ピッチパッケージに適しています) または PTH とレーザー ドリルビアの両方を備えた 4 層 PCB (0.5 mm ピッチパッケージに適しています) のいずれかです。

外側のボールピッチが 0.5 mm の一部の STM32MP15x ライン パッケージでは、0.65 mm のピッチで電力が改善された中央ボールマトリックスが提供され、ボール間の大きな PTH ビアが可能になります。これにより、小さなベリッドレーザードリルビアよりも優れた電源接続と最適化された熱伝導率が保証されます。

図 23. 6 層 PCB スタック例

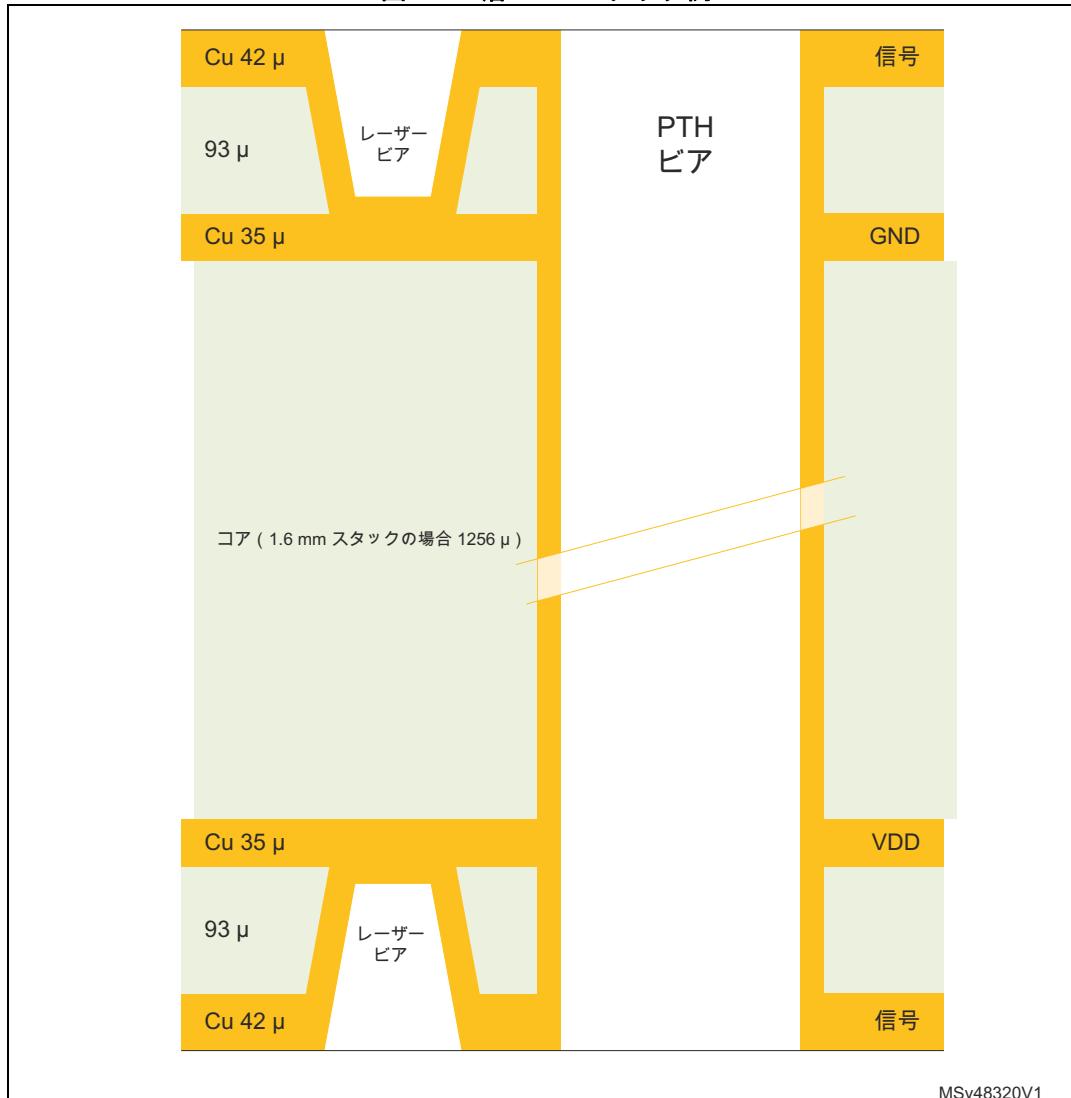


参考資料

AN5031

推奨事項

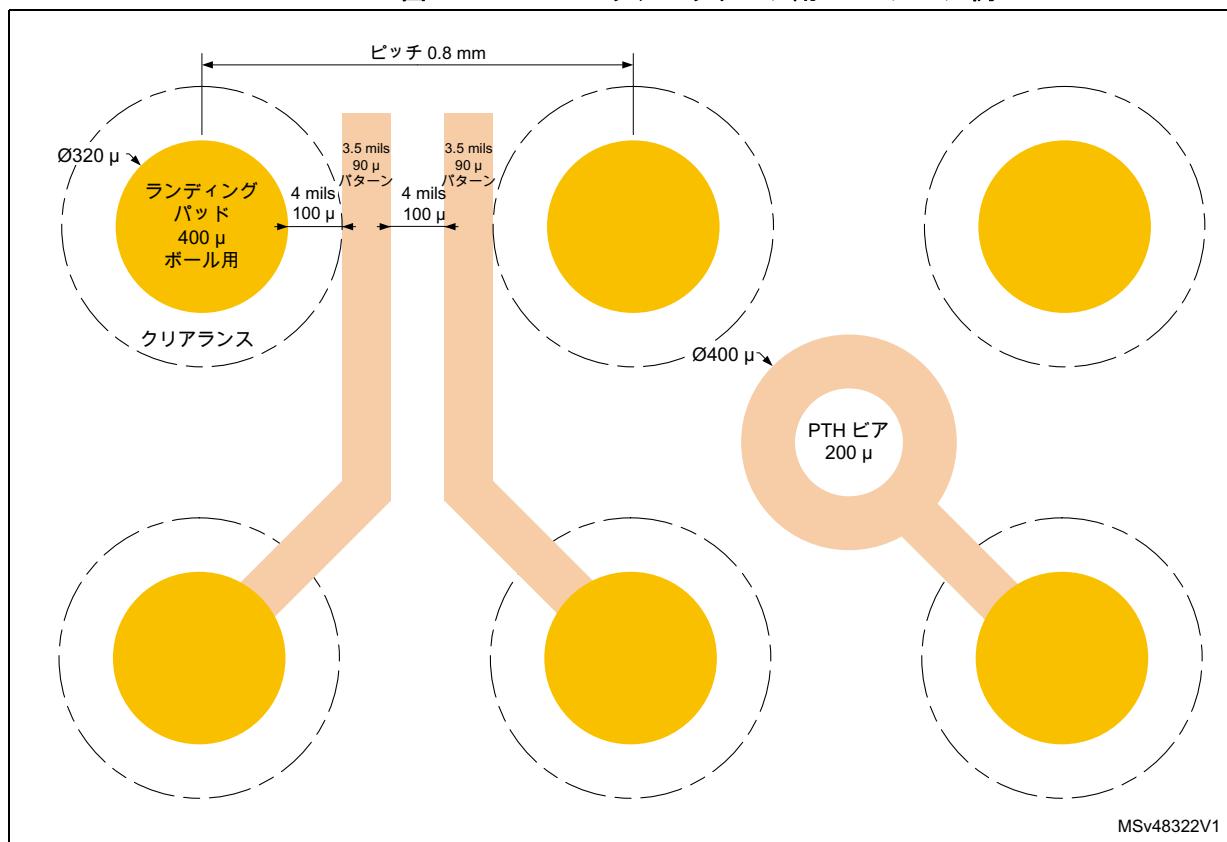
図 24. 4 層 PCB スタック例



MSv48320V1

参考資料

図 25. 0.8 mm ピッチパッケージ用 PCB ルール例



参考資料

AN5031

推奨事項

図 26. 0.5 mm ピッチパッケージ用 PCB ルール例

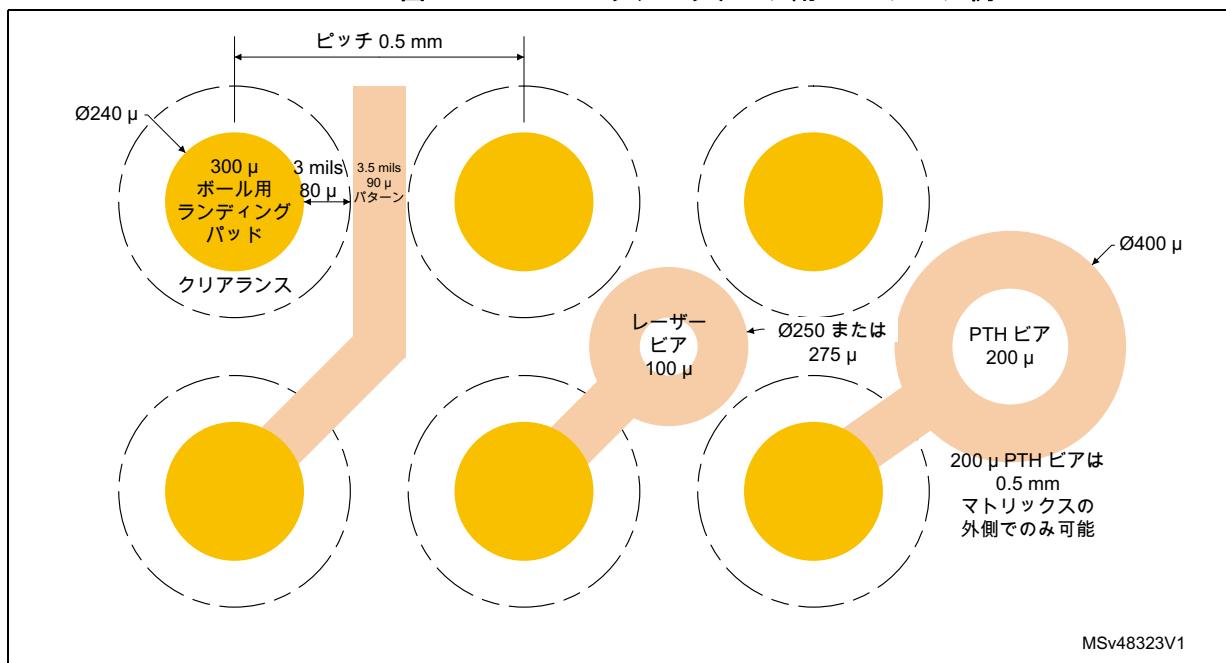
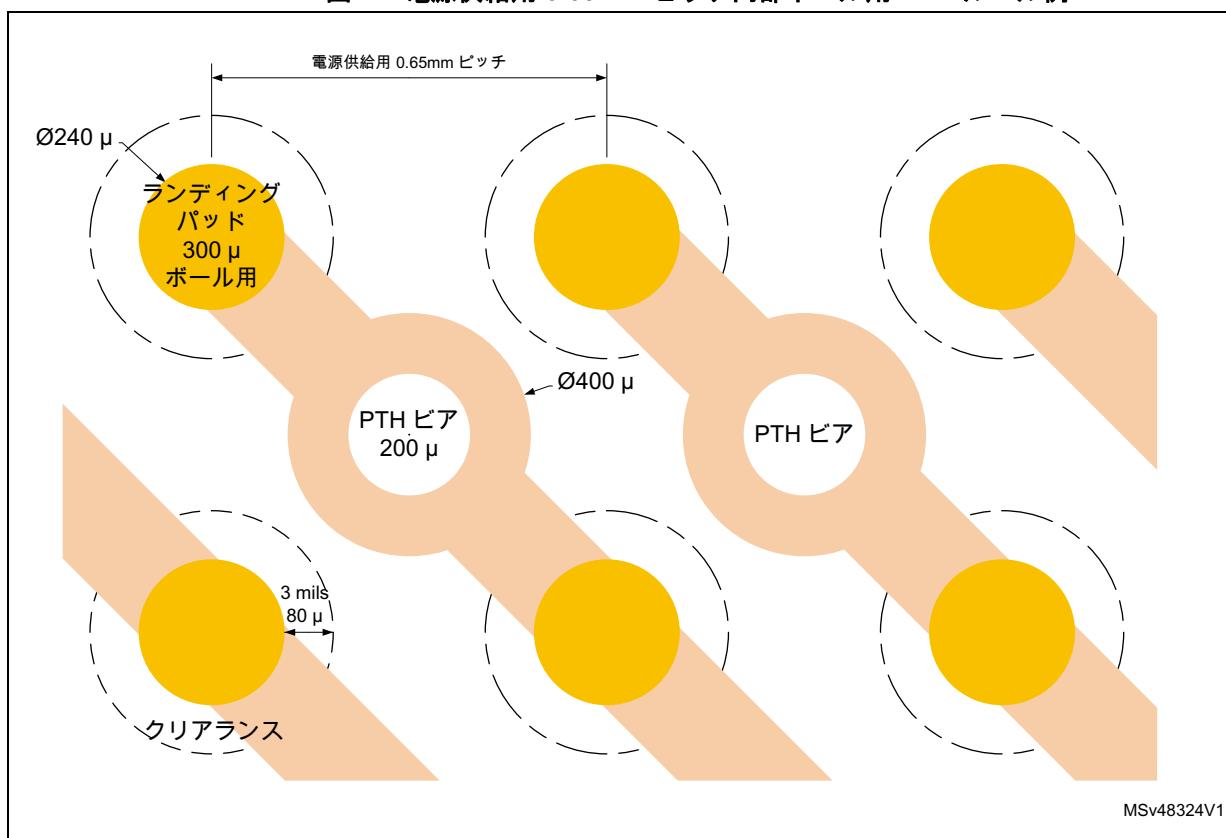


図 27. 電源供給用 0.65mm ピッチ内部ボール用 PCB ルール例

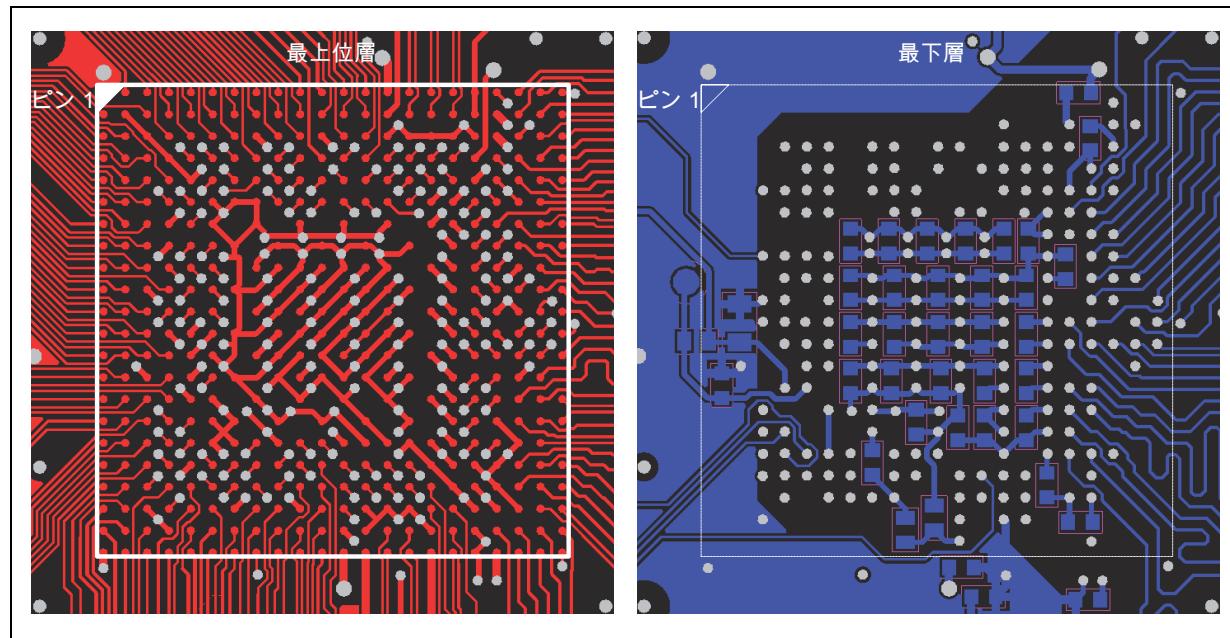


9.6 デカップリング

すべての電源ピンとグランドピンは、各電源に適切に接続する必要があります。パッド、パターン、ビアを含むこれらの接続のインピーダンスは、できる限り低くする必要があります。通常は、パターン幅を太くし、できれば多層 PCB で専用電源プレーンを使用することで、これを実現します。

さらに、各電源ペアを、セラミックコンデンサ（ほとんどの場合、 100 nF または $1\text{ }\mu\text{F}$ 、表 4 参照）でデカップリングする必要があります。これらのコンデンサは、PCB の裏面の、該当するピンのできる限り近くに、またはその下に、配置する必要があります。正確な値は、アプリケーションによって異なることがあります。図 28 に、そのようなデカップリングの配置の標準的なレイアウトを示します。

図 28. デカップリング用コンデンサのレイアウト例



1. 電源とデカップリングコンデンサを内部プレーンに接続している PTH ビアが、灰色で表示されています。

9.7 ESD/EMI 保護

静電放電 (ESD) と電磁干渉 (EMI) は、後で追加するのが非常に複雑で費用がかかる可能性があるため、製品開発の最初から考慮する必要があります。

ESD と EMI は、国際規格 (IEC 61000、JESD 22 など) によって推進されており、ほとんどの国では、製品に必須のマーキング (CE、FCC など) を適用できるようにするための認証が必要です。

ESD と EMI は、標準化されたインターフェースの認証または要件 (たとえば USB など) によっても推進されています。

STM32MP15x ラインではデバイスレベルの ESD 保護を組み込んでいますが、最終製品の保護は外部コンポーネント、特に最終製品で外部ユーザがアクセスするインターフェース (Ethernet、USB、SD カードなど) で行う必要があります。

一部のコンポーネントでは、ESD 保護と EMI コモンモードフィルタリングが提供されています (USB で使用される ECMF02-2AMX6 など)。

ESD/EMI 保護のいくつかの例を [セクション 10 : リファレンスデザイン例](#) に示します。

詳細については、ST マイクロコントローラ用 EMC 設計ガイド アプリケーションノート (AN1709) を参照してください。

9.8 ノイズに敏感な信号

アプリケーションを設計するときは、以下を詳細に検討することにより、電磁両立性 (EMC) の性能を向上させることができます。

- 一時的な障害が実行中のプロセスに永続的に影響する信号(割込み信号およびハンドシェイクストローブ信号の場合。LED コマンドの場合は除く)。
これらの信号に対しては、グランドパターンで取り囲むこと、長さを短くすること、近くにノイズが多く敏感な配線（クロストーク効果）が無いことにより、EMC 性能が向上します。
デジタル信号の場合、2つの論理状態に対してできる限り最高の電気的マージンを持たせる必要があり、寄生状態を排除するために遅いシュミットトリガを推奨します。
- ノイズの多い信号（クロックなど）
- 敏感な信号（ハイインピーダンスなど）

詳細については、ST マイクロコントローラ用 EMC 設計ガイド アプリケーションノート (AN1709) を参照してください。

9.9 未使用的 I/O および機能

STM32MP15x ラインは広範囲のアプリケーションで使用できるように設計されており、通常は特定のアプリケーションがリソースを 100% 使用することはありません。

EMC 性能を向上するには、未使用的クロック、カウンタ、または I/O をフリーにしないでください。たとえば、I/O は “0” または “1” に設定（未使用 I/O ピンにプルアップまたはプルダウン）する必要があります。未使用的機能は「停止」または無効にする必要があります。

参考資料

10 リファレンスデザイン例

10.1 説明

以下のセクションでは、主要なインターフェースおよび重要なインターフェースを STM32MP15x ラインに接続するのに役立つ例を述べます。

10.1.1 クロック

STM32MP15x ラインには 2 つのクロックソースが使用され、次の選択肢があります。

- LSE : 内蔵 RTC 用の 32.768 kHz クリスタル発振子
- HSE : STM32MP15x ラインのメインクロックとして 24 MHz クリスタル発振子または外部オシレータ

セクション 6 : 28 ページの [クロック](#) を参照してください。

図 29. オシレータ／クリスタル発振子 HSE 推奨回路

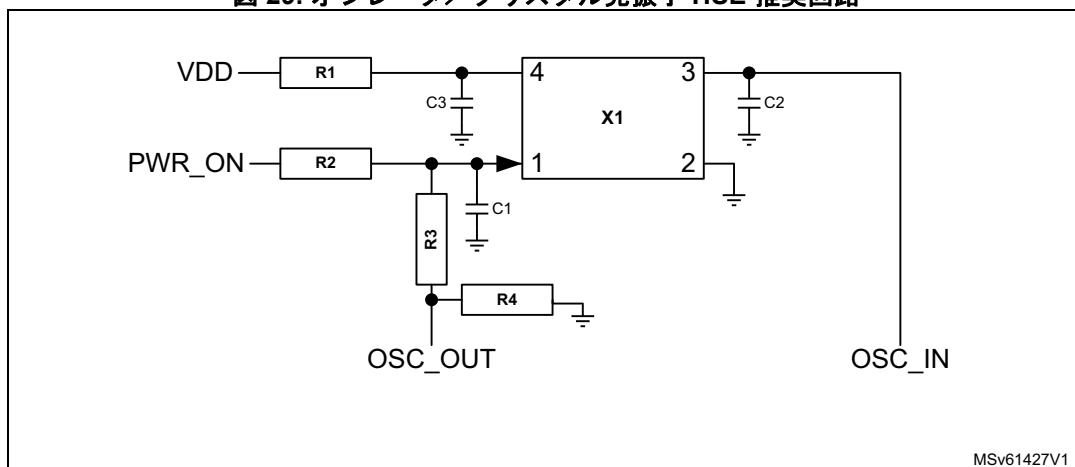


表 15. オシレータまたはクリスタル発振子用の HSE 部品表

-	オシレータ	クリスタル発振子
X1	NZ2016SH 24 MHz	NX2016SA 24 MHz
R1	10Ω	-
R2	10 kΩ	-
R3	-	0Ω
R4	1 kΩ	-
C1	-	6.8 pF
C2	-	6.8 pF
C3	10 nF	-

10.1.2 リセット

図 4 の NRST リセット信号はアクティブローです。リセットソースには下記が含まれます。

- リセットボタン
- JTAG コネクタ経由のデバッグツール

[セクション 4.3 : 17 ページのリセットおよび電源供給スーパバイザ](#)を参照してください。

10.1.3 ブートモード

ブートオプションは、恒久的なワイヤまたはスイッチ SW3 (BOOT2)、SW2 (BOOT1)、SW1 (BOOT0) と内部 OTP を設定することによって構成されます。セクション 7 : 32 ページのブート設定を参照してください。

可能な U (S) ARTx_RX ピンの 1 つを使用する UART ブートの場合 (STM32MP1 シリーズ wiki を参照)、ホストにフローティング信号が送信されるのを回避するために、初期化文字が受信され、BootROM によってデコードされるまで、それぞれの U (S) ARTx_TX ピンに 10 kΩ の V_{DD} プルアップが必要です。

表 16. ブート可能な UART ピン

ペリフェラル	信号	ピン
USART2	RX	PA3
	TX	PA2
USART3	RX	PB12
	TX	PB10
UART4 ⁽¹⁾	RX	PB2
	TX	PG11
UART5	RX	PB5
	TX	PB13
USART6	RX	PC7
	TX	PC6
UART7	RX	PF6
	TX	PF7
UART8	RX	PE0
	TX	PE1

1. Linux コンソールの推奨デフォルト UART (すなわち、STLINK STDC14 コネクタの VCP として)。

10.1.4 SWD/JTAG インタフェース

リファレンスデザインでは、STM32MP15x ラインと標準コネクタとの間の接続を示しています。セクション 8 : 36 ページのデバッグ管理を参照してください。

注： 可能な場合は、デバッガからアプリケーションをリセットできるようにするために、デバッガプロープシステムのリセットピンを NRST に接続することをお勧めします。

10.1.5 電源

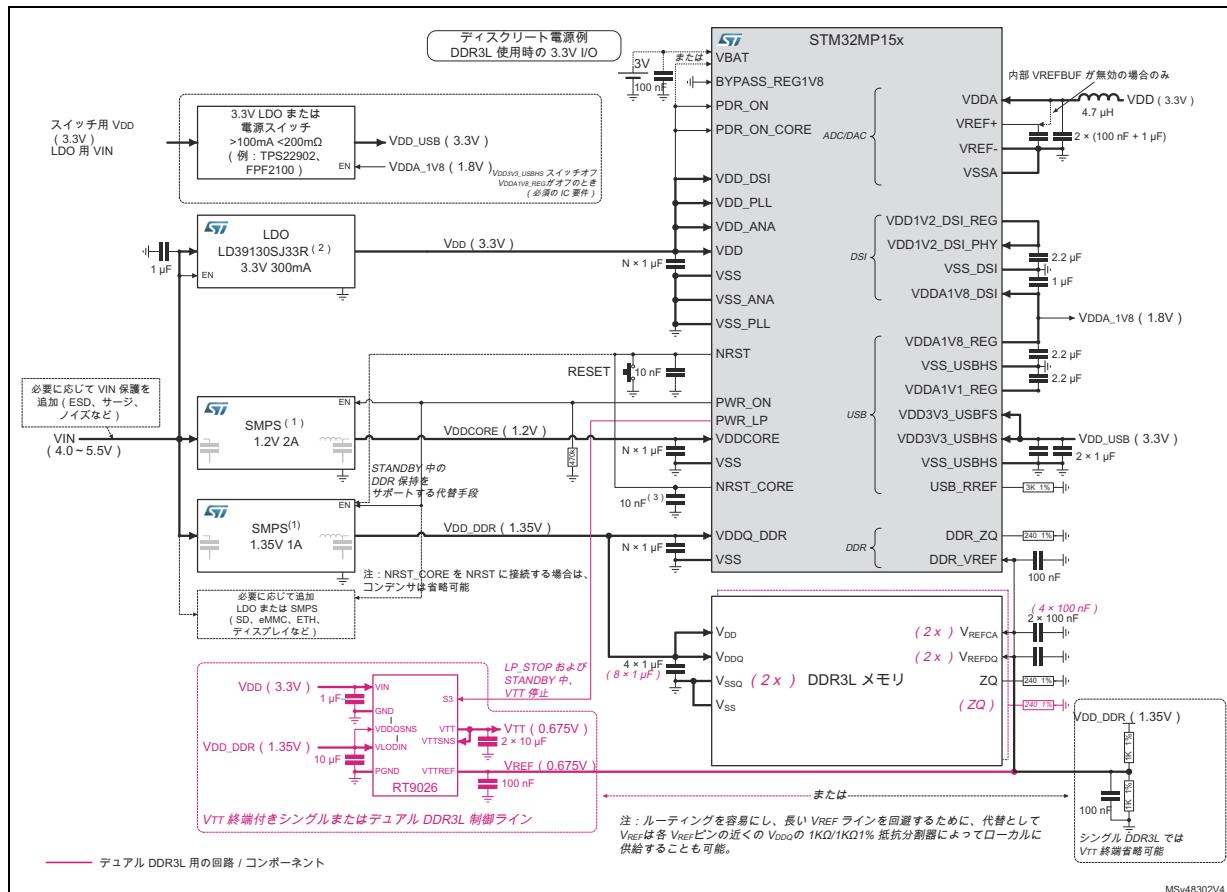
セクション 4 : 11 ページの電源を参照してください。

DDR3L 使用時の 3.3 V I/O のディスクリート電源例

このリファレンスデザインの例は、電力削減を重視せずに、低コストの DDR3L を使用するシンプルな 3.3 VIO プラットフォームを対象としています。SLEEP/STOP/STANDBY モードがサポートされています。LP-STOP および DDR3L 保持が可能な低消費電力 STANDBY は使用できますが、セルフリフレッシュ時に低消費電力ではない DDR3L を使用しているため、ほとんど効果がないと思われます。

STM32MP151, STM32MP153 and STM32MP157 discrete power supply hardware integration (AN5256) も参照してください。

図 30. DDR3L 使用時の 3.3 V I/O ディスクリート電源例



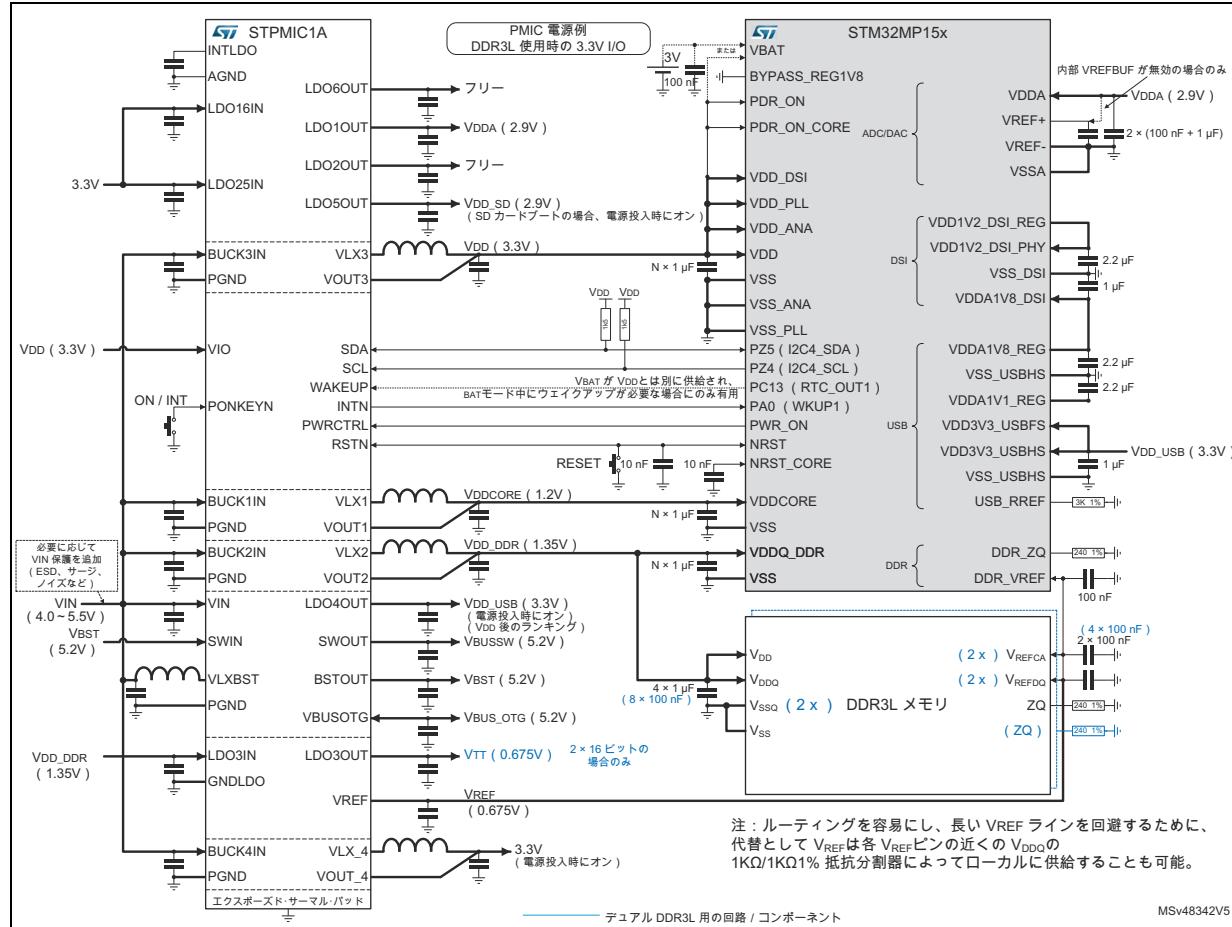
- 追加の SMPS コンポーネントは示されていません。
- より小さい NCP161AFCT330 を使用することもできます。
- NRST_CORE を NRST に接続する場合は、NRST_CORE ピンの 10 nF のコンデンサは省略できます。

DDR3L 使用時の 3.3 V I/O の PMIC 電源例

このリファレンスデザインの例は、低コストの DDR3L と高集積 PMIC を備えた複雑な 3.3 VIO プラットフォームを対象としています。通常、プラットフォームのすべてのコンポーネントは PMIC で電力供給できます。PMIC I2C およびサイドバンド信号により、完全な電源制御がサポートされています。SLEEP/STOP/STANDBY モードがサポートされています。PMIC コンポーネントの詳細は、PMIC のドキュメントを参照してください。

参考資料

図 31. DDR3L 使用時の 3.3 V I/O PMIC 例



参考資料

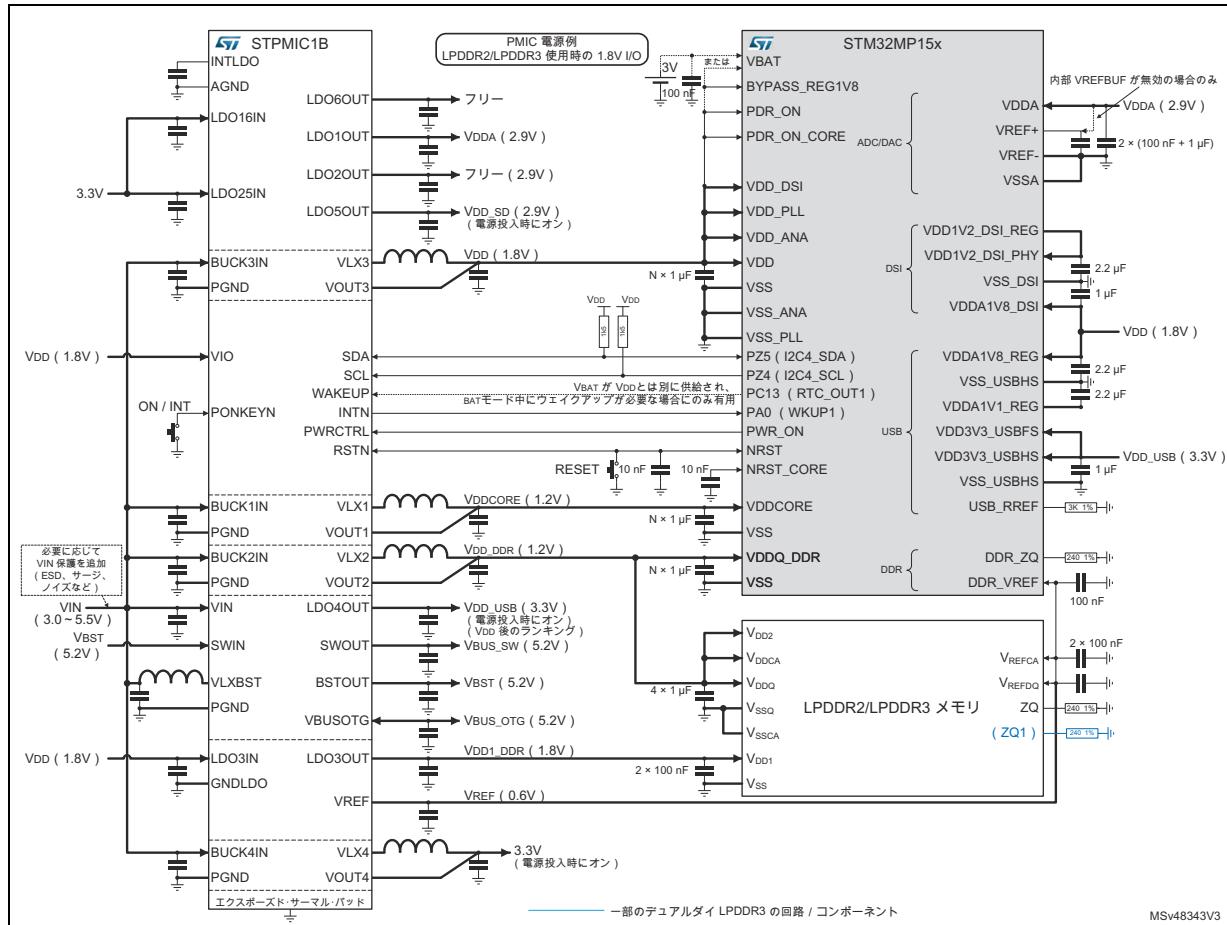
リファレンスデザイン例

AN5031

LPDDR2/LPDDR3 使用時の 1.8 V I/O の PMIC 電源例

このリファレンスデザインの例は、低電力の LPDDR2/LPDDR3 と高集積 PMIC を備えた複雑な 1.8 V I/O プラットフォームを対象としています。通常、プラットフォームのすべてのコンポーネントは PMIC で電力供給できます。PMIC I₂C およびサイドバンド信号により、完全な電源制御がサポートされています。SLEEP/STOP/STANDBY モードのほか、LPDDR2/LPDDR3 保持を使用可能な超低消費電力 STANDBY もサポートされています。PMIC コンポーネントの詳細は、PMIC のドキュメントを参照してください。

図 32. LPDDR2/LPDDR3 使用時の 1.8 V I/O PMIC 例



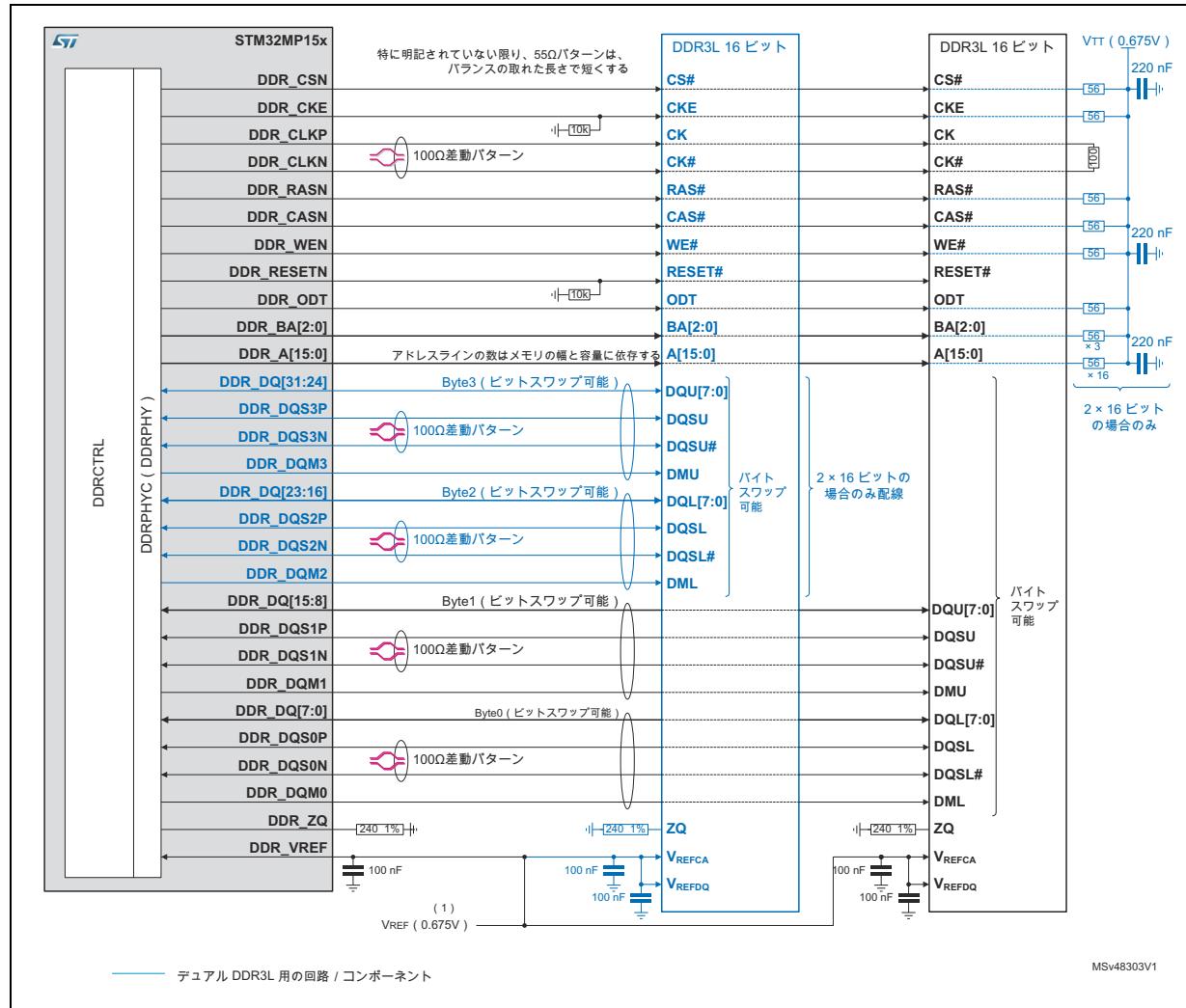
10.1.6 DDR3/DDR3L SDRAM

DDR3 と DDR3L の違いは、電源電圧（1.5 V 対 1.35 V）と V_{REF} レベル（0.75 V 対 0.675 V）が異なることだけです。DDR3L は、ほとんどの DDR3 設計に取って代わりました。

240Ω 1% 抵抗を DDR_ZQ と V_{SS} の間に接続する必要があります。この抵抗は、各 DDR3/DDR3L コンポーネントで必要な ZQ 抵抗と共用しないでください。

2x16 ビットデバイスの場合、終端電圧（VTT）電源に接続されたインピーダンス整合抵抗ネットワークは、最後のデバイスのできるだけ近くに配置する必要があります。インピーダンスの不連続性を回避するには、「フライバイ」ルーティング技術を使用する必要があります。以下の例の値はほとんどの場合に機能しますが、IO 駆動能力と PCB インピーダンスのそれぞれの側に合わせて調整できます。

図 33. DDR3L 16/32 ビット接続例



- ルーティングを容易にし、長い V_{REF} ラインを回避するために、代替として V_{REF} は各 V_{REF} ピンの近くの V_{DDQ} の 1kΩ/1KΩ1% 抵抗分割器によってローカルに供給可能。

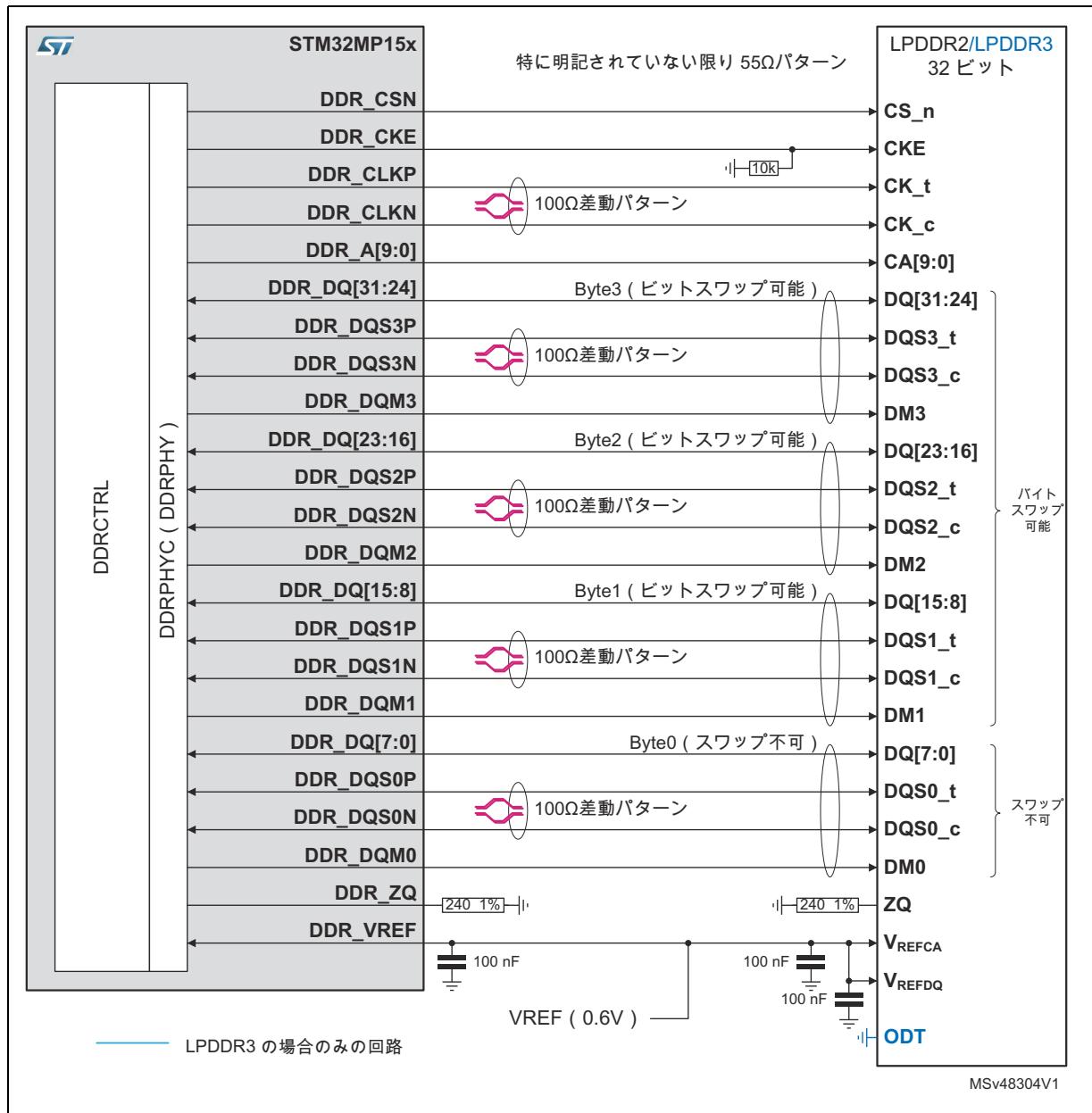
- 電源およびデカッピングコンデンサは表示されていない。

詳細なルーティング例は STM32MP1 Series DDR memory routing guidelines (AN5122) に記載されています。

10.1.7 LpDDR2/LpDDR3 SDRAM

240Ω 1% 抵抗を DDR_ZQ と V_{SS} の間に接続する必要があります。この抵抗は、LPDDR2/LPDDR3 コンポーネントで必要な 1 つ以上の ZQ 抵抗と共にしないでください。

図 34. LPDDR2/LPDDR3 32 ビット接続例



- 電源およびデカップリングコンデンサは表示されていない。

詳細なルーティング例は STM32MP1 Series DDR memory routing guidelines (AN5122) に記載されています。

10.1.8 SD カード

外部レベルシフタ

これにより、1.8 V カード I/O 電圧に切り替える必要のある UHS-I 高速モード（最大 SDR50 および DDR50、すなわち 50 MB/秒のバス速度）が使用できます（SD カードは 3 V カード I/O で起動されます）。

注：ブートは常に「標準」モード（3 V IO）で行われるため、カードを UHS-I のアプリケーションで使用する場合、リセットまたは STANDBY 後にカード電源のパワーサイクルが必要です。

この例は、1.71 V から 3.6 V の間の MPU IO 電圧 V_{DD} とは無関係です。標準の 1.8 V の VDD の場合、すべての SD カードは 3 V 信号電圧を使用する「標準」モードでトランザクションを開始するため、外部レベルシフターが必須です。

良好なシグナルインテグリティは、ボード、GPIO の能力設定（GPIO_OSPEEDR レジスタ）、および V_{DD} 電圧に依存することにご注意ください。

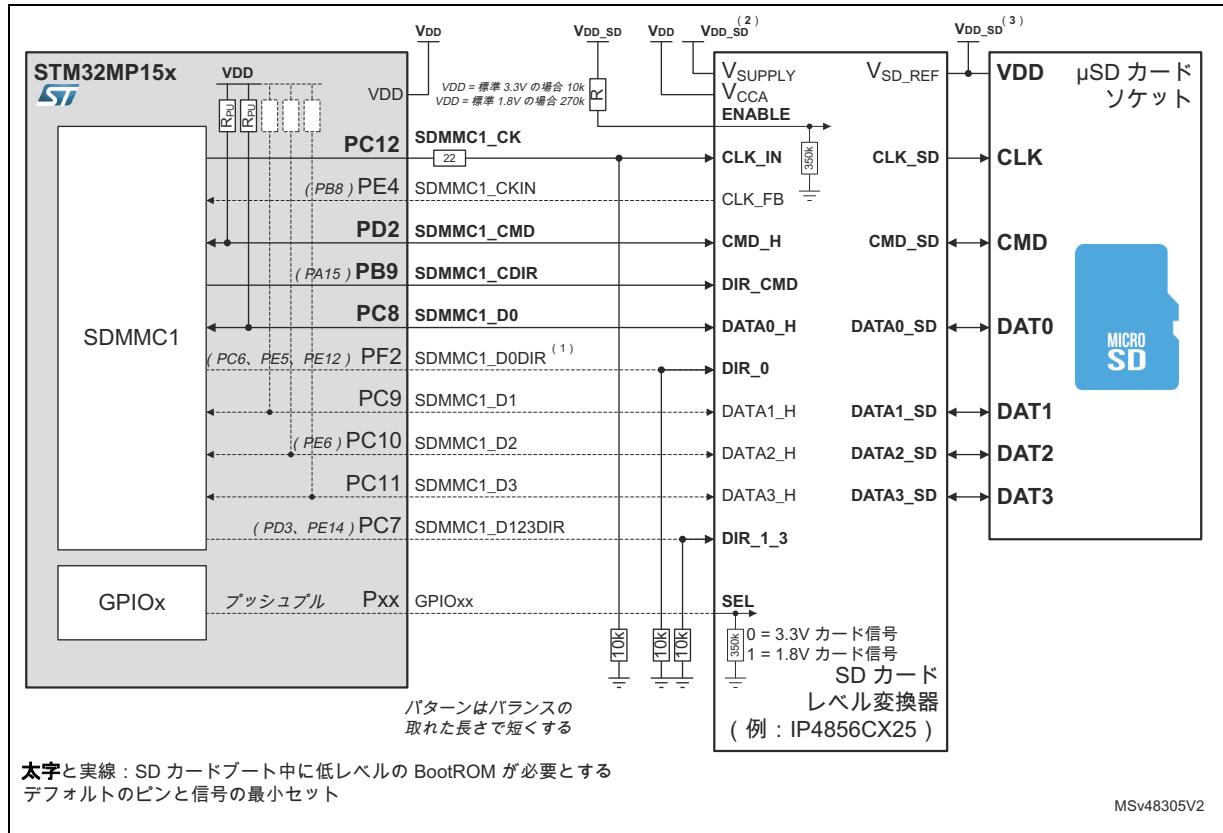
$V_{DD} = 1.8 \text{ V}$ を使用する場合、SDMMC 出力で使用されるパッドで最高の速度を確保するには、OTP ビットとレジスタ SYSCFG_IOCTRLSETR (HSLVEN_SDMMC ビット) の設定が必要になることがあります。

警告： V_{DD} が 2.7 V を超える場合、UHSLVEN および HSLVEN は設定しないでください。IC が損傷する可能性があります。

必要に応じて、インピーダンス整合抵抗を出力駆動ピンのできるだけ近くに配置する必要があります。以下の例の値はほとんどの場合に機能しますが、IO 駆動能力と PCB インピーダンスに合わせて調整できます。

参考資料

図 35. 外部レベルシフタ付き SD カード接続例

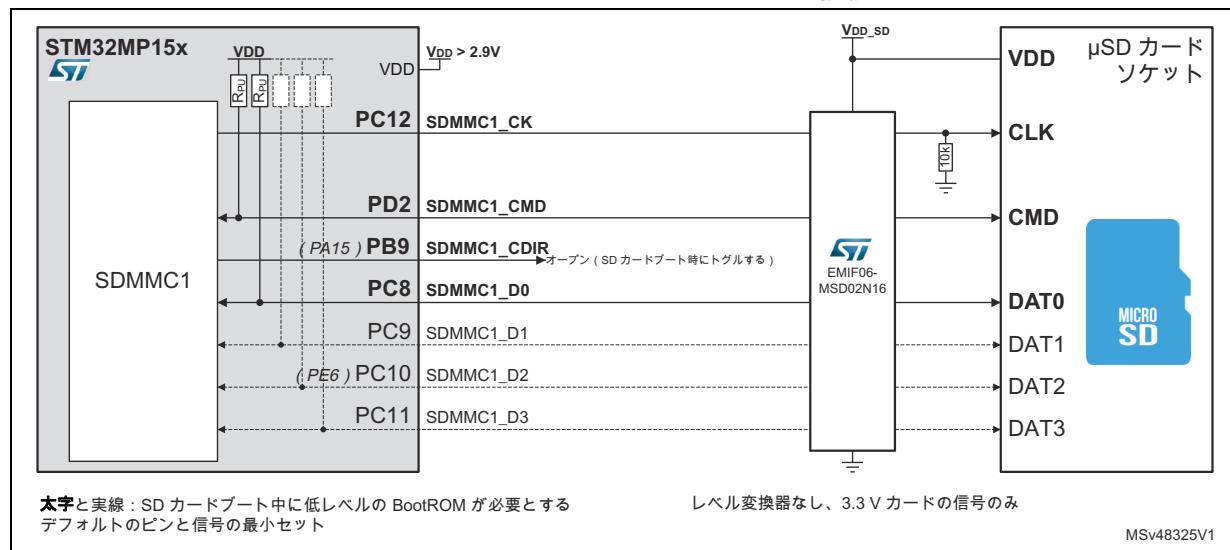


1. SDMMC1_D0DIR は、SD カードの DATA0 から読み込みデータのみが要求されるため、ブートフェーズでは使用されません。それでも、カードから MPU への正しい DATA0_SD 方向を保証するために、SDMMC1_D0DIR のプルダウンが必要です。
2. UHS-I で使用する場合、再起動（リセットまたは STANDBY の終了時）を可能にするために、V_{DD_SD} を 1 ms 以上カットする必要があります。
V_{DD} > V_{DD_SD} の場合、V_{DD} を使用します。
3. UHS-I で使用する場合、再起動（リセットまたは STANDBY の終了時）を可能にするために、V_{DD_SD} を 1 ms 以上カットする必要があります。
4. デカップリングコンデンサは表示されていません。
V_{DD_SD} シャットダウンの前（たとえば、STANDBY の前）に、カードに送られるすべての信号を SDMMC1 ドライバによって 0 またはハイインピーダンスに設定する必要があります。

ダイレクト 3.3 V IO 電圧

これは、 $V_{DD} > 2.9\text{ V}$ を必要とするシンプルなインターフェースであり、標準の SD カード速度（最大 ハイスピード 25 MB/s のバス速度まで）に制限されています。大容量 SD カードには大電流が必要で あり、STANDBY 時の電力を制限するために、 V_{DD_SD} を V_{DD} から分離できますが、それらの間の電 圧レベルは、電力を節約するために V_{DD_SD} が切断されている場合を除き、200 mV 以内である必 要があります。

図 36. 3.3 V I/O SD カード接続例



10.1.9 eMMC™ Flash

良好なシグナルインテグリティは、ボード、GPIO の能力設定 (GPIO_OSPEEDR レジスタ)、およ び V_{DD} 電圧に依存することにご注意ください。

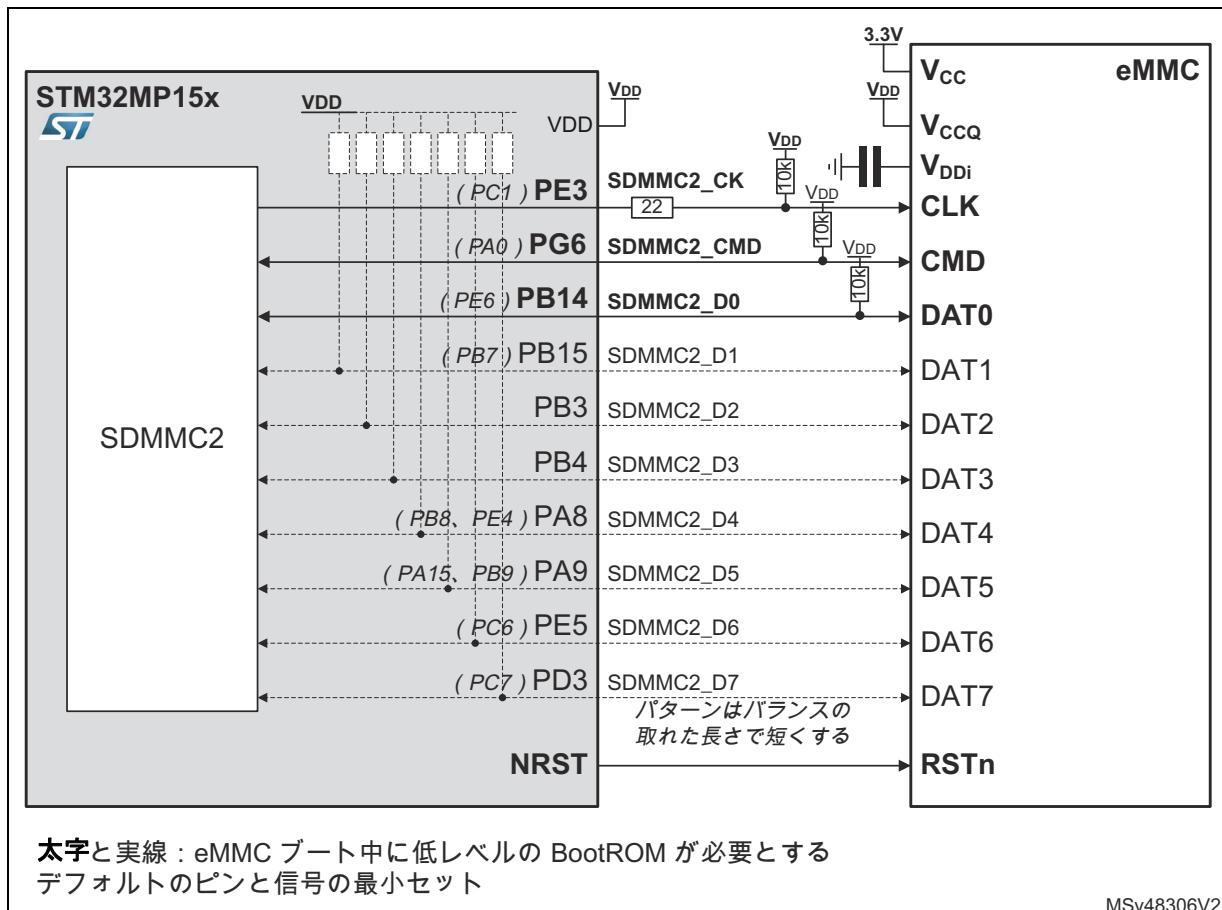
$V_{DD} = 1.8\text{ V}$ を使用する場合、SDMMC 出力で使用されるパッドで最高の速度を確保するには、OTP ビットとレジスタ SYSCFG_IOCTRLSETR (HSLVEN_SDMMC ビット) の設定が必要になることが あります。

警告 : V_{DD} が 2.7 V を超える場合、UHSLVEN および HSLVEN は設定しないで ください。IC が損傷する可能性があります。

必要に応じて、インピーダンス整合抵抗を出力駆動ピンのできるだけ近くに配置する必要がありま す。以下の例の値はほとんどの場合に機能しますが、IO 駆動能力と PCB インピーダンスに合わせて 調整できます。

参考資料

図 37. eMMC™ 接続例



1. デカップリングコンデンサは表示されていません。

eMMC では RSTn がデフォルトで無効になっており、eMMC 電源にパワーサイクルがない場合は、リセット後に再起動できるように、eMMC レジスタで RSTn を有効にする必要があります。

V_{DD} とは独立にメモリ IO 電源をシャットダウンできる場合は、NRST をメモリリセットピンに直接接続しないでください。代わって次のオプションが使用できます。

- メモリに内部パワーオンリセットがある場合、メモリリセットピンは開いたままにする。
- メモリリセットピンをショットキーダイオードを介して NRST 側のカソードに接続する。

そうしないと、IO 電源が存在しないときにメモリの内部保護によって NRST がローに引き下げられる可能性があります（これにより、プラットフォームが望ましくないリセットを引き起こす可能性があります）。

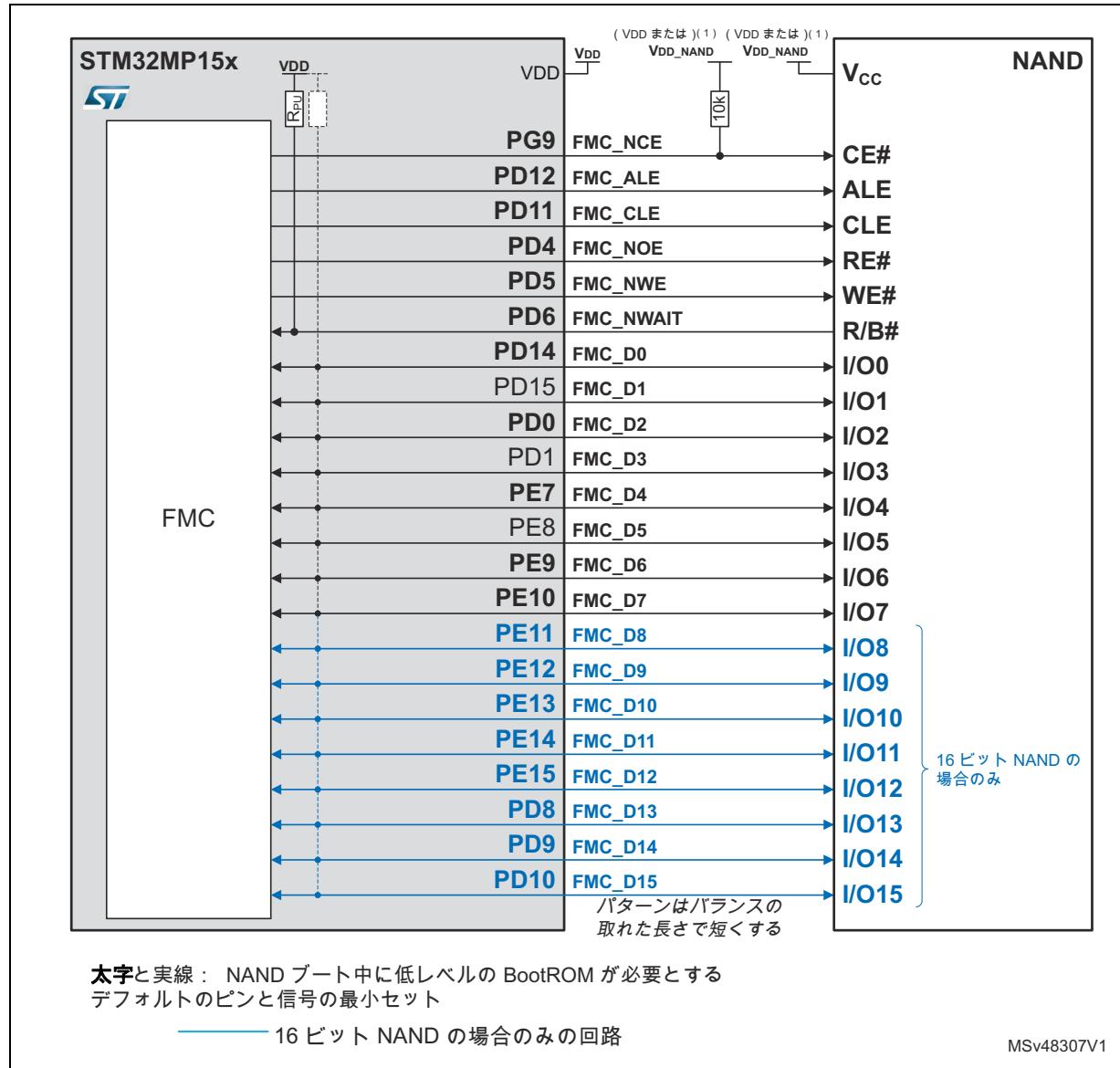
メモリの文書を参照して、メモリリセットピンの要件を確認してください（特に、内部パワーオンリセットの存在やリセットピンの内部プレアップの存在）。

10.1.10 SLC NAND-Flash

1つの8または16ビットSLC NANDメモリデバイス(CE#=FMC_NCE)、および2つの独立した8ビットSLC NANDメモリデバイス(デバイス1CE#=FMC_NCEおよびデバイス2CE#=FMC_NCE2)がサポートされています。

ブートは、FMC_NCEに接続されたSLC NANDメモリデバイスでのみ実行されることに注意してください。

図38. SLC NAND-Flash接続例



- 再起動(リセットまたはSTANDBYの終了時)を可能にするために、V_{DD_NAND}を1ms以上カットする必要があります。
- デカップリングコンデンサは表示されていません。

注: ハミング、BCH4、またはBCH8エラー訂正アルゴリズムのいずれかと共に、シングルレベルセル(SLC)NAND-Flashのみがサポートされています。

10.1.11 シリアル NOR-Flash/NAND-Flash

注 : ブートは常に「SPI」モードで行われるため、シリアル Flash がアプリケーションによって複数のデータラインで設定されている場合、またはセクタのアドレス指定が変更されている場合、リセットまたは STANDBY の終了後にシリアル Flash 電源のパワーサイクルが必要です。

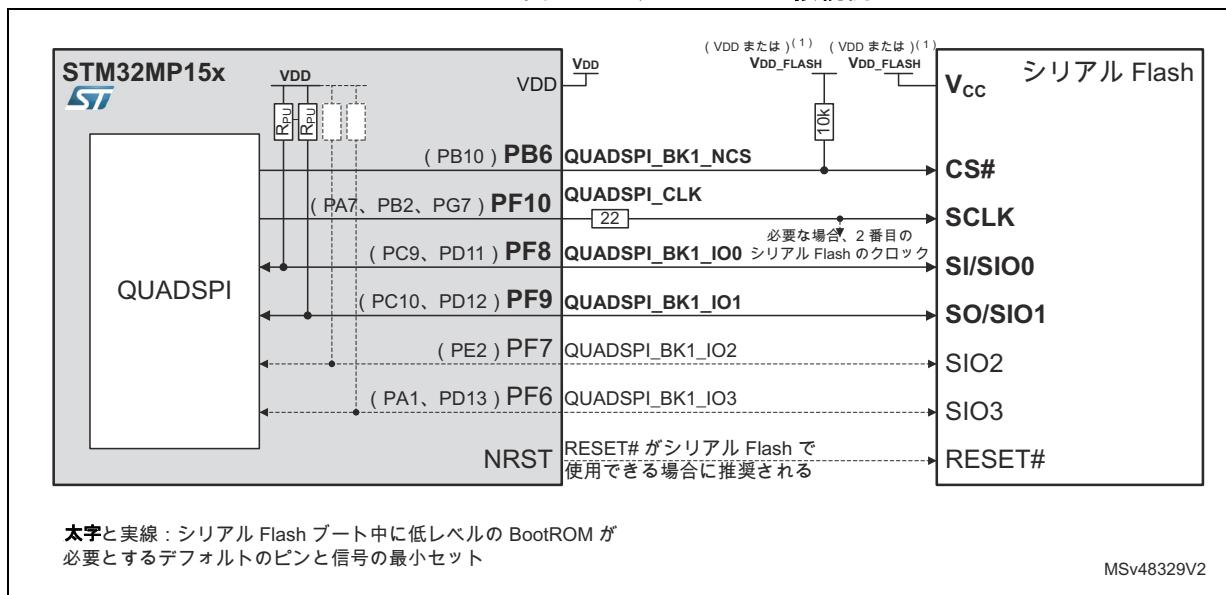
良好なシグナルインテグリティは、ボード、GPIO の能力設定 (GPIO_OSPEEDR レジスタ)、および V_{DD} 電圧に依存することにご注意ください。

$V_{DD} = 1.8\text{ V}$ を使用する場合、SDMMC 出力で使用されるパッドで最高の速度を確保するには、OTP ビットとレジスタ SYSCFG_IOCTRLSETR (HSLVEN_QUADSPI ビット) の設定が必要になることがあります。

警告 : V_{DD} が 2.7 V を超える場合、UHSLVEN および HSLVEN は設定しないでください。IC が損傷する可能性があります。

必要に応じて、インピーダンス整合抵抗を出力駆動ピンのできるだけ近くに配置する必要があります。以下の例の値はほとんどの場合に機能しますが、IO 駆動能力と PCB インピーダンスに合わせて調整できます。

図 39. シリアル Flash 接続例



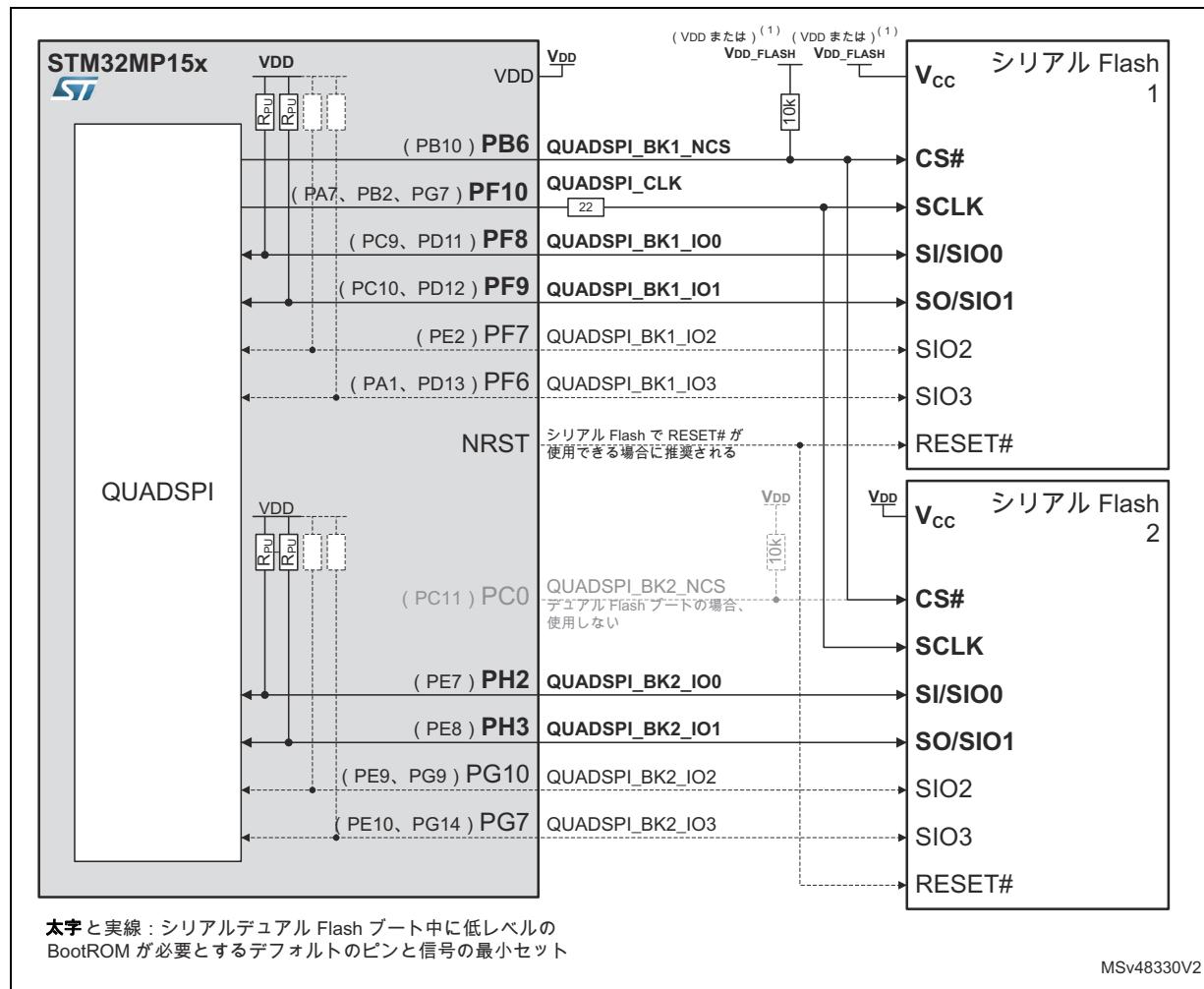
1. 再起動（リセットまたは STANDBY の終了時）を可能にするために、 V_{DD_FLASH} を 1 ms 以上カットする必要があります。
2. デカップリングコンデンサは表示されていません。

参考資料

AN5031

リファレンスデザイン例

図 40. デュアルシリアル Flash 接続例



- 再起動（リセットまたは STANDBY の終了時）を可能にするために、 V_{DD_FLASH} を 1 ms 以上カットする必要があります。
- デカップリングコンデンサは表示されていません。

V_{DD} とは独立にメモリ IO 電源をシャットダウンできる場合は、NRST をメモリリセットピンに直接接続しないでください。代わって次のオプションが使用できます。

- メモリに内部パワーオンリセットがある場合、メモリリセットピンは開いたままにする。
- メモリリセットピンをショットキーダイオードを介して NRST 側のカソードに接続する。

そうしないと、IO 電源が存在しないときにメモリの内部保護によって NRST がローに引き下げられる可能性があります（これにより、プラットフォームが望ましくないリセットを引き起こす可能性があります）。

メモリの文書を参照して、メモリリセットピンの要件を確認してください（特に、内部パワーオンリセットの存在やリセットピンの内部プルアップの存在）。

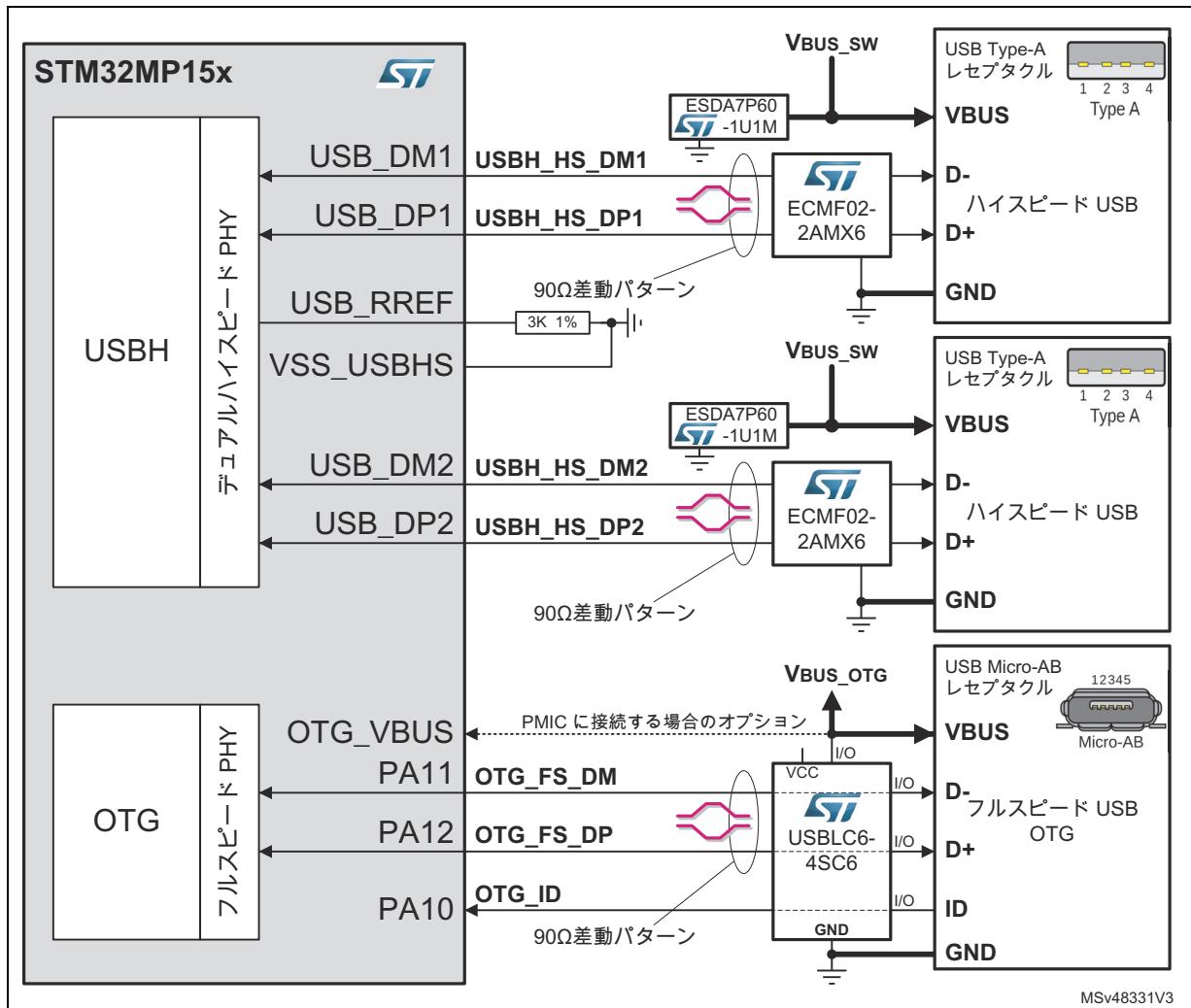
参考資料

10.1.12 USB

注：USB Type-C は、一部の外部コンポーネントでサポートされています。専用のアプリケーションノートについては、www.st.com を参照してください。

USB_RREF と VSS_USBHS（または選択したパッケージで VSS_USBHS が利用できない場合は VSS）の間に $3\text{ k}\Omega$ 1% 抵抗を接続する必要があります。

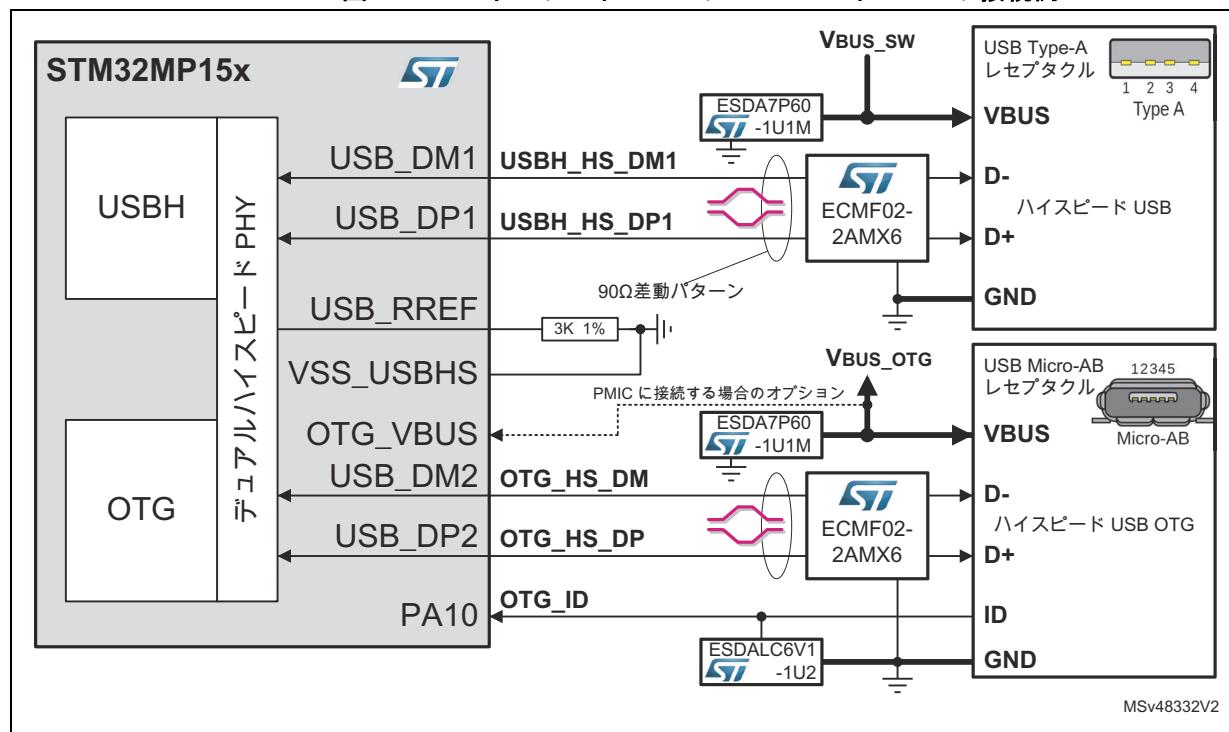
図 41. USB 2 ポートホストハイスピード + OTG フルスピード接続例



注：OTG IP では、Micro-AB の代わりに Micro-B レセプタクルを使用し、OTG_ID ピンを未接続のままにすることで、USB フルスピードデバイスもサポートされます。

参考資料

図 42. USB ホストハイスピード + OTG ハイスピード接続例



注：OTG IP では、Micro-AB の代わりに Micro-B レセプタクルを使用し、OTG_ID ピンを未接続のままですることで、USB ハイスピードデバイスもサポートされます。

参考資料

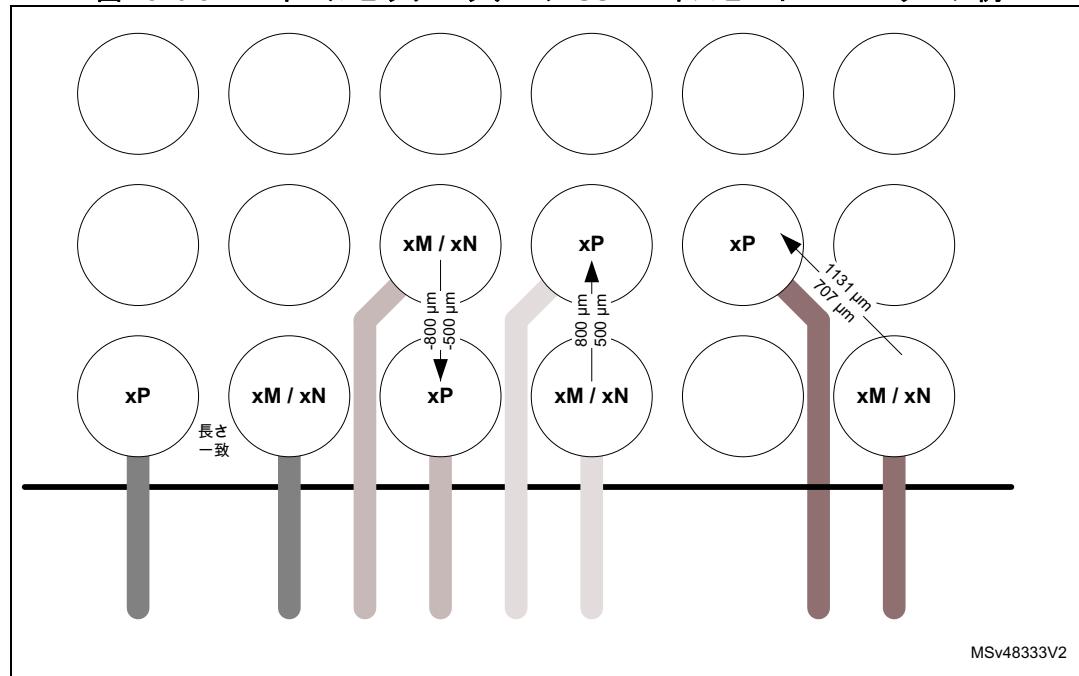
USB ハイスピード PCB パターン長のマッチング

各パッケージは、差動ボールペア信号が直接隣接するボール上にない場合に、長さのマッチングが容易になるように最適化されています。例：0.8 mm のボールピッチのパッケージで、差動ペアが 2 つの異なる行にある場合、パッケージにはすでに約 800 μm の長さの内部差があり、PCB のパターンでは、USB 標準要求に従って、追加の複雑なルーティングなしで、全長を一致させることが可能になります。次の表は、PCB ツールで考慮されるべきボールレベルでの DM-DP 長さの差（パッケージ内）を示しています。

表 17. USB 用のパッケージの長さマッチング値

ピン名	TFBGA257		LFBGA354		TFBGA361		LFBGA448	
	(10 x 10 ピッチ 0.5 mm)		(16 x 16 ピッチ 0.8 mm)		(12 x 12 ピッチ 0.5 mm)		(18 x 18 ピッチ 0.8 mm)	
	ボール位置	長さの差	ボール位置	長さの差	ボール位置	長さの差	ボール位置	長さの差
USB_DM1	W14	486 μm	W14	818 μm	AB17	-507 μm	AB15	792 μm
USB_DP1	V14		V14		AC17		AA15	
USB_DM2	W10	494 μm	V13	-816 μm	AB16	-500 μm	AA14	-850 μm
USB_DP2	V10		W13		AC16		AB14	

図 43. 0.8 mm ボールピッチパッケージ USB ハイスピード PCB パターン例



MSv48333V2

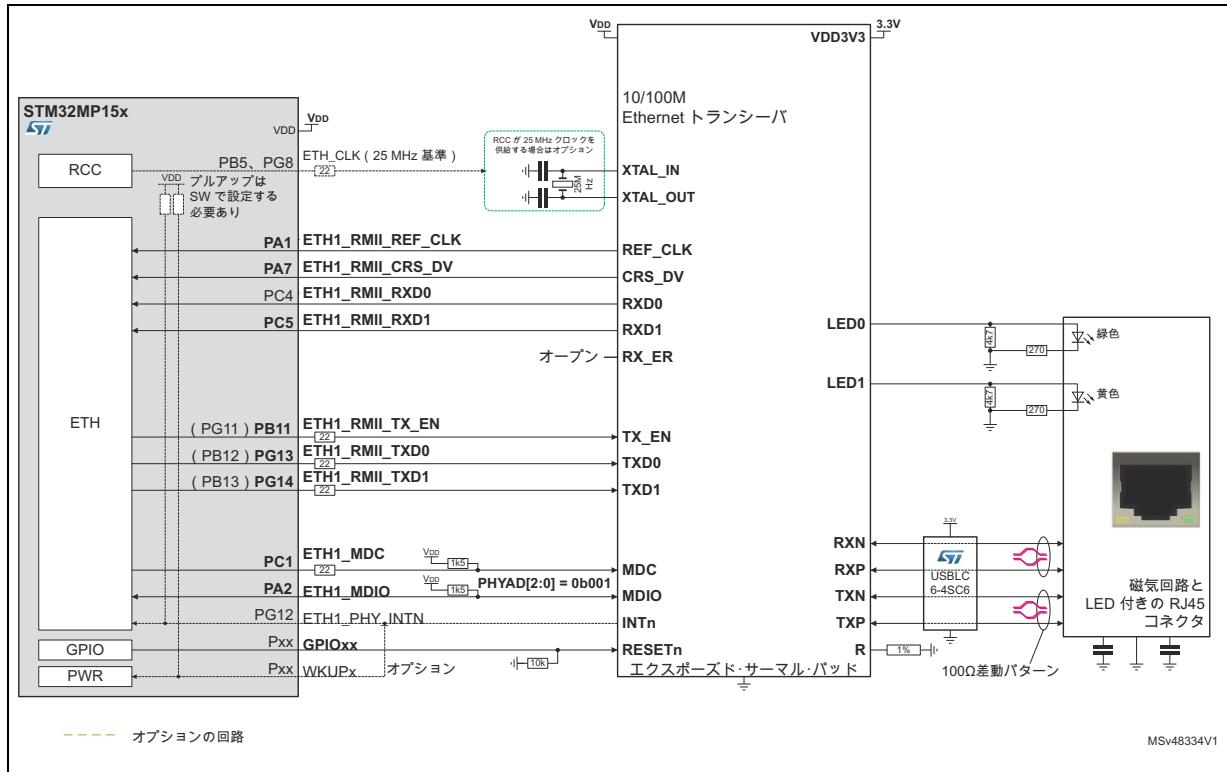
10.1.13 Ethernet

10/100M Ethernet

良好なシグナルインテグリティは、ボード、GPIO の能力設定 (GPIO_OSPEEDR レジスタ)、および V_{DD} 電圧に依存することにご注意ください。

必要に応じて、インピーダンス整合抵抗を出力駆動ピンのできるだけ近くに配置する必要があります。以下の例の値はほとんどの場合に機能しますが、IO 駆動能力と PCB インピーダンスのそれぞれの側に合わせて調整できます。

図 44. 10/100M Ethernet PHY 接続例



1. デカッピングコンデンサは表示されていません。

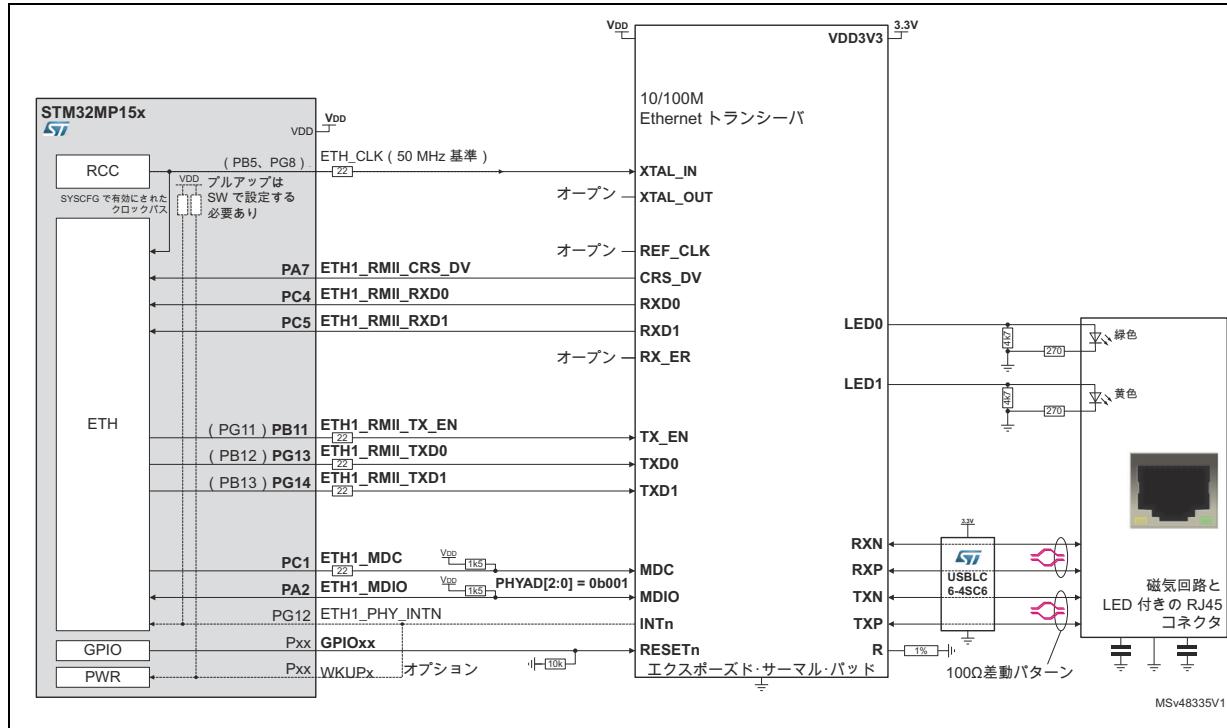
参考資料

リファレンスデザイン例

AN5031

あるいは、RCC から正確な 50 MHz クロックが供給でき、PHY でそれが許容される場合（HSE の水晶周波数および RCC の他のペリフェラル／コアクロック周波数設定に関して可能かどうか確認する必要がある）、50 MHz ETH_CLK を STM32MP15x ラインから PHY に供給し、REF_CLK は両側で未接続のままにできます。これにより、部品数と面積が節約され、一部の PHY の電力も節約されます。

図 45. RCC からの REFCLK を使った 10/100M Ethernet PHY 接続例



1. デカッピングコンデンサは表示されていません。

参考資料

AN5031

リファレンスデザイン例

ギガビット Ethernet

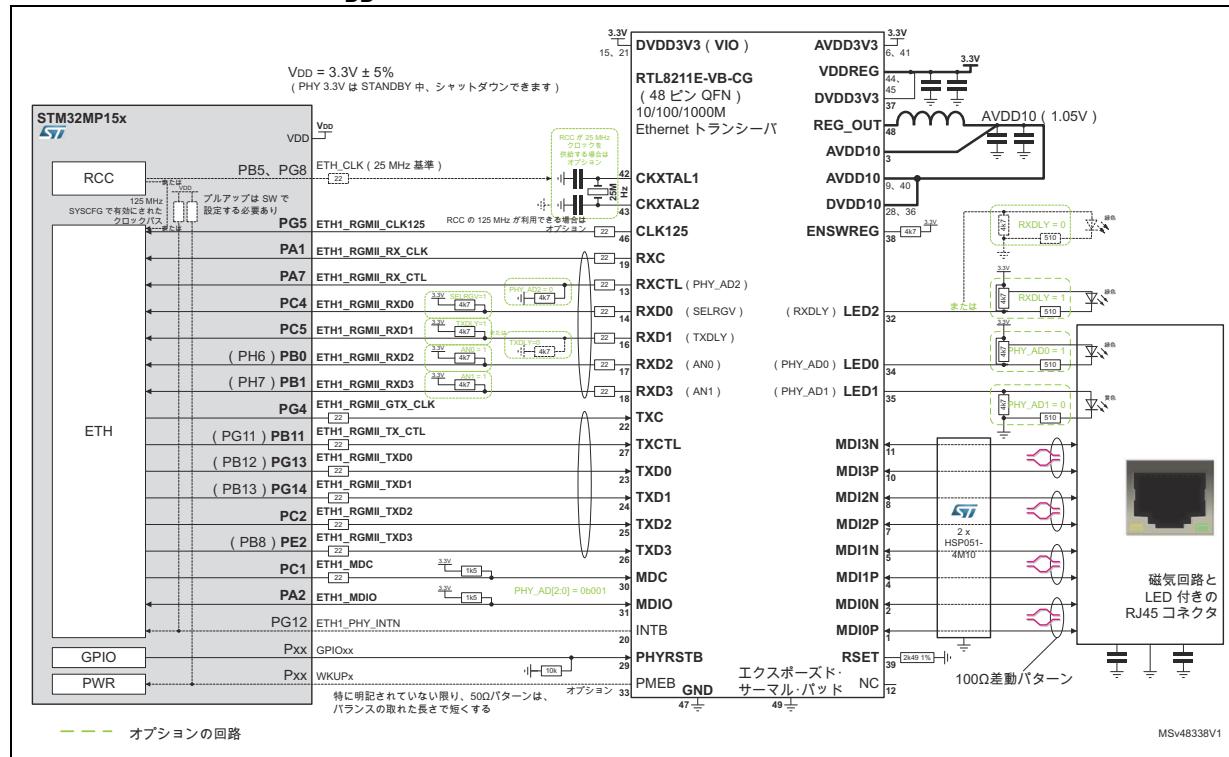
良好なシグナルインテグリティは、ボード、GPIO の能力設定 (GPIO_OSPEEDR レジスタ)、および V_{DD} 電圧に依存することにご注意ください。

$V_{DD} = 1.8 \text{ V}$ を使用する場合、Ethernet 出力で使用されるパッドで最高の速度を確保するには、OTP ビットとレジスタ SYSCFG_IOCTRLSETR (HSLVEN_ETH ビット) の設定が必要になります。

警告 : V_{DD} が 2.7 V を超える場合、UHSLVEN は設定しないでください。IC が損傷する可能性があります。

必要に応じて、インピーダンス整合抵抗を出力駆動ピンのできるだけ近くに配置する必要があります。以下の例の値はほとんどの場合に機能しますが、IO 駆動能力と PCB インピーダンスのそれぞれの側に合わせて調整できます。

図 46. $V_{DD} = 3.3 \text{ V}$ (RTL8211E) を使ったギガビット Ethernet PHY 接続例



1. デカッピングコンデンサは表示されていません。

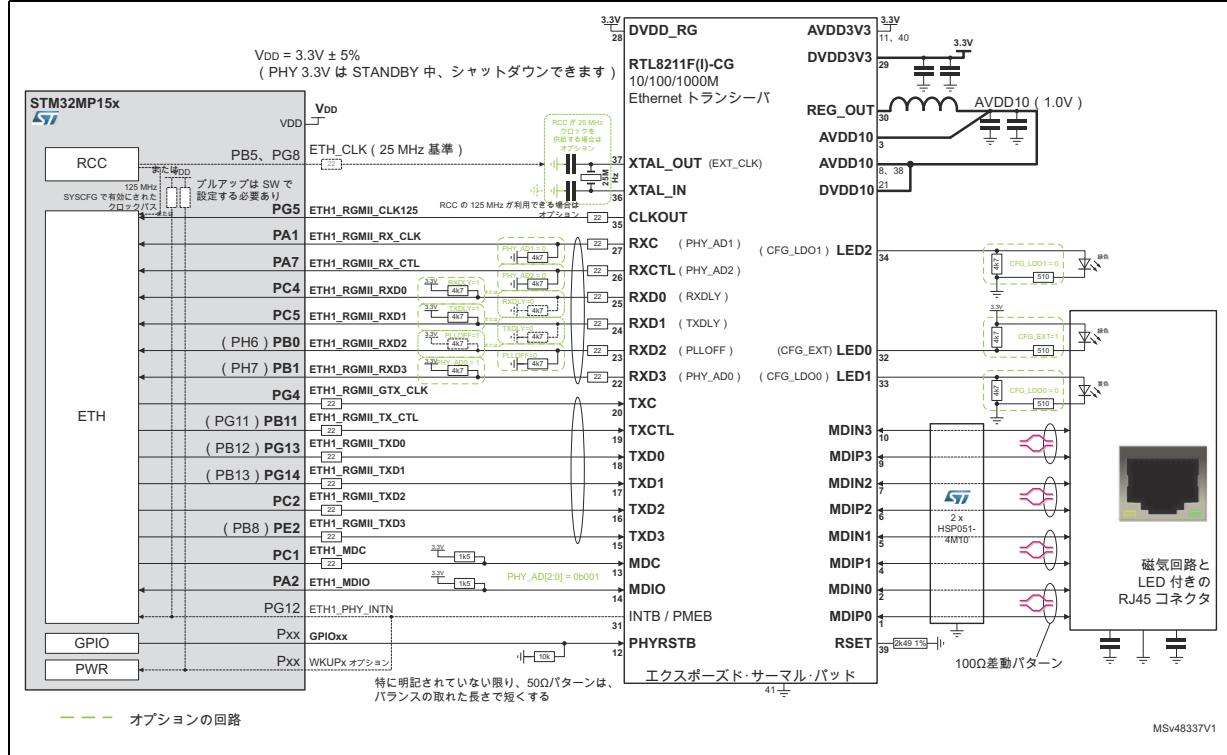


参考資料

リファレンスデザイン例

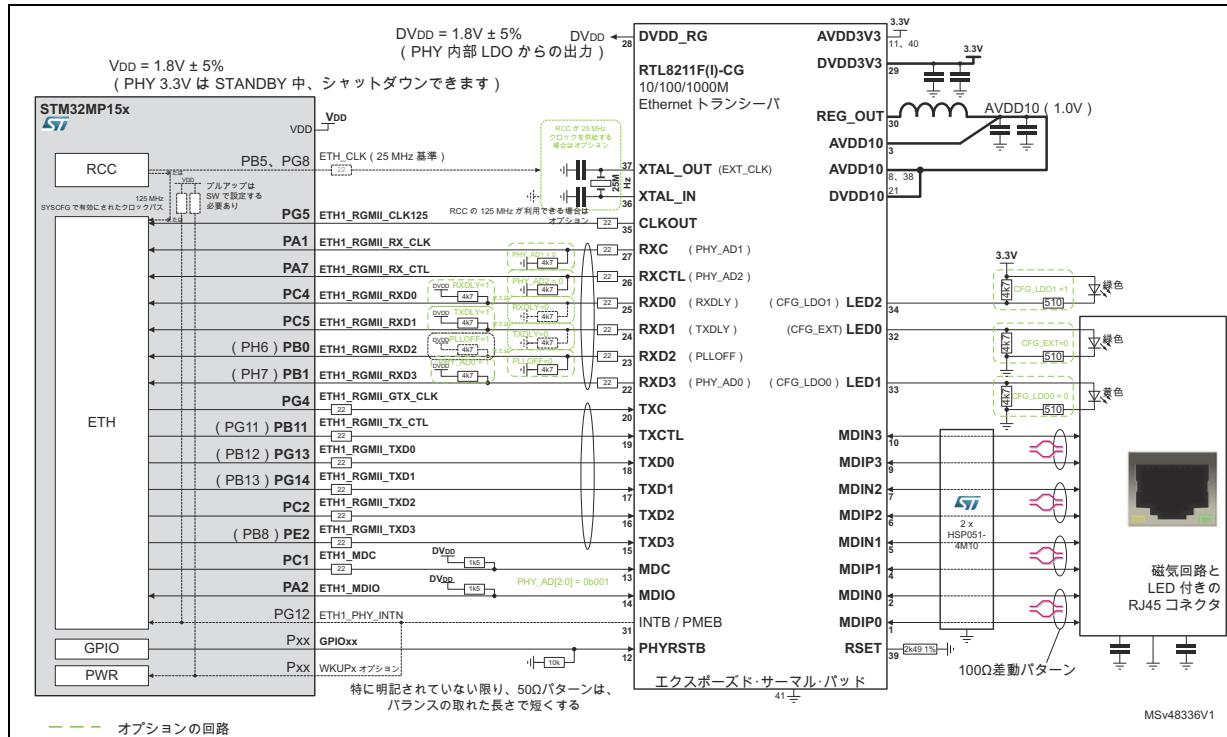
AN5031

図 47. $V_{DD} = 3.3\text{ V}$ (RTL8211F) を使ったギガビット Ethernet PHY 接続例



1. デカップリングコンデンサは表示されていません。

図 48. $V_{DD} = 1.8\text{ V}$ (RTL8211F) を使ったギガビット Ethernet PHY 接続例



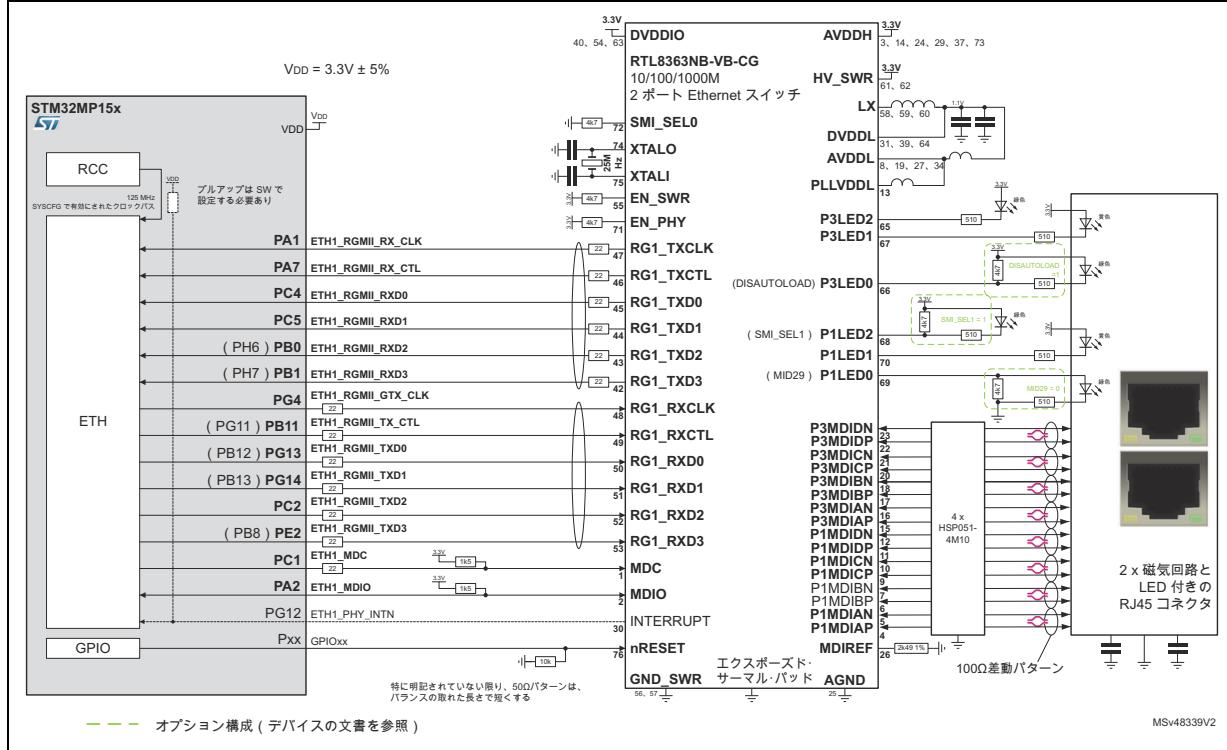
1. デカップリングコンデンサは表示されていません。

參考資料

AN5031

リファレンスデザイン例

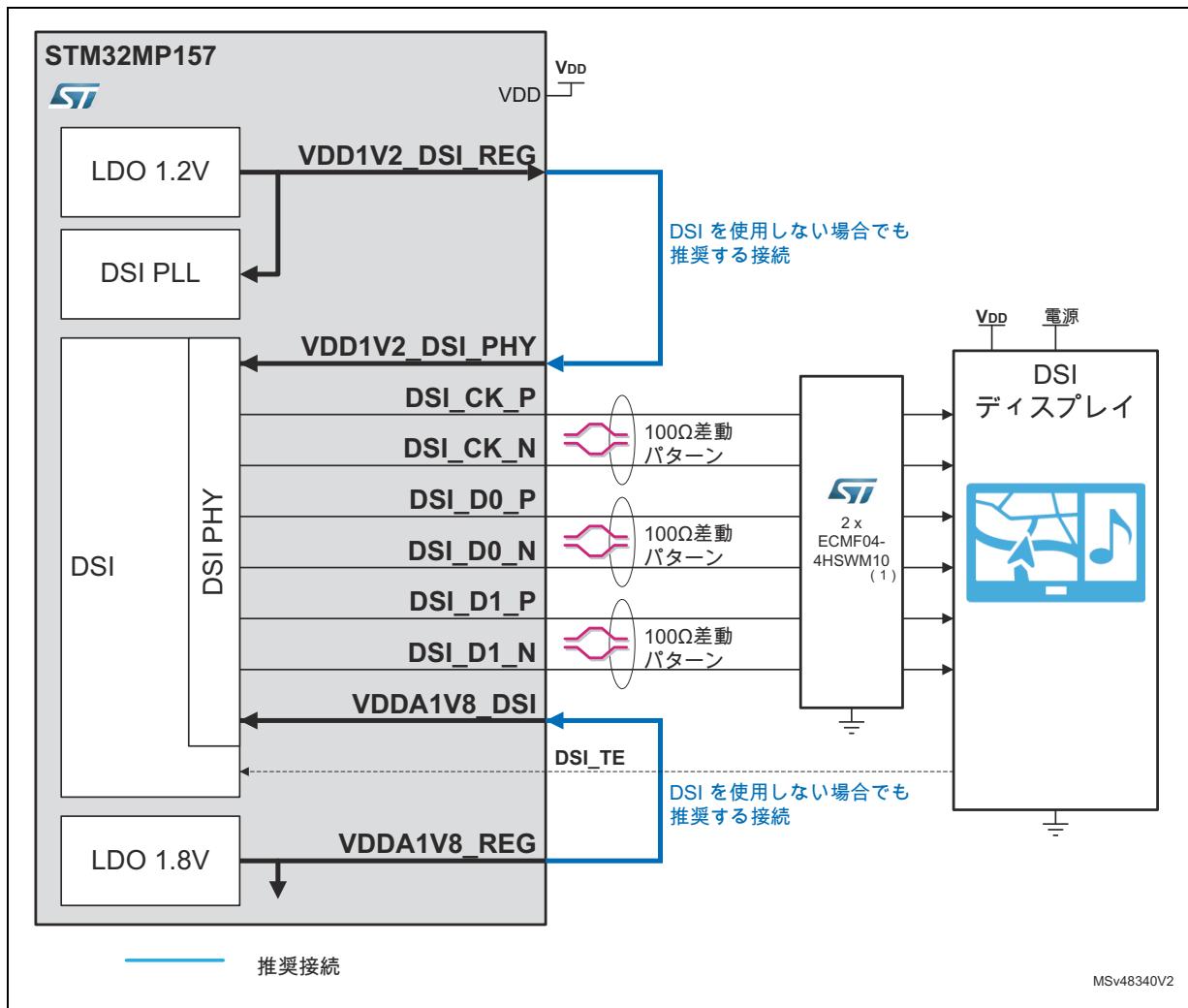
図 49. $V_{DD} = 3.3\text{ V}$ (RTL8363NB-VG) を使ったギガビット Ethernet 2 ポートスイッチ例



1. デカップリングコンデンサは表示されていません。

10.1.14 ディスプレイシリアルインターフェース (DSI)

図 50. DSI によるディスプレイ接続例



- ECMF04-4HSWM10 には、WLAN/BT バンド用のコモンモードフィルタが含まれています。ESD 保護のみの場合は、代わりに HSP051-4M10 を使用できます（類似していますが、占有面積は同じではありません）。
- デカップリングコンデンサは表示されていません。
- DSI が使用できるかどうかは STM32MP15x ラインのデバイスによって異なります。

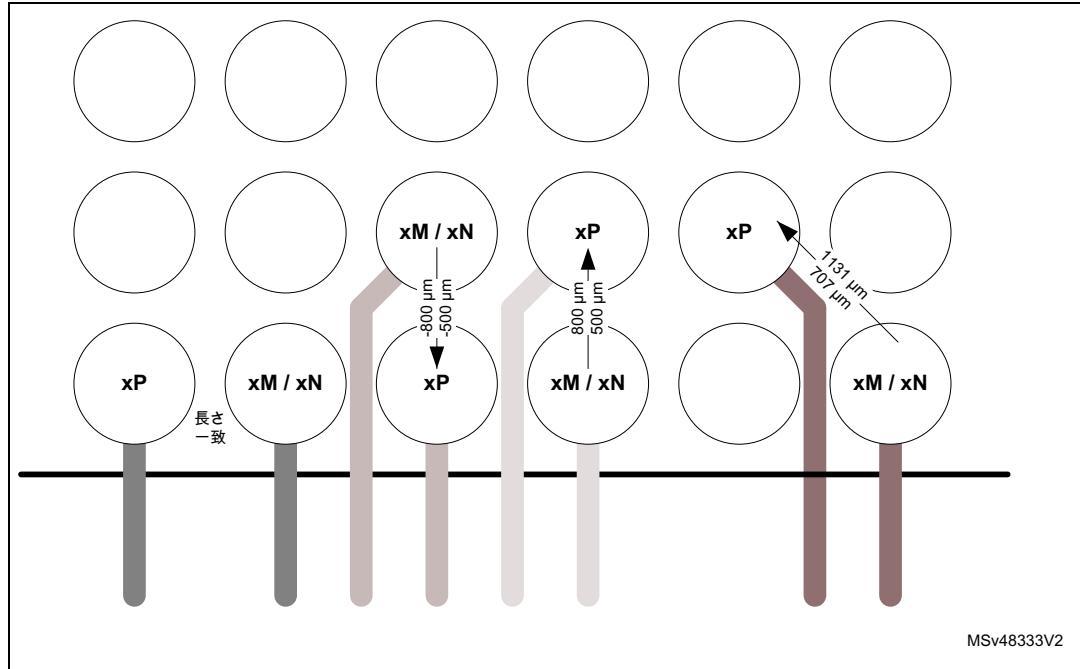
DSI インタフェースの PCB パターン長のマッチング

各パッケージは、差動ボールペア信号が直接隣接するボール上にない場合に、長さのマッチングが容易になるように最適化されています。例：0.8 mm のボールピッチのパッケージで、差動ペアが 2 つの異なる行にある場合、パッケージにはすでに約 800 μm の長さの内部差があり、PCB のパターンでは、追加の複雑なルーティングなしで、全長を一致させることができます。[表 18](#) は、PCB ツールで考慮されるべきボールレベルでの DM-DP 長さの差（パッケージ内）を示しています。

表 18. DSI 用のパッケージの長さマッチング値

ピン名	TFBGA257		LFBGA354		TFBGA361		LFBGA448	
	(10 x 10 ピッチ 0.5 mm)		(16 x 16 ピッチ 0.8 mm)		(12 x 12 ピッチ 0.5 mm)		(18 x 18 ピッチ 0.8 mm)	
	ボール位置	長さの差	ボール位置	長さの差	ボール位置	長さの差	ボール位置	長さの差
DSI_CKN	B12	-505 μm	A14	822 μm	A16	490 μm	A16	867 μm
DSI_CKP	A12		B14		B16		B16	
DSI_D0N	C12	-736 μm	A13	781 μm	B15	514 μm	A15	791 μm
DSI_D0P	B11		B13		C15		B15	
DSI_D1N	B13	-507 μm	A15	804 μm	A17	505 μm	A17	785 μm
DSI_D1P	A13		B15		B17		B17	

図 51. 0.8 mm ボールピッチパッケージ DSI インタフェース PCB パターン例



参考資料

改版履歴

AN5031

11 改版履歴

表 19. 文書改版履歴

日付	版	変更内容
2019 年 2 月 1 日	1	初版発行
2020 年 4 月 14 日	2	<p>更新 :</p> <ul style="list-style-type: none">- 表紙で、STM32MP1 シリーズを STM32MP151、STM32MP153、および STM32MP157 ラインに置き換え- 表 1 : 参照文献を参照してください。- セクション 4.1 : 概要 の USB 電源- セクション 4.2 : 電源供給方式 を参照してください。- 表 4:パッケージ別デカップリングコンデンサ値と数量の推奨値 を参照してください。- 図 8 : 12x12 TFBGA361 互換性 を参照してください。- 図 30 : DDR3L 使用時の 3.3 V I/O ディスクリート電源例を参照してください。- 図 31 : DDR3L 使用時の 3.3 V I/O PMIC 例- 図 41 : USB 2 ポートホストハイスピード + OTG フルスピード接続例を参照してください。- 図 49:VDD = 3.3 V (RTL8363NB-VG) を使ったギガビット Ethernet 2 ポートスイッチ例を参照してください。 <p>削除 :</p> <ul style="list-style-type: none">- 図「ST1S31PUR SMPS の詳細」- 表「1.2 V 2A のコンポーネント例」- 表「1.35 V 1A のコンポーネント例」

表 20. 日本語版文書改版履歴

日付	版	変更内容
2020 年 9 月 10 日	1	日本語版初版発行

参考資料

AN5031

重要なお知らせ（よくお読み下さい）

STMicroelectronics NV およびその子会社（以下、ST）は、ST製品及び本書の内容をいつでも予告なく変更、修正、改善、改定及び改良する権利を留保します。購入される方は、発注前にST製品に関する最新の関連情報を必ず入手してください。ST 製品は、注文請求書発行時点での有効なST の販売条件に従って販売されます。

ST製品の選択並びに使用については購入される方が全ての責任を負うものとします。購入される方の製品上の操作や設計に関してST は一切の責任を負いません。

明示又は默示を問わず、STは本書においていかなる知的財産権の実施権も許諾致しません。

本書で説明されている情報とは異なる条件でST 製品が再販された場合、その製品についてSTが与えたいかなる保証も無効となります。

ST およびST ロゴはSTMicroelectronics の商標です。その他の製品またはサービスの名称は、それぞれの所有者に帰属します。

本書の情報は本書の以前のバージョンで提供された全ての情報に優先し、これに代わるものです。

この資料は、STMicroelectronics NV 並びにその子会社(以下ST)が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くためにSTマイクロエレクトロニクス株が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST及びSTマイクロエレクトロニクス株は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

© 2020 STMicroelectronics - All rights reserved

