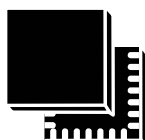




産業、コンスーマ応用向け NFC リーダライタ IC



UFQFPN28
(4 x 4mm)

製品ステータス

ST25R210

特徴

動作モード

- リーダライタ
- カード・エミュレーション

RF 通信 - リーダライタ

- NFC-A / ISO / IEC 14443A (最大 848Kbit/s)
- NFC-B / ISO / IEC 14443B (最大 848Kbit/s)
- NFC-V / ISO / IEC 15693 (最大 212Kbit/s)
- NFC-F / FeliCa™ (最大 424Kbit/s)
- MIFARE Classic® 準拠や他のカスタム・プロトコル (Kovio BC、CTS、B') を実装可能な低レベル・モード

RF 通信 - カード・エミュレーション

- NFC-A / ISO / IEC 14443A (106Kbit/s)
- NFC-F / FeliCa™ (212/424Kbit/s)

主な特徴

- パッシブ P2P モード
- NFC フォーラム・ユニバーサル・デバイス
- 低消費電力の電磁誘導式カード検出
- ベースバンド・チャンネルの加算機能を備えた I/Q 復調器
- 電界強度が一定の制限範囲に収まるように制御するダイナミック・パワー出力 (DPO) (ソフトウェア機能)
- オーバーシュートとアンダーシュートの両方を低減するアクティブ波形補正 (AWS)
- ノイズが多い環境における受信を可能にするノイズ抑制レシーバ (NSR)
- 最大 10Mbit/s のシリアル・ペリフェラル・インタフェース (SPI)
- 1 本の差動アンテナまたは 2 本の独立したシングルエンド・アンテナを駆動可能
- TruST25 Link

電気特性

- 広範な電源電圧範囲: 2.7V ~ 5.5V
- 広いペリフェラル通信用電源電圧範囲: 1.65V ~ 5.5V
- 広い動作時周囲温度範囲: -40°C ~ +105°C
- 27.12MHz の水晶発振子に対応し、高速な起動を実現

アプリケーション

ST25R210 は、以下のような幅広いアプリケーションに適しています。

- 入退室管理
- Aliro 対応
- NFC フォーラム準拠の NFC ユニバーサル・デバイス
- WPC Qi 帯域外 (OOB) 通信およびカード保護 NFC リーダ
- WPC Ki 送電 (PTx) 通信ユニット
- ISO/IEC 14443 および ISO15693 準拠の汎用 NFC デバイス
- FeliCa™リーダライタ

1 説明

この汎用 NFC リーダライタ IC は、4mm x 4mm のコンパクトなパッケージで高性能を実現し、非接触通信の利便性と機能をさまざまなエンド・アプリケーションに提供します。特にコンシューマ向けおよび産業用の最終製品に最適化されています。

ST25R210 製品は、NFC イニシエータ、NFC ターゲット、NFC リーダライタ、および NFC カード・エミュレーション動作をサポートする NFC ユニバーサル・デバイスです。最大 1.6W の高出力により、小型アンテナのアプリケーションへの実装が容易です。このリーダーライタ IC は読み取り範囲に優れており、改善された低消費電力カード検出 (LPCD) が搭載され、電磁誘導式ウェイクアップ・モードでの検出範囲が拡大されています。この低消費電力ウェイクアップ・モードの間、システムはタグの接近や取外しを検出します。RC 発振器とプログラム可能なタイマを内蔵しており、ウェイクアップ・モード時にカードまたはスマートウォッチやスマートフォンのような他の NFC 対応デバイスを自動的にスキャンします。

ST のノイズ抑制レシーバ (NSR) 技術に支えられた高感度性能により、ノイズの多い環境でも正常な読み取りを実現します。

ST25R210 製品には高度なアナログ・フロントエンド (AFE) と、高ビットレート対応を含む NFC-A/B (ISO14443 A/B) リーダ、NFC-F (Felica™) リーダ、最大 212kbps の NFC-V (ISO15693) リーダ、および NFC-A / NFC-F カード・エミュレーション向けの高集積データ・フレーミング・システムが搭載されています。

ST25R210 デバイスは、アンテナ信号の実数部と虚数部を表す I および Q チャネルの測定を行うことで、長距離低消費電力カード検出を提供します。このアプローチにより消費電力を最小限に抑えます。広い電源電圧範囲 (2.7V~5.5V)、動作時周囲温度範囲 (-40°C~+105°C)、広いペリフェラル I/O 電圧範囲 (1.65V~5.5V) で動作します。高い RF 出力、低消費電力モード、広い電源電圧範囲を兼ね備えているため、すべての NFC アプリケーションに最適です。

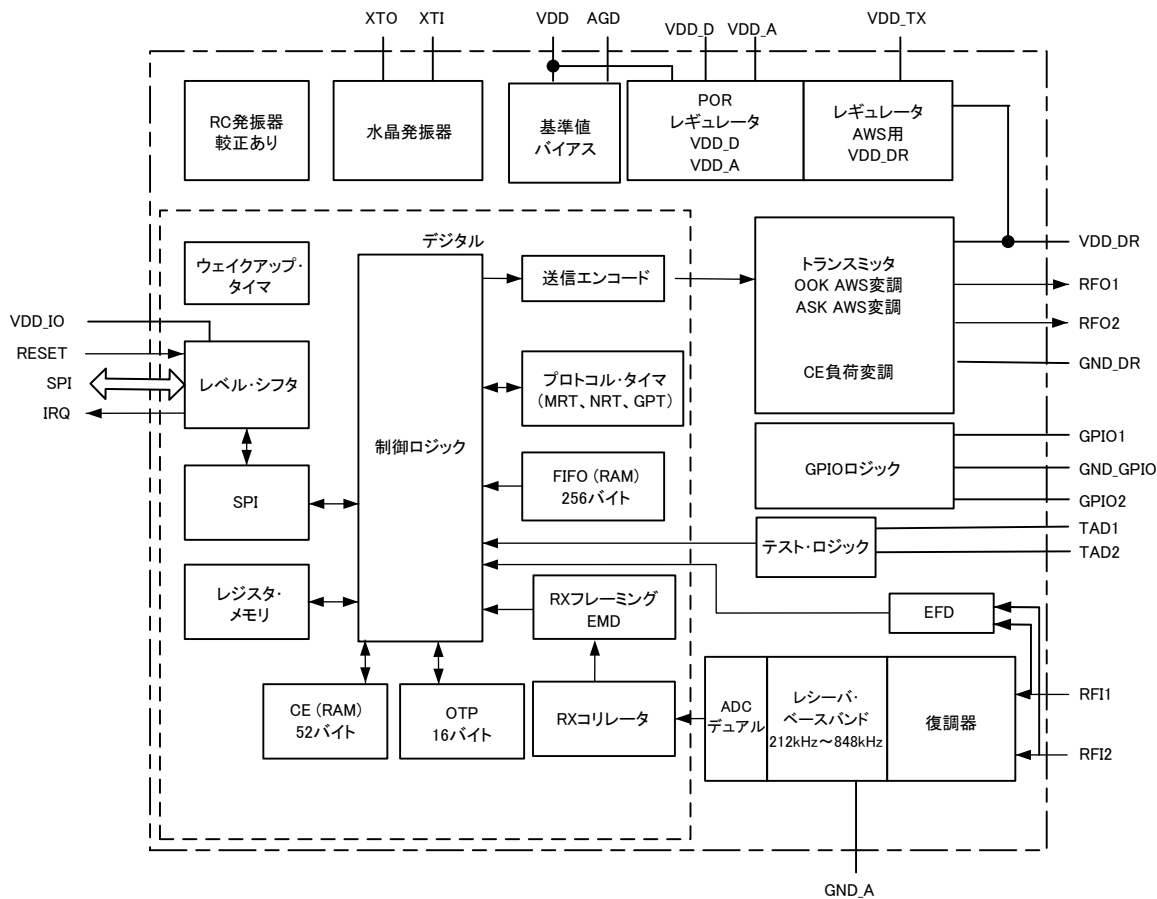
ST25R210 デバイスは、コンパクトな 4mm x 4mm の 28 ピン UQFPN28 パッケージで提供され、小型デバイスへの NFC テクノロジーの搭載を可能にします。

2 機能の概要

2.1 ブロック図

以下にブロック図を示します。

図 1. ST25R210 ブロック図



DT74518V5

- 2.1.1 トランスミッタ**
トランスミッタにはドライバが組み込まれており、RFO1 ピンおよび RFO2 ピンを介して外部アンテナを駆動します。シングルエンドおよび差動アンテナ構成の両方がサポートされています。トランスミッタ・ブロックは、**リーダ動作中の送信 RF 信号**の OOK または AM 変調、およびカード・エミュレーション(CE)動作中の**パッシブ負荷変調(PLM)**の生成も行います。
- 2.1.2 レシーバ**
レシーバは、13.56MHz のキャリア信号に重畳されたカード変調信号を検出します。レシーバ・チェーンには、厳しいノイズの多い条件でも信頼性の高い動作を可能にするいくつかの機能が組み込まれています。カード・エミュレーション動作にも同じレシーバが使用されます。
レシーバは、RFI1 と RFI2 ピンでアンテナに接続します。レシーバの出力は、復調およびデジタル化されたサブキャリア信号をデコードするフレーミング・ブロックに接続されています。
- 2.1.3 水晶発振器**
水晶発振器は、27.12MHz の水晶振動子で動作します。発振器の起動時には、発振器の相互コンダクタンスが増加して高速な起動を実現します。起動時間は水晶発振子の種類や温度などのパラメータによって異なるので、発振器の振幅を監視し、その動作が安定した時点で `l_osc` 割り込みが送信されます。
- 2.1.4 電源レギュレータ**
電源レギュレータを内蔵することで、システム全体に対して高い電源電圧変動除去比を保証しています。ノイズ源から切り離すために、異なるボルテージ・レギュレータが個別のブロックに電力を供給します。
- 2.1.5 POR とバイアス**
このブロックは、他のすべてのブロックにバイアス電流と基準電圧を供給します。また、電源投入時および電源電圧低下時にリセット信号を発生するパワーオン・リセット(POR)回路も備えています。
- 2.1.6 RC 発振器とウェイクアップ・タイマ**
RC 発振器により、ウェイクアップ・タイマが動作し、低消費電力カード検出モードのために周囲の測定を定期的にトリガできます。
- 2.1.7 送信エンコード**
選択した RF 通信モードとビット・レートに応じて送信フレームをエンコードするブロックです。フレーム開始(SOF)、フレーム終了(EOF)、巡回冗長検査(CRC)、およびパリティ・ビットを自動的に生成します。送信するデータは FIFO から取得されます。
- 2.1.8 受信フレーミング**
選択した RF 通信モードとビット・レートに応じて受信フレームをデコードするブロックです。SOF、EOF、CRC、およびパリティ・ビットは、CRC を除いて、このブロックによって自動的にチェックおよび削除されます。その後、受信データはファーストイン・ファーストアウト(FIFO)バッファに配置されます。
- 2.1.9 制御ロジック**
このブロックは、シリアル・インタフェースを介して受信したコマンドと、レジスタ上の設定に基づいて、デバイスのすべての動作を駆動します。
- 2.1.10 FIFO**
トランスミッタおよびレシーバを介したデータ交換には、256 バイトの FIFO を使用できます。モードに応じて、受信したデータか、送信する必要があるデータのいずれかが含まれます。
- 2.1.11 SPI**
デバイスとホスト間の通信には、4 線式の SPI を使用できます。
- 2.1.12 外部フィールド検出器(EFD)**
外部フィールド検出器は、カード・エミュレーション中の外部 NFC フィールドの存在を通知します。

2.1.13 RC 発振器

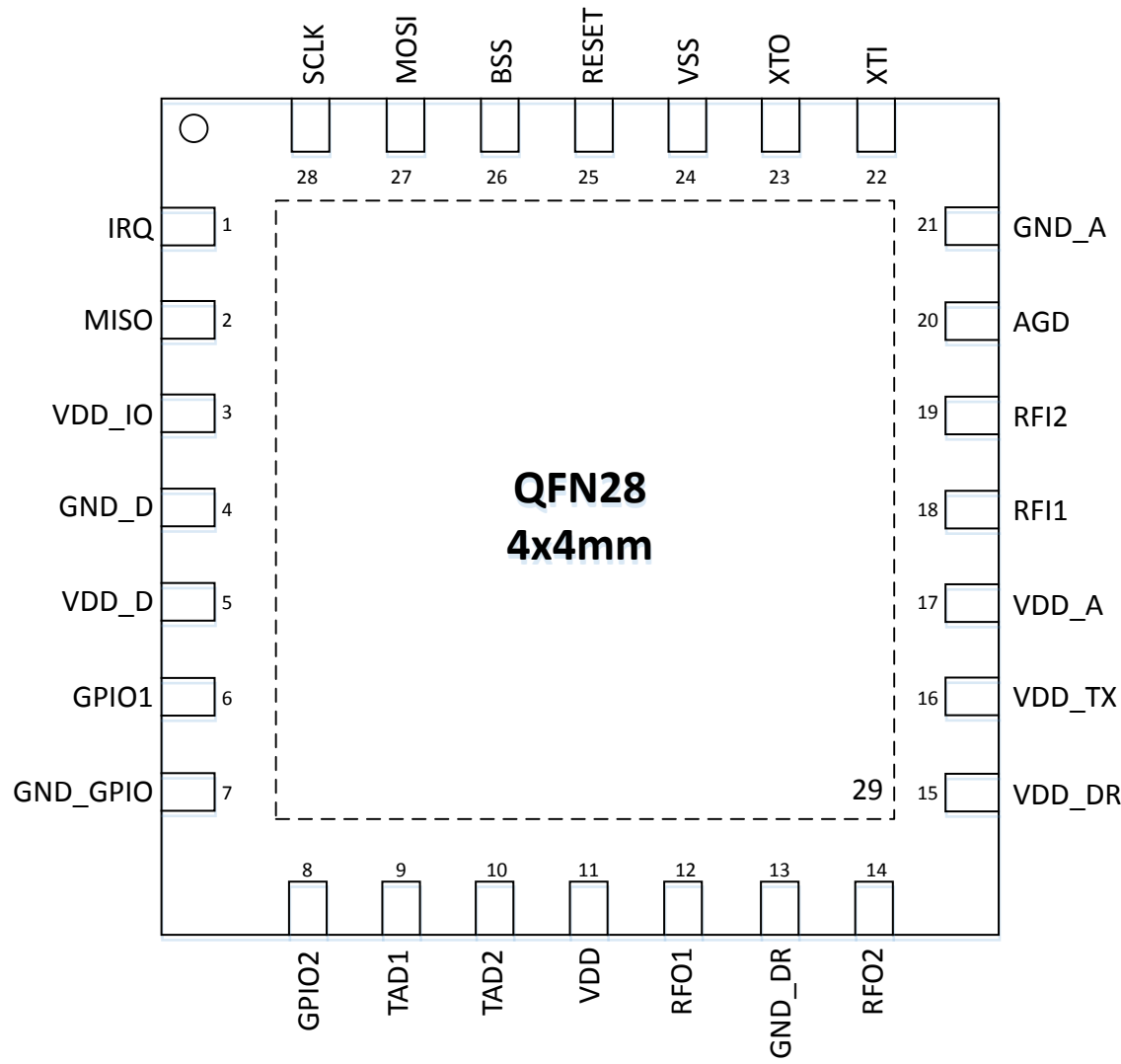
RC 発振器は、ウェイクアップ・タイマおよびデジタル・ロジック・ブロックに低周波クロックを提供します。

2.1.14 ウェイクアップ・タイマ

ウェイクアップ・タイマは、ウェイクアップ・モード中、定期的にチップをパワーダウン・モードからレディ・モードに遷移させます。

3 ピンおよび信号の説明

図 2. QFN28 ピン配置(上面図)



DT79916V1

表 1. QFN28 ピンの割当て

パッケージ QFN28	ピン名	タイプ ¹	説明
1	IRQ	DO	割り込み要求出力
2	MISO	DO_T	SPI データ出力
3	VDD_IO	S	外部ペリフェラル通信用電源
4	GND_D	S	デジタル・グラウンド
5	VDD_D	AOS	デジタル・ブロック用の安定化電源
6	GPIO1	ADO	リーダー動作と CE 動作の整合回路網、またはデジタル出力を切り替える GPIO。使用しない場合は、未接続のままにする必要があります。
7	GND_GPIO	S	GPIO グラウンド
8	GPIO2	ADO	リーダー動作と CE 動作の整合回路網、またはデジタル出力を切り替える GPIO。使用しない場合は、未接続のままにする必要があります。
9	TAD1	ADIO	アナログ / デジタル・テスト・ピン。使用しない場合は、未接続のままにする必要があります。
10	TAD2	ADIO	アナログ / デジタル・テスト・ピン。使用しない場合は、未接続のままにする必要があります。
11	VDD	S	外部メイン正電源
12	RFO1	AO	アンテナ・ドライバ出力
13	GND_DR	S	アンテナ・ドライバのグラウンド(ドライバの VSS)。可能な限り最短でサーマル・パッドに接続する必要があります。
14	RFO2	AO	アンテナ・ドライバ出力
15	VDD_DR	AOS	アンテナ・ドライバ用の安定化電源
16	VDD_TX	S	ドライバ用の外部メイン正電源
17	VDD_A	AOS	アナログ用の安定化電源
18	RFI1	AI	レシーバ入力
19	RFI2	AI	レシーバ入力
20	AGD	AIO	アナログ基準電圧
21	GND_A	S	アナログ・グラウンド
22	XTI	AI	水晶発振器入力
23	XTO	AO	水晶発振器出力
24	VSS	S	グラウンド、ダイ基板の電位
25	RESET	DI	リセット入力
26	BSS	DI	SPI イネーブル(アクティブ Low)
27	MOSI	DI	SPI データ入力
28	SCLK	DI	シリアル・ペリフェラル・インタフェース・クロック
29	EP / VSS	S	グラウンド、ダイ基板の電位(露出ダイ・パッド経由)

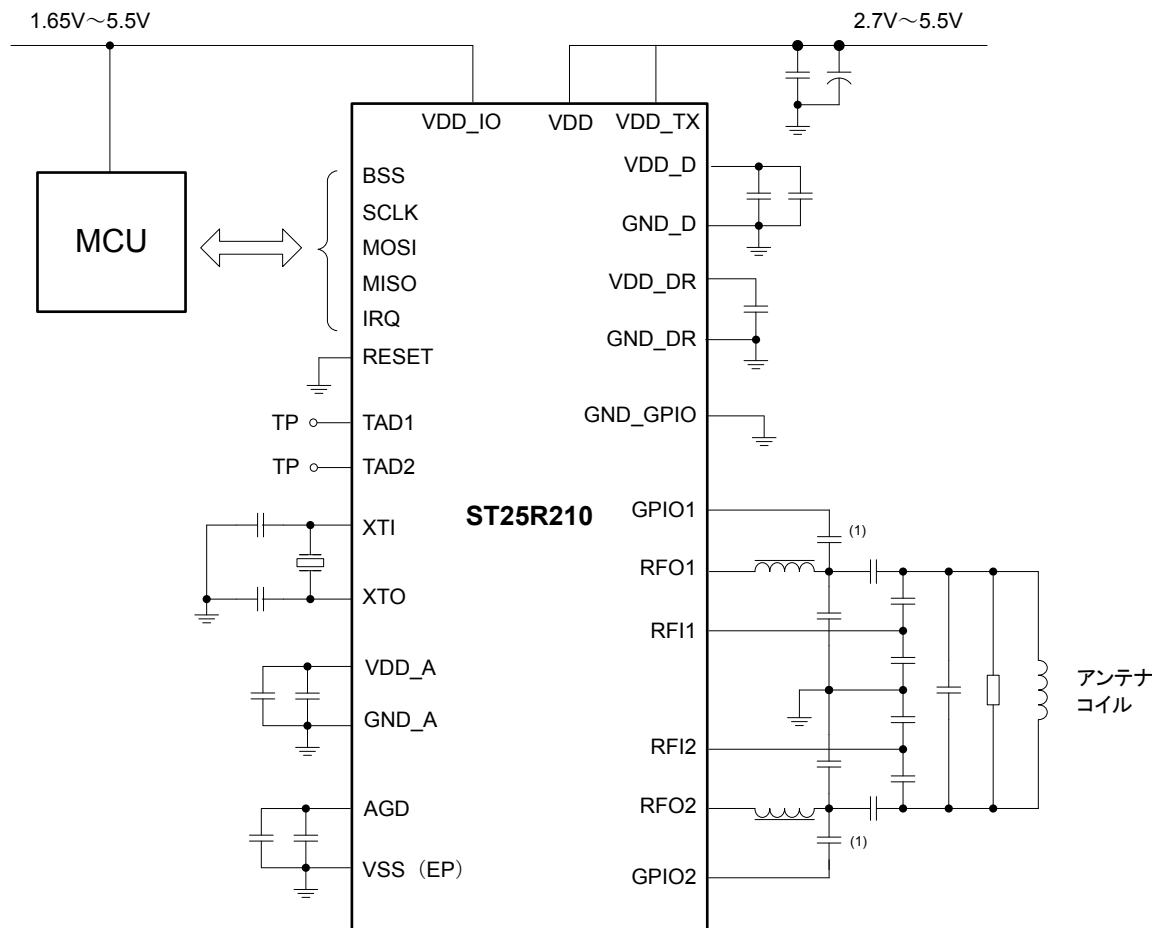
1. S: 電源ピン、AIO: アナログ I/O、AI: アナログ入力、AO: アナログ出力、ADIO: アナログ / デジタル入出力、AOS: アナログ出力 / 電源入力、DI: デジタル入力、DO: デジタル出力、DO_T: トライステートのデジタル出力。

4 デバイスの説明

4.1 システム図

差動アンテナ構成の場合の最小システム構成を以下に示します。

図 3. 最小システム構成



1.: CE動作にのみ必要です。RW動作のみが必要な場合、コンデンサは実装不要(DNP)とし、ピンはオープンのままにしておくことができます。

表 2. 推奨コンデンサ値

ピン	コンデンサ 1 ⁽¹⁾	コンデンサ 2 ⁽²⁾	コメント
VDD	10nF	2.2μF	-
VDD_TX	10nF	2.2μF	-
VDD_IO	100nF	DNP	-
VDD_DR	47nF	DNP	-
VDD_D	10nF	2.2μF	-
VDD_A	10nF	2.2μF	-
AGD	10nF	1.0μF	-

1. コンデンサ 1 は、関連するピンの可能な限り近くに配置する必要があります。
2. コンデンサ 2 は、コンデンサ 1 の可能な限り近くに配置する必要があります。

注 DNP「実装しない」(PCB 上に配置しない)ことを意味します。

5 アプリケーション情報

5.1 動作モード

デバイスは4つの動作モードに対応しています。

5.1.1 リセット・モード(RESET)

デバイスに VDD、VDD_TX、および VDD_IO が供給され、RESET ピンが High の場合、デバイスはリセット・モードになります。

すべてのブロックが非アクティブになり、クロックが存在せず、消費電流は最小限に抑えられます。

5.1.2 パワーダウン・モード(PD)

電源投入時に RESET ピンが Low の場合、または RESET ピンの状態が High から Low に変化した後、デバイスはパワーダウン・モードに入ります。このモードでは、AFE の静的消費電力は非常に低くなりますが、PD ドメインのレジスタへのアクセスに加えて、SPI 通信が可能です。

PD モードでは以下のブロックがアクティブになります。

- ・ 低消費電力モードの VDD_D レギュレータ(1V)
- ・ PD ドメインのレジスタ
- ・ SPI ブロックおよび IRQ ロジック

5.1.3 ウェイクアップ・モード(WU)

ウェイクアップ・モードは、wu_en ビットを介して制御されます。このモードでは、デバイスは定期的な時間間隔でアンテナ特性の変化を検知し、変化が検出された場合は IRQ をトリガします。

WU モードでは以下のブロックがアクティブになります。

- ・ 低消費電力モードの VDD_D レギュレータ(1V)
- ・ PD ドメインのレジスタ
- ・ RC 発振器
- ・ WU タイマ
- ・ SPI ブロックおよび IRQ ロジック

5.1.4 レディ・モード(RD)

レディ・モードは en ビットによって制御されます。このモードでは、レギュレータと水晶発振器が有効になり、デバイスは送信または受信の準備が整います。

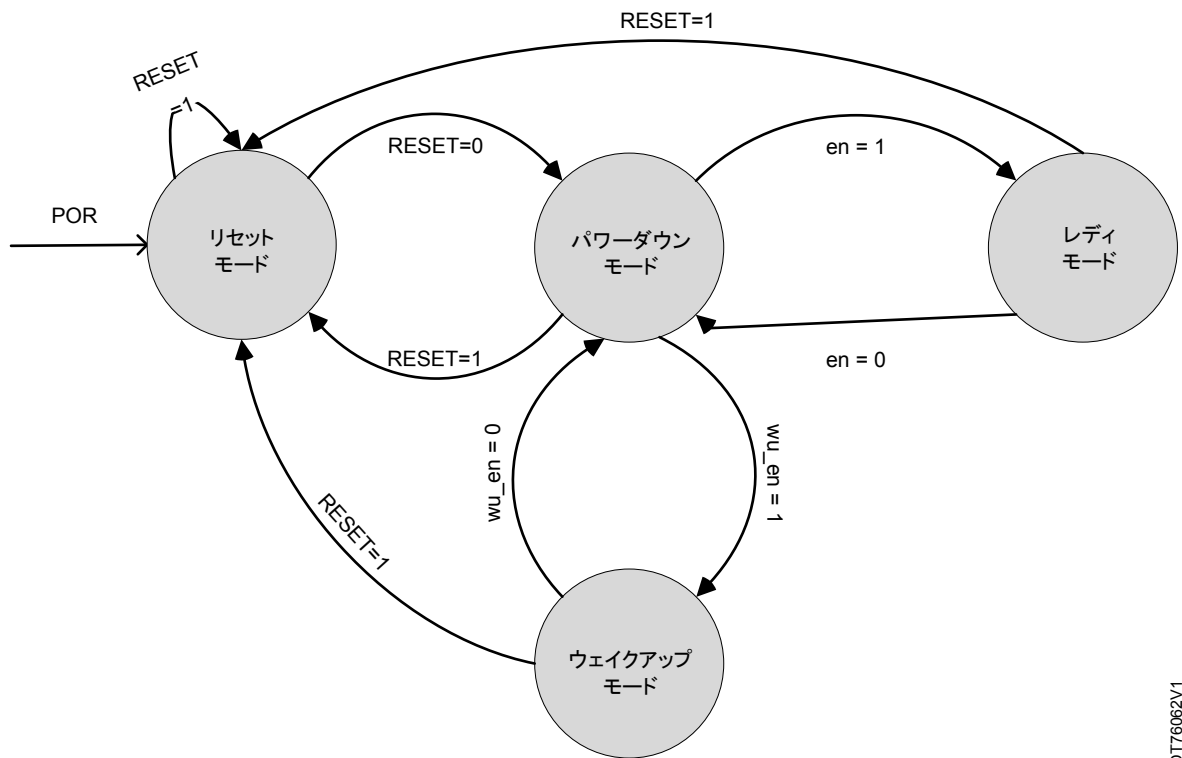
RD モードでは以下のブロックがアクティブになります。

- ・ 通常消費電力モードの VDD_D レギュレータ(1V)
- ・ すべてのレジスタ(PD および RD ドメインの両方)
- ・ メイン・ロジック
- ・ VDD_A および VDD_DR レギュレータ
- ・ 水晶発振器
- ・ SPI ブロックおよび IRQ ロジック

RD モードに達すると、デバイスは l_osc 割り込みを発行します。

以下の図は、ある状態から別の状態への遷移を示しています。

図 4. ある状態から別の状態への遷移



DT76062V1

5.2 電源投入シーケンス

電源が投入され、RESET ピンが Low になると、デバイスは PD モードに入ります。すべてのレジスタの内容はデフォルト状態に設定されます。動作レジスタで設定を変更することにより、RESET を除く他のすべての動作モードにデバイスを設定できます。

PD モードから RD モードへの変更、および通信の準備は以下で構成されます。

- レジスタ(動作および全般設定レジスタ)に適切な設定を適用する
- 動作レジスタで en = 1 に設定し、発振器が安定してデバイスの準備が整うのを待つ(I_{osc} 割り込みおよび osc_ok ステータスで通知される)
- Adjust Regulator ダイレクト・コマンドは、キャリアが有効なときに実行する必要があります。無効な VDD_DR および無効なフィールドで RD モードから戻er場合は、以下を実行します。
 - vdddr_en を 1 に設定する
 - 少なくとも 10μs 待機する
 - tx_en と rx_en を 1 に設定する
 - Adjust Regulator ダイレクト・コマンドを実行する
- さらに、Calibrate RC ダイレクト・コマンドを発行する必要があります。

上記の処理が完了すると、デバイスは通信の準備が整います。

5.3 トランスミッタ

トランスミッタは、同一のプッシュプル・ドライバ・ブロックを 2 つ備えており、それぞれ RFO1 ピンと RFO2 ピンに接続されています。これらのドライバは、アンテナ整合回路網を介して外部アンテナ LC タンクを差動駆動しています。全般設定レジスタで single ビットを設定し、rfo2 ビットで使用する RFO/RFI を選択することにより、2 つのドライバのいずれか 1 つのみを動作させることもできます。

5.3.1

出力抵抗

各ドライバは、バイナリ重み付けした値の出力抵抗を備えた 8 つのセグメントで構成されています。MSB セグメントの標準オン抵抗は $2 \times \text{RRFO}$ です。すべてのセグメントがオンになると、出力抵抗は RRFO によって設定されます。通常、すべてのセグメントをオンにして、通常の送信（非変調）レベルを設定します。高インピーダンスのドライバを持つ回路を駆動するために、非変調レベルを駆動するときに特定のセグメントをオフに切り換えることもできます。

送信ドライバ設定レジスタの `d_res` ビットは、通常の送信時の抵抗を設定します。デフォルト設定は、使用できる最小抵抗値です。

シングル・ドライバ・モードを使用すれば、外付け部品の個数、つまりアンテナの LC タンク部品のコストが半減しますが、出力電力も低下します。シングル・モードで 2 つの RFO 出力に 2 つのアンテナの LC タンクを接続し、全般設定レジスタの `rfo2` ビットを制御して、これら 2 つを多重化することもできます。

データを送信するには、トランスミッタの出力レベルを変調する必要があります。AM 変調と OOK 変調の各方式に対応しています。この変調の種類は、送信変調レジスタ 1 の `tr_am` ビットで設定します。

5.3.2

ドライバでの送信変調

OOK 変調 (NFC-A や NFC-V など) 中、トランスミッタのドライバはキャリア周波数の駆動を停止します。そのため、アンテナ LC タンクの発振振幅が減衰します。減衰の待定数は、LC タンクの Q ファクタによって設定されます。

AM 変調 (NFC-B など) は、変調状態の間にドライバに供給される `VDD_DR` レギュレータの安定化電圧を低減することで実行されます。

AM 変調レベルは、送信変調レジスタ 1 の `am_mod` ビットで設定されます。

AM 変調を有効にし、以下のプロトコルについては変調指数を正しく設定する必要があります。

- NFC-B
- FeliCa

送信変調レジスタ 1 では、適用する規格に応じた変調指数を 8%~97% の範囲で設定します。変調方式 (AM 変調または OOK 変調) は、送信プロトコル・レジスタ 1 の `tr_am` ビットで選択できます。

5.3.3

パッシブ負荷変調

ST25R210 によって、3 つの異なる方法によるパッシブ負荷変調が可能になります。

- 内部ドライバの負荷変調
- 外部 NMOS トランジスタを使用した負荷変調
- EMI フィルタのスイッチングを介した負荷変調

ドライバの負荷変調は CE 変調レジスタ 2 での内部ドライバの負荷変調のために `lm_dri` ビットによって選択され、外部 NMOS 変調は `lm_trim` または `lm_gpio` オプション・ビットによって選択されます。

通常、内部ドライバはパッシブ負荷変調の生成に使用されます。より高い負荷変調が必要な場合、デバイスは NMOS トランジスタを介した外部パッシブ負荷変調もサポートします。高度なアンテナ・チューニング (AAT) および周波数シフト回路 (FSC) は、NMOS トランジスタを使用して、リーダ動作とカード・エミュレーション動作の間で整合を切り替えます。

`lm_trim` と `lm_gpio` のどちらのオプション・ビットも、外部 NMOS トランジスタおよびコンデンサを介した負荷変調を有効にします。さらに、`lm_gpio` は EMI コンデンサのスイッチングを介して負荷変調を実行するために使用できます。

以下の表は、パッシブ負荷変調機能の概要を示しています。

表 3. 変調方式

ビット	ドライバを介した LM ⁽¹⁾	AAT 回路を介した LM (1bit~4bit) ⁽²⁾	周波数シフト回路を介した LM (1bit) ⁽²⁾	EMI コンデンサのスイッチングを介した LM ⁽²⁾
<code>lm_dri</code>	あり	あり	あり	あり
<code>lm_trim</code>	-	-	あり	-
<code>lm_gpio</code>	-	あり	あり	あり

1. パッシブ LM の強度を微調整するための主なメカニズムです。アンテナのサイズと整合によっては、ISO 10373-6 の負荷効果または NFC フォーラムの Delta Vov Ratio (DVR) に合格するために追加のメカニズムが必要になる場合があります。また、それに応じて `ce_res` ビットと `cem_res` ビットを設定する必要があります。
2. リーダ・モードとカード・モードの間で整合を静的に切り替えたり、`lm_dri` と組み合わせてパッシブ LMA を増減したりするために使用できる追加回路です。

また、それに応じて gpio_en、tad_en、trim_ce、gpio_ce、trim_rw、および gpio_rw ビットを設定する必要があります。アンテナと基準アンテナの結合が強すぎる場合は、3 つの方法 (AAT、FSC、EMI コンデンサのスイッチング) のいずれかを実装して、リーダ動作のアンテナ・チューニングとカード・エミュレーションのアンテナ・チューニングを切り替えることができます。

5.3.3.1 ドライバを介した LM

ドライバによる負荷変調は、ドライバのインピーダンスの変化に基づいて実行されます。ce_res の値は、整合とアンテナ構成によって異なります。通常は、負荷効果テストを満たすように選択されます。パッシブ・ターゲット・モードに入る前に ce_res ビットを設定する必要があります。

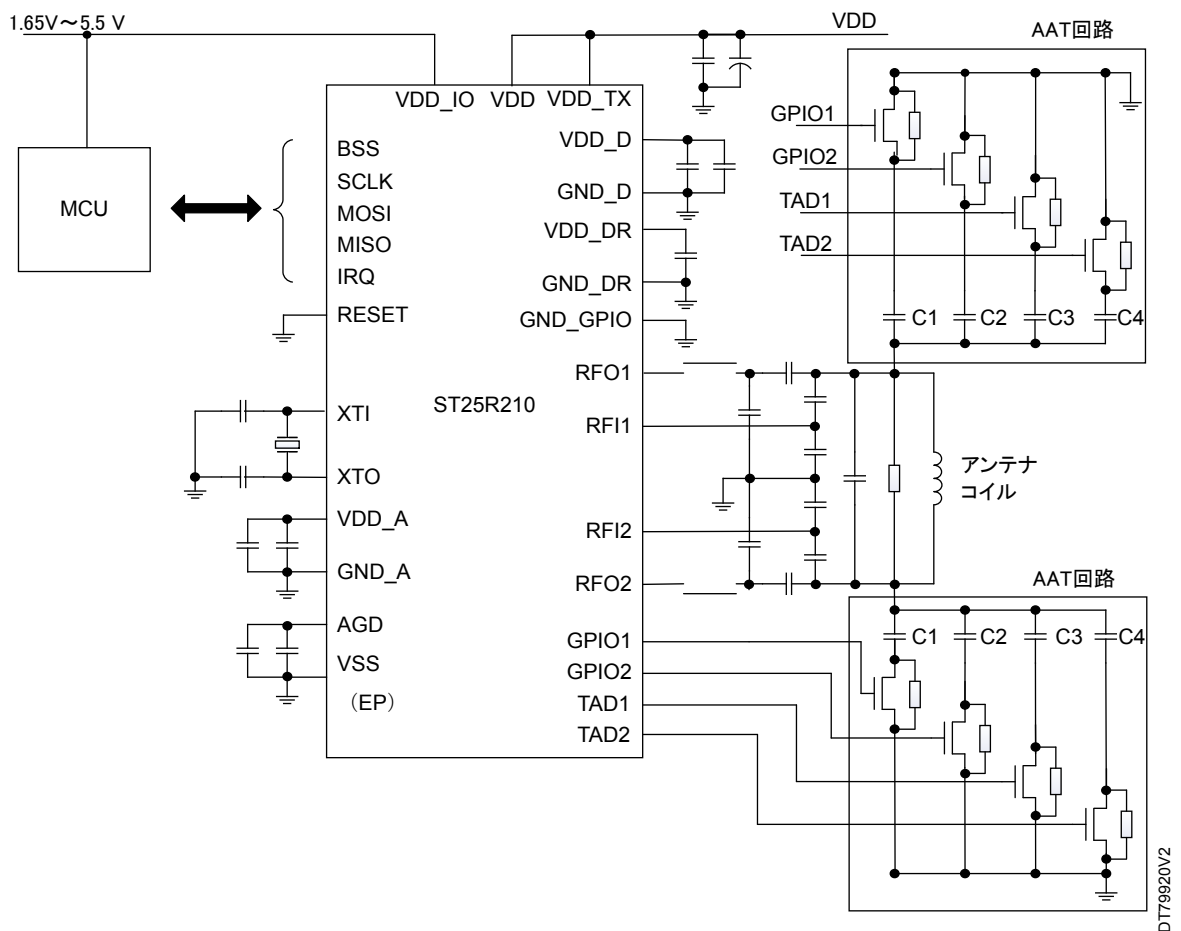
非変調状態および変調状態でのドライバ出力インピーダンスは、それぞれ ce_res および cem_res オプション・ビットで設定します。非変調状態の出力インピーダンスは、ce_res オプション・ビットで設定します。変調状態の出力インピーダンスは、cem_res オプション・ビットで設定します。一度設定した ce_res オプション・ビットは、カード・エミュレーション動作中は同じ値に保つ必要があります。

通常、変調状態では低いドライバ・インピーダンスを使用し、非変調状態では高いドライバ・インピーダンスを使用します。ce_res と cem_res の設定を切り替えて変調を反転させることも可能です。

5.3.3.2 AAT による LM

負荷変調振幅を大きくするために、AAT 回路を使用できます。この回路は、リーダとカード・エミュレーションのアンテナ整合の切り替えに使用できるだけでなく、リーダ動作またはカード・エミュレーション動作でアンテナを特定の整合インピーダンスに調整するためにも使用できます。

図 5. AAT 回路例

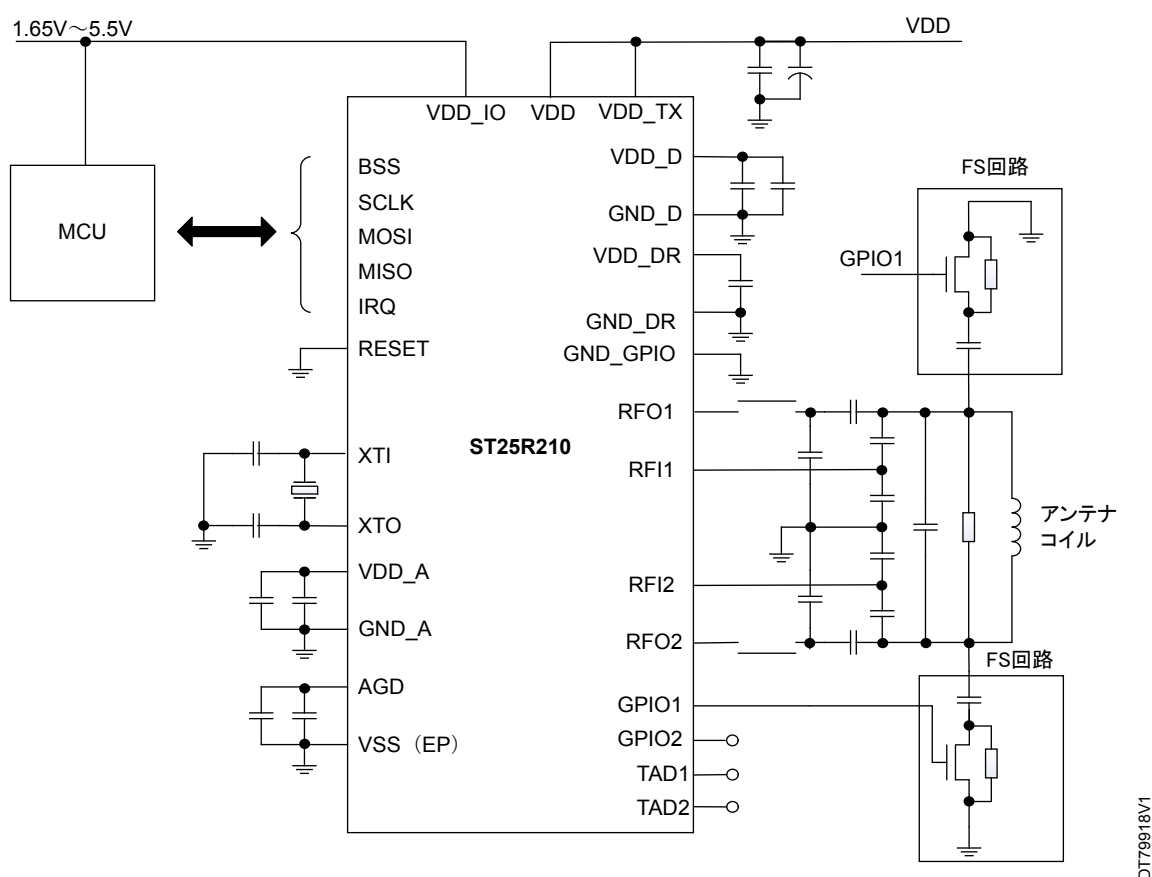


lm_gpio オプション・ビットを 1 に設定すると、GPIO1 および GPIO2 ピンは負荷変調信号のデジタル信号によって駆動されます。gpio_ce および gpio_rw ビットの値は、外部負荷変調の極性を正にするか反転させるかを設定します。AAT 回路のコンデンサはバイナリ重み付けされている必要があるため、GPIO1 と GPIO2 は異なる LM 強度を達成できます。

5.3.3.3 周波数シフト回路を介したLM

周波数シフト回路 (FSC) を使用すると、リーダ動作の整合とカード・エミュレーション動作の整合を切り替えて、カード・エミュレーション動作での負荷効果を抑えることができます。2 つの静的整合を切り替えるには、AAT と同じ原理を選択できますが、トリミング要素の数は RFO ごとに 1 つのトランジスタと 1 つのコンデンサに減らすことができます。FSC を GPIO ピンのいずれかに接続することを推奨します。FSC が 1 つの GPIO に接続されている場合は、対応する `lm_gpio` ビットを設定できます。FSC が TAD ピンのいずれかに接続されている場合は、`lm_trim` を使用しないでください。`lm_gpio` または `lm_trim` ビットを使用すると、整合はカード・エミュレーションからリーダライターモードの整合に、負荷変調のデジタル信号 (848kHz サブキャリアまたは 424 / 212kHz 変調信号) と同相または逆相で切り替わります。

図 6. 周波数シフト回路例



5.3.3.4 EMI コンデンサのスイッチングを介した LM

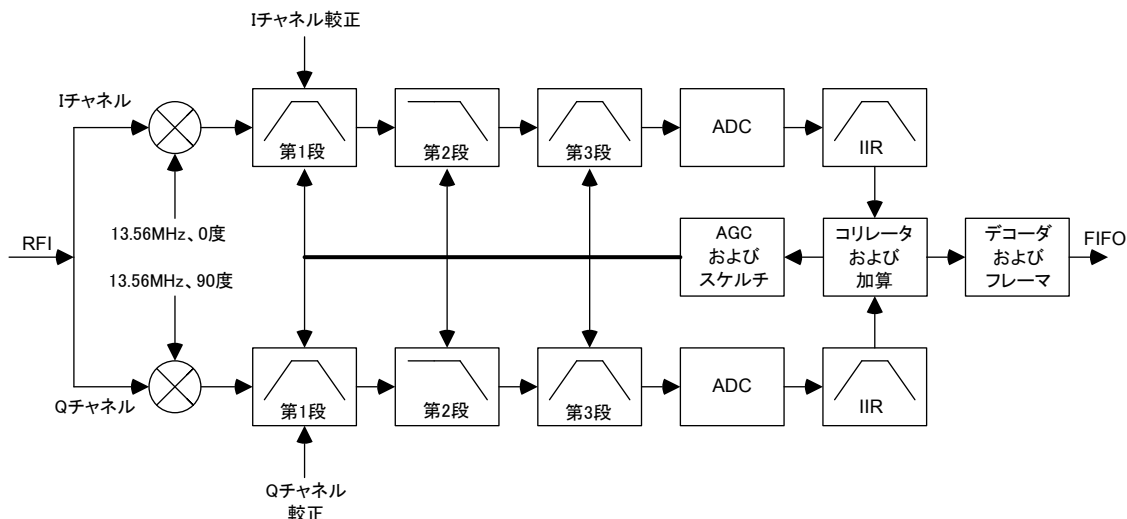
EMI コンデンサのスイッチングが可能な回路の例は、図 1 に記載されています。

EMI フィルタと GPIO1 ピンの間、および EMI フィルタと GPIO2 ピンの間に接続されたコンデンサは、内部 MOS トランジスタを介して GND にプルダウンされます。このコンデンサは、寄生成分（ボンディングワイヤ、PCB トレース）と直列共振回路を構成する可能性があるため、コンポーネントの値を選択する際には特別な注意が必要です。リーダライタ動作中、この MOS トランジスタは有効にする必要があります（gpio_en = 0x0 および gpio_rw = 0x3）、カード・エミュレーション動作中、MOS トランジスタは無効にする必要があります（gpio_en = 0x0 および gpio_ce = 0x0）。gpio_en ビットを 0 に設定すると、AAT 回路に使用されるプッシュプル・ドライバが無効になり、内部 MOS トランジスタが選択されます。gpio_rw ビットを 1 に設定すると、内部 MOS トランジスタは低抵抗になります。Im_gpio オプション・ビットを 1 に設定すると、GPIO1 および GPIO2 ピンは負荷変調信号のデジタル信号によって駆動されます。

5.4 レシーバ

レシーバは、13.56MHz のキャリア周波数に重畳されたタグによるサブキャリア変調を復調します。ここでは、サブキャリア信号の I/Q 復調、増幅、帯域通過フィルタ処理、およびデジタル化を実行します。RSSI 測定、自動ゲイン制御(AGC)、スケルチ機能も実行します。受信チェーンには、I および Q 復調用の個別の 2 つのチャンネルがあります。I および Q チャンネルは、アンテナからの 13.56MHz キャリア信号と、水晶発振器によって生成されたローカル 13.56MHz クロックをミキシングします。I および Q ミキシング・クロックは 90 度位相がずれています。受信フレーミングは、レシーバ・ロジックによって自動的に実行されます。動作レジスタの rx_en ビットが 1 に設定されると、レシーバがオンになります。

図 7. レシーバのブロック図



5.4.1 復調段

I/Q 復調は 2 つのミキサ回路で構成され、それぞれが水晶発振器から生成され互いに 90°位相がシフトしたローカル発振器信号によって駆動されます。2 つのミキサの出力は、2 つの等価なベースバンド受信チェーンとデコード・ロジックに接続されています。

5.4.2 フィルタおよびゲイン段

レシーバ・チェーンは、帯域通過フィルタ特性を備えています。この帯域通過フィルタは、3 つの段で構成されています。各段には、固定ゲインと AGC 制御による減衰があります。このフィルタ処理は、キャリア周波数、低周波ノイズ、DC 成分を除去し、サブキャリア周波数が通過するように最適化されています。第 1 段および第 3 段は、選択可能な 1 次ハイパス・フィルタと、固定の 1 次ローパス・フィルタを備えています。第 1 段および第 3 段のハイパス・フィルタ特性は、受信アナログ設定レジスタ 1 の hpf_ctrl ビットで制御できます。両方の段において、ローパス・フィルタ特性は固定されています。第 2 段は、2 次固定ローパス・フィルタで構成されています。

第 1 段および第 2 段の最大ゲインは 20dB であり、AGC により 3dB ステップで減衰できます。受信アナログ設定レジスタ 1 の gain_boost ビットを 1 に設定して gain_boost が有効になると、第 3 段のゲインは 6dB になり、最大ゲインがさらに 3dB 増加します。ゲイン・ブーストを含め、フィルタおよびゲイン段の総ゲインは 49dB です。AGC のデフォルトのゲイン低減は、受信アナログ設定レジスタ 2 の afe_gain_rw ビットで設定できます。

他の動作モードでも、同じフィルタ・ブロックを使用できます。すべてのモードにおいて、開始ゲインは対応するゲイン低減によって設定されます。ウェイクアップ・モードのゲインは、受信アナログ設定 2 レジスタの afe_gain_td で設定できます。カード・エミュレーション動作でのゲインは、受信アナログ設定レジスタ 3 の afe_gain_ce ビットで設定できます。

チップは、アナログ・デジタル・コンバータの後に第 2 のフィルタ段を備えています。これは、無限インパルス応答 (IIR) ローパス・フィルタと IIR ハイパス・フィルタで構成されています。その係数は、lpf_coef ビットおよび hpf_coef ビットを設定することで、受信デジタル設定レジスタ 1 で構成できます。

5.4.3 アナログデジタルコンバータ

アナログデジタルコンバータは、フィルタおよびゲイン段から入力される信号をデジタル化します。ウェイクアップ・モードでは、ADC 出力は I チャンネル WU ADC ディスプレイ・レジスタと Q チャンネル WU ADC ディスプレイ・レジスタに保存されます。

5.4.4 コリレータ・システム

コリレータ・システムは、レシーバの感度、およびタグの応答に見られるサブキャリア周波数に対する選択性を最大化するように設計されています。これを実現するために、タグから送信されるサブキャリア信号は、ローカル・サブキャリア・クロックと比較されます。この2つの信号が一致した場合、最高の S/N 比が達成されます。I チャネルと Q チャネルの信号は加算ブロックを介して結合され、チャネル選択の必要性を排除すると同時にパフォーマンスを向上させます。同じクロックを使用して、NFC-A および NFC-B (106Kbit/s ~ 848Kbit/s)、FeliCa (212Kbit/s および 424Kbit/s)、ならびに NFC-V の単一サブキャリア (26Kbit/s、52Kbit/s、106Kbit/s、および 212Kbit/s) の復調を達成します。

コリレータには、マンチェスタと BPSK (2 値位相偏移変調) の 2 つの主要な動作モードがあります。マンチェスタとは、NFC-A (106Kbit/s) および NFC-V の単一サブキャリア・プロトコルで使用するマンチェスタ符号化サブキャリア変調を指します。BPSK とは、残りのプロトコルおよびデータ・レートで使用するサブキャリア変調を指します。BPSK モードでは、ローカル・サブキャリア・クロックは入力サブキャリア信号の位相に追従します。ビット情報は入力サブキャリアの位相に符号化されるため、入力位相とクロック位相を比較することでビット情報を得られます。マンチェスタ・モードでは、ビット情報がサブキャリアの有無 (振幅) に符号化されるため、ローカル・サブキャリア・クロックは入力サブキャリア信号の位相に追従しません。コリレータは、シンボル認識およびサブキャリアの有無を検出するために、両方のモードで使用する追加回路を含みます。

コリレータ設定レジスタ 2 の `iir_coef1` および `iir_coef2` ビットは、コリレータの内部フィルタを調整します。

5.4.5 自動ゲイン制御

自動ゲイン制御 (AGC) は、フィルタおよびゲイン段でのゲイン低減を設定して、最適な信号をコリレータに入力します。これは、受信デジタル設定レジスタ 1 の `agc_en` ビットを 1 に設定することで有効にできます。入力信号がコリレータ設定レジスタ 2 の `agc_thr` ビットで設定された閾値よりも大きい限り、ゲインは 3dB ステップで低減されます。リーダ動作では、AGC は受信開始時にのみアクティブになります。カード・エミュレーション動作では、`agc_en` ビットを 1 に設定してアクティブ化した場合、AGC は受信中に動作します。AGC の動作が異なる特別なケースが 2 つあります。NFC-F の CE 受信では、サブキャリアが検出された後に AGC がフリーズします。NFC-A の受信では、`ce_agc_freeze` ビットが 1 に設定されている場合に AGC がフリーズします。AGC 完了後のゲイン低減の結果は、アナログ・ディスプレイ・レジスタ 2 の `afe_gain` ビットで読み取ることができます。これには、最後の受信中の実際のゲイン低減が表示されます。

5.4.6 スケルチ

スケルチは、ノイズ・レベルに基づいてレシーバのゲインを低減します。レシーバの初期ゲインが高いため、ノイズが誤って復調され、リーダとカード間の通信データが破損する可能性があります。信号レベルがノイズ・レベルより高い場合、スケルチによりノイズの多い環境での受信が可能になります。

自動スケルチは、マスク受信タイムの設定レジスタ 1 の `sq_en` オプション・ビットによって有効になります。送信の終了後に自動的にアクティブ化されます。遅延は、マスク受信タイムの設定レジスタ 1 の `sq_del` ビットで設定できます。スケルチは、マスク受信タイム (MRT) がマスク受信タイムの設定レジスタ 2 で設定された値に達したとき、またはスケルチ・タイム設定レジスタで設定されたスケルチ・タイムがタイムアウトしたときに終了します。

このモードは主に、タグの応答前のタグ処理によって生成されるノイズ (MRT の対象) と環境ノイズを抑制することを目的としています。

スケルチ時間が経過した後、決定されたゲイン設定が次の受信に適用されます。

スケルチによって取得されたゲイン設定は、Clear Rx Gain ダイレクト・コマンドを送信することでクリアされます。

スケルチ中にカード応答が開始された場合、変調を無視するためにゲインが低減されます。このようなシナリオは、たとえば、ISO10373-6 EMD リカバリ・テスト中に発生します。

5.4.7 RSSI

RSSI は、IC の入力における推定信号レベルの指標です。診断および観察目的で使用されます。RSSI は、コリレータ入力での信号の振幅から計算されます。測定は、レシーバが有効になったときに開始し、レシーバが無効になったときに終了する間隔で行われます。I および Q RSSI 測定に関する情報は、レシーバが有効な受信信用に開かれたとき (`rx_start` 割り込みを発行したとき)、または受信ゲインをクリアするダイレクト・コマンドが発行されたときにのみリセットされます。RSSI 情報は、タイミングの制約なしに、タグの応答後に読み出すことができます。結果では、AGC ゲイン低減が考慮されます。測定結果は、RSSI ディスプレイ・レジスタ 1 と RSSI ディスプレイ・レジスタ 2 から読み取ることができます。

5.4.8 デジタル化段

デジタル化段は、レシーバからのサブキャリア信号をデジタル化します。このデジタル信号は、レシーバのフレーミング・ロジックで処理されます。

5.4.9

ADC から CE メモリへの記録

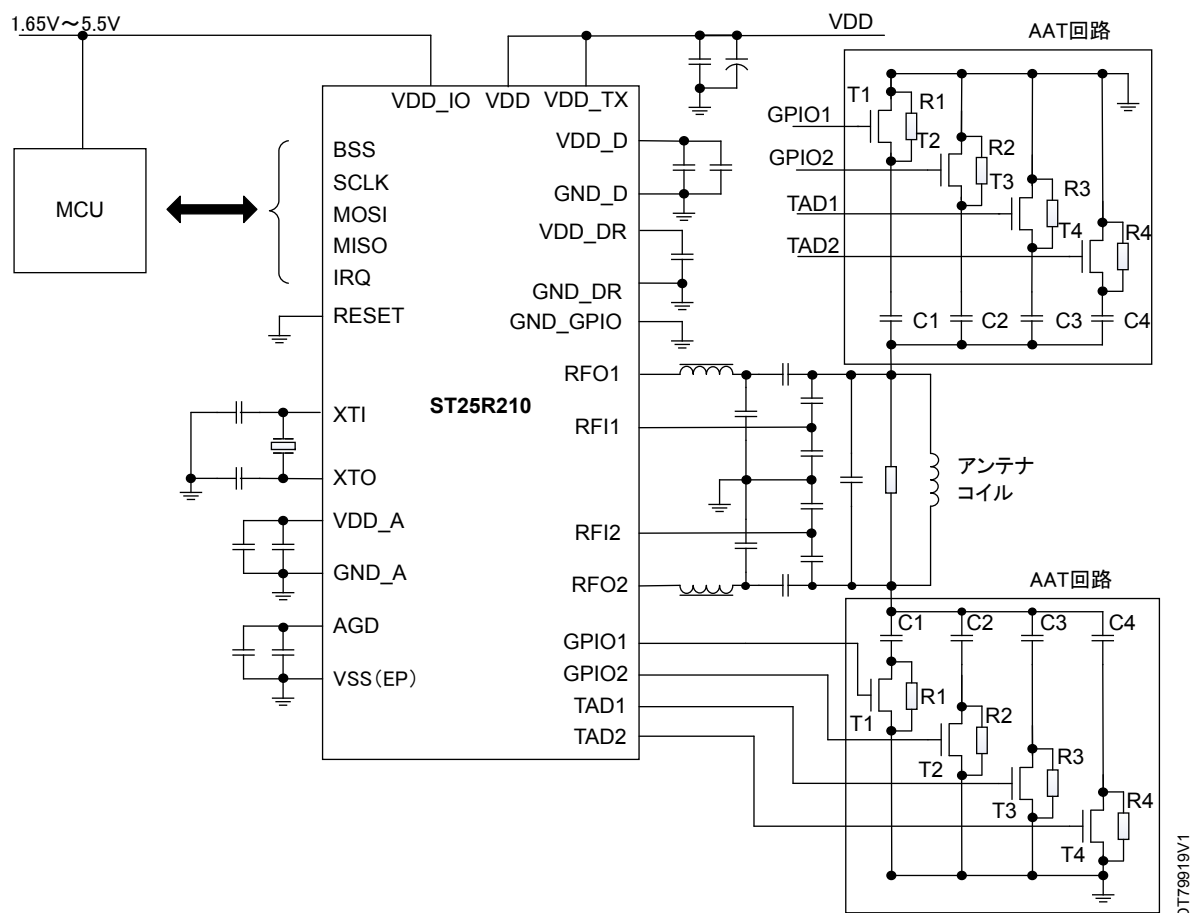
キャリア信号のエンベロープをサンプリングし、カード・エミュレーション・メモリに保存できます。この機能は、リーダ動作における変調信号の立上がりエッジと立下がりエッジを測定するために使用できます。この機能は、テスト・レジスタ ADC から CE メモリへの `adc_cemem` ビットを使用して、トリガを立下がりエッジ、立上がりエッジ、または両方のエッジに設定することで有効にできます。サンプリング・レートは、`adc_cemem_rate` ビットを 13.56MHz または 6.78MHz に設定して選択でき、これにより 3.83μs または 7.67μs の記録が可能になります。

入力ソースは、`adc_cemem_src` ビットを ADC またはコリレータ入力に設定することで選択できます。入力ソースが ADC の場合、63 の値で飽和する 6bit の結果を返します。入力ソースがコリレータの場合、250 の値で飽和する 8bit の結果を返します。入力ゲインは、[受信アナログ設定レジスタ 3](#) の `afe_gain_ce` ビットで設定できます。

5.5 アンテナ・チューニング

ST25R210 は、外部 NMOS トランジスタと外部積層セラミック・コンデンサ (MLCC) によるアンテナ・チューニングをサポートしています。各 RFO チャンネルに 4 つのチューニング・コンデンサを使用する場合の最小構成を以下の図に示します。チャンネルごとに、NMOS トランジスタ 4 個、MLCC コンデンサ 4 個、および抵抗 4 個が使用されます。

図 8. アンテナ・チューニング回路図



外部 MLCC コンデンサは、一方を並列接続されたコンデンサに、もう一方を NMOS トランジスタのドレインに接続する必要があります。NMOS トランジスタのソースは GND に接続されます。コンデンサと NMOS トランジスタはどちらも、整合回路網の並列コンデンサに並列に接続されます。トランジスタ T1 のゲートを High に駆動することにより、コンデンサ C1 が整合回路網の並列コンデンサに並列に追加されます。これにより、NFC アンテナの共振周波数が変化します。NMOS トランジスタが高抵抗の場合、R1 抵抗はコンデンサをゆっくりと放電します。抵抗値は非常に高い値 (約 1MΩ) にすることができます。コンデンサ C1~C4 はバイナリ重み付けされています。標準値は 5.6pF、12pF、27pF、56pF であり、これにより並列コンデンサを 0pF から 100.6pF まで 16 ステップで増やすことができます。C1~C4 の値は、AAT の目的のチューニング範囲に基づいて調整できます。

NMOS トランジスタのゲートは、GPIO1、GPIO2、TAD1、および TAD2 ピンに接続できます。ピンをプッシュプル構成に設定する必要があります。CE 変調レジスタ 2 で gpio_en および tad_en ビットを 1 に設定すると、プッシュプル・モードが有効になります。

プッシュプル出力の状態は、リーダ動作およびカード・エミュレーション動作用に GPIO 制御レジスタで設定できます。出力は、リーダがリーダ動作中であるかカード・エミュレーション動作中であるかに応じて、GPIO 制御レジスタの内容に基づいて自動的に変更されます。

5.6 RC 発振器

RC 発振器は、低消費電力 WU モードをサポートするために使用され、公称周波数 26.48kHz で動作します。デバイスが WU モードに入ると有効になり、デバイスが PD または RD モードになると無効になります。さらに、ウェイクアップ・タイマを開始するダイレクト・コマンドを実行することで有効になる場合があります。

5.7 水晶発振器

水晶発振器は、27.12MHz で動作します。この動作は、オプション・ビット `en` が 1 に設定されている場合に有効になります。

発振器の振幅が十分に大きくなったとき、つまり周波数が安定すると、それが `I_osc` 割り込みによってマイクロコントローラに通知されます。この発振器は、制御電流源によって給電されるインバータ段を基本としています。フィードバック・ループがバイアス電流を制御し、XTI ピンの振幅を約 1V_{pp} に調整します。XTI 信号の振幅は、水晶振動子のパラメータによって異なります。これらのパラメータによっては、可能な限り低いドライブ・レベルで XTI 信号が 1V_{pp} より大きくなる場合があります。表 1 の `VOSC_PP` を超えないようにする必要があります。

2 で割ることにより、13.56MHz 信号のデューティ・サイクルが 50% になることが保証されます。

発振器は、さらにカード・エミュレーション動作で外部磁界を検出して RD モードへの遷移がトリガされたとき、またはウェイクアップ・タイマがタイムアウトしてウェイクアップ測定が実行されたときにも有効になります。

発振器の状態は、`osc_ok` ビットによって確認できます。発振器の周波数が安定すると、このビットが 1 に設定されます。

5.8 タイマ

ST25R210 は、各種タイマを搭載しているため、コントローラでカウンタを実行する必要がありません。これにより、コントローラのコードのコード実装の負担を軽減し、異なるコントローラへのコードの移植性を向上させます。

すべてのタイマに、それぞれに関連する 1 つ以上のコンフィギュレーション・レジスタが用意され、そこでタイムアウト時間や各種動作モードを設定できます。これらのコンフィギュレーション・レジスタは、それに対応するタイマが動作していないときに設定する必要があります。タイマが有効な状態でその設定を変更すると、予期しない動作の原因となることがあります。すべてのタイマは、Stop All Activities ダイレクト・コマンドで停止します。

5.8.1 マスク受信タイマ (MRT)

リーダー動作では、このタイマは、タグの応答が期待されない時間中、送信の終了後に `rx_on` 信号を Low に保つことにより、レシーバおよびフレーミング・ロジックでの受信プロセスをブロックします。マスク受信タイマの動作中は、スケルチを有効にしていればスケルチが自動的にオンになります。MRT では IRQ を生成しません。

MRT のタイムアウトは**マスク受信タイマの設定レジスタ 2** で設定します。データ送信の完了時 (EOF の終端) に MRT は自動的にカウントを開始します。MRT は、Start Mask Receive Timer ダイレクト・コマンドによってトリガできます。その場合、**スケルチ・タイマ設定レジスタ** の設定に応じてスケルチが有効になります。MRT は、カード・エミュレーション動作が有効な場合、PD モードでも開始します。イニシエータ・フィールドが検出されると、レギュレータ、水晶発振器、レシーバ、および MRT が有効になります。MRT がタイムアウトすると、レシーバはイニシエータ・メッセージの開始の検出を開始します。

5.8.2 応答なしタイマ (NRT)

このタイマの目的は、送信の終了から一定の設定時間内に応答が検出されるかどうかを観測することです。このタイマがタイムアウトして生成される割り込みイベントは、IRQ ステータス・レジスタ 2 の `I_nre` フラグによって通知されます。NRT 値は、NRT および GPT 設定レジスタ 2 と NRT および GPT 設定レジスタ 3 を書き込むことによって設定されます。動作オプションは、NRT および GPT 設定レジスタ 1 の `nrt_emv` ビットと `nrt_step` ビットによって設定されます。NRT は、送信の完了時に自動的にカウントを開始します。`nrt_step` ビットは、応答なしタイマのカウント時間単位を設定します。64/ f_c (4.72μs) と 4096/ f_c を選択でき、それぞれ最大で 309ms と 19.8s のタイムアウトに対応します。`nrt_emv` ビットはタイマの動作モードを制御します。

このビットを '0' に設定すると (デフォルト・モード)、応答開始が検出されずに NRT がタイムアウトしたときに `I_nre` 割り込みが生成されます。レシーバを無効化するために `rx_on` ビットが Low に設定されます。この逆の場合、つまりタイムアウト前にタグの応答開始が検出された場合、タイマは停止し、IRQ は生成されません。

このビットを 1 に設定すると、タイマはタイムアウト時に無条件で IRQ を生成します。これは、タグ応答が検出されたかどうかに関係なく IRQ が生成されることを意味します。タイムアウトの間にタグ応答が処理されていた場合、その他の動作は実行されず、そのタグ応答は通常どおり受信されます。この逆の場合、つまりタグ応答が処理されていなかった場合は、レシーバが無効化されます。

Start No-Response Timer ダイレクト・コマンドを使用して NRT を開始することもできます。このコマンドは、応答なしタイマ・コントロール・レジスタに設定された範囲よりも長いタイムアウトを NRT に設定することを目的としています。このコマンドをタイマの動作中に送信すると、タイマはリセットされてからカウントを開始します。

NRT は、Stop No-Response Timer または Stop All Activities ダイレクト・コマンドを使用して終了できます。タイマは停止し、IRQ は送信されません。これらのコマンドは、受信があるために応答なしタイマが停止しないときに、`nrt_emv` モードで使用することを想定しています。

5.8.3 汎用タイマ (GPT)

GPT 値は、NRT および GPT 設定レジスタ 4 と NRT および GPT 設定レジスタ 5 を書き込むことによって設定されます。受信プロセスの所要時間の測定 (SOF の後、受信開始でトリガ) や、PICC 応答時間に対する PCD のタイムアウトの監視 (EOF の後、受信終了でトリガ) に使用できます。トリガ・ソースは、NRT および GPT 設定レジスタ 1 の gptc ビットで設定できます。指定可能なトリガ設定については、表 57. 汎用タイマのトリガ・ソースを参照してください。

GP タイマは、Start General Purpose Timer (汎用タイマ起動) ダイレクト・コマンドを送信して起動することもできます。このコマンドをタイマの動作中に送信すると、タイマはリセットされて再起動されます。

5.8.4 ウェイクアップ・タイマ (WUT)

このタイマは主にウェイクアップ・モードで使用されます。

Start WUT ダイレクト・コマンドを送信してトリガすることもできます。このコマンドを送信すると、ウェイクアップ・タイマのクロック・ソースとして使用される RC 発振器が起動します。このタイマがタイムアウトすると、I_wut フラグ付きの IRQ が送信されます。

RC 発振器は WUT のクロック・ソースであるため、PD モード中でも動作可能です。水晶発振器をベースとするその他のタイマは、PD モードまたは WU モードでは使用できません。

注: WUT の許容誤差は、RC 発振器の許容誤差によって決定されます。WU モード中は、セクション 5.9.5: ウェイクアップ・タイマの較正に詳述されているように、RC の不正確さを補正するために較正メカニズムを有効化できます。

5.9 ウェイクアップ・モード

PD モードに入ると、wu_en ビットが ST25R210 をウェイクアップ・モード (WU) に設定します。これは、低消費電力カード検出を実行するために使用されます。周期的な測定をトリガするために、内蔵の低消費電力 26.48kHz RC 発振器および設定可能なウェイクアップ・タイマ (WUT) が使用されます。

通常、カードの存在は RF/NFC ポーリングによって検出されます。ポーリングでは、リーダのフィールドを定期的にオンにし、RF コマンドを使用してホストでカードの有無を確認します。ガード時間の要件を満たすためにコマンドを発行できるまで、リーダがフィールドを長時間にわたって放射するため、この手順ではかなりのエネルギーが消費されます。

低消費電力カード検出は、デチューン要素の接近によって生じるリーダ環境の変化を検出することで実行されます。変化が検出されると、ホストに割り込みが送信されます。その後、ホストは通常の RF/NFC ポーリングを行うことができます。

ウェイクアップ・モードでは、ST25R210 は周期的な測定を実行し、設定された基準値との差が検出されたときにホストに IRQ を送信します。

デバイスは I および Q チャネルを監視して、アンテナ周囲の変動を評価します。

最新の測定値は i_adc および q_adc に示され、現在の基準値は i_ref および q_ref で設定されます。ADC 値は、2 の補数表現を使用した 8bit の符号付き値で提供されます。ウェイクアップ割り込みをトリガする基準値に対する差分 / 差は、i_diff および q_diff で設定されます。

ウェイクアップ・タイマを介した周期的な実行に加えて、測定および測定データの処理は Trigger Wake-Up Event ダイレクト・コマンドによってトリガできます。このメカニズムにより、外部イベントとの同期が可能になります。

5.9.1 カード検出

リーダのアンテナ・コイルにカードが接近することによって、アンテナの LC タンクで信号が変化します。測定を実行するために必要なリーダのフィールド・アクティブ化時間は、プロトコル・アクティブ化コマンドの送信に必要なアクティブ化時間と比較して非常に短くなっています。

また、測定中の電力レベルも、通常動作に比べて低く抑えられます。結合効果を生成するためにカードに電源を供給する必要がないからです。放射される電力は、RFO ドライバの抵抗値を変更することで設定できます。

測定値と基準値の差が、設定された差分 / 差の値を超えると IRQ が送信されます。iq_aaref ビットによって制御される基準値を設定するための 2 つの方法があります。

- ST25R210 は、これまでの測定値に基づいて基準値を自動的に計算できます (自動平均化)
- ホストが基準値を決定し、i_ref および q_ref に設定します

5.9.2 自動平均化

自動平均化が有効な場合 (iq_aaref = 1)、基準値はすべての測定後に再計算されます。この計算には、最新の測定値、これまでの基準値、および重みを使用します。

新しい基準値の計算には、次の式を使用します。

新基準 = 旧基準 - (旧基準 - 測定値) / 重み

i_iirqm および q_iirqm ビットは、割り込みを発生させた測定値を平均値の計算に考慮するかどうかを設定します。

新しい測定値が基準値に与える影響は、i_aaw および q_aaw ビットで設定された重みによって決定されます。

5.9.3 較正

ウェイクアップ・モードには、手動または自動で実行できる追加の較正ステップがあります。skip_cal および skip_recal ビットは自動較正の動作を制御します。

ウェイクアップ・モードを開始する際、skip_cal = 0 の場合、最初の WUT タイムアウト時に較正ステップが自動的に実行されます。

ウェイクアップ・モードの実行中および skip_recal = 0 の場合、基準値±差分 / 差が 63 を上回ると、再較正が実行されます。

5.9.4 ウェイクアップ IRQ

デバイスでは、ウェイクアップ IRQ がホストに送信される条件を設定できます。

この動作は i_tdi_en および q_tdi_en ビットで設定され、次の 3 つの条件を使用できます。

- 最新の測定結果が上限を上回っている場合の I_wui/q IRQ: $i/q_adc > i/q_ref + i/q_diff$
- 最新の測定結果が上限と下限の間にある場合の I_wui/q IRQ: $i/q_ref - i/q_diff \leq i/q_adc \leq i/q_ref + i/q_diff$
- 最新の測定結果が下限を下回っている場合の I_wui/q IRQ: $i/q_adc < i/q_ref - i/q_diff$

i_tdi_en = 0 の場合、I チャンネルは WU 中に使用されません。q_tdi_en = 0 の場合の Q チャンネルについても同様です。

WU モード中、ST25R210 はマスク可能な、あるいは診断に使用できる追加の IRQ を生成します。

- WUT タイマがタイムアウトした際の I_wut IRQ。デバイスが RD モードで一時的に自身を有効にし、測定を実行することを示します。
- デバイスが WU 測定イベントを終了し、WU モードに戻る際の I_wutme IRQ

5.9.5 ウェイクアップ・タイマの較正

WUT は RC 発振器をクロック・ソースとして使用します。RC 発振器はプロセスおよび温度に依存するため、WU 期間が wut ビットで設定されたターゲットから逸脱する可能性があります。100 ms ± 5ms のウェイクアップ・タイマ期間は、ウェイクアップ・タイマ較正を使用することでのみ保証できます。

正確な WU 期間が必要なアプリケーションでは、較正メカニズムを有効にして RC の変動を最小限に抑えることができます。100ms 未満のウェイクアップ・タイマ期間でウェイクアップ・タイマ較正を使用することは推奨されません。WU モードが開始され、wut_cal = 1 を設定して WUT 較正が有効になると、水晶発振器に基づいてウェイクアップ・タイマが較正されます。

したがって、水晶発振器は特定の較正期間にわたって有効なままになります。較正は、ウェイクアップ・タイマがタイムアウトし、チップが PD モードから RD モードに遷移するたびに、ウェイクアップ・モードで実行されます。較正期間が長いほど、WUT 期間の精度が高まります。

WUT 較正ステップの較正期間は、wut_cal_len ビットによって設定されます。

以下の表に、選択した wut_cal_len に基づく較正時間と達成されたターゲット精度を示します。

Wut_cal_len <1:0>	較正期間 (ms)	ターゲット精度 (%)
0	0.781	3.33
1	1.562	1.67
2	3.125	0.83
3	6.248	0.43

たとえば、wut_cal_len = 0 および 100ms のウェイクアップ・タイマ期間を使用した場合、予想されるタイマ期間は 96.7ms ~ 103.33ms です。この較正はウェイクアップ・タイマがタイムアウトするたびに実行されるため、温度やその他の影響は無視されます。較正は水晶発振器に基づいているため、その周波数に依存します。較正には正確で安定した発振器周波数が必須です。rc_vdig_lp ビットは、ウェイクアップ・タイマ較正の精度を向上させます。このビットは、wut_cal_len 設定を 2 以上にして使用してください。

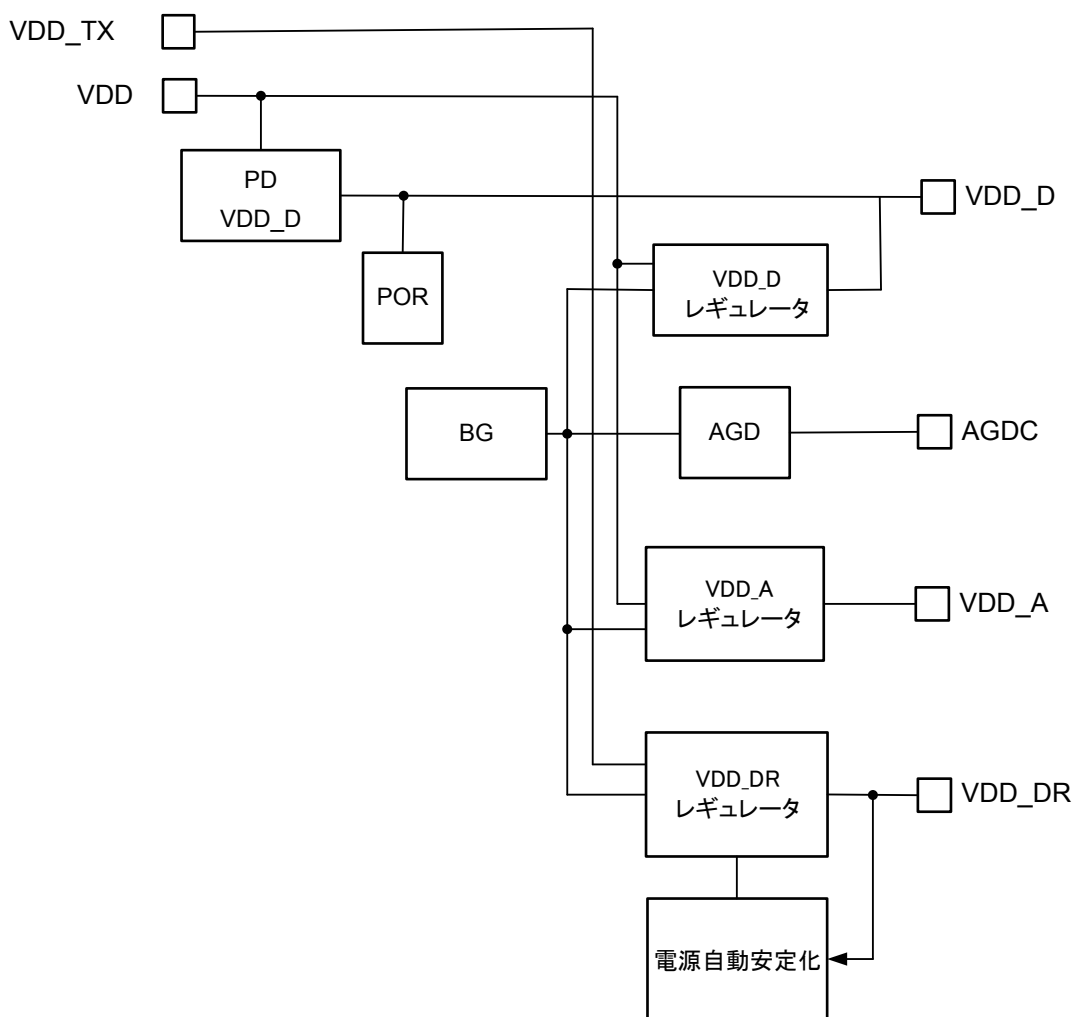
5.10 電源系

ST25R210 には、3 つの正電圧の電源ピンとして VDD、VDD_TX、VDD_IO があります。

- VDD は主電源のピンです。ST25R210 の各ブロックの電源は、2 つのレギュレータ(VDD_A と VDD_D)を介して供給されます。
- VDD_TX は、トランスミッタ用の電源ピンです。VDD_TX は、VDD_DR レギュレータを介してトランスミッタに電力を供給します。VDD / VDD_TX の範囲 2.7V~5.5V がサポートされています。VDD と VDD_TX は同じ電源に接続する必要があります。
- VDD_IO は、デジタル通信ピン(BSS、MISO、MOSI、SCLK、IRQ、MCU_CLK)への供給レベルを設定するために使用します。デジタル通信ピンはレベル・シフタを介して ST25R210 ロジックとインタフェースをとるため、内部電源電圧は VDD_IO より低くなる可能性があります。1.65V~5.5V の VDD_IO 範囲がサポートされています。

ST25R210 の電源系の構成ブロックの詳細を以下の図に示します。

図 9. 電源系



DT76074V1

- 注
- BG: バンドギャップ・リファレンス
 - AUTOREG: レギュレータ自動調整

電源系には、3 つのレギュレータ、パワーダウン・サポート・ブロック(POR)、アナログ基準電圧(AGD)を生成するブロック、および電源自動調整手順を実行するブロックが含まれます。3 つのレギュレータは、アナログ(VDD_A)、ロジック(VDD_D)、およびトランスミッタ(VDD_DR)ブロックに電力を供給します。VDD_D、VDD_DR、および VDD_A ピンは、チップへの電力供給を目的とするものではありません。チップへの電力供給には、VDD_A、VDD_D、および VDD_DR レギュレータを使用する必要があります。

10nF と 2.2μF の並列のデカップリング・コンデンサのペアを V_{DD} と V_{DD_TX} 電源に接続する必要があります(図 1 を参照)。

デカップリング・コンデンサは VDD_TX ピンの近くに配置する必要があります。VDD_TX ピンとデカップリング・コンデンサの間の基板配線は 3mm 以内で、間にビアを設けないようにしてください。トレース幅は 0.25mm 以上にしてください。VDD ピンにも別のデカップリング・コンデンサのペアを配置することを推奨します。

5.10.1 パワーダウン・ブロック

パワーダウン・モードでは、消費電力を低減するためにレギュレータが無効化されます。このモードでは、低消費電力のパワーダウン・サポート・ブロックが VDD_D 電圧レベルを維持します。

5.10.2 VDD_A レギュレータ

VDD_A レギュレータは、レシーバのアナログ部および水晶発振器に電力を供給します。その公称電圧は 3.0V です。3.0V 未満の出力電圧では、VDD_A レギュレータは VDD_DR 電圧設定に従います。10nF と 2.2μF の並列のデカップリング・コンデンサのペアは、VDD_A の正負の電源ピンと良好に接続できるように IC の近くに配置して接続する必要があります。10nF のデカップリング・コンデンサは、正および負の電源ピンの可能な限り近くに配置する必要があります。

5.10.3 VDD_D レギュレータ

VDD_D レギュレータはデジタル・ロジックに電力を供給します。その公称電圧は 1.15V です。10nF と 2.2μF の並列のデカップリング・コンデンサのペアは、VDD_D の正負の電源ピンと良好に接続できるように IC の近くに配置して接続する必要があります。10nF のデカップリング・コンデンサは、正および負の電源ピンの可能な限り近くに配置する必要があります。

5.10.4 VDD_DR レギュレータ

VDD_DR レギュレータは、VDD_TX ピンを介して送信ドライバに電力を供給しています。VDD_DR ピンに接続するデカップリング・コンデンサは 47nF にする必要があります。デカップリング・コンデンサは、正および負の電源ピンの可能な限り近くに配置する必要があります。出力の発振を防ぐため、このデカップリング・コンデンサは、可能な限り最短のトレースで VDD_DR ピンと GND_DR ピンに直接接続する必要があります。その LDO ドロップアウト電圧は、[送信ドライバ設定レジスタ](#)の regd ビットを使用して、200mV～550mV の間に設定できます。LDO ドロップは IC の内部測定に基づいているため、IC の外部 (ピン) で測定される VDD_DR 電圧は変動する可能性があります。

レギュレータは絶対電圧に設定することもできます。VDD_DR レギュレータ設定レジスタの reg_s ビットは、設定された LDO ドロップに基づく自動調整 (reg_s = 0) と、絶対電圧によって設定される手動調整とを切り替えます。絶対電圧は、reg_s ビットを 1 に設定し、[表 14. 安定化電圧](#)に従って rege ビットを設定することで設定できます。

レギュレータは内部電流リミッタを備えています。リミッタの閾値は 500mA の電流制限値よりも高く設定されています。その閾値は、ST25R210 を損傷することなく最大出力電流を達成するための内部メカニズムに依存します。電流リミッタが動作している場合、[アナログ・ディスプレイ・レジスタ 1](#) の i_lim ビットが設定されます。リミッタがアクティブであっても、ST25R210 は短時間であれば正常に動作し続けることができます。リミッタがアクティブになっている結果、VDD_DR 電圧は低下します。それでも、絶対最大定格のセクションに指定された制限を超えないようにデバイスを設計する必要があります。

非変調状態での静的電圧の設定に加えて、VDD_DR レギュレータは、AM 変調の生成や、変調状態での OOK 変調の波形補正に使用されます。

変調信号の波形補正の詳細については、[セクション 5.11: アクティブ波形補正](#)を参照してください。

5.11 アクティブ波形補正

ST25R210 は、変調信号のアクティブ波形補正をサポートしています。サポートされる動作モードは以下のとおりです。

- フィールド・オン / オフの遷移
- OOK 変調
- AM 変調

OOK 変調では、変調状態 (ポーズとも呼ばれます) の間にドライバが停止します。AM 変調動作の場合、ドライバは 2 つの電圧レベル間で切り替わります。

デバイスは、互いに組み合わせ可能な 2 つの AM 変調方式をサポートしています。

- 抵抗 AM 変調 (res_am)
- レギュレータ波形補正変調 (rgs_am)

どちらも送信変調レジスタ 1 で有効にできます。レギュレータ波形補正変調を使用する場合、VDD_DR 電圧レベルは、変調電圧レベルと非変調電圧レベルの間で変化します(変調状態の変化)。非変調電圧レベルは、am_mod ビットによって設定されます。変調電圧レベルと非変調電圧レベル間の遷移は、指数関数的なフィルタ曲線に従います。このフィルタ曲線の時定数は、変調信号の立下がりエッジと立上がりエッジに対して個別に変更できます。フィルタは、AWS コンフィギュレーション・レジスタ 2 で am_fall ビットと am_rise ビットを設定することで変更できます。フィルタの値は、リーダのアンテナの Q ファクタに合わせて設定する必要があります。値が高すぎると、規格に準拠しない波形タイミングの原因となる可能性があります。たとえば、ISO/IEC 14443-2 の t3 および t4 が遅くなりすぎる場合があります。値が低すぎると、オーバーシュートやアンダーシュートが発生する可能性があります。am_fall および am_rise ビットによって設定されるフィルタ曲線は、ST25R210 内部の RC 回路網によって生成されます。dig_aws_en ビットを有効にすると、同じ信号がデジタル・ロジックによって生成され、デバイス間のばらつきが軽減されます。

抵抗 AM 変調(res_am)を使用すると、非変調時のドライバ抵抗(d_res)と変調時のドライバ抵抗(md_res)を切り替えることができます。d_res から md_res への切替えは、tdres1(立下がりエッジ)および tdres2(立上がりエッジ)ビットで設定された特定の数のキャリア・クロック・サイクル後における変調状態の変更時に発生します。tdres1 ビットは AWS タイミング・レジスタ 1 で設定でき、tdres2 ビットは AWS タイミング・レジスタ 3 で設定できます。

res_am を OOK 変調(tr_am=0)と組み合わせる場合、tentx1 ビットで設定された特定の数のキャリア・サイクルの後にドライバが停止します。tentx1 ビットは AWS タイミング・レジスタ 1 で設定できます。OOK 変調方式で rgs_am も有効にする場合、tentx1 を 0 以外の値に設定すると効果的です。

ST25R210 は、2 つの電圧シンク・メカニズムも備えています。

- ダイナミック・パッシブ・シンク
- アクティブ・シンク

電圧シンクは、変調状態から非変調状態に遷移する際に VDD_DR デカップリング・コンデンサに蓄積されるエネルギーを減らすために使用されます。シンクは、レギュレータを波形補正に使用する場合(rgs_am = 1)にのみ有効にできます。

ダイナミック・パッシブ・シンクは変調状態の間に有効になります。変調中に連続して追加の電流を引き込みます。VDD_DR コンデンサに蓄積されるエネルギーを減らすために、非常に高抵抗の整合回路と組み合わせることでこのシンクをアクティブ化できます。tpasssinkx1(立下がりエッジ変調信号)および tpasssinkx2(立上がりエッジ変調信号)ビットを設定することで、特定の数のキャリア・サイクルだけ遅らせることができます。tpasssinkx1 ビットは AWS タイミング・レジスタ 2 で設定でき、tpasssinkx2 ビットは AWS タイミング・レジスタ 4 で設定できます。

アクティブ・シンクは、AWS コンフィギュレーション・レジスタ 1 の act_sink_en ビットを 1 に設定することで有効にできます。さらに、AWS コンフィギュレーション・レジスタ 1 の sink_offset_en および dyn_sink_offset ビットを 1 に設定して、オフセット測定を有効にする必要があります。この設定により、変調パルス中にアクティブ・シンクが有効になります。VDD_DR 電圧がオフセットより高い場合にのみ、VDD_DR コンデンサから追加の電流を引き込みます。オフセットは、am_fall および am_rise によって設定される基準信号に従います。AWS タイミング・レジスタ 2 の tsinkoff1 および AWS タイミング・レジスタ 4 の tsinkoff2 ビットを使用すると、変調状態が変更された後のアクティブ・シンクの動作を遅らせることができます。変調パルス全体で変調パルスを正確に波形補正するために、tsinkoff1 および tsinkoff2 の値を 0 に保つことを推奨します。

dyn_lim_aws ビット = 1 に設定することで、変調中に内部電流リミッタを一時的に無効化できます。アクティブおよびパッシブ・シンクにより、キャリアの変調中に消費電流が増加する可能性があります。sc_prot_en ビットを 1 に設定して、内部短絡保護を有効にすることを推奨します。どちらのビットも AWS コンフィギュレーション・レジスタ 1 にあります。

オーバーシュート保護とアンダーシュート保護を設定することで、追加のオーバーシュートやアンダーシュートを低減できます。ビット・パターンは、オーバーシュート保護レジスタで定義されている ov_pattern ビットおよびアンダーシュート保護レジスタで定義されている un_pattern ビットを使用して設定できます。オーバーシュート保護とアンダーシュート保護の両方を有効にするには、ov_pattern と un_pattern の両方のビットが 0 ではなく、res_am = 1 である必要があります。変調状態の変更後、設定されたキャリア・サイクルの間に、ドライバは d_res から md_res に切り替わります。

5.12 リーダ動作

動作レジスタの en ビットを設定して、レディ・モードにする必要があります。このモードで発振器が起動し、レギュレータが有効になります。発振器の動作が安定すると、l_osc 割り込みが送信され、osc_ok ビットがそれを示します。

次に、送信プロトコル・レジスタ 1 と送信プロトコル・レジスタ 2 への書込みによって動作モードとデータ・レートを設定する必要があります。動作モードに関連する、レシーバとトランスミッタの動作オプションも規定する必要があります。選択した動作モードで、リーダからタグへの通信に AM 変調を使用する場合は、変調度を設定する必要があります。

カードにコマンドを送信する前に、vdddr_en ビットを設定し、10μs 待機して VDD_DR レギュレータを有効にする必要があります。その後、rx_en ビットおよび tx_en ビットを設定して、トランスミッタとレシーバを有効にする必要があります。各テクノロジーのガード時間は NFC 規格で定義されており(たとえば ISO/IEC 14443 の場合は 5ms)、最初のコマンドが送信される前に、一定時間リーダのフィールドをオンにする必要があります。汎用タイマを使用してこの時間をカウントするか、NFC Field ON ガード・タイマ・レジスタで設定された時間で NFC Field ON コマンドを使用できます。

送受信シーケンスの準備と実行

- Stop All Activities ダイレクト・コマンドを実行します。
- ダイレクト・コマンド Clear Rx Gain(受信ゲイン・リセット)を実行します。
- タイマを適宜設定します。
- 送信フレーム設定レジスタ 1 と送信フレーム設定レジスタ 2 で、送信するバイト数を設定します。送信フレーム設定レジスタ 2
- 送信するバイトを FIFO に書き込みます。
- Transmit Data または Transmit Next Slot(NFC-V)ダイレクト・コマンドを送信します。

すべてのデータの送信が終了すると、送信完了を知らせる `l_txe` 割り込みが生成され、マイクロコントローラに送信されます(送信完了による IRQ)。

送信の実行後、ST25R210 のレシーバが自動的に起動し、カードの応答を検出するために RFI 入力の監視を開始します。RSSI モニタリングと AGC(有効な場合)が開始されます。レシーバからのサブキャリア信号がフレーミング・ブロックで処理され、FIFO にデータが格納されます。受信が完了し、すべてのデータが FIFO に格納されると、マイクロコントローラに `l_rxe` 割り込みが送信されます(受信完了による IRQ)。さらに、FIFO にあるデータのバイト数が FIFO ステータス・レジスタ 1 と FIFO ステータス・レジスタ 2 に示されるので、マイクロコントローラはデータのダウンロードに進むことができます。

受信中にエラーまたはコリジョン・ビットが検出された場合、適切なフラグが設定された `l_rxe` 割り込みが送信され、マイクロコントローラは適切なアクションを実行できます。

データ・パケットが FIFO サイズより長い場合は、前述の手順が変わります。

送信開始前に FIFO にデータを用意します。送信中、残りバイト数がウォーター・レベルを下回ったことを知らせるために `l_wl` 割り込みが送信されます(FIFO ウォーター・レベルによる IRQ)。マイクロコントローラはさらにデータを FIFO に追加します。すべてのデータが送信されると、送信が完了したことをマイクロコントローラに知らせるために `l_txe` 割り込みが送信されます。

受信時の状況も同様です。受信ウォーター・レベルよりも多くのデータが FIFO にロードされると、`l_wl` 割り込みが送信され、マイクロコントローラが FIFO からデータを読み出します。受信が完了すると、`l_txe` 割り込みがマイクロコントローラに送信され(受信終了による IRQ)、FIFO ステータス・レジスタ 1 と FIFO ステータス・レジスタ 2 には FIFO に残っている読み出し対象のバイト数が表示されます。

5.13 カード・エミュレーション動作

ST25R210 CE 動作は、動作レジスタの `ce_en` ビットを設定することで有効になります。`om` ビットの設定に応じて、さまざまなターゲット・モードまたはリッスン・モードを実装できます。表 41. 動作モードを参照してください。

デバイスは以下に対応しています。

- ISO/IEC 14443 に準拠した PICC type A。
- ビット・レート $f_C/128$ 、 $f_C/64$ 、 $f_C/32$ での NFCIP-1 パッシブ・ターゲット
- NFC Forum リッスン・モード NFC-A および NFC-F

アクティブ・ターゲットおよびアクティブ通信モードはサポートされていません。

ビット・レート検出、自動応答、省電力など、さまざまなオプションが用意されています。それぞれについて、以下に説明します。

5.13.1 低消費電力フィールド検出

`ce_en = 1` に設定することで、外部フィールド検出器が有効になります。ピア / リーダからの外部フィールドを待機している間に、PD モード(`en = 0`)からカード・エミュレーションを開始することで、アプリケーションの消費電力を最適化できます。

外部フィールドを検出すると(`l_eon`)、ST25R210 は発振器とレシーバを一時的に有効にします。ホストは、表 38. プロトコル・レジスタ 1 の `en` および `rx_en` オプション・ビットを設定することでこれを確認できます。その後は、ビット・レート検出または固定 CE 通信を実行できます。

この発振器の一時的な有効化は、表 91. 静的ステータス・レジスタ 1 の `tmp_on` ビットで確認できます。フィールド・オフ(`l_eof`)で発振器は無効になり、`tmp_on` は 0 になります。

CE モード時(`ce_en = 1`)および NFC Field ON コマンドの実行中、外部フィールド検出器(EFD)は自動的に有効になります。EFD のステータスは `efd_on` ビットで確認でき、EFD がアクティブな場合(`efd_on = 1`)、その出力は `efd_out` ビットで監視できます。EFD のアクティブ化(`efd_at<3:0>`)および非アクティブ化(`efd_dt<3:0>`)の閾値は、外部フィールド検出器レジスタで個別に設定できます。

5.13.2 固定カード・エミュレーション

固定通信モードは、`om = 1` または `om = 3` のいずれかのターゲット・モードが選択されている場合にアクティブになります。ST25R210 ST25R210 は、選択されたテクノロジーでのみ受信および応答します。

5.13.3

ビット・レート検出

カード・エミュレーションは、ビット・レート検出モードから開始することもできます。プロトコル・レジスタ 1 の om によって選択可能な 3 つの異なるモードがあります。

これらのモードでは、ST25R210 は少なくとも最初のフレームについて異なるテクノロジーのフレームを受け入れます。

最初のフレームの受信が始まると、ビット・レート検出モードで l_nfc 割り込みが送信され、ビット・レートが特定されたことが通知されます。これにより、ホストでは、カード・エミュレーション・ステータス・レジスタ 1 の nfc_rate を読み出すことで関連情報を取得できます。

最初のフレームをすべて受信したホストでは、プロトコル設定レジスタの om ビットによって目的の固定リッスン通信モードに設定することで、ビット・レート検出モードを終了できます。

om = 0xD, 0xE, 0xF の違いは、再有効化される条件です。

- すべてのモードでは、om を 0x0 に設定して再びビット・レート・モードに戻すと、ビット・レート検出が再有効化されます。
- シングル・ビット・レート検出 (0xE) は、これに加えて、フィールド・リセット時にも再有効化されます。
- 通常のビット・レート検出 (0xF) は、さらにフィールド・リセット時、および ce_state ビットが IDLE 状態に移行したときにも再有効化されます。

5.13.4

CE 通信

通信は、FIFO を介してホスト側で実行できるほか、CE コンフィギュレーション・レジスタ 1 で詳述されているように、自動応答を使用して実行できます。

これらの自動応答には、NFC-A の場合、SEL_RES および SAK を含む完全なコリジョン解決が含まれます。

NFC-F の場合、SENSF_RES を送信することで SENSF_REQ のみが処理されます。

低速のホストが T4T のエミュレーションを実行できるように、RATS、SLP_REQ、S (DESELECT) などの上位コマンドの処理を有効にできます (CID = 15 の処理などにおいて、完全には規格に準拠していません)。

自動的に処理されるフレームを受信した場合、ST25R210 は通常の l_rxe 割り込みの代わりに l_rxe_cea を送信してこれを通知します。

カード・エミュレーション中、ステート・マシンは NFC フォーラム・アクティビティ仕様に対応する限定された一連の状態間に移行します。これらの状態は、カード・エミュレーション・ステータス・レジスタ 1 で確認できます。

同じレジスタの ce_state は、直接受信した SLP_REQ の受信後にステート・マシンを SLEEP_A モードなどに移行させるため、ホストから書き込むこともできます。

自動応答の内容は、CE メモリの内容によって設定されます。

5.13.5

CE メモリ

CE メモリは、NFC-A (0x58) および NFC-F (0x5A) の自動カード応答用のデータを保存するために使用されます。

表 4. CE メモリ・アドレス空間

位置	説明	データの使用方法	コメント
0-6	NFCID1 (4/7)	4 バイト: 位置 0~3 7 バイト: 位置 0~6	NFC-A
7,8	SENS_RES2:1	SENS_RES (ATQA)	
9	SEL_RES CL1	SEL_REQ (SAK) CL1 への応答	
10	SEL_RES CL2	SEL_REQ (SAK) CL2 への応答	
11-30	ATS	RATS への応答、最初のバイトは長さ (TL)	
31,32	NFC_SC	デバイスが応答する SENSF_REQ 内の FFFFh 以外の追加システム・コード (SC)	NFC-F
33-51	SENSF_RES	SENSF_REQ への応答、SENSF_REQ 内の RC によっては最後の 2 バイトが送信されない場合がある	

5.14 ホスト・インタフェース

5.14.1 外部マイクロコントローラとの通信

デバイスは、SPI インタフェースを介してマイクロコントローラと通信し、そこでターゲット・デバイスとして機能します。すべての通信の開始は、マイクロコントローラに依存します。

完了したコマンドまたは外部イベントをマイクロコントローラに通知するために、デバイスは IRQ ピンで割り込みを通知します。

RESET ピンは、デバイスのロジックをリセットし、デバイスのレジスタをデフォルト状態に戻すために使用できます。

5.14.2 割り込みインタフェース

デバイスは、3 つの割り込みレジスタを搭載しています。割り込み条件が満たされると、割り込みの発生要因を示すビットがセットされ、IRQ ピンが High に遷移します。

マイクロコントローラは、割り込みレジスタを読み出して、さまざまな割り込みソースを区別できます。特定の割り込みレジスタを読み出すと、その内容は '0' にリセットされます。

注 IRQ 信号がセットされても、マイクロコントローラが直ちにその割り込みレジスタを読み出さず、さらに別のイベントによって割り込みが発生すると、複数の割り込みビットがセットされることがあります。このような場合、最後の割り込みが発生したビットが読み出された時点で IRQ ピンが Low に遷移します。

特定の要因による割り込みが不要な場合は、割り込みマスク・レジスタの該当するビットを設定することで、その割り込みを無効にできます。特定の割り込み要因をマスクすると、その割り込みがあっても IRQ ラインは High に遷移しませんが、IRQ ステータス・レジスタの割り込みステータス・ビットは通常どおりセットされます。

IRQ ステータス・レジスタを読み出すことにより、マスクされた割り込みビットも取得され、クリアされます。

割り込みがマスクされ、以前の IRQ イベントによって割り込みビットが High に設定されている場合に、ホストがこの IRQ ソースのマスクを解除すると、IRQ ラインは直ちに High に設定されます。これにより、まだ読み出されていない割り込みイベントが存在することがホスト・システムに通知されます。

5.14.2.1 シリアル・ペリフェラル・インタフェース (SPI)

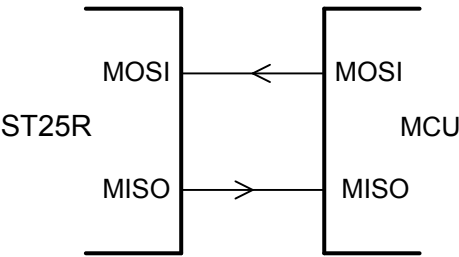
デバイスは、クロック極性 0、クロック位相 1、アクティブ Low のターゲット選択信号を使用する標準の SPI を備えています。最大 10Mbit/s の SPI 速度がサポートされています。通信は、コントローラが BSS を Low に引き下げることから始まります。SCLK 信号の立下がりエッジで MOSI ピンがサンプリングされ、SCLK 信号の立上がりエッジで MISO ピンの状態が更新されます。データは、最上位ビットを先頭にバイト単位で伝送されます。読み出しコマンドと書き込みコマンドはアドレスの自動インクリメントに対応しており、通信時間の短縮に効果的です。

表 5. SPI 信号ライン

名称	信号	信号レベル	説明
BSS	デジタル入力	CMOS	SPI イネーブル(アクティブ Low)
MOSI	デジタル入力	CMOS	シリアル・データ入力
SCLK	デジタル入力	CMOS	シリアル通信用クロック
MISO	トライステートのデジタル出力	CMOS	シリアル・データ出力

MISO 出力はほとんどの場合トライステート状態であり、出力データが使用可能な場合にのみ駆動されます。
MISO 出力がトライステート状態にある間、**全般設定レジスタ**で miso_pd1 および miso_pd2 オプション・ビットをアクティブにすることで、10kΩ の内部プルダウン抵抗をオンに切り替えることができます。

図 10. ホストとの SPI データ信号



DT76019v1

以下のアドレッシング方式が使用されます。

- ビット 7 は動作の方向を示します (0-書き込み / 1-読み出し)
- 88 個のアドレス指定可能レジスタ (0x00～0x57)
- 32 個のコマンド・コード (0x60～0xF9)
- FIFO アクセス (0x5F)
- テスト・レジスタへのアクセス (0xFC)
- CE メモリアクセス (0x58)

表 6. SPI の動作モード

モード	モード・パターン (通信ビット)								関連するデータ
	読み出し / 書き込み	B6	B5	B4	B3	B2	B1	B0	
レジスタ書き込み	0	A6	A5	A4	A3	A2	A1	A0	データ・バイト (自動インクリメントの場合は複数バイト) A<6:0> = 最大 0x57
レジスタ読み出し	1	A6	A5	A4	A3	A2	A1	A0	データ・バイト (自動インクリメントの場合は複数バイト) A<6:0> = 最大 0x57
コマンド	C7	1	1	C4	C3	C2	C1	C0	-
テスト	1	1	1	1	1	1	0	0	アドレスおよびデータ・バイト (自動インクリメントの場合は複数バイト)



モード	モード・パターン(通信ビット)								関連するデータ
	読み出し / 書き込み	B6	B5	B4	B3	B2	B1	B0	
CE メモリの書き込み	0	1	0	1	1	0	0	0	CE メモリの書き込み
CE メモリの読み出し	1	1	0	1	1	0	0	0	CE メモリの読み出し
FIFO の書き込み	0	1	0	1	1	1	1	1	1 バイト以上の FIFO データ
FIFO の読み出し	1	1	0	1	1	1	1	1	1 バイト以上の FIFO データ

5.14.2.2 アドレス指定可能レジスタへのデータの書き込み(書き込みモード)

以下の図は、1 バイトの書き込みと、自動インクリメント・アドレスを使用した複数バイトの書き込みの例を示しています。SPI 動作方向ビットに続いて、書き込み先レジスタのアドレスを指定します。その後、常に MSB から LSB へ、1 つまたは複数のデータ・バイトが SPI から転送されます。データ・バイトは、最後のクロックの立下がりエッジでレジスタに書き込まれます。1 バイトを構成する 8bit のパケットが送信される前に BSS を High にして通信を終了した場合、このレジスタへの書き込みは行われません。指定したアドレスのレジスタが存在しない場合、または読み出し専用レジスタを指定した場合、何も書き込まれません。

図 11. SPI 通信: 1 バイトの書き込み

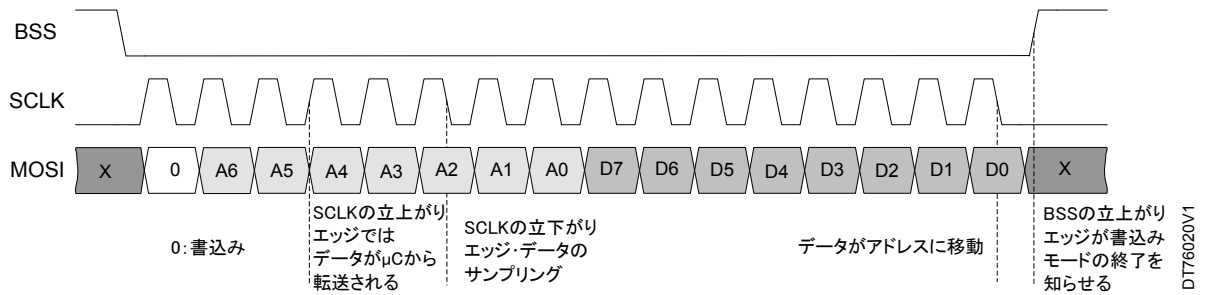
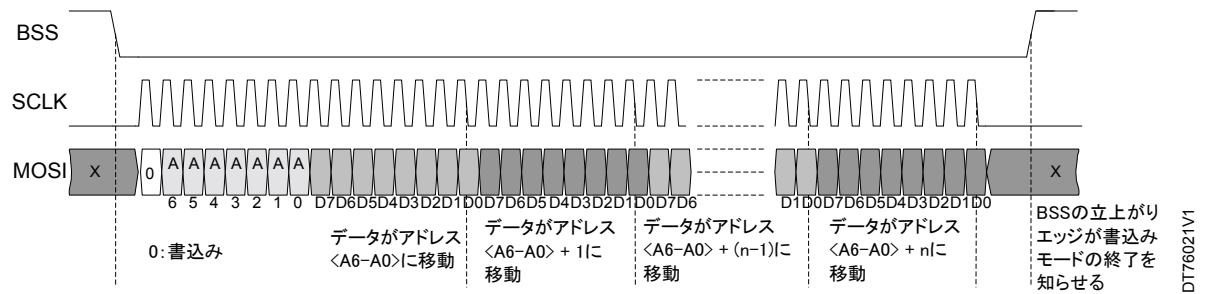


図 12. SPI 通信: 複数バイトの書き込み



5.14.2.3 アドレス指定可能レジスタからのデータの読み出し(読み出しモード)

SPI 動作方向ビットの後、読み出すレジスタのアドレスを MSB から LSB へ提供する必要があります。次に、1 つまたは複数のデータ・バイトが、MISO 出力に転送されます(常に MSB から LSB へ)。書き込みモードと同様に、読み出しモードでもアドレスの自動インクリメントがサポートされています。

MOSI は SCLK の立下がりエッジでサンプリングされ(以下の図を参照)、デバイスの内部レジスタから読み出されるデータは SCLK の立上がりエッジで MISO ピンに駆動され、SCLK の立下がりエッジでコントローラによってサンプリングされます。

指定したアドレスのレジスタが存在しない場合、すべての 0 データが MISO に送信されます。

図 13. SPI 通信:1 バイトの読み出し

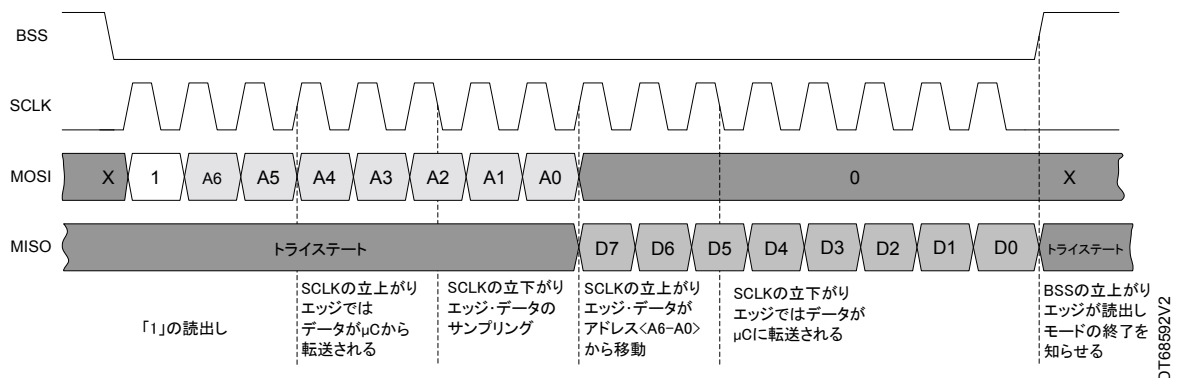
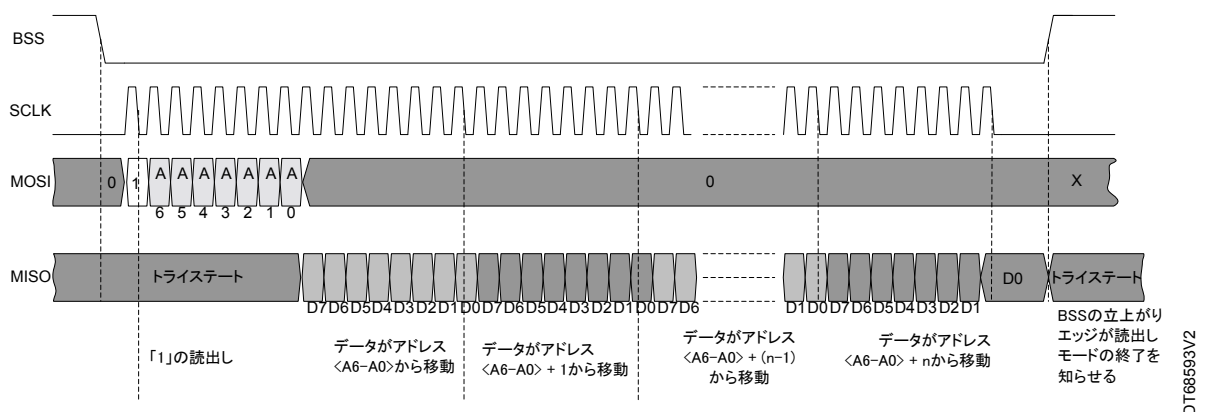


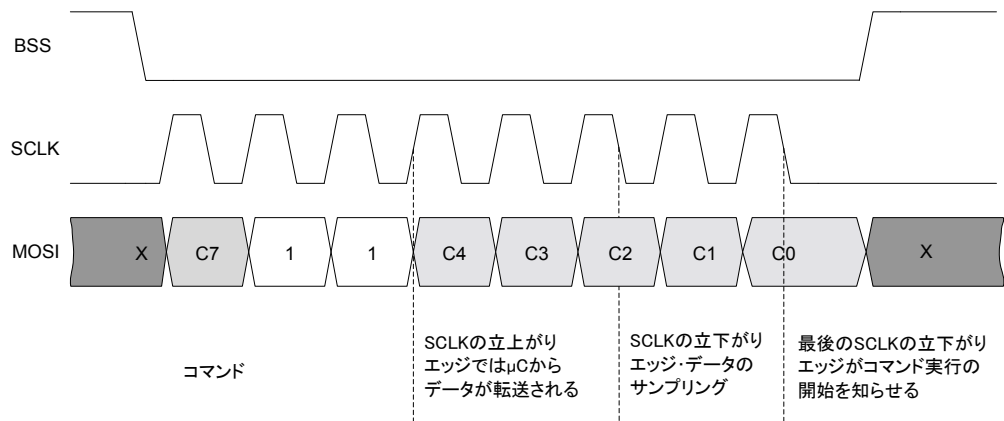
図 14. SPI 通信:複数バイトの読み出し



5.14.2.4 ダイレクト・コマンド・モード

ダイレクト・コマンド・モードには、コマンド・コード自体以外に追加のデータがないため、1 バイトが MSB から先に送信されます。ダイレクト・コマンドの実行は、最後のクロックの後に開始されます。

図 15. SPI 通信:ダイレクト・コマンド

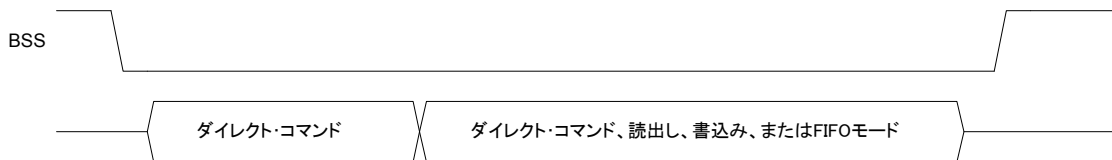


DT68594V1

ダイレクト・コマンドの中には即座に実行されるものもあれば、較正や測定など、一定時間かかるプロセスを開始するものもあります。一定時間かかるプロセスを開始するコマンドの実行中は、SPI を介して他の動作を開始できません。コマンドの実行が完了すると IRQ が送信されます。

直ちに実行されるダイレクト・コマンドに続いて、BSS 信号をアクティブにしたまま(いったん非アクティブにすることなく)、他の SPI 動作モード(ダイレクト・コマンド、読み出し、書き込み、FIFO)に移行できます。

図 16. SPI 通信:ダイレクト・コマンドの連鎖



DT76072V1

5.14.2.5 FIFO モード

受信データの FIFO からの読み出しは、アドレス指定可能レジスタからデータを読み出す動作に似ています。読み出しおよび書き込み操作は、アドレス 0x5F にアクセスすることによって実行されます。

図 17. SPI 通信:FIFO へのバイトの書き込み

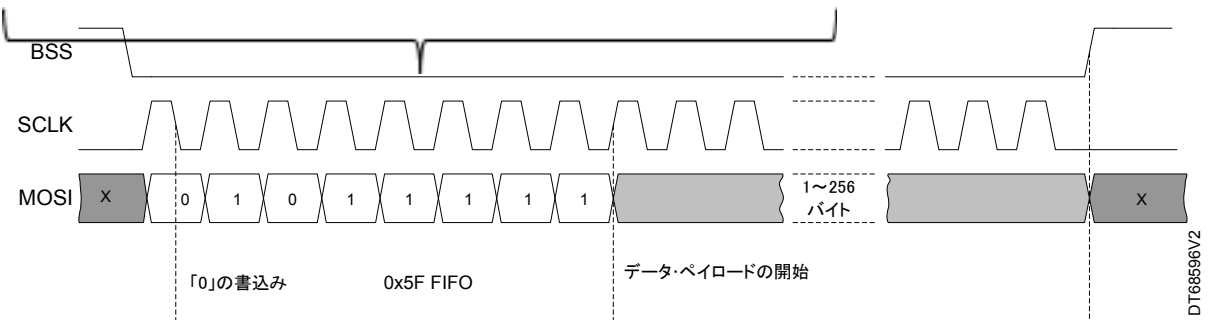
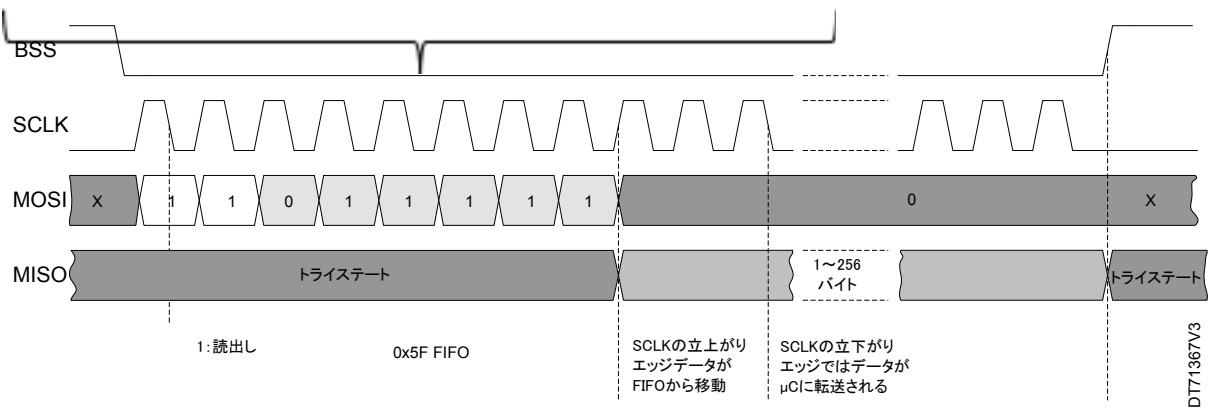


図 18. SPI 通信:FIFO からのバイトの読み出し



5.15 ダイレクト・コマンド

表 7. ダイレクト・コマンド

コード (16 進数) (1)	コマンド	コメント	動作 モード	終了後の l_dct
60、61	Set Default	デバイスを電源投入状態にします	RD または PD	なし
62、63	Stop All Activities	すべての動作 (送信、受信、ダイレクト・コマンドの実行、タイマ) を停止し、FIFO、コリジョン、および IRQ ステータスをクリアします	RD	なし
64、65	Clear FIFO	FIFO とコリジョン・ステータスをクリアします	RD	なし
66、67	Clear Rx Gain	現在のスケルチ設定をクリアし、レジスタから手動のゲイン低減をロードします	RD	なし
68、69	Adjust Regulators	現在の電源電圧レベルに応じて電源レギュレータを調整します。	RD	あり
6A、6B	Transmit Data	データ送信シーケンスを開始します	RD	なし
6C、6D	Transmit Next Slot	ISO15693 EOF を送信します (単一の変調パルス)	RD	なし
6E、6F	NFC Field ON	初期 RF コリジョン回避とフィールド・オンを実行します	RD	あり
70、71	Mask Receive Data	レシーバをマスクします。このコマンド後の入力データは無視されます	RD	なし
72、73	Unmask Receive Data	レシーバのマスクを解除します。このコマンド後の入力データは通常どおり処理されます	RD	なし
74、75	Calibrate WU Measurement	ウェイクアップ測定を校正します	RD または PD	あり
76、77	Clear WU Calibration	以前の校正データをクリアします	RD または PD	なし
78、79	WU Measurement	RFI 信号の I 成分と Q 成分は、WU モードと同様に測定されます	RD または PD	あり
7A、7B	I/Q Measurement	トランスミッタが有効かどうかにかかわらず、RFI 信号の I 成分と Q 成分が測定されます	RD	あり
7C、7D	Sense RF	トランスミッタが有効かどうかにかかわらず、RFI 入力での RF 信号の存在を感知します	RD	あり
7E、7F	Trigger Wake-Up Event	WU モードで通常 WU タイマによってトリガされるイベントをトリガします	PD	あり
E2、E3	Start GPT	汎用タイマを手動で開始します	RD	なし
E4、E5	Start WUT	ウェイクアップ・タイマを手動で開始します	PD または RD	なし
E6、E7	Start MRT	マスク受信タイマを手動で開始します	RD	なし
E8、E9	Start NRT	応答なしタイマを手動で開始します	RD	なし
EA、EB	Stop NRT	応答なしタイマを手動で停止します	RD	なし
EE、EF	Calibrate RC	AWS 時定数を校正します	RD	なし
F8、F9	Trigger Diagnostic Measurement	-	RD	あり
FC	Test Register Access	テスト・レジスタへのアクセスを有効にします	PD または RD	なし

1. この表に明示的にリストされていないコマンド・コードは使用できません。

5.15.1 Set Default

このダイレクト・コマンドは、デバイスを電源投入初期化後と同じ状態に設定します。

- Stop All Activities ダイレクト・コマンドを実行
- すべてのレジスタをデフォルト状態に設定
- IRQ ラインと IRQ ステータス・ビットをクリア
- コリジョン・ビットをクリア

5.15.2 Stop All Activities

このダイレクト・コマンドは以下を実行します。

- Clear FIFO ダイレクト・コマンドを実行
- データの送受信を停止
- すべてのタイマを停止
- IRQ ラインと IRQ ステータス・ビットをクリア
- NFC Field ON コマンドを終了 (ただし、コマンドまたはそれ以前の要因によりフィールドがすでにオンになっている場合はオフにしない)

このコマンドは、リーダライタ動作においてフィールドをオフにしません。

CE 動作では、受信が中断され、再度有効になります。このコマンドは、RD モードで en ビットが設定され、発振器の周波数が安定している (osc_ok=1) 場合に受け入れられます。

このコマンドではダイレクト・コマンドの連鎖を使用できます。

5.15.3 Clear FIFO

FIFO と FIFO ステータス・レジスタをクリアします。IRQ ラインと IRQ ステータス・ビットはクリアしません。送信を準備するには、データを FIFO に書き込む前にまずこのコマンドを送信します。データ送信中に Clear FIFO コマンドが送信されると、データ送信は中止され、FIFO ステータス・レジスタがクリアされます。

このコマンドではダイレクト・コマンドの連鎖を使用できます。

5.15.4 Clear Rx Gain

このコマンドは AGC とスケルチを初期化します。このコマンドを送信すると、スケルチ動作が行われている場合は停止し、現在のスケルチ設定をクリアして、afe_gain_rw で設定された手動ゲイン低減を読み込みます。

このコマンドではダイレクト・コマンドの連鎖を使用できます。

5.15.5 Adjust Regulators

システムは、regd ビットで設定された VDD_DR および VDD_A レギュレータの電圧降下を調整できます。この方法を使用すると、電源電圧変動除去が最適化され、利用可能な最大のドライバ電源が使用されます。

このコマンドは最大ターゲット電圧設定で開始し、レギュレータ内で設定された電圧降下に達するまでターゲットを減少させます。

実際の負荷条件で調整を実行するために、このコマンドをトリガする前に tx_en および rx_en ビットを有効にする必要があります。

このコマンドは、reg_s = 0 の場合、PD モードまたは RD モードで受け入れられます。

5.15.6 Transmit Data

Transmit Data コマンドは、トランスミッタが有効な場合 (tx_en ビットが設定されている場合)、またはデバイスがカード・エミュレーション動作中の場合 (ce_en ビットが設定されている場合) に受け入れられます。

Transmit Data コマンドを送信する前に、Clear FIFO ダイレクト・コマンドを送信し、続いて送信バイト数を設定し、送信するデータを FIFO に書き込む必要があります。

a_tx_par、tx_crc、f_tx_len、b_tx_sof_0、b_tx_sof_1、b_tx_eof、および b_tx_half ビットは、送信データに影響を与えません。たとえば、CRC またはパリティ・ビットが追加されます。

送信コマンドの終了後に l_txe IRQ が通知されます。

5.15.7 Transmit Next Slot

Transmit Next Slot コマンドは、トランスミッタが有効な場合 (tx_en ビットが設定されている場合) に受け入れられます。

Transmit Next Slot ダイレクト・コマンドの場合、ISO 15693 モードが設定されており、FIFO は使用されないため、事前に Clear FIFO ダイレクト・コマンドを送信する必要はありません。

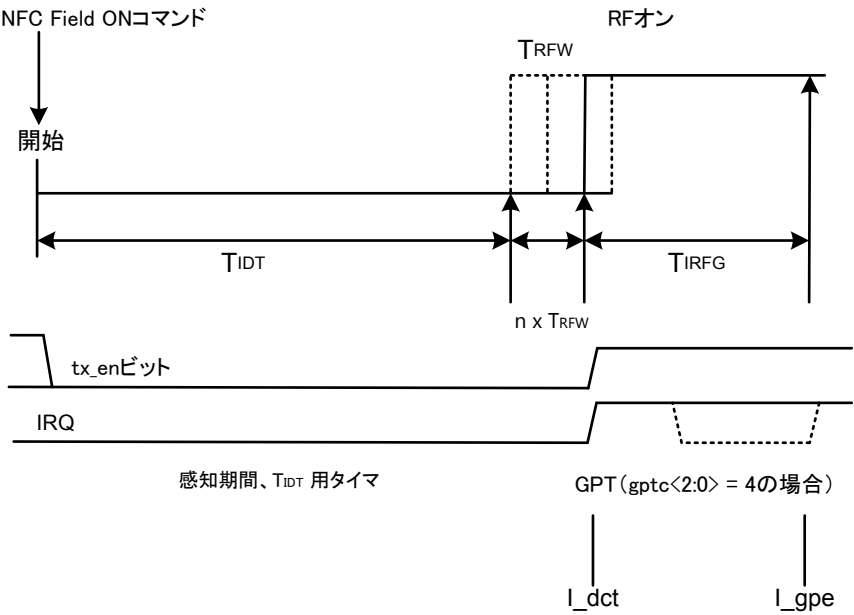
送信の終了時に I_txe 割り込みが生成され、デバイスは受信モードに移行します。

5.15.8 NFC Field ON

NFC Field ON ダイレクト・コマンドは、RF コリジョン回避を実行するために使用されます。このコマンドが正しく動作するためには、外部フィールド検出器がアクティブ ($efd_on = 1$) になっている必要があります。 efd_at ビットで設定されたコリジョン回避閾値は、RFI 入力電圧を観測し、13.56MHz のフィールドを放射している他のデバイスがアンテナの近くにあるかどうかを判断するために使用されます。

外部フィールドが検出されない場合、ST25R210 のトランスミッタが自動的にオン (動作レジスタの tx_en ビットがセットされます) になり、 I_dct IRQ が送信されます。RF の後、GP タイマ・レジスタ ($gptc$) で設定されたガード時間 (t_{IRFG}) が経過すると、 I_gpe IRQ が通知されます。この時点で、コントローラは送信コマンドを使用してデータ送信を開始できます。

図 19. ダイレクト・コマンド NFC Field ON (RF コリジョンなし)



DT76073V2

表 8. NFC Field ON コマンド群のタイミング・パラメータ

パラメータ	記号	値	単位	注
初期遅延時間	T_{IDT}	4096	$1/f_C$	NFC Initial Field ON (302μs)
RF 待機時間	T_{RFW}	512	$1/f_C$	$n = 0 \sim 3$ (0~3 x 37.8μs)
初期ガード時間	T_{IRFG}	GPT	N/A	GPT タイマ

外部フィールドが検出された場合、フィールドは自動的にオンにならず (tx_en ビット = 0)、 I_dct による IRQ が送信されず。このような場合は送信を実行できないため、コリジョンが検出されなくなるまで NFC Field ON コマンドを繰り返す必要があります。

NFC Initial Field ON コマンドは、NFCIP-1 規格に従って初期コリジョン回避を実行します。数値 n は、全般設定レジスタの nfc_n ビットによって設定されます。

5.15.9 Mask Receive Data

Mask Receive Data ダイレクト・コマンドの後、レシーバ出力および受信データ・フレーミング・ブロックは無効になります。このコマンドは、入力信号が予想されず、ノイズのみが処理される場合に、レシーバおよび受信フレーミングがデータを処理するのをマスクするのに役立ちます (たとえば、リーダーからコマンドを受信した後のカードの処理時間が長い場合など)。このコマンドではダイレクト・コマンドの連鎖を使用できます。

5.15.10 Unmask Receive Data

Unmask Receive Data ダイレクト・コマンドは、受信データ・フレーミング・ブロックを有効にすることで、受信データの正常な処理を有効にします。通常、このコマンドは、Mask Receive Data コマンドによってマスクされていたレシーバの動作を再度有効化するために使用します。Unmask Receive Data コマンドを受信したときにマスク受信タイマが動作している場合は、受信が有効になり、マスク受信タイマがリセットされます。

このコマンドではダイレクト・コマンドの連鎖を使用できます。

5.15.11 Calibrate WU Measurement

このコマンドは、ADC 入力信号を最適化するためにウェイクアップ・メカニズムを校正します。校正値は、I チャンネル WU 校正レジスタと Q チャンネル WU 校正レジスタに記載されています。

このコマンドは、ウェイクアップ動作を有効にしたとき、または ADC の入力信号が最適な領域から大きく外れた場合に自動的に実行されます。

ST25R210 が PD モードの場合、まず一時的に発振器を有効にします。発振器が安定した後、フィールドが一時的にオンになり、校正が実行されます。

5.15.12 Clear WU Calibration

Clear WU Calibration ダイレクト・コマンドは、以前に取得した校正データをクリアします。ADC 校正はデフォルト値にリセットされます。

以前の校正なしで測定を行う場合は、I/Q 測定または振幅測定の前にこのコマンドを使用する必要があります。これにより、近似的な絶対測定が可能になりますが、分解能は低下します。

5.15.13 WU Measurement

このコマンドは、ウェイクアップ測定を実行します。ウェイクアップ・モードでの各ウェイクアップ・タイマのタイムアウト時に自動的に実行されます。

手動でトリガでき、RD モードと PD モード、および wait_ok_count_set < 3Fh の場合に受け入れられます。

IC が PD モードの場合、まず一時的に発振器を有効にし、発振器が安定するのを待ちます。その後、フィールドが一時的に有効になり、測定が実行されます。

IC が RD モードの場合、一時的にフィールドを有効にしてから測定を実行します。

5.15.14 I/Q Measurement および Sense RF

これらのコマンドを使用すると、外部または自己放射フィールドのどちらかで測定された場合でも、RFI 信号の I および Q 成分を測定できます。

測定は WU 測定と似ていますが、RD モードで 1 回だけトリガでき、トランスミッタの状態は保持されます。tx_en に応じて、自身のフィールドを測定するか、外部フィールドの有無を確認します。

測定を実行する前に、Clear WU Calibration コマンドが実行されます。

測定結果は以下で確認できます。

- I/Q Measurement: I チャンネル WU ADC ディスプレイ・レジスタの i_adc と Q チャンネル WU ADC ディスプレイ・レジスタの q_adc Q チャンネル WU ADC ディスプレイ・レジスタ
- Sense RF: RF 感知ディスプレイ・レジスタの I および Q の組み合わせとしての sense_adc RF 感知ディスプレイ・レジスタ

5.15.15 Trigger Wake-Up Event

Trigger Wake-Up Event ダイレクト・コマンドは、通常のウェイクアップ・メカニズムと同様に、ウェイクアップ測定と測定データの処理をトリガします。有効な場合、以下の動作が実行されます。

- ウェイクアップの校正
- 基準測定
- ウェイクアップの測定
- IRQ の生成
- 再校正
- 自動平均化

ウェイクアップ・タイマの代わりに、マイクロコントローラが 1 回のウェイクアップ測定の実行をトリガできます。このメカニズムにより、マイクロコントローラはウェイクアップ測定を他の外部イベントと同期させることができます。このダイレクト・コマンドは、wu_en ビットが 1 に設定され、ウェイクアップ・タイマが無限のウェイクアップ・タイマ期間である 0xf に設定されている場合に受け入れられます。このダイレクト・コマンドを使用している間は、他のダイレクト・コマンドを実行しないでください。

5.15.16 Start GPT

このコマンドは、汎用タイマを手動で開始します。

5.15.17 Start WUT

このコマンドは、ウェイクアップ・タイマを手動で開始します。

5.15.18 Start MRT

このコマンドは、マスク受信タイマを手動で開始します。MRT とともに、nrt<15:0> ≠ 0 の場合、Start MRT コマンドは NRT を開始します。

5.15.19 Start NRT

このコマンドは、応答なしタイマを手動で開始します。

5.15.20 Stop NRT

このコマンドは、応答なしタイマを手動で停止します。

5.15.21 Calibrate RC

dig_aws_en ビットが 0 に設定されている場合、AWS フィルタ曲線は内部 RC 回路網によって設定されます。このコマンドは、プロセス、電圧、温度のばらつきを抑えて一定の時定数を維持するために、RC 回路網を校正します。

このコマンドは、RD モードでのみ受け入れられます。

5.15.22 診断測定のトリガ

レシーバ・ブロックで内部信号をルーティングできます。レシーバはそれらの信号の DC レベルを測定できます。測定は、レシーバが有効になっているレディ・モードでのみ実行できます。最大 52 個の測定を定義し、CE メモリにスケジュール設定できます。実行の完了は l_dct 割り込みを介して通知されます。推定結果は FIFO に格納されます。1 回の測定につき、コマンド・バイト、校正 MSB、校正 LSB、および 1 つの RFU バイトの 4 バイトが生成されます。校正データは 9bit 符号なしであり、変換係数を掛けることで mV/mA に変換できます。

このような測定を実行する手順の例を示します。

1. レディ・モードを有効にし、レシーバを有効にします (rx_en = 1)
2. CE RAM と FIFO をクリアします
3. 実行する測定を CE メモリに指定します (たとえば、CE メモリに 0x11 0x00 を書き込んで VDD の 1 回の測定を実行します)。
4. 診断測定トリガのダイレクト・コマンドを実行します
5. FIFO から結果を取得します (たとえば、4 バイト 0x11 0x01 0xAB 0x41 を読み出します。校正値 0x1AB は 5V に相当します)。

CE メモリには次のコマンドを指定できます。

表 9. 診断測定

コマンド・バイト	機能	コメント	変換係数
00h	診断測定モードを終了	-	-
01h	I_VDD_DR ⁽¹⁾	VDD_DR レギュレータを流れる電流	3.2 (mA)
02h	VDD_TX	VDD_TX	11.7 (mV)
03h	VDD_DR ⁽¹⁾	VDD_DR	11.7 (mV)
04h	VDD_IO	VDD_IO	11.7 (mV)
0Ch	VDD_D	VDD_D	5.9 (mV)
0Dh	VDD_A	VDD_A	5.9 (mV)
11h	VDD	VDD	11.7 (mV)
12h	AGD	AGD	5.9 (mV)

1. 3.3V 未満の rege/regc 設定で実行された測定は不正確なため、使用しないでください。

5.15.23 Test Register Access

このコマンドは、デバイスのテスト・レジスタへのアクセスを許可します。
テスト・レジスタは、通常のレジスタのアドレス空間には存在しません。ダイレクト・コマンドの送信後、通常の読出し / 書込みレジスタ操作を使用してテスト・レジスタにアクセスできます。
テスト・レジスタへのアクセスは、Test Register Access コマンドを最初に送信し、その後にテスト・レジスタへの読出し / 書込み操作を続ける連鎖コマンド・シーケンスで可能です。テスト・レジスタは電源投入時にデフォルト状態に設定されます。

5.16 レジスタ

以下の 7bit のレジスタ・アドレスは、16 進表記で定義されています。指定可能なアドレスの範囲は 00h~57h です。
このデバイスには、利用可能な以下の 2 種類のレジスタがあります。

- 設定レジスタ
- ディスプレイ・レジスタ

設定レジスタは、SPI を介して読み出しと書き込み (RW) が可能であり、デバイスの設定を保持します。
ディスプレイ・レジスタは読み出し専用 (RO) であり、デバイスの内部状態に関する情報が含まれています。
さらに、レジスタは 2 つの異なる電源ドメインにグループ化されます。

- パワーダウン (PD)
- レディ (RD)

デバイスがレディ・モードでない場合は、PD ドメインに属するレジスタにのみアクセスできます。レディ・モードではすべてのレジスタにアクセスできます。

レジスタは電源投入時にデフォルト状態に設定され、Set Default ダイレクト・コマンドの実行後にリセットされます。

表 10. レジスタ

タイプ	アドレス (16 進)	レジスタ名	タイプ、電源ドメイン
動作	0	動作レジスタ	RW、PD
設定	1	全般設定レジスタ	RW、PD
	2	VDD_DR レギュレータ設定レジスタ	RW、PD
	3	送信ドライバ設定レジスタ	RW、PD
	4	送信変調レジスタ 1	RW、PD
	5	送信変調レジスタ 2	RW、PD
	6	CE 変調レジスタ 1	RW、PD
	7	CE 変調レジスタ 2	RW、PD
	8	GPIO 制御レジスタ	RW、PD
	9	受信アナログ設定レジスタ 1	RW、PD
	A	受信アナログ設定レジスタ 2	RW、PD
	B	受信アナログ設定レジスタ 3	RW、PD
	C	受信アナログ設定レジスタ 4	RW、RD
	D	受信デジタル設定レジスタ 1	RW、RD
	E	コリレータ設定レジスタ 1	RW、RD
	F	コリレータ設定レジスタ 2	RW、RD
プロトコル	10	コリレータ設定レジスタ 3	RW、RD
	11	コリレータ設定レジスタ 4	RW、RD
	12	コリレータ設定レジスタ 5	RW、RD
	13	コリレータ設定レジスタ 6	RW、RD
	14	プロトコル・レジスタ 1	RW、RD
	15	送信プロトコル・レジスタ 1	RW、RD
EMD	16	送信プロトコル・レジスタ 2	RW、RD
	17	受信プロトコル・レジスタ 1	RW、RD
	18	受信プロトコル・レジスタ 2	RW、RD
	19	受信プロトコル・レジスタ 3	RW、RD
	1A	EMD 設定レジスタ	RW、RD
	1B	EMD コンフィギュレーション・レジスタ 2	RW、RD

タイプ	アドレス (16 進)	レジスタ名	タイプ、電源ドメイン
CE	1C	CE 設定レジスタ	RW、PD
	1D	CE コンフィギュレーション・レジスタ 2	RW、PD
	1E	CE コンフィギュレーション・レジスタ 3	RW、PD
タイマ	1F	マスク受信タイマの設定レジスタ	RW、PD
	20	マスク受信タイマの設定レジスタ 2	RW、PD
	21	スケルチ・タイマ設定レジスタ	RW、RD
	22	NRT および GPT 設定レジスタ 1	RW、RD
	23	NRT および GPT 設定レジスタ 2	RW、RD
	24	NRT および GPT 設定レジスタ 3	RW、RD
	25	NRT および GPT 設定レジスタ 4	RW、RD
	26	NRT および GPT 設定レジスタ 5	RW、RD
ウェイクアップ	27	ウェイクアップ・コントロール・レジスタ 1	RW、PD
	28	ウェイクアップ・コントロール・レジスタ 2	RW、PD
	29	ウェイクアップ・コントロール・レジスタ 3	RW、PD
	2A	I チャンネル WU 設定	RW、PD
	2B	I チャンネル WU 差	RW、PD
	2C	I チャンネル WU 較正	RO、PD
	2D	I チャンネル WU ADC ディスプレイ・レジスタ	RO、PD
	2E	I チャンネル WU 基準レジスタ	RO、PD
	2F	Q チャンネル WU 設定	RW、PD
	30	Q チャンネル WU 差	RW、PD
	31	Q チャンネル WU 較正	RO、PD
	32	Q チャンネル WU ADC ディスプレイ・レジスタ	RO、PD
	33	Q チャンネル WU 基準レジスタ	RO、PD
送受信フレーム	34	送信フレーム設定レジスタ 1	RW、RD
	35	送信フレーム設定レジスタ 2	RW、RD
	36	FIFO レジスタ・ステータス 1	RO、RD
	37	FIFO レジスタ・ステータス 2	RO、RD
	38	受信コリジョン・ディスプレイ・レジスタ	RO、RD
IRQ マスク	39	IRQ マスク・レジスタ 1	RW、RD
	3A	IRQ マスク・レジスタ 2	RW、RD
	3B	IRQ マスク・レジスタ 3	RW、RD
IRQ ステータス	3C	IRQ ステータス・レジスタ 1	RO、RD
	3D	IRQ ステータス・レジスタ 2	PD、RD
	3E	IRQ ステータス・レジスタ 3	RO、PD
識別情報	3F	IC 識別情報	RO、PD
ステータス	40	ステータス・レジスタ 1	RO、PD
	41	ステータス・レジスタ 2	RO、RD
	42	静的ステータス・レジスタ 1	RO、PD
	43	静的ステータス・レジスタ 2	RO、RD
	44	静的ステータス・レジスタ 3	RO、RD



タイプ	アドレス (16 進)	レジスタ名	タイプ、電源ドメイン
ステータス	45	カード・エミュレーション・ステータス・レジスタ 1	RO/RW、RD
	46	カード・エミュレーション・ステータス・レジスタ 2	RO、RD
	47	ウェイクアップ・ステータス・レジスタ	RO、PD
ディスプレイ	48	アナログ・ディスプレイ・レジスタ 1	RO、PD
	49	アナログ・ディスプレイ・レジスタ 2	RO、RD
	4A	RSSI ディスプレイ・レジスタ 1	RO、RD
	4B	RSSI ディスプレイ・レジスタ 2	RO、RD
	4C	RF 感知ディスプレイ・レジスタ	RO、PD
AWS	4D	AWS コンフィギュレーション・レジスタ 1	RW、RD
	4E	AWS コンフィギュレーション・レジスタ 2	RW、RD
	4F	AWS タイミング・レジスタ 1	RW、RD
	50	AWS タイミング・レジスタ 2	RW、RD
	51	AWS タイミング・レジスタ 3	RW、RD
	52	AWS タイミング・レジスタ 4	RW、RD
	53	オーバーシュート保護レジスタ	RW、RD
	54	アンダーシュート保護レジスタ	RW、RD
EFD	57	外部フィールド検出器	RW、PD

5.16.1 動作レジスタ
アドレス: 00h
タイプ: RW

表 11. 動作レジスタ

ビット	名称	デフォルト	機能	コメント
7	RFU	0	RFU	-
6	tx_en	0	1: 送信動作を有効化	-
5	rx_en	0	1: 受信動作を有効化	-
4	vdddr_en	0	1: VDD_DR レギュレータを有効化	vdddr_en は、tx_en の少なくとも 10µs 前に有効にする必要があります
3	en	0	1: レディ・モード (RD) を有効化	発振器および V _{DD_A} / V _{DD_D} レギュレータを有効化
2	ce_en	0	1: CE 動作を有効化	フィールド検出器の動作を含む
1	RFU	0	RFU	-
0	wu_en	0	1: WU 動作を有効化	ウェイクアップ動作



5.16.2 全般設定レジスタ
アドレス: 01h
タイプ: RW

表 12. 全般設定レジスタ

ビット	名称	デフォルト	機能	コメント
7:6	RFU<1:0>	0	RFU	-
5	シングル・ドライバ	0	0: 差動アンテナ動作 1: シングルエンド・アンテナ動作	アンテナの差動駆動とシングル駆動を選択します。
4	rfo2	0	0: RFO1、RFI1 1: RFO2、RFI2、および RFI2 でのフィールド検出器による感知	シングル・エンド駆動の場合、どちらの出力ドライバおよび入力を使用するかを選択します
3	miso_pd2	0	1: BSS が Low で、MISO が駆動されていない場合、MISO をプルダウン	-
2	miso_pd1	0	1: BSS が High の場合、MISO をプルダウン	-
1:0	nfc_n<1:0>	0	NFC Field ON コマンドの n の設定	-

5.16.3 VDD_DR レギュレータ設定レジスタ

アドレス: 02h
タイプ: RW

表 13. VDD_DR レギュレータ設定レジスタ

ビット	名称	デフォルト	機能	コメント
7	reg_s	0	0: Adjust Regulators コマンドの結果によって安定化電圧を設定 1: 安定化電圧は rege<6:0>ビットで設定されます	-
6:0	rege<6:0>	0x7F	レギュレータ・ターゲット電圧 手動電圧設定を使用する場合 (reg_s = 1) に使用されます	-

以下の表は、集積回路(IC)内の VDD_DR 安定化電圧を示しています。ボンド・ワイヤとパッケージ接点間の電圧降下により、デカップリング・コンデンサの電圧がわずかに高くなる場合があります。

表 14. 安定化電圧

rege <6:0>	標準的な安定化電圧 (V)	rege <6:0>	標準的な安定化電圧 (V)	rege <6:0>	標準的な安定化電圧 (V)
0x32	2.39	0x4C	3.61	0x66	4.83
0x33	2.44	0x4D	3.66	0x67	4.88
0x34	2.48	0x4E	3.70	0x68	4.92
0x35	2.53	0x4F	3.75	0x69	4.97
0x36	2.58	0x50	3.80	0x6A	5.02
0x37	2.63	0x51	3.84	0x6B	5.06
0x38	2.67	0x52	3.89	0x6C	5.11
0x39	2.72	0x53	3.94	0x6D	5.16
0x3A	2.77	0x54	3.98	0x6E	5.20
0x3B	2.81	0x55	4.03	0x6F	5.25
0x3C	2.86	0x56	4.08	0x70	5.30
0x3D	2.91	0x57	4.13	0x71	5.34
0x3E	2.95	0x58	4.17	0x72	5.39
0x3F	3.00	0x59	4.22	0x73	5.44
0x40	3.05	0x5A	4.27	0x74	5.48
0x41	3.09	0x5B	4.31	0x75	5.53
0x42	3.14	0x5C	4.36	0x76	5.58
0x43	3.19	0x5D	4.41	0x77	5.63
0x44	3.23	0x5E	4.45	0x78	5.67
0x45	3.28	0x5F	4.50	0x79	5.72
0x46	3.33	0x60	4.55	0x7A	5.77
0x47	3.38	0x61	4.59	0x7B	5.81
0x48	3.42	0x62	4.64	0x7C	5.86
0x49	3.47	0x63	4.69	0x7D	5.91
0x4A	3.52	0x64	4.73	0x7E	5.95
0x4B	3.56	0x65	4.78	0x7F	6.00

5.16.4 送信ドライバ設定レジスタ

アドレス: 03h
タイプ: RW

表 15. 送信ドライバ設定レジスタ

ビット	名称	デフォルト	機能	コメント
7	RFU	0	RFU	-
6:4	regd<2:0>	2	レギュレータ・ターゲット・ドロップ Adjust Regulators コマンド(reg_s = 0) で使用されます	-
3:0	d_res<3:0>	0	RFO ドライバ抵抗 アクティブな送信中	-

表 16. VDD_DR レギュレータ・ドロップ

Regd<2:0>	ターゲット・ドロップ (mV)	Regd<2:0>	ターゲット・ドロップ (mV)
0x0	200	0x4	400
0x1	250	0x5	450
0x2	300	0x6	500
0x3	350	0x7	550

表 17. ドライバ抵抗乗数

d_res<3:0>	d_res3	d_res2	d_res1	d_res0	ドライバの出力抵抗 (正規化した値) ⁽¹⁾
0x0	0	0	0	0	1.01
0x1	0	0	0	1	1.12
0x2	0	0	1	0	1.24
0x3	0	0	1	1	1.38
0x4	0	1	0	0	1.51
0x5	0	1	0	1	1.67
0x6	0	1	1	0	1.86
0x7	0	1	1	1	2.21
0x8	1	0	0	0	2.56
0x9	1	0	0	1	3.05
0xA	1	0	1	0	4.09
0xB	1	0	1	1	6.19
0xC	1	1	0	0	12.8
0xD	1	1	0	1	27.4
0xE	1	1	1	0	64.0
0xF	1	1	1	1	High Z

1. d_res の設定に対応する実際のドライバ出力抵抗を求めるには、[セクション 6: 電気特性](#)の RFO 抵抗値に、この表の値を乗ずる必要があります。

5.16.5 送信変調レジスタ 1

アドレス: 04h
タイプ: RW

表 18. 送信変調レジスタ 1

ビット	名称	デフォルト	機能	コメント
7:4	am_mod<3:0>	0x07	AM 変調指数	-
3	mod_state	0	0: 非変調状態 1: 変調状態	変調 AM 電圧と非変調 AM 電圧の間で RFO 出力を切り替える
2	rgs_am	0	0: レギュレータ波形補正変調を無効化 1: レギュレータ波形補正変調を有効化	res_am と組み合わせ可能
1	res_am	0	0: 抵抗 AM 変調を無効化 1: 抵抗 AM 変調を有効化	tr_am = 0 と組み合わせ可能
0	RFU	0	RFU	-

表 19. AM 変調指数

am_mod<3:0>	am_mod3	am_mod 2	am_mod 1	am_mod 0	変調指数ターゲット
0x0	0	0	0	0	8%
0x1	0	0	0	1	10%
0x2	0	0	1	0	11%
0x3	0	0	1	1	12%
0x4	0	1	0	0	13%
0x5	0	1	0	1	14%
0x6	0	1	1	0	15%
0x7	0	1	1	1	20%
0x8	1	0	0	0	30%
0x9	1	0	0	1	40%
0xA	1	0	1	0	50%
0xB	1	0	1	1	60%
0xC	1	1	0	0	70%
0xD	1	1	0	1	80%
0xE	1	1	1	0	88%
0xF	1	1	1	1	97%

5.16.6 送信変調レジスタ 2

アドレス: 05h
タイプ: RW

表 20. 送信変調レジスタ 2

ビット	名称	デフォルト	機能	コメント
7	RFU	0	RFU	-
6:0	md_res<6:0>	0	抵抗変調	-

表 21. md_res 設定

md_res	ドライバの出力抵抗 (正規化された値) ⁽¹⁾	md_res	ドライバの出力抵抗 (正規化した値) ⁽¹⁾	md_res	ドライバの出力抵抗 (正規化した値) ⁽¹⁾	md_res	ドライバの出力抵抗 (正規化した値) ⁽¹⁾
0x00	1.005	0x20	1.561	0x40	3.050	0x60	6.190
0x01	1.016	0x21	1.600	0x41	3.100	0x61	6.400
0x02	1.027	0x22	1.641	0x42	3.150	0x62	6.620
0x03	1.038	0x23	1.684	0x43	3.200	0x63	6.860
0x04	1.049	0x24	1.730	0x44	3.250	0x64	7.110
0x05	1.061	0x25	1.761	0x45	3.310	0x65	7.380
0x06	1.073	0x26	1.794	0x46	3.370	0x66	7.680
0x07	1.085	0x27	1.829	0x47	3.430	0x67	8.000
0x08	1.097	0x28	1.864	0x48	3.490	0x68	8.350
0x09	1.110	0x29	1.901	0x49	3.560	0x69	8.730
0x0A	1.123	0x2A	1.939	0x4A	3.620	0x6A	9.140
0x0B	1.136	0x2B	1.979	0x4B	3.690	0x6B	9.600
0x0C	1.150	0x2C	2.021	0x4C	3.760	0x6C	10.100
0x0D	1.164	0x2D	2.065	0x4D	3.840	0x6D	10.700
0x0E	1.178	0x2E	2.110	0x4E	3.920	0x6E	11.300
0x0F	1.193	0x2F	2.157	0x4F	4.000	0x6F	12.000
0x10	1.208	0x30	2.207	0x50	4.090	0x70	12.800
0x11	1.223	0x31	2.259	0x51	4.170	0x71	13.700
0x12	1.239	0x32	2.313	0x52	4.270	0x72	14.800
0x13	1.255	0x33	2.370	0x53	4.360	0x73	16.000
0x14	1.272	0x34	2.430	0x54	4.470	0x74	17.500
0x15	1.289	0x35	2.494	0x55	4.570	0x75	19.200
0x16	1.306	0x36	2.560	0x56	4.680	0x76	21.300
0x17	1.324	0x37	2.630	0x57	4.800	0x77	24.000
0x18	1.343	0x38	2.704	0x58	4.920	0x78	27.400
0x19	1.362	0x39	2.743	0x59	5.050	0x79	32.000
0x1A	1.381	0x3A	2.783	0x5A	5.190	0x7A	38.400
0x1B	1.401	0x3B	2.824	0x5B	5.330	0x7B	48.000
0x1C	1.422	0x3C	2.866	0x5C	5.490	0x7C	64.000
0x1D	1.455	0x3D	2.909	0x5D	5.650	0x7D	96.000
0x1E	1.488	0x3E	2.954	0x5E	5.820	0x7E	192.000

md_res	ドライバの出力抵抗 (正規化された値) ⁽¹⁾	md_res	ドライバの出力抵抗 (正規化した値) ⁽¹⁾	md_res	ドライバの出力抵抗 (正規化した値) ⁽¹⁾	md_res	ドライバの出力抵抗 (正 規化した値) ⁽¹⁾
0x1F	1.512	0x3F	3.000	0x5F	6.000	0x7F	High Z

1. md_res の設定に対応する実際のドライバ出力抵抗を求めるには、[セクション 6: 電気特性](#)の RFO 抵抗値に、この表の値を乗ずる必要があります。

5.16.7

CE 変調レジスタ 1

アドレス: 06h

タイプ: RW

表 22. CE 変調レジスタ 1

ビット	名称	デフォルト	機能	コメント
7:4	cem_res<3:0>	8	変調状態における CE 変調中の RFO 抵抗	CE 動作を開始する前に設定するビット
3:0	ce_res<3:0>	0	非変調状態における CE 変調中の RFO 抵抗	CE 動作を開始する前に設定するビット

表 23. 非変調(CE_RES)および変調(CEM_RES)状態におけるドライバ抵抗

cem_res3:0 ce_res3:0	R-RFO(正規化した値) ⁽¹⁾
0x0	1.01
0x1	1.51
0x2	3.05
0x3	6.19
0x4	9.14
0x5	12.8
0x6	19.2
0x7	24.0
0x8	27.4
0x9	32.0
0xA	38.4
0xB	48.0
0xC	64.0
0xD	96.0
0xE	192
0xF	High Z

1. d_res の設定に対応する実際のドライバ出力抵抗を求めるには、電気的仕様の RFO 抵抗値に、この表の値を乗ずる必要があります。

5.16.8 CE 変調レジスタ 2

アドレス: 07h
タイプ: RW

表 24. CE 変調レジスタ 2

ビット	名称	デフォルト	機能	コメント
7:6	gpio_en<1:0>	0	0: プッシュプルは無効、NMOS は有効 1: gpio1、gpio2 でのプッシュプル出力	Gpio2/1 は、外部 HV MOS を介したアンテナ・チューニング用の TRIM 2/1 として使用可能。MSB: GPIO2、LSB: GPIO1
5	RFU	0	RFU	-
4	tad_en	0	0: プッシュプルは無効 1: tad1、tad2 でのプッシュプル出力	Tad2/1 は、外部 HV MOS を介したアンテナ・チューニング用の TRIM 4/3 として使用可能
3:2	lm_gpio<1:0>	0	gpio2、gpio1 を介した CE 変調 (en_ce=1)	MSB: GPIO2、LSB: GPIO1
1	lm_trim	0	tad2/1 を介した CE 変調 (en_ce=1)	-
0	lm_dri	1	ドライバ抵抗を介した CE 変調	-

5.16.9 GPIO 制御レジスタ

アドレス: 08h
タイプ: RW

表 25. GPIO 制御レジスタ

ビット	名称	デフォルト	機能	コメント
7:6	trim_ce<1:0>	0	CE 動作 (en_ce=1) における TAD2/1 値を設定	TAD2/1 は、CE 動作時のアンテナ・チューニング用の TRIM 4/3 として使用可能。MSB: TAD2、LSB: TAD1
5:4	gpio_ce<1:0>	0	CE 動作 (en_ce=1) における GPIO2/1 値を設定	GPIO2/1 は、CE 動作時のアンテナ・チューニング用の TRIM 2/1 として使用可能 (gpio_en = 1)。MSB: GPIO2、LSB: GPIO1
3:2	trim_rw<1:0>	0	読出し動作 (en_ce=0) における TAD2/1 値を設定	TAD2/1 は、リーダ動作時のアンテナ・チューニング用の TRIM 4/3 として使用可能。MSB: TAD2、LSB: TAD1
1:0	gpio_rw<1:0>	0	読出し動作 (en_ce=0) における GPIO2/1 値を設定	GPIO2/1 は、リーダ動作時のアンテナ・チューニング用の TRIM 2/1 として使用可能 (gpio_en = 1)。MSB: GPIO2、LSB: GPIO1

5.16.10 受信アナログ設定レジスタ 1

アドレス: 09h
タイプ: RW

表 26. 受信アナログ設定レジスタ 1

ビット	名称	デフォルト	機能	コメント
7:4	dig_clk_dly	0x5	デジタル・クロックの遅延	推奨値: 0x7
3	RFU	0	RFU	-
2	gain_boost	0	1: 受信パスのゲインが 3dB 増加	読出し動作、CE 動作、ウェイクアップ動作で使用可能
1:0	hpf_ctrl<1:0>	0x3	00: 80kHz 01: 160kHz 10: 240kHz 11: 380kHz	アナログ第 1 段および第 3 段の HPF 設定 (第 2 段: LPF、2 次、2MHz) WU の場合: 0x11

5.16.11 受信アナログ設定レジスタ 2

アドレス: 0Ah
タイプ: RW

表 27. 受信アナログ設定レジスタ 2

ビット	名称	デフォルト	機能	コメント
7:4	afe_gain_rw<3:0> ⁽¹⁾	0x0	読出し動作時の 3dB 開始ゲイン低減	-
3:0	afe_gain_td<3:0> ⁽²⁾	0x8	WU モードでの 3dB 開始ゲイン低減	-

- 0x0 以外のゲインを選択するには、dis_agc_noise_meas = 1 である必要があります。
- V_{DD_A} ≤ 2.7V かつ -40°C で使用されるアプリケーションの場合、最小 afe_gain_td は 0x5 以上を使用する必要があります。
gain_boost は 0x0 または 0x1 のいずれかに設定できます。

5.16.12 受信アナログ設定レジスタ 3

アドレス: 0Bh
タイプ: RW

表 28. 受信アナログ設定レジスタ 3

ビット	名称	デフォルト	機能	コメント
7:4	afe_gain_ce<3:0>	0x8	CE 動作時の 3dB ゲイン低減	最大低減: 3dB * 0xB = 33dB
3:2	ook_thr_hi<1:0>	1	エンベロープ立下がり用のデータ閾値	信号レベル: 00:0.375 01:0.5 10:0.675 11:0.75
1:0	ook_thr_lo<1:0>	1	エンベロープ立上がり用のデータ閾値	信号レベル: 00:0.125 01:0.25 10:0.375 11:0.5

5.16.13 受信アナログ設定レジスタ 4

アドレス: 0Ch
タイプ: RW

表 29. 受信アナログ設定レジスタ 4

ビット	名称	デフォルト	機能	コメント
7	en_phase_deadzone	0	1: 位相変化時の BPSK 位相補正の不感帯を有効化 (NFC-F CE 動作で使用)	-
6	en_rect_cor	0	1: サブキャリア開始後の整流ダイオード補正を有効化	-
5:0	RFU<5:0>	0x0	RFU	-

5.16.14 受信デジタル設定レジスタ 1

アドレス: 0Dh
タイプ: RW

表 30. 受信デジタル設定レジスタ 1

ビット	名称	デフォルト	機能	コメント
7	agc_en	1	0: AGC は無効です。 1: AGC は有効です。	-
6:4	lpf_coef<2:0>	4	1 次 IIR 係数	-
3:2	hpf_coef<1:0>	3	1 次 IIR 係数	-
1	ce_agc_freeze	0	受信中の CE 動作における AGC フリーズ	-
0	RFU	0	RFU	-

5.16.15 コリレータ設定レジスタ 1

アドレス: 0Eh
タイプ: RW

表 31. コリレータ設定レジスタ 1

ビット	名称	デフォルト	機能	コメント
7:4	iir_coef2<3:0>	0xC	1 次 IIR 係数	-
3:0	iir_coef1<3:0>	0x1	1 次 IIR 係数	-

5.16.16 コリレータ設定レジスタ 2

アドレス: 0Fh
タイプ: RW

表 32. コリレータ設定レジスタ 2

ビット	名称	デフォルト	機能	コメント
7:4	agc_thr_squelch <3:0>	0x5	読出し動作: スケルチ閾値 CE 動作: AGC 下限	CE: ゲイン増加
3:0	agc_thr<3:0>	0xA	読出し動作: AGC 閾値 CE 動作: AGC 上限	CE: ゲイン低減

5.16.17 コリレータ設定レジスタ 3

アドレス: 10h
タイプ: RW

表 33. コリレータ設定レジスタ 3

ビット	名称	デフォルト	機能	コメント
7	RFU	0	RFU	-
6	en_subc_end	0	BPSK のみ 0: サブキャリア終了検出なし (有効な EOF またはタイムアウトで受信停止) 1: 高速サブキャリア終了検出	-
5:0	start_wait<5:0>	0x7	サブキャリア検出の待機時間	-

5.16.18 コリレータ設定レジスタ 4
アドレス: 11h
タイプ: RW

表 34. コリレータ設定レジスタ 4

ビット	名称	デフォルト	機能	コメント
7:4	coll_lvl<3:0>	0xA	マンチェスタ: コリジョン・レベル比	-
3:0	data_lvl<3:0>	0xA	マンチェスタ: データ・レベル比 BPSK: サブキャリア終了検出レベル	-

5.16.19 コリレータ設定レジスタ 5
アドレス: 12h
タイプ: RW

表 35. コリレータ設定レジスタ 5

ビット	名称	デフォルト	機能	コメント
7	dis_noise_leak	0	0: 無信号時の自動ノイズ・レベル調整 1: 無効	-
6	dis_noise_meas	0	0: ノイズ・レベル調整 1: 無効	-
5	dis_soft_sq	0	0: 受信開始後のノイズ測定 1: 無効	-
4	dis_agc_noise_meas	0	0: 内部使用ノイズ・レベルに対する AGC 効果 1: 無効	-
3	no_phase	0	1: 信号開始検出後の位相補正を無効化 (BPSK のみ)	-
2:0	dec_f<2:0>	3	IIR フィルタのデシメーション係数	-

5.16.20 コリレータ設定レジスタ 6
アドレス: 13h
タイプ: RW

表 36. コリレータ設定レジスタ 6

ビット	名称	デフォルト	機能	コメント
7:4	init_noise_lvl<3:0>	0x3	I および Q コリレータ初期ノイズ・レベル設定	-
3:0	agc_freeze_cnt<3:0>	0x0	サブキャリア開始が検出される前の AGC フリーズ	リーダ動作における BPSK プロトコル (NFC-A HBR, NFC-B, NFC-F) ステップ・サイズ: 1/(2 * ビット・レート)

表 37. 初期コリレータ・ノイズ・レベル

init_noise_lvl3:0	init_noise_lvl3	init_noise_lvl2	init_noise_lvl1	init_noise_lvl0	コリレータ初期ノイズ・レベル
0x0	0	0	0	0	5
0x1	0	0	0	1	10

init_noise_lvl3:0	init_noise_lvl3	init_noise_lvl2	init_noise_lvl1	init_noise_lvl0	コリレータ初期 ノイズ・レベル
0x2	0	0	1	0	15
0x3	0	0	1	1	20
0x4	0	1	0	0	25
0x5	0	1	0	1	30
0x6	0	1	1	0	35
0x7	0	1	1	1	40
0x8	1	0	0	0	50
0x9	1	0	0	1	60
0xA	1	0	1	0	70
0xB	1	0	1	1	80
0xC	1	1	0	0	90
0xD	1	1	0	1	100
0xE	1	1	1	0	110
0xF	1	1	1	1	120

5.16.21 プロトコル・レジスタ 1

アドレス: 14h
タイプ: RW

表 38. プロトコル・レジスタ 1

ビット	名称	デフォルト	機能	コメント
7:6	rx_rate<1:0>	00	テクノロジーに応じて受信ビット・レートを設定: NFC-A、NFC-B、NFC-F、または NFC-V	受信のビット・レートを選択します
5:4	tx_rate<1:0>	00	テクノロジーに応じて送信ビット・レートを設定: NFC-A、NFC-B、NFC-F、または NFC-V	送信のビット・レートを選択します
3:0	om<3:0>	0x1	動作モード(プロトコル)	-

表 39. rx_rate

rx_rate 1	rx_rate 0	NFC-A	NFC-B	NFC-F	NFC-V
0	0	106kbps	106kbps	-	26kbps
0	1	212kbps	212kbps	212kbps	53kbps
1	0	424kbps	424kbps	424kbps	106kbps
1	1	848kbps	848kbps	-	212kbps

表 40. tx_rate

tx_rate 1	tx_rate 0	NFC-A	NFC-B	NFC-F	NFC-V
0	0	106kbps	106kbps	-	26kbps
0	1	212kbps	212kbps	212kbps	-
1	0	424kbps	424kbps	424kbps	-
1	1	848kbps	848kbps	-	-

表 41. 動作モード

om3	om2	om1	om0	リーダー動作 (ce_en = 0)	CE 動作 (ce_en = 1)
0	0	0	0	N/A	N/A
0	0	0	1	ISO14443-A/NFC-A	ISO14443-A/NFC-A (106k)
0	0	1	0	ISO14443-B/NFC-B	N/A
0	0	1	1	NFC-F	NFC-F (212k/424k)
0	1	0	0	Topaz	N/A
0	1	0	1	ISO15693/NFC-V	N/A
1	1	0	1	N/A	ロック付きシングル・ビット・レート検出モード
1	1	1	0	N/A	シングル・ビット・レート検出モード
1	1	1	1	N/A	通常のビット・レート検出モード

5.16.22 送信プロトコル・レジスタ 1

アドレス: 15h

タイプ: RW

表 42. 送信プロトコル・レジスタ 1

ビット	名称	デフォルト	機能	コメント
7	a_nfc_f0	0	1: NFCIP-1 トランスポート・フレーム・フォーマットへの対応	送信中に SB(F0) および LEN バイトを追加し、受信中に SB (F0) バイトをスキップします。ビット・レート検出動作では使用しません。
6	a_tx_par	1	1: 送信時にパリティ・ビットが生成されます	パリティおよび CRC が生成され送信されます
5	tx_crc	1	1: 送信中に CRC が生成されます	CRC が生成され送信されます
4	tr_am	0	0: OOK 1: AM	デジタル制御における送信変調タイプ
3:0	p_len<3:0>	0x0	OOK 変調持続時間	NFC-A / NFC-V の変調パルス幅。 13.56MHz クロック周期の数で設定

表 43. OOK 変調パルス幅

p_len	p_len3	p_len2	p_len1	p_len0	各種ビット・レートでのパルス幅(1/f _C 単位)				
					NFC-A および NFC-V				
					f _C /512	f _C /128	f _C /64	f _C /32	f _C /16
0x7	0	1	1	1	128	42	-	-	-
0x6	0	1	1	0	124	41	24	-	-
0x5	0	1	0	1	120	40	23	-	-
0x4	0	1	0	0	116	39	22	13	-
0x3	0	0	1	1	112	38	21	12	8
0x2	0	0	1	0	108	37	20	11	7
0x1	0	0	0	1	104	36	19	10	6
0x0	0	0	0	0	100	35	18	9	5
0xF	1	1	1	1	96	34	17	8	4
0xE	1	1	1	0	92	33	16	7	3
0xD	1	1	0	1	88	32	15	6	2
0xC	1	1	0	0	84	31	14	5	-
0xB	1	0	1	1	80	30	13	-	-
0xA	1	0	1	0	76	29	12	-	-
0x9	1	0	0	1	72	28	-	-	-
0x8	1	0	0	0	68	27	-	-	-

5.16.23 送信プロトコル・レジスタ 2

アドレス: 16h

タイプ: RW

表 44. 送信プロトコル・レジスタ 2

ビット	名称	デフォルト	機能	コメント
7:5	RFU<7:5>	0	RFU	-
4	f_tx_len	1	1: NFC-F、length バイトが生成され送信されます	LEN バイトが生成され送信されます RW および CE 動作
3	b_tx_sof_0	0	0: 10 etu、1: 11 etu	SOF、ロジック 0 の etu 数(10 または 11)
2	b_tx_sof_1	0	0: 2 etu、1: 3 etu	SOF、ロジック 1 の etu 数(2 または 3)
1	b_tx_eof	0	0: 10 etu、1: 11 etu	EOF、ロジック 0 の etu 数(10 または 11)
0	b_tx_half	0	1: SOF 10.5、2.5、EOF: 10.5	SOF と EOF を仕様の中央値に設定します

5.16.24 受信プロトコル・レジスタ 1

アドレス: 17h
タイプ: RW

表 45. 受信プロトコル・レジスタ 1

ビット	名称	デフォルト	機能	コメント
7:6	RFU<7:6>	0	RFU	-
5	b_rx_sof	1	1: PICC から PCD への SOF を想定	ISO14443-3 の 7.10.3.3 節に準拠しています。B' (SOF なし) のサポート
4	b_rx_eof	1	1: PICC から PCD への EOF を想定	ISO 14443-3 の 7.10.3.3 節に準拠しています
3	a_rx_par	1	1: パリティ・チェック付きで受信	1 に設定した場合、パリティ・チェックが実行されます
2	rx_crc	1	1: CRC 付きで受信	1 に設定した場合、CRC チェックが実行されます
1	rx_nbtx	0	1: 受信したビットは nbtx<2:0>設定に従って配置されます	nbtx<2:0>ビットは、連続受信における最初のバイトの最初のビット位置を設定します。SDD_REQ に使用されます。
0	antcl	0	1: NFC-A / V: アンチコリジョン・フレーム	NFC-A / NFC-V ビット方式アンチコリジョン・フレームが想定される場合は 1 に設定する必要があります。 - 衝突するビットの検出には coll_lvi が使用されます - バイト内で分割が発生した場合、最初のパリティ・ビットは無視されます

5.16.25 受信プロトコル・レジスタ 2

アドレス: 18h
タイプ: RW

表 46. 受信プロトコル・レジスタ 2

ビット	名称	デフォルト	機能	コメント
7	RFU	0	RFU	-
6:0	tr1_min_len<6:0>	0x3A	サブキャリア周期における最小残存 TR1 長 (タイプ B) (0~127)	受信した TR1 が指定された最小長より短い場合、ソフト・エラー割り込みが生成されます。このレジスタの TR1 は、サブキャリアが検出された後に開始されます (start_wait<5:0>設定を参照)

5.16.26 受信プロトコル・レジスタ 3

アドレス: 19h
タイプ: RW

表 47. 受信プロトコル・レジスタ 3

ビット	名称	デフォルト	機能	コメント
7:0	tr1_max_len<7:0>	0xC0	サブキャリア周期における最大残存 TR1 長 (タイプ B) (1~255)。 0x00: チェックなし	受信した TR1 が指定された最大長より長い場合、ソフト・エラー割り込みが生成されます。このレジスタの TR1 は、サブキャリアが検出された後に開始されます (start_wait<5:0>設定を参照)

5.16.27 EMD コンフィギュレーション・レジスタ 1
アドレス: 1Ah
タイプ: RW

表 48. EMD コンフィギュレーション・レジスタ 1

ビット	名称	デフォルト	機能	コメント
7:4	emd_thld<3:0>	0x4	受信バイト数による EMD しきい値の設定	受信メッセージ長が emd_thld で設定されたバイト数より短い場合、EMD 抑制がトリガされます。
3	emd_thld_ff	1	0: emd_thld がエラー制限に適用されます 1: emd_thld がフル・フレーム・サイズに適用されます	無効化された場合、フル・フレーム長に関係なく、emd_thld はエラーの場所に適用されます
2:1	RFU<1:0>	0	RFU	-
0	emd_en	0	0: HW EMD 抑制を無効化 1: HW EMD 抑制を有効化	-

5.16.28 EMD コンフィギュレーション・レジスタ 2
アドレス: 1Bh
タイプ: RW

表 49. EMD コンフィギュレーション・レジスタ 2

ビット	名称	デフォルト	機能	コメント
7:0	RFU<7:0>	0x0	RFU	-

5.16.29 CE コンフィギュレーション・レジスタ 1
アドレス: 1Ch
タイプ: RW

表 50. CE コンフィギュレーション・レジスタ 1

ビット	名称	デフォルト	機能	コメント
7:6	RFU<7:6>	0	RFU	-
5	ce_signal_all	0	0: 割り込み l_ce_sc は、CARD_EMU_4A および CE_F に入った場合にのみトリガされます。 1: すべてのステート・マシンの変更 (ce_state) によって l_ce_sc がトリガされます	HW によって実行されるすべてのステート・マシンの変更により割り込みがトリガされるかどうかを設定します
4	en_other_idle	1	IDLE モードにおける OTHER フレームの処理: 0: FIFO に入れ、マイクロコントローラがアクション (応答 / 状態への移行) を決定するのを待ちます。 1: OTHER フレームは自動的に処理されます (無視されます)	NFC フォーラム・アクティビティ仕様に準拠した OTHER
3	en_dsl_a	1	CARD_EMU_4A 状態における S(DESELECT) に対する自動応答を有効化	CID および NAD
2	en_ce4a	1	ACTIVE_A[*] 状態における RATS、SLP_REQ、および OTHER フレームに対する自動応答を有効化。RATS の受信時に CARD_EMU_4A 状態に自動移行します。CARD_EMU4A 状態から、HW は SELECT または DESELECT を処理できます。	すべての RATS (E0 および正しい CRC を持つ 2 バイトのフレーム) が受け入れられます。RATS の 2 番目のバイトは、マイクロコントローラが読み出すために rats_param レジスタに格納されます。

ビット	名称	デフォルト	機能	コメント
1	en_212/424_1r	0	NFC-F 212/424kbps での自動 SENSEF_RES を有効化	-
0	en_106_ac_a	1	NFC-A 106kbps での自動アンチコリジョンを有効化	-

5.16.30 CE コンフィギュレーション・レジスタ 2

アドレス: 1Dh

タイプ: RW

表 51. CE コンフィギュレーション・レジスタ 2

ビット	名称	デフォルト	機能	コメント
7:4	fdel<3:0>	0	PCD から PICC への応答での FDT 補償 fdel*1/f _C として設定されるフレーム補正	NFC-A の CE 動作で有効な設定です fdel=0: ロジックで生成された公称 FDT 時間。 fdel>0: ロジックによって提供される FDT を短縮します。
3:1	RFU<2:0>	0	RFU	-
0	nfc_id	0	0: 4 バイト NFCID、CE メモリのアドレス 0~4 1: 7 バイト NFCID、CE メモリのアドレス 0~7	4/7 バイト NFCID のサポート

5.16.31 CE コンフィギュレーション・レジスタ 3

アドレス: 1Eh

タイプ: RW

表 52. CE コンフィギュレーション・レジスタ 3

ビット	名称	デフォルト	機能	コメント
7	RFU	0	RFU	-
6:0	tsn<6:0>	0	TSN 用の擬似乱数ジェネレータ(NFC-F のスロット番号)	SENSEF_RES の送信にはレジスタの最上位 4 ビットが使用され、その後シフト / 計算により 4 つの新しいビットが生成されます ソフトウェアでこれらのビットを設定して、シードを再設定したり、次に使用するスロット番号を設定したりできます

5.16.32 マスク受信タイマの設定レジスタ 1

アドレス: 1Fh

タイプ: RW

表 53. マスク受信タイマの設定レジスタ 1

ビット	名称	デフォルト	機能	コメント
7:6	sq_del<1:0>	0	00: 18.88us 01: 2x18.88us = 37.76us 10: 4x18.88us = 75.52us 11: 8x18.88us = 151.04us	送信の終了に対するスケルチ有効化の遅延を設定します
5:4	mrt_step<1:0>	2	00: 16/f _C (1.18us) 01: 32/f _C (2.36us) 10: 64/f _C (4.72us)	マスク受信タイマのステップを選択します



ビット	名称	デフォルト	機能	コメント
			11: 512/f _C (37.8us)	
3:1	RFU<2:0>	0	RFU	-
0	sq_en	1	1:送信終了時にスケルチを自動的に有効化	送信終了の 18.88μs 後にアクティブ化され、マスク受信タイマの満了により終了します

5.16.33 マスク受信タイマの設定レジスタ 2
アドレス: 20h
タイプ: RW

表 54. マスク受信タイマの設定レジスタ 2

ビット	名称	デフォルト	機能	コメント
7:0	mrt<7:0>	0x0B	mrt_step<1:0> ($16/f_C \dots 512/f_C$)で設定されます。 タイムアウト = $mrt<7:0> \times mrt_step<1:0>$ 範囲: $16/f_C$ で $16/f_C$ (1.18 μ s) から $512/f_C$ で $130560/f_C$ (約 9.6ms)	送信終了後、レシーバ出力がマスク(無視)される時間を設定します。 mrt < sq_del の場合、rx_on は sq_del で High になります

5.16.34 スケルチ・タイマ設定レジスタ
アドレス: 21h
タイプ: RW

表 55. スケルチ・タイマ設定レジスタ

ビット	名称	デフォルト	機能	コメント
7:0	sqt<7:0>	0x0B	マスク受信タイマ (mrt_step) と等しいステップで。	スケルチは、sq_del<1:0>で設定されているように、リーダー・データ送信終了の 18.88 μ s ~ 151 μ s 後に有効になります。 スケルチは、sqt<7:0>で設定された時間まで有効になります。 sqt < sq_del の場合、スケルチ期間はありませぬ(前回の受信からのゲイン低減が AGC の開始ゲインとして使用されます)。 sqt > mrt の場合、スケルチは mrt が満了するまで有効になります。 afe_gain_rw での設定は、スケルチの開始ゲインになります。 スケルチによるゲイン低減はロックされ、その時点のゲインが AGC の開始ゲインとして使用されます。

5.16.35 NRT および GPT 設定レジスタ 1

アドレス: 22h
タイプ: RW

表 56. NRT および GPT 設定レジスタ 1

ビット	名称	デフォルト	機能	コメント
7	RFU	0	RFU	-
6:4	gptc<2:0>	0x0	汎用タイマのトリガ・ソースを設定します	-
3:2	RFU<1:0>	0	RFU	-
1	nrt_emv	0	1: 応答なしタイマの EMV モード	-
0	nrt_step	0	0: 64/f _C 1: 4096/f _C	応答なしタイマのステップ

表 57. 汎用タイマのトリガ・ソース

gptc2	gptc1	gptc0	トリガ・ソース
x	x	x	Start General Purpose Timer ダイレクト・コマンドで必ずタイマが開始
0	0	0	上記以外のトリガ・ソースを使用しない
0	0	1	受信完了時(EOF 後)にもタイマを開始
0	1	0	受信開始時にもタイマを開始
0	1	1	送信フレームの完了時にもタイマを起動
1	0	0	さらにフィールド・オン(en_tx が 0 から 1 への遷移)でも開始されます – 「ガード時間の満了」をマークするために NFC Field ON コマンドで使用されます
1	x	x	RFU

5.16.36 NRT および GPT 設定レジスタ 2

アドレス: 23h
タイプ: RW

表 58. NRT および GPT 設定レジスタ 2

ビット	名称	デフォルト	機能	コメント
7:0	nrt<15:8>	0x00	応答なしタイマ設定の MSB ビット 64/f _C (4.72μs) ステップで設定 0ms~309ms の範囲 nrt_step ビットが設定されている場合、 ステップは 4096/f _C (302μs) に変更され、 範囲は 19.8s になります。	送信終了からのタイムアウトを設定します。応答が検出されないまま、このタイムアウトが経過すると、応答なし割り込みが送信されます。 すべて 0: 応答なしタイマは開始されません。 Start No-Response Timer ダイレクト・コマンドによって応答なしタイマをリセットし、再開することもできます。

5.16.37 NRT および GPT 設定レジスタ 3

アドレス: 24h
タイプ: RW

表 59. NRT および GPT 設定レジスタ 3

ビット	名称	デフォルト	機能	コメント
7:0	nrt<7:0>	0x00	応答なしタイマ設定の	-

ビット	名称	デフォルト	機能	コメント
			LSB ビット	

5.16.38 NRT および GPT 設定レジスタ 4
アドレス: 25h
タイプ: RW

表 60. NRT および GPT 設定レジスタ 4

ビット	名称	デフォルト	機能	コメント
7:0	gpt<15:8>	0x00	汎用タイムアウト設定の MSB ビット。 8/f _C (590ns) ステップで設定 590ns～38.7ms の範囲で設定可能	-

5.16.39 NRT および GPT 設定レジスタ 5
アドレス: 26h
タイプ: RW

表 61. NRT および GPT 設定レジスタ 5

ビット	名称	デフォルト	機能	コメント
7:0	gpt<7:0>	0x00	汎用タイムアウト設定の LSB ビット。	-

5.16.40 ウェイクアップ・コントロール・レジスタ 1
アドレス: 27h
タイプ: RW

表 62. ウェイクアップ・コントロール・レジスタ 1

ビット	名称	デフォルト	機能	コメント
7:4	wut<3:0>	0	ウェイクアップ・タイマのタイムアウト値 (wu_en = 1) (WU モード) または サンプリング周期の測定 (wpt_en=1) (RD モード)	下の表を参照してください
3:1	RFU<2:0>	0	RFU	-
0	fast_efd_irq	0	0: 26.24kHz クロックによって生成される EFD IRQ 1: 262.4kHz クロックによって生成される EFD IRQ	-

表 63. ウェイクアップ・タイマの周期

wut<3:0>	WU 時間 (wu_en=1) の公称値 (ms)
0x0	12.5
0x1	25
0x2	50
0x3	75
0x4	100
0x5	125
0x6	150
0x7	200
0x8	250
0x9	300
0xA	350
0xB	400
0xC	500
0xD	800
0xE	1000
0xF	Inf.

5.16.41 ウェイクアップ・コントロール・レジスタ 2
アドレス: 28h
タイプ: RW

表 64. ウェイクアップ・コントロール・レジスタ 2

ビット	名称	デフォルト	機能	コメント
7	RFU	0	RFU	-
6	wut_cal	0	0: WU タイマの較正なし 1: WU イベント中に WU 期間を較正 (wut > 3 で有効)	RD 時間 (wut_cal_len) を増やすと、WU 期間の精度が向上します
5:4	wut_cal_len<1:0>	0	WU タイマの較正長	0: 0.781ms 1: 1.562ms 2: 3.125ms 3: 6.248ms
3	weak_disch	0	0: PD モードおよび WU 動作において AGD および VDD_A を放電 1: PD モードおよび WU 動作において AGD および VDD_A を弱放電 / 自己放電のみ	1: 弱放電により、コンデンサは WU イベント間で主に充電された状態を保つことができ、ウェイクアップ時の全体的な消費電力が低下します。
2	rc_vdig_lp	0	0: VDD_D から電力供給される RC 発振器 1: 専用レギュレータから電力供給される RC 発振器	ウェイクアップ・タイマの精度を向上させるために wut_cal_len >= 2 と組み合わせて使用されます
1:0	tagdet_len<1:0>	0	フィールド・オン時間を以下に固定 00: td_mt 設定 01: $36 * 16/f_C$ (42.5us) 10: $44 * 16/f_C$ (51.9us) 11: $52 * 16/f_C$ (61.4us)	利用可能なフィールド・オン持続時間の後半での実測



5.16.42 ウェイクアップ・コントロール・レジスタ 3
アドレス: 29h
タイプ: RW

表 65. ウェイクアップ・コントロール・レジスタ 3

ビット	名称	デフォルト	機能	コメント
7	skip_recal	0	1: 自動再較正を無効化	-
6	skip_cal	0	1: 自動較正を無効化	-
5	skip_twcal	0	1: 開始時の較正遅延を無効化	-
4	skip_twref	0	1: 開始時の基準遅延を無効化	-
3	iq_aaref	0	0: I チャネルと Q チャネルの両方の手動で設定された基準 1: I チャネルと Q チャネルの両方の自動平均基準を有効化	-
2	td_mf	0	ウェイクアップの測定時間	-
1:0	td_mt<1:0>	0	ウェイクアップの測定時間	-

表 66. ウェイクアップの測定時間

td_mt	td_mf	測定パルス μ s
0x0	0x0	26.0
0x1	0x0	29.5
0x2	0x0	34.2
0x3	0x0	43.7
0x0	0x1	10.6
0x1	0x1	14.2
0x2	0x1	18.9
0x3	0x1	28.3

5.16.43 I チャンネル WU 設定レジスタ
アドレス: 2Ah
タイプ: RW

表 67. I チャンネル WU 設定レジスタ

ビット	名称	デフォルト	機能	コメント
7	RFU	0	RFU	-
6	i_iirqm	0	0: IRQ 測定を除外する 1: すべての測定を含める	-
5:3	i_aaw<2:0>	0	000:4 001:8 010:16 011:32 100:50 101:64 110:100 111:128	自動平均化のための最後の測定結果の重みを設定
2	i_tdi_en2	0	1: i_adc > i_ref + i_diff の場合の IRQ	すべて 0: レシーバ回路およびコリレータ・クロックを含む I チャンネル・ウェイクアップ測定を無効化 (消費を最小限に抑えるため)
1	i_tdi_en1	0	1: i_ref - i_diff ≤ i_adc ≤ i_ref + i_diff の場合の IRQ	
0	i_tdi_en0	0	1: i_adc < i_ref - i_diff の場合の IRQ	

5.16.44 I チャンネル WU 差レジスタ
アドレス: 2Bh
タイプ: RW

表 68. I チャンネル WU 差レジスタ

ビット	名称	デフォルト	機能	コメント
7	i_cal<8>	1	MSB 符号なし校正結果 (符号なし)	-
6	RFU	0	RFU	-
5:0	i_diff<5:0>	0x0A	IRQ をトリガする ADC と基準の差	符号なし

5.16.45 I チャンネル WU 校正レジスタ
アドレス: 2Ch
タイプ: RW

表 69. I チャンネル WU 校正レジスタ

ビット	名称	デフォルト	機能	コメント
7:0	i_cal<7:0>	0x00	8bit 符号なし校正結果 (符号なし)	-

5.16.46 I チャンネル WU ADC ディスプレイ・レジスタ
アドレス: 2Dh
タイプ: RW

表 70. I チャンネル WU ADC ディスプレイ・レジスタ

ビット	名称	デフォルト	機能	コメント
7:0	i_adc<7:0>	0	8bit 符号あり ADC 部分 範囲: -128~127	-

5.16.47 I チャンネル WU 基準レジスタ
アドレス: 2Eh
タイプ: RW

表 71. I チャンネル WU 基準レジスタ

ビット	名称	デフォルト	機能	コメント
7:0	i_ref<7:0>	0	8bit 符号あり基準 範囲: -128~127	iq_aaref = 1 の場合、基準は自動的に計算され、このレジスタは RO になります。 iq_aaref = 0 の場合、基準は手動で設定する必要があり、このレジスタは RW になります。

5.16.48 Q チャンネル WU 設定レジスタ
アドレス: 2Fh
タイプ: RW

表 72. Q チャンネル WU 設定レジスタ

ビット	名称	デフォルト	機能	コメント
7	RFU	0	RFU	-
6	q_iirqm	0	0: IRQ 測定を除外する 1: すべての測定を含める	-
5:3	q_aaw<2:0>	0	000: 4 001: 8 010: 16 011: 32 100: 50 101: 64 110: 100 111: 128	自動平均化のための最後の測定結果の重みを設定
2	q_tdi_en2	0	1: q_adc > q_ref + q_diff の場合の IRQ	すべて 0: レシーバ回路およびコリレータ・クロックを含む Q チャンネル・ウェイクアップ測定を無効化(消費を最小限に抑えるため)
1	q_tdi_en1	0	1: q_ref - q_diff ≤ q_adc ≤ q_ref + q_diff の場合の IRQ	
0	q_tdi_en0	0	1: q_adc < q_ref - q_diff の場合の IRQ	

5.16.49 Q チャネル WU 差レジスタ
アドレス: 30h
タイプ: RW

表 73. Q チャネル WU 差レジスタ

ビット	名称	デフォルト	機能	コメント
7	q_cal<8>	1	MSB 符号なし校正結果 (符号なし)	-
6	RFU	0	RFU	-
5:0	q_diff<5:0>	0x0A	IRQ をトリガする ADC と基準の差	符号なし

5.16.50 Q チャネル WU 校正レジスタ
アドレス: 31h
タイプ: RW

表 74. Q チャネル WU 校正レジスタ

ビット	名称	デフォルト	機能	コメント
7:0	q_cal<7:0>	0x00	8bit 符号なし校正結果 (符号なし)	-

5.16.51 Q チャネル WU ADC ディスプレイ・レジスタ
アドレス: 32h
タイプ: RW

表 75. Q チャネル WU ADC ディスプレイ・レジスタ

ビット	名称	デフォルト	機能	コメント
7:0	q_adc<7:0>	0	8bit 符号あり ADC 部分 範囲: -128~127	-

5.16.52 Q チャネル WU 基準レジスタ
アドレス: 33h
タイプ: RW

表 76. Q チャネル WU 基準レジスタ

ビット	名称	デフォルト	機能	コメント
7:0	q_ref<7:0>	0	8bit 符号あり基準 範囲: -128~127	iq_aaref = 1 の場合、基準は自動的に計算され、このレジスタは RO になります。 iq_aaref = 0 の場合、基準は手動で設定する必要があり、このレジスタは RW になります。

5.16.53 送信フレーム設定レジスタ 1

アドレス: 34h
タイプ: RW

表 77. 送信フレーム設定レジスタ 1

ビット	名称	デフォルト	機能	コメント
7:0	ntx<12:5>	0x000	送信する完全なバイトの数	対応可能な最大バイト数は 8191 です

5.16.54 送信フレーム設定レジスタ 2

アドレス: 35h
タイプ: RW

表 78. 送信フレーム設定レジスタ 2

ビット	名称	デフォルト	機能	コメント
7:3	ntx<4:0>	0x000	送信する完全なバイトの数	対応可能な最大バイト数は 8191 です
2:0	nbttx<2:0>	0x0	最後の完全なバイトの後に送信するビット数。 nbttx<2:0> = 0 は、完全なバイトのみが送信されることを意味します	有効なビットは LSB 部分にあります。 NFC-A で以下の場合に適用されます。 - 最後のバイトが分割バイトの場合のビット方式アンチコリジョン・フレーム - パリティ・ビットを生成せずに送信した場合 - CE:NFC-A T2T 用の 4bit ACK、NACK

5.16.55 FIFO ステータス・レジスタ 1

アドレス: 36h
タイプ: RO

表 79. FIFO ステータス・レジスタ 1

ビット	名称	デフォルト	機能	コメント
7:0	fifo_b<7:0>	0x00	現在 FIFO にあるバイト数 (LSB 部分)	有効範囲: 0~255

注 電源投入時、データ受信開始時、および Set Default や Clear FIFO などのダイレクト・コマンドの後、このレジスタの内容は 0 に設定されます。



5.16.56 FIFO ステータス・レジスタ 2
アドレス: 37h
タイプ: RO

表 80. FIFO ステータス・レジスタ 2

ビット	名称	デフォルト	機能	コメント
7	RFU	0	-	-
6	fifo_b<8>	0	現在 FIFO にあるバイト数 (MSB 部分)	-
5	fifo_unf	0	FIFO アンダーフロー	空の FIFO または FIFO からの読出し、または速すぎる FIFO 読出し (10Mb/s 超)
4	fifo_ovr	0	FIFO オーバーフロー	フル FIFO への書込み、または速すぎる FIFO 書込み (10Mb/s 超)
3:1	fifo_lb<2:0>	0	FIFO の最終バイトが不完全であった場合、そのビット数	不完全なバイトの場合、LSB 部分が有効になります l_hfe の場合、ビットが無効になることがあります
0	np_lb	0	最終バイトにパリティ・ビットがない	最後のバイトが 8 つのデータ・ビットで構成された完全なバイトであっても、パリティ・ビットだけがないとこのビットが設定されます。これはフレーミング・エラーです。 l_hfe の場合、ビットが無効になることがあります

注 電源投入時、データ受信開始時、および Set Default や Clear FIFO などのダイレクト・コマンドの後、このレジスタの内容は 0 に設定されます。

5.16.57 受信コリジョン・ディスプレイ・レジスタ
アドレス: 38h
タイプ: RO

表 81. 受信コリジョン・ディスプレイ・レジスタ

ビット	名称	デフォルト	機能	コメント
7:4	c_byte<3:0>	0x0	最初のビット・コリジョンの位置 (バイト数およびビット数)	コリジョン・ディスプレイ・レジスタの範囲には、NFC-A ビット方式アンチコリジョン・フレームが含まれます。コリジョン (またはコリジョンとして解釈されるフレーミング・エラー) がより長いフレームで発生した場合、コリジョン・レジスタは設定されません。 l_hfe の場合、ビットが無効になることがあります。
3:1	c_bit<2:0>	0x0		
0	c_pb	0	パリティ・ビットのコリジョン	エラー、検出された最初のコリジョンの場合に報告されます l_hfe の場合、ビットが無効になることがあります。

5.16.58 IRQ マスク・レジスタ 1

アドレス: 39h
タイプ: RW

表 82. IRQ マスク・レジスタ 1

ビット	名称	デフォルト	機能	コメント
7	M_subc_start	0	サブキャリア開始による IRQ をマスク	-
6	M_col	0	ビット・コリジョンによる IRQ をマスク	-
5	M_wl	0	FIFO ウォーター・レベルによる IRQ をマスク	-
4	M_rx_rest	0	自動受信再開による IRQ をマスク	-
3	M_rxe	0	受信終了による IRQ をマスク	-
2	M_rxs	0	受信開始による IRQ をマスク	-
1	M_txe	0	送信終了による IRQ をマスク	-
0	M_rx_err	0	受信エラーによる IRQ をマスク	-

5.16.59 IRQ マスク・レジスタ 2

アドレス: 3Ah
タイプ: RW

表 83. IRQ マスク・レジスタ 2

ビット	名称	デフォルト	機能	コメント
7	M_gpe	0	汎用タイマのタイムアウトによる IRQ をマスク	-
6	M_nre	0	応答なしタイマのタイムアウトによる IRQ をマスク	-
5	M_wpt_stop	0	WPT の停止検出による IRQ をマスク	-
4	M_wpt_fod	0	WPT の異物検出による IRQ をマスク	-
3	RFU	0	RFU	-
2	M_ce_sc	0	CE の状態変化による IRQ をマスク	-
1	M_rxe_cea	0	デバイスの応答処理中に受信が終了したことによる IRQ をマスク	-
0	M_nfct	0	ビット・レートが認識されたときの IRQ をマスク	-

5.16.60 IRQ マスク・レジスタ 3

アドレス: 3Bh
タイプ: RW

表 84. IRQ マスク・レジスタ 3

ビット	名称	デフォルト	機能	コメント
7	M_wutme	0	各 WU 測定イベント(較正、ウェイクアップ測定、再較正)後の IRQ をマスク	-
6	M_eof	0	ターゲット・アクティブ化レベル未滿への外部フィールド低下の検出による IRQ をマスク	-
5	M_eon	0	ターゲット・アクティブ化レベルを超える外部フィールド検出による IRQ をマスク	-
4	M_dct	0	ダイレクト・コマンド終了による IRQ をマスク	-
3	M_wuq	0	WU Q チャネル測定による IRQ をマスク	-
2	M_wui	0	WU I チャネル測定による IRQ をマスク	-
1	M_wut	0	ウェイクアップ・タイマによる IRQ をマスク	-

ビット	名称	デフォルト	機能	コメント
0	M_osc	0	発振器の準備ができたときの IRQ をマスク	-

5.16.61 IRQ ステータス・レジスタ 1

アドレス: 3Ch

タイプ: RO

表 85. IRQ ステータス・レジスタ 1

ビット	名称	デフォルト	機能	コメント
7	I_subc_start	0	サブキャリア開始による IRQ	-
6	I_col	0	ビット・コリジョンによる IRQ	-
5	I_wl	0	FIFO ウォーター・レベルによる IRQ	受信中、FIFO レベルが 128 から 129 バイトに遷移した場合に設定されます。 送信中、FIFO レベルが 128 から 127 バイトに遷移した場合に設定されます。
4	I_rx_rest	0	自動受信再開による IRQ	-
3	I_rxe	0	受信終了による IRQ	-
2	I_rxs	0	受信開始による IRQ	-
1	I_txe	0	送信終了による IRQ	-
0	I_rx_err	0	受信エラーによる IRQ	-

5.16.62 IRQ ステータス・レジスタ 2

アドレス: 3Dh

タイプ: RO

表 86. IRQ ステータス・レジスタ 2

ビット	名称	デフォルト	機能	コメント
7	I_gpe	0	汎用タイマのタイムアウトによる IRQ	-
6	I_nre	0	応答なしタイマのタイムアウトによる IRQ	-
5	I_wpt_stop	0	WPT の停止検出による IRQ	-
4	I_wpt_fod	0	WPT の異物検出による IRQ	-
3	RFU	0	RFU	-
2	I_ce_sc	0	CE の状態変化による IRQ	-
1	I_rxe_cea	0	デバイスの応答処理中に受信が終了したことによる IRQ	-
0	I_nfct	0	ビット・レートが認識されたときの IRQ	-

5.16.63 IRQ ステータス・レジスタ 3

アドレス: 3Eh

タイプ: RO

表 87. IRQ ステータス・レジスタ 3

ビット	名称	デフォルト	機能	コメント
7	I_wutme	0	各 WU 測定イベント(校正、ウェイクアップ測定、再校正)後の IRQ	-
6	I_eof	0	ターゲット・アクティブ化レベル未満への外部フィールド低下の検出による IRQ	-

ビット	名称	デフォルト	機能	コメント
5	I_eon	0	ターゲット・アクティブ化レベルを超える外部フィールド検出による IRQ	-
4	I_dct	0	ダイレクト・コマンドの終了による IRQ	-
3	I_wuq	0	WU Q チャンネル測定による IRQ	-
2	I_wui	0	WU I チャンネル測定による IRQ	-
1	I_wut	0	ウェイクアップ・タイマによる IRQ	-
0	I_osc	0	発振器の準備ができたときの IRQ (agd_ok および wait_ok を含む all_ok を表します)	-

5.16.64 IC 識別レジスタ

アドレス: 3Fh
タイプ: RO

表 88. IC 識別レジスタ

ビット	名称	デフォルト	機能	コメント
7:3	ic_type<4:0>	0x16 10110b	5 ビットの IC 種別コードです。 ST25R210 のコード: 10110	5 ビットの IC 種別コードです。
2:0	ic_rev<2:0>	0	IC レビジョン・コード 001: rev 1.1	3 ビットの IC レビジョン・コードです。

5.16.65 ステータス・レジスタ 1

アドレス: 40h
タイプ: RO

表 89. ステータス・レジスタ 1

ビット	名称	デフォルト	機能	コメント
7	RFU	0	RFU	-
6	wut_on	0	1: WU タイマが動作中	-
5	agd_ok	0	1: AGD が安定	-
4	osc_ok	0	1: 発振器が安定	-
3	RFU	0	RFU	-
2	tmp_on	0	1: 外部フィールドにより CE 動作で発振器が一時的に有効	-
1	efd_out	0	1: 閾値を超える外部フィールド	efd_on = 1 の場合に有効
0	efd_on	0	1: 外部フィールド検出器がアクティブ	-

5.16.66 ステータス・レジスタ 2
アドレス: 41h
タイプ: RO

表 90. ステータス・レジスタ 2

ビット	名称	デフォルト	機能	コメント
7	subc_on	0	1: サブキャリアが検出された	-
6	gpt_on	0	1: 汎用タイマが動作中	-
5	nrt_on	0	1: 応答なしタイマが動作中	-
4	mrt_on	0	1: マスク受信タイマが動作中	-
3	rx_act	0	1: 受信側がメッセージを受信中	-
2	rx_on	0	1: 受信デコーダが有効	-
1	tx_on	0	1: 送信がアクティブ(データ)	-
0	RFU	0	RFU	-

5.16.67 静的ステータス・レジスタ 1
アドレス: 42h
タイプ: RO

表 91. 静的ステータス・レジスタ 1

ビット	名称	デフォルト	機能	コメント
7	RFU	0	RFU	-
6	s_eof	0	efd_th 未満の外部フィールド	-
5	s_eon	0	efd_th を超える外部フィールド	-
4	s_dct	0	コマンドが終了した	-
3	RFU	0	RFU	-
2	RFU	0	RFU	-
1	RFU	0	RFU	-
0	RFU	0	RFU	-

注 各ビットは、1 に設定することで個別にクリアできます。

5.16.68 静的ステータス・レジスタ 2
アドレス: 43h
タイプ: RO

表 92. 静的ステータス・レジスタ 2

ビット	名称	デフォルト	機能	コメント
7	RFU	0	RFU	-
6	RFU	0	RFU	-
5	s_rx_err	0	受信エラーが検出された	-
4	s_rxe	0	受信が終了した	-
3	s_rx_rest	0	受信が再開した	-
2	s_col	0	コリジョンが検出された	-



ビット	名称	デフォルト	機能	コメント
1	s_rxs	0	データ受信が開始した	-
0	RFU	0	RFU	-

注 各ビットは、1 に設定することで個別にクリアできます。

5.16.69 静的ステータス・レジスタ 3
アドレス: 44h
タイプ: RO

表 93. 静的ステータス・レジスタ 3

ビット	名称	デフォルト	機能	コメント
7	s_crc	0	CRC エラー	-
6	s_par	0	パリティエラー	-
5	s_hfe	0	ハード・フレーミング・エラー	-
4	s_sfe	0	ソフト・フレーミング・エラー	-
3:0	RFU<3:0>	0	RFU	-

注 ステータス・ビットは、受信開始時にクリアされます。
各ビットは、1 に設定することで個別にクリアできます

5.16.70 カード・エミュレーション・ステータス・レジスタ 1
アドレス: 45h
タイプ: RO

表 94. カード・エミュレーション・ステータス・レジスタ 1

ビット	名称	デフォルト	機能	コメント
7:6	nfc_rate_lock<1:0>	0	00: ビット・レート検出がロックされていない 01: 受信が NFC-A にロックされている 10: 受信が NFC-F にロックされている	-
5:4	nfc_rate<1:0>	0	検出されたビット・レート	ビット・レート検出動作でのビット・レート自動検出の結果
3:0	ce_state<3:0>	0	NFC フォーラム・アクティビティ仕様に準拠した状態	NFC_A CE 状態 (NFC-A 状態)。ACTIVE または ACTIVE* 状態に入った後、マイクロコントローラはすべてのコマンドを処理します。 NFC212/424kb CE は常にアイドル状態です。SENSF_REQ を受信し、かつ NFC212/424kb CE 動作が有効になっている場合は、いつでも応答します。 レジスタは書き込み可能であり、ユーザはそれを使用して、受信したフレームに基づいて状態を進めることができます (通常の NFC-A および NFC-F - om = 1 または om = 3 で有効)

表 95. カード・エミュレーション状態

CE_state<3:0>	カード・エミュレーション状態
0x0	POWER OFF
0x1	IDLE
0x2	READY_A
0x3	READY_A'
0x5	ACTIVE_A
0x6	CARD_EMU_4A
0x9	SLEEP_A
0xA	READY_A*
0xB	READY_A**
0xD	ACTIVE_A*
0xF	CE_F ⁽¹⁾
その他	RFU

1. READY_F は CARD_EMULATOR_3 と組み合わせられます

5.16.71 カード・エミュレーション・ステータス・レジスタ 2

アドレス: 46h
タイプ: RO

表 96. カード・エミュレーション・ステータス・レジスタ 2

ビット	名称	デフォルト	機能	コメント
7:0	rats_param<7:0>	0	以前に受信した RATS コマンドの PARAM の内容。	-

5.16.72 ウェイクアップ・ステータス・レジスタ

アドレス: 47h
タイプ: RO

表 97. ウェイクアップ・ステータス・レジスタ

ビット	名称	デフォルト	機能	コメント
7	RFU	1	RFU	-
6	q_tdi2	0	q_adc が q_ref + q_diff より大きい場合は 1	-
5	q_tdi1	0	q_adc が以下の間、または等しい場合は 1 q_ref - q_diff、q_ref + q_diff	-
4	q_tdi0	0	q_adc が q_ref - q_diff 未満の場合は 1	-
3	RFU	0	RFU	-
2	i_tdi2	0	i_adc が i_ref + i_diff より大きい場合は 1	-
1	i_tdi1	0	i_adc が以下の間、または等しい場合は 1 i_ref - i_diff、i_ref + i_diff	-
0	i_tdi0	0	i_adc が i_ref - i_diff 未満の場合は 1	-

5.16.73 アナログ・ディスプレイ・レジスタ 1

アドレス: 48h
タイプ: RO

表 98. アナログ・ディスプレイ・レジスタ 1

ビット	名称	デフォルト	機能	コメント
7	i_lim	0	1: VDD_DR レギュレータが電流制限モード	-
6:0	regc<6:0>	0x7F	実際のレギュレータ制御設定	-

5.16.74 アナログ・ディスプレイ・レジスタ 2

アドレス: 49h
タイプ: RO

表 99. アナログ・ディスプレイ・レジスタ 2

ビット	名称	デフォルト	機能	コメント
7:4	RFU<3:0>	0	RFU	-
3:0	afe_gain<3:0>	0	読出し動作およびウェイクアップ動作: 実際の AFE 受信ゲイン CE 動作: AFE プリアンプ・ゲイン	-

5.16.75 RSSI ディスプレイ・レジスタ 1

アドレス: 4Ah
タイプ: RO

表 100. RSSI ディスプレイ・レジスタ 1

ビット	名称	デフォルト	機能	コメント
7	RFU	0	RFU	-
6:0	rssj_j<6:0>	0	リーダ動作: I チャンネル RSSI (7bit) CE 動作: AGC 後のエンベロープ。デバイスがレディ・モードの場合はフィールド・オン・イベント (l_eon) の 150μs 後、またはデバイスが PD モードの場合は発振器安定時 (l_osc) に有効。	-

5.16.76 RSSI ディスプレイ・レジスタ 2

アドレス: 4Bh
タイプ: RO

表 101. RSSI ディスプレイ・レジスタ 2

ビット	名称	デフォルト	機能	コメント
7	RFU	0	RFU	-
6:0	rssj_q<6:0>	0	リーダ動作: Q チャンネル RSSI	-

5.16.77 RF 感知ディスプレイ・レジスタ

アドレス: 4Ch
タイプ: RO

表 102. RF 感知ディスプレイ・レジスタ

ビット	名称	デフォルト	機能	コメント
7:0	sense_adc<7:0>	0	sense RF ダイレクト・コマンドの結果	-

5.16.78 AWS コンフィギュレーション・レジスタ 1

アドレス: 4Dh
タイプ: RW

表 103. AWS コンフィギュレーション・レジスタ 1

ビット	名称	デフォルト	機能	コメント
7	dig_aws_en	0	1: AWS バスのデジタル・フィルタ	-
6	dyn_ilim_aws	1	1: AWS モード用のダイナミック・リミッタ	-
5	dyn_sink_offset	1	1: アクティブ・シンクのダイナミック・オフセット	-
4	dyn_pass_sink	1	1: ダイナミック・パッシブ・シンク	-
3	sc_prot_en	1	1: 短絡保護を有効化	-
2	sink_offset_en	1	1: アクティブ・シンク・オフセットを有効化	-
1	act_sink_en	1	1: アクティブ・シンクを有効化	-
0	RFU	0	RFU	-

5.16.79 **AWS コンフィギュレーション・レジスタ 2**
アドレス: 4Eh
タイプ: RW

表 104. AWS コンフィギュレーション・レジスタ 2

ビット	名称	デフォルト	機能	コメント
7:4	am_fall<3:0>	0x7	AM 基準 (AWS) 立下がり時間用のフィルタ	-
3:0	am_rise<3:0>	0x7	AM 基準 (AWS) 立上がり時間用のフィルタ	-

5.16.80 **AWS タイミング・レジスタ 1**
アドレス: 4Fh
タイプ: RW

表 105. AWS タイミング・レジスタ 1

ビット	名称	デフォルト	機能	コメント
7:4	tentx1<3:0>	3	時間	f _C 周期
3:0	tdres1<3:0>	3	時間	f _C 周期

5.16.81 **AWS タイミング・レジスタ 2**
アドレス: 50h
タイプ: RW

表 106. AWS タイミング・レジスタ 2

ビット	名称	デフォルト	機能	コメント
7:4	tpasssinkx1<3:0>	0	時間	f _C 周期
3:0	tsinkoff1<3:0>	0	時間	f _C 周期

5.16.82 **AWS タイミング・レジスタ 3**
アドレス: 51h
タイプ: RW

表 107. AWS タイミング・レジスタ 3

ビット	名称	デフォルト	機能	コメント
7:4	tilim2<3:0>	0xF	時間	f _C 周期
3:0	tdres2<3:0>	3	時間	f _C 周期

5.16.83 **AWS タイミング・レジスタ 4**
アドレス: 52h
タイプ: RW

表 108. AWS タイミング・レジスタ 4

ビット	名称	デフォルト	機能	コメント
7:4	tpasssinkx2<3:0>	0	時間	f _C 周期
3:0	tsinkoff2<3:0>	0	時間	f _C 周期

5.16.84 **オーバーシュート保護レジスタ**
アドレス: 53h
タイプ: RW

表 109. オーバーシュート保護レジスタ

ビット	名称	デフォルト	機能	コメント
7:0	ov_pattern<7:0>	0	Low から High への遷移を制御するビット・パターン	ビット値 0: d_res インピーダンスで駆動 ビット値 1: md_res インピーダンスを使用して駆動 LSB が最初に送信されます パターンは res_am=1 の場合にのみ適用されます

5.16.85 **アンダーシュート保護レジスタ**
アドレス: 54h
タイプ: RW

表 110. アンダーシュート保護レジスタ

ビット	名称	デフォルト	機能	コメント
7:0	un_pattern<7:0>	0	High から Low への遷移を制御するビット・パターン	ビット値 0: md_res インピーダンスで駆動 ビット値 1: d_res インピーダンスを使用して駆動 LSB が最初に送信されます パターンは res_am=1 の場合にのみ適用されます

5.16.86 **外部フィールド検出器**
アドレス: 57h
タイプ: RW

表 111. 外部フィールド検出器

ビット	名称	デフォルト	機能	コメント
7:4	efd_dt<3:0>	2	非アクティブ化閾値	-
3:0	efd_at<3:0>	3	アクティブ化閾値	-

表 112. 外部フィールド検出器閾値

efd_dt<3:0> efd_at<3:0>	efd_dt3 efd_at3	efd_dt2 efd_at2	efd_dt1 efd_at1	efd_dt0 efd_at0	V_RFI1/2 (mVp)
0x0	0	0	0	0	50
0x1	0	0	0	1	100
0x2	0	0	1	0	150
0x3	0	0	1	1	200
0x4	0	1	0	0	250
0x5	0	1	0	1	300
0x6	0	1	1	0	350
0x7	0	1	1	1	400
0x8	1	0	0	0	12.5
0x9	1	0	0	1	25

efd_dt<3:0> efd_at<3:0>	efd_dt3 efd_at3	efd_dt2 efd_at2	efd_dt1 efd_at1	efd_dt0 efd_at0	V_RF11/2 (mVp)
0xA	1	0	1	0	37.5
0xB	1	0	1	1	50
0xC	1	1	0	0	62.5
0xD	1	1	0	1	75
0xE	1	1	1	0	87.5
0xF	1	1	1	1	100

注 efd_dt3 または efd_at3 = 1: 追加のプリアンプが有効になり、カード・エミュレーションが有効な場合 (CE)、パワーダウン・モード中の消費電流が増加します。

5.17 テスト・レジスタ

表 113. テスト・レジスタ

タイプ	アドレス (16 進)	レジスタ名	タイプ、電源ドメイン
テスト・レジスタ	08	CE メモリへの ADC レジスタ	RW、PD
	0E	発振器のタイミング制御レジスタ	RW、PD
	13	手動タイミング・レジスタ	RW、PD
	14	診断測定レジスタ	RW、PD
	1E	オーバーラップ制御レジスタ	RW、PD
	30	受信開始タイマ・ディスプレイ・レジスタ 1	RO、RD
	31	受信開始タイマ・ディスプレイ・レジスタ 2	RO、RD
	32	受信終了タイマ・ディスプレイ・レジスタ 1	RO、RD
	33	受信終了タイマ・ディスプレイ・レジスタ 2	RO、RD

5.17.1 NFC WLC WPT モニタ

NFC デバイスは、磁界を介して他のリスナ・デバイスに電力を転送できます。NFC ワイヤレス充電 (WLC) は、電力転送が行われる可能性のある 2 つのモード (スタティック・モードまたはネゴシエート・モード) を想定しています。

ネゴシエート・モードの場合、ワイヤレス電力転送 (WPT) フェーズの間に、ワイヤレス充電ポータが転送を監視し、特定のイベントに反応します。

NFC フォーラムで定義されているこれらのイベントには、異物検出 (FOD) および WPT 停止要求が含まれます。

ST25R210 WLC WPT モニタリングをサポートし、FOD または停止パターンが検出された場合にホストに報告します。

WPT モニタリングは、ネゴシエートされた電力が設定された後、WPT 継続時間で定義された時間にわたって実行されます。

RD モード (en = 1) で送信が有効 (tx_en = 1) の場合、動作レジスタの wpt_en ビットを 1 に設定することで WLC WPT モニタリングを有効にできます。

この動作中は、WPT フェーズを監視するために周期的な測定が行われ、サンプリング周期はウェイクアップ・コントロール・レジスタ 1 の wut ビットによって設定されます。

ST25R210 は、インピーダンスの変化 (FOD) または WPT 停止条件を検出するたびに、それぞれ l_wpt_fod および l_wpt_stop を介してホストに通知します。

WPT モニタリング動作は、wpt_en = 0 を設定することで終了します。

5.17.2 CE メモリへの ADC レジスタ

アドレス: テスト・レジスタ 08h

タイプ: RW



表 114. CE メモリへの ADC レジスタ

ビット	名称	デフォルト	機能	コメント
7:4	RFU<3:0>	0	RFU	-
3	adc_cemem_src	0	0:ADC I チャンネル (6bit) 1:コリレータ入力 I チャンネル (8bit)	入力ソースの選択
2	adc_cemem_rate	0	0:13.56MHz 1:6.78MHz	サンプリング・レートの選択
1:0	adc_cemem<1:0>	0	00: サンプリングは無効 01: 立下がりエッジのサンプリング 10: 立上がりエッジのサンプリング 11: 立下がりエッジと立上がりエッジの両方のサンプリング	変調信号のサンプリングを選択

5.17.3 発振器のタイミング制御レジスタ

アドレス: テスト・レジスタ 0Eh
タイプ: RW

表 115. 発振器のタイミング制御レジスタ

ビット	名称	デフォルト	機能	コメント
7:6	RFU<1:0>	0	RFU	-
5:0	wait_ok_count_set <5:0>	0	38.11μs ステップで追加される発振器起動遅延	-

5.17.4 手動タイミング・レジスタ

アドレス: テスト・レジスタ 13h
タイプ: RW

表 116. 手動タイミング・レジスタ

ビット	名称	デフォルト	機能	コメント
7	RFU	0	RFU	-
6	man_wait_ok	0	0: 遅延を無効化 1: 遅延を有効化	追加の発振器起動遅延 (man_wait_count_set)
3:0	RFU<3:0>	0	RFU	-

5.17.5 診断測定レジスタ

アドレス: テスト・レジスタ 14h
タイプ: RW

表 117. 診断測定レジスタ

ビット	名称	デフォルト	機能	コメント
7:3	RFU<4:0>	0	RFU	-
2	discon_tad_out	0	1: 診断測定中、TAD1 および TAD2 パッドの出力が切断されます	診断測定中は 1 に設定してください
1:0	RFU<1:0>	0	RFU	-

5.17.6 オーバーラップ制御レジスタ

アドレス: テスト・レジスタ 1Eh
タイプ: RW

表 118. オーバーラップ制御レジスタ

ビット	名称	デフォルト	機能	コメント
7:3	RFU<4:0>	0	RFU	-
2:1	rfo_non_mode<1:0>	0x00	RFO1/2 非オーバーラップ・モード	01: 送信停止時、両方の RFO が Low 10: 送信停止時、両方の RFO が High 00: RFU 11: RFU
0	rfo_non_en	0	1: RFO1 と RFO2 間の非オーバーラップを有効化	-

5.17.7 受信開始タイマ・ディスプレイ・レジスタ 1
アドレス: テスト・レジスタ 30h
タイプ: RO

表 119. 受信開始タイマ・ディスプレイ・レジスタ 1

ビット	名称	デフォルト	機能	コメント
7:0	t_rxs <15:8>	0x00	送信終了 (I_txe) から受信開始 (I_rxs) までの時間 (NRT 設定に基づく)	MSB 部分

注 エラーのない受信ごとに t_rxs が表示されます。

5.17.8 受信開始タイマ・ディスプレイ・レジスタ 2
アドレス: テスト・レジスタ 31h
タイプ: RO

表 120. 受信開始タイマ・ディスプレイ・レジスタ 2

ビット	名称	デフォルト	機能	コメント
7:0	t_rxs <7:0>	0x00	送信終了 (I_txe) から受信開始 (I_rxs) までの時間 (NRT 設定に基づく)	LSB 部分

注 エラーのない受信ごとに t_rxs が表示されます。

5.17.9 受信終了タイマ・ディスプレイ・レジスタ 1
アドレス: テスト・レジスタ 32h
タイプ: RO

表 121. 受信終了タイマ・ディスプレイ・レジスタ 1

ビット	名称	デフォルト	機能	コメント
7:0	t_rxe <15:8>	0x00	送信終了 (I_txe) から受信終了 (I_rxe) までの時間 (NRT 設定に基づく)	MSB 部分

注 エラーのない受信ごとに t_rxe が表示されます。

5.17.10 受信終了タイマ・ディスプレイ・レジスタ 2
アドレス: テスト・レジスタ 33h
タイプ: RO

表 122. 受信終了タイマ・ディスプレイ・レジスタ 2

ビット	名称	デフォルト	機能	コメント
7:0	t_rxe <7:0>	0x00	送信終了 (I_txe) から受信終了 (I_rxe) までの時間 (NRT 設定に基づく)	LSB 部分

注 エラーのない受信ごとに t_rxe が表示されます。

6 電気特性

6.1 絶対最大定格

以下の表に記載された制限を超えるストレスは、デバイスに永久的な損傷を与える可能性があります。ここにはストレス定格のみが記載されています。これらの条件、または以下の表に示した値を超える、いかなる条件下でのデバイスの動作も保証されません。絶対最大定格の条件下に長時間置いたデバイスでは、その信頼性に悪影響が発生する可能性があります。

表 123. 絶対最大定格

記号	パラメータ	最小値	最大値	単位	注
$V_{DD}^{(1)}$	正電源電圧	-0.3	6.5	V	ピン番号 11、16
$V_{DD_IO}^{(1)}$	ペリフェラル通信電源電圧	-0.3	6.5		ピン番号 3
$V_{GND}^{(1)}$	負電源電圧	-0.3	0.3		ピン番号 4、7、13、21、24、29
$V_{PIO}^{(1)}$	ペリフェラル I/O 通信ピンの電圧	-0.3	6.5		ピン番号 1、2、25～28
$V_{P5V}^{(1)}$	5V ドメインにおけるその他のピンの電圧	-0.3	6.5		ピン番号 6、8、9、10、12、14、15
$V_{P3V}^{(1)}$	3V ドメインにおけるその他のピンの電圧	-0.3	4.6		ピン番号 17～20、22、23
$V_{P1V}^{(1)}$	1V ドメインにおけるその他のピンの電圧	-0.3	2.0		ピン番号 5
$V_{RFI_A}^{(1)}$	RFI 入力振幅	-0.3	3.6	V_{PP}	-
$V_{RFO}^{(1)}$	RFO1 および RFO2 の最大電圧	-	6.6	V_P	-
$T_{Jun}^{(2)}$	接合部温度	-40	125	°C	-
I_{SCR}	LU 耐性	-200	200	mA	規格: JESD78F
HBM	ESD 耐性	-	2000	V	規格: JS-001-2024
CDM	ESD 耐性	-	500	V	規格: JS-002-2022
T_{strg}	保管温度	-40	125	°C	-
$T_{bod}^{(3)}$	パッケージ本体温度	-	260	°C	規格: IPC/JEDEC J-STD-020F
-	湿度(結露がないこと)	5	85	%	-
I_{VDD}	内部ボルテージレギュレータを使用した場合の最大連続ドライバ電流	-	375	mA	-
I_{VDD_PEAK}	内部ボルテージレギュレータを使用した場合の最大ピークドライバ電流	-	500	mA	-

- V_{SS} を基準とします。
- 接合部温度が確実に指定値を下回るように温度を適切に管理していることが条件となります。
- リフロー時のはんだ付け温度(本体温度)のピーク値は、IPC/JEDEC J-STD-020F「非ハーメチック表面実装固体デバイスの感湿性 / リフロー感受性区分」に基づいて規定されています。



6.2 動作条件

表 124. 動作条件

記号	パラメータ	最小値	最大値	単位	注
$V_{DD}^{(1)}$	正電源電圧	2.7	5.5	V	ピン番号 11, 16
$V_{DD_IO}^{(1)(2)}$	ペリフェラル通信電源電圧	1.65	5.5		ピン番号 3
$V_{PIO}^{(1)}$	ペリフェラル I/O 通信ピンの電圧	0	5.5		ピン番号 1、2、25~28
$V_{P5V}^{(1)}$	5V ドメインにおけるその他のピンの電圧	0	5.5		ピン番号 6、8、9、10、12、14、15
$V_{P3V}^{(1)}$	3V ドメインにおけるその他のピンの電圧	0	3.6		ピン番号 17~20、22、23
$V_{P1V}^{(1)}$	1V ドメインにおけるその他のピンの電圧	0	1.4		ピン番号 5
V_{RFI_A}	RFI 入力振幅	0.15	3	V_{PP}	-
T_{Jun}	接合部温度	-40	125	°C	-
$V_{OSC_PP}^{(1)}$	定常状態における発振器の振幅	1	3	V_{PP}	-

- 1. V_{SS} を基準とします
- 2. $V_{DD_IO} \leq V_{DD}$

6.3 電氣的仕様

表 125. ST25R210 電気特性 ($V_{DD} = V_{DD_TX} = 5.5V$ 、 $V_{DD_IO} = 5.5V$)

記号	パラメータ	条件	最小値	典型的な値	最大値	単位
I_{RESET}	RESET 保持時の電源電流: $V_{DD} + V_{DD_TX}$	$T_{Jun} = -40^{\circ}C^{(1)(2)}$	-	0.047	2	μA
		$T_{Jun} = 25^{\circ}C^{(2)}$	-	0.21	2	
		$T_{Jun} = 85^{\circ}C^{(1)(2)}$	-	1.75	15	
		$T_{Jun} = +125^{\circ}C^{(2)}$	-	9.35	45	
I_{PD}	パワーダウン・モードにおける電源電流 $V_{DD} + V_{DD_TX}$	$T_{Jun} = -40^{\circ}C^{(1)(3)}$	-	1.33	3	
		$T_{Jun} = 25^{\circ}C^{(3)}$	-	2.16	7	
		$T_{Jun} = 85^{\circ}C^{(1)(3)}$	-	8.64	37	
		$T_{Jun} = +125^{\circ}C^{(3)}$	-	36.93	118	
I_{WU}	ウェイクアップ・モードにおける電源電流: $V_{DD} + V_{DD_TX}$	$T_{Jun} = -40^{\circ}C^{(1)(4)}$	-	2.06	8	
		$T_{Jun} = 25^{\circ}C^{(4)}$	-	2.86	8	
		$T_{Jun} = 85^{\circ}C^{(1)(4)}$	-	9.36	38	
		$T_{Jun} = +125^{\circ}C^{(4)}$	-	37.66	117	
I_{CE}	パワーダウン中のカード・エミュレーション・モードにおける電源電流: $V_{DD} + V_{DD_TX} + V_{DD_IO}$	$T_{Jun} = -40^{\circ}C^{(1)(5)}$	-	5.2	12	
		$T_{Jun} = 25^{\circ}C^{(5)}$	-	5.91	12	
		$T_{Jun} = 85^{\circ}C^{(1)(5)}$	-	13.06	45	
		$T_{Jun} = +125^{\circ}C^{(5)}$	-	44.83	138	
I_{CE}	パワーダウン中のカード・エミュレーション・モードにおける電源電流 (フィールド検出器の高ゲイン設定時): $V_{DD} + V_{DD_TX} + V_{DD_IO}$	$T_{Jun} = -40^{\circ}C^{(1)(6)}$	-	45.21	100	
		$T_{Jun} = 25^{\circ}C^{(6)}$	-	48.79	100	
		$T_{Jun} = 85^{\circ}C^{(1)(6)}$	-	60.27	117	
		$T_{Jun} = +125^{\circ}C^{(6)}$	-	96.6	205	
I_{RD}	レディ・モードにおける電源電流: $V_{DD} + V_{DD_TX} + V_{DD_IO}$	$T_{Jun} = -40^{\circ}C^{(1)(7)}$	-	2.71	4	mA
		$T_{Jun} = 25^{\circ}C^{(7)}$	-	2.95	4	
		$T_{Jun} = 85^{\circ}C^{(1)(7)}$	-	3.19	8	
		$T_{Jun} = +125^{\circ}C^{(7)}$	-	3.48	8	
I_{ALL}	すべてをアクティブにした状態の電源電流: $V_{DD} + V_{DD_TX} + V_{DD_IO}$	$T_{Jun} = -40^{\circ}C^{(1)(8)}$	-	11.89	20	
		$T_{Jun} = 25^{\circ}C^{(8)}$	-	12.35	20	
		$T_{Jun} = 85^{\circ}C^{(1)(8)}$	-	12.74	20	
		$T_{Jun} = +125^{\circ}C^{(8)}$	-	13.11	20	
R_{RFO}	RFO1 / RFO2 ドライバ出力抵抗	$T_{Jun} = -40^{\circ}C \sim +125^{\circ}C^{(9)(10) (14)}$	-	0.63	1.5	Ω
R_{RFI}	RFI 入力抵抗	$T_{Jun} = -40^{\circ}C \sim +125^{\circ}C^{(11)(14)}$	-	11.1	15	$k\Omega$
V_{POR}	パワーオン・リセット電圧	$T_{Jun} = -40^{\circ}C \sim +125^{\circ}C^{(11)(14)}$	-	0.8	1.3	V



記号	パラメータ	条件	最小値	典型的な値	最大値	単位
V _{AGD}	AGD 電圧	T _{Jun} = -40°C ~ +125°C ⁽¹¹⁾⁽¹⁴⁾	1.44	1.5	1.56	V
t _{RESET}	RESET の High 状態の最小持続時間	T _{Jun} = -40°C ~ +125°C ⁽¹¹⁾⁽¹⁴⁾	10	-	-	μs
t _{BOOT}	電源オン / RESET の High から Low への遷移と最初の SPI 動作の間の時間	T _{Jun} = -40°C ~ +125°C ⁽¹¹⁾⁽¹⁴⁾	70	138	900	μs
R _{TAD}	プッシュプル構成におけるテスト出力ピンおよび GPIO ピンの抵抗	T _{Jun} = -40°C ~ +125°C ⁽¹¹⁾⁽¹²⁾⁽¹⁴⁾	-	53.2	90	Ω
R _{GPIO}	プルダウン構成における GPIO ピンの出力抵抗	T _{Jun} = -40°C ~ +125°C GPIO_p = 0x0 ⁽⁹⁾⁽¹³⁾⁽¹⁴⁾	-	0.24	1.1	Ω

- 特性評価により評価されています (量産時にはテストされていません)。
- リセット・ピンは High レベルに設定します。
- レジスタはデフォルト状態です。
- レジスタ 00h を 01h に設定し、その他のレジスタはデフォルト状態に設定します。
- レジスタ 00h を 04h に設定し、その他のレジスタはデフォルト状態に設定します。
- レジスタ 00h を 04h に設定し、レジスタ 57h を FFh に設定し、その他のレジスタはデフォルト状態に設定します。
- レジスタ 00h を 08h に設定し、その他のレジスタはデフォルト状態に設定します。
- レジスタ 00h を 78h に設定し、レジスタ 03h を 0Fh に設定し、その他のレジスタはデフォルト状態に設定します。
- 量産時は T_{Junc} = +25°C でテストされますが、その他の温度は特性評価のみです。
- レジスタ 00h を 78h に、レジスタ 03h を 20h に設定し、その他のレジスタはデフォルト状態で、XTI ピンは強制的に GND に接続されます。
- 量産時に T_{Junc} = +25°C および +125°C でテストされますが、その他の温度は特性評価のみです。
- レジスタ 00h を 08h に、レジスタ 07h を D1h に、レジスタ 08h を 00h または 0fh のいずれかに設定し、その他のレジスタはデフォルト状態に設定します。
- レジスタ 00h を 08h に、レジスタ 08h を 03h に設定し、その他のレジスタはデフォルト状態に設定します。
- VDD = 5.5V ではなく 6V です。

表 126. ST25R210 電気特性 (V_{DD} = V_{DD_TX} = 3.3V、V_{DD_IO} = 3.3V)

記号	パラメータ	条件	最小値	典型的な値	最大値	単位
I _{RESET}	RESET 保持時の電源電流: VDD + VDD_TX	T _{Jun} = -40°C ⁽¹⁾⁽²⁾	-	0.012	1	μA
		T _{Jun} = 25°C ⁽²⁾	-	0.068	1	
		T _{Jun} = 85°C ⁽¹⁾⁽²⁾	-	0.8	8	
		T _{Jun} = +125°C ⁽²⁾	-	5	30	
I _{PD}	パワーダウン・モードにおける電源電流 VDD + VDD_TX	T _{Jun} = -40°C ⁽¹⁾⁽³⁾	-	0.8	2	
		T _{Jun} = 25°C ⁽³⁾	-	1.4	5	
		T _{Jun} = 85°C ⁽¹⁾⁽³⁾	-	6.6	30	
		T _{Jun} = +125°C ⁽³⁾	-	30.5	90	
I _{WU}	ウェイクアップ・モードにおける電源電流: VDD + VDD_TX	T _{Jun} = -40°C ⁽¹⁾⁽⁴⁾	-	1.5	3	
		T _{Jun} = 25°C ⁽⁴⁾	-	2	6	
		T _{Jun} = 85°C ⁽¹⁾⁽⁴⁾	-	7.3	30	
		T _{Jun} = +125°C ⁽⁵⁾	-	31.1	90	
I _{CE}	パワーダウン中のカード・エミュレーション・モードにおける電源電流:	T _{Jun} = -40°C ⁽¹⁾⁽⁵⁾	-	4.2	7	

記号	パラメータ	条件	最小値	典型的な値	最大値	単位
I _{CE}	VDD + VDD_TX + VDD_IO	T _{Jun} = 25°C ⁽⁵⁾	-	4.6	10	μA
		T _{Jun} = 85°C ⁽¹⁾⁽⁵⁾	-	10	35	
		T _{Jun} = +125°C ⁽⁵⁾	-	35.8	100	
I _{CE}	パワーダウン中のカード・エミュレーション・モードにおける電源電流(フィールド検出器の高ゲイン設定時): VDD + VDD_TX + VDD_IO	T _{Jun} = -40°C ⁽¹⁾⁽⁶⁾	-	34.7	75	μA
		T _{Jun} = 25°C ⁽⁶⁾	-	37.7	75	
		T _{Jun} = 85°C ⁽¹⁾⁽⁶⁾	-	46.5	90	
		T _{Jun} = +125°C ⁽⁶⁾	-	75.8	153	
I _{RD}	レディ・モードにおける電源電流: VDD + VDD_TX + VDD_IO	T _{Jun} = -40°C ⁽¹⁾⁽⁷⁾	-	2.5	4	mA
		T _{Jun} = 25°C ⁽⁷⁾	-	2.8	4	
		T _{Jun} = 85°C ⁽¹⁾⁽⁷⁾	-	3	6	
		T _{Jun} = +125°C ⁽⁷⁾	-	3.3	7	
I _{ALL}	すべてをアクティブにした状態の電源電流: VDD + VDD_TX + VDD_IO	T _{Jun} = -40°C ⁽¹⁾⁽⁸⁾	-	10.9	17	mA
		T _{Jun} = 25°C ⁽⁸⁾	-	11.3	17	
		T _{Jun} = 85°C ⁽¹⁾⁽⁸⁾	-	11.7	17	
		T _{Jun} = +125°C ⁽⁸⁾	-	12	17	
R _{RFO}	RFO1 / RFO2 ドライバ出力抵抗	T _{Jun} = -40°C ~ +125°C ⁽¹⁾⁽⁹⁾	-	0.96	2	Ω
R _{RFI}	RFI 入力抵抗	T _{Jun} = -40°C ~ +125°C ⁽¹⁾	-	11.1	15	kΩ
V _{POR}	パワーオン・リセット電圧	T _{Jun} = -40°C ~ +125°C ⁽¹⁰⁾	-	0.8	1.3	V
V _{AGD}	AGD 電圧	T _{Jun} = -40°C ~ +125°C ⁽¹⁰⁾	1.44	1.5	1.56	V
t _{RESET}	RESET の High 状態の最小持続時間	T _{Jun} = -40°C ~ +125°C ⁽¹⁾	10	-	-	μs
t _{BOOT}	電源オン / RESET の High から Low への遷移と最初の SPI 動作の間の時間	T _{Jun} = -40°C ~ +125°C ⁽¹⁾	70	138	900	μs
R _{TAD}	プッシュプル構成におけるテスト出力ピンおよび GPIO ピンの抵抗	T _{Jun} = -40°C ~ +125°C ⁽¹⁾⁽¹¹⁾	-	64	110	Ω
R _{GPIO}	プルダウン構成における GPIO ピンの出力抵抗	T _{Jun} = -40°C ~ +125°C GPIO_p = 0x0 ⁽¹⁾⁽¹²⁾	-	0.3	1.1	Ω

- 特性評価により評価されています(量産時にはテストされていません)。
- リセット・ピンは High レベルに設定します。
- レジスタはデフォルト状態です。
- レジスタ 00h を 01h に設定し、その他のレジスタはデフォルト状態に設定します。
- レジスタ 00h を 04h に設定し、その他のレジスタはデフォルト状態に設定します。
- レジスタ 00h を 04h に設定し、レジスタ 57h を FFh に設定し、その他のレジスタはデフォルト状態に設定します。
- レジスタ 00h を 08h に設定し、その他のレジスタはデフォルト状態に設定します。
- レジスタ 00h を 78h に設定し、レジスタ 03h を 0Fh に設定し、その他のレジスタはデフォルト状態に設定します。
- レジスタ 00h を 78h に、レジスタ 03h を 20h に設定し、その他のレジスタはデフォルト状態で、XTI ピンは強制的に GND に接続されます。
- 量産時に T_{Junc} = +25°C および +125°C でテストされますが、その他の温度は特性評価のみです。

11. レジスタ 00h を 08h に、レジスタ 07h を D1h に、レジスタ 08h を 00h または 0Fh のいずれかに設定し、その他のレジスタはデフォルト状態に設定します。
12. レジスタ 00h を 08h に設定し、レジスタ 08h を 03h に設定し、その他のレジスタはデフォルト状態に設定します。

表 127. ST25R210 電気特性 ($V_{DD} = V_{DD_TX} = 2.7V$, $V_{DD_IO} = 2.7V$)

記号	パラメータ	条件	最小値	典型的な値	最大値	単位
I_{RESET}	RESET 保持時の電源電流: $V_{DD} + V_{DD_TX}$	$T_{Jun} = -40^{\circ}C^{(1)(2)}$	-	0.011	1	μA
		$T_{Jun} = 25^{\circ}C^{(2)}$	-	0.058	1	
		$T_{Jun} = 85^{\circ}C^{(1)(2)}$	-	0.7	6	
		$T_{Jun} = +125^{\circ}C^{(2)}$	-	4.5	25	
I_{PD}	パワーダウン・モードにおける電源電流 $V_{DD} + V_{DD_TX}$	$T_{Jun} = -40^{\circ}C^{(1)(3)}$	-	0.7	2	
		$T_{Jun} = 25^{\circ}C^{(3)}$	-	1.2	5	
		$T_{Jun} = 85^{\circ}C^{(1)(3)}$	-	6.3	30	
		$T_{Jun} = +125^{\circ}C^{(3)}$	-	29.3	85	
I_{WU}	ウェイクアップ・モードにおける電源電流: $V_{DD} + V_{DD_TX}$	$T_{Jun} = -40^{\circ}C^{(1)(4)}$	-	1.3	3	
		$T_{Jun} = 25^{\circ}C^{(4)}$	-	1.8	6	
		$T_{Jun} = 85^{\circ}C^{(1)(4)}$	-	6.9	30	
		$T_{Jun} = +125^{\circ}C^{(4)}$	-	30	85	
I_{CE}	パワーダウン中のカード・エミュレーション・モードにおける電源電流: $V_{DD} + V_{DD_TX} + V_{DD_IO}$	$T_{Jun} = -40^{\circ}C^{(1)(5)}$	-	4	7	
		$T_{Jun} = 25^{\circ}C^{(5)}$	-	4.3	8	
		$T_{Jun} = 85^{\circ}C^{(1)(5)}$	-	9.5	35	
		$T_{Jun} = +125^{\circ}C^{(5)}$	-	34.2	100	
I_{CE}	パワーダウン中のカード・エミュレーション・モードにおける電源電流(フィールド検出器の高ゲイン設定時): $V_{DD} + V_{DD_TX} + V_{DD_IO}$	$T_{Jun} = -40^{\circ}C^{(1)(6)}$	-	33.1	70	
		$T_{Jun} = 25^{\circ}C^{(6)}$	-	36.1	70	
		$T_{Jun} = 85^{\circ}C^{(1)(6)}$	-	44.7	90	
		$T_{Jun} = +125^{\circ}C^{(6)}$	-	72.7	146	
I_{RD}	レディ・モードにおける電源電流: $V_{DD} + V_{DD_TX} + V_{DD_IO}$	$T_{Jun} = -40^{\circ}C^{(1)(7)}$	-	2.2	3	mA
		$T_{Jun} = 25^{\circ}C^{(7)}$	-	2.4	3	
		$T_{Jun} = 85^{\circ}C^{(1)(7)}$	-	2.6	6	
		$T_{Jun} = +125^{\circ}C^{(7)}$	-	3	6	
I_{ALL}	すべてをアクティブにした状態の電源電流: $V_{DD} + V_{DD_TX} + V_{DD_IO}$	$T_{Jun} = -40^{\circ}C^{(1)(8)}$	-	10.4	15	
		$T_{Jun} = 25^{\circ}C^{(8)}$	-	10.9	15	
		$T_{Jun} = 85^{\circ}C^{(1)(8)}$	-	11.2	17	
		$T_{Jun} = +125^{\circ}C^{(8)}$	-	11.6	17	
R_{RFO}	RFO1 / RFO2 ドライバ出力抵抗	$T_{Jun} = -40^{\circ}C \sim +125^{\circ}C^{(1)(9)}$	-	1.2	2.5	Ω
R_{RFI}	RFI 入力抵抗	$T_{Jun} = -40^{\circ}C \sim +125^{\circ}C^{(1)}$	-	11.1	15	$k\Omega$
V_{POR}	パワーオン・リセット電圧	$T_{Jun} = -40^{\circ}C \sim +125^{\circ}C^{(10)}$	-	0.8	1.3	V

記号	パラメータ	条件	最小値	典型的な値	最大値	単位
V _{AGD}	AGD 電圧	T _{Jun} = -40°C ~ +125°C ⁽¹⁰⁾	1.44	1.5	1.56	V
t _{RESET}	RESET の High 状態の最小持続時間	T _{Jun} = -40°C ~ +125°C ⁽¹⁾	10	-	-	us
t _{BOOT}	電源オン / RESET の High から Low への遷移と最初の SPI 動作の間の時間	T _{Jun} = -40°C ~ +125°C ⁽¹⁾	70	138	900	us
R _{TAD}	プッシュプル構成におけるテスト出力ピンおよび GPIO ピンの抵抗	T _{Jun} = -40°C ~ +125°C ⁽¹⁰⁾⁽¹¹⁾	-	64	110	オーム
R _{GPIO}	プルダウン構成における GPIO ピンの出力抵抗	T _{Jun} = -40°C ~ +125°C GPIO_p = 0x0 ⁽¹⁾⁽¹²⁾	-	0.37	1.1	オーム

- 特性評価により評価されています(量産時にはテストされていません)。
- リセット・ピンは High レベルに設定します。
- レジスタはデフォルト状態です。
- レジスタ 00h を 01h に設定し、その他のレジスタはデフォルト状態に設定します。
- レジスタ 00h を 04h に設定し、その他のレジスタはデフォルト状態に設定します。
- レジスタ 00h を 04h に設定し、レジスタ 57h を FFh に設定し、その他のレジスタはデフォルト状態に設定します。
- レジスタ 00h を 08h に設定し、その他のレジスタはデフォルト状態に設定します。
- レジスタ 00h を 78h に設定し、レジスタ 03h を 0Fh に設定し、その他のレジスタはデフォルト状態に設定します。
- レジスタ 00h を 78h に、レジスタ 03h を 20h に設定し、その他のレジスタはデフォルト状態で、XTI ピンは強制的に GND に接続されます。
- 量産時に T_{Junc} = +25°C および +125°C でテストされますが、その他の温度は特性評価のみです。
- レジスタ 00h を 08h に、レジスタ 07h を D1h に、レジスタ 08h を 00h または 0Fh のいずれかに設定し、その他のレジスタはデフォルト状態に設定します。
- レジスタ 00h を 08h に設定し、レジスタ 08h を 03h に設定し、その他のレジスタはデフォルト状態に設定します。

表 128. V_{DD_IO} 電源電流

記号	パラメータ	条件	最小値	典型的な値	最大値	単位
I _{VDD_IO}	リセット・モードにおける電源電流	T _{Jun} = -40°C ⁽¹⁾⁽²⁾	-	0.0013	1	uA
		T _{Jun} = 25°C ⁽²⁾	-	0.0047	1	
		T _{Jun} = 85°C ⁽¹⁾⁽²⁾	-	0.082	5	
		T _{Jun} = +125°C ⁽²⁾	-	0.79	6	
I _{VDD_IO}	レディ・モードにおける電源電流	T _{Jun} = -40°C ⁽¹⁾⁽²⁾	-	0.013	2	
		T _{Jun} = 25°C ⁽²⁾	-	0.59	2	
		T _{Jun} = 85°C ⁽¹⁾⁽²⁾	-	0.75	4	
		T _{Jun} = +125°C ⁽²⁾	-	1.52	8	
I _{VDD_IO}	リセット・モードにおける電源電流	T _{Jun} = -40°C ⁽¹⁾⁽³⁾	-	0	1	
		T _{Jun} = 25°C ⁽³⁾	-	0.001	1	
		T _{Jun} = 85°C ⁽¹⁾⁽³⁾	-	0.056	2	
		T _{Jun} = +125°C ⁽³⁾	-	0.61	3	
I _{VDD_IO}	レディ・モードにおける電源電流	T _{Jun} = -40°C ⁽¹⁾⁽³⁾	-	0.25	2	
		T _{Jun} = 25°C ⁽³⁾	-	0.3	2	
		T _{Jun} = 85°C ⁽¹⁾⁽³⁾	-	0.41	3	

記号	パラメータ	条件	最小値	典型的な値	最大値	単位
I_{VDD_IO}	レディ・モードにおける電源電流	$T_{Jun} = +125^{\circ}C^{(3)}$	-	1	6	uA
I_{VDD_IO}	リセット・モードにおける電源電流	$T_{Jun} = -40^{\circ}C^{(1)(4)}$	-	0	1	
		$T_{Jun} = 25^{\circ}C^{(4)}$	-	0.0015	1	
		$T_{Jun} = 85^{\circ}C^{(1)(4)}$	-	0.053	2	
		$T_{Jun} = +125^{\circ}C^{(4)}$	-	0.59	3	
I_{VDD_IO}	レディ・モードにおける電源電流	$T_{Jun} = -40^{\circ}C^{(1)(4)}$	-	0.18	1	
		$T_{Jun} = 25^{\circ}C^{(4)}$	-	0.23	1	
		$T_{Jun} = 85^{\circ}C^{(1)(4)}$	-	0.32	2	
		$T_{Jun} = +125^{\circ}C^{(4)}$	-	0.88	3	
I_{VDD_IO}	リセット・モードにおける電源電流	$T_{Jun} = -40^{\circ}C^{(1)(5)}$	-	0.09	1	
		$T_{Jun} = 25^{\circ}C^{(1)(5)}$	-	0.11	1	
		$T_{Jun} = 85^{\circ}C^{(1)(5)}$	-	0.14	2	
		$T_{Jun} = +125^{\circ}C^{(1)(5)}$	-	0.28	3	
I_{VDD_IO}	レディ・モードにおける電源電流	$T_{Jun} = -40^{\circ}C^{(1)(5)}$	-	0	1	
		$T_{Jun} = 25^{\circ}C^{(1)(5)}$	-	0	1	
		$T_{Jun} = 85^{\circ}C^{(1)(5)}$	-	0.02	2	
		$T_{Jun} = +125^{\circ}C^{(1)(5)}$	-	0.14	3	

1. 特性評価により評価されています(量産時にはテストされていません)。

2. $V_{DD} = V_{DD_TX} = V_{DD_IO} = 5.5V$

3. $V_{DD} = V_{DD_TX} = V_{DD_IO} = 3.3V$

4. $V_{DD} = V_{DD_TX} = V_{DD_IO} = 2.7V$

5. $V_{DD} = V_{DD_TX} = 2.7, V_{DD_IO} = 1.65V$



6.4 デジタル入出力の DC/AC 特性

表 129. CMOS I/O の特性

タイプ	記号	パラメータ	条件	最小値	典型的な値	最大値	単位
入力	V_{IH}	High レベル入力電圧	注を参照 ⁽¹⁾	$0.8 \times V_{DD_IO}$	-	-	V
	V_{IL}	Low レベル入力電圧	注を参照 ⁽¹⁾	-	-	$0.2 \times V_{DD_IO}$	
	I_{LEAK}	入力リーク電流	$V_{DD_IO} = 2.7V \sim 5.5V$	-	-	10	μA
出力	V_{OH}	High レベル出力電圧	注を参照 ⁽¹⁾ $I_{SOURCE}=1mA$ の場合 ⁽²⁾	$0.9 \times V_{DD_IO}$	-	-	V
	V_{OL}	Low レベル出力電圧	注を参照 ⁽¹⁾ $I_{SOURCE} = 1mA$ ⁽²⁾	-	-	$0.1 \times V_{DD_IO}$	
	C_{L-SPI}	容量性負荷	注を参照 ⁽¹⁾	-	-	50	pF
	R_O	出力抵抗	注を参照 ⁽¹⁾	-	60	260	Ω
	R_{PD}	MISO ピンのプルダウン抵抗	注を参照 ⁽¹⁾	7	10	15	k Ω

1. $V_{DD} = 2.7V \sim 5.5V$ および $V_{DD_IO} = 1.65V \sim 5.5V$
2. $I_{SOURCE} = 0.5mA$ ($V_{DD_IO} < 2.7V$)

6.5 SPI 特性

表 130. SPI 特性(最大 10MHz)

動作	記号	パラメータ	条件	最小値	典型的な値	最大値	単位
一般 ⁽¹⁾	T _{SCLK}	SCLK 周期	T _{SCLK} = T _{SCLKL} + T _{SCLKH}	100	-	-	ns
	T _{SCLKL}	SCLK Low	-	45	-	-	
	T _{SCLKH}	SCLK High	-	45	-	-	
	T _{SSH}	SPI リセット(BSS High)	-	100	-	-	
	T _{NCSL}	BSS の立下がりから SCLK の立上がりまで	最初の SCLK パルス	25	-	-	
	T _{NCSH}	SCLK の立下がりから BSS の立上がりまで	最後の SCLK パルス	25	-	-	
	T _{DIS}	データ入力セットアップ時間	-	10	-	-	
	T _{DIH}	データ入力ホールド時間	-	10	-	-	
	T _{DOD}	データ出力遅延	C _{Load} < 50pF	-	20	45	
	T _{DOHZ}	データ出力から Hi-Z までの遅延	C _{Load} < 50pF	-	20	-	
読出し ⁽¹⁾	T _{DOD}	データ出力遅延	C _{Load} < 50pF	-	20	45	
	T _{DOHZ}	データ出力から Hi-Z までの遅延	C _{Load} < 50pF	-	20	-	

1. V_{DD_IO} = 2.7V~5.5V、V_{DD} = 2.7V~5.5V、V_{DD_IO} ≤ V_{DD}。

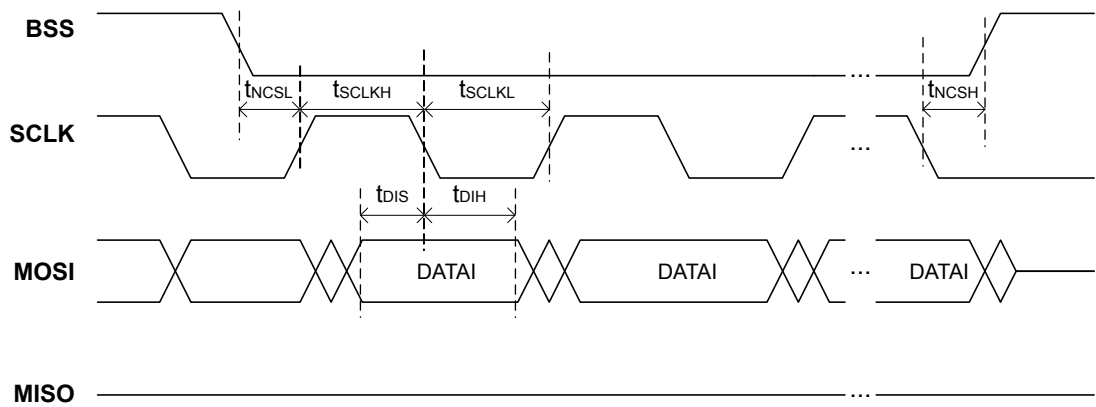
表 131. SPI 特性(最大 5MHz)

動作	記号	パラメータ	条件	最小値	典型的な値	最大値	単位
一般 ⁽¹⁾	T _{SCLK}	SCLK 周期	T _{SCLK} = T _{SCLKL} + T _{SCLKH}	200	-	-	ns
	T _{SCLKL}	SCLK Low	-	90	-	-	
	T _{SCLKH}	SCLK High	-	90	-	-	
	T _{SSH}	SPI リセット(BSS High)	-	100	-	-	
	T _{NCSL}	BSS の立下がりから SCLK の立上がりまで	最初の SCLK パルス	25	-	-	
	T _{NCSH}	SCLK の立下がりから BSS の立上がりまで	最後の SCLK パルス	25	-	-	
	T _{DIS}	データ入力セットアップ時間	-	10	-	-	
	T _{DIH}	データ入力ホールド時間	-	10	-	-	
	T _{DOD}	データ出力遅延	C _{Load} < 50pF	-	30	90	
	T _{DOHZ}	データ出力から Hi-Z までの遅延	C _{Load} < 50pF	-	20	-	
読出し ⁽¹⁾	T _{DOD}	データ出力遅延	C _{Load} < 50pF	-	30	90	
	T _{DOHZ}	データ出力から Hi-Z までの遅延	C _{Load} < 50pF	-	20	-	

1. V_{DD_IO} = 1.65V~2.7V、V_{DD} = 2.7V~5.5V、V_{DD_IO} ≤ V_{DD}。

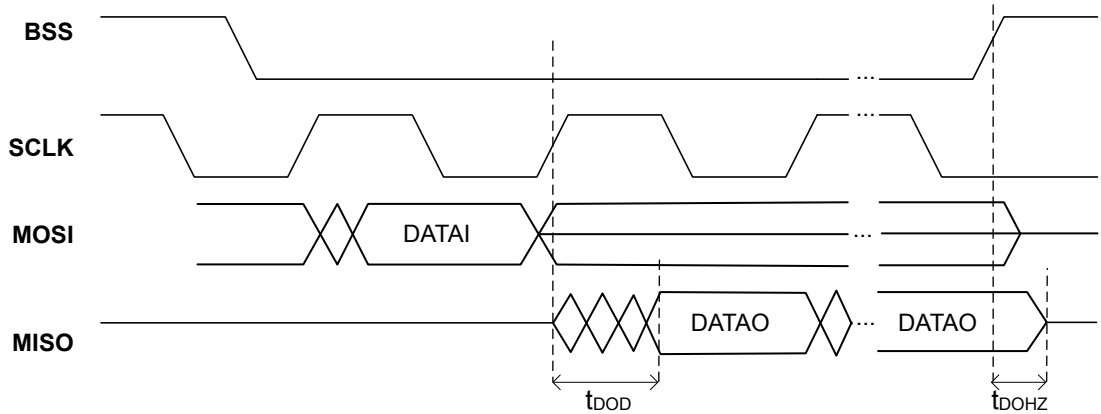


図 20. SPI タイミング・チャート - 一般的な動作



DT73092V1

図 21. SPI タイミング・チャート - 読み出し動作



DT73093V1

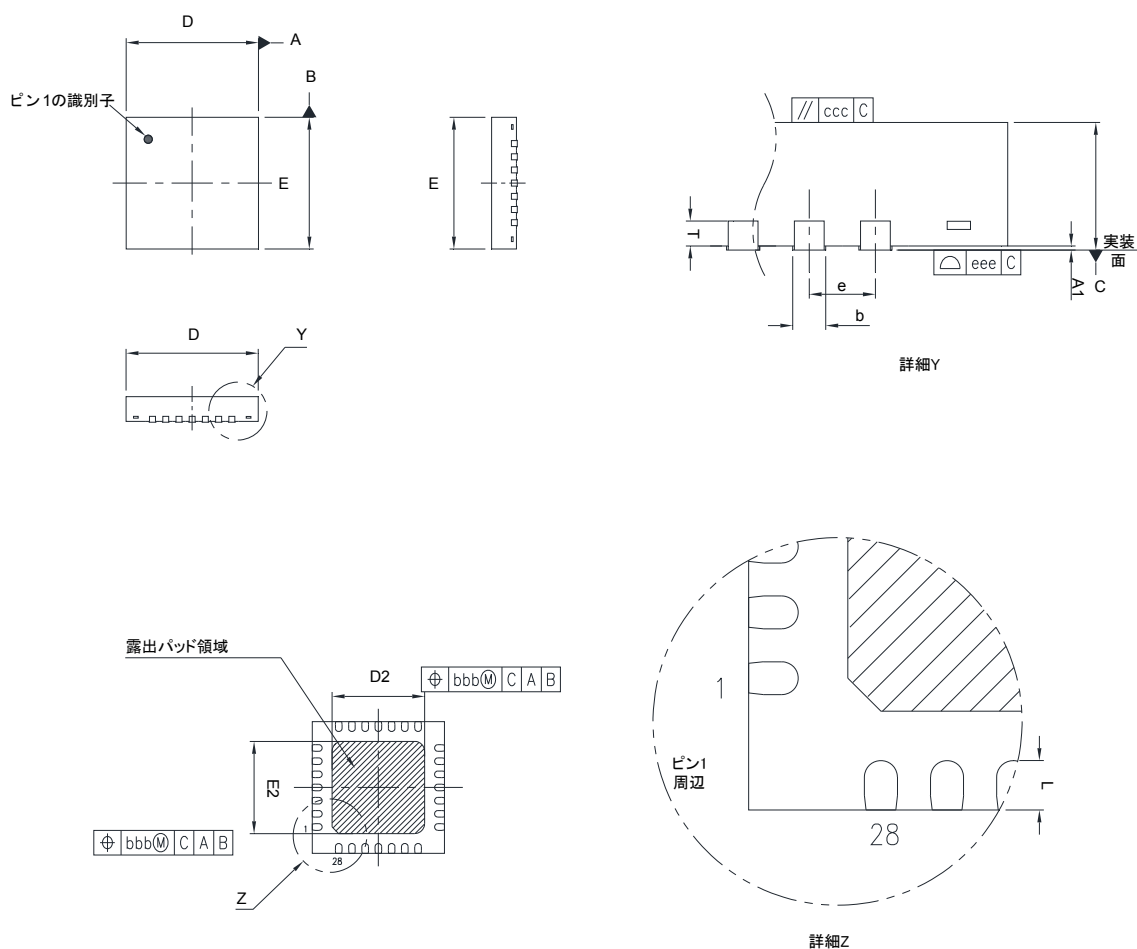
7 パッケージ情報

ST では、環境要件を満たすために、環境適合性のレベルに合わせた各種グレードの ECOPACK パッケージを提供しています。ECOPACK の仕様とグレードの定義、製品状況は www.st.com から入手可能です。ECOPACK は ST の商標です。

7.1 UFQFPN28 パッケージ情報 (B0KJ)

この UFQFPN は、28 リード、ウェッタブル・フランクなし、4 x 4mm、0.4mm ピッチの極薄ファイン・ピッチ・クワッド・フラット・パッケージです。

図 22. UFQFPN28 - 外形



1. 図の縮尺は正確ではありません。
2. 平坦度は端子だけではなく、露出パッドにも適用されます。



表 132. UFQFPN28 の寸法データ

記号	ミリメートル			インチ ⁽¹⁾		
	最小値	典型的な値	最大値	最小値	典型的な値	最大値
A	0.50	0.55	0.60	0.0197	0.0217	0.0236
A1	-	-	0.05	-	-	0.0020
T	0.152			0.0060		
L	0.30	0.40	0.50	0.0118	0.0157	0.0197
b	0.15	0.20	0.25	0.0059	0.0079	0.0098
D	4.00 BSC			0.1575 BSC		
E	4.00 BSC			0.1575 BSC		
e	0.40 BSC			0.0157 BSC		
D2	2.50 BSC			0.0984 BSC		
E2	2.50 BSC			0.0984 BSC		
N ⁽²⁾	28					
bbb	-	0.10	-	-	0.0039	-
Ccc	-	0.10	-	-	0.0039	-
Eee	-	0.08	-	-	0.0031	-

- 1. 値は mm から換算し、小数点以下第 4 位までの概数としています。
- 2. 端子の総数です。



8 注文情報

表 133. 注文情報の表記

例:	ST25	R	210	-	A	NE	T
デバイスの種類							
ST25 = NFC/RFID タグ & リーダ							
製品タイプ							
R = NFC/HF リーダ							
製品機能							
210 = コンシューマ、産業向け汎用 NFC リーダライタ IC							
周囲温度範囲							
A = -40℃～+105℃							
パッケージ							
NE = 28 ピン UFQFPN 4x4mm (ウェットابل・フランクなし)							
テープ & リール							
T = 4000 個/リール							

注 このデバイスで提供しているオプション(スピード、パッケージなど)の一覧や、その他の詳細情報は、お近くの ST セールス・オフィスまで、お問い合わせください。

注 「ES」、「E」とマークされているか、エンジニアリング・サンプルの通知レターが添付されている部品は、まだ認定されておらず、量産での使用は承認されていません。ST は、その使用に起因するいかなる結果についても責任を負いません。これらのエンジニアリング・サンプルを量産に使用されているお客様に、ST はいかなる場合も責任を負いません。これらのエンジニアリング・サンプルを認定の目的で使用する判断を下す前に、ST の品質保証部門までお問い合わせください。



改訂履歴

表 134. 文書改版履歴

日付	版	変更内容
2026 年 2 月 2 日	1	英語初版発行
2026 年 9 月 18 日	1	日本語初版発行

目次

1	説明	3
2	機能の概要	4
2.1	ブロック図	4
2.1.1	トランスミッタ	5
2.1.2	レシーバ	5
2.1.3	水晶発振器	5
2.1.4	電源レギュレータ	5
2.1.5	POR とバイアス	5
2.1.6	RC 発振器とウェイクアップ・タイマ	5
2.1.7	送信エンコード	5
2.1.8	受信フレーミング	5
2.1.9	制御ロジック	5
2.1.10	FIFO	5
2.1.11	SPI	5
2.1.12	外部フィールド検出器(EFD)	5
2.1.13	RC 発振器	6
2.1.14	ウェイクアップ・タイマ	6
3	ピンおよび信号の説明	7
4	デバイスの説明	9
4.1	システム図	9
5	アプリケーション情報	10
5.1	動作モード	10
5.1.1	リセット・モード(RESET)	10
5.1.2	パワーダウン・モード(PD)	10
5.1.3	ウェイクアップ・モード(WU)	10
5.1.4	レディ・モード(RD)	10
5.2	電源投入シーケンス	11
5.3	トランスミッタ	11
5.3.1	出力抵抗	12
5.3.2	ドライバでの送信変調	12
5.3.3	パッシブ負荷変調	12
5.4	レシーバ	15
5.4.1	復調段	15
5.4.2	フィルタおよびゲイン段	15
5.4.3	アナログデジタルコンバータ	15

5.4.4	コリレータ・システム	16
5.4.5	自動ゲイン制御	16
5.4.6	スケルチ	16
5.4.7	RSSI	16
5.4.8	デジタル化段	16
5.4.9	ADC から CE メモリへの記録	17
5.5	アンテナ・チューニング	18
5.6	RC 発振器	18
5.7	水晶発振器	19
5.8	タイマ	19
5.8.1	マスク受信タイマ (MRT)	19
5.8.2	応答なしタイマ (NRT)	19
5.8.3	汎用タイマ (GPT)	20
5.8.4	ウェイクアップ・タイマ (WUT)	20
5.9	ウェイクアップ・モード	20
5.9.1	カード検出	20
5.9.2	自動平均化	20
5.9.3	較正	21
5.9.4	ウェイクアップ IRQ	21
5.9.5	ウェイクアップ・タイマの較正	21
5.10	電源系	21
5.10.1	パワーダウン・ブロック	23
5.10.2	VDD_A レギュレータ	23
5.10.3	VDD_D レギュレータ	23
5.10.4	VDD_DR レギュレータ	23
5.11	アクティブ波形補正	23
5.12	リーダ動作	24
5.13	カード・エミュレーション動作	25
5.13.1	低消費電力フィールド検出	25
5.13.2	固定カード・エミュレーション	25
5.13.3	ビット・レート検出	26
5.13.4	CE 通信	26
5.13.5	CE メモリ	26
5.14	ホスト・インタフェース	27
5.14.1	外部マイクロコントローラとの通信	27
5.14.2	割り込みインタフェース	27
5.15	ダイレクト・コマンド	34

5.15.1	Set Default	35
5.15.2	Stop All Activities	35
5.15.3	Clear FIFO	35
5.15.4	Clear Rx Gain	35
5.15.5	Adjust Regulators	35
5.15.6	Transmit Data	35
5.15.7	Transmit Next Slot	35
5.15.8	NFC Field ON	36
5.15.9	Mask Receive Data	36
5.15.10	Unmask Receive Data	37
5.15.11	Calibrate WU Measurement	37
5.15.12	Clear WU Calibration	37
5.15.13	WU Measurement	37
5.15.14	I/Q Measurement および Sense RF	37
5.15.15	Trigger Wake-Up Event	37
5.15.16	Start GPT	38
5.15.17	Start WUT	38
5.15.18	Start MRT	38
5.15.19	Start NRT	38
5.15.20	Stop NRT	38
5.15.21	Calibrate RC	38
5.15.22	診断測定のトリガ	38
5.15.23	Test Register Access	39
5.16	レジスタ	40
5.16.1	動作レジスタ	42
5.16.2	全般設定レジスタ	43
5.16.3	VDD_DR レギュレータ設定レジスタ	44
5.16.4	送信ドライバ設定レジスタ	45
5.16.5	送信変調レジスタ 1	46
5.16.6	送信変調レジスタ 2	47
5.16.7	CE 変調レジスタ 1	48
5.16.8	CE 変調レジスタ 2	49
5.16.9	GPIO 制御レジスタ	49
5.16.10	受信アナログ設定レジスタ 1	49
5.16.11	受信アナログ設定レジスタ 2	50
5.16.12	受信アナログ設定レジスタ 3	50
5.16.13	受信アナログ設定レジスタ 4	50
5.16.14	受信デジタル設定レジスタ 1	51

5.16.15	コリレータ設定レジスタ 1	51
5.16.16	コリレータ設定レジスタ 2	51
5.16.17	コリレータ設定レジスタ 3	51
5.16.18	コリレータ設定レジスタ 4	52
5.16.19	コリレータ設定レジスタ 5	52
5.16.20	コリレータ設定レジスタ 6	52
5.16.21	プロトコル・レジスタ 1	53
5.16.22	送信プロトコル・レジスタ 1	54
5.16.23	送信プロトコル・レジスタ 2	55
5.16.24	受信プロトコル・レジスタ 1	56
5.16.25	受信プロトコル・レジスタ 2	56
5.16.26	受信プロトコル・レジスタ 3	56
5.16.27	EMD コンフィギュレーション・レジスタ 1	57
5.16.28	EMD コンフィギュレーション・レジスタ 2	57
5.16.29	CE コンフィギュレーション・レジスタ 1	57
5.16.30	CE コンフィギュレーション・レジスタ 2	58
5.16.31	CE コンフィギュレーション・レジスタ 3	58
5.16.32	マスク受信タイマの設定レジスタ 1	58
5.16.33	マスク受信タイマの設定レジスタ 2	60
5.16.34	スケルチ・タイマ設定レジスタ	60
5.16.35	NRT および GPT 設定レジスタ 1	61
5.16.36	NRT および GPT 設定レジスタ 2	61
5.16.37	NRT および GPT 設定レジスタ 3	61
5.16.38	NRT および GPT 設定レジスタ 4	62
5.16.39	NRT および GPT 設定レジスタ 5	62
5.16.40	ウェイクアップ・コントロール・レジスタ 1	63
5.16.41	ウェイクアップ・コントロール・レジスタ 2	64
5.16.42	ウェイクアップ・コントロール・レジスタ 3	65
5.16.43	I チャンネル WU 設定レジスタ	66
5.16.44	I チャンネル WU 差レジスタ	66
5.16.45	I チャンネル WU 較正レジスタ	66
5.16.46	I チャンネル WU ADC ディスプレイ・レジスタ	67
5.16.47	I チャンネル WU 基準レジスタ	67
5.16.48	Q チャンネル WU 設定レジスタ	67
5.16.49	Q チャンネル WU 差レジスタ	68
5.16.50	Q チャンネル WU 較正レジスタ	68
5.16.51	Q チャンネル WU ADC ディスプレイ・レジスタ	68
5.16.52	Q チャンネル WU 基準レジスタ	68

5.16.53	送信フレーム設定レジスタ 1	69
5.16.54	送信フレーム設定レジスタ 2	69
5.16.55	FIFO ステータス・レジスタ 1	69
5.16.56	FIFO ステータス・レジスタ 2	70
5.16.57	受信コリジョン・ディスプレイ・レジスタ	70
5.16.58	IRQ マスク・レジスタ 1	71
5.16.59	IRQ マスク・レジスタ 2	71
5.16.60	IRQ マスク・レジスタ 3	71
5.16.61	IRQ ステータス・レジスタ 1	72
5.16.62	IRQ ステータス・レジスタ 2	72
5.16.63	IRQ ステータス・レジスタ 3	72
5.16.64	IC 識別レジスタ	73
5.16.65	ステータス・レジスタ 1	73
5.16.66	ステータス・レジスタ 2	74
5.16.67	静的ステータス・レジスタ 1	74
5.16.68	静的ステータス・レジスタ 2	74
5.16.69	静的ステータス・レジスタ 3	75
5.16.70	カード・エミュレーション・ステータス・レジスタ 1	76
5.16.71	カード・エミュレーション・ステータス・レジスタ 2	77
5.16.72	ウェイクアップ・ステータス・レジスタ	77
5.16.73	アナログ・ディスプレイ・レジスタ 1	77
5.16.74	アナログ・ディスプレイ・レジスタ 2	77
5.16.75	RSSI ディスプレイ・レジスタ 1	78
5.16.76	RSSI ディスプレイ・レジスタ 2	78
5.16.77	RF 感知ディスプレイ・レジスタ	78
5.16.78	AWS コンフィギュレーション・レジスタ 1	78
5.16.79	AWS コンフィギュレーション・レジスタ 2	79
5.16.80	AWS タイミング・レジスタ 1	79
5.16.81	AWS タイミング・レジスタ 2	79
5.16.82	AWS タイミング・レジスタ 3	79
5.16.83	AWS タイミング・レジスタ 4	79
5.16.84	オーバーシュート保護レジスタ	80
5.16.85	アンダーシュート保護レジスタ	80
5.16.86	外部フィールド検出器	80
5.17	テスト・レジスタ	81
5.17.1	NFC WLC WPT モニタ	81
5.17.2	CE メモリへの ADC レジスタ	81
5.17.3	発振器のタイミング制御レジスタ	83



5.17.4	手動タイミング・レジスタ	83
5.17.5	診断測定レジスタ	83
5.17.6	オーバーラップ制御レジスタ	83
5.17.7	受信開始タイマ・ディスプレイ・レジスタ 1	84
5.17.8	受信開始タイマ・ディスプレイ・レジスタ 2	84
5.17.9	受信終了タイマ・ディスプレイ・レジスタ 1	84
5.17.10	受信終了タイマ・ディスプレイ・レジスタ 2	84
6	電気特性	85
6.1	絶対最大定格	85
6.2	動作条件	86
6.3	電氣的仕様	87
6.4	デジタル入出力の DC/AC 特性	93
6.5	SPI 特性	94
7	パッケージ情報	96
7.1	UFQFPN28 パッケージ情報 (B0KJ)	96
8	注文情報	98
	改訂履歴	99

表一覧

表 1.	QFN28 ピンの割当て	8
表 2.	推奨コンデンサ値	9
表 3.	変調方式	12
表 4.	CE メモリ・アドレス空間	26
表 5.	SPI 信号ライン	28
表 6.	SPI の動作モード	28
表 7.	ダイレクト・コマンド	34
表 8.	NFC Field ON コマンド群のタイミング・パラメータ	36
表 9.	診断測定	39
表 10.	レジスタ	40
表 11.	動作レジスタ	42
表 12.	全般設定レジスタ	43
表 13.	VDD_DR レギュレータ設定レジスタ	44
表 14.	安定化電圧	44
表 15.	送信ドライバ設定レジスタ	45
表 16.	VDD_DR レギュレータ・ドロップ	45
表 17.	ドライバ抵抗乗数	45
表 18.	送信変調レジスタ 1	46
表 19.	AM 変調指数	46
表 20.	送信変調レジスタ 2	47
表 21.	md_res 設定	47
表 22.	CE 変調レジスタ 1	48
表 23.	非変調(CE_RES)および変調(CEM_RES)状態におけるドライバ抵抗	48
表 24.	CE 変調レジスタ 2	49
表 25.	GPIO 制御レジスタ	49
表 26.	受信アナログ設定レジスタ 1	49
表 27.	受信アナログ設定レジスタ 2	50
表 28.	受信アナログ設定レジスタ 3	50
表 29.	受信アナログ設定レジスタ 4	50
表 30.	受信デジタル設定レジスタ 1	51
表 31.	コリレータ設定レジスタ 1	51
表 32.	コリレータ設定レジスタ 2	51
表 33.	コリレータ設定レジスタ 3	51
表 34.	コリレータ設定レジスタ 4	52
表 35.	コリレータ設定レジスタ 5	52
表 36.	コリレータ設定レジスタ 6	52
表 37.	初期コリレータ・ノイズ・レベル	52
表 38.	プロトコル・レジスタ 1	53
表 39.	rx_rate	53
表 40.	tx_rate	53
表 41.	動作モード	54
表 42.	送信プロトコル・レジスタ 1	54
表 43.	OOK 変調パルス幅	55
表 44.	送信プロトコル・レジスタ 2	55
表 45.	受信プロトコル・レジスタ 1	56
表 46.	受信プロトコル・レジスタ 2	56
表 47.	受信プロトコル・レジスタ 3	56
表 48.	EMD コンフィギュレーション・レジスタ 1	57
表 49.	EMD コンフィギュレーション・レジスタ 2	57
表 50.	CE コンフィギュレーション・レジスタ 1	57
表 51.	CE コンフィギュレーション・レジスタ 2	58
表 52.	CE コンフィギュレーション・レジスタ 3	58
表 53.	マスク受信タイマの設定レジスタ 1	58

表 54.	マスク受信タイムの設定レジスタ 2	60
表 55.	スケルチ・タイム設定レジスタ	60
表 56.	NRT および GPT 設定レジスタ 1	61
表 57.	汎用タイムのトリガ・ソース	61
表 58.	NRT および GPT 設定レジスタ 2	61
表 59.	NRT および GPT 設定レジスタ 3	61
表 60.	NRT および GPT 設定レジスタ 4	62
表 61.	NRT および GPT 設定レジスタ 5	62
表 62.	ウェイクアップ・コントロール・レジスタ 1	63
表 63.	ウェイクアップ・タイムの周期	63
表 64.	ウェイクアップ・コントロール・レジスタ 2	64
表 65.	ウェイクアップ・コントロール・レジスタ 3	65
表 66.	ウェイクアップの測定時間	65
表 67.	I チャンネル WU 設定レジスタ	66
表 68.	I チャンネル WU 差レジスタ	66
表 69.	I チャンネル WU 較正レジスタ	66
表 70.	I チャンネル WU ADC ディスプレイ・レジスタ	67
表 71.	I チャンネル WU 基準レジスタ	67
表 72.	Q チャンネル WU 設定レジスタ	67
表 73.	Q チャンネル WU 差レジスタ	68
表 74.	Q チャンネル WU 較正レジスタ	68
表 75.	Q チャンネル WU ADC ディスプレイ・レジスタ	68
表 76.	Q チャンネル WU 基準レジスタ	68
表 77.	送信フレーム設定レジスタ 1	69
表 78.	送信フレーム設定レジスタ 2	69
表 79.	FIFO ステータス・レジスタ 1	69
表 80.	FIFO ステータス・レジスタ 2	70
表 81.	受信コリジョン・ディスプレイ・レジスタ	70
表 82.	IRQ マスク・レジスタ 1	71
表 83.	IRQ マスク・レジスタ 2	71
表 84.	IRQ マスク・レジスタ 3	71
表 85.	IRQ ステータス・レジスタ 1	72
表 86.	IRQ ステータス・レジスタ 2	72
表 87.	IRQ ステータス・レジスタ 3	72
表 88.	IC 識別レジスタ	73
表 89.	ステータス・レジスタ 1	73
表 90.	ステータス・レジスタ 2	74
表 91.	静的ステータス・レジスタ 1	74
表 92.	静的ステータス・レジスタ 2	74
表 93.	静的ステータス・レジスタ 3	75
表 94.	カード・エミュレーション・ステータス・レジスタ 1	76
表 95.	カード・エミュレーション状態	76
表 96.	カード・エミュレーション・ステータス・レジスタ 2	77
表 97.	ウェイクアップ・ステータス・レジスタ	77
表 98.	アナログ・ディスプレイ・レジスタ 1	77
表 99.	アナログ・ディスプレイ・レジスタ 2	77
表 100.	RSSI ディスプレイ・レジスタ 1	78
表 101.	RSSI ディスプレイ・レジスタ 2	78
表 102.	RF 感知ディスプレイ・レジスタ	78
表 103.	AWS コンフィギュレーション・レジスタ 1	78
表 104.	AWS コンフィギュレーション・レジスタ 2	79
表 105.	AWS タイミング・レジスタ 1	79
表 106.	AWS タイミング・レジスタ 2	79
表 107.	AWS タイミング・レジスタ 3	79
表 108.	AWS タイミング・レジスタ 4	79



表 109.	オーバーシュート保護レジスタ	80
表 110.	アンダーシュート保護レジスタ	80
表 111.	外部フィールド検出器	80
表 112.	外部フィールド検出器閾値	80
表 113.	テストレジスタ	81
表 114.	CE メモリへの ADC レジスタ	82
表 115.	発振器のタイミング制御レジスタ	83
表 116.	手動タイミングレジスタ	83
表 117.	診断測定レジスタ	83
表 118.	オーバーラップ制御レジスタ	83
表 119.	受信開始タイマ・ディスプレイレジスタ 1	84
表 120.	受信開始タイマ・ディスプレイレジスタ 2	84
表 121.	受信終了タイマ・ディスプレイレジスタ 1	84
表 122.	受信終了タイマ・ディスプレイレジスタ 2	84
表 123.	絶対最大定格	85
表 124.	動作条件	86
表 125.	ST25R210 電気特性 ($V_{DD} = V_{DD_TX} = 5.5V$, $V_{DD_IO} = 5.5V$)	87
表 126.	ST25R210 電気特性 ($V_{DD} = V_{DD_TX} = 3.3V$, $V_{DD_IO} = 3.3V$)	88
表 127.	ST25R210 電気特性 ($V_{DD} = V_{DD_TX} = 2.7V$, $V_{DD_IO} = 2.7V$)	90
表 128.	V_{DD_IO} 電源電流	91
表 129.	CMOS I/O の特性	93
表 130.	SPI 特性 (最大 10MHz)	94
表 131.	SPI 特性 (最大 5MHz)	94
表 132.	UFQFPN28 の寸法データ	97
表 133.	注文情報の表記	98
表 134.	文書改版履歴	99



図一覧

図 1.	ST25R210 ブロック図	4
図 2.	QFN28 ピン配置 (上面図)	7
図 3.	最小システム構成	9
図 4.	ある状態から別の状態への遷移	11
図 5.	AAT 回路例	13
図 6.	周波数シフト回路例	14
図 7.	レシーバのブロック図	15
図 8.	アンテナ・チューニング回路図	18
図 9.	電源系	22
図 10.	ホストとの SPI データ信号	28
図 11.	SPI 通信: 1 バイトの書き込み	30
図 12.	SPI 通信: 複数バイトの書き込み	30
図 13.	SPI 通信: 1 バイトの読み出し	31
図 14.	SPI 通信: 複数バイトの読み出し	31
図 15.	SPI 通信: ダイレクト・コマンド	32
図 16.	SPI 通信: ダイレクト・コマンドの連鎖	32
図 17.	SPI 通信: FIFO へのバイトの書き込み	33
図 18.	SPI 通信: FIFO からのバイトの読み出し	33
図 19.	ダイレクト・コマンド NFC Field ON (RF コリジョンなし)	36
図 20.	SPI タイミング・チャート - 一般的な動作	95
図 21.	SPI タイミング・チャート - 読み出し動作	95
図 22.	UFQFPN28 - 外形	96

重要なお知らせ(よくお読み下さい)

STMicroelectronics NV およびその子会社(以下、ST)は、ST製品及び本書の内容をいつでも予告なく変更、修正、改善、改定及び改良する権利を留保します。購入される方は、発注前にST製品に関する最新の関連情報を必ず入手してください。ST製品は、注文請書発行時点で有効なSTの販売条件に従って販売されます。

ST製品の選択並びに使用については購入される方が全ての責任を負うものとします。購入される方の製品上の操作や設計に関してSTは一切の責任を負いません。

明示又は黙示を問わず、STは本書においていかなる知的財産権の実施権も許諾致しません。

本書で説明されている情報とは異なる条件でST製品が再販された場合、その製品についてSTが与えたいかなる保証も無効となります。

ST およびST ロゴはSTMicroelectronics の商標です。STの登録商標についてはSTウェブサイトをご覧ください。www.st.com/trademarks

その他の製品またはサービスの名称は、それぞれの所有者に帰属します。

本書の情報は本書の以前のバージョンで提供された全ての情報に優先し、これに代わるものです。

© 2026 STMicroelectronics – All rights reserved