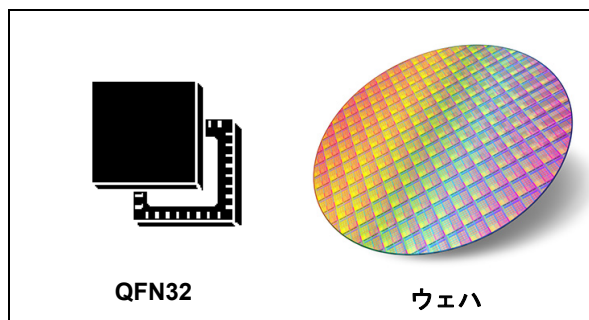


高性能HF/NFCリーダライタ 1.4W出力とVHBR、AAT機能付き

データシート



機能

- ISO 18092 (NFCIP-1) アクティブP2P
- ISO14443A、ISO14443B、FeliCa™
- VHBR (3.4 Mbit/s PICCからPCDへのフレーミング、6.8 Mbit/s アナログフロントエンドとPCDからPICCへのフレーミング) に対応
- 静電容量センシング - ウェイクアップ
- 自動アンテナ・チューニング (AAT) によりアンテナLCタンクのチューニングが可能
- 自動復調指数調整
- 自動選択対応AM・PM (I/Q) 復調チャネル
- DPO (ダイナミック・パワー・アウトプット)
- 差動出力時は最大1.4 W
- 半自動およびAGC (自動ゲイン・コントロール)
- MIFARE™ Classic互換フレームやその他のカスタム・フレームに対応するためのトランスペアレント・モードとストリーム・モード
- シングルエンド・モードでアンテナ2本を駆動可能
- 13.56 MHzまたは27.12 MHz (高速起動対応) の水晶で動作可能な発振器入力
- 96バイトFIFO付き6 Mbit/s SPI
- 2.4 ~ 5.5 V対応の広い電源電圧範囲
- 広温度範囲: -40 ~ 125 °C
- QFN32、5 mm x 5 mmパッケージ

説明

ST25R3911Bは、高集積度のNFC イニシエータ / HFリーダライタICであり、アナログ・フロントエンド (AFE) ならびに、ISO 18092 (NFCIP-1) イニシエータとISO 18092 (NFCIP-1) P2Pアクティブ・ターゲット、ISO 14443A/B (VHBR含む)、FeliCa™のための高度に統合されたデータ・フレーミング・システムが含まれています。外部マイクロコントローラにフレーミングを実装することにより (ストリーム・モードとトランスペアレントモード)、MIFARE™ Classicのような標準以外のカスタム・プロトコルを実装することもできます。

ST25R3911Bは、最高のRF性能と柔軟性が低消費電力との組み合わせで求められる、NFCシステムインフラに最適な製品です。

自動アンテナ・チューニング (AAT) 技術により、このデバイスは、金属環境などにおかれた、直接駆動アンテナを組み込むアプリケーションに最適化が可能です。ST25R3911Bは、HFリーダライタICの領域の中で、低インピーダンス (1Ω) 差動アンテナ・ドライバを2個搭載している唯一のデバイスです。

ST25R3911Bには、このデバイスを低消費電力用途に最適化する複数の機能が含まれています。リーダライタ磁界をオンにすることなく、カードの存在を検出する、低消費電力の静電容量センサが含まれています。カードの存在は、アンテナのLCタンクにおける信号の振幅か位相を測定し、格納されている基準値と比較することによっても検出できます。このデバイスには、低消費電力のRC発振器とウェイクアップ・タイマも含まれており、規定時間後にシステムを立ち上げて、低消費電力検出方法 (容量、位相、または振幅) の1つ以上を用いて、タグの存在を確認するために使用できます。

ST25R3911Bは、広い電源電圧範囲 (2.4 ~ 5.5 V) で動作するように設計されており、ペリフェラル・インタフェースIOピンは、1.65 ~ 5.5 Vの電源電圧範囲に対応しています。

目次

1	機能概要	10
1.1	ブロック図	10
1.1.1	トランスミッタ	11
1.1.2	レシーバ	11
1.1.3	位相・振幅検出器	11
1.1.4	A/D コンバータ	11
1.1.5	静電容量センサ	11
1.1.6	外部フィールド検出器	12
1.1.7	水晶発振器	12
1.1.8	電源レギュレータ	12
1.1.9	POR とバイアス	12
1.1.10	RC 発振器とウェイクアップ・タイマ	12
1.1.11	ISO-14443 と NFCIP-1 フレーミング	13
1.1.12	FIFO	13
1.1.13	コントロール・ロジック	13
1.1.14	SPI	13
1.2	アプリケーション情報	13
1.2.1	動作モード	15
1.2.2	トランスミッタ	15
1.2.3	レシーバ	16
1.2.4	静電容量センサ	21
1.2.5	ウェイクアップ・モード	23
1.2.6	水晶発振器	24
1.2.7	タイマ	25
1.2.8	A/D コンバータ	27
1.2.9	位相振幅検出器	27
1.2.10	外部フィールド検出器	28
1.2.11	電源システム	29
1.2.12	外部マイクロコントローラとの通信	31
1.2.13	ダイレクト・コマンド	41
1.2.14	Start Timer コマンド群	50
1.2.15	Test Access	51
1.2.16	起動シーケンス	52
1.2.17	リーダ動作	52

1.2.18	FeliCa™ リーダ・モード	58
1.2.19	NFCIP-1 動作	58
1.2.20	AM 変調度：設定と補正	63
1.2.21	アンテナの同調	65
1.2.22	ストリーム・モードとトランスペアレント・モード	67
1.3	レジスタ	71
1.3.1	IO コンフィギュレーション・レジスタ 1	74
1.3.2	IO コンフィギュレーション・レジスタ 2	75
1.3.3	動作コントロール・レジスタ	76
1.3.4	モード設定レジスタ	77
1.3.5	ビット・レート設定レジスタ	78
1.3.6	ISO14443A / NFC 106kb/s 設定レジスタ	79
1.3.7	ISO14443B 設定レジスタ 1	80
1.3.8	ISO14443B / FeliCa 設定レジスタ	81
1.3.9	ストリーム・モード設定レジスタ	82
1.3.10	補助設定レジスタ	83
1.3.11	レシーバ・コンフィギュレーション・レジスタ 1	84
1.3.12	レシーバ・コンフィギュレーション・レジスタ 2	85
1.3.13	レシーバ・コンフィギュレーション・レジスタ 3	86
1.3.14	レシーバ・コンフィギュレーション・レジスタ 4	86
1.3.15	マスク受信タイマ・レジスタ	87
1.3.16	応答なしタイマ・レジスタ 1	88
1.3.17	応答なしタイマ・レジスタ 2	88
1.3.18	汎用 / 応答なしタイマ・コントロール・レジスタ	89
1.3.19	汎用タイマ・レジスタ 1	90
1.3.20	汎用タイマ・レジスタ 2	90
1.3.21	マスク・メイン割込みレジスタ	91
1.3.22	マスク・タイマ / NFC 割込みレジスタ	91
1.3.23	マスク・エラー / ウェイクアップ割込みレジスタ	92
1.3.24	メイン割込みレジスタ	92
1.3.25	タイマ / NFC 割込みレジスタ	93
1.3.26	エラー / ウェイクアップ割込みレジスタ	94
1.3.27	FIFO ステータス・レジスタ 1	95
1.3.28	FIFO ステータス・レジスタ 2	95
1.3.29	コリジョン表示レジスタ	96
1.3.30	送信バイト数レジスタ 1	96
1.3.31	送信バイト数レジスタ 2	97

1.3.32	NFCIP ビット・レート検出表示レジスタ	97
1.3.33	A/D コンバータ出力レジスタ	98
1.3.34	アンテナ補正コントロール・レジスタ	98
1.3.35	アンテナ補正ターゲット・レジスタ	99
1.3.36	アンテナ補正表示レジスタ	99
1.3.37	AM 変調度コントロール・レジスタ	100
1.3.38	AM 変調度表示レジスタ	100
1.3.39	RFO AM 変調レベル設定レジスタ	101
1.3.40	RFO 通常レベル設定レジスタ	101
1.3.41	外部フィールド検出器閾値レジスタ	102
1.3.42	レギュレータ電圧コントロール・レジスタ	103
1.3.43	レギュレータ / タイマ表示レジスタ	104
1.3.44	RSSI 表示レジスタ	105
1.3.45	ゲイン減少状態レジスタ	106
1.3.46	静電容量センサ・コントロール・レジスタ	106
1.3.47	静電容量センサ表示レジスタ	107
1.3.48	補助表示レジスタ	107
1.3.49	ウェイクアップ・タイマ・コントロール・レジスタ	108
1.3.50	振幅測定コンフィギュレーション・レジスタ	109
1.3.51	振幅測定基準レジスタ	109
1.3.52	振幅測定自動平均化表示レジスタ	110
1.3.53	振幅測定表示レジスタ	110
1.3.54	位相測定コンフィギュレーション・レジスタ	111
1.3.55	位相測定基準レジスタ	111
1.3.56	位相測定自動平均化表示レジスタ	112
1.3.57	位相測定表示レジスタ	112
1.3.58	静電容量測定コンフィギュレーション・レジスタ	113
1.3.59	静電容量測定基準レジスタ	113
1.3.60	静電容量測定自動平均化表示レジスタ	114
1.3.61	静電容量測定ディスプレイ・レジスタ	114
1.3.62	IC 識別レジスタ	115

2 ピン配列とピン説明 116

3	電気的特性	118
3.1	絶対最大定格	118
3.2	動作条件	119
3.3	デジタル入出力の DC/AC 特性	119
3.3.1	CMOS 入力	119
3.3.2	CMOS 出力	119
3.4	電氣的仕様	120
3.5	標準動作特性	122
3.5.1	耐熱性と最大消費電力	122
4	パッケージ情報	123
4.1	QFN32 パッケージ情報	123
5	部品番号	125
6	改訂履歴	127

表の一覧

表 1.	第 1/ 第 3 ステージゼロ点設定	18
表 2.	ローパス・コントロール	19
表 3.	レシーバのフィルタ選択とゲイン範囲	19
表 4.	ブロッキング・コンデンサの推奨値	30
表 5.	シリアル・データ・インタフェース (4 線式インタフェース) 信号ライン	32
表 6.	SPI 動作モード	33
表 7.	SPI タイミング	38
表 8.	IRQ 出力	39
表 9.	ダイレクト・コマンド	41
表 10.	NFC Field ON コマンド群のタイミング・パラメータ	45
表 11.	レジスタ・プリセット・ビット	46
表 12.	アナログ・テスト/監視レジスタ	51
表 13.	テスト・アクセス・レジスタ - CSI ピンと CSO ピン の Tana 信号選択	51
表 14.	NFCIP-1 パッシブ通信の動作モード/ビット・レート設定	59
表 15.	NFCIP-1 アクティブ通信イニシエータの動作モード/ビット・レート設定	60
表 16.	mod ビットの設定	64
表 17.	レジスタ・マップ	71
表 18.	IO コンフィギュレーション・レジスタ 1	74
表 19.	IO コンフィギュレーション・レジスタ 2	75
表 20.	動作コントロール・レジスタ	76
表 21.	モード設定レジスタ	77
表 22.	イニシエータ動作モード	77
表 23.	ターゲット動作モード	77
表 24.	ビット・レート設定レジスタ	78
表 25.	ビット・レート・コーディング	78
表 26.	ISO14443A / NFC 106kb/s 設定レジスタ	79
表 27.	ISO14443A 変調パルス幅	79
表 28.	ISO14443B 設定レジスタ 1	80
表 29.	ISO14443B / FeliCa 設定レジスタ	81
表 30.	最小 TR1 コーディング	81
表 31.	ストリーム・モード設定レジスタ	82
表 32.	サブキャリア /BPSK ストリーム・モードのサブキャリア周波数設定	82
表 33.	ストリーム・モード Tx 変調器制御用時間周期の設定	82
表 34.	補助設定レジスタ	83
表 35.	レシーバ・コンフィギュレーション・レジスタ 1	84
表 36.	レシーバ・コンフィギュレーション・レジスタ 2	85
表 37.	レシーバ・コンフィギュレーション・レジスタ 3	86
表 38.	レシーバ・コンフィギュレーション・レジスタ 4	86
表 39.	マスク受信タイマ・レジスタ	87
表 40.	応答なしタイマ・レジスタ 1	88
表 41.	応答なしタイマ・レジスタ 2	88
表 42.	汎用 / 応答なしタイマ・コントロール・レジスタ	89
表 43.	タイマのトリガ源	89
表 44.	汎用タイマ・レジスタ 1	90
表 45.	汎用タイマ・レジスタ 2	90
表 46.	マスク・メイン割込みレジスタ	91
表 47.	マスク・タイマ/NFC 割込みレジスタ	91
表 48.	マスク・エラー/ウェイクアップ割込みレジスタ	92
表 49.	メイン割込みレジスタ	92

表 50.	タイマ /NFC 割込みレジスタ	93
表 51.	エラー / ウェイクアップ割込みレジスタ	94
表 52.	FIFO ステータス・レジスタ 1	95
表 53.	FIFO ステータス・レジスタ 2	95
表 54.	コリジョン表示レジスタ	96
表 55.	送信バイト数レジスタ 1	96
表 56.	送信バイト数レジスタ 2	97
表 57.	NFCIP ビット・レート検出表示レジスタ	97
表 58.	A/D コンバータ出力レジスタ	98
表 59.	アンテナ補正コントロール・レジスタ	98
表 60.	アンテナ補正ターゲット・レジスタ	99
表 61.	アンテナ補正表示レジスタ	99
表 62.	AM 変調度コントロール・レジスタ	100
表 63.	AM 変調度表示レジスタ	100
表 64.	RFO AM 変調レベル設定レジスタ	101
表 65.	RFO 通常レベル設定レジスタ	101
表 66.	外部フィールド検出器閾値レジスタ	102
表 67.	RF11 入力から見たピア検出閾値	102
表 68.	RF11 入力から見たコリジョン防止閾値	102
表 69.	レギュレータ電圧コントロール・レジスタ	103
表 70.	レギュレータ / タイマ表示レジスタ	104
表 71.	安定化電圧	104
表 72.	RSSI 表示レジスタ	105
表 73.	RSSI	105
表 74.	ゲイン減少状態レジスタ	106
表 75.	静電容量センサ・コントロール・レジスタ	106
表 76.	静電容量センサ表示レジスタ	107
表 77.	補助表示レジスタ	107
表 78.	ウェイクアップ・タイマ・コントロール・レジスタ	108
表 79.	標準ウェイクアップ時間	108
表 80.	振幅測定コンフィギュレーション・レジスタ	109
表 81.	振幅測定基準レジスタ	109
表 82.	振幅測定自動平均化表示レジスタ	110
表 83.	振幅測定表示レジスタ	110
表 84.	位相測定コンフィギュレーション・レジスタ	111
表 85.	位相測定基準レジスタ	111
表 86.	位相測定自動平均化表示レジスタ	112
表 87.	位相測定表示レジスタ	112
表 88.	静電容量測定コンフィギュレーション・レジスタ	113
表 89.	静電容量測定基準レジスタ	113
表 90.	静電容量測定自動平均化表示レジスタ	114
表 91.	静電容量測定ディスプレイ・レジスタ	114
表 92.	IC 識別レジスタ	115
表 93.	ST25R3911B ピン定義 - QFN32 パッケージ	116
表 94.	電氣的パラメータ	118
表 95.	静電気放電	118
表 96.	温度範囲と保存条件	118
表 97.	動作条件	119
表 98.	CMOS 入力	119
表 99.	CMOS 出力	119
表 100.	電氣的仕様	120
表 101.	QFN32 5 mm x 5 mm 寸法	124

表 102.	発注情報体系	125
表 103.	発注情報体系（未切断ウエハ）	126
表 104.	文書改訂履歴	127



図の一覧

図 1.	ST25R3911B ブロック図	10
図 2.	シングル・エンド・アンテナ駆動の最小構成 (EMC フィルタを含む)	14
図 3.	差動アンテナ駆動の最小構成 (EMC フィルタを含む)	14
図 4.	レシーバのブロック図	17
図 5.	静電容量センサブロック図	22
図 6.	90° 位相シフトの場合の位相検出器の入力と出力	27
図 7.	135° 位相シフトの場合の位相検出器の入力と出力	28
図 8.	ST25R3911B の電源	29
図 9.	マイクロコントローラとの信号のやりとり	32
図 10.	SPI 通信: 単一バイト書込み	33
図 11.	SPI 通信: 複数バイト書込み	34
図 12.	SPI 通信: 単一バイト読み込み	35
図 13.	SPI 通信: FIFO のロード	35
図 14.	SPI 通信: FIFO の読み込み	36
図 15.	SPI 通信: ダイレクト・コマンド	37
図 16.	SPI 通信: ダイレクト・コマンドの連鎖	37
図 17.	SPI 一般タイミング	38
図 18.	SPI 読み込みタイミング	39
図 19.	ダイレクト・コマンド NFC Initial Field ON	45
図 20.	ダイレクト・コマンド NFC Response Field ON	45
図 21.	PCD と PICC の ISO14443A 状態群	54
図 22.	ある特定の FDT に対する MRT と NRT の選択	55
図 23.	ST25R3911B を用いた ISO14443A コリジョン防止のフローチャート	57
図 24.	FeliCa™ フレーム・フォーマット	58
図 25.	NFCIP-1 によるトランスポート・フレーム・フォーマット	59
図 26.	アンテナ LC タンクに対する同調コンデンサの接続	66
図 27.	scf = 01b かつ scp = 10b に設定した場合のサブキャリア・ストリーム・モードの例	69
図 28.	scf = 01b かつ scp = 10b に設定した場合の BPSK ストリーム・モードの例	70
図 29.	stx = 000b かつ OOK 変調に設定した場合のストリーム・モードの Tx の例	70
図 30.	ST25R3911BQFN32 ピン配列 ⁽¹⁾	116
図 31.	異なる銅面積における TCASE 対電力 (Tamb = 25°C)	122
図 32.	RthCA 対銅面積	122
図 33.	QFN32 パッケージ外形	123

1 機能概要

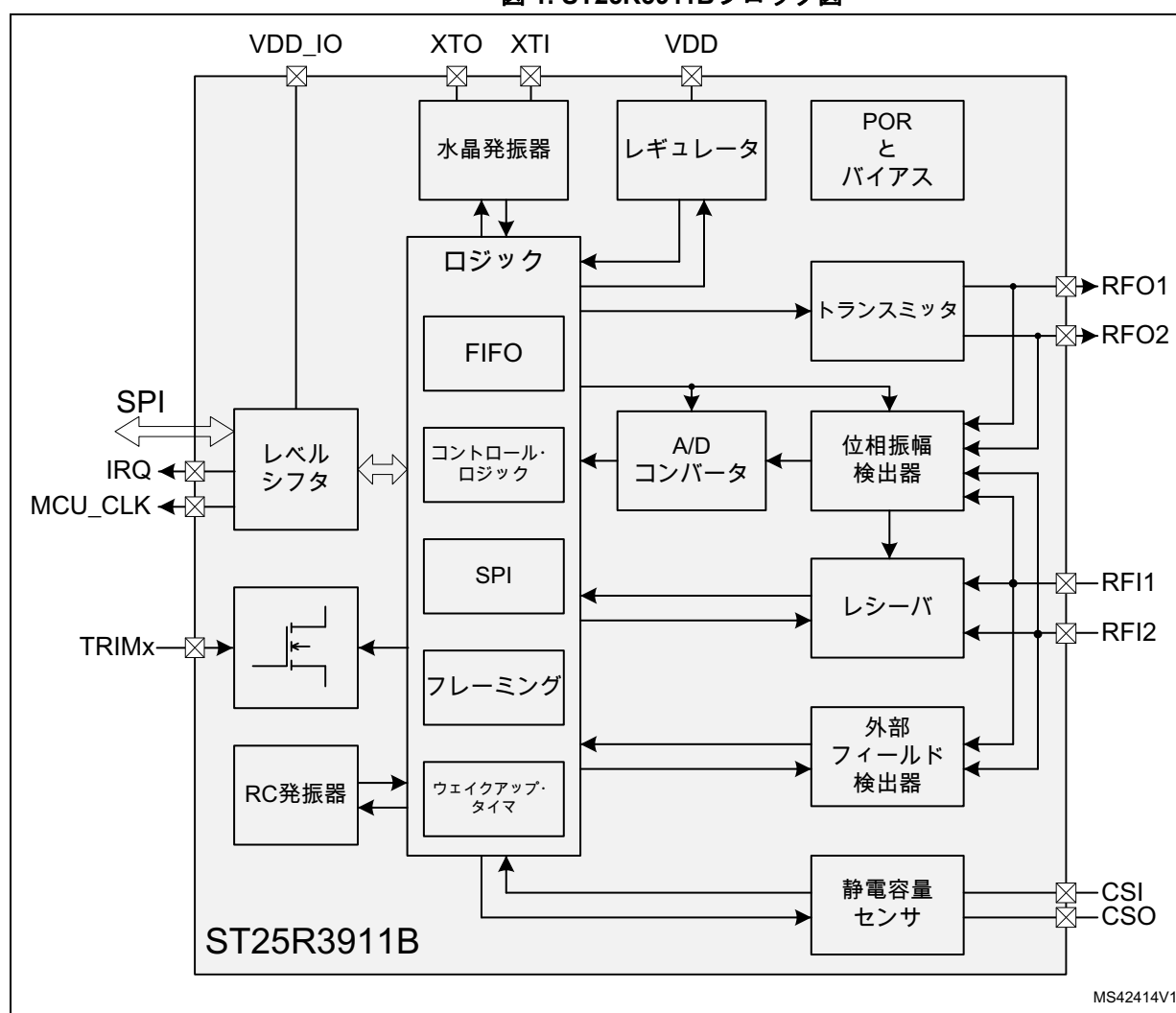
ST25R3911Bは、以下のような広範囲な用途に適しています。

- EMV支払い
- 公文書電子認証
- アクセス・コントロール
- NFCインフラ
- チケット販売

1.1 ブロック図

ブロック図を図 1に示します。

図 1. ST25R3911B ブロック図



1.1.1 トランスミッタ

トランスミッタには、RFO1ピンとRFO2ピンを通じて外部アンテナを駆動するドライバが組み込まれています。シングル・エンド駆動と差動駆動が可能です。更に、トランスミッタ・ブロックには、送信信号を変調（On-Off-Keying変調または設定可能な振幅変調）するサブブロックも含まれています。

ST25R3911Bのトランスミッタは、アンテナ（50 Ω ケーブルを含みません。通常、アンテナは同一PCB上にあるため）を直接駆動するためのものです。50 Ω ケーブル付きでの動作も可能ですが、この場合には、高度な機能群の一部が利用できません。

1.1.2 レシーバ

レシーバは、13.56 MHzキャリア信号に重畳されたトランスポンダ（カード・タグ）負荷変調を検出します。このレシーバには、受信回路が2つ（1つは振幅復調用、もう1つは位相復調用）含まれており、それぞれは、ピーク検出器の後にある2つのゲイン/フィルタリングステージと、最終デジタイザステージから構成されています。フィルタ特性は、それぞれのモードとビット・レート（212 kHzから6.8 MHzまでのサブキャリア周波数に対応）の性能を最適化するように調整されています。レシーバ回路の入力はRFI1ピンとRFI2ピンです。レシーバ回路には、位相とノイズ状態が厳しくとも信頼性の高い動作を可能とする機能が複数組み込まれています。

1.1.3 位相・振幅検出器

位相検出器は、トランスミッタ出力信号（RFO1とRFO2）と、レシーバ入力信号（RFI1とRFI2）との間の位相差を観測しています。振幅検出器は、自己ミキシングを通じて、レシーバ入力信号（RFI1とRFI2）の振幅を観測しています。レシーバ入力信号（RFI1とRFI2）の振幅は、アンテナLCタンク信号の振幅と正比例関係にあります。

位相検出器と振幅検出器は、次のような目的に使用できます。

- RFI1とRFI2の位相変動を観測することによる位相復調
- RFOxピンとRFIxピンの間の平均位相差を使用したアンテナ共振の確認と最適化
- RFI1ピンとRFI2ピンに現れる信号の振幅を使用したアンテナ共振の確認と最適化

1.1.4 A/Dコンバータ

ST25R3911Bには、アナログ/デジタル（A/D）コンバータが内蔵されています。その入力は、さまざまな信号源を多重化可能であり、複数の用途（RF振幅と位相の測定、変調度の補正など）で使用されます。A/D変換の結果は[A/Dコンバータ出力レジスタ](#)に格納され、SPIを通じて読み出し可能です。

1.1.5 静電容量センサ

静電容量センサは、ローパワーでのトランスポンダ（カード・タグ）存在検出を実現するために使用され、CSIピンとCSOピンに接続された2枚の銅パッチの間の静電容量を測定します。物体（カード、手など）の存在によって、静電容量が変化します。補正の間に、基準静電容量（環境の寄生容量を示します）が格納されます。通常動作では、静電容量が周期的に測定され、格納された基準値との比較が行われます。測定された静電容量が、レジスタで設定された閾値を超えて、格納された基準値と異なる場合には、外部コントローラに割込みが送信されます。

1.1.6 外部フィールド検出器

外部フィールド検出器は、外部RFフィールドの存在を検出するために、NFCモードで使用される低消費電力のブロックです。ピア検出閾値とコリジョン防止閾値の2つの異なる検出閾値に対応しています。ピア検出閾値は、イニシエータ・フィールドの存在検出をするためにNFCIP-1ターゲット・モードで使用されますが、アクティブイニシエータ・モードでも、ターゲット・フィールドのアクティブ化を検出するために使用されます。コリジョン防止閾値は、NFCIP-1 RFコリジョン防止シーケンス手続きの間に、RFフィールドの存在検出のために使用されます。

1.1.7 水晶発振器

水晶発振器は、13.56 MHzから27.12 MHzまでの水晶振動子で動作可能です。起動時には、発振器の相互コンダクタンスが増して起動を高速にします。起動時間は、水晶振動子の種類や温度などのパラメータによって変動しますので、発振器の振幅が監視されて、発振器の動作が安定すると割込みが送信されます。VHBR動作では、27.12 MHz水晶振動子を必ず使用してください。

発振器ブロックは、[IOコンフィギュレーション・レジスタ1](#)の設定に従って、外部マイクロコントローラにクロック信号 (MCU_CLK) の供給も行います。

1.1.8 電源レギュレータ

内蔵の電源レギュレータによって、リーダ・システム全体に対して、高い電源除去比 (PSRR) が保証されます。リーダ・システムのPSRRを改善する必要がある場合には、Adjust Regulatorsコマンドが送られます。このコマンドの結果として、最大負荷状態で電源レベル V_{DD} が測定され、安定化電源の安定性を保証するために、この測定レベルよりも250 mV低い値に安定化電圧基準が設定されます。その結果として得られた安定化電圧は、[レギュレータ/タイマ表示レジスタ](#)に格納されます。を[レギュレータ電圧コントロール・レジスタ](#)に書き込むことによっても、安定化電圧の設定が可能です。ICのさまざまな部分からあらゆるノイズ源を分離するために、独立した外付けブロッキング・コンデンサと内蔵されたレギュレータが3個存在します (3.3 V電源モードでは、そのすべての安定化電圧は同じです)。レギュレータの1つはアナログ・ブロック用、1つはデジタル・ブロック用、もう1つはアンテナ・ドライバ用です。

このブロックは、アナログ処理用の基準電圧の生成も行います (AGD - アナログGND)。この電圧には、関連する外部バッファ・コンデンサもあります。

1.1.9 PORとバイアス

このブロックは、これ以外のすべてのブロックに対するバイアス電流と基準電圧を供給します。ここにはパワーオンリセット (POR) 回路も組み込まれており、起動時と電源電圧レベルが低い場合にリセット信号を供給します。

1.1.10 RC発振器とウェイクアップ・タイマ

ST25R3911Bには、ローパワーでのカード存在検出に複数の手段 (静電容量センサ、位相測定、振幅測定) が組み込まれています。RC発振器とレジスタで設定可能なウェイクアップ・タイマは、周期的なカード存在検出をスケジュール設定するために使用します。

1.1.11 ISO-14443とNFCIP-1フレーミング

このブロックは、選択されたISOモードとビット・レート設定に従って、送受信のフレーミングを行います。

受信時には、レシーバから復調されたサブキャリア信号を取り出します。SOF (Start Of Frame) と EOF (End Of Frame) とデータ・ビットを認識し、パリティとCRCのチェックを実行し、受信データをバイト列に並べ直してFIFOに置きます。

送信時には、その反対の動作を行います。FIFOからバイト列を取り出して、パリティ・ビットとCRCビットを生成し、変調信号をトランスミッタに渡す前に、SOFとEOFを追加して最終エンコードを実行します。

トランスペアレント・モードでは、フレーミングとFIFOがバイパスされて、デジタル化されたサブキャリア信号（レシーバ出力）がMISOピンに直接送られ、MOSIピンに印加された信号がトランスミッタの変調に直接使用されます。

1.1.12 FIFO

ST25R3911Bには、96バイトFIFOが含まれています。モードによって、受信済みのデータと送信予定のデータのいずれかが含まれています。

1.1.13 コントロール・ロジック

コントロール・ロジックには、デバイスの動作を設定するI/Oレジスタが含まれています。

1.1.14 SPI

外部マイクロコントローラとST25R3911Bとの間の通信には、4線式シリアル・ペリフェラル・インタフェース（SPI）が用いられます。

1.2 アプリケーション情報

ST25R3911Bの動作に必要な最低限の構成を [図 2](#) と [図 3](#) に示します。

図 2. シングル・エンド・アンテナ駆動の最小構成 (EMCフィルタを含む)

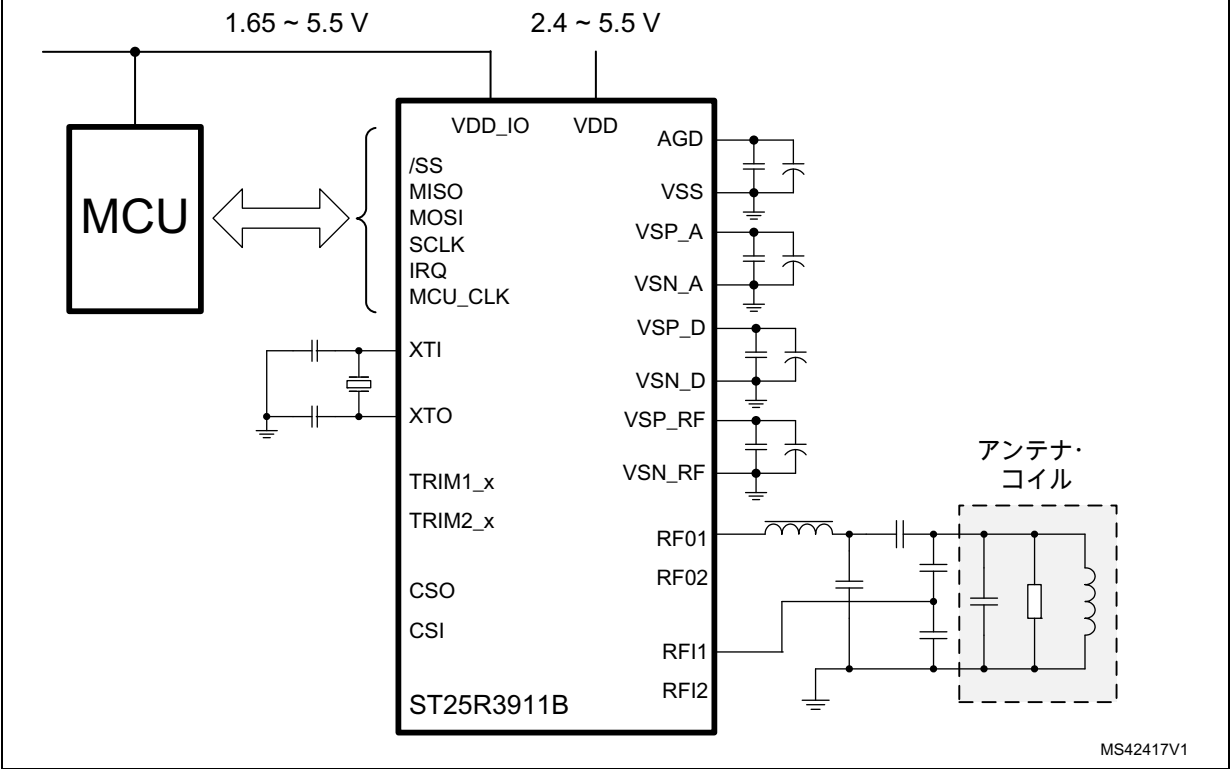
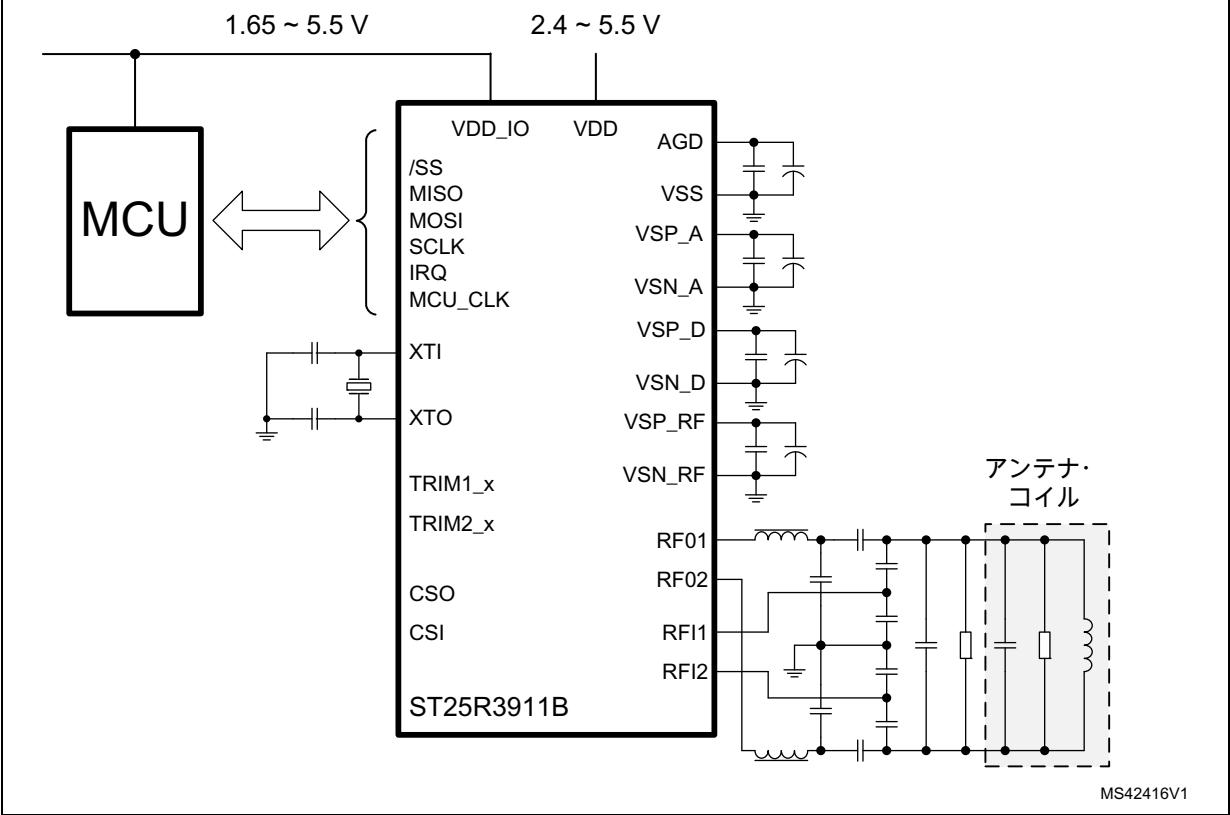


図 3. 差動アンテナ駆動の最小構成 (EMCフィルタを含む)



1.2.1 動作モード

ST25R3911Bの動作モードは、[動作コントロール・レジスタ](#)の内容によって設定されます。

起動時に、[動作コントロール・レジスタ](#)の全ビットは0にセットされ、ST25R3911Bはパワーダウン・モードとなります。このモードでは、アナログ・フロントエンドの静的消費電力は最小限に抑えられて、PORとバイアスの一部だけがアクティブとなり、レギュレータは完全にOFFとなり動作していません。それにもかかわらず、このモードではSPIが動作していますので、ISOモード設定とコンフィギュレーション・レジスタのすべての設定を行うことは可能です。

コントロール・ビットen ([動作コントロール・レジスタ](#)のビット7) が、水晶発振器とレギュレータを制御しています。このビットがセットされると、デバイスはレディ・モードに入ります。このモードでは、水晶発振器とレギュレータが有効化されます。発振器の周波数が安定すると、割込みが送信されてマイクロコントローラに通知します。

レシーバとトランスミッタのイネーブルは独立していますので、もう一方をオンせずに片方を動作させることができます (コントロール・ビットrx_enとtx_en)。場合によってはこの機能が有用なことがあります。例えば、リーダー・フィールドが保持される必要があり、トランスポンダ応答が見込まれていない場合には、レシーバをオフにして電流を節約できます。もう1つの例は、イニシエータによってRFフィールドが生成され、レシーバだけが動作している、NFCIP-1アクティブ通信受信モードです。

[動作コントロール・レジスタ](#)のwuビットをアサートしてそれ以外のビットを0にセットすると、ST25R3911Bは、ローパワーでカードの存在を検出するために使用されるウェイクアップ・モードとなります。このモードでは、低消費電力のRC発振器とレジスタで設定可能なウェイクアップ・タイマを使用して、周期的な測定のスケジュール設定を行います。測定値とあらかじめ設定された基準値との差が検出されると、マイクロコントローラをウェイクアップするために割込みが送信されます。

1.2.2 トランスミッタ

トランスミッタには、RFO1ピンとRFO2ピンに接続されている同一のプッシュプル・ドライバ・ブロックが2個搭載されています。これらのドライバは、外部アンテナLCタンクを差動で駆動しています。また、[IOコンフィギュレーション・レジスタ1](#)のsingleビットを1にセットすると、この2個のドライバのうち1個だけを動作させることもできます。それぞれのドライバは、バイナリ重み付け出力抵抗を持つセグメント8個によって構成されています。全セグメントがオンになった場合のMSBセグメントの標準ON抵抗は2 Ωです。通常、出力抵抗は1 Ωです。通常送信 (非変調) レベルを設定するために、全セグメントがオンになります。アンテナの信号振幅を下げるため、および/またはハードウェアを何も変更せずにアンテナQ値を下げる目的で、非変調レベルを駆動する場合に、特定のセグメントをオフにすることも可能です。[RFO通常レベル設定レジスタ](#)によって、どのセグメントをオンにして通常送信 (非変調) レベルを設定するかが設定されます。デフォルト設定は、全セグメントのオンです。

シングル・エンド・モードを使うと、アンテナLCタンクの部品数 (それゆえにコストも) が半分になりますが、出力パワーも下がります。シングル・モードでは、[IOコンフィギュレーション・レジスタ1](#)のrfo2ビットを制御することによって、2個のアンテナLCタンクを2本のRFO出力に接続して、その間を多重化できます。

データを送信するには、トランスミッタ出力レベルが変調される必要があります。AM変調とOOK変調の両方に対応しています。変調の種類は、[補助設定レジスタ](#)のtr_amビットを設定することによって設定されます。

OOK変調 (ISO14443Aなど) の間、トランスミッタのドライバはキャリア周波数の駆動を停止しています。その結果として、アンテナLCタンク発振の振幅が減衰しますが、この減衰の時定数は、LCタンクのQ値によって設定されます。[補助設定レジスタ](#)のbit ook_hrビットをアサートすることによって、OOK変調の場合の減衰時間を短縮できます。このビットが論理値の1に設定されると、OOK変調の間、ドライバはトライステートとなります。

変調期間の間、出力ドライバのインピーダンスを増加させることによって、AM変調（ISO14443Bなど）が行われます。この変調は、オンになっているドライバ・セグメントの個数を減らすことによって行われます。AM変調されたレベルは、[AM変調度コントロール・レジスタ](#)にターゲットの変調度を設定し、ダイレクト・コマンドCalibrate Modulation Depthを送信することによって、ターゲットの変調度に自動調整できます。詳細は、[セクション 1.2.20: AM変調度: 設定と補正](#)を参照してください。

緩やかなトランスミッタ立上げ

トランスミッタが有効化されると、アンテナLCタンクをフル・パワーで駆動し始めますが、アンテナが放射するフィールドの立上がりは、アンテナLCタンクのQ値によって設定されます。

しかしながら、有効化されたときに、より長い遷移時間でリーダ・フィールドが立ち上がる必要のあるリーダ・システムもあります。STIF（Syndicat des transports d'Ile de France）仕様では、フィールドの10%から90%の遷移時間が10 μ s以上であることが求められます。ST25R3911Bはこの機能に対応しています。トランスミッタが無効化されたときには、VSP_RF安定化電圧が急激に下がることで、トランスミッタが有効化されたときには、その電圧が立ち上がることでわかります。標準遷移時間は、3 V電源で15 μ s、5 V電源で20 μ sとなります。

緩やかな遷移を実装する手順:

1. トランスミッタが無効化されているときに、[IOコンフィギュレーション・レジスタ2](#)のslow_upビットを1にセットします。この状態を最低2 ms保ち、VSP_RFを放電させます。
2. トランスミッタをイネーブルすると、その出力が緩やかに立ち上がります。
3. 何かコマンドを送信する前に、slow_upビットを0に戻します。

1.2.3 レシーバ

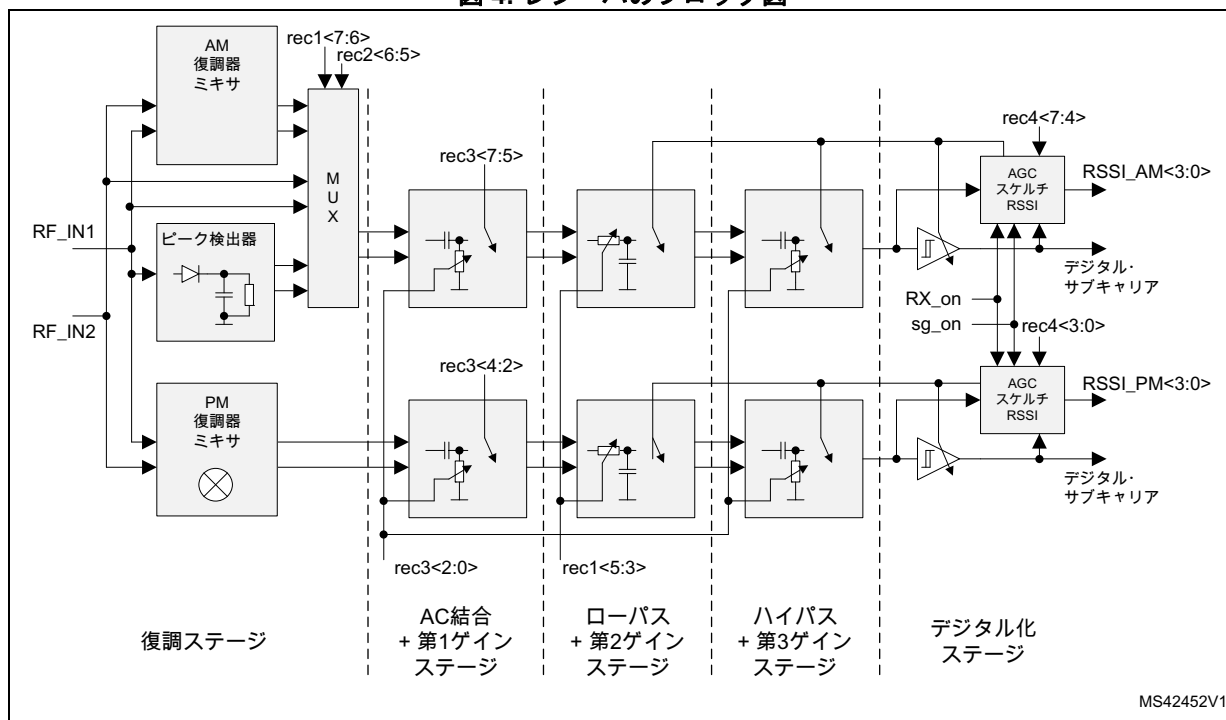
レシーバは、13.56 MHzキャリア周波数に重畳されたトランスポンダのサブキャリア変調の復調を行います。サブキャリア信号のAM復調および/またはPM復調、増幅、バンドパス・フィルタ処理、デジタル化を行います。さらには、RSSI測定と自動ゲイン・コントロール（AGC）とスケルチも行います。

標準的な用途では、レシーバ入力のRFI1とRFI2は、アンテナ・コイルの端子に直接接続された容量分圧器の出力となります。この考え方によって、この2本の入力信号がアンテナ・コイルの電圧と同相であることが保証されます。容量分圧器は、RFI1とRFI2の入力信号のピーク値がV_{SP_A}電源電圧レベルを超えないことが保証されるように設計されなければなりません。

レシーバは、完全な受信チャンネル2本から構成されており、その1本がAM復調用、もう1本がPM復調用です。両方のチャンネルが有効化されている場合、受信フレーミングに使用されるチャンネルは、受信フレーミング・ロジックによって自動的に選択されます。[動作コントロール・レジスタ](#)のrx_enビットが1にセットされると、レシーバはオンになります。さらに、[動作コントロール・レジスタ](#)にはrx_chnビットとrx_manビットが含まれていて、rx_chnビットによって、AMとPMの両方の復調チャンネルが有効になるのか、その1つだけが有効になるのかを設定され、rx_manビットによって、両方のチャンネルが（自動で、または手動で）有効である場合のチャンネル選択モードが設定されます。レシーバの動作は、4個のレシーバ・コンフィギュレーション・レジスタによって制御されます。

レシーバの動作は、レシーバの入力に変調信号が見込まれる場合にHighにセットされるrx_on信号によっても制御されます。この信号は、RSSIとAGCの制御に用いられており、フレーミング・ロジックによるレシーバの出力の処理の有効化も行います。マスク受信タイムがタイムアウトすると、rx_on信号は自動的にHighにセットされます。ダイレクト・コマンドMask Receive DataとUnmask Receive Dataを送信することにより、rx_on信号を直接制御することも可能です。[図 4](#) レシーバのブロック図の詳細を図4に示します。

図 4. レシーバのブロック図



復調ステージ

第1ステージは、HFフィールド・キャリアに重畳されたトランスポンダのサブキャリア信号の復調を行います。AM復調用として、次の2つの異なるブロックが組み込まれています。

- ピーク検出器
- AM復調器ミキサ

使用される復調器の選択は、[レシーバ・コンフィギュレーション・レジスタ1](#)のamd_selビットによります。

ピーク検出器では、ピーク・フォロワを使用してAM復調を行います。あらゆるコモン・モード信号を抑圧するために、プラス側のピークとマイナス側のピークが両方とも追跡されます。ピーク検出器には速度上の制限があり、 $f_c/8$ (1700 kHz) までのサブキャリア周波数で動作可能です。その復調ゲインは $G = 0.7$ となります。その入力、復調器入力 (通常RFI1) のみから取られます。

AM復調器ミキサでは、両方のレシーバ入力 (RFI1とRFI2) の同期整流が使用されます。そのゲインは $G = 0.55$ となります。ミキサ復調器は、VHBRサブキャリア周波数 ($f_c/8$ 以上) に最適化されています。 $f_c/8$ (1700 kHz) のサブキャリア周波数では、ピーク・フォロワとミキサ復調器のどちらも使用できますが、 $f_c/4$ と $f_c/2$ ではミキサ復調器のみが使用可能です。

PM復調についてもミキサで行うことができます。PM復調ミキサには、1%の位相変化に対して60 mV 差動信号 (16.67 mV / °) の差動出力があります。その動作は、 $f_c/8$ (1700 kHz) までのサブキャリア周波数に最適化されています。

復調が外部で行われる場合には、[レシーバ・コンフィギュレーション・レジスタ2](#)のlf_enビットを選択することにより、RFI1ピンとRFI2ピンに印加されたLF信号を、直接ゲイン/フィルタリングステージに多重化することができます。

フィルタリング/ゲインステージ

レシーバ・チェーンは、バンドパス・フィルタリング特性を備えています。フィルタリングは、キャリア周波数と低周波ノイズとDC成分は除去しながら、サブキャリア周波数を通すように最適化されています。

フィルタリングとゲインは3つのステージで実装されており、第1ステージと最終ステージは一次のハイパス特性、第2ステージは二次のローパス特性を備えています。

ゲイン特性とフィルタリング特性は、[レシーバ・コンフィギュレーション・レジスタ1](#)（フィルタリング）、[レシーバ・コンフィギュレーション・レジスタ3](#)（第1ステージゲイン）、[レシーバ・コンフィギュレーション・レジスタ4](#)（第2と最終のゲインステージ）に書き込むことによって最適化可能です。

第1ステージのゲインは約20 dBあり、2.5 dB刻みで6ステップ分下げることができます。スペシャル・ブースト・モードも備えており、最大ゲインがさらに5.5 dBブーストされます。VHBR（ $f_c/8$ と $f_c/4$ ）の場合には、ゲインは下がります。第1ステージのゲインは、[レシーバ・コンフィギュレーション・レジスタ3](#)に書き込むことによってのみ修正可能です。このレジスタのデフォルト設定は、最小ゲインです。デフォルトの第1ステージゼロ点は60 kHzに設定されていますが、[レシーバ・コンフィギュレーション・レジスタ1](#)のオプション・ビットに書き込むことによって、40 kHzまたは12 kHzに下げることができます。第1ステージと第3ステージのゼロ点は、共通コントロール・ビットで制御します（[表 1](#)参照）。

表 1. 第1/第3ステージゼロ点設定

rec1<2> h200	rec1<1> h80	rec1<0> z12k	第1ステージゼロ点	第3ステージゼロ点
0	0	0	60 kHz	400 kHz
1	0	0	60 kHz	200 kHz
0	1	0	40 kHz	80 kHz
0	0	1	12 kHz	200 kHz
0	1	1	12 kHz	80 kHz
1	0	1	12 kHz	200 kHz
その他			未使用	

第2と第3ステージのゲインは23 dBあり、3 dB刻みで6ステップ分下げることができます。これら2つのステージのゲインは、AGCループとスケルチ・ループに含まれています。[レシーバ・コンフィギュレーション・レジスタ4](#)で手動設定することもできます。AGC/スケルチ/RSSIブロックをリセットするには、ダイレクト・コマンドReset Rx Gainを送信する必要があります。このコマンドを送信すると、現在のスケルチ設定がクリアされ、ゲイン減少コンフィギュレーションが、[レシーバ・コンフィギュレーション・レジスタ4](#)からAGC/スケルチ・ブロックの内部シャドウ・レジスタにロードされます。第2ステージは二次のローパス・フィルタ特性を備えており、通過帯域は、[レシーバ・コンフィギュレーション・レジスタ1](#)のlp2～lp0ビットを用いて、サブキャリア周波数に従って調整されます。

各設定に対する-1 dB周波数とカットオフ周波数は、[表 2](#)を参照してください。

表 2. ローパス・コントロール

rec1<5> lp2	rec1<4> lp1	rec1<3> lp0	-1 dBポイント
0	0	0	1200 kHz
0	0	1	600 kHz
0	1	1	300 kHz
1	0	0	2 MHz
1	0	1	7 MHz
その他			未使用

推奨フィルタ設定の情報を表 3に示します。対応するすべての動作モードと受信ビット・レートに対して、自動プリセットが設定されており、その上に、別の選択肢がいくつか列挙されています。自動プリセットは、ダイレクト・コマンドAnalog Presetを送信することによって行われます。ストリーム・モードとトランスペアレント・モードには自動プリセットはありません。フィルタ特性を選択することによってゲインも変更されるため、各種フィルタ設定に対するゲイン範囲も示されています。

表 3. レシーバのフィルタ選択とゲイン範囲

rec1<5:3>lp<2:0>	rec1<2>h200	rec1<1>h80	rec1<0>z12k	ゲイン (dB)					コメント
				最大 すべて	Min1 Max23	Max1 Min23	最小 すべて	ブースト あり	
000	0	0	0	43.4	28.0	26.4	11.0	49.8	ISO14443A fc/128とNFCフォーラム・タイプ1タグ用自動プリセット
000	1	0	0	44.0	29.0	27.5	12.0	49.7	ISO14443B fc/128とISO14443 fc/64用自動プリセット
001	1	0	0	44.3	29	27.0	11.7	49.8	424/484 kHzサブキャリアに推奨
000	0	1	0	41.1	25.8	23.6	8.3	46.8	ISO14443 fc/32とfc/16に対する代替選択肢
100	0	1	0	32.0	17.0	17.2	2.0	37.6	ISO14443 fc/32とfc/16用自動プリセット fc/8 (1.7 kb/s) に対する代替選択肢
100	0	0	0	32.0	17.0	17.2	2.0	37.6	fc/8 (1.7 kb/s) に対する代替選択肢
000	0	1	1	41.1	25.8	23.6	8.3	46.8	FeliCa™ (fc/64, fc/32) 用自動プリセット ISO14443 fc/32とfc/16に対する代替選択肢
101	0	1	0	30.0	20.0	12.0	2.0	34.0	fc/8とfc/4に対する代替選択肢
101	1	0	0	30.0	20.0	12.0	2.0	34.0	fc/8とfc/4用自動プリセット
000	1	0	1	36.5	21.5	24.9	9.9	41.5	NFCIP-1用自動プリセット (イニシャルとターゲット)

デジタル化ステージ

デジタル化ステージでは、レシーバから入力されるサブキャリア信号のデジタル表現が生成されます。その後、このデジタル信号は、レシーバ・フレーミング・ロジックによって処理されます。デジタル化ステージは、調整可能なデジタル化ウィンドウ付きウィンドウ・コンパレータ（5段階で設定可能、3 dB刻み、調整範囲±33 mVから±120 mVまで）で構成されています。デジタル化ウィンドウの調整は、AGCループとスケルチ・ループに含まれています。デジタル化ウィンドウは、さらに、[レシーバ・コンフィギュレーション・レジスタ4](#)で手動設定も可能です。

AGC、スケルチ、RSSI

先に述べたように、第2と第3のゲインステージでは、ゲインとデジタル化ステージウィンドウはAGCループとスケルチ・ループに含まれています。11種類の設定が利用可能です。デフォルト状態は、最小のデジタイザ・ウィンドウと最大ゲインを特徴としています。最初の4ステップでは、デジタイザ・ウィンドウが3 dB刻みで増加し、さらに次の6刻みでは、第2と第3のゲインステージのゲインがこちら3 dBステップで減少します。スケルチとAGCが開始される初期設定は、[レシーバ・コンフィギュレーション・レジスタ4](#)に設定されています。[ゲイン減少状態レジスタ](#)には、スケルチとAGCと [レシーバ・コンフィギュレーション・レジスタ4](#)の初期設定値の結果である、ゲインの実際の状態が表示されます。タイプAなどのビット・コリジョン防止の間は、AGCを無効とする必要があります。

スケルチ

この機能は、ノイズの多い状態におけるレシーバの動作のために設計されています。ノイズはタグから出ていることも（リーダ・コマンドの処理が原因）、ノイズの多い環境から出ていることもあります。このノイズは、トランスポンダ（カード・タグ）応答の開始と誤って解釈されることがあり、デコード・エラーの原因となります。

スケルチ・手続きの間に、デジタル化コンパレータの出力が監視されています。50 μ sの時間周期の間にこの出力に2回を超える遷移がある場合には、レシーバのゲインが3 dB引き下げられ、次の50 μ sの間、出力が監視されます。50 μ sの間の遷移回数が2回以下となるまで、またはゲインの下げ幅が最大値となるまで、この手続きが繰り返されます。このゲインの引き下げは、ダイレクト・コマンド Reset Rx Gainを送信することによってクリアされます。

スケルチを行う方法としては、自動モードとダイレクト・コマンドSquelchを用いるものの2つがあります。

1. [レシーバ・コンフィギュレーション・レジスタ2](#)のsqm_dynビットがセットされると、自動モードが有効になります。Txの終了から18.88 s後に自動的にアクティブ化され、マスク受信タイマがタイムアウトすると停止します。このモードは、主として、タグ応答が予期されていない間（マスク受信タイマによって保護）にタグの処理によって生まれるノイズを抑圧するためのものです。
2. rx_on信号がLowであるときに送信された場合には、Squelch コマンドは受理されます。ノイズのあるタイム・ウィンドウがコントローラに既知である場合に使用できます。

AGC

AGC（自動ゲイン・コントロール）は、ゲインを下げてレシーバ・チェーンが飽和しないように保つために使われます。ゲインが適切に調整されると、復調処理でもシステムのノイズによる影響を受けにくくなります。

AGC動作は、rx_on信号がHighにアサートされたときに開始され、それがLowにリセットされるとリセットされます。rx_on信号がHighからLowに遷移すると、レシーバのゲインの状態が [ゲイン減少状態レジスタ](#)に格納されます。後続ステージでこのレジスタを読み出すことにより、最後の受信中に使用されたゲイン設定の情報が得られます。

AGCがオンになると、デジタイザステージへの入力が飽和しないように、レシーバのゲインが下がります。AGCシステムには、デジタル化ウィンドウ・コンパレータよりも3.5倍大きいウィンドウを備えたコンパレータが含まれています。AGC機能が有効化されると、そのウィンドウ・コンパレータの出力に遷移がなくなるまで、ゲインが下げられます。この手続きによって、デジタル化ウィンドウのコンパレータへの入力は、その閾値の3.5倍未満の大きさであることが保証されます。

AGC動作は、[レシーバ・コンフィギュレーション・レジスタ2](#)のコントロール・ビットagc_enとagc_mとagc_fastによって制御されます。agc_enビットによってAGC動作が有効となり、agc_mビットによってAGCモードが設定され、agc_algビットによってAGCアルゴリズムが設定されます。

2つのAGCモードが利用可能です。AGCは（rx_on信号がHighである限り）Rx処理全体を通じて動作可能ですし、最初の8パルスのサブキャリア・パルスの間だけ有効とすることもできます。

2つのAGCアルゴリズムが利用可能です。コード4h（最大デジタイザ・ウィンドウ、最大ゲイン）をプリセットするか、コードを0h（最小デジタイザ・ウィンドウ、最大ゲイン）にリセットすることによって、AGCの動作を開始できます。

プリセット・コード付きアルゴリズムの方が高速ですので、短いSOF（ISO14443A fc/128など）のプロトコルにはこちらを推奨します。

デフォルトのAGC設定を次に示します。

- AGCが有効
- Rx処理全体でAGCが動作
- プリセット付きアルゴリズムを使用

RSSI

レシーバは、両チャンネルに対する対数RSSI（受信信号強度インジケータ）測定も行います。RSSI測定は、rx_onの立上がりエッジの後に開始されます。rx_on信号がHighである限りアクティブのままであり、rx_onがLowになるとフリーズします。RSSIはピーク・ホールド・システムであり、その値は初期値のゼロから増えるのみです。AGCがゲインを下げるたびに、RSSI測定はリセットされてゼロから始まります。RSSI測定の結果は4ビットの値であり、[RSSI表示レジスタ](#)を読み出すことによって確認できます。LSBステップは2.8 dBであり、最大コードはDh（13d）です。

RSSI測定はピーク・ホールド型ですので、RSSI測定の結果は信号強度の変動に追従しません（最大値が保持されます）。RSSIの変動に追従するために、ダイレクト・コマンドClear RSSIを送信することによって、RSSIビットをリセットして測定を再スタートできます。

NFCIP-1アクティブ通信モードのレシーバ

アクティブNFCIP-1通信を確実に受信可能とするために、レシーバにはいくつかの機能が組み込まれています。

NFCIP-1モードが設定された後に、ダイレクト・コマンドAnalog Presetを送信することによって、これらのすべての設定値を自動的にプリセットできます。フィルタリング・オプションに加えて、[レシーバ・コンフィギュレーション・レジスタ3](#)の中には、NFCIP-1アクティブ通信モード専用のコンフィギュレーション・ビットが2ビット格納されています。

limビットによって、第1と第2のゲインステージの後に位置するクリッピング回路が有効化されます。クリッピング回路の機能は、それ以降のフィルタリング段に対する信号レベルを制限することです（NFCIP-1ピアが近接している場合には、入力信号レベルが非常に高くなる場合があります）。

rg_nfcビットによって、第2と第3のフィルタリングステージのゲイン下げ幅が強制的に-6 dBとなる一方で、デジタイザのコンパレータ・ウィンドウが最大レベルに維持されます。

1.2.4 静電容量センサ

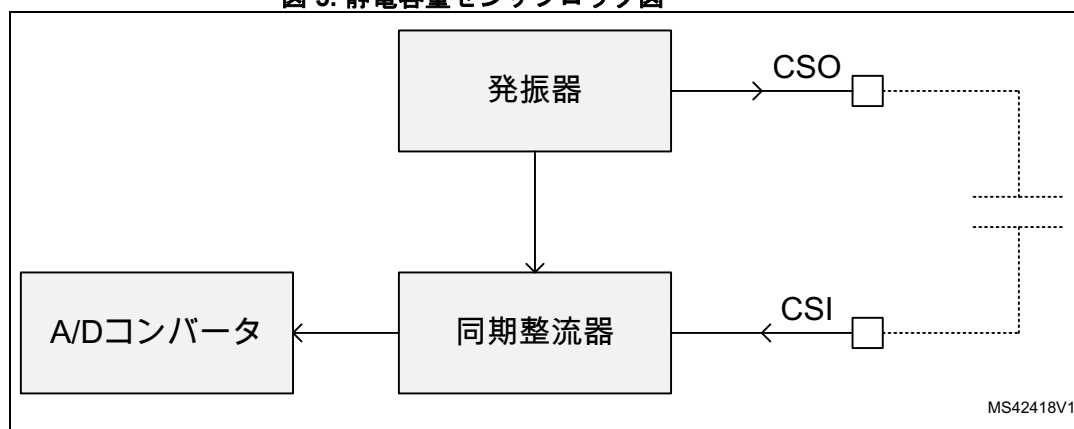
静電容量センサ・ブロック（[図 5](#)）によって、タグの存在をローパワーで検出可能となります。

静電容量測定システムには電極が2つ含まれています。1つは数百kHzレンジの固定周波数の電界を放射する励起電極（CSO）であり、2つめは検出電極（CSI）です。検出電極に生成される電荷量は、2つの電極の間の静電容量を示しています。静電容量センサ電極は、GNDに対する寄生容量（最大25 pF）と、入力漏洩（最大1 MΩ）に耐性があります。

検出電極上の電荷は、励起電極の周波数で生成されますので、その検出には同期整流器が用いられます。これによって、妨害が十分に排除され、（励起電極を除く全ノードの）寄生容量に対して高い耐性を持つことが保証されます。同期整流器の出力は、励起電極と検出電極の間の静電容量に比例する

DC電圧です。出力DC電圧は、絶対モードでA/Dコンバータによって変換されます。その結果は、[A/Dコンバータ出力レジスタ](#)に格納されます（[セクション 1.2.8: A/Dコンバータ](#)も参照）。

図 5. 静電容量センサブロック図



この2個の電極に近づくあらゆる導電性の物体（人間の手またはタグのアンテナ巻線）により、励起電極と検出電極の間の静電容量が変化しますが、それは、2個の電極の間の経路の一部にコンダクタンスを与えることにより、この2つの間の距離が「短縮」されるためです。

静電容量の測定は、ダイレクト・コマンドMeasure Capacitanceの送信によって始まります。ST25R3911Bは、自動的にウェイクアップし、静電容量の測定を周期的に行うように設定することも可能です。その結果は、格納された基準値または過去の測定結果の平均値と比較され、この差が既定値よりも大きい場合には、IRQがトリガされてコントローラをウェイクアップします（[セクション 1.2.5: ウェイクアップ・モード](#)も参照）。

静電容量センサのゲインは、[静電容量センサ・コントロール・レジスタ](#)で調整可能です。デフォルト・ゲインは2.8 V/pF（標準値）、最大ゲインは6.5 V/pF（標準値）です。A/DコンバータのLSBは約7.8 mVに相当しますので、デフォルト・ゲインでは感度は2.8 fF/LSB（最大ゲインの場合には1.2 fF/LSB）となります。

静電容量の測定時間は200 μ sであり、測定中の消費電流は1.1 mA（標準値）です。たとえば、ウェイクアップ・モードで静電容量の測定が100 msごとに行われたとすると、その結果としての平均消費電流は5.8 μ Aとなります（3.6 μ Aはウェイクアップ・モードでのスタンバイ消費電流です）。

静電容量センサ補正

静電容量センサには、CSIとCSOの間の寄生容量を内部的に補償して、容量の変動に関する情報に対して測定範囲の全体が使えるようにする補正ユニットが含まれています。補正の制御には5ビットが使用されます。最小補正単位は0.1 pF、利用可能な補正範囲は3.1 pFです。補正は、[静電容量センサ・コントロール・レジスタ](#)に書き込むことによって手動で、またはダイレクト・コマンドCalibrate Capacitive Sensorを送信することによって自動で行うことができます。Calibrate Capacitive Sensorコマンドの状態と、その結果として得られる補正值は、[静電容量センサ表示レジスタ](#)に格納されます。

水晶発振器とリーダ磁界による静電容量センサへの妨害を回避し、再現性のある結果を保証するためには、静電容量の測定と補正は、パワーダウン・モードでのみ行うことを強く推奨します。

1.2.5 ウェイクアップ・モード

動作コントロール・レジスタのwuビットをアサートしてそれ以外のビットを0にセットすると、ST25R3911Bは、ローパワーでカードの存在を検出するために使用されるウェイクアップ・モードとなります。ST25R3911Bには、ローパワーでのカード存在検出に複数の手段（静電容量センサ、位相測定、振幅測定）が組み込まれています。内蔵されたローパワー 32 kHz RC発振器とレジスタで設定可能なウェイクアップ・タイマを使用して、周期的な検出のスケジュール設定を行います。

通常、カードの存在は、いわゆるポーリング・ループによって検出されます。この処理では、リーダ・フィールドに定期的に同調させて、コントローラは、RFコマンドを使用してカードが存在するかどうかを確認します。コマンドが送信可能となる5 ms前にリーダ・フィールドに同調している必要があるため、この手続きは大量のエネルギーを消費します。

カードの存在をローパワーで検出するには、カードによって生まれるリーダ環境の変化を検出します。変化が検出されると、マイクロコントローラに割込みが送信されます。その結果として、コントローラは通常のポーリング・ループを実行できます。

ウェイクアップ・モードでは、ST25R3911Bは、設定されたリーダ環境の測定を定期的 to 実施し、設定された基準値との差が検出された場合には、IRQをコントローラに送信します。

カードの存在は、位相、振幅、静電容量センサの測定を行うことにより検出可能です。

リーダのアンテナ・コイルに近接してカードが存在すると、アンテナのLCタンク信号の位相と振幅に変化が生じます。位相または振幅の測定を行うために必要なリーダ・フィールドのアクティベーション時間は、プロトコル・アクティベーション・コマンドの送信に必要なアクティベーション時間と比較すると、非常に短く（~20 μ s）なっています。

さらに、カードに電源を入れて結合効果を生じさせる必要がないため、測定中のパワー・レベルは、通常動作中のパワー・レベルよりも低い場合があります。**RFO通常レベル設定レジスタ**を変更することで、放射パワーを下げるができます。

静電容量センサは、2個の励起電極の間の寄生容量の変化を検出します。この静電容量の変化は、カードのアンテナまたはカードを保持する手によって生じている可能性があります。静電容量センサの詳細は、**セクション 1.1.5: 静電容量センサ**を参照してください。

31hから3Dhまでの位置のレジスタは、ウェイクアップ・タイマのセットと表示専用です。**ウェイクアップ・タイマ・コントロール・レジスタ**は、メインのウェイクアップ・モード設定レジスタです。連続する検出から測定までのタイムアウト時間は、このレジスタで選択します。10 msから800 msまでの範囲のタイムアウトが用意されており、100 msがデフォルト値です。利用可能な測定の組み合わせはどれでも選択可能です（1、2、またはそれらのすべて）。

次の12個のレジスタ（32hから3Dhまで）では、3通りの可能な検出測定の設定と結果の格納を行います。各測定には、レジスタが4個使用されます。

測定値と基準値の間の差が設定された閾値よりも大きい場合、IRQが送信されます。基準値には、以下の2通りの可能な定義があります。

1. ST25R3911Bは、以前の測定値に基づいて基準値を計算可能です。
（自動平均化）
2. コントローラが基準値を決定し、レジスタに格納します。

4個連続のうちの最初のレジスタは、**振幅測定コンフィギュレーション・レジスタ**です。IRQがトリガされる基準値に対する差と、基準値の設定方法と、自動平均化の場合の最終測定結果の重みが、このレジスタによって設定されます。基準がコントローラによって設定される場合には、次のレジスタに基準値が格納されます。その次の2個のレジスタは表示レジスタです。最初のレジスタに自動平均化の基準が格納され、次のレジスタに最後の測定の結果が格納されます。

ウェイクアップ・モード・コンフィギュレーション・レジスタは、ウェイクアップ・モードに入る前に設定する必要があります。ウェイクアップ・モードがアクティブである間に設定を何か修正すると、予測不可能な結果になるおそれがあります。

自動平均化

自動平均化の場合、毎回の測定後に、基準値は以下の式によって再計算されます。

$$\text{新しい平均値} = \text{元の平均値} + (\text{測定値} + \text{元の平均値}) / \text{重み}$$

十分な精度を得るために、この計算は13ビットで行われます。初期化後（起動時またはSet Defaultコマンドの後）に初めてウェイクアップ・モードに入ったときに、自動平均化処理は初期化されます。初期値は、このレジスタの内容が非ゼロになるまで、測定表示レジスタ（[振幅測定表示レジスタ](#)など）から取得されます。

どの測定コンフィギュレーション・レジスタにも、割込みの原因となる測定が平均値計算のためであるかどうかを設定するビット（[振幅測定コンフィギュレーション・レジスタ](#)のam_aamビットなど）が含まれています。

1.2.6 水晶発振器

水晶発振器は、13.56 MHzから27.12 MHzまでの水晶振動子で動作可能です。[動作コントロール・レジスタ](#)のenビットが1にセットされると、水晶発振器の動作が有効となります。発振器の周波数が安定すると、割込みが送信されてマイクロコントローラに通知します（[セクション 1.3.24: メイン割込みレジスタ](#)参照）。

[補助表示レジスタ](#)のosc_okビットを見れば、発振器の状態を確認できます。発振器の周波数が安定すると、このビットが「1」にセットされます。

この発振器は、制御された電流源から電源を供給されるインバータステージに基づいています。XTIピンの振幅を1 V_{pp}に調節するために、フィードバック・ループがバイアス電流を制御します。

リーダの高速起動を可能とするために、発振器の振幅が750 mV_{pp}を超えた時点で割込みが送信されず。

2分周することによって、13.56 MHz信号のデューティ・サイクルが50%であり、トランスミッタの性能に望ましいことが保証されます（PW歪みなし）。したがって、性能向上のために、27.12 MHz水晶振動子を使用することを推奨します。

13.56 MHz水晶振動子の場合には、発振器信号をデジタル化するステージのバイアス電流を増やして、可能な限り低いPW歪みを確保します。

注： **VHBR 受信（ビット・レートfc/8 以上）の場合には、受信フレーミングに高周波クロックが必要であるため、27.12 MHz水晶振動子の使用が必須です。**

発振器出力は、外部マイクロコントローラによって使用可能である、クロック信号の出力ピン（MCU_CLK）の駆動にも使用されます。MCU_CLKピンは、[IO コンフィギュレーション・レジスタ2](#)によって設定します。

1.2.7 タイマ

ST25R3911Bには、コントローラのカウンタを動かす必要をなくす複数のタイマが搭載されているため、コントローラのコードを実装する手間が減り、別品種のコントローラへのコードの移植性が向上します。

すべてのタイマには1つ以上の関連するコンフィギュレーション・レジスタがあり、その中で、タイムアウト時間と各種の動作モードが設定されます。これらのコンフィギュレーション・レジスタは、対応するタイマが動作していない間に設定する必要があります。タイマがアクティブである間にタイマの設定をどこか修正すると、予測不可能な結果になるおそれがあります。

ウェイクアップ・タイマ以外のすべてのタイマは、ダイレクト・コマンドClearで停止します。

注： [汎用 / 応答なしタイマ・コントロール・レジスタ](#)のnrt_emvビットが1にセットされている場合には、[応答なしタイマ](#)は停止しません。

マスク受信タイマと応答なしタイマ

マスク受信タイマと応答なしタイマは、送信の終わり（EOFの最後）にどちらも自動的に開始されます。

マスク受信タイマ

マスク受信タイマは、Txの終了後でタグの応答が予期されていないときに、rx_on信号をLowに保つことによって、レシーバとフレーミング・ロジック内の受信処理をブロックします。

マスク受信タイマの動作中にスケルチが自動的にオンになります（有効化されている場合）。マスク受信タイマではIRQは生成されません。

マスク受信タイマのタイムアウトは、[マスク受信タイマ・レジスタ](#)で設定します。

NFCIP-1アクティブ通信モードでは、ピアNFCデバイス（通信が行われている相手デバイス）がそのフィールドをオンにすると、マスク受信タイマが開始されます。

ローパワー初期NFCターゲット・モードでは、マスク受信タイマには特別な使い方があります。イニシエータ・フィールドが検出された後に、コントローラは発振器とレギュレータとレシーバをオンにします。マスク受信タイマは、ダイレクト・コマンドStart Mask Receive Timerを送信することで開始されます。マスク受信タイマがタイムアウトした後、イニシエータのメッセージの開始を検出するためにレシーバ出力の監視が始まります。このモードでは、約9.6 msまでの範囲をカバーするために、マスク受信タイマのクロックはさらに8で割られます（1カウントは512/fc）。

応答なしタイマ

名前が示すとおり、このタイマは、送信の最後に始まるある設定時間内に、タグの応答が検出されたかどうかを確認するためのものです。[タイマ/NFC割込みレジスタ](#)のl_nreフラグは、このタイマのタイムアウトの結果である割込みイベントを示しています。

応答なしタイマは、[応答なしタイマ・レジスタ1](#)と[応答なしタイマ・レジスタ2](#)の2個のレジスタに書き込むことによって設定されます。応答なしタイマの動作オプションは、[汎用 / 応答なしタイマ・コントロール・レジスタ](#)のnrt_emvビットとnrt_stepビットを設定することによって設定されます。

nrt_stepビットによって、応答なしタイマの時間ステップが設定されます。2種類のステップが利用可能であり、64/fc (4.72 μs)は309 msまでの範囲をカバーし、4096/fcは19.8 sまでの範囲をカバーしています。

nrt_emvビットによって、タイマ動作モードが制御されます。

- このビットが0（デフォルト・モード）にセットされたときには、タグの応答が検出される前に応答なしタイマがタイムアウトした場合にIRQが生成され、レシーバの処理を止めるためにrx_onが強制的にLowになります。その反対に、タイムアウト前にタグの応答が検出された場合、タイマが停止し、IRQは生成されません。
- このビットが1にセットされたときには、タイマがタイムアウトすると無条件でIRQを生成し、ダイレクト・コマンドClearでも停止しません。これは、タグの応答が検出されたかどうかとIRQは無関係であることを意味しています。タイムアウトの時点でタグの応答の処理が進んでいた場合には、それ以外の処理は行われず、その反対にタグの応答が行われていなかった場合には、rx_on信号も強制的にLowとなってレシーバの処理が停止します。

ダイレクト・コマンドStart No-Response Timerによっても、応答なしタイマを開始することができます。このコマンドの目的は、応答なしタイマのコントロール・レジスタで設定された範囲を超えて、応答なしタイマのタイムアウトを延長することです。タイマの動作中にこのコマンドが送信された場合には、リセットされて再起動されます。NFCIP-1アクティブ通信モードでは、ダイレクト・コマンドを使用して応答なしタイマを開始することはできません。

ピアNFCデバイス（通信が行われている相手デバイス）がそのフィールドをオンにする前に、このタイマがタイムアウトした場合には、割込みが送信されます。

タイマが非ゼロ値に設定されるすべてのモードにおいて、トランスミッタとタイマの間の同期のため、M_txeは設定せずに、SPIを通じて割込みl_txeを読み出すことが不可欠です。

汎用タイマ

汎用タイマのトリガは、[汎用/応答なしタイマ・コントロール・レジスタ](#)で設定します。応答処理（受信開始でトリガ、SOFの後）時間の調査や、PCDからPICCへの応答時間（受信終了でトリガ、EOFの後）のタイム・アウトに使用できます。NFCIP-1アクティブ通信モードでは、フィールドのオフ状態のタイムアウトに使用します。どの場合にも、タイムアウトするとIRQが送信されます。

ダイレクト・コマンドStart General Purpose Timerを送信しても、汎用タイマをスタートできます。タイマの動作中にこのコマンドが送信された場合には、リセットされて再起動されます。

ウェイクアップ・タイマ

ウェイクアップ・タイマは、主としてウェイクアップ・モードで使用されます（[セクション 1.2.5: ウェイクアップ・モード](#)参照）。更に、ダイレクト・コマンドStart Wake-Up Timerを送信することでも使用できます。このコマンドは、ウェイクアップ・モード以外のどの動作モードでも受け付けられます。このコマンドが送信されると、ウェイクアップ・タイマのクロック源として用いられているRC発振器がスタートし、タイムアウトは[ウェイクアップ・タイマ・コントロール・レジスタ](#)の送信によって設定されます。このタイマがタイムアウトすると、[エラー/ウェイクアップ割込みレジスタ](#)のl_wtフラグとともにIRQが送信されます。

ウェイクアップ・タイマは、他のタイマが使用できないローパワー動作モードで有用です（ローパワー動作モードでは、他のタイマのクロック源である水晶発振器が動作していません）。

注： [ウェイクアップ・タイマのタイムアウト時間の許容誤差は、RC 発振器の許容誤差によって決まります。](#)

1.2.8 A/Dコンバータ

ST25R3911Bには、8ビット逐次比較型A/Dコンバータが内蔵されています。A/Dコンバータへの入力には、複数のダイレクト・コマンドと調整手続きで使用される異なる信号源からの多重化が可能です。A/D変換の結果は[A/Dコンバータ出力レジスタ](#)に格納されます。

A/Dコンバータには、絶対モードと相対モードの2つの動作モードがあります。

- 絶対モードでは、下側の基準値は0 Vであり、上側の基準値は2 Vです。このことは、A/Dコンバータの入力範囲が0 ~ 2 Vであることを意味しており、コードの00hは入力が0 V以下であることを、FFhは入力が2 V - 1 LSB以上（LSBは7.8125 mV）であることを意味します。
- 相対モードでは、下側の基準値は V_{SP_A} の1/6、上側の基準値は V_{SP_A} の5/6であるため、入力範囲は1/6 ~ 5/6 V_{SP_A} となります。

相対モードは、位相測定（位相検出器の出力は電源に比例）でのみ使用されます。それ以外の場合には、絶対モードが使用されます。

1.2.9 位相振幅検出器

このブロックは、A/Dコンバータへの入力を供給して、ダイレクト・コマンドMeasure Amplitude and Measure Phaseによって求められる、振幅と位相の測定を実施するために使用されます。ダイレクト・コマンドCalibrate Modulation Depth and Calibrate Antennaによっても、位相と振幅の測定がいくつか行われます。

位相検出器

位相検出器は、トランスミッタ出力信号（RFO1とRFO2）と、アンテナLCタンクの信号に比例している、レシーバ入力信号RFI1とRFI2との間の位相差を観測しています。これらの信号は、まずデジタル化コンパレータで処理されます。その後、このデジタル信号が、強力なローパス・フィルタを備えた位相検出器によって処理されて、平均位相差を得ます。

位相検出器の出力は、2つの入力の位相差に逆比例しています。90°位相シフトによって $V_{SP_A}/2$ の出力電圧が得られますので、両方の入力と同相であれば出力電圧は V_{SP_A} となり、逆相であれば出力電圧は0 Vとなります。ダイレクト・コマンドMeasure Phaseを実行中、この出力はA/Dコンバータ入力に多重化されます（Measure Phaseコマンドの実行中には、A/Dコンバータは相対モードとなります）。A/Dコンバータの範囲は1/6 ~ 5/6 V_{SP_A} であるため、位相検出器の実際の範囲は30°から150°までとなります。

シフト量が90°と135°である場合の位相検出器の2入力と出力を、それぞれ図6と図7に示します。

図 6. 90°位相シフトの場合の位相検出器の入力と出力

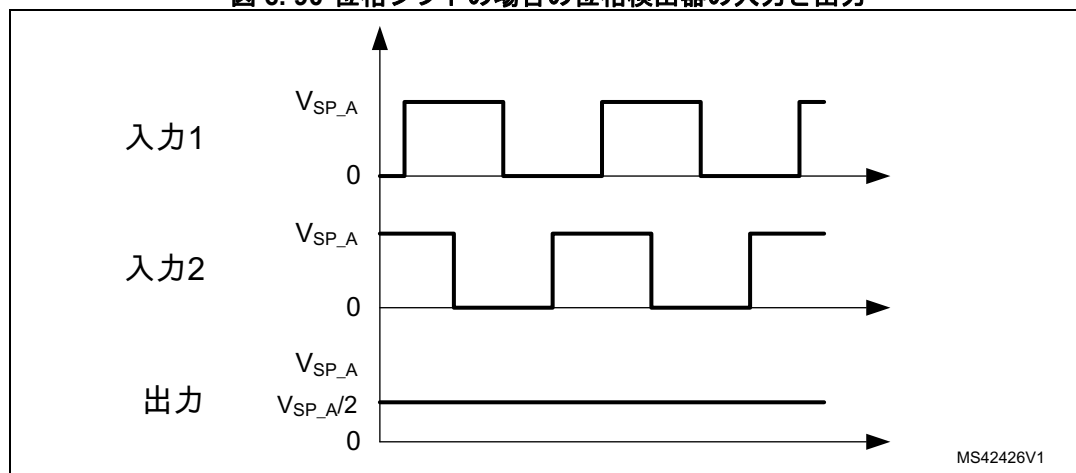
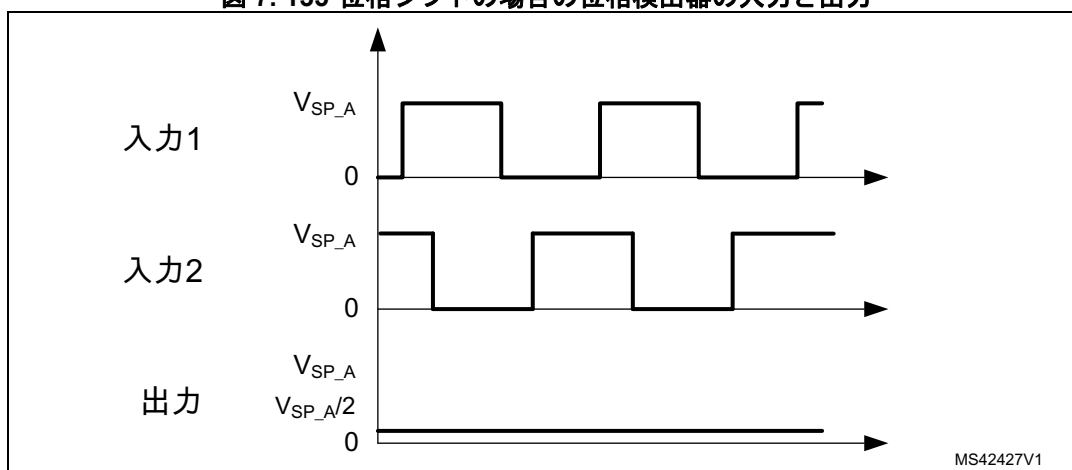


図 7. 135°位相シフトの場合の位相検出器の入力と出力



振幅検出器

RFI1とRFI2からの信号は、自己ミキシングステージへの入力として使用されます。このステージの出力は、RFI1ピンとRFI2ピンの信号振幅に比例するDC電圧です。ダイレクト・コマンドMeasure Amplitudeの実行中、この出力はA/Dコンバータ入力に多重化されます。

1.2.10 外部フィールド検出器

外部フィールド検出器は、RFフィールドを生成する外部デバイスの存在検出に使用されます。NFCIP-1アクティブ通信モードで自動的に起動され、それ以外のモードでも使用可能です。外部フィールド検出器は、ピア検出閾値とコリジョン防止閾値の2つの異なる検出閾値に対応しています。この2つの閾値は、[外部フィールド検出器閾値レジスタ](#)に書き込むことによって、別々に設定できます。外部フィールド検出器の出力の実際の状態は、[補助表示レジスタ](#)を読むことで確認できます。このブロックへの入力、RFI1ピンからの信号です。

ピア検出閾値

この閾値は、NFC通信が行われている相手側ピアNFCデバイスによって放射されるフィールド（ST25R3911B が ターゲットと相手側の場合にはイニシエータ・フィールド、ST25R3911B が イニシエータの場合にはターゲット・フィールド）の検出に使用されます。75 mV_{pp}から800 mV_{pp}までの範囲で選択可能です。この閾値が有効化されると、外部フィールド検出器はローパワー・モードになります。外部フィールドが検出されて、さらにそれがオフされると、割込みが生成されます。このような実装により、外部フィールドが消滅した瞬間の検出にも使用できます。この機能は、ピアNFCデバイス（イニシエータの場合もターゲットの場合もあります）がRFフィールドの放射を停止した瞬間の検出に有用です。

[ビット・レート設定レジスタ](#)でNFCIP-1モード（イニシエータまたはターゲット）が選択されると、外部フィールド検出器は、自動的にローパワー・ピア検出モードで有効化されます。

さらに、[補助設定レジスタ](#)のen_fdビットを設定することによっても有効化できます。

コリジョン防止閾値

この閾値は、NFC Field ONコマンド（[NFC Field ONコマンド群](#)参照）を送信することで実行されるRFコリジョン防止シーケンスの間に用いられます。25 mV_{pp}から800 mV_{pp}までの範囲で選択可能です。

1.2.11 電源システム

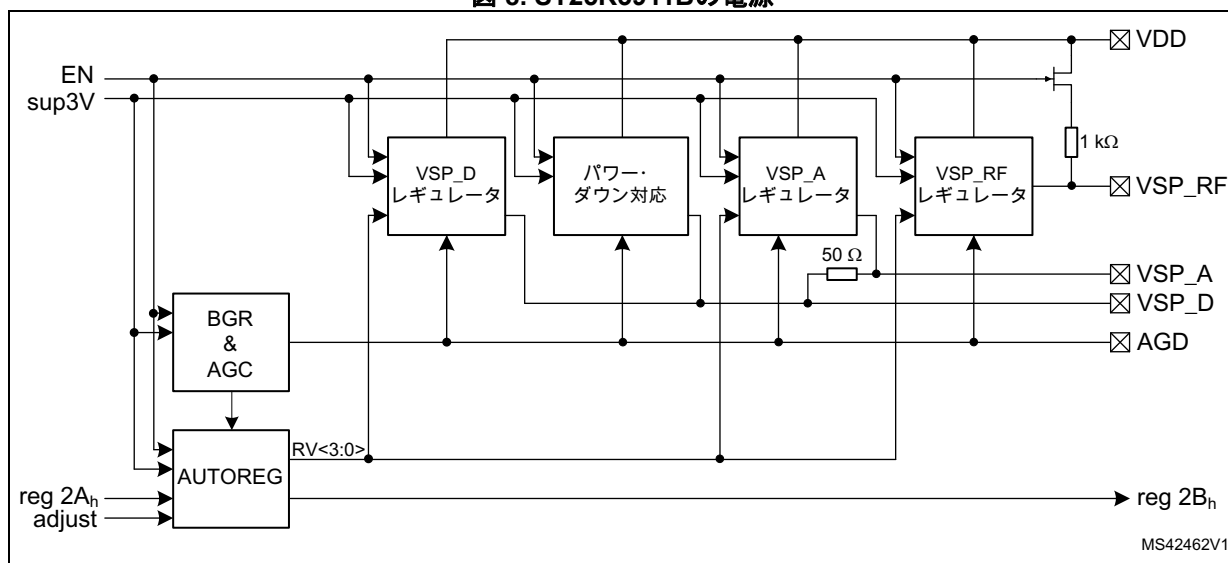
ST25R3911B (8) は、VDDとVDD IOの2本の正電源ピンを特徴としています。

VDD はメインの電源ピンです。3 個のレギュレータ (VSP_A、VSP_D、VSP_RF) を通じて、ST25R3911Bの各ブロックに電源を供給します。

2.4 Vから5.5 Vまでの範囲の V_{DD} に対応しています。

V_{DD_IO}は、デジタル通信ピン（/SS、MISO、MOSI、SCLK、IRQ、MCU_CLK）に対する電源レベルを設定するために使われます。デジタル通信ピンはレベル・シフタを介してST25R3911Bのロジックとインタフェースしますので、内部電源電圧はV_{DD_IO}よりも高くても低くても構いません。1.65 Vから5.5 Vまでの範囲のV_{DD_IO}に対応しています。

図 8. ST25R3911Bの電源



ST25R3911Bの電源システムとそれを制御する信号の構成要素を図 8に示します。

電源システムには、レギュレータ3個と、パワーダウン対応ブロック、アナログ基準電圧（AGD）を生成するブロック、自動電源調整手続きを実行するブロックが含まれています。この3個のレギュレータは、アナログ・ブロック（VSP_A）、ロジック（VSP_D）、トランスミッタ（VSP_RF）に電源を供給しています。5 V電源では、3.3 Vデバイスのみを使用しているアナログ・ブロックとロジック・ブロックに安定化電圧を供給するために、VSP_AとVSP_Dのレギュレータを必ず使用しなければなりません。3 V電源でのVSP_AレギュレータとVSP_Dのレギュレータの使用と、あらゆる電源電圧でのVSP_RFの使用は、システムPSRRの向上のために推奨されています。

安定化電圧は、良好なPSRRを維持しながらも、できるだけ高い電圧で安定化されるように、自動的に調整されます。レギュレータのすべてのピンには、それに対応する負電源ピンがあり、外部で接地電位（VSS）に接続されています。分離されている理由は、内部の電源ライン上の電圧降下によって引き起こされるノイズをデカップリングするためです。

すべてのレギュレータが使用されているST25R3911Bの標準的な応用回路図を [図 2](#) と [図 3](#) に示します。レギュレータのすべてのピンとAGD電圧は、コンデンサでバッファリングされています。ブロッキング・コンデンサの推奨値の詳細を [表 4](#) に示します。

表 4. ブロッキング・コンデンサの推奨値

ピン	推奨コンデンサ
AGD-VSS	1 μ Fと10 nFを並列使用
VSP_A-VSN_A	2.2 μ Fと10 nFを並列使用
VSP_D-VSN_D	2.2 μ Fと10 nFを並列使用
VSP_RF-VSN_RF	2.2 μ Fと10 nFを並列使用

レギュレータには、電源電圧によって、3.3 V電源モード（最大3.6 V）と5 V電源モード（最大5.5 V）の2種類の基本動作モードがあります。電源モードは、[IOコンフィギュレーション・レジスタ2](#)のsup3 Vビットに書き込むことによって設定されます。デフォルト設定は5 Vですので、3.3 V電源の場合には、起動後にこのビットを1にセットする必要があります。

3.3 Vモードでは、すべてのレギュレータは、2.4 Vから3.4 Vまでの範囲の同じ安定化電圧に設定されますが、5 Vモードでは、VSP_AとVSP_Dは3.4 V固定で、VSP_RFのみが3.9 Vから5.1 Vまでの範囲に設定可能です。

レギュレータは、en信号（enは[動作コントロール・レジスタ](#)のコンフィギュレーション・ビットです）がHighのときに動作します。en信号がLowであるときには、ST25R3911Bはローパワーのパワーダウン・モードとなります。このモードでは、電源システムの消費電力についても最小限に抑えられます。

VSP_RFレギュレータ

このレギュレータは、トランスミッタのPSRRを向上するためにあります（トランスミッタから電源ノイズが放射されてレシーバにフィードバックされます）。次の2つのレジスタを読み書きすることによって、VSP_RFレギュレータの動作の制御と監視が行われます。

- [レギュレータ電圧コントロール・レジスタ](#)は、レギュレータ・モードと安定化電圧の制御を行います。reg_sビットによってレギュレータ・モードが制御されます。このビットが0（デフォルト状態）にセットされている場合、安定化電圧はダイレクト・コマンドAdjust Regulatorsを用いて設定されます。reg_sビットが1にアサートされると、安定化電圧は、同じレジスタのrege_3ビットからrege_1ビットによって設定されます。安定化電圧の調整範囲は、電源モードに依存します。5 V電源モードでは、調整範囲は3.9 Vから5.1 Vまでの120 mV刻みであり、3.3 V電源モードでは、調整範囲は2.4 Vから3.4 Vまでの100 mV刻みとなります。デフォルトの安定化電圧が最大電圧（5 V電源モードでは5.1 V、3.3 V電源モードでは3.4 V）となります。
- [レギュレータ/タイマ表示レジスタ](#)は読み出し専用レジスタであり、レギュレータの動作中に実際の安定化電圧を示します。ダイレクト・コマンドAdjust Regulatorsの結果である、実際の安定化電圧を確認できるため、このレジスタは特に自動モードで有用です。

VSP_RFレギュレータには電流リミッタも含まれており、通常動作では、レギュレータの電流を標準で200 mA_{rms}に制限します（短絡時には500 mA）。トランスミッタの出力電流が200 mA_{rms}よりも大きいことが求められる場合には、VSP_RFレギュレータはトランスミッタの電源としては使用できませんので、VSP_RFを外でVDDに接続する必要があります（V_{DD}よりも高い電源電圧にVSP_RFを接続することはできません）。

トランスミッタ電流の電圧降下が、ST25R3911Bの消費電力の主な発生源です。この電圧降下は、トランスミッタ・ドライバ内部の降下とVSP_RFレギュレータの降下から構成されています。このため、ダイレクト・コマンドAdjust Regulatorsを用いて安定化電圧を設定することが推奨されます。そうすることで、レギュレータの電圧降下による消費電力が比較的小さい状態で、良好な電源電圧変動除去比が得られます。

パワーダウン・モードでは、VSP_RFレギュレータは動作していません。

VSP_RFピンは、1 kΩ抵抗を介してVDDに接続されています。

抵抗を介して接続することにより、システムの起動が円滑になり、パワーダウン・モードからそれ以外の動作モードへの移行も円滑となります。

VSP_AレギュレータとVSP_Dレギュレータ

VSP_AレギュレータとVSP_Dレギュレータは、それぞれST25R3911Bのアナログ・ブロックとデジタル・ブロックへの電源供給に使われます。3.3 Vモードでは、VSP_AレギュレータとVSP_Dレギュレータは、VSP_RFレギュレータと同じ安定化電圧に設定されますが、5 Vモードでは、VSP_AとVSP_Dの安定化電圧は3.4 Vに固定されます。

これら2本のピンから電源供給を受けるアナログ・ブロックとデジタル・ブロックには、対応最大電圧が3.6 Vの低電圧トランジスタが含まれているため、5 Vモードでは、VSP_AレギュレータとVSP_Dレギュレータを必ず使用しなければなりません。3.3 V電源モードでは、アナログ処理のPSRRを向上させるために、レギュレータの使用を強くお勧めします。

ローコストのアプリケーションでは、VSP_Dレギュレータを無効にして、デジタル・ブロックにはVSP_AとVSP_Dを外部で短絡して電源供給することができます（[IOコンフィギュレーション・レジスタ2](#)のコンフィギュレーション・ビットvspd_off）。VSP_Dレギュレータが無効化された場合、VSP_Aが300 mVを超えてVDDよりも低くない限り、VSP_Dは代わりにVDDから電源供給を受けることもできます（3.3 Vモードのみ）。

パワー・ダウン対応ブロック

パワーダウン・モードでは、電流節約のためにレギュレータは無効となっています。このモードでは、VSP_DとVSP_Aが3.6 V未満に維持される、ローパワーのパワーダウン対応ブロックが有効化されます。このモードでの標準的な安定化電圧は、5 V電源で3.1 V、3 V電源で2.2 Vとなります。3.3 V電源モードが設定されると、パワーダウン対応ブロックが無効化され、その出力は1 kΩ抵抗を介してVDDに接続されます。

パワーダウン対応ブロックの標準的な消費電流は、5 V電源で600 nAとなります。

電源電圧の測定

ダイレクト・コマンドMeasure Power Supplyを使用すれば、VDDと安定化電圧のVSP_AとVSP_DとVSP_RFを測定できます。

1.2.12 外部マイクロコントローラとの通信

ST25R3911Bはスレーブ・デバイスであり、外付けのマイクロコントローラによってすべての通信が開始されます。通信は、4線式シリアル・ペリフェラル・インタフェース（SPI）によって行われます。ST25R3911Bがマイクロコントローラに割込みリクエスト（IRQピン）を送信し、マイクロコントローラは、発振器の動作中にMCU_CLKピン上に提供されるクロック信号を使用できます。

シリアル・ペリフェラル・インタフェース（SPI）

/SS信号がHighであればSPIインタフェースはリセット状態にあり、Lowであれば有効となっています。SPIを使用しないときには、常に/SSをHighに保つことを推奨します。SCLKの立下がりエッジでMOSIがサンプリングされます。すべての通信は8ビット（バイト）のブロック単位で行われます。/SSがHighからLowに遷移した後に最初に送信されるバイトの最初の2ビットによって、SPIの動作モードが設定されます。

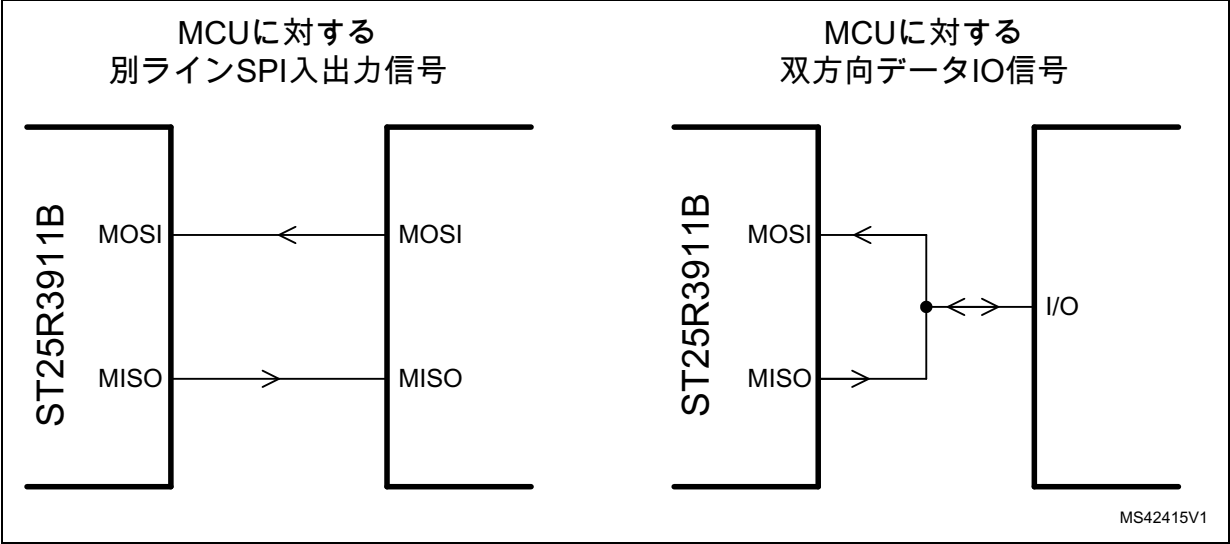
表 5. シリアル・データ・インタフェース（4線式インタフェース）信号ライン

名称	信号	信号レベル	説明
/SS	デジタル入力	CMOS	SPIイネーブル（アクティブLow）
MOSI	デジタル入力		シリアル・データ入力
MISO	トライステート・デジタル出力		シリアル・データ出力
SCLK	デジタル入力		シリアル通信用クロック

MSBビットは必ず最初に送信されます（アドレスとデータが該当）。

読みモードと書きモードは、アドレス自動インクリメントに対応しています。このことは、アドレスと最初のデータ・バイトの後に別のデータ・バイトが送信/読みされたとすると、そのデータ・バイトは1だけインクリメントされたアドレスに対して書き込み/読みが行われることを意味しています。取り得るモードを図 9に示します。

図 9. マイクロコントローラとの信号のやりとり



通常、MISO出力はトライステートであり、出力データ有効時にのみ駆動されます。このため、MOSIとMISOを外部で短絡して双方向信号とすることができます。

MISO出力がトライステートである間、[IOコンフィギュレーション・レジスタ2](#)のオプション・ビット `miso_pd1` と `miso_pd2` をアクティブ化することで、10 kΩプルダウン抵抗をオンにすることができます。

SPI動作モードの情報を[表 6](#)に示します。レジスタの読み書きは、どのST25R3911B動作モードでも可能です。`en`（[動作コントロール・レジスタ](#)のビット7）がセットされていて、水晶発振器の周波数が安定している場合に、FIFOが操作可能です。

表 6. SPI動作モード

モード	パターン（通信ビット）								関連データ
	モード		トレーラ						
	M1	M0	C5	C4	C3	C2	C1	C0	
レジスタ書込み	0	0	A5	A4	A3	A2	A1	A0	データ・バイト（自動インクリメントの場合は追加バイト）
レジスタ読出し	0	0	A5	A4	A3	A2	A1	A0	
FIFOロード	1	0	0	0	0	0	0	0	FIFOデータの1バイトまたは複数バイト
FIFOリセット	1	0	1	1	1	1	1	1	
ダイレクト・コマンド・モード	1	1	C5	C4	C3	C2	C1	C0	-

アドレス指定可能レジスタへのデータ書き込み（書き込みモード）

単一バイト書き込みの場合と、自動インクリメント・アドレスを用いた複数バイト書き込みの場合を [図 10](#) と [図 11](#) に示します。SPI動作モード・ビットの後、書き込みが行われるレジスタのアドレスが出力されます。その後、データ・バイトが1バイトまたは複数バイトSPIから転送されますが、必ずMSBからLSBの順番となっています。データ・バイトは、その最終立下がりエッジでレジスタに書き込まれます。8ビット（1バイト）の PACKET が送信される前に /SS が High となって通信が終了した場合には、このレジスタへの書き込みは行われません。設定されたアドレスのレジスタが存在しない場合や、それが読出し専用レジスタである場合には、書き込みは実行されません。

図 10. SPI通信: 単一バイト書き込み

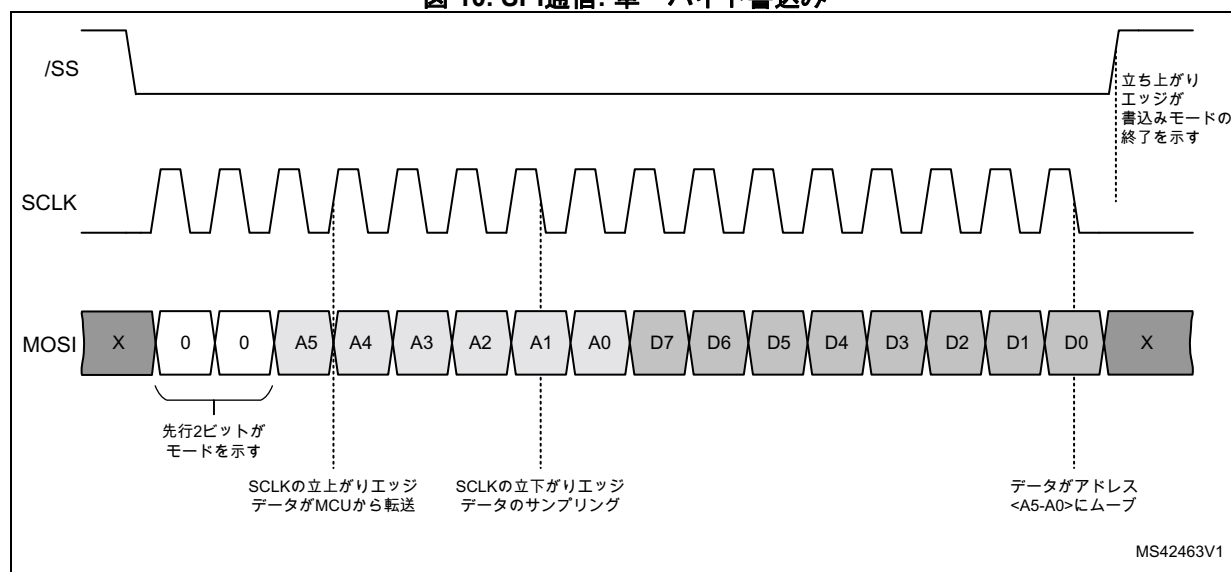
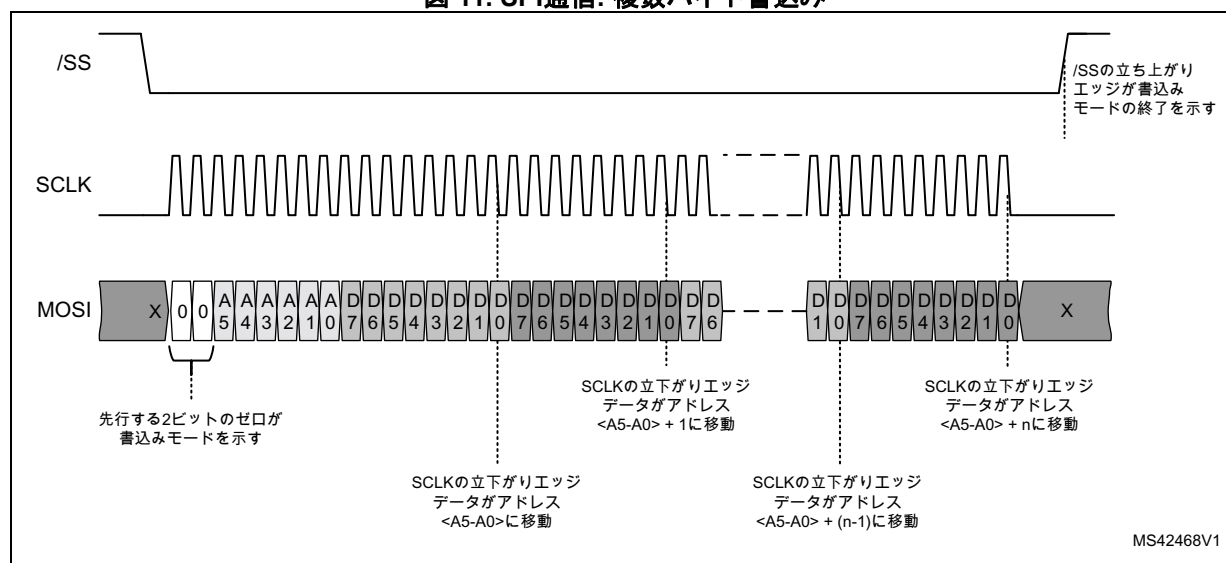


図 11. SPI通信: 複数バイト書込み



アドレス指定可能レジスタからのデータ読み込み（読み込みモード）

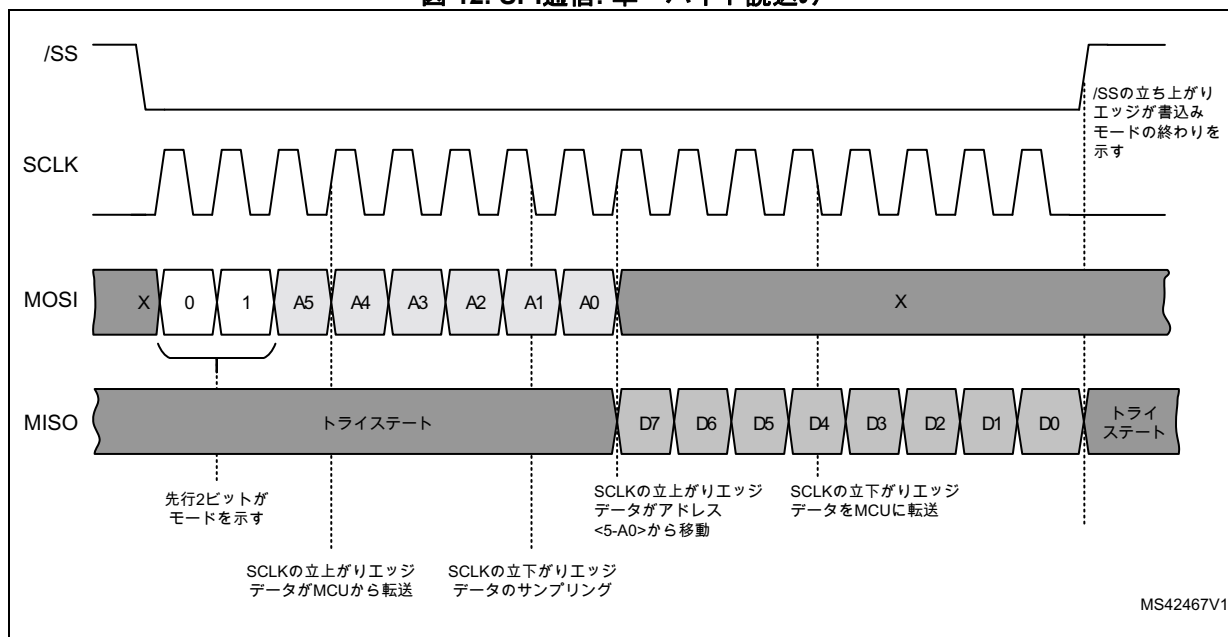
SPI動作モード・ビットの後、読み込みが行われるレジスタのアドレスがMSBからLSBの順番で出力されます。その後、データ・バイトが1バイト以上MISO出力に転送されますが、必ずMSBからLSBの順番となっています。書込みモードの場合と同様に、読み込みモードも自動インクリメント・アドレスに対応しています。

MOSIはSCLKの立下がりエッジでサンプリングされ（下図参照）、ST25R3911Bの内部レジスタから読み込まれるデータは、SCLKの立ち上がりエッジでMISOピンに転送されて、SCLKの立下がりエッジでマスタによりサンプリングされます。

指定アドレスのレジスタが存在しない場合には、オール0のデータがMISOに送信されます。

単一バイトの読み込みの例を [図 12](#) に示します。

図 12. SPI通信: 単一バイト読み

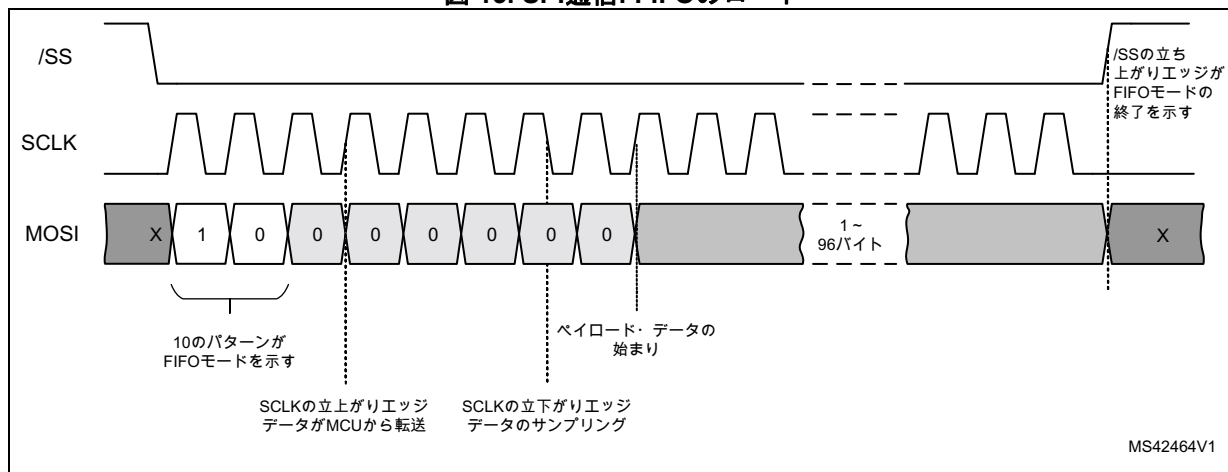


送信データのFIFOへのロード

送信データのFIFOへのロードは、アドレス指定可能なレジスタへのデータの書き込みと似ています。違いは、バイトをさらにロードする場合には、すべてのバイトがFIFOに送られることです。SPI動作モード・ビットの10は、FIFO動作であることを示しています。送信データをFIFOにロードする場合には、C5～C0の全ビットが0にセットされます。その後、送信データ（1～96バイト）であるビットストリームが送信可能となります。8ビット（1バイト）の packets が送信される前に/SSがHighとなってコマンドが終了した場合には、FIFOの中のこの特定バイトへの書き込みは行われません。

FIFOへの送信データのロード方法を [図 13](#) に示します。

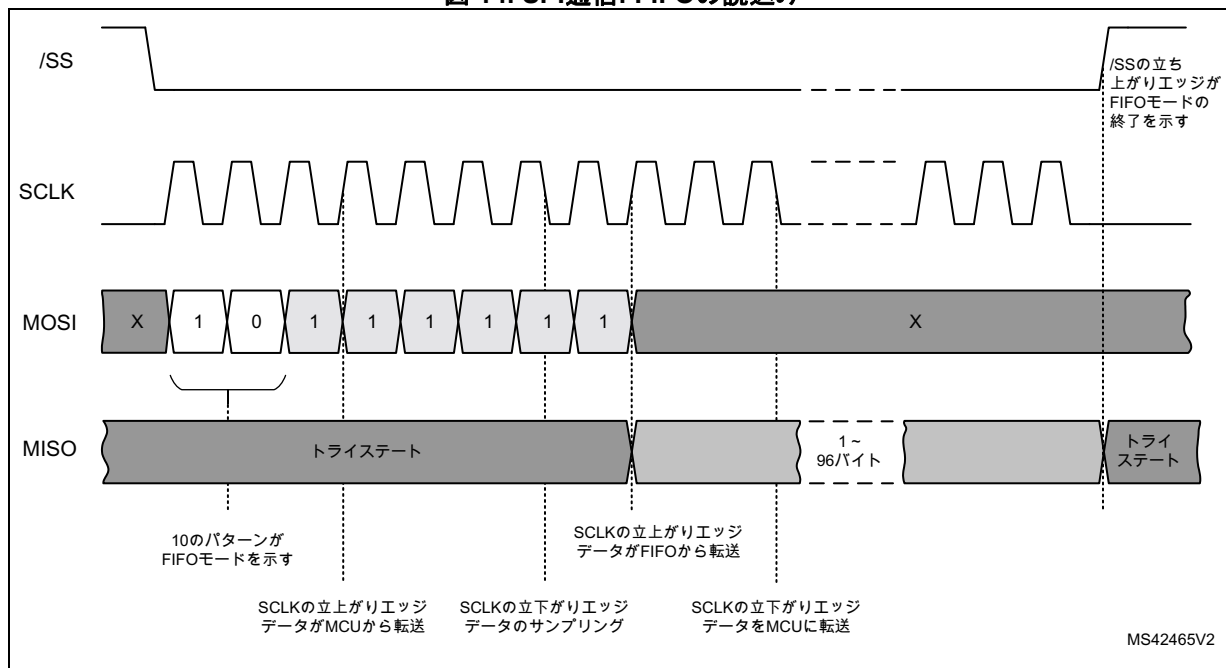
図 13. SPI通信: FIFOのロード



受信データのFIFOからの読み込み

受信データのFIFOからの読み込みは、アドレス指定可能なレジスタからのデータの読み込みと似ています。違いは、バイトをさらに読み込む場合には、すのすべてがFIFOからやってくることです。SPI動作モード・ビットの10は、FIFO動作であることを示しています。受信データをFIFOから読み込む場合には、C5～C0の全ビットが1にセットされます。アドレス指定可能なレジスタからのデータの読み込みの場合のように、続くSCLKの立上がりエッジでFIFOからのデータが現れます。8ビット（1バイト）の packets が読み込まれる前に /SS が High となってコマンドが終了した場合には、この特定バイトは読み込まれなかったものとみなされ、次のFIFO読み込み操作にて最初に読み込まれます。

図 14. SPI通信: FIFOの読み込み

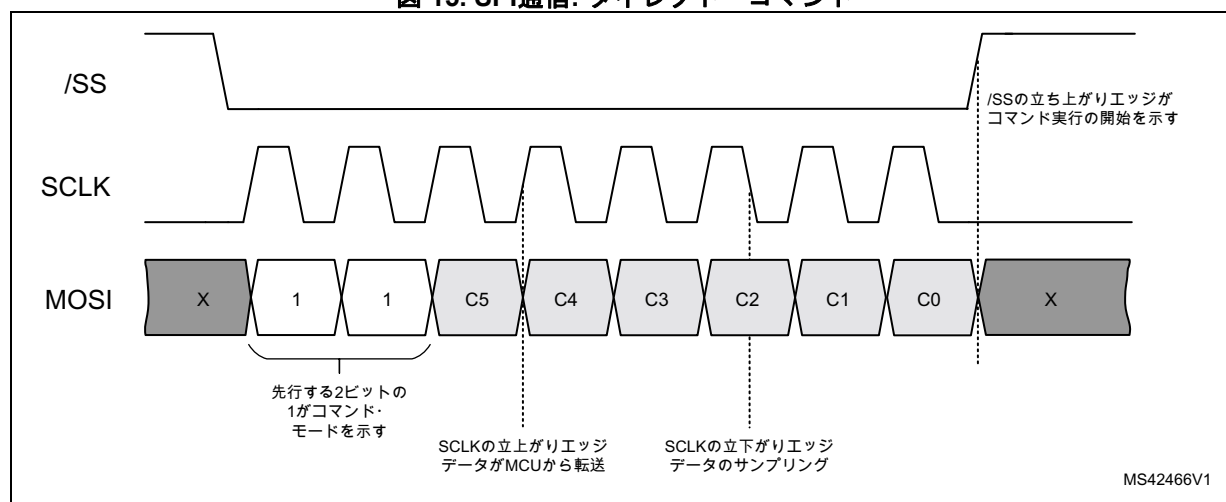


ダイレクト・コマンド・モード

ダイレクト・コマンド・モードには引数がないため、1バイトのみ送信されます。SPI動作モード・ビットの11は、ダイレクト・コマンド・モードであることを示しています。それに続く6ビットがダイレクト・コマンドの設定であり、MSBからLSBの順に送信されます。コマンドは、最終クロックの立下がりエッジで実行されます（図 15参照）。

ダイレクト・コマンドの中にはすぐに実行されるものもありますが、特定時間要する処理（補正や測定など）を開始するものもあります。このようなコマンドの実行中には、SPIインタフェースで別の処理を開始しないでください。このようなコマンドの実行が終了された後には、IRQが送信されます。

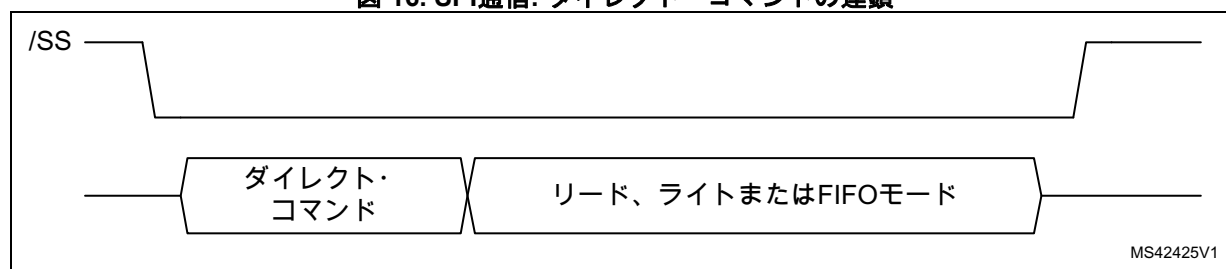
図 15. SPI通信: ダイレクト・コマンド



ダイレクト・コマンドの連鎖

図 16に示すように、即時実行されるダイレクト・コマンドには、その間で/SS信号を非アクティブとすることなく、別のSPIモード（読み込み、書き込み、FIFO）を続けることができます。

図 16. SPI通信: ダイレクト・コマンドの連鎖



SPIタイミング

表 7. SPIタイミング

記号	パラメータ	最小	標準	最大	単位	コメント
一般タイミング (V _{DD} = V _{DD_IO} = V _{SP_D} = 3.3 V、25 °C)						
T _{SCLK}	SCLK周期	167	-	-	ns	T _{SCLK} =T _{SCLKL} +T _{SCLKH} 、これよりも短いSCLK周期を使用すると、不正なFIFO操作となる場合があります。
T _{SCLKL}	SCLK Low	70	-	1		-
T _{SCLKH}	SCLK High	70	-	-		-
T _{SSH}	SPIリセット (/SS High)	100	-	-		-
T _{NCSL}	/SSの立下がりからSCLKの立上がりまで	25	-	-		最初のSCLKパルス
T _{NCSH}	SCLKの立下がりから/SSの立上がりまで	300	-	-		最後のSCLKパルス
T _{DIS}	セットアップ時間のデータ	10	-	-		-
T _{DIH}	ホールド時間のデータ	10	-	-		-
読み込みタイミング (V _{DD} = V _{DD_IO} = V _{SP_D} = 3.3 V、25 °C、C _{LOAD} ≤ 50 pF)						
T _{DOD}	データ・アウト遅延	-	20	-	ns	-
T _{DOHZ}	データ・アウトから ハイ・インピーダンス遅延	-	20	-		-

図 17. SPI一般タイミング

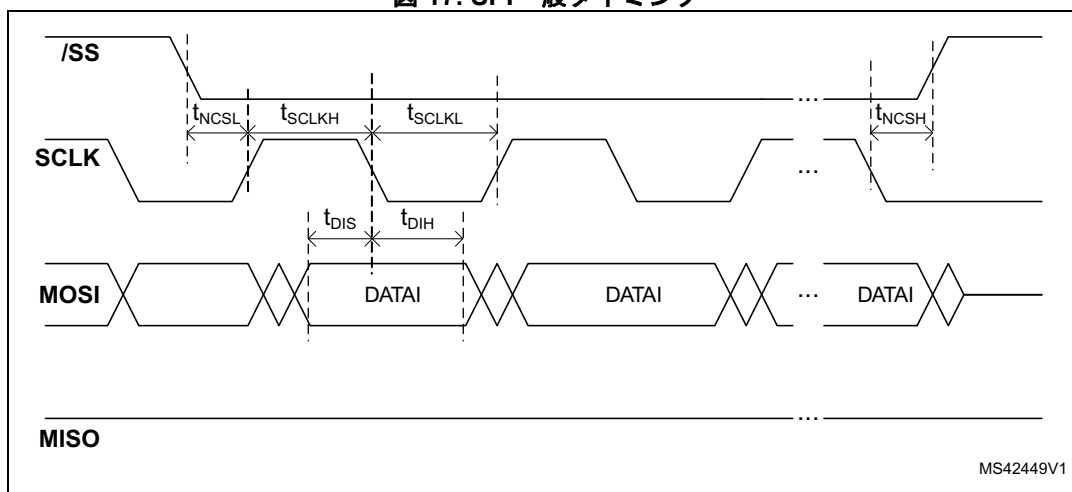
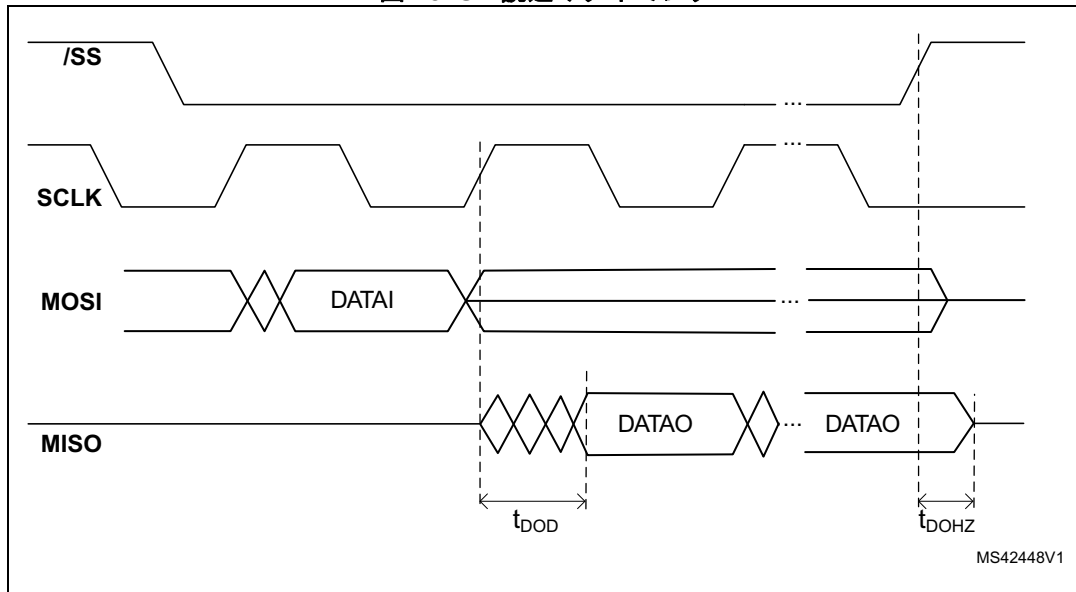


図 18. SPI読み込みタイミング



割込みインタフェース

ST25R3911Bに実装されている割込みレジスタは、次の3つです。[メイン割込みレジスタ](#) メイン割込みレジスタには、6本の割込み原因に関する情報が含まれているのに加えて、2ビットが[タイマ/NFC割込みレジスタ](#)と[エラー/ウェイクアップ割込みレジスタ](#)に詳細がある割込み原因に対する参照となっています。

割込み条件が満たされると、割込み原因が[メイン割込みレジスタ](#)に設定されて、IRQピンがHighに変化します。

表 8. IRQ出力

名称	信号	信号レベル	説明
IRQ	デジタル出力	CMOS	割込み出力ピン

次にマイクロコントローラが[メイン割込みレジスタ](#)を読み込んで、各種割込み原因の識別を行います。割込みレジスタの0x17と0x18と0x19は、一度に読み込む必要があります。ある割込みレジスタが読み込まれると、その内容は0にリセットされます。この規則の例外は、補助レジスタを指しているビットです。これらのビットは、対応する補助レジスタが読み込まれたときにのみクリアされます。そのHighへの遷移の原因となった割込みビットが読み込まれると、IRQピンがLowに遷移します。

注： [IRQ 信号がセットされた後速やかにマイクロコントローラが割込みレジスタを読み込みます。割込みの原因となる別イベントが発生した場合には、複数の割込みビットがセットされていることがあります。この場合には、割込みの原因となった最後のビットが読み込まれると、IRQ ピンがLowに遷移します。](#)

ある特定原因の割込みが不要なのであれば、マスク割込みレジスタの対応ビットを設定して、その割込みを無効にできます。ある特定の割込み原因をマスクすると、その割込みは生成されませんが、それでもなお割込み原因ビットは、割込みレジスタの中でセットされます。

FIFOウォーター・レベルとFIFOステータス・レジスタ

ST25R3911Bには、96バイトFIFOが含まれています。送信の場合には、外部マイクロコントローラにより前もってロードされたデータを、制御ロジックがフレーミング・ブロックに、そしてトランスミッタへとシフトします。受信中には、復調データはFIFOに格納されており、外部マイクロコントローラが後で受信データをダウンロードできます。

FIFOウォーター・レベル割込みシステムのおかげで、ST25R3911Bの送受信機能は、FIFOサイズによる制限を受けません。FIFO内のデータ内容が「ウォーター・レベル + 1」からウォーター・レベルになり、送信フレーム全体がFIFOにまだロードされていないときには、送信中に割込み（[メイン割込みレジスタ](#)のFIFOウォーター・レベルによるIRQ）が送信されます。このときには、外部マイクロコントローラはFIFOにデータを追加可能です。受信時も同様であり、受信バイト数が「ウォーター・レベル - 1」からウォーター・レベルになると割込みが送信され、FIFOのオーバーフローのために受信データを失わないようにするためには、FIFOからデータをダウンロードする必要があることを、外部マイクロコントローラに通知します。

送信バイトがFIFOにまだすべて書き込まれておらず、FIFOに書き込まれているバイト数がウォーター・レベルよりも少ない場合にも、送信中にウォーター・レベルIRQがセットされます。この場合には、FIFO内のバイト数が4を下回ったときにIRQが送信されます。

注： *FIFO ロード/読み込みモードでSPIが有効となっている場合には、FIFO IRQは生成されません。このため、FIFO ロード/読み込み速度はTx/Rxビット・レートよりも速い必要があります、いったんFIFOのロード/読み込みが終了すると、/SSピンはVDDに上げられる必要があります（/SSがLowのままでは、ロジックがFIFO ロード/読み込みモードのままとなります）。*

受信データ・フレームがFIFOサイズよりも小さいことをコントローラが知っている場合には、ウォーター・レベル割込みを処理する必要はありません。このような場合には、ウォーター・レベル割込みをマスク可能です。

外部マイクロコントローラは、データが送受信されるよりも速くFIFOを処理する必要があります。実際の送受信ビット・レートの2倍以上のSCLK周波数を使用することをお勧めします。

送受信で利用可能なFIFOウォーター・レベルの設定には[IO コンフィギュレーション・レジスタ1](#)に2つあります。

外部マイクロコントローラは、データ受信の終了後に、どれだけのデータがまだFIFOに格納されているかを知る必要があります。この情報は、未読出しのFIFO内のバイト数が示されている、[FIFOステータス・レジスタ1](#)と[FIFOステータス・レジスタ2](#)にあります。[FIFOステータス・レジスタ1](#)は、送受信処理中にも読み出し可能であり、FIFO内の現在のバイト数に関する情報を取得できます。その場合には、Rx/Tx処理が進行中であり、レジスタの読み込みが完了したときには、FIFO内のデータ・バイト数はすでに変化している可能性があることを考慮する必要があります。

さらに、[FIFOステータス・レジスタ2](#)には、FIFOが送受信処理中に正しく処理されなかったこと（FIFOオーバーフローまたはFIFOアンダーフロー）を示すビットが2ビット含まれています。

あまりに大量のデータがFIFOに書き込まれると、FIFOオーバーフローがセットされます。受信中にこのビットがセットされた場合は、ウォーター・レベルIRQに対して外部マイクロコントローラが時間通りに対応しておらず、96バイトを超えるデータがFIFOに書き込まれています。このような場合には、当然、受信データは破壊されています。送信時であれば、FIFOサイズを超えてコントローラがデータを書き込んでいることを意味します。送信されるデータは破壊されています。

空のFIFOからデータが読み込まれると、FIFOアンダーフローがセットされます。受信中にこのビットがセットされた場合は、実際に受信したデータ以上のデータを外部マイクロコントローラが読み込んでいます。送信時であれば、送信バイト数レジスタに設定されているだけのデータ量を、コントローラが時間通りに供給できなかったことを意味しています。

MCU_CLKピン

MCU_CLKピンは、外部マイクロコントローラのクロック源として使用しても構いません。動作モードに応じて、RC発振器からの低周波数クロック（32 kHz）と、水晶発振器から派生したクロック信号とのいずれかが、MCU_CLKピンから供給されます。

MCU_CLK出力ピンは、[IO コンフィギュレーション・レジスタ1](#)のout_c1ビットとout_cl0ビットとIf_clk_offビットによって制御されます。out_clの2ビットによって、MCU_CLKピンをクロック源として使用できるようになり、水晶発振器（13.56 MHz、6.78 MHz、3.39 MHzに対応）が動作している場合の分周比が設定されます。If_clk_offビットによって、水晶発振器が動作していない場合の低周波数クロック（32 kHz）の使用が制御されます。デフォルト設定（起動時に設定）では、3.39 MHzクロックが選択され、低周波数クロックが有効となっています。

トランスペアレント・モード（[セクション 1.2.22: ストリーム・モードとトランスペアレント・モード](#)参照）では、外部コントローラで送受信フレーミングを実装するためには、フィールド・キャリア周波数に同期するクロックが必要であるため、必ずMCU_CLKを使用する必要があります。内部フレーミングを使用するときにも、MCU_CLKの使用をお勧めします。マイクロコントローラのクロック源としてMCU_CLKを使用すると、リーダ・キャリア周波数に同期したノイズが生成されるため、レシーバによってフィルタで除去されますが、それ以外のコヒーレントではないクロック源を使用すると、受信を妨害するノイズが生成されることがあります。

MCU_CLKの使用は、EMC適合のためにも優れています。

1.2.13 ダイレクト・コマンド

表 9. ダイレクト・コマンド

コマンド・コード (16進)	コマンド	コメント	コマンド連鎖	終了後の割込み	動作モード (1)
C1	Set Default	ST25R3911Bをデフォルト状態（起動後と同じ）に設定	N	N	すべて
C2、C3	Clear	すべての動作を停止し、FIFOをクリア	Y	N	en
C4	Transmit With CRC	自動CRC生成を使用して送信シーケンスを開始	Y	N	en, tx_en
C5	Transmit With CRC	自動CRC生成を使用せずに送信シーケンスを開始	Y	N	en, tx_en
C6	Transmit REQA	REQA コマンドを送信（ISO14443Aモードのみ）	Y	N	en, tx_en
C7	Transmit WUPA	WUPA コマンドを送信（ISO14443Aモードのみ）	Y	N	en, tx_en
C8	NFC Initial Field ON	初期 RF コリジョン防止を実行し、フィールドをオン	Y	Y	en ⁽²⁾
C9	NFC Response Field ON	応答 RF コリジョン防止を実行し、フィールドをオン	Y	Y	en ⁽²⁾
CA	NFC Response Field ON with n=0	n=0で応答RFコリジョン防止を実行し、フィールドをオン	Y	Y	en ⁽²⁾
CB	Go to Normal NFC Mode	NFCIP-1アクティブ通信ビット・レート検出モードにて受付け	Y	N	-

表 9. ダイレクト・コマンド（続き）

コマンド・コード (16進)	コマンド	コメント	コマンド連鎖	終了後の割込み	動作モード (1)
CC	Analog Preset	モード設定レジスタとビット・レート設定レジスタの状態に基づいてRxとTxの設定をプリセット	Y	N	すべて
D0	Mask Receive Data	このコマンドが無視された後に受信	Y	N	en, rx_en
D1	Unmask Receive Data	このコマンドが正常処理された後にデータを受信（このコマンドは内部マスク受信タイマよりも優先）	Y	N	en, rx_en
D2	-	未使用	-	-	-
D3	Measure Amplitude	RFI入力に現れている信号の振幅を測定し、結果をA/Dコンバータ出力レジスタに格納	N	Y	en
D4	Squelch	現在のノイズ・レベルに応じてゲインを減少	N	N	en, rx_en
D5	Reset Rx Gain	現在のスケルチ設定をクリアし、手動ゲイン減少量をレシーバ・コンフィギュレーション・レジスタ1からロード	N	N	en
D6	Adjust Regulators	現在の電源電圧レベルに応じて電源レギュレータを調整	N	Y	en ⁽³⁾
D7	Calibrate Modulation Depth	Txをアクティブ化するシーケンスを開始して変調度を測定し、指定された変調度に適合するように変調度を調整	N	Y	en
D8	Calibrate Antenna	アンテナLCタンクが共振状態となるように、TRIMx_yピンに接続された並列コンデンサを調整するシーケンスを開始	N	Y	en
D9	Measure Phase	RFO信号とRFI信号の間の位相差を測定	N	Y	en
DA	Clear RSSI	RSSIビットをクリアし、測定を再開	Y	N	en
DC	Transparent Mode	RFI入力に現れている信号の振幅を測定し、結果をA/Dコンバータ出力レジスタに格納	N	Y	en
DD	Calibrate Capacitive Sensor	静電容量センサを補正	N	Y	ノート参照 (4)
DE	Measure Capacitance	静電容量センサ測定を実行	N	Y	ノート参照 (5)
DF	Measure Power Supply	-	N	Y	en
E0	Start General Purpose Timer	-	Y	N	en
E1	Start Wake-Up Timer	-	Y	N	wu以外 すべて

表 9. ダイレクト・コマンド（続き）

コマンド・コード (16進)	コマンド	コメント	コマンド連鎖	終了後の割込み	動作モード (1)
E2	Start Mask Receive Timer	-	Y	N	ノート参照 (6)
E3	Start No-Response Timer	-	Y	N	en, rx_en
FC	Test Access	レジスタのテストのために/Wをイネーブル	Y	N	すべて
他のFx	-	テスト用に予約	-	-	-
他のコード	-	未使用	-	-	-

1. 特定コマンドを受け入れるためにセットする必要のある **動作コントロール・レジスタ** の各ビットを設定します。
2. このコマンドの終了後に、`l_cat`または`l_cac` IRQが送信されます。
3. **レギュレータ電圧コントロール・レジスタ**において安定化電圧の外部設定が選択されている場合（`reg_s`ビットがHighにセット）には、このコマンドは受け付けられません。
4. **静電容量センサ・コントロール・レジスタ**の`cs_mcal`ビットが0にセットされると、すべてのモードで受け付けられます。パワーダウン・モードでこのコマンドを実行することを推奨します。
5. すべてのモードで受け付けられます。パワーダウン・モードでこのコマンドを実行することを推奨します。
6. 初期NFCターゲット通信モードでのみ受け付けられます。

Set Default

このダイレクト・コマンドによって、ST25R3911Bは起動時の初期化状態と同じ状態となります。すべてのレジスタはデフォルト状態に初期化されます。唯一の例外は、起動時にのみデフォルト状態に設定される**IOコンフィギュレーション・レジスタ1**と**IOコンフィギュレーション・レジスタ2**と**動作コントロール・レジスタ**（Set Defaultによる影響を受けません）です。

注： **各種の補正と調整コマンドの結果も失われます。**

このダイレクト・コマンドは、すべての動作モードで受け付けられます。en（**動作コントロール・レジスタ**のビット7）がセットされていないときにこのコマンドが送信された場合には、FIFOとFIFOステータス・レジスタはクリアされません。

このコマンドによってすべてのレジスタがクリアされるため、ダイレクト・コマンドの連鎖はできません。

ダイレクト・コマンドの終了によるIRQは生成されません。

Clear

このダイレクト・コマンドによって、すべての現在の動作（送受信）が停止し、FIFOがクリアされ、FIFOステータス・レジスタがクリアされ、ウェイクアップ・タイマ以外のすべてのタイマが停止します（**汎用/応答なしタイマ・コントロール・レジスタ**の`nrt_emv`ビットが1にセットされている場合、応答なしタイマは停止しません）。

コリジョン・レジスタと割込みレジスタもクリアされます。このコマンドは、送信するデータをFIFOに書き込む前に、送信の準備を行うシーケンスの先頭で送信される必要があります（ダイレクト・コマンドTransmit REQAとTransmit WUPAの場合を除きます）。

en（**動作コントロール・レジスタ**のビット7）がセットされていて、水晶発振器の周波数が安定している場合に、このコマンドは受け付けられます。

ダイレクト・コマンドの連鎖は可能です。

ダイレクト・コマンドの終了によるIRQは生成されません。

Transmitコマンド群

すべてのTransmitコマンド（Transmit With CRC、Transmit Without CRC、Transmit REQA、Transmit WUPA）は、トランスミッタが有効化されている（tx_enビットがセットされている）場合のみ受け付けられます。

Transmit With CRCコマンドとTransmit Without CRCコマンドの送信前には、ダイレクト・コマンド Clearを送信してから送信されるバイト数を設定して、送信データをFIFOに書き込む必要があります。

ダイレクト・コマンドのTransmit REQAとTransmit WUPAは、ISO14443AコマンドのREQAとWUPAを送信するためにそれぞれ用いられます。これら2つのコマンドの前にClearコマンドを送信する必要はありません。

Transmit REQAまたはTransmit WUPAの実行前には、最終バイトの中の有効ビット数（[送信バイト数レジスタ2](#)のnbtx<2:0>）をゼロにセットしなければなりません。

ダイレクト・コマンドの連鎖は可能です。

ダイレクト・コマンドの終了によるIRQは生成されません。

NFC Field ONコマンド群

これらのコマンドは、RFコリジョン防止を実行して、コリジョンが検出されなかった場合にフィールドをオンにするために用いられます。[外部フィールド検出器閾値レジスタ](#)に設定されているコリジョン防止閾値は、RF_IN入力の観測と、ST25R3911Bのアンテナに近接して、13.56 MHzフィールドを放射しているデバイスが他に存在するかどうかの判断に用いられます。コリジョンが検出されない場合には、リーダ・フィールドが自動的にオン（[動作コントロール・レジスタ](#)のtx_enビットをセット）となり、NFCIP-1規格で定義された最小ガード時間の後に[タイマ/NFC割込みレジスタ](#)のl_catフラグ付きでIRQが送信されて、Transmitコマンドを用いたメッセージ送信を開始可能であることをコントローラに通知します。

外部フィールドの存在が検出された場合には、l_cacフラグ付きのIRQが送信されます。送信が行えない場合には、コリジョンが検出されなくなるまで、NFC Field ONコマンドを繰り返す必要があります。NFC Initial Field ONコマンドによって、NFCIP-1規格に則った初期コリジョン防止が実行されます。ここで、nの値は、[補助設定レジスタ](#)のnfc_n1ビットとnfc_n0ビットによって設定されます。

NFC Response Field ONコマンドによって、NFCIP-1規格に則った応答コリジョン防止が実行されます。ここでnの値は、[補助設定レジスタ](#)のnfc_n1ビットとnfc_n0ビットによって設定されます。

NFC Response Field ON with n=0コマンドによって、nを0とした応答コリジョン防止が実行されます。

実際のアクティブ遅延時間には、フィールドの非アクティブ化の検出、コントローラの処理遅延、NFC Field ONの送信の時間も含まれることから、実装されているアクティブ遅延時間は、NFCIP-1規格の下限値となります。

en（[動作コントロール・レジスタ](#)のビット7）がセットされていて、水晶発振器の周波数と振幅が両方とも安定している場合に、このコマンドは受け付けられます。

図 19. ダイレクト・コマンドNFC Initial Field ON

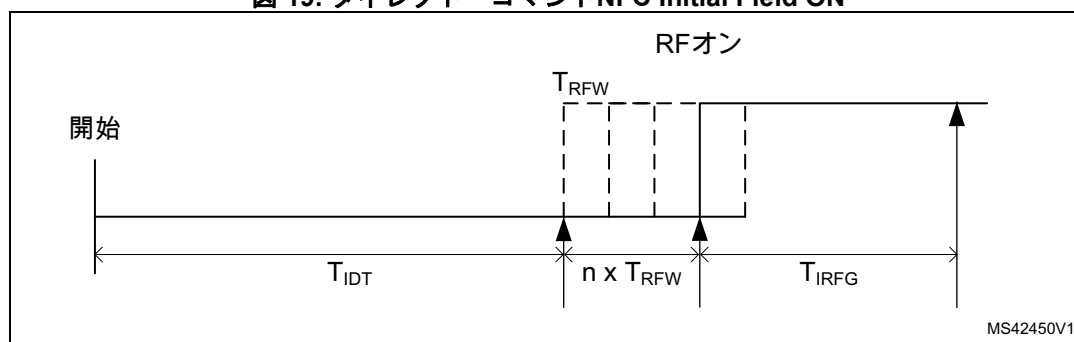


図 20. ダイレクト・コマンドNFC Response Field ON

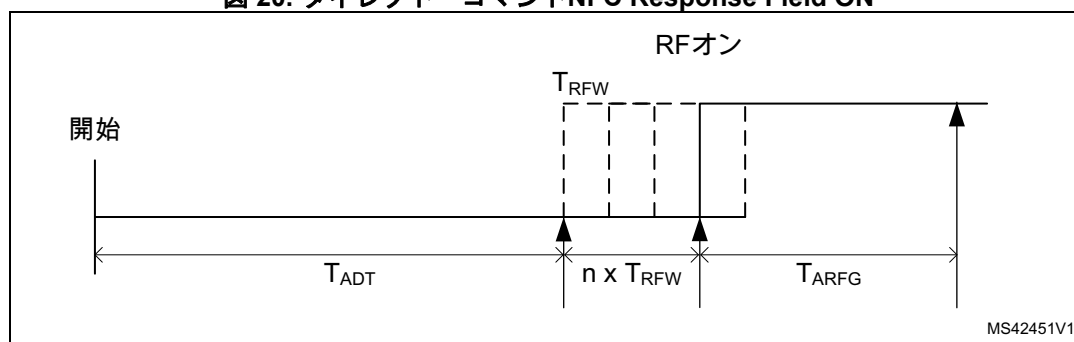


表 10. NFC Field ONコマンド群のタイミング・パラメータ

記号	パラメータ	値	単位	コメント
T_{IDT}	初期遅延時間	4096	/fc	NFC Initial Field ON
T_{RWF}	Rx待ち時間	512		-
T_{IRFG}	初期ガード時間	>5	ms	NFC Initial Field ON
T_{ADT}	アクティブ遅延時間	768	/fc	NFC Response Field ON
T_{ARFG}	アクティブガード時間	1024		

Go to Normal NFC Mode

このコマンドは、NFCターゲット・ビット・レート検出モードから通常モードに移行するために用いられます。さらに、[NFCIPビット・レート検出表示レジスタ](#)の内容が[ビット・レート設定レジスタ](#)にコピーされ、[補助設定レジスタ](#)のtr_amビットが正しくセットされます。

Analog Preset

このコマンドは、[モード設定レジスタ](#)と[ビット・レート設定レジスタ](#)の状態に基づいてレシーバとトランスミッタの設定をプリセットするために用いられます。サブキャリア・ビット・ストリーム・モードかBPSKビット・ストリーム・モードの場合には、このコマンドは使用しないでください。プリセットされるコンフィギュレーション・ビットのリストを[表 11](#)に示します。

表 11. レジスタ・プリセット・ビット

ビット	ビット 名称	機能
アドレス02h: 表 20: 動作コントロール・レジスタ		
5	rx_chn	1: 1チャンネル有効化 → NFCIP-1アクティブ通信（イニシエータ、ターゲットとも）
3	tx_en	0: TX動作無効化 → NFCIP-1アクティブ通信（イニシエータ、ターゲットとも）
注: いずれかのターゲット・モードやNFCIP-1イニシエータ・モードでは、トランスミッタが有効化されていた場合、 tx_en ビットを0がセットされて無効化します。NFCIP-1モードでは、トランスミッタ・フィールドをオンにするのは、専用コマンドで制御されます。		
アドレス05h: 表 26: ISO14443A / NFC 106kb/s設定レジスタ		
5	nfc_f0	1: Txの間にSB (F0) バイトとLENバイトを追加し、TXの間にSB (F0) バイトをスキップします。→ NFCIP-1アクティブ通信（イニシエータ、ターゲットとも）
アドレス09h: 表 34: 補助設定レジスタ		
5	tr_am	Tx変調種別（モード設定とTxビット・レートに依存） 0: OOK → ISO14443A、NFCIP-1 106 kb/s（イニシエータ、ターゲットとも）、NFCフォーラム・タイプ1タグ 1: AM → ISO14443B、FeliCa™、NFCIP-1 212 kb/sと424 kb/s
4	en_fd	ピア検出閾値で外部フィールド検出器が有効化 0: NFCIP-1アクティブ通信以外の全モード 1: NFCIP-1アクティブ通信（イニシエータ、ターゲットとも）
アドレス0Ah: 表 35: レシーバ・コンフィギュレーション・レジスタ1		
7	ch_sel	0: AMチャンネル有効化 → NFCIP-1アクティブ通信（イニシエータ、ターゲットとも）
6	amd_sel	AM復調器選択（Rxビット・レートに依存） 0: ピーク検出器 → fc/16（848 kb/s）以下の全Rxビット・レート 1: ミキサ → 全VHBR Rxビット・レート（fc/8とfc/4）
5	lp2	ローパス制御（モード設定とRxビット・レートに依存）、表 3: レシーバのフィルタ選択とゲイン範囲参照
4	lp1	
3	lp0	
2	h200	第1/第3ステージゼロ点設定（モード設定とRxビット・レートに依存）、表 3: レシーバのフィルタ選択とゲイン範囲参照
1	h80	
0	z12k	
アドレス0Ch: 表 37: レシーバ・コンフィギュレーション・レジスタ3		
1	lim	第1と第2ステージの出力をクリップ 0: NFCIP-1アクティブ通信以外の全モード 1: NFCIP-1アクティブ通信（イニシエータ、ターゲットとも）
0	rg_nfc	第2と第3のゲインステージのゲインを強制的に減少 0: NFCIP-1アクティブ通信以外の全モード 1: NFCIP-1アクティブ通信（イニシエータ、ターゲットとも）

Mask Receive DataとUnmask Receive Data

ダイレクト・コマンドMask Receive Dataの後に、レシーバのRSSIとAGCの動作を有効化するrx_on信号（[セクション 1.1.2: レシーバ](#)参照）を強制的にLowとし、受信データ・フレーミング・ブロックによるレシーバ出力の処理を無効化します。このコマンドは、実際に入力がなくてノイズのみの処理となるとき（たとえば、リーダーからコマンドを受信した後のトランスポンダ処理時間が長い場合）に、レシーバと受信フレーミングが処理しないようにマスクするのに有用です。マスク受信タイマを使用すれば、受信のマスクングも可能です。実際のマスクングは、ロジック処理または2つのマスク受信処理となります。

ダイレクト・コマンドUnmask Receive Dataによって、受信データの通常処理が有効となり（rx_on信号がHighにセットされて、RSSIとAGCの動作が有効化されます）、受信データ・フレーミング・ブロックが有効化されます。このコマンドの一般的な使い方は、レシーバがMask Receive Dataコマンドによってマスクされた後に、その動作を再び有効化するというものです。Unmask Receive Dataコマンドの受信中にマスク受信タイマが動作している場合には、受信が有効化され、マスク受信タイマがリセットされます。

Mask Receive DataコマンドとUnmask Receive Dataコマンドは、レシーバが有効（rx_enビットがセットされている）であるときのみ受け付けられます。

ダイレクト・コマンドの連鎖は可能です。

ダイレクト・コマンドの終了によるIRQは生成されません。

Measure Amplitude

このコマンドによって、RFI入力の振幅が測定され、その結果が[A/Dコンバータ出力レジスタ](#)に格納されます。

このコマンドが実行されると、トランスミッタと振幅検出器が有効となり、振幅検出器の出力がA/Dコンバータの入力に多重化されます（A/Dコンバータは絶対モード）。振幅検出器の変換ゲインは0.6 V_{INPP}/V_{OUT} です。A/Dコンバータ出力の1LSBは、RFI入力での13.02 mV_{pp}を示しています。3 V_{pp}信号（2本のRFI入力それぞれに対する最大許容レベル）では出力DC電圧が1.8 Vとなり、A/Dコンバータ出力の値は1110 0110bとなります。

継続時間: 最大25 μ s

en（[動作コントロール・レジスタ](#)のビット7）がセットされていて、水晶発振器の周波数が安定している場合に、このコマンドは受け付けられます。

ダイレクト・コマンドの連鎖はできません。

ダイレクト・コマンドの終了によるIRQは、コマンドの実行終了後に生成されます。

Squelch

このダイレクト・コマンドは、データ処理中に大量のノイズを発生するトランスポンダの復調問題を回避するためのものです。ノイズの多い環境でも使用可能です。このコマンドの動作は、[スケルチ](#)に説明があります。

継続時間: 最大500 μ s

このコマンドは、トランスミッタとレシーバが動作中のみ受け付けられます。rx_on信号がLowであるときにのみ、コマンドは実際に実行されます。

ダイレクト・コマンドの連鎖はできません。

ダイレクト・コマンドの終了によるIRQは生成されません。

Reset Rx Gain

このコマンドによって、AGC/スケルチ/RSSIブロックが初期化されます。このコマンドを送信すると、スケルチ処理が動いている場合にはそれが停止し、現在のスケルチ設定がクリアされ、[レシーバ・コンフィギュレーション・レジスタ4](#)から手動ゲイン減少量がロードされます。

en ([動作コントロール・レジスタ](#)のビット7) がセットされていて、水晶発振器の周波数が安定している場合に、このコマンドは受け付けられます。

ダイレクト・コマンドの連鎖は可能です。

ダイレクト・コマンドの終了によるIRQは生成されません。

Adjust Regulators

このコマンドが送信されると、最大負荷状態で電源レベル V_{DD} が測定され、安定化電源が最も安定するように、この測定レベルよりも250 mV低い値に安定化電圧基準が設定されます([セクション 1.2.11: 電源システム](#)参照)。このコマンドを使用すると、システムPSSRが増加します。

このコマンドが実行されると、最初に、消費電流を最大とするためにレシーバとトランスミッタの両方がオンとなり、レギュレータは最大安定化電圧 (5 V電源では5.1 V、3.3 V電源では3.4 V) に設定されます。300 μ s後に V_{SP_RF} が V_{DD} と比較されて、レギュレータ設定値よりも250 mV以上低くない場合には、1刻み (5 V電源では120 mV、3.3 V電源では100 mV) たけ下げられて、さらに300 μ s後に測定が行われます。 V_{SP_RF} が V_{DD} よりも250 mV以上低くなるまで、または最低安定化電圧 (5 V電源では3.9 V、3.3 V電源では2.4 V) に到達するまで、この手続きが繰り返されます。

継続時間: 最大5 ms

en ([動作コントロール・レジスタ](#)のビット7) がセットされていて、水晶発振器の周波数が安定している場合に、このコマンドは受け付けられます。

[レギュレータ電圧コントロール・レジスタ](#)において安定化電圧の外部設定が選択されている場合 (reg_sビットがHighにセット) には、このコマンドは受け付けられません。

ダイレクト・コマンドの連鎖はできません。

ダイレクト・コマンドの終了によるIRQは、コマンドの実行終了後に生成されます。

Calibrate Modulation Depth

送信をアクティブ化するシーケンスを開始し、変調度を測定し、[AM変調度コントロール・レジスタ](#)に指定された変調度に適合するように変調度を調整します。補正手続きが完了すると、結果は同じレジスタに示されます。AM変調度の設定とこのコマンドの実行の詳細については、[セクション 1.2.20: AM変調度: 設定と補正](#)を参照してください。

継続時間: 最大275 μ s

en ([動作コントロール・レジスタ](#)のビット7) がセットされていて、水晶発振器の周波数が安定している場合に、このコマンドは受け付けられます。

ダイレクト・コマンドの連鎖はできません。

ダイレクト・コマンドの終了によるIRQは、コマンドの実行終了後に生成されます。

Calibrate Antenna

このコマンドを送信すると、アンテナLCタンクが共振状態となるように、TRIMx_yピンに接続された並列コンデンサを調整するシーケンスが開始されます。詳細は[セクション 1.2.21: アンテナの同調](#)を参照してください。

継続時間: 最大250 μ s

en (動作コントロール・レジスタのビット7) がセットされていて、水晶発振器の周波数が安定している場合に、このコマンドは受け付けられます。

Measure Phase

このコマンドによって、RFO出力信号とRFI入力信号の位相差が測定され、その結果がA/Dコンバータ出力レジスタに格納されます。

ダイレクト・コマンドMeasure Phaseが実行されている間、トランスミッタと位相検出器が有効となり、位相検出器の出力がA/Dコンバータの入力に多重化されます (A/Dコンバータは相対モード)。A/Dコンバータの範囲は $1/6 \sim 5/6 V_{SP_A}$ であるため、位相検出器の実際の範囲は 30° から 150° までとなります。 30° 未満の値はFFhとなり、 150° を超える値は00hとなります。A/Dコンバータ出力の1LSBは、キャリア周波数周期の0.13% (0.468°) を示しています。 90° 位相シフトの場合であれば、A/D変換の結果は範囲の中央値 (1000 0000bまたは0111 1111b) となります。1000 0000bよりも大きな値は、位相検出器の出力電圧が $V_{SP_A}/2$ よりも高いことを意味しており、これは、位相シフトが 90° よりも小さい場合に相当します。反対に、位相シフトが 90° よりも大きい場合には、A/D変換の結果は0111 1111bよりも小さくなります。たとえば、図 7 に示した 135° の位相差では $0.75 V_{SP_A}$ が得られ、A/Dコンバータに格納される結果は31d (1Fh) となります。

位相の測定結果は、以下の式を用いて計算可能です。

- $0^\circ \leq \varphi \leq 30^\circ$: 結果 = 255 (10進)
- $30^\circ < \varphi < 150^\circ$: 角度 (°単位) = $30 + [(255 - u_angle) / 255] * 120$
- $150^\circ \leq \varphi \leq 180^\circ$: 結果 = 0 (10進)

継続時間: 最大25 μ s

en (動作コントロール・レジスタのビット7) がセットされていて、水晶発振器の周波数が安定している場合に、このコマンドは受け付けられます。

ダイレクト・コマンドの連鎖はできません。

ダイレクト・コマンドの終了によるIRQは、コマンドの実行終了後に生成されます。

Clear RSSI

レシーバはRSSI表示レジスタのRSSIビットを自動的にクリアし、rx_on信号がアサートされると、受信信号のRSSIの測定を開始します。RSSIビットにはピーク値 (ピーク・ホールド型) が格納されるため、レシーバ入力信号の変動には追従しません (長いメッセージやテスト・手続きの場合には起こることもあります)。ダイレクト・コマンドClear RSSIによって、RSSI表示レジスタのRSSIビットがクリアされ、(当然、rx_onがHighのままである場合に) RSSIの測定が再開されます。

en (動作コントロール・レジスタのビット7) がセットされていて、水晶発振器の周波数が安定している場合に、このコマンドは受け付けられます。

ダイレクト・コマンドの連鎖は可能です。

ダイレクト・コマンドの終了によるIRQは生成されません。

Transparent Mode

トランスペアレント・モードに入ります。/SS信号の立上がりエッジでトランスペアレント・モードに入り、/SS信号がHighに保持されている限り、維持されます。

en (動作コントロール・レジスタのビット7) がセットされていて、水晶発振器の周波数が安定している場合に、このコマンドは受け付けられます。

Calibrate Capacitive Sensor

このコマンドによって、静電容量センサが補正されます。詳細は [セクション 1.1.5: 静電容量センサ](#) を参照してください。

継続時間: 最大3 ms

静電容量センサ自動補正モードが設定されている（[静電容量センサ・コントロール・レジスタ](#)の `cs_mcal` ビットがすべて0にセットされている）場合に、このコマンドは実行されます。水晶発振器とリーダの磁界による妨害を回避するために、パワーダウン・モードでのみこのコマンドを使用することを強く推奨します。

ダイレクト・コマンドの連鎖はできません。

ダイレクト・コマンドの終了によるIRQは、コマンドの実行終了後に生成されます。

Measure Capacitance

このコマンドによって、静電容量測定が実行されます。詳細は [セクション 1.1.5: 静電容量センサ](#) を参照してください。

継続時間: 最大250 μ s

水晶発振器とリーダの磁界による妨害を回避するために、パワーダウン・モードでのみこのコマンドを使用することを強く推奨します。

ダイレクト・コマンドの連鎖はできません。

ダイレクト・コマンドの終了によるIRQは、コマンドの実行終了後に生成されます。

Measure Power Supply

このコマンドによって、電源の測定が実行されます。[レギュレータ電圧コントロール・レジスタ](#)のコンフィギュレーション・ビット `mpsv1` と `mpsv0` によって、どの電源を測定するかが設定されます（VDD、VSP_A、VSP_D、VSP_RFを測定可能）。測定結果は、[A/Dコンバータ出力レジスタ](#)に格納されます。

測定中に、選択された電源入力1/3 抵抗分割器に接続され、その出力は絶対モードのA/Dコンバータに多重化されます。3分割されるため、1LSBは23.438 mVを表します。

継続時間: 最大25 μ s

`en`（[動作コントロール・レジスタ](#)のビット7）がセットされていて、水晶発振器の周波数が安定している場合に、このコマンドは受け付けられます。

ダイレクト・コマンドの連鎖はできません。

ダイレクト・コマンドの終了によるIRQは、コマンドの実行終了後に生成されます。

1.2.14 Start Timerコマンド群

[セクション 1.2.7: 25ページのタイマ](#)を参照してください。

1.2.15 Test Access

ST25R3911Bには専用のテスト・ピンはありません。ダイレクト・コマンドTest Accessを使用して、テスト用レジスタのRWアクセスを有効にして、各種のテスト・モードに入ります。CSIピンとCSOピンがテスト・ピンとして用いられます。

テスト・モード移行とテスト用レジスタ

テスト用レジスタは、通常のSPIレジスタ用のアドレス空間の一部ではありません。ダイレクト・コマンドTest Accessを送信すると、通常の読取り/書込みレジスタSPIコマンドを使用して、テスト用レジスタのアクセスが可能となります。テスト用レジスタへのアクセスは、コマンド・シーケンスの連鎖という形で可能であり、最初にTest Accessコマンドが送信された後、自動インクリメントを用いて、テスト用レジスタに対する読取り/書込みアクセスが行われます。SPIインタフェースのリセット（SSトグル）の後には、テスト用レジスタの内容は保持されます。

テスト用レジスタは、起動時ならびにSet DefaultコマンドとClear Test Registersコマンドの送信によって、デフォルト状態に設定されます。

表 12. アナログ・テスト/監視レジスタ

テスト・アドレス01h: アナログ・テスト/監視レジスタ - 種別:RW				
ビット	名称	デフォルト	機能	コメント
7	tana_7	0	-	予約
6	tana_6	0	-	予約
5	tana_5	0	-	予約
4	-	0	未使用	-
3	tana_3	0	表 13参照	これらのテスト・モードは、通常モードでの監視のためでもあります。 アナログ・テスト・モードが設定されていないときには、このレジスタの他のモードも利用できます。
2	tana_2	0		
1	tana_1	0		
0	tana_0	0		

表 13. テスト・アクセス・レジスタ - CSIピンと CSOピン のTana信号選択

Tana_				CSIピン		CSOピン		コメント
3	2	1	0	種類	機能	種類	機能	
0	0	0	1	AO	AMチャネルのアナログ出力（デジタイザ前）	DO	AMチャネルのデジタル出力（デジタイザ後）	通常動作
0	0	1	0	AO	PMチャネルのアナログ出力（デジタイザ前）	DO	PMチャネルのデジタル出力（デジタイザ後）	通常動作
0	0	1	1	AO	AMチャネルのアナログ出力（デジタイザ前）	AO	PMチャネルのアナログ出力（デジタイザ前）	通常動作
0	1	0	0	DO	AMチャネルのデジタル出力（デジタイザ後）	DO	PMチャネルのデジタル出力（デジタイザ後）	通常動作
0	1	0	1	AO	第1ステージ後のアナログ信号	AO	第2ステージ後のアナログ信号	通常動作： - 有効な場合にはPMチャネル - PM が有効ではない場合にはAM

表 13. テスト・アクセス・レジスタ - CSIピンと CSOピン（続き）のTana信号選択

Tana_				CSIピン		CSOピン		コメント
3	2	1	0	種類	機能	種類	機能	
1	0	0	1	DO	ロジックからのチャンネル選択	DO	コリジョン防止検出器出力	コリジョン防止検出器が有効
1	0	1	0	DO	デジタルTX変調信号	DO	PMを選択	チャンネルのアナログ部の選択
0	0	0	1	AO	AMチャンネルのアナログ出力（デジタイザ前）	DO	AMチャンネルのデジタル出力（デジタイザ後）	通常動作

1.2.16 起動シーケンス

起動時には、ST25R3911Bはパワーダウン・モードとなります。すべてのレジスタの内容は、デフォルト状態に設定されます。

1. マイクロコントローラは、起動後に、2つのIOコンフィギュレーション・レジスタを正しく設定しなければなりません。これら2つのレジスタの内容によって、ハードウェアに関連する動作オプション（電源モード、水晶の種別、MCU_CLKの使用、アンテナの動作モード）が設定されます。
2. レギュレータの設定を行います。ダイレクト・コマンドAdjust Regulatorsを使用して、システムPSRRを向上させることを推奨します。
3. LCタンクの同調を行うときには、ダイレクト・コマンドCalibrate Antennaを送信します。
4. 振幅変調（ISO-14443Bなど）を使用するときには、[AM変調度コントロール・レジスタ](#)に変調度を設定して、Calibrate Modulation Depthコマンドを送信します。
5. これで、ST25R3911Bの動作の準備が整いました。

1.2.17 リーダ動作

まず最初に、[モード設定レジスタ](#)と[ビット・レート設定レジスタ](#)に書き込んで、動作モードとデータ・レートを設定する必要があります。さらに、動作モードに関連するレシーバとトランスミッタの動作オプションを設定する必要があります。この設定は、ダイレクト・コマンドAnalog Presetを送信することにより自動で行われます。Analog Presetによって設定されるもの以外のオプションが必要な場合には、このようなオプションは、適切なレジスタに書き込むことで、追加で設定しなければなりません。

次に、[動作コントロール・レジスタ](#)のenビットを設定することによって、レディ・モードに移行する必要があります。このモードでは、発振器が動作を開始し、レギュレータが有効化されます。発振器の動作が安定状態になると、割込みが送信されます。

何らかのコマンドをトランスポンダに送信する前に、rx_enビットとtx_enビットを設定することにより、トランスミッタとレシーバが有効化される必要があります。通常、RFIDプロトコルでは、最初のコマンドを送信する少し前（ISO14443では5 ms）に、リーダ・フィールドが同調を取られていることが要求されています。この時間の測定には汎用タイマが使用できます。

REQAまたはWUPAの送信が必要である場合には、単に適切なダイレクト・コマンドを送信することで行われますが、そうしない場合には、次のシーケンスに従う必要があります。

1. ダイレクト・コマンドClearを送信します。
2. [送信バイト数レジスタ1](#)送信バイト数レジスタ1と送信バイト数レジスタ2に送信バイト数を設定します。[送信バイト数レジスタ2](#)
3. 送信するバイトをFIFOに書き込みます。
4. ダイレクト・コマンドのTransmit With CRCまたはTransmit Without CRC（いずれか適切な方）を送信します。
5. データがすべて送信されると、割込みが送られて、マイクロコントローラに送信完了を通知します（送信完了によるIRQ）。

送信が実行されると、ST25R3911Bのレシーバは、トランスポンダ応答を検出するためにRFI入力の監視を自動的に開始します。RSSIとAGC（有効時）が始まります。フレーミング・ブロックがレシーバからのサブキャリア信号を処理し、FIFOにデータをフィルします。受信が完了してすべてのデータがFIFOに入ると、マイクロコントローラに割込み（受信完了によるIRQ）が送信され、さらに、マイクロコントローラがデータのダウンロードに進めるように、[FIFOステータス・レジスタ1](#)と[FIFOステータス・レジスタ2](#)にFIFO内のバイト数が示されます。

受信中にエラーやビット・コリジョンが検出された場合には、適切なフラグ付きで割込みが送信されます。

データ・パケットがFIFOよりも長い場合の送受信

データ・パケットがFIFOよりも長い場合には、先に説明したシーケンスが修正されます。

送信前にFIFOがフィルされます。残りバイト数がウォーター・レベルを下回ると、送信中に割込み（FIFOウォーター・レベルによるIRQ）が送信されます。その結果として、マイクロコントローラはFIFOにデータを追加します。データがすべて送信されると、割込みが送られて、マイクロコントローラに送信完了を通知します。

受信も状況は類似しています。受信ウォーター・レベルを超えるデータがFIFOにロードされると、割込みが送信され、その結果として、マイクロコントローラがFIFOからデータを読み出します。

受信が完了すると、マイクロコントローラに割込み（受信終了によるIRQ）が送信され、さらに、[FIFOステータス・レジスタ1](#)と[FIFOステータス・レジスタ2](#)にこれから読み出すFIFO内のバイト数が示されます。

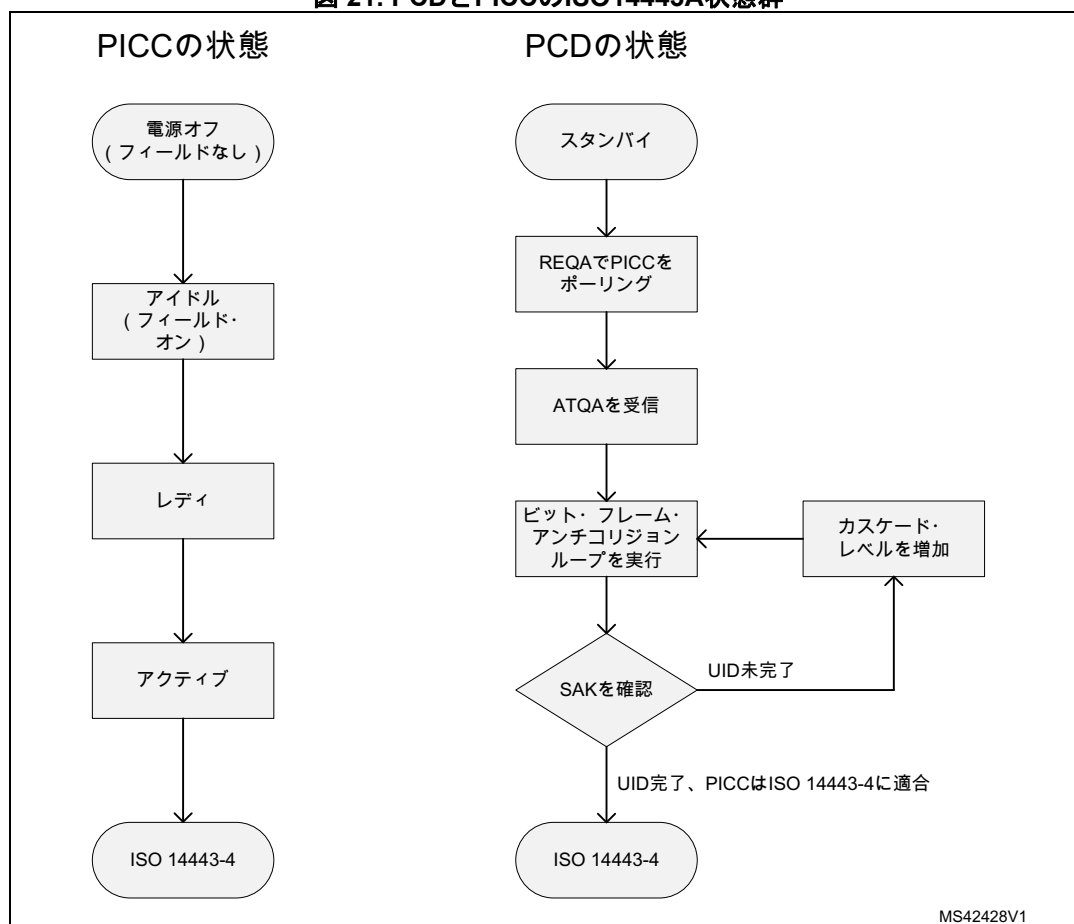
コリジョン防止 - ISO 14443A

注： *この項目では、リーダRFフィールド内に複数のISO/IEC 14443A PICCが存在し、そのすべてがISO/IEC 14443のレベル4に適合していることが仮定されています。*

この項目では、ISO14443A タグに対するST25R3911B のコリジョン防止手続きを説明します。ISO14443タイプAタグがリーダ・フィールドに入った後、リーダは選択処理を実行して、タグに実装された実際のアプリケーションが実行可能なPROTOCOL状態になる必要があります。この選択処理は、ISO/IEC 14443-3に記載されています。[図 21](#) タグとリーダがプロトコル状態に入るために経る必要のある状態を図21に示します。

PICCがリーダ・フィールドに入り、PCDがREQA（またはWUPA）コマンドを送信すると、選択手続きが始まり、その後にはコリジョン防止手続き（SELECT、RATS、PPSを含む）が続きます。

図 21. PCDとPICCのISO14443A状態群



ISO 14443Aコリジョン防止用にST25R3911Bを設定

ISO14443Aコリジョン防止用にST25R3911Bを設定するには、下記の手順に従ってください。

1. ST25R3911Bのイニシエータ動作モードは、**モード設定レジスタ**にISO 14443A用として設定します（デフォルトはISO14443A用）。
2. TxとRxのビット・レートは、**ビット・レート設定レジスタ**にデフォルト値（106 kbps）で設定します。
3. **ISO14443A / NFC 106kb/s設定レジスタ**のantclビットをセットします。この設定は、REQA（またはWUPA）を送信する前に行う必要があります。その結果として、ATQAの中やコリジョン防止手続きの間にコリジョンが発生した場合でも、ST25R3911Bによってフレーミング・エラーがトリガされません。

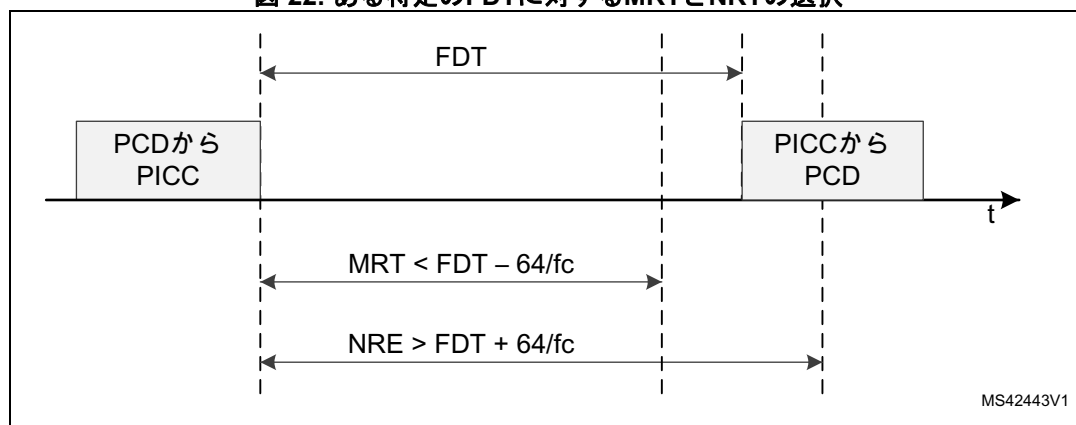
注： このビットは、REQA、WUPA、ANTOCOLLISIONの各コマンドのためには1にセットされなければなりませんが、それ以外のコマンドではゼロにセットである必要があります。

4. ISO14443A によって要求されているように、フレーム遅延時間よりも小さな値を検討して **マスク受信タイマ・レジスタ**に設定し、要件に従って**応答なしタイマ・レジスタ1**と**応答なしタイマ・レジスタ2**を設定します。通常、この値はFDTよりも大きくなります。

注： 実際にPICCから送信が行われる $n/2$ ステップ前にレシーバがアンマスクされ得るように、ST25R3911Bは、ISO 14443Aに記載されている n (128/fc)ではなく、 $n/2$ (64/fc - 半ステップ)の分解能に対応しています。

- ISO 14443Aによると、FDTの値は、最後の送信ビットが1であれば1236/fc、0であれば1172/fcでなければなりません。図 22 ある特定のFDTに対するMRTタイマとNRTタイマの設定方法の例を図22に示します。

図 22. ある特定のFDTに対するMRTとNRTの選択



- 動作モードに関連するレシーバとトランスミッタの動作オプションを設定する必要があります。この設定は、ダイレクト・コマンドAnalog Presetを送信することにより自動で行われます。Analog Presetによって設定されるものとは異なるオプションが必要である場合には、適切なレジスタに書き込むことで、追加で設定しなければなりません。
- 動作コントロール・レジスタ**のrx_enビットとtx_enビットをセットします。通常、RFIDプロトコルでは、最初のコマンドを送信する少し前（ISO14443では5 ms）に、リーダ・フィールドが同調を取られていることが要求されています。この時間の測定には汎用タイマが使用できます。
- REQAとWUPAに対するPICCからの応答と、SAK前のコリジョン防止シーケンス内の応答には、CRCが含まれていません。この場合、これらのコマンドを送信する前に、**補助設定レジスタ**のno_CRC_rxビットを1（CRCなし受信）にセットしなければなりません。

REQAとWUPA

これらの2つのコマンドは、ダイレクト・コマンド（Transmit REQAとTransmit WUPA）として実装されているため、その送信は簡単です。これらのコマンドの送信の終了は、割込み（送信終了によるIRQ）によってマイクロコントローラに伝えられます。送信が実行されると、ST25R3911Bのレシーバは、マスク受信タイマのタイムアウト後にトランスポンダを検出するために、RFI入力の監視を自動的に開始します。

REQA（またはWUPA）への応答として、フィールド内のすべてのPICCは、ATQAと同時に応答を返します。この状態では、UIDサイズが異なるPICCや、ビット・フレーム・コリジョン防止ビットが異なる設定となっているPICCが存在する場合には、コリジョンが発生する可能性があります。したがって、antclビットを1にセットされていることが重要です。ST25R3911Bがシグナルを送っているIRQ（l_nreを除く）が存在するのであれば、マイクロコントローラは、これを有効なタグの存在としてみなして、コリジョン防止手続きを進めなければなりません。

フィールドの中に複数のPICCが想定される場合には、複数タグの選択に次のアルゴリズムを使用しなければなりません。

1. 応答が続く場合には、REQAを送信します。
2. コリジョン防止を実行し、PICCを1つ選択します。
3. HLTAを送信して、選択したPICCをHALT状態に移行させます。
4. ステップ1に戻り、すべてのPICCがHALT状態になって、UIDがすべて取り込まれるまで、この手続きを繰り返します。

コリジョン防止手続き

フィールド内のタグからATQAを受信したら、次のステップは、コリジョン防止手続きを実行してタグのIDを分離することです。

この手続きでは、主としてANTICOLLISIONコマンドとSELECTコマンドが使用されますが、これらは次の処理から構成されています。

- 選択コード SEL (1バイト)
- 有効ビット数 NVB (1バイト)
- NVBの値による0～40データ・ビットのUID CLn

ANTICOLLISIONコマンドでは、ビット指向コリジョン防止フレーム（CRCは使用しません）が使用されます。この場合には、送信はダイレクト・コマンドTransmit Without CRCで行われる必要があります。受信では、[補助設定レジスタ](#)のno_CRC_rxビットが1にセットされていなければなりません。最後のSELECTコマンドとその応答であるSAKにはCRCが含まれているために、その送信はTransmit With CRCコマンドで行われる必要がありますので、このコマンドを送信する前に、[補助設定レジスタ](#)のコンフィギュレーション・ビットno_CRC_rxを0に設定し直さなければなりません。

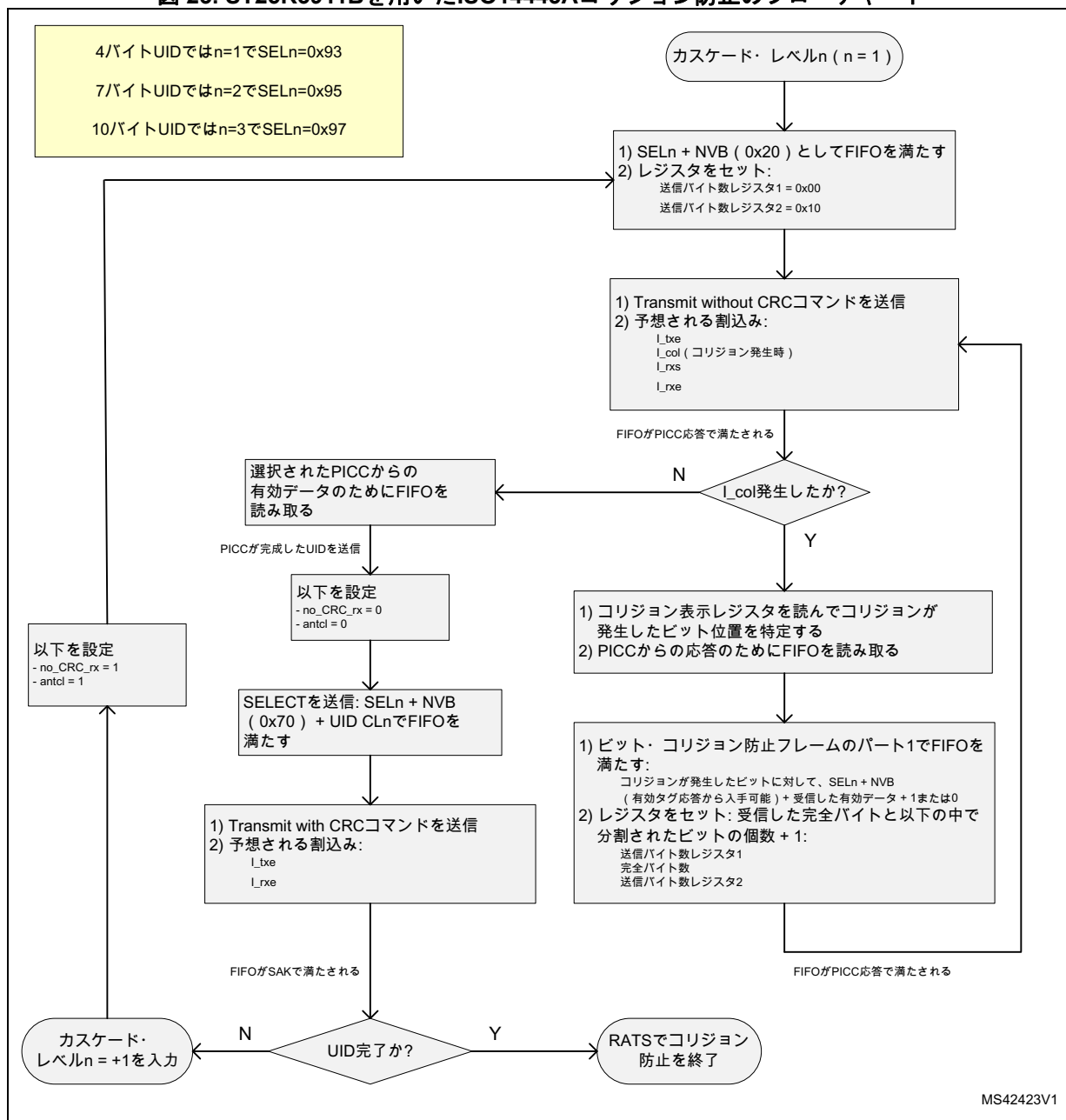
フィールド内に複数のPICCが存在すると、コリジョン防止中のANTICOLLISIONコマンドにタグが応答したときと、PICCがそのUIDとともに応答したときに、コリジョンが発生します。このコリジョンは、完全バイトの後でも（フル・バイト・シナリオ）、1バイトの中でも（分割バイト・シナリオ）発生する可能性があります。この手続きの間にも、[ISO14443A / NFC 106kb/s 設定レジスタ](#)のantclビットがセットされている必要があります。その結果として、ST25R3911Bによってフレーミング・エラーがトリガされることはありません。このビットは、コリジョン防止のタイミングとパリティ抽出を正しくする役割も果たしています。

注： **必ず、コリジョン防止フレーム、REQAまたはWUPAを送信する前に設定する必要があります。このビットは、それ以外のいかなるコマンドでも使用できません。**

ST25R3911Bにコリジョン防止を実装する方法を [図 23](#) に示します。

SPIはバイト指向であるため、分割バイトのシナリオの場合には、受信データに対してFIFOを読み出すときに、無効なMSB側ビットは無視する必要があります。同様に、送信のためには、ゼロのビット列をMSB側ビットとして連結して、完全なバイトとする必要があります（レジスタ0x1Eに基づいて無視されます）。

図 23. ST25R3911Bを用いたISO14443Aコリジョン防止のフローチャート



1.2.18 FeliCa™ リーダ・モード

セクション 1.2.17: リーダ動作の一般推奨事項は、FeliCa™ リーダ・モードにも適用されます。212 kb/sと424 kb/s両方のビット・レートに対応しており、両方向（リーダーからタグとタグからリーダー）とも同じです。リーダーからタグの変調はAM（振幅）です。

FeliCa™ モードでは、FeliCa™ フレーム・フォーマット（図 24参照）に対応しています。

図 24. FeliCa™ フレーム・フォーマット

Preamble	SYNC	Length	Payload	CRC
プリアンブル: すべて論理値0の48データ・ビット				
SYNC:	2バイト (B2h、4Dh)			
長さ:	長さバイト (値 = ペイロード長 + 1)、長さの範囲は2 ~ 255			
ペイロード:	ペイロード			
CRC:	2バイト			

FeliCa™ 送信

FeliCa™ フレームを送信するには、ペイロードのみをFIFOに置きます。ペイロードのバイト数は、送信バイト数レジスタ2と送信バイト数レジスタ1に設定します。プリアンブル長は、ISO14443B / FeliCa設定レジスタのf_p1ビットとf_p0ビットに設定します。デフォルト値は48ビットですが、それ以外の値も可能です。

送信は、ダイレクト・コマンドTransmit With CRCを送信することによってトリガされます。最初にプリアンブルが送信され、その後にSYNCバイトと長さバイトが続きます。その後に、FIFOに格納されているペイロードが送信され、ST25R3911Bによって計算されるCRCの2バイトによって送信が終了します。長さバイトは送信バイト数から算出されます。次の式が用いられます。

$$\text{長さ} = \text{ペイロード長} + 1 = \text{送信バイト数} + 1$$

FeliCa™ 受信

送信が行われると、ST25R3911Bのロジックはレシーバ出力の構文解析を開始して、FeliCa™ タグ応答のプリアンブルを検出します。

プリアンブル（その後にSYNCが2バイトが続きます）が検出されると、長さバイトとペイロード・データはFIFOに入れられます。CRCバイトは内部的に検査されます。

1.2.19 NFCIP-1動作

ST25R3911Bは、NFCIP-1のイニシエータ・モードとアクティブ通信ターゲット・モードすべてに対応しています。NFCIP-1のすべてのビット・レート（106、212、424 kbit/s）に対応しています。

NFCIP-1パッシブ通信イニシエータ

NFCIP-1パッシブ通信は、イニシエータがリーダーとして動作し、ターゲットがタグとして動作する、リーダー（PCD）からタグ（PICC）への通信と等価です。唯一の違いは、NFCIP-1パッシブ通信の場合には、通信の始めに、初期RFコリジョン防止手続きをイニシエータが実行するという点です。

ST25R3911BがNFCIP-1パッシブ通信イニシエータとして動作するためには、表 14に従って設定される必要があります。

表 14. NFCIP-1パッシブ通信の動作モード/ビット・レート設定

NFCIP-1ビット・レート (kbit/s)	動作モード設定	Txビット・レート (kbit/s)	Rxビット・レート (kbit/s)	コメント
106	ISO14443A	fc/128 (~106)	fc/128 (~106)	-
212	FeliCa™	fc/64 (~212)	-	FeliCa モードでは、データ・レートは双方向で同一です。
424		fc/32 (~424)	-	

通信開始前の**動作コントロール・レジスタ**の初期設定は、tx_enビットの設定によりトランスミッタが有効化されないことを除くと、リーダからタグへの通信の場合と同じです。その代わりに、ダイレクト・コマンドNFC Initial Field ONが送信されます。

このコマンドによって、**外部フィールド検出器閾値レジスタ**に設定されているコリジョン防止閾値を用いて、初期RFコリジョン防止が最初に行われます。コリジョン防止のタイミングは、NFCIP-1規格に準拠しています（タイミングの詳細については、[表 10: NFC Field ONコマンド群のタイミング・パラメータ](#)参照）。コリジョンが検出されなかった場合には、tx_enビットが自動的にセットされて、トランスミッタがオンになります。最小ガード時間 T_{IRFG} の後、l_cat IRQが送信されて、最初のイニシエータ・コマンドの送信が可能であることをコントローラに伝えます。

これ以降の通信は、ISO14443A（106 kb/s）またはFeliCa™（242 kb/sと424 kb/s）リーダ通信のものと同じです。

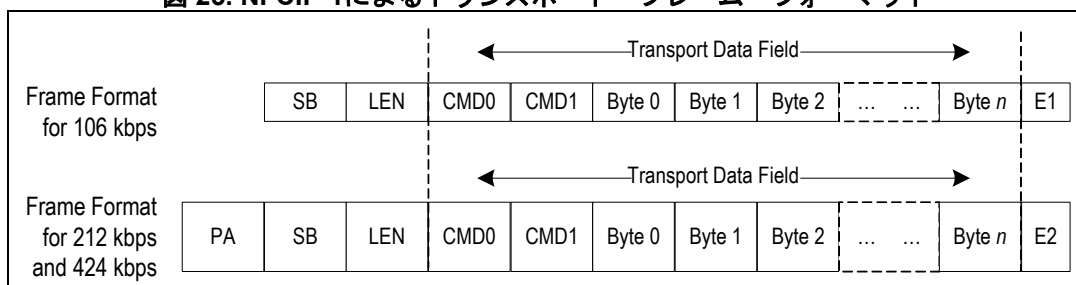
外部フィールドの存在が検出された場合には、l_cac IRQが送信されます。このような場合には、送信を行うべきではなく、コリジョンが検出されなくなるまで、NFC Initial Field ONコマンドを繰り返す必要があります。

初期コリジョン防止は、NFCIP-1が対応しているモードには限られません。上記手続きに従った初期コリジョン防止は、いずれかのリーダ・モードが開始されて、近傍で動作しているHFリーダやNFCデバイスとのコリジョンを防止する前に実行可能です。

NFCIP-1トランスポート・フレーム・フォーマット対応

NFCIP-1によるトランスポート・フレームを[図 25](#)に示します。

図 25. NFCIP-1によるトランスポート・フレーム・フォーマット



ビット・レートが212 kb/sと424 kb/sのトランスポート・フレームは、初期化とSDDの間に使用される通信フレームと同一のフォーマットとなっています。このフォーマットは、FeliCa™プロトコルでも使用されています（[セクション 1.2.18: FeliCa™リーダ・モード](#)も参照）。106 kb/sの場合には、SB（F0hのスタートバイト）とLEN（長さバイト）は、トランスポート・フレームでのみ使用されます。

106 kb/s NFCIP-1通信に対するトランスポート・フレームの対応は、[ISO14443A / NFC 106kb/s設定レジスタ](#)のnfc_f0ビットをセットすることにより有効化されます。

このビットがセットされて、106 kb/sのビット・レートでISO 14443Aモードが設定されると、ST25R3911Bは次項に示したような動作を行います。

送信

トランスポート・フレームを送信するには、トランスポート・データのみをFIFOに置く必要があります。トランスポート・データのバイト数は、[送信バイト数レジスタ1](#)と[送信バイト数レジスタ2](#)に設定します。送信は、ダイレクト・コマンドTransmit With CRCを送信することによってトリガされます。最初に値がF0hのスタート・バイト、続いて長さバイトが送信されます。その後、FIFOに格納されているトランスポート・データが送信され、ST25R3911Bによって計算されるCRCの2バイト（[図 25](#)のE1）によって送信が終了します。長さバイトは送信バイト数から算出されます。次の式が用いられます。

$$\text{長さ} = \text{トランスポート・データ長} + 1 = \text{送信バイト数} + 1$$

受信

送信が行われると、ST25R3911Bのロジックは、タグ応答の開始を検出するために、レシーバ出力の構文解析を開始します。

通信シーケンスの開始が検出されると、最初のバイト（値がF0hのスタート・バイト）がチェックされて、長さバイトとトランスポート・データ・バイトがFIFOに入れられます。CRCバイトは内部的に検査されます。スタート・バイトがF0hに等しくない場合にも、以降のデータ・バイトはFIFOに入れられますが、追加でソフト・フレーミング・エラー IRQがセットされて、スタート・バイトのエラーを知らせます。

NFCIP-1アクティブ通信イニシエータ

NFCIP-1アクティブ通信の間、イニシエータとターゲットのいずれも、送信時にはそのフィールドをオンにし、受信時にはオフにします。ST25R3911BがNFCIP-1アクティブ通信イニシエータとして動作するためには、[表 15](#)に従って設定される必要があります（[モード設定レジスタ](#)のtargビットは0である必要があります）。

表 15. NFCIP-1アクティブ通信イニシエータの動作モード/ビット・レート設定

NFCIP-1ビット・レート (kbit/s)	イニシエータ動作モード設定	Txビット・レート (kbit/s)	Rxビット・レート (kbit/s)	コメント
106	NFCIP-1アクティブ通信	fc/128 (~106)	-	すべてのNFCIP-1通信で、データ・レートは双方向で同一です。
212		fc/64 (~212)	-	
424		fc/32 (~424)	-	

NFCIP-1アクティブ通信モードの選択後、レシーバとトランスミッタは適切に設定される必要があります。この設定は、ダイレクト・コマンドAnalog Presetを送信することにより自動で行われます（[Analog Preset](#)参照）。

NFCIP-1アクティブ通信の間には、NFC Field ONコマンド（[NFC Field ONコマンド群](#)参照）を使用して、RFコリジョン防止が行われてフィールドがオンとなる一方で、リーダ通信の場合と同様に、Transmitコマンドを用いたメッセージ送信が行われます。その代わりに、[モード設定レジスタ](#)のnfc_arビットがセットされている場合には、ターゲット・フィールドのオフが検出されると、応答RFコリジョン防止シーケンスが自動的に始まります。

NFCIP-1モードがアクティブ化されると、[補助表示レジスタ](#)のen_fdビットをセットすることにより、外部フィールド検出器が自動的に有効化されます。ピア検出閾値は、ターゲット・フィールドの検出に用いられます。NFC Field ONコマンドが実行されている間は、コリジョン防止閾値が使用されます。

通信開始前の[動作コントロール・レジスタ](#)の初期設定は、tx_enビットの設定によりトランスミッタが有効化されないことを除くと、リーダからタグへの通信の場合と同じです。tx_enビットと、トラ

ンスミッタをオンにするのは、NFC Field ONコマンドで制御されます。メッセージが送信されると、自動的にフィールドがオフになります。[汎用 / 応答なしタイマ・コントロール・レジスタ](#)は、メッセージが送信された後にフィールドがオン状態を保持する時間を設定するために用いられます。

NFCIP-1アクティブ応答を受信するためには、振幅復調チャンネルのみが使用されます。このため、レシーバのAM（振幅）チャンネルは有効化される必要があります。Analog Presetコマンドによるプリセットでは、振幅復調チャンネルのみが有効化され、PMチャンネルは電流の節約のために無効となっています。

NFCIP-1アクティブ通信では、NFCIP-1トランスポート・フレーム・フォーマット（[図 25](#)参照）が必ず使用されます。このため、Analog Presetコマンドによって[ISO14443A / NFC 106kb/s設定レジスタ](#)のnfc_f0ビットがセットされます（[NFCIP-1トランスポート・フレーム・フォーマット対応参照](#)）。

[モード設定レジスタ](#)のnfc_arビットがセットされたときのNFCIP-1アクティブ通信シーケンス（自動応答RFコリジョン防止シーケンス）このシーケンスの間は、応答コリジョン防止シーケンスをn=0で生成するために、[補助設定レジスタ](#)のnfc_n1ビットとnfc_n0ビットは0である必要があります。

1. ダイレクト・コマンドNFC Initial Field ONが送信されます。アンチコリジョンの間にコリジョンが検出されなかった場合には、フィールドがオンされて、l_catフラグがセットされたIRQがT_{IRFG}時間後にコントローラに送信されます。
2. リーダからタグへの通信の場合と同様に作成されたメッセージは、Transmitコマンドを用いて送信されます。
3. メッセージが送信されると、フィールドはオフになります。メッセージの終わってからフィールドのオフまでの時間は、汎用タイマによって設定されます（コントローラはこの情報を必要としないため、汎用タイマのIRQはマスクしても構いません）。
4. フィールドをオフにした後、ST25R3911Bは応答なしタイマを起動して、ターゲット・フィールドのオンを検出するために、外部フィールド検出器出力の監視を行います。応答なしタイマがタイムアウトするまでにターゲット・フィールドが検出されなかった場合には、応答なしタイマのタイムアウトによるIRQが送信されます。
5. ターゲット・フィールドが検出されると、l_eonフラグをセットしてIRQがコントローラに送信され、マスク受信タイマが開始されます。マスク受信タイマがタイムアウトした後、ターゲット応答の開始を検出するためにレシーバ出力の監視が始まります。リーダーからタグへの通信の場合と同様に、受信処理は続きます。
6. 外部フィールド検出器によって、ターゲットがそのフィールドをオフにしたことが検出されると、l_eofフラグがセットされたIRQがコントローラに送信され、nfc_arビットがセットされている場合には、ダイレクト・コマンドNFC Response Field ONのシーケンスが自動的にアクティブ化されます。RFコリジョン防止の間にコリジョンが検出されなかった場合には、フィールドがオンされて、l_catフラグがセットされたIRQがT_{ARFG}時間後にコントローラに送信されます。
7. シーケンスは第2項を通過してループします。最後のイニシエータ・コマンドが次のシーケンス（NFCIP-1プロトコルの場合はDLS_REQ）で送信される場合には、[モード設定レジスタ](#)のnfc_arビットを0にセットして、ターゲットがそのフィールドをオフにした後にイニシエータ・フィールドをオンにすることを防止する必要があります。

NFCIP-1アクティブ通信ターゲット

ST25R3911Bのターゲット・モードは、[モード設定レジスタ](#)のtargビットを1にセットすることによってアクティブ化されます。ターゲット・モードがアクティブ化されると、[補助設定レジスタ](#)のen_fdビットをセットすることにより、外部フィールド検出器が自動的に有効化されます。

targ ビットがセットされて、[動作コントロール・レジスタ](#)の全ビットが0にセットされると、ST25R3911Bはローパワーの初期NFCターゲット・モードとなります。

このモードでは、ピア検出閾値で外部フィールド検出器が有効化されます。

実装されているNFCターゲット・モードには、ビット・レート検出モードと通常モードの異なる2種類があります（[モード設定レジスタ](#)のモードビット群によって設定されます）。ビット・レート検出

モードでは、フレーミング・ロジックがイニシエータのデータ・レートの自動検出を行い、その値を **NFCIP ビット・レート検出表示レジスタ** に書き込みます。通常モードでは、**ビット・レート設定レジスタ** に設定されているデータ・レートが使われることになっています。

NFCIP-1 アクティブ・ターゲット・モードの選択後、レシーバとトランスミッタは適切に設定される必要があります。設定は、NFCIP-1 アクティブ・イニシエータ・モードの場合と同じです。この設定は、ダイレクト・コマンド Analog Preset を送信することにより自動で行われます（Analog Preset 参照）。

モード設定レジスタ の nfc_ar ビットがセットされたときの NFCIP-1 アクティブ通信シーケンス（自動応答 RF コリジョン防止シーケンス）このシーケンスの間は、応答 RF コリジョン防止を n=0 で生成するために、**補助設定レジスタ** の nfc_n1 ビットと nfc_n0 ビットは 0 である必要があります。

以下のシーケンスでは、ST25R3911B がローパワー初期 NFC ターゲット・モードとなっていて、ビット・レート検出モードが選択されていることが仮定されています。**モード設定レジスタ** の nfc_ar ビットはセットされています（自動応答 RF コリジョン防止シーケンス）。イニシエータ・フィールドが検出されると、次のシーケンスが実行されます。

1. l_leon フラグがセットされた IRQ がマイクロコントローラに送信されます。
2. コントローラは発振器とレギュレータとレシーバをオンにします。マスク受信タイマは、ダイレクト・コマンド Start Mask Receive Timer を送信することで開始されます。マスク受信タイマがタイムアウトした後、イニシエータのメッセージの開始を検出するためにレシーバ出力の監視が始まります。
3. イニシエータ・メッセージの開始が検出されると、受信開始による IRQ が送信され、イニシエータが送信する信号のビット・レートを自動認識するモジュールが、フレーミング・ロジックによってオンになります。ビット・レートが認識されると、l_nfct フラグがセットされた IRQ が送信されて、自動的に **NFCIP ビット・レート検出表示レジスタ** にビット・レートがロードされます。ビット・レートの検出は、自動応答 RF コリジョン防止シーケンスが有効化される条件でもあります。受信したメッセージはデコードされて FIFO に置かれます。どの受信メッセージにも行われるように、IRQ が送信されます。
4. コントローラは、**NFCIP ビット・レート検出表示レジスタ** の内容を **ビット・レート設定レジスタ** にコピーして、NFCIP-1 ターゲット・モードを通常モードに変更するために、ダイレクト・コマンド Go to Normal NFC Mode を送信します（Go To Normal Mode コマンドと受信データの読み込みを連鎖できます）。Tx 変調種別はビット・レートに依存しますので、この時点で Tx 変調種別も正しく設定されている必要があります。
5. 外部フィールド検出器によって、ターゲットがそのフィールドをオフにしたことが検出されると、l_eof フラグがセットされた IRQ がコントローラに送信され、nfc_ar ビットがセットされている場合には、ダイレクト・コマンド NFC Response Field ON のシーケンスが自動的にアクティブ化されます。**補助設定レジスタ** の nfc_n1 ビットと nfc_n0 ビットは、応答 RF コリジョン防止シーケンスの n 数を設定するために用いられます。RF コリジョン防止の間にコリジョンが検出されなかった場合には、フィールドがオンされて、l_cat フラグがセットされた IRQ が T_ARFG 時間後にコントローラに送信されます。
6. リーダからタグへの通信の場合と同様に作成された応答は、Transmit コマンドを用いて送信されます。
7. メッセージが送信されると、フィールドはオフになります。メッセージの終わりからフィールドのオフまでの時間は、汎用タイマに設定されます（コントローラはこの情報を必要としていないため、汎用タイマの IRQ はマスクしても構いません）。

ここから先、イニシエータとの通信は以下のシーケンスを通してループします（このシーケンスの間は、応答RFコリジョン防止をn=0で生成するために、[補助設定レジスタ](#)のnfc_n1ビットとnfc_n0ビットは0である必要があります）。

1. フィールドをオフにした後、ST25R3911Bは応答なしタイマを起動して、イニシエータ・フィールドのオンを検出するために、外部フィールド検出器出力の監視を行います。応答なしタイマがタイムアウトする前にイニシエータ・フィールドが検出されなかった場合には、応答なしタイマのタイムアウトによるIRQが送信されます。
2. イニシエータ・フィールドが検出されると、l_eonフラグをセットしてIRQがコントローラに送信され、マスク受信タイマが開始されます。マスク受信タイマがタイムアウトした後、イニシエータ応答の開始を検出するためにレシーバ出力の監視が始まります。リーダからタグへの通信の場合と同様に、受信処理は続きます。
3. 外部フィールド検出器によって、ターゲットがそのフィールドをオフにしたことが検出されると、l_eofフラグがセットされたIRQがコントローラに送信され、nfc_arビットがセットされている場合には、ダイレクト・コマンドNFC Response Field ONのシーケンスが自動的にアクティブ化されます。RFコリジョン防止の間にコリジョンが検出されなかった場合には、フィールドがオンされて、l_catフラグがセットされたIRQがT_ARFG時間後にコントローラに送信されます。
4. リーダからタグへの通信の場合と同様に作成された応答は、Transmitコマンドを用いて送信されます。
5. メッセージが送信されると、フィールドはオフになります。メッセージの終わってからフィールドのオフまでの時間は、汎用タイマに設定されます。イニシエータからの新しいコマンドが予測される場合には、コントローラはこの情報を必要としないため、汎用タイマのIRQはマスクしても構いません。
6. イニシエータからの新しいコマンドが予測される場合には、このシーケンスは第 1 項を通してループします。シーケンスの中でターゲット応答が最後であった場合には（NFCIP-1プロトコルではDLS_RES）、イニシエータからの新しいコマンドはないものと見込まれます。フィールドがオフになった瞬間に汎用タイマIRQが受信されて、[動作コントロール・レジスタ](#)を非アクティブ化することで、ST25R3911Bはローパワー NFCターゲット・モードに戻ります。[モード設定レジスタ](#)に書き込むことによって、NFCモードはレート検出モードに戻ります。

1.2.20 AM変調度: 設定と補正

ST25R3911BのトランスミッタはOOK変調とAM変調に対応しています。

OOK変調かAM変調かの選択は、[補助設定レジスタ](#)のtr_amビットに書き込むことによって行われます。次のプロトコルが設定されている場合、AM変調はダイレクト・コマンドAnalog Presetによってプリセットされます。

- ISO14443B
- FeliCa™
- NFCIP-1 212 kb/sと424 kb/s

AM変調度は、[AM変調度コントロール・レジスタ](#)を設定して、ダイレクト・コマンドCalibrate Modulation Depthを送信することによって、自動調整可能です。Calibrate Modulation Depthコマンドを使用せずに、アンテナ・ドライバ[RFO AM変調レベル設定レジスタ](#)に書き込むことによって変調レベルを設定する別の方法もあります。

ダイレクト・コマンドCalibrate Modulation Depthを用いたAM変調度設定

ダイレクト・コマンドCalibrate Modulation Depthを送信する前に、次の方法で[AM変調度コントロール・レジスタ](#)を設定する必要があります。

- ビット7 (am_s) を0にセットして、Calibrate Modulation Depthコマンドによる設定を選択する必要があります。
- ビット6～1 (mod5～mod0) によって、ターゲットのAM変調度を設定します。

ビットmod5～mod0を用いた変調度設定

RFID規格書には、通常、変調指数の形でAM変調レベルが定義されています。変調指数は $(a-b)/(a+b)$ として定義されますが、ここで、aとbはそれぞれ無変調キャリアの振幅と変調キャリアの振幅を意味します。

規格が異なれば、変調指数の仕様も異なります。ISO-14443Bの変調指数は標準値が10%で許容範囲が8～14%ですが、ISO-15693では許容範囲の定義が10～30%となっており、FeliCa™とNFCIP-1 212 kb/sおよび424 kb/sでは8～30%です。

ビットmod5～mod0は、変調レベルの振幅計算に用います。A/Dコンバータによって以前に測定されて、8ビット・レジスタに格納されている無変調レベルに対して、1から1.98までの範囲の二進数による除算が行われます。ビットmod5～mod0がこの数字の二進小数を設定します。

例

変調指数が10%である場合、変調レベルの振幅は、無変調レベルよりも1.2222倍小さくなります。

1.2222を二進数に変換して小数第6位までに四捨五入すると、1.001110となります。したがって、10%の変調指数を設定するには、mod5～mod0の各ビットを001110に設定する必要があります。

頻繁に使用される変調指数について、modビットの設定を[表 16](#)に示します。

表 16. modビットの設定

変調指数 (%)	a/b (十進数)	a/b (二進数)	mod5～mod0
8	1.1739	1.001011	001011
10	1.2222	1.001110	001110
14	1.3256	1.010100	010100
20	1.5000	1.100000	100000
30	1.8571	1.110111	110111
33	1.9843	1.111111	111111

ダイレクト・コマンドCalibrate Modulation Depthの実行

変調レベルは、RFO1とRFO2のドライバ出力抵抗を増加させることによって調整します。RFOドライバは、バイナリ重み付けセグメント8個によって構成されています。通常は、標準的な無変調レベルを設定するために、これらすべてのセグメントがオンになりますが、[RFO通常レベル設定レジスタ](#)に書き込むことによって、無変調状態の出力抵抗を増加させることも可能です。

ダイレクト・コマンドCalibrate Modulation Depthを送信する前には、発振器とレギュレータをオンにする必要があります。ダイレクト・コマンドCalibrate Modulation Depthが送信されると、次のシーケンスが実行されます。

1. トランスミッタがオンとなり、無変調レベルが安定します。
2. RFI1ピンとRFI2ピンの無変調キャリア・レベルの振幅をA/Dコンバータで測定し、[A/Dコンバータ出力レジスタ](#)に格納します。
3. 無変調レベルの測定とビットmod5 ~ mod0によって設定されているターゲット変調レベルに基づいて、ターゲット変調レベルを計算します。
4. 計算されたターゲット変調レベルにフィールド強度が可能な限り近づくまで、逐次近似アルゴリズムを用いて出力ドライバ強度を調整します。
5. 出力ドライバ強度調整の結果は[AM変調度表示レジスタ](#)にコピーされます。このレジスタの内容は、AM変調レベルの設定に用いられます。

注： 補正手続きの完了後は、[RFO通常レベル設定レジスタ](#)の内容を変更すべきではありません。このレジスタの内容を修正すると、無変調振幅が変化し、その結果として、変調レベルと無変調レベルの比率も変化します。

注： アンテナ共振周波数の補正を使用する場合には、AM変調度を調整する前に、Calibrate Antennaコマンドを実行する必要があります。

RFO AM変調レベル設定レジスタを用いたAM変調度設定

[AM変調度コントロール・レジスタ](#)のビット7 (am_s) が1にセットされると、AM変調レベルは[RFO通常レベル設定レジスタ](#)に書き込むことによって制御されます。変調レベルの設定値が既知である場合には、補正手続きを実行する必要はありません。変調レベルは、このレジスタに書き込むだけで設定可能です。

[RFO通常レベル設定レジスタ](#)とダイレクト・コマンドMeasure Amplitudeを使用して、外部コントローラを介して補正手続きを実装することもできます。ターゲット変調度が33%よりも深い場合には、この手続きを用いる必要があります。

その手続きは以下の通りです。

1. 無変調レベルを [RFO 通常レベル設定レジスタ](#)に書き込みます（通常はオールゼロとして、可能な限り出力抵抗を下げます）。
2. トランスミッタをオンにします。
3. ダイレクト・コマンドMeasure Amplitudeを送信します。[A/Dコンバータ出力レジスタ](#)から結果を読み込みます。
4. ターゲット変調指数と前項の結果からターゲット変調レベルを計算します。
5. 以下の繰り返しにおいて、結果がターゲット変調レベルと等しくない（または可能な限り近くない）間は、[RFO通常レベル設定レジスタ](#)の内容が修正され、Measure Amplitudeコマンドが実行されて、その結果がターゲット変調レベルと比較されます。
6. 最終的に、ターゲット変調レベルとなる[RFO通常レベル設定レジスタ](#)の内容が[RFO AM変調レベル設定レジスタ](#)に書き込まれ、[RFO通常レベル設定レジスタ](#)には無変調設定値が復元されます。

1.2.21 アンテナの同調

ST25R3911Bには、アンテナLCタンクの共振周波数の確認と調整に必要なブロックが内蔵されています。位相/振幅検出器ブロックは、共振周波数の確認と調整に使われます。

アンテナLCタンク補正を実装するためには、TRIM1_3ピンからTRIM1_0ピンまで、ならびにTRIM2_3ピンからTRIM2_0ピンまでに対して、コイルの端子2個の間に同調コンデンサが接続されている必要があります。シングル・ドライバが仕様される場合には、TRIM1_3ピンからTRIM1_0ピンまでだけが使用され、TRIM2_3ピンからTRIM2_0ピンまでは開放のままとなります。[図 26](#) アンテナLCタンクがRFOピンに直接接続されている単純な場合について、シングル駆動（左図）と差動駆動（右図）の両方に対するトリマ・コンデンサの接続を図26に示します。

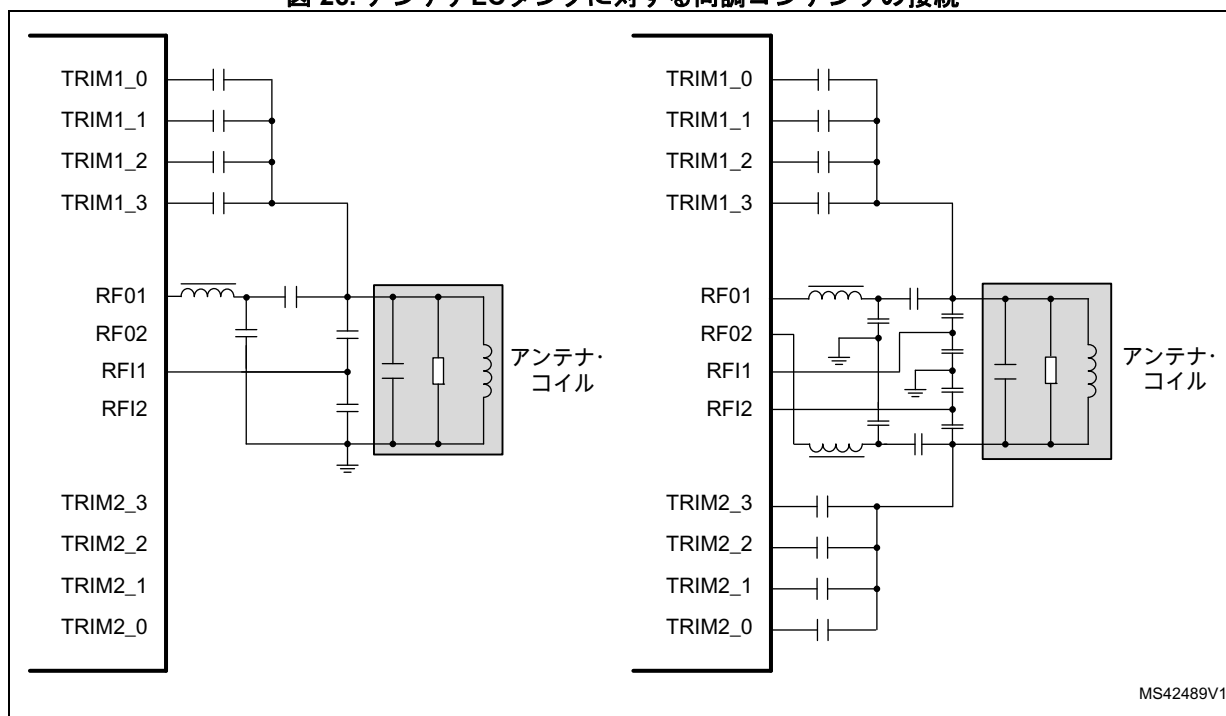
TRIMx_yピンには、VSSに対するHVMOSスイッチング・トランジスタが内蔵されています。

LSB同調コンデンサに接続されるスイッチング・トランジスタTRIM1_0とTRIM2_0のオン抵抗は、VSP_Dが3 Vであるときに標準で50 Ωであり、それ以外のピンのオン抵抗は、バイナリ重み付けされています（TRIM1_3とTRIM2_3のオン抵抗は標準で6.25 Ωです）。HVMOSスイッチング・トランジスタの降伏電圧は25 Vであり、同調が使用された場合のLCタンクの最大ピークツーピーク電圧は、この値が上限となります。

同調手続きの間には、同調コンデンサの一部をVSSに接続して、それ以外を浮かせておくことにより、共振周波数が調整されます。同じバイナリ重み付けのスイッチングは、同じソースで駆動され、両方ともオンかオフになります（たとえば、TRIM1_2スイッチとTRIM2_2スイッチは両方ともオンかオフのいずれかです）。

ダイレクト・コマンドCalibrate Antennaを送信するか、外部コントローラに実装されたアルゴリズムにより、位相と振幅を測定して、[アンテナ補正コントロール・レジスタ](#)を用いてTRIMスイッチ群を制御することによって、アンテナの同調を自動的に行うことが可能です。

図 26. アンテナLCタンクに対する同調コンデンサの接続



ダイレクト・コマンドCalibrate Antennaを使用したアンテナの同調

ダイレクト・コマンドCalibrate Antennaを使用してアンテナLCタンク補正を行うためには、TRIM1_3ピンからTRIM1_0ピンまで、ならびにTRIM2_3ピンからTRIM2_0ピンまでに対して、コイルの端子2個の間にバイナリ重み付け同調コンデンサが接続されている必要があります。

ダイレクト・コマンドCalibrate Antennaの送信で始まる自動手続きの間に、ST25R3911Bは、RFO出力信号とRFI入力信号の間の位相差が、[アンテナ補正ターゲット・レジスタ](#)に設定されているターゲット位相にできるだけ近くなるようなTRIMスイッチ群の位置を見つけます。

アンテナLCタンクがRFOピンに直接接続されている場合（図 26に、シングル駆動の場合と差動駆動の場合が、それぞれ左側と右側に示されています）には、アンテナLCタンクが共振すると、RFO出力信号とRFI入力電圧との間には90°の位相シフトが生じます。RFO出力とアンテナLCタンクの間に

EMCフィルタが追加で挿入されている場合には、共振時の位相シフトは、EMCフィルタにより追加で生まれる位相シフトに依存します。

ダイレクト・コマンドCalibrate Antennaの実行時には、ST25R3911Bは、最適な設定を見つけるために、位相測定を複数回行ってTRIMx_yピンの設定を変更します。このため、[アンテナ補正ターゲット・レジスタ](#)のフォーマットは、ダイレクト・コマンドMeasure Phaseの結果のフォーマットと同じになっています。

ダイレクト・コマンドCalibrate Antennaの結果であるTRIMx_yピンの設定値は、[アンテナ補正表示レジスタ](#)を読み込むことによって確認できます。このレジスタには、ターゲット位相に対する同調が行えない場合にセットされるエラー・フラグも含まれています。

ダイレクト・コマンドCalibrate Antennaの実行後に、ダイレクト・コマンドMeasure Phaseを送信することによって、実際の位相を確認できます。

アンテナ補正コントロール・レジスタを使用したアンテナの同調

[アンテナ補正コントロール・レジスタ](#)に書き込むことによって、TRIMスイッチ群の位置を制御することもできます。

このレジスタのtrim_sビットが1にセットされると、トリム・スイッチ群の位置はtre_3ビットからtre_0ビットによって制御されます。

このレジスタを使用して、(ダイレクト・コマンドのMeasure PhaseとMeasure Amplitudeを用いて)位相と振幅の測定を行うことによって、さまざまな同調アルゴリズムを外部コントローラに実装できます。

1.2.22 ストリーム・モードとトランスペアレント・モード

ST25R3911Bのフレーミングが対応していない標準とカスタムの13.56 MHz RFIDリーダー・プロトコルは、ST25R3911B アナログフロントエンドと、外部コントローラに実装されているフレーミングを使用すれば実装可能です。

トランスペアレント・モード

ダイレクト・コマンドTransparent Modeの送信後に、外部コントローラが送信変調器を直接制御して、レシーバ出力を取得します (制御ロジックは「トランスペアレント」になります)。

Transparent Modeコマンド送信後の/SS信号の立上がりエッジでトランスペアレント・モードに入り、/SS信号がHighに保持されている限り、維持されます。ダイレクト・コマンドTransparent Modeを送信する前に、トランスミッタとレシーバをオンにして、アナログフロントエンドを正しく設定する必要があります。

ST25R3911Bがトランスペアレント・モードである間は、AFEはSPIを介して直接制御されます。

- トランスミッタの変調はMOSIピンによって制御されます (Highで変調器オン)。
- rx_on信号はSCLKピンによって制御されます (HighでRSSIとAGCが有効化)。
- レシーバAM復調チェーン (デジタル化サブキャリア信号) の出力は、MISOピンに送信されます。
- レシーバPM復調チェーン (デジタル化サブキャリア信号) の出力は、IRQピンに送信されます。

rx_onを制御することによって、RSSIとAGCのような高度なレシーバ機能を使用できます。レシーバ・チャンネル選択ビットはトランスペアレント・モードでも有効ですので、2本のチャンネル出力のうち1本だけを使用できます。ただ1本のチャンネルが選択された場合には必ずMISOに多重化され、IRQはLowに保持されます。

ISOモードに関連するコンフィギュレーション・ビットとフレーミングとFIFOは、トランスペアレント・モードでは無意味ですが、それ以外のコンフィギュレーション・ビットはすべて意味を持っています。

トランスペアレント・モードを使用したアクティブ・ピアツーピア（NFC）通信の実装

ST25R3911Bに実装されたフレーミングは、NFCIP-1規格（ISO/IEC 18092:2004）に従ったすべてのアクティブ・モードに対応しています。この規格に対する何らかの修正規格や、カスタムのアクティブNFC通信を実装する必要がある場合には、トランスペアレント・モードが使用できます。

特別なNFCアクティブ通信トランスペアレント・モードが存在するわけではなく、Tx変調とRxの制御は上記のように行われます。リーダ・トランスペアレント・モードとの比較による差は、キャリア・フィールドの放射は、Txの間にのみ有効化される必要があるという点です。この制御は、Txの前後に[動作コントロール・レジスタ](#)に書き込むことによって行われます。SPIコマンドのたびにトランスペアレント・モードではなくなるため、そのモードに入れ直す必要があります。

アクティブNFC通信モードで応答を受信するためには、AM復調チャンネルのみが使用されます。このため、レシーバのAMチャンネルは有効化される必要がありますが、PMIは無効でも構いません。

アクティブ通信の実装には、外部フィールドの検出が必要となります。[補助設定レジスタ](#)のen_fdビットをセットすると、ピア検出閾値で外部フィールド検出器が有効化されます。en_fdビットが選択されて、ST25R3911Bがトランスペアレント・モードとなっている場合、外部フィールド検出器の出力はIRQピンに多重化されます。これによって、外部ターゲット/イニシエータ・フィールドの検出と、RFコリジョン防止の実行が可能となります。

NFC Field ONコマンドのタイミングが、動作中のNFCアクティブ・プロトコルに適切なものである場合には、これらのコマンドは、トランスペアレント・モードとの組み合わせで使用できます。これらのコマンドは、RFコリジョン防止、フィールドの立ち上げ、フィールドの立ち上げからの最小時間のタイムアウトを実行して、メッセージの送信を開始するために用いられます。コントローラは、割込みを受け取ると、トランスペアレント・モードでメッセージを生成します。

en_fdビットがセットされて、[動作コントロール・レジスタ](#)の全ビットが0にセットされると、ST25R3911Bは（targビットのセットの場合と同様に）ローパワーのNFCターゲット・モードとなります（NFCIP-1アクティブ通信ターゲット参照）。このモードでは、イニシエータ・フィールド回路が検出されます。

l_leonフラグがセットされたIRQを受け取ると、コントローラは、発振器とレギュレータとレシーバをオンにして、トランスペアレント・モードで受信を行います。

MIFARE™ Classic互換性

MIFARE™ Classic互換デバイスとの通信では、レジスタ05hのビット6とビット7を使ってタイプAカスタム・フレームを有効化できます。あるいは、ST25R3911Bのストリーム・モードを使って、MIFARE™ Classic互換フレームやカスタム・フレームの送受信が可能です。

ストリーム・モード

ストリーム・モードでは、ISO14443受信コーディングに必要なローレベル・フレーミングが使用可能であり、デコードされた情報をFIFOに置くことができますので、プロトコルの実行に使用できます。トランスペアレント・モードに対するこのモードの主な利点は、ST25R3911Bの中でタイミングが生成されることから、外部コントローラは実時間で動作する必要がないという点です。ストリーム・モードは[モード設定レジスタ](#)で選択され、動作オプションは[ストリーム・モード設定レジスタ](#)で設定されます。

タグからリーダへの通信は、2つの異なるモード（サブキャリア・ストリーム・モードとBPSKストリーム・モード）に対応しています。ストリーム・モードの一般的な決めごとは、送受信する先頭ビットがFIFOバイトのLSB位置に置かれるという点です。

ストリーム・モードが選択された後には、レシーブとトランスミッタは適切に設定される必要があります（ダイレクト・コマンドAnalog Presetは、ストリーム・モードには適用されません）。

サブキャリア・ストリーム・モード

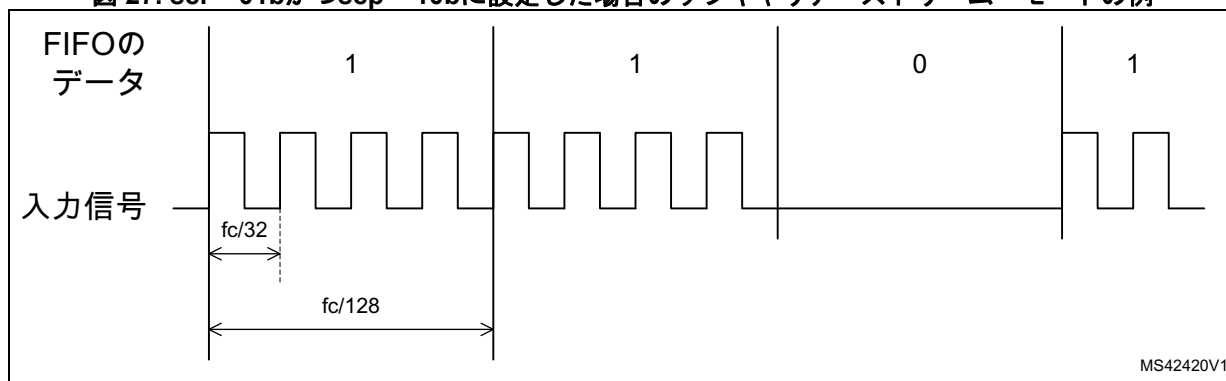
このモードは、タグからリーダーへの通信の間に、サブキャリア信号の時間と無変調の時間が交互に生じるプロトコルに対応しています（ISO14443A 106 kbit/sモードなど）。このモードでは、サブキャリア周波数と、1レポート期間中のサブキャリア周波数期間の数が設定されます。 $f_c/64$ （212 kHz）から $f_c/8$ （1695 kHz）までの範囲のサブキャリア周波数に対応しています。

1レポート期間中のサブキャリア周波数期間の数は、2から8に対応しています。

受信開始割込みが送信され、サブキャリアのある最初のレポート期間が検出された後、先頭のデータ・ビットがFIFOに置かれます。FIFOデータの1ビットからは、1レポート期間中の入力信号の状態に関する情報が得られます。論理値の1はレポート周期内にサブキャリアが検出されたことを、0はレポート周期内に変調が検出されなかったを意味しています。8レポート周期を超えてサブキャリア信号が検出されなかったときには、受信の終了が報告されます。

$scf = 01b$ 、 $scp = 10b$ に設定した場合の例を [図 27](#) に示します。この設定では、サブキャリア周波数は $f_c/32$ （424 kHz）に、レポート周期は4サブキャリア周期（ $128/f_c \sim 106 \mu s$ ）に設定されます。

図 27. $scf = 01b$ かつ $scp = 10b$ に設定した場合のサブキャリア・ストリーム・モードの例



BPSKストリーム・モード

このモードでは、タグからリーダーへの通信の間に、BPSKコードが使用されるプロトコルに対応しています（ISO14443Bモードなど）。

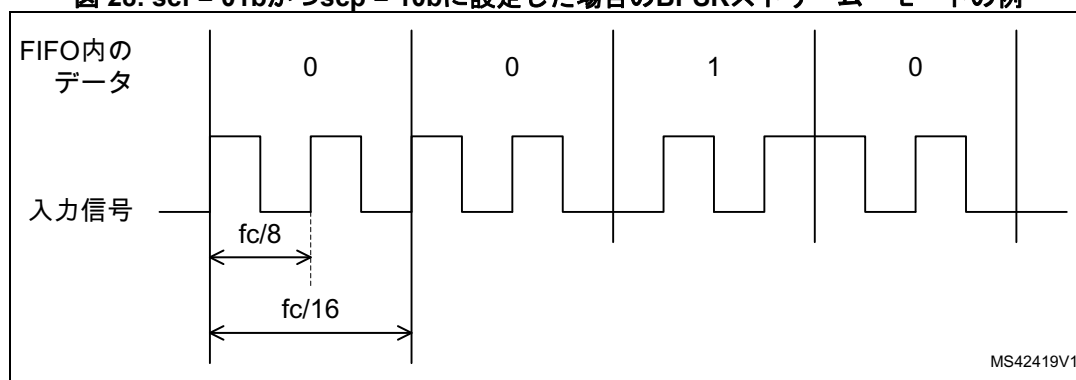
このモードでは、サブキャリア周波数と、1レポート期間中のサブキャリア周波数期間の数が設定されます。 $f_c/16$ （848 kHz）から $f_c/4$ （3390 kHz）までの範囲のサブキャリア周波数に対応しています。1レポート期間中のサブキャリア周波数期間の数は、1から8に対応しています。

受信開始割込みが送信され、サブキャリアのある最初のレポート期間が検出された後、先頭のデータ・ビットがFIFOに置かれます。論理値の0は最初に検出された位相に使用され、論理値の1は初期位相と比較して逆位相であることを示します。

サブキャリアのない最初のレポート期間が検出されると、受信終了割込みが送信されます。

$scf = 01b$ 、 $scp = 01b$ と設定した場合の例を [図 28](#) に示します。この設定では、サブキャリア周波数は $f_c/8$ （1695 kHz）に、レポート周期は2サブキャリア周期（ $16/f_c \sim 1.18 \mu s$ ）に設定されます。

図 28. scf = 01bかつscp = 10bに設定した場合のBPSKストリーム・モードの例

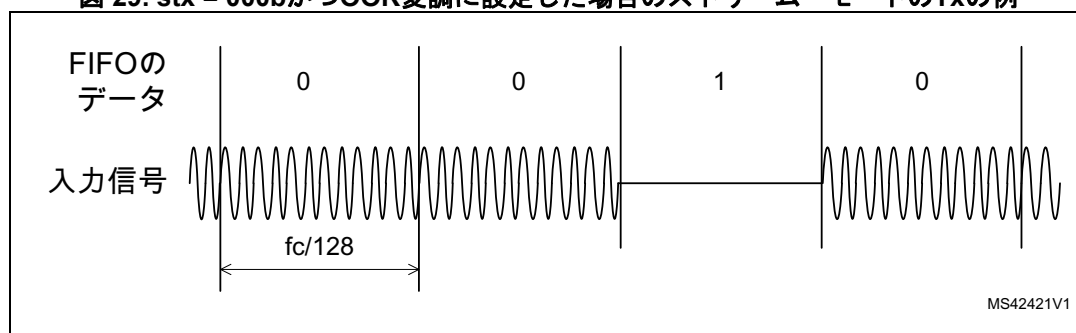


ストリーム・モードにおけるリーダからタグへの通信

リーダからタグへの通信の制御は、どちらのストリーム・モードでも同じです。リーダからタグへのコーディングは、FIFOに置かれたデータによって設定されます。[ストリーム・モード設定レジスタ](#)のstxビットによってTx期間が設定され、その間に、FIFOデータの1ビットによってトランスミッタの状態が設定されます。データビットが論理値0にセットされている場合には無変調であり、それが論理値1の場合には、トランスミッタのキャリア信号は、現在の変調種別設定（AMまたはOOK）に従って変調されています。ストリーム・モードでの送信は、ダイレクト・コマンドのTransmit Without CRCまたはTransmit With CRCを送信することによって開始されます。

stx = 000bと設定した場合の例を [図 29](#)に示します。この設定では、Tx期間は $128/fc$ （ $\sim 9,44 \mu s$ ）に設定されます。

図 29. stx = 000bかつOOK変調に設定した場合のストリーム・モードのTxの例



1.3 レジスタ

以下に示す6bitのレジスタ・アドレスは16進表記で定義されています。取り得るアドレス範囲は、00hから3Fhまでとなります。

ST25R3911Bに実装されているレジスタには、次の2種類があります。

- コンフィギュレーション・レジスタ
- 表示レジスタ

コンフィギュレーション・レジスタはST25R3911Bの設定に用いられます。SPIを通じて読み込みと書き込み（RW）が可能です。表示レジスタは読み込み専用（R）であり、ST25R3911Bの内部状態に関する情報が格納されています。

レジスタは、起動時とダイレクト・コマンドSet Defaultの送信後にデフォルト状態に設定されます。それにあてはまらないのが、[IOコンフィギュレーション・レジスタ1](#)と[IOコンフィギュレーション・レジスタ2](#)と[動作コントロール・レジスタ](#)です。これらのレジスタは、ハードウェア設定に関係しており、起動時のみデフォルト状態にリセットされます。

表 17. レジスタ・マップ

アドレス (16進)	主な機能	内容	コメント	種類
00	IOコンフィギュレーション	IOコンフィギュレーション・レジスタ1	起動時のみデフォルト状態に設定	RW
01		IOコンフィギュレーション・レジスタ2		RW
02	動作コントロールとモード設定	動作コントロール・レジスタ	起動時のみデフォルト状態に設定	RW
03		モード設定レジスタ	-	RW
04		ビット・レート設定レジスタ	-	RW
05	コンフィギュレーション	ISO14443A / NFC 106kb/s設定レジスタ	-	RW
06		ISO14443B設定レジスタ1	-	RW
07		ISO14443B / FeliCa設定レジスタ	-	RW
08		ストリーム・モード設定レジスタ	-	RW
09		補助設定レジスタ	-	RW
0A		レシーバ・コンフィギュレーション・レジスタ1	-	RW
0B		レシーバ・コンフィギュレーション・レジスタ2	-	RW
0C		レシーバ・コンフィギュレーション・レジスタ3	-	RW
0D		レシーバ・コンフィギュレーション・レジスタ4	-	RW
0E	タイマ設定	マスク受信タイマ・レジスタ	-	RW
0F		応答なしタイマ・レジスタ1	-	RW
10		応答なしタイマ・レジスタ2	-	RW
11		汎用 / 応答なしタイマ・コントロール・レジスタ	-	RW
12		汎用タイマ・レジスタ1	-	RW
13		汎用タイマ・レジスタ2	-	RW

表 17. レジスタ・マップ (続き)

アドレス (16進)	主な機能	内容	コメント	種類
14	割込みと関連 レポーティング	メイン割込みレジスタ	-	RW
15		マスク・タイマ/NFC割込みレジスタ	-	RW
16		マスク・エラー/ウェイクアップ割込みレジスタ	-	RW
17		メイン割込みレジスタ	-	R
18		マスク・タイマ/NFC割込みレジスタ	-	R
19		エラー/ウェイクアップ割込みレジスタ	-	R
1A		FIFOステータス・レジスタ1	-	R
1B		FIFOステータス・レジスタ2	-	R
1C		コリジョン表示レジスタ	-	R
1D		送信バイト数レジスタ1	-	RW
1E	送信バイトの設定	送信バイト数レジスタ2	-	RW
1F	NFCIPビット・ レート検出表示	NFCIPビット・レート検出表示レジスタ	-	R
20	A/Dコンバータ 出力	A/Dコンバータ出力レジスタ	-	R
21	アンテナ補正	アンテナ補正コントロール・レジスタ	-	RW
22		アンテナ補正ターゲット・レジスタ	-	RW
23		アンテナ補正表示レジスタ	-	R
24	AM変調度と アンテナ・ ドライバ	AM変調度コントロール・レジスタ	-	RW
25		AM変調度表示レジスタ	-	R
26		RFO AM変調レベル設定レジスタ	-	RW
27		RFO通常レベル設定レジスタ	-	RW
29	外部フィールド検 出器閾値	外部フィールド検出器閾値レジスタ	-	RW
2A	レギュレータ	レギュレータ電圧コントロール・レジスタ	-	RW
2B		レギュレータ/タイマ表示レジスタ	-	R
2C	レシーバ状態表示	RSSI表示レジスタ	-	R
2D		ゲイン減少状態レジスタ	-	R
2E	静電容量センサ	静電容量センサ・コントロール・レジスタ	-	RW
2F		静電容量センサ表示レジスタ	-	R
30	補助表示	補助表示レジスタ	-	R

表 17. レジスタ・マップ (続き)

アドレス (16進)	主な機能	内容	コメント	種類
31	ウェイクアップ	ウェイクアップ・タイマ・コントロール・レジスタ	-	RW
32		振幅測定コンフィギュレーション・レジスタ	-	RW
33		振幅測定基準レジスタ	-	RW
34		振幅測定自動平均化表示レジスタ	-	R
35		振幅測定表示レジスタ	-	R
36		位相測定コンフィギュレーション・レジスタ	-	RW
37		位相測定基準レジスタ	-	RW
38		位相測定自動平均化表示レジスタ	-	R
39		位相測定表示レジスタ	-	R
3A		静電容量測定コンフィギュレーション・レジスタ	-	RW
3B		静電容量測定基準レジスタ	-	RW
3C		静電容量測定自動平均化表示レジスタ	-	R
3D		静電容量測定ディスプレイ・レジスタ	-	R
3F	IC識別情報	IC識別レジスタ	-	R

1.3.1 IOコンフィギュレーション・レジスタ1

アドレス: 00h

種類: RW

表 18. IOコンフィギュレーション・レジスタ1⁽¹⁾

ビット	名称	デフォルト	機能			コメント
7	single	0	1: RFOドライバ1個のみ使用			シングル・アンテナ駆動と差動アンテナ駆動から選択
6	rfo2	0	0: RFO1、RFI1 1: RFO2、RFI2			シングル駆動の場合にどちらの出力ドライバと入力を使用されるか選択
5	fifo_lr	0	0: 64 1: 80			受信用FIFOウォーター・レベル
4	fifo_lt	0	0: 32 1: 16			送信用FIFOウォーター・レベル
3	osc	1	0: 13.56 MHz水晶 1: 27.12 MHz水晶			水晶発振器セクタ
2	out_cl1	0	out_cl1	out_cl0	MCU_CLK	水晶発振器が動作中である場合のMCU_CLK出力でのクロック周波数選択 “11”である場合、MCU_CLKは常にLow
			0	0	3.39 MHz	
			0	1	6.78 MHz	
1	out_cl0	0	1	0	13.56 MHz	
			1	1	無効	
0	lf_clk_off	0	1: MCU_CLKにLFクロックなし			水晶発振器が動作中ではなく、MCU_CLK出力が無効化されていない場合には、デフォルトで32 kHz LFクロックがMCU_CLK出力に存在する。

1. 起動時にのみデフォルト設定が行われます。

1.3.2 IOコンフィギュレーション・レジスタ2

アドレス: 01h

種類: RW

表 19. IOコンフィギュレーション・レジスタ2⁽¹⁾

ビット	名称	デフォルト	機能	コメント
7	sup3 V	0	0: 5 V電源 1: 3.3 V電源	5 V電源、範囲: 4.1 ~ 5.5 V 3.3 V電源、範囲: 2.4 ~ 3.6 V VHBRには最低3.0 V
6	vspd_off	0	1: VSP_Dレギュレータ・ディセーブル	ローコスト・アプリケーションに使用このビットがセットされると: – 3 Vまたは5 Vでは、VSP_DとVSP_Aは外部で短絡するものとします。 – 3.3 Vのアプリケーションでは、VSP_AがV _{DD} よりも300 mV以上低くない限り、VSP_Dは代わりにV _{DD} から電源供給を受けることもできます。
5	-	-	未使用	-
4	miso_pd2	0	1: /SSがLowでMISOがST25R3911Bでは駆動されていない場合、MISOをプルダウン	-
3	miso_pd1	0	1: /SSがHighである場合に、MISOをプルダウン	-
2	io_18	0	1: V _{DD_IO} が1.8 Vである場合、MISO駆動レベルを増加	-
1	-	-	未使用	-
0	slow_up	0	1: Tx以降に緩やかな立上げ	≥ 10 μs、10% ~ 90%、BIに対して

1. 起動時にのみデフォルト設定が行われます。

1.3.3 動作コントロール・レジスタ

アドレス: 02h

種類: RW

表 20. 動作コントロール・レジスタ⁽¹⁾

ビット	名称	デフォルト	機能	コメント
7	en	0	1: 発振器とレギュレータを有効化 (レディ・モード)	-
6	rx_en	0	1: Rx 動作イネーブル	-
5	rx_chn	0	0: AMチャネルとPMチャネルの両方を有効化 1: 1 チャネル有効化	1 本の Rx チャネルのみが有効化されている場合、 レシーバ・コンフィギュレーション・レジスタ1 の ch_sel ビットによって選択が行われます。
4	rx_man	0	0: 自動チャネル選択 1: 手動チャネル選択	両方の Rx チャネルが有効化されている場合、チャネル選択方法が選択され、 レシーバ・コンフィギュレーション・レジスタ1 の ch_sel ビットによって手動選択が行われます。
3	tx_en	0	1: Tx 動作イネーブル	このビットは、NFC Field ON コマンドによって自動的にセットされ、送信完了後に NFC アクティブ通信モードでリセットされます。
2	wu	0	1: ウェイクアップ・モードの有効化	ウェイクアップ・タイマ・コントロール・レジスタ の設定に従うこと
1	-	-	未使用	-
0	-	-		-

1. 起動時にのみデフォルト設定が行われます。

1.3.4 モード設定レジスタ

アドレス: 03h

種類: RW

表 21. モード設定レジスタ⁽¹⁾

ビット	名称	デフォルト	機能	コメント
7	targ	0	0: イニシエータ 1: ターゲット	-
6	om3	0	表 22と表 23参照	動作モードの選択 イニシエータ・モードとターゲット・モードで異なります。
5	om2	0		
4	om1	0		
3	om0	1		
2	-	0	未使用	-
1	-	0		-
0	nfc_ar	0	1: 応答アンチコリジョンシーケンス自動開始	外部フィールドのオフが検出された場合に、応答アンチコリジョンを自動で開始します。

1. デフォルト設定は起動時とSet Defaultコマンド後に行われます。

表 22. イニシエータ動作モード⁽¹⁾

om3	om2	om1	om0	コメント
0	0	0	0	NFCIP-1アクティブ通信
0	0	0	1	ISO14443A
0	0	1	0	ISO14443B
0	0	1	1	FeliCa™
0	1	0	0	NFCフォーラム・タイプ1タグ (Topaz)
1	1	1	0	サブキャリア・ストリーム・モード
1	1	1	1	BPSKストリーム・モード
それ以外の組み合わせ				未使用

1. 未対応の動作モードが選択されると、Tx/Rx動作は無効となります。

表 23. ターゲット動作モード⁽¹⁾

om3	om2	om1	om0	コメント
0	0	0	0	NFCIP-1アクティブ通信、ビット・レート検出モード
0	0	0	1	NFCIP-1アクティブ通信、通常モード
それ以外の組み合わせ				未使用

1. 未対応の動作モードが選択されると、Tx/Rx動作は無効となります。

1.3.5 ビット・レート設定レジスタ

アドレス: 04h

種類: RW

表 24. ビット・レート設定レジスタ⁽¹⁾⁽²⁾

ビット	名称	デフォルト	機能	コメント
7	tx_rate3	0	表 25参照	Txのビット・レートを選択
6	tx_rate2	0		
5	tx_rate1	0		
4	tx_rate0	0		
3	rx_rate3	0		選択されたプロトコルがRxとTxとで異なるビット・レートに対応している場合、Rxのビット・レートを選択
2	rx_rate2	0		
1	rx_rate1	0		
0	rx_rate0	0		

- デフォルト設定は起動時とSet Defaultコマンド後に行われます。
- ダイレクト・コマンドGo to Normal NFC Modeによって自動でロードされます。

表 25. ビット・レート・コーディング⁽¹⁾

rate3	rate2	rate1	rate0	ビット・レート (kbit/s)	コメント
0	0	0	0	fc/128 (~106)	-
0	0	0	1	fc/64 (~212)	-
0	0	1	0	fc/32 (~424)	-
0	0	1	1	fc/16 (~848)	-
0	1	0	0	fc/8 (~1695)	VHBR TxはISO14443Bモードのみで対応 VHBR Rxはfc/8とfc/4のみで対応
0	1	0	1	fc/4 (~3390)	
0	1	1	0	fc/2 (~6780)	
それ以外の組み合わせ				-	未使用

- 未対応のビット・レートが選択されると、Tx/Rx動作は無効となります。

1.3.6 ISO14443A / NFC 106kb/s設定レジスタ

アドレス: 05h

種類: RW

表 26. ISO14443A / NFC 106kb/s設定レジスタ⁽¹⁾

ビット	名称	デフォルト	機能	コメント
7	no_tx_par ⁽²⁾	0	1: Txの間にパリティ・ビットが生成されない	FIFOからデータ・ストリームが取得され、Transmit Without CRCコマンドを用いて送信が行われる必要があります。
6	no_rx_par ⁽²⁾	0	1: パリティとCRCなしで受信	1にセットされると、受信ビット・ストリームがFIFOに置かれ、パリティとCRCの検出は行われません。
5	nfc_f0	0	1: NFCIP-1トランスポート・フレーム・フォーマット対応	NFCアクティブ通信モードにおいて、Txの間にSB (F0) バイトとLENバイトを追加し、Rxの間にSB (F0) バイトをスキップします。
4	p_len3	0	表 27参照	変調パルス幅、13.56 MHzクロック周期の数で設定
3	p_len2	0		
2	p_len1	0		
1	p_len0	0		
0	antcl	0	1: ISO14443 アンチコリジョンフレーム	ISO14443Aビット・オリエンテッド・アンチコリジョンフレームの送信時には、1にセットする必要があります。

- デフォルト設定は起動時とSet Defaultコマンド後に行われます。
- Mifare™ Classicフレームなどのカスタム・フレームの送受信には、no_tx_parとno_rx_parが使用されます。

表 27. ISO14443A変調パルス幅

p_len3	p_len2	p_len1	p_len0	各種ビット・レートにおける1/fcの個数単位でのパルス幅			
				fc/128	fc/64	fc/32	fc/16
0	1	1	1	42	-	-	-
0	1	1	0	41	20	-	-
0	1	0	1	40	21	-	-
0	1	0	0	39	22	13	-
0	0	1	1	38	21	12	8
0	0	1	0	37	20	11	7
0	0	0	1	36	19	10	6
0	0	0	0	35	18	9	5
1	1	1	1	34	17	8	4
1	1	1	0	33	16	7	3
1	1	0	1	32	15	6	2
1	1	0	0	31	14	5	-
1	0	1	1	30	13	-	-

表 27. ISO14443A変調パルス幅（続き）

p_len3	p_len2	p_len1	p_len0	各種ビット・レートにおける1/fcの個数単位でのパルス幅			
				fc/128	fc/64	fc/32	fc/16
1	0	1	0	29	12	-	-
1	0	0	1	28	-	-	-
1	0	0	0	27	-	-	-

1.3.7 ISO14443B設定レジスタ1

アドレス: 06h

種類: RW

表 28. ISO14443B設定レジスタ1⁽¹⁾

ビット	名称	デフォルト	機能				コメント
			egt2	egt1	egt0	etu数	
7	egt2	0	0	0	0	0	etu数で定義されたEGT
			0	0	1	1	
			⋮	⋮	⋮	⋮	
6	egt1	0	1	1	0	6	
			1	1	1	6	
5	egt0	0					
4	sof_0	0	0: 10 etu 1: 11 etu				SOF、論理値0（10または11）でのetu数
3	sof_1	0	0: 2 etu 1: 3 etu				SOF、論理値1（2または3）でのetu数
2	eof	0	0: 10 etu 1: 11 etu				EOF、論理値0（10または11）でのetu数
1	half	0	0: sof_0ビット、sof_1ビット、eofビットによって定義されたSOFとEOF 1: SOF 10.5、2.5、EOF: 10.5				SOFとEOFの設定値を仕様の中央値に設定
0	rx_st_om	0	0: スタート/ストップ・ビットはRxに存在する必要がある 1: スタート/ストップ・ビットはRxから省略				SOF = 10 (Low) - 2 (High)、EOF未定義、FIFOの最終完全バイトに置かれる ⁽²⁾

1. デフォルト設定は起動時とSet Defaultコマンド後に行われます。
2. Txでのスタート/ストップ・ビットの省略は、ストリーム・モードを使用して実装可能です。

1.3.8 ISO14443B / FeliCa設定レジスタ

アドレス: 07h

種類: RW

表 29. ISO14443B / FeliCa設定レジスタ⁽¹⁾

ビット	名称	デフォルト	機能	コメント
7	tr1_1	0	表 30参照	-
6	tr1_0	0		
5	no_sof	0	1: PICCからPCDにSOFなし	ISO14443-3の7.10.3.3節によるB'対応
4	no_eof	0	1: PICCからPCDにEOFなし	ISO14443-3の7.10.3.3節による
3	eof_12	0	0: PICC EOF 10 ~ 11 etu 1: PICC EOF 10 ~ 12 etu	B対応 ⁽²⁾
2	phc_th	0	1: 位相変化検出の許容誤差を増加	-
1	f_p1	0	00: 48 01: 64	FeliCa プリアンブル長 (NFCIP-1 アクティブ通信のビット・レート242 kb/sと484 kb/sにも有効)
0	f_p0	0	10: 80 11: 96	

1. デフォルト設定は起動時とSet Defaultコマンド後に行われます。
2. ビットあたりサブキャリア周波数1周期のみのビット・レートでは、EOF (End Of Frame) の検出には、さらに大きな許容誤差範囲が必要です (fc/16以上)。このため、11 etuのEOFと12 etuのEOFを区別するのは不可能であり、このビットをセットしてもEOFの検出には影響を与えません。

表 30. 最小TR1コーディング

tr1_1	tr1_0	PICCからPCDへのビット・レートに対する最小TR1	
		fc/128	>fc/128
0	0	80/fs	80/fs
0	1	64/fs	32/fs
1	0	未使用	未使用
1	1	未使用	未使用

1.3.9 ストリーム・モード設定レジスタ

アドレス: 08h

種類: RW

表 31. ストリーム・モード設定レジスタ⁽¹⁾

ビット	名称	デフォルト	機能			コメント
7		0	-			-
6	scf1	0	表 32参照			サブキャリア/BPSKストリーム・モードのサブキャリア周波数設定
5	scf0	0				
4	scp1	0	scp1	scp0	パルス数	サブキャリア/BPSKストリーム・モードでのレポート周期内のサブキャリア・パルス数
			0	0	1 (BPSKのみ)	
			0	1	2	
3	scp0	0	1	0	4	
			1	1	8	
2	stx2	0	表 33参照			Tx変調器制御用時間周期の設定 (サブキャリア/BPSKストリーム・モード用)
1	stx1	0				
0	stx0					

1. デフォルト設定は起動時とSet Defaultコマンド後に行われます。

表 32. サブキャリア/BPSKストリーム・モードのサブキャリア周波数設定

scf1	scf0	サブキャリア・モード	BPSKモード
0	0	fc/64 (212 kHz)	fc/16 (848 kHz)
0	1	fc/32 (424 kHz)	fc/8 (1695 kHz)
1	0	fc/16 (848 kHz)	fc/4 (3390 kHz)
1	1	fc/8 (1695 kHz)	未使用

表 33. ストリーム・モードTx変調器制御用時間周期の設定

stx2	stx1	stx0	時間周期
0	0	0	fc/128 (106 kHz)
0	0	1	fc/64 (212 kHz)
0	1	0	fc/32 (424 kHz)
0	1	1	fc/16 (848 kHz)
1	0	0	fc/8 (1695 kHz)
1	0	1	fc/4 (3390 kHz)
1	1	0	fc/2 (6780 kHz)
1	1	1	未使用

1.3.10 補助設定レジスタ

アドレス: 09h

種類: RW

表 34. 補助設定レジスタ⁽¹⁾

ビット	名称	デフォルト	機能	コメント
7	no_crc_rx	0	1: CRCなし受信	全プロトコルに有効です。ISO14443A REQAとWUPAとアンチコリジョンでは、CRCなし受信は自動的に行われます。 ⁽²⁾
6	crc_2_fifo	0	1: CRCチェックを行います ¹ 、CRCバイトはFIFOの中に置かれ、受信バイト数に加算されます。	EMV準拠のために必要
5	tr_am	0	0: OOK 1: AM	Analog Presetコマンドによって自動セット、レジスタへの書き込みによって修正可能、トランスペアレント・モードとビット・ストリームのTxでは設定が必要
4	en_fd	0	1: 外部フィールド検出器イネーブル	ピア検出閾値で外部フィールド検出器が有効化されます。 NFCIP-1アクティブ通信モードではプリセットされています。
3	ook_hr	0	1: OOK変調の間、RFOドライバをトリステートとします。	OOK変調を用いるすべてのプロトコルに有効（トランスペアレント・モードも同様）
2	rx_tol	1	1: BPSK fc/32: ビット・レートfc/32に対して許容誤差の大きいBPSKデコーダ、ISO14443A fc/128とNFCIP-1 fc/128: 先頭バイトの処理では許容誤差拡大	-
1	nfc_n1	0	-	ダイレクト・コマンドNFC Initial Field ONとNFC Response Field ON（0 ... 3）に有効
0	nfc_n0	0		

- デフォルト設定は起動時とSet Defaultコマンド後に行われます。
- ダイレクト・コマンドTransmit REQAとTransmit WUPAを用いてREQAコマンドとWUPAコマンドがそれぞれ送信されたときと、antclビットをセットしてアンチコリジョンが実行された場合には、CRCなし受信は自動的に行われます。

1.3.11 レシーバ・コンフィギュレーション・レジスタ1

アドレス: 0Ah

種類: RW

表 35. レシーバ・コンフィギュレーション・レジスタ1⁽¹⁾

ビット	名称	デフォルト	機能	コメント
7	ch_sel	0	0: AMチャネル・イネーブル 1: PMチャネル・イネーブル	動作コントロール・レジスタ で1本のRxチャネルのみが有効化されている場合、どちらのチャネルが有効化されるかを設定します。 両方のチャネルが有効化されており、手動チャネル選択が有効である場合、どちらのチャネルが受信フレーミングに使用されるかを設定します。
6	amd_sel	0	0: ピーク検出器 1: ミキサ	AM復調器種別選択、 ミキサにVHBRを自動プリセット
5	lp2	0	ローパス制御（ 表 2 参照）	自動およびそれ以外の推奨フィルタ設定については、 表 3 参照
4	lp1	0		
3	lp0	0		
2	h200	0	第1ステージ/第3ステージのゼロ点設定 （ 表 1 参照）	
1	h80	0		
0	z12k	0		

1. デフォルト設定は起動時とSet Defaultコマンド後に行われます。

1.3.12 レシーバ・コンフィギュレーション・レジスタ2

アドレス: 0Bh

種類: RW

表 36. レシーバ・コンフィギュレーション・レジスタ2⁽¹⁾

ビット	名称	デフォルト	機能	コメント
7	rx_lp	0	1: ローパワー・レシーバ動作	-
6	lf_op	0	0: 差動LF動作 1: LF入力分割 (RFI1はAMチャネル、RFI2はPMチャネル)	-
5	lf_en	0	1: レシーバ入力のLF信号	-
4	agc_en	1	1: AGC有効	-
3	agc_m	1	0: 最初の8個のサブキャリア・パルスでAGCが動作 1: 受信時間全体でAGCが動作	-
2	agc_alg	0	0: プリセット付きアルゴリズムを使用 1: リセット付きアルゴリズムを使用	短いSOF (Start Of Frame) のプロトコル (ISO14443A fc/128など) では、プリセット付きアルゴリズムを推奨します。
1	sqm_dyn	1	1: Txの終了後に自動でスケルチを有効化	Txの終了から18.88 μ s後にスケルチが開始され、マスク受信タイマがタイムアウトすると停止します。
0	pmix_cl	0	0: RFO 1: 内部信号	PM復調器ミキサ・クロック源。シングル・モードでは必ず内部信号が用いられます。

1. デフォルト設定は起動時とSet Defaultコマンド後に行われます。

1.3.13 レシーバ・コンフィギュレーション・レジスタ3

アドレス: 0Ch (第1ゲインステージ設定)

種類: RW

表 37. レシーバ・コンフィギュレーション・レジスタ3⁽¹⁾

ビット	名称	デフォルト	機能	コメント
7	rg1_am2	1	AM (振幅) チャネルの第1ゲインステージのゲインを増減	0: フル・ゲイン 1-6: 1刻みあたり2.5 dBゲインが減少 (全体で15 dB) 7: +5.5 dB増加
6	rg1_am1	1		
5	rg1_am0	0		
4	rg1_pm2	1	PM (位相) チャネルの第1ゲインステージのゲインを増減	0: フル・ゲイン 1-6: ステップあたり2.5 dBゲインが減少 (全体で15 dB) 7: +5.5 dB増加
3	rg1_pm1	1		
2	rg1_pm0	0		
1	lim	0	1: 第1ステージと第2ステージの出力をクリップ	信号が0.6 Vにクリップされます。NFCIP-1アクティブ通信モードではプリセットされています。
0	rg_nfc	0	1: 第2と第3のゲインステージのゲイン減少を-6 dBで最大コンパレータ・ウィンドウに強制的に設定します。	NFCIP-1アクティブ通信モードではプリセットされています。 このビットをクリアした後は、レシーバを再起動する必要があります。

1. デフォルト設定は起動時とSet Defaultコマンド後に行われます。

1.3.14 レシーバ・コンフィギュレーション・レジスタ4

アドレス: 0Dh (第2/第3ステージゲイン設定)

種類: RW

表 38. レシーバ・コンフィギュレーション・レジスタ4⁽¹⁾⁽²⁾

ビット	名称	デフォルト	機能	コメント
7	rg2_am3	0	AM (振幅) チャネル: 第2、第3のステージおよびデジタイザでのゲイン減少	0hからAhまでの範囲の値のみを使用: – 1hから4hに設定すると、デジタイザ・ウィンドウを3 dB刻みで増加させることによりゲインが減少します。 – 5hからAhまでの値にすると、第2と第3のゲインステージのゲインが、常に3 dB刻みでさらに減少します。
6	rg2_am2	0		
5	rg2_am1	0		
4	rg2_am0	0		
3	rg2_pm3	0	PM (位相) チャネル: 第2、第3のステージおよびデジタイザでのゲイン減少	0hからAhまでの範囲の値のみを使用: – 1hから4hに設定すると、デジタイザ・ウィンドウを3 dBステップで増加させることによりゲインが減少します。 – 5hからAhまでの値にすると、第2と第3のステージのゲインが、常に3 dB刻みでさらに減少します。
2	rg2_pm2	0		
1	rg2_pm1	0		
0	rg2_pm0	0		

1. デフォルト設定は起動時とSet Defaultコマンド後に行われます。

2. このレジスタの値をAGC、スケルチ、RSSIの各ブロックにロードするには、ダイレクト・コマンドReset Rx Gainの送信が必要となります。

1.3.15 マスク受信タイマ・レジスタ

アドレス: 0Eh

種類: RW

表 39. マスク受信タイマ・レジスタ⁽¹⁾⁽²⁾

ビット	名称	デフォルト	機能	コメント
7	mrt7	0	64/fc (4.72 μs) ステップで設定 256/fc (~18.88 μs) から 16320/fc (~1.2 ms) までの範囲 タイムアウト = $mrt<7:0> * 64/fc$ タイムアウト ($0 \leq mrt<7:0> \leq 4$) = $4 * 64/fc$ (18.88 μs) NFCIP-1 ビット・レート検出モード では、1ステップは 512/fc (37.78 μs)	Tx終了後にレシーバ出力がマスク（無視）される時間を設定します。 ISO14443A 106 kbit/sの場合には、マスク受信タイマはPCDからPICCへのフレーム遅延時間設定に従って設定され、n/2ステップ数はmrt<7:0>ビットによって設定されます。 マスク受信時間の最小値である 18.88 μsは、送信終了後のレシーバ内の過渡状態に対応しています。
6	mrt6	0		
5	mrt5	0		
4	mrt4	0		
3	mrt3	1		
2	mrt2	0		
1	mrt1	0		
0	mrt0	0		

1. デフォルト設定は起動時とSet Defaultコマンド後に行われます。
2. NFCIP-1ビット・レート検出モードでは、最大9.6 msまでの範囲をカバーするために、マスク受信タイマのクロックはさらに8で割られます（1カウントは512/fc）。

1.3.16 応答なしタイマ・レジスタ1

アドレス: 0Fh

種類: RW

表 40. 応答なしタイマ・レジスタ1⁽¹⁾

ビット	名称	デフォルト	機能	コメント
7	nrt15	0	応答なしタイマを設定するMSB側ビット 64/fc (4.72 μ s) ステップで設定 0 msから309 msまでの範囲 <i>汎用 / 応答なしタイマ・コントロール・レジスタ</i> でnrt_stepビットがセットされている場合には、ステップは4096/fcに変わります。	Txの終わりからのタイムアウトを設定応答が検出されずにこれがタイムアウトになると、応答なし割込みが送信されます。 NFCモードでは、外部フィールドが検出された場合にのみ、応答なしタイマが開始されます。NFCIP-1アクティブ通信モードでは、メッセージが送信されてトランスミッタがオフになると、応答なしモードは自動的に開始されます。 All 0: 応答なしタイマは開始されません。 ダイレクト・コマンドStart No-Response Timerによって、応答なしタイマはリセットされて再起動されます。
6	nrt14	0		
5	nrt13	0		
4	nrt12	0		
3	nrt11	0		
2	nrt10	0		
1	nrt9	0		
0	nrt8	0		

1. デフォルト設定は起動時とSet Defaultコマンド後に行われます。

1.3.17 応答なしタイマ・レジスタ2

アドレス: 10h

種類: RW

表 41. 応答なしタイマ・レジスタ2⁽¹⁾

ビット	名称	デフォルト	機能	コメント
7	nrt7	0	応答なしタイマを設定するLSB側ビット	-
6	nrt6	0		
5	nrt5	0		
4	nrt4	0		
3	nrt3	0		
2	nrt2	0		
1	nrt1	0		
0	nrt0	0		

1. デフォルト設定は起動時とSet Defaultコマンド後に行われます。

1.3.18 汎用 / 応答なしタイマ・コントロール・レジスタ

アドレス: 11h

種類: RW

表 42. 汎用 / 応答なしタイマ・コントロール・レジスタ⁽¹⁾

ビット	名称	デフォルト	機能	コメント
7	gptc2	0	タイマのトリガ源を設定 表 43 参照	-
6	gptc1	0		-
5	gptc0	0		-
4	-	0	-	-
3	-	0	-	-
2	-	0	-	-
1	nrt_emv	0	1: 応答なしタイマのEMVモード	-
0	nrt_step	0	0: 64/fc 1: 4096/fc	応答なしタイマのステップを選択します。

1. デフォルト設定は起動時とSet Defaultコマンド後に行われます。

表 43. タイマのトリガ源

gptc2	gptc1	gptc0	トリガ源
0	0	0	トリガ源なし。ダイレクト・コマンド Start General Purpose Timer のみで開始
0	0	1	Rx の終わり (EOF 後)
0	1	0	Rx の始まり
0	1	1	NFC モードでの Tx の終わり、汎用タイマがタイムアウトすると、フィールドはオフ
1	0	0	未使用
1	0	1	
1	1	0	
1	1	1	

1.3.19 汎用タイマ・レジスタ1

アドレス: 12h

種類: RW

表 44. 汎用タイマ・レジスタ1⁽¹⁾

ビット	名称	デフォルト	機能	コメント
7	gpt15	-	汎用タイムアウトのMSB側設定 8/fc (590 μ s) ステップで設定 590 nsから38,7 msまでの範囲	-
6	gpt14	-		
5	gpt13	-		
4	gpt12	-		
3	gpt11	-		
2	gpt10	-		
1	gpt9	-		
0	gpt8	-		

1. デフォルト設定は起動時とSet Defaultコマンド後に行われます。

1.3.20 汎用タイマ・レジスタ2

アドレス: 13h

種類: RW

表 45. 汎用タイマ・レジスタ2⁽¹⁾

ビット	名称	デフォルト	機能	コメント
7	gpt7	-	汎用タイムアウトのLSB側設定 8/fc (590 μ s) ステップで設定 590 nsから38,7 msまでの範囲	-
6	gpt6	-		
5	gpt5	-		
4	gpt4	-		
3	gpt3	-		
2	gpt2	-		
1	gpt1	-		
0	gpt0	-		

1. デフォルト設定は起動時とSet Defaultコマンド後に行われます。

1.3.21 マスク・メイン割込みレジスタ

アドレス: 14h

種類: RW

表 46. マスク・メイン割込みレジスタ⁽¹⁾

ビット	名称	デフォルト	機能	コメント
7	M_osc	0	1: 発振器周波数の安定時にIRQをマスク	-
6	M_wl	0	1: FIFOウォーター・レベルによりIRQをマスク	-
5	M_rxs	0	1: 受信の開始によりIRQをマスク	-
4	M_rxe	0	1: 受信の終了によりIRQをマスク	-
3	M_txe	0	1: 送信の終了によりIRQをマスク	-
2	M_col	0	1: ビット・コリジョンによりIRQをマスク	-
1	-	0	未使用	-
0	-	0		-

1. デフォルト設定は起動時とSet Defaultコマンド後に行われます。

1.3.22 マスク・タイマ/NFC割込みレジスタ

アドレス: 15h

種類: RW

表 47. マスク・タイマ/NFC割込みレジスタ⁽¹⁾

ビット	名称	デフォルト	機能	コメント
7	M_dct	0	1: ダイレクト・コマンドの終了によりIRQをマスク	-
6	M_nre	0	1: 応答なしタイマのタイムアウトによりIRQをマスク	-
5	M_gpe	0	1: 汎用タイマのタイムアウトによりIRQをマスク	-
4	M_eon	0	1: ターゲット・アクティブ化レベル超の外部フィールドの検出によりIRQをマスク	-
3	M_eof	0	1: ターゲット・アクティブ化レベル未満の外部フィールドの検出によりIRQをマスク	-
2	M_cac	0	1: アンチコリジョン中のコリジョン検出によりIRQをマスク	-
1	M_cat	0	1: 最小ガード・タイムのタイムアウト後にIRQをマスク	-
0	M_nfct	0	1: ターゲット・モードでイニシエータ・ビット・レートが認識されたときにIRQをマスク	-

1. デフォルト設定は起動時とSet Defaultコマンド後に行われます。

1.3.23 マスク・エラー/ウェイクアップ割込みレジスタ

アドレス: 16h

種類: RW

表 48. マスク・エラー/ウェイクアップ割込みレジスタ⁽¹⁾

ビット	名称	デフォルト	機能	コメント
7	M_crc	0	1: CRCエラーによりIRQをマスク	-
6	M_par	0	1: パリティ・エラーによりIRQをマスク	-
5	M_err2	0	1: ソフト・フレーミング・エラーによりIRQをマスク	-
4	M_err1	0	1: ハード・フレーミング・エラーによりIRQをマスク	-
3	M_wt	0	1: ウェイクアップ・タイマ割込みによりIRQをマスク	-
2	M_wam	0	1: 振幅測定によりウェイクアップIRQをマスク	-
1	M_wph	0	1: 位相測定によりウェイクアップIRQをマスク	-
0	M_wcap	0	1: 静電容量測定によりウェイクアップIRQをマスク	-

1. デフォルト設定は起動時とSet Defaultコマンド後に行われます。

1.3.24 メイン割込みレジスタ

アドレス: 17h

種類: R

表 49. メイン割込みレジスタ⁽¹⁾⁽²⁾

ビット	名称	デフォルト	機能	コメント
7	I_osc	-	発振器周波数安定時のIRQ	動作コントロール・レジスタ のenビットをセットして発振器が開始された後にセットされます。
6	I_wl	-	FIFOウォーター・レベルによるIRQ	受信中にセットされ、FIFOがほぼ一杯であり、読出しが必要であることを通知します。 送信中にセットされ、FIFOがほぼ空であり、追加データの送信が必要であることを通知します。
5	I_rxs	-	受信の開始によるIRQ	-
4	I_rxe	-	受信の終了によるIRQ	-
3	I_txe	-	送信の終了によるIRQ	-
2	I_col	-	ビット・コリジョンによるIRQ	-
1	I_tim	-	タイマまたはNFCイベントによるIRQ	詳細は タイマ/NFC割込みレジスタ 参照
0	I_err	-	エラーまたはウェイクアップ・タイマによるIRQ	詳細は エラー/ウェイクアップ割込みレジスタ 参照

1. 起動時とSet Defaultコマンドの後にこのレジスタの内容は0にセットされます。
2. メイン割込みレジスタが読み込まれた後、ビット0と1を除くレジスタの内容は0にセットされます。ビット0と1は、対応する割込みレジスタが読み込まれた後に0にセットされます。

1.3.25 タイマ/NFC割込みレジスタ

アドレス: 18h

種類: R

表 50. タイマ/NFC割込みレジスタ⁽¹⁾⁽²⁾

ビット	名称	デフォルト	機能	コメント
7	I_dct	-	ダイレクト・コマンドの終了によるIRQ	-
6	I_nre	-	応答なしタイマのタイムアウトによるIRQ	-
5	I_gpe	-	汎用タイマのタイムアウトによるIRQ	-
4	I_eon	-	ターゲット・アクティブ化レベル超の外部フィールドの検出によるIRQ	-
3	I_eof	-	ターゲット・アクティブ化レベル未満の外部フィールドの検出によるIRQ	-
2	I_cac	-	アンチコリジョン中のコリジョン検出によるIRQ	アンチコリジョン中に外部フィールドが検出された。
1	I_cat	-	最小ガード・タイムのタイムアウト後のIRQ	アンチコリジョン中に外部フィールドが検出されずに、フィールドがオンされて、NFCIP-1による最小ガード・タイムの後にIRQが送信されます。
0	I_nfct	-	ターゲット・モードでイニシエータ・ビット・レートが認識されたときのIRQ	-

1. 起動時とSet Defaultコマンドの後にこのレジスタの内容は0にセットされます。
2. メイン割込みレジスタが読み込まれた後、その内容は0にセットされます。

1.3.26 エラー/ウェイクアップ割込みレジスタ

アドレス: 19h

種類: R

表 51. エラー/ウェイクアップ割込みレジスタ⁽¹⁾⁽²⁾

ビット	名称	デフォルト	機能	コメント
7	I_crc	-	CRCエラー	-
6	I_par	-	パリティ・エラー	-
5	I_err2	-	ソフト・フレーミング・エラー	Rxデータが破壊されないフレーミング・エラー
4	I_err1	-	ハード・フレーミング・エラー	Rxデータが破壊されるフレーミング・エラー
3	I_wt	-	ウェイクアップ・タイマ割込み	Start Wake-Up Timerコマンド実行後のタイムアウト タイムアウトごとにIRQ付きオプションが選択された場合
2	I_wam	-	振幅測定によるウェイクアップIRQ	振幅測定の結果が基準値よりも Δam だけ大きかった
1	I_wph	-	位相測定によるウェイクアップIRQ	位相測定の結果が基準値よりも Δpm だけ大きかった
0	I_wcap	-	静電容量測定によるウェイクアップIRQ	静電容量測定の結果が基準値よりも Δcm だけ大きかった

1. 起動時とSet Defaultコマンドの後にこのレジスタの内容は0にセットされます。
2. メイン割込みレジスタが読み込まれた後、その内容は0にセットされます。

1.3.27 FIFOステータス・レジスタ1

アドレス: 1Ah

種類: R

表 52. FIFOステータス・レジスタ1⁽¹⁾

ビット	名称	デフォルト	機能	コメント
7	-	-	-	-
6	fifo_b6	-	FIFO内で読み出されていないバイトの数（バイナリ・コード化）	有効範囲は0（000 0000b）から96（110 0000b）まで
5	fifo_b5	-		
4	fifo_b4	-		
3	fifo_b3	-		
2	fifo_b2	-		
1	fifo_b1	-		
0	fifo_b0	-		

1. 起動時とSet Defaultコマンドの後にこのレジスタの内容は0にセットされます。

1.3.28 FIFOステータス・レジスタ2

アドレス: 1Bh

種類: R

表 53. FIFOステータス・レジスタ2⁽¹⁾⁽²⁾

ビット	名称	デフォルト	機能	コメント
7	-	-	-	-
6	fifo_unf	-	1: FIFOアンダーフロー	FIFOの実際の内容以上のバイト数が読み出された場合にセットされます。
5	fifo_ovr	-	1: FIFOオーバーフロー	-
4	fifo_ncp	-	1: 最後のFIFOバイトが不完全	-
3	fifo_lb2	-	最後のFIFOバイトが不完全だった場合（fifo_ncp=1）のその中のビット数	不完全バイトの場合、LSB部分が有効
2	fifo_lb1	-		
1	fifo_lb0	-		
0	np_lb	-	1: 最後のバイトにパリティ・ビットがない	これはフレーミング・エラーです。

1. 起動時とSet Defaultコマンドの後にこのレジスタの内容は0にセットされます。
2. FIFOが空である場合、レジスタ **FIFOステータス・レジスタ1**（0x1Ah）の値は0x00であり、レジスタ・ブロック0x1Bhのレジスタ・ビットfifo_ncp、fifo_lb2、fifo_lb1、fifo_lb0はクリアされます。FIFO読出しの正しい手順は、**FIFOステータス・レジスタ1**と**FIFOステータス・レジスタ2**の両方から読み込んだ後にFIFOを読むというものです。FIFOに不完全なバイトがある場合、2番目のレジスタの値はMCUに保存する必要があります。

1.3.29 コリジョン表示レジスタ

アドレス: 1Ch

種類: R

表 54. コリジョン表示レジスタ⁽¹⁾

ビット	名称	デフォルト	機能	コメント
7	c_byte3	-	ビットのコリジョン発生前の完全バイトの数	コリジョン表示レジスタ 範囲はISO14443Aアンチコリジョンコマンドをカバーしています。コリジョン（またはコリジョンと解釈されたフレーミング・エラー）がより長いメッセージの中で発生する場合には、 コリジョン表示レジスタ は設定されていません。
6	c_byte2	-		
5	c_byte1	-		
4	c_byte0	-		
3	c_bit2	-	コリジョンが発生したバイトの中におけるコリジョン前のビット数	
2	c_bit1	-		
1	c_bit0	-		
0	c_pb	-	1: パリティ・ビットのコリジョン	これはエラーであり、最初のコリジョンが検出された場合に報告されます。

1. 起動時とSet Defaultコマンドの後にこのレジスタの内容は0にセットされます。

1.3.30 送信バイト数レジスタ1

アドレス: 1Dh

種類: RW

表 55. 送信バイト数レジスタ1⁽¹⁾

ビット	名称	デフォルト	機能	コメント
7	ntx12	0	1コマンドで送信される予定の完全バイト数（MSB側）	対応可能な最大バイト数は8191です。
6	ntx11	0		
5	ntx10	0		
4	ntx9	0		
3	ntx8	0		
2	ntx7	0		
1	ntx6	0		
0	ntx5	0		

1. デフォルト設定は起動時とSet Defaultコマンド後に行われます。

1.3.31 送信バイト数レジスタ2

アドレス: 1Eh

種類: RW

表 56. 送信バイト数レジスタ2⁽¹⁾⁽²⁾

ビット	名称	デフォルト	機能	コメント
7	ntx4	0	1コマンドで送信される予定の完全バイト数（MSB側）	対応可能な最大バイト数は8191です。
6	ntx3	0		
5	ntx2	0		
4	ntx1	0		
3	ntx0	0		
2	nbtx2	0	分割バイトのビット数	ISO14443Aに適用可能:
1	nbtx1	0	000は、分割バイトが存在しないことを意味します（すべてのバイトが完全）。	最後のバイトが分割バイトである場合、ビット・オリエンテッド・アンチコリジョンフレーム パリティ・ビットを生成せずにTxを実行
0	nbtx0	0		

- デフォルト設定は起動時とSet Defaultコマンド後に行われます。
- カードがアイドル状態かつnbtx が000ではないときにanctlビットがセットされると、ダイレクト・コマンドWUPAが発行される間にi_parがトリガされます。

1.3.32 NFCIPビット・レート検出表示レジスタ

アドレス: 1Fh

種類: R

表 57. NFCIPビット・レート検出表示レジスタ⁽¹⁾

ビット	名称	デフォルト	機能	コメント
7	nfc_rate3	-	表 25参照	このレジスタには、NFCIP-1アクティブ通信ビット・レート検出モードの自動ビット・レート検出の結果が格納されます。
6	nfc_rate2	-		
5	nfc_rate1	-		
4	nfc_rate0	-		
3	-	-	未使用	-
2	-	-		
1	-	-		
0	-	-		

- 起動時とSet Defaultコマンドの後にこのレジスタの内容は0にセットされます。

1.3.33 A/Dコンバータ出力レジスタ

アドレス: 20h

種類: R

表 58. A/Dコンバータ出力レジスタ⁽¹⁾

ビット	名称	デフォルト	機能	コメント
7	ad7	-	最後のA/D変換の結果を表示	-
6	ad6	-		
5	ad5	-		
4	ad4	-		
3	ad3	-		
2	ad2	-		
1	ad1	-		
0	ad0	-		

1. 起動時とSet Defaultコマンド（表 9参照）の後にこのレジスタの内容は0にセットされます。

1.3.34 アンテナ補正コントロール・レジスタ

アドレス: 21h

種類: RW

表 59. アンテナ補正コントロール・レジスタ⁽¹⁾

ビット	名称	デフォルト	機能	コメント
7	trim_s	0	0: LCトリム・スイッチはダイレクト・コマンドCalibrate Antennaの結果によって設定（表 9参照） 1: LCトリム・スイッチはこのレジスタに書かれたtre_xビットによって設定	TRIMxピンのスイッチの駆動源を設定します。
6	tre_3	0	MSB	trim_s=1の場合、LCトリム・スイッチはこのレジスタに書かれたデータによって設定されます。1にセットされたビットによって、TRIM1_xピンとTRIM2_xピンのトランジスタがオンになります。
5	tre_2	0	-	
4	tre_1	0	-	
3	tre_0	0	LSB	
2	-	0	-	-
1	-	0		
0	-	0		

1. デフォルト設定は起動時とSet Defaultコマンド後に行われます。

1.3.35 アンテナ補正ターゲット・レジスタ

アドレス: 22h

種類: RW

表 60. アンテナ補正ターゲット・レジスタ⁽¹⁾

ビット	名称	デフォルト	機能	コメント
7	act7	1	ダイレクト・コマンド Calibrate Antenna のターゲット位相を設定 (表 9参照)	-
6	act6	0		-
5	act5	0		-
4	act4	0		-
3	act3	0		-
2	act2	0		-
1	act1	0		-
0	act0	0		-

1. デフォルト設定は起動時とSet Defaultコマンド後に行われます。

1.3.36 アンテナ補正表示レジスタ

アドレス: 23h

種類: R

表 61. アンテナ補正表示レジスタ⁽¹⁾

ビット	名称	デフォルト	機能	コメント
7	tri_3	-	MSB	このレジスタには、ダイレクト・コマンドCalibrate Antennaの結果が格納されます。trim_s=0の場合、LCトリム・スイッチはこのレジスタに書かれたデータによって設定されます。1にセットされたビットは、TRIM1_xピンとTRIM2_xピンに対応するトランジスタがオンであることを示しています。
6	tri_2	-	-	
5	tri_1	-	-	
4	tri_0	-	LSB	
3	tri_err	-	1: アンテナ補正エラー	補正アンテナ・シーケンスによって共振が調整できていない場合にセットされます。
2	-	-	未使用	-
1	-	-		
0	-	-		

1. 起動時とSet Defaultコマンドの後にこのレジスタの内容は0にセットされます。

1.3.37 AM変調度コントロール・レジスタ

アドレス: 24h

種類: RW

表 62. AM変調度コントロール・レジスタ⁽¹⁾

ビット	名称	デフォルト	機能	コメント
7	am_s	0	0: AM変調レベルは、ビットmod5 ~ mod0によって設定されます。レベルはCalibrate Modulation Depthコマンドによって自動調整されます（表 9 参照）。 1: AM変調レベルは、ビットdram7 ~ dram0によって設定されます。	-
6	mod5	0	MSB	AM変調レベルの設定の詳細は、 セクション 1.2.20: 63 ページのAM変調度: 設定と補正 を参照してください。
5	mod4	0	-	
4	mod3	0	-	
3	mod2	0	-	
2	mod1	0	-	
1	mod0	0	LSB	
0	-	0	-	-

1. デフォルト設定は起動時とSet Defaultコマンド後に行われます。

1.3.38 AM変調度表示レジスタ

アドレス: 25h

種類: R

表 63. AM変調度表示レジスタ⁽¹⁾

ビット	名称	デフォルト	機能	コメント
7	md_7	-	MSB	Calibrate Modulation Depthコマンドの結果を表示します。アンテナ・ドライバは、バイナリ重み付けセグメント8個によって構成されています。1にセットされたmd_xビットは、AM変調状態ではこのセグメントが無効化されることを意味しています。 エラーの場合には、オール1の値がセットされます。
6	md_6	-	-	
5	md_5	-	-	
4	md_4	-	-	
3	md_3	-	-	
2	md_2	-	-	
1	md_1	-	-	
0	md_0	-	LSB	

1. 起動時とSet Defaultコマンドの後にこのレジスタの内容は0にセットされます。

1.3.39 RFO AM変調レベル設定レジスタ

アドレス: 26h

種類: RW

表 64. RFO AM変調レベル設定レジスタ⁽¹⁾

ビット	名称	デフォルト	機能	コメント
7	dram7	0	2 Ω	アンテナ・ドライバは、バイナリ重み付けセグメント8個によって構成されています。dramビットを1にセットすると、am_sビットが1にセットされている場合、AM変調中に、対応するセグメントが無効化されます。
6	dram6	0	4 Ω	
5	dram5	0	8 Ω	
4	dram4	0	16 Ω	
3	dram3	0	32 Ω	
2	dram2	0	64 Ω	
1	dram1	0	128 Ω	
0	dram0	0	256 Ω	

1. デフォルト設定は起動時とSet Defaultコマンド後に行われます。

1.3.40 RFO通常レベル設定レジスタ

アドレス: 27h

種類: RW

表 65. RFO通常レベル設定レジスタ⁽¹⁾

ビット	名称	デフォルト	機能	コメント
7	droff7	0	2 Ω	アンテナ・ドライバは、バイナリ重み付けセグメント8個によって構成されています。droffビットを1にセットすると、通常の無変調動作中に、対応するセグメントが無効化されます。 TXドライバは2 Ωから256 Ω（公称値）でバイナリ重み付けされたセグメント8個によって構成されています。 一例としてこのレジスタを0xC0に設定すると、2 Ωと4 Ωのセグメントが無効化されます。
6	droff6	0	4 Ω	
5	droff5	0	8 Ω	
4	droff4	0	16 Ω	
3	droff3	0	32 Ω	
2	droff2	0	64 Ω	
1	droff1	0	128 Ω	
0	droff0	0	256 Ω	

1. デフォルト設定は起動時とSet Defaultコマンド後に行われます。

レジスタ27hに値としてFFhを適用すると、ドライバがトライステートになります。

1.3.41 外部フィールド検出器閾値レジスタ

アドレス: 29h

種類: RW

表 66. 外部フィールド検出器閾値レジスタ⁽¹⁾

ビット	名称	デフォルト	機能	コメント
7	-	0	未使用	-
6	trg_l2	0	ピア検出閾値 表 67参照	-
5	trg_l1	1		
4	trg_l0	1		
3	rfe_t3	0	コリジョン防止閾値 表 68参照	-
2	rfe_t2	0		
1	rfe_t1	1		
0	rfe_t0	1		

1. デフォルト設定は起動時とSet Defaultコマンド後に行われます。

表 67. RFI1入力から見たピア検出閾値

trg_l2	trg_l1	trg_l0	ターゲット・ピア検出閾値電圧 (RFI1でのmV _{pp})
0	0	0	75
0	0	1	105
0	1	0	150
0	1	1	205
1	0	0	290
1	0	1	400
1	1	0	560
1	1	1	800

表 68. RFI1入力から見たコリジョン防止閾値

rfe_3	rfe_2	rfe_1	rfe_0	標準コリジョン防止閾値電圧 (RFI1でのmV _{pp})
0	0	0	0	75
0	0	0	1	105
0	0	1	0	150
0	0	1	1	205
0	1	0	0	290
0	1	0	1	400
0	1	1	0	560
0	1	1	1	800
1	0	0	0	25
1	0	0	1	33

表 68. RFI1入力から見たコリジョン防止閾値（続き）

rfe_3	rfe_2	rfe_1	rfe_0	標準コリジョン防止閾値電圧（RFI1でのmV _{pp} ）
1	0	1	0	47
1	0	1	1	64
1	1	0	0	90
1	1	0	1	125
1	1	1	0	175
1	1	1	1	250

1.3.42 レギュレータ電圧コントロール・レジスタ

アドレス: 2Ah

種類: RW

表 69. レギュレータ電圧コントロール・レジスタ⁽¹⁾

ビット	名称	デフォルト	機能	コメント
7	reg_s	0	0: 安定化電圧は、Adjust Regulatorsコマンドの結果によって設定されます。 1: 安定化電圧は、このレジスタに書かれた rege_xビットによって設定されます。	レギュレータ電圧設定のモードを設定します。
6	rege_3	0	安定化電圧の外部設定 定義は表 71を参照 5 Vモードでは、V _{SP_D} レギュレータとV _{SP_A} レギュレータは3.4 Vに設定されます。	-
5	rege_2	0		
4	rege_1	0		
3	rege_0	0		
2	mpsv1	0	00: V _{DD} 01: V _{SP_A}	ダイレクト・コマンドMeasure Power Supplyの電源を設定します。
1	mpsv0	0	10: V _{SP_D} 11: V _{SP_RF}	
0	-	0	-	

1. デフォルト設定は起動時とSet Defaultコマンド後に行われます。

1.3.43 レギュレータ/タイマ表示レジスタ

アドレス: 2Bh

種類: R

表 70. レギュレータ/タイマ表示レジスタ⁽¹⁾

ビット	名称	デフォルト	機能	コメント
7	reg_3	-	実際の安定化電圧設定 定義は表 71を参照	-
6	reg_2	-		
5	reg_1	-		
4	reg_0	-		
3	-	-	-	-
2	gpt_on	-	1: 汎用タイマが動作中	
1	nrt_on	-	1: 応答なしタイマが動作中	
0	mrt_on	-	1: マスク受信タイマが動作中	

1. 1: 起動時とSet Defaultコマンドの後に、安定化電圧は最高3.4Vに設定されます。

表 71. 安定化電圧

reg_3	reg_2	reg_1	reg_0	標準安定化電圧 (V)	
rege_3	rege_2	rege_1	rege_0	5 Vモード	3.3 Vモード
1	1	1	1	5.1	3.4
1	1	1	0	4.98	3.3
1	1	0	1	4.86	3.2
1	1	0	0	4.74	3.1
1	0	1	1	4.62	3.0
1	0	1	0	4.50	2.9
1	0	0	1	4.38	2.8
1	0	0	0	4.26	2.7
0	1	1	1	4.14	2.6
0	1	1	0	4.02	2.5
0	1	0	1	3.90	2.4
それ以外の組み合わせ				未使用	

1.3.44 RSSI表示レジスタ

アドレス: 2Ch

種類: R

表 72. RSSI表示レジスタ⁽¹⁾⁽²⁾

ビット	名称	デフォルト	機能	コメント
7	rss_i_am_3	-	AM チャネルRSSI ピーク値定義は 表 73を参照	AMチャネルRSSI測定のパーク値を格納します。トランスポンダ・メッセージの最初とClear RSSIコマンドによって自動的にクリアされます。
6	rss_i_am_2	-		
5	rss_i_am_1	-		
4	rss_i_am_0	-		
3	rss_i_pm_3	-	PM チャネルRSSI ピーク値定義は 表 73を参照	PMチャネルRSSI測定のパーク値を格納します。トランスポンダ・メッセージの最初とClear RSSIコマンドによって自動的にクリアされます。
2	rss_i_pm_2	-		
1	rss_i_pm_1	-		
0	rss_i_pm_0	-		

1. 起動時とSet Defaultコマンドの後にこのレジスタの内容は0にセットされます。
2. ビット0x30[7]は、内部で使用するロジックでどちらのRSSI値が用いられるかを示します。

表 73. RSSI

rss_i_3	rss_i_2	rss_i_1	rss_i_0	RF11における標準信号 (mV _{rms})
0	0	0	0	≤20
0	0	0	1	>20
0	0	1	0	>27
0	0	1	1	>37
0	1	0	0	>52
0	1	0	1	>72
0	1	1	0	>99
0	1	1	1	>136
1	0	0	0	>190
1	0	0	1	>262
1	0	1	0	>357
1	0	1	1	>500
1	1	0	0	>686
1	1	0	1	>950
1	1	1	0	未使用
1	1	1	1	

1.3.45 ゲイン減少状態レジスタ

アドレス: 2Dh

種類: R

表 74. ゲイン減少状態レジスタ⁽¹⁾

ビット	名称	デフォルト	機能	コメント
7	gs_am_3	-	MSB	AM（振幅）チャネルの第2ステージの実際のゲイン減少（レジスタ・ゲイン減少、スケルチ、AGCを含む）
6	gs_am_2	-	-	
5	gs_am_1	-	-	
4	gs_am_0	-	LSB	
3	gs_pm_3	-	MSB	PM（位相）チャネルの第2ステージの実際のゲイン減少（レジスタ・ゲイン減少、スケルチ、AGCを含む）
2	gs_pm_2	-	-	
1	gs_pm_1	-	-	
0	gs_pm_0	-	LSB	

1. 起動時とSet Defaultコマンドの後にこのレジスタの内容は0にセットされます。

1.3.46 静電容量センサ・コントロール・レジスタ

アドレス: 2Eh

種類: RW

表 75. 静電容量センサ・コントロール・レジスタ⁽¹⁾

ビット	名称	デフォルト	機能	コメント
7	cs_mcal4	0	手動補正值 オール 0 の値によって自動補正モードが有効化	バイナリ重み付け、ステップ 0.1 pF、最大 3.1 pF
6	cs_mcal3	0		
5	cs_mcal2	0		
4	cs_mcal1	0		
3	cs_mcal0	0		
2	cs_g2	0	000: 2.8 V/pF 001: 6.5 V/pF	静電容量センサ・ゲインの標準値
1	cs_g1	0	010: 1.1 V/pF 100: 0.5 V/pF	
0	cs_g0	0	110: 0.35 V/pF その他: 未使用	

1. 起動時とSet Defaultコマンドの後にこのレジスタの内容は0にセットされます。

1.3.47 静電容量センサ表示レジスタ

アドレス: 2Fh

種類: R

表 76. 静電容量センサ表示レジスタ⁽¹⁾

ビット	名称	デフォルト	機能	コメント
7	cs_cal4	-	静電容量センサ補正値	バイナリ重み付け、ステップ0.1 pF、最大3.1 pF
6	cs_cal3	-		
5	cs_cal2	-		
4	cs_cal1	-		
3	cs_cal0	-		
2	cs_cal_end	-	1: 補正終了	-
1	cs_cal_err	-	1: 補正エラー	-
0	-	-	-	-

1. 起動時とSet Defaultコマンドの後にこのレジスタの内容は0にセットされます。

1.3.48 補助表示レジスタ

アドレス: 30h

種類: R

表 77. 補助表示レジスタ⁽¹⁾

ビット	名称	デフォルト	機能	コメント
7	a_cha	-	0: AM 1: PM	現在選択されているチャンネル
6	efd_o	-	1: 検出された外部フィールド	外部フィールド検出器出力
5	tx_on	-	1: 送信がアクティブ	-
4	osc_ok	-	1: 水晶発振が安定	水晶発振器が動作中でありその出力が安定していることを示します。
3	rx_on	-	1: 受信コードが有効	-
2	rx_act	-	1: 受信コードがメッセージを受信中	-
1	nfc_t	-	1: ピア検出モードで外部フィールド検出器が動作中	-
0	en_ac	-	1: アンチコリジョンモードで外部フィールド検出器が動作中	-

1. 起動時とSet Defaultコマンドの後にこのレジスタの内容は0にセットされます。

1.3.49 ウェイクアップ・タイマ・コントロール・レジスタ

アドレス: 31h

種類: RW

表 78. ウェイクアップ・タイマ・コントロール・レジスタ⁽¹⁾

ビット	名称	デフォルト	機能	コメント
7	wur	0	0: 100 ms 1: 10 ms	ウェイクアップ・タイマ範囲
6	wut2	0	表 79参照	ウェイクアップ・タイマ・タイムアウト値
5	wut1	0		
4	wut0	0		
3	wto	0	1: タイムアウトごとのIRQ	-
2	wam	0	1: タイムアウトで振幅測定を実行	差が Δam よりも大きい場合にIRQ
1	wph	0	1: タイムアウトで位相測定を実行	差が Δpm よりも大きい場合にIRQ
0	wcap	0	1: タイムアウトで静電容量測定を実行	差が Δcm よりも大きい場合にIRQ

1. デフォルト設定は起動時とSet Defaultコマンド後に行われます。

表 79. 標準ウェイクアップ時間

wut2	wut1	wut0	100 msレンジ (wur=0)	10 msレンジ (wur=1)
0	0	0	100 ms	10 ms
0	0	1	200 ms	20 ms
0	1	0	300 ms	30 ms
0	1	1	400 ms	40 ms
1	0	0	500 ms	50 ms
1	0	1	600 ms	60 ms
1	1	0	700 ms	70 ms
1	1	1	800 ms	80 ms

1.3.50 振幅測定コンフィギュレーション・レジスタ

アドレス: 32h

種類: RW

表 80. 振幅測定コンフィギュレーション・レジスタ⁽¹⁾

ビット	名称	デフォルト	機能	コメント
7	am_d3	0	Δam の設定 (割込みをトリガする基準値との差)	-
6	am_d2	0		
5	am_d1	0		
4	am_d0	0		
3	am_aam	0	0: IRQ測定を除く 1: IRQ測定を含む	自動平均化において、IRQの原因となる測定 (基準値に対して、差 $> \Delta am$ であるもの) を含みます / 除きます。
2	am_aew1	0	00: 4 01: 8	自動平均化に対して最後の測定結果の重みを設定します。
1	am_aew2	0	10: 16 11: 32	
0	am_ae	0	0: 振幅測定基準レジスタを使用 1: 基準として振幅測定自動平均化を使用	振幅測定ウェイクアップ・モードの基準値を選択します。

1. デフォルト設定は起動時とSet Defaultコマンド後に行われます。

1.3.51 振幅測定基準レジスタ

アドレス: 33h

種類: RW

表 81. 振幅測定基準レジスタ⁽¹⁾

ビット	名称	デフォルト	機能	コメント
7	am_ref7	0	-	-
6	am_ref6	0	-	-
5	am_ref5	0	-	-
4	am_ref4	0	-	-
3	am_ref3	0	-	-
2	am_ref2	0	-	-
1	am_ref1	0	-	-
0	am_ref0	0	-	-

1. デフォルト設定は起動時とSet Defaultコマンド後に行われます。

1.3.52 振幅測定自動平均化表示レジスタ

アドレス: 34h

種類: R

表 82. 振幅測定自動平均化表示レジスタ⁽¹⁾

ビット	名称	デフォルト	機能	コメント
7	amd_aad7	0	-	-
6	amd_aad6	0	-	-
5	amd_aad5	0	-	-
4	amd_aad4	0	-	-
3	amd_aad3	0	-	-
2	amd_aad2	0	-	-
1	amd_aad1	0	-	-
0	amd_aad0	0	-	-

1. 起動時とSet Defaultコマンドの後にこのレジスタの内容は0にセットされます。

1.3.53 振幅測定表示レジスタ

アドレス: 35h

種類: R

表 83. 振幅測定表示レジスタ⁽¹⁾

ビット	名称	デフォルト	機能	コメント
7	am_amd7	0	-	-
6	am_amd6	0	-	-
5	am_amd5	0	-	-
4	am_amd4	0	-	-
3	am_amd3	0	-	-
2	am_amd2	0	-	-
1	am_amd1	0	-	-
0	am_amd0	0	-	-

1. 起動時とSet Defaultコマンドの後にこのレジスタの内容は0にセットされます。

1.3.54 位相測定コンフィギュレーション・レジスタ

アドレス: 36h

種類: RW

表 84. 位相測定コンフィギュレーション・レジスタ⁽¹⁾

ビット	名称	デフォルト	機能	コメント
7	pm_d3	0	Δpm の設定（割込みをトリガする基準値との差）	-
6	pm_d2	0		
5	pm_d1	0		
4	pm_d0	0		
3	pm_aam	0	0: IRQ測定を除く 1: IRQ測定を含む	自動平均化において、IRQの原因となる測定（基準値に対して、差 $> \Delta pm$ であるもの）を含みます / 除きます。
2	pm_aew1	0	00: 4 01: 8	自動平均化に対して最後の測定結果の重みを設定します。
1	pm_aew0	0	10: 16 11: 32	
0	pm_ae	0	0: 位相測定基準レジスタ を使用 1: 基準として位相測定自動平均化を使用	位相測定ウェイクアップ・モードの基準値を選択します。

1. デフォルト設定は起動時とSet Defaultコマンド後に行われます。

1.3.55 位相測定基準レジスタ

アドレス: 37h

種類: RW

表 85. 位相測定基準レジスタ⁽¹⁾

ビット	名称	デフォルト	機能	コメント
7	pm_ref7	0	-	-
6	pm_ref6	0	-	-
5	pm_ref5	0	-	-
4	pm_ref4	0	-	-
3	pm_ref3	0	-	-
2	pm_ref2	0	-	-
1	pm_ref1	0	-	-
0	pm_ref0	0	-	-

1. デフォルト設定は起動時とSet Defaultコマンド後に行われます。

1.3.56 位相測定自動平均化表示レジスタ

アドレス: 38h

種類: R

表 86. 位相測定自動平均化表示レジスタ⁽¹⁾

ビット	名称	デフォルト	機能	コメント
7	pm_aad7	0	-	-
6	pm_aad6	0	-	-
5	pm_aad5	0	-	-
4	pm_aad4	0	-	-
3	pm_aad3	0	-	-
2	pm_aad2	0	-	-
1	pm_aad1	0	-	-
0	pm_aad0	0	-	-

1. 起動時とSet Defaultコマンドの後にこのレジスタの内容は0にセットされます。

1.3.57 位相測定表示レジスタ

アドレス: 39h

種類: R

表 87. 位相測定表示レジスタ⁽¹⁾

ビット	名称	デフォルト	機能	コメント
7	pm_amd7	0	0	-
6	pm_amd6	0	0	-
5	pm_amd5	0	0	-
4	pm_amd4	0	0	-
3	pm_amd3	0	0	-
2	pm_amd2	0	0	-
1	pm_amd1	0	0	-
0	pm_amd0	0	0	-

1. 起動時とSet Defaultコマンドの後にこのレジスタの内容は0にセットされます。

1.3.58 静電容量測定コンフィギュレーション・レジスタ

アドレス: 3Ah

種類: RW

表 88. 静電容量測定コンフィギュレーション・レジスタ⁽¹⁾

ビット	名称	デフォルト	機能	コメント
7	cm_d3	0	Δcm の設定（割込みをトリガする基準値との差）	-
6	cm_d2	0		
5	cm_d1	0		
4	cm_d0	0		
3	cm_aam	0	0: IRQ測定を除く 1: IRQ測定を含む	自動平均化において、IRQの原因となる測定（基準値に対して、差 $> \Delta cm$ であるもの）を含みます / 除きます。
2	cm_aew1	0	00: 4 01: 8 10: 16 11: 32	自動平均化に対して最後の測定結果の重みを設定します。
1	cm_aew0	0		
0	cm_ae	0	0: 静電容量測定基準レジスタを使用 1: 基準として静電容量測定自動平均化を使用	静電容量測定ウェイクアップ・モードの基準値を選択します。

1. デフォルト設定は起動時とSet Defaultコマンド後に行われます。

1.3.59 静電容量測定基準レジスタ

アドレス: 3Bh

種類: RW

表 89. 静電容量測定基準レジスタ⁽¹⁾

ビット	名称	デフォルト	機能	コメント
7	cm_ref7	0	-	-
6	cm_ref6	0	-	-
5	cm_ref5	0	-	-
4	cm_ref4	0	-	-
3	cm_ref3	0	-	-
2	cm_ref2	0	-	-
1	cm_ref1	0	-	-
0	cm_ref0	0	-	-

1. デフォルト設定は起動時とSet Defaultコマンド後に行われます。

1.3.60 静電容量測定自動平均化表示レジスタ

アドレス: 3Ch

種類: R

表 90. 静電容量測定自動平均化表示レジスタ⁽¹⁾

ビット	名称	デフォルト	機能	コメント
7	cm_aad7	0	-	-
6	cm_aad6	0	-	-
5	cm_aad5	0	-	-
4	cm_aad4	0	-	-
3	cm_aad3	0	-	-
2	cm_aad2	0	-	-
1	cm_aad1	0	-	-
0	cm_aad0	0	-	-

1. 起動時とSet Defaultコマンドの後にこのレジスタの内容は0にセットされます。

1.3.61 静電容量測定ディスプレイ・レジスタ

アドレス: 3Dh

種類: R

表 91. 静電容量測定ディスプレイ・レジスタ⁽¹⁾

ビット	名称	デフォルト	機能	コメント
7	cm_amd7	0	-	-
6	cm_amd6	0	-	-
5	cm_amd_	0	-	-
4	cm_amd_	0	-	-
3	cm_amd3	0	-	-
2	cm_amd2	0	-	-
1	cm_amd1	0	-	-
0	cm_amd0	0	-	-

1. 起動時とSet Defaultコマンドの後にこのレジスタの内容は0にセットされます。

1.3.62 IC識別レジスタ

アドレス: 3Dh

種類: R

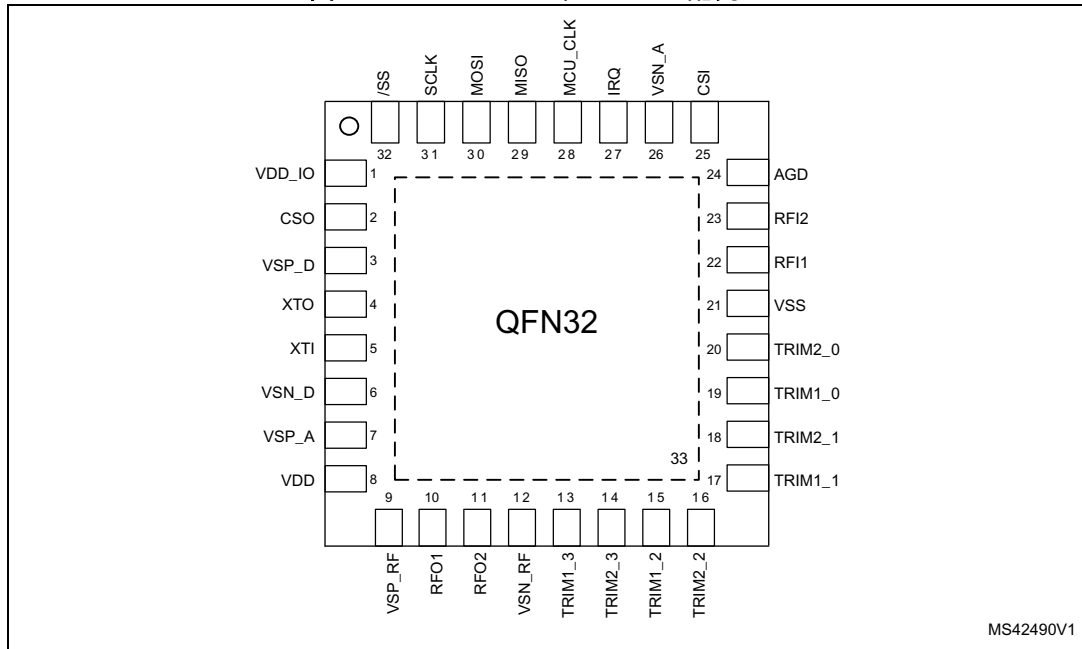
表 92. IC識別レジスタ

ビット	名称	デフォルト	機能	コメント
7	ic_type4	-	ST25R3911Bのコード: 00001	5ビットIC種別コード
6	ic_type3	-		
5	ic_type2	-		
4	ic_type1	-		
3	ic_type0	-		
2	ic_rev2	-	010: シリコン r3.1	3ビットIC種別コード
1	ic_rev1	-	011: シリコン r3.3	
0	ic_rev0	-	100: シリコン r4.0	

2 ピン配列とピン説明

ST25R3911Bのピンとパッドの割当てを [図 30](#)に示します。

図 30. ST25R3911BQFN32ピン配列 (1)



1. 上図はパッケージ上面図です。

表 93. ST25R3911Bピン定義 - QFN32パッケージ

ピン番号	ピン名称	ピン種別	説明
1	VDD_IO	電源パッド	ペリフェラル通信用正電源
2	CSO	アナログ出力	コンデンサ・センサ出力
3	VSP_D		デジタル電源レギュレータ出力
4	XTO		水晶発振器出力
5	XTI	アナログ入力 / デジタル入力	水晶発振器入力
6	VSN_D	電源パッド	デジタル GND
7	VSP_A	アナログ出力	アナログ電源レギュレータ出力
8	VDD	電源パッド	外部正電源
9	VSP_RF	アナログ出力	アンテナ・ドライバ用電源レギュレータ出力
10	RFO1		アンテナ・ドライバ出力
11	RFO2		
12	VSN_RF	電源パッド	アンテナ・ドライバ GND

表 93. ST25R3911Bピン定義 - QFN32パッケージ（続き）

ピン番号	ピン名称	ピン種別	説明
13	TRIM1_3	アナログ I/O	トリム・アンテナ共振回路への入力
14	TRIM2_3		
15	TRIM1_2		
16	TRIM2_2		
17	TRIM1_1		
18	TRIM2_1		
19	TRIM1_0		
20	TRIM2_0		
21	VSS	電源パッド	GND、ダイ基板電位
22	RFI1	アナログ入力	レシーバ入力
23	RFI2		
24	AGD	アナログ I/O	アナログ基準電圧
25	CSI	アナログ入力	コンデンサ・センサ入力
26	VSN_A	電源パッド	アナログ GND
27	IRQ	デジタル出力	割込み要求出力
28	MCU_CLK		マイクロコントローラ・クロック出力
29	MISO	デジタル出力 / トライステート	シリアル・ペリフェラル・インタフェース・データ出力
30	MOSI	デジタル入力	シリアル・ペリフェラル・インタフェース・データ入力
31	SCLK		シリアル・ペリフェラル・インタフェース・クロック
32	/SS		シリアル・ペリフェラル・インタフェース・イネーブル (アクティブ Low)
33	VSS	電源	GND、ダイ基板電位、PCB の V_{SS} に接続

3 電気的特性

3.1 絶対最大定格

表 94と表 95と表 96に記載された値を超える電氣的ストレスにより、デバイスが致命的なダメージを受けることがあります。ここには電氣的ストレス定格のみが記載されています。

これらの条件、またはセクション 3.2: 動作条件に示した値を超える、それ以外の何らかの条件におけるデバイスの機能動作を保証するものではありません。絶対最大定格の条件に長時間さらされると、デバイスの信頼性に影響を受けるおそれがあります。

表 94. 電氣的パラメータ

記号	パラメータ	最小	最大	単位	コメント
V_{DD}	DC電源電圧	-0.5	6.0	V	-
V_{DD_IO}	DC_IO電源電圧	-0.5	6.0	V	-
V_{INTRIM}	TRIMピンの入力ピン電圧	-0.5	25.0	V	-
V_{IN}	ペリフェラル通信ピンの入力ピン電圧	-0.5	6.5	V	-
V_{INA}	アナログピンの入力ピン電圧	-0.5	6.0	V	-
I_{scr}	入力電流（ラッチアップ耐性）	-100	100	mA	標準: JEDEC 78
I_{outmax}	出力ドライバの駆動能力	0	600	mA	-

表 95. 静電気放電

記号	パラメータ	最小	最大	単位	コメント
ESD	静電気放電	± 2		kV	JS-001-2014規格（人体モデル）
		± 500		V	JS-001-2014規格（人体モデル） TRIMx_xピンに適用（13～20番ピン）

表 96. 温度範囲と保存条件

記号	パラメータ	最小	最大	単位	コメント
T_{strg}	保存温度	-55	125	°C	-
T_{body}	パッケージ本体温度	-	260	°C	リフローはんだ付けピーク温度（本体温度）は、IPC/JEDEC J-STD-020「非ハーメチック固体表面実装デバイス用水分/リフロー感受性区分」によって規定されています。 鉛フリー・リード付きパッケージのリード仕上げは「マット錫」（100% Sn）です。
RH_{NC}	相対湿度 結露無きこと	5	85	%	-
MSL	感湿性レベル	3		-	最大フロア・ライフ時間が168hであることを示す

3.2 動作条件

すべての限度値は保証されています。最小値と最大値が付いているパラメータは、生産試験手法またはSQC（統計的品質管理）手法によって保証されています。

この仕様において外部コンポーネントに対し定義されているすべての誤差は、動作条件範囲全体にわたって、かつ耐用年数の間、保証される必要があります。

表 97. 動作条件

記号	パラメータ	最小	最大	単位	コメント
V_{DD}	正電源電圧	2.4	5.5	V	電源電圧が2.6 Vよりも低い場合には、内部レギュレータを用いてPSSRを改善することはできません（最低安定化電圧は2.4 V）。
V_{DD_IO}	ペリフェラル通信電源電圧	1.65	5.5	V	
V_{SS}	負電源電圧	0	0	V	-
V_{INTRIM}	入力ピン電圧 TRIMピン	-	20	V	-
T_{JUN}	ジャンクション温度	-40	125	°C	-
V_{RFI_A}	RFI入力振幅	0.150	3	V_{pp}	最小RFI入力信号の規定はNFC受信モード用です。 HFリーダライタ・モードとNFC送信モードでは、推奨信号レベルは2.5 V_{pp} となります。
RFO	駆動電流	0	500	mA	-

3.3 デジタル入出力のDC/AC特性

3.3.1 CMOS入力

入力ピン SS 、 $MOSI$ 、 $SCLK$ に適用

表 98. CMOS入力

記号	パラメータ	最小	最大	単位
V_{IH}	Highレベル入力電圧	$0.7 * V_{DD_IO}$	V_{DD_IO}	V
V_{IL}	Lowレベル入力電圧	V_{SS}	$0.3 * V_{DD_IO}$	V
I_{LEAK}	入力リーク電流	-1	1	μA

3.3.2 CMOS出力

出力ピン $MISO$ 、 IRQ 、 MCU_CLK 、 $io_18=0$ （*IOコンフィギュレーション・レジスタ2*）に適用

表 99. CMOS出力

記号	パラメータ	条件	最小	標準	最大	単位
V_{OH}	Highレベル出力電圧	$I_{SOURCE/SINK} = 1mA$ 、 $V_{DDIO} = 2.4 V$ での測定値	$0.9 * V_{DD_IO}$	-	V_{DD_IO}	V
V_{OL}	Lowレベル出力電圧		0	-	$0.1 * V_{DD_IO}$	V
C_L	容量性負荷	-	0	-	50	pF

表 99. CMOS出力（続き）

記号	パラメータ	条件	最小	標準	最大	単位
R_O	出力抵抗	-	0	250	550	Ω
R_{PD}	プルダウン抵抗 MISOピン	プルダウンはMISO出力がトライステート時に有効化可能。アクティブ化はレジスタ設定により制御。	5	10	15	k Ω

3.4 電気的仕様

特記なき場合、 $V_{DD} = 3.3\text{ V}$ 、温度 $25\text{ }^{\circ}\text{C}$

3.3 V電源モード、安定化電圧は3.4 Vに設定、27.12 MHz水晶はXTOとXTIに接続

表 100. 電気的仕様

記号	パラメータ	最小	標準	最大	単位	コメント
I_{PD}	パワーダウン・モードにおける電源電流	0.2	0.7	2	μA	レジスタ00hは0Fh（MCU_CLKにクロックなし）に設定、レジスタ01hは80h（3 V電源モード）に設定、レジスタ02hは00hに設定、レジスタ03hは08hに設定、それ以外のレジスタはデフォルト状態
I_{NFC}	初期のNFCターゲット・モードにおける電源電流	2.2	3.5	7	μA	レジスタ00hは0Fh（MCU_CLKにクロックなし）に設定、レジスタ01hは80h（3 V電源モード）に設定、レジスタ02hは00hに設定、レジスタ03hは80h（NFCターゲット・モード・イネーブル）に設定、それ以外のレジスタはデフォルト状態
I_{WU}	ウェイクアップ・モードにおける電源電流	1.6	3.6	8	μA	レジスタ00hは0Fh（MCU_CLKにクロックなし）に設定、レジスタ01hは80h（3 V電源モード）に設定、レジスタ02hは04h（ウェイクアップ・モード・イネーブル）に設定、レジスタ03hは08hに設定、レジスタ31hは08h（100 msタイムアウト、タイムアウトごとにIRQ）、それ以外のレジスタはデフォルト状態
I_{CS}	静電容量センサ電源電流	0.6	1.1	2	mA	レジスタ00hは0Fh（MCU_CLKにクロックなし）に設定、レジスタ01hは80h（3 V電源モード）に設定、レジスタ02hは00hに設定、アナログ・テスト・モード14、それ以外のレジスタはデフォルト状態
I_{RD}	レディ・モードにおける電源電流	4.0	5.4	7.5	mA	レジスタ00hは0Fh（MCU_CLKにクロックなし）に設定、レジスタ01hはC0h（3 V電源モード、VSP_D無効）に設定、レジスタ02hは80hに設定、レジスタ03hは08hに設定、それ以外のレジスタはデフォルト状態、VSP_AとVSP_Dを短絡
I_{AL}	電源電流、全アクティブ	6.2	8.7	12.5	mA	レジスタ00hは0Fhに設定、レジスタ01hはC0h（3 V電源モード、VSP_D無効）、レジスタ02hはE8h（1チャンネルRx、Tx有効）に設定、レジスタ03hは08hに設定、レジスタ0Bhは00h、レジスタ27hはFFh（全RFOセグメント無効）に設定、それ以外のレジスタはデフォルト状態、VSP_AとVSP_Dを短絡

表 100. 電氣的仕様 (続き)

記号	パラメータ	最小	標準	最大	単位	コメント
I_{LP}	電源電流、 全アクティブ ローパワー・レシーバ・ モード	4.8	6.8	10	mA	レジスタ00hは0Fhに設定、レジスタ01hはC0 (3 V電源モード、VSP_D無効)、レジスタ02hはE8h (1チャンネルRx、Tx有効) に設定、レジスタ03hは08に設定、レジスタ0Bhは80 (ローパワー・モード)、レジスタ27hはFFh (全RFOセグメント無効) に設定、それ以外のレジスタはデフォルト状態、VSP_AとVSP_Dを短絡
R_{RFO}	RFO1 / RFO2ドライバ 出力抵抗	0.25	0.6	1.8	Ω	$I_{RFO} = 10 \text{ mA}$ 測定装置の抵抗をキャンセルする次の測定手順を使用: - すべてのドライバ・セグメントをオンにして、抵抗値を測定 - MSBセグメントを除くすべてのドライバ・セグメントをオンにして、抵抗値を測定 - この2つの測定値の差がMSBセグメントの抵抗値 - MSBセグメントの抵抗値を2倍したものが R_{RFO} の値
Z_{load}	RFO1とRFO2両端の負荷 インピーダンス	8	10	50	Ω	最低値を下回る負荷インピーダンスを使用すると、デバイスが致命的に破壊されることがあります。
V_{RFI}	RFI入力感度	-	0.5	-	mV _{rms}	$f_{SUB}=848 \text{ kHz}$ 、ピーク検出器入力ステージ付きAMチャネルを選択
R_{RFI}	RFI入力抵抗	5	10	15	k Ω	-
V_{POR}	パワー・オン・リセット電圧	1.31	1.5	1.75	V	-
V_{AGD}	AGD電圧	1.4	1.5	1.6	V	レジスタ00hは0Fh (MCU_CLKにクロックなし) に設定、レジスタ01hはC0h (3 V電源モード、VSP_D無効) に設定、レジスタ02hは80hに設定、レジスタ03hは08hに設定、それ以外のレジスタはデフォルト状態、VSP_AとVSP_Dを短絡
V_{REG}	安定化電圧	2.80	3.0	3.32	V	手動レギュレータ・モード、安定化電圧は3.0 Vに設定、VSP_RFピンにて測定、レジスタ00hは0Fhに設定、レジスタ01hは80h (3 V電源モード) に設定、レジスタ02hはE8h (1チャンネルRx、Tx有効) に設定、レジスタ2AhはD8hに設定
T_{OSC}	発振器 起動時間	0.65	0.7	10	ms	13.56 MHz水晶または27.12 MHz水晶 ESR_{MAX} = 最大150 Ω 、水晶の仕様による負荷容量、発振器出力が安定するとIRQが発行されるパラメータは ESR_{MAX} パラメータとともに変化

3.5 標準動作特性

3.5.1 耐熱性と最大消費電力

図 31. 異なる銅面積における T_{CASE} 対電力 ($T_{amb} = 25^{\circ}\text{C}$)

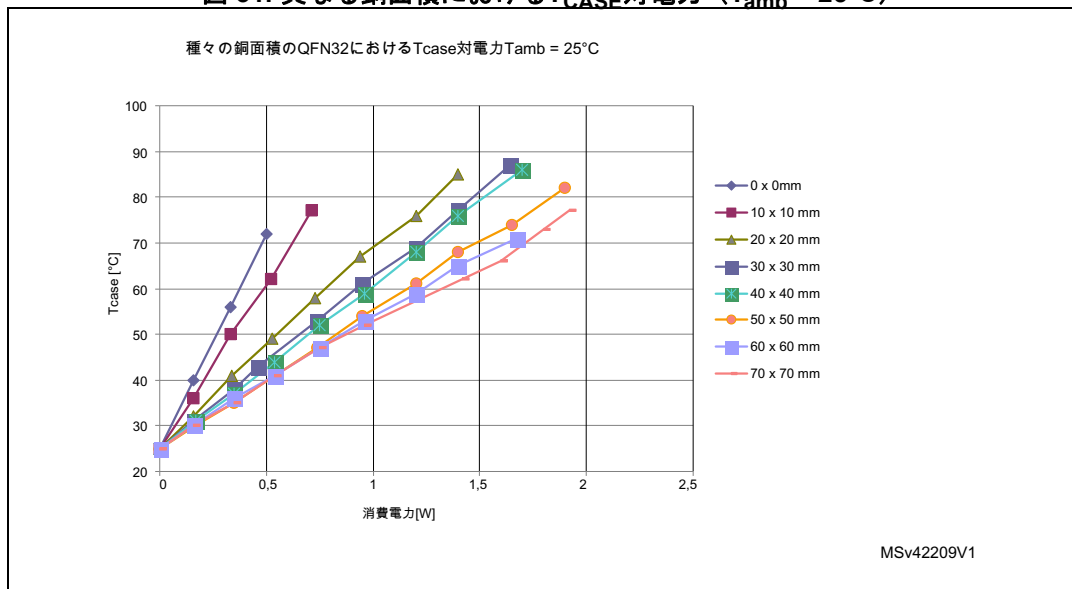
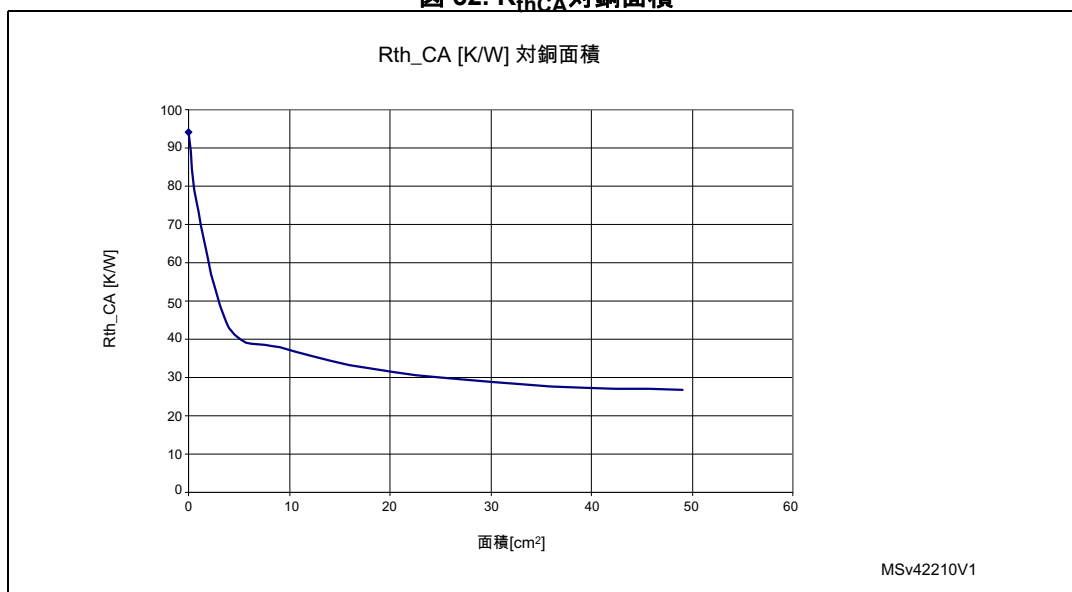


図 32. R_{thCA} 対銅面積



4 パッケージ情報

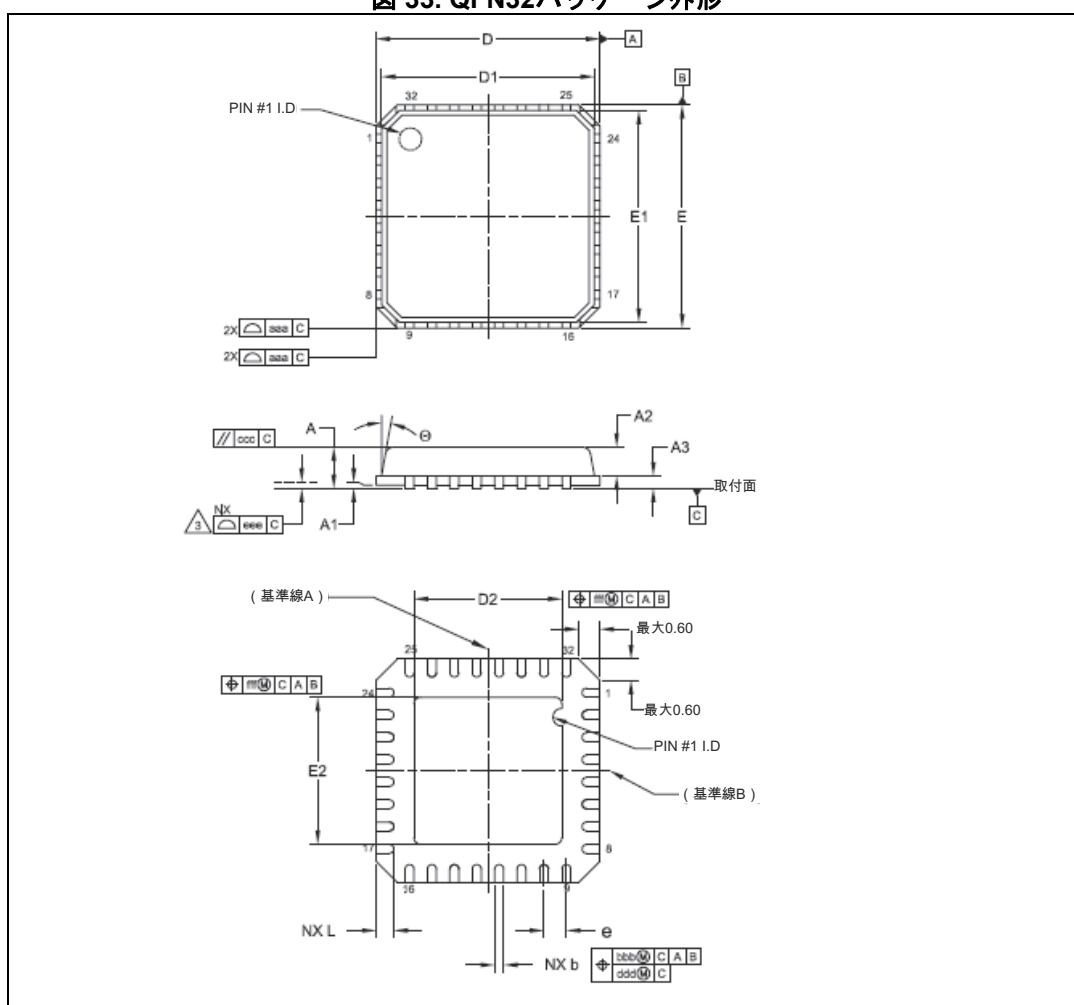
STでは、環境要件を満たすために、環境適合性のレベルに合わせた各種グレードのECOPACK®パッケージを提供しています。ECOPACK®の仕様とグレードの定義、製品状況はwww.st.comから入手可能です。

ECOPACK®はSTの商標です。

4.1 QFN32パッケージ情報

ST25R3911Bは32ピンQFN（5 x 5 mm）パッケージで提供されています（[図 33](#)参照）。各寸法の詳細を[表 101](#)に示します。

図 33. QFN32パッケージ外形



1. 寸法記入法と公差はASME Y14.5M-1994に準拠しています。
2. 平坦度は端子だけではなく、露出ヒート・スラグにも適用されます。
3. 端子の半径はオプションです。
4. Nは端子の総数です。
5. この図面は予告なく変更されることがあります。

表 101. QFN32 5 mm x 5 mm寸法⁽¹⁾

記号 (図 33に規定)	最小値	標準値	最大値
A	0.80	0.90	1.00
A1	0	0.02	0.05
A2	-	0.65	1.00
A3	-	0.20	-
L	0.35	0.40	0.45
q	0°	-	14°
b	0.18	0.25	0.30
D	-	5.00 (BSC)	-
E	-	5.00 (BSC)	-
e	-	0.50 (BSC)	-
D2	3.40	3.50	3.60
E2	3.40	3.50	3.60
D1	-	4.75 (BSC)	-
E1	-	4.75 (BSC)	-
aaa	-	0.15	-
bbb	-	0.10	-
ccc	-	0.10	-
ddd	-	0.05	-
eee	-	0.08	-
fff	-	0.10	-
N ⁽²⁾	32		

- すべての寸法はミリメートル単位です。すべての角度は度単位です。
- 端子の総数

5 部品番号

表 102. 発注情報体系

例:	ST25 R 39	11B - A	QF	T
デバイス種別				
ST25 = NFC/RFIDタグ & リーダライタ				
製品種別				
R = リーダライタ				
周波数範囲				
39 = HF製品				
製品機能				
11B = VHBR/AAT対応1.4 W高性能 HF リーダライタ / NFC イニシエータ				
温度範囲				
A = -40 °C ~ 125 °C				
パッケージ				
QF = 32ピンQFN (5 x 5 mm)				
テーピングとリール				
T = 4000個/リール				

注 : 「ES」または「E」とマーキングされているか、エンジニアリング・サンプル通知文書が添付されている部品は認定前の部品であり、生産に使用するためのものではありません。そのような使用に由来するあらゆる結果については、STはその責任を負わないものとします。お客様によるこれらエンジニアリング・サンプルの生産での使用については、STはいかなる場合もその責を負いません。これらエンジニアリング・サンプルの認定目的での使用を決定する前に、STの品質保証部門までお問い合わせください。

表 103. 発注情報体系（未切断ウェハ）⁽¹⁾

例:	ST25	R	39	11B -	A	SW	B
デバイス種別							
ST25 = NFC/RFIDタグ / リーダ							
製品種別							
R = リーダ							
周波数範囲							
39 = HF製品							
製品機能							
11B = VHBR/AAT対応1.4 W高性能HFリーダライタ / NFCイニシエータ							
温度範囲							
A = -40 °C ~ 125 °C							
納入形態							
SW = ソート済みウェハ							
納入媒体							
B = ウェハ箱							

1. 未切断ウェハで納入されたST25R3911Bに関するすべての情報については、最寄りのST販売オフィスまでお問い合わせください。



6 改訂履歴

表 104. 文書改訂履歴

日付	版	変更内容
2016年9月26日	1	初版発行
2016年12月16日	2	<p>表紙の文書タイトルと画像を更新</p> <p>機能と説明を更新</p> <p>セクション 1: 機能概要、セクション 1.1.1: トランスミッタ、セクション 1.1.2: レシーバ、セクション 1.1.3: 位相・振幅検出器、セクション 1.1.5: 静電容量センサ、セクション 1.1.7: 水晶発振器、セクション 1.1.8: 電源レギュレータ、セクション 1.1.9: PORとバイアス、セクション 1.1.10: RC発振器とウェイクアップ・タイマ、セクション 1.2.2: トランスミッタ、復調ステージ、フィルタリング/ゲインステージ、デジタル化ステージ、スケルチ、NFCIP-1 アクティブ通信モードのレシーバ、セクション 1.2.4: 静電容量センサ、セクション 1.2.5: ウェイクアップ・モード、自動平均化、セクション 1.2.8: A/Dコンバータ、セクション 1.2.12: 外部マイクロコントローラとの通信、セクション 4.1: QFN32パッケージ情報を更新</p> <p>セクション 1.2.13: ダイレクト・コマンドを追加</p> <p>表 11: レジスタ・プリセット・ビット、表 17: レジスタ・マップ、表 18: IOコンフィギュレーション・レジスタ1、表 21: モード設定レジスタ、表 28: ISO14443B 設定レジスタ1、表 34: 補助設定レジスタ、表 36: レシーバ・コンフィギュレーション・レジスタ2、表 37: レシーバ・コンフィギュレーション・レジスタ3、表 42: 汎用 / 応答なしタイマ・コントロール・レジスタ、表 46: マスク・メイン割込みレジスタ、表 47: マスク・タイマ/NFC割込みレジスタ、表 48: マスク・エラー/ウェイクアップ割込みレジスタ、表 51: エラー/ウェイクアップ割込みレジスタ、表 53: FIFOステータス・レジスタ2、表 54: コリジョン表示レジスタ、表 56: 送信バイト数レジスタ2、表 59: アンテナ補正コントロール・レジスタ、表 64: RFO AM変調レベル設定レジスタ、表 65: RFO通常レベル設定レジスタ、表 66: 外部フィールド検出器閾値レジスタ、表 69: レギュレータ電圧コントロール・レジスタ、表 70: レギュレータ/タイマ表示レジスタ、表 72: RSSI表示レジスタ、表 75: 静電容量センサ・コントロール・レジスタ、表 77: 補助表示レジスタ、表 80: 振幅測定コンフィギュレーション・レジスタ、表 84: 位相測定コンフィギュレーション・レジスタ、表 88: 静電容量測定コンフィギュレーション・レジスタ、表 92: IC識別レジスタ、表 93: ST25R3911Bピン定義 - QFN32パッケージ、表 95: 静電気放電、表 100: 電氣的仕様、表 102: 発注情報体系、表 103: 発注情報体系 (未切断ウエハ) を更新</p> <p>表 30: 最小TR1コーディングから脚注を削除</p> <p>セクション 1.2.3: レシーバの図4、セクション 1.2.11: 電源システムの図8、セクション 1.2.12: 外部マイクロコントローラとの通信の図10 ~ 18、NFC Field ON コマンド群の図19と20、ISO 14443A コリジョン防止用にST25R3911Bを設定の図22、セクション 1.2.18: FeliCa™ リーダ・モードの図24とセクション 1.2.21: アンテナの同調の図26を更新</p> <p>図 30: ST25R3911BQFN32ピン配列⁽¹⁾を更新</p> <p>図 33: QFN32パッケージ外形と表 101: QFN32 5 mm x 5 mm寸法のタイトルを更新</p>

表 105. 日本語版文書改訂履歴

日付	版	変更内容
2017年12月22日	1	日本語版 初版発行

重要なお知らせ（よくお読み下さい）

STMicroelectronics NV およびその子会社（以下、ST）は、ST製品及び本書の内容をいつでも予告なく変更、修正、改善、改定及び改良する権利を留保します。購入される方は、発注前にST製品に関する最新の関連情報を必ず入手してください。ST製品は、注文請書発行時点で有効なSTの販売条件に従って販売されます。

ST製品の選択並びに使用については購入される方が全ての責任を負うものとします。購入される方の製品上の操作や設計に関してSTは一切の責任を負いません。

明示又は黙示を問わず、STは本書においていかなる知的財産権の実施権も許諾致しません。

本書で説明されている情報とは異なる条件でST製品が再販された場合、その製品についてSTが与えたいかなる保証も無効となります。

STおよびSTロゴはSTMicroelectronicsの商標です。その他の製品またはサービスの名称は、それぞれの所有者に帰属します。

本書の情報は本書の以前のバージョンで提供された全ての情報に優先し、これに代わるものです。

この資料は、STMicroelectronics NV 並びにその子会社(以下ST)が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くためにSTマイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST及びSTマイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

© 2017 STMicroelectronics - All rights reserved