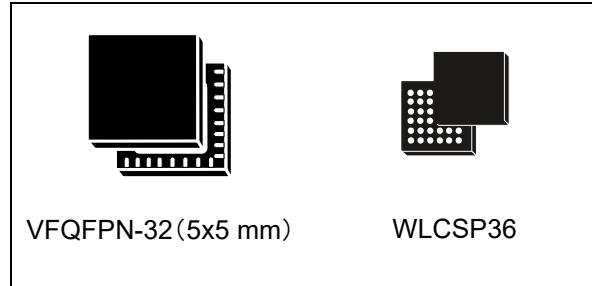


高性能NFCユニバーサルデバイス & EMVCoリーダ

データシート - 量産品データ



機能

- 動作モード
 - リーダライタ
 - カード・エミュレーション
 - アクティブP2PおよびパッシブP2P
- RF通信
 - EMVCo™ 3.0アナログおよびデジタル規格準拠
 - NFC-A / ISO14443A (最大848kbit/s)
 - NFC-B / ISO14443B (最大848kbit/s)
 - NFC-F / FeliCa™ (最大424kbit/s)
 - NFC-V / ISO15693 (最大53kbit/s)
 - NFC-A / ISO14443AおよびNFC-F / FeliCa™のカード・エミュレーション
 - アクティブP2PおよびパッシブP2Pのイニシエータ・モードおよびターゲット・モード (最大424kbit/s)
 - MIFARE Classic®準拠プロトコルまたは他のカスタム・プロトコルを実装するための低レベル・モード
- 主な機能
 - 電界強度が一定の制限範囲に収まるように制御するダイナミック・パワー出力 (DPO)
 - オーバーシュートやアンダーシュートを低減するアクティブ波形補正 (AWS)
 - ノイズが多い環境における受信を可能にするノイズ抑制レシーバ (NSR)
 - 可変容量コンデンサによる自動アンテナ・チューニング (AAT)
 - EMVCo3.0準拠のEMD処理回路を組み込み
- 最大限の信号対ノイズ比を実現する自動ゲイン制御およびスケルチ機能
- 低消費電力で動作する静電容量方式および電磁誘導方式のカード検出
- 低消費電力で動作するアクティブおよびパッシブのNFCターゲット・モード
- ASKの変調度を5% ~ 40%の範囲で調整可能
- システムのPSRR向上に効果的なレギュレータを組み込み
- ベースバンド・チャネルの総和復調機能または自動チャネル選択機能を備え、AM、PM、I/Qに対応した復調回路
- 2つの独立したシングルエンド・アンテナを駆動可能
- アンテナ電圧の振幅と位相、RSSI、オンチップ電源電圧、レギュレータ電圧の測定機能
- 外部通信インタフェース
 - 512バイトFIFO
 - 最大 10Mbit/s のシリアル・ペリフェラル・インターフェース (SPI)
 - I²Cインターフェース (ファーストモード: 最大400Kbit/s、ファーストモードプラス: 最大1Mbit/s、ハイスピード・モード: 最大3.4Mbit/s)
- 電気的特性
 - 2.4V ~ 5.5Vの広い動作電源電圧範囲
 - 1.65V ~ 5.5Vの広いペリフェラル通信用電源電圧範囲
 - 27.12MHz の水晶振動子で動作可能な水晶発振器により、高速な起動を実現

目次

1	アプリケーション	11
2	概要	12
2.1	システム図	13
2.2	ブロック図	15
2.2.1	トランスマッタ	15
2.2.2	レシーバ	16
2.2.3	位相検出器と振幅検出器	16
2.2.4	自動アンテナ・チューニング (AAT)	16
2.2.5	A/D コンバータ	16
2.2.6	静電容量センサ	16
2.2.7	外部フィールド検出器	17
2.2.8	水晶発振器	17
2.2.9	電源レギュレータ	17
2.2.10	POR とバイアス	17
2.2.11	RC 発振器とウェイクアップ・タイマ	17
2.2.12	送信エンコード	18
2.2.13	受信デコード	18
2.2.14	FIFO	18
2.2.15	コントロール・ロジック	18
2.2.16	ホスト・インターフェース	18
2.2.17	パッシブ・ターゲット・メモリ	18
2.2.18	P2RAM	18
3	ピンおよび信号の説明	19
4	アプリケーション情報	23
4.1	電源投入シーケンス	23
4.2	動作モード	23
4.2.1	トランスマッタ	24
4.2.2	レシーバ	26
4.2.3	アンテナ・チューニング	31
4.2.4	静電容量センサ	31
4.2.5	ウェイクアップ・モード	33

4.2.6	水晶発振器	34
4.2.7	タイマ	34
4.2.8	A/D コンバータ	37
4.2.9	位相検出器と振幅検出器	37
4.2.10	外部フィールド検出器	38
4.2.11	電源系	39
4.2.12	オーバーシュート / アンダーシュート保護	42
4.2.13	リーダ動作	42
4.2.14	リッスン・モード	43
4.3	外部マイクロコントローラとの通信	46
4.3.1	割り込みのインターフェース	46
4.3.2	通信インターフェースの選択	47
4.3.3	シリアル・ペリフェラル・インターフェース (SPI)	48
4.3.4	I ² C インタフェース	53
4.4	ダイレクト・コマンド	58
4.4.1	Set Default (デフォルト設定)	59
4.4.2	Stop All Activities (全動作停止)	59
4.4.3	Clear FIFO (FIFO のクリア)	60
4.4.4	Transmit (送信) コマンド群	60
4.4.5	NFC Field ON (NFC フィールド・オン) コマンド群	61
4.4.6	Mask Receive Data (データ受信のマスク) と Unmask Receive Data (データ受信のマスク解除)	62
4.4.7	Change AM Modulation state (AM 変調状態変更)	62
4.4.8	Measure Amplitude (振幅測定)	63
4.4.9	Reset RX Gain (受信ゲイン・リセット)	63
4.4.10	Adjust Regulators (レギュレータ調整)	63
4.4.11	Measure Phase (位相測定)	63
4.4.12	Clear RSSI (RSSI クリア)	64
4.4.13	Transparent Mode (トランスペアレント・モード)	64
4.4.14	Calibrate Capacitive Sensor (静電容量センサ補正)	64
4.4.15	Measure Capacitance (静電容量測定)	64
4.4.16	Measure Power Supply (電源測定)	64
4.4.17	Test Access (テスト・アクセス)	65
4.5	レジスタ	66
4.5.1	IO コンフィギュレーション・レジスタ 1	69
4.5.2	IO コンフィギュレーション・レジスタ 2	70
4.5.3	動作コントロール・レジスタ	71

参考資料

目次

ST25R3916/7

4.5.4	モード設定レジスタ	72
4.5.5	ビット・レート設定レジスタ	73
4.5.6	ISO14443A および NFC 106kb/s 設定レジスタ	74
4.5.7	ISO14443B 設定レジスタ 1	75
4.5.8	ISO14443B および FeliCa 設定レジスタ	76
4.5.9	NFCIP-1 パッシブ・ターゲット設定レジスタ	77
4.5.10	ストリーム・モード設定レジスタ	78
4.5.11	補助設定レジスタ	79
4.5.12	EMD 抑制コンフィギュレーション・レジスタ	80
4.5.13	サブキャリア開始タイマ・レジスタ	81
4.5.14	レシーバ・コンフィギュレーション・レジスタ 1	82
4.5.15	レシーバ・コンフィギュレーション・レジスタ 2	83
4.5.16	レシーバ・コンフィギュレーション・レジスタ 3	84
4.5.17	レシーバ・コンフィギュレーション・レジスタ 4	84
4.5.18	P2P レシーバ・コンフィギュレーション・レジスタ 1	85
4.5.19	コリレータ・コンフィギュレーション・レジスタ 1	86
4.5.20	コリレータ・コンフィギュレーション・レジスタ 2	87
4.5.21	マスク受信タイマ・レジスタ	88
4.5.22	応答なしタイマ・レジスタ 1	89
4.5.23	応答なしタイマ・レジスタ 2	89
4.5.24	タイマ /EMV コントロール・レジスタ	90
4.5.25	汎用タイマ・レジスタ 1	91
4.5.26	汎用タイマ・レジスタ 2	91
4.5.27	PPON2 フィールド待機レジスタ	92
4.5.28	スケルチ・タイマ・レジスタ	93
4.5.29	NFC フィールド・オン・ガード・タイマ・レジスタ	93
4.5.30	メイン割り込みマスク・レジスタ	94
4.5.31	タイマ /NFC 割り込みマスク・レジスタ	94
4.5.32	エラー / ウェイクアップ割り込みマスク・レジスタ	95
4.5.33	パッシブ・ターゲット割り込みマスク・レジスタ	95
4.5.34	メイン割り込みレジスタ	96
4.5.35	タイマ /NFC 割り込みレジスタ	97
4.5.36	エラー / ウェイクアップ割り込みレジスタ	98
4.5.37	パッシブ・ターゲット割り込みレジスタ	99
4.5.38	FIFO ステータス・レジスタ 1	100
4.5.39	FIFO ステータス・レジスタ 2	100
4.5.40	コリジョン表示レジスタ	101

参考資料

4.5.41	パッシブ・ターゲット表示レジスタ	102
4.5.42	送信バイト数レジスタ 1	103
4.5.43	送信バイト数レジスタ 2	103
4.5.44	ビット・レート検出表示レジスタ	104
4.5.45	A/D コンバータ出力レジスタ	105
4.5.46	アンテナ・チューニング・コントロール・レジスタ 1	106
4.5.47	アンテナ・チューニング・コントロール・レジスタ 2	106
4.5.48	送信ドライバ・レジスタ	107
4.5.49	補助変調設定レジスタ	109
4.5.50	パッシブ・ターゲット変調レジスタ	110
4.5.51	送信ドライバ・タイミング・レジスタ	111
4.5.52	外部フィールド検出器アクティブ化閾値レジスタ	112
4.5.53	抵抗性 AM 変調レジスタ	113
4.5.54	外部フィールド検出器非アクティブ化閾値レジスタ	114
4.5.55	送信ドライバ・タイミング表示レジスタ	116
4.5.56	レギュレータ電圧コントロール・レジスタ	117
4.5.57	レギュレータ表示レジスタ	118
4.5.58	RSSI 表示レジスタ	119
4.5.59	ゲイン低減状態レジスタ	120
4.5.60	静電容量センサ・コントロール・レジスタ	121
4.5.61	静電容量センサ表示レジスタ	121
4.5.62	補助表示レジスタ	122
4.5.63	オーバーシュート保護コンフィギュレーション・レジスタ 1	123
4.5.64	オーバーシュート保護コンフィギュレーション・レジスタ 2	123
4.5.65	アンダーシュート保護コンフィギュレーション・レジスタ 1	124
4.5.66	アンダーシュート保護コンフィギュレーション・レジスタ 2	124
4.5.67	ウェイクアップ・タイマ・コントロール・レジスタ	125
4.5.68	振幅測定コンフィギュレーション・レジスタ	126
4.5.69	振幅測定基準レジスタ	126
4.5.70	振幅測定自動平均化表示レジスタ	127
4.5.71	振幅測定表示レジスタ	127
4.5.72	位相測定コンフィギュレーション・レジスタ	128
4.5.73	位相測定基準レジスタ	128
4.5.74	位相測定自動平均化表示レジスタ	129
4.5.75	位相測定表示レジスタ	129
4.5.76	静電容量測定コンフィギュレーション・レジスタ	130
4.5.77	静電容量測定基準レジスタ	130

参考資料

目次

ST25R3916/7

4.5.78	静電容量測定自動平均化表示レジスタ	131
4.5.79	静電容量測定表示レジスタ	131
4.5.80	IC 識別レジスタ	132
5	電気的特性	133
5.1	絶対最大定格	133
5.2	動作条件	134
5.3	デジタル入出力の DC/AC 特性	135
5.4	電気的特性	136
5.5	SPI インタフェースの特性	139
5.6	I ² C インタフェースの特性	141
6	パッケージ情報	145
6.1	VFQFPN-32 パッケージ情報	145
6.2	WLCSP36 パッケージ情報	147
7	発注情報	149
8	改版履歴	150

表の一覧

表 1.	機能一覧	11
表 2.	ST25R3916 - VFQFPN32 および WLCSP36 のピン割当て	20
表 3.	ST25R3917 - VFQFPN32 のピン割当て	21
表 4.	受信チャネルの選択	26
表 5.	ローパス制御	28
表 6.	初段と 3 段目のゼロ点設定	28
表 7.	PT_memory のアドレス空間	45
表 8.	NFC-212/424k SENS_RES フォーマット	45
表 9.	IRQ 出力	46
表 10.	シリアル・データ・インターフェース（4 線式インターフェース）の信号ライン	48
表 11.	SPI の動作モード	49
表 12.	I ² C インタフェースと割り込みの信号ライン	54
表 13.	ダイレクト・コマンド一覧	58
表 14.	NFC Field ON コマンド群のタイミング・パラメータ	62
表 15.	アナログ・テストと観測レジスタ 1	65
表 16.	テスト・アクセス・レジスタ - CSI ピンと CSO ピンの信号選択	65
表 17.	レジスター一覧 - 空間 A	66
表 18.	レジスター一覧 - 空間 B	68
表 19.	IO コンフィギュレーション・レジスタ 1	69
表 20.	IO コンフィギュレーション・レジスタ 2	70
表 21.	動作コントロール・レジスタ	71
表 22.	モード設定レジスタ	72
表 23.	イニシエータ動作モード	72
表 24.	ターゲット動作モード	72
表 25.	ビット・レート設定レジスタ	73
表 26.	ビット・レートのコード	73
表 27.	ISO14443A および NFC 106kb/s 設定レジスタ	74
表 28.	ISO14443A 変調パルス幅	74
表 29.	ISO14443B 設定レジスタ 1	75
表 30.	ISO14443B および FeliCa 設定レジスタ	76
表 31.	最小 TR1 のコード	76
表 32.	NFCIP-1 パッシブ・ターゲット設定レジスタ	77
表 33.	ストリーム・モード設定レジスタ	78
表 34.	サブキャリア・ストリーム・モードのサブキャリア周波数設定	78
表 35.	ストリーム・モードの送信変調器を制御する時間の設定	78
表 36.	補助設定レジスタ	79
表 37.	RW レシーバの動作	79
表 38.	EMD 抑制コンフィギュレーション・レジスタ	80
表 39.	サブキャリア開始タイマ・レジスタ	81
表 40.	レシーバ・コンフィギュレーション・レジスタ 1	82
表 41.	レシーバ・コンフィギュレーション・レジスタ 2	83
表 42.	レシーバ・コンフィギュレーション・レジスタ 3	84
表 43.	レシーバ・コンフィギュレーション・レジスタ 4	84
表 44.	P2P レシーバ・コンフィギュレーション・レジスタ 1	85
表 45.	OOK の閾値レベル設定	85
表 46.	コリレータ・コンフィギュレーション・レジスタ 1	86
表 47.	相関器コンフィギュレーション・レジスタ 2	87
表 48.	マスク受信タイマ・レジスタ	88
表 49.	応答なしタイマ・レジスタ 1	89

参考資料

表の一覧

ST25R3916/7

表 50.	応答なしタイマ・レジスタ 2.....	89
表 51.	タイマ /EMV コントロール・レジスタ	90
表 52.	トリガ源	90
表 53.	汎用タイマ・レジスタ 1	91
表 54.	汎用タイマ・レジスタ 2	91
表 55.	PPON2 フィールド待機レジスタ	92
表 56.	スケルチ・タイマ・レジスタ	93
表 57.	NFC フィールド・オン・ガード・タイマ・レジスタ	93
表 58.	メイン割り込みマスク・レジスタ	94
表 59.	タイマ /NFC 割り込みマスク・レジスタ	94
表 60.	エラー / ウェイクアップ割り込みマスク・レジスタ	95
表 61.	パッシブ・ターゲット割り込みマスク・レジスタ	95
表 62.	メイン割り込みレジスタ	96
表 63.	タイマ /NFC 割り込みレジスタ	97
表 64.	エラー / ウェイクアップ割り込みレジスタ	98
表 65.	パッシブ・ターゲット割り込みレジスタ	99
表 66.	FIFO ステータス・レジスタ 1	100
表 67.	FIFO ステータス・レジスタ 2	100
表 68.	コリジョン表示レジスタ	101
表 69.	パッシブ・ターゲット表示レジスタ	102
表 70.	送信バイト数レジスタ 1	103
表 71.	送信バイト数レジスタ 2	103
表 72.	ビット・レート検出表示レジスタ	104
表 73.	A/D コンバータ出力レジスタ	105
表 74.	アンテナ・チューニング・コントロール・レジスタ 1	106
表 75.	アンテナ・チューニング・コントロール・レジスタ 2	106
表 76.	送信ドライバ・レジスタ	107
表 77.	AM 変調指數	107
表 78.	RFO ドライバ抵抗	108
表 79.	補助変調設定レジスタ	109
表 80.	パッシブ・ターゲット変調レジスタ	110
表 81.	パッシブ・ターゲット・モードの変調状態および非変調状態でのドライバの出力抵抗	110
表 82.	送信ドライバ・タイミング・レジスタ	111
表 83.	外部フィールド検出器アクティブ化閾値レジスタ	112
表 84.	抵抗性 AM 変調レジスタ	113
表 85.	抵抗性 AM 変調で変調している状態でのドライバ出力抵抗	113
表 86.	外部フィールド検出器非アクティブ化閾値レジスタ	114
表 87.	RFI1 入力で見たピア検出閾値	115
表 88.	RFI1 入力で見たコリジョン防止閾値	115
表 89.	送信ドライバ・タイミング表示レジスタ	116
表 90.	レギュレータ電圧コントロール・レジスタ	117
表 91.	レギュレータ表示レジスタ	118
表 92.	安定化電圧	118
表 93.	RSSI 表示レジスタ	119
表 94.	RSSI	119
表 95.	ゲイン低減状態レジスタ	120
表 96.	静電容量センサ・コントロール・レジスタ	121
表 97.	静電容量センサ表示レジスタ	121
表 98.	補助表示レジスタ	122
表 99.	オーバーシュート保護コンフィギュレーション・レジスタ 1	123
表 100.	オーバーシュート保護コンフィギュレーション・レジスタ 2	123
表 101.	アンダーシュート保護コンフィギュレーション・レジスタ 1	124

参考資料

表 102. アンダーシュート保護コンフィギュレーション・レジスタ 2	124
表 103. ウェイクアップ・タイマ・コントロール・レジスタ	125
表 104. 標準ウェイクアップ時間	125
表 105. 振幅測定コンフィギュレーション・レジスタ	126
表 106. 振幅測定基準レジスタ	126
表 107. 振幅測定自動平均化表示レジスタ	127
表 108. 振幅測定表示レジスタ	127
表 109. 位相測定コンフィギュレーション・レジスタ	128
表 110. 位相測定基準レジスタ	128
表 111. 位相測定自動平均化表示レジスタ	129
表 112. 位相測定表示レジスタ	129
表 113. 静電容量測定コンフィギュレーション・レジスタ	130
表 114. 静電容量測定基準レジスタ	130
表 115. 静電容量測定自動平均化表示レジスタ	131
表 116. 静電容量測定表示レジスタ	131
表 117. IC 識別レジスタ	132
表 118. 絶対最大定格	133
表 119. 動作条件	134
表 120. CMOS I/O の特性	135
表 121. ST25R3916/7 の電気的特性 (VDD = 3.3V)	136
表 122. ST25R3916/7 の電気的特性 (VDD = 5.5V)	137
表 123. ST25R3916/7 の電気的特性 (VDD = 2.4V)	138
表 124. SPI の特性 (5MHz)	139
表 125. SPI の特性 (5MHz < 1/TSCLK < 10MHz)	139
表 126. AC 測定条件	141
表 127. AC 測定条件 - I ² C コンフィギュレーション	141
表 128. 入力パラメータ	141
表 129. DC 特性	141
表 130. 100kHz の AC 特性	142
表 131. 400kHz の AC 特性	142
表 132. 1MHz の AC 特性	143
表 133. 3.4MHz の AC 特性	143
表 134. VFQFPN の寸法データ	145
表 135. WLCSP の寸法データ	147
表 136. 文書改版履歴	150
表 137. 日本語版文書改版履歴	150

図の一覧

図 1.	最小限のシステム構成 - シングル・エンド構成によるアンテナ駆動	13
図 2.	最小限のシステム構成 - 差動構成によるアンテナ駆動	14
図 3.	ST25R3916/7 のブロック図	15
図 4.	ST25R3916 QFN32 ピン配置（上面図）	19
図 5.	ST25R3917 QFN32 ピン配置（上面図）	19
図 6.	ST25R3916 WLCSP36 ピン配置（上面図）	20
図 7.	レシーバのブロック図	27
図 8.	静電容量センサのブロック図	32
図 9.	位相差が 90° の場合の位相検出器の入出力	38
図 10.	位相差が 135° の場合の位相検出器の入出力	38
図 11.	ST25R3916/7 の電源系	40
図 12.	マイクロコントローラとの信号のやり取り	48
図 13.	SPI 通信 : 1 バイトの書き込み	50
図 14.	SPI 通信 : 複数バイトの書き込み	50
図 15.	SPI 通信 : 1 バイトの読み出し	51
図 16.	SPI 通信 : FIFO へのロード	51
図 17.	SPI 通信 : FIFO の読み出し	52
図 18.	SPI 通信 : ダイレクト・コマンド	53
図 19.	SPI 通信 : ダイレクト・コマンドの連鎖	53
図 20.	1 つのレジスタへのデータ書き込み	54
図 21.	自動アドレス・インクリメントによる、レジスタへのデータ書き込み	54
図 22.	レジスタからの 1 バイト読み出し	55
図 23.	FIFO へのロード	55
図 24.	FIFO の読み出し	55
図 25.	ダイレクト・コマンドの送信	56
図 26.	レジスタ空間 B にアクセスする読み出しモードおよび書き込みモード	56
図 27.	I ² C マスターによる先頭バイト直後のスレーブ読み出し	57
図 28.	NFC Initial Field ON ダイレクト・コマンド	61
図 29.	NFC Response Field ON ダイレクト・コマンド	61
図 30.	SPI タイミング・チャート - 一般的な動作	140
図 31.	SPI タイミング・チャート - 読出し動作	140
図 32.	I ² C の AC 波形	144
図 33.	I ² C の AC 測定	144
図 34.	VFQFPN の外形	145
図 35.	VFQFPN の推奨フットプリント	146
図 36.	WLCSP の外形	147
図 37.	WLCSP の推奨フットプリント	148

1 アプリケーション

ST25R3916およびST25R3917の各デバイス（以下、ST25R3916/7）は、以下をはじめとする幅広いNFCおよびHF RFIDのアプリケーションに最適な製品です。

- NFCフォーラム準拠のNFCユニバーサルデバイス
- EMVCo 3.0準拠の非接触決済端末
- ISO14443およびISO15693準拠のユニバーサルNFCデバイス
- FeliCa™リーダライタ
- リーダ・モードでは、NFCフォーラム規定の5つのタグ・タイプすべてに対応
- Kiovo、CTS、B'などの一般的な独自プロトコルのすべてに対応

これら2つのデバイスの主な相違点を表 1に示します。

表 1. 機能一覧

機能	ST25R3916	ST25R3917
ISO/IEC 14443 Type-A対応	あり	
ISO/IEC 14443 Type-B対応	あり	
ISO/IEC 15693対応	あり	
FeliCa™対応	あり	
NFCタグ読出し対応	NFC Type1タグ NFC Type2タグ NFC Type3タグ NFC Type4タグ NFC Type5タグ	
ISO/IEC 18092パッシブ・イニシエータ・モード対応	あり	
ISO/IEC 18092パッシブ・ターゲット・モード対応	あり	なし
ISO/IEC 18092アクティブ・イニシエータ/ターゲット・モード対応	あり	なし
自動アンテナ・チューニング（AAT）対応	あり	なし
カード・エミュレーション対応	あり	なし
静電容量センサ・ウェイクアップ対応	あり	なし
誘導センサ・ウェイクアップ対応	あり	なし

2 概要

ST25R3916/7は、高性能のNFCユニバーサルデバイスであり、該当する範囲でNFCイニシエータ、NFCターゲット、NFCリーダ、NFCカード・エミュレーションの各モードに対応しています。

EMVCo 3.0のアナログ規格とデジタル規格に完全対応したこのNFC ICは、POS端末アプリケーションに最適であり、ノイズ発生源となるLCDの近傍にアンテナがある場合のような過酷な環境でも、きわめて高速なEMVCo 3.0認証サイクルを実現します。

どちらのデバイスも、先進のアナログ・フロントエンド (AFE) と高度に集積化したデータ・フレーミング・システムを搭載しています。ISO 18092パッシブ/アクティブ・イニシエータ、ISO 18092パッシブ/アクティブ・ターゲット、高ビット・レートにも対応したNFC-A/B (ISO 14443A/B) リーダ、NFC-F (FeliCa™) リーダ、最大53kbpsのNFC-V (ISO 15693) リーダ、およびNFC-A/NFC-Fのカード・エミュレーションに対応します。

AFEおよびフレーミング・システムの独自動作モードであるストリーム・モードやトランスペアント・モードを使用すれば、上記以外のカスタム・プロトコルをリーダ・モードまたはカード・エミュレーション・モードで実装できます。

ST25R3916/7は、アンテナを高い効率で直接駆動する大電力のRF出力を提供します。

そのほかにも、ST25R3916/7は、低消費電力アプリケーションで競合製品には望めない各種機能を備えています。リーダのフィールドをオンにせずにカードの存在を検出する、低消費電力の静電容量センサを内蔵しています。アンテナ信号の振幅または位相を測定することによってもカードの存在を検出できます。ST25R3916/7は、低消費電力のRC発振器とウェイクアップ・タイマも内蔵し、選択された一定時間が経過すると自動的にウェイクアップし、タグが存在するかどうかを確認します。この確認では、静電容量、位相、または振幅による低消費電力のカード検出手法のいずれかまたは複数の組み合わせが使用されます。

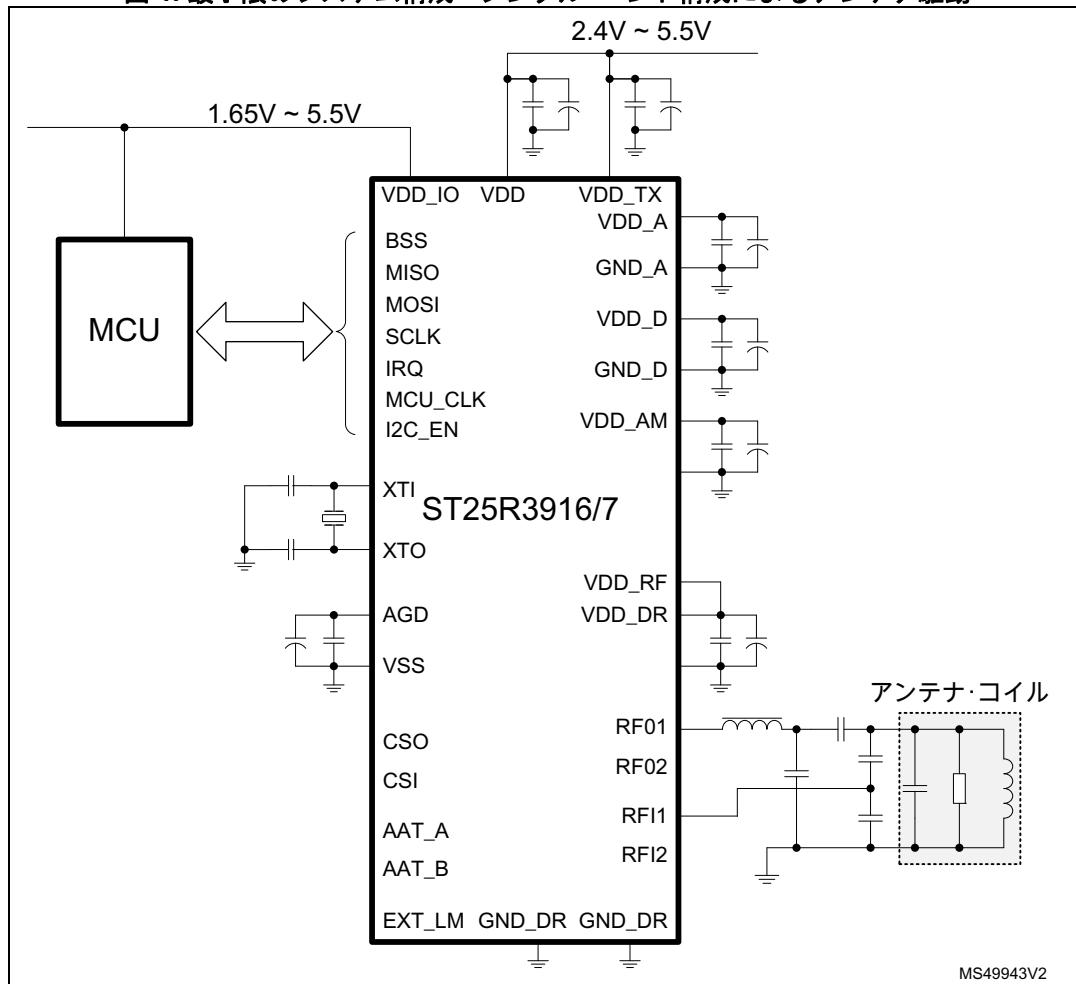
ST25R3916/7は、幅広い電源電圧範囲 (2.4V ~ 5.5V) とペリフェラルI/O電圧範囲 (1.65V ~ 5.5V) による動作を目的として設計されています。

大電力のRF出力、低消費電力モード、幅広い電源電圧範囲を兼ね備え、公共系や産業系のNFCアプリケーションに最適です。

2.1 システム図

図 1と図 2に、それぞれシングル・エンド構成および差動構成のアンテナによる最小限のシステム構成を示します。いずれもEMCフィルタが使用されています。

図 1. 最小限のシステム構成 - シングル・エンド構成によるアンテナ駆動

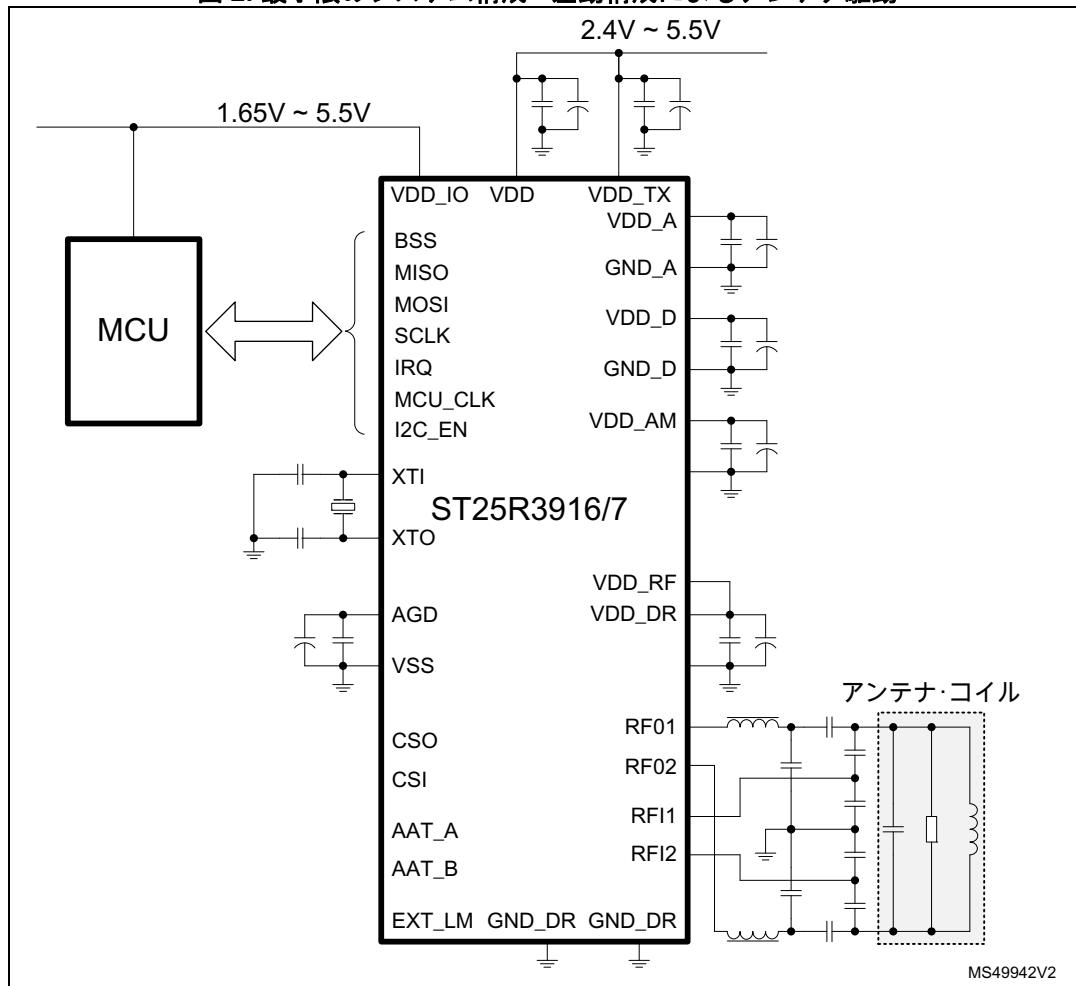


参考資料

概要

ST25R3916/7

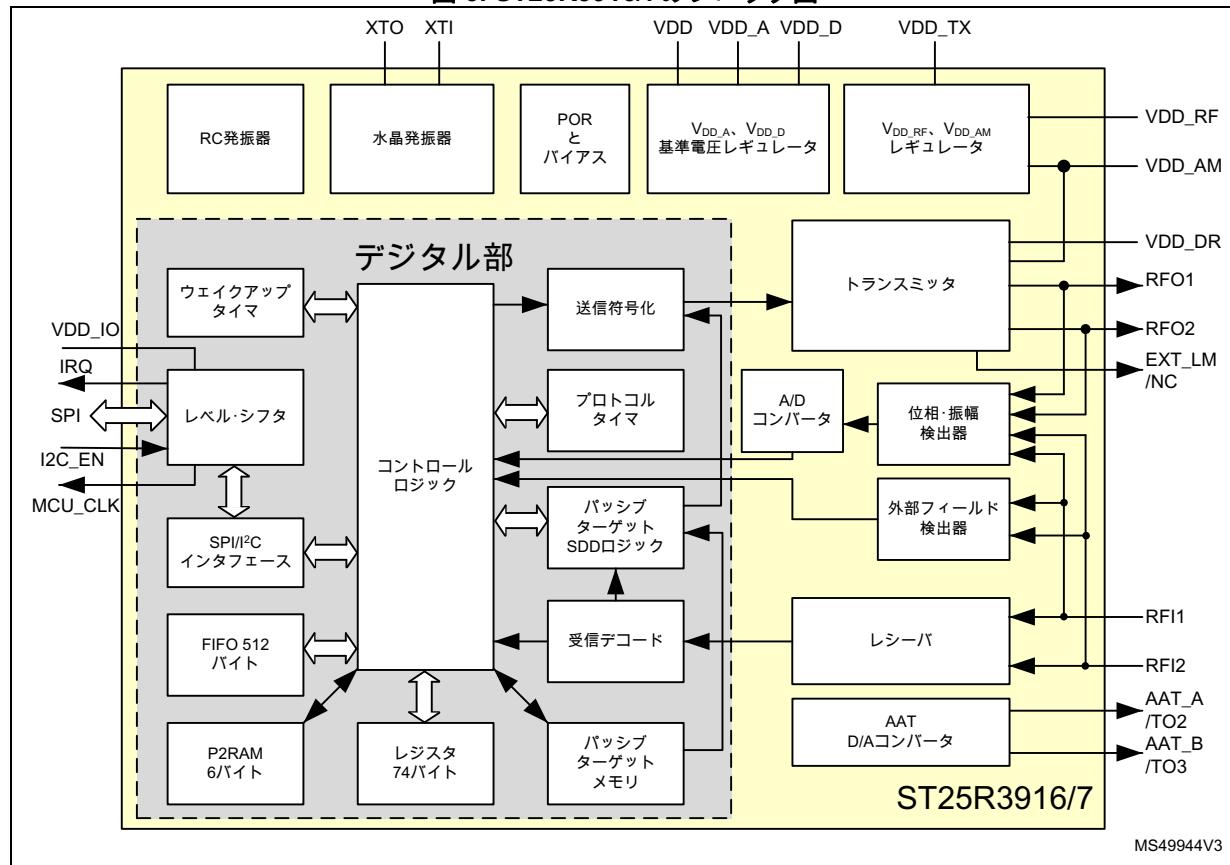
図2. 最小限のシステム構成 - 差動構成によるアンテナ駆動



2.2 ブロック図

図 3にST25R3916/7のブロック図を示します。主な機能については、この後の各サブセクションで説明します。

図 3. ST25R3916/7のブロック図



2.2.1 トランスマッタ

リーダ・モードでは、トランスマッタがRFO1とRFO2の両ピンを介して外部アンテナを駆動し、RFフィールドを生成します。シングル・エンド構成と差動構成のアンテナに対応しています。トランスマッタ・ブロックでは、送信するRF信号のOOK変調またはAM変調も実施します。

トランスマッタは、RFO1とRFO2の両ピンを独立した状態で使用して最大2つのアンテナをシングル・エンド構成で駆動できるほか、この2本のピンを組み合わせて1つのアンテナを差動構成で駆動することもできます。ドライバは、PCB上に実装されたアンテナを直接駆動できるほか、50Ωのケーブルで接続されたアンテナも駆動できるように設計されています。ただし、50Ωケーブルで接続されたアンテナでは、ST25R3916/7の高度な機能の中には十分に活用できないものがあります（アンテナ診断など）。

カード・エミュレーション・モードのトランスマッタでは、RFO1とRFO2を介してアンテナに接続する内部アンテナ・ドライバの抵抗値を変更することで負荷変調信号を生成します。また、EXT_LMピンを介して外付けのMOSトランジスタを駆動する機能も備え、これによって負荷変調信号を生成することもできます。

2.2.2 レシーバ

レシーバは、13.56MHzのキャリア信号に重畠されたカード変調信号を検出します。レシーバは、一組の復調器、それに続く2つのゲインとフィルタのステージ、および最後のデジタイザ・ステージからなる、2つの受信チェーンで構成されます。復調器は、AM/PM復調器またはI/Q復調器として動作できます。フィルタ特性は、選択したRFモードとビット・レートに合わせて調整し、最適化した性能を得ることができます（周波数212kHz～848kHzのサブキャリアに対応しています）。レシーバは、フィルタ段のほかにも、ノイズが多い環境で信頼性に優れた動作を実現する機能をいくつか備えています（AGC、スケルチ）。

レシーバは、RFI1とRFI2ピンでアンテナに接続します。レシーバの出力は、復調およびデジタル化されたサブキャリア信号をデコードするフレーミング・ブロックに接続されています。

2.2.3 位相検出器と振幅検出器

位相検出器は、トランスマッタの出力信号（RFO1とRFO2）とレシーバの入力信号（RFI1とRFI2）との位相差を測定します。

振幅検出器は、レシーバ入力RFI1とRFI2間で差動RFキャリア信号の振幅を測定します。この差動振幅信号は、アンテナのLCタンクに発生するRF信号の振幅と正比例の関係にあります。

位相検出器と振幅検出器は、次のような複数の目的に使用できます。

- PM復調: RFI1とRFI2の位相差を測定することによって機能します（復調したLF信号をレシーバに供給します）
- アンテナの同調の確認: RFOxピンとRFIxピンの間の平均位相差を測定します。
- アンテナ電圧に比例する、RFI1ピンとRFI2ピンの信号振幅の測定

2.2.4 自動アンテナ・チューニング（AAT）

AATブロックは、2つの独立した8bit D/Aコンバータによって構成されます。これらのコンバータによって、外付けの可変コンデンサを制御する電圧を発生します。この電圧は、(0V～3.3V)の範囲でプログラムできます。

注： ハードウェアによるウェイクアップ機能と自動アンテナ・チューニング機能の併用はお勧めできません。詳細は、お近くのST営業所までお問い合わせください。

2.2.5 A/Dコンバータ

ST25R3916/7は、A/Dコンバータを搭載しています。複数のソースからの信号を多重化した信号を入力として、診断機能や低消費電力のカード検出に使用できます。A/D変換の結果は、ホスト・インターフェースから読出しが可能なレジスタに格納されます。

2.2.6 静電容量センサ

低消費電力でカードを検出する機能を実装するために、静電容量センサが使用されています。CSIピンおよびCSOピンに接続された2つの小さな銅板間の静電容量を測定します。カードや手のような物体が存在すると、この静電容量が変化します。

校正時に基準静電容量（環境の寄生静電容量に相当）を保存します。ST25R3916では、静電容量式の低消費電力カード検出モードにより、静電容量を定期的に測定して、その結果を保存されている基準値と比較します。測定した静電容量値と保存されている基準値との差が、レジスタに設定された閾値を超えると、外部コントローラに割り込みが送信されます。

2.2.7 外部フィールド検出器

外部フィールド検出器は、外部RFフィールドの存在を検出する低消費電力のブロックであり、アクティブまたはパッシブのターゲット・モードで使用されます。外部フィールド検出の閾値として、ピア検出およびコリジョン防止の2種類に対応しています。

ピア検出閾値は、アクティブとパッシブのピア・ツー・ピア・モードで使用し、ピア・デバイスでRFフィールドがオンにされたことを検出します。

コリジョン防止閾値は、RFコリジョン防止手順の実行時に使用し、外部RFフィールドの存在を検出します。

2.2.8 水晶発振器

水晶発振器は、27.12MHzの水晶振動子で動作します。起動時は、発振器の相互コンダクタンスを高くすることで、高速化を図っています。起動時間は水晶振動子の種類や温度などのパラメータによって異なるので、発振器の振幅を観測し、その動作が安定した時点で割り込みが生成されます。

発振器ブロックは、[IOコンフィギュレーション・レジスタ1](#)の設定に従い、外部マイクロコントローラ用のクロック信号 (MCU_CLK) も供給します。

2.2.9 電源レギュレータ

電源レギュレータを内蔵することで、システム全体に対して高い電源電圧変動除去比 (PSRR) を保証しています。

アナログ・ブロック、デジタル・ブロック、RF出力ドライバのそれぞれに使用している3つの電圧レギュレータにより、ST25R3916/7からノイズ源を分離できます。4番目の電圧レギュレータは、アナログ・レシーバ用の基準電圧 (AGDCとアナログ・グランド) を生成します。

RF出力ドライバの電圧レギュレータは、システム電源の安定性とRF出力電力に応じてST25R3916/7で自動的に設定できます (詳細は[セクション 4.4.10: Adjust Regulators \(レギュレータ調整\)](#) 参照)。

2.2.10 PORとバイアス

このブロックは、他のすべてのブロックにバイアス電流と基準電圧を供給します。また、電源投入時および電源電圧低下時にリセット信号を発生するパワーオン・リセット (POR) 回路も備えています。

2.2.11 RC発振器とウェイクアップ・タイマ

ST25R3916/7は、カードの存在を低消費電力で検出する複数の機能 (静電容量センサ、位相測定、振幅測定) を備えています。RC発振器とレジスタで設定できるウェイクアップ・タイマは、低消費電力のカード検出モードで、定期的にカード検出動作を実行するために使用します。

注： ハードウェアによるウェイクアップ機能と自動アンテナ・チューニング機能の併用はお勧めできません。詳細は、お近くのST営業所までお問い合わせください。

2.2.12 送信エンコード

選択したRFモードとビット・レートに応じて送信フレームをエンコードするブロックです。SOF (Start Of Frame)、EOF (End Of Frame)、CRC、パリティ・ビットが自動的に生成されます。送信するデータはFIFOから取り出します。

ストリーム・モードではフレーミングを処理せず、FIFOには、そのままトランスマッタに送信される変調データが格納されます。

トランスペアレント・モードの場合は、フレーミング処理とともにFIFOもバイパスされ、MOSIピンからトランスマッタに変調信号を直接供給します。

2.2.13 受信デコード

選択したRFモードとビット・レートに応じて受信フレームをデコードするブロックです。SOF (Start Of Frame)、EOF (End Of Frame)、CRC、パリティ・ビットが自動的に検証され、除去されます。受信したデータはFIFOに書き込まれます。

ストリーム・モードではフレーミングを処理せず、デジタル化したサブキャリア信号がFIFOに直接格納されます。

トランスペアレント・モードでは、フレーミングおよびFIFOの動作が実行されません。デジタル化したサブキャリア信号によってMISOピンを直接駆動します。

2.2.14 FIFO

ST25R3916/7は、512バイトのFIFOを搭載しています。データの転送方向により、FIFOには受信したデータ、またはこれから送信するデータのいずれかが格納されます。

リーダ・モードのST25R3916/7では、最長8191バイトのフレームを送信でき、任意の長さのフレームを受信できます。カード・エミュレーション・モードでは、FIFOがバッファのように動作し、一度に送信または受信できるフレームの全長が512バイトに制限されます。

2.2.15 コントロール・ロジック

コントロール・ロジックは、デバイスの動作を設定するI/Oレジスタを備えています。

2.2.16 ホスト・インタフェース

外部マイクロコントローラとの通信用に、4線式のシリアル・ペリフェラル・インタフェース (SPI) と2線式のI²Cインタフェースを使用できます。SPIインタフェースとI²Cインタフェースはピンを互いに共用しており、どちらのインタフェースをアクティブにするかをI²C_ENピンで選択します。

2.2.17 パッシブ・ターゲット・メモリ

ST25R3916デバイスは、パッシブ・ターゲット・モードおよびカード・エミュレーション・モードの設定データを保存する48バイトのRAMを搭載しています。

2.2.18 P2RAM

P2RAMには、ウェハ番号、ダイ位置、デバイスのサブバージョン、I²Cアドレスが格納されています。P2RAMは生産時に書き込まれます。

参考資料

3 ピンおよび信号の説明

図 4. ST25R3916 QFN32ピン配置（上面図）

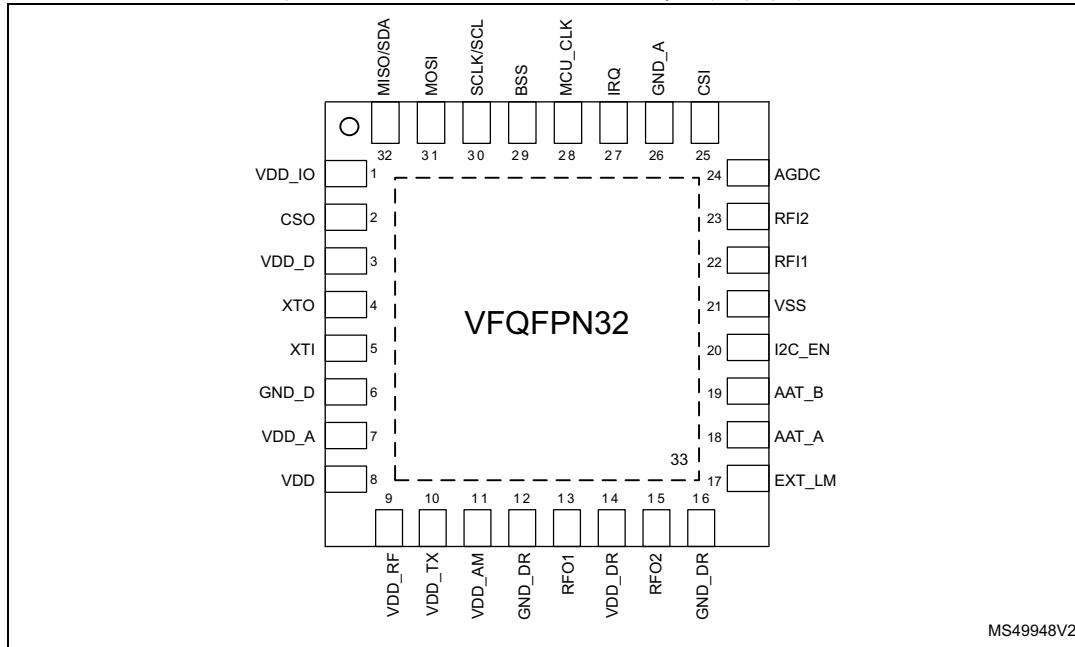
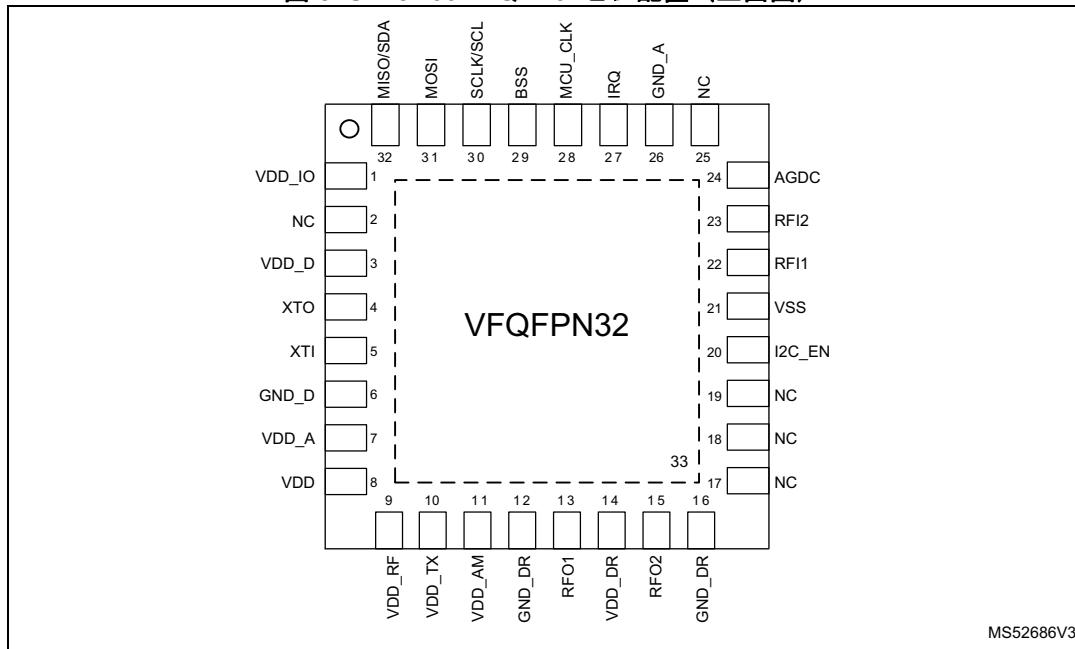


図 5. ST25R3917 QFN32ピン配置（上面図）



参考資料

図 6. ST25R3916 WLCSP36ピン配置（上面図）

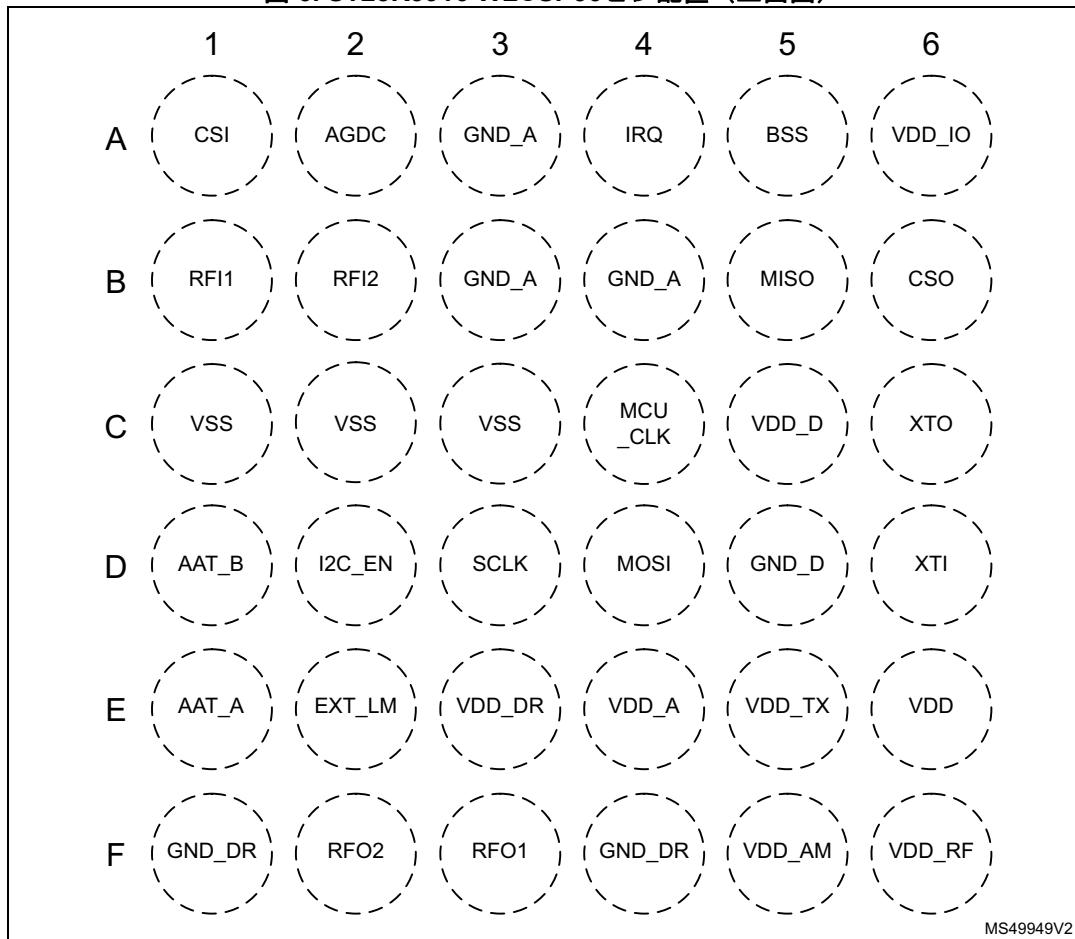


表 2. ST25R3916 - VFQFPN32およびWLCSP36のピン割当て

VFQFPN32	WLCSP	名前	種類 ⁽¹⁾	説明
1	A6	VDD_IO	P	ペリフェラル通信用正電源
2	B6	CSO	AO	静電容量センサ出力/テスト出力2
3	C5	VDD_D	AO	デジタル電源レギュレータ出力
4	C6	XTO	AO	水晶発振器出力
5	D6	XTI	AI/DI	水晶発振器入力（テスト・モードでクロック用デジタル入力として使用）
6	D5	GND_D	P	デジタル・グランド
7	E4	VDD_A	AO	アナログ電源レギュレータ出力
8	E6	V _{DD}	P	外部正電源
9	F6	VDD_RF	AO	アンテナ・ドライバ用の電源レギュレータ出力
10	E5	VDD_TX	P	送信回路用外部正電源
11	F5	VDD_AM	AO	AM変調用のドライバ電源レギュレータ出力
12	F4	GND_DR	P	アンテナ・ドライバのグランド（ドライバのV _{SS} と同電位）
13	F3	RFO1	AO	アンテナ・ドライバ出力

参考資料

表 2. ST25R3916 - VFQFPN32およびWLCSP36のピン割当て (続き)

VFQFPN32	WLCSP	名前	種類 ⁽¹⁾	説明
14	E3	VDD_DR	P	アンテナ・ドライバ用正電源入力
15	F2	RFO2	AO	アンテナ・ドライバ出力
16	F1	GND_DR	P	アンテナ・ドライバのグランド (ドライバのV _{SS} と同電位)
17	E2	EXT_LM	AO	外部負荷変調用のMOSゲート・ドライバ
18	E1	AAT_A	AO	可変容量コンデンサAAT_A用のAAT同調電圧
19	D1	AAT_B	AO	可変容量コンデンサAAT_B用のAAT同調電圧
20	D2	I ² C_EN	DI	I ² Cインターフェース・イネーブル
21	C1、C2、C3	VSS	P	グランド、ダイ基板の電位
22	B1	RFI1	AI	レシーバ入力
23	B2	RFI2	AI	レシーバ入力
24	A2	AGDC	AIO	アナログ基準電圧
25	A1	CSI	AIO	静電容量センサ入力/テスト出力1
26	A3、B3、B4	GND_A	P	アナログ・グランド
27	A4	IRQ	DO	割り込み要求出力
28	C4	MCU_CLK	DO	MCU用クロック出力
29	A5	BSS	DI	SPIイネーブル (アクティブLow)
30	D3	SCLK	DI	SPIクロック/I ² Cクロック
31	D4	MOSI	DI	SPIデータ入力
32	B5	MISO	DO_T	SPIデータ出力/I ² Cデータ・ライン
33	NA	NA	P	サーマル・パッド

1. P: 電源ピン

AIO: アナログI/O、AI: アナログ入力、AO: アナログ出力

DI: デジタル入力、DIPD: プルダウン付きデジタル入力、DO: デジタル出力、DO_T: トライステート・デジタル出力、DIO: 双方向デジタル信号

表 3. ST25R3917 - VFQFPN32のピン割当て

VFQFPN32	名前	種類 ⁽¹⁾	説明
1	VDD_IO	P	ペリフェラル通信用正電源
2	NC	-	このピンは接続してはなりません。
3	VDD_D	AO	デジタル電源レギュレータ出力
4	XTO	AO	水晶発振器出力
5	XTI	AI/DI	水晶発振器入力 (テスト・モードでクロック用デジタル入力として使用)
6	GND_D	P	デジタル・グランド
7	VDD_A	AO	アナログ電源レギュレータ出力
8	V _{DD}	P	外部正電源
9	VDD_RF	AO	アンテナ・ドライバ用の電源レギュレータ出力
10	VDD_TX	P	送信回路用外部正電源
11	VDD_AM	AO	AM変調用のドライバ電源レギュレータ出力

参考資料

表 3. ST25R3917 - VFQFPN32のピン割当て (続き)

VFQFPN32	名前	種類 ⁽¹⁾	説明
12	GND_DR	P	アンテナ・ドライバのグランド (ドライバのV _{SS} と同電位)
13	RFO1	AO	アンテナ・ドライバ出力
14	VDD_DR	P	アンテナ・ドライバ用正電源入力
15	RFO2	AO	アンテナ・ドライバ出力
16	GND_DR	P	アンテナ・ドライバのグランド (ドライバのV _{SS} と同電位)
17	NC	-	このピンは接続してはなりません。
18	NC	-	このピンは接続してはなりません。
19	NC	-	このピンは接続してはなりません。
20	I ² C_EN	DI	I ² Cインタフェース・イネーブル
21	VSS	P	グランド、ダイ基板の電位
22	RFI1	AI	レシーバ入力
23	RFI2	AI	レシーバ入力
24	AGDC	AIO	アナログ基準電圧
25	NC	-	このピンは接続してはなりません。
26	GND_A	P	アナログ・グランド
27	IRQ	DO	割り込み要求出力
28	MCU_CLK	DO	MCU用クロック出力
29	BSS	DI	SPIイネーブル (アクティブLow)
30	SCLK	DI	SPIクロック/I ² Cクロック
31	MOSI	DI	SPIデータ入力
32	MISO	DO_T	SPIデータ出力/I ² Cデータ・ライン
33	NA	P	サーマル・パッド

1. P: 電源ピン

AIO: アナログI/O、AI: アナログ入力、AO: アナログ出力

DI: デジタル入力、DIPD: ブルダウン付きデジタル入力、DO: デジタル出力、DO_T: トライステート・デジタル出力、DIO: 双方向デジタル信号

4 アプリケーション情報

4.1 電源投入シーケンス

このデバイスは、電源が供給された時点でパワーダウン・モードに移行し、すべてのレジスタの内容がデフォルト状態に設定されます。

チップの温度が接合部温度よりも低い状態で内部過熱保護機能が動作しないように、電源投入後およびSet Default（デフォルト設定）コマンドの実行後に、3バイトのフレームFCh/04h/10h（レジスタへのアクセス、レジスタ・アドレス、レジスタ値）を送信する必要があります。

このICの基本的な設定手順は以下のとおりです。

1. **IOコンフィギュレーション・レジスタ1**と**IOコンフィギュレーション・レジスタ2**を適切に設定します。
2. 内部電圧レギュレータを設定します。高いPSRRをシステムに実現するためにダイレクト・コマンドAdjust Regulators（レギュレータ調整）を使用することを推奨します。
3. AATを使用する場合は、チューニングの手順を実行します。

上記の手順を実行すると、デバイスを使用できるようになります。

4.2 動作モード

ST25R3916/7の動作モードは、**動作コントロール・レジスタ**の内容で定義します。電源投入時、このレジスタのすべてのビットが'0'に設定され、ST25R3916/7はパワーダウン・モードの状態になります。このモードでは、動作している電源がPORとバイアス電源の一部のみなので、AFEの静的消費電力が最小限になります。レギュレータ自体は無効化されています。

このモードでもSPI/I²Cは機能するため、必要なコンフィギュレーション・レジスタはすべて設定できます。このモードではPT_memoryとFIFOにはアクセスできません。

enビット（**動作コントロール・レジスタ**のビット7）では、水晶発振器、レギュレータ、AAT制御出力ピンを制御します。このビットをセットすると、デバイスはレディ・モードに移行し、水晶発振器とレギュレータが有効になります。発振器の振幅と周波数が安定すると、それが割り込みによってマイクロコントローラに通知されます。このモードで、PT_memoryとFIFOにアクセスできるようになります。

レシーバとトランスマッタの両ブロックは互いに独立して有効になるので、一方をオフにしたまま、もう一方を動作状態にすることができます（rx_enビットとtx_enビットで制御）。この動作形態は、タグからの応答を想定していない状態で、リーダのフィールドは維持する必要がある場合に使用できます。別の例として、受信モード構成で実行するNFCIP-1アクティブ通信があります。この通信では、一方のイニシエータによってRFフィールドが生成され、他方は受信動作のみとなります。

動作コントロール・レジスタのwuビットをアサートし、他のビットを'0'に設定すると、ST25R3916/7はウェイクアップ・モードに移行します。このモードは、カードの存在を低消費電力で検出する際に使用します。このモードでは、低消費電力RC発振器と、レジスタで設定が可能なウェイクアップ・タイマを使用して、定期的な測定の実行スケジュールを設定します。あらかじめ規定された基準との差異が検出されると、マイクロコントローラをウェイクアップする割り込みが送信されます。ウェイクアップをトリガするために、静電容量センサ、位相測定、振幅測定を使用できます。

4.2.1 トランスマッタ

トランスマッタは、同一のプッシュプル・ドライバ・ブロックを2つ備えており、それぞれRFO1ピンとRFO2ピンに接続されています。これらのドライバは、外付けアンテナのLCタンクを差動構成で駆動します。2つのドライバの一方のみを動作状態にすることもできます。[IOコンフィギュレーション・レジスタ1](#)のsingleビットをセットし、どちらのRFO/RFIを使用するかをrfo2ビットで指定します。

出力抵抗

各ドライバは、バイナリ重み付けした値の出力抵抗を備えた8つのセグメントで構成されています。MSBのセグメントのオン抵抗値は 4Ω （代表値）です。すべてのセグメントをオンにしたときの出力抵抗値は 2Ω （代表値）です。通常は、すべてのセグメントがオンになり、通常状態での送信レベル（非変調）が規定されています。高インピーダンスのドライバを持つ回路を駆動するために、非変調レベルを駆動するときに特定のMSBセグメントをオフに切り換えることもできます。

[送信ドライバ・レジスタ](#)のd_res<3:0>ビットは、通常送信時の抵抗値を規定します。デフォルト設定は、使用できる最小抵抗値です。

シングル・ドライバ・モードを使用すれば、アンテナのLCタンク部品の個数、つまりコストが半減しますが、出力電力も低下します。シングル・モードで2つのRFO出力に2つのアンテナのLCタンクを接続し、[IOコンフィギュレーション・レジスタ1](#)のrfo2ビットを制御して、これら2つを多重化することもできます。

データを送信するには、トランスマッタの出力レベルを変調する必要があります。AM変調とOOK変調の各方式に対応しています。この変調の種類は、[モード設定レジスタ](#)のtr_amビットで設定します。

ドライバでの送信変調

OOK変調の場合（ISO14443Aなど）、トランスマッタのドライバではキャリア周波数の駆動が停止します。その結果、アンテナのLCタンクの振幅は減衰し、その時定数はLCタンクのQ値で決まります。

AM変調の場合（ISO14443Bなど）は、変調状態を駆動するドライバの電源電圧として、追加のレギュレータが供給する電圧 V_{DD_AM} を使用します。

AM変調のレベルは、[送信ドライバ・レジスタ](#)のam_mod3:0ビットで設定します。

以下のプロトコルでは、AM変調を手動で有効にして、適切な変調レベルを設定する必要があります。

- ISO14443B
- FeliCa
- ISO15693（OOK以外の場合）
- NFCIP-1 212および424 kb/sのイニシエータまたはアクティブ・ターゲット

[送信ドライバ・レジスタ](#)では、適用する規格に応じた変調指数を5%~30%の範囲で設定できます。

パッシブ負荷変調

ST25R3916/7では、次の2種類の方法でパッシブ負荷変調を実現できます。

- 内部ドライバの負荷変調
- 外付けのMOSトランジスタとダイオードでアンテナの負荷を発生する負荷変調

ドライバによる負荷変調はIm_dri、外付けMOSによる変調はIm_extの各オプション・ビットでそれぞれ選択します。

通常、内部ドライバによる負荷変調と外付け負荷による変調は、いずれか一方を排他的に使用すべきですが、このデバイスでは両者を同時に使用して変調することも可能です。

ドライバによる負荷変調は、そのインピーダンスの変化に基づいて実行されます。通常、非変調状態に高インピーダンスを使用し、変調状態ではインピーダンスが低下するようにします。これにより、パッシブ・タグ変調と同様の変調を行うことができます。非変調状態に低インピーダンス、変調状態に高インピーダンスを使用することでドライバ負荷変調の極性を反転した設定にすることもできます。

非変調状態と変調状態の出力インピーダンスは、それぞれpt_res3:0オプション・ビットとptm_res3:0オプション・ビットで設定します。

外付けのMOSトランジスタとダイオードによる負荷変調は、Im_extオプション・ビットで設定します。この場合、デジタル化した負荷変調信号（848kHzのサブキャリアまたは424/212kHzの変調信号）でEXT_LMピンが駆動されます。EXT_LMを使用して、外付けの変調MOSのゲートを駆動します。外付け負荷による変調の極性反転は、Im_ext_polビットで設定します。

pt_res<3:0>の各ビットとptm_res<3:0>の各ビットは、パッシブ・ターゲット・モード（reg 03h）に移行する前に設定しておく必要があります。パッシブ・ターゲット・モードでは、クロックが得られる状態（FDTも含めたPTデータ送信期間）でのみ送信ドライバ経由でそれらの抵抗値が負荷として見えるからです。

トランスマッタの低速立ち上げ

トランスマッタを有効にすると、最大出力でアンテナのLCタンクが駆動されます。アンテナが放射するフィールドの立上がり速度はアンテナのLCタンクのQ値で決まります。

しかし、リーダ・システムの中には、リーダを有効にした後、そのフィールドを長い遷移時間を経て立ち上げることを必要とするものがあります。STIF（Syndicat des transports d'Ile de France）の仕様では、フィールドが10%から90%まで立ち上がるまでに要する遷移時間を10μs以上とすることを規定しています。

ST25R3916/7は、この機能に対応しています。このような遷移時間を実現するために、トランスマッタが無効なときは安定化電圧VDD_RFを低くし、トランスマッタを有効にした時点で再度フィールドを立ち上げています。遷移時間の代表値は、3V電源で15μs、5V電源で20μsです。

低速遷移を実装する手順は次のとおりです。

- トランスマッタを無効にするときに**IOコンフィギュレーション・レジスタ2**のslow_upビットを'1'に設定します。この状態を2ms以上維持してVDD_RFの放電を待ちます。
- トランスマッタを有効にすると、その出力が低速で立ち上がります。
- コマンドを送信する前に、slow_upの設定を'0'に戻します。

4.2.2 レシーバ

レシーバは、13.56MHzのキャリア周波数に重畠されたタグによるサブキャリア変調を復調します。サブキャリア信号のAM/PMまたはI/Qの復調、増幅、帯域通過フィルタ処理、デジタル化を実行します。さらに、RSSI測定、自動ゲイン制御（AGC）、スケルチ機能も実行します。

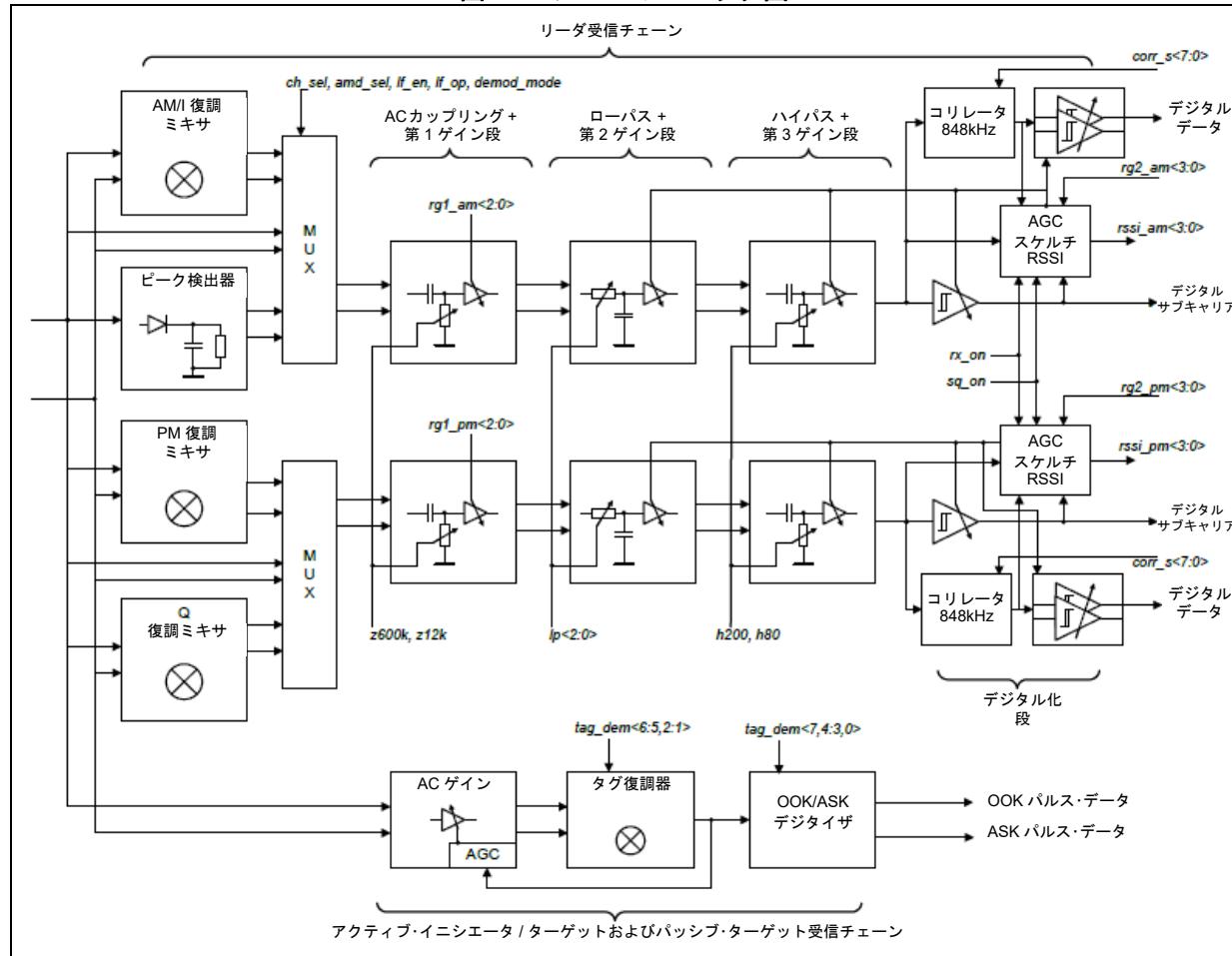
受信チェーンには、AMとPMの復調用に独立した2つのチャネルがあります。両方のチャネルが有効な場合、受信フレーミングを実行するチャネルはレシーバのロジックによって自動的に選択されます。[動作コントロール・レジスタ](#)のrx_enビットを'1'に設定するとレシーバがオンになります。

[動作コントロール・レジスタ](#)には、rx_chnビットとrx_manビットもあります。これらは、復調チャネルを両方とも有効にするか、どちらか一方のみを有効にするかを設定します。rx_manビットは、両方のチャネルが有効な場合に、チャネルの選択モード（自動または手動）を設定します。ch_selビットは、デコードに使用するチャネルを選択します。

表 4. 受信チャネルの選択

rx_chn	rx_man	ch_sel	選択される受信チャネル
0	0	x	自動選択
0	1	0	AMチャネルまたはIチャネル
0	1	1	PMチャネルまたはQチャネル
1	x	0	AMチャネルまたはIチャネル
1	x	1	PMチャネルまたはQチャネル

図7. レシーバのブロック図



復調段

初段は、HFフィールド・キャリアに重畠された、タグのサブキャリア応答信号を復調します。AM復調には次の2種類のブロックが実装されています。

- ピーク検出器
- AM/I復調ミキサまたはPM/Q復調ミキサ

どちらの復調器を使用するかは、[レシーバ・コンフィギュレーション・レジスタ2](#)のamd_selビットで選択します。

ピーク検出器は、ピーク・フォロワを使用してAM復調を実行します。正負両方のピークを追跡することで、同相信号をすべて除去します。ピーク検出器の復調ゲインGは0.7で、入力は復調器のRFI1入力からのみ取得します。

AM復調ミキサは、両方のレシーバ入力 (RFI1とRFI2) を同期整流します。この復調ミキサのゲインGは0.55です。PM復調にもミキサを使用します。PM復調ミキサは、1%の位相変化に対して60mVの差動信号を出力します (16.67mV/°)。

I/Q復調回路は、水晶発振器から生成したローカル発振器 (LO) 信号に90°の位相シフトを適用した信号で駆動する2つのミキサ回路で構成されます。2つのミキサの出力は、2つの等価なベース・バンド受信チェーンとデコード・ロジックに接続されています。

フィルタ処理とゲイン段

レシーバ・チェーンは、帯域通過フィルタ特性を備えています。このフィルタ処理は、キャリア周波数、低周波ノイズ、DC成分を除去し、サブキャリア周波数が通過するように最適化されています。フィルタ処理とゲインの回路は3段構成です。初段と終段に1次のハイパス特性、中間段に2次のローパス特性を設定しています。

ゲイン特性とフィルタ処理特性は、アプリケーションに応じ、[レシーバ・コンフィギュレーション・レジスタ1](#)（フィルタ処理）、[レシーバ・コンフィギュレーション・レジスタ3](#)（初段の1次ゲイン）、[レシーバ・コンフィギュレーション・レジスタ4](#)（2段目と3段目のゲイン）に書き込むことで最適化できます。

初段のゲインは約20dBですが、2.5dB単位で6段階に低くすることができます。特殊なブースト・モードも用意されています。このモードを使用すると、最大ゲインがさらに5.5dB高くなります。初段のゲインを変更する手段は、[レシーバ・コンフィギュレーション・レジスタ3](#)への書き込みのみです。このレジスタのデフォルト設定では、最低ゲインが得られるようになっています。初段のデフォルトのゼロ点は60kHzですが、[レシーバ・コンフィギュレーション・レジスタ1](#)のオプション・ビットに書き込むことで、この値も40kHzまたは12kHzまで低くすることができます。オプション・ビットz600kをセットすることで、初段を600kHzの2次ハイパス・フィルタとして再設定することもできます。初段と3段目のゼロ点は、両方に共通の制御ビット（[表 6](#)参照）で制御します。

表 5. ローパス制御

rec1<5>lp2	rec1<4>lp1	rec1<3>lp0	-1 dBポイント
0	0	0	1200 kHz
0	0	1	600 kHz
0	1	0	300 kHz
1	0	0	2 MHz
1	0	1	7 MHz
上記以外			未使用

表 6. 初段と3段目のゼロ点設定

rec1<3>z600k	rec1<2>h200	rec1<1>h80	rec1<0>z12k	初段のゼロ点	3段目のゼロ点
0	0	0	0	60kHz	400kHz
0	1	0	0		200kHz
0	0	1	0	40kHz	80kHz
0	0	0	1	12kHz	200MHz
0	0	1	1		80kHz
0	1	0	1	600kHz	200MHz
1	0	0	0		400kHz
1	1	0	0	600kHz	200MHz
その他					未使用

2段目と3段目のゲインは23dBで、3dB単位で6段階に低くすることができます。これら2段のゲインは、AGCとスケルチによるループで制御できるほか、[レシーバ・コンフィギュレーション・レジスタ4](#)を使用して手動で設定することもできます。AGC、スケルチ、RSSIブロックを初期化するには、ダイレクト・コマンドReset RX Gain（受信ゲイン・リセット）を送信する必要があります。このコマンドを送信すると、現在のスケルチ設定がクリアされ、手動で低い値に設定したゲイン値が[レシーバ・コンフィギュレーション・レジスタ4](#)からロードされます。2段目は、2次のローパス・フィルタ特性を備え、[レシーバ・コンフィギュレーション・レジスタ1](#)のlp2ビットとlp0ビットにより、サブキャリア周波数に応じて通過帯域を調整できます。各種設定に対する-1dBの遮断周波数を表 5に示します。

デジタル化段

デジタル化段は、レシーバから入力されるサブキャリア信号をデジタル化します。このデジタル信号は、レシーバのフレーミング・ロジックで処理されます。デジタル化段は、調整可能なデジタル化ウィンドウによるウインドウ・コンパレータで構成されています。このウインドウは-3dB単位で5段階に調整でき、その調整範囲は±33mV～±120mVです。デジタル化ウィンドウの調整は、AGCおよびスケルチのループで制御されます。また、[レシーバ・コンフィギュレーション・レジスタ4](#)によって手動で設定することもできます。

AGC、スケルチ、およびRSSI

前述のとおり、2段目と3段目にあるゲイン段のゲインおよびデジタル化段のウインドウは、AGCとスケルチのループで制御されています。ここでは11通りの設定が可能です。デフォルト状態では、デジタイザのウインドウが最小、ゲインが最大に設定されています。最初の4つのステップでは、デジタイザのウインドウが3dB単位で大きくなり、次の6つのステップでは、さらに2段目と3段目のゲインが同様に3dB単位で低くなります。スケルチとAGCの開始設定の初期値は[レシーバ・コンフィギュレーション・レジスタ4](#)で設定します。ゲインを低くしたレジスタには、スケルチやAGCで設定された実際のゲインの状態と、[レシーバ・コンフィギュレーション・レジスタ4](#)での初期設定が表示されます。

スケルチ

この機能は、ノイズの多い環境での動作を想定して設計されています。ノイズは、誤ってタグ応答の開始と判断される可能性があり、デコード・エラーの原因となります。

自動スケルチは、[レシーバ・コンフィギュレーション・レジスタ2](#)のsqm_dynオプション・ビットによって有効になります。送信完了後18.88μsで自動的に動作を開始し、[スケルチ・タイマ・レジスタ](#)に設定された値にマスク受信タイマ（MRT）が達すると停止します。このモードは、タグ応答が想定されていない期間（MRTの期間）にタグ処理によって発生するノイズの抑制を主な目的としています。

スケルチは、スケルチ比が1と6の2つのモードで動作でき、これらのモードは[レシーバ・コンフィギュレーション・レジスタ2](#)のpulz_61ビットで選択します。

スケルチ比1とは、メイン・デジタイザからのサブキャリア信号を観測し、その遷移の頻度が少なくなるようにシステム・ゲインを低くすることを意味します。50μsの期間に、このサブキャリア信号出力に3回以上遷移が発生した場合は、ゲインを3dB低くし、次の50μsで引き続き出力を観測します。50μs内の遷移が2回以下になるか、ゲイン低下幅が最大値に達するまで、この手順を繰り返します。このモードでは、デジタル化したサブキャリア出力を使用するプロトコルを主に想定しています。

スケルチ比6とは、デジタル化ウィンドウの6倍のウインドウを設定したウインドウ・コンパレータを使用して、上記と同様に遷移の頻度を観測して低くします。このモードでは、コリレータからの出力を使用するプロトコル（ISO-A、ISO-Bの相関受信）を想定しています。

スケルチ動作で得られたゲイン設定は、ダイレクト・コマンドReset RX Gain（受信ゲイン・リセット）（受信ゲイン・リセット）を送信することでクリアできます。

AGC

AGC（自動ゲイン制御）は、レシーバ・チェーンとデジタル化段が飽和しないように、ゲインを低くする機能です。ゲインを適切に調整すれば、復調プロセスもシステム・ノイズの影響を受けにくくなります。

AGCのロジックは、rx_on信号をHighにアサートすると動作を開始し、rx_on信号をLowにリセットするときリセットされます。rx_onビットがHighからLowに遷移するときに、レシーバのゲインの状態が[ゲイン低減状態レジスタ](#)に格納されます。後でこのレジスタを読み出すことで、前回の受信で使用されたゲイン設定の情報を得ることができます。

AGCシステムは、ウィンドウ・コンパレータおよび3または6に設定できるAGC比で構成されます。例えば、AGC比を6に設定した場合、このコンパレータのウィンドウは、データ・デジタル化ウィンドウの6倍になります。AGC機能が有効になると、出力に遷移がまったく見られなくなるまでゲインが低下します。このような手順により、デジタル化ウィンドウ・コンパレータが、そのウィンドウの最大6倍の大きさの入力で動作できます。

AGC比を3に設定した場合は、デジタル化ウィンドウ・コンパレータへの入力は、そのウィンドウの最大3倍に設定されます。

AGCの動作は、[レシーバ・コンフィギュレーション・レジスタ2](#)のagc_en、agc_m、agc_alg、agc6_3の各コントロール・ビットで制御します。

agc_mビットは、AGCのモードを設定します。設定できるモードは2種類です。1つは、rx_on信号がHighであるかぎり、受信プロセスの全期間にわたってAGCが動作するモードです。もう1つは、サブキャリアの最初の8パルスの間だけAGCが有効になるモードです。

agc_algビットでは、2つのAGCアルゴリズムのいずれかを選択できます。AGCの動作を、プリセット（デジタイザのウィンドウとゲインを最大に設定）によって開始するか、リセット（デジタイザのウィンドウを最小、ゲインを最大に設定）によって開始するかを選択します。短いSOFを使用するプロトコル（106kbpsのISO14443Aなど）では、より高速な、プリセット設定によるアルゴリズムの使用をお勧めします。

コリレータ

コリレータは、フィルタ処理された受信サブキャリアと848kHzとの相関を測定します。この相関測定の目的は、848kHzにおけるシステム感度を最大にすると同時に、他の周波数を除去することです。コリレータには、AMチャネル（またはIチャネル）用とPMチャネル（またはQチャネル）用の2つがあります。

コリレータは、[コリレータ・コンフィギュレーション・レジスタ1](#)と[コリレータ・コンフィギュレーション・レジスタ2](#)で設定します。

RSSI

レシーバでは、両チャネルでのRSSI（受信信号強度インジケータ）も測定します。RSSI測定は、rx_onの立上がりエッジから開始します。rx_on信号がHighの期間に測定を継続し、rx_onがLowになると測定値が保持されます。初期値の0から増加方向にのみ測定値が変化できるピーク・ホールド型です。AGCによってゲインが低下するたびにRSSI測定はリセットされ、0から再開されます。RSSIの測定結果は4ビット値であり、[RSSI表示レジスタ](#)を読み出すことで確認できます。

LSBの1ビットは2.8dBに相当し、最大値はDh (13d) です。

RSSI測定はピーク・ホールド型なので、測定結果は信号強度の変化に追随しません（最大値のみが保持されます）。RSSIの変化を追跡するには、ダイレクト・コマンド[Clear RSSI \(RSSIクリア\)](#)によってRSSIの各ビットをリセットし、測定を再開します。

クロック抽出回路

クロック抽出回路は、RFI1とRFI2の差動信号を観測し、受信RFフィールドと同期したクロック信号を出力します。抽出したクロックは同期復調、フレーム遅延時間の補正、パッシブ送信時のデータ・タイミングの補正に使用されます。クロック抽出回路は、最小で60mV_{PP}の入力信号まで動作します。

4.2.3 アンテナ・チューニング

ST25R3916/7は、外付けの可変コンデンサによるアンテナ・チューニングに対応しています。整合回路の所定の位置に可変コンデンサを接続し、制御出力ピン（AAT_A、AAT_B）のいずれかにチューニング制御電圧を接続します。

整合回路では、複数の可変コンデンサを直列構成または並列構成とすることができます。さまざまな構成例に関する情報は、アプリケーション・ノートAN5322（www.st.comより入手可能）に記載されています。

位相と振幅の検出ブロックを使用して共振周波数を確認します。マイクロコントローラのアルゴリズムで測定結果を評価し、AAT_AとAAT_Bの各出力ピンのチューニング電圧を調整します。この調整では、マイクロコントローラのファームウェアに記述された手順に従ってアンテナ・チューニング・コントロール・レジスタ1とアンテナ・チューニング・コントロール・レジスタ2を使用します。

AAT_AとAAT_Bピンの電圧は、enおよびaat_enのオプション・ビットが両方セットされている場合に、アンテナ・チューニング・コントロール・レジスタ1とアンテナ・チューニング・コントロール・レジスタ2に従って動的に設定されます。

aat_en=1、en=0の場合は、AAT_AとAAT_Bの電圧が1.5V ~ 2.2Vの範囲の固定値に設定されます（通常は1.9V）。

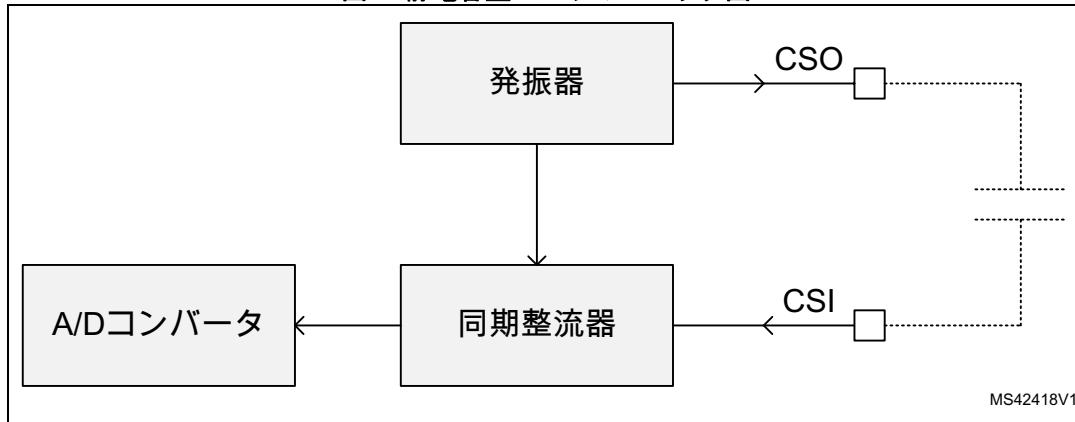
4.2.4 静電容量センサ

静電容量センサにより、2つのパッド間の静電容量を測定できます。この機能の使用例として、ウェイクアップ・モードや低消費電力カード検出があります。

静電容量測定系は、2つの電極から構成されます。一方は数百kHz範囲の固定周波数で電界を放射する励起電極（CSO）、もう一方は、検出電極（CSI）です。検出電極に生成された電荷量が、2極間の静電容量を表します。静電容量センサの電極は、対グランドの寄生容量（最大25pF）と入力リード抵抗（最大1MΩ）を許容できるように設計されています。

励起電極の周波数で検出電極に生成された電荷を同期整流回路で検出します。これにより、干渉を大幅に除去でき、寄生容量（励起電極を除くすべてのノードとの寄生容量）に対しても高い耐性が得られます。同期整流回路の出力は、励起電極と検出電極間の静電容量に線形比例するDC電圧です。このDC出力電圧を、絶対モードのA/Dコンバータで変換します。結果は、A/Dコンバータ出力レジスタに格納されます（セクション 2.2.5: A/Dコンバータも参照）。

図 8. 静電容量センサのブロック図



導電性の物体（人の手やタグ・アンテナの巻き線）が2つの電極に接近すると、励起電極と検出電極間の静電容量が変化します。これらの物体が2極間に結ぶ経路上で部分的にコンダクタンスとして機能することで、2極間の距離が「短く」なるからです。

静電容量の測定は、ダイレクト・コマンド [Measure Capacitance](#)（静電容量測定）を送信することで開始します。ST25R3916/7は、自動的にウェイクアップして定期的に静電容量を測定するように設定することもできます。格納された基準値または前回までの測定値の平均と、この測定結果を比較し、その差が事前設定値よりも大きい場合、IRQがトリガされ、コントローラをウェイクアップします（[セクション 4.2.5](#)も参照）。

静電容量センサのゲインは、[静電容量センサ・コントロール・レジスタ](#)で調整できます。デフォルトのゲインは2.8V/pF（代表値）、最大ゲインは6.5V/pF（代表値）です。A/Dコンバータの LSB は約7.8mVに相当するため、デフォルトのゲインでは、2.8fF/LSB（最大ゲインの場合は1.2fF/LSB）の感度が得られます。

静電容量の測定時間は200 μ s、測定中の消費電流は1.1mA（代表値）です。例えば、ウェイクアップ・モードで100msごとに静電容量を測定した場合、平均消費電流は5.8 μ Aになります（そのうち、3.6 μ Aはウェイクアップ・モードのスタンバイ電流）。

静電容量センサの補正

静電容量センサには、CSIとCSO間の寄生容量を内部補償する補正回路が組み込まれています。これにより、容量変化に関する情報の測定範囲を全域にわたって確保できます。補正の制御には5ビットを使用します。補正の最小単位は0.1pF、利用できる補正範囲は3.1pFです。[静電容量センサ・コントロール・レジスタ](#)に書き込むことによる手動補正、またはダイレクト・コマンド [Calibrate Capacitive Sensor](#)（静電容量センサ補正）を送信することによる自動補正が可能です。このコマンドの状態と、得られた補正值は[静電容量センサ表示レジスタ](#)に格納されます。

静電容量センサが水晶発振器やリーダ磁界と干渉しないようにして、結果の再現性を確保するため、静電容量の測定と補正是、パワーダウン・モードでのみ実行することを強く推奨します。

4.2.5 ウェイクアップ・モード

[動作コントロール・レジスタ](#)のwuビットをアサートし、他のビットを'0'に設定すると、ST25R3916/7はウェイクアップ・モードに移行します。このモードは、カードを低消費電力で検出するときに使用します。ST25R3916/7で可能な動作形態として、静電容量センサ、位相測定、振幅測定の3種類があります。内蔵された32kHzの低消費電力RC発振器と、レジスタで設定が可能なウェイクアップ・タイマを使用して、定期的な測定のスケジュールを設定します。

通常、カードの存在はポーリングによって検出します。ポーリングでは、リーダのフィールドを定期的にオンにし、RFコマンドを使用してコントローラでカードの有無を確認します。この手順は、コマンドを発行できるようになるまでリーダのフィールドを5msの間、オンにする必要があるため、多くの電力を消費します。

低消費電力のカード検出では、カードが存在することによってリーダの環境に発生する変化を測定します。変化が検出されると、コントローラに割り込みが送信されます。これによって、コントローラは通常のポーリング・ループを実行できます。

ウェイクアップ・モードのST25R3916/7では、設定されたリーダ環境測定を定期的に実行し、設定された基準値との差が検出されると、コントローラにIRQを送信します。

カード検出

リーダのアンテナ・コイルにカードが接近することによって、アンテナのLCタンクで信号の位相と振幅が変化します。位相または振幅を測定するためにリーダでフィールドのアクティブ化に要する時間は、プロトコル実行コマンドの送信に必要なアクティブ化時間に比べてきわめて短く、最大でも20 μ sにすぎません。

また、測定中の電力レベルも、通常動作に比べて低く抑えられます。結合効果を生成するためにカードに電源を供給する必要がないからです。放射される電力は、RFO ドライバの抵抗値を変更することで低減できます。

静電容量センサは、2つの電極間の寄生容量の変化を検出します。この容量変化は、カードのアンテナまたはカードを持っている手によって発生します ([セクション 2.2.6: 静電容量センサ](#) 参照)。

レジスタの32hから3Ehは、ウェイクアップの設定と表示専用です。[ウェイクアップ・タイマ・コントロール・レジスタ](#)は、ウェイクアップ・モード設定のメイン・レジスタです。連続検出の間隔に対するタイムアウト時間や、どの測定を実行するかを、このレジスタで選択します。タイムアウトは10ms ~ 800msの範囲で設定でき、デフォルト値は100 msです。

レジスタの33hから3Dhは、使用可能な3種類の測定を設定し、測定結果を格納します。測定方法ごとに4つのレジスタが使用されます。

測定値と基準値の差が、設定された閾値を超えるとIRQが送信されます。基準値には、以下の2種類の設定方法があります。

- ST25R3916/7が、これまでの測定値に基づいて基準値を計算する方法
(自動平均化)
- コントローラで基準値を決定し、レジスタに格納する方法

4つのレジスタのうち、1番目は振幅測定コンフィギュレーション・レジスタです。このレジスタでは、IRQをトリガする基準との差、基準値の定義方法、自動平均化を使用する場合の前回の測定結果に対する重みを設定します。2番目のレジスタは、コントローラで基準値を設定する場合に、その値を格納します。3番目と4番目のレジスタは表示用です。3番目には自動平均化による基準値、4番目には前回の測定結果がそれぞれ格納されます。

実際にウェイクアップ・モードに移行する前に、ウェイクアップ・モード・コンフィギュレーション・レジスタを設定する必要があります。ウェイクアップ・モードが有効なまま、ウェイクアップ・モード設定を変更すると、予期しない動作の原因となることがあります。

自動平均化

自動平均化では、測定が終了するたびに基準値を再計算します。この計算には、最新の測定値、これまでの基準値、重みを使用します。新しい基準値の計算には、次の式を使用します。

$$\text{新基準} = \text{旧基準} - (\text{旧基準} - \text{測定値}) / \text{重み}$$

十分な精度が得られるように、計算は10ビットで実行されます。

自動平均化のプロセスは、デバイスの初期化後（電源投入後または[Set Default（デフォルト設定）](#)コマンドの実行後）、はじめてウェイクアップ・モードに移行したときに初期化されます。初期値は、測定基準レジスタ（例えば[振幅測定基準レジスタ](#)）の内容が0でなければ、そこから取得します。このレジスタの内容が0の場合は、最初の測定結果を初期値とします。

すべての測定コンフィギュレーション・レジスタには、割り込み生成の要因となる測定値を平均の計算に算入するかどうかを設定するビットがあります（[振幅測定基準レジスタ](#)のam_aamビットなど）。

4.2.6 水晶発振器

27.12MHzの水晶振動子による水晶発振器の動作は、[動作コントロール・レジスタ](#)のenビットを'1'に設定すると有効になります。発振器の振幅が十分に大きくなつたとき、つまり周波数が安定すると、それが割り込みによってマイクロコントローラに通知されます（[メイン割り込みレジスタ](#)参照）。

発振器の状態は、[補助表示レジスタ](#)のosc_okビットによって確認できます。発振器の周波数が安定すると、このビットが'1'に設定されます。

この発振器は、制御電流源によって給電されるインバータ段を基本としています。バイアス電流をフィードバック・ループで制御して、XTIピンの振幅を安定した1V_{PP}に維持します。リーダの高速起動を可能にするため、発振器の振幅が750mV_{PP}を超えた時点で割り込みが送信されます。

1/2の分周によって、デューティー・サイクルを50%とした13.56MHzの信号を実現しています。これにより、PW歪みが発生せず、トランスマッタの性能向上が望めます。

この発振器の出力は、クロック信号出力ピンMCU_CLKの駆動にも使用されます。このクロックは外部マイクロコントローラで使用できます。MCU_CLKピンは[IOコンフィギュレーション・レジスタ2](#)で設定します。

4.2.7 タイマ

ST25R3916/7は、各種タイマを搭載しているため、コントローラでカウンタを実行する必要があります。これにより、コントローラ・コードの実装や他のコントローラへの移植に要する工数を削減できます。

すべてのタイマに、それぞれに関連する1つ以上のコンフィギュレーション・レジスタが用意され、そこでタイムアウト時間や各種動作モードを設定できます。これらのコンフィギュレーション・レジスタは、それに対応するタイマが動作していないときに設定する必要があります。タイマが有効な状態でその設定を変更すると、予期しない動作の原因となることがあります。

すべてのタイマは、ダイレクト・コマンド[Stop All Activities（全動作停止）](#)によって停止します。

マスク受信タイマ（MRT）

このタイマがリーダ・モードで動作していると、送信完了後、タグからの応答が想定されない期間はrx_on信号がLowに保持され、レシーバの動作とフレーミング・ロジックの受信プロセスがブロックされます。マスク受信タイマの動作中は、スケルチを有効にしていればスケルチが自動的にオンになります。MRTではIRQを生成しません。

MRTのタイムアウトは[マスク受信タイマ・レジスタ](#)で設定します。データ送信の完了時（EOFの終端）にMRTは自動的にカウントを開始します。

また、ダイレクト・コマンドStart Mask-receive timer（マスク受信タイマ起動）でトリガすることもできます。その場合、[スケルチ・タイマ・レジスタ](#)の設定に応じてスケルチが有効になります。

NFCIP-1のアクティブ・イニシエータ、アクティブ・ターゲット、パッシブ・ターゲット通信モードでは、相手側デバイスがフィールドを形成し、外部フィールド検出器のI_eon信号がオンになるとMRTがカウントを開始します。

MRTは、mrt_stepオプション・ビットの設定により、NFCIP1に必要な長時間のカウントにも対応できます。このビットは、fc/64とfc/512の間でステップ・サイズを切り替えます。

MRTは、低消費電力の初期NFCターゲット・モードでもカウントを開始します。イニシエータのフィールドが検出されると、コントローラでは、27kHzのRC発振器、レギュレータ、水晶発振器、レシーバ、MRTをオンにします。MRTがタイムアウトした時点で、レシーバ出力の観測が始まり、イニシエータのメッセージ開始を検出します。

低消費電力の初期NFCターゲット・モードが適切に動作するには、mrt_step = 1を使用する必要があります。水晶発振器が安定するまでは、27kHzのRC発振器がMRTのクロック源として使用されます。これにより、水晶発振器がまだ動作していない場合でも、設定時間に対して、実際のMRT時間を良好な近似値として扱うことができます。

応答なしタイマ（NRT）

このタイマの目的は、送信の終了から一定の設定時間内に応答が検出されるかどうかを観測することです。このタイマがタイムアウトして生成される割り込みイベントは、[タイマ/NFC割り込みレジスタ](#)のI_nreフラグによって通知されます。

NRTは[応答なしタイマ・レジスタ1](#)と[応答なしタイマ・レジスタ2](#)に書き込むことで設定します。動作オプションは、[タイマ/EMVコントロール・レジスタ](#)のnrt_envビットとnrt_stepビットの設定によって定義します。

NRTは、送信の完了時に自動的にカウントを開始します。

nrt_stepビットは、応答なしタイマのカウント時間単位を設定します。64/fc (4.72μs) と4096/fcを選択でき、それぞれ最大で309msと19.8sのタイムアウトに対応します。

nrt_envビットは、タイマの動作モードを設定します。

- このビットを'0'に設定すると（デフォルト・モード）、応答開始が検出されずにNRTがタイムアウトしたときにIRQが生成されます。さらに、レシーバを無効化するためにrx_onがLowに設定されます。この逆の場合、つまりタイムアウト前にタグの応答開始が検出された場合、タイマは停止し、IRQは生成されません。
- このビットを'1'に設定した場合、タイマがタイムアウトすると無条件でIRQが生成されます。また、ダイレクト・コマンドStop all activities（全動作停止）で停止することもありません。これは、タグ応答が検出されたかどうかに関係なくIRQが生成されることを意味します。タイムアウトの間にタグ応答が処理されていた場合、その他の動作は実行されず、そのタグ応答は通常どおり受信されます。この逆の場合、つまりタグ応答が処理されていなかった場合は、レシーバが無効化されます。

NRTは、Start No-response timer（応答なしタイマ開始）コマンドによる起動も可能です。このコマンドは、応答なしタイマ・コントロール・レジスタに設定された範囲よりも長いタイムアウトをNRTに設定することを目的としています。このコマンドをタイマの動作中に送信すると、タイマはリセットされてからカウントを開始します。

応答なしタイマは、ダイレクト・コマンドのStop No-response Timer（応答なしタイマ停止）またはStop All Activities（全動作停止）によって停止できます。タイマは停止し、IRQは送信されません。これらのコマンドは、受信があるために応答なしタイマが停止しないときに、nrt_emvモードで使用することを想定しています。

NFCIP-1アクティブ通信モードの場合、NRTの役割は、通常のリーダ・モードにおける動作と同じになります。応答開始が検出されずにNRTがタイムアウトすると、IRQが生成され、レシーバが無効化されます。ここでは以下の2つのモードを使用できます。

- nrt_nfc = 0
 - デバイスの送信フィールドがオフに切り替わると、汎用タイマを使用してカウントが開始されます。
 - この動作は、アクティブ・イニシエータとターゲット・モードおよびビット・レート検出モードで使用できます。
- nrt_nfc = 1
 - ピア・フィールドがオンに切り替わると、タイマがカウントを開始します。
 - この動作は、アクティブ・イニシエータおよびアクティブ・ターゲット・モードで使用できます。

ビット・レート検出モードでは、ピア・フィールドがオンに切り替わってもタイマのカウントが開始されません。ビット・レート検出モードからアクティブ・ターゲット・モードに遷移する場合、マイクロコントローラでデバイスをアクティブ・ターゲット・モードに再構成してからフィールドをオンにする必要があるからです。

NFCIP-1パッシブ・ターゲット・モードでは、応答なしタイマの機能は不要なので、自動的にカウントが開始されることはありません。

PPON2タイマ

このタイマは、リーダ・モードでは使用されません。

NFCIP-1モードでは、メッセージの送信を終了してトランスマッタがオフになると、このタイマが自動的にカウントを開始します。ピアNFCデバイスのフィールドのオンが検出されずに($T_{ADT} + n^*T_{RFW}$)、このタイマがタイムアウトすると、l_ppon2 IRQが送信されます。

外部RFフィールドが時間内に検出された場合は、タイマが停止し、IRQは送信されません。

時間はPPON2フィールド待機レジスタで設定します。

汎用タイマ

このタイマのトリガは[タイマ/EMVコントロール・レジスタ](#)で設定します。受信プロセスの所要時間の調査(SOFの後、受信開始でトリガ)や、PICC応答時間に対するPCDのタイムアウトのカウント(EOFの後、受信終了でトリガ)に使用できます。

NFCIP-1アクティブ通信モードの場合は、フィールドのオフ切り替えに対するタイムアウトのカウントに使用できます。いずれの場合も、タイムアウト時にIRQが送信されます。

汎用タイマのカウントは、ダイレクト・コマンドStart General purpose timer（汎用タイマ起動）を送信して開始することもできます。このコマンドをタイマの動作中に送信すると、タイマはリセットされてからカウントを開始します。

ウェイクアップ・タイマ

このタイマは、主にウェイクアップ・モードで使用します。ダイレクト・コマンドStart Wake-up Timer（ウェイクアップ・タイマ起動）を送信することで使用できます。このコマンドは、ウェイクアップ・モード以外のすべての動作モードで機能します。このコマンドを送信すると、ウェイクアップ・タイマのクロック源として使用されるRC発振器が動作を開始します。タイムアウト時間は[ウェイクアップ・タイマ・コントロール・レジスタ](#)で設定します。このタイマがタイムアウトすると、エラー/ウェイクアップ割り込みレジスタのI_wtフラグによるIRQが送信されます。

ウェイクアップ・タイマは、他のタイマを使用できないパワーダウン・モードで使用します。このモードでは、ウェイクアップ・タイマ以外のタイマのクロック源となる水晶発振器が動作していないからです。ウェイクアップ・タイマのタイムアウトの許容誤差は、RC発振器の許容誤差で決まることに注意してください。

NFCIP-1パッシブ・ターゲット・モードでは、初期ピア・フィールドのオン検出からデバイスの一時的な有効化までのタイムアウトのカウントにウェイクアップ・タイマを使用します。

4.2.8 A/Dコンバータ

ST25R3916/7は、8ビットの逐次比較型A/Dコンバータを搭載しています。複数の信号源からの入力を多重化して、各種のダイレクト・コマンドや調整手順に使用できます。最後の変換結果は[A/Dコンバータ出力レジスタ](#)に格納されます。一般的な変換時間は224/fc (16.5μs) です。

A/Dコンバータには、絶対モードと相対モードの2つの動作モードがあります。

- 絶対モードでは、Low側の基準は0 V、High側の基準は2 Vです。これは、A/Dコンバータの入力範囲が0 V ~ 2 Vであり、コード00hは入力が0V以下であること、コードFFhは入力が2 V - 1 LSB以上であることを意味します。LSBは7.8125mVに相当します。
- 相対モードの場合、Low側の基準は V_{DD_A} の1/11、High側の基準は V_{DD_A} の10/11です。したがって、入力範囲は1/11 V_{DD_A} ~ 10/11 V_{DD_A} です。

相対モードは、位相測定でのみ使用します（位相検出器の出力は電源電圧に比例します）。その他の用途では、すべて絶対モードを使用します。

4.2.9 位相検出器と振幅検出器

このブロックは、振幅と位相の測定値を得るための入力をA/Dコンバータに供給するために使用します。この測定値は、ダイレクト・コマンド[Measure Amplitude](#)（振幅測定）および[Measure Phase](#)（位相測定）を使用して得ることが想定されています。

位相検出器

位相検出器は、トランスマッタの出力信号（RFO1とRFO2）とレシーバの入力信号（RFI1とRFI2）との位相差を測定します。この値は、アンテナのLCタンクの信号に比例します。これらの信号は、まずデジタル化コンバータを通過します。デジタル化した信号を、急峻なローパス・フィルタ特性を持つ位相検出器によって処理し、位相差の平均値を求めます。位相検出器の出力は、2つの入力間の位相差に反比例します。これらの入力間位相差が90°の場合、出力電圧は $V_{DD_A}/2$ 、同位相の場合は V_{DD_A} 、逆位相の場合は0Vになります。ダイレクト・コマンド[Measure Phase](#)（位相測定）の実行時、この出力はA/Dコンバータの入力に多重化されます（このコマンドを実行中、A/Dコンバータは相対モードです）。A/Dコンバータの範囲が1/11 V_{DD_A} ~ 10/11 V_{DD_A} であることから、位相検出器の実際の検出範囲は17° ~ 163°になります。[図 9](#)と[図 10](#)に、位相差がそれぞれ90°および135°の場合について、位相検出器の2つの入力と1つの出力を示します。

図 9. 位相差が90°の場合の位相検出器の入出力

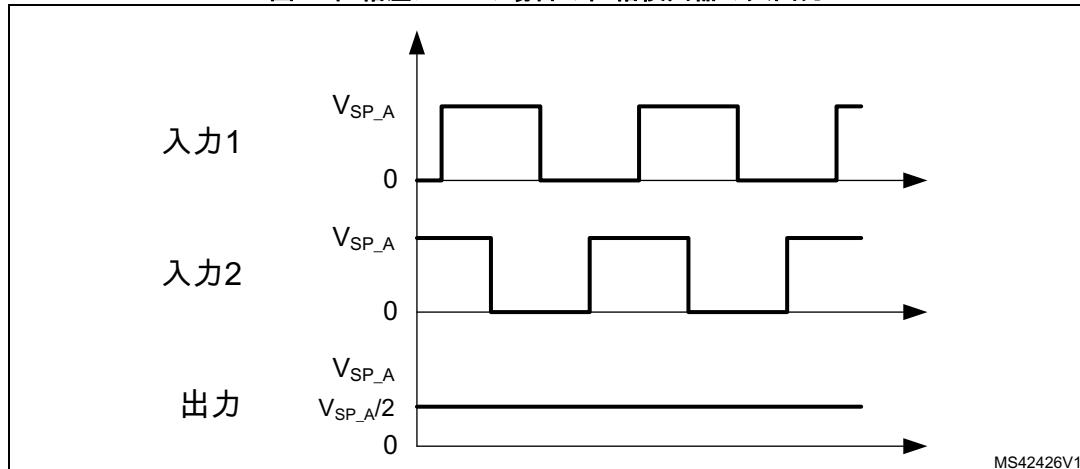
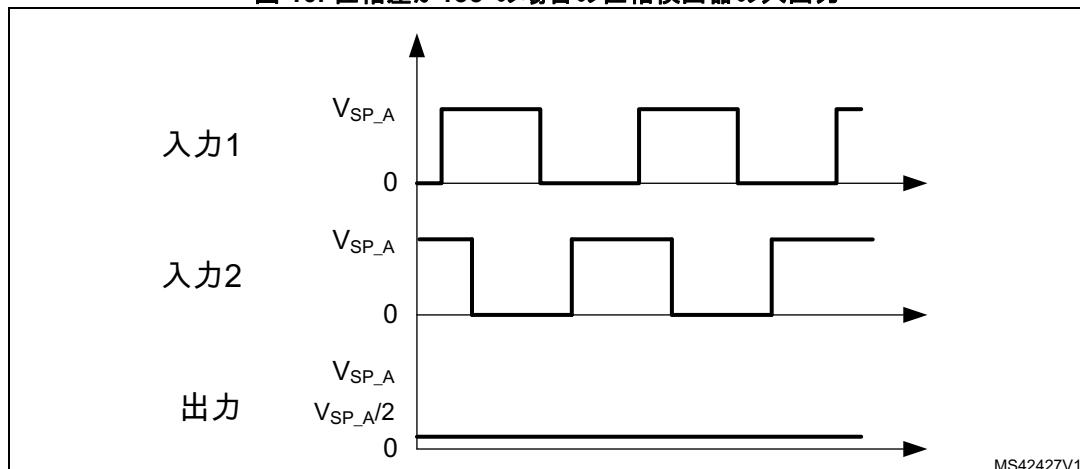


図 10. 位相差が135°の場合の位相検出器の入出力



振幅検出器

RFI1とRFI2ピンの信号を、自己ミキシング段の入力として使用します。この段の出力は、RFI1とRFI2ピンの信号の振幅に比例するDC電圧です。ダイレクト・コマンド[Measure Amplitude \(振幅測定\)](#)の実行時、この出力はA/Dコンバータの入力に多重化されます。

4.2.10 外部フィールド検出器

このブロックを使用して、RFフィールドを生成している外部デバイスを検出します。NFCIP-1アクティブ通信モードとパッシブ・ターゲット・モードで使用します。この検出器はen_fd_c<1:0>オプション・ビットで有効化します。外部フィールド検出器は、2種類の検出閾値であるピア検出とコリジョン防止に対応しています。これら2つの閾値は、[外部フィールド検出器アクティブ化閾値レジスタ](#)への書き込みによって別々に設定できます。検出器出力の実際の状態は、[補助表示レジスタ](#)を読み出すことで確認できます。このブロックへの入力はRFI1ピンの信号です。

両方の閾値に対して、アクティブ化と非アクティブ化のレベルを別々に設定できます。

外部フィールド・レベルが未検出の場合は、アクティブ化閾値を使用します。外部フィールド・レベルが検出されている場合は、非アクティブ化閾値を使用します。

アクティブ化閾値は、非アクティブ化閾値以上の値に設定する必要があります。

アクティブ化閾値を非アクティブ化閾値よりも大きくすると、2つのレベル差によるヒステリシス特性が得られます。

アクティブ化と非アクティブ化のレベルが等しい場合は、ヒステリシス特性が得られません。したがって、フィールドのオン/オフが複数回繰り返される状態を検出することで、選択した閾値付近に実際のフィールド・レベルが維持されていることを検証できます。

ピア検出閾値

この閾値を使用して、NFC通信の相手であるピアNFCデバイスが放射するフィールドを検出します。この閾値は75mV ~ 800mV_{PP}の範囲で選択できます。この閾値を有効にすると、検出器は低消費電力モードになります。外部フィールドが検出されたときのほか、外部フィールドがオフになったときにも割り込みが生成されます。このように実装されていることから、外部フィールドが消失したタイミングの検出にも使用できます。この機能を使用して、ピアNFCデバイス（イニシエータまたはターゲット）がRFフィールドの放射を停止したタイミングを検出できます。

低消費電力ピア検出モードで外部フィールド検出器を有効化するには、[動作コントロール・レジスターのen_fd_c<1:0>ビット](#)を設定します。

コリジョン防止閾値

この閾値は、RFコリジョン防止シーケンスで使用します。このシーケンスは、NFC Field ON (NFCフィールド・オン) コマンド ([セクション 4.4.5: NFC Field ON \(NFCフィールド・オン\) コマンド群](#) 参照) を送信して実行します。この閾値は25mV ~ 800mV_{PP}の範囲で選択できます。

4.2.11 電源系

ST25R3916/7には、3つの正電圧の電源ピンとしてVDD、VDD_TX、VDD_IOがあります。

VDDは主電源のピンです。ST25R3916/7の各ブロックの電源は、2つのレギュレータ (V_{DD_A} と V_{DD_D}) を介して供給されます。

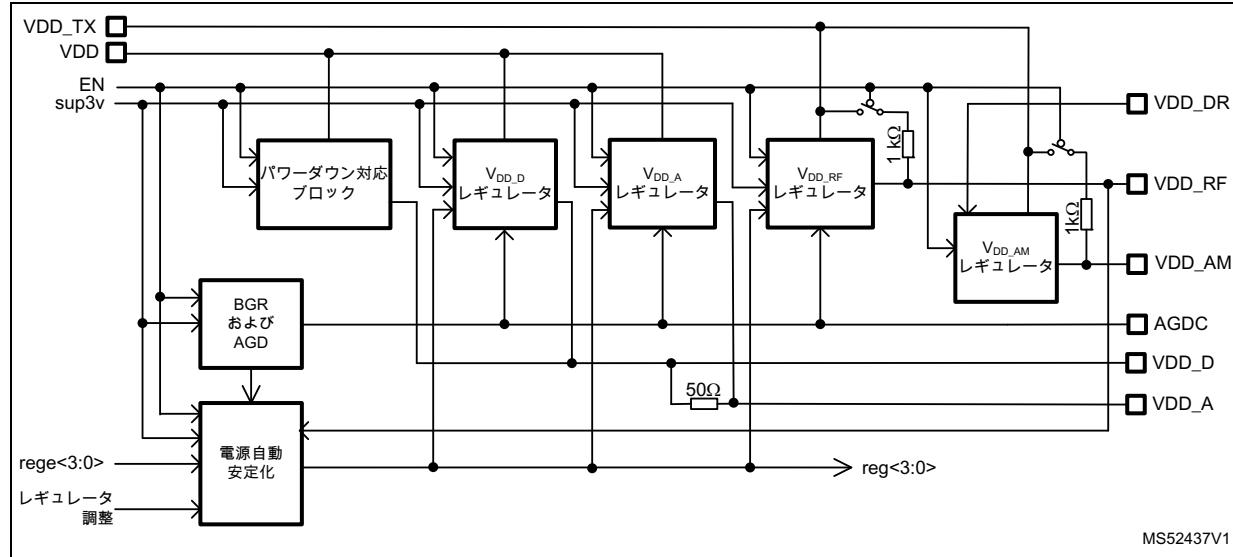
VDD_TXは、トランスマッタ用の電源ピンです。この電源は、2つのレギュレータ (V_{DD_RF} と V_{DD_AM}) を介して、トランスマッタに供給されます。 V_{DD} の範囲として、2.4V ~ 5.5Vを使用できます。VDDとVDD_TXは同じ電源に接続する必要があります。

V_{DD_IO} は、デジタル通信ピン (BSS、MISO、MOSI、SCLK、IRQ、MCU_CLK) への供給レベルを設定するために使用します。デジタル通信ピンは、レベル・シフタを介してST25R3916/7のロジックに接続されます。したがって、内部電源電圧は V_{DD_IO} より高い場合もあれば低い場合もあります。 V_{DD_IO} の範囲として、1.65V ~ 5.5Vを使用できます。

図 11に、ST25R3916/7の電源系の構成要素を示します。3つのレギュレータ、パワーダウンに対応するブロック、アナログ基準電圧 (AGDC) を生成するブロック、電源の自動調整手順を実行するブロックがあります。3つのレギュレータは、アナログ・ブロック (V_{DD_A})、ロジック (V_{DD_D})、トランスマッタ (V_{DD_RF}) に電源を供給します。5V電源の場合は、必ず V_{DD_A} と V_{DD_D} のレギュレータを使用する必要があります。3.3Vのみを使用するアナログ・ブロックとロジック・ブロックに安定化電圧を供給する必要があるからです。システムのPSRRの向上を図るために、3V電源の場合も V_{DD_A} と V_{DD_D} レギュレータを使用すること、またあらゆる電源電圧で V_{DD_RF} レギュレータを使用することも推奨します。

良好なPSRRを保持しつつ最大の安定化電圧が得られるように、安定化電圧が自動調整されます。すべてのレギュレータ・ピンには、それと対になる負電源ピンがあり、外部でグランド電位 (V_{SS}) に接続します。図 1と図 2に、すべてのレギュレータを使用した場合の代表的なアプリケーション回路を示します。レギュレータの阻止コンデンサには2.2μFと10nFの並列接続、AGDCピンには1μFと10nFの並列接続をそれぞれ推奨します。

図 11. ST25R3916/7の電源系



レギュレータには、電源電圧に応じた2つの基本的な動作モードとして、3.3V電源モード（最大3.6V）と5V電源モード（最大5.5V）があります。この電源モードは、[IOコンフィギュレーション・レジスタ2](#)のsup3Vビットへの書き込みによって設定します。デフォルト設定は5Vであるため、3.3V電源の場合は電源投入後に、このビットを'1'に設定する必要があります。

3.3Vモードの場合、すべてのレギュレータは2.4V～3.4Vの範囲で同じ安定化電圧に設定されます。5Vモードの場合は、V_{DD_RF}のみを3.6V～5.1Vの範囲で設定でき、V_{DD_A}とV_{DD_D}は3.4V固定になります。

図 11には、電源系を制御する信号も示しています。これらのレギュレータ群はen信号がHighのときに動作します（enは[動作コントロール・レジスタ](#)のコンフィギュレーション・ビットです）。en信号がLowになると、ST25R3916/7は低消費電力のパワーダウン・モードに移行します。このモードでは、電源系の消費電力も最小限になります。

V_{DD_RF}レギュレータ

このレギュレータの目的は、トランスマッタのPSRRを改善することです（トランスマッタの電源から放射されたノイズはレシーバにフィードバックされます）。V_{DD_RF}レギュレータの動作は、次の2つのレギュレータ用レジスタに書き込むことで設定し、読み出すことで確認できます。

- レギュレータ電圧コントロール・レジスタは、レギュレータのモードと安定化電圧を制御します。レギュレータのモードは、reg_sビットで設定します。このビットを'0'に設定した場合は（デフォルト状態）、ダイレクト・コマンド[Adjust Regulators](#)（レギュレータ調整）で安定化電圧を設定します。reg_sビットを'1'にアサートした場合は、同じレジスタのrege_3～rege_0ビットで安定化電圧を設定します。安定化電圧の調整範囲は、電源モードによって異なります。5V電源モードの場合、調整範囲は3.6V～5.1V（120mV単位）で、3.3V電源モードでは2.4V～3.6V（100mV単位）です。
- レギュレータ表示レジスタは、レギュレータ動作中の実際の安定化電圧を表示する読出し専用レジスタです。このレジスタは自動モードで特に有用です。ダイレクト・コマンド[Adjust Regulators](#)（レギュレータ調整）によって得られる実際の安定化電圧値を確認できるからです。

V_{DD_RF}レギュレータは、通常動作時のレギュレータ電流を350mA rmsに制限する電流リミッタを備えています。V_{DD_RF}レギュレータを電流制限モードで使用する場合は、[レギュレータ表示レジスタ](#)のi_limビットをセットします。

トランスマッタから350mA rmsを超える出力電流が必要な場合、V_{DD_RF}レギュレータではトランスマッタに電源供給できません。この場合は、VDD_RFとVDD_DRを外部でVDD_TXに接続する必要があります (VDD_RFをVDD_TXよりも高い電源電圧に接続することはできません)。

トランスマッタ電流による電圧低下が、ST25R3916/7による電力消費の主要因です。この電圧低下は、トランスマッタのドライバおよびV_{DD_RF}レギュレータの2ヶ所で発生します。このため、ダイレクト・コマンドのAdjust Regulators (レギュレータ調整) で安定化電圧を設定することを推奨します。レギュレータの電圧低下による電力消費を比較的少なく抑えながら、良好なPSRRが得られます。

パワーダウン・モードでは、V_{DD_RF}レギュレータは動作していません。VDD_RFピンは、1 kΩの抵抗を介してVDD_TXに接続されます。抵抗を介して接続することで、システムの電源投入や、パワーダウン・モードから他の動作モードへの遷移をスムーズに実行できます。

V_{DD_AM}レギュレータ

このレギュレータを使用して、トランスマッタのAM変調に対応します。このレギュレータの出力電圧は、変調時のトランスマッタ電源に使用します。この出力は、トランスマッタに内部接続されています。また、VDD_AMピンにはデカッピング・コンデンサ (2.2μF + 1 nF) が必要です。

V_{DD_DR}を基準電圧としていることから、電源電圧2.4V ~ 5.5Vの範囲で適切なV_{DD_AM}電圧と変調指数が得られます。

このレギュレータの出力電圧、つまり変調の設定は、am_mod<3:0>オプション・ビットにより、5% ~ 30%の範囲で16段階に調整できます。

パワーダウン・モードでは、V_{DD_AM}レギュレータは動作していません。VDD_AMピンは、V_{DD_RF}レギュレータの場合と同様に、1kΩの抵抗を介してVDD_TXに接続されます。

V_{DD_A}レギュレータとV_{DD_D}レギュレータ

V_{DD_A}レギュレータとV_{DD_D}レギュレータは、それぞれST25R3916/7のアナログ・ブロックとデジタル・ブロックに電源を供給します。3.3V電源モードの場合、V_{DD_A}とV_{DD_D}の安定化電圧は、V_{DD_RF}レギュレータと同じ電圧に設定されます。5V電源モードの場合、V_{DD_A}とV_{DD_D}の安定化電圧は3.4V固定です。

5V電源モードでは、V_{DD_A}レギュレータとV_{DD_D}レギュレータの使用が必須です。これら2つのピンから電源供給されるアナログ・ブロックとデジタル・ブロックでは、最大電源電圧が3.6Vの低電圧トランジスタを使用しているからです。3.3V電源モードでも、アナログ処理でのPSRRを改善するために、レギュレータの使用を強く推奨します。

低コストのアプリケーションでは、V_{DD_D}レギュレータを無効化し、V_{DD_D}を外部でV_{DD_A}に接続してデジタル・ブロックに給電することもできます ([IOコンフィギュレーション・レジスタ2](#)のvsdpd_offコンフィギュレーション・ビット)。

パワーダウン対応ブロック

パワーダウン・モードでは、消費電流を低減するためにレギュレータが無効化されます。このモードでは、V_{DD_D}とV_{DD_A}を3.6V未満に保持する低消費電力のパワーダウン対応ブロックが有効化されます。このモードにおける安定化電圧の代表値は、5V電源の場合に3.1V、3V電源の場合に2.2Vです。3.3V電源モードを設定すると、このブロックは無効化され、出力は1kΩの抵抗を介してVDDに接続されます。

パワーダウン対応ブロックの消費電流は、5V電源の場合で600nA (代表値) です。

電源電圧の測定

ダイレクト・コマンド[Measure Power Supply](#) (電源測定) を使用すると、V_{DD}および安定化電圧のV_{DD_A}、V_{DD_D}、V_{DD_RF}を測定できます。

4.2.12 オーバーシュート/アンダーシュート保護

オーバーシュート/アンダーシュート保護機能を使用すると、困難なテスト条件下で送信波形を制御できるようになります。変調状態から非変調状態への遷移またはその逆の遷移時に追加の信号を生成するビット・パターンを、該当のレジスタに設定することで実現します。

ここでは、オーバーシュート・レジスタを使用して、この保護機能の動作を説明します。オーバーシュート保護機構は、ov_pattern<13:0>にビットが書き込まれている状態でのみ有効です。ov_pattern<13:0>を0に設定すると、オーバーシュート保護が暗黙的に無効になります。遷移後のすべてのクロック・サイクルでモード設定レジスタと送信ドライバ・レジスタの設定が適用されるからです。

ov_tx_mode<1:0>コントロール・ビットにオーバーシュートのモードを設定する必要があります。このモードによって、ビット・パターン全体の駆動レベルが決まります。以下の3種類のモードを使用できます。

- ov_tx_mode<1:0> = 00b: 対応するov_patternビットが'1'の場合、トランスマッタの出力がV_{DD_DR}で駆動されます。
- ov_tx_mode<1:0> = 01b: 対応するov_patternビットが'1'の場合、トランスマッタの出力がV_{DD_AM}で駆動されます。
- ov_tx_mode<1:0> = 10b: 対応するov_patternビットが'1'の場合、トランスマッタの出力が停止します (Type Aのポーズと同様)。

ov_pattern<13:0>のオーバーシュート保護パターンは、最下位ビット側から適用されます。変調状態から非変調状態への遷移後、最初の14クロック・サイクルでは、オーバーシュート保護パターンの14ビットそれぞれによって、各クロックに適用するドライバ・コンフィギュレーションが指定されます。つまり、ov_pattern<0>は、変調状態から非変調状態に遷移した後の最初のクロック・サイクルに適用するドライバ・コンフィギュレーションを規定し、ov_pattern<9>は、同じ遷移後の10番目のクロック・サイクルに適用するドライバ・コンフィギュレーションを規定します。15番目以降のクロック・サイクルでは、送信ドライバ・レジスタの設定が使用されます。

アンダーシュート保護も、キャリアの非変調状態から変調状態への遷移時に同様に動作します。

4.2.13 リーダ動作

動作コントロール・レジスタのenビットをセットしてレディ・モードに移行する必要があります。このモードで発振器が起動し、レギュレータが有効になります。発振器の動作が安定すると割り込みが送信され、安定したことがosc_okビットに示されます。

つづいて、モード設定レジスタとビット・レート設定レジスタに書き込むことで動作モードとデータ・レートを設定します。さらに、動作モードに関連する、レシーバとトランスマッタの動作オプションを規定する必要があります。リーダからタグへの通信にAM変調を使用する動作モードを選択している場合は、変調の深さを設定する必要があります。

トランスポンダにコマンドを送信する前に、rx_enとtx_enビットをセットしてトランスマッタとレシーバを有効化します。NFC規格の中には、最初のコマンドを送信する前に、ある程度の期間リーダのフィールドをオンにしておくガード時間を規定しているものがあります (ISO14443の場合は5 ms)。この規定に適合するには、汎用タイマを使用してこの時間をカウントするか、NFCフィールド・オン・ガード・タイマ・レジスタで設定した時間を指定したNFC Field On (NFCフィールド・オン) コマンドを使用します。

送受信シーケンスの準備と実行

- ダイレクト・コマンドStop All Activities（全動作停止）を実行します。
- ダイレクト・コマンドReset RX Gain（受信ゲイン・リセット）を実行します。
- タイムを適宜設定します。
- 送信バイト数レジスタ1と送信バイト数レジスタ2で、送信するバイト数を設定します。
- 送信するバイトをFIFOに書き込みます（ダイレクト・コマンドREQAおよびWUPA以外の場合）。
- Transmit with CRC、Transmit without CRC、Transmit REQA、Transmit WUPAの各コマンドのうち、いずれか1つを送信します。
- すべてのデータの送信が終了すると、送信完了を知らせる割り込みがマイクロコントローラに送信されます（送信完了によるIRQ）。

送信の実行後、ST25R3916/7のレシーバが自動的に起動し、トランスポンダの応答を検出するためにRFI入力の観測を開始します。RSSIが起動し、AGCが有効になっていればAGCも起動します。レシーバからのサブキャリア信号がフレーミング・ブロックで処理され、FIFOにデータが格納されます。受信が完了し、すべてのデータがFIFOに格納されると、マイクロコントローラに割り込みが送信されます（受信完了によるIRQ）。さらに、FIFOにあるデータのバイト数がFIFOステータス・レジスタ1とFIFOステータス・レジスタ2に示されるので、マイクロコントローラはデータのダウンロードに進むことができます。

受信中にエラーまたはビット・コリジョンが検出された場合、該当のフラグを設定した割り込みが送信されます。これを受けたマイクロコントローラでは、適切な対応策を実施する必要があります。

FIFOよりも長いデータ・パケットを送信する必要がある場合、前述のシーケンスは異なるものになります。

送信開始前にFIFOにデータを用意します。データの送信中に、残りのバイト数がウォーター・レベルを下回ると割り込みが送信されます（FIFOウォーター・レベルによるIRQ）。この割り込みを受けたマイクロコントローラはFIFOにデータを追加します。データがすべて送信されると、送信完了を知らせる割り込みがマイクロコントローラに送信されます。

受信時の状況も同じです。受信ウォーター・レベルを上回るデータがFIFOにロードされると割り込みが送信され、マイクロコントローラはFIFOからデータを読み出します。この読み出しによって受信が完了すると、マイクロコントローラに割り込みが送信されます（受信完了によるIRQ）。さらに、まだ読み出していない残りのデータのバイト数がFIFOステータス・レジスタ1とFIFOステータス・レジスタ2に示されます。

4.2.14 リッスン・モード

ST25R3916/7のリッスン/ターゲット・モードは、モード設定レジスタのtargビットを'1'に設定することで有効になります。om<3:0>ビットの設定に応じて、さまざまなターゲット・ノードまたはリッスン・モードを実装できます。表 24: ターゲット動作モードを参照してください。

主なモードは、次のとおりです。

- NFCIP-1アクティブ・ターゲット
- カード・モードに使用するパッシブ・ターゲットおよびNFCIP-1パッシブ・ターゲット

固定リッスン通信モード

om3=0を設定したターゲット・モードのいずれかを選択すると、固定通信モードがアクティブになります。その他のomビットは通信のタイプを設定します。

パッシブ・ターゲット

通信は、FIFOを介してホスト側で実行できるほか、NFCIP-1パッシブ・ターゲット設定レジスタの説明にあるように、自動応答を使用して実行することもできます。

このような自動応答として、NFC-A向けとした、SAKなどの完全なアンチコリジョンがあります。RATSやHLTAの処理はホストに委ねられます。NFC-Fの場合、SENSF_RESを送信することでSENSF_REQのみが処理されます。

NFC-Aの状態は、パッシブ・ターゲット表示レジスタとパッシブ・ターゲット割り込みレジスタのI_wu_aビットとI_wu_a*ビットを観測して処理します。ダイレクト・コマンドGo to senseとGo to sleepにより、パッシブ・ターゲットの状態をホストから変更できます。

SENSF_REQへの応答はI_wu_fビットで観測できます。

自動応答の内容は、PT_memoryの内容で設定されます。

NFCIP-1アクティブ・ターゲット

NFCIP-1アクティブ・ターゲット・モードでの動作に関連して、次のような設定があります。

- 動作コントロール・レジスタのen_fd_cビットの設定により、外部フィールド検出器を有効化します。フィールド検出器を使用することで、モード設定レジスタのnfc_arの設定に応じて、ST25R3916/7から応答フィールドをオンにすることができます。
補助設定レジスタのnfc_n<1:0>ビットによって、応答コリジョン防止シーケンスのタイミングが変化します。
- データ送信の完了からRFフィールドがオフになるまでの時間は汎用タイマで規定します。このタイマのトリガ源は、表 52: トリガ源 (gptc<2:0> = 011) に従い、送信の完了時に設定する必要があります。
- T_ARFGが経過すると、I_catフラグまたはI_cacフラグが設定されます。T_ARFGはNFCフィールド・オン・ガード・タイマ・レジスタで設定します。
- 外部フィールドがオンになるとMRTが起動します。nrt_nfcによってNRTの動作を調整できます。
- ST25R3916/7は、自身のフィールドをオフにすると、PPON2タイマを起動するとともに、応答フィールドを検出するために、外部フィールド検出器の出力を観測します。PPON2タイマがタイムアウトするまでに外部フィールドが検出されないと、I_ppon2フラグを設定したIRQが送信されます。

ビット・レート検出モード

リッスン・モードは、いわゆるビット・レート検出モードから開始することもできます。このモードでは、通信モードが固定されていません。ターゲット・モードでom3を'1'に設定すると、ビット・レート検出モードがアクティブになります。

その他のomビットでは、識別する技術を設定します。これは、固定リッスン通信モードの拡張モードです。

最初のフレームの受信が始まると、ビット・レート検出モードでIRQ I_nfctが送信され、ビット・レートが特定されたことが通知されます。これにより、ホストでは、ビット・レート検出表示レジスタのnfc_rateを読み出すことで関連情報を取得できます。

最初のフレームをすべて受信したホストでは、モード設定レジスタのom<3:0>ビットによって目的の固定リッスン通信モードに設定することで、ビット・レート検出モードを終了できます。

d_ac_ap2pビットでNFCIP-1のアクティブ・フレームをフィルタ処理できます。

低消費電力フィールド検出

フィールド検出器を低電力モードで使用することにより、消費電力の観点から固定リッスン通信モードとビット・レート検出モードを機能強化できます。この場合は、ピアまたはリーダの外部フィールドを待機している間は、ST25R3916/7をパワーダウン・モード (`en=0`) に設定します。

このモードを使用するには、ビット・レート検出モードまたは固定リッスン通信モードを選択し、[動作コントロール・レジスタ](#)の`en`、`rx_en`、`tx_en`の各ビットを0にクリアする必要があります。

このモードでは、フィールド検出器に自動または手動のピア検出閾値を設定する必要があります。

ST25R3916/7では、外部フィールドを検出すると (`l_en`)、発振器とレシーバを一時的に有効にします。ホストでは、[動作コントロール・レジスタ](#)の`en`オプション・ビットと`rx_en`オプション・ビットを設定することで、この一時的な有効状態を10 ms以内に確定する必要があります。

その後は、通常のビット・レート検出または通常のターゲット通信を実行できます。

PT_memory

`PT_memory`を使用して、NFCIP-1パッシブ・ターゲットおよびNFC-Aカード/リッスン・モードのデータを格納します。[セクション 4.3](#)の説明にあるように、このメモリはホストのインターフェースを介してロードされます。

表 7. `PT_memory`のアドレス空間

位置	内容	データの使用法	
0 ~ 9	NFCID1 (4/7/予約済みバイト)	4バイト: 位置0 ~ 3 7バイト: 位置0 ~ 6	NFC-Aアンチコリジョン
10,11	SENS_RES2:1	SENS_REQ応答	
12	SELR_L1	SEL Level 1応答	
13	SELR_L2	SEL Level 2応答	
14	SELR_L3	(今後の使用のために確保)	
15,16	NFCF_SC	SENSF_REQのシステム・コード (SC) ⁽¹⁾	
17 ~ 35	212/424ポーリング応答	SENSF_RESフォーマット ⁽²⁾	
36 ~ 47	TSN - ランダムな数値	スロット選択。4ビットのランダムな数値が24個保存されます。 ^{(3) (4)}	NFC-Fアンチコリジョン

- SENSF_RESは、SC=NFCF_SCまたはSC=0xFFFFを受信した場合に送信されます。
- NFC-212/424k SENS_RESフォーマット (表 8参照) SENSF_RESの最後の2バイトは、SENSF_REQのRCバイトに基づいて送信されます。
- NFC212/424ポーリング応答では、この4ビットのスロット番号が順番に使用されます。未使用のTSN番号が4つのみになると、`l_sl_wl`ビットによるIRQが送信されます。
- ポーリング・リクエストにあるスロット数に応じて、スロット番号の最上位側ビットが該当の数だけ使用されます。

表 8. NFC-212/424k SENS_RESフォーマット

バイト1	バイト2 ~ 9	バイト10 ~ 11	バイト12 ~ 14	バイト15	バイト16	バイト17	バイト18 ~ 19
01h	NFCID2	PAD0	PAD1	MRTICHECK	MRTIUPDATE	PAD2	[RD]

4.3 外部マイクロコントローラとの通信

ST25R3916/7は、マイクロコントローラとSPIインターフェースまたはI²Cインターフェースのいずれかを介して通信します。どちらのインターフェースを使用しても、ST25R3916/7はスレーブ・デバイスとして動作し、すべての通信はマイクロコントローラ側から開始します。コマンドの完了や外部イベント（ピア・デバイスのフィールド・オンなど）をマイクロコントローラに通知するために、ST25R3916/7はIRQピンに割り込み信号を出力します。また、MCU_CLKピンを介してST25R3916/7からマイクロコントローラにクロック信号（設定可能）を供給できます。

4.3.1 割り込みのインターフェース

ST25R3916/7は、4つの割り込みレジスタを搭載しています。

- メイン割り込みレジスタ
- タイマ/NFC割り込みレジスタ
- エラー/ウェイクアップ割り込みレジスタ
- パッシブ・ターゲット割り込みレジスタ

割り込み条件が満たされると、割り込みの発生要因を示すビットがセットされ、IRQピンがHighに遷移します。これを受けたマイクロコントローラはメイン割り込みレジスタを読み出し、割り込み発生要因を特定します。特定の割り込みレジスタを読み出すと、その内容は'0'にリセットされます。

IRQピンは、そのHigh遷移の原因となった割り込みビットが読み出されると、Lowに戻ります。

注： IRQ信号がセットされても、マイクロコントローラがただちにその割り込みレジスタを読み出さず、さらに別のイベントによって割り込みが発生すると、複数の割り込みビットがセットされることがあります。このような場合、最後の割り込みが発生したビットが読み出された時点でIRQピンがLowに遷移します。

特定の要因による割り込みが不要な場合は、割り込みマスク・レジスタの該当するビットを設定することで、その割り込みを無効にすることができます。特定の割り込み要因をマスクすると、その割り込みがあってもIRQラインはHighに遷移しませんが、IRQステータス・レジスタの割り込みステータス・ビットは通常どおりセットされます。

IRQステータス・レジスタを読み出すと、マスクした割り込みについてもビット内容が表示され、またクリアされます。

いくつかのマスクした割り込みのステータス・ビットがIRQイベントによって'1'に設定された状態で、これらの既にセットされているIRQステータス・ビットのいずれかでマスクを解除すると、IRQラインはただちにHighに遷移します。これにより、まだ読み出されていない割り込みイベントが存在するところがホスト・システムに通知されます。

表 9. IRQ出力

名前	信号	レベル	内容
IRQ	デジタル出力	CMOS	割り込み出力ピン

IRQラインとIRQステータス・ビットは次の場合にクリアされます。

- Set Default（デフォルト設定）
- IRQステータスの読み出し
- Stop All Activities（全動作停止）
- Clear FIFO（FIFOのクリア）

FIFOウォーター・レベルとFIFOステータス・レジスタ、FIFOのリセット

ST25R3916/7は、512バイトのFIFOを搭載しています。送信時、コントロール・ロジックによってデータがシフトされます。このデータは、外部マイクロコントローラによって、フレーミング・ブロックを経てトランスマッタにロードしておきます。受信時は、復調したデータがFIFOに格納され、以後の時点では外部マイクロコントローラによってデータを受信できます。

[FIFOステータス・レジスタ2](#)には、送受信プロセスでFIFOに対するデータ処理に不具合があったこと（FIFOでのオーバーフローまたはアンダーフローの発生）を示す2ビットも設けられています。

FIFOに収まらない過剰な量のデータが書き込まれると、FIFOオーバーフローのビットがセットされます。受信中にこのビットがセットされた場合は、ウォーター・レベルIRQに対応する処理を外部コントローラが直ちに実行しなかったために、受信したCRCバイトも含め、512バイトを超えるデータがFIFOに書き込まれています。その結果、受信データが破損しています。送信中にオーバーフローが発生した場合は、FIFOの容量を超える量のデータがコントローラによって書き込まれています。その結果、送信する予定のデータが破損しています。

FIFOアンダーフローのビットは、空のFIFOからデータを読み出そうとするとセットされます。このビットが受信中にセットされた場合は、実際の受信量を超える量のデータを外部コントローラが読み出そうとしたことを示しています。送信中にアンダーフローが発生した場合は、送信バイト数レジスタで規定された量のデータを、コントローラが規定の時間内に用意できなかったことを示しています。

FIFOのポインタとFIFOステータスは、データ受信の開始（I_rxS生成時）ごとにリセットされます。また、電源投入時およびコマンドSet Default（デフォルト設定）とClear FIFO（FIFOのクリア）の実行によってもリセットされます。空のFIFOまたはクリアされたFIFOから読み出したデータは0になります。

MCU_CLK

MCU_CLKピンを外部マイクロコントローラのクロック源として使用できます。MCU_CLKピンには、動作モードに応じて、RC発振器による低周波数クロック信号（32 kHz）または水晶発振器から得られたクロック信号が供給されます。MCU_CLK出力ピンは、[IOコンフィギュレーション・レジスタ1](#)のout_c<1:0>ビットとif_clk_offビットで制御します。out_c<1:0>ビットは、MCU_CLKピンをクロック源として使用することを指定し、水晶発振器が動作している場合は分周比を設定します（13.56、6.78、3.39MHzを指定可能）。if_clk_offビットは、水晶発振器が動作していない場合に、低周波数（LF）クロック（32kHz）を使用することを指定します。電源投入時のデフォルト設定では、3.39MHzのクロックが選択され、低周波数クロックが有効になります。

トランスペアレン特・モード（[セクション 4.4.13](#)参照）ではMCU_CLKの使用が必須です。外部コントローラで送受信のフレーミングを実装するために、フィールドのキャリア周波数に同期したクロックが必要になるからです。内部フレーミングを使用する場合も、MCU_CLKの使用を推奨します。MCU_CLKをマイクロコントローラのクロック源として使用するとノイズが発生しますが、リーダのキャリア周波数に同期したノイズなので、レシーバのフィルタで除去できます。一方、他の非同期クロック源を使用すると、受信に干渉するノイズが発生することがあります。MCU_CLKの使用は、EMCに対する適合の観点でも有利です。

4.3.2 通信インターフェースの選択

アクティブにする通信インターフェースは、I2C_ENピンで選択します。このピンをGNDにプルダウンすると、ST25R3916/7はSPIモードで動作します。このピンをV_{DD_D}にプルアップすると、ST25R3916/7はI²Cモードで動作します。

4.3.3 シリアル・ペリフェラル・インターフェース (SPI)

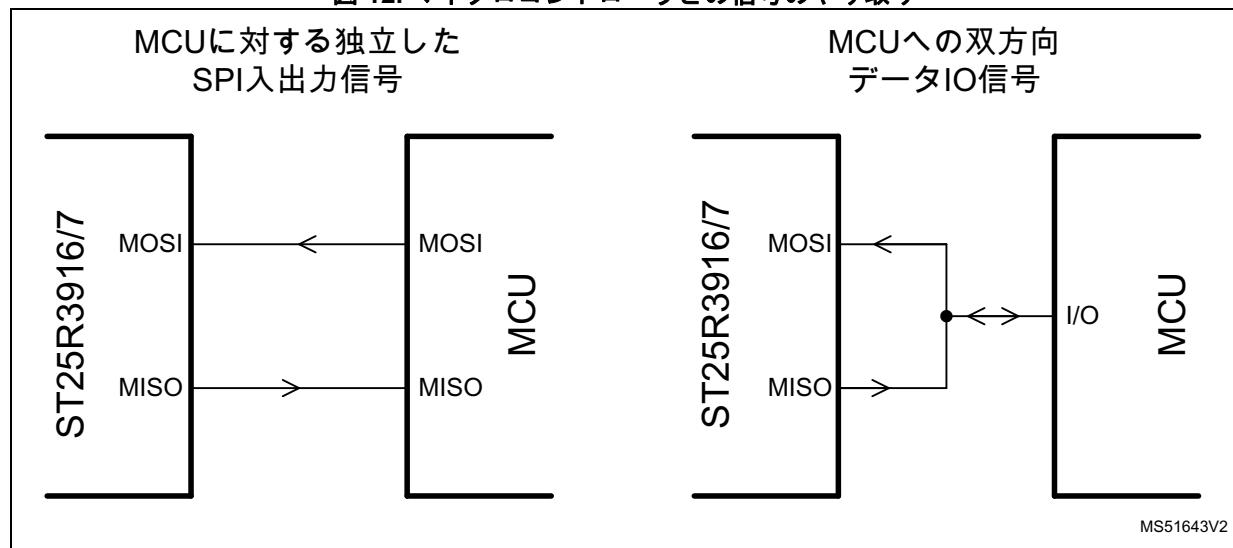
ST25R3916/7は、クロック極性0、クロック位相1、アクティブLowのスレーブ選択信号を使用する、標準のSPIを備えています。通信は、MCUによってBSSをLowにプルダウンすることで開始します。SCLK信号の立下がりエッジでMOSIピンがサンプリングされ、SCLK信号の立上がりエッジでMISOピンの状態が更新されます。データは、最上位ビットを先頭にバイト単位で伝送されます。読み出しコマンドと書き込みコマンドがアドレスの自動インクリメントに対応しており、通信時間の短縮に効果的です。[表 10](#)に、SPI信号の概要を示します。

表 10. シリアル・データ・インターフェース (4線式インターフェース) の信号ライン

名前	信号	信号レベル	説明
I2C_EN	デジタル入力	CMOS	SPI動作を選択する場合はGNDにプルダウン
BSS	プルアップ付きデジタル入力		アクティブLow - スレーブ選択
MOSI	デジタル入力		マスタ出力 - スレーブ入力 (MCU → ST25R3916/7)
MISO	トライステートのデジタル出力		マスタ入力 - スレーブ出力 (ST25R3916/7 → MCU)
SCLK	デジタル入力		シリアル・クロック
IRQ	デジタル出力		アクティブHigh - 割り込み出力ピン

MISO出力は、出力データが存在しないかぎり、トライステート (Hi-Z) です。したがって、MOSIとMISOを外部で短絡することで3線式のSPIを構成できます。MISO出力がトライステート (Hi-Z) であるときは、[IOコンフィギュレーション・レジスター2](#)のオプション・ビットmiso_pd1とmiso_pd2をアクティブ化することで、10kΩ抵抗を介したプルダウンが可能です。

図 12. マイクロコントローラとの信号のやり取り



BSSがHighからLowに遷移した後、最初の送信バイトの先頭2bitでSPIの動作モードが設定されます。書き込みおよび読み出しのすべてのモードがアドレスの自動インクリメントに対応しています。つまり、アドレスと最初のデータ・バイトを送信した後、さらに何らかのデータ・バイトを送信（または読み出しそうと、1だけインクリメントされたアドレスに対してその書き込みまたは読み出しが実行されます。

表 11に、使用可能なSPI動作モードを示します。レジスタに対する読出しおよび書き込みの動作は、ST25R3916/7のすべての動作モードで可能です。FIFOとPT_memoryに対する動作は、en（動作コントロール・レジスタのビット7）をセット済みで、水晶発振器が安定している場合に可能です。

ダイレクト・コマンドには、すべての動作モードで使用できるものと、en（動作コントロール・レジスタのビット7）がセット済みで、水晶発振器が安定している場合にのみ使用できるものがあります（表 13参照）。

表 11. SPIの動作モード

モード	パターン（通信ビット）									関連するデータ	
	モード		以降のビット								
	M1	M0	C5	C4	C3	C2	C1	C0			
レジスタ書き込み	0	0	A5	A4	A3	A2	A1	A0		データ・バイト（自動インクリメントの場合は以降のデータ・バイト）	
レジスタ読出し	0	1	A5	A4	A3	A2	A1	A0			
FIFOロード	1	0	0	0	0	0	0	0		1バイト以上のFIFOデータ	
PT_memoryロード A-config	1	0	1	0	0	0	0	0		パッシブ・ターゲット・メモリの位置0以降のデータ	
PT_memoryロード F-config	1	0	1	0	1	0	0	0		パッシブ・ターゲット・メモリの位置15以降のデータ	
PT_memoryロード TSNデータ	1	0	1	0	1	1	0	0		パッシブ・ターゲット・メモリの位置36以降のデータ これらの追加アドレスを指定することで、PT_memory全体を再書き込みすることなく、TSNの乱数をリロードできます。	
PT_memory読出し	1	0	1	1	1	1	1	1		パッシブ・ターゲット・メモリの位置0以降のデータ すべてのSPIスピードによる読出しに対応するため、バイト00hがパッシブ・ターゲット・メモリに供給されます。	
FIFO読出し	1	0	0	1	1	1	1	1		1バイト以上のFIFOデータ	
ダイレクト・コマンド	1	1	C5	C4	C3	C2	C1	C0		-	

アドレス指定可能レジスタへのデータの書き込み（書き込みモード）

図 13および図 14に、それぞれ1バイトの書き込み動作とアドレス自動インクリメントによる複数バイトの書き込み動作を示します。SPI動作モード・ビットに続いて、書き込み先レジスタのアドレスを指定します。つづいて、SPIから1バイト以上のデータが、必ずMSBからLSBへの順で伝送されます。データ・バイトは最終クロックの立下がりエッジでレジスタに書き込まれます。指定したアドレスのレジスタが存在しない場合、または読出し専用レジスタを指定した場合、何も書き込まれません。

参考資料

図 13. SPI通信: 1バイトの書き込み

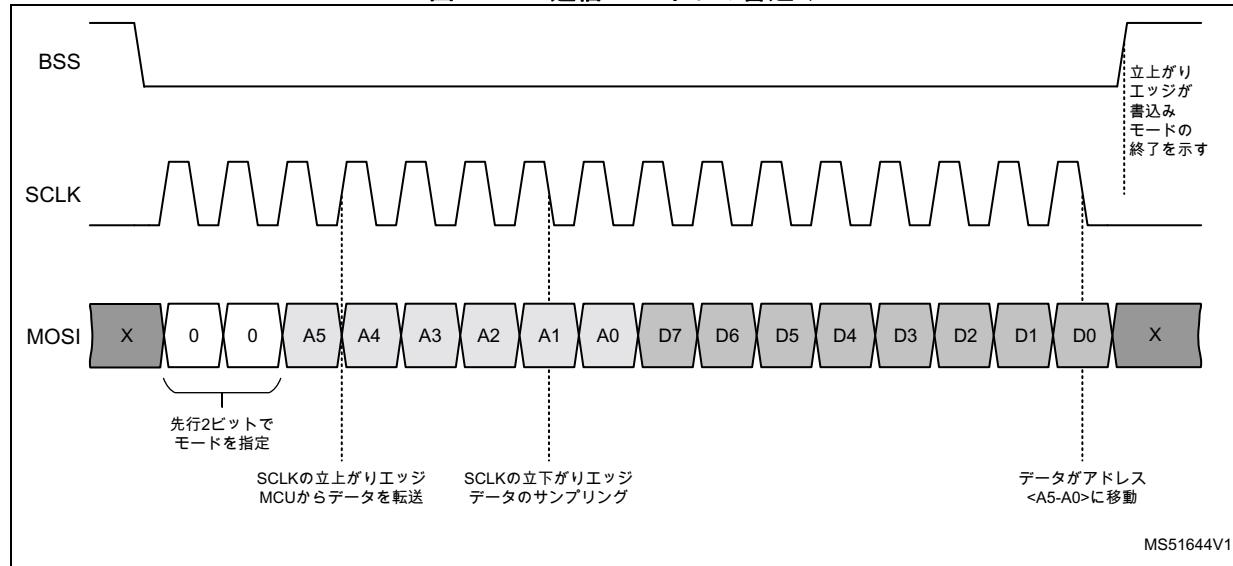
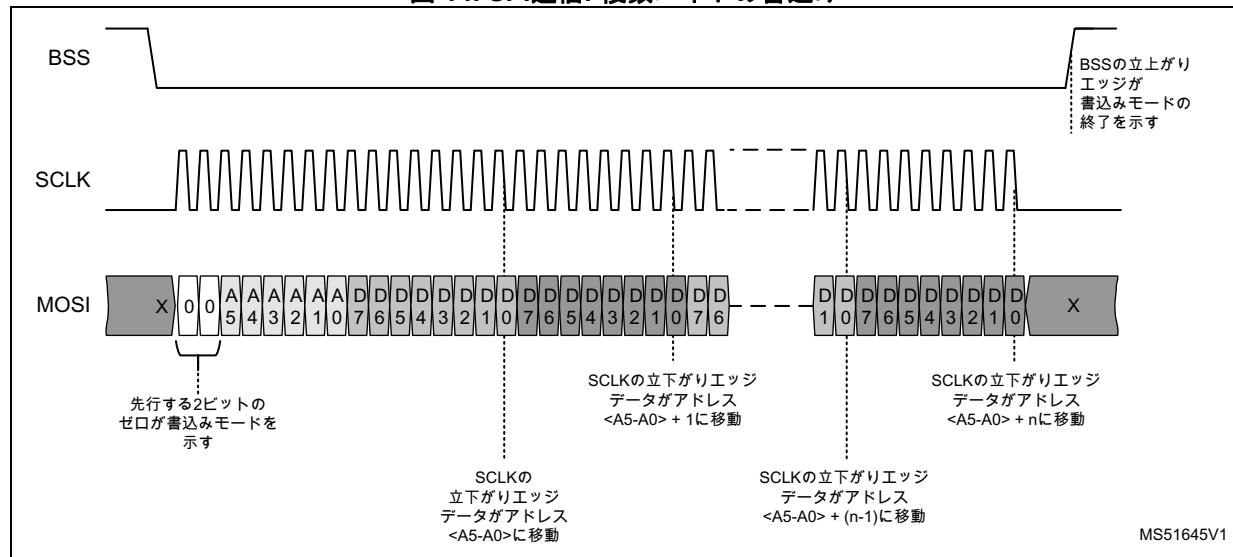


図 14. SPI通信: 複数バイトの書き込み

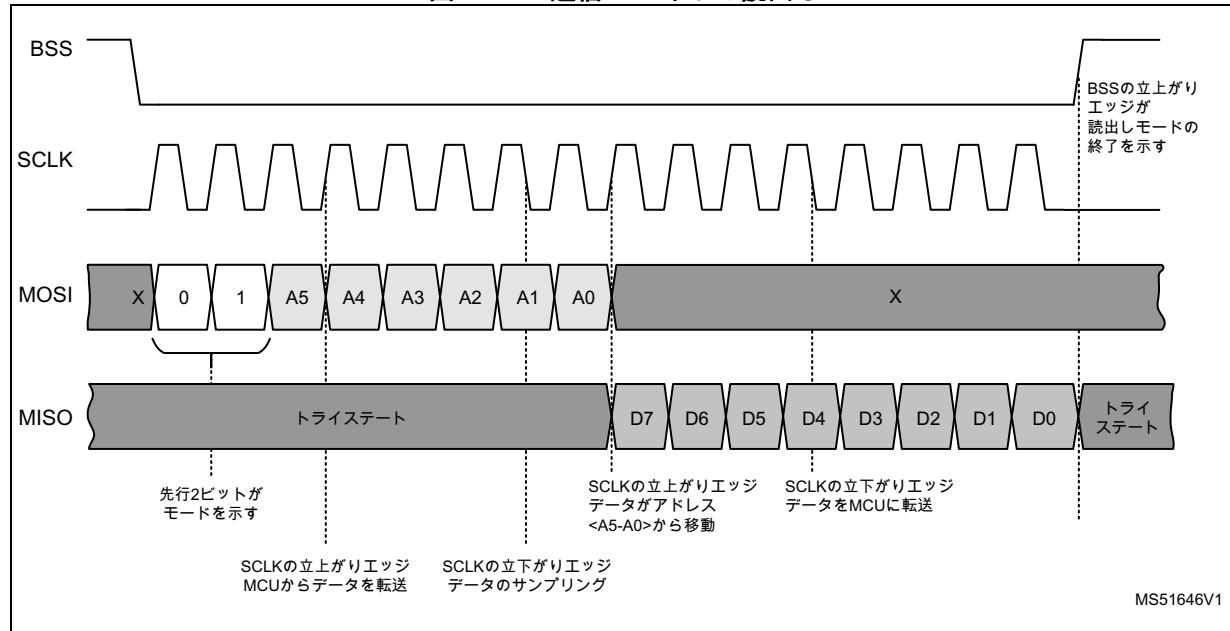


アドレス指定可能レジスタからのデータの読み出し（レジスタ読み出しモード）

SPI動作モード・ビットに続いて、読み出し元レジスタのアドレスを指定します。つづいて、クロック信号SCLKが供給されているかぎり、1バイトのデータが、MSBを先頭として複数回MISO出力に伝送されます。このモードもアドレスの自動インクリメントに対応しています。特定のアドレス位置にレジスタが存在しない場合、MISOにはすべてのビットが0のデータが送信されます

図 15に、1バイト読み出しの例を示します。

図 15. SPI通信: 1バイトの読出し



レジスタ空間Bへの読出しアクセスまたは書き込みアクセス

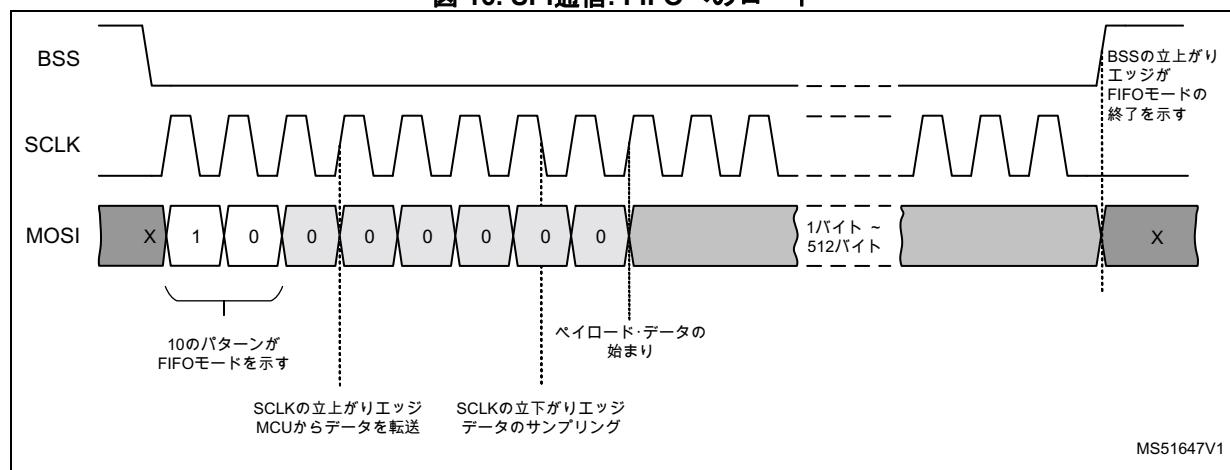
レジスタ空間Bにアクセスするには、レジスタの読出しありは書き込みのSPIシーケンスの前にバイトFBhを付加する必要があります。レジスタ空間Bへのアクセスは、BSSの立上がりエッジまでアクティブ状態を維持します。

送信データのFIFOへのロード

送信データのFIFOへのロードは、アドレス指定可能レジスタにデータを書き込む動作に似ています。SPIシーケンスは、FIFO動作モード・ビット'10'で開始し、以降のビット<C5:C0>を000000bに設定します。FIFOモードを指定するバイトの後は、1バイト以上、512バイト以下の範囲でデータを送信する必要があります。

送信データをFIFOにロードする方法を図 16に示します。

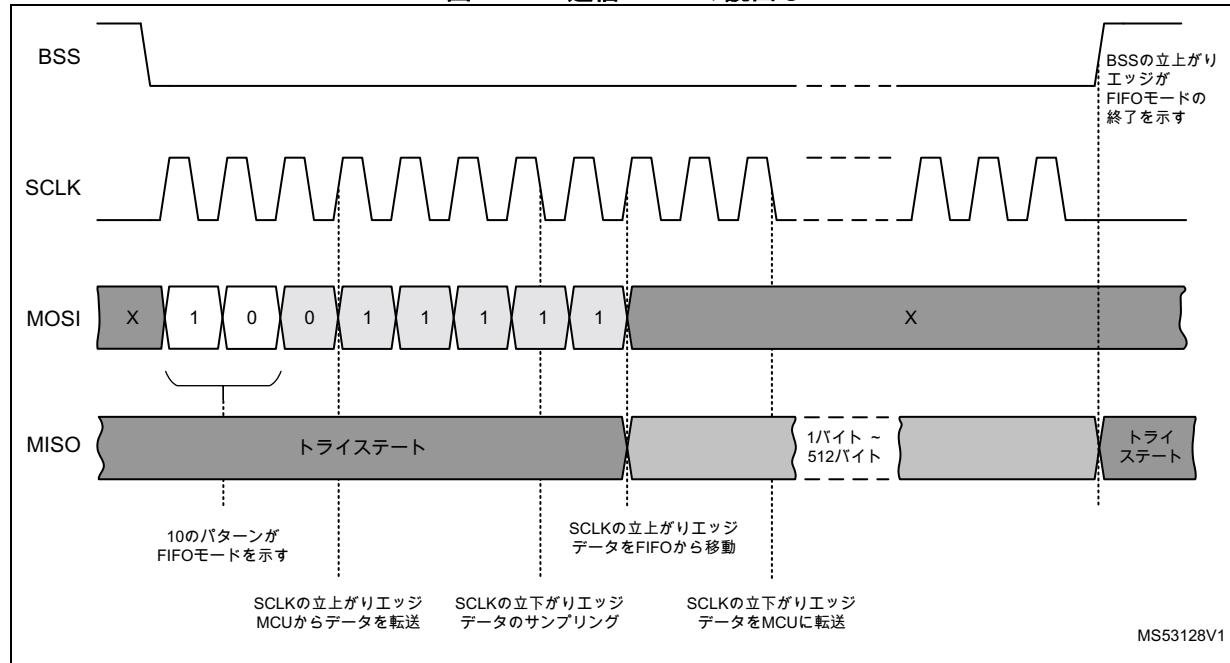
図 16. SPI通信: FIFOへのロード



受信データのFIFOからの読出し

受信データのFIFOからの読出しは、アドレス指定可能レジスタからデータを読み出す動作に似ています。SPIシーケンスは、FIFO動作を示すSPI動作モード・ビット'10'で開始し、以降のビット<C5:C0>を011111bに設定します。モード・バイトの後、クロック信号SCLKが供給されていて、BSSがLowに保持されているかぎり、ST25R3916/7はFIFOからのデータ出力を継続します。

図 17. SPI通信: FIFOの読出し

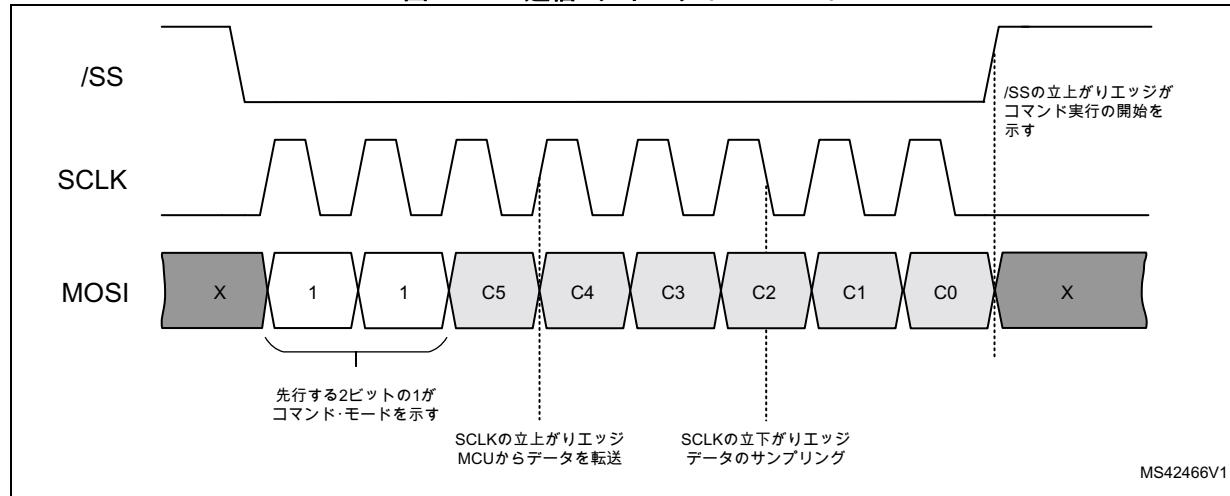


ダイレクト・コマンド・モード

ダイレクト・コマンド・モードには引数がないため、1バイトが送信されます。このバイトは、ダイレクト・コマンド・モードを示すSPI動作モード・ビット'11'で開始し、以降のビット<C5:C0>に、MSBを先頭にしてダイレクト・コマンドのコード（表 13 参照）を指定します。ダイレクト・コマンドの実行は、BSSの立上がりエッジで始まります（図 18 参照）。

ダイレクト・コマンドには、直ちに実行されるものと、一定の時間が経過した後で処理が開始されるものがあります（補正や測定のコマンドなど）。一定の時間経過後に実行されるコマンドの実行中は、SPIインターフェースを介して他の動作を開始することができません。コマンドの実行が完了すると IRQ が送信されます。

図 18. SPI通信: ダイレクト・コマンド



ダイレクト・コマンドの連鎖

図 19 に示すように、直ちに実行されるダイレクト・コマンドに続いて、BSS信号をアクティブにしたまま（いったん非アクティブにすることなく）、他のSPIモードの動作（読み出し、書き込み、FIFO）を実行できます。

図 19. SPI通信: ダイレクト・コマンドの連鎖



PT_memoryへのデータのロード (PT_memoryロード)

PT_memoryへのデータのロードは、FIFOにデータをロードする動作に似ています。表 11 に示した PT_memory の 3 つの部分にデータをロードする、3 つのモード・パターンがあります。モード/アドレス・パターンに続く最初のバイトが、表 11 に示した位置に格納されます。つづいて、アドレスが自動的にインクリメントされてそのアドレスに以降のバイトが格納される動作が継続します。

ロードするバイト数が、選択した PT_memory 領域のサイズに収まるようにして、それ以降の領域を上書きしないように注意する必要があります。

4.3.4 I²C インタフェース

I²C のアドレスは 50h です。このインターフェースは、以下のモードに対応しています。

- 標準モード (100kHz)
- ファースト・モード (400kHz)
- ファースト・モード・プラス (1MHz)
- ハイスピード・モード (3.4MHz)

表 12 に、I²C インタフェースの信号を示します。

参考資料

表 12. I²Cインターフェースと割り込みの信号ライン

名前	信号	信号レベル	説明
I ² C_EN	デジタル入力	CMOS	I ² C動作を選択する場合はV _{DD} にプルアップ
MISO (SDA)	デジタル出力		I ² Cデータ・ライン
SCLK (SCL)	デジタル入力		I ² Cクロック
IRQ	デジタル出力		アクティブHigh - 割り込み出力ピン

アドレス指定可能レジスタへのデータの書き込み（レジスタ書込みモード）

I²Cスレーブ・アドレスの後に、SPIのレジスタ書込みアクセスの場合と同じレジスタ書込みモード・バイトを使用して、書き込み先レジスタのアドレスを送信します。レジスタ書込みモード・バイトに続いて、1バイト以上のデータを送信します。複数のデータ・バイトを送信する場合は、新たにデータ・バイトが送信されるたびにターゲット・アドレスが1だけインクリメントされ、最初のレジスタ・アドレスに続くレジスタにデータが格納されます。

図 20および図 21に、それぞれレジスタに1バイトを書き込む方法、およびアドレス自動インクリメントによって以降のレジスタへと複数バイトを書き込む方法を示します。

図 20. 1つのレジスタへのデータ書き込み

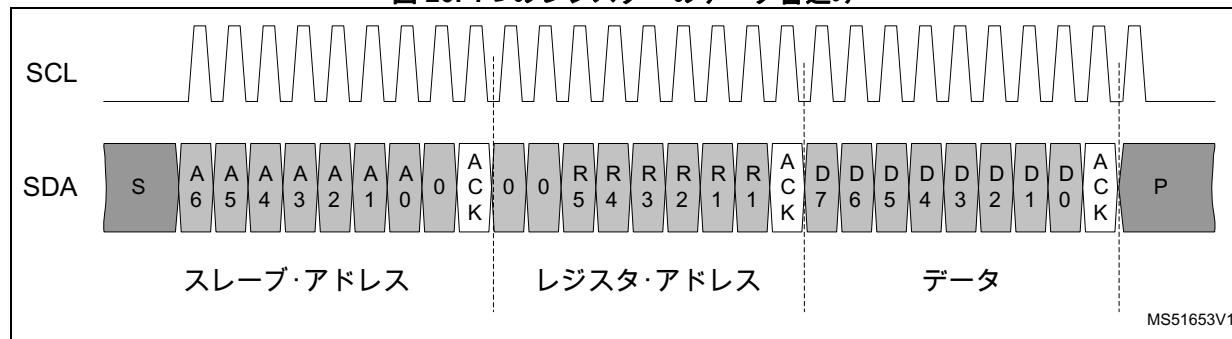
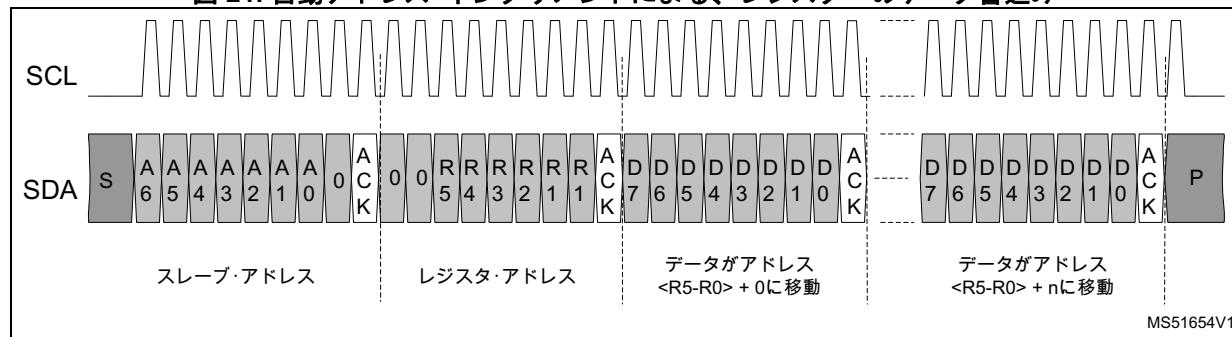


図 21. 自動アドレス・インクリメントによる、レジスタへのデータ書き込み



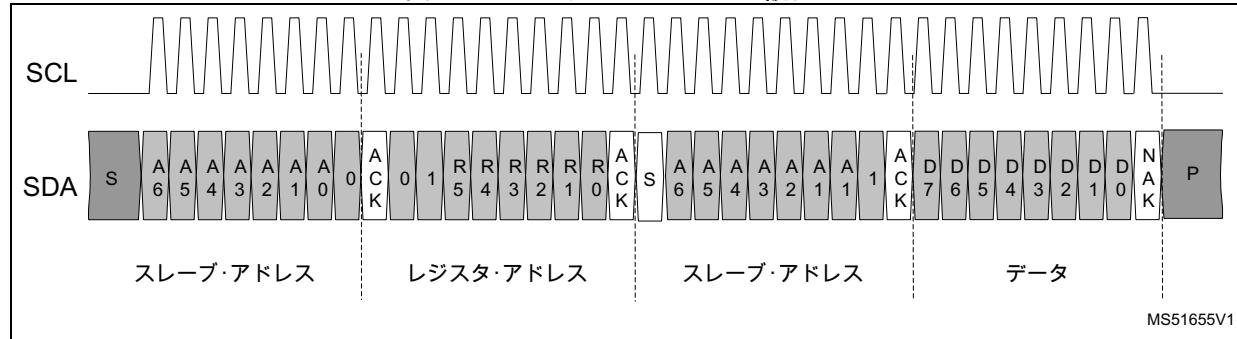
アドレス指定可能レジスタからのデータの読み出し（レジスタ読み出しモード）

I²Cスレーブ・アドレスの後に、SPIのレジスタ読み出しアクセスの場合と同じレジスタ読み出しモード・バイトを使用して、読み出し元レジスタのアドレスを送信します。レジスタ読み出しモード・バイトの後、MCUでクロック信号SCLが維持されているかぎり、ST25R3916/7はSDA出力にデータ・バイトを送信しつづけます。レジスタ読み出しモードもアドレスの自動インクリメントに対応しています。アドレス指定したレジスタが存在しない場合、SDAにはすべてのビットが'0'のデータが送信されます。

参考資料

図 22にレジスタから1バイトを読み出す方法を示します。

図 22. レジスタからの1バイト読み出し

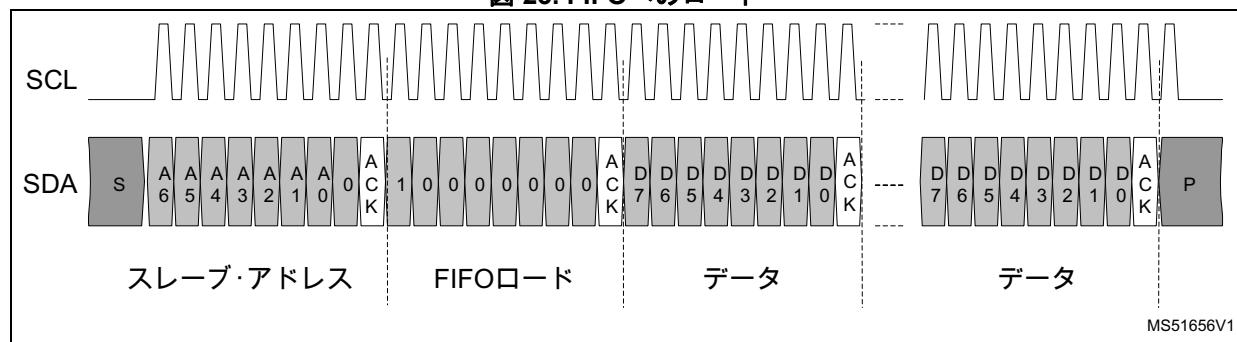


FIFOまたはPT_memoryへのデータのロード (FIFO/PT_memoryロード)

FIFOまたはPT_memoryへのデータのロードは、アドレス指定可能レジスタにデータを書き込む動作に似ています。I²Cスレーブ・アドレスの後、FIFOまたは選択したPT_memory領域（表 11参照）へのロードを起動するモード・バイトを送信し、続いてロードするデータ・バイトを送信します。

図 23に、FIFOへのデータのロード方法を示します。

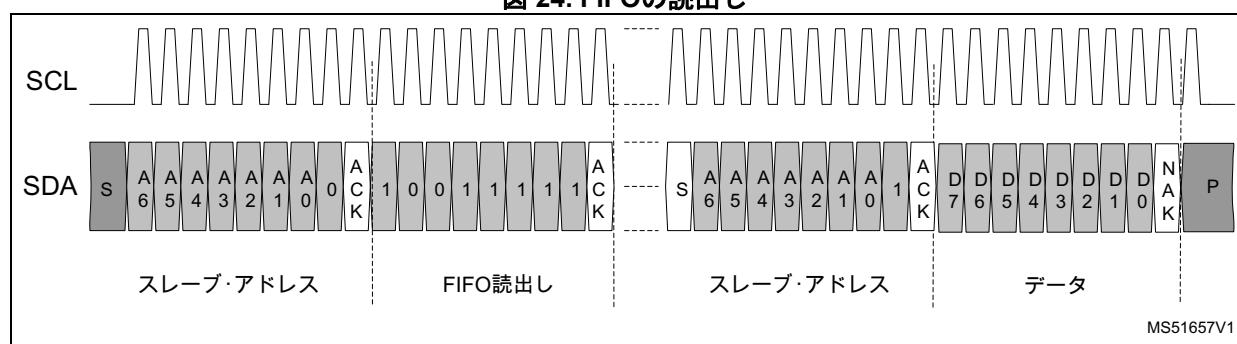
図 23. FIFOへのロード



FIFOからのデータ読み出し

FIFOからのデータ読み出しは、アドレス指定可能レジスタからデータを読み出す動作に似ています。I²Cスレーブ・アドレスの後に、FIFO読み出しを起動するモード・バイトを送信します。ST25R3916/7は、FIFO読み出しモード・バイトの受信後、MCUがバス読み出しを継続しているかぎり、FIFOからのデータ・バイトの送信を継続します。

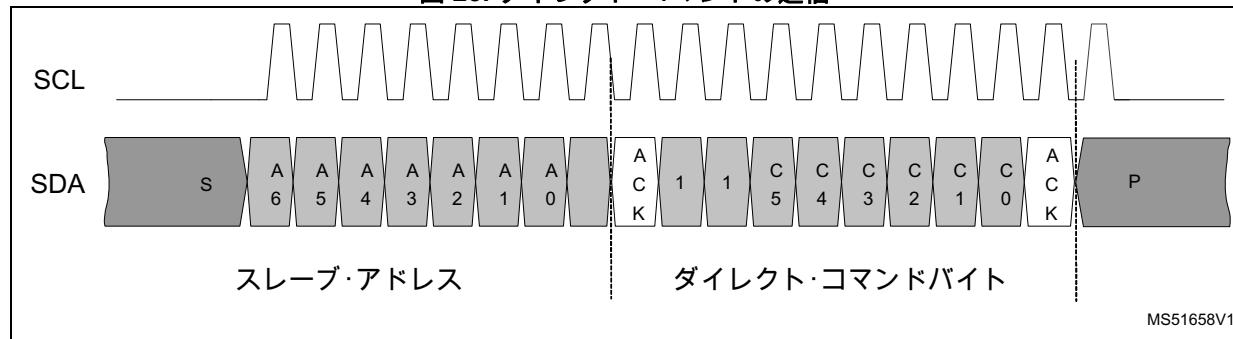
図 24. FIFOの読み出し



ダイレクト・コマンド・モード

I^2C スレーブ・アドレスの後に、ダイレクト・コマンドを起動するモード・バイトを送信します。SPIと同様に、ダイレクト・コマンドの中には実行にある程度の時間を要するものがあり、それらの実行が完了するまでは、 I^2C を通じてST25R3916/7にアクセスすることができません。このようなダイレクト・コマンドは、いずれも実行完了時に割り込みを送信して、 I^2C バスを再び使用できるようになったことをMCUに通知します。

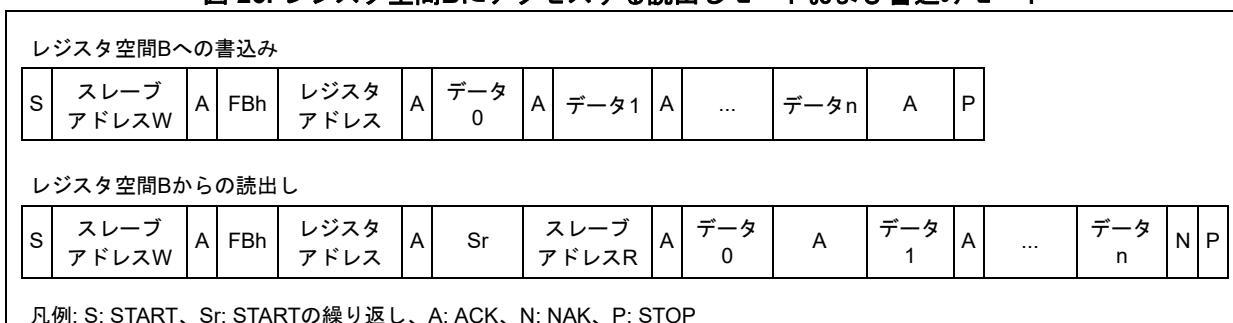
図 25. ダイレクト・コマンドの送信



レジスタ空間Bへの I^2C によるアクセス

レジスタ空間Bにアクセスするには、 I^2C スレーブ・アドレスとレジスタの読み出しモード・バイトまたは書き込みモード・バイトとの間にバイトFBhを挿入する必要があります。レジスタ空間Bへのアクセスは、 I^2C のSTOP条件が受信されるまでアクティブ状態を維持します。

図 26. レジスタ空間Bにアクセスする読み出しモードおよび書き込みモード



I^2C : トランスペアレント・モードへの遷移とその終了

I^2C を介してトランスペアレント・モード・コマンドが受信されると、チップのインターフェース・ラインは、[セクション 4.4.13: Transparent Mode \(トランスペアレント・モード\)](#)で説明するアナログ・ポートエンドに切り替わります。

トランスペアレント・モードへに遷移した後は、次のようにBSS信号を使用して I^2C 通信とトランスペアレント・モードのデータが区別されます。

- トランスペアレント・モードに遷移するにはBSSラインをHighに設定し、トランスペアレント・モードの実行中はHighに保持しておく必要があります。
- BSSラインをLowに設定した後、SCLのクロック・パルスを1回以上受信した時点でトランスペアレント・モードが終了します。
- トランスペアレント・モードが終了すると、 I^2C インターフェースを再び使用できるようになります。

I²C: マスタによる先頭バイト直後のスレーブ読出し

I²Cマスタでモード・バイトを省略して、スレーブ・アドレスの直後にST25R3916/7を読み出すと、図 27に示すように、まずバイトFFhが出力された後、アドレス01hからレジスタのダンプが始まります。

図 27. I²Cマスタによる先頭バイト直後のスレーブ読出し

S	スレーブ・アドレスR	A	データFFh	A	レジスタ01hのデータ	A	...	レジスタnのデータ	N	P
---	------------	---	--------	---	-------------	---	-----	-----------	---	---

凡例: S: START、A: ACK、N: NAK、P: STOP

このモードは、I²Cデバイスの検出を容易にするために用意されており、通常動作での使用を目的としたものではありません。

4.4 ダイレクト・コマンド

表 13. ダイレクト・コマンド一覧

コード (16進)	名前	コメント	連鎖	完了後の 割り込み	動作 モード ⁽¹⁾
C0、C1	Set Default	ST25R3916/7を起動時の状態に設定します。	不可	なし	すべて
C2、C3	Stop All Activities	送信、受信、ダイレクト・コマンドの実行、タイマなど、すべての動作を停止します。	可	なし	en
C4	Transmit With CRC	CRCの自動生成を伴う送信シーケンスを開始します。	可	なし	en
C5	Transmit Without CRC	CRCの自動生成を伴わない送信シーケンスを開始します。	可	なし	en
C6	Transmit REQA	REQAコマンドを送信します (ISO14443Aモードのみ)	可	なし	en、tx_en
C7	Transmit WUPA	WUPAコマンドを送信します (ISO14443Aモードのみ)	可	なし	en、tx_en
C8	NFC Initial Field ON	RFコリジョン防止の最初の動作を実行し、フィールドをオンにします。	可	あり	en
C9	NFC Response Field ON	RFコリジョン防止の応答動作を実行し、フィールドをオンにします。	可	あり	en
CD	Go to Sense (Idle)	パッシブ・ターゲットのロジックを検出 (アイドル)状態に設定します。	可	なし	en、rx_en
CE	Go to Sleep (Halt)	パッシブ・ターゲットのロジックをスリープ (HALT)状態に設定します。	可	なし	en、tx_en
D0	Mask Receive Data	レシーバと受信デコーダを停止します。	可	なし	すべて
D1	Unmask Receive Data	レシーバと受信デコーダを起動します。	可	なし	すべて
D2	Change AM Modulation state	AM変調の状態を変更します。	可	なし	en、tx_en
D3	Measure Amplitude	RFI入力に存在する信号の振幅を測定し、結果をA/Dコンバータ出力レジスタに格納します。	不可	あり	すべて ⁽²⁾
D5	Reset RX Gain	レシーバのゲインを、レシーバ・コンフィギュレーション・レジスタ4の値にリセットします。	不可	なし	en
D6	Adjust Regulators	現在の電源電圧レベルに応じて電源レギュレータを調整します。	不可	あり	en
D8	Calibrate Driver Timing	送信ドライバ・タイミング表示レジスタの設定に従って、ドライバ・タイミングの補正を開始します。	不可	なし	en
D9	Measure Phase	RFOとRFIの両信号間の位相差を測定します。	不可	あり	すべて ⁽²⁾
DA	Clear RSSI	RSSI表示レジスタのRSSIビットをクリアし、測定を再開します。	可	なし	en
DB	Clear FIFO	Clear FIFO	可	なし	en
DC	Enter Transparent Mode	トランスペアレント・モードに移行します。	不可	なし	en
DD	Calibrate Capacitive Sensor	静電容量センサを補正します。	不可	あり	すべて
DE	Measure Capacitance	CSOとCSIの両ピン間の静電容量を測定します。	不可	あり	すべて

表 13. ダイレクト・コマンド一覧 (続き)

コード (16進)	名前	コメント	連鎖	完了後の割り込み	動作モード ⁽¹⁾
DF	Measure Power Supply	-	不可	あり	en
E0	Start General Purpose Timer	-	可	なし	en
E1	Start Wake-up Timer	-	可	なし	すべて(wuを除く)
E2	Start Mask-receive Timer	マスク受信タイマとスケルチ動作を開始します。	可	なし	en
E3	Start No-response Timer	-	可	なし	en
E4	Start PP _{ON2} Timer	-	可	なし	en
E8	Stop No-response Timer	-	可	なし	en
FA	(今後の使用のために確保)	未使用	-	-	-
FB	Register Space-B Access	レジスタ空間Bへの読み出し/書き込みアクセスを有効にします。	可	なし	すべて
FC	Test Access	テスト・レジスタへの読み出し/書き込みアクセスを有効にします。	可	なし	すべて

- 特定のコマンドを受け付けるために、[動作コントロール・レジスタ](#)のどのビットをセットする必要があるかを指定します。
- Measure AmplitudeとMeasure Phaseは、パワーダウン・モードから直接実行できます。この場合、コマンドによって発信器が一時的に有効になります。

4.4.1 Set Default (デフォルト設定)

ST25R3916/7を電源投入初期化後と同じ状態に設定します。

- [Stop All Activities \(全動作停止\)](#) コマンドを実行
- すべてのレジスタをデフォルトの状態にリセット
- すべてのコリジョン・ビットをクリア

これまでの補正コマンドと調整コマンドの結果は失われます。ダイレクト・コマンドの終了時にはIRQが生成されません。

4.4.2 Stop All Activities (全動作停止)

実行中の動作をすべて停止します。

- [Clear FIFO \(FIFOのクリア\)](#) コマンドを実行
- データの送受信を停止
- FDTタイマを含むすべてのタイマを停止
- IRQラインとIRQステータス・ビットをクリア
- Field ONのコマンドをすべて停止

RFコリジョン防止の実行中にStop All Activitiesコマンドを受信した場合、フィールド検出が中止され、フィールドは設定されません。したがって、割り込みが送信されません。

- フィールドの自動オン機能を停止 (上記と同じ)
- フィールドの自動オフ機能を停止

GPTによるフィールドの自動オフの待機中にStop All Activitiesコマンドを受信した場合、フィールドはオン状態に保持されます。

- nfc_arを01bに設定し、これまでの受信状態の記録をクリア
- 一時的な有効化を停止

このコマンドは、FIFOのステータス・レジスタを除き、どのレジスタも更新しません。したがって、CEモードが有効になっている場合、フィールド検出器は無効にならず、有効になっているフィールドもオフになりません。

4.4.3 Clear FIFO (FIFOのクリア)

FIFOとFIFOステータス・レジスタをクリアします。IRQラインとIRQステータス・ビットはクリアしません。

送信を開始する準備として、FIFOにデータを書き込む前に、まずこのコマンドを送信します。データの送信中にClear FIFOコマンドを送信すると、データ送信は中止され、FIFOとFIFOステータス・レジスタがクリアされます。

4.4.4 Transmit (送信) コマンド群

送信に関連するダイレクト・コマンド群は、ST25R3916/7からのデータ送信を開始するために使用します。送信が完了すると、これらのコマンドによってデバイスは受信モードに切り替わります。

Transmit with CRCおよびTransmit without CRCコマンドを送信する前に、Clear FIFOダイレクト・コマンドを送信したうえで、送信するバイト数とFIFOに送信する書き込みデータを送信する必要があります。

ISO14443Aショート・フレーム・コマンドのREQAおよびWUPAを送信するには、それぞれダイレクト・コマンドのTransmit REQAおよびTransmit WUPAを使用します。これら2つのコマンドの前にClear FIFOダイレクト・コマンドを送信する必要はありません。

antclビットがセットされている場合、ダイレクト・コマンドのTransmit REQAまたはTransmit WUPAの前に、最終バイトにある有効なビットの数（[送信バイト数レジスタ2のnbt_x<2:0>](#)）を0（ゼロ）に設定する必要があります。

ダイレクト・コマンドのTransmit REQAおよびTransmit WUPAは、応答フレームのCRCチェックを自動的に無効化します。CRCチェックは、以下の条件のいずれかが満たされると、再度有効化されます。

- Transmit with CRCダイレクト・コマンドの実行
- Mask Receive Dataダイレクト・コマンドの実行
- 応答なしタイマのタイムアウト

Felica™モードでTransmit without CRCダイレクト・コマンドを使用すると、長さバイトおよびCRCバイトは省略されます。プリアンブル・バイトとSYNCバイトに続いて、FIFOにある生データが送信されます。送信長nbt_x<2:0> ≥ 1を使用する必要があります。

4.4.5 NFC Field ON (NFCフィールド・オン) コマンド群

NFC Field Onダイレクト・コマンド群は、RFコリジョン防止を実行するために使用します。これらのコマンドが適切に動作するには、外部フィールド検出器を有効にする必要があります。

外部フィールドが存在するかどうかを判断するために、ST25R3916/7は、RFI1ピンのRF電圧レベルを、[外部フィールド検出器アクティブ化閾値レジスタ](#)で設定したコリジョン防止閾値と比較します。

外部フィールドが検出されない場合、ST25R3916/7のトランスマッタが自動的にオン（[動作コントロール・レジスタ](#)のtx_enビットがセットされます）になり、I_apon IRQが送信されます。[NFCフィールド・オン・ガード・タイマ・レジスタ](#)で設定したRFガード時間が経過すると、I_cat IRQが送信されます。この時点で、コントローラは送信コマンドを使用してデータ送信を開始できます。

外部フィールドが検出された場合、I_cac IRQが送信され、ST25R3916/7のトランスマッタはオフの状態を維持します。

NFC Initial Field ONダイレクト・コマンドは、NFCIP-1規格に従ったコリジョン防止の最初の動作を行し、NFC Response Field ONダイレクト・コマンドは、NFCIP-1規格に従ったコリジョン防止の応答動作を実行します。これらのコマンドの詳細なタイミングについては図 28、図 29、表 14を参照してください。

図 28. NFC Initial Field ONダイレクト・コマンド

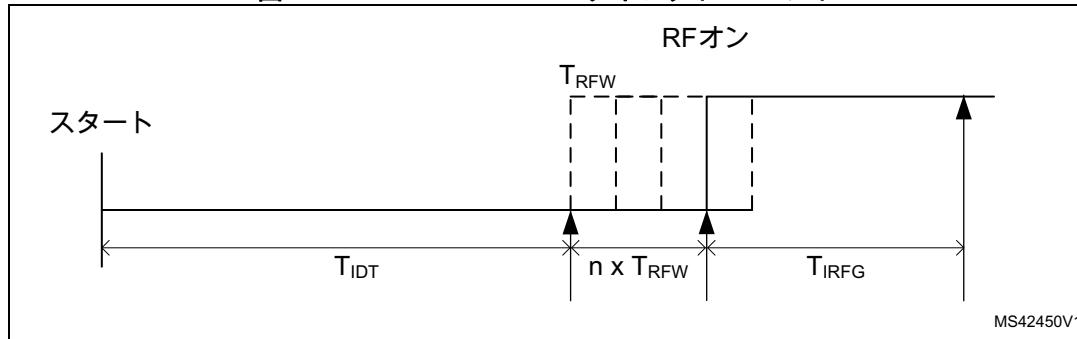


図 29. NFC Response Field ONダイレクト・コマンド

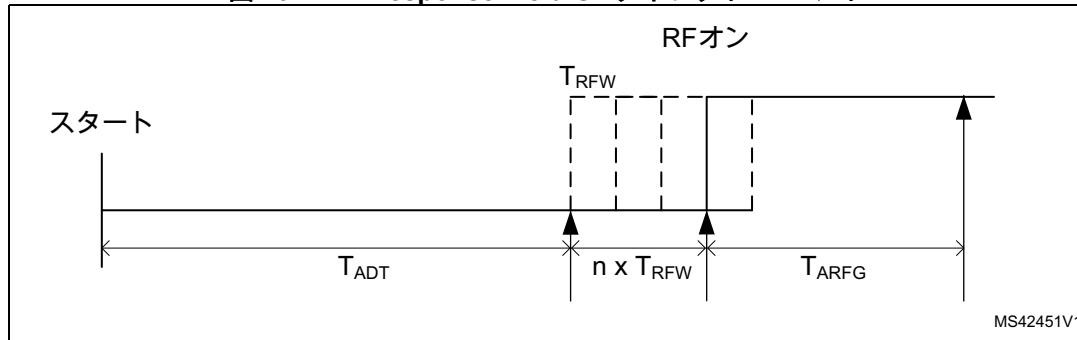


表 14. NFC Field ONコマンド群のタイミング・パラメータ

パラメータ	記号	値	単位	注
初期遅延時間	T _{IDT}	4096	/fc	NFC Initial Field ON
RF待機時間	T _{RFW}	512	/fc	nfc_n<1:0>に基づいてn = 0 ~ 3
初期ガード時間	T _{IRFG}	75 μ s + NFCフィールド・オン・ガード 時間	s	NFCフィールド・オン・ガード・タイマ・レジスタに 設定されたNFCフィールド・オン・ガード時間 NFCPIP-1でT _{IRFG} に要求される値: 5ms ~ 35ms
アクティブ遅延時間	T _{ADT}	768	/fc	NFC Response Field ON
RF待機時間	T _{RFW}	512	/fc	補助設定レジスタのnfc_n<1:0>に基づいてn = 0 ~ 3
アクティブ・ガード 時間	T _{ARFG}	75 μ s + NFCフィールド・オン・ガード 時間	s	NFCフィールド・オン・ガード・タイマ・レジスタに 設定されたNFCフィールド・オン・ガード時間 NFCPIP-1でT _{ARFG} に要求される値: 75 μ s + NFCフィールド・オン・ガード時間 (1024/fc) を超える値

4.4.6 Mask Receive Data（データ受信のマスク）とUnmask Receive Data（データ受信のマスク解除）

Mask Receive Dataダイレクト・コマンドは、受信デコーダ、RSSI測定、AGC動作によるレシーバ出力の処理を無効化します。

Unmask Receive Dataダイレクト・コマンドは、RXデコーダ、RSSI測定、AGC動作による受信データの処理を有効化します。通常、このコマンドは、Mask Receive Dataコマンドによってマスクされていたレシーバの動作を再度有効化するために使用します。Unmask Receive Dataダイレクト・コマンドの受信時に、まだマスク受信タイマが動作中の場合、受信動作が有効化され、マスク受信タイマはリセットされます。

パッシブ・ターゲット（カード・エミュレーション）モードの場合、Unmask Receive Dataコマンドは、新しいデータ受信に備えて受信デコーダを設定し、内部FDTタイマをクリアします。パッシブ・ターゲット・モードで、このダイレクト・コマンドを使用できるのは、ST25R3916/7からこれ以上送信の予定がない場合に限られ、デバイスは次のコマンドの受信を待機している必要があります。

4.4.7 Change AM Modulation state（AM変調状態変更）

AM変調の状態を非変調から変調、またはその逆へと変更します。この機能は、[Measure Amplitude（振幅測定）](#) ダイレクト・コマンドによるAM変調指数の測定に使用できます。

4.4.8 Measure Amplitude (振幅測定)

RFI入力でRF信号の振幅を測定し、結果をA/Dコンバータ出力レジスタに格納します。

このコマンドにより、トランスマッタと振幅検出器が有効化されます。トランスマッタがアンテナを駆動し、RFI1とRFI2間に応答として戻ってくる差動RF信号の振幅を、振幅検出器がその振幅に比例するDC電圧に変換します。さらにこのDC電圧を、絶対変換モードのA/Dコンバータが8ビットの値に変換し、A/Dコンバータ出力レジスタに格納します。

振幅検出器の変換ゲインは、1本のRFIピンのRF信号を基準とした V_{inPP}/V_{out} で0.6です。したがって、A/Dコンバータ出力の LSB の 1bit は、RFI入力のいずれかで 13.02mV_{PP}に相当します。

注：RFIピンの最大許容電圧レベルは3V_{PP}です。これは振幅検出器の出力DC電圧で1.8Vに相当し、A/D変換後はE6hという値が得られます。

継続時間: 最大25μs

4.4.9 Reset RX Gain (受信ゲイン・リセット)

AGC、スケルチ、RSSIブロックを初期化し、レシーバ・コンフィギュレーション・レジスタ4に設定された値にゲイン低減量をリセットします。このコマンドを送信すると、実行中のスケルチ動作もすべて停止します。

4.4.10 Adjust Regulators (レギュレータ調整)

このコマンドを送信すると、トランスマッタとレシーバが有効になり、電源から大電流を供給できるようになります。安定化電圧 V_{DD_RF} は電源レベル V_{DD_TX} より250mV低い電圧に設定されます。レギュレータ調整コマンドの送信前に、reg_sビットを'1'に設定してから'0'にリセットする切り替え動作が必要です。調整が完了すると、トランスマッタとレシーバは、このコマンドを実行する前の状態（有効または無効）に戻ります。

継続時間: 最大5ms

レギュレータ電圧コントロール・レジスタで安定化電圧の外部設定を選択している場合（reg_sビットを'1'に設定した場合）、このコマンドは受け付けられません。

4.4.11 Measure Phase (位相測定)

RFO出力信号とRFI入力信号との位相差を測定し、結果をA/Dコンバータ出力レジスタに格納します。

このコマンドによりトランスマッタと位相測定器が有効になり、位相検出器の出力を相対モードのA/DコンバータによってA/D変換します。位相の測定結果は、以下の式で計算できます。

- $0^\circ \leq \phi \leq 17^\circ$: 結果 = 255
- $17^\circ < \phi < 163^\circ$: 角度 (°) = $17 + (1 - \text{結果}/255) \times 146$
- $163^\circ \leq \phi \leq 180^\circ$: 結果 = 0

継続時間: 最大25μs

4.4.12 Clear RSSI (RSSIクリア)

レシーバが[RSSI表示レジスタ](#)のRSSIビットを自動的にクリアし、新たに受信が始まると（Transmitダイレクト・コマンドの実行後など）、新たにRSSIの測定を開始します。RSSIビットはピーク値を保存しているので（ピーク・ホールド型）、最終的なレシーバ入力信号の変化には追随しません（このような状況は、長いメッセージやテスト手順で発生することがあります）。

Clear RSSIダイレクト・コマンドは、[RSSI表示レジスタ](#)のRSSIビットをクリアし、RSSI測定を再開します。これによって、1回の受信中に複数回RSSIを測定できます。

4.4.13 Transparent Mode (トランスペアレント・モード)

レシーバとトランスマッタをトランスペアレント・モードに設定します。デバイスは、ダイレクト・コマンドの送信に使用されているSPIフレームのBSS信号の立上がりエッジでトランスペアレント・モードに移行します。BSS信号がHighに保持されているかぎり、トランスペアレント・モードが維持されます。したがって、マイクロコントローラから次のSPIコマンドが送信されると、トランスペアレント・モードは自動的に終了します。

4.4.14 Calibrate Capacitive Sensor (静電容量センサ補正)

静電容量センサを補正します。

水晶発振器やリーダの磁界との干渉を防ぐため、このコマンドはパワーダウン・モードでのみ使用することを強く推奨します。割り込みのI_dctは、レディ・モードでのみ生成されます。測定状況は、[静電容量センサ表示レジスタ](#)のステータス・ビットに示されます。

継続時間: 最大3ms

このコマンドが実行されるのは、容量センサの自動補正モードを設定している場合（[静電容量センサ・コントロール・レジスタ](#)のcs_mcalビットをすべて'0'に設定している場合）のみです。

4.4.15 Measure Capacitance (静電容量測定)

静電容量を測定します。

水晶発振器やリーダの磁界との干渉を防ぐため、このコマンドはパワーダウン・モードでのみ使用することを強く推奨します。

継続時間: 最大250μs

4.4.16 Measure Power Supply (電源測定)

電源電圧を測定します。[レギュレータ電圧コントロール・レジスタ](#)のビットmpsv<2:0>によって、測定する信号を選択します。測定結果は、[A/Dコンバータ出力レジスタ](#)に格納されます。

電源測定では、選択した電源入力電圧値が3で除算され、絶対モードのA/Dコンバータで測定されます。これによって、すべての電源測定で LSBあたり23.4mVの分解能が得られます。

継続時間: 最大25μs

4.4.17 Test Access (テスト・アクセス)

このデバイスには専用のテスト・ピンはありません。Test Accessダイレクト・コマンドを使用すると、テスト・レジスタへの読出し/書き込みアクセスが可能になり、各種テスト・モードに移行できます。テスト・ピンとしてCSIピンとCSOピンを使用します。

テスト・モードへの移行とテスト・レジスタへのアクセス

テスト・レジスタは、通常のレジスタのアドレス空間には存在しません。Test Accessダイレクト・コマンドの送信後は、通常のレジスタ読出し/書き込みコマンドによってテスト・レジスタにアクセスできるようになります。テスト・レジスタには、コマンドの連続シーケンスでアクセスできます。このシーケンスでは、最初にTest Accessコマンドを送信し、それに続いて自動インクリメント機能を使用してテスト・レジスタへの読出し/書き込みコマンドを送信します。テスト・レジスタは、電源投入時にデフォルト状態に設定されます。

アナログ・テストと観測レジスタ1

アドレス: 00h

種類: RW

表 15. アナログ・テストと観測レジスタ1

ビット	名前	デフォルト	機能	コメント	
7	tana7	0	-	予約済み これらのテスト・モードでは、通常モードでの観測も目的としています。アナログ・テスト・モードを設定していなければ、このレジスタの他のモードも使用できます。	
6	tana6	1	-		
5	tana5	0	-		
4	-	0	-		
5	tana3	0	表 16参照		
4	tana2	0			
3	tana1	0			
0	tana0	0			

表 16. テスト・アクセス・レジスタ - CSIピンとCSOピンの信号選択

tana3:0 (16進)	CSIピン		CSOピン		
	種類	機能	種類	機能	コメント
1	A0	AMチャネルのアナログ出力 (デジタイザの前)	D0	AMチャネルのデジタル出力 (デジタイザの後)	通常動作 (リーダ)
2	A0	PMチャネルのアナログ出力 (デジタイザの前)	D0	PMチャネルのデジタル出力 (デジタイザの後)	
3	A0	AMチャネルのアナログ出力 (デジタイザの前)	A0	PMチャネルのアナログ出力 (デジタイザの前)	
4	A0	AM相関信号のアナログ出力	A0	PM相関信号のアナログ出力	
5	A0	タグ復調器アナログ出力	D0	タグ復調器OOKデジタル出力	通常動作 (タグ)
6	A0		D0	タグ復調器ASKデジタル出力	
B	D0	AM相関データ信号のデジタル出力	D0	AM相関コリジョン/検出開始信号のデジタル出力	-

表 16. テスト・アクセス・レジスタ - CSIピンとCSOピンの信号選択（続き）

tana3:0 (16進)	CSIピン		CSOピン		
	種類	機能	種類	機能	コメント
C	D0	PM相関データ信号のデジタル出力	D0	PM相関コリジョン/検出開始信号のデジタル出力	-
D	A0	AM相関信号のアナログ出力	A0	AMチャネルの相関デジタル化閾値	-
E	A0	PM相関信号のアナログ出力	A0	PMチャネルの相関デジタル化閾値	-

4.5 レジスタ

ST25R3916/7には、2つのレジスタ空間があります。各空間は、次のように00h ~ 3Fhをアドレス空間とする最大64個のレジスタで構成されます。

- レジスタ空間A (Rs-A) (表 17参照)
- レジスタ空間B (Rs-B) (表 18参照)

ST25R3916/7に実装されているレジスタには、次の2種類があります。

- コンフィギュレーション・レジスタ: デバイスの設定に使用します。SPIまたはI²Cインターフェースを介して書き込みと読み出しが可能です。
- 表示レジスタ: 読出し専用 (RO) です。デバイスの状態に関する情報が格納されます。

レジスタは、電源投入時およびSet Default (デフォルト設定) ダイレクト・コマンドの送信後に、それぞれのデフォルト値に設定されます。

表 17. レジスター一覧 - 空間A

種類	アドレス (16進)	レジスタ空間A (Rs-A)
IOのコンフィギュレーション	00	IOコンフィギュレーション・レジスタ1
	01	IOコンフィギュレーション・レジスタ2
動作コントロールおよびモード設定	02	動作コントロール・レジスタ
	03	モード設定レジスタ
	04	ビット・レート設定レジスタ
プロトコルのコンフィギュレーション	05	ISO14443AおよびNFC 106kb/s設定レジスタ
	06	ISO14443B設定レジスタ1
	07	ISO14443BおよびFeliCa設定レジスタ
	08	NFCIP-1パッシブ・ターゲット設定レジスタ
	09	ストリーム・モード設定レジスタ
	0A	補助設定レジスタ
レシーバのコンフィギュレーション	0B	レシーバ・コンフィギュレーション・レジスタ1
	0C	レシーバ・コンフィギュレーション・レジスタ2
	0D	レシーバ・コンフィギュレーション・レジスタ3
	0E	レシーバ・コンフィギュレーション・レジスタ4

参考資料

表 17. レジスター覧 - 空間A (続き)

種類	アドレス (16進)	レジスタ空間A (Rs-A)
タイム設定	0F	マスク受信タイマ・レジスタ
	10	応答なしタイマ・レジスタ1
	11	応答なしタイマ・レジスタ2
	12	タイマ/EMVコントロール・レジスタ
	13	汎用タイマ・レジスタ1
	14	汎用タイマ・レジスタ2
	15	PPON2フィールド待機レジスタ
割り込みと関連レポーティング	16	メイン割り込みマスク・レジスタ
	17	タイマ/NFC割り込みマスク・レジスタ
	18	エラー/ウェイクアップ割り込みマスク・レジスタ
	19	パッシブ・ターゲット割り込みマスク・レジスタ
	1A	メイン割り込みレジスタ
	1B	タイマ/NFC割り込みレジスタ
	1C	エラー/ウェイクアップ割り込みレジスタ
	1D	パッシブ・ターゲット割り込みレジスタ
	1E	FIFOステータス・レジスタ1
	1F	FIFOステータス・レジスタ2
	20	コリジョン表示レジスタ
	21	パッシブ・ターゲット表示レジスタ
送信バイト数の設定	22	送信バイト数レジスタ1
	23	送信バイト数レジスタ2
	24	ビット・レート検出表示レジスタ
A/Dコンバータ出力	25	A/Dコンバータ出力レジスタ
アンテナ補正	26	アンテナ・チューニング・コントロール・レジスタ1
	27	アンテナ・チューニング・コントロール・レジスタ2
アンテナ・ドライバと変調	28	送信ドライバ・レジスタ
	29	パッシブ・ターゲット変調レジスタ
外部フィールド検出器閾値	2A	外部フィールド検出器アクティブ化閾値レジスタ
	2B	外部フィールド検出器非アクティブ化閾値レジスタ
レギュレータ	2C	レギュレータ電圧コントロール・レジスタ
レシーバ状態表示	2D	RSSI表示レジスタ
	2E	ゲイン低減状態レジスタ
静電容量センサ	2F	静電容量センサ・コントロール・レジスタ
	30	静電容量センサ表示レジスタ
補助表示	31	補助表示レジスタ

参考資料

表 17. レジスター一覧 - 空間A (続き)

種類	アドレス (16進)	レジスタ空間A (Rs-A)
ウェイクアップ	32	ウェイクアップ・タイマ・コントロール・レジスタ
	33	振幅測定コンフィギュレーション・レジスタ
	34	振幅測定基準レジスタ
	35	振幅測定自動平均化表示レジスタ
	36	振幅測定表示レジスタ
	37	位相測定コンフィギュレーション・レジスタ
	38	位相測定基準レジスタ
	39	位相測定自動平均化表示レジスタ
	3A	位相測定表示レジスタ
	3B	静電容量測定コンフィギュレーション・レジスタ
	3C	静電容量測定基準レジスタ
	3D	静電容量測定自動平均化表示レジスタ
	3E	静電容量測定表示レジスタ
IC識別情報	3F	IC識別レジスタ

表 18. レジスター一覧 - 空間B

種類	アドレス (16進)	レジスタ空間B (Rs-B)
プロトコルのコンフィギュレーション	05	EMD抑制コンフィギュレーション・レジスタ
	06	サブキャリア開始タイマ・レジスタ
レシーバのコンフィギュレーション	0B	P2Pレシーバ・コンフィギュレーション・レジスタ1
	0C	コリレータ・コンフィギュレーション・レジスタ1
	0D	コリレータ・コンフィギュレーション・レジスタ2
タイマ設定	0F	スケルチ・タイマ・レジスタ
	15	NFCフィールド・オン・ガード・タイマ・レジスタ
アンテナ・ドライバと変調	28	補助変調設定レジスタ
	29	送信ドライバ・タイミング・レジスタ
外部フィールド検出器閾値	2A	抵抗性AM変調レジスタ
	2B	送信ドライバ・タイミング表示レジスタ
レギュレータ	2C	レギュレータ表示レジスタ
保護	30	オーバーシュート保護コンフィギュレーション・レジスタ1
	31	オーバーシュート保護コンフィギュレーション・レジスタ2
	32	アンダーシュート保護コンフィギュレーション・レジスタ1
	33	アンダーシュート保護コンフィギュレーション・レジスタ2

4.5.1 IOコンフィギュレーション・レジスタ1

レジスタ空間: A

アドレス: 00h

種類: RW

表 19. IOコンフィギュレーション・レジスタ1

ビット	名前	デフォルト	機能			コメント
7	single	0	0: 差動アンテナ駆動 1: RFOドライバを1つのみ使用			アンテナのシングル・エンド駆動と差動駆動を選択します。
6	rfo2	0	0: RFO1、RFI1 1: RFO2、RFI2			シングル・エンド駆動の場合、どちらの出力ドライバおよび入力を使用するかを選択します。
5	i2c_thd1	0	I2C t_{HD} : hs-mode/hs-mode以外 00: 380ns/160ns 01: 180ns/160ns			-
4	i2c_thd0	0	10: 180ns/70ns 11: 100ns/70ns			-
3	(今後の使用のために確保)	0	-			-
2	out_cl1	0	out_cl1	out_cl0	MCU_CLK	水晶発振器が動作中である場合、MCU_CLK出力のクロック周波数を選択します。'11'に設定するとMCU_CLK出力は常時Lowになります。
			0	0	3.39MHz	
			0	1	6.78MHz	
1	out_cl0	0	1	0	13.56MHz	デフォルトでは、水晶発振器が停止中でMCU_CLK出力が無効になっていない場合、MCU_CLK出力には32kHzのLFクロックがOutputされます。
			1	1	無効	
0	lf_clk_off	0	0: MCU_CLKにLFクロックを出力 1: MCU_CLKにLFクロックを出力しない			デフォルトでは、水晶発振器が停止中でMCU_CLK出力が無効になっていない場合、MCU_CLK出力には32kHzのLFクロックがOutputされます。

4.5.2 IOコンフィギュレーション・レジスタ2

レジスタ空間: A

アドレス: 01h

種類: RW

表 20. IOコンフィギュレーション・レジスタ2

ビット	名前	デフォルト	機能	コメント
7	sup3V	0	0: 5V電源 1: 3.3V電源	3.6V < V_{DD} ≤ 5.5Vの場合は'0'に設定 2.4V ≤ V_{DD} ≤ 3.6Vの場合は'1'に設定
6	vspd_off	0	0: V_{DD_D} のレギュレータを有効化 1: V_{DD_D} のレギュレータを無効化	低コスト・アプリケーションで使用します。このビットをセットした場合は次のようにになります。 - 3V電源または5V電源で、 VDD_D と VDD_A を外部で短絡する必要があります。
5	aat_en	0	0: AAT/DAを無効化 1: AAT/DAを有効化	aat_enとenの両方をセットするとAAT D/Aコンバータが有効化されます。aat_enのみをセットしてenをクリアした場合、AAT出力は固定値に設定されます。 固定値での動作とする場合でも、少なくとも1回はenを'1'に設定してから'0'に設定する必要があります。
4	miso_pd2	0	1: BSSがLowで、MISOがST25R3916/7で駆動されていない場合、MISOをプルダウンします。	SPIモードでのみ有効な設定です。
3	miso_pd1	0	1: BSSがHighの場合、MISOをプルダウン	
2	io_drv_lvl	0	0: 通常のIOドライバ・レベル 1: IO駆動レベルの引き上げ	MISO、MCU_CLK、IRQのIO各ドライバ駆動能力を高くします。 すべてのI ² C動作および $V_{DD_IO} < 3.3V$ で実行するSPI動作では'1'に設定することを推奨します。
1	am_ref_rf	0	0: V_{DD_AM} レギュレータの基準電圧を V_{DD_DR} にする 1: V_{DD_AM} レギュレータの基準電圧を V_{DD_RF} にする	V_{DD_AM} 電圧レギュレータの非変調RF電圧レベルを基準電圧として選択します。
0	slow_up	0	1: 送信オン時の駆動ランプアップを低速化	Bでは、10% ~ 90%の変化に要する時間が10μs以上

4.5.3 動作コントロール・レジスタ

アドレス: 02h

種類: RW

表 21. 動作コントロール・レジスタ⁽¹⁾

ビット	名前	デフォルト	機能	コメント
7	en	0	1: 発信器とレギュレータを有効化 (レディ・モード)	-
6	rx_en	0	1: 受信動作を有効化	-
5	rx_chn	0	0: AM チャネルと PM チャネルの 両方を有効化 1: 1 チャネルを有効化	受信チャネルを 1 つだけ有効にする場合は、どちらを 有効にするかを レシーバ・コンフィギュレーション・レジスタ 1 の ch_sel ビットで選択します。
4	rx_man	0	0: チャネルの自動選択 1: チャネルの手動選択	受信チャネルを両方有効にする場合は、チャネルの選 択方法を設定します。手動選択とする場合は、 レシ バ・コンフィギュレーション・レジスタ 1 の ch_sel ビッ トをセットします。
3	tx_en	0	1: 送信動作を有効化	このビットは、NFC Field ON コマンドによって自動的 にセットされ、送信完了後に NFC アクティブ通信モー ドでリセットされます。
2	wu	0	1: ウェイクアップ・モードを有効化	ウェイクアップ・タイマ・コントロール・レジスタ の設 定に従います。
1	en_fd_c1	0	00: 外部フィールド検出器をオフ 01: コリジョン防止検出閾値を設 定した外部フィールド検出器を手 動で有効化 10: ピア検出閾値を設定した外部 フィールド検出器を手動で有効化 11: 外部フィールド検出器を自動 で有効化	11: ピア検出/コリジョン防止閾値を設定した外部フィー ルド検出器が自動的に起動します (NFCIP-1 P2Pモー ドで使用)。
0	en_fd_c0	0		en_fdc<1:0>が0で、他のビットを'0'に設定すると、デ バイスは低消費電力の初期NFCモードに移行します。

- 起動時にのみ各ビットがデフォルト値に設定されます。

参考資料

4.5.4 モード設定レジスタ

レジスタ空間: A

アドレス: 03h

種類: RW

表 22. モード設定レジスタ⁽¹⁾

ビット	名前	デフォルト	機能	コメント
7	targ	0	0: イニシエータ 1: ターゲット	-
6	om3	0	表 23と表 24参照	動作モードを選択します。 イニシエータ・モードとターゲット・モードで異なります。
5	om2	0		
4	om1	0		
3	om0	1		
2	tr_am	0	0: OOK 1: AM	RF変調モードを選択します。
1	nfc_ar1	0	00: オフ 01: あらゆる受信(エラーを含む)後に自動的にフィールドをオン 10: ピアのフィールド・オフ後、常時 11: (今後の使用のために確保)	RFコリジョン防止の応答動作を自動的に開始します。
0	nfc_ar0	0		

1. 水晶発振器からクロックが出力されていて、安定している場合 (osc_ok = 1) にのみ、レジスタに書き込むことができます。

表 23. イニシエータ動作モード⁽¹⁾

om3	om2	om1	om0	コメント
0	0	0	0	NFCIP-1アクティブ通信
0	0	0	1	ISO14443A
0	0	1	0	ISO14443B
0	0	1	1	FeliCa™
0	1	0	0	NFCフォーラム・タイプ1タグ (Topaz)
1	1	1	0	サブキャリア・ストリーム・モード
1	1	1	1	BPSKストリーム・モード
上記以外の組み合わせ				(今後の使用のために確保)

1. 未対応の動作モードを選択すると、送受信動作が無効化されます。

表 24. ターゲット動作モード⁽¹⁾

om3	om2	om1	om0	コメント
0	0	0	1	ISO14443Aパッシブ・ターゲット・モード
0	1	0	0	FeliCa™パッシブ・ターゲット・モード
0	1	1	1	NFCIP-1アクティブ通信モード

表 24. ターゲット動作モード⁽¹⁾ (続き)

om3	om2	om1	om0	コメント
1	x	x	x	ビット・レート検出モード - om2: FeliCa™ ビット・レート検出モードを有効化 - om1: (今後の使用のために確保) - om0: ISO14443A ビット・レート検出モードを有効化
それ以外の組み合わせ				設定禁止

1. ビット・レート検出モードではnfc_f0 = 1を設定しないようにします (表 26参照)。

4.5.5 ビット・レート設定レジスタ

レジスタ空間: A

アドレス: 04h

種類: RW

表 25. ビット・レート設定レジスタ

ビット	名前	デフォルト	機能	コメント
7	(今後の使用のために確保)	0	表 26参照	-
6	(今後の使用のために確保)	0		-
5	tx_rate1	0		送信のビット・レートを選択します。
4	tx_rate0	0		-
3	(今後の使用のために確保)	0		-
2	(今後の使用のために確保)	0		-
1	rx_rate1	0		受信のビット・レートを選択します。
0	rx_rate0	0		-

表 26. ビット・レートのコード⁽¹⁾

rate3	rate2	rate1	rate0	ビット・レート (kbit/s)	コメント
0	0	0	0	fc/128 (106以下)	-
0	0	0	1	fc/64 (212以下)	-
0	0	1	0	fc/32 (424以下)	-
0	0	1	1	fc/16 (848以下)	-
上記以外の組み合わせ				-	未使用

1. 未対応のビット・レートを選択すると、送受信動作が無効化されます。

4.5.6 ISO14443AおよびNFC 106kb/s設定レジスタ

レジスタ空間: A

アドレス: 05h

種類: RW

表 27. ISO14443AおよびNFC 106kb/s設定レジスタ

ビット	名前	デフォルト	機能	コメント
7	no_tx_par	0	1: 送信時にパリティ・ビットを生成しない	データ・ストリームがFIFOから取得され、Transmit Without CRCコマンドを使用して送信されます ⁽¹⁾ 。
6	no_rx_par	0	1: パリティとCRCビットを含め、データを受信してFIFOに格納	'1'にセットすると、受信したビット・ストリームはFIFOに格納されますが、パリティとCRCの検出は実行されません ⁽¹⁾ 。データ・レート106kbit/sにのみ対応しています。
5	nfc_f0	0	1: NFCIP-1トランスポート・フレーム・フォーマットへの対応	送信時はSB (F0) バイトとLENバイトを追加し、受信時はSB (F0) バイトを省略します。 ビット・レート検出モードではセットしないようにします。
4	p_len3	0	表 28参照	13.56MHzクロックの周期数で変調パルス幅を設定します。
3	p_len2	0		
2	p_len1	0		
1	p_len0	0		
0	antcl	0	0: 標準フレーム 1: ISO14443 アンチコリジョン・フレーム	リーダ・モードでISO14443Aのビット方式アンチコリジョン・フレームを受信する場合は'1'に設定する必要があります。 その他のフレームおよびモードでは'0'に設定します。

1. リーダ・モードでのみ使用できます。カード・エミュレーション・モードでは使用できません。

表 28. ISO14443A変調パルス幅

p_len3	p_len2	p_len1	p_len0	各種ビット・レートでのパルス幅 (1/fc単位)			
				fc/128	fc/64	fc/32	fc/16
0	1	1	1	42	-	-	-
0	1	1	0	41	24	-	-
0	1	0	1	40	23	-	-
0	1	0	0	39	22	13	-
0	0	1	1	38	21	12	8
0	0	1	0	37	20	11	7
0	0	0	1	36	19	10	6
0	0	0	0	35	18	9	5
1	1	1	1	34	17	8	4
1	1	1	0	33	16	7	3
1	1	0	1	32	15	6	2
1	1	0	0	31	14	5	-

参考資料

表 28. ISO14443A変調パルス幅 (続き)

p_len3	p_len2	p_len1	p_len0	各種ビット・レートでのパルス幅 (1/fc単位)			
				fc/128	fc/64	fc/32	fc/16
1	0	1	1	30	13	-	-
1	0	1	0	29	12	-	-
1	0	0	1	28	-	-	-
1	0	0	0	27	-	-	-

4.5.7 ISO14443B設定レジスタ1

レジスタ空間: A

アドレス: 06h

種類: RW

表 29. ISO14443B設定レジスタ1

ビット	名前	デフォルト	機能				コメント	
7	egt2	0	egt2	egt1	egt0	etu数	etu数でEGTを設定します。	
			0	0	0	0		
6	egt1	0	0	0	1	1	etu数でEGTを設定します。	
			:	:	:	:		
5	egt0	0	1	1	0	6	論理'0'のetu数でSOFを設定します。	
			1	1	1	6		
4	sof_0	0	0: 10etu 1: 11etu					
3	sof_1	0	0: 2etu 1: 3etu					
2	eof	0	0: 10etu 1: 11etu					
1	half	0	0: sof_0/sof_1ビットで設定したSOF、eof ビットで設定したEOF 1: SOF: 論理0で10.5etu、論理1で2.5etu EOF: 論理0で10.5etu					
0	rx_st_om	0	0: 受信でスタート・ビットとストップ・ ビットが必要 1: 受信でスタート・ビットとストップ・ ビットを省略	SOFを10etu Lowおよび2etu Highに固定、EOFを 未定義として、最終的に得られたバイト全体を FIFOに格納します。 このモードでは、CRCを実行しません。 コヒーレント受信モードにのみ対応しています。				

4.5.8 ISO14443BおよびFelica設定レジスタ

レジスタ空間: A

アドレス: 07h

種類: RW

表 30. ISO14443BおよびFelica設定レジスタ

ビット	名前	デフォルト	機能	コメント
7	tr1_1	0	表 31参照	-
6	tr1_0	0		-
5	no_sof	0	1: PICCからPCDへの応答でSOFなし	ISO14443-3の7.10.3.3節に準拠しています。 B'に対応します。
4	no_eof	0	1: PICCからPCDへの応答でEOFなし	ISO14443-3の7.10.3.3節に準拠しています。 コヒーレント受信モードにのみ対応しています。
3	(今後の使用のために確保)	0	-	-
2	(今後の使用のために確保)	0	-	-
1	f_p1	0	00: 48 01: 64	Felica™のプリアンブル長を設定します (NFCIP-1アクティブ通信のビット・レート 212kb/sと424kb/sでも有効です)。
0	f_p0	0	10: 80 11: 96	

表 31. 最小TR1のコード

tr1_1	tr1_0	PICCからPCDへの応答のビット・レートに対する最小TR1	
		fc/128	>fc/128
0	0	80/fs	
0	1	64/fs	32/fs
1	0	未使用	
1	1	未使用	

4.5.9 NFCIP-1パッシブ・ターゲット設定レジスタ

レジスタ空間: A

アドレス: 08h

種類: RW

表 32. NFCIP-1パッシブ・ターゲット設定レジスタ

ビット	名前	デフォルト	機能	コメント
7	fde13	0		NFC-AのCEモードで有効な設定です。
6	fde12	0		- fde1 = 0: ロジックで生成された公称FDT時間を使用します。
5	fde11	0	PCDからPICCへの応答でのFDT補償 フレーム補償をfde1<3:0> x 1/fcで設定	- fde1 > 0: ロジックから得られたFDTを短縮して使用します。
4	fde10	0		信号処理の遅延を考慮すると、fde1<3:0> = 2が適切な設定と考えられます（最適値はフィルタやアンテナによっても異なります）。
3	d_ac_ap2p	0	0: AP2Pフレーム認識を有効化 1: AP2Pフレーム認識を無効化	-
2	d_212/424_1r	0	0: 自動SENSF_RESを有効化 1: 自動SENSF_RESを無効化	
1	(今後の使用のために確保)	0	(今後の使用のために確保)	パッシブ・ターゲット・モードでの自動応答を無効化し、全面的にFIFOを使用した動作とします。
0	d_106_ac_a	0	0: NFC-Aでの自動アンチコリジョンを有効化 1: NFC-Aでの自動アンチコリジョンを無効化	

参考資料

4.5.10 ストリーム・モード設定レジスタ

レジスタ空間: A

アドレス: 09h

種類: RW

表 33. ストリーム・モード設定レジスタ

ビット	名前	デフォルト	機能			コメント
7		0	-			-
6	scf1	0	表 34参照			サブキャリア・ストリーム・モードとBPSKストリーム・モードのサブキャリア周波数を設定します。
5	scf0	0				
4	scp1	0	scp1	scp0	パルス数	サブキャリア・ストリーム・モードとBPSKストリーム・モードのレポート周期でのサブキャリア・パルス数を設定します。
			0	0	1 (BPSKのみ)	
			0	1	2	
	scp0	0	1	0	4	
			1	1	8	
2	stx2	0	表 35参照			送信変調器を制御するための時間を設定します (サブキャリア・ストリーム・モードとBPSKストリーム・モードの場合)。
1	stx1	0				
0	stx0					

表 34. サブキャリア・ストリーム・モードのサブキャリア周波数設定

scf1	scf0	サブキャリア・モード	BPSKモード
0	0	fc/64 (212kHz)	fc/16 (848kHz)
0	1	fc/32 (424kHz)	
1	0	fc/16 (848kHz)	(今後の使用のために確保)
1	1	fc/8 (1695kHz)	

表 35. ストリーム・モードの送信変調器を制御する時間の設定

stx2	stx1	stx0	時間
0	0	0	fc/128 (106kHz)
0	0	1	fc/64 (212kHz)
0	1	0	fc/32 (424kHz)
0	1	1	fc/16 (848kHz)
1	X	X	(今後の使用のために確保)

4.5.11 補助設定レジスタ

レジスタ空間: A

アドレス: 0Ah

種類: RW

表 36. 補助設定レジスタ

ビット	名前	デフォルト	機能	コメント
7	no_crc_rx	0	0: CRC付きで受信 1: CRCなしで受信	すべてのプロトコルで有効です。ISO14443AのREQA、WUPAおよびアンチコリジョンでは、自動的にCRCなしの受信となります ⁽¹⁾ 。
6	(今後の使用のために確保)	0	-	-
5	nfc_id1	0	00: 4バイトのNFCID1 01: 7バイトのNFCID1 1x: (今後の使用のために確保)	NFCID1の長さを選択します。
4	nfc_id0	0		
3	mfaz_cl90	0	0: 位相測定に0°シフトしたクロックを使用 1: 位相測定に90°シフトしたクロックを使用	PM変調にも影響します。 PM変調の場合は'0'に設定します。
2	dis_corr	0	表 37参照	RWレシーバの動作を選択します。
1	nfc_n1	0	-	ダイレクト・コマンドNFC Initial Field ONおよびNFC Response Field ONに使用するnの値(0~3)を設定します。
0	nfc_n0	0		

1. ダイレクト・コマンドTransmit REQAとTransmit WUPAを使用してそれぞれREQAコマンドとWUPAコマンドを送信したときと、antclビットをセットしてアンチコリジョンを実行した場合には、自動的にCRCなしの受信が実行されます。

表 37. RWレシーバの動作

モード	dis_corr = 0	dis_corr = 1
ISO-A (106kHz ~ 848kHz)	コリレータ受信	NA
ISO-B (106kHz ~ 848kHz)		パルス受信 (コヒーレント)
Felica™ (212kHz ~ 424kHz)		パルス受信
NFCフォーラム・タイプ1タグ (Topaz)		NA
ストリーム・モード (scf<1:0> = 01、scp<1:0> = 11)		パルス受信
ストリーム・モード - その他	NA	パルス受信

参考資料

4.5.12 EMD抑制コンフィギュレーション・レジスタ

レジスタ空間: B

アドレス: 05h

種類: RW

表 38. EMD抑制コンフィギュレーション・レジスタ

ビット	名前	デフォルト	機能	コメント
7	emd_emv	0	0: EMD抑制を無効化 1: EMD抑制 (EMVCo準拠) を有効化	emd_emv を有効化する場合は、no_rx_par と no_crc_rx を'0'、nrt_emv を'1'にそれぞれ設定する必要があります。
6	rx_start_emv	0	0: フレームの先頭4ビットにエラーがない場合にのみ受信を有効化 (I_rxes) 1: フレームの先頭4ビットにエラーがある場合でも受信を有効化 (I_rxes)	ISO-A 106kのみに適用されます。 EMVCo準拠とする場合は'1'に設定する必要があります。
5	(今後の使用のために確保)	0	-	-
4	(今後の使用のために確保)	0	-	-
3	emd_thld3	0		
2	emd_thld2	0		
1	emd_thld1	0		
0	emd_thld0	0	受信したフレームのバイト長が emd_thld<3:0>未満である場合、受信エラーがあるとEMD抑制機能を起動	EMVCo準拠とする場合は'4'に設定する必要があります。

参考資料

4.5.13 サブキャリア開始タイマ・レジスタ

レジスタ空間: B

アドレス: 06h

種類: RW

表 39. サブキャリア開始タイマ・レジスタ

ビット	名前	デフォルト	機能	コメント
7:5	(今後の使用のために確保)	0	-	-
4:0	sst<4:0>	0	サブキャリア開始時間 ステップ: 0.25etu 範囲: 0etu ~ 7.75etu	ISO-B 106kb/sに適用されます。 MRTタイマの終了からサブキャリア検出までの時間が sst<4:0>よりも短い場合、ソフト・エラー割り込みが生 成されます。 emd_emv = 1の場合、フレームがEMDとして抑制され、 再起動割り込みが生成されます。 corr_s3は、サブキャリア開始検出までの長さを設定す るので、sst<4:0>の適切な設定値にも影響します。

参考資料

4.5.14 レシーバ・コンフィギュレーション・レジスタ1

レジスタ空間: A

アドレス: 0Bh

種類: RW

表 40. レシーバ・コンフィギュレーション・レジスタ1

ビット	名前	デフォルト	機能	コメント
7	ch_sel	0	0: AMチャネルを有効化 1: PMチャネルを有効化	動作コントロール・レジスタで受信チャネルを1本だけ有効化している場合、どちらのチャネルを有効化するかを設定します。 両方のチャネルを有効化し、手動チャネル選択を有効化している場合は、どちらのチャネルを受信フレーミングに使用するかを設定します。
6	lp2	0	ローパス制御 (表 5参照)	-
5	lp1	0		
4	lp0	0	初段/3段目ゼロ点設定 (表 6参照)	-
3	z600k	0		
2	h200	0		
1	h80	0		
0	z12k	0		

4.5.15 レシーバ・コンフィギュレーション・レジスタ2

レジスタ空間: A

アドレス: 0Ch

種類: RW

表 41. レシーバ・コンフィギュレーション・レジスタ2

ビット	名前	デフォルト	機能	コメント
7	demod_mode	0	0: AM/PM復調 1: I/Q復調	復調器の動作モードを選択します。 I/Q復調の場合、amd_sel = 1を設定する必要があります。
6	amd_sel	0	0: ピーク検出器 1: ミキサ	AM復調器を選択します。
5	sqm_dyn	1	0: スケルチを無効化 1: 送信終了時にスケルチを自動的に有効化	スケルチは送信終了後 $18.88\mu\text{s}$ で有効化され、 $\text{sqt}[7:0]$ で設定した時間にマスク受信タイマが達すると終了します。
4	pulz_61	0	0: スケルチ比を1に設定 1: スケルチ比を6/3に設定	スケルチの起動レベルを選択します。 デジタル化の閾値より1倍または6/3倍大きい 信号に対してスケルチ動作を開始します。 - スケルチ比1: ISO-A 106kのコリレータ、 ISO-A HBR/ISO-Bのパルス・デコーダ、 ISO-15693、FeliCa™での推奨値です。 - スケルチ比6/3: ISO-A HBR/ISO-Bのコリ レータでの推奨値です。
3	agc_en	1	0: AGCを無効化 1: AGCを有効化	-
2	agc_m	1	0: 最初の8つのサブキャリア・パルスに 対してAGCを動作 1: 受信期間全体にわたってAGCを動作	-
1	agc_alg	0	0: プリセット付きアルゴリズムを使用 1: リセット付きアルゴリズムを使用	短いSOFを使用するプロトコル (ISO14443A fc/128など) では、プリセット付きアルゴリズムを推奨します。
0	agc6_3	0	0: AGC比を3に設定 1: AGC比を6に設定	AGCの起動レベルを選択します。 検出可能な最小信号レベルの3倍または6倍大 きい信号に対してAGC動作を開始します。

4.5.16 レシーバ・コンフィギュレーション・レジスタ3

レジスタ空間: A

アドレス: 0Dh

種類: RW

表 42. レシーバ・コンフィギュレーション・レジスタ3

ビット	名前	デフォルト	機能	コメント
7	rg1_am2	1	AMチャネルの第1ゲイン段のゲインを変更します。	0: 最大ゲイン 1 ~ 6: ステップあたり2.5dBでゲインが低下します(全体で15dB)。 7: ゲインが+5.5dB上昇します。
6	rg1_am1	1		
5	rg1_am0	0		
4	rg1_pm2	1	PMチャネルの第1ゲイン段のゲインを変更します。	0: 最大ゲイン 1 ~ 6: ステップあたり2.5dBでゲインが低下します(全体で15dB)。 7: ゲインが+5.5dB上昇します。
3	rg1_pm1	1		
2	rg1_pm0	0		
1	lf_en	0	0: レシーバ入力にHF信号 1: レシーバ入力にLF信号	-
0	lf_op	0	0: 差動LF動作 1: LF入力分割 (RFI1をAMチャネル、RFI2をPMチャネル)	-

4.5.17 レシーバ・コンフィギュレーション・レジスタ4

レジスタ空間: A

アドレス: 0Eh

種類: RW

表 43. レシーバ・コンフィギュレーション・レジスタ4⁽¹⁾

ビット	名前	デフォルト	機能	コメント
7	rg2_am3	0	AMチャネル: 第2ゲイン段、第3ゲイン段、デジタイザのゲインを低減	0hからAhの範囲の値のみを使用できます。 - 1hから4hの範囲で設定すると、デジタイザのウィンドウを3dBステップで大きくすることによってゲインが低下します。 - 5hからAhの範囲で設定すると、第2ゲイン段と第3ゲイン段のゲインが、必ず3dBステップで低下します。
6	rg2_am2	0		
5	rg2_am1	0		
4	rg2_am0	0		
3	rg2_pm3	0	PMチャネル: 第2ゲイン段、第3ゲイン段、デジタイザのゲインを低減	0hからAhの範囲の値のみを使用できます。 - 1hから4hの範囲で設定すると、デジタイザのウィンドウを3dBステップで大きくすることによってゲインが低下します。 - 5hからAhの範囲で設定すると、第2ゲイン段と第3ゲイン段のゲインが、必ず3dBステップで低下します。
2	rg2_pm2	0		
1	rg2_pm1	0		
0	rg2_pm0	0		

- このレジスタの値をAGC、スケルチ、RSSIの各ブロックにロードするには、ダイレクト・コマンド[Reset RX Gain \(受信ゲイン・リセット\)](#)が必要です。

4.5.18 P2Pレシーバ・コンフィギュレーション・レジスタ1

レジスタ空間: B

アドレス: 0Bh

種類: RW

表 44. P2Pレシーバ・コンフィギュレーション・レジスタ1

ビット	名前	デフォルト	機能	コメント
7	ook_fd	0	OOK高速減衰	-
6	ook_rc1	0	00 = 1.4μs 01 = 1.0μs 10 = 0.6μs 11 = 0.2μs	OOKのRC時定数
5	ook_rc0	0		
4	ook_thd1	0	表 45参照	OOKの閾値レベル。ook_rc<1:0>のコンフィギュレーションによって異なります。
3	ook_thd0	1		
2	ask_rc1	1	00 = 8.4μs 01 = 6.8μs 10 = 4.4μs 11 = 2.4μs	ASKのRC時定数
1	ask_rc0	0		
0	ask_thd	0	0: 97% 1: 95%	ASKの閾値レベル

表 45. OOKの閾値レベル設定

ook_thd<1:0>	ook_rc<1:0> = 0	ook_rc<1:0> > 0
00	55%	80%
01	45%	75%
10	35%	70%
11	25%	65%

4.5.19 コリレータ・コンフィギュレーション・レジスタ1

レジスタ空間: B

アドレス: 0Ch

種類: RW

表 46. コリレータ・コンフィギュレーション・レジスタ1

ビット	名前	デフォルト	機能		コメント
7	corr_s7	1	AGC = max AM, PM		-
6	corr_s6	0	ISO-A 106k	0: corr_s<1:0>で設定したコリジョン検出レベルを使用 1: データ・スライサのレベルに等しいコリジョン検出レベルを使用	corr_s<1:0>によるコリジョン検出レベルを選択した方が、軽微なコリジョンに対する検出能力が高くなります。データ・スライサのレベルに等しいコリジョン検出レベルを使用すると、ノイズ耐性が向上します。
			BPSK (1)	0: 受信の全期間を通じてコリレータの位相補正を適用 1: 先頭のデータ・バイトの後ではコリレータの位相補正を非適用	先頭のバイトの後では位相補正を適用しない設定は、ISO-Bの424kb/sおよび848kb/sによる動作に推奨されます。
5	corr_s5	0	0: V_{ref} を-50mVに設定 最初のスケルチ・ステップを-100mVに設定 1: V_{ref} を-100mVに設定 最初のスケルチ・ステップを-200mVに設定		-
4	corr_s4	1	0: AMおよびPMの相関信号を別々にデジタル化 1: AMおよびPMの相関信号をデジタル化の前に加算（加算モード）		すべてのコリレータで加算モードによる動作を推奨します。
3	corr_s3	0	0: 受信ビット・レート 106kb/s = 17、受信ビット・レート 212kb/s ~ 848kb/s = 9 1: 受信ビット・レート 106kb/s = 33、受信ビット・レート 212kb/s ~ 848kb/s = 17		BPSKの開始長（タグのサブキャリア信号の開始からサブキャリア開始検出までの遅延時間）の設定です。この時間の経過後、回路は最初の位相遷移の観測を開始します（9/17/33±2個のパイロット・パルス）この時点で、sst<4:0>の設定によりTR0の完了を確認します。
2	corr_s2	0	ISO-A 106k	0: 通常のデータ・スライサ 1: 高速データ・スライサ	-
			BPSK (1)	0: 通常の基準時定数 1: 大きい基準時定数（通常の1.5倍）	
1	corr_s1	1	ISO-A 106k	コリジョン・レベル設定のMSB	データ検出レベルに対するコリジョン検出レベルの比率 - 00: 16% - 01: 28% - 10: 41% - 11: 53%
			BPSK (1)	サブキャリア終了検出レベル 0: 100% 1: 66%	
0	corr_s0	1	ISO-A 106k	コリジョン・レベル設定のLSB	データ検出レベルに対するコリジョン検出レベルの比率 - 00: 16% - 01: 28% - 10: 41% - 11: 53%
			BPSK (1)	0: サブキャリア終了検出器を無効化 1: サブキャリア終了検出器を有効化	

1. BPSKのオプションは、ISO-A HBRとISO-B（すべてのビット・レート）に適用されます。

4.5.20 コリレータ・コンフィギュレーション・レジスタ2

レジスタ空間: B

アドレス: 0Dh

種類: RW

表 47. 相関器コンフィギュレーション・レジスタ2

ビット	名前	デフォルト	機能	コメント
7	(今後の使用のために確保)	0		
6	(今後の使用のために確保)	0		
5	(今後の使用のために確保)	0		
4	(今後の使用のために確保)	0		
3	(今後の使用のために確保)	0		
2	(今後の使用のために確保)	0		
1	corr_s9	0	0: タイマによってスリープ・モードを無効化 1: rx_on=1の場合のみスリープ・モードを無効化	コリレータのスリープ・モードに関するオプションです。 スリープ開始: 18μsの間、出力パルスがない場合。 タイマによる終了: – 18μs (ISO-A/B、F424) – 42μs (ストリーム15693、F212)
0	corr_s8	0	0: その他の規格すべて 1: 424kHzサブキャリア・ストリーム・モード	424kHzサブキャリア・ストリーム・モードでは'1'に設定する必要があります。

参考資料

4.5.21 マスク受信タイマ・レジスタ

レジスタ空間: A

アドレス: 0Fh

種類: RW

表 48. マスク受信タイマ・レジスタ

ビット	名前	デフォルト	機能	コメント
7	mrt7	0	mrt_step = 0: ステップ: 64/fc (4.72μs)	
6	mrt6	0	範囲: 256/fc (~18.88μs) ~ 16320/fc (~1.2ms)	送信終了後からレシーバ出力をマスク（無視）する時間を設定します。
5	mrt5	0	mrt_step = 1: ステップ: 512/fc (37.78μs)	受信をマスクする最小時間である18.88μsは、送信終了後にレシーバに発生する過渡状態が終了する時間に相当します。
4	mrt4	0	範囲: 2048/fc (151μs) ~ 130560/fc (9.62ms)	
3	mrt3	1		
2	mrt2	0		
1	mrt1	0		
0	mrt0	0		

4.5.22 応答なしタイマ・レジスタ1

レジスタ空間: A

アドレス: 10h

種類: RW

表 49. 応答なしタイマ・レジスタ1

ビット	名前	デフォルト	機能	コメント
7	nrt15	0	応答なしタイマ設定の MSB nrt_step = 0: ステップ: 64/fc (4.72μs) 範囲: 309ms	送信終了からのタイムアウトを設定します。応答が検出されないまま、このタイムアウトが経過すると、応答なし割り込みが送信されます。 NFCモードでは、外部フィールドが検出された場合にのみ、応答なしタイマが開始されます。NFCIP-1アクティブ通信モードでは、メッセージの送信を終了したトランスマッタがオフになると、応答なしタイマが自動的に開始されます。 すべて0: 応答なしタイマは開始されません。 Start No-Response Timerダイレクト・コマンドによって応答なしタイマがリセットされ、再開されます。
6	nrt14	0		
5	nrt13	0		
4	nrt12	0		
3	nrt11	0		
2	nrt10	0		
1	nrt9	0		
0	nrt8	0		

4.5.23 応答なしタイマ・レジスタ2

レジスタ空間: A

アドレス: 11h

種類: RW

表 50. 応答なしタイマ・レジスタ2

ビット	名前	デフォルト	機能	コメント
7	nrt7	0	応答なしタイマ設定の LSB	-
6	nrt6	0		
5	nrt5	0		
4	nrt4	0		
3	nrt3	0		
2	nrt2	0		
1	nrt1	0		
0	nrt0	0		

参考資料

4.5.24 タイマ/EMVコントロール・レジスタ

レジスタ空間: A

アドレス: 12h

種類: RW

表 51. タイマ/EMVコントロール・レジスタ

ビット	名前	デフォルト	機能	コメント
7	gptc2	0	汎用タイマのトリガ源 表 52参照	-
6	gptc1	0		
5	gptc0	0		
4	(今後の使用のために確保)	0	-	-
3	mrt_step	0	0: 64/fc 1: 512/fc	マスク受信タイマのステップ・サイズ
2	nrt_nfc	0	0: 送信の終了時（自身のフィールドをオフにしたとき）にNRTを開始 1: ピア・フィールドがオンになるイベントでNRTを開始	AP2Pイニシエータおよびターゲット・モードで応答なしタイマを開始する条件を設定します。
1	nrt_emv	0	1: 応答なしタイマEMVモード	-
0	nrt_step	0	0: 64/fc 1: 4096/fc	応答なしタイマのステップ・サイズ

表 52. トリガ源

gptc2	gptc1	gptc0	トリガ源
X	X	X	Start General Purpose Timer ダイレクト・コマンドで必ずタイマが開始
0	0	0	上記以外のトリガ源を使用しない
0	0	1	受信完了時（EOF後）にもタイマを開始
0	1	0	受信開始時にもタイマを開始
0	1	1	送信完了時にもタイマを起動 AP2Pモードでは、このタイマを使用してフィールドをオフに切り替えます。 AP2Pモードでは、nrt_nfcの設定に従ってNRTの開始が有効になります。
1	0	0	(今後の使用のために確保)
1	0	1	
1	1	0	
1	1	1	

4.5.25 汎用タイマ・レジスタ1

レジスタ空間: A

アドレス: 13h

種類: RW

表 53. 汎用タイマ・レジスタ1

ビット	名前	デフォルト	機能	コメント
7	gpt15	-	汎用タイムアウト設定のMSBビット 8/fc (590ns) ステップで設定 590nsから38.7msの範囲で設定可能	-
6	gpt14	-		
5	gpt13	-		
4	gpt12	-		
3	gpt11	-		
2	gpt10	-		
1	gpt9	-		
0	gpt8	-		

4.5.26 汎用タイマ・レジスタ2

レジスタ空間: A

アドレス: 14h

種類: RW

表 54. 汎用タイマ・レジスタ2

ビット	名前	デフォルト	機能	コメント
7	gpt7	-	汎用タイムアウトの LSB 8/fc (590ns) ステップで設定 590nsから38.7msの範囲で設定可能	-
6	gpt6	-		
5	gpt5	-		
4	gpt4	-		
3	gpt3	-		
2	gpt2	-		
1	gpt1	-		
0	gpt0	-		

参考資料

4.5.27 PPON2フィールド待機レジスタ

レジスタ空間: A

アドレス: 15h

種類: RW

表 55. PPON2フィールド待機レジスタ

ビット	名前	デフォルト	機能	コメント
7	ppt7	1	PPON2タイマ ステップ: 64/fc (4.72μs) 範囲: 1.204ms	AP2Pモードでピア・デバイスのフィールドがオンになるまで、システムが待機する最大時間を設定します。
6	ppt6	0		
5	ppt5	0		
4	ppt4	0		
3	ppt3	0		
2	ppt2	0		
1	ppt1	0		
0	ppt0	0		

4.5.28 スケルチ・タイマ・レジスタ

レジスタ空間: B

アドレス: 0Fh

種類: RW

表 56. スケルチ・タイマ・レジスタ

ビット	名前	デフォルト	機能	コメント
7	sqt7	0	スケルチ・タイマ ステップ、範囲: mrt_stepの選択方法も含め、マスク受信タイマ・レジスタと同じ	リーダのデータ送信完了後、最大20 μ sでスケルチが有効化されます。 – sqt<7:0> > 5: sqt<7:0>で設定した時間が経過するとスケルチが停止します。スケルチによるゲイン低減はロックされ、その時点のゲインがAGCの開始ゲインとして使用されます。 – Sqt<7:0> ≤ 5またはsqt<7:0> ≥ mrt<7:0>: MRTがタイムアウトするまでスケルチを有効化します。
6	sqt6	0		
5	sqt5	0		
4	sqt4	0		
3	sqt3	0		
2	sqt2	0		
1	sqt1	0		
0	sqt0	0		

4.5.29 NFCフィールド・オン・ガード・タイマ・レジスタ

レジスタ空間: B

アドレス: 15h

種類: RW

表 57. NFCフィールド・オン・ガード・タイマ・レジスタ

ビット	名前	デフォルト	機能	コメント
7	nfc_gt7	0	NFCフィールド・オン・ガード・タイマ ステップ: 2048/fc (151 μ s) 範囲: 38.66ms	NFC Field ONコマンド群で使用します。 T _{IRFG} とT _{ARFG} の初期値である75 μ sに、nfc_gt<7:0>の値が加算されます。 33に設定した場合のT _{IRFG} (75 μ s + 4.984ms = 5.06ms) 0に設定した場合のT _{ARFG} (75 μ s + 0ms = 75 μ s)
6	nfc_gt6	0		
5	nfc_gt5	1		
4	nfc_gt4	1		
3	nfc_gt3	0		
2	nfc_gt2	0		
1	nfc_gt1	1		
0	nfc_gt0	1		

参考資料

4.5.30 メイン割り込みマスク・レジスタ

レジスタ空間: A

アドレス: 16h

種類: RW

表 58. メイン割り込みマスク・レジスタ

ビット	名前	デフォルト	機能	コメント
7	M_osc	0	1: 発振器周波数が安定しているときのIRQをマスク	-
6	M_wl	0	1: FIFOウォーター・レベルによるIRQをマスク	-
5	M_rxs	0	1: 受信開始によるIRQをマスク	-
4	M_rxe	0	1: 受信終了によるIRQをマスク	-
3	M_txe	0	1: 送信終了によるIRQをマスク	-
2	M_col	0	1: ビット・コリジョンによるIRQをマスク	-
1	M_rx_rest	0	1: 自動受信再開によるIRQをマスク	-
0	(今後の使用のために確保)	0	未使用	-

4.5.31 タイマ/NFC割り込みマスク・レジスタ

レジスタ空間: A

アドレス: 17h

種類: RW

表 59. タイマ/NFC割り込みマスク・レジスタ

ビット	名前	デフォルト	機能	コメント
7	M_dct	0	1: ダイレクト・コマンド終了によるIRQをマスク	-
6	M_nre	0	1: 応答なしタイマのタイムアウトによるIRQをマスク	-
5	M_gpe	0	1: 汎用タイマのタイムアウトによるIRQをマスク	-
4	M_eon	0	1: ターゲット・アクティブ化レベルを超える外部フィールド検出によるIRQをマスク	-
3	M_eof	0	1: ターゲット・アクティブ化レベル未満への外部フィールド低下の検出によるIRQをマスク	-
2	M_cac	0	1: RFコリジョン防止中のコリジョン検出によるIRQをマスク	-
1	M_cat	0	1: 最小ガード・タイム経過後のIRQをマスク	-
0	M_nfct	0	1: ターゲット・モードでイニシエータ・ビット・レートが認識されたときのIRQをマスク	-

4.5.32 エラー/ウェイクアップ割り込みマスク・レジスタ

レジスタ空間: A

アドレス: 18h

種類: RW

表 60. エラー/ウェイクアップ割り込みマスク・レジスタ

ビット	名前	デフォルト	機能	コメント
7	M_crc	0	1: CRCエラーによるIRQをマスク	-
6	M_par	0	1: パリティ・エラーによるIRQをマスク	-
5	M_err2	0	1: ソフト・フレーミング・エラーによるIRQをマスク	-
4	M_err1	0	1: ハード・フレーミング・エラーによるIRQをマスク	-
3	M_wt	0	1: ウェイクアップ・タイマ割り込みによるIRQをマスク	-
2	M_wam	0	1: 振幅測定によるウェイクアップIRQをマスク	-
1	M_wph	0	1: 位相測定によるウェイクアップIRQをマスク	-
0	M_wcap	0	1: 静電容量測定によるウェイクアップIRQをマスク	-

4.5.33 パッシブ・ターゲット割り込みマスク・レジスタ

レジスタ空間: A

アドレス: 19h

種類: RW

表 61. パッシブ・ターゲット割り込みマスク・レジスタ

ビット	名前	デフォルト	機能	コメント
7	M_ppon2	0	1: PPON2フィールド・オン待機タイマによるIRQをマスク	-
6	M_sl_wl	0	1: パッシブ・ターゲット・スロット数ウォーター・レベルのIRQをマスク	-
5	M_apon	0	1: アクティブPPフィールド・オン・イベントによるIRQをマスク	-
4	M_rxe_pta	0	1: デバイスの応答処理中に受信が終了したことによるIRQをマスク	-
3	M_wu_f	0	1: NFC 212/424kb/sパッシブ・ターゲットの有効化によるIRQをマスク	-
2	(今後の使用のために確保)	0	-	-
1	M_wu_a*	0	1: NFC 106kb/sパッシブ・ターゲットのActive*状態によるIRQをマスク	-
0	M_wu_a	0	1: NFC 106kb/sパッシブ・ターゲットのActive状態によるIRQをマスク	-

4.5.34 メイン割り込みレジスタ

レジスタ空間: A

アドレス: 1Ah

種類: R

表 62. メイン割り込みレジスタ

ビット	名前	デフォルト	機能	コメント
7	I_osc	-	発振器周波数が安定しているときのIRQ	動作コントロール・レジスタのenビットをセットして発振器が起動した後にセットされます。
6	I_wl	-	FIFOウォーター・レベルによるIRQ	受信中にFIFOにあるデータが300バイトを超えるとセットされます。 送信中にFIFOにあるデータが200バイトを下回るとセットされます。
5	I_rxs	-	受信開始によるIRQ	-
4	I_rxe	-	受信終了によるIRQ	-
3	I_txe	-	送信終了によるIRQ	-
2	I_col	-	ビット・コリジョンによるIRQ	-
1	I_rx_rest	-	自動受信再開によるIRQ	フレームがEMDとして抑制されたときにセットされます。
0	(今後の使用のために確保)	-	-	-

4.5.35 タイマ/NFC割り込みレジスタ

レジスタ空間: A

アドレス: 1Bh

種類: R

表 63. タイマ/NFC割り込みレジスタ⁽¹⁾

ビット	名前	デフォルト	機能	コメント
7	I_dct	-	ダイレクト・コマンドの終了によるIRQ	-
6	I_nre	-	応答なしタイマのタイムアウトによるIRQ	-
5	I_gpe	-	汎用タイマのタイムアウトによるIRQ	-
4	I_eon	-	ターゲット・アクティブ化レベルを超える外部フィールド検出によるIRQ	-
3	I_eof	-	ターゲット・アクティブ化レベル未満への外部フィールド低下の検出によるIRQ	-
2	I_cac	-	RFコリジョン防止中のコリジョン検出によるIRQ	-
1	I_cat	-	最小ガード・タイム経過後のIRQ	RFコリジョン防止中に外部フィールドが検出されずに、フィールドがオンされて、NFCIP-1による最小ガード・タイムの経過後にIRQが送信されます。
0	I_nfct	-	ターゲット・モードでイニシエータ・ビット・レートが認識されたときのIRQ	-

- レジスタが読み込まれた後、その内容が'0'に設定されます。

4.5.36 エラー / ウェイクアップ割り込みレジスタ

レジスタ空間: A

アドレス: 1Ch

種類: R

表 64. エラー / ウェイクアップ割り込みレジスタ⁽¹⁾

ビット	名前	デフォルト	機能	コメント
7	l_crc	-	CRCエラー	-
6	l_par	-	パリティ・エラー	-
5	l_err2	-	ソフト・フレーミング・エラー	受信データが破壊されないフレーミング・エラーです。
4	l_err1	-	ハード・フレーミング・エラー	受信データが破壊されるフレーミング・エラーです。
3	l_wt	-	ウェイクアップ・タイマ割り込み	すべてのタイムアウトによる割り込みのオプションを選択している場合に、Start Wake-Up Timerコマンド実行後のタイムアウトで生成されるIRQです。
2	l_wam	-	振幅測定によるウェイクアップ割り込み	振幅測定の結果が基準値よりも Δam だけ大きい場合に生成されます。
1	l_wph	-	位相測定によるウェイクアップ割り込み	位相測定の結果が基準値よりも Δpm だけ大きい場合に生成されます。
0	l_wcap	-	静電容量測定によるウェイクアップ割り込み	静電容量測定の結果が基準値よりも Δcm だけ大きい場合に生成されます

1. メイン割り込みレジスタが読み出された後、その内容は'0'に設定されます。

4.5.37 パッシブ・ターゲット割り込みレジスタ

レジスタ空間: A

アドレス: 1Dh

種類: R

表 65. パッシブ・ターゲット割り込みレジスタ⁽¹⁾

ビット	名前	デフォルト	機能	コメント
7	I_ppon2	-	PPON2 フィールド・オン待機タイマ割り込み	-
6	I_sl_wl	-	パッシブ・ターゲット・スロット数 ウォーター・レベルのIRQ	PT_memoryの未使用スロット数 (TSN) が4になると送信されます。
5	I_apon	-	アクティブP2P フィールド・オン・イベントによるIRQ	RF コリジョン防止後に、コリジョンが発生せず フィールドがオンになった場合に送信されます。
4	I_rxe_pta	-	ST25R3916の応答処理中に受信が終了したことによるIRQ	NFC-AアンチコリジョンまたはNFC-F SENSF_RESの応答の自動送信時に パッシブ・ターゲット・モードで送信されます (MCUIによる処理が必要)。
3	I_wu_f	-	NFC 212/424 kb/s パッシブ・ターゲット「Active」割り込み	NFC 212/424kb/s で SENSF_REQ に自動応答が送信された後で送信されます。
2	(今後の使用のために確保)	-	(今後の使用のために確保)	-
1	I_wu_a*	-	パッシブ・ターゲット Active* 割り込み	Active*状態が成立したときに送信されます。
0	I_wu_a	-	パッシブ・ターゲット Active 割り込み	Active状態が成立したときに送信されます。

1. レジスタが読み出された後、その内容は'0'に設定されます。

参考資料

4.5.38 FIFOステータス・レジスタ1

レジスタ空間: A

アドレス: 1Eh

種類: R

表 66. FIFOステータス・レジスタ1

ビット	名前	デフォルト	機能	コメント
7	fifo_b7	-	FIFO (LSB) 内のバイト数	有効な値の範囲は0 ~ 512です。
6	fifo_b6	-		
5	fifo_b5	-		
4	fifo_b4	-		
3	fifo_b3	-		
2	fifo_b2	-		
1	fifo_b1	-		
0	fifo_b0	-		

4.5.39 FIFOステータス・レジスタ2

レジスタ空間: A

アドレス: 1Fh

種類: R

表 67. FIFOステータス・レジスタ2

ビット	名前	デフォルト	機能	コメント
7	fifo_b9	-	FIFO (MSB) 内のバイト数	-
6	fifo_b8	-		-
5	fifo_unf	-	1: FIFOアンダーフロー	-
4	fifo_ovr	-	1: FIFOオーバーフロー	-
3	fifo_lb2	-	FIFOの最終バイトが不完全であった場合、そのビット数	受信ビットはFIFOの末尾にあるバイトのLSBの部分に格納されます。
2	fifo_lb1	-		<code>l_err1</code> がセットされている場合、 <code>fifo_lb<2:0></code> に有効なデータが格納されていません。
1	fifo_lb0	-		<code>l_err1</code> がセットされている場合、 <code>np_lb</code> に有効なデータが格納されていません。
0	np_lb	-	1: 最終バイトにパリティ・ビットがない	最後に受信したバイトが8つのデータ・ビットで構成された完全なバイトであっても、パリティ・ビットがないとこのビットがセットされます。 <code>l_err1</code> がセットされている場合、 <code>np_lb</code> に有効なデータが格納されていません。

4.5.40 コリジョン表示レジスタ

レジスタ空間: A

アドレス: 20h

種類: R

表 68. コリジョン表示レジスタ

ビット	名前	デフォルト	機能	コメント
7	c_byte3	-	ビット・コリジョン発生前の完全なバイトの数	コリジョン表示レジスタの範囲はISO14443Aのアンチコリジョン・コマンドに対応しています。コリジョン(またはコリジョンと解釈されたフレーミング・エラー)が、この設定値より長いメッセージで発生した場合は、コリジョン表示レジスタが設定されません。
6	c_byte2	-		
5	c_byte1	-		
4	c_byte0	-		
3	c_bit2	-	コリジョンが発生したバイトの中におけるコリジョン前のビット数	l_err1がセットされている場合、c_byte<3:0>およびc_bit<2:0>には有効なデータが格納されていません。
2	c_bit1	-		
1	c_bit0	-	1: パリティ・ビットのコリジョン 0: コリジョンなし	最初に検出されたコリジョンがパリティ・ビットで発生している場合にこのエラーが報告されます。l_err1がセットされている場合、c_pbには有効なデータが格納されていません。
0	c_pb	-		

4.5.41 パッシブ・ターゲット表示レジスタ

レジスタ空間: A

アドレス: 21h

種類: R

表 69. パッシブ・ターゲット表示レジスタ

ビット	名前	デフォルト	機能	コメント
7	(今後の使用のために確保)	-	-	-
6	(今後の使用のために確保)	-	-	-
5	(今後の使用のために確保)	-	-	-
4	(今後の使用のために確保)	-	-	-
3	pta_state3	-	0000: POWER OFF 0001: IDLE 0010: READY_L1 0011: READY_L2	ISO-A/パッシブ・ターゲットの状態を表します。 状態がACTIVEまたはACTIVE*の場合、MCUでは、 SENSE/IDLE や SLEEP/HALT も含め、すべてのコ マンドを処理する必要があります。
2	pta_state2	-	0100: (今後の使用のために確保) 0101: ACTIVE	
1	pta_state1	-	0110: (今後の使用のために確保) 1001: HALT 1010: READY_L1* 1011: READY_L2*	
0	pta_state0	-	1100: (今後の使用のために確保) 1101: ACTIVE*	

4.5.42 送信バイト数レジスタ1

レジスタ空間: A

アドレス: 22h

種類: RW

表 70. 送信バイト数レジスタ1

ビット	名前	デフォルト	機能	コメント
7	ntx12	0	送信する完全なバイトの数 (MSB側ビット)	対応可能な最大バイト数は8191です。
6	ntx11	0		
5	ntx10	0		
4	ntx9	0		
3	ntx8	0		
2	ntx7	0		
1	ntx6	0		
0	ntx5	0		

4.5.43 送信バイト数レジスタ2

レジスタ空間: A

アドレス: 23h

種類: RW

表 71. 送信バイト数レジスタ2⁽¹⁾ (2)

ビット	名前	デフォルト	機能	コメント
7	ntx4	0	送信する完全なバイトの数 (LSB側ビット)	対応可能な最大バイト数は8191です。
6	ntx3	0		
5	ntx2	0		
4	ntx1	0		
3	ntx0	0		
2	nbttx2	0		ビット送信はLSBから開始されます。ISO14443Aで以下の場合に適用されます。 – 最後のバイトが分割バイトの場合のビット方式 アンチコリジョン・フレーム – パリティ・ビットを生成せずに送信した場合 – パッシブ・ターゲット: 4-bit ACK、NACK
1	nbttx1	0		
0	nbttx0	0		

1. カードがアイドル状態で、nbttxが000ではないときにanctlビットをセットすると、ダイレクト・コマンドREQAおよびWUPAの発行時にi_parがトリガれます。

2. 短いメッセージや不完全なメッセージを送信できるのは、ISO-A/BでTransmit without CRCコマンドを使用する場合のみです。

参考資料

4.5.44 ビット・レート検出表示レジスタ

レジスタ空間: A

アドレス: 24h

種類: R

表 72. ビット・レート検出表示レジスタ

ビット	名前	デフォルト	機能	コメント
7	(今後の使用のために確保)	-	-	-
6	(今後の使用のために確保)	-	-	-
5	nfc_rate1	-	表 26 参照	ビット・レート検出ターゲット・モードでのビット・レート自動検出の結果
4	nfc_rate0	-		
3	ppt2_on	-	1: PP _{ON2} タイマが動作中	内部タイマの状態を表します。
2	gpt_on	-	1: 汎用タイマが動作中	
1	nrt_on	-	1: 応答なしタイマが動作中	
0	mrt_on	-	1: マスク受信タイマが動作中	

参考資料

4.5.45 A/Dコンバータ出力レジスタ

レジスタ空間: A

アドレス: 25h

種類: R

表 73. A/Dコンバータ出力レジスタ

ビット	名前	デフォルト	機能	コメント
7	ad7	-	最後のA/D変換の結果を表示	-
6	ad6	-		
5	ad5	-		
4	ad4	-		
3	ad3	-		
2	ad2	-		
1	ad1	-		
0	ad0	-		

参考資料

4.5.46 アンテナ・チューニング・コントロール・レジスタ1

レジスタ空間: A

アドレス: 26h

種類: RW

表 74. アンテナ・チューニング・コントロール・レジスタ1

ビット	名前	デフォルト	機能	コメント
7	aat_A_7	1	AAT-A D/Aコンバータの入力。	AAT-A電圧 (V) = (0.044 + 0.868 x aat_A<7:0>/255) x V _{DD_A}
6	aat_A_6	0		
5	aat_A_5	0		
4	aat_A_4	0		
3	aat_A_3	0		
2	aat_A_2	0		
1	aat_A_1	0		
0	aat_A_0	0		

4.5.47 アンテナ・チューニング・コントロール・レジスタ2

レジスタ空間: A

アドレス: 27h

種類: RW

表 75. アンテナ・チューニング・コントロール・レジスタ2

ビット	名前	デフォルト	機能	コメント
7	aat_B_7	1	AAT-B D/Aコンバータの入力。	AAT-B電圧 (V) = (0.044 + 0.868 x aat_B<7:0>/255) x V _{DD_A}
6	aat_B_6	0		
5	aat_B_5	0		
4	aat_B_4	0		
3	aat_B_3	0		
2	aat_B_2	0		
1	aat_B_1	0		
0	aat_B_0	0		

4.5.48 送信ドライバ・レジスタ

レジスタ空間: A

アドレス: 28h

種類: RW

表 76. 送信ドライバ・レジスタ

ビット	名前	デフォルト	機能	コメント
7	am_mod3	0	AM変調指数 (表 77参照)	-
6	am_mod2	1		
5	am_mod1	1		
4	am_mod0	1		
3	d_res3	0	RFO ドライバ抵抗 (表 78参照)	-
2	d_res2	0		
1	d_res1	0		
0	d_res0	0		

表 77. AM変調指数

am_mod<3:0>	変調 (%)
0	5
1	6
2	7
3	8
4	9
5	10
6	11
7	12
8	13
9	14
10	15
11	17
12	19
13	22
14	26
15	40

参考資料

表 78. RFO ドライバ抵抗

d_res<3:0>	ドライバの出力抵抗 (Ω)
0	1.0
1	2.0
2	4.1
3 ~ 4	8.3
5 ~ 14	17.1
15	High Z

4.5.49 補助変調設定レジスタ

レジスタ空間: B

アドレス: 28h

種類: RW

表 79. 補助変調設定レジスタ

ビット	名前	デフォルト	機能	コメント
7	dis_reg_am	0	0: レギュレータを使用したAMを有効化 1: レギュレータを使用したAMを無効化	レギュレータを使用したAM変調の変調指 数を設定するにはam_mod<3:0>を使用しま す。 このビットの論理は反転しています。レ ギュレータAMを有効化するには'0'に設定し ます。
6	lm_ext_pol	0	0: 通常極性 1: 反転極性	通常極性: LM_EXTピンの負荷変調信号がア クティブHighになります。 反転極性: LM_EXTピンの負荷変調信号がア クティブLowになります。
5	lm_ext	0	0: 外部負荷変調を無効化 1: 外部負荷変調を有効化	LM_EXTピンの負荷変調信号の出力を有効 化します。
4	lm_dri	1	0: ドライバ負荷変調を無効化 1: ドライバ負荷変調を有効化	ドライバの負荷変調抵抗を設定するには パッシブ・ターゲット変調レジスタ を使用 します。
3	res_am	0	0: 抵抗性AM変調を無効化 1: 抵抗性AM変調を有効化	抵抗性AM変調の変調状態でのドライバ抵抗 を設定するにはmd_res<6:0>を使用します。
2	(今後の使用の ために確保)	0	-	-
1	(今後の使用の ために確保)	0	-	-
0	(今後の使用の ために確保)	0	-	-

4.5.50 パッシブ・ターゲット変調レジスタ

レジスタ空間: A

アドレス: 29h

種類: RW

表 80. パッシブ・ターゲット変調レジスタ

ビット	名前	デフォルト	機能	コメント
7	ptm_res3	0	表 81参照	パッシブ負荷変調で変調している状態でのRFO抵抗を設定します。 モード設定レジスタをパッシブ・ターゲット・モードに設定する前に、ptm_res<3:0>をセットする必要があります。
6	ptm_res2	1		パッシブ負荷変調で変調していない状態でのRFO抵抗を設定します。 モード設定レジスタをパッシブ・ターゲット・モードに設定する前に、pt_res<3:0>をセットする必要があります。
5	ptm_res1	1		
4	ptm_res0	1		
3	pt_res3	0		
2	pt_res2	0		
1	pt_res1	0		
0	pt_res0	0		

表 81. パッシブ・ターゲット・モードの変調状態および非変調状態でのドライバの出力抵抗

ptm_res<3:0> pt_res<3:0>	ドライバの出力抵抗R _{RFO} (Ω)
0	1.0
1	2.0
2	4.1
3	8.3
4	12.2
5	17.1
6	25.6
7	32.0
8	36.6
9	42.7
10	51.2
11	64.0
12	85.3
13	128.0
14	256.0
15	High Z

4.5.51 送信ドライバ・タイミング・レジスタ

レジスタ空間: B

アドレス: 29h

種類: RW

表 82. 送信ドライバ・タイミング・レジスタ

ビット	名前	デフォルト	機能	コメント
7	d_rat_t3	0	ドライバ遷移比の目標値 (RFの1周期の中でオーバーラップがない時間の発生回数で表現)	この値は、RFの1周期と、オーバーラップがない時間の合計値 (LからHへの遷移とHからLへの遷移の両方) との比率の目標値です。
6	d_rat_t2	1		システムは最も低速な遷移で起動して、この遷移比を測定します。測定結果が、ここで設定された目標値を下回った場合、より高速な遷移に切り替えます。目標の遷移比が得られるまで (または、初めて目標の遷移比を上回るまで)、この手順を繰り返します。使用できるステップは5回あり、最大10回のRF周期でこの手順を実行できます。
5	d_rat_t1	1		
4	d_rat_t0	1		
3	d_tim_man	1	0: 自動取得したタイミング設定を使用 1: 手動のタイミング設定を使用	-
2	d_tim_m2	1	000: 低速	ドライバ・タイミングを手動で設定します。 d_tim_manを'1'に設定して使用します。
1	d_tim_m1	0	001: 中低速	
			010: 公称速度	
0	d_tim_m0	0	011: 中高速 1xx: 高速	

参考資料

4.5.52 外部フィールド検出器アクティブ化閾値レジスタ

レジスタ空間: A

アドレス: 2Ah

種類: RW

表 83. 外部フィールド検出器アクティブ化閾値レジスタ

ビット	名前	デフォルト	機能	コメント
7	(今後の使用のための確保)	0	未使用	-
6	trg_l2	0	ピア検出閾値。 表 87 参照	-
5	trg_l1	1		
4	trg_l0	1		
3	rfe_t3	0		
2	rfe_t2	0	コリジョン防止閾値。 表 88 参照	-
1	rfe_t1	1		
0	rfe_t0	1		

4.5.53 抵抗性AM変調レジスタ

レジスタ空間: B

アドレス: 2Ah

種類: RW

表 84. 抵抗性AM変調レジスタ

ビット	名前	デフォルト	機能	コメント
7	fa3_f	0	0: 通常の非オーバーラップを使用 1: 最小の非オーバーラップを使用	-
6	md_res6	0	表 85参照	抵抗性AM変調で変調している状態でのドライバ出力抵抗を設定します。
5	md_res5	0		
4	md_res4	0		
3	md_res3	0		
2	md_res2	0		
1	md_res1	0		
0	md_res0	0		

表 85. 抵抗性AM変調で変調している状態でのドライバ出力抵抗

md_res<6:0>	ドライバの出力抵抗R _{RFO} (Ω)	md_res<6:0>	ドライバの出力抵抗R _{RFO} (Ω)
0	4.063	32	8.258
1	4.129	33	8.533
2	4.197	34	8.828
3	4.267	35	9.143
4	4.339	36	9.481
5	4.414	37	9.846
6	4.491	38	10.240
7	4.571	39	10.667
8	4.655	40	11.130
9	4.741	41	11.636
10	4.830	42	12.190
11	4.923	43	12.800
12	5.020	44	13.474
13	5.120	45	14.222
14	5.224	46	15.059
15	5.333	47	16.000
16	5.447	48	17.067
17	5.565	49	18.286
18	5.689	50	19.692
19	5.818	51	21.333

参考資料

表 85. 抵抗性AM変調で変調している状態でのドライバ出力抵抗 (続き)

md_res<6:0>	ドライバの出力抵抗R _{RFO} (Ω)	md_res<6:0>	ドライバの出力抵抗R _{RFO} (Ω)
20	5.953	52	23.273
21	6.095	53	25.600
22	6.244	54	28.444
23	6.400	55	32.000
24	6.564	56	36.571
25	6.737	57	42.667
26	6.919	58	51.200
27	7.111	59	64.000
28	7.314	60	85.333
29	7.529	61	128.000
30	7.758	62	256.000
31	8.000	63	High Z

4.5.54 外部フィールド検出器非アクティブ化閾値レジスタ

レジスタ空間: A

アドレス: 2Bh

種類: RW

表 86. 外部フィールド検出器非アクティブ化閾値レジスタ

ビット	名前	デフォルト	機能	コメント
7	(今後の使用のために確保)	0	未使用	-
6	trg_ld2	0	ピア検出無効化の閾値 (表 87参照)	-
5	trg_ld1	1		
4	trg_ld0	1		
3	rfe_td3	0	コリジョン防止無効化の閾値 (表 88参照)	-
2	rfe_td2	0		
1	rfe_td1	1		
0	rfe_td0	1		

参考資料

表 87. RFI1入力で見たピア検出閾値

trg_I2	trg_I1	trg_I0	RFI1でのピア検出閾値電圧 (mV _{PP})
0	0	0	75
0	0	1	105
0	1	0	150
0	1	1	205
1	0	0	290
1	0	1	400
1	1	0	560
1	1	1	800

表 88. RFI1入力で見たコリジョン防止閾値

rfe_3	rfe_2	rfe_1	rfe_0	RFI1でのコリジョン防止閾値電圧 (mV _{PP})
0	0	0	0	75
0	0	0	1	105
0	0	1	0	150
0	0	1	1	205
0	1	0	0	290
0	1	0	1	400
0	1	1	0	560
0	1	1	1	800
1	0	0	0	25
1	0	0	1	33
1	0	1	0	47
1	0	1	1	64
1	1	0	0	90
1	1	0	1	125
1	1	1	0	175
1	1	1	1	250

参考資料

4.5.55 送信ドライバ・タイミング表示レジスタ

レジスタ空間: B

アドレス: 2Bh

種類: R

表 89. 送信ドライバ・タイミング表示レジスタ

ビット	名前	デフォルト	機能	コメント
7	d_rat_r3	-		
6	d_rat_r2	-	ドライバの遷移比の読出し値 (RFの1周期の中でオーバーラップがない時間の発生回数で表現)	ドライバの遷移比の読出し値です。
5	d_rat_r1	-		
4	d_rat_r0	-		
3	(今後の使用のために確保)	-	-	-
2	d_tim_r2	-	000: 低速	
1	d_tim_1	-	001: 中低速 010: 公称速度	ドライバ・タイミングの読出し値
0	d_tim_0	-	011: 中高速 1xx: 高速	

4.5.56 レギュレータ電圧コントロール・レジスタ

レジスタ空間: A

アドレス: 2Ch

種類: RW

表 90. レギュレータ電圧コントロール・レジスタ

ビット	名前	デフォルト	機能	コメント
7	reg_s	0	0: Adjust Regulators コマンドの結果によって安定化電圧を設定 1: このレジスタに書き込まれたrege_xビットによって安定化電圧を設定	レギュレータ電圧設定のモードを設定します。
6	rege_3	0		
5	rege_2	0	外部での安定化電圧設定 (表 92参照)。	5Vモードでは、 V_{DD_D} レギュレータと V_{DD_A} レギュレータが3.4Vに設定されます。
4	rege_1	0		3.3V モードでは、 V_{DD_D} レギュレータと V_{DD_A} レギュレータが V_{DD_RF} と同じ値に設定されます。
3	rege_0	0		
2	mpsv2	0	000: V_{DD} 001: V_{DD_A} 010: V_{DD_D} 011: V_{DD_RF} 100: V_{DD_AM}	
1	mpsv1	0	101: (今後の使用のために確保) 110: (今後の使用のために確保)	Measure Power Supply (電源測定) ダイレクト・コマンドで測定する電源を設定します。
0	mpsv0	0	111: (今後の使用のために確保)	

参考資料

4.5.57 レギュレータ表示レジスタ

レジスタ空間: B

アドレス: 2Ch

種類: R

表 91. レギュレータ表示レジスタ

ビット	名前	デフォルト	機能	コメント
7	reg_3	-	Adjust Regulators (レギュレータ調整) コマンドを実行した後の電圧レギュレータの設定。 定義は表 92を参照。	-
6	reg_2	-		
5	reg_1	-		
4	reg_0	-		
3	(今後の使用のために確保)	-	-	-
2	(今後の使用のために確保)	-	-	-
1	(今後の使用のために確保)	-	-	-
0	i_lim	-	1: V _{DD_RF} レギュレータが電流制限モード	-

表 92. 安定化電圧

reg_3	reg_2	reg_1	reg_0	標準的な安定化電圧 (V)	
rege_3	rege_2	rege_1	rege_0	5Vモード	3.3Vモード
1	1	1	1	5.1	3.4
1	1	1	0	5.0	3.3
1	1	0	1	4.9	3.2
1	1	0	0	4.8	3.1
1	0	1	1	4.7	3.0
1	0	1	0	4.6	2.9
1	0	0	1	4.5	2.8
1	0	0	0	4.4	2.7
0	1	1	1	4.3	2.6
0	1	1	0	4.2	2.5
0	1	0	1	4.1	2.4
0	1	0	0	4.0	-
0	0	1	1	3.9	-
0	0	1	0	3.8	-
0	0	0	1	3.7	-
0	0	0	0	3.6	-

4.5.58 RSSI表示レジスタ

レジスタ空間: A

アドレス: 2Dh

種類: R

表 93. RSSI表示レジスタ

ビット	名前	デフォルト	機能	コメント
7	rssi_am_3	-	AMチャネルのRSSIピーク値。定義は表 94を参照。	次の受信が始まるか、Clear RSSI (RSSIクリア)コマンドが送信されるまで、AMチャネルのRSSIピーク値が格納されます。
6	rssi_am_2	-		
5	rssi_am_1	-		
4	rssi_am_0	-		
3	rssi_pm_3	-	PMチャネルのRSSIピーク値。定義は表 94を参照。	次の受信が始まるか、Clear RSSI (RSSIクリア)コマンドが送信されるまで、PMチャネルのRSSIピーク値が格納されます。
2	rssi_pm_2	-		
1	rssi_pm_1	-		
0	rssi_pm_0	-		

表 94. RSSI

rssi_3	rssi_2	rssi_1	rssi_0	RFI1における標準的な信号電圧 (mV _{rms})
0	0	0	0	≤20
0	0	0	1	>20
0	0	1	0	>27
0	0	1	1	>37
0	1	0	0	>52
0	1	0	1	>72
0	1	1	0	>99
0	1	1	1	>136
1	0	0	0	>190
1	0	0	1	>262
1	0	1	0	>357
1	0	1	1	>500
1	1	0	0	>686
1	1	0	1	>950
1	1	1	0	>1150
1	1	1	1	

4.5.59 ゲイン低減状態レジスタ

レジスタ空間: A

アドレス: 2Eh

種類: R

表 95. ゲイン低減状態レジスタ

ビット	名前	デフォルト	機能	コメント
7	gs_am_3	-	値の説明は、rg2_am<3:0>を参照。	AMチャネルの第2段および第3段の総合的なゲイン低減状態（レジスタ設定、スケルチ、AGCによるゲイン低減を含みます）。
6	gs_am_2	-		
5	gs_am_1	-		
4	gs_am_0	-		
3	gs_pm_3	-		PMチャネルの第2段および第3段の総合的なゲイン低減状態（レジスタ設定、スケルチ、AGCによるゲイン低減を含みます）。
2	gs_pm_2	-		
1	gs_pm_1	-		
0	gs_pm_0	-		

4.5.60 静電容量センサ・コントロール・レジスタ

レジスタ空間: A

アドレス: 2Fh

種類: RW

表 96. 静電容量センサ・コントロール・レジスタ

ビット	名前	デフォルト	機能	コメント
7	cs_mcal4	0	1.6pF	静電容量センサの補正值を手動で設定します (バイナリ重み付け)。 自動補正モードを有効化するには cs_mcal<4:0>を'0'に設定します。
6	cs_mcal3	0	0.8pF	
5	cs_mcal2	0	0.4pF	
4	cs_mcal1	0	0.2pF	
3	cs_mcal0	0	0.1pF	
2	cs_g2	0	000: 2.8V/pF 001: 6.5V/pF	静電容量センサのゲイン。
1	cs_g1	0	010: 1.1V/pF 100: 0.5V/pF	
0	cs_g0	0	110: 0.35V/pF その他: 未使用	

4.5.61 静電容量センサ表示レジスタ

レジスタ空間: A

アドレス: 30h

種類: R

表 97. 静電容量センサ表示レジスタ

ビット	名前	デフォルト	機能	コメント
7	cs_cal4	-	1.6pF	静電容量センサの補正值 (バイナリ重み付け)。
6	cs_cal3	-	0.8pF	
5	cs_cal2	-	0.4pF	
4	cs_cal1	-	0.2pF	
3	cs_cal0	-	0.1pF	
2	cs_cal_end	-	1: 補正終了	-
1	cs_cal_err	-	1: 補正エラー	-
0	(今後の使用のために確保)	-	-	-

4.5.62 補助表示レジスタ

レジスタ空間: A

アドレス: 31h

種類: R

表 98. 補助表示レジスタ

ビット	名前	デフォルト	機能	コメント
7	a_cha	-	0: AM 1: PM	現在の受信で使用しているレシーバのチャネルまたは最後の受信で使用したレシーバのチャネル
6	efd_o	-	1: 外部フィールドを検出	外部フィールド検出器の出力。
5	tx_on	-	1: 送信がアクティブ	CE モードの自動処理によるデータ送信では、コリジョン防止が示されません。
4	osc_ok	-	1: 水晶発振が安定	水晶発振器が動作中であり、その出力が安定していることを示します。
3	rx_on	-	1: 受信デコーダが有効	-
2	rx_act	-	1: 受信デコーダがメッセージを受信中	-
1	en_peer	-	1: ピア検出モードで外部フィールド検出器が動作中	-
0	en_ac	-	1: RF コリジョン防止モードで外部フィールド検出器が動作中	-

4.5.63 オーバーシート保護コンフィギュレーション・レジスタ1

レジスタ空間: B

アドレス: 30h

種類: RW

表 99. オーバーシート保護コンフィギュレーション・レジスタ1

ビット	名前	デフォルト	機能	コメント
7	ov_tx_mode1	0	00: V_{DD_DR} で駆動 01: V_{DD_AM} で駆動 10: ドライバ停止 (電位はGNDまたは V_{DD_DR}) 11: (今後の使用のために確保)	ov_patternXを'1'に設定した場合に適用するRF駆動レベルを選択します。
6	ov_tx_mode0	0		
5	ov_pattern13	0	-	-
4	ov_pattern12	0	-	-
3	ov_pattern11	0	-	-
2	ov_pattern10	0	-	-
1	ov_pattern9	0	-	-
0	ov_pattern8	0	-	-

4.5.64 オーバーシート保護コンフィギュレーション・レジスタ2

レジスタ空間: B

アドレス: 31h

種類: RW

表 100. オーバーシート保護コンフィギュレーション・レジスタ2

ビット	名前	デフォルト	機能	コメント
7	ov_pattern7	0	-	-
6	ov_pattern6	0	-	-
5	ov_pattern5	0	-	-
4	ov_pattern4	0	-	-
3	ov_pattern3	0	-	-
2	ov_pattern2	0	-	-
1	ov_pattern1	0	-	-
0	ov_pattern0	0	-	-

参考資料

4.5.65 アンダーシュート保護コンフィギュレーション・レジスタ1

レジスタ空間: B

アドレス: 32h

種類: RW

表 101. アンダーシュート保護コンフィギュレーション・レジスタ1

ビット	名前	デフォルト	機能	コメント
7	un_tx_mode1	0	00: V_{DD_DR} で駆動 01: V_{DD_AM} で駆動 10: ドライバ停止 (電位はGNDまたは V_{DD_DR}) 11: (今後の使用のために確保)	un_patternXを'1'に設定した場合に適用するRF駆動レベルを選択します。
6	un_tx_mode0	0		
5	un_pattern13	0	-	-
4	un_pattern12	0	-	-
3	un_pattern11	0	-	-
2	un_pattern10	0	-	-
1	un_pattern9	0	-	-
0	un_pattern8	0	-	-

4.5.66 アンダーシュート保護コンフィギュレーション・レジスタ2

レジスタ空間: B

アドレス: 33h

種類: RW

表 102. アンダーシュート保護コンフィギュレーション・レジスタ2

ビット	名前	デフォルト	機能	コメント
7	un_pattern7	0	-	-
6	un_pattern6	0	-	-
5	un_pattern5	0	-	-
4	un_pattern4	0	-	-
3	un_pattern3	0	-	-
2	un_pattern2	0	-	-
1	un_pattern1	0	-	-
0	un_pattern0	0	-	-

4.5.67 ウェイクアップ・タイマ・コントロール・レジスタ

レジスタ空間: A

アドレス: 32h

種類: RW

表 103. ウェイクアップ・タイマ・コントロール・レジスタ

ビット	名前	デフォルト	機能	コメント
7	wur	0	0: 100ms 1: 10ms	ウェイクアップ・タイマ範囲
6	wut2	0		
5	wut1	0	表 104参照	ウェイクアップ・タイマ・タイムアウト値
4	wut0	0		
3	wto	0	1: すべてのタイムアウトごとにIRQを生成	-
2	wam	0	1: タイムアウト時に振幅測定を実行	振幅差が Δam より大きい場合、I_wam割り込みを生成します。
1	wph	0	1: タイムアウト時に位相測定を実行	位相差が Δpm より大きい場合、I_wph割り込みを生成します。
0	wcap	0	1: タイムアウト時に静電容量測定を実行	静電容量差が Δcm より大きい場合、I_wcap割り込みを生成します。

表 104. 標準ウェイクアップ時間

wut2	wut1	wut0	100msレンジ (wur=0)	10msレンジ (wur=1)
0	0	0	100ms	10ms
0	0	1	200ms	20ms
0	1	0	300ms	30ms
0	1	1	400ms	40ms
1	0	0	500ms	50ms
1	0	1	600ms	60ms
1	1	0	700ms	70ms
1	1	1	800ms	80ms

参考資料

4.5.68 振幅測定コンフィギュレーション・レジスタ

レジスタ空間: A

アドレス: 33h

種類: RW

表 105. 振幅測定コンフィギュレーション・レジスタ

ビット	名前	デフォルト	機能	コメント
7	am_d3	0	Δam の設定 (割り込みをトリガする基準値との差)	-
6	am_d2	0		
5	am_d1	0		
4	am_d0	0		
3	am_aam	0	0: IRQ測定を除外する 1: IRQ測定を対象にする	IRQが発生する原因となる測定値 (基準値との差が Δam を超える測定値) を、自動平均化の対象にするか、自動平均化から除外するかを設定します。
2	am_aew1	0	00: 4 01: 8	自動平均化で、最後の測定結果に適用する重み
1	am_aew2	0	10: 16 11: 32	
0	am_ae	0	0: 振幅測定基準レジスタを使用	振幅測定によるウェイクアップ・モードの基準値を選択します。

4.5.69 振幅測定基準レジスタ

レジスタ空間: A

アドレス: 34h

種類: RW

表 106. 振幅測定基準レジスタ

ビット	名前	デフォルト	機能	コメント
7	am_ref7	0	-	-
6	am_ref6	0	-	-
5	am_ref5	0	-	-
4	am_ref4	0	-	-
3	am_ref3	0	-	-
2	am_ref2	0	-	-
1	am_ref1	0	-	-
0	am_ref0	0	-	-

4.5.70 振幅測定自動平均化表示レジスタ

レジスタ空間: A

アドレス: 35h

種類: R

表 107. 振幅測定自動平均化表示レジスタ

ビット	名前	デフォルト	機能	コメント
7	amd_aad7	0	-	-
6	amd_aad6	0	-	-
5	amd_aad5	0	-	-
4	amd_aad4	0	-	-
3	amd_aad3	0	-	-
2	amd_aad2	0	-	-
1	amd_aad1	0	-	-
0	amd_aad0	0	-	-

4.5.71 振幅測定表示レジスタ

レジスタ空間: A

アドレス: 36h

種類: R

表 108. 振幅測定表示レジスタ

ビット	名前	デフォルト	機能	コメント
7	am_amd7	0	-	-
6	am_amd6	0	-	-
5	am_amd5	0	-	-
4	am_amd4	0	-	-
3	am_amd3	0	-	-
2	am_amd2	0	-	-
1	am_amd1	0	-	-
0	am_amd0	0	-	-

参考資料

4.5.72 位相測定コンフィギュレーション・レジスタ

レジスタ空間: A

アドレス: 37h

種類: RW

表 109. 位相測定コンフィギュレーション・レジスタ

ビット	名前	デフォルト	機能	コメント
7	pm_d3	0	Δpm の設定 (割り込みをトリガする基準との差)	-
6	pm_d2	0		
5	pm_d1	0		
4	pm_d0	0		
3	pm_aam	0	0: IRQ測定を除外する 1: IRQ測定を対象にする	l_wph 割り込みをトリガした測定値を自動平均化の対象にするか、自動平均化から除外するかを設定します。
2	pm_aew1	0	00: 4 01: 8 10: 16 11: 32	自動平均化で最後の測定結果に適用する重みを設定します。
1	pm_aew0	0		
0	pm_ae	0	0: 位相測定基準レジスタを使用 1: 基準として位相測定の自動平均値を使用	位相測定によるウェイクアップ・モードの基準値を選択します。

4.5.73 位相測定基準レジスタ

レジスタ空間: A

アドレス: 38h

種類: RW

表 110. 位相測定基準レジスタ

ビット	名前	デフォルト	機能	コメント
7	pm_ref7	0	-	-
6	pm_ref6	0	-	-
5	pm_ref5	0	-	-
4	pm_ref4	0	-	-
3	pm_ref3	0	-	-
2	pm_ref2	0	-	-
1	pm_ref1	0	-	-
0	pm_ref0	0	-	-

4.5.74 位相測定自動平均化表示レジスタ

レジスタ空間: A

アドレス: 39h

種類: R

表 111. 位相測定自動平均化表示レジスタ

ビット	名前	デフォルト	機能	コメント
7	pm_aad7	0	-	-
6	pm_aad6	0	-	-
5	pm_aad5	0	-	-
4	pm_aad4	0	-	-
3	pm_aad3	0	-	-
2	pm_aad2	0	-	-
1	pm_aad1	0	-	-
0	pm_aad0	0	-	-

4.5.75 位相測定表示レジスタ

レジスタ空間: A

アドレス: 3Ah

種類: R

表 112. 位相測定表示レジスタ

ビット	名前	デフォルト	機能	コメント
7	pm_amd7	0	0	-
6	pm_amd6	0	0	-
5	pm_amd5	0	0	-
4	pm_amd4	0	0	-
3	pm_amd3	0	0	-
2	pm_amd2	0	0	-
1	pm_amd1	0	0	-
0	pm_amd0	0	0	-

参考資料

4.5.76 静電容量測定コンフィギュレーション・レジスタ

レジスタ空間: A

アドレス: 3Bh

種類: RW

表 113. 静電容量測定コンフィギュレーション・レジスタ

ビット	名前	デフォルト	機能	コメント
7	cm_d3	0	Δcm の設定 (割り込みをトリガする基準との差)	-
6	cm_d2	0		
5	cm_d1	0		
4	cm_d0	0		
3	cm_aam	0	0: IRQ測定を除外する 1: IRQ測定を対象にする	IRQが発生する原因となる測定値(基準値との差が Δcm を超える測定値)を、自動平均化の対象とするか、自動平均化から除外するかを設定します。
2	cm_aew1	0	00: 4 01: 8 10: 16 11: 32	自動平均化で最後の測定結果に適用する重みを設定します。
1	cm_aew0	0		
0	cm_ae	0	0: 静電容量測定基準レジスタを使用 1: 基準として静電容量測定の自動平均値を使用	静電容量測定によるウェイクアップ・モードの基準値を選択します。

4.5.77 静電容量測定基準レジスタ

レジスタ空間: A

アドレス: 3Ch

種類: RW

表 114. 静電容量測定基準レジスタ

ビット	名前	デフォルト	機能	コメント
7	cm_ref7	0	-	-
6	cm_ref6	0	-	-
5	cm_ref5	0	-	-
4	cm_ref4	0	-	-
3	cm_ref3	0	-	-
2	cm_ref2	0	-	-
1	cm_ref1	0	-	-
0	cm_ref0	0	-	-

4.5.78 静電容量測定自動平均化表示レジスタ

レジスタ空間: A

アドレス: 3Dh

種類: R

表 115. 静電容量測定自動平均化表示レジスタ

ビット	名前	デフォルト	機能	コメント
7	cm_aad7	0	-	-
6	cm_aad6	0	-	-
5	cm_aad5	0	-	-
4	cm_aad4	0	-	-
3	cm_aad3	0	-	-
2	cm_aad2	0	-	-
1	cm_aad1	0	-	-
0	cm_aad0	0	-	-

4.5.79 静電容量測定表示レジスタ

レジスタ空間: A

アドレス: 3Eh

種類: R

表 116. 静電容量測定表示レジスタ

ビット	名前	デフォルト	機能	コメント
7	cm_amd7	0	-	-
6	cm_amd6	0	-	-
5	cm_amd_	0	-	-
4	cm_amd_	0	-	-
3	cm_amd3	0	-	-
2	cm_amd2	0	-	-
1	cm_amd1	0	-	-
0	cm_amd0	0	-	-

参考資料

4.5.80 IC識別レジスタ

レジスタ空間: A

アドレス: 3Fh

種類: R

表 117. IC識別レジスタ

ビット	名前	デフォルト	機能	コメント
7	ic_type4	0	IC種別コード 00101: ST25R3916/7	5ビットのIC種別コードです。
6	ic_type3	0		
5	ic_type2	1		
4	ic_type1	0		
3	ic_type0	1		
2	ic_rev2	0	IC レビジョン・コード 010: rev 3.1	3ビットのIC レビジョン・コードです。
1	ic_rev1	1		
0	ic_rev0	0		

5 電気的特性

5.1 絶対最大定格

表 118に記載した制限値を超えてデバイスにストレスを加えると、デバイスに恒久的な損傷を与える可能性があります。ここにはストレス定格のみが記載されています。

これらの条件、または表 118に示した値を超える、それ以外の何らかの条件下でデバイスが機能することを示すものではありません。絶対最大定格の条件下に長時間置いたデバイスでは、その信頼性に悪影響が発生する可能性があります。

表 118. 絶対最大定格

記号	パラメータ	最小値	最大値	単位
V_{DD} 、 $V_{DD_TX}^{(1)}$	正電源電圧	-0.3	6.0	V
V_{DD} 、 $V_{DD_TX}^{(1)(2)}$	オプション・ビットsup3Vをセットした場合の正電源電圧	-0.3	5	
$\Delta_{VDD-VDD_TX}^{(1)}$	V_{DD} と V_{DD_TX} との差	-0.3	0.3	
$V_{DD_IO}^{(1)}$	ペリフェラル通信電源電圧	-0.3	6	
$V_{GND}^{(1)}$	負電源電圧	-0.3	0.3	
$V_{pIO}^{(1)}$	ペリフェラルIO通信ピン (27 ~ 32) の電圧 ⁽³⁾	-0.3	6	
$V_{p5V}^{(1)}$	5Vドメインにおける他のピン(9、11、13、14、15、17、20)の電圧 ⁽³⁾	-0.3	6	
$V_{p3V}^{(1)}$	3Vドメインにおける他のピン(2 ~ 5、7、18、19、22 ~ 25)の電圧 ⁽³⁾	-0.3	5	
I_{scr}	JESD78準拠の入力電流 (ラッチアップ耐性)	-100	100	mA
I_{VDD_LDO}	内部電圧レギュレータを使用した場合の最大ドライバ電流	-	350 ⁽⁴⁾	mA
$I_{VDD_EXT}^{(5)}$	内部電圧レギュレータをバイパスした場合に外部電源から供給できるピーク電流		500 ⁽⁶⁾	
ESD電圧	JS-001人体モデルに基づくESD耐圧	-	2000	V
P_t	合計消費電力 (すべての電源と出力が動作している状態)	-	300	mW
T_{strg}	保管温度	-65	150	°C
T_{body}	IPC/JEDECによるパッケージ本体温度 J-STD-020 ⁽⁷⁾	-	260	
T_{Jun}	接合部温度	-40	+125	
-	湿度 (結露がないこと)	5	85	%

1. V_{SS} を基準とした値
2. IOコンフィギュレーション・レジスタ2のsup3Vビットを'1'に設定
3. 対応するWLCSPポールについては、表 2を参照してください。
4. 接合部温度が確実に指定値を下回るように温度を適切に管理していることが条件となります。
5. 内部電圧レギュレータをバイパスするには、VDD_RFをVDD_TXに接続します。
6. RF ドライバに外部から電源供給する場合のピーク電流。接合部温度が確実に指定値を下回るように温度を適切に管理していることが条件となります。
7. リフロー時のはんだ付け温度 (本体温度) のピーク値は、IPC/JEDEC J-STD-020 「非ハーメチック表面実装固体デバイスの感湿性/リフロー感受性区分」に基づいて規定されています。

5.2 動作条件

この仕様において外付け部品に対して定義されているすべての許容誤差は、動作条件範囲全体にわたり、耐用年数全体を通して保証される必要があります。

表 119. 動作条件

記号	パラメータ	最小値	最大値	単位
V_{DD} 、 $V_{DD_TX}^{(1)(2)}$	正電源電圧 (ピン8および10)	2.4	5.5	V
$V_{DD_DR}^{(1)}$	ドライバに直接給電する場合のドライバ正電源電圧 (ピン14) 必須条件: $V_{DD_DR} \leq V_{DD}$ 、 V_{DD_TX}	2.4	5.5	
V_{DD} 、 $V_{DD_TX}^{(1)(3)}$	オプション・ビットsup3Vをセットした場合の正電源電圧	2.4	3.6	
$\Delta_{VDD-VDD_TX}^{(1)}$	V_{DD} と V_{DD_TX} の差	-0.2	0.2	
$V_{DD_IO}^{(1)}$	ペリフェラル通信電源電圧 (ピン1) ⁽⁴⁾	1.65	5.5	
$V_{GND}^{(1)}$	負電源電圧 (ピン6、12、16、26) ⁽⁴⁾	0	0	
$V_{pIO}^{(1)}$	ペリフェラルIO通信ピン (27 ~ 32) の電圧 ⁽⁴⁾	0	5.5	
$V_{p5V}^{(1)}$	5V ドメインにおける他のピン (9、11、13、14、15、17、20) ⁽⁴⁾ の電圧	0	5.5	
$V_{p3V}^{(1)}$	3V ドメインにおける他のピン (2~5、7、18、19、22~25) ⁽⁴⁾ の電圧	0	5.5	
$T_{(amb, VFQFPN32)}^{(5)}$	VFQFPN32パッケージの周囲温度範囲	-40	105	°C
$T_{(amb, WLCSP36)}^{(5)}$	WLCSP36パッケージの周囲温度範囲	-40	85	°C
V_{RFI_A}	RFI入力振幅 ⁽⁶⁾	0.15	3	V_{PP}

1. V_{SS} 基準
2. 電源電圧が2.6Vよりも低い場合には、内部レギュレータでPSSRを改善することはできません (最低安定化電圧は2.4V)。
3. IOコンフィギュレーション・レジスタ2のsup3Vビットを'1'に設定
4. 対応するWLCSPボールについては、表 2を参照してください。
5. デバイスは、十分に放熱が可能な形態でPCBに実装する必要があります。
6. 最小RFI入力信号の定義は、NFCアクティブP2P受信とNFCパッシブ・ターゲット・モードへの適用を目的としています。HFリーダ・モードとNFC送信モードの推奨信号レベルは2.5 V_{pp} です。

5.3 デジタル入出力のDC/AC特性

表 120. CMOS I/Oの特性⁽¹⁾

種類	記号	パラメータ	条件	最小値	標準値	最大値	単位
入力 ⁽²⁾	V_{IH}	Highレベル入力電圧	-	$0.8 \times V_{DD_IO}$	-	-	V
	V_{IL}	Lowレベル入力電圧	-	-	-	$0.2 \times V_{DD_IO}$	
	I_{LEAK}	入カリーク電流	$V_{DD_IO} = 5.5V$	-1	-	1	μA
出力	V_{OH}	Highレベル出力電圧	$I_{source} = 1 \text{ mA}$ $V_{DD_IO} = 3.3 \text{ V} \sim 5.5 \text{ V}$ $io_drv_lvl=0$	$0.9 \times V_{DD_IO}$	-	-	V
			$I_{source} = 0.5 \text{ mA}$ $V_{DD_IO} = 1.65 \text{ V} \sim 3.3 \text{ V}$ $io_drv_lvl = 1$		-	-	
	V_{OL}	Lowレベル出力電圧	$I_{source} = 1.0 \text{ mA}$ $V_{DD_IO} = 3.3 \text{ V} \sim 5.5 \text{ V}$ $io_drv_lvl=0$	-	-	$0.1 \times V_{DD_IO}$	V
			$I_{source} = 0.5 \text{ mA}$ $V_{DD_IO} = 1.65 \text{ V} \sim 3.3 \text{ V}$ $io_drv_lvl = 1$		-	$0.1 \times V_{DD_IO}$	
	C_L	容量性負荷	-	-	-	50	pF
	R_O	出力抵抗	$V_{DD_IO} = 3.3 \text{ V}$	-	250	500	Ω
	R_{PD}	MISOピンのプルダウン抵抗 ⁽³⁾	$V_{DD_IO} = 3.3 \text{ V}$	-	10	-	$\text{k}\Omega$

- 量産時のテストは25°Cで実施し、特性評価は-40°C ~ 125°Cで実施しています。
- BSS、MOSI、SCLKの各ピン。
- 必要に応じてMISOピンのプルダウンを設定するには、[IOコンフィギュレーション・レジスタ2](#)のmiso_pd1ビットとmiso_pd2ビットを使用します。

5.4 電気的特性

表 121. ST25R3916/7の電気的特性 ($V_{DD} = 3.3V$)⁽¹⁾⁽²⁾

記号	パラメータ	条件	最小値	標準値	最大値	単位
I_{PD}	パワーダウン・モードにおける電源電流	$T_{Jun} = -40^{\circ}C \sim +25^{\circ}C$ ⁽³⁾	-	0.8	2.5	μA
		$T_{Jun} = +85^{\circ}C$ ⁽³⁾	-	2	20	
		$T_{Jun} = +125^{\circ}C$ ⁽³⁾	-	12	60	
I_{NFCT}	初期NFCターゲット・モードにおける電源電流	$T_{Jun} = -40^{\circ}C \sim +25^{\circ}C$ ⁽⁴⁾	-	3.5	7.0	μA
		$T_{Jun} = +85^{\circ}C$ ⁽⁴⁾	-	5	20	
		$T_{Jun} = +125^{\circ}C$ ⁽⁴⁾	-	14	60	
I_{WU}	ウェイクアップ・モードにおける電源電流 (ロジックとRC発振器)	$T_{Jun} = -40^{\circ}C \sim +25^{\circ}C$ ⁽⁵⁾	-	3.0	6.3	μA
		$T_{Jun} = 85^{\circ}C$ ⁽⁵⁾	-	2.8	20	
		$T_{Jun} = 125^{\circ}C$ ⁽⁵⁾	-	15	60	
I_{CS}	静電容量センサ電源電流	(6)	-	1.1	2.0	mA
I_{RD}	レディ・モードにおける電源電流	(7)	-	4.5	7.5	
I_{AL}	すべてをアクティブにした状態の電源電流	(8)	-	16	23	
I_{AL-AM}	すべてをアクティブにした状態の電源電流、AM	(9)	-	17	26	
I_{AL1}	すべてをアクティブにした状態のシングル受信チャネルの電源電流	(10)	-	11	16	
R_{RFO}	RFO1 / RFO2 ドライバ出力抵抗	$I_{RFO} = 10 mA$	-	1.7	4	Ω
V_{RFI}	RFI入力感度	(11)	-	0.5	-	mV_{rms}
R_{RFI}	RFI入力抵抗	-	-	12	16	$k\Omega$
V_{POR}	パワーオン・リセット電圧	-	1.0	1.45	2.0	V
V_{AGDC}	AGDC電圧	(7)	1.4	1.5	1.6	
V_{REG}	安定化電圧	(12)	2.65	3.00	3.20	

- 特に記載のない限り、 $VDD = 3.3V$ による3.3V電源モードで動作しています。安定化電圧を3.0Vに設定し、27.12MHz水晶振動子をXTOとXTIに接続しています。
- 量産時は $25^{\circ}C$ で最小値と最大値をテストします。他の温度は特性評価でのみ使用します。
- レジスタ00h = 07h (MCU_CLKにクロック出力なし)、01h = 80h (3V電源モード)、その他のレジスタはデフォルト状態です。
- レジスタ00h = 07h (MCU_CLKにクロック出力なし)、01h = 80h (3V電源モード)、02h = 03h (外部フィールド検出器有効)、03h = E8h (NFCターゲット・モード有効)、その他のレジスタはデフォルト状態です。
- レジスタ00h = 07h (MCU_CLKにクロック出力なし)、01h = 80h (3V電源モード)、02h = 04h (ウェイクアップ・モード有効)、32h = 08h (100msタイムアウト、すべてのタイムアウトごとにIRQ)、その他のレジスタはデフォルト状態です。
- レジスタ00h = 07h (MCU_CLKにクロック出力なし)、01h = 80h (3V電源モード)、テスト・レジスタ02h = 0Eh (tdana<3:0>=0Eh、CSアナログ・テスト・モード14)、その他のレジスタはデフォルト状態です。
- レジスタ00h = 07h (MCU_CLKにクロック出力なし)、01h = C0h (3V電源モード、VDD_Dレギュレータ無効)、02h = 80h (en = 1)、2Ch = D8h (3.0Vレギュレータ)、その他のレジスタはデフォルト状態です。VDD_AとVDD_Dを短絡しています。
- レジスタ00h = 07h (MCU_CLKにクロック出力なし)、01h = C0h (3V電源モード、VDD_Dレギュレータ無効)、02h = C8h (受信有効、送信有効)、28h = 7Fh (RFOセグメント無効)、2Ch = D8h (3.0Vレギュレータ)、その他のレジスタはデフォルト状態です。VDD_AとVDD_Dを短絡しています。
- レジスタ00h = 07h (MCU_CLKにクロック出力なし)、01h = C0h (3V電源モード、VDD_Dレギュレータ無効)、02h = C8h (受信有効、送信有効)、03h = 14h (AM変調)、28h = 7Fh (RFOセグメント無効)、2Ch = D8h (3.0Vレギュレータ)、その他のレジスタはデフォルト状態です。VDD_AとVDD_Dを短絡しています。
- レジスタ00h = 07h (MCU_CLKにクロック出力なし)、01h = C0h (3V電源モード、VDD_Dレギュレータ無効)、02h = E8h (受信有効、1つの受信チャネル有効、送信有効)、28h = 7Fh (RFOセグメント無効)、2Ch = D8h (3.0Vレギュレータ)、その他のレジスタはデフォルト状態です。VDD_AとVDD_Dを短絡しています。
- $f_{SUB}=848kHz$ 、ピーク検出器入力ステージを選択したAMチャネル
- 手動レギュレータ・モードとして、 VDD_{RF} ピンで測定した安定化電圧を3.0Vに設定しています。レジスタ00h = 0Fh、01h = 80h (3V電源モード)、02h = E8h (1つの受信チャネル有効、送信有効)、2Ch = D8h (3.0Vレギュレータ)、その他のレジスタはデフォルト状態です。

参考資料

表 122. ST25R3916/7の電気的特性 ($V_{DD} = 5.5V$) (1) (2)

記号	パラメータ	条件	最小値	標準値	最大値	単位
I_{PD}	電源電流 パワーダウン・モード	$T_{Jun} = -40^{\circ}C \sim +25^{\circ}C$ (3)	-	1	3	μA
		$T_{Jun} = +125^{\circ}C$ (3)	-	-	90	
		$T_{Jun} = 85^{\circ}C$	-	2.5	25	
I_{NFCT}	電源電流 初期NFCターゲット・モード	$T_{Jun} = -40^{\circ}C \sim +25^{\circ}C$ (4)	-	3.4	8	μA
		$T_{Jun} = 125^{\circ}C$ (4)	-	35	90	
		$T_{Jun} = 85^{\circ}C$	-	5	25	
I_{WU}	ウェイクアップ・モードにおける電源電流 (ロジックとRC発振器)	$T_{Jun} = -40^{\circ}C \sim +25^{\circ}C$ (5)	-	3	8	mA
		$T_{Jun} = 125^{\circ}C$ (5)	-	15	90	
		$T_{Jun} = 85^{\circ}C$	-	5	25	
I_{CS}	静電容量センサ電源電流	(6)	-	1.1	2.0	mA
I_{RD}	レディ・モードにおける電源電流	(7)	-	5.6	7.5	
I_{AL}	すべてをアクティブにした状態の電源電流	(8)	-	15.0	23.0	
I_{AL-AM}	すべてをアクティブにした状態の電源電流、AM	(9)	-	16.0	26.0	
I_{AL1}	すべてをアクティブにした状態の電源電流 シングル受信チャネル	(10)	-	11.0	16.0	
R_{RFO}	RFO1およびRFO2ドライバ 出力抵抗	$I_{RFO} = 10\text{ mA}$	-	1.7	4.0	Ω
R_{RFI}	RFI入力抵抗	(11)	-	12	16	$k\Omega$
V_{POR}	パワーオン・リセット電圧	-	1.00	1.45	2.00	V
V_{AGDC}	AGDC電圧	(8)	1.40	1.50	1.60	
V_{REG}	安定化電圧	(8)	4.3	4.6	5.0	

- 最小値と最大値は特性評価のみでの値です。
- 特に記載のない限り、 $VDD = 5.5V$ による5.0V電源モードで動作しています。安定化電圧を5.1Vに設定し、27.12MHz水晶振動子をXTOとXTIに接続しています。
- レジスタ00h = 07h (MCU_CLKにクロック出力なし)、01h = 00h (5V電源モード)、その他のレジスタはデフォルト状態です。
- レジスタ00h = 07h (MCU_CLKにクロック出力なし)、01h = 00h (5V電源モード)、02h = 03h (外部フィールド検出器有効)、03h = E8h (NFCターゲット・モード有効)、その他のレジスタはデフォルト状態です。
- レジスタ00h = 07h (MCU_CLKにクロック出力なし)、01h = 00h (5V電源モード)、02h = 04h (ウェイクアップ・モード有効)、32h = 08h (100msタイムアウト、すべてのタイムアウトごとにIRQ)、その他のレジスタはデフォルト状態です。
- レジスタ00h = 07h (MCU_CLKにクロック出力なし)、01h = 00h (5V電源モード)、テスト・レジスタ02h = 0Eh (tdana<3:0>=0Eh、CSアナログ・テスト・モード14)、その他のレジスタはデフォルト状態です。
- レジスタ00h = 07h (MCU_CLKにクロック出力なし)、01h = 40h (5V電源モード、VDD_Dレギュレータ無効)、02h = 80h (en = 1)、2Ch = F8h (5.1Vレギュレータ)、その他のレジスタはデフォルト状態です。VDD_AとVDD_Dを短絡しています。
- レジスタ00h = 07h (MCU_CLKにクロック出力なし)、01h = 40h (5V電源モード、VDD_Dレギュレータ無効)、02h = C8h (受信有効、送信有効)、28h = 7Fh (RFOセグメント無効)、2Ch = F8h (5.1Vレギュレータ)、その他のレジスタはデフォルト状態です。VDD_AとVDD_Dを短絡しています。
- レジスタ00h = 07h (MCU_CLKにクロック出力なし)、01h = 40h (5V電源モード、VDD_Dレギュレータ無効)、02h = C8h (受信有効、送信有効)、03h = 14h (AM変調)、28h = 7Fh (RFOセグメント無効)、2Ch = F8h (5.1Vレギュレータ)、その他のレジスタはデフォルト状態です。VDD_AとVDD_Dを短絡しています。
- レジスタ00h = 07h (MCU_CLKにクロック出力なし)、01h = 40h (5V電源モード、VDD_Dレギュレータ無効)、02h = E8h (受信有効、1つ
の受信チャネル有効、送信有効)、28h = 7Fh (RFOセグメント無効)、2Ch = F8h (5.1Vレギュレータ)、その他のレジスタはデフォルト状態です。VDD_AとVDD_Dを短絡しています。
- f_{SUB} =848kHz、ピーク検出器入力ステージを選択したAMチャネル

参考資料

電気的特性

ST25R3916/7

表 123. ST25R3916/7の電気的特性 ($V_{DD} = 2.4V$) (1) (2)

記号	パラメータ	条件	最小値	標準値	最大値	単位
I_{PD}	電源電流 パワーダウン・モード	$T_{Jun} = -40^{\circ}C \sim +25^{\circ}C$ (3)	-	0.5	2.2	μA
		$T_{Jun} = +85^{\circ}C$ (3)	-	1.5	15	
		$T_{Jun} = 125^{\circ}C$ (3)		7.0	50	
I_{NFCT}	電源電流 初期NFCターゲット・モード	$T_{Jun} = -40^{\circ}C \sim +25^{\circ}C$ (4)	-	1.5	5	μA
		$T_{Jun} = 85^{\circ}C$ (4)	-	2	15	
		$T_{Jun} = 125^{\circ}C$ (4)		8	50	
I_{WU}	ウェイクアップ・モードにおける電源電流 (ロジックとRC発振器)	$T_{Jun} = -40^{\circ}C \sim +25^{\circ}C$ (5)	-	1.8	5	mA
		$T_{Jun} = 85^{\circ}C$ (5)	-	2.7	15	
		$T_{Jun} = 125^{\circ}C$ (5)		9	50	
I_{CS}	静電容量センサ電源電流	(6)	-	0.7	2.0	mA
I_{RD}	レディ・モードにおける電源電流	(7)	-	3.4	7.5	
I_{AL}	すべてをアクティブにした状態の電源電流	(8)	-	11	23	
I_{AL-AM}	すべてをアクティブにした状態の電源電流、AM	(9)	-	12.5	26	
I_{AL1}	すべてをアクティブにした状態の電源電流 シングル受信チャネル	(10)	-	10	16	
R_{RFO}	RFO1およびRFO2 ドライバ 出力抵抗	$I_{RFO} = 10 mA$	-	1.7	4.0	Ω
R_{RFI}	RFI入力抵抗	(11)	-	12	16	$k\Omega$
V_{POR}	パワーオン・リセット電圧	-	1.00	1.45	2.00	V
V_{AGDC}	AGDC電圧	(8)	1.40	1.50	1.60	
V_{REG}	安定化電圧	(8)	2.20	2.40	2.45	

- 最小値と最大値は特性評価のみでの値です。
- 特に記載のない限り、 $VDD = 2.4V$ による3.3V電源モードで動作しています。安定化電圧を2.4Vに設定し、27.12MHz水晶振動子をXTOとXTIに接続しています。
- レジスタ00h = 07h (MCU_CLKにクロック出力なし)、01h = 80h (3V電源モード)、他のレジスタはデフォルト状態です。
- レジスタ00h = 07h (MCU_CLKにクロック出力なし)、01h = 80h (3V電源モード)、02h = 03h (外部フィールド検出器有効)、03h = E8h (NFCターゲット・モード有効)、他のレジスタはデフォルト状態です。
- レジスタ00h = 07h (MCU_CLKにクロック出力なし)、01h = 80h (3V電源モード)、02h = 04h (ウェイクアップ・モード有効)、32h = 08h (100msタイムアウト、すべてのタイムアウトごとにIRQ)、他のレジスタはデフォルト状態です。
- レジスタ00h = 07h (MCU_CLKにクロック出力なし)、01h = 80h (3V電源モード)、テスト・レジスタ02h = 0Eh ($t_{d\alpha n} < 3:0 > = 0Eh$ 、CSアナログ・テスト・モード14)、他のレジスタはデフォルト状態です。
- レジスタ00h = 07h (MCU_CLKにクロック出力なし)、01h = C0h (3V電源モード、 VDD_D レギュレータ無効)、02h = 80h ($en = 1$)、2Ch = A8h (2.4Vレギュレータ)、他のレジスタはデフォルト状態です。 VDD_A と VDD_D を短絡しています。
- レジスタ00h = 07h (MCU_CLKにクロック出力なし)、01h = C0h (3V電源モード、 VDD_D レギュレータ無効)、02h = C8h (受信有効、送信有効)、28h = 7Fh (RFOセグメント無効)、2Ch = A8h (2.4Vレギュレータ)、他のレジスタはデフォルト状態です。 VDD_A と VDD_D を短絡しています。
- レジスタ00h = 07h (MCU_CLKにクロック出力なし)、01h = C0h (3V電源モード、 VDD_D レギュレータ無効)、02h = C8h (受信有効、送信有効)、03h = 14h (AM変調)、28h = 7Fh (RFOセグメント無効)、2Ch = A8h (2.4Vレギュレータ)、他のレジスタはデフォルト状態です。 VDD_A と VDD_D を短絡しています。
- レジスタ00h = 07h (MCU_CLKにクロック出力なし)、01h = C0h (3V電源モード、 VDD_D レギュレータ無効)、02h = E8h (受信有効、1つの受信チャネル有効、送信有効)、28h = 7Fh (RFOセグメント無効)、2Ch = A8h (2.4Vレギュレータ)、他のレジスタはデフォルト状態です。 VDD_A と VDD_D を短絡しています。
- $f_{SUB}=848kHz$ 、ピーク検出器入力ステージを選択したAMチャネル

5.5 SPIインターフェースの特性

表 124. SPIの特性 (5MHz)⁽¹⁾

動作	記号	パラメータ	条件	最小値	標準値	最大値	単位
一般	T _{SCLK}	SCLK周期	$T_{SCLK} = T_{SCLKL} + T_{SCLKH}$	-	200	-	ns
	T _{SCLKL}	SCLK Low	-	95	-	-	
	T _{SCLKH}	SCLK High	-	95	-	-	
	T _{SSH}	SPIリセット (BSS High)	-	100	-	-	
	T _{NCNL}	BSSの立下がりからSCLKの立上がりまで	最初のSCLKパルス	25	-	-	
	T _{NCNH}	SCLKの立下がりからBSSの立上がりまで	最後のSCLKパルス	25	-	-	
	T _{DIS}	データ入力セットアップ時間	-	10	-	-	
	T _{DIH}	データ入力ホールド時間	-	10	-	-	
読み出し	T _{DOD}	データ出力遅延	$C_{load} \leq 50\text{pF}$, $V_{DD_IO} = 1.65\text{V} \sim 3.0\text{V}$	-	80	95	ns
			$C_{load} \leq 50\text{pF}$, $V_{DD_IO} = 3.0\text{V} \sim 5.5\text{V}$	-	-	70	
	T _{DOHZ}	データ出力からHi-Zまでの遅延	$C_{load} \leq 50\text{pF}$	-	20	-	

1. 特性評価のみ。

表 125. SPIの特性 (5MHz < 1/T_{SCLK} < 10MHz)⁽¹⁾

動作	記号	パラメータ	条件	最小値	標準値	最大値	単位
一般	T _{SCLK}	SCLK周期	$T_{SCLK} = T_{SCLKL} + T_{SCLKH}$	100	-	-	ns
	T _{SCLKL}	SCLK Low	-	40	-	-	
	T _{SCLKH}	SCLK High	-	40	-	-	
	T _{SSH}	SPIリセット (BSS High)	-	100	-	-	
	T _{NCNL}	BSSの立下がりからSCLKの立上がりまで	最初のSCLKパルス	25	-	-	
	T _{NCNH}	SCLKの立下がりからBSSの立上がりまで	最後のSCLKパルス	25	-	-	
	T _{DIS}	データ入力セットアップ時間	-	10	-	-	
	T _{DIH}	データ入力ホールド時間	-	10	-	-	
読み出し	T _{DOD}	データ出力遅延	$C_{load} \leq 50\text{pF}$	-	55	70	ns
	T _{DOHZ}	データ出力からHi-Zまでの遅延	$C_{load} \leq 50\text{pF}$	-	20	-	

1. 特性評価のみ。

参考資料

図 30. SPIタイミング・チャート - 一般的な動作

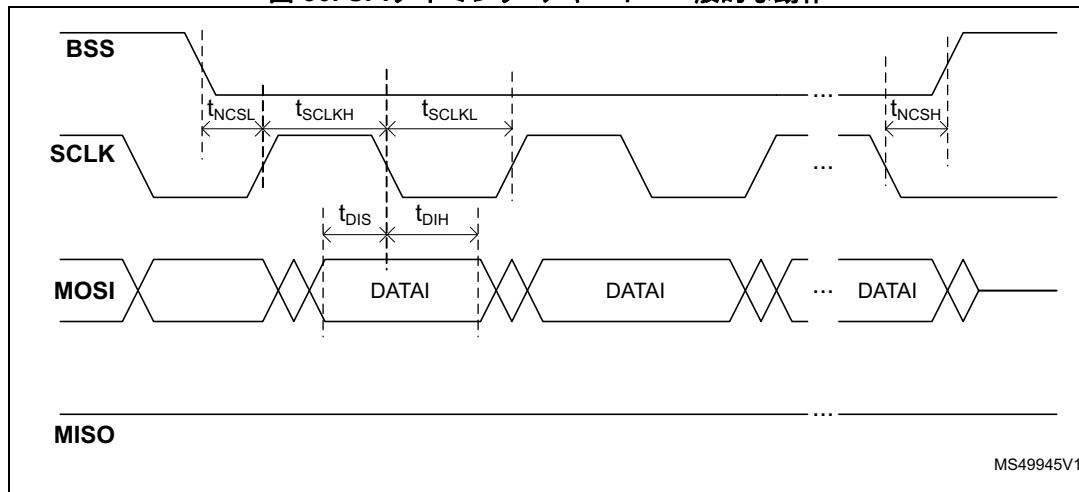
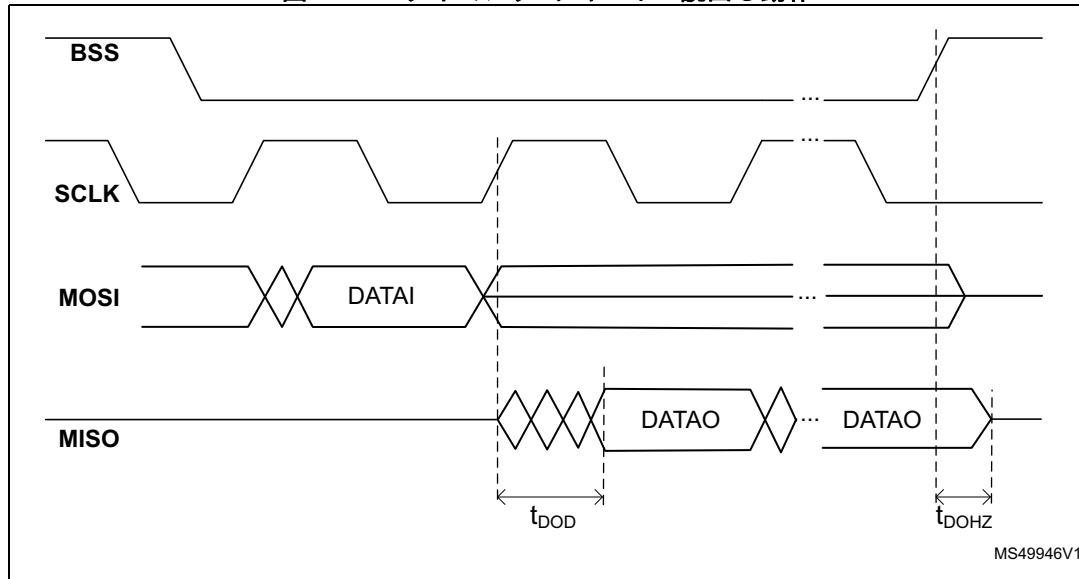


図 31. SPIタイミング・チャート - 読出し動作



参考資料

5.6 I²Cインターフェースの特性

タイミングはI²Cプロトコルに準拠しています。最大3.4MHz動作のドライバを使用しています。

100kHz / 400kHz / 1MHzモードから3.4MHzモード（ハイスピード・モード）への遷移は、I²C仕様に従い、マスタ・コード00001XXXで実行します。

表 126. AC測定条件

記号	パラメータ	最小値	最大値	単位
C _{BUS}	負荷容量	100		pF
-	SCL入力の立上がり/立下がり時間、SDA入力の立下がり時間	-	50	ns

表 127. AC測定条件 - I²Cコンフィギュレーション

モード	速度	設定
S	100kHz	i2c_thd = 00b、io_drv_lvl = 1b
F	400kHz	i2c_thd = 01b、io_drv_lvl = 1b
F+	1000kHz	i2c_thd = 11b、io_drv_lvl = 1b
HS	3400kHz	i2c_thd = 11b、io_drv_lvl = 1b

表 128. 入力パラメータ⁽¹⁾

記号	パラメータ	条件	最小値	最大値	単位
C _{IN}	入力容量 (SDA)	-	-	15	pF
	入力容量 (SCL)	-	-	15	

1. 特性評価のみ。

表 129. DC特性⁽¹⁾

記号	パラメータ	条件(表 126と表 127の条件と併せて適用する条件)	最小値	最大値	単位
I _{LI}	入力リード電流 (SCL、SDA)	V _{IN} = V _{SS} またはV _{CC} 、デバイスはスタンバイ・モード	-	±10	μA
I _{LO}	出力リード電流	SDAをHi-Zにして以下の外部電圧をSDAに印加V _{SS} またはV _{CC}	-	±10	
V _{IL}	Low レベル入力電圧 (SDA、SCL)	-	-0.4	0.2V _{DD_IO}	V
V _{IH}	High レベル入力電圧 (SDA、SCL)	-	0.8V _{DD_IO}	V _{DD_IO} + 0.4	
V _{OL}	Low レベル出力電圧	V _{DD_IO} = 1.65V、I _{OL} = 1.0 mA	-	0.1V _{DD_IO}	
		V _{DD_IO} = 2.4V、I _{OL} = 2.1 mA	-	0.1V _{DD_IO}	
		V _{DD_IO} = 3.3V、I _{OL} = 8mA	-	0.1V _{DD_IO}	
		V _{DD_IO} = 5.5V、I _{OL} = 8mA	-	0.1V _{DD_IO}	

1. 特性評価のみ。

参考資料

表 130. 100kHzのAC特性⁽¹⁾

記号	代替記号	パラメータ	最小値	最大値	単位
f_C	f_{SCL}	クロック周波数	-	100	kHz
t_{CHCL}	t_{HIGH}	Highクロック・パルス幅	4000	-	
t_{CLCH}	t_{LOW}	Lowクロック・パルス幅	4700	-	
t_{QL1QL2}	t_F	SDA（出力）立下がり時間	-	300	
t_{DXCH}	$t_{SU:DAT}$	データ入力セットアップ時間	250	-	
t_{CLDX}	$t_{HD:DAT}$	データ入力ホールド時間	5000	-	
t_{CLQX}	t_{DH}	データ出力ホールド時間	50	-	
t_{CLQV}	t_{AA}	クロックのLow遷移から次の有効データまで（アクセス時間）	-	3450	
t_{CHDL}	$t_{SU:STA}$	START条件セットアップ時間	4700	-	
t_{DLCL}	$t_{HD:STA}$	START条件ホールド時間	4000	-	
t_{CHDH}	$t_{SU:STO}$	STOP条件セットアップ時間	4000	-	
t_{DHDL}	t_{BUF}	STOP条件から次のSTART条件までの時間	4700	-	
$t_{NS}^{(2)}$	-	パルス幅を無視した（SCLおよびSDAに入力フィルタ）、単一のグリッチ	-	40	

1. 条件（表 126と表 127の規定に追加）

2. 参考特性。

表 131. 400kHzのAC特性⁽¹⁾⁽²⁾

記号	代替記号	パラメータ	最小値	最大値	単位
f_C	f_{SCL}	クロック周波数	-	400	kHz
t_{CHCL}	t_{HIGH}	Highクロック・パルス幅	600	-	
t_{CLCH}	t_{LOW}	Lowクロック・パルス幅	1300	-	
t_{QL1QL2}	t_F	SDA（出力）立下がり時間	-	300	
t_{DXCH}	$t_{SU:DAT}$	データ入力セットアップ時間	100	-	
t_{CLDX}	$t_{HD:DAT}$	データ入力ホールド時間	0	-	
t_{CLQX}	t_{DH}	データ出力ホールド時間	50	-	
t_{CLQV}	t_{AA}	クロックのLow遷移から次の有効データまで（アクセス時間）	-	900	
t_{CHDL}	$t_{SU:STA}$	START条件セットアップ時間	600	-	
t_{DLCL}	$t_{HD:STA}$	START条件ホールド時間	600	-	
t_{CHDH}	$t_{SU:STO}$	STOP条件セットアップ時間	600	-	
t_{DHDL}	t_{BUF}	STOP条件から次のSTART条件までの時間	1300	-	
t_{NS}	-	パルス幅を無視した（SCLおよびSDAに入力フィルタ）、単一のグリッチ	-	40	

1. 条件（表 126と表 127の規定に追加）

2. 特性評価のみ。

参考資料

表 132. 1MHzのAC特性⁽¹⁾⁽²⁾

記号	代替記号	パラメータ	最小値	最大値	単位
f_C	f_{SCL}	クロック周波数	-	1	MHz
t_{CHCL}	t_{HIGH}	Highクロック・パルス幅	260	-	
t_{CLCH}	t_{LOW}	Lowクロック・パルス幅	500	-	
t_{QL1QL2}	t_F	SDA（出力）立下がり時間	-	120	
t_{DXCH}	$t_{SU;DAT}$	データ入力セットアップ時間	50	-	
t_{CLDX}	$t_{HD;DAT}$	データ入力ホールド時間	0	-	
t_{CLQX}	t_{DH}	データ出力ホールド時間	50	-	
t_{CLQV}	t_{AA}	クロックのLow遷移から次の有効データまで（アクセス時間）	-	450	
t_{CHDL}	$t_{SU;STA}$	START条件セットアップ時間	250	-	
t_{DLCL}	$t_{HD;STA}$	START条件ホールド時間	250	-	
t_{CHDH}	$t_{SU;STO}$	STOP条件セットアップ時間	250	-	
t_{DHDL}	t_{BUF}	STOP条件から次のSTART条件までの時間	500	-	
t_{NS}	-	パルス幅を無視した（SCLおよびSDAに入力フィルタ）、単一のグリッチ	-	40	

1. 条件（表 126と表 127の規定に追加）

2. 特性評価のみ。

表 133. 3.4MHzのAC特性⁽¹⁾⁽²⁾

記号	代替記号	パラメータ	最小値	最大値	単位
f_C	f_{SCL}	クロック周波数	-	3.4	MHz
t_{CHCL}	t_{HIGH}	Highクロック・パルス幅	80	-	
t_{CLCH}	t_{LOW}	Lowクロック・パルス幅	160	-	
t_{QL1QL2}	t_F	SDA（出力）立下がり時間（10pF ~ 100pF）	-	100	
t_{DXCH}	$t_{SU;DAT}$	データ入力セットアップ時間	25	-	
t_{CLDX}	$t_{HD;DAT}$	データ入力ホールド時間	0	-	
t_{CLQX}	t_{DH}	データ出力ホールド時間	20	-	
t_{CLQV}	t_{AA}	クロックLow遷移から次の有効データまで（アクセス時間）、 $V_{DD} \geq 3.3V$	-	110	
		クロックLow遷移から次の有効データまで（アクセス時間）、 $V_{DD} < 3.3V$	-	160	
t_{CHDL}	$t_{SU;STA}$	START条件セットアップ時間	160	-	
t_{DLCL}	$t_{HD;STA}$	START条件ホールド時間	160	-	
t_{CHDH}	$t_{SU;STO}$	STOP条件セットアップ時間	160	-	
t_{NS}	-	パルス幅を無視した（SCLおよびSDAに入力フィルタ）、単一のグリッチ	-	10	

1. 条件（表 126と表 127の規定に追加）

2. 参考特性。

参考資料

図 32. I²CのAC波形

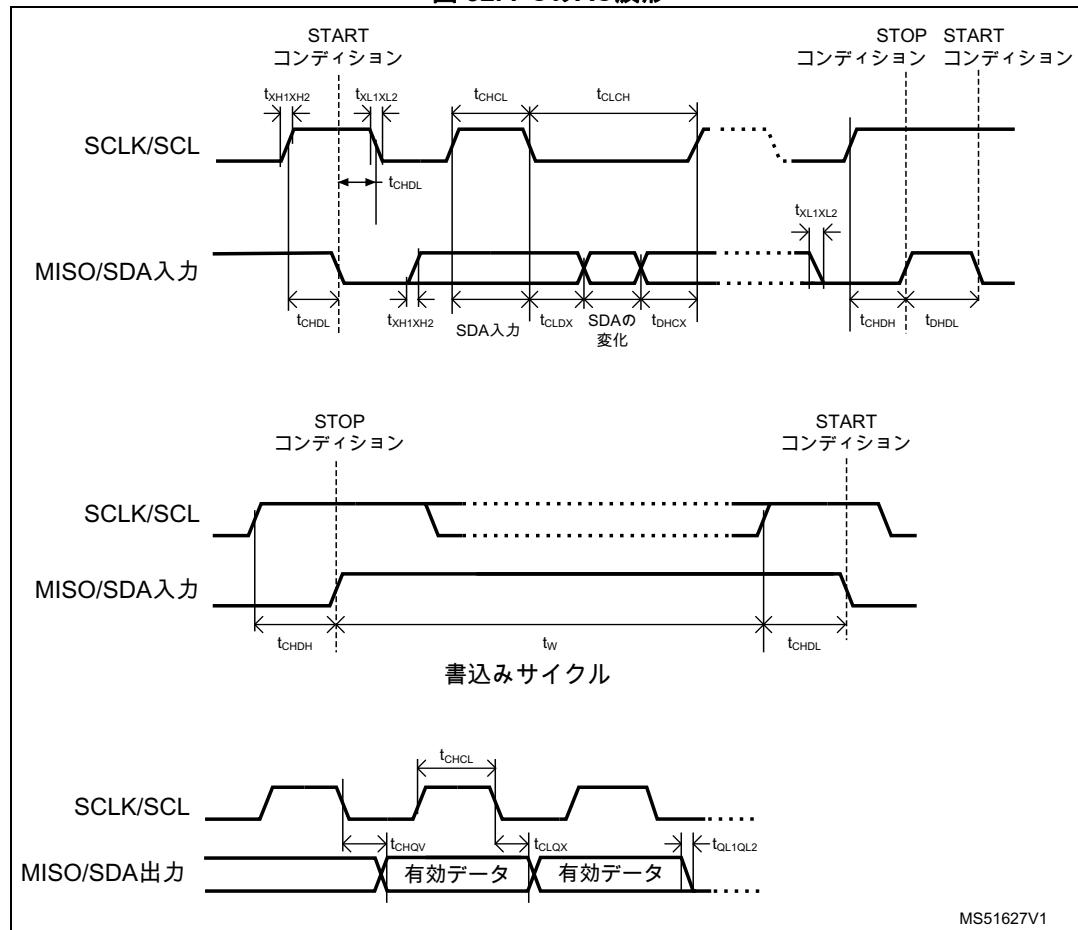


図 33. I²CのAC測定



6 パッケージ情報

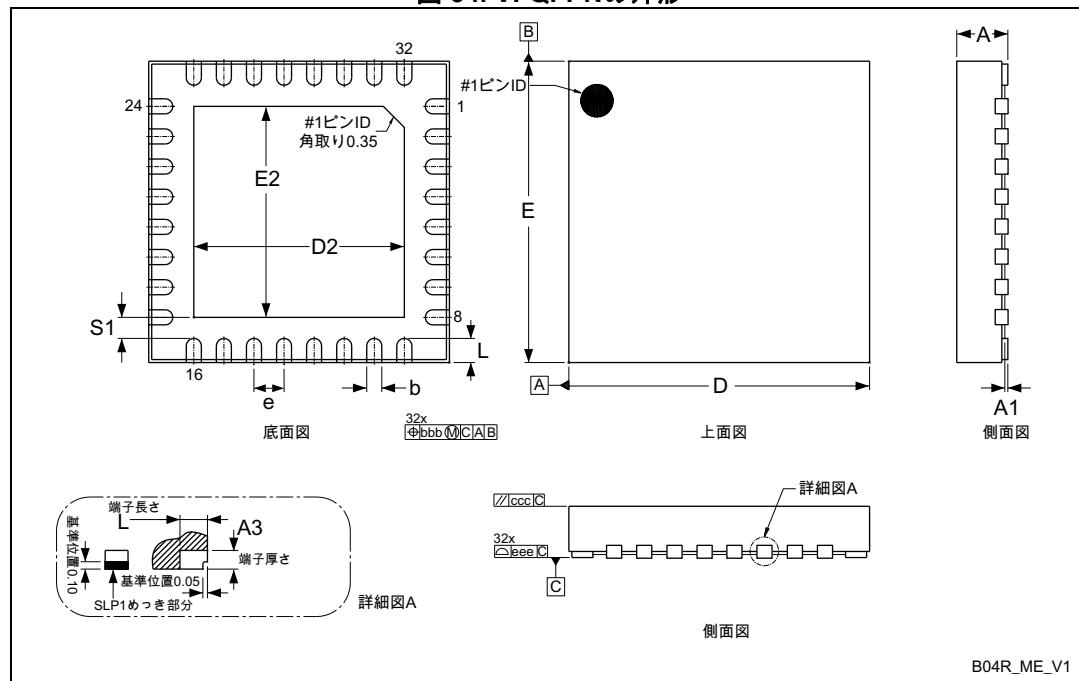
STでは、環境要件を満たすために、環境適合性のレベルに合わせた各種グレードのECOPACKパッケージを提供しています。ECOPACKの仕様とグレードの定義、製品状況はwww.st.comから入手可能です。

ECOPACKはSTの商標です。

6.1 VFQFPN-32パッケージ情報

VFQFPNは、32ピン、5x5 mm、0.5mmピッチの超薄型ファイン・ピッチ・カワッド・フラット・リードレス・パッケージです。

図 34. VFQFPNの外形



1. 図の縮尺は正確ではありません。
2. 平坦度は端子だけではなく、露出パッドにも適用されます。

表 134. VFQFPNの寸法データ

記号	ミリメートル			インチ ⁽¹⁾		
	最小値	標準値	最大値	最小値	標準値	最大値
A	0.800	0.900	1.000	0.0315	0.0354	0.0394
A1	0	-	0.050	0	-	0.0020
A3	0.200			0.0079		
L	0.300	0.400	0.500	0.0118	0.0157	0.0197
b	0.180	0.250	0.300	0.0071	0.0098	0.0118

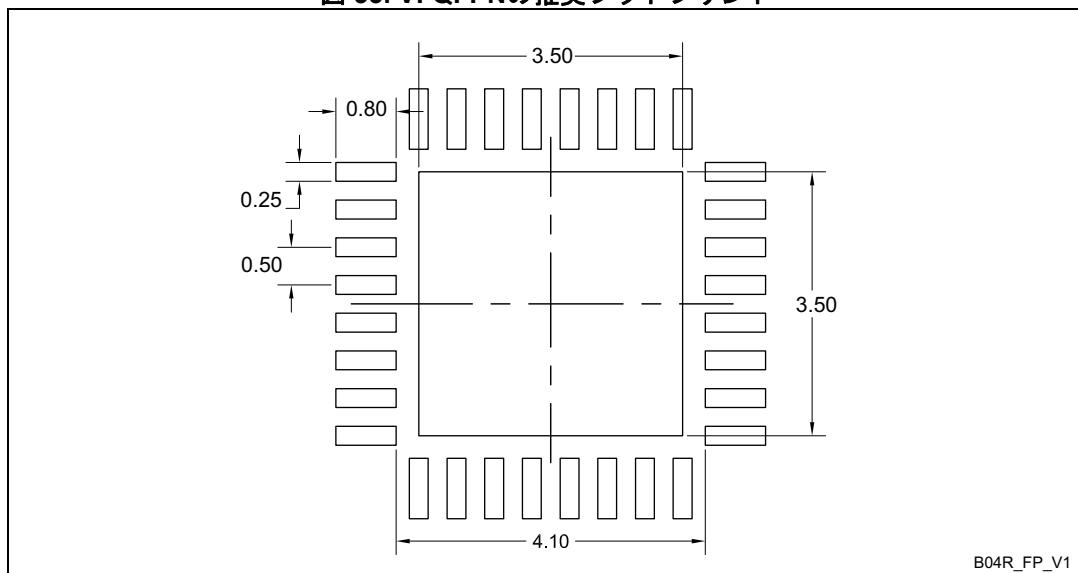
参考資料

表 134. VFQFPNの寸法データ (続き)

記号	ミリメートル			インチ ⁽¹⁾		
	最小値	標準値	最大値	最小値	標準値	最大値
D	5.000			0.1969		
D2	3.400	3.500	3.600	0.1339	0.1378	0.1417
E	5.000			0.1969		
E2	3.400	3.500	3.600	0.1339	0.1378	0.1417
e	0.500			0.0197		
S1	0.350			0.0138		
bbb	-	0.100	-	-	0.0039	-
ccc	-	0.100	-	-	0.0039	-
eee	-	0.080	-	-	0.0031	-

1. インチの値はmmから換算し、小数点以下第4位までの概数としています。

図 35. VFQFPNの推奨フットプリント

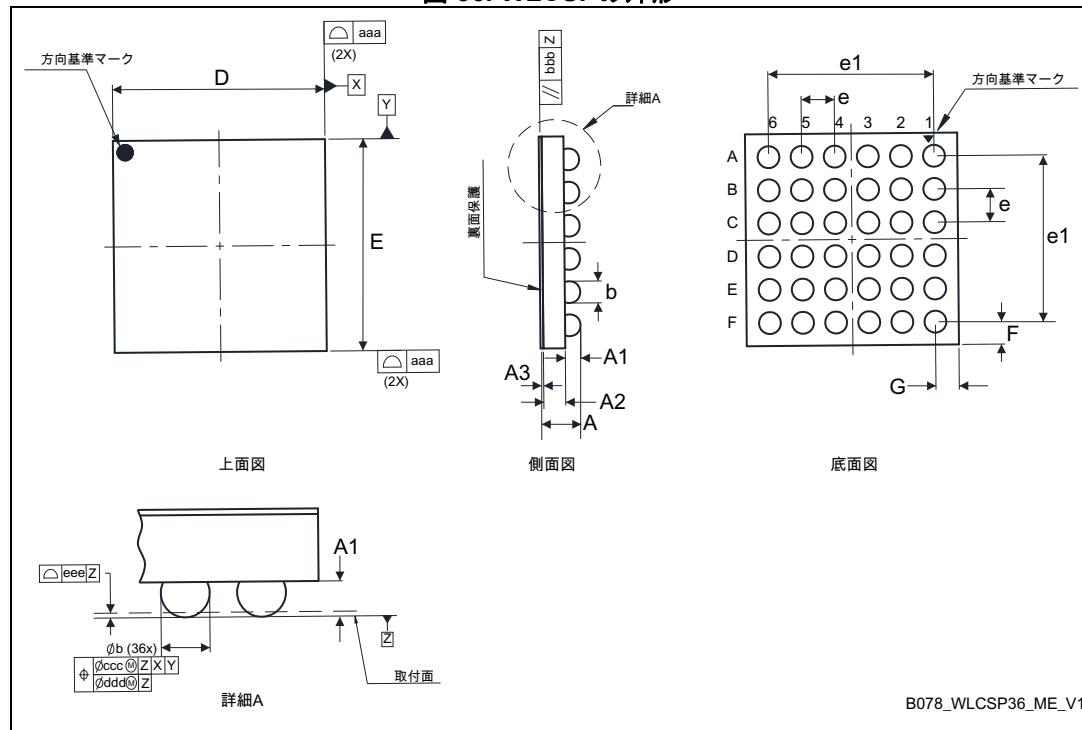


1. 寸法はミリメートル単位です。

6.2 WLCSP36パッケージ情報

WLCSPは、36ポール、3.213x3.203 mm、0.5 mmピッチのウェハ・レベル・チップ・スケール・パッケージです。

図 36. WLCSPの外形



1. 図の縮尺は正確ではありません。
2. 寸法はプライマリ・データムZと平行な最大バンプ径の測定値です。
3. プライマリ・データムZと取り付け面はバンプ球面の頂点で決まります。
4. バンプ位置の指定はJESD 95-1のSPP-010によります。

表 135. WLCSPの寸法データ

記号	ミリメートル			インチ ⁽¹⁾		
	最小値	標準値	最大値	最小値	標準値	最大値
A	0.550	0.590	0.630	0.0217	0.0232	0.0248
A1	-	0.235	-	-	0.0093	-
A2	-	0.330	-	-	0.013	-
A3 ⁽²⁾	-	0.025	-	-	0.001	-
b	-	0.330	-	-	0.013	-
D	3.193	3.213	3.233	0.1257	0.1265	0.1273
E	3.183	3.203	3.223	0.1253	0.1261	0.1269
e	-	0.500	-	-	0.0197	-
e1	-	2.500	-	-	0.0984	-
F	-	0.347	-	-	0.0137	-

参考資料

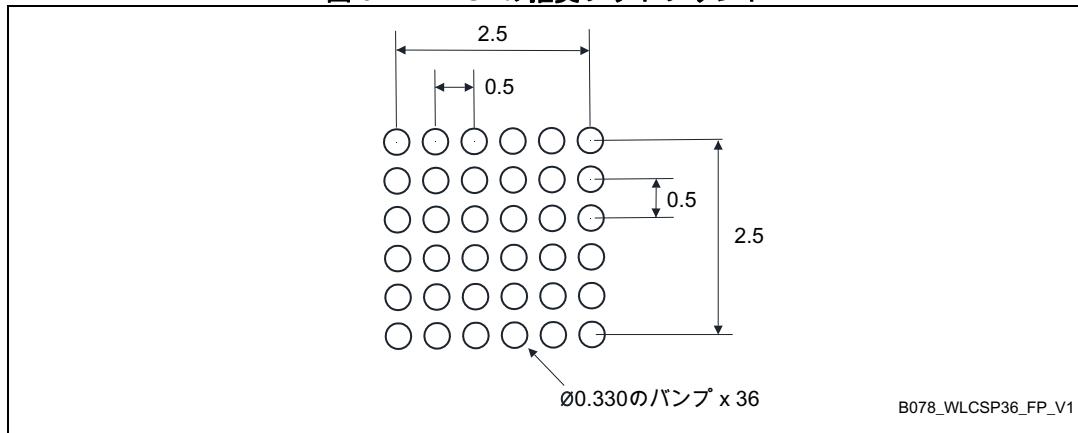
表 135. WLCSPの寸法データ（続き）

記号	ミリメートル			インチ ⁽¹⁾		
	最小値	標準値	最大値	最小値	標準値	最大値
G	-	0.352	-	-	0.0139	-
aaa	-	0.100	-	-	0.0039	-
bbb	-	0.100	-	-	0.0039	-
ccc	-	0.100	-	-	0.0039	-
ddd	-	0.050	-	-	0.002	-
eee	-	0.050	-	-	0.002	-

1. インチの値はmmから換算し、小数点以下第4位までの概数としています。

2. 裏面コーティング

図 37. WLCSPの推奨フットプリント



1. 寸法はミリメートル単位です。

7 発注情報

例:

ST25 R 3916 -A QW T

デバイス種別

ST25 = NFC/RFIDタグ & リーダ

製品種別

R = NFC/HFリーダ

製品機能

3916 = 高性能NFCユニバーサルデバイス & EMVCoリーダ

3917 = 高性能NFCフォーラム・リーダ

周囲温度範囲

A = -40°C ~ 105°C

B = -40°C ~ 85°C

パッケージ

QW = 32ピンVQFPN (5 x 5 mm)、ウェッタブル・フランク装備

WL = WLCSP

テーピングとリール

T = 4000個/リール

注:

「ES」および「E」のマークがある部品、またはエンジニアリング・サンプル通知文書が添付されている部品は、認定が完了していないので量産での使用が承認されていません。STは、その使用に起因するいかなる結果についても責任を負いません。これらのエンジニアリング・サンプルを量産に使用されているお客様に、STはいかなる場合も責任を負いません。これらのエンジニアリング・サンプルを認定の目的で使用する判断を下す前に、STの品質保証部門までお問い合わせください。

8

改版履歴

表 136. 文書改版履歴

日付	版	変更内容
2019年1月30日	1	初版発行
2019年12月5日	2	<p>ST25R3917を導入。これに伴い図 5: ST25R3917 QFN32ピン配置(上面図)、表 1: 機能一覧、表 3: ST25R3917 - VFQFPN32のピン割当てを追加。</p> <p>表紙の画像、図 3: ST25R3916/7のブロック図、図 6: ST25R3916 WLCSP36ピン配置(上面図)、図 17: SPI通信: FIFOの読み出し、図 26: レジスタ空間Bにアクセスする読み出しモードおよび書き込みモード、図 27: I²Cマスタによる先頭バイト直後のスレーブ読み出しを更新。</p> <p>機能、セクション 2: 概要、セクション 4.3.4: I²C インタフェース、セクション 4.5.23: 応答なしタイマ・レジスタ2、セクション 4.5.46: アンテナ・チューニング・コントロール・レジスタ1、セクション 4.5.47: アンテナ・チューニング・コントロール・レジスタ2、セクション 7: 発注情報を更新。</p> <p>表 11: SPIの動作モード、表 13: ダイレクト・コマンド一覧、表 18: レジスター一覧 - 空間B、表 24: ターゲット動作モード、表 20: IOコンフィギュレーション・レジスタ2、表 21: 動作コントロール・レジスタ、表 40: レシーバ・コンフィギュレーション・レジスタ1、表 68: コリジョン表示レジスタ、表 90: レギュレータ電圧コントロール・レジスタ、表 102: アンダーシュート保護コンフィギュレーション・レジスタ2、表 118: 絶対最大定格、表 119: 動作条件、表 120: CMOS I/Oの特性、表 121: ST25R3916/7の電気的特性 (VDD = 3.3V)、表 122: ST25R3916/7の電気的特性 (VDD = 5.5V)、表 123: ST25R3916/7の電気的特性 (VDD = 2.4V)、表 124: SPIの特性 (5MHz)、表 125: SPIの特性 (5MHz < 1/TSCLK < 10MHz)、表 129: DC特性、表 130: 100kHzのAC特性、表 132: 1MHzのAC特性、表 133: 3.4MHzのAC特性、表 135: WLCSPの寸法データを更新。</p> <p>セクション 4.1: 電源投入シーケンス、セクション 4.2: 動作モードおよびそのサブセクション、セクション 4.3.1: 割り込みのインターフェース、セクション 4.3.4: I²C インタフェース、セクション 4.4.17: Test Access (テスト・アクセス)、セクション 6.2: WLCSP36パッケージ情報を追加。</p> <p>図 33: I²CのAC測定を追加。</p> <p>以前の表114: CMOS I/Oの特性 (VDD = 2.4V ~ 5.5V、特性評価のみ)、表116: SPIの特性 (VDD = 2.4V ~ 5.5V、VDD_IO = 3.3V)、表127: 1MHzのAC特性 (VDD = 2.4V ~ 5.5V、VDD_IO = 1.65V)、表129: 3.4 MHzのAC特性 (VDD = 2.4V ~ 5.5V、VDD_IO = 1.65V) を削除。</p> <p>文書全体に軽微な編集を適用。</p>

表 137. 日本語版文書改版履歴

日付	版	変更内容
2020年6月1日	1	日本語版 初版発行

参考資料

ST25R3916/7

重要なお知らせ（よくお読み下さい）

STMicroelectronics NV およびその子会社（以下、ST）は、ST製品及び本書の内容をいつでも予告なく変更、修正、改善、改定及び改良する権利を留保します。購入される方は、発注前にST製品に関する最新の関連情報を必ず入手してください。ST 製品は、注文請求書発行時点での有効なST の販売条件に従って販売されます。

ST製品の選択並びに使用については購入される方が全ての責任を負うものとします。購入される方の製品上の操作や設計に関してST は一切の責任を負いません。

明示又は默示を問わず、STは本書においていかなる知的財産権の実施権も許諾致しません。

本書で説明されている情報とは異なる条件でST 製品が再販された場合、その製品についてSTが与えたいかなる保証も無効となります。

ST およびST ロゴはSTMicroelectronics の商標です。その他の製品またはサービスの名称は、それぞれの所有者に帰属します。

本書の情報は本書の以前のバージョンで提供された全ての情報に優先し、これに代わるものです。

この資料は、STMicroelectronics NV 並びにその子会社(以下ST)が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一部として頂くためにSTマイクロエレクトロニクス(株)が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST及びSTマイクロエレクトロニクス(株)は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

© 2020 STMicroelectronics - All rights reserved

