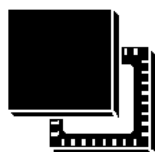


EPC Class1 Gen2準拠UHF RFIDリーダライタ

データシート

**QFN48**

機能

- 電源電圧範囲 3.0 ~ 3.6 V
 - 2.7 Vまで制限された動作が可能
 - 最大PA電源電圧 4.3 V
 - ペリフェラルI/O電源範囲 1.65 ~ 5.5 V
- 以下のプロトコルに対応:
 - ISO 18000-6C (EPC Class1 Gen2)
 - ISO 29143 (モバイルRFIDエア・インタフェース)
 - ダイレクト・モードによるISO 18000-6A/B
- DRM: M4とM8に対して250 kHzフィルタと320 kHzフィルタ
- 電源レギュレータ内蔵
- 周波数ホッピング対応
- ASKまたはPR-ASK変調
- 自動I/Q選択
- 8ビット・リニアRSSIを用いたタグ・トラッキング用位相ビット
- 温度範囲: -40 ~ 85°C
- 48ピンQFN (7 x 7 x 0.9 mm) パッケージ

説明

ST25RU3993は、ISO 18000-6C、モバイルRFIDインタロゲータ用ISO 29143エア・インタフェース・プロトコル、ダイレクト・モード動作のためのISO 18000-6A/Bを含む、すべての関連プロトコルが実装されたEPC Class 1 Gen 2 RFIDリーダライタICです。オンチップVCOとパワー・アンプを内蔵しており、密集リーダ・モード (DRM) 機能を含むRFID機能一式を備えています。また、周波数ホッピング、低レベル送信コーディング、低レベル・デコード、データ・フレーミング、CRCチェックに対応しています。

ST25RU3993は非常に低い消費電力で動作しますので、携帯電話のようなポータブルのバッテリー駆動機器に最適です。

7 x 7 mm QFNパッケージのST25RU3993は、非常に高感度でありながら、アンテナ反射効果と自己妨害に対する高い耐性を備えています。コストやサイズの制約によりアンテナ設計に妥協を強いられることの多いモバイル用途や組み込み用途では、このことは非常に重要です。高感度であるために、最終製品が簡単で安価なアンテナを用いても所定の読み取り範囲を得ることが可能となり、システム・コスト全体が押さえられます。

高度な集積化により、ST25RU3993に8ビット・マイクロコントローラを外付けするだけで、完全なRFIDリーダ・システムを構築できますので、複雑なRFIDコプロセッサは必要ありません。

目次

1	説明	10
1.1	ブロック図	10
2	機能概要	11
2.1	電源	13
2.1.1	メイン・レギュレータ	13
2.1.2	内部 PA 電源レギュレータ	13
2.1.3	ペリフェラル通信電源	13
2.1.4	自動電源レベル設定	13
2.1.5	電源モード	14
2.2	ホスト通信	15
2.2.1	レジスタへの書込み	17
2.2.2	レジスタからの読込み	18
2.2.3	ダイレクト・コマンド	19
2.2.4	SPI インタフェース・タイミング	23
2.2.5	CLSYS 出力	25
2.2.6	IO 信号レベルと出力特性	25
2.2.7	OAD、OAD2 出力	26
2.3	PLL/VCO 部	26
2.3.1	電圧制御発振器	27
2.3.2	PLL プリスケアラと主分周器	27
2.3.3	PLL 基準周波数	28
2.3.4	基準周波数源	28
2.3.5	位相周波数検出器とチャージ・ポンプ	28
2.3.6	ループ・フィルタ	28
2.3.7	周波数ホッピング・コマンド	28
2.3.8	PLL の始動と周波数ホッピング	29
2.4	デバイス・ステータス・コントロール	29
2.5	プロトコル・コントロール	29
2.6	送信部	30
2.6.1	Tx データ処理とコーディング	30
2.6.2	Tx 整形回路	30
2.6.3	局部発振器 (LO) 経路	31
2.6.4	モジュレータ	31

2.7	Tx 出力	32
2.8	Tx 動作モード	32
2.8.1	TX ノーマル・モード	32
2.8.2	TX ダイレクト・モード	34
2.9	レシーバ	34
2.9.1	入力ミキサ	35
2.9.2	局部発振器経路	36
2.9.3	高速 AC 結合	36
2.9.4	Rx フィルタ	37
2.9.5	IQ 選択	40
2.9.6	ビット・デコーダ	40
2.9.7	データ・フレーマ	40
2.10	データ受信モード	40
2.10.1	Rx ノーマル・モード	40
2.10.2	Rx ダイレクト・モード	43
2.10.3	アンテナまたは指向性デバイスのチューニング支援モード	44
2.10.4	対数 RSSI	44
2.11	A/D コンバータ	44
2.11.1	外部 RF パワー検出器	44
2.11.2	反射波 RF 電力インジケータ	44
2.11.3	電源電圧測定	45
2.11.4	サブキャリア位相ビット付きリニア RSSI	45
2.11.5	内部信号レベル検出器	45
2.12	インテロゲータ・コリジョン防止対応	46
3	レジスタの説明	47
3.1	メイン・コントロール・レジスタ	48
3.1.1	デバイス・ステータス・コントロール・レジスタ	49
3.1.2	プロトコル選択レジスタ	49
3.2	コンフィギュレーション・レジスタ	50
3.2.1	Tx オプション・レジスタ	50
3.2.2	Rx オプション・レジスタ	50
3.2.3	TRcal ハイ・レジスタ	51
3.2.4	TRcal ロー・レジスタ	51
3.2.5	AutoACK 待ち時間レジスタ	52
3.2.6	Rx 応答なし時間レジスタ	52

3.2.7	Rx 待ち時間レジスタ	53
3.2.8	Rx フィルタ設定レジスタ	53
3.2.9	Rx ミキサ / ゲインレジスタ	54
3.2.10	レギュレータ / PA パイアス・レジスタ	55
3.2.11	RF 出力 / LO コントロール・レジスタ	56
3.2.12	補助レジスタ 1	56
3.2.13	補助レジスタ 2	57
3.2.14	測定コントロール・レジスタ	58
3.2.15	VCO コントロール・レジスタ	58
3.2.16	CP コントロール・レジスタ	59
3.2.17	モジュレータ・コントロール・レジスタ 1	60
3.2.18	モジュレータ・コントロール・レジスタ 2	60
3.2.19	モジュレータ・コントロール・レジスタ 3	61
3.2.20	モジュレータ・コントロール・レジスタ 4	62
3.2.21	PLL 主レジスタ 1	62
3.2.22	PLL 主レジスタ 2	63
3.2.23	PLL 主レジスタ 3	63
3.2.24	PLL 補助レジスタ 1	64
3.2.25	PLL 補助レジスタ 2	64
3.2.26	PLL 補助レジスタ 3	65
3.2.27	インテロゲータ・コリジョン検出 / IQ 選択設定レジスタ	65
3.2.28	エミッタ結合ミキサ・オプション・レジスタ	66
3.3	ステータス・レジスタ	67
3.3.1	ステータス読出しページ設定レジスタ	67
3.3.2	AGC/ 内部ステータス表示レジスタ	67
3.3.3	RSSI 表示レジスタ	68
3.3.4	AGL/VCO/F_CAL/PilotFreq ステータス表示レジスタ (r2Cpage[1:0] = 00)	68
3.3.5	AGL/VCO/F_CAL/PilotFreq ステータス・レジスタ (r2Cpage[1:0] = 01)	69
3.3.6	AGL/VCO/F_CAL/PilotFreq ステータス・レジスタ (r2Cpage[1:0] = 10)	69
3.3.7	ADC 読取り / レギュレータ設定表示レジスタ (r2Dpage[1:0] = 00)	70
3.3.8	ADC 読取り / レギュレータ設定表示レジスタ (r2Dpage[1:0] = 01)	70
3.3.9	コマンド・ステータス表示レジスタ	71
3.3.10	バージョン・レジスタ	71
3.4	割込みレジスタ	72
3.4.1	割込み有効化レジスタ 1	72
3.4.2	割込み有効化レジスタ 2	72
3.4.3	割込みレジスタ 1	73

3.4.4	割込みレジスタ 2	74
3.5	通信レジスタ	75
3.5.1	FIFO ステータス・レジスタ	75
3.5.2	Rx 長レジスタ 1	75
3.5.3	Rx 長レジスタ 2	76
3.5.4	Tx 設定レジスタ	76
3.5.5	Tx 長レジスタ 1	77
3.5.6	Tx 長レジスタ 2	77
3.5.7	FIFO I/O レジスタ	78
4	ピン配列とピン説明	79
5	電气的特性	82
5.1	絶対最大定格	82
5.2	動作条件	83
5.3	標準動作特性	86
6	パッケージ情報	87
6.1	QFN48 パッケージ情報	87
7	部品番号	89
8	改訂履歴	90

表の一覧

表 1.	電源モード概要	15
表 2.	シリアル・データ・インタフェース (SPI インタフェース) 信号ライン	15
表 3.	SPI データ・モード	16
表 4.	ダイレクト・コマンド一覧	19
表 5.	SPI タイミング・パラメータ	23
表 6.	ダイレクト・モードにおける I/O ピン再割り当て	34
表 7.	Rx フィルタ設定 (レジスタ 09h)	37
表 8.	対応リンクモードに対する推奨 Rx フィルタ設定	38
表 9.	レジスタ・マップ	47
表 10.	デバイス・ステータス・コントロール・レジスタ	49
表 11.	プロトコル選択レジスタ	49
表 12.	Tx オプション・レジスタ	50
表 13.	Rx オプション・レジスタ	50
表 14.	TRcal ハイ・レジスタ	51
表 15.	TRcal ロー・レジスタ	51
表 16.	AutoACK 待ち時間レジスタ	52
表 17.	Rx 応答なし時間レジスタ	52
表 18.	Rx 待ち時間レジスタ	53
表 19.	Rx フィルタ設定レジスタ	53
表 20.	Rx ミキサ/ゲインレジスタ	54
表 21.	レギュレータ /PA バイアス・レジスタ	55
表 22.	RF 出力 /LO コントロール・レジスタ	56
表 23.	補助レジスタ 1	56
表 24.	補助レジスタ 2	57
表 25.	測定コントロール・レジスタ	58
表 26.	VCO コントロール・レジスタ	58
表 27.	CP コントロール・レジスタ	59
表 28.	モジュレータ・コントロール・レジスタ 1	60
表 29.	モジュレータ・コントロール・レジスタ 2	60
表 30.	モジュレータ・コントロール・レジスタ 3	61
表 31.	モジュレータ・コントロール・レジスタ 4	62
表 32.	PLL 主レジスタ 1	62
表 33.	PLL 主レジスタ 2	63
表 34.	PLL 主レジスタ 3	63
表 35.	PLL 補助レジスタ 1	64
表 36.	PLL 補助レジスタ 2	64
表 37.	PLL 補助レジスタ 3	65
表 38.	インテロゲータ・コリジョン検出 /IQ 選択設定レジスタ	65
表 39.	エミッタ結合ミキサ・オプション・レジスタ	66
表 40.	ステータス読出しページ設定レジスタ	67
表 41.	AGC/ 内部ステータス表示レジスタ	67
表 42.	RSSI 表示レジスタ	68
表 43.	AGL/VCO/F_CAL/PilotFreq ステータス表示レジスタ (r2Cpage[1:0] = 00)	68
表 44.	AGL/VCO/F_CAL/PilotFreq ステータス・レジスタ (r2Cpage[1:0] = 01)	69
表 45.	AGL/VCO/F_CAL/PilotFreq ステータス・レジスタ (r2Cpage[1:0] = 10)	69
表 46.	ADC 読取り / レギュレータ設定表示レジスタ (r2Dpage[1:0] = 00)	70
表 47.	ADC 読取り / レギュレータ設定表示レジスタ (r2Dpage[1:0] = 01)	70
表 48.	コマンド・ステータス表示レジスタ	71
表 49.	バージョン・レジスタ	71

表 50.	割込み有効化レジスタ 1	72
表 51.	割込み有効化レジスタ 2	72
表 52.	割込みレジスタ 1	73
表 53.	割込みレジスタ 2	74
表 54.	FIFO ステータス・レジスタ	75
表 55.	Rx 長レジスタ 1	75
表 56.	Rx 長レジスタ 2	76
表 57.	Tx 設定レジスタ	76
表 58.	Tx 長レジスタ 1	77
表 59.	Tx 長レジスタ 2	77
表 60.	FIFO I/O レジスタ	78
表 61.	ST25RU3993 ピン定義	79
表 62.	電氣的パラメータ	82
表 63.	静電気放電	82
表 64.	連続消費電力	82
表 65.	温度範囲と保存条件	82
表 66.	動作条件	83
表 67.	差動ミキサ	84
表 68.	シングルエンド・ミキサ	84
表 69.	CMOS 入力（全 CMOS 入力に適用）	85
表 70.	CMOS 入力（全 CMOS 入力に適用）	85
表 71.	標準動作特性	86
表 72.	QFN48、7x7 mm、0.5 mm ピッチ、パッケージ機械的データ	88
表 73.	発注情報体系	89
表 74.	文書改訂履歴	90

図の一覧

図 1.	ST25RU3993 ブロック図	10
図 2.	基本 UHF リーダライタ・システム	11
図 3.	可能な SPI コンフィギュレーション	16
図 4.	単一バイト書込み	17
図 5.	アドレス自動インクリメントを使用したレジスタ書込み	17
図 6.	単一バイト読込み	18
図 7.	アドレス自動インクリメントを使用したレジスタからの読込み	18
図 8.	SPI 書込みタイミング	24
図 9.	SPI 読込みタイミング	25
図 10.	PLL/VCO 部	26
図 11.	送信部	30
図 12.	レシーバ部	35
図 13.	ST25RU3993 ピン配列	79
図 14.	QFN48、7x7 mm、0.5 mm ピッチ、パッケージ外形	87

1 説明

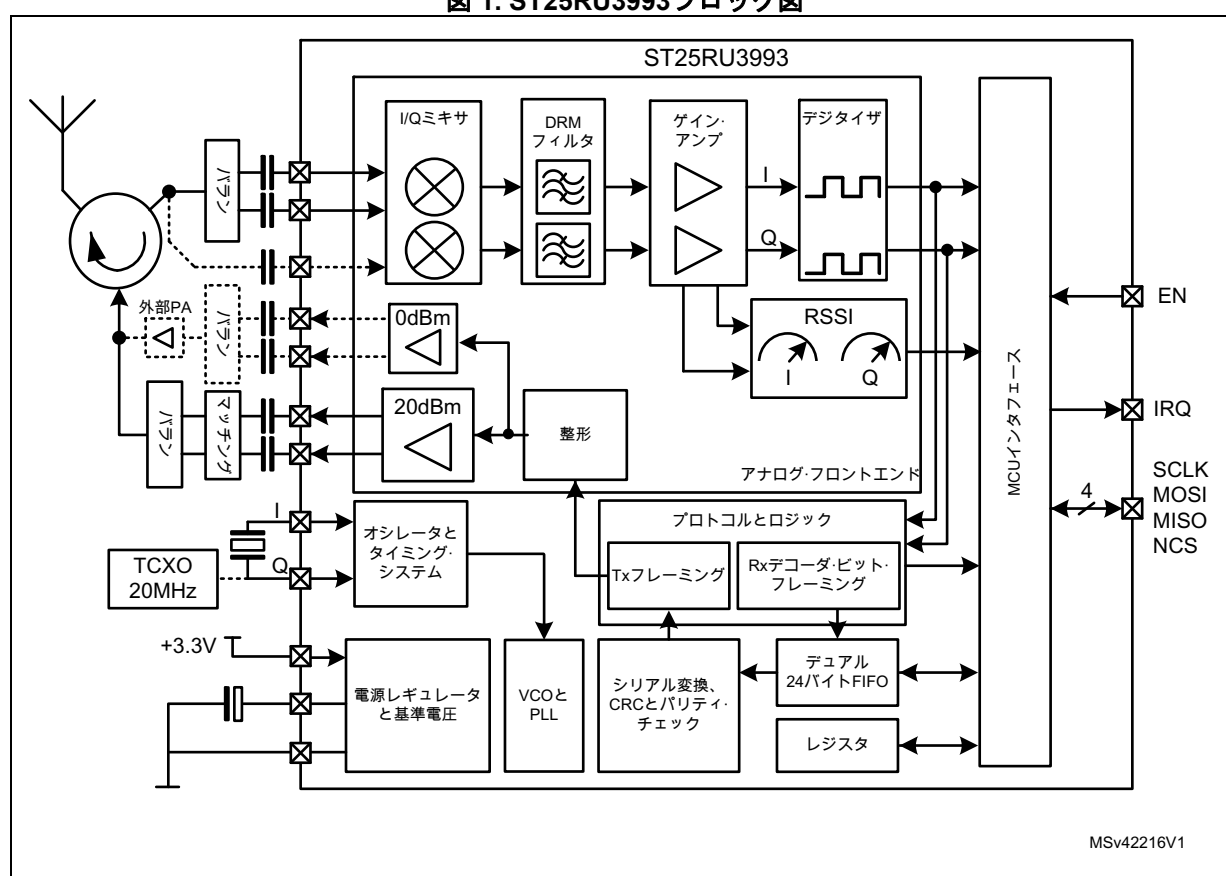
ST25RU3993デバイスは次の用途に最適です。

- 飲料販売機などコスト制約のあるコンシューマ/産業向け組込み用途
- ハンドヘルド・リーダライタ
- モバイルUHF RFIDリーダライタ
- バッテリ駆動の据え置き型リーダライタ

1.1 ブロック図

ブロック図を [図 1](#) に示します。

図 1. ST25RU3993 ブロック図

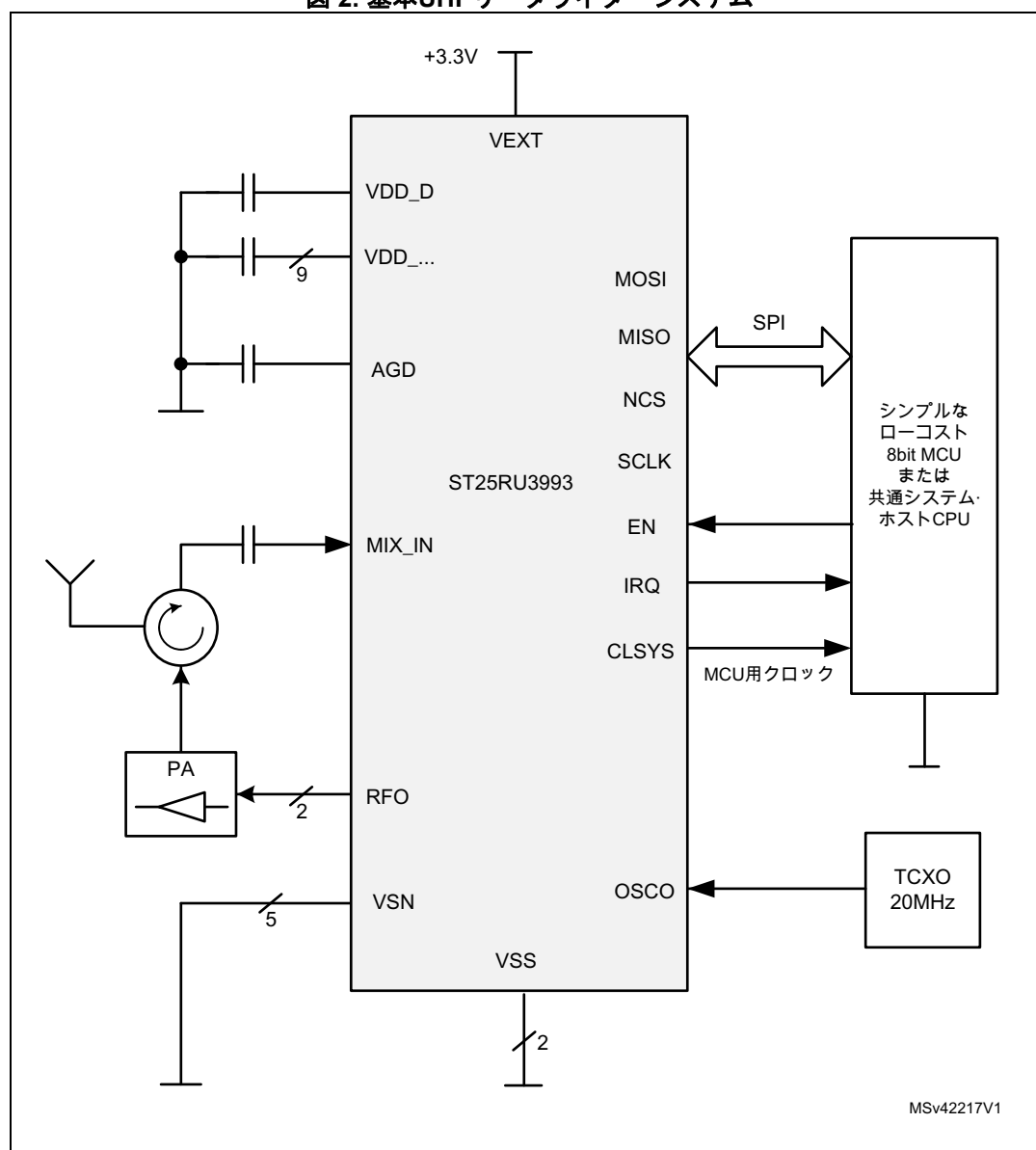


2 機能概要

ST25RU3993 UHFリーダライタ・デバイスには、UHF RFIDリーダライタ用のアナログ・フロントエンドとプロトコル処理システムが内蔵されています。このチップは3.3 V電源で動作しますので、低電圧の低消費電力用途に最適です。

ETSI地域とFCC地域において使用されているDRMリンク周波数（対応リンク・モードは [セクション 2.9.4: Rxフィルタ参照](#)）での動作に対応しています。ノーマル・モードでEPC Class1 Gen2プロトコル（ISO 18000-6C）に、ダイレクト・モードでISO 18000-6A/Bにそれぞれ準拠しています。

図 2. 基本UHFリーダライタ・システム



このRFIDリーダライタ・デバイスは、リーダライタ動作に必要なアナログ機能とデジタル機能をすべて備えており、EPC Class1 Gen2（ISO18000-6C）デジタル・プロトコルに完全対応した送受信部が含まれています。

このリーダライタは、デバイスのENピンを正論理レベルに設定することで有効化されます。ホスト・システム（MCU）とリーダライタ・デバイスとの間の通信には、4線式シリアル・ペリフェラル・インタフェース（SPI）が用いられます。IRQピンが論理Highレベルになることで、MCUはIRQ処理の通知を受けます。すべてのコントロール・レジスタに直接アクセスすることで、デバイスの構成とリーダライタ性能の微調整が行なえます。ベースバンド・データは、デュアル構成の24バイトFIFOバッファ・レジスタを介して、リーダライタ・デバイスとの転送が行われます。伝送システムには、パラレル/シリアル・データ変換、低レベル・データ・エンコーディング、FrameSyncとPreambleと巡回冗長検査（CRC）の自動生成が含まれています。

次の2本のトランスミッタ出力ポートが利用可能です。

- ローパワー高直線性0 dBm差動出力1本（そのパワーでシングルエンド50 Ω負荷を駆動）
- 内部PAにより増幅されたハイパワー差動出力1本（ハイパワー出力は最大で20 dBm供給し、シングルエンド50 Ω負荷が必要）

どちらの出力も、振幅シフトキーイング（ASK）または位相反転振幅シフトキーイング（PR-ASK）で整形された変調が可能です。内蔵の電源電圧レギュレータによって、リーダライタ・システム全体の電源リップル除去が保証されます。

レシーバ・システムはAM復調とPM復調の両方を確実に実行し、独自開発の自動ゲイン・コントロール・システムを含んでいます。

選択式のゲイン段と信号帯域幅によって、広範囲な入力リンク周波数とビット・レートのオプションに対応可能です。AM変調とPM変調の信号強度が測定されており、[RSSI表示レジスタ](#)（2Bh）を通じてアクセス可能です。レシーバ出力は、デジタル化されたサブキャリア信号と内部サブキャリア・デコーダ出力のいずれかを選択可能です。内部デコーダ出力から、ビット・ストリームとデータ・クロックが得られます。

レシーバ・システムには、ベースバンド・データのフレーミング・システムが含まれています。システムはCRCチェックを実行し、データをバイト列に構成します。ここで得られたバイト列は、24バイトFIFOレジスタを通じてホスト・システムからアクセス可能です。

部品表（BOM）を可能な限り小さくするために、内蔵電圧制御発振器（VCO）を備えたオンボードPLL部、部分的に一体化されているループ・フィルタ、電源部、ADC部、ホスト・インタフェース部も含まれています。広範囲な用途に対応するため、このリーダライタ・デバイスは複数の構成に対応しています。レジスタ部によって、全ブロックの動作とふるまいの設定が行われます。

このデバイスには、VEXTピンとVEXT_PAピンから電源を供給する必要があります。電源の接続を[電源](#)に示します。デバイスの起動時に、コンフィギュレーション・レジスタ群はデフォルト値にプリセットされます。デフォルト値は、すべてのオプション・ビットとともに、コンフィギュレーション・レジスタ表に記載されています。リーダライタ・デバイスとトランスポンダの間の通信は、リーダ・トーク・ファースト方式に従います。デバイスが起動し、レジスタの設定が終わると、RFフィールドをONとし最初のプロトコル・コマンドを送信することで、ホスト・システム（MCU）はトランスポンダとの通信を開始できます。送受信は次の2つのモードで行うことができます。

- ノーマル・モード
- ダイレクト・モード

ノーマル・モードでは、ベースバンド・データはダブルFIFOバッファを通じて転送され、プロトコル・データ処理はすべて内部で行われます。ダイレクト・モードでは、送受信でエンコーダとデコーダがバイパスされますので、データ処理はMCUが行う必要があります。ダイレクト・モードでは、MCUがアナログ・フロントエンド処理をリアルタイムで実行可能です。

2.1 電源

このデバイスは、外部電源のノイズと妨害による影響を最小限に抑え、異なる内部構成要素間のデカップリングを向上するための、自前の電源システムを備えています。

正電源ピンは、VEXTとVEXT_PAです。負電源ピンはすべてのVSNピンとVSSピンですが、露出ダイ・パッドも含まれます。電源リジェクションとデバイス性能を最適なものとするには、電源電圧が3.3 V以上である必要があります。電源電圧が3.0 V以上であれば、低下した電源リジェクション性能での動作が可能です。電源電圧がそれよりも低い（ただし2.7 Vまで）場合には、デバイス性能の低下を見込む必要があります。

2.1.1 メイン・レギュレータ

調整可能なレギュレータがセットで使用されており、デバイスのさまざまな内部構成要素に電源を供給します。大部分のレギュレータに対して共通となる入力ピンはVEXTです。レギュレータ出力は、VDD_AとVDD_LFとVDD_DとVDD_MIXとVDD_Bの各ピンです。各レギュレータ出力には、GNDに対するシャント・コンデンサが必要となります。標準値は2.2 μ Fと100 pFであり、（最低でも）X5Rクラスのセラミック・コンデンサを推奨します。VDD_LFIとVDD_TXPABは電源入力ピンであり、VDD_MIXに接続する必要があります。

安定化出力電圧は、**レギュレータ/PAバイアス・レジスタ** (0Bh) のオプション・ビットrvs[2:0]を使って、2.7 Vから最大3.4 Vまで、0.1 Vステップで設定可能です。ダイレクト・コマンドAutomatic Power Supply Level Setting (A2h) を使って、安定化出力電圧を、電源電圧V_{EXT}よりも約300 mV低い電圧に自動調整することもできます。

2.1.2 内部PA電源レギュレータ

内部パワー・アンプには専用の電圧レギュレータが備わっています。入力ピンはVEXT_PA、出力はVDD_PAです。レギュレータには内部補償回路が備わっており、VDD_PAに小容量の外付けコンデンサ（通常1 nF）が必要です。この電圧レギュレータは、負荷がかかった状態でのみ動作可能です。

安定化出力電圧は、**レギュレータ/PAバイアス・レジスタ** (0Bh) のオプション・ビットrvs_rf[2:0]を使って、2.7 Vから最大3.4 Vまで、0.1 Vステップで設定可能です。ダイレクト・コマンドAutomatic Power Supply Level Setting (A2h) を使って、安定化出力電圧を、電源電圧V_{EXT}よりも約300 mV低い電圧に自動調整することもできます。

rvs_rf[2:0]の設定内容と自動電源レベル調整は値が異なるのが普通ですので、VDD_PAには最も低い電圧レベルを自動選択するようにシステム設計されています。

2.1.3 ペリフェラル通信電源

ホスト・システム（MCU）との通信に使用される論理レベルは、広い電圧範囲で変動する可能性があります。VDD_IO入力ピンを用いて、1.65 Vから5.5 Vまでの間でその論理レベルを設定します。電圧の不整合を回避するため、VDD_IOをホスト・システムの電源に接続することを推奨します。

2.1.4 自動電源レベル設定

電源部には、レギュレータ内部で良好な電源リジェクションを得るために必要である、V_{EXT}電源電圧よりも300 mVほど低い値にレギュレータを自動調整するシステムが含まれています。

ダイレクト・コマンドAutomatic Power Supply Level Setting (A2h) によって、このシステムが作動します。手動電源レベル調整に戻すには、ダイレクト・コマンドManual Power Supply Level Setting (A3h) を送信する必要があります。

ダイレクト・コマンド (A2h) を発行する前には、許容された目標周波数（840 MHzから960 MHz）の中にPLLを設定して、ロックする必要があります。

自動調整の開始時に、デバイスはレギュレータを3.4 Vに設定し、RFフィールドが通常の電源負荷をシミュレートできるようにします。このプロシージャの間、デバイスは安定化電圧を100 mVステップで低下させます。各ステップには300 μ sかかります。レギュレータが設定可能な最低電圧は2.7 Vです。

V_{EXT}と安定化電圧との間の差が300 mV以上となるか、最終ステップに到達すると、プロシージャは停止します。その後、デバイスはRFフィールドを無効化し、Irq_cmdビット（レジスタ36h）をHighにセットしてIRQリクエストを送信します。

2.1.5 電源モード

デバイスは、次の4種類の主な電源モードを備えています。

- パワー・ダウン・モード
- スタンバイ・モード
- ノーマル・モード – RF OFF
- ノーマル・モード – RF ON

パワー・ダウン・モード

ENピンを論理Lowレベルに落とすと、デバイスはパワー・ダウン・モードとなります。このモードでは、回路は無効となります。

スタンバイ・モード

オプション・ビットstby（レジスタ00h）をHighにセットすると、ノーマル・モードからスタンバイ・モードになります。スタンバイ・モードでは、電圧レギュレータと基準電圧システムと水晶発振器はローパワー・モードで動作します。PLLとトランスミッタ出力段とレシーバはオフになります。スタンバイ・モードとノーマル・モードとの切り替わりの間、レジスタ設定はすべて保持されます。通常、バイアス電圧と基準電圧はstby = 0から12 ms以内に安定します。それまでに、デバイスはRFフィールドの起動とデータ送信の用意が整います。

ノーマル・モード – RF OFF

ENピンを論理Highレベルに設定すると、ノーマル・モードとなります。このモードでは、以下の内部ブロックが有効化されています。

- 電源レギュレータすべて
- 基準電源とバイアス・システム
- 水晶発振器
- RF発振器とPLL

ENピンが論理Highレベルに設定されると、バイアスと基準電圧は12 ms後（標準値）に安定します。それ以降、デバイスは内部レジスタとの相互作用が可能となります。基準周波数源が安定し、CLSYSクロックが有効になると、デバイスはその内部レジスタの設定内容に従って動作可能となります。水晶発振器が使用された場合、水晶振動子が安定するまでの時間は、使用する水晶の種類に依存します。標準的な時間は1.5 ~ 3 msとなります。[AGC/内部ステータス表示レジスタ](#)（2Ah）を読み込むことにより、MCUは水晶振動子の状態を確認できます。このレジスタのステータス・ビットosc_ok = 1は、水晶の発振が安定しており、デバイスが動作可能であることを示します。

連続動作するTCXOが使用された場合、設定の必要があるのはOSCOピンのDCレベルだけであるため、内部クロックの安定は高速化されます。上記の同じosc_okステータス・ビットのテストを流用可能です。

さらに500 ms（標準値）経過すると、デバイスは、トランスポンダとの通信のためにRFフィールドをオンにしてインベントリ・コマンドを送信する用意が整います。

ノーマル・モード – RF ON

デバイス・ステータス・コントロール・レジスタ (00h) のrf_onオプション・ビットを設定すると、デバイスは直ちにフィールドの立ち上げを始めます。立ち上げの時間と形状は、モジュレータ・コントロール・レジスタ3 (15h) のtrfon[1:0]とlin_modのオプション・ビットによって定義されます。RFフィールドの立ち上げが完了すると、ステータス・ビットrf_ok (レジスタ2Ah) がHighにセットされます。さらにはIRQが生成され、lrq_anaステータス・ビット (レジスタ38h) がHighにセットされることで通知されます。

オプション・ビットrf_onをLowにセットすると、フィールドの立ち下げが始まります。RFフィールドは、trfon[1:0]ビットとlin_modビット (レジスタ15h) に従って減少します。このステップが完了すると、AGC/内部ステータス表示レジスタ (2Ah) のステータス・ビットrf_okがLowにセットされ、lrq_anaステータス・ビットをHighとしてIRQが送信されます。

利用可能な電源モードと、各モード間の遷移時間が表 1にまとめられています。

表 1. 電源モード概要

モード	EN ピン	Stby オプション ビット	rf_on オプション ビット	消費電流	モードに入るための時間 ダイレクト・モード	モードからRFフィールドが 有効になるまでの時間
パワー ダウン	L	-	-	1 μ A	ノーマル・モードから直ちに	12 ~ 17 ms (水晶または TCXOの起動 + バイアスの 起動)
スタンバイ	H	H	L	3 mA	ノーマル・モードから直ちに	12 ~ 17 ms (水晶または TCXOの起動 + バイアスの 起動)
ノーマル	H	L	L	24 mA	12 ~ 17 ms (水晶またはTCXO の起動 + バイアスの起動)	12.5 μ s (フィールドの立ち上げ)
RFフィールド ONのノーマル	H	L	H	75 mA	12.5 μ s (フィールドの立ち上げ)	NA

2.2 ホスト通信

デバイスとの通信には、標準の4線式シリアル・インタフェース (SPI) が、割込みリクエスト・ライン (IRQピン) とともに使用されます。MCUに対するシステム・クロック源として、追加のライン (CLSYS) を使用することもできます。

表 2. シリアル・データ・インタフェース (SPIインタフェース) 信号ライン

名称	信号	信号レベル	説明
NCS	デジタル入力	CMOS	SPIイネーブル (アクティブLow)
SCLK	デジタル入力	CMOS	シリアル・クロック
MOSI	デジタル入力	CMOS	シリアル・データ入力
MISO	トライステート・ デジタル出力	CMOS	シリアル・データ出力
IRQ	デジタル出力	CMOS	割込み要求出力
CLSYS	デジタル出力	CMOS	MCUクロック出力

NCSピンをLowに設定すると、SPIインタフェースが有効化されます。NCSがHighの間は、SPIインタフェースの動作は停止しています。SPIインタフェースを使用しないときには、常にNCSをHighに保つことを推奨します。SCLKの立下りエッジでMOSIがサンプリングされます。SPI通信はバイト単位で行われます。（NCSがHighからLowになった後、）MOSIラインの最初のバイトの最初の2ビットによって、SPIの動作モードが定義されます。MSBビットは必ず最初に送信されます（アドレスとデータが該当）。

読み込みモードと書き込みモードは、複数バイト転送のアドレス自動インクリメントに対応しています。連続した読み込みまたは書き込みでは、最初のアドレスのみ送信する必要があり、アドレスは内部的にインクリメントされます。

通常、MISO出力はトライステートであり、出力データ有効時にのみ駆動されます。これによって、MOSIラインとMISOラインを外部で短絡して、双方向信号を生成することが可能となります（図 3参照）。

MISO出力がハイインピーダンスである間、補助レジスタ1（0Dh）のオプション・ビットmiso_pd1とmiso_pd2を設定することで、50 kΩプルダウン抵抗を有効にできます。

SPI相互接続の可能なオプションを図 3に示します。

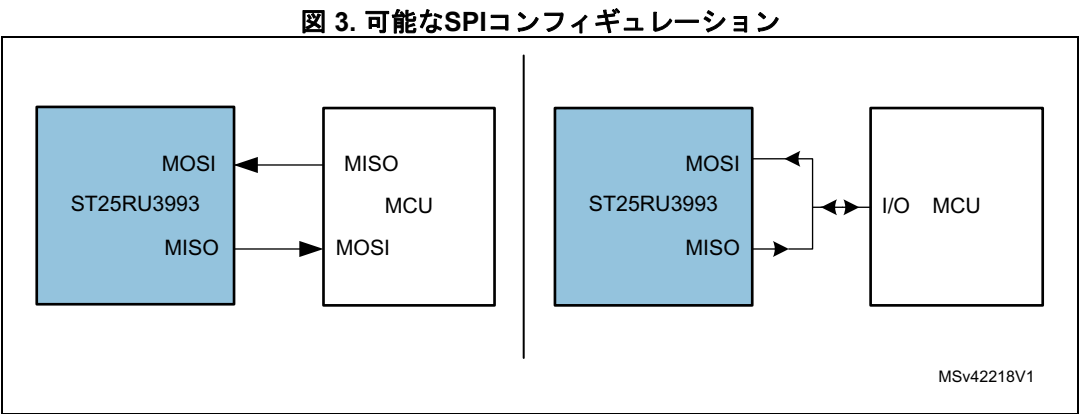


表 3. SPIデータ・モード

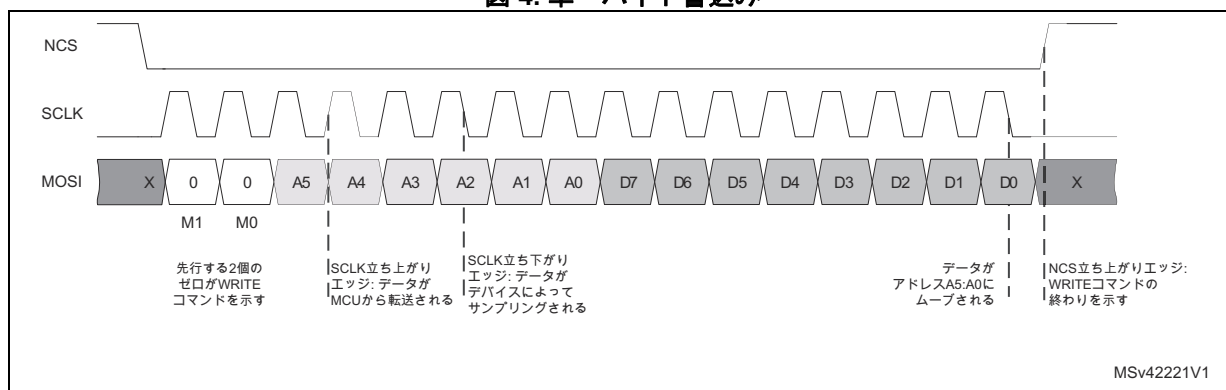
コマンド種別	モード・パターン（MSBからLSB）								モード関連データ
	モード		レジスタ・アドレス / コマンドID						
	M1	M2	X5	X4	X3	X2	X1	X0	
書き込み	0	0	A5	A4	A3	A2	A1	A0	データ・バイト（自動インクリメントの場合は追加バイト）
読み込み	0	1	A5	A4	A3	A2	A1	A0	データ・バイト（自動インクリメントの場合は追加バイト）
ダイレクト・コマンド	1	0	C5	C4	C3	C2	C1	C0	-
RFU	1	1	X	X	X	X	X	X	-

2.2.1 レジスタへの書き込み

単一バイトの場合と、アドレス自動インクリメントを用いた複数バイトの場合について、標準的なSPI書き込み通信の例を図4と図5に示します。SPI動作モード・ビット（M1とM2）に続いて、対象レジスタのアドレス・ビット（A5:A1）が送信されます。その後、自動インクリメントを使用するか否か次第で、データ・バイトが1バイトまたは複数バイト送信されます。通信は、NCSをHighに戻すことにより終了します。8ビット（1バイト）の packets が送信される前にこれが発生した場合には、このレジスタへの書き込みは行われません。設定されたアドレスのレジスタが存在しない場合や、それが読み出し専用レジスタである場合にも、書き込みコマンドは成功しません。

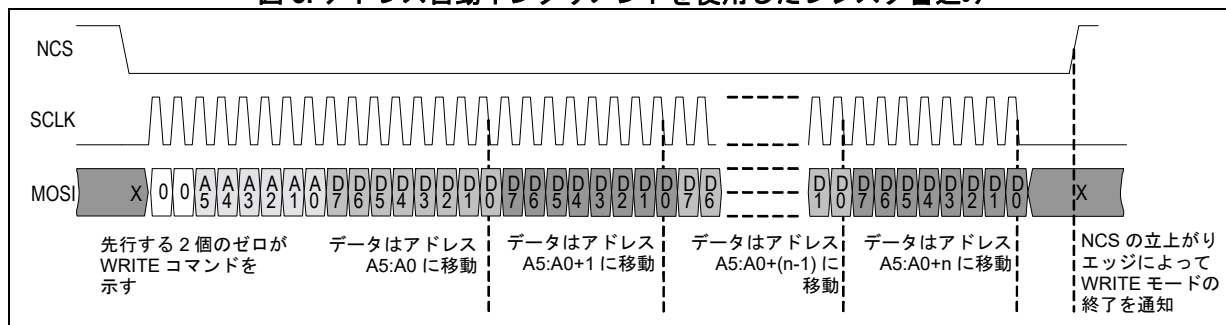
単一バイトに対するSPI書き込みコマンドの例を図4に示します。

図 4. 単一バイト書き込み



複数バイトに信号を送るSPI書き込みコマンドの例を図5に示します。

図 5. アドレス自動インクリメントを使用したレジスタ書き込み

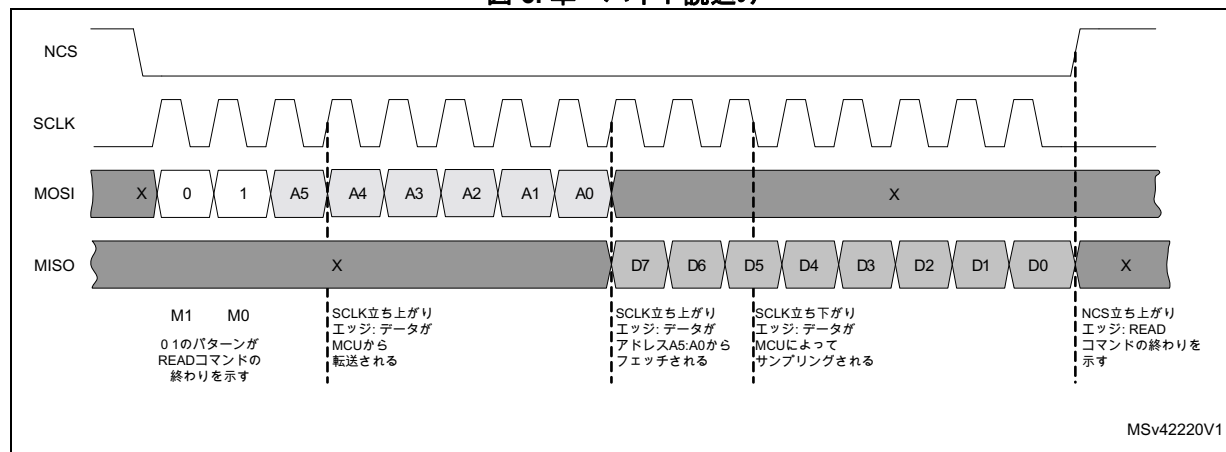


2.2.2 レジスタからの読み込み

SPI動作モード・ビット（M1とM0）の後、対象アドレスが送信されます。その後、データ・バイトが1バイトまたは複数バイトMISO出力に転送されます。SCLKの立下りエッジでMOSIがサンプリングされます。内部レジスタから読み込まれるデータは、SCLKの立上がりエッジでMISOピンに転送されますので、MCUは立下りエッジでサンプリングする必要があります。レジスタのアドレスが存在しない場合には、オール0のデータがMISOに送信されます。

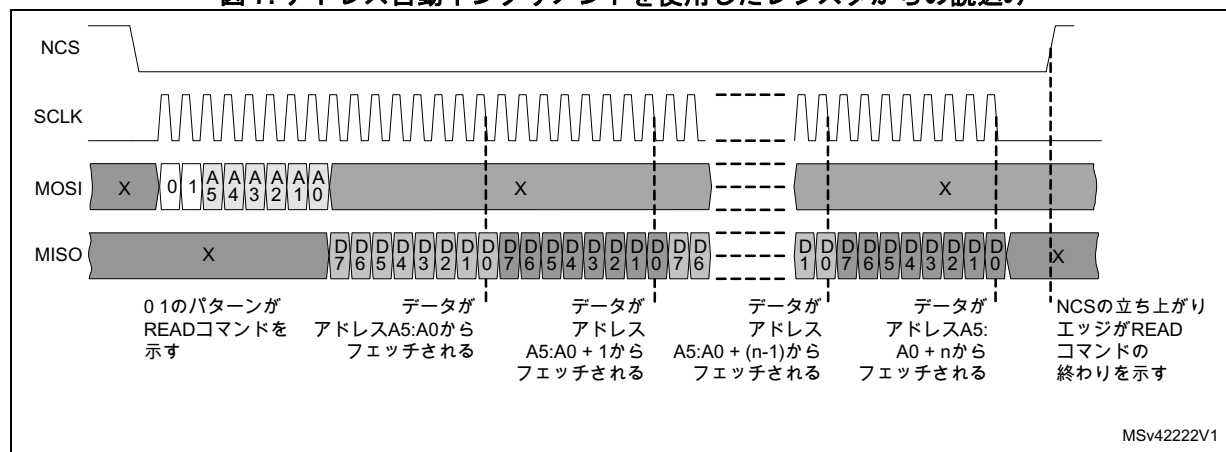
単一バイトに対する標準的なSPI読み込みコマンドの例を図 6 に示します。

図 6. 単一バイト読み込み



複数バイトにシグナルを送るSPI読み込みコマンドの例を図 7 に示します。

図 7. アドレス自動インクリメントを使用したレジスタからの読み込み



2.2.3 ダイレクト・コマンド

ダイレクト・コマンドにはパラメータがないため、送信の必要があるのは1バイトのみとなります。唯一の例外がQueryコマンドで、コマンド・バイトに続けて2バイトのパラメータ・バイト（FIFOに格納）が必要です。SPI動作モード・ビットがM1 = 1かつM0 = 0である場合に、ダイレクト・コマンドとなります。それに続く6ビットがダイレクト・コマンドIDの定義です。ダイレクト・コマンドは、SCLKの最終立下りエッジで実行されます。ダイレクト・コマンドの中にはすぐに実行されるものもありますが、特定時間要する処理（補正や測定など）を開始するものもあります。

注意： *このようなコマンドの実行中には、SPIインタフェースで別の処理を開始しないことを推奨します。*

ダイレクト・コマンドの実行後には、Irq_cmdビット（レジスタ38h）をHighにセットしてIRQリクエストが送信されます。

表 4. ダイレクト・コマンド一覧

コード（16進）	コマンド	ダイレクト実行
80h	Idle	Y
81h	Direct Mode	Y
83h	Soft Init	Y
84h	Hop to Main Frequency	Y
85h	Hop to Main Frequency	Y
87h	Trigger AD Conversion	N
88h	Trigger Rx Filter Calibration	N
89h	Decrease Rx Filter Calibration Data	Y
8Ah	Increase Rx Filter Calibration Data	Y
90h	Transmission with CRC	Y
91h	Transmission with CRC Expecting Header Bit	Y
92h	Transmission without CRC	Y
96h	Block Rx	Y
97h	Enable Rx	Y
98h	Query	Y
99h	QueryRep	Y
9Ah	QueryAdjustUp	Y
9Bh	QueryAdjustNic	Y
9Ch	QueryAdjustDown	Y
9Dh	ACK	Y
9Fh	ReqRN	Y
A2h	Automatic power supply level setting	N
A3h	Manual power supply level setting	Y
A4h	Automatic VCO range selection	N
A5h	Manual VCO range selection	Y
A6h	AGL On	Y
A7h	AGL Off	Y

表 4. ダイレクト・コマンド一覧（続き）

コード（16進）	コマンド	ダイレクト実行
A8h	Store RSSI	Y
A9h	Clear RSSI	Y
AAh	Interrogator anti-collision support enable	Y
ABh	Interrogator anti-collision support disable	Y

ダイレクト・コマンドの説明

ST25RU3993が対応しているダイレクト・コマンドを以下に詳しく説明します。括弧内の値は、関連するコマンド・バイトを示します。

- **Direct mode** (81h) : デバイスがダイレクト・モードに入ります。
- **Soft init** (83h) : このコマンドによって、設定レジスタ群がそのデフォルト値にリセットされ、過去にトリガされていた機能はすべて終了します。
- **Hop to main frequency** (84h) : このコマンドによって、PLL主レジスタ1～3に定義されている周波数をPLLが強制的に使用します。PLL主レジスタがデフォルトで使用されます。
- **Hop to Main Frequency** (85h) : このコマンドによって、[PLL補助レジスタ1](#)と[PLL補助レジスタ2](#)と[PLL補助レジスタ3](#)に定義されている周波数設定をPLLが強制的に使用します。
- **Trigger A/D conversion** (87h) : このコマンドによって、内部8ビットA/Dコンバータを使用したアナログ/デジタル変換がトリガされます。詳細は、A/Dコンバータに関する説明を参照してください。
- **Trigger Rx filter calibration** (88h) : このコマンドによって、Rxフィルタ補正プロシージャがトリガされます。詳細は、Rxフィルタ補正に関する説明を参照してください。
- **Decrease Rx filter calibration data** (89h) と **Increase Rx filter calibration data** (8Ah) : これらのコマンドによって、自動取得されたRxフィルタ補正データが調整されます。詳細は、Rxフィルタ補正に関する説明を参照してください。
- **Transmission with CRC** (90h) : 転送コマンドを使用して、リーダライタからトランスポンダにデータを転送します。最初に、転送する完全バイトのバイト数を、不完全バイトのビット数を含めて、Tx長レジスタ(3Dhと3Eh)に設定する必要があります。その後送信データをFIFOレジスタ(3Fh)にロードできます。最初のバイトがロードされると転送が始まります。転送シーケンスにはCRC-16が含まれています。
すべての送信データをロードする最適な方法は、アドレス3Dhで始まる連続書き込みモードを使用することです。
アドレス自動インクリメントを使用した例:
SPIデータ (MOSI) : 90h - 3Dh - 00h - 30h - AAh - BBh - CChは以下のように動作します。
 - 90h: Transmission with CRC
 - 3Dhに00hを書込み
 - 3Ehに30hを書込み (3バイトを転送)
 - アドレス3FhにAAh、BBh、CChを書込み (転送されるFIFOデータ)
- **Transmission with CRC expecting header bit** (91h) : 前のコマンドと同様ですが、応答にヘッダ・ビットが見込まれていることについても、Rxデコード・ロジックに通知します。
- **Transmission without CRC** (92h) : ダイレクト・コマンドTransmission with CRCと同様ですが、CRC部は省略されます。
- **Block Rx** (96h) : **Block Rx**コマンドによって、レシーバのデジタル部(ビット・デコーダとフレイマ)の動作が停止します。システムが雑音の多い環境で動作しており、Rxデジタル部のサブキャリア入力が始終切り替わってしまうような場合には、レシーバをオフにするのが有効です。アクティブ状態のレシーバはプリアンプルの検出を行っており、ノイズ・パターンが予想されている信号パターンに一致すると、割込みが生成されます。割込み要求が絶え間なく流れるのはMCUにとって問題となることがありますが、Block RXコマンドを使用して受信デコーダを無効化することで、このような状況を回避可能です。Rx待ち時間の経過後、何らかのデータ送信の最後に、自動的にレシーバは再び有効化されます。Rx待ち時間を設定するには、Rx待ちタイマの項を参照してください。Block Rxを停止する2番目の方法は、Enable Rx (97h) コマンドの送信です。

- **Enable Rx** (97h) : このコマンドによって、レシーバのアナログ部とデジタル部が受信の準備を行います。手動で受信をトリガするには、このコマンドを送信する必要があります。データ送信コマンドによって受信が自動的にトリガされる場合には、このコマンドを送信する必要はありません。
 - **Query** (98h) : QueryコマンドによってEPC Queryが発行され、インベントリ・ラウンドが始まります。Queryコマンドには追加のデータ・バイトが2バイト必要であり、このデータはFIFO (3Fh) に書き込む必要があります。
FIFOの2バイトには次のデータが含まれている必要があります。“00”, DR, M, TReTx, Sel, Session, Target, Q
これを合計すると15ビットとなり、LSBビットは無視されます。
最後に、トランスミッタは次のデータを送信します。
 - プリアンブル
 - コマンドID
 - Txデータ (FIFOの2バイト)
 - CRC-5
- 受信したRN16は、その後の通信ステップ (ACK、ReqRN) のために内部RN16レジスタに格納されます。RN16はFIFOにも格納されます。
- **QueryRep** (99h) : QueryRepコマンドは、EPC Gen2 QueryRepコマンドに続けてセッション・ビットを2ビット発行します。セッション・ビットは、[Tx設定レジスタ](#) (3Ch) から取得されます。受信したRN16は、その後の通信 (ACK、ReqRN) のために内部RN16レジスタに格納されます。RN16は、FIFOの中でもアクセス可能です。
 - **QueryAdjustUp** (9Ah) : QueryAdjustUpダイレクト・コマンドは、EPC Gen2 QueryAdjustコマンドに続けて、セッション・ビットを2ビットと‘up’パラメータ (利用可能スロット数を増加) を発行します。セッション・ビットは、[Tx設定レジスタ](#) (3Ch) から取得されます。受信したRN16は、その後の通信 (ACK、ReqRN) のために内部RN16レジスタに格納されます。RN16は、FIFOの中でもアクセス可能です。
 - **QueryAdjustNic** (9Bh) : QueryAdjustNicコマンドは、EPC Gen2 QueryAdjustコマンドに続けて、セッション・ビットを2ビットと‘no change’パラメータを発行します。セッション・ビットは、[Tx設定レジスタ](#) (3Ch) から取得されます。受信したRN16は、その後の通信 (ACK、ReqRN) のために内部RN16レジスタに格納されます。RN16は、FIFOの中でもアクセス可能です。
 - **QueryAdjustDown** (9Ch) : QueryAdjustUpコマンドは、EPC Gen2 QueryAdjustコマンドに続けて、セッション・ビットを2ビットと‘down’パラメータ (利用可能スロット数を減少) を発行します。セッション・ビットは、[Tx設定レジスタ](#) (3Ch) から取得されます。受信したRN16は、その後の通信 (ACK、ReqRN) のために内部RN16レジスタに格納されます。RN16は、FIFOの中でもアクセス可能です。
 - **ACK** (9Dh) : ACKコマンドは、EPC ACKに続けて、最後に成功したQueryコマンドの間に内部RN16レジスタに格納されたRN16を発行します。
 - **NAK** (9Eh) : NAKコマンドは、EPC Gen2 NAKコマンドをタグに発行します。
 - **ReqRN** (9Fh) : ReqRNコマンドは、EPC Request RNをタグに発行します。最後に受信したRNはパラメータとして使用され、受信した新規のRN16 (ハンドル) は、その後の通信 (ACK、ReqRN) のために内部RN16レジスタに格納されます。新規のRN16はFIFOにも格納されます。
 - **Automatic power supply level setting** (A2h) と **Manual power supply level setting** (A3h) : これらのコマンドによって、オンボード電圧レギュレータの自動調整がトリガされ、手動選択に戻ります。詳細は、ペリフェラル通信電源の説明を参照してください。
 - **Automatic VCO range selection** (A4h) と **Manual VCO range selection** (A5h) : これらのコマンドによって、自動VCO範囲選択がトリガされ、手動VCO範囲選択に戻ります。詳細は、PLLとVCOの説明を参照してください。

- **AGL on** (A6h) と **AGL off** (A7h) : これらのコマンドによって、AGL動作のトリガと無効化が行われます。詳細は、AGLの説明を参照してください。
- **Store RSSI** (A8h) と **Clear RSSI** (A9h) : これらのコマンドによって、IQ決定回路に使用可能な受信信号強度インジケータ (RSSI) の格納とクリアが行われます。詳細は、IQ選択の説明を参照してください。
- **Interrogator anti-collision support enable** (AAh) と **Interrogator anti-collision support disable** (ABh) : これらのコマンドによって、ISO 29143に定義されているインタロゲータ・コリジョン防止対応の有効化と無効化が行われます。

ダイレクト・コマンドの連鎖

即時実行されるダイレクト・コマンドには、その間でNCS信号を非アクティブとすることなく、読み込みや書き込みのような別のSPIコマンドを続けることができます。

2.2.4 SPIインタフェース・タイミング

表 5. SPIタイミング・パラメータ

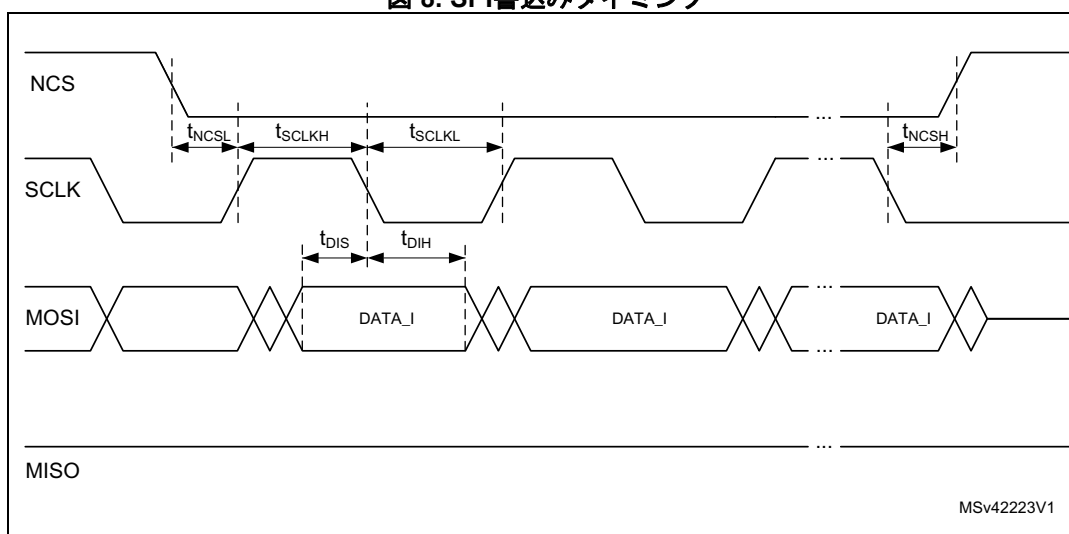
記号	パラメータ	注記/条件	最小	標準	最大	単位
一般項目 (VDD_IO > 3 V、CLOAD < 50 pF、hs_output = 1)						
BR _{SPI}	ビット・レート	-	-	-	5	Mbps
t _{SCLKH}	クロックHigh時間	-	70	-	-	ns
t _{SCLKL}	クロックLow時間	-	70	-	-	ns
t _{NCSL}	NCSセットアップ時間	NCS がHigh からLow に遷移してから SCLK がHigh に初めて遷移するまでの時間	10	-	-	ns
t _{DIS}	データイン・セットアップ時間	-	10	-	-	ns
t _{DIH}	データイン・ホールド時間	-	10	-	-	ns
t _{NCSH}	NCSホールド時間 (読み込み/書き込み)	読み込みまたは書き込みの後、最後のSCLK立下りエッジからNCSがLowからHighに遷移するまでの時間	10	-	-	ns
t _{NCSH}	NCSホールド時間 (ダイレクト・コマンド)	ダイレクト・コマンドの後、最後のSCLK立下りエッジからNCSがLowからHighに遷移するまでの時間	70	-	-	ns

表 5. SPIタイミング・パラメータ（続き）

記号	パラメータ	注記/条件	最小	標準	最大	単位
読み込みタイミング						
t_{DOD}	データ・アウト 遅延	$V_{DD_IO} \geq 3V$ 、 $C_{LOAD} = 50\text{ pF}$ 、 $hs_output = 1$	-	30	-	ns
t_{DOD}	データ・アウト 遅延	$V_{DD_IO} \geq 1.65V$ 、 $C_{LOAD} = 50\text{ pF}$ 、 $hs_output = 1$	-	60	-	ns
t_{DOD}	データ・アウト 遅延	$V_{DD_IO} \geq 3V$ 、 $C_{LOAD} = 50\text{ pF}$ 、 $hs_output = 0$	-	90	-	ns
t_{DOHZ}	データ・アウトから ハイ・インピーダンス 遅延	SPIがMISOラインを リリースするまでの時間	-	40	-	ns

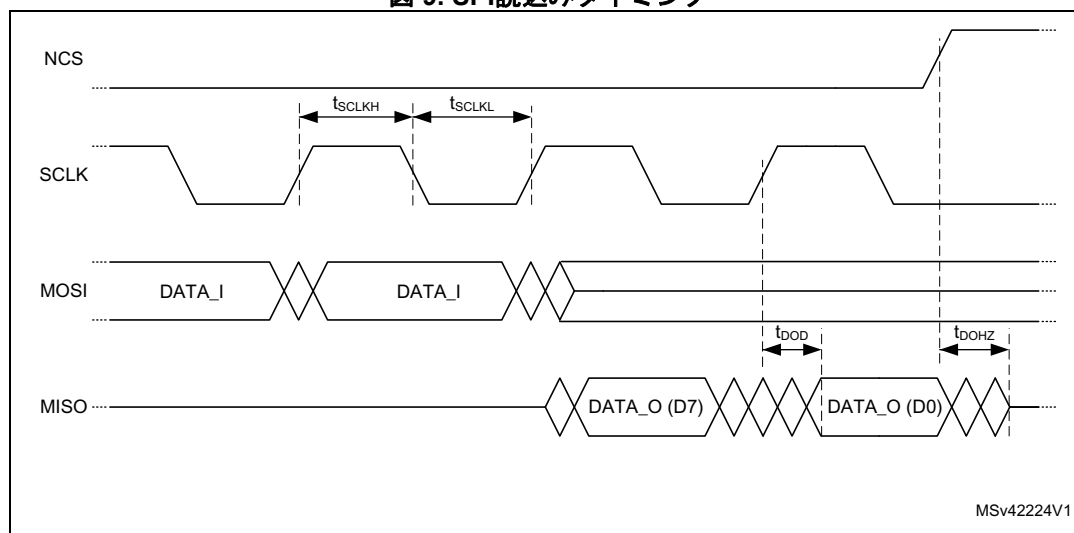
SPI書き込みコマンドに対応するタイミング波形とパラメータを図 8に示します。

図 8. SPI書き込みタイミング



SPI読み込みコマンドに対応するタイミング波形とパラメータを図 9に示します。

図 9. SPI読み込みタイミング



2.2.5 CLSYS出力

CLSYS出力は、MCUのクロック源として使用するためのものです。利用可能な周波数を示します。

- 4 MHz
- 5 MHz
- 10 MHz
- 20 MHz

CLSYS周波数は、[補助レジスタ2](#) (0Eh) のオプション・ビットclsys[2:0]によって定義されます。

2.2.6 IO信号レベルと出力特性

ホスト通信とCLSYSの論理Highレベルは、VDD_IOピンに接続された電源電圧によって設定されます。論理Highレベルは1.65 Vから5.5 Vの範囲とすることができます。通信レベルとのマッチングを保証するため、VDD_IOはホスト・システムのペリフェラル電源電圧に接続することを推奨します。

デジタル出力は、デフォルトで高速動作用に設定されています。MISO出力とIRQ出力に50 pFの容量性負荷、VDD_IO電源が3 V以上という条件で、5 MHzのSPIクロックが可能です。50 pFの容量性負荷、VDD_IO電源が1.65 V以上という条件で、3 MHzのSPIクロックが可能です。

デジタル出力信号の高調波成分を減らすため、[補助レジスタ1](#) (0Dh) のオプション・ビットhs_outputをLowに設定することにより、微弱でエッジに勾配の付いた信号となるようにデバイス出力を設定できます。この設定では、デバイスの別の内部構成要素とのホスト・システム通信による妨害の可能性についても緩和されます。このオプションを使用すると、MISOとIRQに最大で50 pFの容量性負荷、VDD_IO電源が3 V以上という条件で、2 MHzのSPIクロックが可能です。

また、オプション・ビットopen_dr (レジスタ0Dh) をHighにセットすると、オープン・ドレインN-MOS出力を設定することもできます。このオプションを使用すると、MISOとIRQとCLSYSの各信号の高調波成分がさらに減少します。また、デバイスの他ブロックの動作に妨害を与えるおそれのあるクロスカップリング効果も減少します。

2.2.7 OAD、OAD2出力

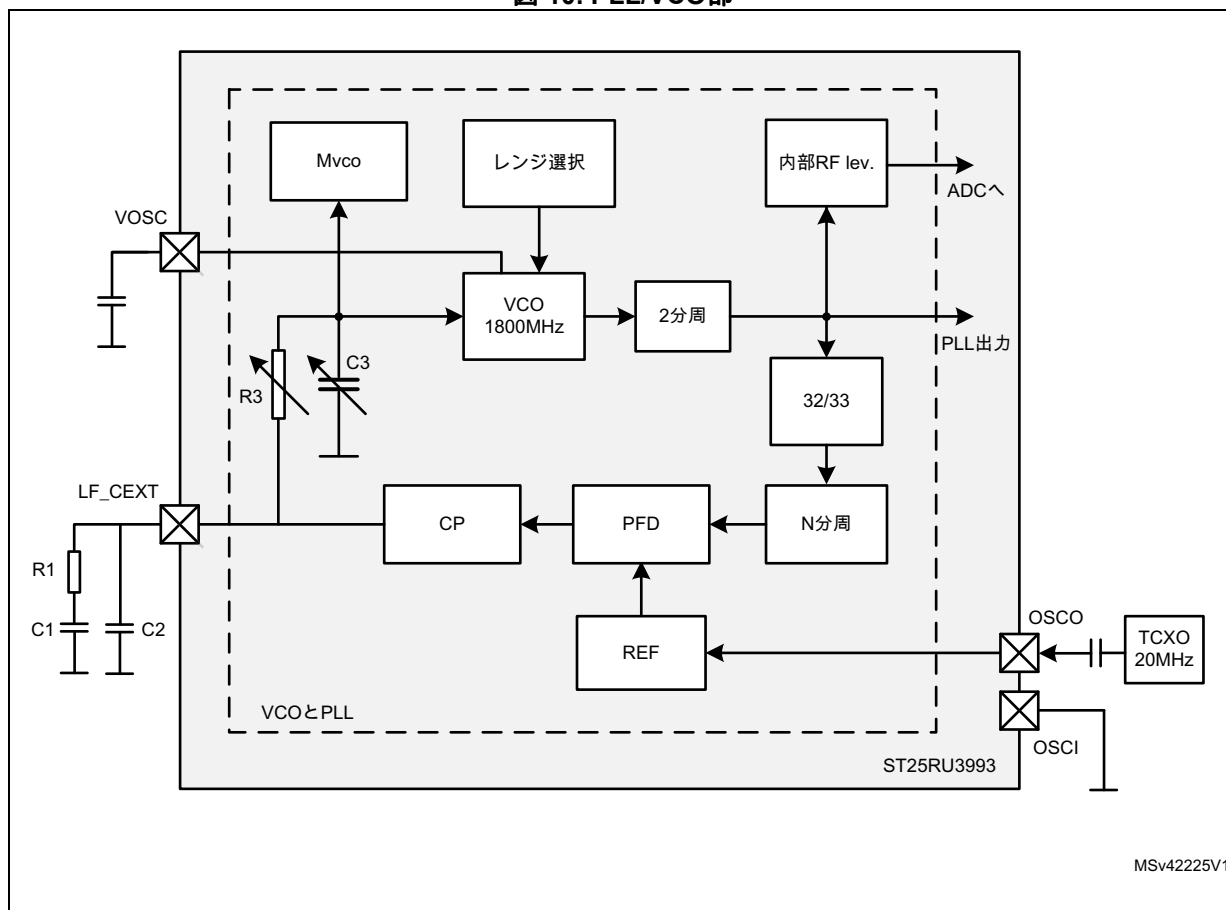
OAD出力とOAD2出力は、アナログとデジタルのテスト出力です。アナログ出力として使用されると、受信したサブキャリア信号またはミキサ・アナログDC出力レベルは、これらのピンで多重化されます。信号はAGDレベルがセンター値となります。デジタル出力として使用されると、そのレベルはVDD_IOで設定されます。**補助レジスタ1** (0Dh) のオプション・ビットhs_oadを設定することで、OADピンは高速出力として設定可能です。高調波成分が増加し、デバイスの高感度ピンに対するクロストークが増える可能性があるため、通常動作の間はhs_oadを使用しないことを推奨します。

2.3 PLL/VCO部

PLL部は、電圧制御発振器、プリスケアラ、主分周器と基準分周器、位相周波数検出器、チャージ・ポンプ、ループ・フィルタから構成されています。

ST25RU3993デバイスのPLL/VCO部の詳細なブロック図を図 10に示します。

図 10. PLL/VCO部



ループ・フィルタの部分を除くすべての構成要素はST25RU3993に内蔵されています。許容周波数動作範囲は、840 MHzから960 MHzまでとなります。

2.3.1 電圧制御発振器

VCOは、可変コンデンサとインダクタを含めて、完全に内蔵されています。周波数制御入力ピンはLF_CEXTです。有効電圧範囲は0.5 VとV_{DD_A} - 0.5 Vの間となります。[VCOコントロール・レジスタ](#) (11h) のオプション・ビットeosc[2:0]は、発振器ノイズと消費電流の最適化に使用されます。電源デカップリングは、VOSC ピンを通じて行われます。内部VCO周波数は1800 MHzの範囲で設定され、VCO引き込み効果を低減するために内部で2分周されます。VCOのゲインを減らして、可能な限り低い位相ノイズを得るために、1800 MHz VCOの同調曲線は16セグメント（範囲）に分割されます。

VCO同調範囲選択

[VCOコントロール・レジスタ](#) (11h) のオプション・ビットvco_r[3:0]を設定することで、VCO同調範囲の選択が手動で行えます。ダイレクト・コマンドAutomatic VCO Range Selection (A4h) を使用すれば、自動選択を開始できます。ダイレクト・コマンドManual VCO Range Selection (A5h) を送信すれば、手動選択に戻ることができます。Automatic VCO Range Selection (A4h) コマンドによって、適切なVCOセグメントを見つける検索アルゴリズムが起動します。このアルゴリズムが完了すると、Irq_cmdおよび[コマンド・ステータス表示レジスタ](#) (2Eh) のautovco_doneステータス・ビットがHighにセットされて、IRQリクエストが送信されます。

VCO同調範囲ステータスの読み出し

自動セグメント検索アルゴリズムの結果は、vco_ri[7:4]によって示されます。この値は、オプション・ビットr2Cpage[1:0] = 01b（レジスタ29h）であるときに、[AGL/VCO/F_CAL/PilotFreqステータス・レジスタ](#) (r2Cpage[1:0] = 01) (2Ch) を通じてデバイスから読み出すことができます。

VCO制御電圧測定

[VCOコントロール・レジスタ](#) (11h) のオプション・ビットmvcoをHighに設定することで、VCO制御電圧を測定できます。3ビットからなる結果であるvco_ri[2:0]は、r2Cpage[1:0] = 01b（レジスタ29h）として、[AGL/VCO/F_CAL/PilotFreqステータス・レジスタ](#) (r2Cpage[1:0] = 01) (2Ch) から読むことができます。通常動作中は、レジスタ11hのオプション・ビットmvcoはLowに保持されなければなりません。1800 MHz VCOの使用に関する詳細は、専用のアプリケーション・ノートに記載されています。

2.3.2 PLLプリスケアラと主分周器

32/33分周プリスケアラは、N分周器によって制御されています。その分周比は、[PLL主レジスタ1](#) と [PLL主レジスタ3](#) (17h ~ 19h) または[PLL補助レジスタ1](#)と[PLL補助レジスタ3](#) (1Ah-1Ch) によって定義されます。3本の主（補助）レジスタの下位10ビットによってA値が定義され、その次の上位10ビットによってB値が定義されます。A値とB値によって、主分周器の分周比は以下の式のように定義されます。

$$N = B \cdot 32 + A \cdot 33$$

2本のレジスタ[PLL主レジスタ1](#)および[PLL主レジスタ3](#)ならびに[PLL補助レジスタ1](#)および[PLL補助レジスタ3](#)は、ダイレクト・コマンドHop to Main Frequency (84h) とHop to Auxiliary Frequency (85h) を使用した、周波数ホッピングに対応するためのものです。

2.3.3 PLL基準周波数

基準周波数は、[PLL主レジスタ1](#) (17h) のRefFreq[2:0]ビットによって選択されます。利用可能な値を以下に示します。

- 125 kHz
- 100 kHz
- 50 kHz
- 25 kHz

2.3.4 基準周波数源

基準周波数のために、20 MHzの周波数源が必要となります。外付け発振器 (TCXO) または水晶振動子が使用可能です。TCXOを使用する場合にはそれをOSCOピンに接続し、OSCIピンはGNDに短絡する必要があります。TCXOの信号は正弦波の形をしていて、AC結合されている必要があります。レベルは、0.8 Vppから3 Vppまでの範囲である必要があります。Txキャリア周波数の前後±20 MHzで区切られたスペクトル信号成分を最小限に抑えるため、OSCOレベルはできるだけ小さくすることを推奨します。このモードでのOSCO入力インピーダンスの標準値は9 kΩであり、9 pFが並列となっています。OSCIピンとOSCOピンの間には、適切な負荷コンデンサをGNDにシャント構成とした状態で、水晶振動子を接続する必要があります。15 pFから20 pFまでの範囲の負荷コンデンサを推奨します。共振の直列抵抗は最大で30 Ωとする必要があります。安定した水晶発振を高速化するため、水晶発振器は高速モードで起動されます。その後、デバイスは低消費電力モードに戻ります。通常、デバイスの動作には低消費電力モードが用いられます。[補助レジスタ2](#) (0Eh) のオプション・ビットxosc[1:0]は、水晶振動子動作モードの手動制御のために用意されています。

2.3.5 位相周波数検出器とチャージ・ポンプ

基準周波数と分周されたRF周波数は、LF_CEXTピンに接続されたチャージ・ポンプを駆動する位相周波数検出器で比較されます。チャージ・ポンプ電流は、[CPコントロール・レジスタ](#) (12h) のオプション・ビットcp[2:0]を使用して、150 μAと2350 μAの間で選択可能です。

2.3.6 ループ・フィルタ

ループ・フィルタは、外付け部分と内蔵部分から構成されます。1段目 (直列コンデンサ、直列抵抗、シャント・コンデンサ) は外付けであり、LF_CEXTピンに接続されます。2段目 (R3/C3フィルタ) は、LF_CEXTピンとVCO制御入力の間内部に接続されています。

ループ・フィルタの内蔵部 (R3とC3) の値は、いずれもCP制御レジスタ (12h) の中にある、オプション・ビットLF_R3[7:6]とLF_C3[5:3]によって選択可能です。R3は30 kΩから100 kΩまでの範囲に、C3は20 pFから200 pFまでの範囲にそれぞれ設定できます。

2.3.7 周波数ホッピング・コマンド

主PLLレジスタか補助PLLレジスタかいずれかの主分周比を設定するダイレクト・コマンドであるHop to Main Frequency (84h) とHop to Auxiliary Frequency (85h) を発行することにより、周波数ホッピングが可能です。ホスト・システム (MCU) は、現地法規に則った正しい周波数ホッピングの実行に責任があります。

2.3.8 PLLの始動と周波数ホッピング

RFフィールドを有効化する前に、ホスト・システムは、**CPコントロール・レジスタ**（12h）ならびに**PLL主レジスタ1**と**PLL主レジスタ2**と**PLL主レジスタ3**（17h、18h、19h）を通じて、PLLを設定する必要があります。PLLは、上記選択肢の1つを使用してロックされる必要があります。ある周波数での動作中にいつでも、ホスト・システムは補助PLL主レジスタをフィルできます。周波数ホッピングが実行される必要がある場合にのみ、周波数ホッピングのダイレクト・コマンドをデバイスに送信する必要があります。

2.4 デバイス・ステータス・コントロール

デバイスの主要機能は、**デバイス・ステータス・コントロール・レジスタ**（00h）の中で制御されます。オプション・ビットrf_onを設定することにより、内部トランスミッタブロックとレシーバブロックが有効化されます。初回のRFフィールドの立上げは、**Txオプション・レジスタ**（02h）のオプション・ビットTari[2:0]と、**モジュレータ・コントロール・レジスタ3**（15h）のオプション・ビットtrfon[1:0]によって定義されます。

利用可能な値を以下に示します。

- 100 μs
- 200 μs
- 400 μs
- 指定済みTari

これが完了すると、**AGC/内部ステータス表示レジスタ**（2Ah）のrf_okビットがセットされ、lrq_anaビットとともにIRQが送信されます。rf_onビットをLowに設定することにより、立上がりトランジェントと同様にRFフィールドが立ち下げられ、lrq_anaビットをセットしたIRQが送信されます。rec_onビットによって有効化されるのはレシーバのみです。agc_onビットによって、AGC機能が有効化されます。stbyビットによって、デバイスはスタンバイ・モードに入ります。

2.5 プロトコル・コントロール

主要なプロトコル・パラメータは、**プロトコル選択レジスタ**（01h）の中で選択されます。オプション・ビットprot[2:0]は、EPC Class1 Gen2動作では000bに、ISO18000-6A/B FM0デコーダ動作では001bに設定する必要があります。AutoACK[1:0]ビットによって、自動インベントリ・ラウンド・シーケンスが有効となり、その深さが設定されます。可能なモードは次の3モードです。

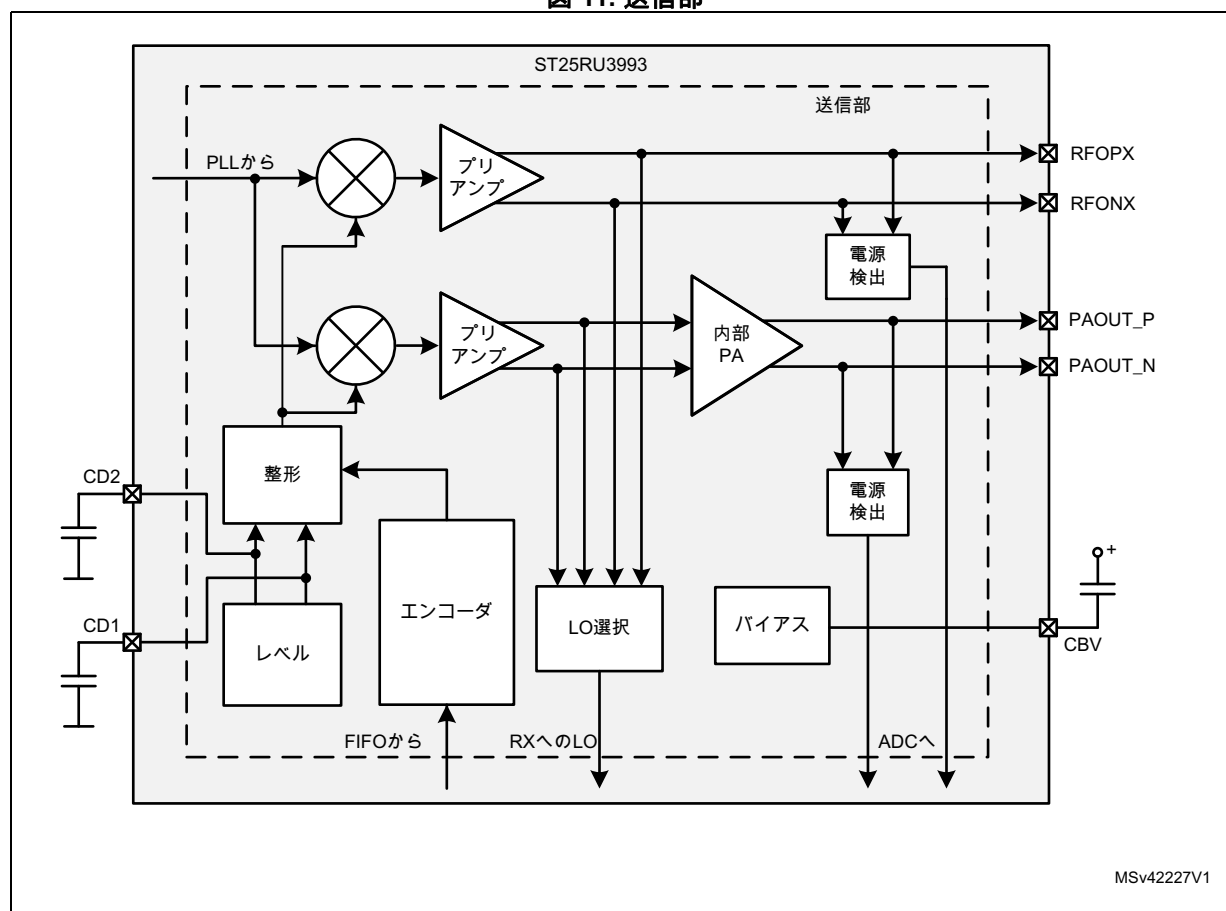
- 自動処理なし
- 自動ACK
- 自動ACK + ReqRN

オプション・ビットRX_crc_n = 1によって、内部CRCチェックを行ない受信が設定されます。その場合、CRCは、それ以外のデータ・バイトと同様にFIFOに渡されるだけとなります。EPC Gen 2プロトコルにおいて、これはEPC応答の一部が欠落している場合に有用な機能となります。トランスミッタが送出し、格納されたCRCは、実際の転送データに対して計算されたものではなく、それゆえに無効なCRCであるためです。dir_modeビットによって、ダイレクト・モードで動作中の出力信号の種別が設定されます。また、このビットによって、受信中のすべてのデコードと信号検出の自動処理が無効となります。連続してアナログ測定を行うときには、このビットをHighにすることを推奨します。

2.6 送信部

トランスミッタ部は、データ処理、エンコード部、整形回路、モジュレータ、増幅回路から構成されています。

図 11. 送信部



RFキャリアは整形された送信データによって変調され、送信のために（前置）増幅されます。

2.6.1 Txデータ処理とコーディング

データ処理部がFIFOからベースバンド・データを取り出し、Gen2プロトコル（PIE）に従ってエンコードします。プリアンプルまたはフレームシンクを追加してCRCを計算します。このデジタル変調信号は整形回路に送られます。

2.6.2 Tx整形回路

変調整形はダブルD/Aコンバータによって制御されます。最初の5ビット対数コンバータが、最小と最大（Vpp）の変調信号レベルを定める2つの電圧を生成します。この2つの電圧は、ノイズ・レベルをできるだけ押さえるために、CD1ピンとCD2ピンに接続された外付けコンデンサ2個によるフィルタをかけられ、整形回路の基準として用いられます。2番目の9ビット・リニア・コンバータによって、デジタル変調信号は正弦波またはリニアに成形されたアナログ変調信号へと変換されます。整形回路の出力は、補間後にモジュレータ入力に接続されます。

2.6.3 局部発振器（LO）経路

位相ノイズ除去を向上するため、局部発振器信号がブリアンプ段の出力から抽出されます。最適な動作のため、ブリアンプのレベルは定格値（レジスタ15hのTX_lev[4:0]で設定）に近い値である必要があります。低いレベルが使用される場合には、オプション・ビットeTX[7]を使って、LO信号を約6 dB 上げることができます。その短所は受信ノイズが増加することです。

2.6.4 モジュレータ

モジュレータは、デジタル変調信号を整形したものでRFキャリアを変調します。内部モジュレータは、ASK変調とPR-ASK変調に対応しています。

Txレベル / 波形調整

出力レベルと変調波形の特性は、[モジュレータ・コントロール・レジスタ1](#)と [モジュレータ・コントロール・レジスタ4](#)（13h～16h）によって制御されます。出力信号のレベルは、[モジュレータ・コントロール・レジスタ3](#)（15h）のオプション・ビットTX_lev[4:0]によって調整されます。良好な性能を得るためには、リーダライタの出力パワーがST25RU3993の定格出力パワーに近くなるように、リーダライタ・デバイスの外付け回路を設計することをお薦めします。一時的にパワーを落として動作する必要がある場合には、オプション・ビットTX_lev[4:0]を使用してください。

正弦波整形かリニア整形かは、レジスタ（15h）のオプション・ビットlin_modによって設定されます。PR-ASK変調は、オプション・ビットpr_askをHighにセットすることで選択されます。PR-ASKを選択した場合には、オプション・ビットdel_len[5:0]を用いて、デリミタ長を9.6 μ sから15.9 μ sまでの範囲で調整します。Tari = 25 μ sでは、PR-ASKとASKのデリミタ形状が利用可能です。より精度の高いタイミングが得られるASKトランジェントは、レジスタ15hのオプション・ビットook_askで選択可能です。Tari = 12.5 μ sと6.25 μ sでは、ASKのデリミタ形状のみが利用可能です。

ASK変調は、オプション・ビットpr_askをLowにセットすることで選択されます。ASK変調では、オプション・ビットook_askを設定することで、デリミタ長の調整が可能です。この場合、ook_askビットで100% ASK変調を設定し、上記PR-ASKモードと同様に、del_len[5:0]ビットを使ってデリミタ長の設定を行います。

変調トランジェントのレートは選択されたTari設定に自動調整されますが、オプション・ビットask_rate[1:0]（レジスタ13h）による再調整が可能です。変調信号の遷移をより滑らかにするために、[モジュレータ・コントロール・レジスタ1](#)（13h）のオプション・ビットe_lpfを用いて、オプションのローパス・フィルタを有効化できます。aux_modビットとmain_modビットによって、ローパワー出力と内部PA出力のどちらの経路に変調信号が接続されるかが設定されます。[RF出力/LOコントロール・レジスタ](#)（0Ch）のeTX[3:0]ビットにより出力の1つが有効化され、それに対応するaux_modビットまたはmain_modビットがLowである場合、出力は有効化されますが変調はされません（デバイスは連続波形信号のみを出力します）。

2.7 Tx出力

次の2本のTx差動出力ポートが利用可能です。

- 差動ローパワー高直線性出力（定格 0 dBm）
- 差動ハイパワー出力（定格 20 dBm）

ハイパワー RF信号を生成するために、ローパワー出力を使用して外部PAを駆動してできます。内部ハイパワー出力は、中近距離の読取り範囲要件の用途に適したアンテナを直接駆動するために使用できます。

ローパワー出力

差動ローパワー高直線性RF出力（~0 dBm）は、外付けアンプの駆動に使用するのためのものです。50 Ω システムで最適な動作を行うためには、VDD_BIに接続された外付けRFチョークとデカップリング・コンデンサとインピーダンス比2:1のバランが、RFOPXピンとRFONXピンから構成されるRF出力に必要となります。RF出力/LOコントロール・レジスタ（0Ch）のeTX[1:0]ビットによって、出力が有効化されます。これらのビットを使用することで、RF出力ピンの電流能力を調整できます。

ハイパワー出力

差動ハイパワー出力ピンは、内部パワー・アンプ出力PAOUT_PとPAOUT_Nの出力です。50 Ω システムで動作するには、VDD_PAに接続されたRFチョークとインピーダンス・マッチング回路が必要となります。レジスタ0Chのオプション・ビットeTX[4]とeTX[3:2]によって、アンプが有効化されます。eTX[3:2]ビットによって、内部プリアンプ段のバイアスも設定されます。内部PAが有効化されると、PA電源レギュレータは自動的に有効となります。内部PAのバイアス電流は、[レギュレータ/PAバイアス・レジスタ](#)（0Bh）のオプション・ビットpa_bias[1:0]によって設定されます。

2.8 Tx動作モード

2.8.1 TXノーマル・モード

ベースバンド・データは24バイトFIFOに転送され、すべての信号処理（プロトコル・エンコード、プリアンブルまたはフレームシンクの付加、CRC、信号整形、変調）は内部で行われます。その後、データは変調パルス・レベルにコーディングされ、モジュレータに送信されます。これは、MCUはデータが入ったFIFOをロードするだけで済むことを意味します。

送信開始

ノーマル・モードでデータ送信を開始するには、3つの手段があります。

最初の手段は、次の関連ダイレクト・コマンドの後に、送信すべきバイト数に関する情報とベースバンド・データを送信することでトリガ可能なデータ送信です。

- Transmission with CRC（90h）
- Transmission with CRC Expecting Header Bit（91h）
- Transmission without CRC（92h）

[Tx長レジスタ1](#)と[Tx長レジスタ2](#)（3Dhと3Eh）に書き込む必要のあるバイト数とそのデータ自体を、[FIFO I/Oレジスタ](#)（3Fh）に格納する必要があります。どちらの処理も、連続した書き込みコマンド1回で実行できます。最初のバイトがFIFOに完全に書き込まれると転送が始まります。

送信をトリガする2番目の手段では、EPC Class1 Gen2プロトコルに関連する次のダイレクト・コマンドの1つを用います。

- インベントリ・コマンド:
 - Query (98h)
 - QueryRep (99h)
 - QueryAdjustUp (9Ah)
 - QueryAdjustNic (9Bh)
 - QueryAdjustDown (9Ch)
- ACK (9Dh)
- ReqRN (9Fh)

この場合、コマンドを受信すると同時に送信が始まります。

データ送信の3番目の手段は、AutoACKモードのどれかを用いるものです。この場合には、直前の受信が成功すると、ACKまたはReqRnが自動送信されます。

データ送信の間、[FIFOステータス・レジスタ](#) (39h) のTX_statusビットがセットされます。データ送信が完了すると、リーダライタ・デバイスは、Irq_TXビットをHighにセットしてIRQリクエストを送信します。

プロトコル調整

EPC Class1 Gen 2プロトコルでは送信パラメータの調整が可能です。対応している3種類のTari値は、[Txオプション・レジスタ](#) (02h) のオプション・ビットTari[1:0]を変更することによって選択されます。(PIEエンコードされた) 論理値のH期間の長さは、[Txオプション・レジスタ](#) (02h) のオプション・ビットTXOne[1:0]によって選択されます。ダイレクト・コマンドQuery (98h) のセッション・パラメータは、[Tx設定レジスタ](#) (3Ch) のオプション・ビットS1とS0によって設定されます。後方散乱リンク周波数を設定するTRcalは、Queryコマンド送信の中に含まれています。TRcalは、TRcalレジスタ (04hと05h) のオプション・ビットTRcal[11:0]によって設定されます。

注意： ソフトウェア設計者は、送信QueryコマンドのTRcal[11:0]ビットとRX_LF[3:0]ビットとDRビットがGen2プロトコルに準拠しているように、気を付ける必要があります。厳密な説明は、EPC Class1 Gen2またはISO18000-6Cのプロトコル説明に記載されています。通常送信でTRcalデータが必要である場合には、[Tx設定レジスタ](#) (3Ch) のオプション・ビットForce_TRcalで設定可能です。巡回冗長検査は、CRC-16に替えてCRC-5とすることができます。通常送信では、[Tx設定レジスタ](#) (3Ch) のオプション・ビットTXCRC_5を設定することにより行われます。

送信FIFO

リーダライタ・デバイスは、完全独立の24バイトFIFOバッファ・レジスタ2本を備えており、1本は送信用、1本は受信用です。これらのFIFOは同じアドレスを共有しています。FIFOアドレス3Fhに書き込むことによりデータは送信FIFOに渡され、レジスタ・アドレス3Fhから読み込むことにより受信FIFOから値がフェッチされます。この手法によって、直前に受信したデータがMCUによって読み出される前に、新しい送信を開始することが出来ます。

送信するデータ・バイト数がFIFOバッファのサイズを超えている場合には、MCUは最初にFIFOレジスタを24バイトだけをフィルする必要があります。このリーダライタ・デバイスは送信を開始し、FIFOが残り6バイトだけとなると、割込み要求を送信し、[割込みレジスタ1](#) (37h) のirq_fifoによる通知が行われます。割込みを受信すると、MCUはレジスタ37hから読み込む必要があります。このレジスタを読み込むことで、ホスト・システムは割込みの要因を知り、それと同時に割込みビットをクリアします。この後、MCUは使用可能なFIFOサイズを考慮の上で、残った送信データ・バイトをFIFOに置きます。送信データ・バイトがすべてFIFOに送信済みである場合には、ホスト・システムは最後のデータが送信されるまで待ちます。送信の終了は、レジスタ37hのIRQリクエストIrq_TXによって、MCUに伝えられます。2本の[Tx長レジスタ1](#)と[Tx長レジスタ2](#) (3Dhと3Eh) は、不完全なバイトの送

信に対応しています。MCUは、完全なバイトのバイト数と、送信すべき残りビットのビット数を設定する必要があります。

2.8.2 TXダイレクト・モード

リーダライタ・デバイスのプロトコル処理対応をすべてバイパスして、アナログ機能だけを使用する際には、ダイレクト・モードが選択されます。

ダイレクト・モードの開始と終了

ダイレクト・モードに入るには、ダイレクト・コマンドDirect Mode (81h) の送信に続けて、NCSをLowからHighに変化させる必要があります。ダイレクト・モードは、NCSがHighに保たれている限りは有効のままとなります。ダイレクト・モードを終了するには、NCSをHighからLowに変化させた直後に、ダイレクト・コマンドBlock Rx (96h) を送信する必要があります。それと同じか引き続くNCSのLow期間の間は、SPIインタフェースを介した通常通信が再び可能です。

ダイレクト・モード・シグナル

ダイレクト・モード中のI/Oピンの再割り当てを表 6に示します。異なる受信出力オプションは、[プロトコル選択レジスタ](#) (01h) のオプション・ビットdir_modeに関連しています。

表 6. ダイレクト・モードにおけるI/Oピン再割り当て

ピン名称	ビット・ストリームとビット・クロック出力 (dir_mode = 0)	サブキャリア出力 (dir_mode = 1)
MOSI	Txデータ入力	Txデータ入力
SCLK	Rx入カインエプル	Rx入カインエプル
MISO	Rxデータ出力	Iチャンネル・サブキャリア出力
IRQ	Rxビット・クロック出力	Qチャンネル・サブキャリア出力

ダイレクト・モードでは、MCUは、送信変調入力ピンMOSI (Txデータ入力) を直接制御しなければなりません。RFフィールドは、MOSIがHighであればHighレベルに、MOSIがLowであればLowレベルに設定されます。回路は、[モジュレータ・コントロール・レジスタ1](#)と[モジュレータ・コントロール・レジスタ3](#) (13h ~ 15h) の設定内容に従ってフィールドを整形し、シグナルを送信します。

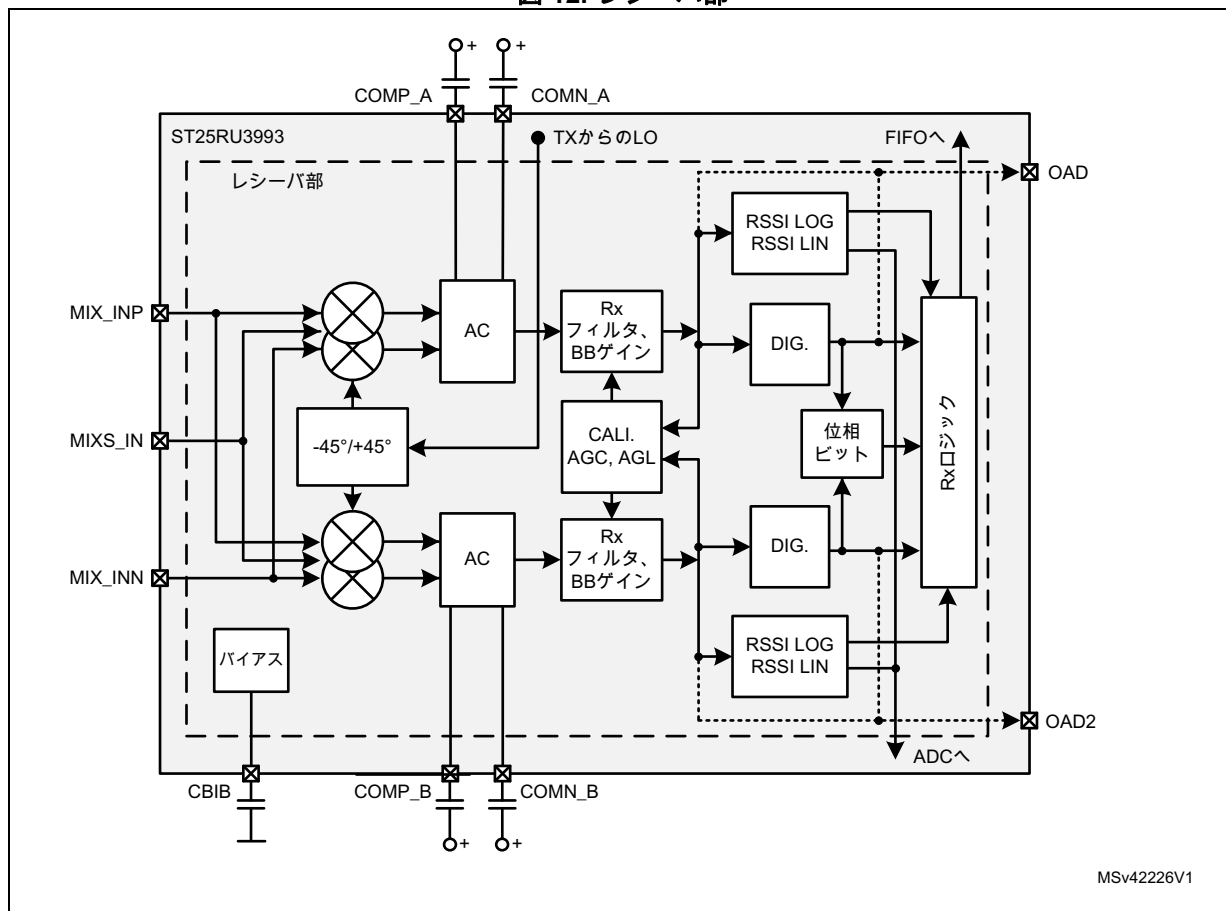
2.9 レシーバ

レシーバ部は、2個の入力ミキサに続く、高速AC結合段、ゲイン段、フィルタ段とデジタイザから構成されています。2本の受信信号は、決定回路とビット・デコーダとフレームに送られ、プリアンプルの除去とCRCのチェックが行われます。チェック済みでフレーム化されたベースバンド・データは、24バイト[FIFO I/O レジスタ](#) (3Fh) を通じてMCUからアクセス可能です。

レシーバ部は、[デバイス・ステータス・コントロール・レジスタ](#) (00h) のオプション・ビットrec_onまたはrf_onによってアクティブになります。リーダライタ・デバイスがそれまでにノーマル・モード (EN=Hかつstby=0) であった場合、標準的なバイアス整定時間は3 msです。ENピンまたはstbyのHighからLowへの変化とともにrec_onビットがセットされた場合には、ノーマル・モードの起動タイミングが優先されます。

ST25RU3993デバイスのレシーバ部の詳細なブロック図を図 12に示します。

図 12. レシーバ部



2.9.1 入力ミキサ

2個の入力ミキサは90°シフトのLO信号で駆動され、IQ復調回路を構成します。IQデモジュレータ・アーキテクチャの採用により、AM入力信号は同相チャンネル（I）で復調され、PM入力信号は直交位相（Q）チャンネルで復調されます。AM入力信号とPM入力信号が混じっているものは、両方の受信チャンネルで復調されます。この構成により、変調種別を切り替えることで生じる通信の欠落が抑制されるため、たとえレシーバの入力においてトランスポンダが振幅変調か位相変調を示した場合であっても、信頼性のある動作となります。差動入力ミキサとシングルエンド入力ミキサが利用可能です。

差動入力ミキサ

MIX_INPピンとMIX_INNピンが差動Rxミキサに対する入力です。これらの入力は、外部回路にAC結合されている必要があります。起動時には、デバイスは自動的に差動Rxミキサを選択します。差動Rxミキサが使用されない場合には、入力ピンはGNDに短絡する必要があります。レシーバのノイズと入力範囲の特性を最適化するために、差動Rxミキサには入力範囲を調整する設定項目が含まれています。環境の反射率とアンテナの特性次第では、レシーバの入力RF電圧は、差動Rxミキサの動作が損なわれるレベルまで増加することがあります。このような場合には、[Rxミキサ/ゲインレジスタ](#) (0Ah) のオプション・ビットmix_ir[0]をHighに設定することで、内部入力アッテネータを有効にして、入力範囲を拡大できます。不要反射波電力（自己妨害）が小さい場合には、ホスト・システムは、オプション・ビットmix_ir[1]を設定することによりミキサ変換ゲインを増加させて、レシーバの全体感度を向上可能です。この設定の欠点は、入力ダイナミック・レンジが減少することです。

エミッタ結合ミキサ・オプション・レジスタ (22h) は次のようにも設定できます。

- `emix_vr[0]`: (`id2x`) ミキサ・ゲイン・モードにおける差動Rxミキサ範囲を増加 (~3dB)
- `emix_vr[1]`: (`vsp_low`) 差動Rxミキサのバイアス点を低電源電圧に適応
- `iadd_sink[2:0]`: 差動Rxミキサ負荷段を選択

シングルエンド入力ミキサ

シングルエンド入力ミキサはエミッタ結合入力の配置となっています。MIXS_IN入力ピンは、GNDに対するDC経路を有しており、RF入力信号に対してAC結合されている必要があります。シングルエンド入力ミキサは、**補助レジスタ1** (0Dh) の`s_mix`ビットによって有効化される必要があります。

以下に示すオプションは、ミキサ入力範囲と感度と消費電流に対するさまざまな要件に対して、ミキサの動作を最適化するために用意されています。

- `mix_ir[1:0]`: **Rxミキサ/ゲインレジスタ** (0Ah) の内部ミキサ・インピーダンスとゲインを選択
- `emix_vr[2:0]`: **エミッタ結合ミキサ・オプション・レジスタ** (22h) のミキサ入力電圧範囲を選択

`id2x`, `id1x5`, `iadd_sink[2:0]`: **TRcalハイ・レジスタ** (04h) と **エミッタ結合ミキサ・オプション・レジスタ** (22h) のミキサ負荷段電流を選択

2.9.2 局部発振器経路

位相ノイズ除去を向上するため、RFOPXかRFONXか内部PAの内部プリアンプ段から局部発振器信号を抽出することができます。LO信号を取る信号源は、**RF出力/LOコントロール・レジスタ** (0Ch) のオプション・ビット`eTX[6]`によって選択されます。定格よりも低い出力RFレベルが使用される場合には、オプション・ビット`eTX[7]`をHighに設定して、LO信号を約6 dB上げることができます。この設定の欠点は、受信ノイズが増加することです。

2.9.3 高速AC結合

内部フィードバックAC結合システムは、送信変調が開始される前に、DC動作点を格納します。データ送信の後、システムは徐々にハイパス時定数を調整しますので、受信前に非常に高速な整定時間が得られます。EPC Class1 Gen 2プロトコルの最高ビットレートに必要な短いTx-Rx遷移時間に対応するには、このようなシステムが必要となります。

2.9.4 Rxフィルタ

フィルタ配置

Rxフィルタは、以下の4つのフィルタ段から構成されています。

- 500 kHzまたは600 kHzの隣接チャネルを抑圧するノッチ特性を備えた4次楕円ローパスこのフィルタは、DRM動作において、1dB圧縮ポイントがETSIでは360 kHz、FCCチャネル間隔では280 kHzとなるように設定可能です。このフィルタ段は、次の1種類の非DRM設定が可能です。
 - BLF = 640 kHzに対して、800 kHzローパス・コーナー周波数
- 72 kHzから200 kHzに調整可能な1dB圧縮ポイントを備えた2次ハイパス・チェビシェフ・フィルタこのフィルタ段は、より低いLF周波数に対してオフ（そのゲイン段のみ）にすることができます。
- DRM動作において、ETSIでは360 kHz、FCCチャネル間隔では280 kHzに1dB圧縮ポイントを備えた2次ハイパス・チェビシェフ・フィルタこのフィルタ段は、次の3種類の非DRM設定が可能です。
 - BLF = 640 kHzに対して、800 kHzローパス・コーナー周波数
 - BLF = 160 kHzに対して、180 kHzローパス・コーナー周波数
 - BLF = 40 kHzに対して、72 kHzローパス・コーナー周波数
- 72 kHzから200 kHzに調整可能な1dB圧縮ポイントを備えた2次ハイパス・チェビシェフ・フィルタこのフィルタ段は、より低いBLFとFM0コーディングに対して、-3 dB周波数が5.5 kHzまたは12 kHzである1次ハイパスに再構成可能です。

Rxフィルタ特性

Rxフィルタ特性は、[Rxフィルタ設定レジスタ](#) (09h) のオプション・ビットを通じて設定されます。オプション・ビットhp[3:1]はパイパス・コーナー周波数を設定し、lp[3:1]はローパス・コーナー周波数を設定します。byp1ビットとbyp2ビットによって数段がバイパスされ、より低い後方散乱リンク周波数での動作が可能となります。異なるフィルタ段の設定によってお互いに部分的な影響を与え合いますので、多くの異なる総合フィルタ特性を得ることができます。レジスタ09hはFFhにセットしてください。使用可能なレジスタ設定とその標準的なRxフィルタ特性を[表 7](#)に示します。

表 7. Rxフィルタ設定（レジスタ09h）

フィルタ設定	-3 dB HP周波数	-3 dB LP周波数	40 kHzにおける減衰量	600 kHzにおける減衰量	1.2 MHzにおける減衰量
BLF = 640 kHz					
reg09:00	220 kHz	770 kHz	-55 dB	-	-35 dB
reg09:07	80 kHz	770 kHz	-18 dB	-	-35 dB
BLF = 320 kHz (ETSI DRM)					
reg09:20	200 kHz	380 kHz	-50 dB	-40 dB	-54 dB
reg09:27	75 kHz	380 kHz	-18 dB	-40 dB	-54 dB
BLF = 250 kHz (FCC DRM)					
reg09:30	200 kHz	320 kHz	-50 dB	-45 dB	-55 dB
reg09:37	75 kHz	320 kHz	-18 dB	-45 dB	-55 dB
BLF = 160 kHz					
reg09:3B	110 kHz	245 kHz	-	-52 dB	-56 dB
reg09:3F	55 kHz	245 kHz	-	-52 dB	-56 dB
BLF = 40 kHz					
reg09:FF	7 kHz	80 kHz	-	-60 dB	-55 dB

推奨フィルタ設定

すべてのフィルタ設定が動作中に有用であるわけではありません。表 8 表8に示したものが推奨レジスタ設定であり、これによって、対応するリンク周波数とRxコーディングに対して、最適なRxフィルタ総合特性が得られます。

表 8. 対応リンクモードに対する推奨Rxフィルタ設定

リンク周波数	Rxコーディング	レジスタ09h設定
DRMモード		
320 kHz	M4	24h
	M8	
250 kHz	M4	34h
	M8	
他の対応モード		
40 kHz	FM0	FFh
	M2	
	M4	
	M8	
160 kHz	FM0	BFh
	M2	3Fh
	M4	
	M8	
640 kHz	M4	04h
	M8	

Rxフィルタ補正

内部抵抗とコンデンサの値のプロセスばらつきと温度変動を補償するため、フィルタ補正プロシージャを利用できます。補正プロシージャは、ダイレクト・コマンドTrigger Rx Filter Calibration (88h)によってトリガされます。補正は5 ms（最大値）後に完了しますが、起動後と初回受信前、その後も折に触れて、特に大幅な温度変化が発生した場合には、トリガされる必要があります。

この補正の結果は、r2Cpage[1:0] = 10bとした[AGL/VCO/F_CAL/PilotFreq ステータス・レジスタ \(r2Cpage\[1:0\] = 01\)](#) (2Ch) のステータス・ビットlp_cal[3:0]とhp_cal[3:0]によって示されます。標準的な補正結果の値は88hです。[補助レジスタ2](#) (0Eh) の有効化オプション・ビットf_cal_hp_chgが先にHighにセットされていた場合、自動補正された値は、ダイレクト・コマンドのDecrease Rx Filter Calibration Data (89h) とIncrease Rx Filter Calibration Data (8Ah) で調整可能です。

hp_cal[3:0]はフィルタ特性のバイパス部分に影響を与え、lp_cal[3:0]はフィルタ特性のローパス部分に影響を与えることに留意してください。どちらも4%ステップです。範囲は30%です。

Rxゲインとデジタイザのヒステリシス

受信チェーンのRxゲインとデジタイザのヒステリシスを調整して、信号対雑音干渉比を最適化できます。調整方法としては次の3種類あります。

- 手動
- AGC
- AGL

手動調整

この調整方法は、[Rx ミキサ/ゲインレジスタ](#) (0Ah) のオプション・ビットを設定することによって行われます。gain[2:0]ビットによってデジタイザのヒステリシスが1ステップあたり3 dB (7ステップ) 増加し、gain[5:4]ビットによってベースバンド・アンプのゲインが1ステップあたり3 dB (3ステップ) 変化します。変化の符号 (増加または減少) は、オプション・ビットgain_signによって設定されます。

AGC

内蔵AGCには、受信プリアンプの最初の期間に動作するシステムが含まれています。部分的にデジタイザのヒステリシスを変更し (ステップ1~4)、ベースバンド・ゲインを変更します (ステップ5~7)。ヒステリシスとベースバンド・ゲインは両方のチャンネルに対して等しく変更され、より強い信号が正しくデジタイズされるように、IチャンネルとQチャンネルの間の比を維持します。[デバイス・ステータス・コントロール・レジスタ](#) (00h) のオプション・ビットagc_onをHighに設定することで、AGCを有効にできます。AGCの状態は、[AGC/内部ステータス表示レジスタ](#) (2Ah) のステータス・ビットagc[2:0]によって確認可能です。レジスタ値は、3 dBステップの数を示しています。

AGL

この調整は、環境ノイズと妨害のために受信状態が悪い場合に、感度を低下させる別の手段となります。ダイレクト・コマンドEnable Rx (97h) 送信後のrf_ok = 1の間、ならびに保留となっている実トランスポンダ応答が存在しない時間の間、AGLはダイレクト・コマンドAGL On (A6h) によってトリガ可能です。このことは、RF立ち上げが完了していなければならない、レシーバが妨害信号を受信する用意が整っていることを意味します。この自動機能によって、各チャンネルに対して個別に、雑音妨害レベルの少し上のレベルまでデジタイザのヒステリシスが増加します。AGL動作に必要な最長時間は1 msです。各チャンネルに対するAGL結果の状況は、r2Cpage[1:0] = 00bとした[AGL/VCO/F_CAL/PilotFreqステータス表示レジスタ \(r2Cpage\[1:0\] = 00\)](#) (2Ch) のステータス・ビットagl[5:0]を読むことにより確認可能です。レジスタ値は、3 dBステップでのステップ数を示しています。有効なステップは4個あり、ステップ5~7は無効なステップ (0 dB) です。AGLは、ダイレクト・コマンドAGL Off (A7h) により停止します。結果は格納されており、ダイレクト・コマンドAGL Off (A7h) が送信されるまで有効なままになっています。

AGCとAGLの差は、AGCがデータ・パケット受信を開始するたびに動作するのに対して、AGLはダイレクト・コマンドAGL On (A6h) 送信時にのみ動作する点です。

AGCとAGLのどちらも[Rx ミキサ/ゲインレジスタ](#) (0Ah) のgain[2:0]ビットで動作しますので、排他的に使用する必要があります。手動設定の優先度は下がります。システム・ゲインの設定は、一般に、どのタグも送信していないときには、良好な (通常の) 状態において、デジタイザ出力に発生する遷移の数は少なくなるようなレベルである必要があります。このような場合には、AGLにも変化はみられません。

2.9.5 IQ選択

2本の受信信号はデジタル化と評価が行われます。決定回路は、その後の処理のために、同相信号チャネルと直交信号チャネルのどちらか、受信信号が良好である方を選択します。選択された信号チャネルは、[AGL/VCO/F_CAL/PilotFreq ステータス表示レジスタ \(r2Cpage\[1:0\] = 00\)](#) (2Ah) のステータス・ビットin_selectを読み出すことによって確認可能です。このビットは、プリアンプルの最後から次回送信開始まで有効です。FM0 Rxエンコードでは、データ・パケット先頭における受信サブキャリアのデジタル表現の評価に基づいて、選択が行われます。Miller Rxエンコードでは、対数RSSI測定による選択に対応しています。RSSIが考慮されるのは、RSSI測定値 (IまたはQ) の1つ以上が [インテロゲータ・コリジョン検出/IQ選択設定レジスタ](#) (1Dh) のオプション・ビットIQsel_Th[3:0]によって設定された値よりも大きい場合です。ノイズRSSIを考慮すれば、更なる改善が可能です。このモード (有効なRFフィールドと、次の受信で使用するミキサとゲインの全設定値が必要) を有効化するには、ダイレクト・コマンドEnable Rx (97h) とStore RSSI (A8h) を送信します。その結果として、実際のパイロットRSSIと格納されたノイズRSSIの差だけがQの決定に寄与することになります。

2.9.6 ビット・デコーダ

ビット・デコーダは、[Rxオプション・レジスタ](#) (03h) のオプション・ビットRX_cod[2:0]とRX_LF[3:0]によって設定されたプロトコルに従って、サブキャリアでコード化された信号をビット・ストリーム・データに変換します。システムはデータ・クロックとシリアル・データ・ビットを抽出し、プリアンプルを除去します。デコーダのロジックは、ノイズや妨害によって部分的に壊れたサブキャリア信号のデコードが可能であるように、許容誤差が最大となるように設計されています。EPC Class1 Gen2 プロトコルでは、FM0エンコードとすべてのMillerエンコードされた信号に対して、デコーダは長いRxプリアンプル (TRext = 1) に対応しています。Miller4エンコードとMiller8エンコードの信号に対して、短いRxプリアンプル (TRext = 0) に対応しています。

2.9.7 データ・フレーム

シリアル・ビット・ストリームは、データ・フレームでバイト列にフォーマットされます。CRCバイトはチェック後に除去され、純粋なベースバンド・データが残ります。このデータは24バイトFIFOレジスタに送信され、そこからMCUは読み出すことができます。レシーバは、不完全なバイト列の転送にも対応しています。

2.10 データ受信モード

デバイスはノーマル・モードかダイレクト・モードで動作可能です。

2.10.1 Rxノーマル・モード

ノーマル・モードでは、受信データはFIFOに格納されます。

受信開始

受信はデータ送信の最後に自動的にトリガされます。

受信を開始する2番目の方法は、ダイレクト・コマンドEnable Rx (97h) を送信することにより手動で実行されます。正常な動作のため、[プロトコル選択レジスタ](#) (01h) のdir_modeビットは0にセットする必要があります。

受信を開始する3番目の手段は、AutoACKモードのどれかを用いるもので、PC+EPCとHandleを取得するために自動的に受信がトリガされます。

Rx待ちタイマ

Rx待ちタイマは、データ送信の終了とデータ受信の開始の間の待ち時間を設定します。この期間の間、デコーダは動作していません。これによって、送信動作またはノイズや妨害に起因するトランジェントにより発生するおそれのある不正受信が防止されます。Rx待ちタイマは、[Rx待ち時間レジスタ](#) (08h) のオプション・ビットRXw[7:0]によって設定されます。Rx待ちタイマのステップ・サイズは6.4 μ sです。

Rx応答なしタイマ

Rx応答なしタイマは、コリジョン防止アルゴリズムの受信スロットでスタートし、タグから応答が届くまでを計測します。設定時間内にタグからの応答が受信されない場合、受信は終了し、Irq_norespビットがセットされてIRQがトリガされます。[割込み有効化レジスタ1](#) (35h) のオプション・ビットe_irq_norespがセットされている場合には、Rx応答なしタイマによる受信の終了はありません。したがって受信は、ダイレクト・コマンドBlock Rx (96h) を送信することにより手動で終了する必要があります。このモードは、応答時間が長いことがあるか、それが定義されていないコマンドのために設計されています。Rx応答なしタイマは、[Rx応答なし時間レジスタ](#) (07h) によって制御されます。この時間は25.6 μ sステップで設定されます。タイマがFFhに設定された場合、Rx応答なし時間は26.2 msに固定されます。

デコーダ動作

データ受信の間は[FIFOステータス・レジスタ](#) (39h) のRx_statusビットがHighにセットされ、データ送信が完了すると、リーダーライタ・デバイスはIrq_RXビットをセットしてIRQリクエストを発行します。Rx FIFOバッファには24バイト格納可能です。受信データのバイト数が18を超えた場合には、Irq_fifoビット (レジスタ37h) がHighにセットされたIRQリクエストによって、FIFOからのデータ移動が必要であることをMCUに伝えます。データ・フォーマットかCRCにエラーが検出されると、MCUは、Irq_errビットがHighにセットされたIRQリクエストによる警告を受けます。エラー要因に関する情報は、[割込みレジスタ2](#) (38h) から読み込むことができます。受信エラーの場合には、リーダーライタとタグがほぼ同等のタイム・フローを維持するように、システムは予想されたビット数をそのまま受信します。

Rx長レジスタ

一般に、予想される受信長は受信開始前に設定される必要があります。そうではない場合には、実際の長さが取得可能となった時点で、受信中に受信長が更新されます。通常のデータ送信 (ダイレクト・コマンド90h、91h、92h) の最後に受信がトリガされると、受信長は[Rx長レジスタ1](#)と[Rx長レジスタ2](#) (3Ahと3Bh) のオプション・ビットRXl[11:0]によって設定される必要があります。

ダイレクトQueryコマンド群 (98h、99h、9Ah、9Bh、9Ch) では、待ち受けているRN16のために、Rx長は16ビットに事前設定されています。ダイレクト・コマンドReqRN (9Fh) では、ハンドルとCRCを受信するために、Rx長は内部的に32ビットに設定されています。PC + EPCの受信中に限っては、受信長は事前にはわかりません。このケースをカバーするため、内部のプロトコル・ロジックで最初の受信バイトが確認され、最初のPCバイトに含まれている値に従ってRx長が調整されます。ダイレクト・コマンドEnable Rx (97h) によって受信が手動でトリガされる場合には、Rx長は[Rx長レジスタ1](#)と[Rx長レジスタ2](#) (3Ahと3Bh) のオプション・ビットRXl[11:0]によって設定される必要があります。AutoACKプロシージャのどれかが使用される場合には、自動インベントリ・コマンド・シーケンスの間に受信したタグ応答すべてに対して、Rx長は自動的にセットされます。

おそらくは将来的なプロトコル拡張や特定用途向けのタグ機能のために、自動的にセットされたRx長が実際のタグ・データ長と一致しない場合には、MCUは受信中に予想されたRx長を変更できます。自動設定されたPC+EPC長の場合には、2番目の受信バイトの後にRx長の変更が可能です。MCUは、2バイト (PC+EPCフィールドのPC部分) 受信後に追加の割込みをリクエストできます。MCUは、現在進行中の受信の長さが設定されている2バイトを読み出して、Rx長レジスタを更新することができます。2番目のバイトの後のIRQリクエストは、[Rx長レジスタ1](#) (3Ah) のオプション・ビットfifo_dir_irq2

によって有効化されます。このモードの副作用は、FIFOの中にもCRCバイトが現れることです。2番目のバイトを実際に受信したことは、[割込みレジスタ1](#) (37h) の中でHighにセットされたIrq_2nd_byte IRQビットによって通知されます。実際のRx長が後にしか得られない場合には、[Rx長レジスタ1](#) (3Ah) のオプション・ビットrep_irq2を設定することにより、2番目のバイトの割込み機能を拡張して、4番目、6番目...の受信バイトの後に追加のIRQリクエストをトリガすることができます。狙った受信バイト数の割込みが受信されたときに、オプション・ビットrep_irq2をクリアすることで、残りの受信に対するそれ以上の割込みが防止されます。

Gen2コマンドの一部では、タグが通常応答で応答すること、エラーコードで応答することもあります。この2種類の応答は長さが異なります。MCUの更なる支援のため、オプション・ビットauto_errcode_RXIが用意されました。このオプション・ビットがセットされると、プロトコル・ロジックは受信したヘッダ・ビットを確認し、エラー・コードの受信が検出された場合、その予想される受信長を41ビット（Gen2エラー応答長）に調整します。

RN16レジスタ

EPC Class1 Gen2プロトコルでは、インベントリ・ラウンドの中のタグ応答とそれに続くリーダライタ・コマンドの間の時間はやや不足しています。MCUがFIFOからRN16（またはハンドル）を読み込んでFIFOに書き戻す処理を支援するために、最後に受信したRN16を格納するための特別なレジスタが、デバイスに組み込まれています。RN16は、ダイレクトQueryコマンド群のどれかを最後に正常受信した後に格納されます。最後に格納されたRN16は、ACKコマンドの中で自動的に使われます。

AutoAckモード

AutoACKモードによって、1台のトランスポンダに対してインベントリ・コマンド・シーケンスが自動実行されます。その目的は、MCUとリーダライタ・デバイスの間のやり取りの回数を最小限に抑えることにより、時間がクリティカルな作業からMCUを解放することです。AutoACKモードは、[プロトコル選択レジスタ](#) (01h) のオプション・ビットAutoACK[1:0]を設定することにより有効化されます。次のモードが利用可能です。

- AutoACK[1:0] = 00b: クエリのみ
- AutoACK[1:0] = 01b: 各クエリ・コマンドの後にACKが続く
- AutoACK[1:0] = 10b: 各クエリ・コマンドの後にACKとReqRNが続く

自動インベントリ・コマンド・シーケンスは、ダイレクトQueryコマンド群 (98h、99h、9Ah、9Bh、9Ch) によってトリガされます。RN16が正常に受信されると、肯定応答コマンドACKとそれに続く受信の準備とトリガが自動的に行われます。PC+EPCが正常に受信されると、ハンドルのリクエスト (ReqRN) の準備とトリガが自動的に行われます。さらに、適切なRx長の設定が行なわれ、受信データ (PC+EPC、Handle) がFIFOに入れます。MCUはベースバンド・データを読み出し、次のQueryコマンドをトリガして、インベントリ・ラウンドまたはタグ・オープン状態で使用可能な別のタグ・コマンドを継続します。

ホスト・システム (MCU) が処理する必要のある割込みの回数は、次に示すように最小限に抑えられます。

- 何も受信していない場合は、Irq_norespシグナルが送られます。
- EPCが18バイトよりも長い場合は、Irq_fifoシグナルが送られます。これによって、FIFOからデータを読み出す必要があることが通知されます。
- EPCとHandleの受信の終了時にIrq_RXシグナルが送られます。これによって、1つのAutoACKステップが完了したことも通知されます。エラーがない場合には、FIFOから利用可能なデータを読み出す必要があります。
- AutoACKプロシージャの終了時にIrq_AutoACKシグナルが送られますが、これは、RN16の受信が行われていて、シーケンス中に少なくともACKコマンドが発行されたことを意味しています。
- プロシージャの間にエラーが発生した場合には、Irq_errシグナルが送られます。

インベントリ・ラウンドを正常に制御するため、ホスト・システムは、空のコリジョン防止スロットとコリジョンが発生したスロットを区別する必要があります。

- Irq_AutoACKを伴わないIrq_norespは、Queryコマンドに応答がなかったことを意味しています。これは、インベントリ・プロセスの実際の空スロットを表します。
- Irq_AutoACKを伴うIrq_norespまたはIrq_AutoACKを伴うIrq_errは、RN16の受信が行われていることと、プロセスの中で空スロットまたは受信エラーが後に発生したことを意味しています。おそらく、フィールドの中に未確認のトランスポンダが存在します。ただし、特定の設定と条件では、フィルタがかけられた受信ノイズ・レベルがデジタル化ヒステリシスの閾値を超えていて、システムがそれをタグ信号と認識していることも意味しています。

ノーマル・モード受信の他の場合に使用されるのと同様に、AutoACK機能では、[Rx応答なし時間レジスタ](#) (07h) と [Rx待ち時間レジスタ](#) (08h) が使用されます。EPC Class1 Gen2 プロトコルに従って、T2時間の設定に追加のタイマが使用されます。この時間は[AutoACK待ち時間レジスタ](#) (06h) で設定されます。このタイマは受信期間の最後にスタートし、次回データ送信がトリガされる時間を規定します。

テスト出力付きノーマル・モード

ノーマル・モード時とボードのデバッグ中に動作を監視するために、[測定コントロール・レジスタ](#) (10h) の次の手段が利用可能です。

- 両受信チャネル (I と Q) のデジタル化サブキャリア信号は、オプション・ビット Tcomb[1:0] を 01b に設定することで有効化されます。出力は OAD と OAD2 です。
- Tx 変調出力と選択されたデジタル化サブキャリア信号チャネルは、オプション・ビット Tcomb[1:0] を 10b に設定することで有効化されます。出力は OAD (TX) と OAD2 (Rx) です。
- 両受信チャネル (I と Q) のアナログサブキャリア信号は、オプション・ビット e_anaout[1:0] を 01b に設定することで有効化されます。出力は OAD と OAD2 です。アナログ出力はデジタル出力よりも優先度が低くなります。

2.10.2 Rxダイレクト・モード

ダイレクト・モードにおける受信は、SCLK ピン (Rx 入力イネーブル) を High に設定することでトリガされます。ダイレクト・モードでタグからデータを受信する際には、オプション・ビットの設定次第で3つの選択肢があります。

- プロトコルに従って内部でデコードされたビット・ストリームとビット・クロックは、dir_mode = 0 によって有効化され、[プロトコル選択レジスタ](#) (01h) のオプション・ビット prot[2:0] と [Rx オプション・レジスタ](#) (03h) のオプション・ビット RX_cod[2:0] と RX_LF[3:0] によって設定されます。出力は MISO ピンと IRQ ピンです。
- 両受信チャネル (I と Q) のデジタル化サブキャリア信号は、[プロトコル選択レジスタ](#) (01h) のオプション・ビット dir_mode を High に設定することで有効化されます。出力は MISO ピンと IRQ ピンです。
- 両受信チャネル (I と Q) のアナログサブキャリア信号は、[測定コントロール・レジスタ](#) (10h) のオプション・ビット e_anaout[1:0] を 01b に設定することで有効化されます。出力は OAD ピンと OAD2 ピンです。

ダイレクト・モードへの入り方とこのモードでの I/O ピンの再割り当ての詳細は、[セクション 2.8.2: TXダイレクト・モード](#) を参照してください。

2.10.3 アンテナまたは指向性デバイスのチューニング支援モード

反射の少ないTxパワーを得るために、アンテナまたは指向性デバイスを積極的にチューニングする必要があります。正しいチューニングを可能とするために、入ってくる反射波電力の振幅情報と位相情報が、ミキサ2個の出力DCレベルを通じて利用できます。ミキサ2個のDCレベル出力のアナログ表現は、[測定コントロール・レジスタ](#) (10h) のe_anaout[1:0]を10bに設定することにより、OAD出力とOAD2出力から得られます。受信中にチューニングを行う場合には、レシーバの有効化タイミングを知るためにEnable_RX信号が必要となります。[測定コントロール・レジスタ](#) (10h) のTcomb[1:0]が11bであれば、この情報はADCピンから取得可能です。チューニング・データを取得する別の方法は、A/Dコンバータの項目に記載されているように、反射波電力レベルのデジタル表現を読み込むものです。

2.10.4 対数RSSI

レシーバ部には、対数RSSI (受信信号強度インジケータ) ブロックが2個含まれています。これらのブロックは、両信号チャネル (IとQ) の出力に接続されています。それぞれのRSSIの読取り値は、r2Bpage[3:0] = 0110bとした[RSSI表示レジスタ](#) (2Bh) の2番目の受信バイトに、データ受信中に格納されます。RSSIの結果は、次回送信開始まで有効です。

2.11 A/Dコンバータ

8ビットオンボードA/Dコンバータは、外部パワー検出器に対応しており、内部診断回路に接続できます。入力範囲は $\pm 1V$ で、AGD電圧 (1.6 V) がセンター値となります。LSB側7ビットが絶対出力レベルに関する情報であり、MSBは符号ビットとして働きます (Highは正の値、Lowは負の値を示します)。A/D変換の信号源は、[測定コントロール・レジスタ](#) (10h) のオプション・ビットmsel[3:0]によって選択されます。変換は、ダイレクト・コマンドTrigger AD conversion (87h) によってトリガされ、その結果は、r2Dpage[1:0] = 00b ([ステータス読出しページ設定レジスタ](#)) として[ADC読取り/レギュレータ設定表示レジスタ](#) (r2Dpage[1:0] = 00) (2Dh) を通じて入手可能です。A/D変換は20 μs 後に完了し、オプション・ビットIrq_cmd ([割込みレジスタ2](#)) がセットされてIRQリクエストが送信されます。

2.11.1 外部RFパワー検出器

PAの後か方向性結合器の入力結合ポートに外部RFパワー検出器を配置可能であり、実際のRF出力パワーを測定できるようになります。結果として得られるパワー検出器からのアナログ電圧は、リーダーライタ・デバイスのADCピンに接続できます。この電圧レベルのデジタル表現は、msel[3:0] = 0011b ([測定コントロール・レジスタ](#)) として、オンボードA/Dコンバータを用いて取得可能です。

2.11.2 反射波RF電力インジケータ

レシーバには入力RFレベル・インジケータが含まれており、回路診断用として、またはアンテナ周囲環境の問題点の検出用として使用されます。低品質アンテナからの反射 (S11) と、反射アンテナの環境、指向性のデバイスからの漏れによって、ミキサ入力におけるキャリア・レベル (自己妨害レベル) が増加します。キャリア・レベルが上昇すると復調ノイズが増加しますので、ミキサ入力における不要キャリア・レベルを最低限に保つことが必須条件です。ミキサ2個の入力に見られる反射キャリアは、ゼロ周波数にダウンコンバートされます。ミキサ出力におけるDCレベル2つは入力RFレベルに比例しており、RF入力レベルの測定用として使用できます。ミキサのDCレベルは、キャリア入力位相にも依存しています。ミキサ2個のDC出力レベルは、オプション・ビットmsel[3:0]を0001bと0010bに設定することにより、オンボードA/Dコンバータに接続できます。オプション・ビットid2xとid1x5は、反射派RF電力レベル・インジケータのゲインを適応させます。

2.11.3 電源電圧測定

A/Dコンバータは、電源電圧 V_{EXT} と V_{EXT_PA} 、 V_{DD_B} 、 V_{DD_PA} の測定にも用いることができます。変換結果次第で、MCUは電源電圧レギュレータの設定方針を決定できます。オプション・ビット $mssel[3:0]$ を以下のように設定することによって、選択された電圧は、A/Dコンバータ入力（VINPUT）に接続されます。

- V_{EXT} : 0111b
- V_{DD_B} : 1000 b
- V_{EXT_PA} : 1001 b
- V_{DD_PA} : 1010 b

変換は、ダイレクト・コマンドTrigger AD conversion (87h) によって開始され、その結果は、 $r2Dpage[1:0] = 00b$ （ステータス読出しページ設定レジスタ）としたADC読取り/レギュレータ設定表示レジスタ（ $r2Dpage[1:0] = 01$ ）(2Dh) から入手可能です。

変換結果は次の式によって与えられます。

$$\text{ADCレジスタ値} = \frac{(V_{input} - 1.6) \cdot 0.8 - 1.6}{0.0079}$$

ここで、ADCレジスタ値はレジスタ2Dhの値、 V_{input} はA/Dコンバータ入力におけるアナログ電圧（ボルト単位）です。

2.11.4 サブキャリア位相ビット付きリニアRSSI

両信号チャネル（IとQ）の復調されたピーク・ツー・ピーク電圧は、二重サンプル・アンド・ホールド回路に接続され、タグのプリアンプル（パイロット・トーン）の終わりでサンプリングされます。受信中にも受信後にもA/D変換が可能です。オプション・ビット $mssel[3:0]$ を1011bに、 $mssel[3:0]$ を1100b（測定コントロール・レジスタ）に設定して、ダイレクト・コマンドTrigger AD conversion (87h) によって変換をトリガすることにより、MCUは、内部リニアA/Dコンバータを用いて2つの電圧の変換と読出しが可能です。結果は、 $r2Dpage[1:0] = 00b$ （ステータス読出しページ設定レジスタ）として、ADC読取り/レギュレータ設定表示レジスタ（ $r2Dpage[1:0] = 01$ ）(2Dh) から入手できます。リニアRSSIでは、サンプリングされた電圧は、ADCの全範囲を使用するようにシフトされます。最小サンプル値はADCの結果で-127となり、最大サンプル値はADCの結果で127となります。AGC/内部ステータス表示レジスタ（2Ah）のステータス・ビット $subc_phase1$ は、サンプリングされたピーク・ツー・ピーク電圧2個（IとQ）が、サンプリング時点で同相であったのか、逆相であったのかを示します。この位相ビットは、パイロット・トーンの終わりから受信の終わりまで有効であり、受信が終わる前に読み出される必要があります。リニア（絶対）なIとQのRSSI値と位相ビット情報を使用すれば、システムはその中のRSSI位相情報を検出できます。

2.11.5 内部信号レベル検出器

内部信号レベル検出器が内部VCOの出力に配置されていますので、内部RFキャリアのレベル測定が可能です。オプション・ビット $mssel[3:0]$ を0100bとすると、選択された電圧はA/Dコンバータ入力に接続されます。変換プロシージャの詳細は、A/Dコンバータに関する説明を参照してください。この内部信号レベル検出器は診断専用ですので、出力パワーの測定には使用しないでください。

2.12 インテロゲータ・コリジョン防止対応

ISO 29143の機能を有効とするために、RSSIベースのインテロゲータ・コリジョン防止対応が用意されています。この機能は、ダイレクト・コマンドInterrogator Anti-collision Support Enable (AAh) によって有効化されます。ISO 29143の提案に従って、システムは受信したサブキャリア信号のRSSIエンベロープを監視し、少なくとも受信データ・パケットのどこかでRSSIレベルが既定の閾値を超えた場合に、MCUに通知を行います。また、当該ポイントにおけるデータ・パケットのRSSIとタイミング・データの格納も行います。

次のRSSI値が格納されます。

- パイロット・トーンにおけるRSSI
- データにおけるRSSI
- 電文中の最大RSSI値

次のタイミング・データが格納されます。

- 既定の閾値を超過した最初の時間
- 閾値を超過した時間の長さ
- 初回プロトコル違反の時間

時間は受信ビットに関連付けられます。

既定のコリジョン検出閾値は、[インテロゲータ・コリジョン検出/IQ選択設定レジスタ](#) (1Dh) の ICD_Th[3:0]ビットにあります。この機能を有効とするには、ダイレクト・コマンドInterrogator Anti-collision Support Enable (AAh) を送信する必要があります。この機能を無効とするには、ダイレクト・コマンドInterrogator Anti-collision Support Disable (ABh) を送信する必要があります。ピークRSSI値とタイミング・データをクリアするには、ダイレクト・コマンドInterrogator Anti-collision Support Disable (ABh) を再び使用します。

3 レジスタの説明

6bit長のレジスタ・アドレスを16進表記で示します。リーダライタ・デバイスに実装されたレジスタには、次の2種類があります。

- リード/ライトレジスタ
- リードオンリ-表示レジスタ

レジスタには、シリアル・インタフェースを通じてアクセス可能です。

表 9. レジスタ・マップ

アドレス (16進)	主な機能	内容	種類
00	メイン・コントロール	デバイス・ステータス・コントロール・レジスタ	RW
01		プロトコル選択レジスタ	RW
02	コンフィギュレーション	Txオプション・レジスタ	RW
03		Rxオプション・レジスタ	RW
04		TRcalハイ・レジスタ	RW
05		TRcalロー・レジスタ	RW
06		AutoACK待ち時間レジスタ	RW
07		Rx応答なし時間レジスタ	RW
08		Rx待ち時間レジスタ	RW
09		Rxフィルタ設定レジスタ	RW
0A		Rx ミキサ/ゲインレジスタ	RW
0B		レギュレータ/PAバイアス・レジスタ	RW
0C		RF出力/LOコントロール・レジスタ	RW
0D		補助レジスタ1	RW
0E		補助レジスタ2	RW
10		測定コントロール・レジスタ	RW
11		VCOコントロール・レジスタ	RW
12		CPコントロール・レジスタ	RW
13		モジュレータ・コントロール・レジスタ1	RW
14		モジュレータ・コントロール・レジスタ2	RW
15		モジュレータ・コントロール・レジスタ3	RW
16		モジュレータ・コントロール・レジスタ4	RW
17		PLL主レジスタ1	RW
18		PLL主レジスタ2	RW
19		PLL主レジスタ3	RW
1A		PLL補助レジスタ1	RW
1B		PLL補助レジスタ2	RW

表 9. レジスタ・マップ（続き）

アドレス (16進)	主な機能	内容	種類
1C	コンフィギュレーション	PLL補助レジスタ3	RW
1D		インテロゲータ・コリジョン検出/IQ選択設定レジスタ	RW
22		エミッタ結合ミキサ・オプション・レジスタ	RW
29	ステータス	ステータス読出しページ設定レジスタ	RW
2A		AGC/内部ステータス表示レジスタ	R
2B		RSSI表示レジスタ	R
2C		AGL/VCO/F_CAL/PilotFreqステータス表示レジスタ (r2Cpage[1:0] = 00)	R
		AGL/VCO/F_CAL/PilotFreqステータス・レジスタ (r2Cpage[1:0] = 01)	R
2D		ADC読取り/レギュレータ設定表示レジスタ (r2Dpage[1:0] = 00)	R
2E		コマンド・ステータス表示レジスタ	R
33		バージョン・レジスタ	R
35	割込み	割込み有効化レジスタ1	RW
36		割込み有効化レジスタ2	RW
37		割込みレジスタ1	R
38		割込みレジスタ2	R
39	通信	FIFOステータス・レジスタ	R
3A		Rx長レジスタ1	RW
3B		Rx長レジスタ2	RW
3C		Tx設定レジスタ	RW
3D		Tx長レジスタ1	RW
3E		Tx長レジスタ2	RW
3F		FIFO I/O レジスタ	T _x : W R _x : R

レジスタ解説表には、ビット名とともに、デバイスへの電源投入後（EN=L）のデフォルト値が記載されています。短い機能説明とコメントが記載されています。

3.1 メイン・コントロール・レジスタ

レジスタ解説表には、ビット名とともに、デバイスへの電源投入後（EN=L）のデフォルト値が記載されています。短い機能説明とコメントが記載されています。

3.1.1 デバイス・ステータス・コントロール・レジスタ

アドレス: 00h

種類: RW

表 10. デバイス・ステータス・コントロール・レジスタ

ビット	名称	デフォルト	機能	コメント
7	stby	0	スタンバイ・モード	0: ノーマル・モード 1: スタンバイ・モード
6	RFU	0	未使用	RFUです。セットしないでください。
5	RFU	0	未使用	RFUです。セットしないでください。
4	RFU	0	未使用	RFUです。セットしないでください。
3	RFU	0	未使用	RFUです。セットしないでください。
2	agc_on	0	AGCイネーブル	0: AGC OFF 1: AGC ON
1	rec_on	0	レシーバ・イネーブル	0: レシーバが無効 1: レシーバが有効
0	rf_on	0	トランスミッタとレシーバのイネーブル	0: Tx RFフィールドとレシーバが無効 1: Tx RFフィールドとレシーバが有効

3.1.2 プロトコル選択レジスタ

アドレス: 01h

種類: RW

表 11. プロトコル選択レジスタ

ビット	名称	デフォルト	機能	コメント
7	RX_crc_n	0	CRCなし受信	0: CRCありRx 1: CRCなしRx
6	dir_mode	0	デコーダ・モード種別	0: ノーマル動作 1: レシーバ内のデコードと信号検出の自動処理を無効とします。アナログ測定を連続実行する場合は、このビットをHighにすることをお勧めします。
5	AutoACK[1]	0	AutoAckモード	00: AutoACKなし 01: AutoACK 10: AutoACK+ReqRN 11: RFUです。セットしないでください。
4	AutoACK[0]	0		
3	RFU	0	未使用	RFUです。セットしないでください。
2	prot[2]	0	プロトコル選択	000: EPCクラス1 Gen2/ISO18000-6C 001: ISO18000-6 タイプA/B ダイレクト・モード・デコーダ有効 その他: RFUです。セットしないでください。
1	prot[1]	0		
0	prot[0]	0		

3.2 コンフィギュレーション・レジスタ

3.2.1 Txオプション・レジスタ

アドレス: 02h

種類: RW

表 12. Txオプション・レジスタ

ビット	名称	デフォルト	機能	コメント
7	RFU	0	未使用	RFUです。セットしないでください。
6	RFU	0	未使用	RFUです。セットしないでください。
5	TXOne[1]	1	Txワン・レングス・コントロール	00: 1.50 * Tari
4	TXOne[0]	1		01: 1.66 * Tari 10: 1.83 * Tari 11: 2.00 * Tari
3	RFU	0	未使用	RFUです。セットしないでください。
2	Tari[2]	0	Tari定義	000: Tari = 6.25 μ s
1	Tari[1]	1		001: Tari = 12.5 μ s
0	Tari[0]	0		010: Tari = 25 μ s その他: RFUです。セットしないでください。

3.2.2 Rxオプション・レジスタ

アドレス: 03h

種類: RW

表 13. Rxオプション・レジスタ

ビット	名称	デフォルト	機能	コメント
7	RX_LF[3]	1	リンク周波数	0000: 40 kHz
6	RX_LF[2]	1		0110: 160 kHz
5	RX_LF[1]	0		1001: 250 kHz
4	RX_LF[0]	0		1100: 320 kHz 1111: 640 kHz その他: RFUです。セットしないでください。
3	TRExt	1	Rxプリアンブル長	0: ショート・プリアンブル 1: ロング・プリアンブル ショート・プリアンブルはMiller 4コーディングとMiller 8コーディングに対して対応
2	RX_cod[2]	0	Rxコーディング	000: FM0
1	RX_cod[1]	1		001: M2
0	RX_cod[0]	0		010: M4 011: M8 その他: RFUです。セットしないでください。

3.2.3 TRcalハイ・レジスタ

アドレス: 04h

種類: RW

表 14. TRcalハイ・レジスタ

ビット	名称	デフォルト	機能	コメント
7	low_vsp_lo	0	low_vsp_lo	1: LO位相シフタの低電源電圧に適応
6	id2x	0	id2x	反射波RF電力レベルの2倍にゲインを適応 (ミキサDCレベル) インジケータ
5	id1x5	0	id1x5	反射波RF電力レベルの1.5倍にゲインを適応 (ミキサDCレベル) インジケータ
4	RFU		未使用	RFUです。セットしないでください。
3	TRcal[11]	0	TRcal[11:0]ビットに よってTRcal時間を 定義	レジスタ05hの説明参照
2	TRcal[10]	0		
1	TRcal[9]	1		
0	TRcal[8]	0		

3.2.4 TRcalロー・レジスタ

アドレス: 05h

種類: RW

表 15. TRcalロー・レジスタ

ビット	名称	デフォルト	機能	コメント
7	TRcal[7]	1	TRcal[11:0]ビットに よってTRcal時間を 定義	範囲: 0.1 μ s ~ 409 μ s ステップ数: 4096 ステップ・サイズ: 0.1 μ s Gen 2範囲における相対分解能の最悪値: $\frac{0.1\mu\text{s}}{17.2\mu\text{s}} \approx 0.6 \%$ Gen2では17.2 μ sから225 μ sまでの範囲を定義
6	TRcal[6]	0		
5	TRcal[5]	0		
4	TRcal[4]	1		
3	TRcal[3]	1		
2	TRcal[2]	0		
1	TRcal[1]	1		
0	TRcal[0]	1		

3.2.5 AutoACK待ち時間レジスタ

アドレス: 06h

種類: RW

表 16. AutoACK待ち時間レジスタ

ビット	名称	デフォルト	機能	コメント
7	Auto_T2[7]	0	EPC C1 Gen2による EPC プロトコル時間 T2	AutoACKプロシージャで使用される時間 範囲: 0 ~ 816 μ s ステップ・サイズ: 3.2 μ s
6	Auto_T2[6]	0		
5	Auto_T2[5]	0		
4	Auto_T2[4]	0		
3	Auto_T2[3]	0		
2	Auto_T2[2]	1		
1	Auto_T2[1]	0		
0	Auto_T2[0]	0		

3.2.6 Rx応答なし時間レジスタ

アドレス: 07h

種類: RW

表 17. Rx応答なし時間レジスタ

ビット	名称	デフォルト	機能	コメント
7	NoResp[7]	0	応答なし割込みが 送信されてからの タイムアウトを定義 Txの終わりで開始	ステップ・サイズ: 25.6 μ s 範囲: 25.6 ~ 6502 μ s (1 ~ 254) 255: 応答なし時間: 26.2 ms リンク周波数 (タグブリアンブル) が6 ~ 10周 期検出される前にタイムアウトとなった場合に 割込みが送信されます。 T1 = 25.6 ~ 262 μ s デフォルト = 15 * 25.6 μ s = 384 μ s Gen2 Writeコマンド: 最大20 ms
6	NoResp[6]	0		
5	NoResp[5]	0		
4	NoResp[4]	0		
3	NoResp[3]	1		
2	NoResp[2]	1		
1	NoResp[1]	1		
0	NoResp[0]	1		

3.2.7 Rx待ち時間レジスタ

アドレス: 08h

種類: RW

表 18. Rx待ち時間レジスタ

ビット	名称	デフォルト	機能	コメント
7	RXw[7]	0	Rx待ち時間 Rx 入力が無視される 時間を定義 Txの終わりにから開始	ステップ・サイズ: 6.4 μ s 範囲: 6.4 ~ 1632 μ s (1 ~ 255) 00h: Txの直後からレシーバが有効 Gen2: T1min = 11.28 ~ 262 μ s ISO1800-6A: 150 ~ 1150 μ s ISO1800-6B: 85 ~ 460 μ s デフォルト = 7 * 6.4 μ s = 44.8 μ s
6	RXw[6]	0		
5	RXw[5]	0		
4	RXw[4]	0		
3	RXw[3]	0		
2	RXw[2]	1		
1	RXw[1]	1		
0	RXw[0]	1		

3.2.8 Rxフィルタ設定レジスタ

アドレス: 09h

種類: RW

表 19. Rxフィルタ設定レジスタ

ビット	名称	デフォルト	機能	コメント
7	byp2	0	バイパス2	FFhにセット: 40 kHzリンク周波数
6	byp1	0	バイパス1	
5	lp[3]	1	ローパス設定	
4	lp[2]	0		
3	lp[1]	0		
2	lp[3]	1	ハイパス設定	
1	lp[2]	0		
0	lp[1]	0		

3.2.9 Rxミキサ/ゲインレジスタ

アドレス: 0Ah

種類: RW

表 20. Rxミキサ/ゲインレジスタ

ビット	名称	デフォルト	機能	コメント
7	gain[5]	0	ベースバンド・ゲイン 変更	ステップ数: 4 ステップ・サイズ: 3 dB 00: 0 dB 11: 9 dB 増加/減少はgain_signオプション・ビットで定義
6	gain[4]	0		
5	gain_sign	0	BBゲイン設定の符号 ビット (gain[5:4])	0: ベースバンド・ゲインを減少 1: ベースバンド・ゲインを増加
4	gain[2]	0	デジタイザ・ ヒステリシスを増加	ステップ数: 5 ステップサイズ: 3 dB 000: 0 dB 100: 12 dB その他: RFUです。セットしないでください。
3	gain[1]	0		
2	gain[0]	0		
1	mix_ir[1]	0	ミキサのゲインと 入力範囲の選択	差動Rxミキサ: – 00: ノーマル・ゲイン – 01: 8 dB減衰 – 10: 10 dBゲイン増加 シングル・エンドRxミキサ: – 00: 6 dBミキサ・ゲイン減少 – 01: ノーマル・ゲイン – 11: 6 dBミキサ・ゲイン増加
0	mix_ir[0]	1		

3.2.10 レギュレータ/PAバイアス・レジスタ

アドレス: 0Bh

種類: RW

表 21. レギュレータ/PAバイアス・レジスタ

ビット	名称	デフォルト	機能	コメント
7	pa_bias[1]	0	内部PAバイアスを増加	1: バイアスを4倍増加
6	pa_bias[0]	0	内部PAバイアスを増加	1: バイアスを2倍増加
5	rvs_rf[2]	0	V _{DD_PA} レギュレータ 電圧設定	手動設定: rvs[2:0]に等しいステップ数 正しい動作のために、レギュレータの電圧降下は300 mV以上としてください。 最小: 000b: 2.7 V 最大: 111b: 3.4 V ステップ数: 8 ステップ・サイズ: 0.1 V 自動設定: 出力電圧は、rvs[2:0]または手動設定のrvs_rf[2:0]のどちらか出力電圧の低い方によって定義される、目標電圧降下によって決まります。自動モードはダイレクト・コマンド (A2h) によってトリガされます。
4	rvs_rf[1]	1		
3	rvs_rf[0]	1		
2	rvs[2]	0		
1	rvs[1]	1	他のレギュレータ 電圧設定	手動設定: 正しい動作のために、レギュレータの電圧降下は300 mV以上としてください。 最小: 000 _b : 2.7 V 最大: 111 _b : 3.4 V ステップ数: 8 ステップ・サイズ: 0.1 V 自動設定: 001 _b : 目標となる電圧降下 > 250 mV 011 _b : 目標となる電圧降下 > 300 mV 111 _b : 目標となる電圧降下 > 350 mV 自動モードはダイレクト・コマンド (A2h) によってトリガされます。
0	rvs[0]	1		

3.2.11 RF出力/LOコントロール・レジスタ

アドレス: 0Ch

種類: RW

表 22. RF出力/LOコントロール・レジスタ

ビット	名称	デフォルト	機能	コメント
7	eTX[7]	0	LO（局部発振器）ゲイン	0: ノーマル 1: LOパス内で6 dBゲイン
6	eTX[6]	0	LOソース選択	0: LOソースはRFOPX、RFONX 1: LOソースは内部PAのプリドライバ
5	eTX[5]	0	内部 V_{DD_PA} 電圧レギュレータのイネーブル	内部PAがeTX[3:2]によって有効化されると、 V_{DD_PA} レギュレータは自動的に有効となります。
4	RFU	0	未使用	RFUです。セットしないでください。
3	eTX[3]	0	メインPAのイネーブルとメインPAプリドライバのバイアス電流	00: 無効 01: 7 mA 10: 14 mA 11: 22 mA
2	eTX[2]	0		
1	eTX[1]	1	RFローパワー出力のイネーブルとRF出力段のバイアス電流	00: 無効 01: 7 mA 10: 14 mA（デフォルト） 11: 22 mA
0	eTX[0]	0		

3.2.12 補助レジスタ1

アドレス: 0Dh

種類: RW

表 23. 補助レジスタ1

ビット	名称	デフォルト	機能	コメント
7	hs_output	1	強力、高速通信出力ドライバ	MISO、IRQ、CLSYSに有効
6	hs_oad	0	強力、高速テスト出力ドライバ	OAD、OAD2、ADCに有効
5	miso_pd2	0	プルダウン抵抗: NCS = 0	1: NCSがLowであり、MISOがST25RU3993によってドライブされていない場合に、MISOのプルダウン抵抗を有効とします。
4	miso_pd1	0	プルダウン抵抗: NCS = 1	1: NCSがHighである場合に、MISOのプルダウン抵抗を有効とします。
3	open_dr	0	オープン・ドレイン N-MOS出力	MISO、IRQ、CLSYSに有効
2	s_mix	0	シングルエンド・ミキサ入力イネーブル	0: 差動入力 1: シングルエンド入力

表 23. 補助レジスタ1 (続き)

ビット	名称	デフォルト	機能	コメント
1	RFU	0	未使用	RFUです。セットしないでください。
0	RFU	0	未使用	RFUです。セットしないでください。

3.2.13 補助レジスタ2

アドレス: 0Eh

種類: RW

表 24. 補助レジスタ2

ビット	名称	デフォルト	機能	コメント
7	xosc[1]	0	基準周波数発振器 モード選択	00: 自動パワー・セーブ・モード付通常動作
6	xosc[0]	0		01: OSCOにAC結合された外部正弦波TCXO 10: 自動パワー・セーブ・モード無効 11: RFUです。セットしないでください。
5	RFU	0	未使用	RFUです。セットしないでください。
4	RFU	0	未使用	RFUです。セットしないでください。
3	f_cal_hp_chg	0	Rxフィルタ補正を変更	1: hp補正の変更が有効 0: lp補正の変更が有効 次のダイレクト・コマンドを使用: Decrease Rx Filter Calibration Data (89 _h) Increase Rx Filter Calibration Data (8A _h)
2	clsys[2]	1	CLSYS出力周波数	000: オフ
1	clsys[1]	0		100: 4 MHz
0	clsys[0]	0		001: 5 MHz 010: 10 MHz 011: 20 MHz その他: RFUです。セットしないでください。

3.2.14 測定コントロール・レジスタ

アドレス: 10h

種類: RW

表 25. 測定コントロール・レジスタ

ビット	名称	デフォルト	機能	コメント
7	Tcomb[1]	0	デジタル・テスト出力 モード	00: 無効
6	Tcomb[0]	0		01: OAD と OAD2 にデジタル化されたRxサブ キャリア出力 10: OAD と OAD2 にTx変調出力と選択された Rxサブキャリア出力 11: ADCのRx出力有効
5	e_anaout[1]	0		00: 無効
4	e_anaout[0]	0	アナログ・テスト出力 モード	01: OADとOAD2にアナログ・サブキャリア出力 10: OADとOAD2にアナログ・ミキサDC出力 11: RFUです。セットしないでください。
3	mssel[3]	0	ADC測定選択	0001: ミキサDCレベルIチャンネル
2	mssel[2]	0		0010: ミキサDCレベルQチャンネル
1	mssel[1]	0		0011: ADCピン
0	mssel[0]	0		0100: 内部RFレベル
				0111: V _{EXT} レベル
				1000: V _{DD_B} レベル
				1001: V _{EXT_PA} レベル
			1010: V _{DD_PA} レベル	
				1011: RSSI Iレベル
				1100: RSSI Qレベル
				1111: RFOPX、RFONXパワー・レベル
				0000: NC

3.2.15 VCO コントロール・レジスタ

アドレス: 11h

種類: RW

表 26. VCO コントロール・レジスタ

ビット	名称	デフォルト	機能	コメント
7	Mvco	0	VCO 測定選択	ステップ数: 7 結果はレジスタ 2Ch r2Cpage[1:0] = 01
6	eosc[2]	1	内部発振器バイアス電流	8 ステップ
5	eosc[1]	0		ステップ・サイズ: 0.52 mA
4	eosc[0]	0		000: 最小バイアス電流 (~1.3 mA) 111: 最大バイアス電流 (~5 mA)

表 26. VCOコントロール・レジスタ（続き）

ビット	名称	デフォルト	機能	コメント
3	vco_r[3]	0	手動VCO範囲選択	VCO範囲セグメントの手動選択
2	vco_r[2]	0		
1	vco_r[1]	0		
0	vco_r[0]	0		

3.2.16 CPコントロール・レジスタ

アドレス: 12h

種類: RW

表 27. CPコントロール・レジスタ

ビット	名称	デフォルト	機能	コメント
7	LF_R3[7]	0	ループ・フィルタR3 選択	00: 30 kΩ（デフォルト） 01: 50 kΩ 10: 70 kΩ 11: 100 kΩ
6	LF_R3[6]	0		
5	LF_C3[5]	0	ループ・フィルタC3 選択	000: 20 pF（デフォルト） 001: 40 pF 010: 60 pF 011: 80 pF 100: 100 pF 101: 130 pF 110: 160 pF 111: 200 pF
4	LF_C3[4]	0		
3	LF_C3[3]	0		
2	cp[2]	1	チャージ・ポンプ電流	000: 150 μA 001: 300 μA 010: 600 μA 011: 1200 μA 100: 1350 μA（デフォルト） 101: 1500 μA 110: 1800 μA 111: 2350 μA
1	cp[1]	0		
0	cp[0]	0		

3.2.17 モジュレータ・コントロール・レジスタ1

アドレス: 13h

種類: RW

表 28. モジュレータ・コントロール・レジスタ1

ビット	名称	デフォルト	機能	コメント
7	RFU	0	未使用	RFUです。セットしないでください。
6	main_mod	0	ハイパワー出力に接続された変調	ハイパワー出力の変調を有効化
5	aux_mod	1	ローパワー出力に接続された変調	ローパワー出力の変調を有効化
4	RFU	0	未使用	RFUです。セットしないでください。
3	RFU	0	未使用	RFUです。セットしないでください。
2	e_lpf	0	変調信号用ローパス・フィルタのイネーブル	変調信号をさらに円滑化するため
1	ask_rate[1]	0	ASK変調トランジェント・レートの変更	00: 指定済みTari
0	ask_rate[0]	0		01: 2つおきの変調値を使用 10: 4つおきの変調値を使用 11: 8つおきの変調値を使用

3.2.18 モジュレータ・コントロール・レジスタ2

アドレス: 14h

種類: RW

表 29. モジュレータ・コントロール・レジスタ2

ビット	名称	デフォルト	機能	コメント
7	ook_ask	1	可変デリミタ長100% ASKのイネーブルとデリミタ形状選択	pr_ask = 1である場合のデリミタ形状 <ul style="list-style-type: none"> ● Tari = 25 μs: <ul style="list-style-type: none"> – 0: PR-ASK形状のデリミタ・トランジェント – 1: ASK形状のデリミタ・トランジェント ● Tari = 6.25 μsまたは12.5 μs: <ul style="list-style-type: none"> – ASK 形状のデリミタ・トランジェント (ビット設定によらず)⁽¹⁾ pr_ask = 0である場合のデリミタ形状 ook_askは1にセットしてください。 100% ASK形状のデリミタ・トランジェント
6	pr_ask	0	PR-ASKイネーブル	PR-ASK Tx変調を有効化 このビットがLowにセットされるとASK変調が使用されます。

表 29. モジュレータ・コントロール・レジスタ2（続き）

ビット	名称	デフォルト	機能	コメント
5	del_len[5]	0	ASK / PR-ASK デリミタ長の調整	デリミタ長の調整 範囲: 9.6 ~ 15.9 μ s ステップ・サイズ: 0.1 μ s デフォルト値は1D = 12.5 μ s
4	del_len[4]	1		
3	del_len[3]	1		
2	del_len[2]	1		
1	del_len[1]	0		
0	del_len[0]	1		

1. ASKデリミタ・トランジェントによりTxスペクトラムは可視レベルに対する影響は受けません。

3.2.19 モジュレータ・コントロール・レジスタ3

アドレス: 15h

種類: RW

表 30. モジュレータ・コントロール・レジスタ3

ビット	名称	デフォルト	機能	コメント
7	trfon[1]	0	RF ON/OFF遷移時間	00: 指定済みTari 01: 100 μ s 10: 200 μ s 11: 400 μ s
6	trfon[0]	0		
5	lin_mod	0	リニア変調 トランジェントの選択	1: リニア変調トランジェント 0: 正弦波変調トランジェント
4	TX_lev[4]	0	Tx 出力レベル粗調整 ローパワー出力および ハイパワー出力用	00: 0 dB、定格値 01: -8 dB 10: -12 dB 11: RFUです。セットしないでください。
3	TX_lev[3]	0		
2	TX_lev[2]	0	Tx 出力レベル微調整 ローパワー出力および ハイパワー出力用	000: ノーマル 001: -1 dB 111: -7 dB ステップ・サイズ: -1 dB
1	TX_lev[1]	0		
0	TX_lev[0]	0		

3.2.20 モジュレータ・コントロール・レジスタ4

アドレス: 16h

種類: RW

表 31. モジュレータ・コントロール・レジスタ4

ビット	名称	デフォルト	機能	コメント
7	1stTari[7]	0	第1 TariのHigh期間長	デリミタにしたがって第1 TariのHigh期間を調整 範囲: 5Fh ~ 9Dh ステップ・サイズ: – 50ns (Tari = 6.25 μs) – 100ns (Tari = 12.5 μs) – 200ns (Tari = 25 μs)
6	1stTari[6]	1		
5	1stTari[5]	1		
4	1stTari[4]	1		
3	1stTari[3]	1		
2	1stTari[2]	1		
1	1stTari[1]	1		
0	1stTari[0]	0		

3.2.21 PLL主レジスタ1

アドレス: 17h

種類: RW

表 32. PLL主レジスタ1

ビット	名称	デフォルト	機能	コメント
7	RFU	0	未使用	RFUです。セットしないでください。
6	RefFreq[2]	1	PLL基準分周器	100: 125 kHz
5	RefFreq[1]	1		101: 100 kHz
4	RefFreq[0]	0		110: 50 kHz 111: 25 kHz その他: RFUです。セットしないでください。
3	RefFreq[9]	0	PLL 主分周器、B 値、MSB部	32/33プリスケアラのA値とB値 分周比: $N = B \cdot 32 + A \cdot 33$ 推奨A/B比: $\frac{1}{3} \dots 3$ 例: A値: 134d (86h) B値: 404d (194h) N = 17350 PLL基準分周器= 50 kHz キャリア周波数 = 867.5 MHz
2	mB_val[8]	1		
1	mB_val[7]	0		
0	mB_val[6]	0		

3.2.22 PLL主レジスタ2

アドレス: 18h

種類: RW

表 33. PLL主レジスタ2

ビット	名称	デフォルト	機能	コメント
7	mB_val[5]	0	PLL主分周器、B値、 LSB部	PLL主レジスタ1 のコメント参照
6	mB_val[4]	1		
5	mB_val[3]	1		
4	mB_val[2]	0		
3	mB_val[1]	1		
2	mB_val[0]	0	PLL 主分周器、A 値、 MSB部	
1	mA_val[9]	0		
0	mA_val[8]	0		

3.2.23 PLL主レジスタ3

アドレス: 19h

種類: RW

表 34. PLL主レジスタ3

ビット	名称	デフォルト	機能	コメント
7	mA_val[7]	1	PLL主分周器、A値、 LSB部	PLL主レジスタ1 のコメント参照
6	mA_val[6]	1		
5	mA_val[5]	1		
4	mA_val[4]	1		
3	mA_val[3]	1		
2	mA_val[2]	1		
1	mA_val[1]	0		
0	mA_val[0]	0		

3.2.24 PLL補助レジスタ1

アドレス: 1Ah

種類: RW

表 35. PLL補助レジスタ1

ビット	名称	デフォルト	機能	コメント
7	RFU	0	未使用	RFUです。セットしないでください。
6	RFU	0		
5	RFU	0		
4	RFU	0		
3	xB_val[9]	0	PLL補助分周器、B値、MSB部	32/33プリスケアラのA値とB値 分周比: $N = B * 32 + A * 33$ 推奨A/B比: $\frac{1}{3} \dots 3$ 例: A値: 134d (86h) B値: 404d (194h) N = 17350 PLL基準分周器 = 50 kHz キャリア周波数 = 867.5 MHz
2	xB_val[8]	1		
1	xB_val[7]	0		
0	xB_val[6]	0		

3.2.25 PLL補助レジスタ2

アドレス: 1Bh

種類: RW

表 36. PLL補助レジスタ2

ビット	名称	デフォルト	機能	コメント
7	xB_val[5]	0	PLL補助分周器、B値、LSB部	PLL補助レジスタ1レジスタ参照
6	xB_val[4]	1		
5	xB_val[3]	1		
4	xB_val[2]	0		
3	xB_val[1]	0		
2	xB_val[0]	0		
1	xA_val[9]	0	PLL補助分周器、A値、MSB部	
0	xA_val[8]	1		

3.2.26 PLL補助レジスタ3

アドレス: 1Ch

種類: RW

表 37. PLL補助レジスタ3

ビット	名称	デフォルト	機能	コメント
7	xA_val[7]	0	PLL 補助分周器、A 値、LSB部	PLL補助レジスタ2 レジスタ参照
6	xA_val[6]	0		
5	xA_val[5]	0		
4	xA_val[4]	1		
3	xA_val[3]	1		
2	xA_val[2]	0		
1	xA_val[1]	0		
0	xA_val[0]	0		

3.2.27 インテロゲータ・コリジョン検出/IQ選択設定レジスタ

アドレス: 1Dh

種類: RW

表 38. インテロゲータ・コリジョン検出/IQ選択設定レジスタ

ビット	名称	デフォルト	機能	コメント
7	IQsel_Th[3]	0	IQ選択閾値	対数RSSI測定による信号チャネル選択に対応。RSSIが考慮されるのは、RSSI測定値（IまたはQ）の1つ以上がこの閾値設定によって設定された値よりも大きい場合です。
6	IQsel_Th[2]	0		
5	IQsel_Th[1]	0		
4	IQsel_Th[0]	0		
3	ICD_Th[3]	0	ICD選択閾値	ISO 29143 プロトコルのコリジョン検出RSSI閾値を設定
2	ICD_Th[2]	0		
1	ICD_Th[1]	0		
0	ICD_Th[0]	0		

3.2.28 エミッタ結合ミキサ・オプション・レジスタ

アドレス: 22h

種類: RW

表 39. エミッタ結合ミキサ・オプション・レジスタ

ビット	名称	デフォルト	機能	コメント
7	ic_bia_m[1]	0	デバイス・バイアスを減少	00: ノーマル
6	ic_bia_m[0]	0		01: バイアス -3 % 10: バイアス -6 % 11: バイアス -9 %
5	iadd_sink[2]	0	ミキサ・シンク電流調整	ミキサ負荷段電流を選択
4	iadd_sink[1]	0		
3	iadd_sink[0]	0		
2	emix_vr[2]	0	sr2	シングル・エンドRxミキサ: – sr2、sr1、sr0: ミキサ入力電圧範囲を選択 差動Rxミキサ: – sr2: RFU – sr1: vsp_low (ミキサのバイアス点を低電源電圧に適応) – sr0: i2x (ミキサ・ゲイン・モードのミキサ範囲を約3dB増加)
1	emix_vr[1]	0	sr1	
0	emix_vr[0]	0	sr0	

3.3 ステータス・レジスタ

3.3.1 ステータス読出しページ設定レジスタ

アドレス: 29h

種類: RW

表 40. ステータス読出しページ設定レジスタ

ビット	名称	デフォルト	機能	コメント
7	r2Dpage[1]	0	レジスタ2Dhのレジスタ・ページ選択	の実際の表示値を定義 ADC読取り/レギュレータ設定表示レジスタ (r2Dpage[1:0] = 01)
6	r2Dpage[0]	0		
5	r2Cpage[1]	0	レジスタ2Chのレジスタ・ページ選択	の実際の表示値を定義 AGL/VCO/F_CAL/PilotFreq ステータス・レジスタ (r2Cpage[1:0] = 01)
4	r2Cpage[0]	0		
3	r2Bpage[3]	0	レジスタ2Bhのレジスタ・ページ選択	0000: リアルタイムRSSI I、Q
2	r2Bpage[2]	0		0010: RSSI-0-quiet(ノイズRSSI)、I、Q Quiet レベル - ダイレクト・コマンドStore RSSI (A8h) により取得
1	r2Bpage[1]	0		0100: RSSI-1-pilot、パイロットにおけるI、Qレベル
0	r2Bpage[0]	0		0110: RSSI-2-data、2番目のバイトにおけるI、Qレベル 1000: RSSI-3-peak、I、Qピーク・レベル 1100: IDC-Time - 閾値超過時間 1101: IDC-Length - 閾値超過時間幅 1110: Err-Time - 初回プロトコル違反の時間時間は受信ビット数に換算。 その他: 未使用

3.3.2 AGC/内部ステータス表示レジスタ

アドレス: 2Ah

種類: R

表 41. AGC/内部ステータス表示レジスタ

ビット	名称	機能	コメント
7	subc_phase	サブキャリア位相	0: サブキャリアは逆位相 1: サブキャリアは同位相
6	agc[2]	AGCステータス	ステップ数: 7 ステップ・サイズ: 3 dB
5	agc[1]		
4	agc[0]		
3	in_select	デコードに使用されるサブキャリアの信号源を示す	0: I-Channel 1: Q-Channel 値は受信の開始から次回送信開始まで有効
2	rf_ok	RFレベル安定	RFキャリアが安定していることを示す

表 41. AGC/内部ステータス表示レジスタ（続き）

ビット	名称	機能	コメント
1	pll_ok	PLL ロック中	PLLがRFキャリアにロックしていることを示す
0	osc_ok	水晶発振器安定	基準発振器周波数が安定していることを示す

3.3.3 RSSI表示レジスタ

アドレス: 2Bh

種類: R

表 42. RSSI表示レジスタ

ビット	名称	機能	コメント
7	rssi[7]	QチャネルのRSSI値 AGC/内部ステータス表示レジスタ の r2Bpage[3:0] ビットで定義されているRSSI種別	Q信号チャネルの信号強度を表示 ステップ数: 16 ステップ・サイズ: 2 dB
6	rssi[6]		
5	rssi[5]		
4	rssi[4]		
3	rssi[3]	IチャネルのRSSI値 ステータス読出しページ設定レジスタ の r2Bpage[3:0] ビットで定義されているRSSI種別	I信号チャネルの信号強度を表示 ステップ数: 16 ステップ・サイズ: 2 dB
2	rssi[2]		
1	rssi[1]		
0	rssi[0]		

3.3.4 AGL/VCO/F_CAL/PilotFreqステータス表示レジスタ（r2Cpage[1:0] = 00）

アドレス: 2Ch, r2Cpage[1:0] = 00

種類: R

表 43. AGL/VCO/F_CAL/PilotFreqステータス表示レジスタ（r2Cpage[1:0] = 00）

ビット	名称	機能	コメント
7	RFU	未使用	ステータスビットです。読むと0を示します。
6	RFU	未使用	ステータスビットです。読むと0を示します。
5	agl[5]	QチャネルのAGLステータス	利用可能ステップ数: 0、1、2、3、4 ステップ・サイズ: 3 dB 範囲: 0 dB ~ 12 dB ステップ数5、6、7は動作せず
4	agl[4]		
3	agl[3]		
2	agl[2]	IチャネルのAGLステータス	
1	agl[1]		
0	agl[0]		

3.3.5 AGL/VCO/F_CAL/PilotFreqステータス・レジスタ (r2Cpage[1:0] = 01)

アドレス: 2Ch, r2Cpage[1:0] = 01

種類: R

表 44. AGL/VCO/F_CAL/PilotFreqステータス・レジスタ (r2Cpage[1:0] = 01)

ビット	名称	機能	コメント
7	vco_ri[7]	VCO自動範囲選択結果	内部VCO自動範囲選択プロシージャの結果を表示 ステップ数: 16
6	vco_ri[6]		
5	vco_ri[5]		
4	vco_ri[4]		
3	vco_ri[3]	論理値1にセット	RFUです。読むと1を示します。
2	vco_ri[2]	VCOピン電圧測定結果	内部VCO測定の結果を表示 ステップ数: 7 範囲: 0 V ~ V _{DD_A}
1	vco_ri[1]		
0	vco_ri[0]		

3.3.6 AGL/VCO/F_CAL/PilotFreqステータス・レジスタ (r2Cpage[1:0] = 10)

アドレス: 2Ch, r2Cpage[1:0] = 10

種類: R

表 45. AGL/VCO/F_CAL/PilotFreqステータス・レジスタ (r2Cpage[1:0] = 10)

ビット	名称	機能	コメント
7	hp_cal[3]	ハイパス補正データ	ステップ数: 16 ステップ・サイズ: 4%
6	hp_cal[2]		
5	hp_cal[1]		
4	hp_cal[0]		
3	lp_cal[3]	ローパス補正データ	ステップ数: 16 ステップ・サイズ: 4%
2	lp_cal[2]		
1	lp_cal[1]		
0	lp_cal[0]		

3.3.7 ADC読取り/レギュレータ設定表示レジスタ (r2Dpage[1:0] = 00)

アドレス: 2Dh, r2Dpage[1:0] = 00

種類: R

表 46. ADC読取り/レギュレータ設定表示レジスタ (r2Dpage[1:0] = 00)

ビット	名称	機能	コメント
7	adc[7]	ADCの読取り。 ADコンバータ入力はmsel[3:0]ビットを使用して選択。 変換はダイレクト・コマンド Trigger AD Conversion (87h)によりトリガ。 結果は20 µs後に有効。	ADCを通じて2個のミキサ出力DCレベルを測定可能であり、アンテナまたは環境の反射率を示します。ADCピンのDCレベルも測定可能です。後者は、外部パワー検出器によるRF出力パワーの監視に使用できます。
6	adc[6]		
5	adc[5]		
4	adc[4]		
3	adc[3]		
2	adc[2]		
1	adc[1]		
0	adc[0]		

3.3.8 ADC読取り/レギュレータ設定表示レジスタ (r2Dpage[1:0] = 01)

アドレス: 2Dh, r2Dpage[1:0] = 01

種類: R

表 47. ADC読取り/レギュレータ設定表示レジスタ (r2Dpage[1:0] = 01)

ビット	名称	機能	コメント
7	tcxo	基準発振器検出	0: OSCIIはAC結合: 水晶振動子モードを検出 1: OSCIIはGNDに短絡: TCXOモードを検出
6	RFU	未使用	ステータスビットです。読むと0を示します。
5	RFU		
4	RFU		
3	RFU		
2	vs[2]	回路によって使用される電圧	000: 2.7 V
1	vs[1]		111: 3.4 V
0	vs[0]		ステップ数: 8 ステップ・サイズ: 0.1 V

3.3.9 コマンド・ステータス表示レジスタ

アドレス: 2Eh

種類: R

表 48. コマンド・ステータス表示レジスタ

ビット	名称	機能	コメント
7	storeRSSI_done	RSSI値格納完了	ダイレクト・コマンドStore RSSI (A8h) とClear RSSI (A9h) の完了を示します。IRQをトリガします。
6	autovco_done	VCO範囲選択完了	ダイレクト・コマンドAutomatic VCO Range Selection (A4h) とManual VCO Range Selection (A5h) の完了を示します。IRQをトリガします。
5	autosupp_done	自動電源選択完了	ダイレクト・コマンドAutomatic Power Supply Level Setting (A2h) とManual Power Supply Level Setting (A3h) の完了を示します。IRQをトリガします。
4	f_cal_done	Rxフィルタ補正完了	ダイレクト・コマンドTrigger Rx Filter Calibration (88h) の完了を示します。IRQをトリガします。
3	ad_conv_done	A/D変換完了	ダイレクト・コマンドTrigger AD Conversion (87h) の完了を示します。IRQをトリガします。
2	intrgAC_supp	コリジョン防止対応	インテロゲータ・コリジョン防止対応が有効
1	AGL_on	AGL有効化	ダイレクト・コマンドAGL On (A6h) とAGL Off (A7h) の完了を示します。
0	aux_PLL_sel	補助PLL設定選択済	ダイレクト・コマンドHop to Main Frequency (84h) とHop to Auxiliary Frequency (85h) の完了を示します。

3.3.10 バージョン・レジスタ

アドレス: 33h

種類: R

表 49. バージョン・レジスタ

ビット	名称	機能	コメント
7	Version[7]	-	デバイスのバージョン番号です。61hにプリセットされています。
6	Version[6]		
5	Version[5]		
4	Version[4]		
3	Version[3]		
2	Version[2]		
1	Version[1]		
0	Version[0]		

3.4 割込みレジスタ

3.4.1 割込み有効化レジスタ1

アドレス: 35h

種類: RW

表 50. 割込み有効化レジスタ1

ビット	名称	デフォルト	機能	コメント
7	e_irq_TX	1	割込みレジスタ 1 (37h) の対応する割込みを有効化	有効化されると、対応するIRQが発生した場合にIRQピンが1にセットされます。レジスタ37hと38hのIRQビットは常にセットされます。
6	e_irq_Rx	1		
5	e_irq_fifo	1		
4	e_irq_err	1		
3	e_irq_header	0		
2	RFU	1		
1	e_irq_AutoACK	1		irq_noresp割込みが無効である場合、受信動作は応答なしタイマによる割込みを受けません。
0	e_irq_noresp	1		

3.4.2 割込み有効化レジスタ2

アドレス: 36h

種類: RW

表 51. 割込み有効化レジスタ2

ビット	名称	デフォルト	機能	コメント
7	e_irq_ana	0	割込みレジスタ2 (38h) の対応する割込みを有効化	有効化されると、対応するIRQが発生した場合にIRQピンが1にセットされます。レジスタ37hと38hのIRQビットは常にセットされます。
6	e_irq_cmd	1		
5	RFU	0	未使用	RFUです。セットしないでください。
4	RFU	0		
3	RFU	0		
2	e_irq_err1	0	割込みレジスタ2 (38h) の対応する割込み	有効化されると、対応するIRQが発生した場合にIRQピンが1にセットされます。レジスタ37hと38hのIRQビットは常にセットされます。
1	e_irq_err2	0		
0	e_irq_err3	0		

3.4.3 割込みレジスタ1

アドレス: 37h

種類: R

表 52. 割込みレジスタ1

ビット	名称	機能	コメント
7	Irq_TX	Txの終了によるIRQ	Tx完了時に割込みが生成されます。
6	Irq_Rx	Rxの終了によるIRQ	Rx完了時に割込みが生成されます。
5	Irq_fifo	FIFOフィル・レベル	Txの間にFIFOに6バイト未満、またはRxの間にFIFOに18バイト超
4	Irq_err	エラーによりセットされるIRQ	エラーの送受信を示す
3	Irq_header / Irq_2nd_byte	ヘッダ・ビット / 2番目バイト	受信したヘッダビットがHigh / FIFO内にすでに2バイト存在 - fifo_dir_irq2 = 1 (レジスタ1A _h) の場合
2	RFU	未使用	-
1	Irq_AutoACK	Auto ACK終了	Auto ACKの終了 次の場合にビットが1にセットされます。 AutoACKプロシージャが正常終了した AutoACKプロシージャにおいて、ACKコマンド が送信されて、プロシージャがNo Response IRQにより終了させられた AutoACKプロシージャにおいて、ACKコマンド が送信されて、プロシージャが受信エラーによ り終了させられた
0	Irq_TX	Txの終了によるIRQ	Tx完了時に割込みが生成されます。

注 : このレジスタの内容は、起動時とEN = Lowの場合に0にセットされます。読み込みフェーズの最後に自動的にリセットされます。リセットされると、IRQフラグのクリアも行われます。

3.4.4 割込みレジスタ2

アドレス: 38h

種類: R

表 53. 割込みレジスタ2

ビット	名称	機能	コメント
7	lrq_ana	発振器かPLLかRFフィールドの状態変化によるIRQ	osc_ok、pll_ok、rf_okの状態の変化を示すため。割込みは両エッジでトリガされます。
6	lrq_cmd	ダイレクト・コマンドの実行終了によるIRQ	-
5	RFU	未使用	-
4	RFU		
3	RFU		
2	lrq_err1	CRCエラー	CRCエラー
1	lrq_err2	Rxデータ長エラー / プロトコル違反	予想よりも受信が短かったか (Rx長レジスタ (3Ah、3Bh) の定義参照)、受信中に無効コマンドもしくはプロトコル違反に起因するエラーが認められたことをMCUIに示します。
0	lrq_err3	プリアンプル検出エラー / FIFO オーバーフロー・エラー	プリアンプル検出中にエラーがあったか、送受信中にFIFOオーバーフローが発生したことをMCUIに示します。

注:

- このレジスタの内容は、起動時とEN = Lowの場合に0にセットされます。読み込みフェーズの最後に自動的にリセットされます。リセットされると、IRQフラグのクリアも行われます。
- 2本のIRQレジスタのいずれかで、有効なIRQビットのうち少なくとも1ビットがセットされている限り、IRQピンはHighのままとなります。通常、MCUIはIRQがどこで発生するか予測可能であり、そのレジスタを最初に読み込むことができます。
- メインのエラー・ビットであるlrq_err (37h) は、いずれかのエラー割込み源によりトリガされる独立したIRQビットです。同じ割込み源は、エラーのサブビットであるlrq_err1、lrq_err2、lrq_err3 (38h) にも接続されています。
- インベントリ・ラウンドでの最適な使い方は、メインのlrq_errを有効化 (e_lrq_err = 1) し、エラーのサブビットを無効化 (e_lrq_err1 = e_lrq_err2 = e_lrq_err3 = 0) するという方法です。この場合、IRQラインをクリアするために (37h) だけ読み込んで、インベントリ・ラウンドを継続することで十分です。エラーの種別に関心がある場合には、その後にエラーのサブビットを確認できます。

3.5 通信レジスタ

3.5.1 FIFOステータス・レジスタ

アドレス: 39h

種類: R

表 54. FIFOステータス・レジスタ

ビット	名称	機能	コメント
7	TX_status	Txステータス	1: データ送信が進行中であることを示す
6	Rx_status	Rxステータス	1: データ受信が進行中であることを示す
5	Fovfl	FIFOオーバーフロー	1: FIFOのいずれかに24バイトを超えてロードされた
4	Fb[4]	FIFOバイト数	FIFOにロードされていてまだ読み込まれていないバイト数。空のFIFOが読み込まれた場合には、Fb[4:0]ビットに1Fhの値が表示されます。
3	Fb[3]		
2	Fb[2]		
1	Fb[1]		
0	Fb[0]		

3.5.2 Rx長レジスタ1

アドレス: 3Ah

種類: RW

表 55. Rx長レジスタ1

ビット	名称	デフォルト	機能	コメント
7	Rx_crc_n2	0	CRCなし受信	CRCなしで一時的に受信
6	fifo_dir_irq2	0	直接FIFO/2番目バイトIRQ	CRCを含む全バイトがFIFOに転送され、irq_headerがirq_2ndbyteに変化します。PC+EPC手動受信長設定用。
5	rep_irq2	0	2番目バイトIRQの繰り返し	受信バイトが4番目、6番目...の後のIRQを有効化。それ以上のIRQが不要である場合には、受信中にビットを0にセット可能。目的はXPCワード対応のため。
4	auto_errcode_Rxl	0	自動タグ・エラー・コードRx長プリセット	受信したヘッダ・ビットが1にセットされている場合には、Rx長は自動的にタグ・エラー・コード長（41ビット）に変更されます。 タグが正常応答ではなくエラー・コードを送信する場合に、以前に予測されたRx長情報を変更するために使用します。

表 55. Rx長レジスタ1 (続き)

ビット	名称	デフォルト	機能	コメント
3	Rxl[11]	0	Rx長のMSB部	-
2	Rxl[10]	0		
1	Rxl[9]	0		
0	Rxl[8]	0		

3.5.3 Rx長レジスタ2

アドレス: 3Bh

種類: RW

表 56. Rx長レジスタ2

ビット	名称	デフォルト	機能	コメント
7	Rxl[7]	0	Rx長のLSB部、ビット数	<p>短いダイレクト・コマンドが使用される場合、このレジスタは正しい予想受信長に自動プリセットされます。</p> <p>コマンド98h、99h、9Ah、9Bh、9Chでは16ビット、ダイレクト・コマンド9Fhでは32ビットが予想されます。</p> <p>それ以外の場合、ホスト・システムが予想される長さを設定する必要があります。</p>
6	Rxl[6]	0		
5	Rxl[5]	0		
4	Rxl[4]	0		
3	Rxl[3]	0		
2	Rxl[2]	0		
1	Rxl[1]	0		
0	Rxl[0]	0		

3.5.4 Tx設定レジスタ

アドレス: 3Ch

種類: RW

表 57. Tx設定レジスタ

ビット	名称	デフォルト	機能	コメント
7	RFU	0	未使用	RFUです。セットしないでください。
6	RFU	0		
5	RFU	0		
4	RFU	0		
3	TXCRC_5	0	Tx CRC種別	0: CRC-16 1: CRC-5
2	Force_TRcal	0	通常送信時のTRcal時間	EPC Gen2とISO18000-6Cに従ってダイレクト・コマンドQuery (98h) が発行されると、通常、TRcalは自動送信されます。Force_TRcal = 1の場合、通常データの送信 (ダイレクト・コマンド90h、91h) でもTRcal時間が送信されます。

表 57. Tx設定レジスタ（続き）

ビット	名称	デフォルト	機能	コメント
1	S1	0	セッション・ビット	Gen 2 ダイレクト・コマンド Query (98h) に使用
0	S0	0		

3.5.5 Tx長レジスタ1

アドレス: 3Dh

種類: RW

表 58. Tx長レジスタ1

表 60: TX長レジスタ

ビット	名称	デフォルト	機能	コメント
7	TXI[11]	0	Tx 長の上位ニブル	FIFOを通じて送信中であるバイト全体 の上位ニブルと中位ニブル
6	TXI[10]	0		
5	TXI[9]	0		
4	TXI[8]	0		
3	TXI[7]	0	Tx 長の中位ニブル	
2	TXI[6]	0		
1	TXI[5]	0		
0	TXI[4]	0		

3.5.6 Tx長レジスタ2

アドレス: 3Eh

種類: RW

表 59. Tx長レジスタ2

ビット	名称	デフォルト	機能	コメント
7	TXI[3]	0	Tx 長の下位ニブル	FIFOを通じて送信中であるバイト全体の下位ニブル
6	TXI[2]	0		
5	TXI[1]	0		
4	TXI[0]	0		
3	Bb[2]	0	不完全バイトのビット数	送信する最終（不完全）バイトのビット数
2	Bb[1]	0		
1	Bb[0]	0		
0	RFU	0	未使用	RFU です。セットしないでください。

3.5.7 FIFO I/Oレジスタ

アドレス: 3Fh

種類: RW

表 60. FIFO I/Oレジスタ

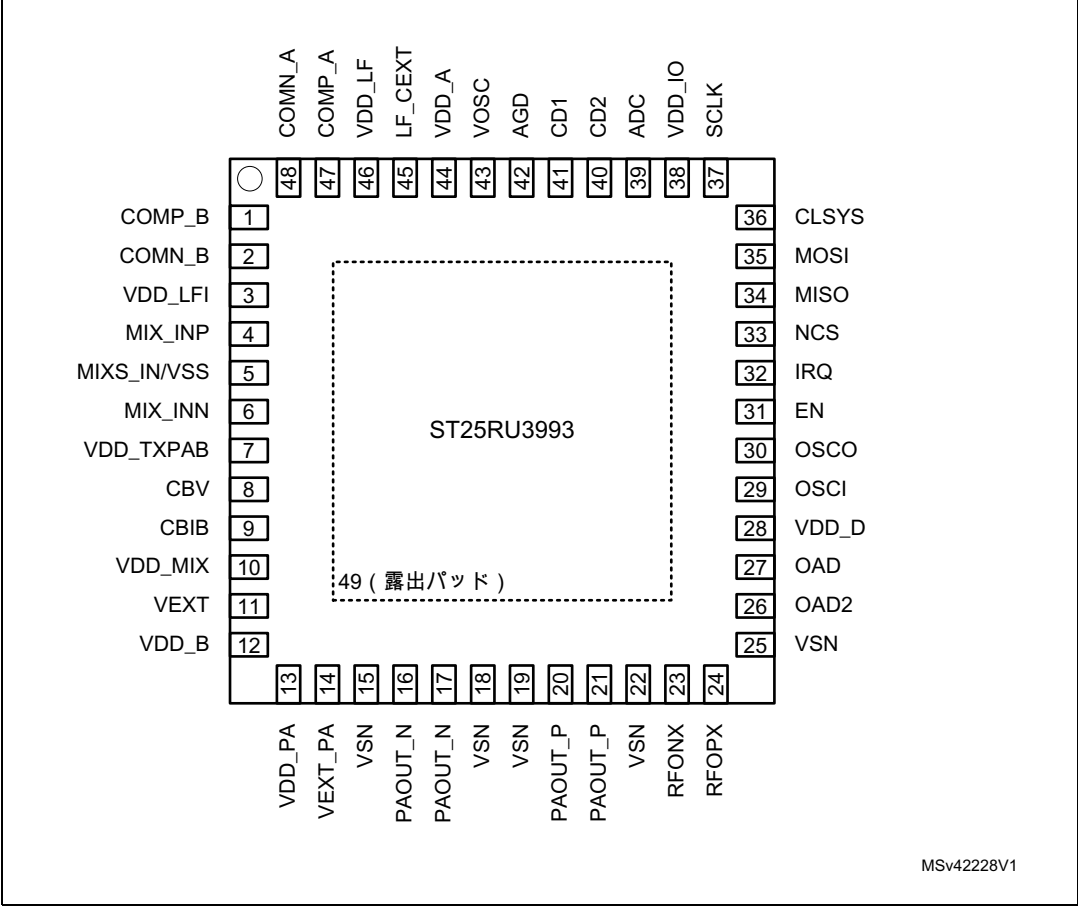
ビット	名称	機能	コメント
-	FIFO	循環式にフィルと読みが行われる 2 x 24 バイトの FIFO レジスタ	-



4 ピン配列とピン説明

ST25RU3993のピン割当てを [図 13](#)に示します。

図 13. ST25RU3993ピン配列



1. 上図はパッケージ上面図です。

表 61. ST25RU3993ピン定義

ピン番号	ピン名称	ピン種別	説明
1	COMP_B	アナログI/O	内部ノード、 V_{DD_LFI} へのデカップリング・コンデンサを接続
2	COMN_B	アナログI/O	内部ノード、 V_{DD_LFI} へのデカップリング・コンデンサを接続
3	V_{DD_LFI}	電源パッド	LF入力段正電源、 V_{DD_MIX} に接続
4	MIX_INP	アナログ入力	差動ミキサ正入力
5	MIXS_IN/ V_{SS}	アナログ入力	シングルエンド・ミキサ入力
6	MIX_INN	アナログ入力	差動ミキサ負入力
7	V_{DD_TXPAB}	電源パッド	バイアス正電源、 V_{DD_MIX} に接続

表 61. ST25RU3993ピン定義

ピン番号	ピン名称	ピン種別	説明
8	CBV	アナログI/O	内部ノード、V _{DD_MIX} へのデカップリング・コンデンサを接続
9	CBIB	アナログI/O	内部ノード、アースへのデカップリング・コンデンサを接続
10	V _{DD_MIX}	アナログI/O	ミキサ正電源、内部で安定化
11	V _{EXT}	電源パッド	メイン正電源入力、レギュレータへの入力
12	V _{DD_B}	アナログI/O	バッファ正電源、内部で安定化
13	V _{DD_PA}	アナログI/O	PA正電源、内部で安定化
14	V _{EXT_PA}	電源パッド	PA正電源レギュレータ入力
15	VSN	電源パッド	負電源
16	PAOUT_N	アナログ出力	PA RF負出力
17	PAOUT_N	アナログ出力	PA RF負出力
18	VSN	電源パッド	負電源
19	VSN	電源パッド	負電源
20	PAOUT_P	アナログ出力	PA RF正出力
21	PAOUT_P	アナログ出力	PA RF正出力
22	VSN	電源パッド	負電源
23	RFONX	アナログ出力	低パワー・リニアRF負出力 (~0dBm)
24	RFOPX	アナログ出力	低パワー・リニアRF正出力 (~0dBm)
25	VSN	電源パッド	負電源
26	OAD2	アナログI/O	アナログ/デジタル受信信号出力
27	OAD	アナログI/O	アナログ/デジタル受信信号出力
28	V _{DD_D}	アナログI/O	ロジック用正電源、内部で安定化
29	OSCI	アナログ入力	水晶発振器入力（外部TCXO使用時にはGNDに短絡）
30	OSCO	アナログI/O	水晶発振器出力または外部20MHzクロック入力
31	EN	デジタル入力	イネーブル入力
32	IRQ	デジタル出力	割り込み要求出力
33	NCS	デジタル入力	SPIイネーブル（アクティブLow）
34	MISO	デジタル出力 / トライステート	SPIデータ出力
35	MOSI	デジタル入力	シリアル・ペリフェラル・インタフェース・データ入力
36	CLSYS	デジタル出力	MCU用クロック出力
37	SCLK	デジタル入力	SPIクロック
38	V _{DD_IO}	電源パッド	ペリフェラル通信用正電源、ホストの正電源に接続

表 61. ST25RU3993ピン定義

ピン番号	ピン名称	ピン種別	説明
39	ADC	アナログ入力	外部パワー検出器対応用ADC入力
40	CD2	アナログI/O	内部ノード・デカップリング・コンデンサ
41	CD1	アナログI/O	内部ノード・デカップリング・コンデンサ
42	AGD	アナログI/O	アナログ基準電圧
43	VOSC	アナログI/O	内部ノード・デカップリング・コンデンサ
44	V _{DD_A}	アナログI/O	アナログ部正電源、内部で安定化
45	LF_CEXT	アナログ出力	PLLループ・フィルタ
46	V _{DD_LF}	アナログI/O	LF処理用正電源、内部で安定化
47	COMP_A	アナログI/O	内部ノード、V _{DD_LFI} へのデカップリング・コンデンサを接続
48	COMN_A	アナログI/O	内部ノード、V _{DD_LFI} へのデカップリング・コンデンサを接続
49	露出パッド	電源パッド	パッケージの露出パッド

5 電気的特性

5.1 絶対最大定格

絶対最大定格の表に記載された値を超えるストレスにより、デバイスが恒久的なダメージを受けるおそれがあります。ここにはストレス定格のみが記載されています。これらの条件、または電気的特性に示した値を超える、それ以外の何らかの条件におけるデバイスの機能動作を示すものではありません。絶対最大定格の条件に長時間さらされると、デバイスの信頼性に影響を受けるおそれがあります。

表 62. 電気的パラメータ

記号	パラメータ	最小	最大	単位	コメント
V_{DD_IO}	電源電圧 V_{DD_IO}	-0.3	6.0	V	-
V_{EXT}	電源電圧 V_{EXT}	-0.3	4	V	-
V_{EXT_PA}	電源電圧 V_{EXT_PA}	-0.3	5	V	-
V_{INH}	入力ピン電圧 (ホスト・インタフェース)	-0.3	$V_{DD_IO} + 0.5$	V	入力EN、IRQ、MOSI、SCLK、NCSに適用
V_{INO}	入力ピン電圧 (他のピン)	-0.3	$V_{EXT} + 0.5$	V	-
I_{scr}	入力電流 (ラッチアップ耐性)	-100	100	mA	JEDEC 78 (ENがHighである場合、ラッチアップ耐性試験からAGDを除外) AGDは基準電圧ピンですので、基準電圧に保持されなければなりません。

表 63. 静電気放電

記号	パラメータ	最小	最大	単位	コメント
ESD _{HBM}	RFピン (4、5、6、16、17、20、21、23、24) に対する静電気放電	± 1		kV	JESD22-A114E
	他のピンに対する静電気放電	± 2		kV	

表 64. 連続消費電力

記号	パラメータ	最小	最大	単位	コメント
P_T	全消費電力 (全ての電源と出力)	-	1.6	W	-

表 65. 温度範囲と保存条件

記号	パラメータ	最小	最大	単位	コメント
T_J	最大動作仮想ジャンクション温度	-	120	°C	-
T_{strg}	保存温度	-55	125	°C	-

表 65. 温度範囲と保存条件（続き）

記号	パラメータ	最小	最大	単位	コメント
T_{body}	パッケージ本体温度	-	260	°C	IPC/JEDEC J-STD-020。リフローはんだ付けピーク温度（本体温度）は、IPC/JEDEC J-STD-020「非ハーメチック固体表面実装デバイス用水分/リフロー感受性区分」によって規定されています。鉛フリー・リード付きパッケージのリード仕上げは「マット錫」（100% Sn）です。
RH _{NC}	相対湿度（結露無きこと）	5	85	%	-
MSL	感湿性レベル	3		-	最大フロア・ライフ時間が168hであることを示す

5.2 動作条件

すべての限度値は保証されています。最小値と最大値が付いているパラメータは、生産試験手法またはSQC（統計的品質管理）手法によって保証されています。

特に記載のない限り、V_{EXT} = 3.3 V、V_{EXT_PA} = 3.3 V、V_{DD_IO} = 3.3 V、T_{AMB} = 25 °Cです。

表 66. 動作条件

記号	パラメータ	条件	最小	標準	最大	単位
I _{EXT}	V _{DD_PA} 電流を除く電源電流	V _{EXT} 消費電力	65 ⁽¹⁾	75	-	mA
I _{EXT_PA}	内部PAに対する電源電流	V _{DD_PA} = 3 V pa_bias[1:0] = 00b TX_lev[4:0] = 0 dB eTX[3:2] = 00b	-	120	-	mA
		V _{DD_PA} = 3 V pa_bias[1:0] = 01b TX_lev[4:0] = 0 dB eTX[3:2] = 00b	-	180	-	
I _{STBY}	スタンバイ・モードにおける電源電流	-	-	3	-	mA
I _{PD}	パワーダウン・モードにおける電源電流	電源電圧レギュレータを含む全システムが無効化	-	1	10	μA
V _{AGD}	AGD電圧	-	1.45	1.55	1.65	V
V _{POR}	パワーオン・リセット電圧（POR）	-	1	1.8	2.0	V
V _{RD}	レギュレータ電圧降下	⁽²⁾	-	300	-	mV
V _{DD_PA}	内部PA用安定化電源	-	-	3	-	V
P _{PSSR}	電源レギュレータにおける外部電源ノイズの除去量	⁽³⁾	-	26	-	dB
P _{RFAUX}	補助RF出力パワー	V _{DD_B} = 3 V	-	0	-	dBm

表 66. 動作条件（続き）

記号	パラメータ	条件	最小	標準	最大	単位
P _{PAOUT}	内部PA出力パワー	V _{DD_PA} = 3 V pa_bias[1:0] = 00b TX_lev[4:0] = 0 dB eTX[3:2] = 00b	-	17	-	dBm
		V _{DD_PA} = 3 V pa_bias[1:0] = 01b TX_lev[4:0] = 0 dB eTX[3:2] = 00b	-	20	-	

- オプション・ビットic_bia_m[1:0]を使用すれば、電力消費量は最大9%削減可能。電力消費量削減の欠点として、ノイズの増大、出力パワーの減少、感度の低下が生じることがあります。
- ダイレクト・コマンドAutomatic Power Supply Level Setting（A2h）実行後
- 外部電源と安定化電圧の差は300mV超であること

表 67. 差動ミキサ

記号	パラメータ	条件	最小	標準	最大	単位
R _{RFIN_DIFF}	差動ミキサ入力インピーダンス	-	-	100	-	Ω
V _{SENS_NOM_DIFF}	定格差動ミキサ入力感度	定格差動ミキサ設定 PER=0.1%	-	-67	-	dBm
V _{SENS_GAIN_DIFF}	増強差動ミキサ入力感度	増強差動ミキサ・ゲイン PER=0.1%	-	-77	-	dBm
V _{SENS_LBT_DIFF}	差動ミキサLBT感度	最大差動ミキサLBT感度	-	-90	-	dBm
IP _{3DIFF}	差動ミキサ3次インターセプト・ポイント	定格差動ミキサ設定 VEXT = 3 V	-	20	-	dBm
1dBcp _{DIFF}	差動ミキサ入力1dB圧縮ポイント	定格差動ミキサ設定 VEXT = 3 V	-	9	-	dBm
T _{REC_DIFF}	変調後リカバリ時間	最大LF選択時	-	18	-	μs

表 68. シングルエンド・ミキサ

記号	パラメータ	条件	最小	標準	最大	単位
R _{RFIN_SE}	シングルエンド・ミキサ入力インピーダンス	-	-	50	-	Ω
V _{SENS_NOM_SE}	定格SE入力感度	定格SEミキサ設定 PER=0.1%	-	-67	-	dBm
V _{SENS_GAIN_SE}	増強SE入力感度	増強SEミキサ・ゲイン PER=0.1%	-	-77	-	dBm
V _{SENS_LBT_SE}	SEミキサLBT感度	最大SEミキサLBT感度	-	-90	-	dBm
IP _{3SE}	SEミキサ3次インターセプト・ポイント	定格SEミキサ設定 ⁽¹⁾ VEXT = 3 V	-	17	-	dBm

表 68. シングルエンド・ミキサ（続き）

記号	パラメータ	条件	最小	標準	最大	単位
1dBcp_SE	SEミキサ入力1dB圧縮ポイント	定格SEミキサ設定 ⁽¹⁾ VEXT = 3 V	-	7	-	dBm
T _{REC_SE}	変調後リカバリ時間	最大LF選択時	-	18	-	μs

1. 定格ミキサ設定のレジスタ設定: 0A:01h、0D:84h、22:13h.

表 69. CMOS入力（全CMOS入力に適用）⁽¹⁾

記号	パラメータ	条件	最小	標準	最大	単位
V _{IH}	Highレベル入力電圧	⁽²⁾	0.8 * V _{DD_IO}	-	-	V
V _{IL}	Lowレベル入力電圧	⁽³⁾	-	-	0.2 * V _{DD_IO}	V
I _{LEAK}	入力リーク電流	-	-	-	1	μA

1. 電流スパイク防止のため、全出力に対して、最小限必要な電流駆動能力で負荷を使用することを推奨します。

2. 1.8 V以下の電源電圧では、V_{IH}の最小値は0.9 * V_{DD_IO}と定義されます。

3. 1.8 V以下の電源電圧では、V_{IH}の最大値は0.1 * V_{DD_IO}と定義されます。

表 70. CMOS入力（全CMOS入力に適用）

記号	パラメータ	条件	最小	標準	最大	単位
f _{SCLK}	SCLK周波数	hs_output = 1 ⁽¹⁾ 、 V _{DD_IO} ≥ 3 V、 C _{LOAD} = 50 pF	-	-	5	MHz
		hs_output = 1、 V _{DD_IO} ≥ 1.65 V、 C _{LOAD} = 50 pF	-	-	3	MHz
		hs_output = 0、 V _{DD_IO} ≥ 3 V、 C _{LOAD} = 50 pF	-	-	2	MHz
R _{NMOS}	デジタル・ピンの出力 NMOS抵抗	hs_output = 1	-	120	-	Ω
R _{PMOS}	デジタル・ピンの出力 PMOS抵抗	hs_output = 1、 V _{DD_IO} ≥ 3 V	-	150	-	Ω
		hs_output = 1、 V _{DD_IO} > 1.65 V	-	300	-	Ω

1. 補助レジスタ1のオプション・ビット7

5.3 標準動作特性

この仕様において外部コンポーネントに対し定義されているすべての誤差は、動作条件範囲全体にわたって、かつ耐用年数の間、保証される必要があります。

表 71. 標準動作特性

記号	パラメータ	最小	最大	単位	コメント
V _{DD_IO}	正電源電圧V _{DD_IO}	1.65	5.5	V	-
V _{EXT}	正電源電圧V _{EXT}	2.7	3.6	V	電源のリジェクションと性能を最適なものとするため、最低3.3 Vの電源電圧が必要です。電源電圧が3.0 V以上であれば、低下した電源リジェクションでの動作が可能です。2.7 Vまで下がっても、低下した性能での動作が可能です。
V _{EXT_PA}	正電源電圧V _{EXTRF}	2.7	4.3	V	
V _{SS}	負電源電圧	0	0	V	すべてのV _{SS} ピンとVSNピンに適用
T _{AMB}	環境温度	-40	85	°C	-

6 パッケージ情報

STでは、環境要件を満たすために、環境適合性のレベルに合わせた各種グレードのECOPACK[®]パッケージを提供しています。ECOPACK[®]の仕様とグレードの定義、製品状況はwww.st.comから入手可能です。

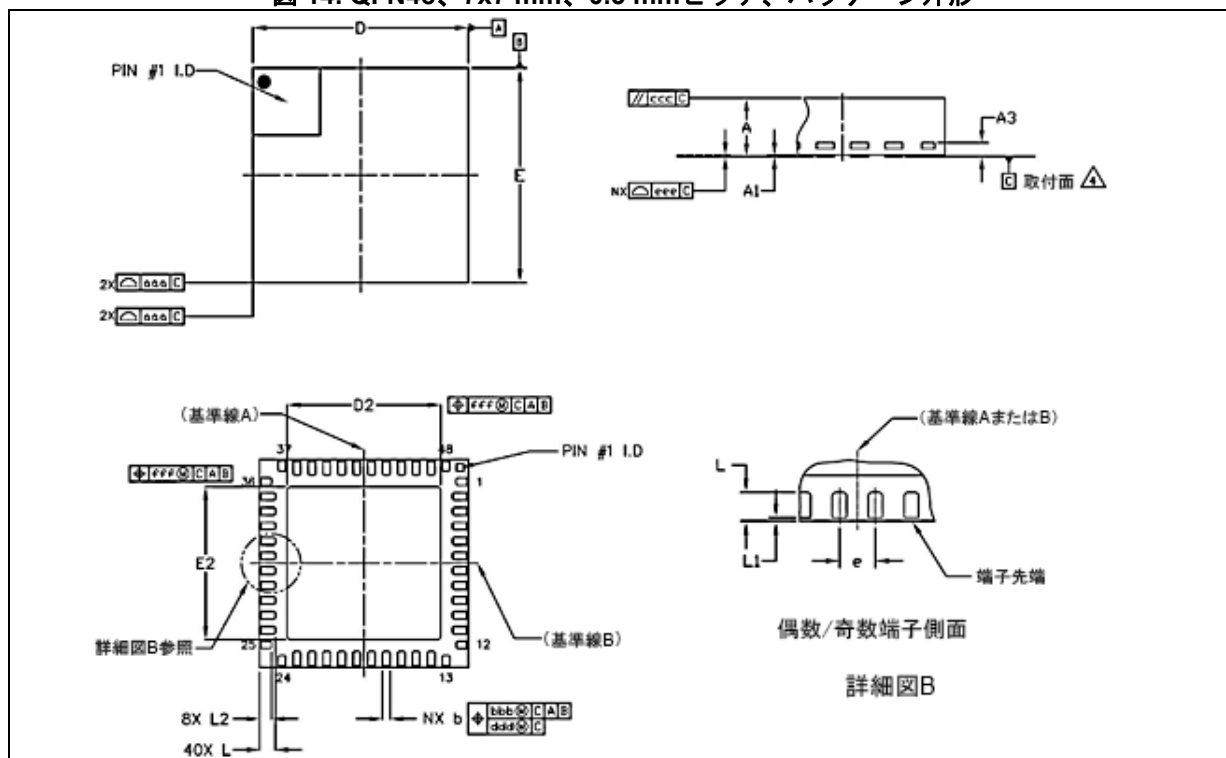
ECOPACK[®]はSTの商標です。

6.1 QFN48パッケージ情報

ST25RU3993は48ピンQFN（7 x 7 mm）パッケージで提供されています（[図 14](#)参照）。

表示の各寸法はミリメートル単位です。

図 14. QFN48、7x7 mm、0.5 mmピッチ、パッケージ外形



1. すべての寸法はミリメートル単位です。角度は度単位です。
2. 寸法bはメッキ済み端子に適用され、端子先端から0.25 ~ 0.30mmにおける測定値です。寸法L1はパッケージ端面から端子までの距離を示しており、最大で0.15mmまでが許容されます。
3. 平坦度は端子だけではなく、露出ヒート・スラグにも適用されます。
4. 端子の半径はオプションです。
5. この図面は予告なく変更されることがあります。
6. N = 48であり、ピン数を示しています。

表 72. QFN48、7x7 mm、0.5 mmピッチ、パッケージ機械的データ

記号	ミリメートル単位			インチ単位 ⁽¹⁾		
	最小	標準	最大	最小	標準	最大
A	0.8	0.9	1.0	0.0315	0.0354	0.0394
A1	0	0.02	0.05	0	0.0008	0.0020
A3	-	0.2 (参考値)	-	-	0.0079 (参考値)	-
b	0.18	0.25	0.30	0.0071	0.0098	0.0118
D	-	7 (BSC)	-	-	0.2756 (BSC)	-
E	-	7 (BSC)	-	-	0.2756 (BSC)	-
e	-	0.5	-	-	0.0197	-
D2	5.04	5.14	5.24	0.1984	0.2024	0.2063
E2	5.04	5.14	5.24	0.1984	0.2024	0.2063
L	0.48	0.53	0.58	0.0189	0.0209	0.0228
L1	0	-	0.15	0	-	0.0059
L2	0.35	0.4	0.45	0.0138	0.0157	0.0177
aaa	-	0.15	-	-	0.0059	-
bbb	-	0.10	-	-	0.0039	-
ccc	-	0.10	-	-	0.0039	-
ddd	-	0.05	-	-	0.0020	-
eee	-	0.08	-	-	0.0031	-
fff	-	0.10	-	-	0.0039	-

1. インチ単位の値はミリメートルからの換算値であり小数第4位に四捨五入されています。

7 部品番号

表 73. 発注情報体系

例:	ST25	RU	39	93	-	B	QF	T
デバイス種別								
ST25 = RFIDタグ / リーダライタ								
製品種別								
RU = UHFリーダライタ								
周波数範囲								
39 = RF製品								
製品機能								
93 = Gen2対応高性能リーダライタ								
温度範囲								
B = -40 ~ 85℃								
パッケージ								
QF = 48ピンQFN（7 x 7 mm）								
テーピングとリール								
T = 500個/リール								

注： 「ES」または「E」とマーキングされているか、エンジニアリング・サンプル通知文書が添付されている部品は認定前の部品であり、生産に使用するためのものではありません。そのような使用に由来するあらゆる結果については、STはその責任を負わないものとします。お客様によるこれらエンジニアリング・サンプルの生産での使用については、STはいかなる場合もその責を負いません。これらエンジニアリング・サンプルの認定目的での使用を決定する前に、STの品質保証部門までお問い合わせください。

8 改訂履歴

表 74. 文書改訂履歴

日付	版	変更内容
2016年11月9日	1	初版発行
2016年11月24日	2	表 66: 動作条件を更新
2016年12月7日	3	表 67: 差動ミキサと表 68: シングルエンド・ミキサを更新
2016年12月22日	4	表 73: 発注情報体系を更新
2017年3月20日	5	表 73: 発注情報体系を更新

表 75. 日本語版文書改訂履歴

日付	版	変更内容
2017年12月22日	1	日本語版 初版発行

重要なお知らせ（よくお読み下さい）

STMicroelectronics NV およびその子会社（以下、ST）は、ST製品及び本書の内容をいつでも予告なく変更、修正、改善、改定及び改良する権利を留保します。購入される方は、発注前にST製品に関する最新の関連情報を必ず入手してください。ST製品は、注文請書発行時点で有効なSTの販売条件に従って販売されます。

ST製品の選択並びに使用については購入される方が全ての責任を負うものとします。購入される方の製品上の操作や設計に関してSTは一切の責任を負いません。

明示又は黙示を問わず、STは本書においていかなる知的財産権の実施権も許諾致しません。

本書で説明されている情報とは異なる条件でST製品が再販された場合、その製品についてSTが与えたいかなる保証も無効となります。

STおよびSTロゴはSTMicroelectronicsの商標です。その他の製品またはサービスの名称は、それぞれの所有者に帰属します。

本書の情報は本書の以前のバージョンで提供された全ての情報に優先し、これに代わるものです。

この資料は、STMicroelectronics NV並びにその子会社(以下ST)が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くためにSTマイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST及びSTマイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

© 2018 STMicroelectronics - All rights reserved