RM0090
リファレンスマニュアル

STM32F405xx/07xx, STM32F415xx/17xx, STM32F42xxx, STM32F43xxx advanced ARM-based 32-bit MCUs

概要

このリファレンスマニュアルは、アプリケーション開発者を対象としています。STM32F405xx/07xx、STM32F415xx/17xx、STM32F42xxxおよびSTM32F43xxx マイクロコントローラのメモリやペリフェラルの使用方法について詳細に説明しています。

STM32F405xx/07xx、STM32F415xx/17xx、STM32F42xxx および STM32F43xxx は異なるメモリサイズ、パッケージ、ペリフェラルを持ったファミリ製品になります。

注文情報、機械的および電気的特性については、データシートを参照してください。

ARM FPU 搭載 Cortex™-M4 コアについては、*FPU 搭載 Cortex™-M4 テクニカルリファレンスマニュアル*を参照してください。

関連ドキュメント

STMicroelectronics のウェブサイト（http://www.st.com）では、以下のドキュメントが入手可能です。

- STM32F40x および STM32F41x のデータシート
- STM32F42x および STM32F43x のデータシート
- FPU 搭載 ARM Cortex™-M4 コアについては、*STM32F3xx／F4 Cortex™-M4 プログラミングマニュアル（PM0214）*を参照してください。

表 1. 適用製品

製品ファミリ	部品番号と製品カテゴリ
マイクロコントローラ	STM32F405xx、STM32F407xx、STM32F415xx、STM32F417xx、STM32F427xx、STM32F437xx、STM32F429xx および STM32F439xx

www.st.com

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

目次

1 このマニュアルにおける表記の規則 57
1.1 レジスタに関する略記 57
1.2 用語 58
1.3 使用可能なペリフェラル 58

2 メモリとバスのアーキテクチャ 59
2.1 システムアーキテクチャ 59
2.1.1 I-bus 62
2.1.2 D-bus 62
2.1.3 S-bus 62
2.1.4 DMA メモリバス 63
2.1.5 DMA ペリフェラルバス 63
2.1.6 Ethernet DMA バス 63
2.1.7 USB OTG HS DMA バス 63
2.1.8 LCD-TFT コントローラ DMA バス 63
2.1.9 DMA2D バス 63
2.1.10 BusMatrix 63
2.1.11 AHB ／ APB ブリッジ（APB） 63
2.2 メモリ構成 64
2.3 メモリマップ 64
2.3.1 内蔵 SRAM 68
2.3.2 フラッシュメモリ概要 68
2.3.3 ビットバンディング 68
2.4 ブート設定 69

3 内蔵フラッシュメモリインタフェース 73
3.1 概要 73
3.2 主な特長 73
3.3 内蔵フラッシュメモリ（STM32F405xx/07xx および STM32F415xx/17xx） 74
3.4 内蔵フラッシュメモリ（STM32F42xxx および STM32F43xxx） 75
3.5 読出しインタフェース 78
3.5.1 CPU クロック周波数とフラッシュメモリ読出し時間との関係 78
3.5.2 適応型リアルタイムメモリアクセラレータ（ART Accelerator™） 80

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

3.6 消去操作とプログラム操作 83
3.6.1 フラッシュ制御レジスタのアンロック 83
3.6.2 プログラム／消去の並列処理 84
3.6.3 消去 84
3.6.4 プログラミング 85
3.6.5 書込み中読出し（RWW） 86
3.6.6 割込み 87
3.7 オプションバイト 87
3.7.1 ユーザオプションバイトの説明 87
3.7.2 ユーザオプションバイトのプログラミング 90
3.7.3 読出し保護（RDP） 91
3.7.4 書込み保護 93
3.7.5 独自仕様コード読出し保護（PCROP） 94
3.8 一度だけプログラム可能なバイト 95
3.9 フラッシュインタフェースレジスタ 96
3.9.1 フラッシュアクセス制御レジスタ（FLASH_ACR）（STM32F405xx/07xx および STM32F415xx/17xx 用） 96
3.9.2 フラッシュアクセス制御レジスタ（FLASH_ACR）（STM32F42xxx および STM32F43xxx 用） 97
3.9.3 フラッシュキーレジスタ（FLASH_KEYR） 98
3.9.4 フラッシュオプションキーレジスタ（FLASH_OPTKEYR） 99
3.9.5 フラッシュステータスレジスタ（FLASH_SR）STM32F405xx/07xx および STM32F415xx/17xx 100
3.9.6 フラッシュステータスレジスタ（FLASH_SR）STM32F42xxx および STM32F43xxx 101
3.9.7 フラッシュ制御レジスタ（FLASH_CR）STM32F405xx/07xx および STM32F415xx/17xx 102
3.9.8 フラッシュ制御レジスタ（FLASH_CR）STM32F42xxx および STM32F43xxx 103
3.9.9 フラッシュオプション制御レジスタ（FLASH_OPTCR）STM32F405xx/07xx および STM32F415xx/17xx 105
3.9.10 フラッシュオプション制御レジスタ（FLASH_OPTCR）（STM32F42xxx および STM32F43xxx 用） 106
3.9.11 フラッシュオプション制御レジスタ（FLASH_OPTCR1）（STM32F42xxx および STM32F43xxx 用） 108
3.9.12 フラッシュインタフェースレジスタマップ 109

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

4 CRC 計算ユニット 111

4.1 CRC の概要 111

4.2 CRC の主な特徴 111

4.3 CRC の機能説明 112

4.4 CRC レジスタ 112

4.4.1 データレジスタ（CRC_DR）. 112

4.4.2 独立型データレジスタ（CRC_IDR）. 113

4.4.3 制御レジスタ（CRC_CR）. 113

4.4.4 CRC レジスタマップ 113

5 電源コントローラ（PWR）. 115

5.1 電源供給 115

5.1.1 独立した A/D コンバータ用電源と基準電圧 116

5.1.2 バッテリバックアップドメイン 117

5.1.3 STM32F405xx/07xx および STM32F415xx/17xx の電圧レギュレータ 119

5.1.4 STM32F42xxx および STM32F43xxx の電圧レギュレータ 120

5.2 電源供給スーパバイザ 123

5.2.1 パワーオンリセット（POR）／パワーダウンリセット（PDR）. 123

5.2.2 ブラウンアウトリセット（BOR）. 123

5.2.3 プログラマブル電圧検出器（PVD）. 124

5.3 低電力モード 125

5.3.1 システムクロックの低速化 126

5.3.2 ペリフェラルクロックゲーティング 126

5.3.3 SLEEP モード 127

5.3.4 STOP モード（STM32F405xx/07xx および STM32F415xx/17xx）. 128

5.3.5 STOP モード（STM32F42xxx および STM32F43xxx）. 130

5.3.6 STANDBY モード 133

5.3.7 STOP モードおよび STANDBY モードからデバイスを ウェイクアップさせるための RTC 代替機能のプログラム 135

5.4 電源制御レジスタ（STM32F405xx/07xx および STM32F415xx/17xx）. 138

5.4.1 PWR 電源制御レジスタ（PWR_CR） STM32F405xx/07xx および STM32F415xx/17xx 138

5.4.2 PWR 電力制御／ステータスレジスタ（PWR_CSR） （STM32F405xx/07xx および STM32F415xx/17xx 用）. 139

5.5 電源制御レジスタ（STM32F42xxx および STM32F43xxx）. 141

5.5.1 PWR 電源制御レジスタ（PWR_CR） （STM32F42xxx および STM32F43xxx 用）. 141

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

5.5.2 PWR 電源制御／ステータスレジスタ（PWR_CSR）（STM32F42xxx および STM32F43xxx 用）. 144
5.6 PWR レジスタマップ 146

6 リセットおよびクロック制御 STM32F42xxx および STM32F43xxx （RCC） 147

6.1 リセット 147
6.1.1 システムリセット 147
6.1.2 電源リセット 148
6.1.3 バックアップドメインリセット 148
6.2 クロック 149
6.2.1 HSE クロック 152
6.2.2 HSI クロック 153
6.2.3 PLL 設定 154
6.2.4 LSE クロック 154
6.2.5 LSI クロック 155
6.2.6 システムクロック（SYSCLK）の選択 155
6.2.7 クロックセキュリティシステム（CSS） 155
6.2.8 RTC/AWU クロック 156
6.2.9 ウォッチドッグクロック 156
6.2.10 クロック信号出力 157
6.2.11 TIM5/TIM11 を使用した内部／外部クロックの測定 157
6.3 RCC レジスタ 159
6.3.1 RCC クロック制御レジスタ（RCC_CR） 159
6.3.2 RCC PLL 設定レジスタ（RCC_PLLCFGR） 161
6.3.3 RCC クロック設定レジスタ（RCC_CFGR） 163
6.3.4 RCC クロック割り込みレジスタ（RCC_CIR） 165
6.3.5 RCC AHB1 ペリフェラルリセットレジスタ（RCC_AHB1RSTR） 168
6.3.6 RCC AHB2 ペリフェラルリセットレジスタ（RCC_AHB2RSTR） 171
6.3.7 RCC AHB3 ペリフェラルリセットレジスタ（RCC_AHB3RSTR） 172
6.3.8 RCC APB1 ペリフェラルリセットレジスタ（RCC_APB1RSTR） 172
6.3.9 RCC APB2 ペリフェラルリセットレジスタ (RCC_APB2RSTR) 175
6.3.10 RCC AHB1 ペリフェラルクロックレジスタ（RCC_AHB1ENR） 177
6.3.11 RCC AHB2 ペリフェラルクロックイネーブルレジスタ（RCC_AHB2ENR） . . 179
6.3.12 RCC AHB3 ペリフェラルクロックイネーブルレジスタ（RCC_AHB3ENR） . . 180
6.3.13 RCC APB1 ペリフェラルクロックイネーブルレジスタ（RCC_APB1ENR） . . 180
6.3.14 RCC APB2 ペリフェラルクロックイネーブルレジスタ（RCC_APB2ENR） . . 184

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

6.3.15 低電力モードにおける RCC AHB1 ペリフェラルクロックイネーブルレジスタ（RCC_AHB1LPENR）186
6.3.16 低電力モードにおける RCC AHB2 ペリフェラルクロックイネーブルレジスタ (RCC_AHB2LPENR) 189
6.3.17 低電力モードにおける RCC AHB3 ペリフェラルクロックイネーブルレジスタ（RCC_AHB3LPENR） 190
6.3.18 低電力モードにおける RCC APB1 ペリフェラルクロックイネーブルレジスタ（RCC_APB1LPENR） 190
6.3.19 低電力モードにおける RCC APB2 ペリフェラルクロックイネーブルレジスタ（RCC_APB2LPENR）193
6.3.20 RCC バックアップドメイン制御レジスタ（RCC_BDCR） 195
6.3.21 RCC クロック制御およびステータスレジスタ（RCC_CSR） 196
6.3.22 RCC スペクトル拡散クロック生成レジスタ（RCC_SSCGR） 198
6.3.23 RCC PLLI2S 設定レジスタ（RCC_PLLI2SCFGR） 199
6.3.24 RCC PLL 設定レジスタ（RCC_PLLSAICFGR） 201
6.3.25 RCC 専用クロック設定レジスタ（RCC_DCKCFGR） 202
6.3.26 RCC レジスタマップ 205

7 リセットおよびクロック制御 STM32F405xx/07xx および STM32F415xx/17xx（RCC）208

7.1 リセット 208
7.1.1 システムリセット 208
7.1.2 電源リセット 209
7.1.3 バックアップドメインリセット 210
7.2 クロック 210
7.2.1 HSE クロック 212
7.2.2 HSI クロック 213
7.2.3 PLL 設定 214
7.2.4 LSE クロック 215
7.2.5 LSI クロック 215
7.2.6 システムクロック（SYSCLK）の選択 215
7.2.7 クロックセキュリティシステム（CSS） 216
7.2.8 RTC/AWU クロック 216
7.2.9 ウォッチドッグクロック 217
7.2.10 クロック信号出力 217
7.2.11 TIM5/TIM11 を使用した内部／外部クロックの測定 218
7.3 RCC レジスタ 220
7.3.1 RCC クロック制御レジスタ（RCC_CR） 220

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

7.3.2 RCC PLL 設定レジスタ（RCC_PLLCFGR）.....222
7.3.3 RCC クロック設定レジスタ（RCC_CFGR）.....224
7.3.4 RCC クロック割り込みレジスタ（RCC_CIR）.....226
7.3.5 RCC AHB1 ペリフェラルリセットレジスタ（RCC_AHB1RSTR）.....229
7.3.6 RCC AHB2 ペリフェラルリセットレジスタ（RCC_AHB2RSTR）.....232
7.3.7 RCC AHB3 ペリフェラルリセットレジスタ（RCC_AHB3RSTR）.....233
7.3.8 RCC APB1 ペリフェラルリセットレジスタ（RCC_APB1RSTR）.....233
7.3.9 RCC APB2 ペリフェラルリセットレジスタ (RCC_APB2RSTR) 236
7.3.10 RCC AHB1 ペリフェラルクロックイネーブルレジスタ（RCC_AHB1ENR）..238
7.3.11 RCC AHB2 ペリフェラルクロックイネーブルレジスタ（RCC_AHB2ENR）..240
7.3.12 RCC AHB3 ペリフェラルクロックイネーブルレジスタ（RCC_AHB3ENR）..241
7.3.13 RCC APB1 ペリフェラルクロックイネーブルレジスタ（RCC_APB1ENR）..241
7.3.14 RCC APB2 ペリフェラルクロックイネーブルレジスタ（RCC_APB2ENR）..244
7.3.15 RCC APB2 ペリフェラルクロックイネーブルレジスタ（RCC_APB2ENR）..246
7.3.16 低電力モードにおける RCC AHB1 ペリフェラルクロックイネーブルレジスタ（RCC_AHB1LPENR）.....248
7.3.17 低電力モードにおける RCC AHB2 ペリフェラルクロックイネーブルレジスタ（RCC_AHB2LPENR）.....250
7.3.18 低電力モードにおける RCC AHB3 ペリフェラルクロックイネーブルレジスタ（RCC_AHB3LPENR）.....251
7.3.19 低電力モードにおける RCC APB1 ペリフェラルクロックイネーブルレジスタ（RCC_APB1LPENR）.....252
7.3.20 低電力モードにおける RCC APB2 ペリフェラルクロックイネーブルレジスタ（RCC_APB2LPENR）.....255
7.3.21 RCC バックアップドメイン制御レジスタ（RCC_BDCR）.....257
7.3.22 RCC クロック制御およびステータスレジスタ（RCC_CSR）.....258
7.3.23 RCC スペクトル拡散クロック生成レジスタ（RCC_SSCGR）.....260
7.3.24 RCC PLLI2S 設定レジスタ（RCC_PLLI2SCFGR）.....261
7.3.25 RCC レジスタマップ.....263

8 汎用 I/O（GPIO）.....265

8.1 GPIO の概要.....265
8.2 GPIO の主な機能.....265
8.3 GPIO 機能の説明.....265
8.3.1 汎用 I/O（GPIO）.....267
8.3.2 I/O ピンマルチプレクサとマッピング.....268
8.3.3 I/O ポート制御レジスタ.....272
8.3.4 I/O ポートデータレジスタ.....272

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

8.3.5 I/O データのビット単位の操作 272
8.3.6 GPIO ロック機構 272
8.3.7 I/O オルタネート機能の入力／出力 273
8.3.8 外部 “ 割込み／ウェイクアップ ” ライン 273
8.3.9 入力設定 273
8.3.10 出力設定 274
8.3.11 オルタネート機能設定 275
8.3.12 アナログ設定 276
8.3.13 OSC32_IN/OSC32_OUT ピンの GPIO PC14/PC15 ポートピンとしての使用 276
8.3.14 OSC_IN/OSC_OUT ピンの GPIO PH0/PH1 ポートピンとしての使用 277
8.3.15 RTC_AF1 および RTC_AF2 オルタネート機能の選択 277
8.4 GPIO レジスタ 279
8.4.1 GPIO ポートモードレジスタ（GPIOx_MODER）（x = A..I/J/K） 279
8.4.2 GPIO ポート出力タイプレジスタ（GPIOx_OTYPER）（x = A..I/J/K） 279
8.4.3 GPIO ポート出力スピードレジスタ（GPIOx_OSPEEDR）（x = A..I/J/K） 280
8.4.4 GPIO ポート “ プルアップ／プルダウン ” レジスタ（GPIOx_PUPDR）（x = A..I/J/K） 280
8.4.5 GPIO ポート入力データレジスタ（GPIOx_IDR）（x = A..I/J/K） 281
8.4.6 GPIO ポート出力データレジスタ（GPIOx_ODR）（x = A..I/J/K） 281
8.4.7 GPIO ポートビット “ セット / リセット ” レジスタ（GPIOx_BSRR）（x = A..I/J/K） 282
8.4.8 GPIO ポート設定ロックレジスタ（GPIOx_LCKR）（x = A..I/J/K） 283
8.4.9 GPIO オルタネート機能下位レジスタ（GPIOx_AFRL）（x = A..I/J/K） 284
8.4.10 GPIO オルタネート機能上位レジスタ（GPIOx_AFRH）（x = A..I/J/K） 285
8.4.11 GPIO レジスタマップ 286

9 システム設定コントローラ（SYSCFG） 289
9.1 I/O 補正セル 289
9.2 STM32F405xx/07xx および STM32F415xx/17xx SYSCFG レジスタ 289
9.2.1 SYSCFG メモリ再配置レジスタ（SYSCFG_MEMRMP） 289
9.2.2 SYSCFG ペリフェラルモード設定レジスタ（SYSCFG_PMC） 290
9.2.3 SYSCFG 外部割り込み設定レジスタ 1（SYSCFG_EXTICR1） 291
9.2.4 SYSCFG 外部割り込み設定レジスタ 2（SYSCFG_EXTICR2） 291
9.2.5 SYSCFG 外部割り込み設定レジスタ 3（SYSCFG_EXTICR3） 292
9.2.6 SYSCFG 外部割り込み設定レジスタ 4（SYSCFG_EXTICR4） 292

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

9.2.7 補正セル制御レジスタ（SYSCFG_CMPCR）.....293
9.2.8 STM32F405xx/07xx および STM32F415xx/17xx SYSCFG レジスタマップ ..293
9.3 STM32F42xxx および STM32F43xxx SYSCFG レジスタ 294
9.3.1 SYSCFG メモリ再配置レジスタ（SYSCFG_MEMRMP）.....294
9.3.2 SYSCFG ペリフェラルモード設定レジスタ（SYSCFG_PMC）.....296
9.3.3 SYSCFG 外部割り込み設定レジスタ 1（SYSCFG_EXTICR1）.....297
9.3.4 SYSCFG 外部割り込み設定レジスタ 2（SYSCFG_EXTICR2）.....298
9.3.5 SYSCFG 外部割り込み設定レジスタ 3（SYSCFG_EXTICR3）.....299
9.3.6 SYSCFG 外部割り込み設定レジスタ 4（SYSCFG_EXTICR4）.....300
9.3.7 補正セル制御レジスタ（SYSCFG_CMPCR）.....300
9.3.8 STM32F42xxx および STM32F43xxx SYSCFG レジスタマップ 301

10 DMA コントローラ（DMA）..... 303

10.1 DMA の概要 303
10.2 DMA の主な機能 303
10.3 DMA 機能の説明 305
10.3.1 概要 305
10.3.2 DMA トランザクション 307
10.3.3 チャネル選択 308
10.3.4 アービタ 309
10.3.5 DMA ストリーム 309
10.3.6 転送元、転送先、および転送モード 310
10.3.7 ポインタのインクリメント 313
10.3.8 サーキュラモード 314
10.3.9 ダブルバッファモード 314
10.3.10 プログラミング可能なデータ幅、パッキング／アンパッキング、エンディアン形式 315
10.3.11 シングル転送とバースト転送 317
10.3.12 FIFO 317
10.3.13 DMA 転送の完了 320
10.3.14 DMA 転送の中断 321
10.3.15 フローコントローラ 321
10.3.16 実現可能な DMA 設定の概要 322
10.3.17 ストリーム設定手順 323
10.3.18 エラー管理 324

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

10.4 DMA 割り込み 325
10.5 DMA レジスタ 326
10.5.1 DMA ロー割り込みステータスレジスタ（DMA_LISR） 326
10.5.2 DMA ハイ割り込みステータスレジスタ（DMA_HISR） 327
10.5.3 DMA ロー割り込みフラグクリアレジスタ（DMA_LIFCR） 328
10.5.4 DMA ハイ割り込みフラグクリアレジスタ（DMA_HIFCR） 329
10.5.5 DMA ストリーム x 設定レジスタ（DMA_SxCR）（x=0..7） 330
10.5.6 DMA ストリーム x データ数レジスタ（DMA_SxNDTR）（x=0..7） 333
10.5.7 DMA ストリーム x ペリフェラルアドレスレジスタ（DMA_SxPAR）（x=0..7） 334
10.5.8 DMA ストリーム x メモリ 0 アドレスレジスタ（DMA_SxM0AR）（x=0..7） . . 334
10.5.9 DMA ストリーム x メモリ 1 アドレスレジスタ（DMA_SxM1AR）（x=0..7） . . 335
10.5.10 DMA ストリーム x FIFO 制御レジスタ（DMA_SxFCR）（x=0..7） 335
10.5.11 DMA レジスタマップ 337

11 Chrom-Art Accelerator™ コントローラ（DMA2D） 341
11.1 DMA2D の概要 341
11.2 DMA2D の主な機能 342
11.3 DMA2D 機能の説明 342
11.3.1 概要 342
11.3.2 DMA2D の制御 343
11.3.3 DMA2D フォアグラウンドおよびバックグラウンド FIFO 343
11.3.4 DMA2D フォアグラウンドおよびバックグラウンドのピクセルフォーマットコンバータ（PFC） 344
11.3.5 DMA2D フォアグラウンドおよびバックグラウンド CLUT インタフェース . . 346
11.3.6 DMA2D ブレンダ 347
11.3.7 DMA2D 出力 PFC 348
11.3.8 DMA2D 出力 FIFO 348
11.3.9 DMA2D AHB マスタポートタイマ 349
11.3.10 DMA2D トランザクション 349
11.3.11 DMA2D 設定 349
11.3.12 DMA2D 転送制御（開始、サスペンド、アボート、完了） 352
11.3.13 ウォーターマーク 353
11.3.14 エラー管理 353
11.3.15 AHB デッドタイム 353

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

11.4 DMA2D 割り込み 354
11.5 DMA2D レジスタ 355
11.5.1 DMA2D 制御レジスタ（DMA2D_CR） 355
11.5.2 DMA2D 割り込みステータスレジスタ（DMA2D_ISR） 357
11.5.3 DMA2D 割り込みフラグクリアレジスタ（DMA2D_IFCR） 358
11.5.4 DMA2D フォアグラウンドメモリアドレスレジスタ（DMA2D_FGMAR） 359
11.5.5 DMA2D フォアグラウンドオフセットレジスタ（DMA2D_FGOR） 359
11.5.6 DMA2D バックグラウンドメモリアドレスレジスタ（DMA2D_BGMAR） 360
11.5.7 DMA2D バックグラウンドオフセットレジスタ（DMA2D_BGOR） 360
11.5.8 DMA2D フォアグラウンド PFC 制御レジスタ（DMA2D_FGPFCCR） 361
11.5.9 DMA2D フォアグラウンドカラーレジスタ（DMA2D_FGCOLR） 363
11.5.10 DMA2D バックグラウンド PFC 制御レジスタ（DMA2D_BGPFCCR） 364
11.5.11 DMA2D バックグラウンドカラーレジスタ（DMA2D_BGCOLR） 366
11.5.12 DMA2D フォアグラウンド CLUT メモリアドレスレジスタ（DMA2D_FGCMAR） 366
11.5.13 DMA2D バックグラウンド CLUT メモリアドレスレジスタ（DMA2D_BGCMAR） 367
11.5.14 DMA2D 出力 PFC 制御レジスタ（DMA2D_OPFCCR） 367
11.5.15 DMA2D 出力カラーレジスタ（DMA2D_OCOLR） 368
11.5.16 DMA2D 出力メモリアドレスレジスタ（DMA2D_OMAR） 369
11.5.17 DMA2D 出力オフセットレジスタ（DMA2D_OOR） 370
11.5.18 DMA2D ライン数レジスタ（DMA2D_NLR） 370
11.5.19 DMA2D ラインウォーターマークレジスタ（DMA2D_LWR） 371
11.5.20 DMA2D AHB マスタータイマ設定レジスタ（DMA2D_AMTCR） 371
11.5.21 DMA2D レジスタマップ 372

12 割り込みとイベント 375

12.1 ネスト化されたベクタ割り込みコントローラ（NVIC） 375
12.1.1 NVIC 機能 375
12.1.2 SysTick 較正値レジスタ 375
12.1.3 割り込みベクタと例外ベクタ 375
12.2 外部割り込み／イベントコントローラ（EXTI） 376
12.2.1 EXTI の主な機能 382
12.2.2 EXTI のブロック図 383
12.2.3 ウェイクアップイベント管理 383
12.2.4 機能詳細 384
12.2.5 外部割り込み／イベントラインのマッピング 385

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

12.3 EXTI レジスタ 387
12.3.1 割り込みマスクレジスタ（EXTI_IMR）. 387
12.3.2 イベントマスクレジスタ（EXTI_EMR）. 387
12.3.3 立ち上がりトリガ選択レジスタ（EXTI_RTSR）. 388
12.3.4 立ち下がりトリガ選択レジスタ（EXTI_FTSR）. 388
12.3.5 ソフトウェア割り込みイベントレジスタ（EXTI_SWIER）. 389
12.3.6 ペンディングレジスタ（EXTI_PR）. 389
12.3.7 EXTI レジスタマップ 390

13 A/D コンバータ（ADC）. 392
13.1 ADC の概要 392
13.2 ADC の主な機能 392
13.3 ADC の機能詳細 393
13.3.1 ADC のオン／オフ制御 395
13.3.2 ADC クロック 395
13.3.3 チャネル選択 395
13.3.4 シングル変換モード 396
13.3.5 連続変換モード 397
13.3.6 タイミング図 397
13.3.7 アナログウォッチドッグ 397
13.3.8 スキャンモード 398
13.3.9 インジェクトチャネルの管理 399
13.3.10 不連続モード 400
13.4 データの配置 401
13.5 チャネルごとにプログラム可能なサンプリング時間 402
13.6 外部トリガによる変換およびトリガ極性 402
13.7 高速変換モード 404
13.8 データ管理 405
13.8.1 DMA の利用 405
13.8.2 DMA を使用しない変換シーケンスの管理 405
13.8.3 DMA およびオーバーラン検出を使用しない変換 406
13.9 マルチ ADC モード 406
13.9.1 インジェクト同時モード 410
13.9.2 レギュラ同時モード 411
13.9.3 インタリーブモード 412
13.9.4 オルタネートトリガモード 414

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

13.9.5 レギュラ／インジェクト同時モードの組み合わせ 416
13.9.6 レギュラ同時 + オルタネートトリガモードの組み合わせ 416
13.10 温度センサ 418
13.11 バッテリ充電監視 420
13.12 ADC 割り込み 420
13.13 ADC レジスタ 421
13.13.1 ADC ステータスレジスタ（ADC_SR） 421
13.13.2 ADC 制御レジスタ 1（ADC_CR1） 422
13.13.3 ADC 制御レジスタ 2（ADC_CR2） 424
13.13.4 ADC サンプル時間レジスタ 1（ADC_SMPR1） 427
13.13.5 ADC サンプル時間レジスタ 2（ADC_SMPR2） 427
13.13.6 ADC インジェクトチャネルデータオフセットレジスタ x（ADC_JOFRx）（x=1..4） 428
13.13.7 ADC ウォッチドッグ高閾値レジスタ （ADC_HTR） 428
13.13.8 ADC ウォッチドッグ低閾値レジスタ（ADC_LTR） 429
13.13.9 ADC レギュラシーケンスレジスタ 1（ADC_SQR1） 429
13.13.10 ADC レギュラシーケンスレジスタ 2（ADC_SQR2） 430
13.13.11 ADC レギュラシーケンスレジスタ 3（ADC_SQR3） 430
13.13.12 ADC インジェクトシーケンスレジスタ（ADC_JSQR） 431
13.13.13 ADC インジェクトデータレジスタ x（ADC_JDRx）（x= 1..4） 432
13.13.14 ADC レギュラデータレジスタ（ADC_DR） 432
13.13.15 ADC 共通ステータスレジスタ（ADC_CSR） 433
13.13.16 ADC 共通制御レジスタ（ADC_CCR） 435
13.13.17 デュアルおよびトリプルモード用 ADC 共通レギュラデータレジスタ（ADC_CDR） 437
13.13.18 ADC レジスタマップ 437

14 D/A コンバータ（DAC） 441
14.1 DAC の概要 441
14.2 DAC の主な機能 441
14.3 DAC 機能の説明 443
14.3.1 DAC チャネルイネーブル 443
14.3.2 DAC 出力バッファイネーブル 443
14.3.3 DAC データフォーマット 443
14.3.4 DAC 変換 444
14.3.5 DAC 出力電圧 445
14.3.6 DAC トリガ選択 445

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

14.3.7 DMA リクエスト 446
14.3.8 ノイズ生成 447
14.3.9 三角波生成 448
14.4 デュアル DAC チャネル変換 449
14.4.1 波形生成なしの独立トリガ 449
14.4.2 1 つの LFSR 生成による独立トリガ 449
14.4.3 異なる LFSR 生成による独立トリガ 450
14.4.4 1 つの三角波生成による独立トリガ 450
14.4.5 異なる三角波生成による独立トリガ 451
14.4.6 同時ソフトウェア開始 451
14.4.7 波形生成なしの同時トリガ 451
14.4.8 1 つの LFSR 生成による同時トリガ 452
14.4.9 異なる LFSR 生成による同時トリガ 452
14.4.10 1 つの三角波生成による同時トリガ 452
14.4.11 異なる三角波生成による同時トリガ 453
14.5 DAC レジスタ 454
14.5.1 DAC 制御レジスタ（DAC_CR） 454
14.5.2 DAC ソフトウェアトリガレジスタ（DAC_SWTRIGR） 457
14.5.3 DAC チャネル 1 12 ビット右詰めデータ保持レジスタ（DAC_DHR12R1） 458
14.5.4 DAC チャネル 1 12 ビット左詰めデータ保持レジスタ（DAC_DHR12L1） 458
14.5.5 DAC チャネル 1 8 ビット右詰めデータ保持レジスタ（DAC_DHR8R1） 459
14.5.6 DAC チャネル 2 12 ビット右詰めデータ保持レジスタ（DAC_DHR12R2） 459
14.5.7 DAC チャネル 2 12 ビット左詰めデータ保持レジスタ（DAC_DHR12L2） 460
14.5.8 DAC チャネル 2 8 ビット右詰めデータ保持レジスタ（DAC_DHR8R2） 460
14.5.9 デュアル DAC 12 ビット右詰めデータ保持レジスタ（DAC_DHR12RD） 461
14.5.10 デュアル DAC 12 ビット左詰めデータ保持レジスタ（DAC_DHR12LD） 461
14.5.11 デュアル DAC 8 ビット右詰めデータ保持レジスタ（DAC_DHR8RD） 462
14.5.12 DAC チャネル 1 データ出力レジスタ（DAC_DOR1） 462
14.5.13 DAC チャネル 2 データ出力レジスタ（DAC_DOR2） 463
14.5.14 DAC ステータスレジスタ（DAC_SR） 463

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

14.5.15 DAC レジスタマップ 464

15 デジタルカメラインタフェース（DCMI） 465

15.1 DCMI の概要 465

15.2 DCMI の主な機能 465

15.3 DCMI ピン 465

15.4 DCMI クロック 465

15.5 DCMI 機能概要 466

15.5.1 DMA インタフェース 467

15.5.2 DCMI 物理インタフェース 467

15.5.3 同期 469

15.5.4 キャプチャモード 471

15.5.5 クロップ機能 472

15.5.6 JPEG フォーマット 473

15.5.7 FIFO 473

15.6 データフォーマットの説明 474

15.6.1 データフォーマット 474

15.6.2 モノクロフォーマット 474

15.6.3 RGB フォーマット 474

15.6.4 YCbCr フォーマット 475

15.7 DCMI 割り込み 475

15.8 DCMI レジスタの説明 476

15.8.1 DCMI 制御レジスタ 1（DCMI_CR） 476

15.8.2 DCMI ステータスレジスタ（DCMI_SR） 478

15.8.3 DCMI raw 割り込みステータスレジスタ（DCMI_RIS) 479

15.8.4 DMCI 割り込みイネーブルレジスタ（DCMI_IER） 480

15.8.5 DCMI マスク済み割り込みステータスレジスタ（DCMI_MIS) 481

15.8.6 DMCI 割り込みクリアレジスタ（DCMI_ICR） 482

15.8.7 DCMI 同期コードレジスタ（DCMI_ESCR） 483

15.8.8 DCMI 埋め込み同期マスク解除レジスタ（DCMI_ESUR） 484

15.8.9 DCMI クロップウィンドウ開始（DCMI_CWSTRT） 485

15.8.10 DCMI クロップウィンドウサイズ（DCMI_CWSIZE） 485

15.8.11 DCMI データレジスタ（DCMI_DR） 486

15.8.12 DCMI レジスタマップ 486

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

16 LCD-TFT コントローラ（LTDC）. 489
16.1 概要 489
16.2 LTDC の主な機能 489
16.3 LTDC 機能の説明 490
16.3.1 LTDC のブロック図 490
16.3.2 LTDC リセットおよびクロック 490
16.3.3 LCD-TFT ピンと信号インタフェース 491
16.4 LTDC のプログラム可能なパラメータ 491
16.4.1 LTDC グローバル設定パラメータ 491
16.4.2 レイヤのプログラム可能なパラメータ 494
16.5 LTDC 割り込み 498
16.6 LTDC プログラミング手順 499
16.7 LTDC レジスタ 500
16.7.1 LTDC 同期サイズ設定レジスタ（LTDC_SSCR） 500
16.7.2 LTDC バックポーチ設定レジスタ（LTDC_BPCR） 500
16.7.3 LTDC アクティブ幅設定レジスタ（LTDC_AWCR） 501
16.7.4 LTDC 全幅設定レジスタ（LTDC_TWCR） 502
16.7.5 LTDC グローバル制御レジスタ（LTDC_GCR） 502
16.7.6 LTDC シャドウ再ロード設定レジスタ（LTDC_SRCR） 504
16.7.7 LTDC バックグラウンド色設定レジスタ（LTDC_BCCR） 504
16.7.8 LTDC 割り込みイネーブルレジスタ（LTDC_IER） 505
16.7.9 LTDC 割り込みステータスレジスタ（LTDC_ISR） 506
16.7.10 LTDC 割り込みクリアレジスタ（LTDC_ICR） 506
16.7.11 LTDC ライン割り込み位置設定レジスタ（LTDC_LIPCR） 507
16.7.12 LTDC 現在位置ステータスレジスタ（LTDC_CPSR） 507
16.7.13 LTDC 現在表示ステータスレジスタ（LTDC_CDSR） 508
16.7.14 LTDC レイヤ x 制御レジスタ（LTDC_LxCR）（x=1..2） 508
16.7.15 LTDC レイヤ x ウィンドウ水平位置設定レジスタ（LTDC_LxWHPCR）（x=1..2） 509
16.7.16 LTDC レイヤ x ウィンドウ垂直位置設定レジスタ（LTDC_LxWVPCR）（x=1..2） 510
16.7.17 LTDC レイヤ x カラーキーイング設定レジスタ（LTDC_LxCKCR）（x=1..2） 511
16.7.18 LTDC レイヤ x ピクセルフォーマット設定レジスタ（LTDC_LxPFCR）（x=1..2） 511
16.7.19 LTDC レイヤ x 定数アルファ設定レジスタ（LTDC_LxCACR）（x=1..2） 512

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

16.7.20 LTDC レイヤ x デフォルト色設定レジスタ（LTDC_LxDCCR）（x=1..2）.....513
16.7.21 LTDC レイヤ x ブレンディング係数設定レジスタ（LTDC_LxBFCR）（x=1..2）.....514
16.7.22 LTDC レイヤ x カラーフレームバッファアドレスレジスタ（LTDC_LxCFBAR）（x=1..2）.....515
16.7.23 LTDC レイヤ x カラーフレームバッファ長レジスタ（LTDC_LxCFBLR）（x=1..2）.....515
16.7.24 LTDC レイヤ x カラーフレームバッファライン数レジスタ（LTDC_LxWVPCR）（x=1..2）.....516
16.7.25 LTDC レイヤ x CLUT 書き込みレジスタ（LTDC_LxCLUTWR）（x=1..2）.....517
16.7.26 LTDC レジスタマップ 518

17 高機能制御タイマ （TIM1 および TIM8） 521

17.1 TIM1 および TIM8 の概要 521
17.2 TIM1 および TIM8 の主な機能 521
17.3 TIM1 および TIM8 の機能説明 524
17.3.1 タイムベースユニット 524
17.3.2 カウンタモード 525
17.3.3 繰り返しカウンタ 533
17.3.4 クロック選択 535
17.3.5 キャプチャ / 比較チャネル 538
17.3.6 入力キャプチャモード 539
17.3.7 PWM 入力モード 540
17.3.8 強制出力モード 541
17.3.9 出力比較モード 542
17.3.10 PWM モード 543
17.3.11 相補出力とデッドタイム挿入 546
17.3.12 ブレーク機能の使用 547
17.3.13 外部イベントによる OCxREF 信号のクリア 550
17.3.14 6 ステップ PWM 生成 551
17.3.15 ワンパルスモード 552
17.3.16 エンコーダインタフェースモード 553
17.3.17 タイマ入力 XOR 機能 556
17.3.18 ホールセンサとのインタフェース 556
17.3.19 TIMx と外部トリガの同期 558
17.3.20 タイマの同期 561
17.3.21 デバッグモード 561

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

17.4 TIM1 および TIM8 レジスタ 562
17.4.1 TIM1 および TIM8 制御レジスタ 1 （TIMx_CR1） 562
17.4.2 TIM1 および TIM8 制御レジスタ 2 （TIMx_CR2） 563
17.4.3 TIM1 および TIM8 スレーブモード制御レジスタ（TIMx_SMCR） 566
17.4.4 TIM1 および TIM8 DMA/ 割り込みイネーブルレジスタ（TIMx_DIER） 568
17.4.5 TIM1 および TIM8 ステータスレジスタ（TIMx_SR） 570
17.4.6 TIM1 および TIM8 イベント生成レジスタ（TIMx_EGR） 571
17.4.7 TIM1 および TIM8 キャプチャ / 比較モードレジスタ 1（TIMx_CCMR1） 573
17.4.8 TIM1 および TIM8 キャプチャ / 比較モードレジスタ 2（TIMx_CCMR2） 576
17.4.9 TIM1 および TIM8 キャプチャ / 比較イネーブルレジスタ （TIMx_CCER） . .578
17.4.10 TIM1 および TIM8 カウンタ（TIMx_CNT） 581
17.4.11 TIM1 および TIM8 プリスケーラ （TIMx_PSC） 581
17.4.12 TIM1 および TIM8 自動再ロードレジスタ （TIMx_ARR） 581
17.4.13 TIM1 および TIM8 繰り返しカウンタレジスタ （TIMx_RCR） 582
17.4.14 TIM1 および TIM8 キャプチャ / 比較モードレジスタ 1（TIMx_CCMR1） 582
17.4.15 TIM1 および TIM8 キャプチャ / 比較モードレジスタ 2（TIMx_CCMR2） 583
17.4.16 TIM1 および TIM8 キャプチャ / 比較モードレジスタ 3（TIMx_CCMR3） 583
17.4.17 TIM1 および TIM8 キャプチャ / 比較モードレジスタ 4（TIMx_CCMR4） 584
17.4.18 TIM1 および TIM8 ブレークおよびデッドタイムレジスタ（TIMx_BDTR） . . .584
17.4.19 TIM1 および TIM8 DMA 制御レジスタ（TIMx_DCR） 586
17.4.20 フル転送のための TIM1 および TIM8 DMA アドレス（TIMx_DMAR） 587
17.4.21 TIM1 および TIM8 レジスタマップ 588

18 汎用タイマ（TIM2 から TIM5） 591

18.1 TIM2 から TIM5 の概要 591
18.2 TIM2 から TIM5 の主な機能 591
18.3 TIM2 から TIM5 の機能説明 592
18.3.1 タイムベースユニット 592
18.3.2 カウンタモード 594
18.3.3 クロック選択 603
18.3.4 キャプチャ／比較チャネル 606
18.3.5 入力キャプチャモード 607
18.3.6 PWM 入力モード 608
18.3.7 強制出力モード 609
18.3.8 出力比較モード 609
18.3.9 PWM モード 611
18.3.10 ワンパルスモード 614

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

18.3.11 外部イベントによる OCxREF 信号のクリア 615
18.3.12 エンコーダインタフェースモード 616
18.3.13 タイマ入力 XOR 機能 618
18.3.14 タイマと外部トリガの同期 618
18.3.15 タイマの同期 622
18.3.16 デバッグモード 627
18.4 TIM2 から TIM5 のレジスタ 628
18.4.1 TIMx 制御レジスタ 1（TIMx_CR1） 628
18.4.2 TIMx 制御レジスタ 2（TIMx_CR2） 630
18.4.3 TIMx スレーブモード制御レジスタ（TIMx_SMCR） 631
18.4.4 TIMx DMA ／割り込みイネーブルレジスタ（TIMx_DIER） 634
18.4.5 TIMx ステータスレジスタ（TIMx_SR） 635
18.4.6 TIMx イベント生成レジスタ（TIMx_EGR） 637
18.4.7 TIMx およびキャプチャ／比較モードレジスタ 1（TIMx_CCMR1） 638
18.4.8 TIMx キャプチャ／比較モードレジスタ 2（TIMx_CCMR2） 641
18.4.9 TIMx キャプチャ／比較イネーブルレジスタ （TIMx_CCER） 642
18.4.10 TIMx カウンタ（TIMx_CNT） 644
18.4.11 TIMx プリスケーラ（TIMx_PSC） 644
18.4.12 TIMx 自動再ロードレジスタ（TIMx_ARR） 644
18.4.13 TIMx キャプチャ／比較レジスタ 1（TIMx_CCR1） 645
18.4.14 TIMx キャプチャ／比較レジスタ 2（TIMx_CCR2） 645
18.4.15 TIMx キャプチャ／比較レジスタ 3（TIMx_CCR3） 646
18.4.16 TIMx キャプチャ／比較レジスタ 4（TIMx_CCR4） 646
18.4.17 TIMx DMA 制御レジスタ（TIMx_DCR） 647
18.4.18 完全転送の TIMx DMA アドレス（TIMx_DMAR） 647
18.4.19 TIM2 オプションレジスタ （TIM2_OR） 649
18.4.20 TIM5 オプションレジスタ （TIM5_OR） 650
18.4.21 TIMx レジスタマップ 651

19 汎用タイマ（TIM9 ～ TIM14） 653
19.1 TIM9 ～ TIM14 の概要 653
19.2 TIM9 ～ TIM14 の主な機能 653
19.2.1 TIM9/TIM12 の主な機能 653
19.2.2 TIM10/TIM11 および TIM13/TIM14 の主な機能 654
19.3 TIM9 ～ TIM14 の機能詳細 656
19.3.1 タイムベースユニット 656
19.3.2 カウンタモード 657

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

19.3.3 クロック選択 660
19.3.4 キャプチャ／比較チャネル 662
19.3.5 入力キャプチャモード 663
19.3.6 PWM 入力モード（TIM9/12 の場合のみ） 664
19.3.7 強制出力モード 665
19.3.8 出力比較モード 666
19.3.9 PWM モード 667
19.3.10 ワンパルスモード 668
19.3.11 TIM9/12 外部 トリガ同期 669
19.3.12 タイマ同期（TIM9/12） 672
19.3.13 デバッグモード 672
19.4 TIM9 および TIM12 のレジスタ 672
19.4.1 TIM9/12 の制御レジスタ 1（TIMx_CR1） 672
19.4.2 TIM9/12 のスレーブモード制御レジスタ（TIMx_SMCR） 674
19.4.3 TIM9/12 の割り込みイネーブルレジスタ（TIMx_DIER） 675
19.4.4 TIM9/12 のステータスレジスタ（TIMx_SR） 676
19.4.5 TIM9/12 のイベント発生レジスタ（TIMx_EGR） 677
19.4.6 TIM9/12 のキャプチャ／比較モードレジスタ 1（TIMx_CCMR1） 679
19.4.7 TIM9/12 のキャプチャ／比較イネーブルレジスタ（TIMx_CCER） 682
19.4.8 TIM9/12 のカウンタ（TIMx_CNT） 683
19.4.9 TIM9/12 のプリスケーラ（TIMx_PSC） 683
19.4.10 TIM9/12 の自動再ロードレジスタ（TIMx_ARR） 683
19.4.11 TIM9/12 のキャプチャ／比較レジスタ 1（TIMx_CCR1） 684
19.4.12 TIM9/12 のキャプチャ／比較レジスタ 2（TIMx_CCR2） 684
19.4.13 TIM9/12 のレジスタマップ 685
19.5 TIM10/11/13/14 のレジスタ 686
19.5.1 TIM10/11/13/14 の制御レジスタ 1（TIMx_CR1） 686
19.5.2 TIM10/11/13/14 のステータスレジスタ（TIMx_SR） 687
19.5.3 TIM10/11/13/14 のイベント発生レジスタ（TIMx_EGR） 688
19.5.4 TIM10/11/13/14 のキャプチャ／比較 モードレジスタ 1（TIMx_CCMR1） 688
19.5.5 TIM10/11/13/14 のキャプチャ／比較イネーブルレジスタ（TIMx_CCER） 691
19.5.6 TIM10/11/13/14 のカウンタ（TIMx_CNT） 692
19.5.7 TIM10/11/13/14 のプリスケーラ（TIMx_PSC） 692
19.5.8 TIM10/11/13/14 の自動再ロードレジスタ（TIMx_ARR） 692
19.5.9 TIM10/11/13/14 のキャプチャ／比較レジスタ 1（TIMx_CCR1） 693

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

19.5.10 TIM11 のオプションレジスタ 1（TIM11_OR）.....693
19.5.11 TIM10/11/13/14 のレジスタマップ.....694

20 基本タイマ（TIM6、TIM7）..... 695

20.1 TIM6 および TIM7 の概要.....695
20.2 TIM6 および TIM7 の主な機能.....695
20.3 TIM6 および TIM7 の機能詳細.....696
20.3.1 タイムベースユニット.....696
20.3.2 カウントモード.....697
20.3.3 クロックソース.....700
20.3.4 デバッグモード.....700
20.4 TIM6 および TIM7 レジスタ.....701
20.4.1 TIM6 および TIM7 制御レジスタ 1（TIMx_CR1）.....701
20.4.2 TIM6 および TIM7 制御レジスタ 2（TIMx_CR2）.....703
20.4.3 TIM6 および TIM7 DMA ／割り込みイネーブルレジスタ（TIMx_DIER）.....703
20.4.4 TIM6 および TIM7 ステータスレジスタ（TIMx_SR）.....704
20.4.5 TIM6 および TIM7 イベント生成レジスタ（TIMx_EGR）.....704
20.4.6 TIM6 および TIM7 カウンタ（TIMx_CNT）.....704
20.4.7 TIM6 および TIM7 プリスケーラ（TIMx_PSC）.....705
20.4.8 TIM6 および TIM7 自動再ロードレジスタ（TIMx_ARR）.....705
20.4.9 TIM6 および TIM7 レジスタマップ.....706

21 独立型ウォッチドッグ（IWDG）..... 707

21.1 IWDG の概要.....707
21.2 IWDG の主な機能.....707
21.3 IWDG の機能詳細.....707
21.3.1 ハードウェアウォッチドッグ.....707
21.3.2 レジスタアクセスに対する保護.....708
21.3.3 デバッグモード.....708
21.4 IWDG レジスタ.....709
21.4.1 キーレジスタ（IWDG_KR）.....709
21.4.2 プリスケーラレジスタ（IWDG_PR）.....710
21.4.3 再ロードレジスタ（IWDG_RLR）.....710
21.4.4 ステータスレジスタ（IWDG_SR）.....711
21.4.5 IWDG レジスタマップ.....712

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

22 ウィンドウ型ウォッチドッグ（WWDG） 713
22.1 WWDG の概要 713
22.2 WWDG の主な機能 713
22.3 WWDG の機能詳細 713
22.4 ウォッチドッグタイムアウトをプログラム方法 715
22.5 デバッグモード 716
22.6 WWDG レジスタ 717
22.6.1 制御レジスタ（WWDG_CR） 717
22.6.2 設定レジスタ（WWDG_CFR） 718
22.6.3 ステータスレジスタ（WWDG_SR） 718
22.6.4 WWDG レジスタマップ 719

23 暗号プロセッサ（CRYP） 721
23.1 CRYP の概要 721
23.2 CRYP の主な機能 721
23.3 CRYP 機能の詳細 723
23.3.1 DES/ トリプル DES 暗号コア 724
23.3.2 AES 暗号コア 729
23.3.3 データ型 741
23.3.4 初期化ベクタ — CRYP_IV0...1(L/R) 743
23.3.5 CRYP ビジーステート 744
23.3.6 暗号化または復号化を実施する手順 745
23.3.7 コンテキストスワッピング 746
23.4 CRYP 割り込み 748
23.5 CRYP DMA インタフェース 749
23.6 CRYP レジスタ 749
23.6.1 CRYP 制御レジスタ（CRYP_CR）
STM32F405xx/07xx および STM32F415xx/17xx 用 749
23.6.2 CRYP 制御レジスタ（CRYP_CR）
STM32F42xxx および STM32F43xxx 用 752
23.6.3 CRYP ステータスレジスタ（CRYP_SR） 755
23.6.4 CRYP データ入力レジスタ（CRYP_DIN） 756
23.6.5 CRYP データ出力レジスタ（CRYP_DOUT） 757
23.6.6 CRYP DMA 制御レジスタ（CRYP_DMACR） 758
23.6.7 CRYP 割り込みマスクセット／クリアレジスタ（CRYP_IMSCR） 758
23.6.8 CRYP raw 割り込みステータスレジスタ（CRYP_RISR） 759

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

23.6.9 CRYP マスク済み割り込みステータスレジスタ（CRYP_MISR) 759
23.6.10 CRYP キーレジスタ（CRYP_K0...3(L/R)R） 760
23.6.11 CRYP 初期化ベクタレジスタ（CRYP_IV0...1(L/R)R） 762
23.6.12 STM32F42xxx および STM32F43xxx 用 CRYP コンテキストスワップレジスタ（CRYP_CSGCMCCM0..7R および CRYP_CSGCM0..7R） 764
23.6.13 CRYP レジスタマップ 764

24 乱数発生器（RNG） 769
24.1 RNG の概要 769
24.2 RNG の主な機能 769
24.3 RNG 機能の詳細 769
24.3.1 動作 770
24.3.2 エラー管理 770
24.4 RNG レジスタ 770
24.4.1 RNG 制御レジスタ (RNG_CR) 771
24.4.2 RNG ステータスレジスタ（RNG_SR） 771
24.4.3 RNG データレジスタ（RNG_DR） 772
24.4.4 RNG レジスタマップ 773

25 ハッシュプロセッサ（HASH） 775
25.1 HASH の概要 775
25.2 HASH の主な特徴 775
25.3 HASH 機能の説明 776
25.3.1 処理時間 778
25.3.2 データ型 778
25.3.3 メッセージダイジェストの計算 780
25.3.4 メッセージのパディング 781
25.3.5 ハッシュ操作 782
25.3.6 HMAC 操作 782
25.3.7 コンテキストスワップング 783
25.3.8 HASH 割り込み 784
25.4 HASH レジスタ 785
25.4.1 STM32F405xx/07xx および STM32F415xx/17xx 用 HASH 制御レジスタ（HASH_CR） 785
25.4.2 STM32F42xxx および STM32F43xxx 用 HASH 制御レジスタ（HASH_CR）. .788
25.4.3 HASH データ入力レジスタ（HASH_DIN） 791
25.4.4 HASH 開始レジスタ（HASH_STR） 792

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

25.4.5 HASH ダイジェストレジスタ （HASH_HR0..4/5/6/7）.....793
25.4.6 HASH 割り込みイネーブルレジスタ（HASH_IMR）.....795
25.4.7 HASH ステータスレジスタ（HASH_SR）.....796
25.4.8 HASH コンテキストスワップレジスタ（HASH_CSRx）.....797
25.4.9 HASH レジスタマップ 798

26 リアルタイムクロック（RTC）..... 801

26.1 概要 801
26.2 RTC の主な機能 802
26.3 RTC の機能詳細 803
26.3.1 クロックとプリスケーラ 803
26.3.2 リアルタイムクロックとカレンダ 804
26.3.3 プログラム可能なアラーム 804
26.3.4 定期自動ウェイクアップ 805
26.3.5 RTC の初期化と設定 806
26.3.6 カレンダの読み出し 807
26.3.7 RTC のリセット 808
26.3.8 RTC 同期 809
26.3.9 RTC 基準クロック検出 809
26.3.10 RTC の簡易デジタル較正 810
26.3.11 RTC の高精度デジタル較正 811
26.3.12 タイムスタンプ機能 813
26.3.13 タンパ検出 814
26.3.14 較正されたクロックの出力 815
26.3.15 アラーム出力 816
26.4 RTC と低電力モード 816
26.5 RTC 割り込み 816
26.6 RTC レジスタ 818
26.6.1 RTC 時間レジスタ（RTC_TR）.....818
26.6.2 RTC 日付レジスタ（RTC_DR）.....819
26.6.3 RTC 制御レジスタ (RTC_CR) 820
26.6.4 RTC 初期化とステータスレジスタ（RTC_ISR）.....822
26.6.5 RTC プリスケーラレジスタ（RTC_PRER）.....824
26.6.6 RTC ウェイクアップタイマレジスタ（RTC_WUTR）.....825
26.6.7 RTC 較正レジスタ（RTC_CALIBR）.....826
26.6.8 RTC アラーム A レジスタ（RTC_ALRMAR）.....827

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

26.6.9 RTC アラーム B レジスタ（RTC_ALRMBR）. 828
26.6.10 RTC 書き込み保護レジスタ（RTC_WPR）. 829
26.6.11 RTC サブセカンドレジスタ（RTC_SSR）. 829
26.6.12 RTC シフト制御レジスタ（RTC_SHIFTR）. 830
26.6.13 RTC タイムスタンプ時刻レジスタ（RTC_TSTR）. 831
26.6.14 RTC タイムスタンプ日付レジスタ（RTC_TSDR）. 832
26.6.15 RTC タイムスタンプサブセカンドレジスタ（RTC_TSSSR）. 832
26.6.16 RTC 較正レジスタ（RTC_CALR）. 833
26.6.17 RTC タンパおよびオルタネート機能設定レジスタ（RTC_TAFCR）. 834
26.6.18 RTC アラーム A サブセカンドレジスタ（RTC_ALRMASSR）. 836
26.6.19 RTC アラーム B サブセカンドレジスタ（RTC_ALRMBSSR）. 837
26.6.20 RTC バックアップレジスタ（RTC_BKPxR）. 838
26.6.21 RTC レジスタマップ. 838

27 I²C（Inter-Integrated Circuit）インタフェース 841

27.1 I²C の概要. 841
27.2 I²C の主な機能. 842
27.3 I²C 機能の詳細. 843
27.3.1 モード選択. 843
27.3.2 I2C スレーブモード. 845
27.3.3 I2C マスタモード. 848
27.3.4 エラー条件. 853
27.3.5 プログラマブルノイズフィルタ. 854
27.3.6 SDA/SCL ライン制御. 855
27.3.7 SMBus. 855
27.3.8 DMA リクエスト. 858
27.3.9 パケットエラーチェック. 860
27.4 I²C 割り込み. 861
27.5 I²C デバッグモード. 863
27.6 I²C レジスタ. 863
27.6.1 I²C 制御レジスタ 1（I2C_CR1）. 863
27.6.2 I²C 制御レジスタ 2（I2C_CR2）. 865
27.6.3 I²C 自己アドレスレジスタ 1（I2C_OAR1）. 867
27.6.4 I²C 自己アドレスレジスタ 2（I2C_OAR2）. 867
27.6.5 I²C データレジスタ（I2C_DR）. 868
27.6.6 I²C ステータスレジスタ 1（I2C_SR1）. 869

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

27.6.7 I^2C ステータスレジスタ 2（I2C_SR2）. 873
27.6.8 I^2C クロック制御レジスタ（I2C_CCR）. 875
27.6.9 I^2C TRISE レジスタ（I2C_TRISE）. 876
27.6.10 I^2C FLTR レジスタ（I2C_FLTR）. 876
27.6.11 I2C レジスタマップ 877

28 シリアルペリフェラルインタフェース（SPI）. 879

28.1 SPI の概要 879
28.2 SPI と I^2S の主な機能 880
28.2.1 SPI 機能 880
28.2.2 I^2S の機能 881
28.3 SPI 機能詳細 882
28.3.1 概要 882
28.3.2 SPI のスレーブモード設定 885
28.3.3 SPI のマスタモード設定 888
28.3.4 SPI の半二重通信設定 890
28.3.5 データの送受信手順 890
28.3.6 CRC の計算 897
28.3.7 ステータスフラグ 899
28.3.8 SPI の無効化 900
28.3.9 DMA（Direct Memory Addressing）を使用する SPI 通信 901
28.3.10 エラーフラグ 903
28.3.11 SPI 割り込み 904
28.4 I^2S 機能の詳細 905
28.4.1 I^2S の概要 905
28.4.2 I2S 全二重 906
28.4.3 サポートされるオーディオプロトコル 907
28.4.4 クロックジェネレータ 915
28.4.5 I^2S マスタモード 917
28.4.6 I^2S スレーブモード 919
28.4.7 ステータスフラグ 920
28.4.8 エラーフラグ 921
28.4.9 I^2S 割り込み 922
28.4.10 DMA 機能 922
28.5 SPI レジスタと I^2S レジスタ 923
28.5.1 SPI 制御レジスタ 1（SPI_CR1）（I^2S モードでは使用しません）. 923
28.5.2 SPI 制御レジスタ 2（SPI_CR2）. 925

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

28.5.3 SPI ステータスレジスタ（SPI_SR）.....927
28.5.4 SPI データレジスタ（SPI_DR）.....928
28.5.5 SPI CRC 多項式レジスタ（SPI_CRCPR）（I2S モードでは使用しません）..929
28.5.6 SPI 受信用 CRC レジスタ（SPI_RXCRCR）（I2S モードでは使用しません）.930
28.5.7 SPI 送信用 CRC レジスタ（SPI_TXCRCR）（I2S モードでは使用しません）.930
28.5.8 SPI_I2S 設定レジスタ（SPI_I2SCFGR）.....931
28.5.9 SPI_I2S プリスケーラレジスタ（SPI_I2SPR）.....932
28.5.10 SPI レジスタマップ.....933

29 シリアルオーディオインタフェース（SAI）..... 935

29.1 概要.....935
29.2 主な特長.....936
29.3 機能ブロック図.....936
29.4 SAI の主要なモード.....938
29.5 SAI 同期モード.....939
29.6 オーディオデータサイズ.....939
29.7 フレーム同期.....939
29.7.1 フレーム長.....940
29.7.2 フレーム同期極性.....940
29.7.3 フレーム同期アクティブレベル長.....941
29.7.4 フレーム同期オフセット.....941
29.7.5 FS 信号の機能.....941
29.8 スロット設定.....943
29.9 SAI クロックジェネレータ.....944
29.10 内部 FIFO.....946
29.11 AC’97 リンクコントローラ.....949
29.12 特有の機能.....950
29.12.1 ミュートモード.....950
29.12.2 モノラル / ステレオ機能.....950
29.12.3 コンパンディングモード.....951
29.12.4 インアクティブスロットでの出力データライン管理.....952
29.13 エラーフラグ.....954
29.13.1 FIFO オーバーラン / アンダーラン（OVRUDR）.....954
29.13.2 予測フレーム同期検出（AFSDET）.....956
29.13.3 レイトフレーム同期検出.....956
29.13.4 コーデックノットレディ（CNRDY AC’97）.....957

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

29.13.5 マスタモードでの不正なクロック設定（NODIV = 0 の場合）.....957
29.14 割り込みソース 958
29.15 SAI の無効化 958
29.16 SAI DMA インタフェース 959
29.17 SAI レジスタ 960
29.17.1 SAI x 設定レジスタ 1（SAI_xCR1）ここで x は A または B 960
29.17.2 SAI x 設定レジスタ 2（SAI_xCR2）ここで x は A または B 963
29.17.3 SAI x フレーム設定レジスタ（SAI_XFRCR）ここで x は A または B 965
29.17.4 SAI x スロットレジスタ（SAI_xSLOTR）ここで x は A または B 967
29.17.5 SAI x 割り込みマスクレジスタ 2（SAI_xIM）ここで x は A または B 969
29.17.6 SAI x ステータスレジスタ（SAI_xSR）ここで x は A または B 971
29.17.7 SAI x クリアフラグレジスタ（SAI_xCLRFR）ここで x は A または B 973
29.17.8 SAI x データレジスタ（SAI_xDR）ここで x は A または B 974
29.17.9 SAI レジスタマップ 975

30 USART（Universal synchronous asynchronous receiver transmitter）..... 977

30.1 USART の概要 977
30.2 USART の主な機能 978
30.3 USART 機能の説明 979
30.3.1 USART キャラクタの説明 981
30.3.2 トランスミッタ 982
30.3.3 レシーバ 985
30.3.4 フラクショナルボーレート生成 990
30.3.5 クロック偏差に対する USART レシーバの許容誤差 999
30.3.6 マルチプロセッサ通信 1000
30.3.7 パリティ制御 1001
30.3.8 LIN（local interconnection network）モード 1002
30.3.9 USART 同期モード 1005
30.3.10 単線半二重通信 1007
30.3.11 スマートカード 1008
30.3.12 IrDA SIR ENDEC ブロック 1010
30.3.13 DMA を使用した連続通信 1012
30.3.14 ハードウェアフロー制御 1014

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

30.4 USART 割込み 1016
30.5 USART モード設定 1017
30.6 USART レジスタ 1017
30.6.1 ステータスレジスタ（USART_SR） 1017
30.6.2 データレジスタ（USART_DR） 1020
30.6.3 ボーレートレジスタ（USART_BRR） 1020
30.6.4 制御レジスタ 1（USART_CR1） 1021
30.6.5 制御レジスタ 2（USART_CR2） 1023
30.6.6 制御レジスタ 3（USART_CR3） 1024
30.6.7 ガード時間／プリスケーラレジスタ（USART_GTPR） 1026
30.6.8 USART レジスタマップ 1027

31 セキュアデジタル入力／出力インタフェース（SDIO） 1029

31.1 SDIO の主な機能 1029
31.2 SDIO バストポロジ 1030
31.3 SDIO の機能説明 1032
31.3.1 SDIO アダプタ 1033
31.3.2 SDIO APB2 インタフェース 1043
31.4 カード機能詳細 1044
31.4.1 カード識別モード 1044
31.4.2 カードリセット 1044
31.4.3 動作電圧範囲の検証 1044
31.4.4 カード識別プロセス 1044
31.4.5 ブロック書込み 1045
31.4.6 ブロック読出し 1046
31.4.7 ストリームアクセス、ストリーム書込み、およびストリーム読出し（MultiMediaCard のみ） 1047
31.4.8 消去：グループ消去とセクタ消去 1048
31.4.9 ワイドバス選択または選択解除 1048
31.4.10 保護管理 1049
31.4.11 カードステータスレジスタ 1052
31.4.12 SD ステータスレジスタ 1055
31.4.13 SD I/O モード 1059
31.4.14 コマンドとレスポンス 1060
31.5 レスポンスフォーマット 1063
31.5.1 R1（ノーマルレスポンスコマンド） 1063
31.5.2 R1b 1064

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

31.5.3 R2（CID、CSD レジスタ）.....1064
31.5.4 R3（OCR レジスタ）.....1064
31.5.5 R4（高速 I/O）.....1065
31.5.6 R4b 1065
31.5.7 R5（割込みリクエスト）.....1066
31.5.8 R6 1066
31.6 SDIO I/O カード固有の操作 1067
31.6.1 SDIO_D2 信号による SDIO I/O 読出しウェイト操作 1067
31.6.2 SDIO_CK 停止による SDIO 読出しウェイト操作 1067
31.6.3 SDIO サスペンド／レジューム操作 1067
31.6.4 SDIO 割込み 1068
31.7 CE-ATA 固有の操作 1068
31.7.1 コマンド完了信号無効 1068
31.7.2 コマンド完了信号有効 1068
31.7.3 CE-ATA 割り込み 1068
31.7.4 CMD61 のアボート 1068
31.8 HW フロー制御 1069
31.9 SDIO レジスタ 1069
31.9.1 SDIO 電源制御レジスタ（SDIO_POWER）.....1069
31.9.2 SDI クロック制御レジスタ（SDIO_CLKCR）.....1070
31.9.3 SDIO 引数レジスタ（SDIO_ARG）.....1071
31.9.4 SDIO コマンドレジスタ（SDIO_CMD）.....1072
31.9.5 SDIO コマンドレスポンスレジスタ（SDIO_RESPCMD）.....1073
31.9.6 SDIO レスポンス 1..4 レジスタ（SDIO_RESPx）.....1073
31.9.7 SDIO データタイマレジスタ（SDIO_DTIMER）.....1074
31.9.8 SDIO データ長レジスタ（SDIO_DLEN）.....1074
31.9.9 SDIO データ制御レジスタ（SDIO_DCTRL）.....1075
31.9.10 SDIO データカウンタレジスタ（SDIO_DCOUNT）.....1076
31.9.11 SDIO ステータスレジスタ（SDIO_STA）.....1077
31.9.12 SDIO 割込みクリアレジスタ（SDIO_ICR）.....1078
31.9.13 SDIO マスクレジスタ（SDIO_MASK）.....1080
31.9.14 SDIO FIFO カウンタレジスタ（SDIO_FIFOCNT）.....1083
31.9.15 SDIO データ FIFO レジスタ（SDIO_FIFO）.....1084
31.9.16 SDIO レジスタマップ 1084

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

32 コントローラエリアネットワーク（bxCAN）. 1087
32.1 bxCAN の概要 1087
32.2 bxCAN の主な機能 1087
32.3 bxCAN の概要 1088
32.3.1 CAN 2.0B アクティブコア 1088
32.3.2 制御レジスタ、ステータスレジスタ、設定レジスタ 1089
32.3.3 Tx メールボックス 1089
32.3.4 受信フィルタ 1089
32.4 bxCAN の動作モード 1091
32.4.1 初期化モード 1091
32.4.2 通常モード 1091
32.4.3 スリープモード（低電力） 1092
32.5 テストモード 1093
32.5.1 サイレントモード 1093
32.5.2 ループバックモード 1093
32.5.3 サイレントモードとループバックモードの組み合わせ 1094
32.6 デバッグモード 1094
32.7 bxCAN 機能の説明 1094
32.7.1 送信処理 1094
32.7.2 タイムトリガ通信モード 1096
32.7.3 受信処理 1096
32.7.4 識別子フィルタリング 1098
32.7.5 メッセージストレージ 1102
32.7.6 エラー管理 1103
32.7.7 ビットタイミング 1104
32.8 bxCAN の割込み 1106
32.9 CAN レジスタ 1107
32.9.1 レジスタのアクセス保護 1107
32.9.2 CAN 制御／ステータスレジスタ 1107
32.9.3 CAN メールボックスレジスタ 1118
32.9.4 CAN フィルタレジスタ 1125
32.9.5 bxCAN レジスタマップ 1129

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

33 イーサネット（ETH）：メディアアクセス制御（MAC）、DMA コントローラ付き 1133

33.1 イーサネットの概要 1133

33.2 イーサネットの主な機能 1133

33.2.1 MAC コア機能 1134

33.2.2 DMA 機能 1135

33.2.3 PTP 機能 1135

33.3 イーサネットピン 1136

33.4 イーサネット機能説明：SMI、MII、RMII 1137

33.4.1 ステーション管理インタフェース：SMI 1137

33.4.2 メディア独立インタフェース：MII 1141

33.4.3 減少メディア独立インタフェース：RMII 1143

33.4.4 MII/RMII の選択 1144

33.5 イーサネット機能の説明：MAC 802.3 1145

33.5.1 MAC 802.3 フレームフォーマット 1145

33.5.2 MAC フレームの送信 1149

33.5.3 MAC フレームの受信 1157

33.5.4 MAC 割り込み 1162

33.5.5 MAC フィルタリング 1163

33.5.6 MAC ループバックモード 1166

33.5.7 MAC 管理カウンタ：MMC 1166

33.5.8 電源管理：PMT 1167

33.5.9 高精度時間プロトコル（IEEE1588 PTP） 1170

33.6 イーサネット機能の説明：DMA コントローラ動作 1176

33.6.1 DMA を使用した転送の初期化 1177

33.6.2 ホストバスバーストアクセス 1178

33.6.3 ホストデータバッファ整列 1178

33.6.4 バッファサイズの計算 1179

33.6.5 DMA アービタ 1179

33.6.6 DMA へのエラー応答 1179

33.6.7 Tx DMA の設定 1180

33.6.8 Rx DMA の設定 1191

33.6.9 DMA 割り込み 1202

33.7 イーサネット割り込み 1203

33.8 イーサネットレジスタの説明 1204

33.8.1 MAC レジスタの説明 1204

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

33.8.2 MMC レジスタの説明 1223
33.8.3 IEEE 1588 タイムスタンプレジスタ 1229
33.8.4 DMA レジスタの説明 1236
33.8.5 イーサネットレジスタマップ 1250

34 USB On-The-Go FS（OTG_FS） 1255

34.1 OTG_FS の概要 1255
34.2 OTG_FS の主な機能 1256
34.2.1 一般的機能 1256
34.2.2 ホストモード機能 1257
34.2.3 ペリフェラルモードの機能 1257
34.3 OTG_FS の機能説明 1258
34.3.1 OTG フルスピードコア 1258
34.3.2 フルスピード OTG PHY 1259
34.4 OTG デュアルロールデバイス（DRD） 1260
34.4.1 ID ラインの検出 1260
34.4.2 HNP デュアルロールデバイス 1260
34.4.3 SRP デュアルロールデバイス 1261
34.5 USB ペリフェラル 1261
34.5.1 SRP 対応ペリフェラル 1262
34.5.2 ペリフェラルの状態 1262
34.5.3 ペリフェラルエンドポイント 1263
34.6 USB ホスト 1265
34.6.1 SRP 対応ホスト 1266
34.6.2 USB ホストの状態 1266
34.6.3 ホストチャネル 1268
34.6.4 ホストスケジューラ 1270
34.7 SOF トリガ 1271
34.7.1 ホスト SOF 1271
34.7.2 ペリフェラル SOF 1271
34.8 電力オプション 1272
34.9 OTG_FS_HFIR レジスタの動的更新 1273
34.10 USB データ FIFO 1273
34.11 ペリフェラル FIFO アーキテクチャ 1274
34.11.1 ペリフェラル Rx FIFO 1274
34.11.2 ペリフェラル Tx FIFO 1275

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

34.12 ホスト FIFO アーキテクチャ 1275
34.12.1 ホスト Rx FIFO 1275
34.12.2 ホスト Tx FIFO 1276
34.13 FIFO RAM の割り当て 1277
34.13.1 デバイスモード 1277
34.13.2 ホストモード 1277
34.14 USB システムのパフォーマンス 1278
34.15 OTG_FS 割り込み 1278
34.16 OTG_FS 制御／ステータスレジスタ 1280
34.16.1 CSR メモリマップ 1281
34.16.2 OTG_FS グローバルレジスタ 1285
34.16.3 ホストモードレジスタ 1308
34.16.4 デバイスモードレジスタ 1319
34.16.5 OTG_FS パワーおよびクロックゲーティング制御レジスタ（OTG_FS_PCGCCTL） 1341
34.16.6 OTG_FS レジスタマップ 1342
34.17 OTG_FS プログラミングモデル 1348
34.17.1 コアの初期化 1348
34.17.2 ホストの初期化 1349
34.17.3 デバイスの初期化 1349
34.17.4 ホストプログラミングモデル 1350
34.17.5 デバイスプログラミングモデル 1367
34.17.6 動作モデル 1369
34.17.7 最悪ケースの応答時間 1386
34.17.8 OTG プログラミングモデル 1387

35 USB On-The-Go ハイスピード （OTG_HS） 1395

35.1 OTG_HS の概要 1395
35.2 OTG_HS の主な機能 1396
35.2.1 標準機能 1396
35.2.2 ホストモード機能 1397
35.2.3 ペリフェラルモードの機能 1397
35.3 OTG_HS 機能の説明 1398
35.3.1 ハイスピード OTG PHY 1398
35.3.2 I2C インタフェースを使用する外部フルスピード OTG PHY 1398
35.3.3 内蔵フルスピード OTG PHY 1398

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

35.4 OTG デュアルロールデバイス 1399
35.4.1 ID ラインの検出 1399
35.4.2 HNP デュアルロールデバイス 1399
35.4.3 SRP デュアルロールデバイス 1399
35.5 ペリフェラルモードでの USB 機能の説明 1400
35.5.1 SRP 対応ペリフェラル 1400
35.5.2 ペリフェラルの状態 1400
35.5.3 ペリフェラルエンドポイント 1401
35.6 ホストモードでの USB 機能の説明 1404
35.6.1 SRP 対応ホスト 1404
35.6.2 USB ホストの状態 1404
35.6.3 ホストチャネル 1406
35.6.4 ホストスケスケジューラ 1407
35.7 SOF トリガ 1408
35.7.1 ホスト SOF 1408
35.7.2 ペリフェラル SOF 1409
35.8 USB_HS パワーモード 1410
35.9 OTG_HS_HFIR レジスタの動的更新 1411
35.10 FIFO RAM の割り当て 1411
35.10.1 ペリフェラルモード 1411
35.10.2 ホストモード 1412
35.11 OTG_HS 割り込み 1413
35.12 OTG_HS 制御／ステータスレジスタ 1414
35.12.1 CSR メモリマップ 1415
35.12.2 OTG_HS グローバルレジスタ 1421
35.12.3 ホストモードレジスタ 1446
35.12.4 デバイスモードレジスタ 1459
35.12.5 OTG_HS パワーおよびクロックゲーティング制御レジスタ（OTG_HS_PCGCCTL） 1487
35.12.6 OTG_HS レジスタマップ 1488
35.13 OTG_HS プログラミングモデル 1499
35.13.1 コアの初期化 1499
35.13.2 ホストの初期化 1500
35.13.3 デバイスの初期化 1500
35.13.4 DMA モード 1501
35.13.5 ホストプログラミングモデル 1501

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

35.13.6 デバイスプログラミングモデル 1528
35.13.7 動作モデル 1530
35.13.8 最悪ケースの応答時間 1548
35.13.9 OTG プログラミングモデル 1549

36 フレキシブルスタティックメモリコントローラ（FSMC）..... 1555

36.1 FSMC の主な機能 1555
36.2 ブロック図 1556
36.3 AHB インタフェース 1557
36.3.1 サポートされるメモリおよびトランザクション 1557
36.4 外部デバイスアドレスマッピング 1558
36.4.1 NOR/PSRAM アドレスマッピング 1559
36.4.2 NAND/PC カードアドレスマッピング 1559
36.5 NOR 型フラッシュ /PSRAM コントローラ 1560
36.5.1 外部メモリインタフェース信号 1561
36.5.2 サポートされるメモリおよびトランザクション 1563
36.5.3 一般的なタイミング規則 1564
36.5.4 NOR 型フラッシュ /PSRAM コントローラ非同期トランザクション 1565
36.5.5 同期トランザクション 1583
36.5.6 NOR/PSRAM 制御レジスタ 1589
36.6 NAND 型フラッシュ /PC カードコントローラ 1595
36.6.1 外部メモリインタフェース信号 1596
36.6.2 NAND 型フラッシュ /PC カードによってサポートされるメモリおよびトランザクション 1598
36.6.3 NAND および PC カードのタイミング図 1598
36.6.4 NAND フラッシュ動作 1599
36.6.5 NAND 型フラッシュのプリウェイト機能 1600
36.6.6 NAND フラッシュメモリのエラー訂正コード（ECC）の計算 1601
36.6.7 PC カード / コンパクトフラッシュの動作 1602
36.6.8 NAND 型フラッシュ /PC カード制御レジスタ 1604
36.6.9 FSMC レジスタマップ 1611

37 フレキシブルメモリコントローラ（FMC）..... 1613

37.1 FMC の主な機能 1613
37.2 ブロック図 1614
37.3 AHB インタフェース 1616
37.3.1 サポートされているメモリおよびトランザクション 1616

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

37.4 外部デバイスアドレスマッピング 1617
37.4.1 NOR/PSRAM アドレスマッピング 1618
37.4.2 NAND フラッシュメモリ /PC カードアドレスマッピング 1619
37.4.3 SDRAM アドレスマッピング 1620
37.5 NOR フラッシュ /PSRAM コントローラ 1623
37.5.1 外部メモリ・インタフェース信号 1625
37.5.2 サポートされるメモリおよびトランザクション 1627
37.5.3 一般的なタイミング規則 1628
37.5.4 NOR フラッシュ /PSRAM コントローラ非同期トランザクション 1628
37.5.5 同期トランザクション 1645
37.5.6 NOR/PSRAM コントローラレジスタ 1652
37.6 NAND フラッシュ /PC カードコントローラ 1658
37.6.1 外部メモリ・インタフェース信号 1658
37.6.2 NAND フラッシュ /PC カードがサポートされるメモリおよびトランザクション 1660
37.6.3 NAND フラッシュメモリと PC カードのタイミング図 1660
37.6.4 NAND フラッシュ動作 1661
37.6.5 NAND フラッシュのプリウェイト機能 1662
37.6.6 エラー訂正コード（ECC）の計算、NAND フラッシュメモリ 1663
37.6.7 PC カード / コンパクトフラッシュの動作 1664
37.6.8 NAND フラッシュ /PC カードコントローラレジスタ 1666
37.7 SDRAM コントローラ 1673
37.7.1 SDRAM コントローラの主な機能 1673
37.7.2 SDRAM 外部メモリインタフェース信号 1673
37.7.3 SDRAM コントローラの機能説明 1674
37.7.4 低消費電力モード 1681
37.7.5 SDRAM コントローラレジスタ 1684
37.8 FMC レジスタマップ 1690

38 デバッグサポート（DBG） 1693
38.1 概要 1693
38.2 ARM リファレンス資料 1694
38.3 SWJ デバッグポート（シリアルワイヤと JTAG） 1694
38.3.1 JTAG-DP または SW-DP の選択メカニズム 1695
38.4 ピン名とデバッグポートピン 1696
38.4.1 SWJ デバッグポートピン 1696

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

38.4.2 柔軟性の高い SWJ-DP ピンの割り当て 1696
38.4.3 JTAG ピンでの内部プルアップ／プルダウン 1697
38.4.4 シリアルワイヤの使用と、未使用のデバッグピンを GPIO として解放する方法 1698
38.5 STM32F4xx JTAG TAP 接続 1698
38.6 ID コードとロック機構 1700
38.6.1 MCU デバイス ID コード 1700
38.6.2 バウンダリスキャン TAP 1700
38.6.3 FPU 搭載 Cortex™-M4 TAP 1701
38.6.4 FPU 搭載 Cortex™-M4 JEDEC-106 ID コード 1701
38.7 JTAG デバッグポート 1701
38.8 SW デバッグポート 1703
38.8.1 SW プロトコルの概要 1703
38.8.2 SW プロトコルシーケンス 1703
38.8.3 SW-DP ステートマシン（リセット、アイドル状態、ID コード） 1705
38.8.4 DP と AP の読出し／書込みアクセス 1705
38.8.5 SW-DP レジスタ 1706
38.8.6 SW-AP レジスタ 1706
38.9 AHB-AP（AHB アクセスポート）- JTAG-DP と SW-DP の両方に有効 1707
38.10 コアデバッグ 1708
38.11 システムリセット中のデバッガホスト接続機能 1709
38.12 FPB（フラッシュパッチブレークポイント） 1709
38.13 DWT（データウォッチポイントトリガ） 1710
38.14 ITM（計測トレースマクロセル） 1710
38.14.1 概要 1710
38.14.2 タイムスタンプパケット、同期およびオーバーフローパケット 1710
38.15 ETM（組み込みトレースマクロセル） 1712
38.15.1 概要 1712
38.15.2 信号プロトコル、パケットタイプ 1712
38.15.3 主な ETM レジスタ 1713
38.15.4 設定例 1713
38.16 MCU デバッグコンポーネント（DBGMCU） 1714
38.16.1 低電力モードのデバッグサポート 1714
38.16.2 タイマ、ウォッチドッグ、bxCAN、および I^2C のデバッグサポート 1714
38.16.3 デバッグ MCU 設定レジスタ 1714
38.16.4 デバッグ MCU APB1 凍結レジスタ（DBGMCU_APB1_FZ） 1716

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

38.16.5 デバッグ MCU APB2 凍結レジスタ（DBGMCU_APB2_FZ）.....1718
38.17 TPIU（トレースポートインタフェースユニット）.....1719
38.17.1 概要.....1719
38.17.2 TRACE ピンの割当て.....1720
38.17.3 TPIU フォーマッタ.....1721
38.17.4 TPIU フレーム同期パケット.....1722
38.17.5 同期フレームパケットの送信.....1722
38.17.6 同期モード.....1722
38.17.7 非同期モード.....1723
38.17.8 STM32F4xx 内部の TRACECLKIN 接続.....1723
38.17.9 TPIU レジスタ.....1724
38.17.10 設定例.....1725
38.18 DBG レジスタマップ.....1725

39 デバイス電子署名.....1727
39.1 ユニークデバイス ID レジスタ（96 ビット）.....1727
39.2 フラッシュサイズ.....1728

改版履歴.....1729

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表の一覧

表 1. 適用製品 1
表 2. STM32F4xx レジスタ境界アドレス 64
表 3. ブートモード 69
表 4. メモリ割当てとブートモード／物理的な再割当て（STM32F405xx/07xx および STM32F415xx/17xx） 71
表 5. メモリ割当てとブートモード／物理的な再割当て（STM32F42xxx および STM32F43xxx ） 71
表 6. フラッシュモジュール構成 （STM32F40x および STM32F41x） 75
表 7. フラッシュモジュール - 2 MB のデュアルバンク構成（STM32F42xxx および STM32F43xxx） 76
表 8. 1 MB のフラッシュメモリのシングルバンク構成とデュアルバンク構成（STM32F42xxx および STM32F43xxx） 77
表 9. 1 MB のシングルバンクのフラッシュメモリ構成（STM32F42xxx および STM32F43xxx） 77
表 10. 1 MB のデュアルバンクのフラッシュメモリ構成（STM32F42xxx および STM32F43xxx） 78
表 11. CPU クロック（HCLK）周波数によるウェイトステート数（STM32F405xx/07xx および STM32F415xx/17xx） 79
表 12. CPU クロック（HCLK）周波数によるウェイトステート数（STM32F42xxx および STM32F43xxx） 79
表 13. プログラム／消去の並列処理 84
表 14. フラッシュ割込みリクエスト 87
表 15. オプションバイトの構成 87
表 16. オプションバイトの説明（STM32F405xx/07xx および STM32F415xx/17xx） 88
表 17. オプションバイトの説明（STM32F42xxx および STM32F43xxx） 89
表 18. アクセスと読出し保護レベル 92
表 19. OTP エリアの構成 95
表 20. フラッシュレジスタマップとリセット値（STM32F405xx/07xx および STM32F415xx/17xx） 109
表 21. フラッシュレジスタマップとリセット値（STM32F42xxx および STM32F43xxx） 110
表 22. CRC 計算ユニットのレジスタマップとリセット値 113
表 23. 電圧レギュレータ設定モードとデバイス動作モード 121
表 24. 低電力モードの概要 126
表 25. Sleep-now への移行と終了 128
表 26. Sleep-on-exit への移行と終了 128
表 27. 動作停止モード（STM32F405xx/07xx および STM32F415xx/17xx） 129
表 28. STOP モードへの移行と終了 130
表 29. 動作停止モード（STM32F42xxx および STM32F43xxx） 131
表 30. STOP モードへの移行と終了（STM32F42xxx および STM32F43xxx） 133
表 31. STANDBY モードへの移行と終了 134
表 32. STM32F405xx/07xx および STM32F415xx/17xx の PWR - レジスタマップとリセット時の値 . . . 146
表 33. STM32F42xxx および STM32F43xxx の PWR - レジスタマップとリセット時の値 146
表 34. STM32F42xxx および STM32F43xxx の RCC レジスタマップとリセット値 205
表 35. RCC レジスタマップとリセット値 263
表 36. ポートビット設定表 266
表 37. フレキシブルな SWJ-DP ピン配置 269
表 38. RTC_AF1 ピン 277
表 39. RTC_AF2 ピン 278
表 40. GPIO レジスタマップとリセット値 286
表 41. SYSCFG レジスタマップとリセット値（STM32F405xx/07xx および STM32F415xx/17xx） 293
表 42. SYSCFG レジスタマップとリセット値（STM32F42xxx および STM32F43xxx） 301
表 43. DMA1 リクエストマッピング 308

この資料は、STMicroelectronics NV 並びにその子会社(以下ST)が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くためにSTマイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST及びSTマイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 44. DMA2 リクエストマッピング 309
表 45. 転送元および転送先アドレス 310
表 46. ダブルバッファモード（DBM=1）における転送元および転送先アドレスレジスタ 315
表 47. パッキング／アンパッキングおよびエンディアンの動作（ビット PINC=MINC=1） 316
表 48. PSIZE と MSIZE に対する NDT に関する制限事項 316
表 49. FIFO 閾値設定 318
表 50. 実現可能な DMA 設定 322
表 51. DMA 割り込みリクエスト 325
表 52. DMA レジスタマップとリセット値 337
表 53. 入力でサポートされているピクセルフォーマット 344
表 54. メモリ内のデータ順序 345
表 55. アルファモード設定 346
表 56. サポートされている CLUT カラーモード 347
表 57. メモリ内の CLUT データ順序 347
表 58. 出力でサポートされているカラーモード 348
表 59. メモリ内のデータ順序 348
表 60. DMA2D 割り込みリクエスト 354
表 61. DMA2D レジスタマップとリセット値 372
表 62. STM32F405xx/07xx および STM32F415xx/17xx 用ベクタテーブル 376
表 63. STM32F42xxx および STM32F43xxx 用ベクタテーブル 379
表 64. 外部割り込み／イベントコントローラのレジスタマップとリセット値 390
表 65. ADC ピン 395
表 66. アナログウォッチドッグチャネル選択 398
表 67. トリガ極性の設定 402
表 68. レギュラチャネルの外部トリガ 403
表 69. インジェクトチャネルの外部トリガ 403
表 70. ADC 割り込み 420
表 71. ADC グローバルレジスタマップ 437
表 72. ADC レジスタマップと各 ADC のリセット値 438
表 73. ADC レジスタマップとリセット値（共通 ADC レジスタ） 439
表 74. DAC ピン 442
表 75. 外部トリガ 445
表 76. DAC レジスタマップ 464
表 77. DCMI ピン 465
表 78. DCMI 信号 467
表 79. 32 ビットワード（8 ビット幅）でキャプチャされたデータバイトの配置 468
表 80. 32 ビットワード（10 ビット幅）でキャプチャされたデータバイトの配置 468
表 81. 32 ビットワード（12 ビット幅）でキャプチャされたデータバイトの配置 468
表 82. 32 ビットワード（14 ビット幅）でキャプチャされたデータバイトの配置 469
表 83. モノクロプログレッシブビデオフォーマットでのデータ保存 474
表 84. RGB プログレッシブビデオフォーマットでのデータ保存 475
表 85. YCbCr プログレッシブビデオフォーマットでのデータ保存 475
表 86. DCMI 割り込み 475
表 87. DCMI レジスタマップとリセット値 486
表 88. LCD-TFT ピンと信号インタフェース 491
表 89. ピクセルデータマッピングとカラーフォーマット 495
表 90. LTDC 割り込みリクエスト 498
表 91. LTDC レジスタマップとリセット値 518
表 92. カウント方向とエンコーダ信号 554
表 93. TIMx 内部トリガ接続 568
表 94. ブレーク機能を持つ相補 OCx および OCxN チャネルの出力制御ビット機能 580
表 95. TIM1 および TIM8 レジスタマップとリセット値 588

この資料は、STMicroelectronics NV 並びにその子会社(以下ST)が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くためにSTマイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST及びSTマイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 96. カウント方向とエンコーダ信号 617
表 97. TIMx 内部トリガ接続 633
表 98. 標準 OCx チャネルの出力制御ビット 643
表 99. TIM2 から TIM5 のレジスタマップとリセット値 651
表 100. TIMx 内部トリガ接続 675
表 101. 標準 OCx チャネルの出力制御ビット 683
表 102. TIM9/12 レジスタ・マップとリセット値 685
表 103. 標準 OCx チャネルの出力制御ビット 691
表 104. TIM10/11/13/14 のレジスタマップとリセット値 694
表 105. TIM6 および TIM7 - レジスタマップとリセット値 706
表 106. 最小／最大 IWDG タイムアウト期間（32 kHz）（LSI） 708
表 107. IWDG レジスタマップとリセット値 712
表 108. 30 MHz（f_{PCLK1}）でのタイムアウト値 716
表 109. WWDG レジスタマップとリセット値 719
表 110. 各 128 ビットブロックの処理に必要なサイクル数
（STM32F405xx/07xx および STM32F415xx/17xx） 721
表 111. 各 128 ビットブロックの処理に必要なサイクル数
（STM32F42xxx および STM32F43xxx） 722
表 112. データ型 741
表 113. STM32F405xx/07xx および STM32F415xx/17xx の CRYP レジスタマップとリセット値 765
表 114. STM32F42xxx および STM32F43xxx の CRYP レジスタマップとリセット値 766
表 115. RNG レジスタマップとリセット値 773
表 116. STM32F405xx/07xx および STM32F415xx/17xx の HASH レジスタマップおよびリセット値 798
表 117. STM32F42xxx および STM32F43xxx の HASH レジスタマップおよびリセット値 799
表 118. 低電力モードが RTC に与える影響 816
表 119. 割り込み制御ビット 817
表 120. RTC レジスタマップとリセット値 838
表 121. Thd:dat（max）に準拠した最大 DNF[3:0] 値 854
表 122. SMBus 対 I2C 856
表 123. I2C 割り込みリクエスト 861
表 124. I2C レジスタマップとリセット値 877
表 125. SPI 割り込みリクエスト 904
表 126. オーディオ周波数精度（PLLM VCO = 1 MHz または 2 MHz の場合） 916
表 127. I^2S 割り込みリクエスト 922
表 128. SPI レジスタマップとリセット値 933
表 129. 考えられるオーディオサンプリング周波数範囲の例 945
表 130. 割り込みソース 958
表 131. SAI レジスタマップとリセット値 975
表 132. サンプリングされたデータからのノイズ検出 988
表 133. プログラミングされたボーレートの誤差計算（f_{PCLK} = 8 MHz または f_{PCLK} = 12 MHz）、
16 倍のオーバーサンプリング 991
表 134. プログラミングされたボーレートの誤差計算（f_{PCLK} = 8 MHz または f_{PCLK} = 12 MHz）、
8 倍のオーバーサンプリング 992
表 135. プログラミングされたボーレートの誤差計算（f_{PCLK} = 16 MHz または f_{PCLK} = 24 MHz）、
16 倍のオーバーサンプリング 993
表 136. プログラミングされたボーレートの誤差計算（f_{PCLK} = 16 MHz または f_{PCLK} = 24 MHz）、
8 倍のオーバーサンプリング 993
表 137. プログラミングされたボーレートの誤差計算（fPCLK = 8 MHz または fPCLK = 16 MHz）、
16 倍のオーバーサンプリング 994
表 138. プログラミングされたボーレートの誤差計算（fPCLK = 8 MHz または fPCLK = 16 MHz）、
8 倍のオーバーサンプリング 995

この資料は、STMicroelectronics NV 並びにその子会社(以下ST)が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くためにSTマイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST及びSTマイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 139. プログラミングされたボーレートの誤差計算（fPCLK = 30 MHz または fPCLK = 60 MHz）、16 倍のオーバーサンプリング 995
表 140. プログラミングされたボーレートの誤差計算（fPCLK = 30 MHz または fPCLK = 60 MHz）、8 倍のオーバーサンプリング 996
表 141. プログラミングされたボーレートの誤差計算（fPCLK = 42 MHz または fPCLK = 84 Hz）、16 倍のオーバーサンプリング 997
表 142. プログラミングされたボーレートの誤差計算（fPCLK = 42 MHz または fPCLK = 84 MHz）、8 倍のオーバーサンプリング 998
表 143. USART レシーバの許容誤差（DIV_Fraction が 0 の場合） 999
表 144. USART レシーバの許容誤差（DIV_Fraction が 0 でない場合） 999
表 145. フレームフォーマット 1001
表 146. USART 割込みリクエスト 1016
表 147. USART モード設定 1017
表 148. USART レジスタマップとリセット値 1027
表 149. SDIO I/O 定義 1033
表 150. コマンドフォーマット 1037
表 151. ショートレスポンスフォーマット 1037
表 152. ロングレスポンスフォーマット 1038
表 153. コマンドパスステータスフラグ 1038
表 154. データトークンフォーマット 1041
表 155. 送信 FIFO ステータスフラグ 1042
表 156. 受信 FIFO ステータスフラグ 1042
表 157. カードステータス 1053
表 158. SD ステータス 1055
表 159. 速度クラスコードフィールド 1056
表 160. 移動パフォーマンスフィールド 1057
表 161. AU_SIZE フィールド 1057
表 162. 最大 AU サイズ 1057
表 163. 消去サイズフィールド 1058
表 164. 消去タイムアウトフィールド 1058
表 165. 消去オフセットフィールド 1058
表 166. ブロック指向書込みコマンド 1061
表 167. ブロック指向書込み保護コマンド 1061
表 168. 消去コマンド 1062
表 169. I/O モードコマンド 1062
表 170. カードのロック 1062
表 171. アプリケーション固有コマンド 1063
表 172. R1 レスポンス 1063
表 173. R2 レスポンス 1064
表 174. R3 レスポンス 1064
表 175. R4 レスポンス 1065
表 176. R4b レスポンス 1065
表 177. R5 レスポンス 1066
表 178. R6 レスポンス 1066
表 179. レスポンスタイプと SDIO_RESPx レジスタ 1073
表 180. SDIO レジスタマップ 1084
表 181. 送信メールボックスの配置 1102
表 182. 受信メールボックスの配置 1102
表 183. bxCAN レジスタマップとリセット値 1129
表 184. オルタネート機能との対応 1136
表 185. 管理フレームのフォーマット 1138
表 186. クロック範囲 1140

この資料は、STMicroelectronics NV 並びにその子会社(以下ST)が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くためにSTマイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST及びSTマイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 187. TX インタフェース信号のエンコーディング 1142
表 188. RX インタフェース信号のエンコーディング 1142
表 189. フレームのステータス.....1158
表 190. デスティネーションアドレスフィルタリング.....1165
表 191. ソースアドレスフィルタリング 1166
表 192. 受信ディスクリプタ 0 - ビット 7、5、0 のエンコーディング （通常ディスクリプタ フォーマット、EDFE=0）.....1197
表 193. タイムスタンプスナップショットのレジスタビットに対する依存性.....1231
表 194. イーサネットレジスタマップとリセット値 1250
表 195. コアグローバル制御およびステータスレジスタ （CSR）.....1281
表 196. ホスト - モード制御およびステータスレジスタ （CSR）.....1282
表 197. デバイス - モード制御およびステータスレジスタ 1283
表 198. データ FIFO（DFIFO）アクセススレジスタマップ 1285
表 199. パワーおよびクロックゲーティング制御およびステータスレジスタ.....1285
表 200. ソフト切断のための最短時間 1321
表 201. OTG_FS レジスタマップとリセット値.....1342
表 202. コアグローバル制御およびステータスレジスタ （CSR）.....1416
表 203. ホストモード制御およびステータスレジスタ （CSR）.....1417
表 204. デバイスモード制御およびステータスレジスタ 1418
表 205. データ FIFO（DFIFO）アクセススレジスタマップ 1420
表 206. パワーおよびクロックゲーティング制御およびステータスレジスタ.....1420
表 207. ソフト切断のための最短時間 1462
表 208. OTG_HS レジスタマップとリセット値 1488
表 209. NOR/PSRAM バンク選択 1559
表 210. 外部メモリアドレス 1559
表 211. メモリマッピングとタイミングレジスタ 1559
表 212. NAND バンク選択 1560
表 213. プログラマブル NOR/PSRAM アクセスパラメータ 1561
表 214. 非マルチプレクス I/O NOR 型フラッシュ.....1561
表 215. マルチプレクス I/O NOR 型フラッシュ 1562
表 216. 非マルチプレクス I/OPSRAM/SRAM 1562
表 217. マルチプレクス I/O PSRAM 1563
表 218. NOR 型フラッシュ /PSRAM コントローラ：サポートされているメモリとトランザクションの例.....1563
表 219. FSMC_BCRx ビットフィールド 1567
表 220. FSMC_BTRx ビットフィールド 1567
表 221. FSMC_BCRx ビットフィールド 1569
表 222. FSMC_BTRx ビットフィールド 1569
表 223. FSMC_BWTRx ビットフィールド 1570
表 224. FSMC_BCRx ビットフィールド 1572
表 225. FSMC_BTRx ビットフィールド 1573
表 226. FSMC_BWTRx ビットフィールド 1573
表 227. FSMC_BCRx ビットフィールド 1575
表 228. FSMC_BTRx ビットフィールド 1576
表 229. FSMC_BWTRx ビットフィールド 1576
表 230. FSMC_BCRx ビットフィールド 1578
表 231. FSMC_BTRx ビットフィールド 1578
表 232. FSMC_BWTRx ビットフィールド 1579
表 233. FSMC_BCRx ビットフィールド 1580
表 234. FSMC_BTRx ビットフィールド 1581
表 235. FSMC_BCRx ビットフィールド 1586
表 236. FSMC_BTRx ビットフィールド 1586

この資料は、STMicroelectronics NV 並びにその子会社(以下ST)が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くためにSTマイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST及びSTマイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 237. FSMC_BCRx ビットフィールド 1587
表 238. FSMC_BTRx ビットフィールド 1588
表 239. プログラマブル NAND/PC カードアクセスパラメータ 1596
表 240. 8 ビット NAND フラッシュ 1596
表 241. 16 ビット NAND フラッシュ 1597
表 242. 16 ビット PC カード 1597
表 243. サポートされるメモリおよびトランザクション 1598
表 244. 16 ビット PC- カード信号とアクセスタイプ 1603
表 245. ECC リザルト関連ビット 1610
表 246. FSMC レジスタマップ 1611
表 247. NOR/PSRAM バンク選択 1618
表 248. NOR/PSRAM 外部メモリアドレス 1619
表 249. NAND/PC カードメモリマッピングおよびタイミングレジスタ 1619
表 250. NAND バンク選択 1619
表 251. SDRAM バンク選択 1620
表 252. SDRAM アドレスマッピング 1620
表 253. 8 ビットデータバス幅での SDRAM アドレスマッピング 1621
表 254. 16 ビットデータバス幅での SDRAM アドレスマッピング 1622
表 255. 32 ビットデータバス幅での SDRAM アドレスマッピング 1622
表 256. プログラマブル NOR/PSRAM アクセスパラメータ 1624
表 257. 非マルチプレクス I/O NOR フラッシュメモリ 1625
表 258. 16 ビットマルチプレクス I/O NOR フラッシュメモリ 1625
表 259. 非マルチプレクス I/O PSRAM/SRAM 1626
表 260. 16 ビットマルチプレクス I/O PSRAM 1626
表 261. NOR フラッシュ /PSRAM：サポートされているメモリとトランザクションの例 1627
表 262. FMC_BCRx ビットフィールド 1630
表 263. FMC_BTRx ビットフィールド 1630
表 264. FMC_BCRx ビットフィールド 1632
表 265. FMC_BTRx ビットフィールド 1632
表 266. FMC_BWTRx ビットフィールド 1633
表 267. FMC_BCRx ビットフィールド 1635
表 268. FMC_BTRx ビットフィールド 1635
表 269. FMC_BWTRx ビットフィールド 1636
表 270. FMC_BCRx ビットフィールド 1637
表 271. FMC_BTRx ビットフィールド 1638
表 272. FMC_BWTRx ビットフィールド 1638
表 273. FMC_BCRx ビットフィールド 1640
表 274. FMC_BTRx ビットフィールド 1640
表 275. FMC_BWTRx ビットフィールド 1641
表 276. FMC_BCRx ビットフィールド 1642
表 277. FMC_BTRx ビットフィールド 1643
表 278. FMC_BCRx ビットフィールド 1648
表 279. FMC_BTRx ビットフィールド 1649
表 280. FMC_BCRx ビットフィールド 1650
表 281. FMC_BTRx ビットフィールド 1651
表 282. プログラマブル NAND フラッシュ /PC カードアクセスパラメータ 1658
表 283. 8 ビット NAND フラッシュ 1658
表 284. 16 ビット NAND フラッシュ 1659
表 285. 16 ビット PC カード 1659
表 286. サポートされるメモリおよびトランザクション 1660
表 287. 16 ビット PC- カード信号とアクセスタイプ 1665
表 288. ECC リザルト関連ビット 1672

この資料は、STMicroelectronics NV 並びにその子会社(以下ST)が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くためにSTマイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST及びSTマイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 289. SDRAM 信号 1673
表 290. FMC レジスタマップ 1690
表 291. SWJ デバッグポートピン 1696
表 292. 柔軟性の高い SWJ-DP ピンの割り当て 1696
表 293. JTAG デバッグポートのデータレジスタ 1701
表 294. シフトされた値 A[3:2] によってアドレス指定される 32 ビットデバッグポートレジスタ 1703
表 295. パケットリクエスト（8 ビット） 1704
表 296. ACK 応答（3 ビット） 1704
表 297. DATA 転送（33 ビット） 1704
表 298. SW-DP レジスタ 1706
表 299. FPU 搭載 Cortex™-M4 AHB-AP レジスタ 1707
表 300. コアデバッグレジスタ 1708
表 301. 主な ITM レジスタ 1711
表 302. 主な ETM レジスタ 1713
表 303. 非同期 TRACE ピンの割当て 1720
表 304. 同期 TRACE ピンの割当て 1720
表 305. 柔軟性の高い TRACE ピン割り当て 1721
表 306. 重要な TPIU レジスタ 1724
表 307. DBG レジスタマップとリセット値 1725
表 308. 改版履歴 1729

この資料は、STMicroelectronics NV 並びにその子会社(以下ST)が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くためにSTマイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST及びSTマイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図の一覧

図 1. システムアーキテクチャ（STM32F405xx/07xx および STM32F415xx/17xx デバイス）.....60
図 2. システムアーキテクチャ（STM32F42xxx および STM32F43xxx デバイス）.....62
図 3. システムアーキテクチャ内のフラッシュメモリインタフェース接続（STM32F405xx/07xx および STM32F415xx/17xx）.....73
図 4. システムアーキテクチャ内のフラッシュメモリインタフェース接続（STM32F42xxx および STM32F43xxx）.....74
図 5. 連続 32 ビット命令の実行.....82
図 6. RDP レベル.....93
図 7. PCROP レベル.....95
図 8. CRC 計算ユニットのブロック図.....111
図 9. STM32F405xx/07xx および STM32F415xx/17xx における電源の概要.....115
図 10. STM32F42xxx および STM32F43xxx における電源の概要.....116
図 11. バックアップドメイン.....119
図 12. パワーオンリセット／パワーダウンリセット波形.....123
図 13. BOR の閾値.....124
図 14. PVD の閾値.....125
図 15. 簡略化されたリセット回路図.....148
図 16. クロックツリー.....150
図 17. HSE ／ LSE クロックソース.....152
図 18. 入力キャプチャモードにおける TIM5 を使用した周波数測定.....158
図 19. 入力キャプチャモードにおける TIM11 を使用した周波数測定.....158
図 20. 簡略化されたリセット回路図.....209
図 21. クロックツリー.....211
図 22. HSE/LSE クロックソース.....213
図 23. 入力キャプチャモードにおける TIM5 を使用した周波数測定.....218
図 24. 入力キャプチャモードにおける TIM11 を使用した周波数測定.....219
図 25. 5V 耐性 I/O ポートビットの基本構造.....266
図 26. STM32F405xx/07xx および STM32F415xx/17xx における オルタネート機能の選択.....270
図 27. STM32F42xxx および STM32F43xxx におけるオルタネート機能の選択.....271
図 28. 入力フローティング／プルアップ／プルダウン設定.....274
図 29. 出力設定.....275
図 30. オルタネート機能設定.....275
図 31. 高インピーダンスアナログ設定.....276
図 32. DMA ブロック図.....305
図 33. 2 つの DMA コントローラのシステム実装（STM32F405xx/07xx および STM32F415xx/17xx）.....306
図 34. 2 つの DMA コントローラのシステム実装 (STM32F42xxx および STM32F43xxx).....307
図 35. チャネル選択.....308
図 36. “ ペリフェラルからメモリ ” モード.....311
図 37. “ メモリからペリフェラル ” モード.....312
図 38. メモリ間モード.....313
図 39. FIFO の構造.....318
図 40. DMA2D ブロック図.....343
図 41. 外部割り込み／イベントコントローラのブロック図.....383
図 42. 外部割り込み／イベントと GPIO のマッピング（STM32F405xx/07xx および STM32F415xx/17xx）.....385
図 43. 外部割り込み／イベントと GPIO のマッピング（STM32F42xxx および STM32F43xxx）.....386
図 44. 1 つの ADC ブロック図.....394
図 45. タイミング図.....397

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 46. アナログウォッチドッグによって保護される領域 398
図 47. インジェクト変換の遅延時間 399
図 48. 12 ビットデータの右詰め 401
図 49. 12 ビットデータの左詰め 401
図 50. 6 ビットデータの左詰め 401
図 51. マルチ ADC ブロック図 (1) 407
図 52. 4 チャネルのインジェクト同時モード：デュアル ADC モード 410
図 53. 4 チャネルのインジェクト同時モード：トリプル ADC モード 410
図 54. 16 チャネルのレギュラ同時モード：デュアル ADC モード 411
図 55. 16 チャネルのレギュラ同時モード：トリプル ADC モード 412
図 56. 連続変換モードにおける 1 チャネルのインタリーブモード：デュアル ADC モード 413
図 57. 連続変換モードでにおける 1 チャネルのインタリーブモード：トリプル ADC モード 414
図 58. オルタネートトリガ：各 ADC のインジェクトグループ 415
図 59. オルタネートトリガ：不連続モードにおける 4 つのインジェクトチャネル（各 ADC） 415
図 60. オルタネートトリガ：各 ADC のインジェクトグループ 416
図 61. オルタネート + レギュラ同時 417
図 62. インジェクト変換中にトリガが発生した場合 417
図 63. 温度センサおよび VREFINT チャネルのブロック図 418
図 64. DAC チャネルブロック図 442
図 65. シングル DAC チャネルモードのデータレジスタ 444
図 66. デュアル DAC チャネルモードのデータレジスタ 444
図 67. トリガ無効（TEN = 0）時の変換タイミング図 445
図 68. DAC LFSR レジスタ計算アルゴリズム 447
図 69. LFSR 波形生成による DAC 変換（SW トリガ有効） 447
図 70. DAC 三角波生成 448
図 71. 三角波生成による DAC 変換（SW トリガ有効） 448
図 72. DCMI のブロック図 466
図 73. 最上位ブロック図 466
図 74. DCMI 信号の波形 467
図 75. タイミング図 469
図 76. スナップショットモードにおけるフレームキャプチャ波形 471
図 77. 連続グラブモードにおけるフレームキャプチャ波形 472
図 78. クロップ後のウィンドウの座標とサイズ 472
図 79. データキャプチャ波形 473
図 80. ピクセルラスタースキャンの順序 474
図 81. LTDC のブロック図 490
図 82. LCD-TFT 同期タイミング 492
図 83. レイヤウィンドウのプログラム可能なパラメータ 494
図 84. 2 つのレイヤとバックグラウンドとのブレンディング 497
図 85. 割り込みイベント 498
図 86. 高機能制御タイマのブロック図 523
図 87. プリスケーラ分周比が 1 から 2 に変化したときのカウンタのタイミング図 525
図 88. プリスケーラ分周比が 1 から 4 に変化したときのカウンタのタイミング図 525
図 89. 内部クロック分周比が 1 の場合のカウンタのタイミング図 526
図 90. 内部クロック分周比が 2 の場合のカウンタのタイミング図 526
図 91. 内部クロック分周比が 4 の場合のカウンタのタイミング図 527
図 92. 内部クロック分周比が N の場合のカウンタのタイミング図 527
図 93. ARPE=0（TIMx_ARR はプリロードされない）の場合の更新イベント時のカウンタのタイミング図 527
図 94. ARPE=1（TIMx_ARR はプリロード）の場合の更新イベント時のカウンタのタイミング図（TIMx_ARR はプリロード） 528
図 95. 内部クロック分周比が 1 の場合のカウンタのタイミング図 529

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 96. 内部クロック分周比が 2 の場合のカウンタのタイミング図 529
図 97. 内部クロック分周比が 4 の場合のカウンタのタイミング図 529
図 98. 内部クロック分周比が N の場合のカウンタのタイミング図 530
図 99. 繰り返しカウンタが使用されていない場合の更新イベント時のカウンタのタイミング図（不使用） 530
図 100. 内部クロック分周比が 1、TIMx_ARR=0x6 の場合のカウンタのタイミング図 531
図 101. 内部クロック分周比が 2 の場合のカウンタのタイミング図 532
図 102. 内部クロック分周比が 4、TIMx_ARR=0x36 の場合のカウンタのタイミング図 532
図 103. 内部クロック分周比が N の場合のカウンタのタイミング図 532
図 104. ARPE=1（カウンタアンダーフロー）の場合の更新イベント時のカウンタのタイミング図 533
図 105. ARPE=1（カウンタオーバーフロー）の場合の更新イベント時のカウンタのタイミング図 533
図 106. モードと TIMx_RCR レジスタの設定に応じた更新レートの例 534
図 107. 内部クロック分周比 1 の場合の、通常モードのカウンタのタイミング図 535
図 108. TI2 外部クロックの接続例 535
図 109. 外部クロックモード 1 の制御回路 536
図 110. 外部トリガ入力ブロック 537
図 111. 外部クロックモード 2 の制御回路 537
図 112. キャプチャ / 比較チャネル（例：チャネル 1 入力ステージ） 538
図 113. キャプチャ / 比較チャネル 1 メイン回路 538
図 114. キャプチャ / 比較チャネル（チャネル 1 から 3）の出力ステージ 539
図 115. キャプチャ / 比較チャネル（チャネル 4）の出力ステージ 539
図 116. PWM 入力モードタイミング 541
図 117. 出力比較モード、OC1 のトグル 543
図 118. エッジアライン PWM 波形（ARR=8） 544
図 119. センターアライン PWM 波形（ARR=8） 545
図 120. デッドタイム挿入のある相補出力 546
図 121. 負のパルスより長い遅延があるときのデッドタイムの波形 546
図 122. 正のパルスより長い遅延があるときのデッドタイムの波形 547
図 123. ブレークに対する出力の動作 549
図 124. TIMx OCxREF のクリア動作 550
図 125. 6 ステップ生成 COM の例（OSSR=1） 551
図 126. ワンパルスモードの例 552
図 127. エンコーダインタフェースモードにおけるカウンタの動作例 555
図 128. TI1FP1 の極性を反転したエンコーダインタフェースモードの例 555
図 129. ホールセンサインタフェースの例 557
図 130. リセットモードの制御回路 558
図 131. ゲートモードの制御回路 559
図 132. トリガモードの制御回路 560
図 133. 外部クロックモード 2 ＋トリガモードの制御回路 561
図 134. 汎用タイマのブロック図 592
図 135. プリスケーラ分周比が 1 から 2 に変化したときのカウンタのタイミング図 593
図 136. プリスケーラ分周比が 1 から 4 に変化したときのカウンタのタイミング図 594
図 137. 内部クロック分周比が 1 の場合のカウンタのタイミング図 595
図 138. 内部クロック分周比が 2 の場合のカウンタのタイミング図 595
図 139. 内部クロック分周比が 4 の場合のカウンタのタイミング図 595
図 140. 内部クロック分周比が N の場合のカウンタのタイミング図 596
図 141. ARPE=0（TIMx_ARR はプリロードされない）の場合の更新イベント時のカウンタのタイミング図 596
図 142. ARPE=1（TIMx_ARR はプリロードされる）のときの更新イベント時のカウンタのタイミング図 597
図 143. 内部クロック分周比が 1 の場合のカウンタのタイミング図 598
図 144. 内部クロック分周比が 2 の場合のカウンタのタイミング図 598

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 145. 内部クロック分周比が 4 の場合のカウンタのタイミング図 598
図 146. 内部クロック分周比が N の場合のカウンタのタイミング図 599
図 147. 更新イベント時のカウンタのタイミング図 599
図 148. 内部クロック分周比が 1、TIMx_ARR=0x6 の場合のカウンタのタイミング図 600
図 149. 内部クロック分周比が 2 の場合のカウンタのタイミング図 601
図 150. 内部クロック分周比が 4、TIMx_ARR=0x36 の場合のカウンタのタイミング図 601
図 151. 内部クロック分周比が N の場合のカウンタのタイミング図 601
図 152. ARPE=1（カウンタアンダーフロー）の場合の更新イベント時、
カウンタタイミング図 602
図 153. ARPE=1（カウンタオーバーフロー）の場合の更新イベント時、
カウンタタイミング図 602
図 154. 内部クロック分周比 1 の場合の、通常モードの制御回路 603
図 155. TI2 外部クロックの接続例 603
図 156. 外部クロックモード 1 の制御回路 604
図 157. 外部トリガ入力ブロック 605
図 158. 外部クロックモード 2 の制御回路 605
図 159. キャプチャ／比較チャネル（例：チャネル 1 入力ステージ） 606
図 160. キャプチャ／比較チャネル 1 メイン回路 606
図 161. キャプチャ／比較チャネル（チャネル 1）の出力ステージ 607
図 162. PWM 入力モードタイミング 609
図 163. 出力比較モード、OC1 のトグル 610
図 164. エッジアライン PWM 波形（ARR=8） 612
図 165. センターアライン PWM 波形（ARR=8） 613
図 166. ワンパルスモードの例 614
図 167. TIMx OCxREF のクリア 616
図 168. エンコーダインタフェースモードにおけるカウンタの動作例 617
図 169. TI1FP1 の極性を反転したエンコーダインタフェースモードの例 618
図 170. リセットモードの制御回路 619
図 171. ゲートモードの制御回路 620
図 172. トリガモードの制御回路 620
図 173. 外部クロックモード 2 ＋トリガモードの制御回路 621
図 174. マスタ／スレーブタイマの例 622
図 175. タイマ 1 の OC1REF によるタイマ 2 のゲート操作 623
図 176. タイマ 1 の有効化によるタイマ 2 のゲート操作 624
図 177. タイマ 1 の更新によるタイマ 2 のトリガ 625
図 178. タイマ 1 の有効化によるタイマ 2 のトリガ 625
図 179. タイマ 1 の TI1 入力によるタイマ 1 とタイマ 2 のトリガ 627
図 180. 汎用 タイマのブロック図（TIM9 と TIM12） 654
図 181. 汎用タイマのブロック図（TIM10/11/13/14） 655
図 182. プリスケーラ分周比が 1 から 2 に変化したときのカウンタのタイミング図 657
図 183. プリスケーラ分周比が 1 から 4 に変化したときのカウンタのタイミング図 657
図 184. 内部クロック分周比が 1 の場合のカウンタのタイミング図 658
図 185. 内部クロック分周比が 2 の場合のカウンタのタイミング図 658
図 186. 内部クロック分周比が 4 の場合のカウンタのタイミング図 659
図 187. 内部クロック分周比が N の場合のカウンタのタイミング図 659
図 188. ARPE=0 時（TIMx_ARR はプリロードなし）、更新イベント時のカウンタのタイミング図 659
図 189. ARPEARPE=1 時（TIMx_ARR はプリロード）、更新イベント時のカウンタのタイミング図 660
図 190. 内部クロック分周比 1 の場合の、通常モードの制御回路 661
図 191. TI2 外部クロックの接続例 661
図 192. 外部クロックモード 1 の制御回路 662
図 193. キャプチャ／比較チャネル（例：チャネル 1 入力ステージ） 662
図 194. キャプチャ／比較チャネル 1 メイン回路 663

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 195. キャプチャ／比較チャネル（チャネル 1）の出力ステージ 663
図 196. PWM 入力モードのタイミング 665
図 197. 出力比較モード、OC1 のトグル 667
図 198. エッジアライン PWM 波形（ARR=8） 668
図 199. ワンパルスモードの例 668
図 200. リセットモードの制御回路 670
図 201. ゲートモードの制御回路 671
図 202. トリガモードの制御回路 671
図 203. 基本タイマブロック図 695
図 204. プリスケーラ分周比が 1 から 2 に変化したときのカウンタのタイミング図 696
図 205. プリスケーラ分周比が 1 から 4 に変化したときのカウンタのタイミング図 697
図 206. 内部クロック分周比が 1 の場合のカウンタのタイミング図 698
図 207. 内部クロック分周比が 2 の場合のカウンタのタイミング図 698
図 208. 内部クロック分周比が 4 の場合のカウンタのタイミング図 698
図 209. 内部クロック分周比が N の場合のカウンタのタイミング図 699
図 210. ARPE=0 時（TIMx_ARR はプリロードされない）、更新イベント時のカウンタのタイミング図 699
図 211. ARPE=1 時（TIMx_ARR はプリロードされる）、更新イベント時のカウンタのタイミング図 700
図 212. 内部クロック分周比 1 の場合の、通常モードの制御回路 700
図 213. 独立型ウォッチドッグのブロック図 708
図 214. ウォッチドッグのブロック図 714
図 215. ウィンドウ型ウォッチドッグのタイミング図 715
図 216. ブロック図 （STM32F405xx/07xx および STM32F415xx/17xx） 723
図 217. ブロック図（STM32F42xxx および STM32F43xxx） 724
図 218. DES/ トリプル DES-ECB モードの暗号化 726
図 219. DES/ トリプル DES-ECB モードの復号化 726
図 220. DES/ トリプル DES-CBC モードの暗号化 728
図 221. DES/ トリプル DES-CBC モードの復号化 729
図 222. AES-ECB モードの暗号化 730
図 223. AES-ECB モードの復号化 731
図 224. AES-CBC モードの暗号化 732
図 225. AES-CBC モードの復号化 733
図 226. AES-CTR モードの暗号化 734
図 227. AES-CTR モードの復号化 735
図 228. カウンタモードでの初期カウンタブロック構造 735
図 229. DATATYPE に応じた 64 ビットブロックの構成 742
図 230. トリプル DES-CBC 暗号化における初期化ベクタの使用 744
図 231. CRYP 割り込みマッピング図 748
図 232. ブロック図 769
図 233. STM32F405xx/07xx および STM32F415xx/17xx のブロック図 776
図 234. のブロック図 STM32F42xxx および STM32F43xxx のブロック図 777
図 235. ビット、バイト、およびハーフワードスワッピング 779
図 236. HASH 割り込みマッピング図 784
図 237. RTC のブロック図 803
図 238. I2C バスプロトコル 843
図 239. STM32F40x ／ 41x の I2C ブロック図 844
図 240. STM32F42x ／ 43x の I2C ブロック図 845
図 241. スレーブトランスミッタの転送シーケンス 847
図 242. スレーブ受信の転送シーケンス図 848
図 243. マスタ送信の転送シーケンス図 850
図 244. マスタ受信の転送 シーケンス図 852

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 245. I2C 割り込みマッピング図 862
図 246. SPI のブロック図 882
図 247. シングルマスタ／シングルスレーブアプリケーション 883
図 248. データクロックのタイミング図 885
図 249. TI モード - スレーブモード、シングル転送 887
図 250. TI モード - スレーブモード、連続転送 887
図 251. TI モード - マスタモード、シングル転送 889
図 252. TI モード - マスタモード、連続転送 889
図 253. マスタ／全二重モードでの TXE/RXNE/BSY 動作（BIDIMODE=0 および RXONLY=0）連続転送の場合 893
図 254. スレーブ／全二重モードでの TXE/RXNE/BSY 動作（BIDIMODE=0、RXONLY=0）連続転送の場合 894
図 255. マスタ送信専用モードでの TXE/BSY 動作（BIDIMODE=0 および RXONLY=0）連続転送の場合 895
図 256. スレーブ送信専用モードでの TXE/BSY 動作（BIDIMODE=0 および RXONLY=0）連続転送の場合 895
図 257. 受信専用モードでの RXNE 動作（BIDIRMODE=0 および RXONLY=1）連続転送の場合 896
図 258. 送信時の TXE/BSY 動作（BIDIRMODE=0 および RXONLY=0）不連続転送の場合 897
図 259. DMA を使用した送信 902
図 260. DMA を使用した受信 902
図 261. TI モードフレームフォーマットエラー検出 904
図 262. I^2S ブロック図 905
図 263. I2S 全二重のブロック図 906
図 264. I^2S フィリップスプロトコルの波形（16/32 ビットフル精度、CPOL = 0） 908
図 265. I^2S フィリップス標準の波形（24 ビットフレーム、CPOL = 0） 908
図 266. 0x8EAA33 の送信 909
図 267. 0x8EAA33 の受信 909
図 268. I^2S フィリップス標準（32 ビットパケットフレームに拡張された 16 ビット、CPOL = 0） 909
図 269. 例 910
図 270. MSB 詰め 16 ビットまたは 32 ビットフル精度長、CPOL = 0 910
図 271. MSB 詰め 24 ビットフレーム長、CPOL = 0 910
図 272. MSB 詰め 16 ビットを 32 ビットパケットフレームに拡張、CPOL = 0 911
図 273. LSB 詰め 16 ビットまたは 32 ビットのフル精度、CPOL = 0 911
図 274. LSB 詰め 24 ビットフレーム長、CPOL = 0 912
図 275. 0x3478AE を送信するために必要な動作 912
図 276. 0x3478AE の受信に必要な動作 912
図 277. LSB 詰め 16 ビットを 32 ビットパケットフレームに拡張、CPOL = 0 913
図 278. 32 ビットパケットフレームに拡張された LSB 詰め 16 ビットの例 913
図 279. PCM 規格の波形（16 ビット） 914
図 280. PCM 規格の波形（32 ビットパケットフレームに拡張された 16 ビット） 914
図 281. オーディオサンプリング周波数の定義 915
図 282. I^2S クロックジェネレータのアーキテクチャ 915
図 283. 機能ブロック図 937
図 284. オーディオフレーム 939
図 285. FS の機能は、フレーム開始 + チャネルサイド識別（FSDEF = TRIS = 1） 942
図 286. FS の機能はフレーム開始（FSDEF = 0） 942
図 287. スロットサイズ設定（SAI_xSLOTR で FBOFF = 0 の場合） 943
図 288. 先頭ビットオフセット 944
図 289. オーディオブロッククロックジェネレータの概要 945
図 290. AC'97 オーディオフレーム 949
図 291. SAI オーディオブロックのデータコンパンディングハードウェア 951

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 292. インアクティブスロットにおける SD 出力ラインのトライステート化 953
図 293. I2S のようなプロトコルにおける出力データラインのトライステート化 954
図 294. オーバーラン検出エラー 955
図 295. FIFO アンダーランイベント 956
図 296. USART のブロック図 980
図 297. ワード長のプログラミング 981
図 298. 設定可能なストップビット 983
図 299. 送信時の TC ／ TXE の動作 984
図 300. 16 倍または 8 倍でオーバーサンプリングするときのスタートビットの検出 985
図 301. データサンプリング（16 倍のオーバーサンプリング） 988
図 302. データサンプリング（8 倍のオーバーサンプリング） 988
図 303. アイドルライン検出を使用したミュートモード 1000
図 304. アドレスマーク検出を使用したミュートモード 1001
図 305. LIN モードでのブレーク検出（11 ビットブレーク長、LBDL=1） 1004
図 306. LIN モードでのブレーク検出とフレーミングエラー検出 1005
図 307. USART の同期送信の例 1006
図 308. USART データクロックタイミング図（M=0） 1006
図 309. USART データクロックタイミング図（M=1） 1007
図 310. RX データのセットアップ／ホールド時間 1007
図 311. ISO 7816-3 非同期プロトコル 1008
図 312. ストップビット 1.5 個を使用したパリティエラー検出 1009
図 313. IrDA SIR ENDEC- ブロック図 1011
図 314. IrDA データ変調（3/16）- 通常モード 1011
図 315. DMA を使用した送信 1013
図 316. DMA を使用した受信 1014
図 317. 2 つの USART 間のハードウェアフロー制御 1014
図 318. RTS フロー制御 1015
図 319. CTS フロー制御 1015
図 320. USART 割込みマッピング図 1016
図 321. SDIO「no response」と「no data」操作 1030
図 322. SDIO（複数）ブロック読出し操作 1030
図 323. SDIO（複数）ブロック書込み操作 1031
図 324. SDIO 順次読出し操作 1031
図 325. SDIO 順次書込み操作 1031
図 326. SDIO ブロック図 1032
図 327. SDIO アダプタ 1033
図 328. 制御ユニット 1034
図 329. SDIO アダプタコマンドパス 1035
図 330. コマンドパスステートマシン（CPSM） 1036
図 331. SDIO コマンド転送 1036
図 332. データパス 1039
図 333. データパスステートマシン（DPSM） 1040
図 334. CAN ネットワークのトポロジ 1088
図 335. デュアル CAN ブロック図 1090
図 336. bxCAN 動作モード 1092
図 337. bxCAN（サイレントモード） 1093
図 338. bxCAN（ループバックモード） 1093
図 339. bxCAN（組み合わせモード） 1094
図 340. 送信メールボックスの状態 1096
図 341. 受信 FIFO の状態 1097
図 342. フィルタバンクのスケール設定 - レジスタ構造 1099
図 343. フィルタ番号の例 1100

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 344. フィルタのメカニズム - 例 1101
図 345. CAN エラー状態図 1103
図 346. ビットタイミング 1104
図 347. CAN フレーム 1105
図 348. イベントフラグと割込み生成 1106
図 349. ETH のブロック図 1137
図 350. SMI インタフェース信号 1138
図 351. MDIO のタイミングとフレーム構造 - 書き込みサイクル 1139
図 352. MDIO のタイミングとフレーム構造 - 読み出しサイクル 1140
図 353. メディア独立インタフェース信号 1141
図 354. MII クロックソース 1143
図 355. 減少メディア独立インタフェース信号 1143
図 356. RMII クロックソース 1144
図 357. クロック構成 1144
図 358. アドレスフィールドのフォーマット 1146
図 359. MAC フレームフォーマット 1148
図 360. タグ付き MAC フレームのフォーマット 1148
図 361. 送信ビットの順序 1155
図 362. 衝突がない場合の送信 1155
図 363. 衝突がある場合の送信 1156
図 364. MMI および RMII モードでのフレーム送信 1156
図 365. 受信ビットの順序 1161
図 366. エラーなしでの受信 1161
図 367. エラーありでの受信 1162
図 368. 偽キャリア表示付きの受信 1162
図 369. MAC コア割り込みマスク構成 1163
図 370. ウェイクアップフレームフィルタレジスタ 1168
図 371. ネットワーク時間の同期 1171
図 372. 密補正法を使用したシステム時間の更新 1173
図 373. TIM2 ITR1 への PTP トリガ出力 1175
図 374. PPS 出力 1176
図 375. ディスクリプタのリングおよびチェイン構造 1177
図 376. デフォルトモードでの TxDMA の動作 1181
図 377. OSF モードでの TxDMA の動作 1183
図 378. 通常送信ディスクリプタ 1184
図 379. 拡張送信ディスクリプタ 1190
図 380. 受信 DMA の動作 1192
図 381. 通常 Rx DMA ディスクリプタの構造 1194
図 382. IEEE1588 タイムスタンプが有効な拡張受信ディスクリプタフィールドのフォーマット 1200
図 383. 割り込み方式 1203
図 384. イーサネット MAC リモートウェイクアップフレームフィルタレジスタ（ETH_MACRWUFFR） 1214
図 385. OTG フルスピードブロック図 1258
図 386. OTG A-B デバイス接続 1260
図 387. USB ペリフェラル専用接続 1262
図 388. USB ホスト専用接続 1266
図 389. SOF 接続性 1271
図 390. OTG_FS_HFIR の動的更新 1273
図 391. デバイスモード FIFO アドレスマッピングと AHB FIFO アクセスマッピング 1274
図 392. ホストモード FIFO アドレスマッピングと AHB FIFO アクセスマッピング 1275
図 393. 割り込みの階層 1279
図 394. CSR メモリマップ 1281

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 395. 送信 FIFO 書き込みタスク 1351
図 396. 受信 FIFO 読み出しタスク 1352
図 397. 通常のバルク／制御 OUT/SETUP およびバルク／制御 IN トランザクション 1354
図 398. バルク／制御 IN トランザクション 1357
図 399. 通常割り込み OUT/IN トランザクション 1359
図 400. 通常のアイソクロナス OUT/IN トランザクション 1364
図 401. 受信 FIFO パケット読み出し 1370
図 402. SETUP パケットの処理 1372
図 403. バルク OUT トランザクション 1378
図 404. TRDT 最大タイミングのケース 1387
図 405. A デバイスの SRP 1388
図 406. B デバイスの SRP 1389
図 407. A デバイスの HNP 1390
図 408. B デバイスの HNP 1392
図 409. USB OTG インタフェースのブロック図 1398
図 410. OTG_HS_HFIR の動的更新 1411
図 411. 割り込みの階層 1413
図 412. CSR メモリマップ 1415
図 413. 送信 FIFO 書き込みタスク 1503
図 414. 受信 FIFO 読み出しタスク 1504
図 415. 通常のバルク／制御 OUT/SETUP およびバルク／制御 IN トランザクション - DMA モード 1506
図 416. 通常のバルク／制御 OUT/SETUP およびバルク／制御 IN トランザクション - スレーブモード 1507
図 417. バルク／制御 IN トランザクション - DMA モード 1511
図 418. バルク／制御 IN トランザクション - スレーブモード 1512
図 419. 通常の割り込み OUT/IN トランザクション - DMA モード 1514
図 420. 通常の割り込み OUT/IN トランザクション - スレーブモード 1515
図 421. 通常のアイソクロナス OUT/IN トランザクション - DMA モード 1520
図 422. 通常のアイソクロナス OUT/IN トランザクション - スレーブモード 1521
図 423. 受信 FIFO パケットの読み出し - スレーブモード 1532
図 424. SETUP パケットの処理 1534
図 425. スレーブモードバルク OUT トランザクション 1540
図 426. TRDT 最大タイミングのケース 1549
図 427. A デバイス SRP 1550
図 428. B デバイスの SRP 1551
図 429. A デバイスの HNP 1552
図 430. B デバイスの HNP 1553
図 431. FSMC のブロック図 1556
図 432. FSMC メモリバンク 1558
図 433. モード 1 読み出しアクセス 1566
図 434. モード 1 書き込みアクセス 1566
図 435. モード A 読み出しアクセス 1568
図 436. モード A 書き込みアクセス 1568
図 437. モード 2 およびモード B 読み出しアクセス 1570
図 438. モード 2 書き込みアクセス 1571
図 439. モード B 書き込みアクセス 1571
図 440. モード C 読み出しアクセス 1574
図 441. モード C 書き込みアクセス 1574
図 442. モード D 読み出しアクセス 1577
図 443. モード D 書き込みアクセス 1577
図 444. マルチプレクス読み出しアクセス 1579
図 445. マルチプレクス書き込みアクセス 1580
図 446. 読み出しアクセス中の非同期ウェイト 1582

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 447. 書き込みアクセス中の非同期ウェイト 1582
図 448. ウェイト構成 1584
図 449. 同期マルチプレクス読み出しモード - NOR、PSRAM （CRAM） 1585
図 450. 同期マルチプレクス書き込みモード - PSRAM （CRAM） 1587
図 451. 共通メモリアクセスの NAND/PC カードコントローラのタイミング 1599
図 452. "CE don't care" でない NAND 型フラッシュへのアクセス 1600
図 453. FMC ブロック図 1615
図 454. FMC メモリバンク 1618
図 455. モード 1 読み出しアクセス波形 1629
図 456. モード 1 書き込みアクセス波形 1629
図 457. モード A 読み出しアクセス波形 1631
図 458. モード A 書き込みアクセス波形 1631
図 459. モード 2 およびモード B 読み出しアクセス波形 1633
図 460. モード 2 書き込みアクセス波形 1634
図 461. モード B 書き込みアクセス波形 1634
図 462. モード C 読み出しアクセス波形 1636
図 463. モード C 書き込みアクセス波形 1637
図 464. モード D 読み出しアクセス波形 1639
図 465. モード D 書き込みアクセス波形 1639
図 466. マルチプレクス読み出しアクセス波形 1641
図 467. マルチプレクス書き込みアクセス波形 1642
図 468. 読み出しアクセス中の非同期ウェイト波形 1644
図 469. 書き込みアクセス中の非同期ウェイト波形 1645
図 470. 待ち設定波形 1647
図 471. 同期マルチプレクス読み出しモード波形 - NOR、PSRAM（CRAM） 1648
図 472. 同期マルチプレクス書き込みモード波形 - PSRAM（CRAM） 1650
図 473. 共通メモリアクセスの NAND フラッシュ /PC カードコントローラ波形 1661
図 474. "CE don't care" でない NAND フラッシュへのアクセス 1662
図 475. バースト書き込み SDRAM アクセス波形 1675
図 476. バースト読み出し SDRAM アクセス 1676
図 477. RBURST ビットセット時の読み出しアクセスの論理図（CAS=2、RPIPE=0） 1677
図 478. 行境界を跨ぐ読み出しアクセス 1679
図 479. 行境界を跨ぐ書き込みアクセス 1679
図 480. セルフリフレッシュモード 1682
図 481. パワーダウンモード 1683
図 482. STM32 MCU と FPU 搭載 Cortex™-M4 レベルのデバッグサポートのブロック図 1693
図 483. SWJ デバッグポート 1695
図 484. JTAG TAP 接続 1699
図 485. TPIU ブロック図 1719

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

1 このマニュアルにおける表記の規則

1.1 レジスタに関する略記

レジスタの説明では、次の略記が使用されます。

読み出し／書き込み（rw）	これらのビットは、ソフトウェアによる読み出し／書き込みができます。
読み出し専用（r）	ソフトウェアは、これらのビットの読み出しのみが可能です。
書き込み専用（w）	このビットは、ソフトウェアによる書き込みのみが可能です。ビットを読み出すと、リセット値が返されます。
読み出し／クリア（rc_w1）	このビットは、ソフトウェアによって読み出すことができ、“1”を書き込むことによってクリアできます。“0”を書き込んでも、ビットの値は変化しません。
読み出し／クリア（rc_w0）	このビットは、ソフトウェアによって読み出すことができ、”0”を書き込むことによってクリアできます。“1”を書き込んでも、ビットの値は変化しません。
読み出し／読み出しによるクリア（rc_r）	このビットは、ソフトウェアによって読み出すことができます。このビットを読み出すと、自動的に“0”にクリアされます。“0”を書き込んでも、ビットの値は変化しません。
読み出し／セット（rs）	このビットは、ソフトウェアによって読み出しとセットができます。“0”を書き込んでも、ビットの値は変化しません。
読み出し専用書き込みトリガ（rt_w）	このビットは、ソフトウェアによって読み出すことができます。“0”または“1”を書き込むと、イベントがトリガされますが、ビットの値は変化しません。
反転（t）	このビットは、ソフトウェアによって“1”を書き込むことで反転だけできます。“0”を書き込んでも、ビットの値は変化しません。
予約済み（Res.）	予約済みのビットであり、リセット値のままにしておかなければなりません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

1.2 用語

このセクションでは、本書で用いられる略語についての定義の概要を掲載しています。

- CPU コアは、2 つのデバッグポートを内蔵しています：
  - JTAG デバッグポート（JTAG-DP）には、Joint Test Action Group（JTAG）のプロトコルに基づいた 5 ピンの標準インタフェースを搭載しています。
  - SWD デバッグポート（SWD-DP）には、Serial Wire Debug（SWD）プロトコルに基づいた 2 ピン（クロックとデータ）のインタフェースを搭載しています。

    JTAG および SWD のプロトコルについては、Cortex-M4 with FPU テクニカルリファレンスマニュアルを参照してください。
- ワード：32 ビット長のデータ／命令。
- ハーフワード：16 ビット長のデータ／命令。
- バイト：8 ビット長のデータ。
- ダブルワード：64 ビット長のデータ。
- IAP（アプリケーション内プログラミング）：IAP は、ユーザプログラム実行中にマイクロコントローラのフラッシュメモリを再プログラムする機能です。
- ICP （インサーキットプログラミング）：ICP は、ユーザアプリケーションボードにデバイスが搭載された状態で、JTAG プロトコルやSWD プロトコルまたはブートローダを用いて、マイクロコントローラのフラッシュメモリをプログラムする機能です。
- I-Code ：このバスによって、CPU コアの命令バスがフラッシュメモリの命令インタフェースに接続されます。このバスを経由して、プリフェッチが行われます。
- D-Code ：このバスによって、CPU のD-code バス（リテラルロードとデバッグアクセス）がフラッシュメモリデータインタフェースに接続されます。
- オプションバイト：フラッシュメモリに格納された製品構成ビット
- OBL ：オプションバイトローダ
- AHB ：アドバンストハイパフォーマンスバス
- CPU ：FPU搭載Cortex-M4 コアを参照してください。

1.3 使用可能なペリフェラル

全てのSTM32F405xx/07xx および STM32F415xx/17xx販売タイプにおける使用可能なペリフェラルとその型番についてはSTM32F405xx/07xx および STM32F415xx/17xx、データシートを参照してください。

全てのSTM32F42xxx および STM32F43xxx販売タイプにおける使用可能なペリフェラルとその型番については、STM32F42xxx および STM32F43xxxデータシートを参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

2 メモリとバスのアーキテクチャ

2.1 システムアーキテクチャ

STM32F405xx/07xx および STM32F415xx/17xx では、メインシステムは、以下のものを相互接続する 32 ビットマルチレイヤ AHB バスマトリクスで構成されています。

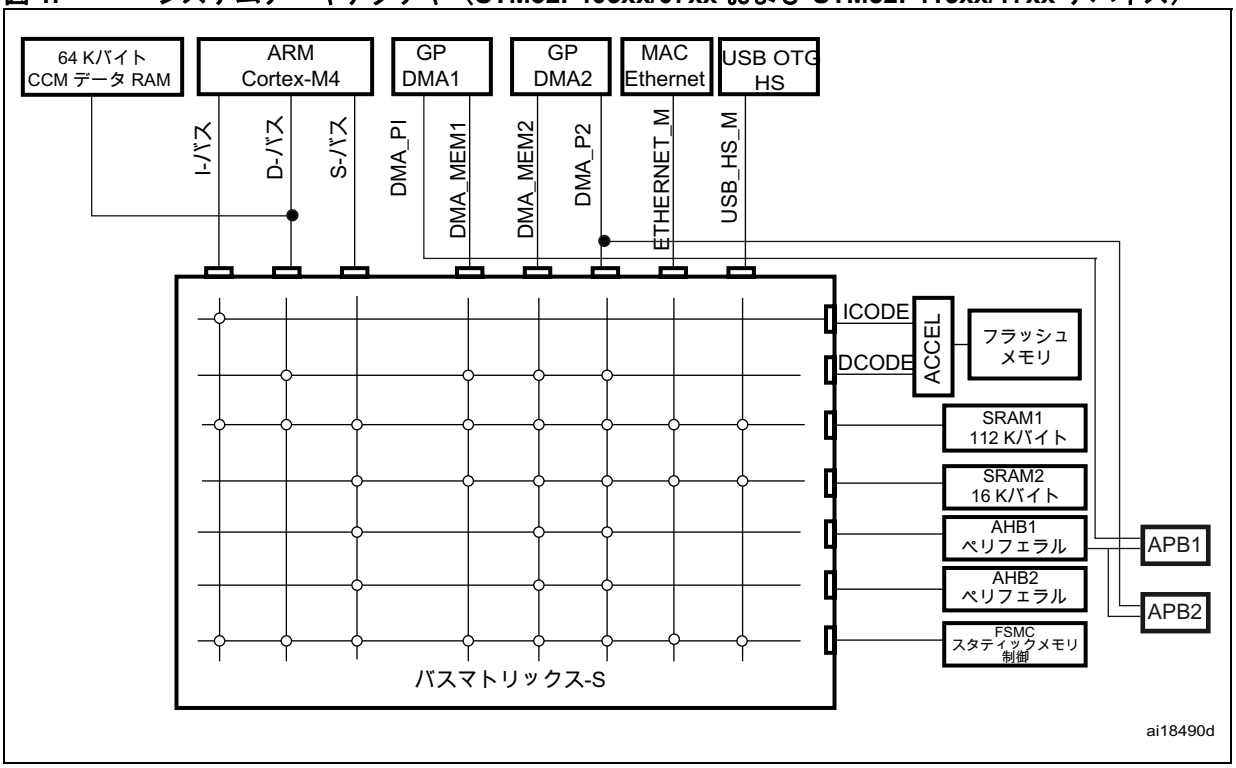
メインシステムは、以下のものを相互接続する 32 ビットマルチレイヤ AHB バスマトリクスで構成されています。

- 8 個のマスタ：
  - FPU 搭載 Cortex™-M4 コアの I-bus、D-bus、S-bus
  - DMA1 メモリバス
  - DMA2 メモリバス
  - DMA2 ペリフェラルバス
  - イーサネット DMA バス
  - USB OTG HS DMA バス
- 7 個のスレーブ：
  - 内蔵フラッシュメモリ ICode バス
  - 内蔵フラッシュメモリ DCode バス
  - メイン内蔵メモリ SRAM1（112 KB）
  - 補助内蔵メモリ SRAM2（16 KB）
  - AHB から APB へのブリッジおよび APB ペリフェラルを含む AHB1 ペリフェラル
  - AHB2 ペリフェラル
  - FSMC

複数の高速ペリフェラルが同時動作中であっても、バスマトリクスによって、マスタからスレーブへのアクセスが可能になるとともに、同時アクセスや効率的な動作を行うことが可能になっています。64 KB の CCM（コア直結メモリ）データ RAM は、バスマトリクスの一部とはなっていないため、CPU を通してのみアクセスが可能です。このアーキテクチャを*図 1* に示します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 1. システムアーキテクチャ（STM32F405xx/07xx および STM32F415xx/17xx デバイス）



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

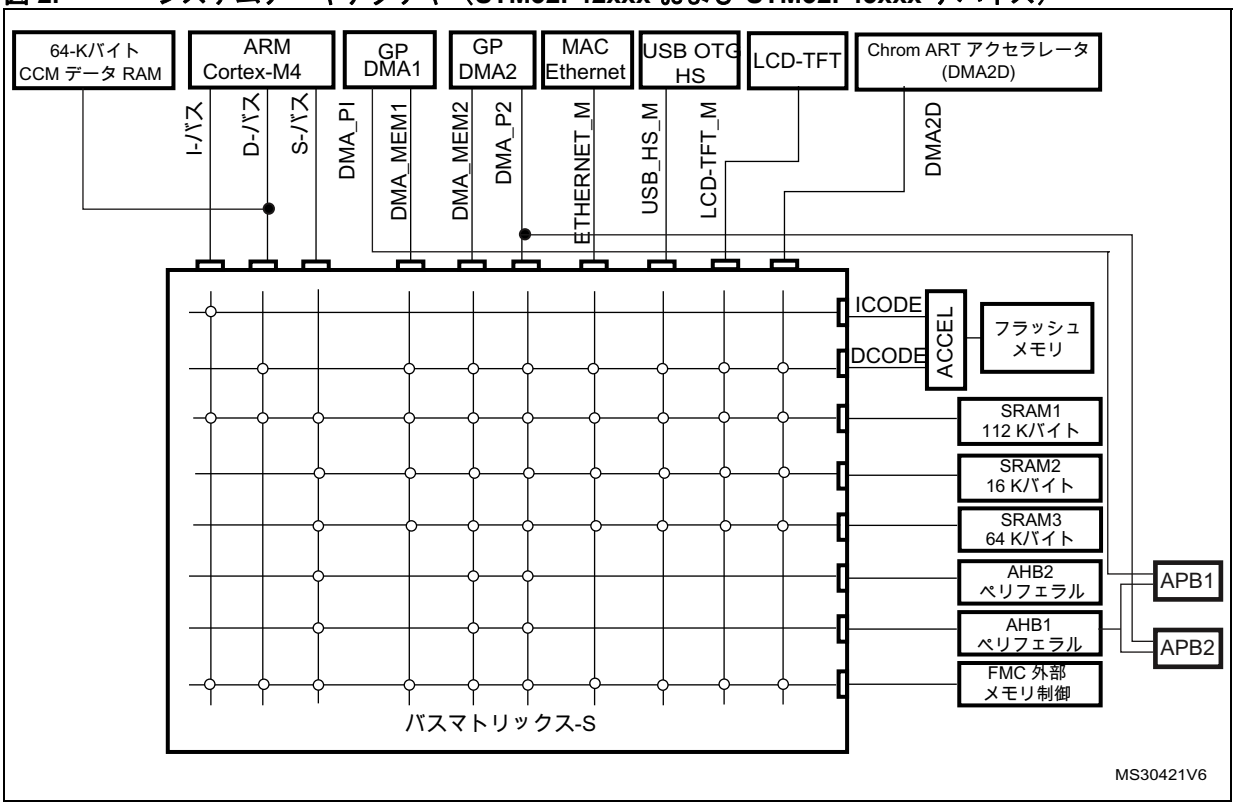
STM32F42xx および STM32F43xx デバイスにおいて、メインシステムは、以下のものを相互接続する32 ビットマルチレイヤAHB バスマトリクスで構成されています。

- 10 個のマスタ：
  - FPU搭載Cortex-M4 コア、I-bus、D-bus、S-bus
  - DMA1 メモリバス
  - DMA2 メモリバス
  - DMA2 ペリフェラルバス
  - イーサネット DMA バス
  - USB OTG HS DMA バス
  - LCD コントローラ DMA バス
  - DMA2D（Chrom-Art Accelerator™）メモリバス
- 8 個のスレーブ
  - 内蔵フラッシュメモリ ICode バス
  - 内蔵フラッシュメモリ DCode バス
  - メイン内蔵メモリ SRAM1（112 KB）
  - 補助内蔵メモリ SRAM2（16 KB）
  - 補助内蔵メモリ SRAM3（64 KB）
  - AHB から APB へのブリッジおよび APB ペリフェラルを含む AHB1 ペリフェラル
  - AHB2 ペリフェラル
  - FMC

複数の高速ペリフェラルが同時動作中であっても、バスマトリクスによって、マスタからスレーブへのアクセスが可能になるとともに、同時アクセスや効率的な動作を行うことが可能になっています。64 KB の CCM（コア直結メモリ）データ RAM は、バスマトリクスの一部とはなっていないため、CPU を通してのみアクセスが可能です。このアーキテクチャを*図 2* に示します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 2. システムアーキテクチャ（STM32F42xxx および STM32F43xxx デバイス）



2.1.1 I-bus

このバスによって、FPU 搭載 Cortex™-M4 コアの命令バスが、BusMatrix に接続されます。コアは、このバスを用いて命令をフェッチします。このバスの対象は、コードを保持するメモリです。（内蔵フラッシュメモリ／SRAM または、FSMC／FMC を経由した外部メモリ）

2.1.2 D-bus

このバスによって、FPU 搭載 Cortex™-M4 のデータバスが 64 KB CCM データ RAM から BusMatrix へと接続されます。このバスは、コアによってリテラルロードとデバッグアクセスに使用されます。このバスの対象は、コードまたはデータを含むメモリです（内蔵フラッシュメモリまたは FSMC／FMCを経由した外部メモリ）。

2.1.3 S-bus

このバスによって、FPU 搭載 Cortex™-M4 コアのシステムバスが、BusMatrix に接続されます。このバスを使用してペリフェラルまたは SRAM 内のデータにアクセスします。このバス上で、命令をフェッチすることもできます（ICode より低効率です）。このバスの対象となるのは、内蔵 SRAM1、SRAM2、SRAM3、および APB ペリフェラルを含む AHB1 ペリフェラル、AHB2 ペリフェラル、FSMC／FMC を経由した外部メモリです。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

2.1.4 DMA メモリバス

このバスによって、DMA メモリバスマスタインタフェースが BusMatrix に接続されます。このバスは、DMA がメモリとの間の転送に使用します。このバスの対象は、以下のデータメモリです。内蔵 SRAM（SRAM1、SRAM2、SRAM3）、FSMC／FMC を経由した外部メモリ。

2.1.5 DMA ペリフェラルバス

このバスによって、DMA ペリフェラルマスタバスインタフェースが BusMatrix に接続されます。このバスは、DMA が AHB ペリフェラルへのアクセス、またはメモリ間転送を行うために使用します。このバスの対象は、AHB および APB ペリフェラルおよびデータメモリであり、以下のとおりです。内蔵 SRAM（SRAM1、SRAM2、SRAM3）、FSMC／FMC を経由した外部メモリ。

2.1.6 Ethernet DMA バス

このバスによって、イーサネット DMA マスタインタフェースが BusMatrix に接続されます。このバスは、イーサネット DMA がメモリに対してデータを読み書きするために使用します。このバスの対象は、以下のデータメモリです。内蔵 SRAM（SRAM1、SRAM2、SRAM3）、内蔵フラッシュメモリ、、および FSMC／FMCを経由した外部メモリ。

2.1.7 USB OTG HS DMA バス

このバスによって、USB OTG HS DMA マスタインタフェースが BusMatrix に接続されます。このバスは、USB OTG DMA がメモリに対してデータを読み書きするために使用します。このバスの対象は、以下のデータメモリです。内蔵 SRAM（SRAM1、SRAM2、SRAM3）、内蔵フラッシュメモリ、、および FSMC／FMCを経由した外部メモリ。

2.1.8 LCD-TFT コントローラ DMA バス

このバスによって、LCD コントローラ DMA マスタインタフェースが BusMatrix に接続されます。このバスは、LCD-TFT DMA がメモリに対してデータを読み書きするために使用します。このバスの対象は、以下のデータメモリです。内蔵 SRAM（SRAM1、SRAM2、SRAM3）、FMC を経由した外部メモリ、および内蔵フラッシュメモリ。

2.1.9 DMA2D バス

このバスによって、DMA2D マスタインタフェースが BusMatrix に接続されます。このバスは、DMA2D グラフィックアクセラレータがメモリに対してデータを読み書きするために使用します。このバスの対象は、以下のデータメモリです。内蔵 SRAM（SRAM1、SRAM2、SRAM3）、FMC を経由した外部メモリ、および内蔵フラッシュメモリ。

2.1.10 BusMatrix

BusMatrix は、マスタ間のアクセス競合をラウンドロビン方式で管理します。

2.1.11 AHB／APB ブリッジ（APB）

2 つの AHB／APB ブリッジである APB1 と APB2 は、AHB および 2 つの APB バス間に完全同期接続を提供し、ペリフェラル周波数の柔軟な選択を可能にしています。

APB1 および APB2 最大周波数に関する詳細はデバイスデータシートを、AHB および APB ペリフェラルのアドレス割当てに関する詳細は*表 2* を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

各デバイスのリセット後、すべてのペリフェラルクロックは無効になります（SRAM とフラッシュメモリインタフェースは除きます）。ペリフェラルを使用する前に、RCC_AHBxENR または RCC_APBxENR レジスタでクロックを有効にする必要があります。

注： ***APB レジスタに 16 または 8 ビットアクセスが行われるときには、アクセスは 32 ビットアクセスに変換されます。すなわち、ブリッジが 16 または 8 ビットのデータを複製して、32 ビットのベクタを供給します。***

2.2 メモリ構成

プログラムメモリ、データメモリ、レジスタ、および入出力ポートは、同じ 4 GB のリニアなアドレス空間に配置されています。

バイトは、メモリ内でリトルエンディアン形式でコード化されます。ワード内で最も小さな番号のバイトがワードの最下位バイトとみなされ、最も大きな番号のバイトがワードの最上位バイトとみなされます。

周辺回路のレジスタの詳細なマッピングについては、該当する章を参照してください。

アドレス指定可能なメモリ空間は、それぞれ 512 MB の 8 つのメインブロックに分けられています。

オンチップメモリとペリフェラルに割り当てられていないメモリ領域はすべて、「予約済み」とみなされます。該当する製品データシートのメモリマッピング図を参照してください。

2.3 メモリマップ

包括的なメモリマッピング図については、お使いのデバイスに対応するデータシートを参照してください。*表 2* に、すべての STM32F4xx デバイスで使用可能なペリフェラルの境界アドレスを示します。

表 2. STM32F4xx レジスタ境界アドレス

境界アドレス	ペリフェラル	バス	レジスタマップ
0xA000 0000 - 0xA000 0FFF	FSMC control register (STM32F405xx/07xx および STM32F415xx/17xx)/FMC control register (STM32F42xxx および STM32F43xxx)	AHB3	*セクション 36.6.9:FSMC レジスタマップ(1611 ページ)* *セクション 37.8 : FMC レジスタマップ (1690 ページ)*
0x5006 0800 - 0x5006 0BFF	RNG	AHB2	*セクション 24.4.4 : RNG レジスタマップ (773 ページ)*
0x5006 0400 - 0x5006 07FF	HASH		*セクション 25.4.9 : HASH レジスタマップ (798 ページ)*
0x5006 0000 - 0x5006 03FF	CRYP		*セクション 23.6.13:CRYP レジスタマップ(764 ページ)*
0x5005 0000 - 0x5005 03FF	DCMI		*セクション 15.8.12:DCMI レジスタマップ(486 ページ)*
0x5000 0000 - 0x5003 FFFF	USB OTG FS		*セクション 34.16.6:OTG_FS レジスタマップ(1342 ページ)*

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 2. STM32F4xx レジスタ境界アドレス（続き）

境界アドレス	ペリフェラル	バス	レジスタマップ
0x4004 0000 - 0x4007 FFFF	USB OTG HS	AHB1	セクション 35.12.6 : OTG_HS レジスタマップ (1488 ページ)
0x4002 B000 - 0x4002 BBFF	DMA2D		セクション 11.5 : DMA2D レジスタ (355 ページ)
0x4002 9000 - 0x4002 93FF	ETHERNET MAC		セクション 33.8.5 : イーサネットレジスタマップ (1250 ページ)
0x4002 8C00 - 0x4002 8FFF			
0x4002 8800 - 0x4002 8BFF			
0x4002 8400 - 0x4002 87FF			
0x4002 8000 - 0x4002 83FF			
0x4002 6400 - 0x4002 67FF	DMA2		セクション 10.5.11 : DMA レジスタマップ (337 ページ)
0x4002 6000 - 0x4002 63FF	DMA1		
0x4002 4000 - 0x4002 4FFF	BKPSRAM		
0x4002 3C00 - 0x4002 3FFF	Flash interface register		セクション 3.9 : フラッシュインタフェースレジスタ
0x4002 3800 - 0x4002 3BFF	RCC		セクション 7.3.25 : RCC レジスタマップ (263 ページ)
0x4002 3000 - 0x4002 33FF	CRC		セクション 4.4.4 : CRC レジスタマップ (113 ページ)
0x4002 2800 - 0x4002 2BFF	GPIOK		セクション 8.4.11 : GPIO レジスタマップ (286 ページ)
0x4002 2400 - 0x4002 27FF	GPIOJ		
0x4002 2000 - 0x4002 23FF	GPIOI		セクション 8.4.11 : GPIO レジスタマップ (286 ページ)
0x4002 1C00 - 0x4002 1FFF	GPIOH		
0x4002 1800 - 0x4002 1BFF	GPIOG		
0x4002 1400 - 0x4002 17FF	GPIOF		
0x4002 1000 - 0x4002 13FF	GPIOE		
0x4002 0C00 - 0x4002 0FFF	GPIOD		
0x4002 0800 - 0x4002 0BFF	GPIOC		
0x4002 0400 - 0x4002 07FF	GPIOB		
0x4002 0000 - 0x4002 03FF	GPIOA		
0x4001 6800 - 0x4001 6BFF	LCD-TFT	APB2	セクション 16.7.26 : LTDC レジスタマップ (518 ページ)
0x4001 5800 - 0x4001 5BFF	SAI1		セクション 29.17.9 : SAI レジスタマップ (975 ページ)
0x4001 5400 - 0x4001 57FF	SPI6	APB2	セクション 28.5.10 : SPI レジスタマップ (933 ページ)
0x4001 5000 - 0x4001 53FF	SPI5		

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 2. STM32F4xx レジスタ境界アドレス（続き）

境界アドレス	ペリフェラル	バス	レジスタマップ
0x4001 4800 - 0x4001 4BFF	TIM11	APB2	セクション 19.5.11 : TIM10/11/13/14 のレジスタマップ (694 ページ)
0x4001 4400 - 0x4001 47FF	TIM10		
0x4001 4000 - 0x4001 43FF	TIM9		セクション 19.4.13 : TIM9/12 のレジスタマップ (685 ページ)
0x4001 3C00 - 0x4001 3FFF	EXTI		セクション 12.3.7 : EXTI レジスタマップ (390 ページ)
0x4001 3800 - 0x4001 3BFF	SYSCFG		セクション 9.2.8 : STM32F405xx/07xx および STM32F415xx/17xx SYSCFG レジスタマップ (293 ページ) および セクション 9.3.8 : STM32F42xxx および STM32F43xxx SYSCFG レジスタマップ (301 ページ)
0x4001 3400 - 0x4001 37FF	SPI4	APB2	セクション 28.5.10 : SPI レジスタマップ (933 ページ)
0x4001 3000 - 0x4001 33FF	SPI1	APB2	セクション 28.5.10 : SPI レジスタマップ (933 ページ)
0x4001 2C00 - 0x4001 2FFF	SDIO		セクション 31.9.16 : SDIO レジスタマップ (1084 ページ)
0x4001 2000 - 0x4001 23FF	ADC1 - ADC2 - ADC3		セクション 13.13.18:ADC レジスタマップ(437 ページ)
0x4001 1400 - 0x4001 17FF	USART6		セクション 30.6.8 : USART レジスタマップ (1027 ページ)
0x4001 1000 - 0x4001 13FF	USART1		
0x4001 0400 - 0x4001 07FF	TIM8		セクション 17.4.21 : TIM1 および TIM8 レジスタマップ (588 ページ)
0x4001 0000 - 0x4001 03FF	TIM1		
0x4000 7C00 - 0x4000 7FFF	UART8	APB1	セクション 30.6.8 : USART レジスタマップ (1027 ページ)
0x4000 7800 - 0x4000 7BFF	UART7		

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 2. STM32F4xx レジスタ境界アドレス（続き）

境界アドレス	ペリフェラル	バス	レジスタマップ
0x4000 7400 - 0x4000 77FF	DAC	APB1	セクション 14.5.15 : DAC レジスタマップ (464 ページ)
0x4000 7000 - 0x4000 73FF	PWR		セクション 5.6 : PWR レジスタマップ (146 ページ)
0x4000 6800 - 0x4000 6BFF	CAN2		セクション 32.9.5 : bxCAN レジスタマップ (1129 ページ)
0x4000 6400 - 0x4000 67FF	CAN1		
0x4000 5C00 - 0x4000 5FFF	I2C3		セクション 27.6.11 : I2C レジスタマップ (877 ページ)
0x4000 5800 - 0x4000 5BFF	I2C2		
0x4000 5400 - 0x4000 57FF	I2C1		
0x4000 5000 - 0x4000 53FF	UART5		セクション 30.6.8 : USART レジスタマップ (1027 ページ)
0x4000 4C00 - 0x4000 4FFF	UART4		
0x4000 4800 - 0x4000 4BFF	USART3		
0x4000 4400 - 0x4000 47FF	USART2		
0x4000 4000 - 0x4000 43FF	I2S3ext		セクション 28.5.10 : SPI レジスタマップ (933 ページ)
0x4000 3C00 - 0x4000 3FFF	SPI3 / I2S3		
0x4000 3800 - 0x4000 3BFF	SPI2 / I2S2		
0x4000 3400 - 0x4000 37FF	I2S2ext		
0x4000 3000 - 0x4000 33FF	IWDG		セクション 21.4.5 : IWDG レジスタマップ (712 ページ)
0x4000 2C00 - 0x4000 2FFF	WWDG		セクション 22.6.4 : WWDG レジスタマップ (719 ページ)
0x4000 2800 - 0x4000 2BFF	RTC & BKP Registers		セクション 26.6.21 : RTC レジスタマップ (838 ページ)
0x4000 2000 - 0x4000 23FF	TIM14		セクション 19.5.11 : TIM10/11/13/14 のレジスタマップ (694 ページ)
0x4000 1C00 - 0x4000 1FFF	TIM13		
0x4000 1800 - 0x4000 1BFF	TIM12		セクション 19.4.13 : TIM9/12 のレジスタマップ (685 ページ)
0x4000 1400 - 0x4000 17FF	TIM7		セクション 20.4.9 : TIM6 および TIM7 レジスタマップ (706 ページ)
0x4000 1000 - 0x4000 13FF	TIM6		
0x4000 0C00 - 0x4000 0FFF	TIM5		セクション 18.4.21 : TIMx レジスタマップ (651 ページ)
0x4000 0800 - 0x4000 0BFF	TIM4		
0x4000 0400 - 0x4000 07FF	TIM3		
0x4000 0000 - 0x4000 03FF	TIM2		

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

2.3.1 内蔵 SRAM

STM32F405xx/07xx および STM32F415xx/17xx には、4 KB のバックアップ SRAM（*セクション 5.1.2：バッテリバックアップドメイン*を参照）の他、192 KB のシステム SRAM があります。

STM32F42xxx および STM32F43xxx には、4 KB のバックアップ SRAM（*セクション 5.1.2：バッテリバックアップドメイン*を参照）の他、256 KB のシステム SRAM があります。

内蔵 SRAM は、バイト、ハーフワード（16 ビット）、またはフルワード（32 ビット）によるアクセスが可能です。読出し／書込み操作は、ウェイトステート 0 個の CPU 速度で実施されます。内蔵 SRAM は、最大 3 つのブロックに分割されます。

- アドレス 0x2000 0000 に割り当てられ、すべての AHB マスタがアクセス可能な SRAM1 および SRAM2
- アドレス 0x2002 0000 に割り当てられ、すべての AHB マスタがアクセス可能な SRAM3（STM32F42xxx および STM32F43xxx で利用可能）
- アドレス 0x1000 0000 に割り当てられ、D-bus を通じて CPU のみがアクセス可能な CCM（コア直結メモリ）

AHB マスタは、イーサネットまたは USB OTG HS からの SRAM への同時アクセスをサポートしています。たとえばイーサネット MAC は、CPU が SRAM1 または SRAM3 との読出し／書込みをしている間に、SRAM2 との読出し／書込みができます。

CPU は、SRAM からのブートが選択されている場合、または物理的な再割当てが選択されている場合に、システムバスまたは I-Code／D-Code バスを通じて SRAM1、SRAM2、SRAM3 にアクセスできます（SYSCFG コントローラの*セクション 9.2.1：SYSCFG メモリ再配置レジスタ（SYSCFG_MEMRMP）*）。SRAM 実行のパフォーマンスを最大にするには、物理的な再割当てを選択します（ブートまたはソフトウェア選択）。

2.3.2 フラッシュメモリ概要

フラッシュメモリインタフェースは、フラッシュメモリへの CPU AHB I-Code および D-Code アクセスを管理します。消去を実行し、フラッシュメモリ操作そして読出し／書込み保護メカニズムをプログラムします。また、命令プリフェッチおよびキャッシュラインでコードの実行を加速します。

フラッシュメモリは、次のように構成されています。

- セクタに分割されたメインメモリブロック
- システムメモリブートモードでデバイスがブートするシステムメモリ
- 1 度だけプログラムが可能な、ユーザデータ用の 512 バイト
- デバイスが STANDBY または STOP モードのときに読出し／書込み保護、BOR レベル、ウォッチドッグソフトウェア／ハードウェアおよびリセットを設定するオプションのバイト

詳細については、*セクション 3：内蔵フラッシュメモリインタフェースを参照してください。*

2.3.3 ビットバンディング

FPU 搭載 Cortex™-M4 のメモリマップには、2 つのビットバンド領域が含まれています。これらの領域は、メモリのエイリアス領域の各ワードをメモリのビットバンド領域のビットに割り当てます。エイリアス領域のワードへの書込みは、ビットバンド領域の対象ビットへの読出し／変更／書込み操作と同じ効果を持ちます。

STM32F4xx デバイスでは、ペリフェラルレジスタも SRAM もビットバンド領域に割り当てられますので、1 回のビットバンドの書込みと読出し操作が許可されます。操作は FPU 搭載 Cortex™-M4 アクセスでのみ可能であり、他のバスマスタ（DMA など）からはできません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

マッピングの計算式は、エイリアス領域の各ワードからビットバンド領域の対応するビットを参照する方法を示します。マッピング式は、次のとおりです。

bit_word_addr = *bit_band_base* + (*byte_offset* x 32) + (*bit_number* × 4)

ここで、

– bit_word_addr は、対象ビットに割り当てられるエイリアスメモリ領域内のワードのアドレスです。
– bit_band_base は、エイリアス領域の開始アドレスです。
– byte_offset は、対象ビットを含むビットバンド領域のバイト数です。
– bit_number は、対象ビットのビット位置（0-7）です。

例

次の例は、SRAM アドレス 0x20000300 にあるバイトのビット 2 がどのようにエイリアス領域に割り当てられるかを示します。

0x22006008 = 0x22000000 + (0x300*32) + (2*4)

アドレス 0x22006008 への書込みは、SRAM アドレス 0x20000300 のバイトのビット 2 に対して読出し／変更／書込み操作を実行するのと同じ効果があります。

アドレス 0x22006008 を読み出すと、SRAM アドレス 0x20000300 のバイトのビット 2 の値（0x01 または 0x00）が返されます（ビットがセットされていれば 0x01、リセットされていれば 0x00）。

ビットバンディングの詳細については、FPU 搭載 Cortex™-M4 プログラミングマニュアル（*関連ドキュメント（1 ページ）*参照）を参照してください。

2.4 ブート設定

固定メモリマップにより、コード領域はアドレス 0x0000 0000 から始まり（ICode/DCode バス経由でアクセス）、データ領域（SRAM）はアドレス 0x2000 0000 から始まります（システムバス経由でアクセス）。FPU 搭載 Cortex™-M4 CPU は、常に ICode バスのリセットベクタをフェッチします。これは、ブート領域はコード領域（一般にはフラッシュメモリ）でのみ使用可能なことを意味します。STM32F4xx マイクロコントローラは、内蔵 SRAM などの他のメモリからブートできる特殊なメカニズムを実装しています。

STM32F4xx では、*表 3* に示すように、BOOT[1:0] ピンによって 3 種類のブートモードを選択できます。

表 3. ブートモード

ブートモード選択ピン		ブートモード	エイリアシング
BOOT1	BOOT0		
x	0	メインフラッシュメモリ	メインフラッシュメモリがブート領域として選択されます。
0	1	システムメモリ	システムメモリがブート領域として選択されます。
1	1	内蔵 SRAM	内蔵 SRAM がブート領域として選択されます。

BOOT ピンの値は、リセット後、SYSCLK の 4 番目の立上りエッジでラッチされます。ユーザは、リセット後に BOOT1 と BOOT0 ピンを設定して必要なブートモードを指定します。

BOOT0 は専用ピンですが、BOOT1 は GPIO ピンと共有となっています。BOOT1 がサンプリングされると該当する GPIO ピンが解放され、別の目的に使用できるようになります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

BOOT ピンは、デバイスが STANDBY モードを終了するときにも再度サンプリングされます。したがって、これらのピンはデバイスが STANDBY モードのときでも必要なブートモード設定に保たれる必要があります。このスタートアップ遅延が終了すると、CPU はアドレス 0x0000 0000 からスタック最上位の値をフェッチし、0x0000 0004 から始まるブートメモリからコード実行を開始します。

注： ***アプリケーションの初期化コードでデバイスが SRAM からブートするときには、NVIC 例外テーブルとオフセットレジスタを使用して、SRAM のベクタテーブルを再配置する必要があります。***

STM32F42xxx および STM32F43xxx デバイスでは、メインフラッシュメモリからブートする際、アプリケーションソフトウェアをバンク 1 またはバンク 2 のいずれかからブートできます。デフォルトでは、バンク 1 からのブートが選択されています。

フラッシュメモリバンク 2 からのブートを選択するには、ユーザオプションバイトの BFB2 ビットをクリアします。このビットがセットされ、ブートピンがメイン フラッシュメモリからのブート構成になっているとき、デバイスはシステムメモリからブートし、ブートローダはジャンプして、フラッシュメモリのバンク 2 でプログラミングされているユーザアプリケーションを実行します。詳細については、AN2606 を参照してください。

注： ***アプリケーションの初期化コードでバンク 2 からブートするときには、NVIC 例外テーブルとオフセットレジスタを使用して、ベクタテーブルをバンク 2 のベースアドレス（0x0808 0000）に再配置する必要があります。***

内蔵ブートローダ

次のシリアルインタフェースのいずれかを使用してフラッシュメモリを再プログラムするには、内蔵ブートローダモードを使用します。

- USART1（PA9／PA10）
- USART3（PB10／11 および PC10／11）
- CAN2（PB5／13）
- デバイスモードで USB OTG FS（PA11／12）（DFU : デバイスファームウェアアップグレード）

USART ペリフェラルは内部 16 MHz オシレータ（HSI）周波数で動作しますが、CAN および USB OTG FS は、1 MHz の倍数である外部クロック（HSE）（4 から 26 MHz）が必要です。

内蔵ブートローダコードは、システムメモリに配置されます。これは生産時に ST によってプログラムされています。詳細については、アプリケーションノート AN2606 を参照してください。

STM32F405xx/07xx および STM32F415xx/17xx での物理的な再割当て

ブートピンを選択したら、アプリケーションソフトウェアはコード領域でアクセス可能なメモリを変更できます（このようにするとシステムバスの代わりに ICode バスを使ってコードを実行できます）。この変更は、SYSCFG コントローラで *セクション 9.2.1 : SYSCFG メモリ再配置レジスタ (SYSCFG_MEMRMP)* をプログラムして実行します。

その後、次のメモリが再割当て可能となります。

- メインフラッシュメモリ
- システムメモリ
- 内蔵 SRAM1（112 KB）
- FSMC バンク 1（NOR／PSRAM 1 および 2）

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 4. メモリ割当てとブートモード／物理的な再割当て（STM32F405xx/07xx および STM32F415xx/17xx）

アドレス	メインフラッシュメモリでのブート／再割当て	内蔵 SRAM でのブート／再割当て	システムメモリでのブート／再割当て	FSMC での再割当て
0x2001 C000 - 0x2001 FFFF	SRAM2（16 KB）	SRAM2（16 KB）	SRAM2（16 KB）	SRAM2（16 KB）
0x2000 0000 - 0x2001 BFFF	SRAM1（112 KB）	SRAM1（112 KB）	SRAM1（112 KB）	SRAM1（112 KB）
0x1FFF 0000 - 0x1FFF 77FF	システムメモリ	システムメモリ	システムメモリ	システムメモリ
0x0810 0000 - 0x0FFF FFFF	予約済み	予約済み	予約済み	予約済み
0x0800 0000 - 0x080F FFFF	フラッシュメモリ	フラッシュメモリ	フラッシュメモリ	フラッシュメモリ
0x0400 0000 - 0x07FF FFFF	予約済み	予約済み	予約済み	FSMC バンク 1 NOR／PSRAM 2（エイリアス）
0x0000 0000 - 0x03FF FFFF(1)(2)	フラッシュ（1 MB）、エイリアス	SRAM1（112 KB）、エイリアス	システムメモリ（30 KB）、エイリアス	FSMC バンク 1 NOR／PSRAM 1（エイリアス）

1. FSMC がアドレス 0x0000 0000 で再割り当てされると、バンク 1 メモリコントローラ（バンク 1 NOR／PSRAM 1 および NOR／PSRAM 2）の最初の 2 つの領域のみ再割当て可能となります。再割当てモードでは、CPU がパフォーマンスを高めるシステムバスではなく ICode バスを通じて外部メモリにアクセスできます。
2. ブートメモリ空間に割り当てられている関連メモリは、同時にメモリとしての通常のアドレスからもアクセスが可能です。

STM32F42xxx および STM32F43xxx での物理的な再割当て

ブートピンを選択したら、アプリケーションソフトウェアはコード領域でアクセス可能なメモリを変更できます（このようにするとシステムバスの代わりに ICode バスを使ってコードを実行できます）。この変更は、SYSCFG コントローラで *セクション 9.2.1 : SYSCFG メモリ再配置レジスタ (SYSCFG_MEMRMP)* をプログラムして実行します。

その後、次のメモリが再割当て可能となります。

- メインフラッシュメモリ
- システムメモリ
- 内蔵 SRAM1（112 KB）
- FMC バンク 1（NOR／PSRAM 1 および 2）
- FMC SDRAM バンク 1／2

表 5. メモリ割当てとブートモード／物理的な再割当て（STM32F42xxx および STM32F43xxx ）

アドレス	メインフラッシュメモリでのブート／再割当て	内蔵 SRAM でのブート／再割当て	システムメモリでのブート／再割当て	FMC での再割当て
0x2002 0000 - 0x2002 FFFF	SRAM3（64 KB）	SRAM3（64 KB）	SRAM3（64 KB）	SRAM3（64 KB）
0x2001 C000 - 0x2001 FFFF	SRAM2（16 KB）	SRAM2（16 KB）	SRAM2（16 KB）	SRAM2（16 KB）
0x2000 0000 - 0x2001 BFFF	SRAM1（112 KB）	SRAM1（112 KB）	SRAM1（112 KB）	SRAM1（112 KB）
0x1FFF 0000 - 0x1FFF 77FF	システムメモリ	システムメモリ	システムメモリ	システムメモリ
0x0810 0000 - 0x0FFF FFFF	予約済み	予約済み	予約済み	予約済み
0x0800 0000 - 0x080F FFFF	フラッシュメモリ	フラッシュメモリ	フラッシュメモリ	フラッシュメモリ

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 5. メモリ割当てとブートモード／物理的な再割当て（STM32F42xxx および STM32F43xxx（続き））

アドレス	メインフラッシュメモリでのブート／再割当て	内蔵 SRAM でのブート／再割当て	システムメモリでのブート／再割当て	FMC での再割当て
0x0400 0000 - 0x07FF FFFF	予約済み	予約済み	予約済み	FMC バンク 1 NOR／PSRAM 2（エイリアス）または FMC SDRAM バンク 2（エイリアス）
0x0000 0000 - 0x03FF FFFF(1)(2)	フラッシュ（2 MB）、エイリアス	SRAM1（112 KB）、エイリアス	システムメモリ（30 KB）、エイリアス	FMC バンク 1 NOR／PSRAM 1（エイリアス）または FMC SDRAM バンク 1（エイリアス）

1. FMC がアドレス 0x0000 0000 で再割り当てされると、バンク 1 メモリコントローラ（バンク 1 NOR／PSRAM 1 および NOR／PSRAM 2）または SDRAM バンク 1 およびバンク 2 の最初の 2 つの領域のみ再割当て可能となります。再割当てモードでは、CPU がパフォーマンスを高めるシステムバスではなく ICode バスを通じて外部メモリにアクセスできます。
2. ブートメモリ空間に割り当てられている関連メモリは、同時にメモリとしての通常のアドレスからもアクセスが可能です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

3 内蔵フラッシュメモリインタフェース

3.1 概要

フラッシュメモリインタフェースは、フラッシュメモリへの CPU AHB I-Code および D-Code アクセスを管理します。消去を実行し、フラッシュメモリ操作そして読出し／書込み保護メカニズムをプログラムします。

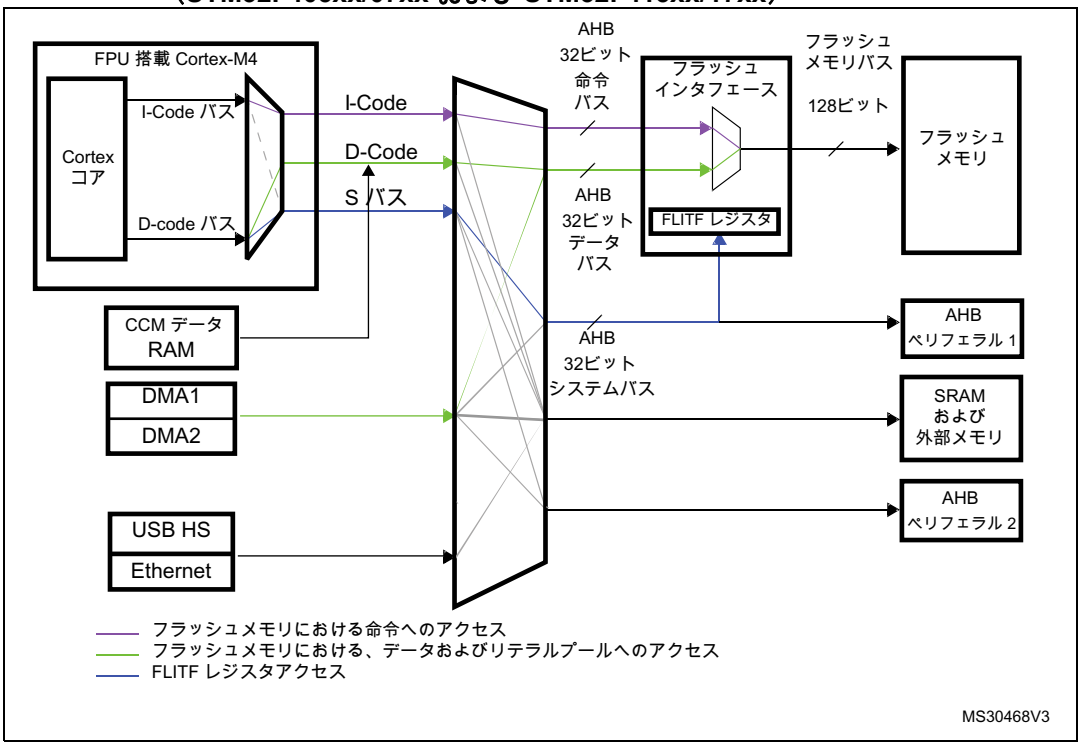
また、命令プリフェッチおよびキャッシュラインでコードの実行を加速します。

3.2 主な特長

- フラッシュメモリ読出し操作
- フラッシュメモリプログラム／消去操作
- 読出し／書込み保護
- I-Code でプリフェッチ
- I-Code で 128 ビットのキャッシュライン 64 本
- D-Code で 128 ビットのキャッシュライン 8 本

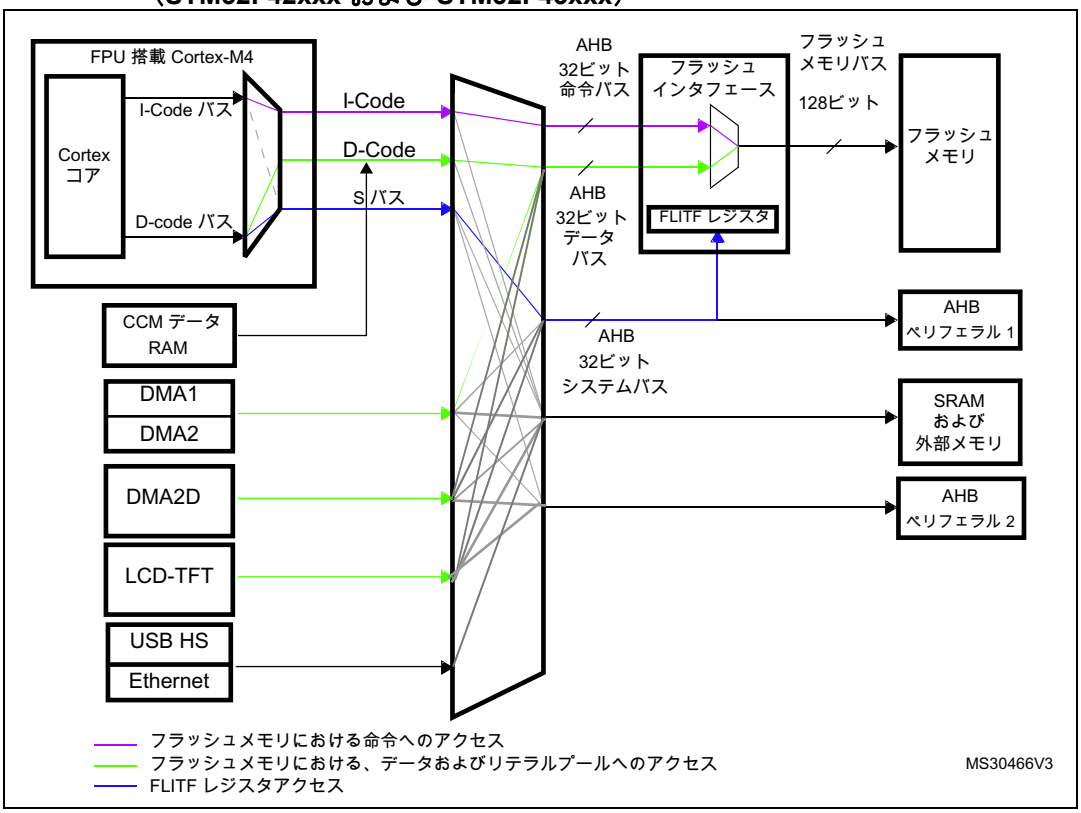
図 3 は、システムアーキテクチャ内のフラッシュメモリインタフェース接続を示しています。

図 3. システムアーキテクチャ内のフラッシュメモリインタフェース接続（STM32F405xx/07xx および STM32F415xx/17xx）



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 4. システムアーキテクチャ内のフラッシュメモリインタフェース接続（STM32F42xxx および STM32F43xxx）



3.3 内蔵フラッシュメモリ（STM32F405xx/07xx および STM32F415xx/17xx）

フラッシュメモリは、以下のような主な特徴を備えています。

- 最大容量 1 MB
- 128 ビット幅のデータ読出し
- バイト、ハーフワード、ワード、ダブルワードでの書込み
- セクタ消去と全体消去
- メモリ構成

  フラッシュメモリは、次のように構成されています。

  – 16 KB のセクタ 4 つ、64 KB のセクタ 1 つ、128 KB のセクタ 7 つに分割されたメインメモリブロック

  – システムメモリブートモードでデバイスがブートするシステムメモリ

  – 1 度だけプログラムが可能な、ユーザデータ用の 512 バイト

  1 度だけプログラム可能なエリア（OTP エリア）には、該当する OTP データブロックをロックする付加的な 16 バイトがあります。

  – デバイスが STANDBY または STOP モードのときに読出し／書込み保護、BOR レベル、ウォッチドッグソフトウェア／ハードウェアおよびリセットを設定するオプションのバイト
- 低電力モード（詳細についてはリファレンスマニュアルの電源管理（PWR）のセクションを参照）

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 6. フラッシュモジュール構成 （STM32F40x および STM32F41x）

ブロック	名前	ブロックのベースアドレス	サイズ
メインメモリ	セクタ 0	0x0800 0000 - 0x0800 3FFF	16 KB
	セクタ 1	0x0800 4000 - 0x0800 7FFF	16 KB
	セクタ 2	0x0800 8000 - 0x0800 BFFF	16 KB
	セクタ 3	0x0800 C000 - 0x0800 FFFF	16 KB
	セクタ 4	0x0801 0000 - 0x0801 FFFF	64 KB
	セクタ 5	0x0802 0000 - 0x0803 FFFF	128 KB
	セクタ 6	0x0804 0000 - 0x0805 FFFF	128 KB
	・ ・ ・	・ ・ ・	・ ・ ・
	セクタ 11	0x080E 0000 - 0x080F FFFF	128 KB
システムメモリ		0x1FFF 0000 - 0x1FFF 77FF	30 KB
OTP エリア		0x1FFF 7800 - 0x1FFF 7A0F	528バイト
オプションバイト		0x1FFF C000 - 0x1FFF C00F	16バイト

3.4 内蔵フラッシュメモリ（STM32F42xxx および STM32F43xxx）

フラッシュメモリは、以下のような主な特徴を備えています。

- 最大容量 2MB、書込み中読出し（RWW）機能に対応するデュアルバンクアーキテクチャ：
- 128 ビット幅のデータ読出し
- バイト、ハーフワード、ワード、ダブルワードでの書込み
- セクタ消去、バンク消去、全体消去（両バンク）
- デュアルバンクメモリ構成

  フラッシュメモリは、次のように構成されています。

  – 各バンクにつき、16 KB のセクタ 4 つ、64 KB のセクタ 1 つ、128 KB のセクタ 7 つに分割されたメインメモリブロック（1 MB）

  – システムメモリブートモードでデバイスがブートするシステムメモリ

  – 1 度だけプログラムが可能な、ユーザデータ用の 512 バイト

  1 度だけプログラム可能なエリア（OTP エリア）には、該当する OTP データブロックをロックする付加的な 16 バイトがあります。

  – デバイスが STANDBY または STOP モードのときに読出し／書込み保護、BOR レベル、ウォッチドッグ、デュアルバンクブートモード、デュアルバンク機能、ソフトウェア／ハードウェアおよびリセットを設定するオプションのバイト

- 1 MB デバイスでのデュアルバンク構成

  1 MB デバイスでのデュアルバンク機能は、DB1M オプションビットをセットすると有効になります。

  デュアルバンクフラッシュメモリを取得するため、シングルバンク（セクタ [8:11]）の最後の 512 KB は最初の 512 KB と同じように再構成されます。

  デュアルバンクメモリ構成のセクタの番号の振り方は、シングルバンクの場合とは異なります。シングルバンクメモリにはセクタが 12 個あるのに対し、デュアルバンクメモリにはセクタが 16

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

個あります（*表 8：1 MB のフラッシュメモリのシングルバンク構成とデュアルバンク構成（STM32F42xxx および STM32F43xxx）*参照）。

消去操作では、DB1M オプションビットに従い、正しいセクタ番号を考慮する必要があります。

– DB1M ビットがリセットされたら、デフォルトのセクタ番号に消去操作を実施する必要があります。

– DB1M ビットがセットされたときにバンク 2 に消去操作を実施するには、セクタ番号をプログラムする必要があります（セクタ番号 12 から 19）。SNB（セクタ番号）設定については、FLASH_CR レジスタを参照してください。

1 MB のシングルバンクおよび 1 MB のデュアルバンク構成についての詳細は、*表 9：1 MB のシングルバンクのフラッシュメモリ構成（STM32F42xxx および STM32F43xxx）*および *表 10：1 MB のデュアルバンクのフラッシュメモリ構成（STM32F42xxx および STM32F43xxx）*を参照してください。

表 7. フラッシュモジュール - 2 MB のデュアルバンク構成（STM32F42xxx および STM32F43xxx）

ブロック	バンク	名前	ブロックのベースアドレス	サイズ
メインメモリ	バンク 1	セクタ 0	0x0800 0000 - 0x0800 3FFF	16 KB
		セクタ 1	0x0800 4000 - 0x0800 7FFF	16 KB
		セクタ 2	0x0800 8000 - 0x0800 BFFF	16 KB
		セクタ 3	0x0800 C000 - 0x0800 FFFF	16 KB
		セクタ 4	0x0801 0000 - 0x0801 FFFF	64 KB
		セクタ 5	0x0802 0000 - 0x0803 FFFF	128 KB
		セクタ 6	0x0804 0000 - 0x0805 FFFF	128 KB
		-	-	-
		-	-	-
		-	-	-
		セクタ 11	0x080E 0000 - 0x080F FFFF	128 KB
	バンク 2	セクタ 12	0x0810 0000 - 0x0810 3FFF	16 KB
		セクタ 13	0x0810 4000 - 0x0810 7FFF	16 KB
		セクタ 14	0x0810 8000 - 0x0810 BFFF	16 KB
		セクタ 15	0x0810 C000 - 0x0810 FFFF	16 KB
		セクタ 16	0x0811 0000 - 0x0811 FFFF	64 KB
		セクタ 17	0x0812 0000 - 0x0813 FFFF	128 KB
		セクタ 18	0x0814 0000 - 0x0815 FFFF	128 KB
			-	-
			-	-
			-	-
		セクタ 23	0x081E 0000 - 0x081F FFFF	128 KB
システムメモリ			0x1FFF 0000 - 0x1FFF 77FF	30 KB
OTP			0x1FFF 7800 - 0x1FFF 7A0F	528バイト
オプションバイト	バンク 1		0x1FFF C000 - 0x1FFF C00F	16バイト
	バンク 2		0x1FFE C000 - 0x1FFE C00F	16バイト

この資料は、STMicroelectronics NV 並びにその子会社（以下 ST）が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 8. 1 MB のフラッシュメモリのシングルバンク構成とデュアルバンク構成（STM32F42xxx および STM32F43xxx）

1 MB のシングルバンクのフラッシュメモリ（デフォルト）			1 MB のデュアルバンクのフラッシュメモリ		
DB1M=0			DB1M=1		
メインメモリ	セクタ番号	セクタサイズ	メインメモリ	セクタ番号	セクタサイズ
1 MB	セクタ 0	16 KB	バンク 1 512 KB	セクタ 0	16 KB
	セクタ 1	16 KB		セクタ 1	16 KB
	セクタ 2	16 KB		セクタ 2	16 KB
	セクタ 3	16 KB		セクタ 3	16 KB
	セクタ 4	64 KB		セクタ 4	64 KB
	セクタ 5	128 KB		セクタ 5	128 KB
	セクタ 6	128 KB		セクタ 6	128 KB
	セクタ 7	128 KB		セクタ 7	128 KB
	セクタ 8	128 KB	バンク 2 512KB	セクタ 12	16 KB
	セクタ 9	128 KB		セクタ 13	16 KB
	セクタ 10	128 KB		セクタ 14	16 KB
	セクタ 11	128 KB		セクタ 15	16 KB
	-	-		セクタ 16	64 KB
	-	-		セクタ 17	128 KB
	-	-		セクタ 18	128 KB
	-	-		セクタ 19	128 KB

表 9. 1 MB のシングルバンクのフラッシュメモリ構成（STM32F42xxx および STM32F43xxx）

ブロック	バンク	名前	ブロックのベースアドレス	サイズ
メインメモリ	シングルバンク	セクタ 0	0x0800 0000 - 0x0800 3FFF	16 KB
		セクタ 1	0x0800 4000 - 0x0800 7FFF	16 KB
		セクタ 2	0x0800 8000 - 0x0800 BFFF	16 KB
		セクタ 3	0x0800 C000 - 0x0800 FFFF	16 KB
		セクタ 4	0x0801 0000 - 0x0801 FFFF	64 KB
		セクタ 5	0x0802 0000 - 0x0803 FFFF	128 KB
		セクタ 6	0x0804 0000 - 0x0805 FFFF	128 KB
		セクタ 7	0x0806 0000 - 0x0807 FFFF	128 KB
		セクタ 8	0x0808 0000 - 0x0809 FFFF	128 KB
		セクタ 9	0x080A 0000 - 0x080B FFFF	128 KB
		セクタ 10	0x080C 0000 - 0x080D FFFF	128 KB
		セクタ 11	0x080E 0000 - 0x080F FFFF	128 KB
システムメモリ			0x1FFF 0000 - 0x1FFF 77FF	30 KB
OTP			0x1FFF 7800 - 0x1FFF 7A0F	528バイト

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 9. 1 MB のシングルバンクのフラッシュメモリ構成（STM32F42xxx および STM32F43xxx）（続き）

ブロック	バンク	名前	ブロックのベースアドレス	サイズ
オプションバイト			0x1FFF C000 - 0x1FFF C00F	16バイト
			0x1FFE C000 - 0x1FFE C00F	16バイト

表 10. 1 MB のデュアルバンクのフラッシュメモリ構成（STM32F42xxx および STM32F43xxx）

ブロック		名前	ブロックのベースアドレス	サイズ
メインメモリ	バンク 1	セクタ 0	0x0800 0000 - 0x0800 3FFF	16 KB
		セクタ 1	0x0800 4000 - 0x0800 7FFF	16 KB
		セクタ 2	0x0800 8000 - 0x0800 BFFF	16 KB
		セクタ 3	0x0800 C000 - 0x0800 FFFF	16 KB
		セクタ 4	0x0801 0000 - 0x0801 FFFF	64 KB
		セクタ 5	0x0802 0000 - 0x0803 FFFF	128 KB
		セクタ 6	0x0804 0000 - 0x0805 FFFF	128 KB
		セクタ 7	0x0806 0000 - 0x0807 FFFF	128 KB
	バンク 2	セクタ 12	0x0808 0000 - 0x0808 3FFF	16 KB
		セクタ 13	0x0808 4000 - 0x0808 7FFF	16 KB
		セクタ 14	0x0808 0000 - 0x0808 BFFF	16 KB
		セクタ 15	0x0808 C000 - 0x0808 FFFF	16 KB
		セクタ 16	0x0809 0000 - 0x0809 FFFF	64 KB
		セクタ 17	0x080A 0000 - 0x080B FFFF	128 KB
		セクタ 18	0x080C 0000 - 0x080D FFFF	128 KB
		セクタ 19	0x080E 0000 - 0x080F FFFF	16 KB
システムメモリ			0x1FFF 0000 - 0x1FFF 77FF	30 KB
OTP			0x1FFF 7800 - 0x1FFF 7A0F	528バイト
オプションバイト	バンク 1		0x1FFF C000 - 0x1FFF C00F	16バイト
	バンク 2		0x1FFE C000 - 0x1FFE C007	16バイト

3.5 読出しインタフェース

3.5.1 CPU クロック周波数とフラッシュメモリ読出し時間との関係

データをフラッシュメモリから正しく読み出すには、CPU クロック（HCLK）の周波数およびデバイスの供給電圧に従ってフラッシュアクセス制御レジスタ（FLASH_ACR）でウェイトステート（LATENCY）の数を正しくプログラムする必要があります。

供給電圧が 2.1V 未満のときは、プリフェッチバッファを無効にする必要があります。ウェイトステートと CPU クロック周波数との対応は、*表 11* および *表 12* に記載されています。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

注： *STM32F405xx/07xx および STM32F415xx/17xx デバイスの場合：*

- VOS =”0”のとき、f_{HCLK} の最大値 = 144 MHz.

- VOS =”1”のとき、f_{HCLK} の最大値 = 168 MHz.

STM32F42xxx および STM32F43xxx デバイスの場合：

- VOS[1:0] =”0x01”のとき、f_{HCLK} の最大値 = 120 MHz

- VOS[1:0] =”0x10”のとき、f_{HCLK} の最大値 = 144 MHzオーバーライドモードをアクティブにすると、これを 168 MHz まで拡大することができます。

- VOS[1:0] =”0x11”のとき、f_{HCLK} の最大値 = 168 MHzオーバーライドモードをアクティブにすると、これを 180 MHz まで拡大することができます。

オーバードライブモードのアクティベートの方法については、セクション 5.1.4：STM32F42xxx および STM32F43xxx の電圧レギュレータ を参照してください。

表 11. CPU クロック（HCLK）周波数によるウェイトステート数（STM32F405xx/07xx および STM32F415xx/17xx）

ウェイトステート（WS）（LATENCY）	HCLK (MHz)			
	電圧範囲 2.7 V - 3.6 V	電圧範囲 2.4 V - 2.7 V	電圧範囲 2.1 V - 2.4 V	電圧範囲 1.8 V - 2.1 V プリフェッチオフ
0 WS（1 CPU サイクル）	0 < HCLK≤ 30	0 < HCLK≤ 24	0 < HCLK≤ 22	0 < HCLK≤ 20
1 WS（2 CPU サイクル）	30 < HCLK≤ 60	24 < HCLK≤ 48	22 < HCLK≤ 44	20 < HCLK≤ 40
2 WS（3 CPU サイクル）	60 < HCLK≤ 90	48 < HCLK≤ 72	44 < HCLK≤ 66	40 < HCLK≤ 60
3 WS（4 CPU サイクル）	90 < HCLK≤ 120	72 < HCLK≤ 96	66 < HCLK≤ 88	60 < HCLK≤ 80
4 WS（5 CPU サイクル）	120 < HCLK≤ 150	96 < HCLK≤ 120	88 < HCLK≤ 110	80 < HCLK≤ 100
5 WS（6 CPU サイクル）	150 < HCLK≤ 168	120 < HCLK≤ 144	110 < HCLK≤ 132	100 < HCLK≤ 120
6 WS（7 CPU サイクル）		144 < HCLK≤ 168	132 < HCLK≤ 154	120 < HCLK≤ 140
7 WS（8 CPU サイクル）			154 < HCLK≤ 168	140 < HCLK≤ 160

表 12. CPU クロック（HCLK）周波数によるウェイトステート数（STM32F42xxx および STM32F43xxx）

ウェイトステート（WS）（LATENCY）	HCLK (MHz)			
	電圧範囲 2.7 V - 3.6 V	電圧範囲 2.4 V - 2.7 V	電圧範囲 2.1 V - 2.4 V	電圧範囲 1.8 V - 2.1 V プリフェッチオフ
0 WS（1 CPU サイクル）	0 < HCLK≤ 30	0 < HCLK≤ 24	0 < HCLK≤ 22	0 < HCLK≤ 20
1 WS（2 CPU サイクル）	30 < HCLK≤ 60	24 < HCLK≤ 48	22 < HCLK≤ 44	20 < HCLK≤ 40
2 WS（3 CPU サイクル）	60 < HCLK≤ 90	48 < HCLK≤ 72	44 < HCLK≤ 66	40 < HCLK≤ 60
3 WS（4 CPU サイクル）	90 < HCLK≤ 120	72 < HCLK≤ 96	66 < HCLK≤ 88	60 < HCLK≤ 80
4 WS（5 CPU サイクル）	120 < HCLK≤ 150	96 < HCLK≤ 120	88 < HCLK≤ 110	80 < HCLK≤ 100
5 WS（6 CPU サイクル）	150 < HCLK≤ 180	120 < HCLK≤ 144	110 < HCLK≤ 132	100 < HCLK≤ 120

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 12. CPU クロック（HCLK）周波数によるウェイトステート数（STM32F42xxx および STM32F43xxx）（続き）

ウェイトステート（WS）（LATENCY）	HCLK (MHz)			
	電圧範囲 2.7 V - 3.6 V	電圧範囲 2.4 V - 2.7 V	電圧範囲 2.1 V - 2.4 V	電圧範囲 1.8 V - 2.1 V プリフェッチオフ
6 WS（7 CPU サイクル）		144 < HCLK≤ 168	132 < HCLK≤ 154	120 < HCLK≤ 140
7 WS（8 CPU サイクル）		168 < HCLK≤ 180	154 < HCLK≤ 176	140 < HCLK≤ 160
8 WS（9 CPU サイクル）			176 < HCLK≤ 180	160 < HCLK≤ 168

リセット後、CPU クロック周波数は 16 MHz であり、FLASH_ACR レジスタでは 0 ウェイトステート（WS）が設定されます。

CPU 周波数でフラッシュメモリにアクセスするために必要なウェイトステート数の調整には、以下のソフトウェアシーケンスの使用が大いに推奨されます。

CPU 周波数の増加

1. FLASH_ACR レジスタの LATENCY ビットに新しいウェイトステート数をプログラムします。
2. FLASH_ACR レジスタを読み出してフラッシュメモリへのアクセスに新しいウェイトステート数が考慮されていることを確認します。
3. RCC_CFGR レジスタに SW ビットを書き込んで CPU クロックソースを変更します。
4. 必要であれば、RCC_CFGR レジスタに HPRE ビットを書き込んで CPU クロックプリスケーラを変更します。
5. RCC_CFGR レジスタでクロックソースステータス（SWS ビット）や AHB プリスケーラの値（HPRE ビット）を読み出して新しい CPU クロックソースや新しい CPU クロックプリスケーラの値がそれぞれ考慮されていることを確認します。

CPU 周波数の減少

1. RCC_CFGR レジスタに SW ビットを書き込んで CPU クロックソースを変更します。
2. 必要であれば、RCC_CFGR レジスタに HPRE ビットを書き込んで CPU クロックプリスケーラを変更します。
3. RCC_CFGR レジスタでクロックソースステータス（SWS ビット）や AHB プリスケーラの値（HPRE ビット）を読み出して新しい CPU クロックソースや新しい CPU クロックプリスケーラの値がそれぞれ考慮されていることを確認します。
4. FLASH_ACR レジスタの LATENCY ビットに新しいウェイトステート数をプログラムします。
5. FLASH_ACR レジスタを読み出してフラッシュメモリへのアクセスに新しいウェイトステート数が使用されていることを確認します。

*注： **CPU クロック設定やウェイトステート（WS）設定の変更は、すぐには有効にならないことがあります。AHB プリスケーラ分周比とクロックソースステータス値を確認すると、現在の CPU クロック周波数が設定した周波数であることが確認できます。FLASH_ACR レジスタを読み出すと、プログラムした WS 数が有効になっているかどうかが確認できます。***

3.5.2 適応型リアルタイムメモリアクセラレータ（ART Accelerator™）

独自仕様の適応型リアルタイム（ART）メモリアクセラレータは、FPU プロセッサのある STM32 業界標準 ARM® Cortex™-M4 用に最適化されています。これはフラッシュメモリ技術における ARM

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

FPU搭載Cortex-M4 固有のパフォーマンス上の利点（動作周波数が高くなると、プロセッサは通常フラッシュメモリを待つ必要が発生する）を調整します。

プロセッサのフルパフォーマンスを引き出すため、アクセラレータは命令プリフェッチキューと、128 ビットのフラッシュメモリからのプログラム実行速度を上昇させるブランチキャッシュを実行します。CoreMark ベンチマークに基づき、ART アクセラレータによって達成されるパフォーマンスは、最大 CPU 周波数 168 MHz におけるフラッシュメモリからの 0 ウェイトステートプログラム実行と同等となります。

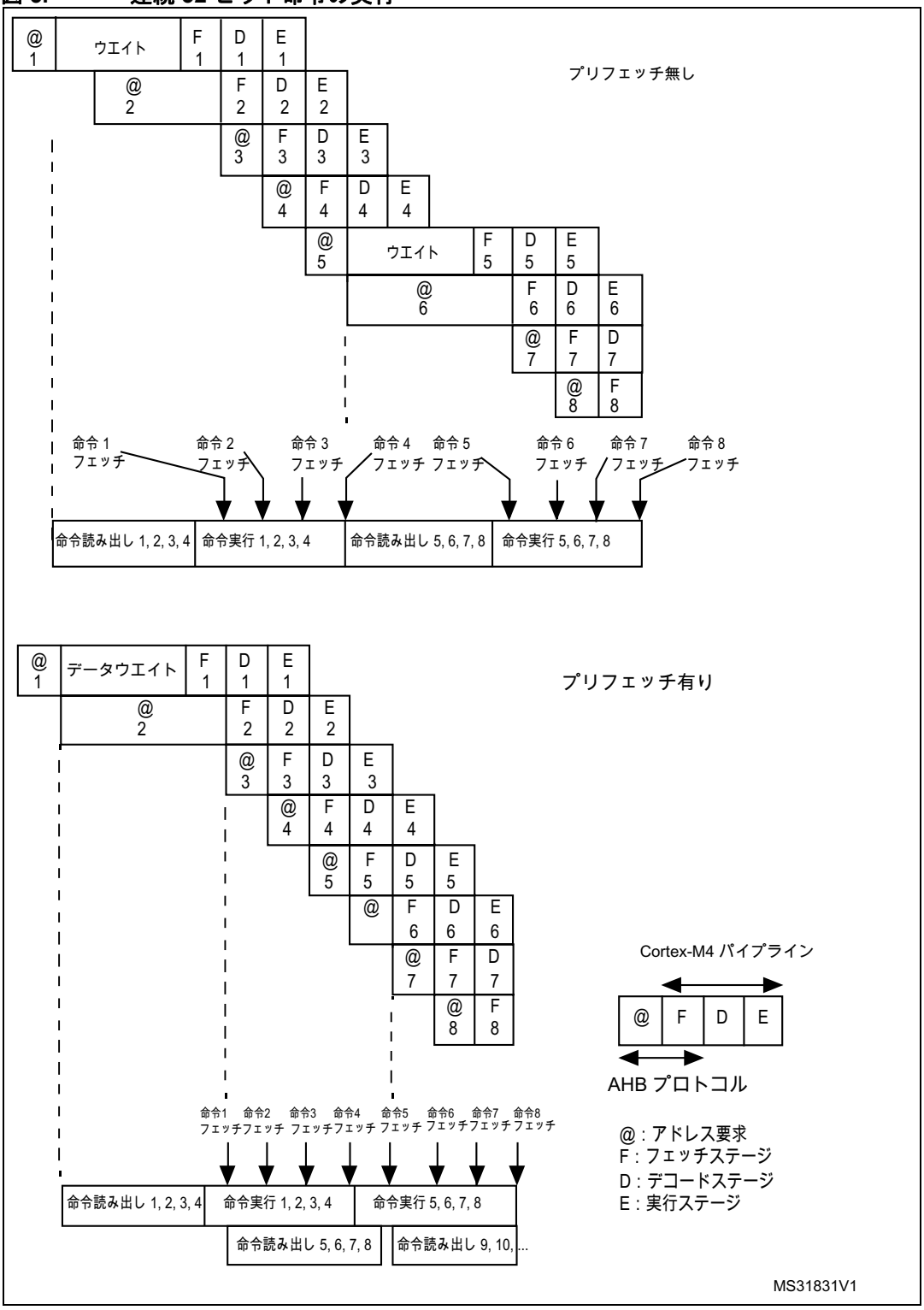
命令プリフェッチ

各フラッシュメモリ読出し操作では、起動されるプログラムによって、32 ビットの命令 4 個または 16 ビットの命令 8 個によって 128 ビットが提供されます。したがって連続コードの場合は、その前の読出し命令ラインの実行に 4 個以上の CPU サイクルが必要となります。I-Code バスでのプリフェッチを使用すると、CPU によって現在の命令ラインが要求されている間にフラッシュメモリから次の連続命令ラインを読み出すことができます。プリフェッチは、FLASH_ACR レジスタの PRFTEN ビットをセットすると有効になります。この機能は、フラッシュメモリのアクセスに 1 つ以上のウェイトステートが必要な場合に有用です。

図 5 は、フラッシュメモリへのアクセスに 3 個の WS が必要なときに、プリフェッチがある場合とない場合の連続 32 ビット命令の実行を示しています。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 5. 連続 32 ビット命令の実行



コードが連続でない場合（ブランチ）、現在使用されている命令ラインやプリフェッチされた命令ラインには命令がないことがあります。この場合、サイクル数によるペナルティはウェイトステート数以上となります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

命令キャッシュメモリ

ジャンプによる時間のロスを制限するため、命令キャッシュメモリ内の 128 ビット 64 行を維持することができます。この機能は、FLASH_ACR レジスタで命令キャッシュ有効（ICEN）ビットをセットすると有効にできます。失敗が発生（現在使用している命令ライン、プリフェッチされた命令ラインまたは命令キャッシュメモリに要求されたデータがない）するたびに、ラインの読出しが命令キャッシュメモリにコピーされます。命令キャッシュメモリに含まれるデータの中に CPU が要求するデータがある場合には、全く遅延なしにそのデータが提供されます。すべての命令キャッシュメモリラインが満たされると、LRU (最も長い時間使われていない) ポリシーを使用して命令メモリキャッシュの中で置換するラインを決定します。この機能は、ループを含むコードの場合に特に有用です。

データ管理

リテラルプールは、CPU パイプラインの実行ステージにおいて D-Code バスを通じてフラッシュメモリからフェッチされます。その結果として、CPU パイプラインは要求されるリテラルプールが提供されるまストールされます。リテラルプールによる時間のロスを制限するため、AHB データバス D-Code からのアクセスは、AHB命令バス I-Code からのアクセスよりも優先されます。

頻繁に使用されるリテラルプールがある場合は、FLASH_ACR レジスタのデータキャッシュ有効（DCEN）ビットをセットすると、データキャッシュメモリを有効にできます。この機能は、命令キャッシュメモリのように動作しますが、保持されるデータのサイズは 128 ビット 8 行に制限されます。

注： ***ユーザー設定セクタのデータは、キャッシュできません。***

3.6 消去操作とプログラム操作

すべてのフラッシュメモリプログラムの動作（消去またはプログラム）では、CPU クロック周波数（HCLK）が 1 MHz 以上である必要があります。フラッシュメモリ操作中にデバイスのリセットが発生すると、フラッシュメモリの内容は保証されません。

STM32F4xx でフラッシュメモリの書込みまたは消去操作中にフラッシュメモリを読み出そうとすると、バスがストールされます。読出し操作は、プログラム操作が完了すると正しく処理されます。これは、書込み／消去操作中はコードやデータをフェッチできないことを意味します。

STM32F42xxx および STM32F43xxx デバイスでは、2 つのバンクが利用でき、1 つのバンクで書込み／消去操作を実施している間にもう 1 つのバンクから読出し操作が可能です。

3.6.1 フラッシュ制御レジスタのアンロック

リセット後は、たとえば電気妨害などによって考えられる不要な操作からフラッシュメモリを保護するため、フラッシュ制御レジスタ（FLASH_CR）には書き込めません。このレジスタのアンロックには、次のシーケンスを使用します。

1. フラッシュキーレジスタ（FLASH_KEYR）に KEY1 = 0x45670123 を書き込みます
2. フラッシュキーレジスタ（FLASH_KEYR）に KEY2 = 0xCDEF89AB を書き込みます

シーケンスを誤るとバスエラーが返り、次のリセットまで FLASH_CR レジスタがロックされます。

FLASH_CR レジスタは、ソフトウェアで FLASH_CR レジスタの LOCK ビットをセットすると再びロックできます。

注： ***FLASH_SR レジスタの BSY ビットがセットされていると、書込みモードでは FLASH_CR レジスタにアクセスできません。BSY ビットがセットされている状態で書き込もうとすると、BSY ビットがクリアされるまで AHB バスはストールします。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

3.6.2 プログラム／消去の並列処理

並列処理サイズは、FLASH_CR レジスタの PSIZE フィールドで設定します。これはフラッシュメモリに書込み操作が発生するたびにプログラムされるバイト数を表します。PSIZE は、供給電圧や、外部 V_{PP} 電源が使用されているかどうかによって制限されます。したがって、プログラム／消去操作の前に FLASH_CR レジスタで正しく設定しておく必要があります。

フラッシュメモリの消去操作は、セクタやバンク 単位で、またはフラッシュメモリ全体に対して実行されます（全体消去）。消去時間は、PSIZE にプログラムされている値に依存します。消去時間の詳細については、デバイスデータシートの電気的特性のセクションを参照してください。

表 13 は、正しい PSIZE 値を記載しています。

表 13. プログラム／消去の並列処理

	電圧範囲 2.7 - 3.6 V、外部 V_{PP}	電圧範囲 2.7 - 3.6 V	電圧範囲 2.4 - 2.7 V	電圧範囲 2.1 - 2.4 V	電圧範囲 1.8 V - 2.1 V
並列処理サイズ	x64	x32	x16		x8
PSIZE(1:0)	11	10	01		00

注： ***整合しないプログラムの並列処理／電圧範囲設定を使ってプログラムまたは消去操作を開始すると、予想しない結果を招くことがあります。次の読出し操作で実際に論理的な値がメモリに書き込まれたことがわかっても、この値は保持されないことがあります。***

V_{PP} を使用するには、外部高電圧電源（8 から 9 V の間）を V_{PP} パッドに印加する必要があります。外部電源は、DC 消費が 10 mA を超えてもこの電圧範囲を持続できる必要があります。VPP の使用は、生産ラインの初期設定に制限することをお勧めします。V_{PP} 電源は、1 時間以上印加しないようにしてください。フラッシュメモリが損傷することがあります。

3.6.3 消去

フラッシュメモリの消去操作は、セクタ単位で、またはフラッシュメモリ全体に対して実行できます（全体消去）。全体消去は、OTP セクタや設定セクタには影響しません。

セクタ消去

セクタを消去するには、次の手順に従います。

1. FLASH_SR レジスタの BSY ビットを確認し、進行中のフラッシュメモリ操作がないことを確認します。
2. FLASH_CR レジスタで SER ビットをセットし、メインメモリブロックで 12 個（STM32F405xx/07xx および STM32F415xx/17xxの場合）および 24 個（STM32F42xxx および STM32F43xxxの場合）あるセクタの中から消去するセクタ（SNB）を選択します。
3. FLASH_CR レジスタの STRT ビットをセットします。
4. BSY ビットがクリアされるのを待ちます。

STM32F42xxx および STM32F43xxx デバイスでのバンク消去

バンク 1 またはバンク 2 を消去するには、次の手順に従います。

1. FLASH_SR レジスタの BSY ビットを確認し、進行中のフラッシュメモリ操作がないことを確認します。
2. 消去するバンクに応じて、FLASH_CR レジスタの MER または MER1 ビットをセットします。
3. FLASH_CR レジスタの STRT ビットをセットします。
4. BSY ビットがリセットされるのを待ちます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

全体消去

全体消去の実施には、次のシーケンスを推奨します。

1. FLASH_SR レジスタの BSY ビットを確認し、進行中のフラッシュメモリ操作がないことを確認します。
2. FLASH_CR レジスタの MER ビットをセットします（STM32F405xx/07xx および STM32F415xx/17xx デバイスの場合）。
3. FLASH_CR レジスタの MER および MER1 ビットの両方をセットします（STM32F42xxx および STM32F43xxx デバイスの場合）。
4. FLASH_CR レジスタの STRT ビットをセットします。
5. BSY ビットがクリアされるのを待ちます。

注： ***FLASH_CR レジスタで MERx および SER ビットがどちらもセットされていると、どのセクタの消去も、また全体消去も実施できません。***

3.6.4 プログラミング

標準プログラミング

フラッシュメモリのプログラミングシーケンスは、次のようになっています。

1. FLASH_SR レジスタの BSY ビットを確認し、進行中のメインフラッシュメモリ操作がないことを確認します。
2. FLASH_CR レジスタの PG ビットをセットします。
3. 指定したメモリアドレス（メインメモリブロックまたは OTP エリア内）にデータ書込み操作を実施します。
   - x8 並列処理の場合はバイトアクセス
   - x16 並列処理の場合はハーフワードアクセス
   - x32 並列処理の場合はワードアクセス
   - x64 並列処理の場合はダブルワードアクセス
4. BSY ビットがクリアされるのを待ちます。

注： ***ビットを”1”から”0”に変更するときは、消去操作を実施しなくても続けて書込み操作を実行できます。”1”を書き込むには、フラッシュメモリ消去操作が必要です。***

消去およびプログラミング操作が同時に要求される場合には、まず消去操作が実施されます。

プログラミングエラー

128 ビットの列境界を超えるようなデータをフラッシュメモリにプログラムすることはできません。そのような場合、書込み操作は実施されず、FLASH_SR レジスタでプログラムアライメントエラーフラグ（PGAERR）がセットされます。

書込みアクセスタイプ（バイト、ハーフワード、ワード、ダブルワード）は、選択した並列処理タイプ（x8、x16、x32、x64）に対応している必要があります。対応していない場合、書込み操作は実施されず、FLASH_SR レジスタでプログラム並列処理エラーフラグ（PGPERR）がセットされます。

標準プログラミングシーケンスが尊重されない場合（PG ビットがセットされていない時にフラッシュメモリアドレスに書き込もうとした場合など）、操作は中止となり、FLASH_SR レジスタでプログラムシーケンスエラーフラグ（PGSERR）がセットされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

プログラミングとキャッシュ

フラッシュメモリ書込みアクセスがデータキャッシュのデータに関連している場合、フラッシュ書込みアクセスはフラッシュメモリ内のデータ、そしてキャッシュ内のデータを変更します。

フラッシュメモリ内の消去操作もデータまたは命令キャッシュ内のデータに関連している場合は、コード実行でこのデータにアクセスする前に、このデータが再度書き込まれることを確認する必要があります。これが安全に実施できない場合には、FLASH_CR レジスタで DCRST および ICRST ビットをセットしてキャッシュをフラッシュすることを推奨します。

注： I/D キャッシュは、無効になっている場合にのみフラッシュするようにします（I/DCEN = 0）。

3.6.5 書込み中読出し（RWW）

STM32F42xxx および STM32F43xxx デバイスではフラッシュメモリが 2 つのバンクに分割されますので、書込み中読出し操作が可能です。この機能により、1 つのバンクで消去操作やプログラム操作を実施している間にもう 1 つのバンクから読出し操作を実施できます。

注： 書込み中書込み操作はできません。例に示すように、1 つのバンクでプログラミングをしている間にもう 1 つのバンクで消去操作を実施することはできません。

バンク 2 消去中のバンク 1 の読出し

バンク 1 でプログラムコードを実行している間、バンク 2 で消去操作を実行することができます（その逆も可）。次の手順に従います。

1. FLASH_SR レジスタの BSY ビットを確認し、進行中のフラッシュメモリ操作がないことを確認します（バンク 1 またはバンク 2 に対して消去／プログラム操作が進行中の時は BSY がアクティブになります）。
2. FLASH_CR レジスタの MER または MER1 ビットをセットします。
3. FLASH_CR レジスタの STRT ビットをセットします。
4. BSY ビットがリセットされるのを待ちます（または EOP 割込みを使用します）。

バンク 2 プログラミング中のバンク 1 の読出し

バンク 1 でプログラムコードを実行している間（I-Code バス上）、バンク 2 でプログラム操作を実行することができます（その逆も可）。次の手順に従います。

1. FLASH_SR レジスタの BSY ビットを確認し、進行中のフラッシュメモリ操作がないことを確認します（バンク 1 またはバンク 2 で消去／プログラム操作が進行中の時は BSY がアクティブになります）。
2. FLASH_CR レジスタの PG ビットをセットします。
3. メインメモリブロックまたは OTP エリア内の指定したメモリアドレスにデータ書込み操作を実施します。
4. BSY ビットがリセットされるのを待ちます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

3.6.6 割込み

FLASH_CR レジスタで操作終了割込み有効ビット（EOPIE）をセットすると、消去またはプログラム操作の終了時、つまり FLASH_SR レジスタでビジービット（BSY）がクリアされるとき（正しいかどうかにかかわらず操作が完了したことを示す）に割込みを発生させることができます。この場合、FLASH_SR レジスタで操作終了（EOP）ビットがセットされます。

プログラム、消去、または読出し操作リクエスト中にエラーが発生すると、FLASH_SR レジスタで次のいずれかのエラーフラグがセットされます。

- PGAERR、PGPERR、PGSERR（プログラムエラーフラグ）
- WRPERR（保護エラーフラグ）
- RDERR（読出し保護エラーフラグ）（STM32F42xxx および STM32F43xxx デバイスのみ）

この場合、FLASH_SR レジスタでエラー割込み有効ビット（ERRIE）がセットされると、割込みが生成され、FLASH_SR レジスタで操作エラービット（OPERR）がセットされます。

注： ***複数のエラー（フラッシュメモリへの DMA 転送の場合など）が連続して検出されると、エラーフラグは連続した書込みリクエストが終了するまでクリアできません。***

表 14. フラッシュ割込みリクエスト

割込みイベント	イベントフラグ	有効制御ビット
操作終了	EOP	EOPIE
書込み保護エラー	WRPERR	ERRIE
プログラミングエラー	PGAERR、PGPERR、PGSERR	ERRIE
読出し保護エラー	RDERR	ERRIE

3.7 オプションバイト

3.7.1 ユーザオプションバイトの説明

オプションバイトは、アプリケーション要件によってエンドユーザが設定します。*表 15* は、ユーザ設定セクタ内のこのバイトの構成を示しています。

表 15. オプションバイトの構成

アドレス	[63:16]	[15:0]
0x1FFF C000	予約済み	ROP およびユーザオプションバイト（**RDP**&**USER**）
0x1FFF C008	予約済み	SPRMOD および 書込み保護 **nWRP ビット（セクタ 0 から 11）**
0x1FFE C000	予約済み	予約済み
0x1FFE C008	予約済み	SPRMOD および書き込み保護 **nWRP ビット（セクタ 12 から 23）**

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 16. オプションバイトの説明（STM32F405xx/07xx および STM32F415xx/17xx）

オプションバイト（ワード、アドレス 0x1FFF C000）	
RDP：*読出し保護オプションバイトです。* 読出し保護は、フラッシュメモリに格納されているソフトウェアコードの保護に使用します。	
ビット 15:8	0xAA：レベル 0、保護なし 0xCC：レベル 2、チップ保護（デバッグと RAM からのブート機能は無効） その他：レベル 1、メモリの読出し保護（デバッグ機能は制限付き）
USER：ユーザオプションバイト このバイトは次の機能の設定に使用します。 – ウォッチドッグイベントの選択：ハードウェアまたはソフトウェア – STOP モードに入るときのリセットイベント – STANDBY モードに入るときのリセットイベント	
ビット 7	**nRST_STDBY** 0：STANDBY モードに入るときにリセットを生成します。 1：リセットは生成されません。
ビット 6	**nRST_STOP** 0：STOP モードに入るときにリセットを生成します。 1：リセットは生成されません。
ビット 5	**WDG_SW** 0：ハードウェアに依存しないウォッチドッグ 1：ソフトウェアに依存しないウォッチドッグ
ビット 4	0x1：未使用
ビット 3:2	**BOR_LEV**：BOR リセットレベル このビットには、リセットをアクティブにしたりリセットを解放したりする供給レベル閾値が含まれています。フラッシュメモリに新しい BOR レベルをプログラムするように書き込むことができます。 00：BOR レベル 3（VBOR3）、ブラウンアウト閾値レベル 3 01：BOR レベル 2（VBOR2）、ブラウンアウト閾値レベル 2 10：BOR レベル 1（VBOR1）、ブラウンアウト閾値レベル 1 11：BOR オフ、POR／PDR リセット閾値レベルが適用されます。 ***注： BOR 特性の詳細については、製品データシートの「電気的特性」のセクションを参照してください。***
ビット 1:0	0x1：未使用
オプションバイト（ワード、アドレス 0x1FFF C008）	
ビット 15:12	0xF：未使用
nWRP：フラッシュメモリ書込み保護オプションバイト セクタ 0 から 11 までが書き込み保護可能です。	
ビット 11:0	**nWRPi** 0：選択したセクタで書込み保護がアクティブになっています。 1：選択したセクタで書込み保護がアクティブになっていません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 17. オプションバイトの説明（STM32F42xxx および STM32F43xxx）

オプションバイト（ワード、アドレス 0x1FFF C000）	
RDP：*読出し保護オプションバイトです。* 読出し保護は、フラッシュメモリに格納されているソフトウェアコードの保護に使用します。	
ビット 15:8	0xAA：レベル 0、保護なし 0xCC：レベル 2、チップ保護（デバッグと RAM からのブート機能は無効） その他：レベル 1、メモリの読出し保護（デバッグ機能は制限付き）
USER：ユーザオプションバイト このバイトは次の機能の設定に使用します。 ウォッチドッグイベントの選択：ハードウェアまたはソフトウェア STOP モードに入るときのリセットイベント STANDBY モードに入るときのリセットイベント	
ビット 7	**nRST_STDBY** 0：STANDBY モードに入るときにリセットを生成します。 1：リセットは生成されません。
ビット 6	**nRST_STOP** 0：STOP モードに入るときにリセットを生成します。 1：リセットは生成されません。
ビット 5	**WDG_SW** 0：ハードウェアに依存しないウォッチドッグ 1：ソフトウェアに依存しないウォッチドッグ
ビット 4	**BFB2**：デュアルバンクブート 0：ブートピン状態により、フラッシュメモリバンク 1 またはシステムメモリからブートします（デフォルト）。 1：常にシステムメモリからブートします（デュアルバンクブートモード）。
ビット 3:2	**BOR_LEV :** BOR リセットレベル このビットには、リセットをアクティブにしたりリセットを解放したりする供給レベル閾値が含まれています。 フラッシュメモリに新しい BOR レベルをプログラムするように書き込むことができます。 00：BOR レベル 3（VBOR3）、ブラウンアウト閾値レベル 3 01：BOR レベル 2（VBOR2）、ブラウンアウト閾値レベル 2 10：BOR レベル 1（VBOR1）、ブラウンアウト閾値レベル 1 11：BOR オフ、POR／PDR リセット閾値レベルが適用されます。 ***注： BOR 特性の詳細については、製品データシートの「電気的特性」のセクションを参照してください。***
ビット 1:0	0x1：未使用
オプションバイト（ワード、アドレス 0x1FFF C008）	
ビット 15	**SPRMOD**：nWPRi ビットの保護モードの選択 0：nWPRi ビットをセクタ i 書込み保護に使用します（デフォルト）。 1：nWPRi ビットをセクタ i PCROP 保護に使用します（セクタ）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 17. オプションバイトの説明（STM32F42xxx および STM32F43xxx）（続き）

ビット 14	**DB1M**：デュアルバンク 1 MB フラッシュメモリデバイス 0：1 MB のシングルフラッシュメモリ（バンク 1 での隣接アドレス） 1：1 MB のデュアルバンクフラッシュメモリフラッシュメモリは、各 512 KB の 2 つのバンクとして構成されています（*表 8：1 MB のフラッシュメモリのシングルバンク構成とデュアルバンク構成 （STM32F42xxx および STM32F43xxx）* および *表 10：1 MB のデュアルバンクのフラッシュメモリ構成（STM32F42xxx および STM32F43xxx）* 参照）。消去操作を実施するには、正しいセクタをプログラムする必要があります（セクタの番号の振り方については、*表 8* を参照）。
ビット 13:12	0x2：未使用
nWRP：バンク 1 のフラッシュメモリ書込み保護オプションバイトセクタ 0 から 11 までが書き込み保護可能です。	
ビット 11:0	nWRPi： SPRMOD がリセットされている場合（デフォルト値）： 0：セクタ i で書込み保護がアクティブになっています。 1：セクタ i で書込み保護がアクティブになっていません。 SPRMOD がセットされている場合（アクティブ）： 0：セクタ i で PCROP 保護がアクティブになっていません。 1：セクタ i で PCROP 保護がアクティブになっています。
オプションバイト（ワード、アドレス 0x1FFE C000）	
ビット 15:0	0xFFFF：未使用
オプションバイト（ワード、アドレス 0x1FFE C008）	
ビット 15:12	0xF：未使用
nWRP：バンク 2 のフラッシュメモリ書込み保護オプションバイトセクタ 12 から 23 までが書き込み保護可能です。	
ビット 11:0	nWRPi： SPRMOD がリセットされている場合（デフォルト値）： 0：セクタ i で書込み保護がアクティブになっています。 1：セクタ i で書込み保護がアクティブになっていません。 SPRMOD がセットされている場合（アクティブ）： 0：セクタ i で PCROP 保護がアクティブになっていません。 1：セクタ i で PCROP 保護がアクティブになっています。

3.7.2 ユーザオプションバイトのプログラミング

このセクタで操作を実行するには、どんな操作であってもフラッシュオプション制御レジスタ（FLASH_OPTCR）でオプションロックビット（OPTLOCK）がクリアされている必要があります。このビットがクリアできるようにするには、次のシーケンスを実施する必要があります。

1. フラッシュオプションキーレジスタ（FLASH_OPTKEYR）で OPTKEY1 = 0x0819 2A3B を書き込みます。
2. フラッシュオプションキーレジスタ（FLASH_OPTKEYR）で OPTKEY2 = 0x4C5D 6E7F を書き込みます。

ソフトウェアによって OPTLOCK ビットをセットすると、ユーザオプションバイトを不要な消去／プログラム操作から保護することができます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

STM32F405xx/07xx および STM32F415xx/17xx でのユーザオプションバイトの変更

ユーザオプション値を変更するには、次のシーケンスに従います。

1. FLASH_SR レジスタの BSY ビットを確認し、進行中のフラッシュメモリ操作がないことを確認します。
2. オプション値を FLASH_OPTCR レジスタに書き込みます。
3. FLASH_OPTCR レジスタでオプションスタートビット（OPTSTRT）をセットします。
4. BSY ビットがクリアされるのを待ちます。

注： ***まずユーザ設定セクタを消去し、すべてのオプションバイトを FLASH_OPTCR レジスタに含まれている値でプログラムすると、オプションの値が自動的に変更されます。***

STM32F42xxx および STM32F43xxx でのユーザオプションバイトの変更

バンク 1 およびバンク 2 のユーザオプションバイトを独立して変更することはできません。両者は同時に更新される必要があります。

ユーザオプション値を変更するには、次のシーケンスに従います。

1. FLASH_SR レジスタの BSY ビットを確認し、進行中のフラッシュメモリ操作がないことを確認します。
2. バンク 2 オプションバイト値を FLASH_OPTCR1 レジスタに書き込みます。
3. バンク 1 オプションバイト値を FLASH_OPTCR レジスタに書き込みます。
4. FLASH_OPTCR レジスタでオプションスタートビット（OPTSTRT）をセットします。
5. BSY ビットがクリアされるのを待ちます。

注： ***まずユーザ設定セクタ（バンク 1 および 2）を消去し、すべてのオプションバイトを FLASH_OPTCR および FLASH_OPTCR1 レジスタに含まれている値でプログラムすると、オプションバイトの値が自動的に変更されます。***

3.7.3 読出し保護（RDP）

フラッシュメモリのユーザーエリアは、委託されたコードによる読出し操作から保護できます。読出し保護レベルは、3 種類定義されています。

- レベル 0：読出し保護なし

  読出し保護オプションバイト（RDP）に 0xAA を書き込んで読出し保護レベルをレベル 0 にセットすると、フラッシュメモリやバックアップ SRAM に対するすべての読出し／書込み操作（書込み保護がセットされていない場合）があらゆるブート設定（フラッシュユーザブート、デバッグ、RAM からのブート）で可能となります。

- レベル 1：読出し保護有効

  オプションバイト消去後のデフォルトの読出し保護レベルです。読出し保護レベル 1 は、RDP オプションバイトに何らかの値（それぞれレベル 0 およびレベル 2 をセットする 0xAA および 0xCC を除く）を書き込むとアクティブになります。読出し保護レベル 1 をセットすると次のようになります。

  – デバッグ機能が接続されている場合や RAM やシステムメモリブートローダからのブートではフラッシュメモリやバックアップ SRAM への一切のアクセス（読出し、消去、プログラム）は実施できなくなります。読出しリクエストの場合には、バスエラーが生成されます。

  – フラッシュメモリからブートする場合は、ユーザコードからのフラッシュメモリおよびバックアップ SRAM へのアクセス（読出し、消去、プログラム）が許可されます。

  レベル 1 がアクティブのときに保護オプションバイト（RDP）をレベル 0 にセットすると、フラッシュメモリやバックアップ SRAM が全体消去されます。その結果、読出し保護が解除され

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

る前にユーザコードエリアがクリアされます。全体消去は、ユーザコードエリアのみを消去します。書込み保護などのその他のオプションバイトは、全体消去操作前と変わりません。OTP エリアは全体消去に影響されませんので変化しません。全体消去は、レベル 1 がアクティブのときにレベル 0 がリクエストされたときにのみ実施されます。保護レベルが引き上げられた場合には（0 から 1、1 から 2、0 から 2）、全体消去は実施されません。

- レベル 2：デバッグ／チップ読出し保護無効

  RDP オプションバイトに 0xCC を書き込むと、読出し保護レベル 2 がアクティブになります。読出し保護レベル 2 をセットすると次のようになります。

  – レベル 1 によるすべての保護がアクティブになります。
  – RAM やシステムメモリブートローダからのブートも許可されなくなります。
  – JTAG、SWV（単線ビューア）、ETM、境界スキャンが無効になります。
  – ユーザオプションバイトが変更できなくなります。
  – フラッシュメモリからブートする場合は、ユーザコードからのフラッシュメモリおよびバックアップ SRAM へのアクセス（読出し、消去、プログラム）が許可されます。

  メモリ読出し保護レベル 2 は、不可逆操作です。レベル 2 がアクティブのときは、保護レベルをレベル 0 やレベル 1 に下げることはできません。

注： ***レベル 2 がアクティブのときは、JTAG ポートは恒久的に無効になります（JTAG ヒューズとして作用）。結果として、境界スキャンは実施できません。ST マイクロエレクトロニクスは、レベル 2 保護がセットされている不良部品には分析を実施できません。***

表 18. アクセスと読出し保護レベル

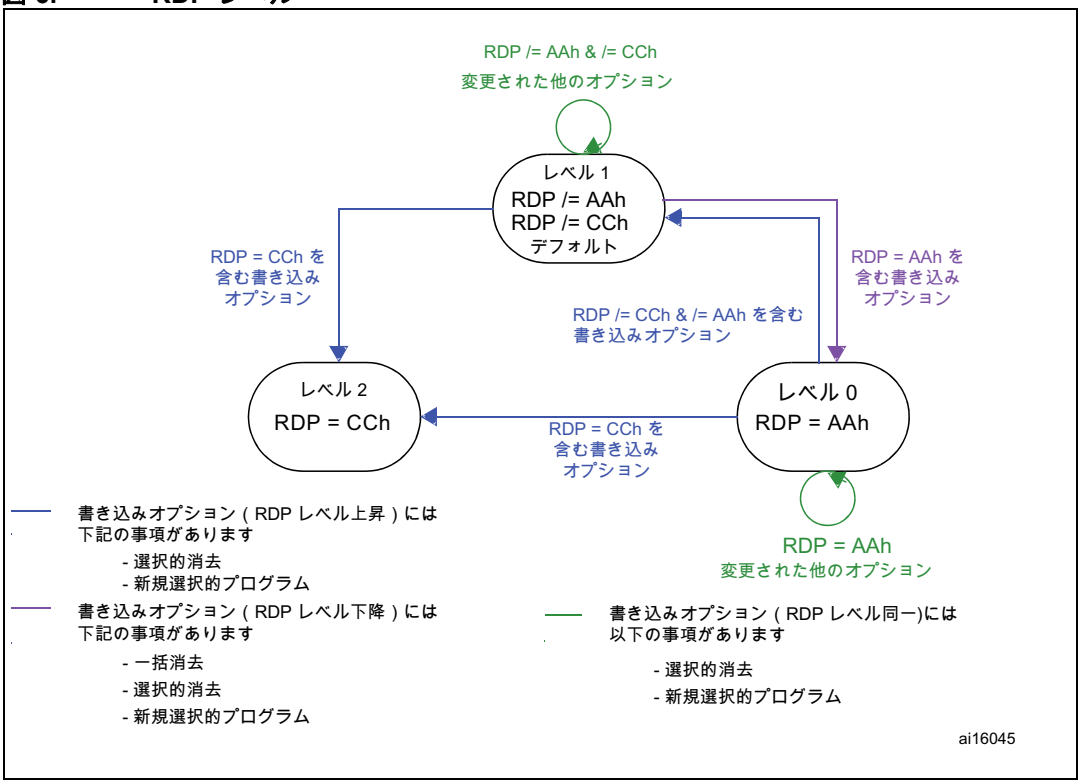
メモリ領域	保護レベル	デバッグ機能、RAM またはシステムメモリブートローダからのブート			フラッシュメモリからのブート		
		読出し	書込み	消去	読出し	書込み	消去
メインフラッシュメモリおよびバックアップ SRAM	レベル 1	X		X(1)	O		
	レベル 2	X			O		
オプションバイト	レベル 1	O			O		
	レベル 2	X			X		
OTP	レベル 1	X		該当なし	O		該当なし
	レベル 2	X		該当なし	O		該当なし

1. メインフラッシュメモリやバックアップ SRAM は、RDP がレベル 1 から 0 に変化するときにのみ消去されます。OTP エリアは変化しません。

図 6 は、ある RDP レベルから別の RDP レベルへの遷移を示しています。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 6. RDP レベル



3.7.4 書込み保護

フラッシュメモリでは、最大 24 個までのユーザセクタをプログラムカウンタコンテキストの損失による不要な書込み操作から保護できます。FLASH_OPTCR または FLASH_OPTCR1 レジスタの書込み保護されていない nWRPi ビット（$0 \le i \le 11$）がローのときは、該当するセクタを消去したりプログラムしたりすることができません。結果として、セクタが 1 つ書込み保護されていると全体消去が実施できません。.

フラッシュメモリの書込み保護されている部分（書込み保護ビットで保護されているセクタ、OTP のロックされている部分や ICP のように書き込むことが絶対にできないフラッシュメモリの部分）に消去／プログラム操作を実施しようとすると、FLASH_SR レジスタで書込み保護エラーフラグ（WRPERR）がセットされます。

STM32F42xxx および STM32F43xxx デバイスでは、PCROP モードがセットされると、nWRPi のアクティブレベルがハイになり、nWRPi がハイのときは該当するセクタ i が書込み保護されます。PCROP セクタは自動的に書込み保護されます。

注： ***メモリ読出し保護レベルが選択されると（RDP レベル = 1）、CPU デバッグ機能が接続されている場合（JTAG や単線）やブートコードが RAM から実行されている場合には、nWRPi = 1 のときでもフラッシュメモリセクタ i をプログラムしたり消去したりすることはできません。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

書込み保護エラーフラグ

フラッシュメモリの書込み保護されているエリアに消去／プログラム操作を実施すると、FLASH_SR レジスタで書込み保護エラーフラグ（WRPERR）がセットされます。

消去操作がリクエストされると、次のような場合に WRPERR ビットがセットされます。

- 全体消去、バンク消去、セクタ消去が設定されている場合（MER または MER／MER1 および SER = 1）
- セクタ消去がリクエストされ、セクタ番号 SNB フィールドが有効でない場合
- FLASH_OPTCRx レジスタで、オプションビットによって 1 つ以上のユーザセクタが書込み保護されているときに（MER または MER／MER1 = 1 および nWRPi = 0、$0 \le i \le 11$ ビット）で全体消去がリクエストされた場合
- 書込み保護されているセクタでセクタ消去がリクエストされた場合（FLASH_OPTCRx レジスタで SER = 1、SNB = i および nWRPi = 0、$0 \le i \le 11$ ビット）
- フラッシュメモリが読出し保護されており、侵入が検出された場合

プログラム操作がリクエストされると、次のような場合に WRPERR ビットがセットされます。

- システムメモリやユーザ指定のセクタの予約済みの部分に書込み操作が実施された場合
- ユーザ設定セクタに書込み操作を実施した場合
- オプションビットで書込み保護されているセクタに書込み操作を実施した場合
- 既にロックされている OTP エリアに書込み操作がリクエストされた場合
- フラッシュメモリが読出し保護されており、侵入が検出された場合

3.7.5 独自仕様コード読出し保護（PCROP）

独自仕様読出し保護（PCROP）は、STM32F42xxx および STM32F43xxx デバイスでのみ利用できます。

フラッシュメモリユーザセクタ（0 から 23）は、独自仕様の読出し保護（PCROP）を使って D-bus 読出しアクセスから保護することができます。

PCROP 保護は、FLASH_CR レジスタの SPRMOD オプションビットを使って次のように選択されます。

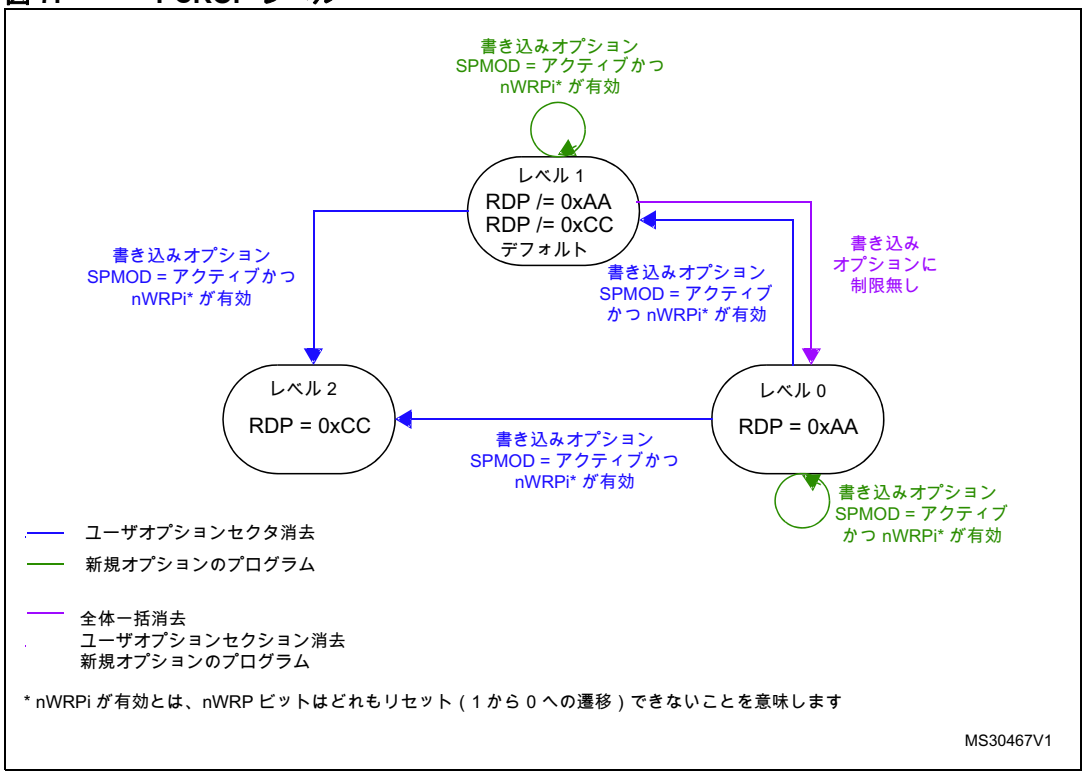
- SPRMOD = 0：nWRPi が各ユーザセクタの書込み保護を制御します。
- SPRMOD = 1：nWRPi が各ユーザセクタの読出し／書込み保護を制御します。

セクタが読出し保護（PCROP モードがアクティブ）されているときは、フラッシュインタフェースで ICODE バスを使ってコードフェッチする場合にのみアクセスできます。

- D-bus からの読出しアクセスは、すべて RDERR フラグエラーとなります。
- PCROP で保護されているセクタでのプログラム／消去操作は、すべて WRPERR フラグエラーとなります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 7. PCROP レベル



SPRMOD の非アクティブ化や PCROP で保護されているユーザインタフェースの保護解除は、RDP が 1 から 0 に変化した場合にのみ可能です。この条件が順守されない場合、ユーザオプションバイトの変更は取り消しになり、書き込みエラー WRPERR フラグがセットされます。アクティブな nWRPi ビットが 1 つもリセットされておらず、SPRMOD がアクティブなままであるため、ユーザオプションバイト（BOR_LEV、RST_STDBY など）は変更できます。

注 : ***PCROP モードがアクティブ（SPRMOD =1)）のときは、nWRPi ビットのアクティブな値が反転します。***

SPRMOD = 1 で nWRPi =1 のときは、バンク 1 のユーザセクタ i、バンク 2 のユーザセクタ i がそれぞれ読出し／書込み保護（PCROP）されます。

3.8 一度だけプログラム可能なバイト

表 19 は、OTP エリアの一度だけプログラム可能な（OTP）部分の構成を示しています。

表 19. OTP エリアの構成

ブロック	[128:96]	[95:64]	[63:32]	[31:0]	アドレスバイト 0
0	OTP0	OTP0	OTP0	OTP0	0x1FFF 7800
	OTP0	OTP0	OTP0	OTP0	0x1FFF 7810
1	OTP1	OTP1	OTP1	OTP1	0x1FFF 7820
	OTP1	OTP1	OTP1	OTP1	0x1FFF 7830
・ ・ ・	・ ・ ・				・ ・ ・

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 19. OTP エリアの構成（続き）

ブロック	[128:96]	[95:64]	[63:32]	[31:0]	アドレスバイト 0
15	OTP15	OTP15	OTP15	OTP15	0x1FFF 79E0
	OTP15	OTP15	OTP15	OTP15	0x1FFF 79F0
ロック ブロック	LOCKB15 ...LOCKB12	LOCKB11 ...LOCKB8	LOCKB7 ...LOCKB4	LOCKB3 ...LOCKB0	0x1FFF 7A00

OTP エリアは、32 バイトの OTP データブロック 16 個と、16 バイトのロック OTP ブロック 1 個に分割されています。OTP データブロックおよびロックブロックは、消去できません。ロックブロックには、該当する OTP データブロック（ブロック 0 から 15）をロックする、16 バイトの LOCKBi（0 ≤ i ≤ 15）が含まれています。各 OTP データブロックは、該当する OTP ロックバイトで値 0x00 がプログラムされるまでプログラムできます。ロックバイトには、0x00 および 0xFF の値が含まれている必要があります。これらの値が含まれていない場合、OTP バイトが正しく考慮されないことがあります。

3.9 フラッシュインタフェースレジスタ

3.9.1 フラッシュアクセス制御レジスタ（FLASH_ACR）（STM32F405xx/07xx および STM32F415xx/17xx 用）

フラッシュアクセス制御レジスタは、加速機能を有効／無効にし、CPU 周波数に従って フラッシュメモリアクセス時間を制御するために使用されます。

アドレスオフセット：0x00
リセット値：0x0000 0000

アクセス：ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み			DCRST	ICRST	DCEN	ICEN	PRFTEN	予約済み					LATENCY		
			rw	w	rw	rw	rw						rw	rw	rw

ビット 31:13 予約済み、クリア状態を保つ必要があります。

ビット 12 **DCRST**：データキャッシュのリセット
0：データキャッシュはリセットされません。
1：データキャッシュはリセットされます。
このビットに書き込めるのは、D キャッシュが無効のときだけです。

ビット 11 **ICRST**：命令キャッシュのリセット
0：命令キャッシュはリセットされません。
1：命令キャッシュはリセットされます。
このビットに書き込めるのは、I キャッシュが無効のときだけです。

ビット 10 **DCEN**：データキャッシュ有効
0：データキャッシュは無効です。
1：データキャッシュは有効です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 9 **ICEN**：命令キャッシュ有効
0：命令キャッシュは無効です。
1：命令キャッシュは有効です。

ビット 8 **PRFTEN**：プリフェッチ有効
0：プリフェッチは無効です。
1：プリフェッチは有効です。

ビット 7:3 予約済み、クリア状態を保つ必要があります。

ビット 2:0 **LATENCY**：レイテンシ
これらのビットは、フラッシュメモリアクセス時間に対する CPU クロック周期の割合を表します。
000：ウェイトステート 0 個
001：ウェイトステート 1 個
010：ウェイトステート 2 個
011：ウェイトステート 3 個
100：ウェイトステート 4 個
101：ウェイトステート 5 個
110：ウェイトステート 6 個
111：ウェイトステート 7 個

3.9.2 フラッシュアクセス制御レジスタ（FLASH_ACR）（STM32F42xxx および STM32F43xxx 用）

フラッシュアクセス制御レジスタは、加速機能を有効／無効にし、CPU 周波数に従って フラッシュメモリアクセス時間を制御するために使用されます。

アドレスオフセット：0x00
リセット値：0x0000 0000

アクセス：ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み			DCRST	ICRST	DCEN	ICEN	PRFTEN	予約済み				LATENCY			
			rw	w	rw	rw	rw					rw	rw	rw	rw

ビット 31:11 予約済み、クリア状態を保つ必要があります。

ビット 12 **DCRST:**データキャッシュのリセット
0：データキャッシュはリセットされません。
1：データキャッシュはリセットされます。
このビットに書き込めるのは、D キャッシュが無効のときだけです。

ビット 11 **ICRST:**命令キャッシュのリセット
0：命令キャッシュはリセットされません。
1：命令キャッシュはリセットされます。
このビットに書き込めるのは、I キャッシュが無効のときだけです。

ビット 10 **DCEN:**データキャッシュ有効
0：データキャッシュは無効です。
1：データキャッシュは有効です。

ビット 9 **ICEN:**命令キャッシュ有効
0：命令キャッシュは無効です。
1：命令キャッシュは有効です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 8 **PRFTEN:**プリフェッチ有効

0：プリフェッチは無効です。
1：プリフェッチは有効です。

ビット 7:4 予約済み、クリア状態を保つ必要があります。

ビット 3:0 **LATENCY**：遅延

これらのビットは、フラッシュメモリアクセス時間に対する CPU クロック周期の比率を表します。
0000：ゼロウェイトステート
0001：ウェイトステート 1 個
0010：ウェイトステート 2 個
...
1110：ウェイトステート 14 個
1111：ウェイトステート 15 個

3.9.3 フラッシュキーレジスタ（FLASH_KEYR）

フラッシュキーレジスタは、フラッシュ制御レジスタへのアクセスを許可し、それによってプログラムおよび消去操作を許可します。

アドレスオフセット：0x04
リセット値：0x0000 0000

アクセス：ノーウェイトステート、ワードアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
KEY[31:16]															
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
KEY[15:0]															
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w

ビット 31:0 **FKEYR**：FPEC キー

FLASH_CR レジスタのロックを解除し、プログラミングや消去を許可するには、次の値を連続してプログラムする必要があります。

a) KEY1 = 0x45670123
b) KEY2 = 0xCDEF89AB

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

3.9.4 フラッシュオプションキーレジスタ（FLASH_OPTKEYR）

フラッシュオプションキーレジスタは、ユーザ設定セクタでのプログラムおよび消去操作を許可します。

アドレスオフセット：0x08
リセット値：0x0000 0000

アクセス：ノーウェイトステート、ワードアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
OPTKEYR[31:16															
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OPTKEYR[15:0]															
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w

ビット 31:0 **OPTKEYR**：オプションバイトキー

FLASH_OPTCR レジスタをアンロックし、プログラミングを許可するには、次の値を連続してプログラムする必要があります。

a) OPTKEY1 = 0x08192A3B
b) OPTKEY2 = 0x4C5D6E7F

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

3.9.5 フラッシュステータスレジスタ（FLASH_SR）STM32F405xx/07xx および STM32F415xx/17xx

フラッシュステータスレジスタは、現在実行しているプログラムおよび消去操作に関する情報を提供します。

アドレスオフセット：0x0C
リセット値：0x0000 0000

アクセス：ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															BSY
															r

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								PGSERR	PGPERR	PGAERR	WRPERR	予約済み		OPERR	EOP
								rc_w1	rc_w1	rc_w1	rc_w1			rc_w1	rc_w1

ビット 31:17　予約済み、クリア状態を保つ必要があります。

ビット 16　**BSY**：ビジー

このビットは、フラッシュメモリ操作が進行中であることを示します。フラッシュメモリ操作の開始時にセットされ、操作が終了するかエラーが発生するとクリアされます。

0：進行中のフラッシュメモリ操作はありません。
1：進行中のフラッシュメモリ操作があります。

ビット 15：8　予約済み、クリア状態を保つ必要があります。

ビット 7　**PGSERR**：プログラミングシーケンスエラー

制御レジスタが正しく設定されていない時にコードによってフラッシュメモリへの書込みアクセスが実施されると、ハードウェアによってセットされます。
1 を書き込むとクリアされます。

ビット 6　**PGPERR**：プログラミング並列処理エラー

プログラムシーケンスにおけるアクセスのサイズ（バイト、ハーフワード、ワード、ダブルワード）が並列処理設定 PSIZE（x8、x16、x32、x64）と一致しないときに、ハードウェアによってセットされます。
1 を書き込むとクリアされます。

ビット 5　**PGAERR**：プログラミング配置エラー

プログラムするデータを同じ 128 ビットのフラッシュメモリ列に含むことができないときに、ハードウェアによってセットされます。
1 を書き込むとクリアされます。

ビット 4　**WRPERR**：書込み保護エラー

消去／プログラムするアドレスがフラッシュメモリの書込み保護された部分のアドレスである場合、ハードウェアによってセットされます。
1 を書き込むとクリアされます。

ビット 3:2　予約済み、クリア状態を保つ必要があります。

ビット 1　**OPERR**：操作エラー

フラッシュ操作（プログラミング／消去／読出し）リクエストが検出され、並列処理、配置、または書込み保護エラーによってフラッシュ操作を実行できない場合に、ハードウェアによってセットされます。このビットは、エラー割込みが有効になっている場合（ERRIE = 1）にのみセットされます。

ビット 0　**EOP**：操作終了

1 つ以上のフラッシュメモリ操作（プログラム／消去）が正常終了するとハードウェアによってセットされます。操作終了割込みが有効になっている場合（EOPIE = 1）にのみセットされます。
1 を書き込むとクリアされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

3.9.6 フラッシュステータスレジスタ（FLASH_SR）STM32F42xxx および STM32F43xxx

フラッシュステータスレジスタは、現在実行しているプログラムおよび消去操作に関する情報を提供します。

アドレスオフセット：0x0C

リセット値：0x0000 0000

アクセス：ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															BSY
															r

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み							RDERR	PGSERR	PGPERR	PGAERR	WRPERR	予約済み		OPERR	EOP
							rc_w1	rc_w1	rc_w1	rc_w1	rc_w1			rc_w1	rc_w1

ビット 31:17　予約済み、クリア状態を保つ必要があります。

ビット 16　**BSY**：ビジー

このビットは、フラッシュメモリ操作がバンクに対して、またはバンクから進行中であることを示します。フラッシュメモリ操作の開始時にセットされ、操作が終了するかエラーが発生するとクリアされます。

0：進行中のフラッシュメモリ操作はありません。

1：進行中のフラッシュメモリ操作があります。

ビット 15:9　予約済み、クリア状態を保つ必要があります。

ビット 8　**RDERR**：独自仕様読出し保護（PCROP）エラー

独自仕様読出し保護されたフラッシュセクタに属するアドレスに対して、D-bus からの読出しアクセスが実施されると、ハードウェアによってセットされます。

1 を書き込むとクリアされます。

ビット 7　**PGSERR**：プログラミングシーケンスエラー

制御レジスタが正しく設定されていない時にコードによってフラッシュメモリへの書込みアクセスが実施されると、ハードウェアによってセットされます。

1 を書き込むとクリアされます。

ビット 6　**PGPERR**：プログラミング並列処理エラー

プログラムシーケンスにおけるアクセスのサイズ（バイト、ハーフワード、ワード、ダブルワード）が並列処理設定 PSIZE（x8、x16、x32、x64）と一致しないときに、ハードウェアによってセットされます。

1 を書き込むとクリアされます。

ビット 5　**PGAERR**：プログラミング配置エラー

プログラムするデータを同じ 128 ビットのフラッシュメモリ列に含むことができないときに、ハードウェアによってセットされます。

1 を書き込むとクリアされます。

ビット 4　**WRPERR**：書込み保護エラー

消去／プログラムするアドレスがフラッシュメモリの書込み保護された部分のアドレスである場合、ハードウェアによってセットされます。

1 を書き込むとクリアされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 3:2 予約済み、クリア状態を保つ必要があります。

ビット 1 **OPERR**：操作エラー

フラッシュ操作（プログラミング／消去／読出し）リクエストが検出され、並列処理、配置、書込みまたは読出し（PCROP）保護エラーによってフラッシュ操作を実行できない場合に、ハードウェアによってセットされます。このビットは、エラー割込みが有効になっている場合（ERRIE = 1）にのみセットされます。

ビット 0 **EOP**：操作終了

1 つ以上のフラッシュメモリ操作（プログラム／消去）が正常終了するとハードウェアによってセットされます。操作終了割込みが有効になっている場合（EOPIE = 1）にのみセットされます。
1 を書き込むとクリアされます。

3.9.7 フラッシュ制御レジスタ（FLASH_CR）STM32F405xx/07xx および STM32F415xx/17xx

フラッシュ制御レジスタは、フラッシュメモリ操作を設定し、開始するのに使用します。

アドレスオフセット：0x10

リセット値：0x8000 0000

アクセス：ノーウェイトステート（進行中のフラッシュメモリ操作がない場合）、ワード、ハーフワード、バイトアクセス。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
LOCK	予約済み					ERRIE	EOPIE	予約済み							STRT
rs						rw	rw								rs

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み						PSIZE[1:0]		予約済み	SNB[3:0]				MER	SER	PG
						rw	rw		rw	rw	rw	rw	rw	rw	rw

ビット 31 **LOCK**：ロック状態

1 のみを書き込みます。このビットがセットされていると、FLASH_CR レジスタがロックされていることを示します。アンロックシーケンスが検出されると、ハードウェアによってクリアされます。
アンロック操作が成功しない場合には、このビットは次のリセットまでセットされたままとなります。

ビット 30:26 予約済み、クリア状態を保つ必要があります。

ビット 25 **ERRIE**：エラー割込み有効

このビットは、FLASH_SR レジスタの OPERR ビットが 1 にセットされると割込み生成を有効にします。
0：エラー割込み生成は無効です。
1：エラー割込み生成は有効です。

ビット 24 **EOPIE**：操作終了割込み有効

このビットは、FLASH_SR レジスタの EOP ビットが 1 になると割込み生成を有効にします。
0：割込み生成は無効です。
1：割込み生成は有効です。

ビット 23:17 予約済み、クリア状態を保つ必要があります。

ビット 16 **STRT**：開始

このビットがセットされると、消去操作がトリガされます。ソフトウェアによってのみセットされ、BSY ビットがクリアされるとクリアされます。

ビット 15:10 予約済み、クリア状態を保つ必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 9:8 **PSIZE**：プログラムサイズ

このビットは、プログラムの並列処理を選択します。
00 プログラム x8
01 プログラム x16
10 プログラム x32
11 プログラム x64

ビット 6:3 **SNB**：セクタ番号

このビットは、消去するセクタを選択します。
0000 セクタ 0
0001 セクタ 1
...
1011 セクタ 11
他は許可されません

ビット 2 **MER**：全体消去

すべてのユーザセクタに対して消去がアクティブになります。

ビット 1 **SER**：セクタ消去

セクタ消去がアクティブになります。

ビット 0 **PG**：プログラミング

フラッシュプログラミングがアクティブになります。

3.9.8 フラッシュ制御レジスタ（FLASH_CR）STM32F42xxx および STM32F43xxx

フラッシュ制御レジスタは、フラッシュメモリ操作を設定し、開始するのに使用します。

アドレスオフセット：0x10

リセット値：0x8000 0000

アクセス：ノーウェイトステート（進行中のフラッシュメモリ操作がない場合）、ワード、ハーフワード、バイトアクセス。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
LOCK	予約済み					ERRIE	EOPIE	予約済み							STRT
rs						rw	rw								rs

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MER1	予約済み					PSIZE[1:0]		SNB[4:0]					MER	SER	PG
rw						rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31 **LOCK**：ロック状態

1 のみを書き込みます。このビットがセットされていると、FLASH_CR レジスタがロックされていることを示します。アンロックシーケンスが検出されると、ハードウェアによってクリアされます。
アンロック操作が成功しない場合には、このビットは次のリセットまでセットされたままとなります。

ビット 30:26 予約済み、クリア状態を保つ必要があります。

ビット 25 **ERRIE**：エラー割込み有効

このビットは、FLASH_SR レジスタの OPERR ビットが 1 にセットされると割込み生成を有効にします。
0：エラー割込み生成は無効です。
1：エラー割込み生成は有効です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 24 **EOPIE**：操作終了割込み有効

このビットは、FLASH_SR レジスタの EOP ビットが 1 になると割込み生成を有効にします。
0：割込み生成は無効です。
1：割込み生成は有効です。

ビット 23:17 予約済み、クリア状態を保つ必要があります。

ビット 16 **STRT**：開始

このビットがセットされると、消去操作がトリガされます。ソフトウェアによってのみセットされ、BSY ビットがクリアされるとクリアされます。

ビット 15 **MER1**：バンク 2 セクタの全体消去

バンク 2 ユーザセクタ 12 から 23 までの消去がアクティブになります。

ビット 14:10 予約済み、クリア状態を保つ必要があります。

ビット 9:8 **PSIZE:**プログラムサイズ

このビットは、プログラムの並列処理を選択します。
00 プログラム x8
01 プログラム x16
10 プログラム x32
11 プログラム x64

ビット 7:3 **SNB:**セクタ番号

このビットは、消去するセクタを選択します。
0000：セクタ 0
0001：セクタ 1
...
01011：セクタ 11
01100：設定禁止
01101：設定禁止
01110：設定禁止
01111：設定禁止
10000：セクション 12
10001：セクション 13
...
11011 セクタ 23
11100：設定禁止
11101：設定禁止
11110：設定禁止
11111：設定禁止

ビット 2 **MER1**：バンク 1 セクタの全体消去

バンク 1 セクタの全体消去がアクティブになります。

ビット 1 **SER**：セクタ消去

セクタ消去がアクティブになります。

ビット 0 **PG**：プログラミング

フラッシュプログラミングがアクティブになります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

3.9.9 フラッシュオプション制御レジスタ（FLASH_OPTCR） STM32F405xx/07xx および STM32F415xx/17xx

FLASH_OPTCR レジスタは、ユーザオプションバイトの変更に使用します。

アドレスオフセット：0x14

リセット値：0x0FFF AAEDオプションビットには、リセット解除時にフラッシュメモリからの値が入力されます。

アクセス：ノーウェイトステート（進行中のフラッシュメモリ操作がない場合）、ワード、ハーフワード、バイトアクセス。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み				nWRP[11:0]											
				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RDP[7:0]								nRST_STDBY	nRST_STOP	WDG_SW	予約済み	BOR_LEV		OPTSTRT	OPTLOCK
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw		rw	rw	rs	rs

ビット 31:28　予約済み、クリア状態を保つ必要があります。

ビット 27:16　**nWRP：**書込み保護なし

このビットには、リセット後のセクタの書込み保護オプションバイトの値が含まれています。フラッシュメモリに新しい書込み保護値をプログラムするように書き込むことができます。

0：選択したセクタで書込み保護がアクティブになっています。

1：選択したセクタで書込み保護がアクティブになっていません。

ビット 15:8　**RDP：**読出し保護

このビットには、リセット後の読出し保護オプションレベルの値が含まれています。フラッシュメモリに新しい読出し保護値をプログラムするように書き込むことができます。

0xAA：レベル 0、読出し保護はアクティブではありません。

0xCC：レベル 2、チップ読出し保護がアクティブです。

その他：レベル 1、メモリの読出し保護がアクティブです。

ビット 7:5　**USER：**ユーザオプションバイト

このビットには、リセット後のユーザオプションバイトの値が含まれています。フラッシュメモリに新しいユーザオプションバイト値をプログラムするように書き込むことができます。

ビット 7：nRST_STDBY

ビット 6：nRST_STOP

ビット 5：WDG_SW

注：　ハードウェアからソフトウェアまたはソフトウェアからハードウェアに WDG モードを変更するときに変更を有効にするには、システムリセットが必要です。

ビット 4　予約済み、クリア状態を保つ必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 3:2 **BOR_LEV** : BOR リセットレベル

このビットには、リセットをアクティブにしたりリセットを解放したりする供給レベル閾値が含まれています。新しい BOR レベルをプログラムするように書き込むことができます。デフォルトでは、BOR はオフです。電源電圧 (V_{DD}) が選択された BOR レベルを下回ると、デバイスリセットが生成されます。

00 : BOR レベル 3（VBOR3）、ブラウンアウト閾値レベル 3

01 : BOR レベル 2（VBOR2）、ブラウンアウト閾値レベル 2

10 : BOR レベル 1（VBOR1）、ブラウンアウト閾値レベル 1

11 : BOR オフ、POR／PDR リセット閾値レベルが適用されます。

注 : BOR 特性の詳細については、デバイスデータシートの「電気的特性」のセクションを参照してください。

ビット 1 **OPTSTRT** : オプション開始

このビットがセットされると、ユーザオプション操作がトリガされます。ソフトウェアによってのみセットされ、BSY ビットがクリアされるとクリアされます。

ビット 0 **OPTLOCK** : オプションロック

1 のみを書き込みます。このビットがセットされていると、FLASH_OPTCR レジスタがロックされていることを示します。このビットは、アンロックシーケンスが検出されると、ハードウェアによってクリアされます。

アンロック操作が成功しない場合には、このビットは次のリセットまでセットされたままとなります。

3.9.10 フラッシュオプション制御レジスタ（FLASH_OPTCR）（STM32F42xxx および STM32F43xxx 用）

FLASH_OPTCR レジスタは、ユーザオプションバイトの変更に使用します。

アドレスオフセット : 0x14

リセット値 : 0x0FFF FFFDオプションビットには、リセット解除時にフラッシュメモリからの値が入力されます。

アクセス : ノーウェイトステート（進行中のフラッシュメモリ操作がない場合）、ワード、ハーフワード、バイトアクセス。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
SPRMOD	DB1M	予約済み		nWRP[11:0]											
rw	rw			rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RDP[7:0]								nRST_STDBY	nRST_STOP	WDG_SW	BFB2	BOR_LEV		OPTSTRT	OPTLOCK
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rs	rs

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 31 **SPRMOD**：nWPRi ビットの保護モードの選択

0：PCROP は無効です。セクタ i の書込み保護に nWPRi ビットを使用します。

1：PCROP は有効です。セクタ i の PCROP 保護に nWPRi ビットを使用します。

ビット 30 **DB1M**：1 MB フラッシュメモリデバイスのデュアルバンク

0：1 MB のシングルバンクフラッシュメモリ（バンク 1 の隣接アドレス）

1：1 MB のデュアルバンクフラッシュメモリフラッシュメモリは、各 512 KB の 2 つのバンクとして構成されています（*表 8：1 MB のフラッシュメモリのシングルバンク構成とデュアルバンク構成 (STM32F42xxx および STM32F43xxx)* および *表 10：1 MB のデュアルバンクのフラッシュメモリ構成 (STM32F42xxx および STM32F43xxx)* 参照）。消去操作を実施するには、正しいセクタをプログラムする必要があります（セクタの番号の振り方については、*表 8* を参照）。

注： ***デフォルトセクタ番号が選択されているときに DB1M がセットされ、バンク 2 に消去操作が実施されると（たとえばセクタ 12 の代わりにセクタ 8 が設定されているなど）、バンク 2 セクタの消去操作は実施されません。***

ビット 29:28 予約済み、クリア状態を保つ必要があります。

ビット 27:16 **nWRP**：書込み保護なし

このビットには、リセット後のセクタ 0 から 11 の書込み保護および読出し保護（PCROP）オプションバイトの値が含まれています。フラッシュメモリに新しい書込み保護または PCROP 値をプログラムするように書き込むことができます。

SPRMOD がリセットされている場合

0：セクタ i で書込み保護がアクティブになっています。

1：セクタ i で書込み保護がアクティブになっていません。

SPRMOD がセットされている場合

0：セクタ i で PCROP 保護がアクティブになっていません。

1：セクタ i で PCROP 保護がアクティブになっています。

ビット 15:8 **RDP**：読出し保護

このビットには、リセット後の読出し保護オプションレベルの値が含まれています。フラッシュメモリに新しい読出し保護値をプログラムするように書き込むことができます。

0xAA：レベル 0、読出し保護はアクティブではありません。

0xCC：レベル 2、チップ読出し保護がアクティブです。

その他：レベル 1、メモリの読出し保護がアクティブです。

ビット 7:5 **USER**：ユーザオプションバイト

このビットには、リセット後のユーザオプションバイトの値が含まれています。フラッシュメモリに新しいユーザオプションバイト値をプログラムするように書き込むことができます。

ビット 7：nRST_STDBY

ビット 6：nRST_STOP

ビット 5：WDG_SW

注： ***ハードウェアからソフトウェアまたはソフトウェアからハードウェアに WDG モードを変更するときに変更を有効にするには、システムリセットが必要です。***

ビット 4 **BFB2**：デュアルバンクブートオプションバイト

0：デュアルバンクブートが無効です。ブートピン状態により、ブートはフラッシュメモリバンク 1 またはシステムメモリからできます（デフォルト）。

1：デュアルバンクブートが有効です。ブートは常にシステムメモリから実施されます。

注： ***STM32F42xx および STM32F43xx 1 MB 部品番号の場合、このオプションビットは予約済みであり、常にクリアされている必要があります。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 3:2 **BOR_LEV**：BOR リセットレベル

このビットには、リセットをアクティブにしたりリセットを解放したりする供給レベル閾値が含まれています。新しい BOR レベルをプログラムするように書き込むことができます。デフォルトでは、BOR はオフです。電源電圧 (V_{DD}) が選択された BOR レベルを下回ると、デバイスリセットが生成されます。

00：BOR レベル 3（VBOR3）、ブラウンアウト閾値レベル 3

01：BOR レベル 2（VBOR2）、ブラウンアウト閾値レベル 2

10：BOR レベル 1（VBOR1）、ブラウンアウト閾値レベル 1

11：BOR オフ、POR／PDR リセット閾値レベルが適用されます。

注： BOR 特性の詳細については、製品データシートの「電気的特性」のセクションを参照してください。

ビット 1 **OPTSTRT**：オプション開始

このビットがセットされると、ユーザオプション操作がトリガされます。ソフトウェアによってのみセットされ、BSY ビットがクリアされるとクリアされます。

ビット 0 **OPTLOCK**：オプションロック

1 のみを書き込みます。このビットがセットされていると、FLASH_OPTCR レジスタがロックされていることを示します。このビットは、アンロックシーケンスが検出されると、ハードウェアによってクリアされます。

アンロック操作が成功しない場合には、このビットは次のリセットまでセットされたままとなります。

3.9.11 フラッシュオプション制御レジスタ（FLASH_OPTCR1）（STM32F42xxx および STM32F43xxx 用）

このレジスタは、STM32F42xxx および STM32F43xxx でのみ使用可能です。

FLASH_OPTCR1 レジスタは、バンク 2 のユーザオプションバイトの変更に使用します。

アドレスオフセット：0x18

リセット値：0x0FFF 0000オプションビットには、リセット解除時にフラッシュメモリからの値が入力されます。

アクセス：ノーウェイトステート（進行中のフラッシュメモリ操作がない場合）、ワード、ハーフワード、バイトアクセス。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み				nWRP[11:0]											
				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 31:28　予約済み、クリア状態を保つ必要があります。

ビット 27:16　**nWRP**：書込み保護なし

このビットには、リセット後のセクタ 0 から 11 の書込み保護および読出し保護（PCROP）オプションバイトの値が含まれています。フラッシュメモリに新しい書込み保護または PCROP 値をプログラムするように書き込むことができます。

SPRMOD がリセットされている場合（デフォルト値）：

0：セクタ i で書込み保護がアクティブになっています。

1：セクタ i で書込み保護がアクティブになっていません。

SPRMOD がセットされている場合

0：セクタ i で PCROP 保護がアクティブになっていません。

1：セクタ i で PCROP 保護がアクティブになっています。

ビット 15:0　予約済み、クリア状態を保つ必要があります。

3.9.12　フラッシュインタフェースレジスタマップ

表 20.　フラッシュレジスタマップとリセット値（STM32F405xx/07xx および STM32F415xx/17xx）

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	FLASH_ACR	予約済み																			DCRST	ICRST	DCEN	ICEN	PRFTEN	予約済み					LATENCY		
	リセット値																				0	0	0	0	0						0	0	0
0x04	FLASH_KEYR	KEY[31:16]																KEY[15:0]															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x08	FLASH_OPTKEYR	OPTKEYR[31:16]																OPTKEYR[15:0]															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0C	FLASH_SR	予約済み															BSY	予約済み								PGSERR	PGPERR	PGAERR	WRPERR	予約済み		OPERR	EOP
	リセット値																0									0	0	0	0			0	0
0x10	FLASH_CR	LOCK	予約済み						EOPIE	予約済み							STRT	予約済み						PSIZE[1:0]		予約済み	SNB[3:0]				MER	SER	PG	
	リセット値	1							0								0							0	0		0	0	0	0		0	0	
0x14	FLASH_OPTCR	予約済み				nWRP[11:0]												RDP[7:0]								nRST_STDBY	nRST_STOP	WDG_SW	予約済み	BOR_LEV		OPTSTRT	OPTLOCK
	リセット値					1	1	1	1	1	1	1	1	1	1	1	1	1	0	1	0	1	0	1	0	1	1	1		1	1	0	1

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 21. フラッシュレジスタマップとリセット値（STM32F42xxx および STM32F43xxx）

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	FLASH_ACR	予約済み																			DCRST	ICRST	DCEN	ICEN	PRFTEN	予約済み				LATENCY			
	リセット値																				0	0	0	0	0					0	0	0	0
0x04	FLASH_KEYR	KEY[31:16]																KEY[15:0]															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x08	FLASH_OPTKEYR	OPTKEYR[31:16]																OPTKEYR[15:0]															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0C	FLASH_SR	予約済み															BSY	予約済み			RDERR	PGSERR	PGPERR	PGAERR	WRPERR	予約済み						OPERR	EOP
	リセット値																0				0	0	0	0	0							0	0
0x10	FLASH_CR	LOCK	予約済み							EOPIE	予約済み						STRT	MER1	予約済み		PSIZE[1:0]			SNB[4:0]					MER	SER	PG		
	リセット値	1								0							0	0			0	0				0	0	0	0	0	0	0	0
0x14	FLASH_OPTCR	SPRMOD	DB1M	予約済み							nWRP[11:0]							RDP[7:0]								nRST_STDBY	nRST_STOP	WDG_SW	BFB2	BOR_LEV		OPTSTRT	OPTLOCK
	リセット値	0	0								1	1	1	1	1	1	1	1	0	1	0	1	0	1	0	1	1	1	0	1	1	0	1
0x18	FLASH_OPTCR1	予約済み									nWRP[11:0]							予約済み															
	リセット値										1	1	1	1	1	1	1																

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

4 CRC 計算ユニット

このセクションは、特に指定がない限り、STM32F4xx ファミリ全体に適用されます。

4.1 CRC の概要

CRC（Cyclic Redundancy Check）計算ユニットは、32 ビットデータワードと、ある一定の生成多項式から、CRC コードを得るために使用されます。

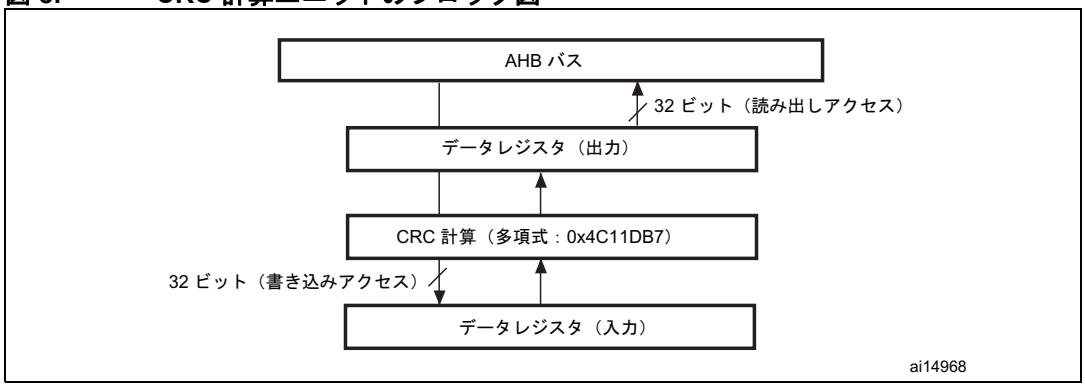
他のアプリケーションの中でも、CRC ベースのテクニックは、データ転送やストレージの整合性を確認するために使用されます。EN/IEC 60335-1 規格の範囲内では、CRC ベースのテクニックがフラッシュメモリの整合性を確認するひとつの手段となっています。CRC 計算ユニットは、実行時にソフトウェアのシグネチャ計算を支援します。リンク時に生成されて、特定のメモリ領域に保存されたリファレンスシグネチャと計算されたソフトウェアシグネチャが比較されます。

4.2 CRC の主な特徴

- CRC-32 （Ethernet）多項式：0x4C11DB7 を使用
  - $X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$
- シングル入力/出力 32 ビットデータレジスタ
- CRC 計算は 4 AHB クロックサイクル（HCLK）で完了
- 汎用 8 ビットレジスタ（一時ストレージとして使用可能）

図 8 にブロック図を示します。

図 8. CRC 計算ユニットのブロック図



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

4.3 CRC の機能説明

CRC 計算ユニットは、主に次のような 1 つの 32 ビットデータレジスタから構成されています。

- CRC 計算機に新しいデータを入力する入力レジスタとして使用されます（レジスタ書込み時）。
- 前回の CRC 計算結果を保持します（レジスタ読出し時）。

データレジスタへの書込み操作のたびに、前の CRC 値と新しい値の組み合わせが作成されます（CRC 計算は 32 ビットデータワード単位で行われ、バイト単位ではありません）。

書込み操作は、CRC 計算の終了まで一時停止されるので、連続書込みアクセスや連続読み書きアクセスが可能です。

CRC 計算機は、CRC_CR レジスタの RESET 制御ビットで、0xFFFF FFFF にリセットできます。この操作は、CRC_IDR レジスタの内容に影響しません。

4.4 CRC レジスタ

CRC 計算ユニットは、2 つのデータレジスタと 1 つの制御レジスタから構成されています。CRC レジスタには、ワード（32 ビット）単位でアクセスする必要があります。

4.4.1 データレジスタ（CRC_DR）

アドレスオフセット：0x00

リセット値：0xFFFF FFFF

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DR [31:16]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DR [15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0 **データレジスタビット**

新しいデータを CRC 計算機への書込み時に入力レジスタとして使用されます。
読み出し時には、前回の CRC 計算結果を保持します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

4.4.2 独立型データレジスタ（CRC_IDR）

アドレスオフセット：0x04

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								IDR[7:0]							
								rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:8 予約済みであり、リセット値のままにしておかなければなりません。

ビット 7:0 **汎用 8 ビットデータレジスタビット**

1 バイトの一時的なストレージとして使用できます。

このレジスタは、CRC_CR レジスタの RESET ビットによって生成される CRC リセットの影響を受けません。

4.4.3 制御レジスタ（CRC_CR）

アドレスオフセット：0x08

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															RESET
															w

ビット 31:1 予約済みであり、リセット値のままにしておかなければなりません。

ビット 0 **RESET ビット**

CRC 計算ユニットをリセットして、データレジスタを 0xFFFF FFFF にセットします。

このビットはセットのみができ、ハードウェアによって自動的にクリアされます。

4.4.4 CRC レジスタマップ

次の表に、CRC レジスタマップとリセット値を示します。

表 22. CRC 計算ユニットのレジスタマップとリセット値

オフセット	レジスタ	31-24	23-16	15-8	7	6	5	4	3	2	1	0
0x00	CRC_DR	データレジスタ										
	リセット値	0xFFFF FFFF										
0x04	CRC_IDR	予約済み			独立型データレジスタ							
	リセット値				0x00							
0x08	CRC_CR	予約済み										RESET
	リセット値											0

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

5 電源コントローラ（PWR）

このセクションは、特に指定がない限り、STM32F4xx ファミリ全体に適用されます。

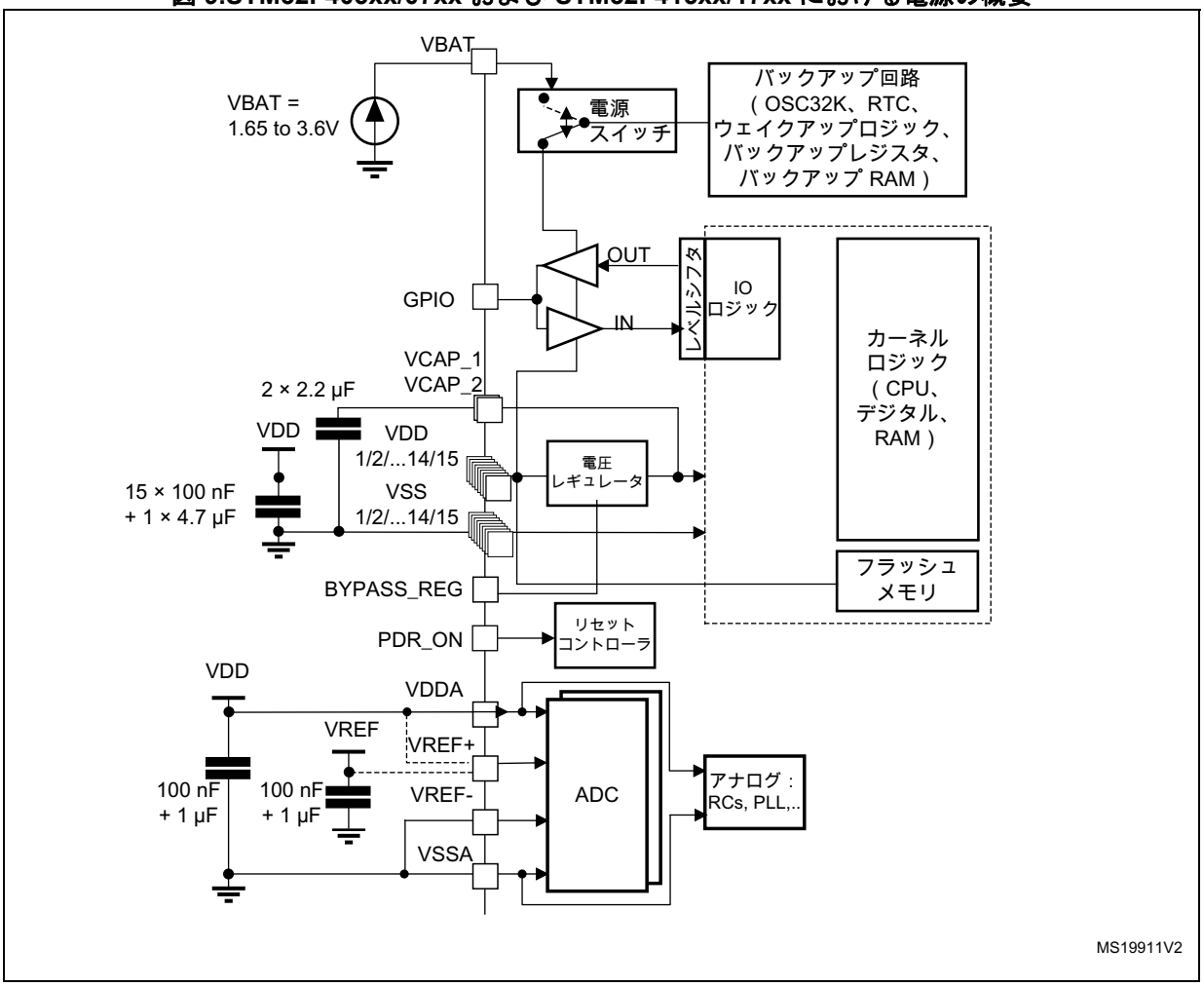
5.1 電源供給

このデバイスには、1.8～3.6 V の動作電源（V_{DD}）が必要です。内部の 1.2 V デジタル電源を供給するために、リニア電圧レギュレータが搭載されています。

リアルタイムクロック（RTC）、RTC バックアップレジスタ 、バックアップ SRAM（BKP SRAM）の電源は、主電源 V_{DD} がオフの場合、V_{BAT} から供給されます。

注： ***動作電源範囲に応じて、一部のペリフェラルは限定された機能と性能で使用されます。詳細については、STM32F4xx データシートの「一般動作条件」のセクションを参照してください。***

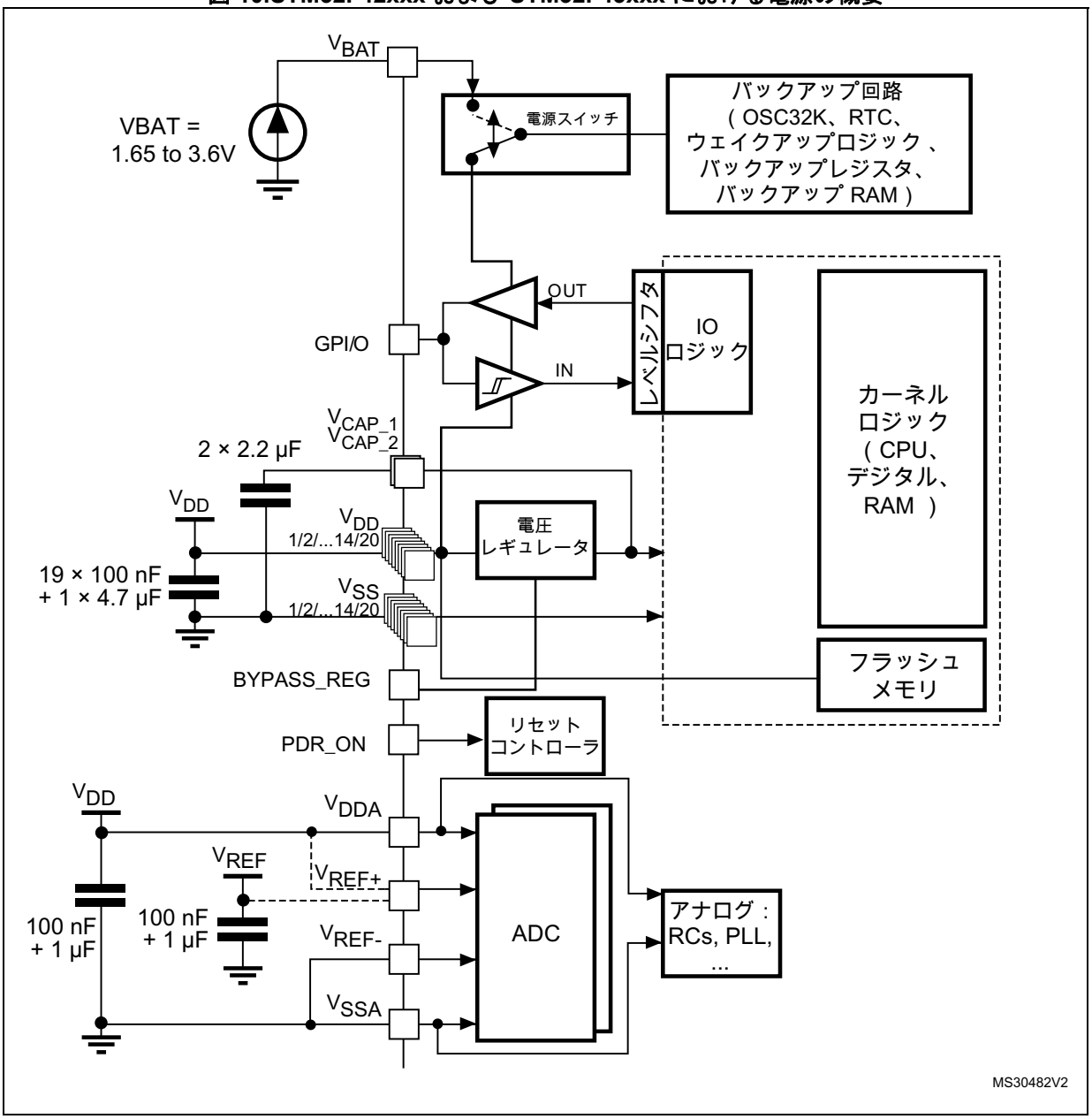
図 9.STM32F405xx/07xx および STM32F415xx/17xx における電源の概要



1. V_{DDA} と V_{SSA} はそれぞれ V_{DD} と V_{SS} に接続する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 10.STM32F42xxx および STM32F43xxx における電源の概要



1. V_{DDA} と V_{SSA} はそれぞれ V_{DD} と V_{SS} に接続する必要があります。

5.1.1 独立した A/D コンバータ用電源と基準電圧

AD 変換の精度を向上させるため、ADC には独立した電源が供給されます。この電源回路は、フィルタやシールドを内蔵しているため、PCB のノイズを防ぐことができます。

- ADC 用の電源入力は、独立した V_{DDA} ピンから供給されます。
- ADC 電源のグランドは、独立した V_{SSA} ピンとして用意されています。

低電圧入力時の精度を確保するため、独立した外部基準電圧を ADC の V_{REF} 入力に接続できます。V_{REF} の電圧は、1.8 V から V_{DDA} の範囲になります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

5.1.2 バッテリバックアップドメイン

バックアップドメインの説明

V_{DD} がオフになった場合に、RTC バックアップレジスタとバックアップ SRAM の内容を保持し、RTC への電源供給を維持するために、V_{BAT} ピンを、電池やその他の電源から供給されるオプションの予備電源に接続することができます。

メインのデジタル電源（V_{DD}）がオフになったときでも RTC が動作できるよう V_{BAT} ピンから次に挙げるブロックに電源を供給します。

- RTC
- LSE オシレータ
- 低電力バックアップレギュレータが動作状態のときのバックアップ SRAM
- PC13 から PC15 の I/Oと PI8 の I/O（利用可能な場合）

V_{BAT} 電源への切り替えは、リセットブロックに組み込まれているパワーダウンリセット回路によって制御されます。

警告： **$t_{RSTTEMPO}$（V_{DD} 起動時の過渡期間）中や PDR の検出後、V_{BAT} と V_{DD} の間の電源スイッチは V_{BAT} に接続されたままになります。**
起動期間中、V_{DD} が $t_{RSTTEMPO}$ 以内に規定値に達し（$t_{RSTTEMPO}$ の値については、データシートを参照）、かつ $V_{DD} > V_{BAT} + 0.6$ V である場合、V_{DD} と電源スイッチ（V_{BAT}）の間に接続された内部ダイオードを通して、V_{BAT} に電流が注入されます。
V_{BAT} ピンに接続された電源/バッテリがこの電流注入に対応できない場合は、この電源と V_{BAT} ピンの間に外部低電圧降下ダイオードを接続することを強く推奨します。

外部バッテリを使用しないアプリケーションでは、V_{BAT} ピンを V_{DD} に接続し、外部にデカップリング用の100 nF のセラミックコンデンサを並列接続することを推奨します。

バックアップドメインが V_{DD} から供給を受けている場合（アナログスイッチが V_{DD} に接続された状態）、次の機能が使用できます。

- PC14 と PC15 は、GPIO または LSE ピンとして使用できます。
- PC13 は GPIO または RTC_AF1 ピンとして使用できます（このピン設定の詳細は *表 38 : RTC_AF1 ピン* を参照してください）。

注： ***スイッチに流すことができる電流は限られているので（3mA）、GPIO のPI8 およびPC13 から PC15 までの使用には制限があります。出力として使用できるのは同時に 1 つの I/O のみで、最大負荷 30 pF で最大速度 2 MHz に制限する必要があります。また、これらの I/O を電流ソースとして使用することはできません（たとえば、LED を駆動するなど）。***

バックアップドメインが V_{BAT} から電源供給を受けている場合（V_{DD} が供給されていないため、アナログスイッチが V_{BAT} に接続された状態）、次の機能が使用できます。

- PC14 と PC15 は、LSE ピンとしてのみ使用できます。
- PC13 は RTC_AF1 ピンとして使用できます（このピン設定の詳細は *表 38 : RTC_AF1 ピン* を参照してください）。
- PI8 は RTC_AF2 ピンとして使用できます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

バックアップドメインアクセス

リセット後、バックアップドメイン（RTC レジスタ、RTC バックアップレジスタ、バックアップ SRAM）は不要な書込みアクセスの危険から保護されています。バックアップドメインへのアクセスを有効にするには、次の手順に従います。

- RTC および RTC バックアップレジスタへのアクセス

1. RCC_APB1ENR レジスタの PWREN ビットをセットすることによって、電源インタフェースクロックを有効にします（*セクション 7.3.13* および *セクション 6.3.13* を参照してください）
2. *PWR 電源制御レジスタ（PWR_CR）STM32F405xx/07xx および STM32F415xx/17xx* および *PWR 電源制御レジスタ（PWR_CR）（STM32F42xxx および STM32F43xxx 用）* の DBP ビットをセットし、バックアップドメインへのアクセスを有効にします
3. RTC クロックソースを選択します: *セクション 7.2.8: RTC/AWU クロック* を参照してください
4. *RCC バックアップドメイン制御レジスタ（RCC_BDCR）* の RTCEN [15] ビットをプログラムすることによって RTC クロックを有効にします

- バックアップ SRAM へのアクセス

1. RCC_APB1ENR レジスタの PWREN ビットをセットすることによって電源インタフェースクロックを有効にします（STM32F405xx/07xx および STM32F415xx/17xx と STM32F42xxx および STM32F43xxx については、それぞれ *セクション 7.3.13* と *セクション 6.3.13* を参照してください。）
2. *PWR 電源制御レジスタ（PWR_CR）STM32F405xx/07xx および STM32F415xx/17xx* および *PWR 電源制御レジスタ（PWR_CR）（STM32F42xxx および STM32F43xxx 用）* の DBP ビットをセットし、バックアップ領域へのアクセスを有効にします
3. *RCC AHB1 ペリフェラルクロックイネーブルレジスタ（RCC_AHB1ENR）* の BKPSRAMEN ビットをセットすることによって、バックアップ SRAM クロックを有効にします

RTC および RTC バックアップレジスタ

本リアルタイムクロック（RTC）は、独立した BCD タイマ／カウンタです。この RTC には、時刻クロック／カレンダ、プログラム可能なアラーム割り込みを2 本、割り込み機能を備えプログラム可能な定期的ウェイクアップフラグを搭載しています。この RTC には、20 個のバックアップデータレジスタ（80 バイト）を搭載しており、タンパ検出イベントが発生するとリセットされます。詳細については、*セクション 26：リアルタイムクロック（RTC）* を参照してください。

バックアップ SRAM

バックアップドメインには、32 ビット、16 ビット、8 ビットモードのいずれかでアドレス指定される 4 KB のバックアップ SRAM があります。低電力バックアップレギュレータが有効になっている場合、STANDBY モードや V_{BAT} モードであっても、その内容は保持されます。V_{BAT} が常に印加されている限り、バックアップ SRAM は、内蔵 EEPROM とみなすことができます。

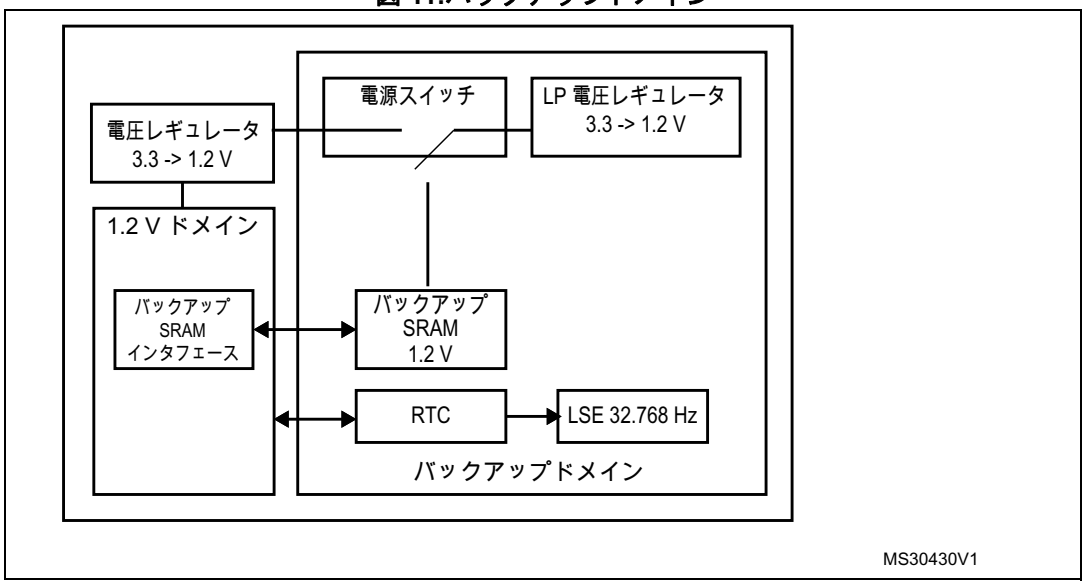
バックアップドメインが V_{DD}から電力供給される場合（アナログスイッチが V_{DD} に接続された状態）、バッテリ寿命を延ばすため、バックアップ SRAM は、V_{BAT} 電源に代わって V_{DD} から電力供給されます。

バックアップドメインが V_{BAT} から電力供給される場合（V_{DD} が印加されないため、アナログスイッチが V_{BAT} に接続された状態）、バックアップ SRAM は専用低電力レギュレータにより電力供給されます。このレギュレータは、アプリケーションが STANDBY モードおよび V_{BAT} モードでバックアップ SRAM の機能を必要とするか否かに応じて ON または OFF することができます。このレギュレータのパワーダウンは、専用ビットである PWR_CSR レジスタ（*セクション 5.4.2：PWR 電力制御／ステータスレジスタ（PWR_CSR）（STM32F405xx/07xx および STM32F415xx/17xx 用）* およびセクション 5.5.2：PWR 電源制御／ステータスレジスタ（PWR_CSR）（STM32F42xxx および STM32F43xxx 用）を参照）の BRE 制御ビットにより制御されます。

この資料は、STMicroelectronics NV 並びにその子会社（以下 ST）が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

バックアップ SRAM はタンパイベントによって一括消去されることはありません。また、暗号の秘密鍵などの機密データへのアクセスを防ぐため、読み出し保護されています。バックアップ SRAM は、レベル 1 からレベル 0 への保護レベルの変更が要求されたときフラッシュインタフェースを介してのみ消去することができます。セクション 3.7.3 の読み出し保護(RDP)の説明を参照してください。

図 11.バックアップドメイン



5.1.3 STM32F405xx/07xx および STM32F415xx/17xx の電圧レギュレータ

バックアップドメインと STANDBY 回路以外のすべてのデジタル回路に電圧を供給するリニア電圧レギュレータが組み込まれています。このレギュレータの出力電圧は、約 1.2 V です。

この電圧レギュレータでは、1 つか 2 つの外付けコンデンサを専用ピン、V_{CAP_1} と V_{CAP_2} に接続する必要があり、これらのピンはすべてのパッケージに備わっています。電圧レギュレータを有効にしたり無効にしたりするには、ある特定のピンを V_{SS} または V_{DD} に接続する必要があります。これらのピンはパッケージによって異なります。

電圧レギュレータがソフトウェアによってアクティブにされると、リセット後は常に使用可能となります。レギュレータは、アプリケーションのモードに応じて、3 種類のモードで動作します。

- **RUN モード**では、レギュレータは 1.2 V ドメイン（コア、メモリ、デジタルペリフェラル）にフル電力を供給します。このモードでは、レギュレータ出力電圧（約 1.2 V）をソフトウェアによって異なる電圧値にスケーリングできます。

  スケール 1 またはスケール 2 が VOS（PWR_CR レジスタのビット 15）を介して、動作中に設定できます。

  この電圧スケーリングによって、デバイスが最大システム周波数より低速のクロックで動作しているときの消費電力を最適化することができます。

- **STOP モード**では、メインレギュレータまたは低電力レギュレータが 1.2 V ドメインに電力を供給して、レジスタと内蔵 SRAM の内容を保持します。電圧レギュレータは、メインレギュレータモード（MR）か、低電力モード（LPR）のいずれかに設定できます。プログラムされた電圧スケールは STOP モードのときも維持されます。

  （*セクション 5.4.1：PWR 電源制御レジスタ（PWR_CR）STM32F405xx/07xx および STM32F415xx/17xx* を参照してください）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

- **STANDBY モード**では、レギュレータは停止状態になります。STANDBY 回路とバックアップドメインを除き、レジスタと SRAM の内容は失われます。

注： ***詳細については、STM32F405xx/07xx および STM32F415xx/17xx のデータシートの電圧レギュレータのセクションを参照してください。***

5.1.4 STM32F42xxx および STM32F43xxx の電圧レギュレータ

バックアップドメインと STANDBY 回路以外のすべてのデジタル回路に電圧を供給するリニア電圧レギュレータが組み込まれています。このレギュレータの出力電圧は、約 1.2 V です。

この電圧レギュレータでは、2 つの外付けコンデンサを専用ピン、V_{CAP_1} と V_{CAP_2} に接続する必要があり、これらのピンはすべてのパッケージに備わっています。電圧レギュレータを有効にしたり無効にしたりするには、ある特定のピンを V_{SS} または V_{DD} に接続する必要があります。これらのピンはパッケージによって異なります。

電圧レギュレータがソフトウェアによってアクティブにされると、リセット後は常に使用可能となります。レギュレータは、アプリケーションのモード（RUN モード、STOP モード、STANBY モード）に応じて、3 種類のモードで動作します。

- **RUN モード**では、メインレギュレータは 1.2 V ドメイン（コア、メモリ、デジタルペリフェラル）にフル電力を供給します。このモードでは、レギュレータの出力電圧（約 1.2 V）はソフトウェアによって、いくつかの異なる電圧値にスケーリングできます（スケール 1、スケール 2、スケール 3 が PWR_CR レジスタの VOS[1:0] ビットを介して設定できます）。この電圧スケールは、PLL がオフで HSI または HSE クロックソースがシステムクロックソースとして選択されている場合にのみ変更することができます。新しくプログラムされた電圧値は、PLL がオンの場合にのみ有効になります。PLL がオフの場合、自動的に電圧スケール 3 が選択されます。

  この電圧スケーリングによって、デバイスが最大システム周波数より低速のクロックで動作しているときの消費電力を最適化することができます。STOP モードの終了後、自動的に電圧スケール 3 が選択されます。（*セクション 5.4.1： PWR 電源制御レジスタ（PWR_CR）STM32F405xx/07xx および STM32F415xx/17xx*を参照してください。）

  2 つの動作モードがあります。

  – **通常モード**：CPU とコアロジックが所定の電圧スケーリング（スケール 1、スケール 2、スケール 3 のいずれか）にて最大周波数で動作します。

  – **オーバードライブモード**：このモードでは、CPU とコアロジックが所定の電圧スケーリング（スケール 1、スケール 2 またはケール 3）にて通常モードより高い周波数で動作することができます。

- **STOP モード**では、メインレギュレータまたは低電力レギュレータが 1.2V ドメインに低電力の電圧を供給して、レジスタと 内蔵 SRAM の内容を保持します。

  電圧レギュレータは、メインレギュレータモード（MR）か、低電力レギュレータモード（LPR）のいずれかに設定できます。両方のモードとも次のようにソフトウェアで設定できます。

  – **通常モード**：1.2 V ドメインは通常リーク電流モードに置かれます。これは、メインレギュレータ（MR）または低電力レギュレータ（LPR）が有効になっているときのデフォルトモードです。

  – **低電圧モード。**

  – **アンダードライブモード**：1.2 V ドメインが低リーク電流モードに置かれます。このモードは、メインレギュレータまたは低電力レギュレータが低電圧モードのときにのみ使用できます（*表 23* を参照）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

- **STANDBY モード**では、レギュレータは停止状態になります。STANDBY 回路とバックアップドメインを除き、レジスタと SRAM の内容は失われます。

注： ***レギュレータがバイパスされたときにはオーバードライブモードとアンダードライブモードは使用できません。***

詳細については、STM32F42xxx および STM32F43xxx のデータシートの電圧レギュレータのセクションを参照してください。

表 23.電圧レギュレータ設定モードとデバイス動作モード(1)

電圧レギュレータ設定	RUN モード	SLEEP モード	STOP モード	STANDBY モード
通常モード	MR	MR	MR または LPR	-
低電圧モード	-	-	MR または LPR	-
オーバードライブモード(2)	MR	MR	-	-
アンダードライブモード	-	-	MR または LPR	-
パワーダウンモード	-	-	-	あり

1. "-" は対応する設定が利用できないことを意味します。
2. V_{DD} = 1.8～2.1 V のときオーバードライブモードは使用できません。

オーバードライブモードへの移行

アプリケーションが重要なタスクの実行ではなく、システムクロックソースが HSI または HSE のいずれかであるときに、オーバードライブモードに切り替えることを推奨します。設定時間を最適化するには、PLL ロックフェーズ中にオーバードライブモードを有効にします。

オーバードライブモードを開始するには、次の手順に従います。

1. システムクロックとして HSI または HSE を選択します。
2. RCC_PLLCFGR レジスタを設定し、RCC_CR レジスタの PLLON ビットをセットします。
3. PWR_CR レジスタの ODEN ビットをセットしてオーバードライブモードを有効にし、PWR_CSR レジスタの ODRDY フラグがセットされるのを待ちます。
4. PWR_CR レジスタの ODSW ビットをセットして、電圧レギュレータを通常モードからオーバードライブモードに切り替えます。システムは切り替え時に一時停止しますが、PLL クロックシステムはロックフェーズ中でも動作し続けます。
5. PWR_CSR の ODSWRDY フラグがセットされるのを待ちます。
6. 必要なフラッシュ待ち時間および AHB プリスケーラと APB プリスケーラを選択します。
7. PLL ロックを待ちます。
8. システムクロックを PLL に切り替えます。
9. システム PLL によって生成されていないペリフェラルクロック（I2S クロック、LCD-TFT クロック、SAI1 クロック、USB_48 MHz クロックなど）を有効にします。

注： ***PLLI2S と PLLSAI はシステム PLL と同時に設定することができます。***

オーバードライブスイッチのアクティブ化中は、どのペリフェラルクロックも有効にしてはなりません。オーバードライブモードを有効にした後、ペリフェラルクロックを有効にする必要があります。

STOP モードに入ると、オーバードライブモードと PLL が無効になります。STOP モードからの復帰後は、アプリケーションソフトウェアによって、オーバードライブモードと PLL を再設定する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

オーバードライブモードの終了

アプリケーションが重要なタスクの実行中ではなく、システムクロックソースが HSI または HSE のいずれかであるときに、オーバードライブモードを終了することを推奨します。オーバードライブモードを終了する手順は 2 つあります。

- PWR_CR レジスタの ODEN と ODSW ビットを同時にリセットします（手順 1）
- まず ODSW ビットをリセットして電圧レギュレータを通常モードへ切り換え、その後、ODEN ビットをリセットしてオーバードライブモードを無効にします（手順2）

手順 1 の例

1. システムクロックソースとして HSI または HSE を選択します。
2. システム PLL によって生成されていないペリフェラルクロック（I2S クロック、LCD-TFT クロック、SAI1 クロック、USB_48 MHz クロックなど）を無効にします。
3. PWR_CR レジスタの ODEN ビットと ODSW ビットを同時にリセットして、電圧レギュレータを通常モードに戻し、オーバードライブモードを無効にします。
4. PWR_CSR レジスタの ODWRDY フラグがリセットされるのを待ちます。

手順 2 の例

1. システムクロックソースとして HSI または HSE を選択します。
2. システム PLL によって生成されていないペリフェラルクロック（I2S クロック、LCD-TFT クロック、SAI1 クロック、USB_48 MHz クロックなど）を無効にします。
3. PWR_CR レジスタの ODSW ビットをリセットして、電圧レギュレータを通常モードに戻します。電圧切り替え中、システムクロックは一時停止します。
4. PWR_CSR レジスタの ODWRDY フラグがリセットされるのを待ちます。
5. PWR_CR レジスタの ODEN ビットをリセットして、オーバードライブモードを無効にします。

注： ***ステップ3 の実行中、ODEN ビットはセットされたままになり、オーバードライブモードは有効なままになりますが、アクティブではありません（ODSW ビットがリセット状態）。ODEN ビットが代わりにリセットされると、オーバードライブモードが無効になり、電圧レギュレータは初期電圧に戻ります。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

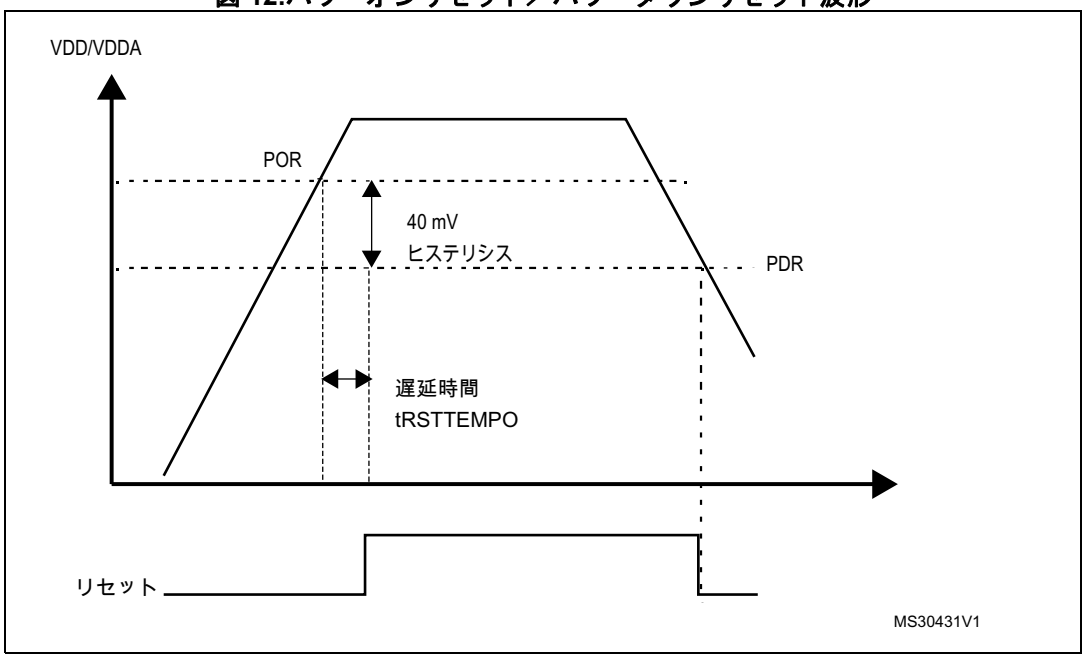
5.2 電源供給スーパバイザ

5.2.1 パワーオンリセット（POR）／パワーダウンリセット（PDR）

このデバイスには、1.8 V 以上での正常な動作を可能とする POR/PDR 統合回路が搭載されています。

デバイスは、V_{DD}/V_{DDA} が規定の閾値 $V_{POR/PDR}$ を下回っている間は、外部のリセット回路を必要とせずに、リセットモードを維持することができます。POR/PDR 閾値の詳細については、データシートの電気的特性の項を参照してください。

図 12.パワーオンリセット／パワーダウンリセット波形



5.2.2 ブラウンアウトリセット（BOR）

パワーオン時、電源電圧が規定の V_{BOR} の閾値に達するまで、ブラウンアウトリセット（BOR）によってデバイスはリセット状態に保持されます。

V_{BOR} は、デバイスオプションバイトを介して設定されます。デフォルトでは、BOR はオフです。プログラム可能な V_{BOR} 閾値レベルを 3 種類選択できます。

- BOR レベル 3（VBOR3）。ブラウンアウト閾値レベル 3。
- BOR レベル 2（VBOR2）。ブラウンアウト閾値レベル 2。
- BOR レベル 1（VBOR1）。ブラウンアウト閾値レベル 1。

注： ***BOR 特性の詳細については、デバイスデータシートの「電気的特性」のセクションを参照してください。***

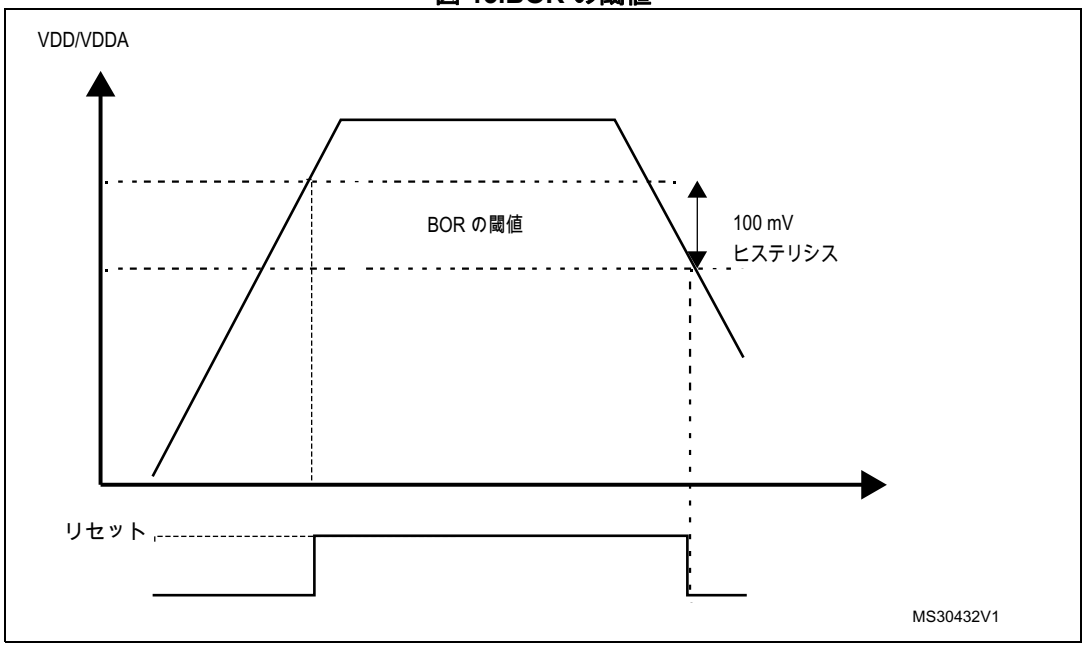
電源電圧（V_{DD}）が、選択された V_{BOR} の閾値を下回ると、デバイスリセットが生成されます。

BOR は、デバイスのオプションバイトをプログラミングすることで無効にすることができます。この場合、パワーオンとパワーダウンは POR/PDR によって監視されます（*セクション 5.2.1：パワーオンリセット（POR）／パワーダウンリセット（PDR）* を参照）。

BOR 閾値のヒステリシスは約 100 mV です（電源電圧の立ち上がりエッジと立ち下がりエッジの間）。

この資料は、STMicroelectronics NV 並びにその子会社（以下 ST）が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 13.BOR の閾値



5.2.3 プログラマブル電圧検出器（PVD）

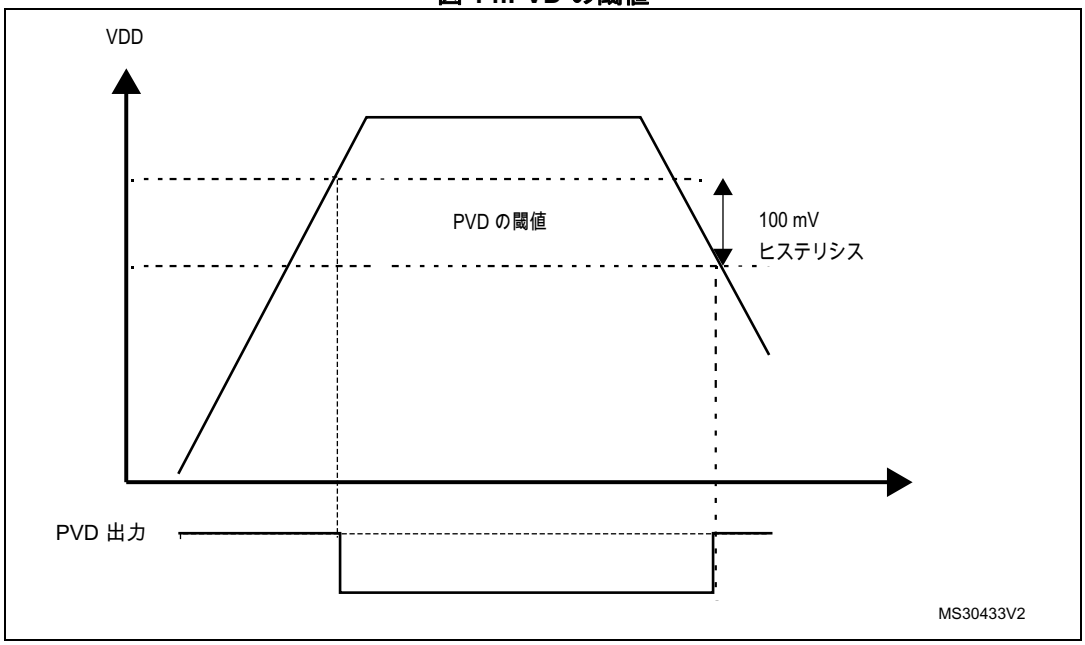
PVD を使用すると、*PWR 電源制御レジスタ（PWR_CR）STM32F405xx/07xx および STM32F415xx/17xx* と *PWR 電源制御レジスタ（PWR_CR）(STM32F42xxx および STM32F43xxx 用)* の PLS[2:0] ビットによって選択された閾値と比較することによって、V_{DD} 電源を監視できます。

PVD は PVDE ビットをセットすることで有効になります。

PWR 電力制御／ステータスレジスタ(PWR_CSR)（STM32F405xx/07xx および STM32F415xx/17xx 用) およびPWR 電源制御／ステータスレジスタ(PWR_CSR)(STM32F42xxx および STM32F43xxx 用）の PVDO フラグは、V_{DD} が PVD 閾値より高いか低いかを示します。このイベントは EXTI のライン 16 に内部接続され、EXTI レジスタで有効な場合は割り込みリクエストを生成させることができます。V_{DD} が PVD 閾値を下回わるか、上回ったとき、あるいはその両方で、EXTI ライン 16 の立ち上がり/立ち下がりエッジの設定に応じて、PVD 出力割り込みを生成させることができます。たとえば、サービスルーチンで、緊急停止処理を実行することなどが可能です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 14.PVD の閾値



5.3 低電力モード

デフォルトでは、マイクロコントローラは、システムリセットまたはパワーオンリセット後は RUN モードです。RUN モードでは、CPU クロックとして HCLK が使用され、プログラムコードが実行されます。外部イベント待ちなど、CPU の連続実行が不要なときの節電のために、いくつかの低電力モードが用意されています。消費電力の節減、スタートアップ時間の短縮、使用可能なウェイクアップソースを考慮した最適なモード選択はユーザに委ねられています。

このデバイスは、次の 3 つの低電力モードを備えています。

- SLEEP モード（Cortex™-M4 with FPU コア停止、ペリフェラルは動作継続）
- STOP モード（すべてのクロックが停止）
- STANDBY モード（1.2 V ドメインの電源オフ）

さらに、次の手段のいずれかによって RUN モードの消費電力を節減できます。

- システムクロックの低速化
- 使用しない場合の APBx および AHBx ペリフェラルへのクロックのゲーティング

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 24.低電力モードの概要

モード名	エントリ	ウェイクアップ	1.2 V ドメインクロックへの影響	V_{DD} ドメインクロックへの影響	電圧レギュレータ
スリープ（Sleep-now または Sleep-on-exit）	WFI	割り込み	CPU クロックオフ他のクロックおよびアナログクロックソースへの影響なし	なし	オン
	WFE	ウェイクアップイベント			
STOP	PDDS ビットおよび LPDS ビット + SLEEPDEEP ビット + WFI または WFE	任意の EXTI ライン（EXTI レジスタで設定、内部ラインおよび外部ライン）	すべての 1.2 V ドメインクロックオフ	HSI および HSE オシレータオフ	ON または低電力モード（*PWR 電源制御レジスタ（PWR_CR）STM32F405xx/07xx および STM32F415xx/17xx* および *PWR 電源制御レジスタ（PWR_CR）（STM32F42xxx および STM32F43xxx 用）* によって異なる）
STANDBY	PDDS ビット + SLEEPDEEPビット + WFI または WFE	WKUP ピンの立ち上がりエッジ、RTC アラーム（アラーム A またはアラーム B）、RTC ウェイクアップイベント、RTC タンパイベント、RTC タイムスタンプイベント、NRST ピンによる外部リセット、IWDG リセット	すべての 1.2 V ドメインクロックオフ	HSI および HSE オシレータオフ	オフ

5.3.1 システムクロックの低速化

RUN モードでは、プリスケーラレジスタをプログラミングすることによってシステムクロック（SYSCLK、HCLK、PCLK1、PCLK2）の速度を下げることができます。SLEEP モードに入る前にペリフェラルの速度を下げるため、これらのプリスケーラを使用することもできます。

詳細については、*セクション 7.3.3：RCC クロック設定レジスタ（RCC_CFGR）* を参照してください。

5.3.2 ペリフェラルクロックゲーティング

RUN モードでは、消費電力を低減するため、個々のペリフェラルとメモリへの HCLKx および PCLKx をいつでも停止することができます。

SLEEP モードで消費電力をさらに低減するため、WFI または WFE 命令を実行する前に、ペリフェラルクロックを停止することができます。

ペリフェラルクロックゲーティングは、AHB1 ペリフェラルクロックイネーブルレジスタ（RCC_AHB1ENR）、AHB2 ペリフェラルクロックイネーブルレジスタ（RCC_AHB2ENR）、AHB3 ペリフェラルクロックイネーブルレジスタ（RCC_AHB3ENR）で制御します（STM32F405xx/07xx および STM32F415xx/17xx は、*セクション 7.3.10：RCC AHB1 ペリフェラルクロックイネーブルレジスタ（RCC_AHB1ENR）*、*セクション 7.3.11：RCC AHB2 ペリフェラルクロックイネーブルレジスタ（RCC_AHB2ENR）*）、*セクション 7.3.12：RCC AHB3 ペリフェラルクロックイネーブルレジスタ（RCC_AHB3ENR）* を、STM32F42xxx および STM32F43xxx は、*セクション 6.3.10：RCC AHB1 ペリフェラルクロックレジスタ（RCC_AHB1ENR）*、*セクション 6.3.11：RCC AHB2 ペリフェラルク*

この資料は、STMicroelectronics NV 並びにその子会社（以下 ST）が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ロックイネーブルレジスタ（RCC_AHB2ENR）、*セクション 6.3.12 : RCC AHB3 ペリフェラルクロックイネーブルレジスタ（RCC_AHB3ENR）*を参照）。

RCC_AHBxLPENR レジスタと RCC_APBxLPENR レジスタの対応ビットをリセットすることで、SLEEP モード時のペリフェラルクロックを自動的に停止させることができます。

5.3.3 SLEEP モード

SLEEP モードへの移行

WFI（Wait For Interrupt）命令または WFE（Wait for Event）命令を実行することにより、SLEEP モードに移行します。SLEEP モードへの移行方法として、Cortex™-M4 with FPU システム制御レジスタの SLEEPONEXIT ビットによって、2 つのオプションが選択できます。

- Sleep-now：SLEEPONEXIT ビットがクリアされている場合、MCU は、WFI または WFE 命令の実行直後に SLEEP モードに移行します。
- Sleep-on-exit：SLEEPONEXIT ビットがセットされている場合、MCU は、最も優先度の低い ISR の終了直後に SLEEP モードに移行します。

SLEEP モードへの移行方法の詳細については、*表 25* および *表 26* を参照してください。

SLEEP モードの終了

WFI 命令によって SLEEP モードに移行した場合、ペリフェラルの割り込みがネスト化されたベクタ割り込みコントローラ（NVIC）によって認識されると、デバイスは SLEEP モードを終了することができます。

WFE 命令によって SLEEP モードに移行した場合、MCU はイベントの発生直後に SLEEP モードを終了します。ウェイクアップイベントは、次のいずれかによって生成できます。

- ペリフェラル制御レジスタで割り込みを有効にし、NVIC では有効にせず、Cortex™-M4 with FPU システム制御レジスタの SEVONPEND ビットを有効にします。MCU が WFE から再開するときには、（NVIC 割り込みクリアペンディングレジスタの）ペリフェラル割り込みペンディングビットとペリフェラル NVIC IRQ チャネルペンディングビットをクリアする必要があります。
- あるいは、外部または内部 EXTI ラインをイベントモードに設定します。CPU が WFE から再開するときには、イベントラインに対応するペンディングビットはセットされていないので、ペリフェラル割り込みペンディングビットや NVIC IRQ チャネルペンディングビットをクリアする必要はありません。

このモードは、割り込みの入口と出口で余分な時間を必要としないため、ウェイクアップ時間が最も短くなります。

SLEEP モードの終了方法の詳細については、*表 25* および *表 26* を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社（以下 ST）が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 25.Sleep-now への移行と終了

Sleep-now モード	説明
モードへの移行	次の条件下での WFI（Wait for Interrupt）または WFE（Wait for Event） – SLEEPDEEP = 0 および – SLEEPONEXIT = 0 Cortex™-M4 with FPU システム制御レジスタを参照
モードの終了	WFI 命令を使用して移行した場合： 割り込み：*表 62：STM32F405xx/07xx および STM32F415xx/17xx 用ベクタテーブル* および *表 63：STM32F42xxx および STM32F43xxx 用ベクタテーブル*を参照 WFE 命令を使用して移行した場合： ウェイクアップイベント：*セクション 12.2.3：ウェイクアップイベント管理* を参照
ウェイクアップ遅延時間	なし

表 26.Sleep-on-exit への移行と終了

Sleep-on-exit	説明
モードへの移行	次の条件下での WFI（Wait for Interrupt） – SLEEPDEEP = 0 および – SLEEPONEXIT = 1 Cortex™-M4 with FPU システム制御レジスタを参照
モードの終了	割り込み：*表 62：STM32F405xx/07xx および STM32F415xx/17xx 用ベクタテーブル* および *表 63：STM32F42xxx および STM32F43xxx 用ベクタテーブル* を参照
ウェイクアップ遅延時間	なし

5.3.4 STOP モード（STM32F405xx/07xx および STM32F415xx/17xx）

STOP モードは、ペリフェラルクロックゲーティングと組み合わさった Cortex™-M4 with FPU のディープスリープ（deepsleep）モードに準拠しています。電圧レギュレータは、通常モードまたは低電力モードのいずれかに設定できます。STOP モードでは、1.2 V ドメインのすべてのクロックが停止し、PLL、HSI、HSE RC オシレータが停止します。内蔵 SRAM とレジスタの内容は保持されます。

PWR_CR レジスタの FPDS ビットをセットすることにより、デバイスが STOP モードに移行するとき、フラッシュメモリもパワーダウンモードに移行します。フラッシュメモリがパワーダウンモードにある場合、STOP モードからのウェイクアップの際に余分なスタートアップ時間が必要になります（*表 27：動作停止モード（STM32F405xx/07xx および STM32F415xx/17xx）*を参照）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 27.動作停止モード
（STM32F405xx/07xx および STM32F415xx/17xx）

STOP モード	LPDS ビット	FPDS ビット	ウェイクアップ遅延時間
STOP MR（メイン レギュレータ）	0	0	HSI RC 起動時間
STOP MR-FPD	0	1	HSI RC 起動時間 + パワーダウンモードからのフラッシュ ウェイクアップ時間
STOP LP	1	0	HSI RC 起動時間 + LP モードからのレギュレータウェイク アップ時間
STOP LP-FPD	1	1	HSI RC 起動時間 + パワーダウンモードからのフラッシュ ウェイクアップ時間 + LP モードからのレギュレータウェイク アップ時間

STOP モードへの移行

STOP モードへの移行方法については、*表 28* を参照してください。

STOP モードで消費電力をさらに低減するには、内蔵電圧レギュレータを低電力モードにします。この設定は、*PWR 電源制御レジスタ（PWR_CR）STM32F405xx/07xx および STM32F415xx/17xx* および *PWR 電源制御レジスタ（PWR_CR）（STM32F42xxx および STM32F43xxx 用）* の LPDS ビットで行います。

フラッシュメモリがプログラミング中の場合、メモリアクセスが終了してから、STOP モードに移行します。

APB ドメインにアクセス中の場合、APB アクセスが終了してから、STOP モードに移行します。

STOP モードでは、個別の制御ビットをプログラミングすることによって、次の機能を選択できます。

- 独立型ウォッチドッグ（IWDG）：IWDG は、キーレジスタへの書き込みによって、またはハードウェアオプションによって起動します。ウォッチドッグの動作がいったん開始されると、リセット以外では停止できません。*セクション 21：独立型ウォッチドッグ（IWDG）* の *セクション 21.3* を参照してください。
- リアルタイムクロック（RTC）：この設定は、*RCC バックアップドメイン制御レジスタ（RCC_BDCR）* の RTCEN ビットで行います。
- 内部 RC オシレータ（LSI RC）：この設定は、*RCC クロック制御およびステータスレジスタ（RCC_CSR）* の LSION ビットで行います。
- 外部 32.768 kHz オシレータ（LSE OSC）：この設定は、*RCC バックアップドメイン制御レジスタ（RCC_BDCR）* の LSEON ビットで行います。

ADC や DAC は、STOP モードに移行する前に停止させない限り、STOP モード中にも電力を消費します。ADC および DAC を停止させるには、ADC_CR2 レジスタの ADON ビットと DAC_CR レジスタの ENx ビットの両方に 0 を書き込む必要があります。

注： ***STOP モードに移行する前にアプリケーションが外部クロックを無効にする必要がある場合、最初に HSEON ビットを無効にし、次いでシステムクロックを HSI に切り替える必要があります。***

さもなければ、STOP モードに移行する前に外部クロック（外部オシレータ）が取り外される可能性があるにもかかわらず HSEON ビットが有効のままであった場合、STOP モードに入るときに外部オ

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

シレータ障害を検出して誤動作を回避するべく、クロックセキュリティシステム（CSS）機能が作動してしまいます。

STOP モードの終了

STOP モードの終了方法の詳細については、*表 28* を参照してください。

割り込みまたはウェイクアップイベントの発行によって STOP モードを終了する場合、システムクロックとして HSI RC オシレータが選択されます。

電圧レギュレータが低電力モードで動作している場合、STOP モードからのウェイクアップの際、更なる起動時間が必要になります。STOP モードの間も内蔵レギュレータをオン状態に保つことによって、消費電力は増加しますが、起動時間は短縮されます。

表 28.STOP モードへの移行と終了

STOP モード	説明
モードへの移行	次の条件下での WFI（Wait for Interrupt）または WFE（Wait for Event） – Cortex™-M4 with FPU システム制御レジスタの SLEEPDEEP ビットをセット – 電源制御レジスタ（PWR_CR）の PDDS ビットをクリア – PWR_CR の LPDS ビットを設定することによって電圧レギュレータのモードを選択 注：STOP モードに移行するには、すべての EXTI ラインペンディングビット（*ペンディングレジスタ（EXTI_PR）* 内）、すべてのペリフェラル割り込みペンディングビット、RTC アラーム（アラーム A および アラーム B）、RTC ウェイクアップ、RTC タンパ、RTC タイムスタンプフラグをリセットする必要があります。さもないと、STOP モード移行手順が無視され、プログラムが実行され続けます。
モードの終了	WFI 命令を使用して移行した場合： 割り込みモードに設定されているすべての EXTI ライン（対応する EXTI 割り込みベクタが NVIC で有効になっている必要があります）。 *表 62：STM32F405xx/07xx および STM32F415xx/17xx 用ベクタテーブル（376 ページ）* および *表 63：STM32F42xxx および STM32F43xxx 用ベクタテーブル* を参照してください。 WFE 命令を使用して移行した場合： イベントモードに設定されているすべての EXTI ライン*セクション 12.2.3：ウェイクアップイベント管理（383 ページ）* を参照してください。
ウェイクアップ遅延時間	*表 27：動作停止モード（STM32F405xx/07xx および STM32F415xx/17xx）*

5.3.5 STOP モード（STM32F42xxx および STM32F43xxx）

STOP モードは、ペリフェラルクロックゲーティングと組み合わさった Cortex™-M4 with FPU のディープスリープ（deepsleep）モードに準拠しています。電圧レギュレータは、通常モードまたは低電力モードのいずれかに設定できます。STOP モードでは、1.2 V ドメインのすべてのクロックが停止し、PLL、HSI、HSE RC オシレータが停止します。内蔵 SRAM とレジスタの内容は保持されます。

STOP モードでは、PWR_CR レジスタの追加設定を使用することにより、消費電力をさらに低減することができます。ただし、STOP モードからのウェイクアップの際に起動時間が長くなる原因になります（*表 29* を参照）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 29.動作停止モード（STM32F42xxx および STM32F43xxx）

電圧レギュレータモード		UDEN[1:0] ビット	MRUDS ビット	LPUDS ビット	LPDS ビット	FPDS ビット	ウェイクアップ遅延時間
通常モード	STOP MR（メインレギュレータ）	-	0	-	0	0	HSI RC 起動時間
	STOP MR- FPD	-	0	-	0	1	HSI RC 起動時間 + パワーダウンモードからのフラッシュウェイクアップ時間
	STOP LP	-	0	0	1	0	HSI RC 起動時間 + LP モードからのレギュレータウェイクアップ時間
	STOP LP-FPD	-	-	0	1	1	HSI RC 起動時間 + パワーダウンモードからのフラッシュウェイクアップ時間 + LP モードからのレギュレータウェイクアップ時間
アンダードライブモード	STOP UMR-FPD	3	1	-	0	-	HSI RC 起動時間 + パワーダウンモードからのフラッシュウェイクアップ時間 + アンダードライブモードからのメインレギュレータウェイクアップ時間 + コアロジックから通常モードへの切替え時間
	STOP ULP-FPD	3	-	1	1	-	HSI RC 起動時間 + パワーダウンモードからのフラッシュウェイクアップ時間 + LP アンダードライブモードからのレギュレータウェイクアップ時間 + コアロジックから通常モードへの切替え時間

STOP モードへの移行

STOP モードへの移行方法については、*表 30* を参照してください。

マイクロコントローラが STOP モードに移行すると、自動的に電圧スケール 3 が選択されます。STOP モードで消費電力をさらに低減するには、内蔵電圧レギュレータを低電力モードまたは低電圧モードにします。この設定は、*PWR 電源制御レジスタ（PWR_CR）STM32F405xx/07xx および STM32F415xx/17xx* の LPDS、MRUDS、LPUDS、UDEN ビットで行います。

フラッシュメモリがプログラミング中の場合、メモリアクセスが終了してから、STOP モードに移行します。

APB ドメインにアクセス中の場合、APB アクセスが終了してから、STOP モードに移行します。

STOP モードに入る前にオーバードライブモードを有効にした場合でも、STOP モードが有効である間、オーバードライブモードは自動的に無効になります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

STOP モードでは、個別の制御ビットをプログラミングすることによって、次の機能を選択できます。

- 独立型ウォッチドッグ（IWDG）：IWDG は、キーレジスタへの書き込みによって、またはハードウェアオプションによって起動します。ウォッチドッグの動作がいったん開始されると、リセット以外では停止できません。*セクション 21：独立型ウォッチドッグ（IWDG）*の *セクション 21.3* を参照してください。
- リアルタイムクロック（RTC）：この設定は、*RCC バックアップドメイン制御レジスタ（RCC_BDCR）*の RTCEN ビットで行います。
- 内部 RC オシレータ（LSI RC）：この設定は、*RCC クロック制御およびステータスレジスタ（RCC_CSR）*の LSION ビットで行います。
- 外部 32.768 kHz オシレータ（LSE OSC）：この設定は、*RCC バックアップドメイン制御レジスタ（RCC_BDCR）*の LSEON ビットで行います。

ADC や DAC は、STOP モードに移行する前に停止させない限り、STOP モード中にも電力を消費します。ADC および DAC を停止させるには、ADC_CR2 レジスタの ADON ビットと DAC_CR レジスタの ENx ビットの両方に 0 を書き込む必要があります。

注： ***外部オシレータ（HSE）障害による内蔵 MCU の動作への影響を防ぐため、STOP モードに入る前に、クロックセキュリティシステム（CSS）機能を有効にすることを推奨します。***

STOP モードの終了

STOP モードの終了方法の詳細については、*表 30* を参照してください。

割り込みまたはウェイクアップイベントの発行によって STOP モードを終了する場合、システムクロックとして HSI RC オシレータが選択されます。

アンダードライブモードを有効にした場合でも、STOP モードの終了後、アンダードライブモードは自動的に無効になります。

電圧レギュレータが低電力モードまたは低電圧モードで動作している場合、STOP モードからのウェイクアップの際、更なる起動時間が必要になります。STOP モードの間も内蔵レギュレータをオン状態に保つことによって、消費電力は増加しますが、起動時間は短縮されます。

電圧レギュレータがアンダードライブモードで動作している場合、STOP モードからのウェイクアップの際、更なる起動時間が必要になります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 30.STOP モードへの移行と終了（STM32F42xxx および STM32F43xxx）

STOP モード	説明
モードへの移行	次の条件下での WFI（Wait for Interrupt）または WFE（Wait for Event） – Cortex™-M4 with FPU システム制御レジスタの SLEEPDEEP ビットをセット – 電源制御レジスタ（PWR_CR）の PDDS ビットをクリア – PWR_CR の LPDS、MRUDS、LPUDS、UDEN ビットを設定することにって電圧レギュレータのモードを選択（*表 29：動作停止モード（STM32F42xxx および STM32F43xxx）*を参照）。 注：STOP モードに移行するには、すべての EXTI ラインペンディングビット（*ペンディングレジスタ（EXTI_PR）*内）、すべてのペリフェラル割り込みペンディングビット、RTC アラーム（アラーム A および アラーム B）、RTC ウェイクアップ、RTC タンパ、RTC タイムスタンプフラグをリセットする必要があります。さもないと、STOP モード移行手順が無視され、プログラムが実行され続けます。
モードの終了	WFI 命令を使用して移行した場合： 割り込みモードに設定されているすべての EXTI ライン（対応する EXTI 割り込みベクタが NVIC で有効になっている必要があります）。*表 62：STM32F405xx/07xx および STM32F415xx/17xx 用ベクタテーブル（376 ページ）*を参照してください。 WFE 命令を使用して移行した場合： イベントモードに設定されているすべての EXTI ライン*セクション 12.2.3：ウェイクアップイベント管理（383 ページ）*を参照してください。
ウェイクアップ遅延時間	*表 29：動作停止モード（STM32F42xxx および STM32F43xxx）*を参照してください。

5.3.6 STANDBY モード

STANDBY モードでは、消費電力を最も少なくできます。このモードは、電圧レギュレータを無効にした状態の Cortex™-M4 with FPU のディープスリープ（deepsleep）モードに基づきます。結果として、1.2 V ドメインの電力がオフになります。PLL、HSI オシレータ、HSE オシレータもオフになります。バックアップドメイン（RTC レジスタ、RTC バックアップレジスタ、バックアップ SRAM）と STANDBY 回路を除いて、SRAM とレジスタの内容は失われます（*図 9* を参照してください）。

STANDBY モードへの移行

STANDBY モードへの移行方法の詳細については、*表 31* を参照してください。

STANDBY モードでは、個別の制御ビットをプログラミングすることによって、次の機能を選択できます。

- 独立型ウォッチドッグ（IWDG）：IWDG は、キーレジスタへの書き込みによって、またはハードウェアオプションによって起動します。ウォッチドッグの動作がいったん開始されると、リセット以外では停止できません。*セクション 21：独立型ウォッチドッグ（IWDG）*の *セクション 21.3* を参照してください。
- リアルタイムクロック（RTC）：この設定は、バックアップドメイン制御レジスタ（RCC_BDCR）の RTCEN ビットで行います。
- 内部 RC オシレータ（LSI RC）：この設定は制御／ステータスレジスタ（RCC_CSR）の LSION ビットで行います。
- 外部 32.768 kHz オシレータ（LSE OSC）：この設定は、バックアップドメイン制御レジスタ（RCC_BDCR）の LSEON ビットで行います。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

STANDBY モードの終了

マイクロコントローラは 外部リセット（NRST ピン）、IWDG リセット、WKUP ピンの立ち上がりエッジ、RTC アラーム、タンパイベント、タイムスタンプイベントのいずれかが検出されると、STANDBY モードを終了します。STANDBY モードからのウェイクアップ後、*PWR 電力制御／ステータスレジスタ（PWR_CSR）（STM32F405xx/07xx および STM32F415xx/17xx 用）*を除くすべてのレジスタがリセットされます。

STANDBY モードからのウェイクアップ後、プログラム実行はリセット後と同様にリスタートされます（ブートピン信号のサンプリング、ベクタリセットのフェッチなど）。*PWR 電力制御／ステータスレジスタ（PWR_CSR）（STM32F405xx/07xx および STM32F415xx/17xx 用）*の SBF ステータスフラグは、MCU が STANDBY モードにあったことを示します。

STANDBY モードの終了方法の詳細については、*表 31* を参照してください。

表 31.STANDBY モードへの移行と終了

STANDBY モード	説明
モードへの移行	次の条件下での WFI（Wait for Interrupt）または WFE（Wait for Event） – Cortex™-M4 with FPU システム制御レジスタの SLEEPDEEP ビットをセット – 電源制御レジスタ（PWR_CR）の PDDS ビットをセット – 電源制御／ステータスレジスタ（PWR_CSR）の WUF ビットをクリア – 選択されたウェイクアップソース（RTC アラーム A、RTC アラーム B、RTC ウェイクアップ、タンパ、タイムスタンプフラグ）に対応する RTC フラグをクリア
モードの終了	WKUP ピンの立ち上がりエッジ、RTC アラーム（アラーム A またはアラーム B）、RTC ウェイクアップイベント、タンパイベント、タイムスタンプイベント、NRST ピンによる外部リセット、IWDG リセット
ウェイクアップ遅延時間	リセットフェーズ

STANDBY モードにおけるI/Oの状態

STANDBY モードでは、以下のピンを除き、すべてのI/Oピンがハイインピーダンス状態となります。

- リセットパッド（有効）
- タンパ、タイムスタンプ、RTC アラーム出力、RTC クロック較正出力として設定されている場合の RTC_AF1 ピン（PC13）
- WKUP ピン（PA0）（有効な場合）

デバッグモード

デフォルトでは、デバッグ機能が使用されているときにアプリケーションが MCU を STOP または STANDBY モードにすると、デバッグ接続は失われます。これは、Cortex™-M4 with FPU コアにクロックが供給されなくなるためです。

ただし、DBGMCU_CR レジスタの設定ビットをセットすることによって、低電力モードを多用しているときでも、ソフトウェアのデバッグを行うことができます。詳細については、*セクション 38.16.1: 低電力モードのデバッグサポート* を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

5.3.7 STOP モードおよび STANDBY モードからデバイスをウェイクアップさせるための RTC 代替機能のプログラム

MCU は、RTC 代替機能により、低電力モードからウェイクアップさせることがことができます。

RTC 代替機能には、RTC アラーム（アラーム A およびアラーム B）、RTC ウェイクアップ、RTC タンパイベント検出、RTC タイムスタンプイベント検出があります。

これらの RTC 代替機能によって、STOP モードや STANDBY モードの低電力モードからシステムをウェイクアップさせることができます。

システムはまた、外部割り込み（オートウェイクアップモード）に頼ることなく、RTC アラームや RTC ウェイクアップイベントを使用して低電力モードからウェイクアップすることもできます。

RTC は、一定の時間間隔で STOP モードや STANDBY モードからウェイクアップさせるためのプログラム可能なタイムベースとすることができます。

この目的のため、*RCC バックアップドメイン制御レジスタ（RCC_BDCR）* の RTCSEL[1：0] ビットをプログラミングすることによって、3 つの代替 RTC クロックソースのうちから 2 つを選択できます。

- 低電力 32.768 kHz 外部クリスタルオシレータ（LSE OSC）
  このクロックソースは、非常に少ない消費電力（標準的な条件下で追加消費電力 1 µA 未満）で高精度のタイムベースとなります。
- 低電力内部 RC オシレータ（LSI RC）
  このクロックソースには、32.768 kHz クリスタルのコストを節約できるという利点があります。この内部 RC オシレータは、最小限の消費電力で動作するように設計されています。

STOP モードからデバイスをウェイクアップさせるための RTC 代替機能

- RTC アラームイベントによって STOP モードからデバイスをウェイクアップさせるには、次の設定が必要です。
  a) EXTI ライン 17 を立ち上がりエッジを検知するように設定します（割り込みモードまたはイベントモード）。
  b) RTC_CR レジスタ内の RTC アラーム割り込みを有効にします。
  c) RTC が RTC アラームを発生するように設定します。
- RTC タンパまたはタイムスタンプイベントによって STOP モードからデバイスをウェイクアップさせるには、次の設定が必要です。
  a) EXTI ライン 21 を立ち上がりエッジを検知するように設定します（割り込みモードまたはイベントモード）。
  b) RTC_CR レジスタの RTC タイムスタンプ割り込みまたは RTC_TAFCR レジスタのRTC タンパ割り込みを有効にします。
  c) タンパまたはタイムスタンプイベントを検出するよう RTC を設定します。
- RTC ウェイクアップイベントによって STOP モードからデバイスをウェイクアップさせるには、次の設定が必要です。
  a) EXTI ライン 22 を立ち上がりエッジを検知するように設定します（割り込みモードまたはイベントモード）。
  b) RTC_CR レジスタ内の RTC ウェークアップ割り込みを有効にします。
  c) RTC が RTC ウェイクアップイベントを発生するように設定します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

STANDBY モードからデバイスをウェイクアップさせるための RTC 代替機能

- RTC アラームイベントによって STANDBY モードからデバイスをウェイクアップさせるには、次の設定が必要です。
  a) RTC_CR レジスタ内の RTC アラーム割り込みを有効にします。
  b) RTC が RTC アラームを発生するように設定します。
- RTC タンパまたはタイムスタンプイベントによって STANDBY モードからデバイスをウェイクアップさせるには、次の設定が必要です。
  a) RTC_CR レジスタの RTC タイムスタンプ割り込みまたは RTC_TAFCR レジスタの RTC タンパ割り込みを有効にします。
  b) タンパまたはタイムスタンプイベントを検出するよう RTC を設定します。
- RTC ウェイクアップイベントによって STANDBY モードからデバイスをウェイクアップさせるには、次の設定が必要です。
  a) RTC_CR レジスタ内の RTC ウェークアップ割り込みを有効にします。
  b) RTC が RTC ウェイクアップイベントを発生するように設定します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

RTC 代替機能の安全なウェイクアップフラグクリアシーケンス

PWR ウェイクアップフラグ（WUTF）がクリアされる前に選択された RTC 代替機能がセットされた場合、検出は立ち上がりエッジで一度だけ行われるため、次のイベントで検出されることはありません。

RTC 代替機能がマッピングされているピンでの検出ミスを避け、STOP モードおよび STANDBY モードを正しく終了するには、STANDBY モードに入る前に以下の手順に従うことを推奨します。

- RTC アラームを使用してデバイスを低電力モードからウェイクアップさせる場合は、次の設定が必要です。
  a) RTC アラーム割り込みを無効にします（RTC_CR レジスタの ALRAIE または ALRBIE ビット）。
  b) RTC アラーム（ALRAF/ALRBF）フラグをクリアします。
  c) PWR ウェイクアップ（WUF）フラグをクリアします。
  d) RTC アラーム割り込みを有効にします。
  e) 再び低電力モードに移行します。
- RTC ウェイクアップを使用してデバイスを低電力モードからウェイクアップさせる場合は、次の設定が必要です。
  a) RTC ウェイクアップ割り込みを無効にします（RTC_CR レジスタの WUTIE ビット）。
  b) RTC ウェイクアップ（WUTF）フラグをクリアします。
  c) PWR ウェイクアップ（WUF）フラグをクリアします。
  d) RTC ウェイクアップ割り込みを有効にします。
  e) 再び低電力モードに移行します。
- RTC タンパを使用してデバイスを低電力モードからウェイクアップさせる場合は、次の設定が必要です。
  a) RTC タンパ割り込みを無効にします（RTC_TAFCR レジスタの TAMPIE ビット）。
  b) タンパ（TAMP1F/TSF）フラグをクリアします。
  c) PWR ウェイクアップ（WUF）フラグをクリアします。
  d) RTC タンパ割り込みを有効にします。
  e) 再び低電力モードに移行します。
- RTC タイムスタンプを使用してデバイスを低電力モードからウェイクアップさせる場合は、次の設定が必要です。
  a) RTC タイムスタンプ割り込みを無効にします（RTC_CR レジスタの TSIE ビット）。
  b) RTC タイムスタンプ（TSF）フラグをクリアします。
  c) PWR ウェイクアップ（WUF）フラグをクリアします。
  d) RTC タイムスタンプ割り込みを有効にします。
  e) 再び低電力モードに移行します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

5.4 電源制御レジスタ（STM32F405xx/07xx および STM32F415xx/17xx）

5.4.1 PWR 電源制御レジスタ（PWR_CR） STM32F405xx/07xx および STM32F415xx/17xx

アドレスオフセット：0x00

リセット値：0x0000 4000（STANDBY モードからのウェイクアップによってリセット）

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み	VOS	予約済み				FPDS	DBP	PLS[2:0]			PVDE	CSBF	CWUF	PDDS	LPDS
	rw					rw	rw	rw	rw	rw	rw	w	w	rw	rw

ビット 31:15 予約済みであり、リセット値に保持する必要があります。

ビット 14 VOS：レギュレータ電圧スケーリング出力選択

このビットによって、内蔵電圧レギュレータのメインモード出力電圧を制御し、デバイスが最大周波数で動作していないときに、パフォーマンスと消費電力のトレードオフを実現します。

0：スケール 2 モード

1：スケール 1 モード（リセット時のデフォルト値）

ビット 13:10 予約済みであり、リセット値に保持する必要があります。

ビット 9 **FPDS**：STOP モードにおけるフラッシュパワーダウン

セットされている場合、デバイスが STOP モードに入るとフラッシュメモリがパワーダウンモードに移行します。これにより、STOP モードの消費電力を削減できますが、再起動時間は長くなります。

0：デバイスが STOP モードのときフラッシュメモリはパワーダウンにはならない

1：デバイスが STOP モードのときフラッシュメモリはパワーダウン

ビット 8 **DBP**：バックアップドメイン書き込み保護の無効化

リセット状態において、RCC_BDCR レジスタ、RTC レジスタ（バックアップレジスタを含む）、PWR_CSR レジスタの BRE ビットは、不要な書き込みアクセスから保護されています。これらのレジスタへの書込みアクセスを可能にするには、このビットをセットする必要があります。

0：RTC、RTC バックアップレジスタ、バックアップ SRAM へのアクセスは無効

1：RTC、RTC バックアップレジスタ、バックアップ SRAM へのアクセスは有効

ビット 7:5 **PLS[2:0]**：PVD レベル選択

これらのビットは、電源電圧検出器によって検出される電圧閾値を選択するため、ソフトウェアで書き込みます。

000：2.0 V

001：2.1 V

010：2.3 V

011：2.5 V

100：2.6 V

101：2.7 V

110：2.8 V

111：2.9 V

注：　詳細については、データシートの電気的特性を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社（以下 ST）が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 4 **PVDE**：電源電圧検出器有効化

このビットは、ソフトウェアによってセット／クリアされます。

0：PVD は無効

1：PVD は有効

ビット 3 **CSBF**：STANDBY フラグのクリア

このビットは常に 0 として読み出されます。

0：影響無し

1：SBF STANDBY フラグのクリア（書き込み）

ビット 2 **CWUF**：ウェイクアップフラグのクリア

このビットは常に 0 として読み出されます。

0：影響無し

1：WUF ウェイクアップフラグを **2 システムクロックサイクル後**にクリア

ビット 1 **PDDS**：パワーダウンディープスリープ

このビットは、ソフトウェアによってセット／クリアされます。LPDS ビットとの組み合わせで動作します。

0：CPU がディープスリープに入ると、STOP モードに移行します。レギュレータの状態は LPDS ビットによって変化します。

1：CPU がディープスリープに入ると、STANDBY モードに移行します。

ビット 0 **LPDS**：低電力ディープスリープ

このビットは、ソフトウェアによってセット／クリアされます。このビットは PDDS ビットとの組み合わせで動作します

0：電圧レギュレータは STOP モードの間もオン状態を保ちます。

1：電圧レギュレータは STOP モードの間は低電力モードになります。

5.4.2 PWR 電力制御／ステータスレジスタ（PWR_CSR）（STM32F405xx/07xx および STM32F415xx/17xx 用）

アドレスオフセット：0x04

リセット値：0x0000 0000（STANDBY モードからのウェイクアップによってリセットされない）

このレジスタを読み出すには、通常の APB 読み出しに対して、追加の APB サイクルが必要です。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み	VOSRDY	予約済み				BRE	EWUP	予約済み 予約済み				BRR	PVDO	SBF	WUF
	r					rw	rw					r	r	r	r

ビット 31:15 予約済みであり、リセット値に保持する必要があります。

ビット 14 **VOSRDY**：レギュレータ電圧スケーリング出力選択レディビット

0：レディでない状態

1：レディ状態

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 13:10 予約済みであり、リセット値に保持する必要があります。

ビット 9 **BRE**：バックアップレギュレータ有効化

このビットがセットされると、バックアップレギュレータ（STANDBY モードおよび V_{BAT} モードでバックアップ SRAM の内容を保持するために使用）が有効になります。BRE がリセットされるとバックアップレギュレータはオフになります。STANDBY モードおよび V_{BAT} モードではバックアップ SRAM はそのまま使用できますが、その内容は失われることになります。いったんセットすると、アプリケーションは、バックアップレギュレータレディフラグ（BRR）が設定され、RAM に書き込まれたデータが STANDBY モードおよび V_{BAT} モードにおいて保持されることが示されるのを待つ必要があります。

0：バックアップレギュレータは無効

1：バックアップレギュレータは有効

注： システムリセットや電源リセットによって、デバイスが STANDBY モードからウェイクアップするとき、このビットはリセットされません。

ビット 8 EWUP：WKUP ピンを有効にします。

このビットは、ソフトウェアによってセット／クリアされます。

0：WKUP ピンは汎用I/Oとして使用されます。この WKUP ピンでイベントが発生しても、デバイスは STANDBY モードからウェイクアップしません。

1：WKUP ピンは STANDBY モードからのウェイクアップに使用され、強制的にプルダウン入力モードに設定されます（WKUP ピンの立ち上がりエッジで、システムは STANDBY モードからウェイクアップします）。

注： このビットは、システムリセットによってリセットされます。

ビット 7:4 予約済みであり、リセット値に保持する必要があります。

ビット 3 **BRR**：バックアップレギュレータレディ

ハードウェアによってセットされ、バックアップレギュレータが動作可能状態であることを示します。

0：バックアップレギュレータは動作可能状態ではありません。

1：バックアップレギュレータは動作可能状態です。

注： システムリセットや電源リセットによって、デバイスが STANDBY モードからウェイクアップするとき、このビットはリセットされません。

ビット 2 **PVDO**：PVD 出力

このビットは、ハードウェアによってセット／クリアされます。PVDE ビットによって PVD が有効化されている場合のみ有効です。

0：V_{DD} は PLS[2:0] ビットで選択された PVD 閾値より高い。

1：V_{DD} は PLS[2:0] ビットで選択された PVD 閾値より低い。

注： PVD は STANDBY モードによって停止します。したがって、このビットは STANDBY またはリセット後、PVDE ビットがセットされるまで 0 になります。

ビット 1 **SBF**：STANDBY フラグ

このビットはハードウェアによってセットされ、POR/PDR（パワーオンリセット／パワーダウンリセット）、または PWR_CR レジスタの CSBF ビットをセットすることによってのみクリアされます。

0：デバイスは STANDBY モードではありません。

1：デバイスは STANDBY モードです。

ビット 0 **WUF**：ウェイクアップフラグ

このビットはハードウェアによってセットされ、システムリセットまたは PWR_CR レジスタの CFUF ビットをセットするかのいずれかによってクリアされます。

0：ウェイクアップイベントは発生していません。

1：WKUP ピン、RTC アラーム（アラーム A またはアラーム B）、RTC タンパイベント、RTC タイムスタンプイベント、RTC ウェイクアップのいずれかからウェイクアップイベントを受信した

注： WKUP ピンのレベルがすでにハイであっても、(EWUP ビットをセットすることによって)WKUP ピンが有効化された場合、追加のウェイクアップイベントが検出されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

5.5 電源制御レジスタ（STM32F42xxx および STM32F43xxx）

5.5.1 PWR 電源制御レジスタ（PWR_CR）（STM32F42xxx および STM32F43xxx 用）

アドレスオフセット：0x00

リセット値：0x0000 C000（STANDBY モードからのウェイクアップによってリセット）

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み												UDEN[1:0]		ODSWEN	ODEN
												rw	rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
VOS[1:0]		ADCDC1	予約済み	MRUDS	LPUDS	FPDS	DBP	PLS[2:0]			PVDE	CSBF	CWUF	PDDS	LPDS
rw	rw	rw		rw	rw	rw	rw	rw	rw	rw	rw	rc_w1	rc_w1	rw	rw

ビット 31:20 予約済みであり、リセット値に保持する必要があります。

ビット 19:18 **UDEN[1:0]**：STOP モードにおけるアンダードライブ有効化

これらのビットは、ソフトウェアによってセットされます。これにより、STOP モードの消費電力を減らすころができますが、ウェイクアップ時間は長くなります。

このビットがセットされると、デバイスが STOP モードに移行したときのデジタル領域の漏れ電流が少なくなります。

00：アンダードライブは無効

01：予約済み

10：予約済み

11：アンダードライブは有効

ビット 17 **ODSWEN**：オーバードライブ切り替え有効化

このビットは、ソフトウェアによってセットされます。このビットは、ODEN ビットがリセットされたとき、または STOP モード終了後にハードウェアによって自動的にクリアされます。このビットがセットされると、オーバードライブモードに切り替えることができます。

ODSWEN ビットをセットまたはリセットするには、HSI または HSE をシステムクロックとして選択する必要があります。

ODSWEN ビットは、オーバードライブモードに切り替えるため ODRDY フラグがセットされたときにのみセットしなければなりません。

0：オーバードライブ切り替えは無効

1：オーバードライブ切り替えは有効

注： オーバードライブ切り替え時（有効化であろうと無効化であろうと）、内部電圧の設定中は、システムクロックが一時停止します。

ビット 16 **ODEN**：オーバードライブ有効化

このビットは、ソフトウェアによってセットされます。このビットは、STOP モード終了後ハードウェアによって自動的にクリアされます。より高速に動作させることを目的として、オーバードライブモードを有効にするために使用します。

ODEN ビットをセットまたはリセットするには、HSI または HSE をシステムクロックとして選択する必要があります。ODEN ビットをセットした場合、アプリケーションは ODSWEN ビットをセットする前に、まずオーバードライブレディフラグ（ODRDY）がセットされるのを待つ必要があります。

0：オーバードライブは無効

1：オーバードライブは有効

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 15:14 **VOS[1:0]**：レギュレータ電圧スケーリング出力選択

このビットによって、内蔵電圧レギュレータのメインモード出力電圧を制御し、デバイスが最大周波数で動作していないときに、パフォーマンスと消費電力のトレードオフを実現します（詳細は、STM32F42xx and STM32F43xx のデータシートを参照）。

これらのビットを変更できるのは、PLL がオフのときだけです。新しくプログラムされた電圧値は、PLL がオンの場合にのみ有効になります。PLL がオフの場合、自動的に電圧スケール 3 が選択されます。

00：予約済み（スケール 3 モードが選択）

01：スケール 3 モード

10：スケール 2 モード

11：スケール 1 モード（リセット値）

ビット 13 **ADCDC1**：

0：影響なし

1：このビットの使い方の詳細は、AN4073 を参照してください。

注：　電源電圧範囲 2.7？3.6 V で動作し、かつプリフェッチがオフのときにのみ、このビットをセットすることができます。

ビット 12 予約済みであり、リセット値に保持する必要があります。

ビット 11 **MRUDS**：ディープスリープアンダードライブモード時のメインレギュレータ

このビットは、ソフトウェアによってセット／クリアされます。

0：デバイスが STOP モードのとき、メインレギュレータがオンになります。

1：デバイスが STOP アンダードライブモードのとき、メインレギュレータはアンダードライブモードに入り、フラッシュメモリはパワーダウンとなります。

ビット 10 **LPUDS**：ディープスリープアンダードライブモード時の低電力レギュレータ

このビットは、ソフトウェアによってセット／クリアされます。

0: デバイスが STOP モードのとき LPDS ビットがセットされていれば低電力レギュレータはオンになります。

1: デバイスが STOP アンダードライブモードのとき LPDS ビットがセットされフラッシュメモリがパワーダウンした場合、低電力レギュレータはアンダードライブモードになります。

ビット 9 **FPDS**：STOP モードにおけるフラッシュパワーダウン

セットされている場合、デバイスが STOP モードに入るとフラッシュメモリがパワーダウンモードに移行します。これにより、STOP モードの消費電力を削減できますが、再起動時間は長くなります。

0：デバイスが STOP モードのときフラッシュメモリはパワーダウンにはならない

1：デバイスが STOP モードのときフラッシュメモリはパワーダウン

ビット 8 **DBP**：バックアップドメイン書き込み保護の無効化

リセット状態において、RCC_BDCR レジスタ、RTC レジスタ（バックアップレジスタを含む）、PWR_CSR レジスタの BRE ビットは、不要な書き込みアクセスから保護されています。これらのレジスタへの書込みアクセスを可能にするには、このビットをセットする必要があります。

0：RTC、RTC バックアップレジスタ、バックアップ SRAM へのアクセスは無効

1：RTC、RTC バックアップレジスタ、バックアップ SRAM へのアクセスは有効

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 7:5 **PLS[2:0]**：PVD レベル選択

これらのビットは、電源電圧検出器によって検出される電圧閾値を選択するため、ソフトウェアで書き込みます。

000：2.0 V
001：2.1 V
010：2.3 V
011：2.5 V
100：2.6 V
101：2.7 V
110：2.8 V
111：2.9 V

注： 詳細については、データシートの電気的特性を参照してください。

ビット 4 **PVDE**：電源電圧検出器有効化

このビットは、ソフトウェアによってセット／クリアされます。

0：PVD は無効
1：PVD は有効

ビット 3 **CSBF**：STANDBY フラグのクリア

このビットは常に 0 として読み出されます。

0：影響無し
1：SBF STANDBY フラグのクリア（書き込み）

ビット 2 **CWUF**：ウェイクアップフラグのクリア

このビットは常に 0 として読み出されます。

0：影響無し
1：WUF ウェイクアップフラグを **2 システムクロックサイクル後**にクリア

ビット 1 **PDDS**：パワーダウンディープスリープ

このビットは、ソフトウェアによってセット／クリアされます。LPDS ビットとの組み合わせで動作します。

0：CPU がディープスリープに入ると、STOP モードに移行します。レギュレータの状態は LPDS ビットによって変化します。
1：CPU がディープスリープに入ると、STANDBY モードに移行します。

ビット 0 **LPDS**：低電力ディープスリープ

このビットは、ソフトウェアによってセット／クリアされます。このビットは PDDS ビットとの組み合わせで動作します

0：メイン電圧レギュレータは STOP モードの間もオン状態を保ちます。
1：低電力電圧レギュレータは STOP モードの間もオン状態を保ちます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

5.5.2 PWR 電源制御／ステータスレジスタ（PWR_CSR）（STM32F42xxx および STM32F43xxx 用）

アドレスオフセット：0x04

リセット値：0x0000 0000（STANDBY モードからのウェイクアップによってリセットされない）

このレジスタを読み出すには、通常の APB 読み出しに対して、追加の APB サイクルが必要です。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み												UDRDY[1:0]		ODSWRDY	ODRDY
												rc_w1	rc_w1	r	r

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み	VOSRDY	予約済み				BRE	EWUP	予約済み。				BRR	PVDO	SBF	WUF
	r					rw	rw					r	r	r	r

ビット 31:20 予約済みであり、リセット値に保持する必要があります。

ビット 19:18 **UDRDY[1:0]**：アンダードライブレディフラグ

これらのビットは、STOP モードにおいてアンダードライブモードが有効なときにハードウェアによってセットされ、1 にプログラムすることでクリアされます。

00：アンダードライブは無効

01：予約済み

10：予約済み

11：STOP モード時、アンダードライブモードが作動します。

ビット 17 ODSWRDY：オーバードライブモード切り替えレディ

0：オーバードライブモードは無効

1：オーバードライブモードは、1.2 V ドメインにおけるデジタル領域で有効

ビット 16 **ODRDY**：オーバードライブモードレディ

0：オーバードライブモードはレディ状態ではない

1：オーバードライブモードはレディ状態

ビット 14 **VOSRDY**：レギュレータ電圧スケーリング出力選択レディビット

0：レディでない状態

1：レディ状態

ビット 13:10 予約済みであり、リセット値に保持する必要があります。

ビット 9 **BRE**：バックアップレギュレータ有効化

このビットがセットされると、バックアップレギュレータ（STANDBY モードおよび V_{BAT} モードでバックアップ SRAM の内容を保持するために使用）が有効になります。BRE がリセットされるとバックアップレギュレータはオフになります。STANDBY モードおよび V_{BAT} モードではバックアップ SRAM はそのまま使用できますが、その内容は失われることになります。いったんセットすると、アプリケーションは、バックアップレギュレータレディフラグ（BRR）が設定され、RAM に書き込まれたデータが STANDBY モードおよび V_{BAT} モードにおいて保持されることが示されるのを待つ必要があります。

0：バックアップレギュレータは無効

1：バックアップレギュレータは有効

注： システムリセットや電源リセットによって、デバイスが STANDBY モードからウェイクアップするとき、このビットはリセットされません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 8 EWUP：WKUP ピンを有効にします。

このビットは、ソフトウェアによってセット／クリアされます。

0：WKUP ピンは汎用I/Oとして使用されます。この WKUP ピンでイベントが発生しても、デバイスは STANDBY モードからウェイクアップしません。

1：WKUP ピンは STANDBY モードからのウェイクアップに使用され、強制的にプルダウン入力モードに設定されます（WKUP ピンの立ち上がりエッジで、システムは STANDBY モードからウェイクアップします）。

注： このビットは、システムリセットによってリセットされます。

ビット 7:4 予約済みであり、リセット値に保持する必要があります。

ビット 3 **BRR**：バックアップレギュレータレディ

ハードウェアによってセットされ、バックアップレギュレータが動作可能状態であることを示します。

0：バックアップレギュレータは動作可能状態ではありません。

1：バックアップレギュレータは動作可能状態です。

注： システムリセットや電源リセットによって、デバイスが STANDBY モードからウェイクアップするとき、このビットはリセットされません。

ビット 2 **PVDO**：PVD 出力

このビットは、ハードウェアによってセット／クリアされます。PVDE ビットによって PVD が有効化されている場合のみ有効です。

0：V_{DD} は PLS[2:0] ビットで選択された PVD 閾値より高い。

1：V_{DD} は PLS[2:0] ビットで選択された PVD 閾値より低い。

注： PVD は STANDBY モードによって停止します。したがって、このビットは STANDBY またはリセット後、PVDE ビットがセットされるまで 0 になります。

ビット 1 **SBF**：STANDBY フラグ

このビットはハードウェアによってセットされ、POR/PDR（パワーオンリセット/パワーダウンリセット）によって、または *PWR 電源制御レジスタ（PWR_CR） STM32F405xx/07xx および STM32F415xx/17xx* の CSBF ビットをセットすることによってのみクリアされます。

0：デバイスは STANDBY モードではありません。

1：デバイスは STANDBY モードです。

ビット 0 **WUF**：ウェイクアップフラグ

このビットはハードウェアによってセットされ、システムリセットまたは PWR_CR レジスタの CFUF ビットをセットするかのいずれかによってクリアされます。

0：ウェイクアップイベントは発生していません。

1：WKUP ピン、RTC アラーム（アラーム A またはアラーム B）、RTC タンパイベント、RTC タイムスタンプイベント、RTC ウェイクアップのいずれかからウェイクアップイベントを受信した。

注： WKUP ピンのレベルがすでにハイであっても、(EWUP ビットをセットすることによって)WKUP ピンが有効化された場合、追加のウェイクアップイベントが検出されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

5.6 PWR レジスタマップ

次の表に PWR レジスタの一覧を示します。

表 32.STM32F405xx/07xx および STM32F415xx/17xx の PWR - レジスタマップとリセット時の値

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x000	PWR_CR	予約済み																	VOS	予約済み				FPDS	DBP	PLS[2:0]			PVDE	CSBF	CWUF	PDDS	LPDS
	リセット値																		1					0	0	0	0	0	0	0	0	0	0
0x004	PWR_CSR	予約済み																	VOSRDY	予約済み				BRE	EWUP	予約済み				BRR	PVDO	SBF	WUF
	リセット値																		0					0	0					0	0	0	0

表 33.STM32F42xxx および STM32F43xxx の PWR - レジスタマップとリセット時の値

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x000	PWR_CR	予約済み												UDEN[1:0]		ODSWEN	ODEN	VOS[1:0]		ADCDC1	予約済み	MRUDS	LPUDS	FPDS	DBP	PLS[2:0]			PVDE	CSBF	CWUF	PDDS	LPDS
	リセット値													1	1	1	1	1	1	0		1	1	0	0	0	0	0	0	0	0	0	0
0x004	PWR_CSR	予約済み												UDRDY[1:0]		ODSWRDY	ODRDY	予約済み	VOSRDY	予約済み				BRE	EWUP	予約済み				BRR	PVDO	SBF	WUF
	リセット値													0	0	0	0		0					0	0					0	0	0	0

レジスタ境界アドレスについては、*表 2（64 ページ）*を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

6 リセットおよびクロック制御 STM32F42xxx および STM32F43xxx （RCC）

6.1 リセット

リセットには、システムリセット、電源リセット、バックアップドメインリセットの 3 種類があります。

6.1.1 システムリセット

システムリセットは、クロックコントローラ CSR レジスタとバックアップドメインレジスタのリセットフラグを除き、すべてのレジスタをリセット値にセットします（ を参照）。

システムリセットは、次のイベントのいずれかの発生時に生成されます。

1. NRST ピンのローレベル（外部リセット）
2. ウィンドウ型ウォッチドッグのカウント終了条件（WWDG リセット）
3. 独立型ウォッチドッグのカウント終了条件（IWDG リセット）
4. ソフトウェアリセット（SW リセット）（*ソフトウェアリセット*を参照）
5. 低電力管理リセット（*低電力管理リセット*を参照）

ソフトウェアリセット

リセットソースは、*RCC クロック制御およびステータスレジスタ（RCC_CSR）*のリセットフラグを確認することによって識別できます。

デバイス上でソフトウェアリセットを実行するには、FPU 搭載 Cortex™-M4 のアプリケーション割り込みレジスタおよびリセット制御レジスタの SYSRESETREQ ビットをセットする必要があります。詳細については、FPU 搭載 Cortex™-M4 テクニカルリファレンスマニュアルを参照してください。

低電力管理リセット

低電力管理リセットを生成するには、2 つの方法があります。

1. STANDBY モードに入るときに実行されるリセット：

   この種類のリセットは、ユーザオプションバイトの nRST_STDBY ビットをリセットすることによって有効になります。この場合、STANDBY モードへの遷移シーケンスが正常に実行されるたびに、STANDBY モードに入る代わりにデバイスがリセットされます。

2. STOP モードに入るときのリセット：

   この種類のリセットは、ユーザオプションバイトの nRST_STOP ビットをリセットすることによって有効になります。この場合、STOP モード遷移シーケンスが正常に実行されるたびに、STOP モードに入る代わりにデバイスがリセットされます。

ユーザオプションバイトの詳細については、両 ST 拠点で入手可能な STM32F42xxx および STM32F43xxx フラッシュプログラミングマニュアルを参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

6.1.2 電源リセット

電源リセットは、次のいずれかのイベントが発生したときに生成されます。

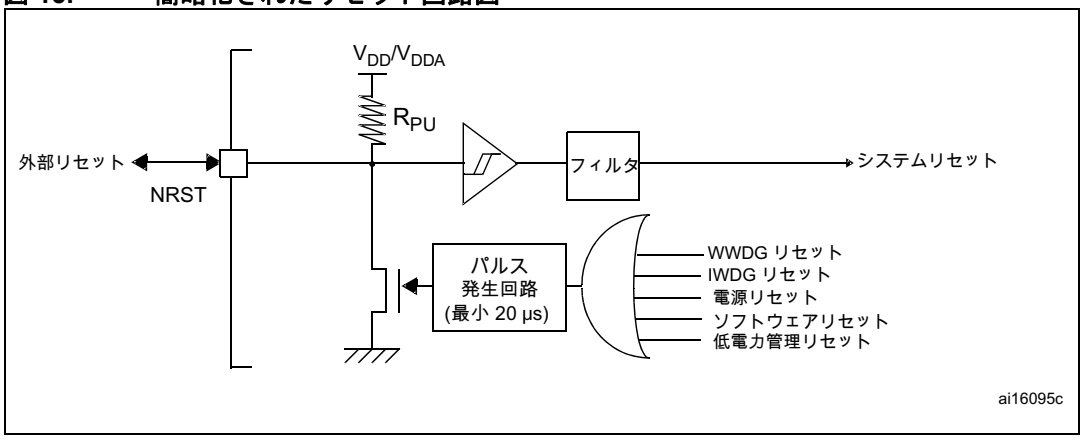
1. 電源オン／電源ダウンリセット（POR／PDR リセット）またはブラウンアウト（BOR）リセット
2. STANDBY モードを終了するとき

電源リセットは、バックアップドメインを除くすべてのレジスタをリセット値にセットします（*図 4* を参照）。

これらのソースは NRST ピンに作用し、遅延フェーズの間、ピンをローに保ちます。リセットサービスルーチンベクタは、メモリマップのアドレス 0x0000_0004 に固定されています。

デバイスに与えられるシステムリセット信号は、NRST ピンに出力されます。パルス発生回路は、各内部リセットソースについて 20µs の最小リセットパルス期間を保証します。外部リセットの場合、リセットパルスは NRST ピンがローにアサートされているときに生成されます。

図 15. 簡略化されたリセット回路図



バックアップドメインには、バックアップドメインだけに影響する 2 種類のリセットがあります（*図 4* を参照）。

6.1.3 バックアップドメインリセット

バックアップドメインリセットは、すべての RTC レジスタと RCC_BDCR レジスタをリセット値にセットします。BKPSRAM は、このリセットの影響を受けません。BKPSRAM をリセットする唯一の方法は、Flash インタフェースを使用して保護レベルの 1 から 0 への変更を要求することです。

バックアップドメインのリセットは、次のいずれかのイベントが発生したときに生成されます。

1. ソフトウェアリセット。*RCC バックアップドメイン制御レジスタ (RCC_BDCR)* の BDRST ビットをセットすることによってトリガされます。
2. V_{DD} または VBAT パワーオン。ただし、両方の電源供給がともにオフ状態であった場合。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

6.2 クロック

次の 3 つのクロックソースを使用して、システムクロック（SYSCLK）を駆動できます。

- HSI オシレータクロック
- HSE オシレータクロック
- メイン PLL（PLL）クロック

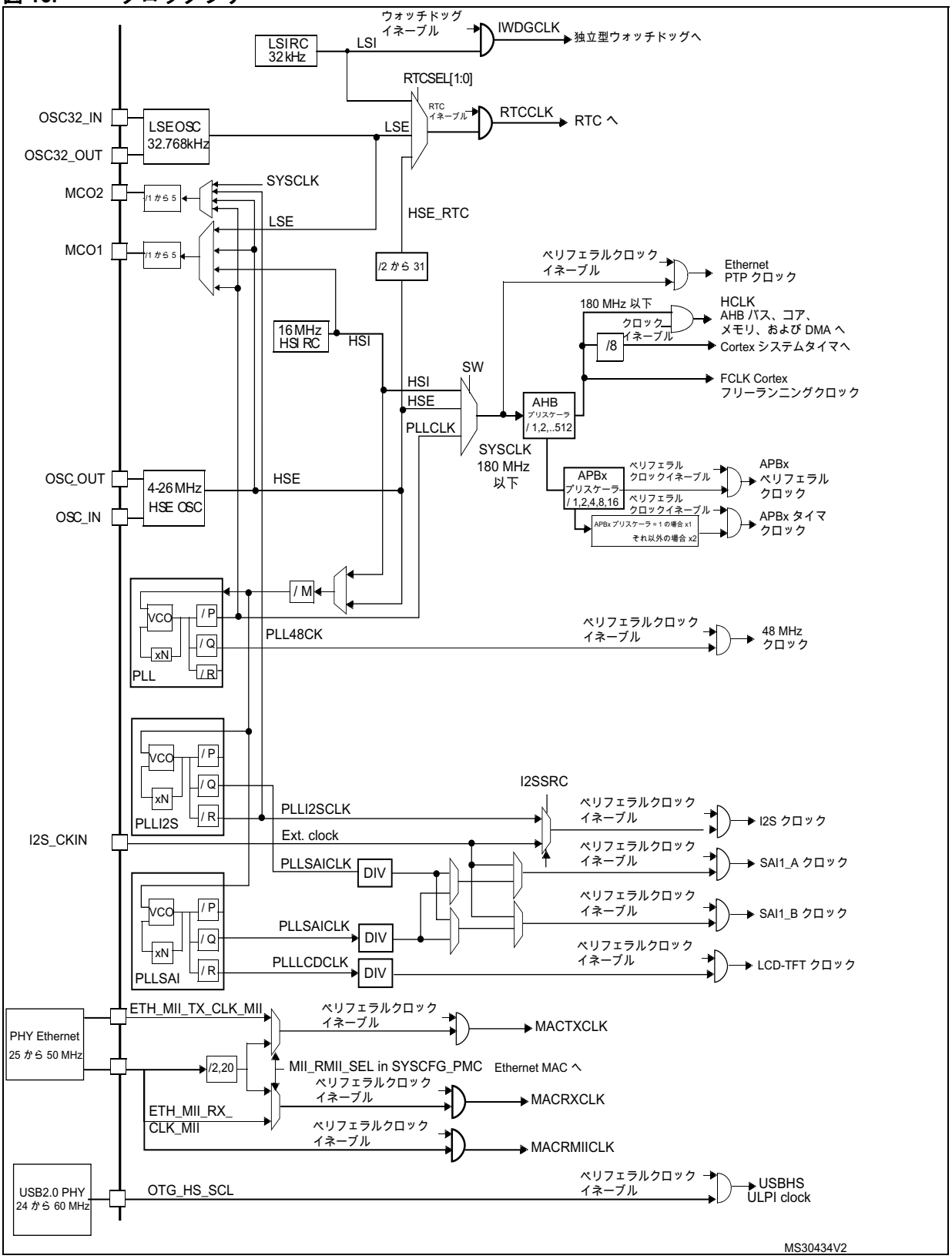
デバイスには、次の 2 つの 2 次クロックソースがあります。

- 32 kHz 低速内蔵 RC（LSI RC）。独立型ウォッチドッグを駆動し、オプションで、STOP/STANDBY モードからの自動ウェイクアップに使用される RTC を駆動します。
- 32.768 kHz 低速外部クリスタル（LSE クリスタル）。オプションで、RTC クロック（RTCCLK）を駆動します。

それぞれのクロックソースは、使用しないときに個別にオン/オフを切り替えて、電力消費を最適化可能です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 16. クロックツリー



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

1. 内部および外部クロックソース特性の詳細については、デバイスのデータシートの「電気特性」のセクションを参照してください。
2. RCC_DCKCFGR レジスタの TIMPRE ビットがリセットされた場合、APBx プリスケーラが 1 であれば TIMxCLK = PCLKx、それ以外では TIMxCLK = 2x PCLKx となります。
3. RCC_DCKCFGR レジスタの TIMPRE ビットがセットされた場合、APBx プリスケーラが 1、2、4 であれば TIMxCLK = HCLK、それ以外では TIMxCLK = 4x PCLKx となります。

クロックコントローラは、外部クリスタルまたはオシレータの選択においてアプリケーションに高度な柔軟性を提供しており、コアおよびペリフェラルを最大周波数で実行し、Ethernet、USB OTG FS、HS、I2S、SAI、LTDC、SDIO などの特定のクロックを必要とするペリフェラルに適した周波数を保証します。

複数のプリスケーラを使用して AHB 周波数、高速 APB（APB2）および低速 APB（APB1）ドメインの周波数を設定します。AHB ドメインの最大周波数は 168 MHz です。高速 APB2 ドメインの最大許容周波数は 84 MHz です。低速 APB1 ドメインの最大許容周波数は 42 MHz です。

すべてのペリフェラルクロックは、システムクロック（SYSCLK）から生成されます。ただし、次のものを除きます。

- USB OTG FS クロック（48 MHz）、アナログ乱数発生回路（RNG）クロック（≤ 48 MHz）、SDIO クロック（≤ 48 MHz）)。これらのクロックは、PLL（PLL48CLK）の特定の出力によるものです。
- I2S クロック

  高品質のオーディオ性能を実現するため、I2S クロックを特定の PLL（PLLI2S）または I2S_CKIN ピン上に配置された外部クロックから得ることができます。I2S クロック周波数と精度に関する詳細については、*セクション 28.4.4：クロックジェネレータ*を参照してください。
- SAI1 クロック

  SAI1 クロックは、特定の PLL（PLLSAI または PLLI2S）または I2S_CKIN ピン上に割り付けられた外部クロックから生成されます。

  PLLI2S が別のオーディオサンプリング周波数（49.152 MHz または 11.2896 MHz）が得られるようにプログラムされ、アプリケーションが同時に両方の周波数を必要とする場合に、PLLSAI を SAI1 ペリフェラルのクロックソースとして使用できます。
- LTDC クロック

  LTDC クロックは、特定の PLL（PLLSAI）から生成されます。.
- USB OTG HS（60 MHz）クロック。外部 PHY から供給されます。
- Ethernet MAC クロック（TX、RX、および RMII）。外部 PHY から供給されます。Ethernet 構成の詳細については、Ethernet ペリフェラル説明書の*セクション 33.4.4：MII/RMII の選択*を参照してください。Ethernet が使用されるときには、AHB クロック周波数は少なくとも 25 MHz でなければなりません。

RCC は Cortex システムタイマ（SysTick）の外部クロックに、8 分周した AHB クロック（HCLK）を供給します。SysTick は、この分周されたクロックか Cortex クロック（HCLK）のいずれかで動作でき、SysTick 制御およびステータスレジスタで構成できます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

STM32F42xxx および STM32F43xxx のタイマクロック周波数は、ハードウェアによって自動的に設定されます。RCC_CFGR レジスタの TIMPRE ビットの値により、2 つのケースがあります。

- RCC_DKCFGR レジスタの TIMPRE ビットがリセットされた場合：

  APB プリスケーラが分周比 1 に設定されると、タイマクロック周波数（TIMxCLK）は PCLKx に設定されます。そうでない場合は、タイマが接続されている APB ドメインの周波数の 2 倍、つまり TIMxCLK = 2xPCLKx に設定されます。

- RCC_DKCFGR レジスタの TIMPRE ビットがセットされた場合：

  APB プリスケーラが分周比 1、2、または 4 に設定されると、タイマクロック周波数（TIMxCLK）は HCLK に設定されます。そうでない場合は、タイマが接続されている APB ドメインの周波数の 4 倍、つまり TIMxCLK = 4xPCLKx に設定されます。

FCLK は、FPU 搭載 Cortex™-M4 のフリーラニングクロックとして動作します。詳細については FPU 搭載 Cortex™-M4 テクニカルリファレンスマニュアルを参照してください。

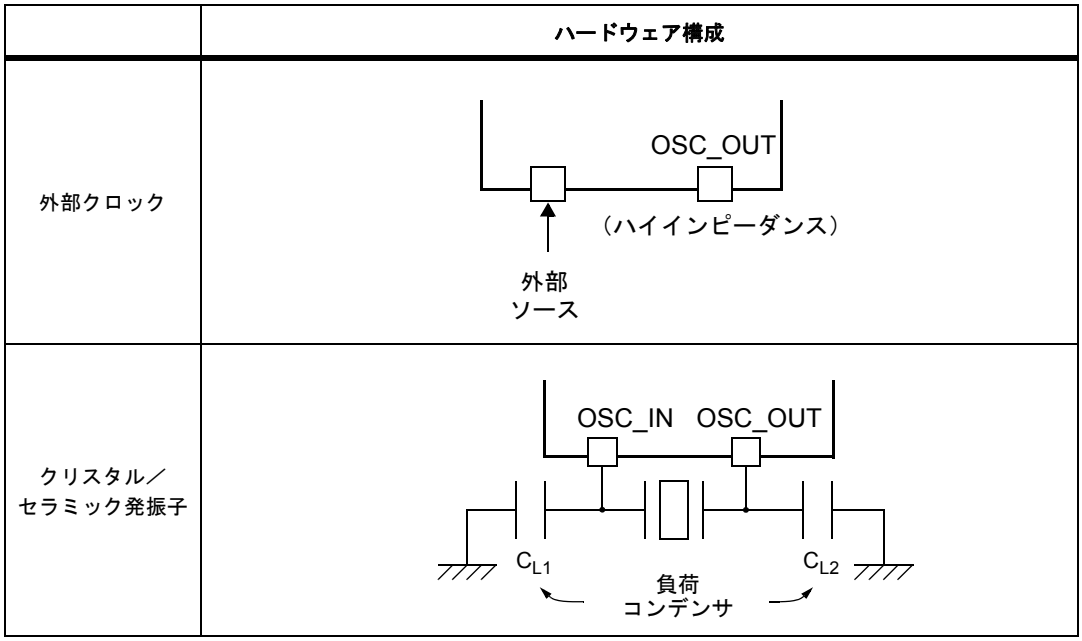
6.2.1 HSE クロック

高速外部クロック信号（HSE）は、次のどちらかのクロックソースから生成できます。

- HSE 外部クリスタル／セラミック発振子
- HSE 外部ユーザクロック

波形ひずみと発振開始時の安定化までの時間を少なくするために、発振子と負荷コンデンサはオシレータのピンのできるだけ近くに配置する必要があります。負荷コンデンサの値は、選択したオシレータに応じて調整する必要があります。

図 17. HSE／LSE クロックソース



外部ソース（HSE バイパス）

このモードでは、外部クロックソースが必要です。このモードを選択するには、*RCC クロック制御レジスタ（RCC_CR）* の HSEBYP および HSEON ビットをセットします。50 % までのデューティサイクルを持つ外部クロック信号（矩形波、正弦波、または三角波）で OSC_IN ピンを駆動する必要があり、その間、OSC_OUT ピンはハイインピーダンスに保たれます。*図 17* を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社（以下 ST）が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

外部クリスタル/セラミック発振子（HSE クリスタル）

HSE には、メインクロックの周波数を非常に高い精度で生成できる利点があります。

関連するハードウェア構成を*図 17* に示します。詳細については、データシートの電気特性のセクションを参照してください。

RCC クロック制御レジスタ（RCC_CR） の HSERDY フラグは、高速外部オシレータが安定しているかどうかを示します。起動時、このビットがハードウェアによってセットされるまで、クロック信号は出力されません。*RCC クロック割り込みレジスタ（RCC_CIR）* で有効になっている場合、割り込みを生成できます。

HSE クリスタルは、*RCC クロック制御レジスタ（RCC_CR）* の HSEON ビットを使用してオン／オフできます。

6.2.2 HSI クロック

HSI クロック信号は、内蔵 16 MHz RC オシレータから生成され、システムクロックとして直接、または PLL 入力として使用できます。

HSI RC オシレータには、低コスト（外付部品なし）でクロックソースを供給できるという利点があります。同時に、HSE クリスタルオシレータよりも起動時間を短縮できますが、較正を実施した場合も、外部クリスタルオシレータやセラミック発振子よりも周波数の精度は劣ります。

較正

RC オシレータの周波数は、製造工程でのばらつきのため、チップごとに異なります。このため、T_A = 25 °Cで 1 % の精度を確保するよう、製造時に ST 社においてデバイスごとの較正が行われています。

リセット後、工場較正値が *RCC クロック制御レジスタ（RCC_CR）* の HSICAL[7:0] ビットにロードされます。

アプリケーションが電圧または温度の変動を受ける場合は、これが RC オシレータの速度に影響を与えることがあります。*RCC クロック制御レジスタ（RCC_CR）* の HSITRIM[4:0] ビットを使用して、アプリケーションで HSI 周波数をトリミングできます。

RCC クロック制御レジスタ（RCC_CR） の HSIRDY フラグは、HSI RC が安定しているかどうかを示します。起動時、このビットがハードウェアによってセットされるまで、HSI RC 出力クロックは出力されません。

HSI RC は、*RCC クロック制御レジスタ（RCC_CR）* の HSION ビットを使用してオン/オフできます。

HSI 信号は、HSE クリスタルオシレータに障害がある場合のバックアップソース（補助クロック）としても使用できます。*セクション 6.2.7 : クロックセキュリティシステム（CSS）（155 ページ）* を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

6.2.3 PLL 設定

STM32F4xx デバイスには、次の 3 つの PLL を搭載しています。

- HSE または HSI オシレータで駆動されるメイン PLL（PLL）で、2 種類の異なる出力クロックを備えています 。
  - 1 つ目の出力は、高速システムクロック（最大 168 MHz）の生成に使用します。
  - 2 つ目の出力は、USB OTG FS（48 MHz）、アナログ乱数発生回路（≤ 48 MHz）、SDIO（≤ 48 MHz）のクロックの生成に使用します。
- I2S および SAI1 インタフェースで高品質オーディオ性能を実現するための正確なクロックの生成に使用する専用の 2 つの専用 PLL（PLLI2S および PLLSAI）。PLLSAI は、LCD-TFT クロックにも使用されます。

メイン PLL 設定パラメータは、いったん PLL を有効にすると変更できないため、PLL を有効にする前に設定することをお勧めします（PLL クロックソースとしての HSI または HSE オシレータの選択および分周比 M、N、P、Q の設定）。

PLLI2S および PLLSAI は、PLL と同じ入力クロックを使用しますが（PLLM[5:0] と PLLSRC ビットはどちらの PLL にも共通）。PLLI2S および PLLSAI には有効/無効および分周比（N および R）を設定する専用のビットがあります。いったん PLLI2S および PLLSAI が有効になると、設定パラメータは変更できません。

STOP および STANDBY モードに入るときや、HSE または PLL（HSE で駆動される）がシステムクロックとして使用されているときに HSE で障害が発生した場合、3 つの PLL はハードウェアによって 無効になります。*RCC PLL 設定レジスタ（RCC_PLLCFGR）*、*RCC クロック設定レジスタ（RCC_CFGR）*および *RCC 専用クロック設定レジスタ（RCC_DCKCFGR）*を使用して、PLL、PLLI2S および PLLSAI をそれぞれ 設定できます。

6.2.4 LSE クロック

LSE クロックは、32.768 kHz の低速外部クリスタルまたはセラミック発振子から生成されます。時計/カレンダ、その他のタイミング機能のためのリアルタイムクロックペリフェラル（RTC）に、低電力ながら高精度のクロックソースを供給できるという利点があります。

LSE オシレータは、*RCC バックアップドメイン制御レジスタ（RCC_BDCR）*の LSEON ビットを使用してオン/オフできます。

*RCC バックアップドメイン制御レジスタ（RCC_BDCR）*の LSERDY フラグは、LSE クリスタルが安定しているかどうかを示します。起動時、このビットがハードウェアによってセットされるまで、LSE クリスタルクロック信号は出力されません。*RCC クロック割り込みレジスタ（RCC_CIR）*で有効になっている場合、割り込みを生成できます。

外部ソース（LSE バイパス）

このモードでは、外部クロックソースが必要です。最大 1 MHz までの周波数を使用する必要があります。このモードを選択するには、*RCC バックアップドメイン制御レジスタ（RCC_BDCR）*の LSEBYP および LSEON ビットをセットします。50 % までのデューティサイクルを持つ外部クロック信号（矩形波、正弦波、または三角波）で OSC_32_IN ピンを駆動する必要があり、その間、OSC_32_OUT ピンはハイインピーダンスに保たれます。*図 17* を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

6.2.5 LSI クロック

LSI RC は、独立型ウォッチドッグ（IWDG）や自動ウェイクアップユニット（AWU）のために STOP モードおよび STANDBY モードで動作する低電力のクロックソースとして動作します。クロック周波数は約 32 kHz です。詳細については、データシートの電気的特性のセクションを参照してください。

LSI RC は、*RCC クロック制御およびステータスレジスタ（RCC_CSR）* の LSION ビットを使用してオン／オフできます。

RCC クロック制御およびステータスレジスタ（RCC_CSR） の LSIRDY フラグは、低速内部オシレータが安定しているかどうかを示します。起動時、このビットがハードウェアによってセットされるまで、クロックは出力されません。*RCC クロック割り込みレジスタ（RCC_CIR）* で有効になっている場合、割り込みを生成できます。

6.2.6 システムクロック（SYSCLK）の選択

システムリセット後は、HSI オシレータがシステムクロックとして選択されています。クロックソースが直接、または PLL を経由してシステムクロックとして使用されているときには、このクロック信号を停止することはできません。

あるクロックソースから別のクロックソースへの切り替えは、切り替え後に使用するクロックソースの準備ができている場合にのみ行われます（スタートアップ遅延時間を経てクロックが安定している状態、または、PLL がロックされている状態）。準備ができていないクロックソースが選択された場合は、クロックソースの準備ができたときに切り替えが行われます。*RCC クロック制御レジスタ（RCC_CR）* のステータスビットは、クロックの準備ができているかどうか、およびどちらのクロックがシステムクロックとして使用されているかを示します。

6.2.7 クロックセキュリティシステム（CSS）

クロックセキュリティシステムはソフトウェアで有効にできます。この場合、HSE オシレータのスタートアップ遅延時間の後にクロック検出回路が有効になり、オシレータが停止すると検出回路も無効になります。

HSE オシレータクロックに異常が検出された場合、このオシレータは自動的に無効になり、クロック異常イベントが TIM1 および TIM8 高機能制御タイマのブレーク入力に送られます。また、ソフトウェアに異常を通知する割り込み（クロックセキュリティシステム割り込み（CSSI））が生成されるので、MCU は対応処理を行うことができます。CSSI は、FPU 搭載 Cortex™-M4 NMI（ノンマスカブル割込）例外ベクタにリンクされています。

注： ***CSS を有効にすると、HSE クロックに異常が発生した場合、CSS が割り込みを生成し、結果として NMI の自動生成を行うことになります。NMI は、CSS 割り込みペンディングビットがクリアされない限り、無限に実行されます。つまり、アプリケーションで、クロック割り込みレジスタ（RCC_CIR）の CSSC ビットをセットすることにより NMI 割込サービスルーチンで CSS 割り込みをクリアする必要があります。***

HSE オシレータが直接または間接的にシステムクロックとして使用されている場合（間接的とは、PLL 入力クロックとして直接使用されていて、その PLL クロックがシステムクロックであることを意味します）、異常が検出されると、システムクロックが HSI オシレータに切り替えられ、HSE オシレータは無効になります。

異常発生時に HSE オシレータクロックがシステムクロックとして使用されている PLL のクロックソースであった場合には、PLL も無効になります。この場合、PLLI2S が有効になっていても HSE 異常が発生すると PLLI2S も無効になります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

6.2.8 RTC/AWU クロック

いったん RTCCLK クロックソースが選択されると、バックアップ電源ドメインをリセットしない限りその選択を変更することはできません。

RTCCLK クロックソースは、HSE 1 MHz（HSE をプログラマブルプリスケーラで分周）、LSE または LSI クロックのいずれかとなります。これは、*RCC バックアップドメイン制御レジスタ（RCC_BDCR）*の RTCSEL[1:0] ビットおよび *RCC クロック設定レジスタ（RCC_CFGR）*の RTCPRE[4:0] ビットをソフトウェアによって設定することで選択できます。この選択は、バックアップ電源ドメインをリセットしない限り変更できません。

RTC クロックとして LSE が選択されている場合、バックアップ電源またはシステム電源が停止されても RTC は正常に動作します。AWU クロックとして LSI が選択されている場合、システム電源が無くなると AWU の状態は保証されません。RTC クロックとして 2 周分から 31 周分の間で分周された HSE オシレータクロックを選択している場合、バックアップまたはシステム電源が無くなると RTC の状態は保証されません。

LSE クロックはバックアップドメインに属しますが、HSE と LSI クロックはそうではありません。その結果、以下のようになります。

- LSE が RTC クロックとして使用されている場合、
  - V_{DD} 供給がオフになった場合でも、V_{BAT} の供給が保たれている限り、RTC は動作を続けます。
- LSI が自動ウェイクアップ（AWU）クロックとして選択されている場合、
  - V_{DD} 供給がオフになった場合、AWU の状態は保証されません。LSI 較正の詳細については、*セクション 6.2.5 : LSI クロック（155 ページ）*を参照してください。
- HSE クロックが RTC クロックとして使用されている場合、
  - V_{DD} 供給がオフになった場合や、内蔵されている電圧レギュレータがオフになった場合（1.2 V 電源ドメインへの電力供給が停止にされた場合）、RTC の状態は保証されません。

注： ***APB1 クロック周波数が RTC クロック周波数の 1/7 未満である場合（$f_{APB1} < 7xf_{RTCLCK}$）にRTC カレンダレジスタを読み込むには、カレンダ時間と日付レジスタをソフトウェアによって 2 回読み出す必要があります。RTC_TR への 2 回目の読み出しアクセスの結果が最初の読み出しアクセスの結果と同じであれば、データは正しいということになります。同じでない場合は、3 回目の読み出しアクセスを実行する必要があります。***

6.2.9 ウォッチドッグクロック

独立型ウォッチドッグ（IWDG）がハードウェアのオプションまたはソフトウェアアクセスによって開始された場合、LSI オシレータは強制的にオンになり、オフにすることはできません。LSI オシレータの起動時の過渡状態が終わると、このクロックが IWDG に供給されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

6.2.10 クロック信号出力

2 つのマイクロコントローラクロック出力（MCO）ピンが利用できます。

- MCO1

  設定可能なプリスケーラ（1 から 5）を使用して、MCO1 ピン（PA8）から 4 種類のクロックソースを出力できます。

  – HSI クロック
  – LSE クロック
  – HSE クロック
  – PLL クロック

  RCC クロック設定レジスタ（RCC_CFGR） の MCO1PRE[2:0] および MCO1[1:0] ビットを使用して希望するクロックソースが選択されます。

- MCO2

  設定可能なプリスケーラ（1 から 5）を使用して、MCO2 ピン（PC9）から 4 種類のクロックソースを出力できます。

  – HSE クロック
  – PLL クロック
  – システムクロック（SYSCLK）
  – PLLI2S クロック

  RCC クロック設定レジスタ（RCC_CFGR） の MCO2PRE[2:0] および MCO2 ビットを使用して希望するクロックソースが選択されます。

このとき、MCO ピンに対応する GPIO はオルタネート機能モードに設定される必要があります。

選択されたクロックの MCO への出力が 100 MHz（最大 I/O 速度）を超えないようにしてください。

6.2.11 TIM5/TIM11 を使用した内部／外部クロックの測定

図 18 および*図 19* に示すように、TIM5 チャネル 4 および TIM11 チャネル 1 の入力キャプチャを使用することにより、ボード上のすべてのクロックソース発生回路の周波数を間接的に測定することができます。

TIM5 チャネル 4 を使用した内部／外部クロックの測定

TIM5 には、入力キャプチャが I/O によってトリガされるのか内部クロックによってトリガされるのかを選択できる入力マルチプレクサがあります。この選択は、TIM5_OR レジスタの TI4_RMP [1:0] ビットで行います。

LSE を チャネル 4 入力キャプチャに接続しておく主な目的は、HSI を正確に測定できるようにすることです（このとき HSI をシステムクロックソースとして使用する必要があります）。LSE 信号の連続したエッジ間の HSI クロックカウント数により、内部クロック周期が測定されます。LSE クリスタルの高い精度（通常は数十ppm）を利用することにより、同じ分解能で内部クロック周波数を判断でき、製造工程、温度、電圧に関連した周波数偏差に対してクロックソースを調整して補正することができます。

HSI オシレータには、上記の目的のためにユーザがアクセスできる専用の較正ビットがあります。

この基本概念は、相対測定（HSI/LSE 比など）ができることにあり、そのため、精度は 2 つのクロックソース間の比に密接につながっています。この比が大きければ大きいほど、測定精度は向上します。

また、LSI 周波数も測定できます。これはクリスタルを使用しないアプリケーションで有用です。超低電力 LSI オシレータには、大きな製造工程偏差があります。これを HSI クロックソースで測定することにより、HSI の精度で LSI の周波数を判断することができます。測定値を使用して、より正確な

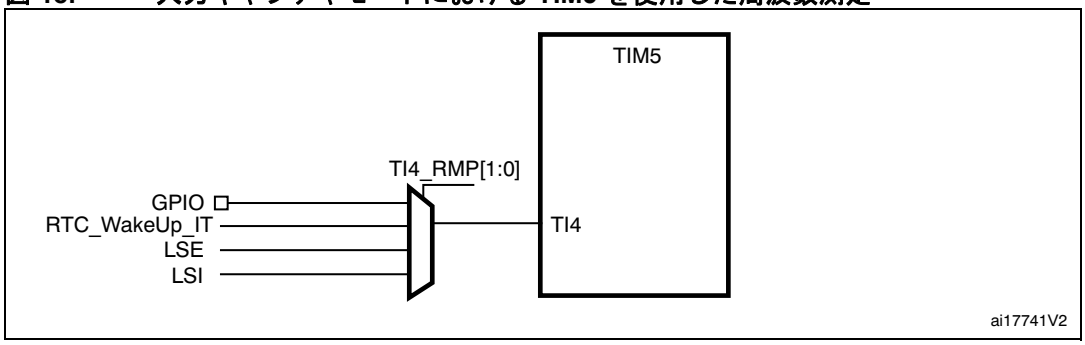
この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

RTC 時間基準のタイムアウト（LSI が RTC クロックソースとして使用されているとき）や許容精度の IWDG タイムアウトを得ることができます。

LSI 周波数を測定するには、次の手順に従ってください。

1. TIM5 タイマを有効にして、チャネル 4 を入力キャプチャモードに設定します。
2. TIM5_OR レジスタの TI4_RMP ビットを 0x01 にセットして、較正目的で、LSI クロックを TIM5 チャネル 4 入力キャプチャに内部接続します。
3. TIM5 キャプチャ／比較 4 イベントまたは割り込みを使用して、LSI クロックの周波数を計測します。
4. 計測した LSI 周波数を使用して、必要な時間基準に従って RTC のプリスケーラを更新したり、IWDG タイムアウトを計算したりします。

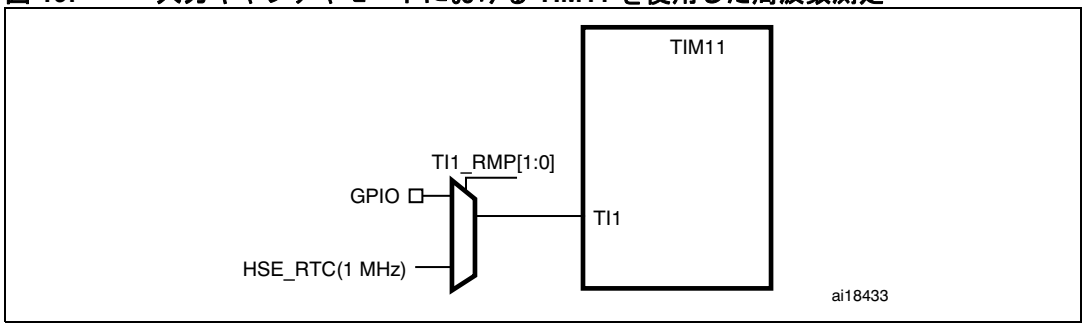
図 18. 入力キャプチャモードにおける TIM5 を使用した周波数測定



TIM11 チャネル 1 を使用した内部／外部クロックの測定

TIM11 には、入力キャプチャが I/O によってトリガされるのか内部クロックによってトリガされるのかを選択できる入力マルチプレクサがあります。この選択は、TIM11_OR レジスタの TI1_RMP [1:0] ビットで行います。HSE_RTC クロック（HSE をプログラマブルプリスケーラで分周）は、チャネル 1 の入力キャプチャに接続されており、およその外部クリスタル周波数を知ることができます。このとき、HSI がシステムクロックソースである必要があります。これは、たとえば高調波周波数または低調波周波数（–50/+100 % の偏差）が判断できることを求めている IEC 60730/IEC 61335 規格に準拠していることを保証するのに有用です。

図 19. 入力キャプチャモードにおける TIM11 を使用した周波数測定



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

6.3 RCC レジスタ

レジスタの説明で使用されている略語のリストについては、*セクション 1.1：レジスタに関する略記*を参照してください。

6.3.1 RCC クロック制御レジスタ（RCC_CR）

アドレスオフセット：0x00

リセット値：0x0000 XX83（X は未定義）。

アクセス：ノーウェイト、ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み		PLLSAI RDY	PLLSAI ON	PLLI2S RDY	PLLI2S ON	PLLRDY	PLLON	予約済み				CSS ON	HSE BYP	HSE RDY	HSE ON
		r	rw	r	rw	r	rw					rw	rw	r	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HSICAL[7:0]								HSITRIM[4:0]					予約済み	HSI RDY	HSION
r	r	r	r	r	r	r	r	rw	rw	rw	rw	rw		r	rw

ビット 31:28 予約済み、リセット値に保持する必要があります。

ビット 29 **PLLSAIRDY**：PLLSAI クロックレディフラグ
ハードウェアによってセットされ、PLLSAI がロック状態であることを示します。
0：PLLSAI アンロック
1：PLLSAI ロック

ビット 28 **PLLSAION**：PLLSAI イネーブル
PLLSAI を有効にするために、ソフトウェアによってセット／クリアされます。
STOP または STANDBY モードに入るときに、ハードウェアによってクリアされます。
0：PLLSAI オフ
1：PLLSAI オン

ビット 27 **PLLI2SRDY**：PLLI2S クロックレディフラグ
ハードウェアによってセットされ、PLLI2S がロック状態であることを示します。
0：PLLI2S アンロック
1：PLLI2S ロック

ビット 26 **PLLI2SON**：PLLI2S イネーブル
PLLI2S を有効にするために、ソフトウェアによってセット／クリアされます。
STOP または STANDBY モードに入るときに、ハードウェアによってクリアされます。
0：PLLI2S オフ
1：PLLI2S オン

ビット 25 **PLLRDY**：メイン PLL（PLL）クロックレディフラグ
ハードウェアによってセットされ、PLL がロック状態であることを示します。
0：PLL アンロック
1：PLL ロック

ビット 24 **PLLON**：メイン PLL（PLL）イネーブル
PLL を有効にするために、ソフトウェアによってセット／クリアされます。
STOP または STANDBY モードに入るときに、ハードウェアによってクリアされます。PLL クロックがシステムクロックとして使用されている場合、このビットをリセットできません。
0：PLL オフ
1：PLL オン

ビット 23:20 予約済み、リセット値に保持する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 19 **CSSON**：クロックセキュリティシステムイネーブル

クロックセキュリティシステムを有効にするために、ソフトウェアによってセット／クリアされます。CSSON がセットされているとき、HSE オシレータがレディになるとクロック検出回路がハードウェアによって有効にされ、オシレータの異常が検出さた場合ハードウェアによって無効にされます。

0：クロックセキュリティシステムオフ（クロック検出回路オフ）

1：クロックセキュリティシステムオン（HSE オシレータが安定していればクロック検出回路オン、そうでなければオフ）

ビット 18 **HSEBYP**：高速外部クロック（HSE）バイパス

外部クロックでオシレータをバイパスするために、ソフトウェアによってセット／クリアされます。デバイスで使用するには、HSEON ビットで外部クロックを有効にする必要があります。

HSEBYP ビットは、HSE オシレータが無効のときのみ、書き込みができます。

0：HSE オシレータはバイパスされません。

1：HSE オシレータはバイパスされ、外部クロックが使用されます。

ビット 17 **HSERDY**：高速外部クロック（HSE）レディフラグ

HSE オシレータが安定していることを示すために、ハードウェアによってセットされます。HSEON ビットがクリアされた後、HSERDY は、HSE オシレータクロックの 6 サイクル後にローになります。

0：HSE オシレータはレディ状態ではありません。

1：HSE オシレータはレディ状態です。

ビット 16 **HSEON**：高速外部クロック（HSE）イネーブル

ソフトウェアによってセット／クリアされます。

STOP または STANDBY モードに入るときに、HSE オシレータを停止するためにハードウェアによってクリアされます。HSE オシレータが直接または間接的にシステムクロックとして使用されている場合は、このビットをリセットできません。

0：HSE オシレータオフ

1：HSE オシレータオン

ビット 15:8 **HSICAL[7:0]**：高速内蔵クロック（HSI）較正

これらのビットは、スタートアップ時に自動的に初期化されます。

ビット 7:3 **HSITRIM[4:0]**：高速内蔵クロック（HSI）トリミング

これらのビットにより、ユーザプログラミング可能なトリミング値が使用でき、この値は HSICAL[7:0] ビットに加算されます。内蔵 HSI RC の周波数に影響する電圧や温度の変化に対応できるようにプログラミングできます。

ビット 2 予約済み、リセット値に保持する必要があります。

ビット 1 **HSIRDY**：高速内蔵クロック（HSI）レディフラグ

HSI オシレータが安定していることを示すために、ハードウェアによってセットされます。HSION ビットがクリアされた後、HSIRDY は、HSI オシレータクロックの 6 サイクル後にローになります。

0：HSI オシレータはレディ状態ではありません。

1：HSI オシレータはレディ状態です。

ビット 0 **HSION**：高速内蔵クロック（HSI）イネーブル

ソフトウェアによってセット／クリアされます。

STOP または STANDBY モードを終了するとき、または、直接または間接的にシステムクロックとして使用されている HSE オシレータに障害が発生した場合、HSI オシレータを強制的にオンにするために、ハードウェアによってセットされます。HSI オシレータが直接または間接的にシステムクロックとして使用されている場合は、このビットをクリアできません。

0：HSI オシレータオフ

1：HSI オシレータオン

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

6.3.2 RCC PLL 設定レジスタ（RCC_PLLCFGR）

アドレスオフセット：0x04

リセット値：0x2400 3010

アクセス：ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

このレジスタは、次の式に従って PLL クロック出力を設定するために使用します。

- $f_{(VCO\ クロック)} = f_{(PLL\ クロック入力)} \times (PLLN / PLLM)$
- $f_{（PLL\ 汎用クロック出力）} = f_{（VCO\ クロック）} / PLLP$
- $f_{（USB\ OTG\ FS、SDIO、RNG\ クロック出力）} = f_{（VCO\ クロック）} / PLLQ$

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み				PLLQ3	PLLQ2	PLLQ1	PLLQ0	予約済み	PLLSRC	予約済み				PLLP1	PLLP0
				rw	rw	rw	rw		rw					rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み	PLLN									PLLM5	PLLM4	PLLM3	PLLM2	PLLM1	PLLM0
	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:28 予約済み、リセット値に保持する必要があります。

ビット 27:24 **PLLQ**：USB OTG FS、SDIO、および乱数発生回路（RNG）クロックのためのメイン PLL（PLL）分周比

USB OTG FS クロック、乱数発生回路クロック（RNG）、SDIO クロックの周波数を制御するためにソフトウェアによってセット／クリアします。これらのビットに書き込めるのは、PLL が無効なときだけです。

注意： USB OTG FS が正しく動作するには、48 MHz のクロックが必要です。SDIO および乱数発生回路（RNG）が正しく動作するには、48 MHz 以下の周波数が必要です。

USB OTG FS クロック周波数 = VCO 周波数 / PLLQ。ここで $2 \leq PLLQ \leq 15$

0000：PLLQ = 0、誤った設定

0001：PLLQ = 1、誤った設定

0010：PLLQ = 2

0011：PLLQ = 3

0100：PLLQ = 4

...

1111：PLLQ = 15

ビット 23 予約済み、リセット値に保持する必要があります。

ビット 22 **PLLSRC**：メイン PLL（PLL）およびオーディオ PLL（PLLI2S）入力クロックソース

PLL および PLLI2S クロックソースを選択するために、ソフトウェアによってセット／クリアされます。このビットに書き込めるのは、PLL および PLLI2S が無効のときだけです。

0：PLL および PLLI2S クロック入力として HSI クロックを選択

1：PLL および PLLI2S クロック入力としてHSE オシレータクロックを選択

ビット 21:18 予約済み、リセット値に保持する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 17:16 **PLLP**：メインシステムクロックのためのメイン PLL（PLL）分周比

汎用 PLL 出力クロックの周波数を制御するために、ソフトウェアによってセット／クリアされます。これらのビットに書き込めるのは、PLL が無効なときだけです。

注意： ***ソフトウェアは、このドメインで 168 MHz を超えないように、これらのビットを正しくセットする必要があります。***

PLL 出力クロック周波数 = VCO 周波数 / PLLP ここで PLLP = 2、4、6、または 8

00：PLLP = 2
01：PLLP = 4
10：PLLP = 6
11：PLLP = 8

ビット 14:6 **PLLN**：メイン PLL（PLL）の VCO に対する逓倍数

VCO の逓倍数を制御するために、ソフトウェアによってセット／クリアされます。これらのビットに書き込めるのは、PLL が無効なときだけです。これらのビットの書き込みでは、ハーフワードおよびワード単位でのアクセスのみが可能です。

注意： ***これらのビットは、VCO 出力周波数が 192 MHz から 432 MHz の間になるように、ソフトウェアで正しく設定する必要があります。***

VCO 出力周波数 = VCO 入力周波数 × PLLN、ここで 192 ≤ PLLN ≤ 432

000000000：PLLN = 0、誤った設定
000000001：PLLN = 1、誤った設定
...
011000000：PLLN = 192
...
110110000：PLLN = 432
110110001：PLLN = 433、誤った設定
...
111111111：PLLN = 511、誤った設定

ビット 5:0 **PLLM**：メイン PLL（PLL）およびオーディオ PLL（PLLI2S）入力クロックのための分周比

PLL および PLLI2S 入力クロックを VCO の前で分周するために、ソフトウェアによってセット／クリアされます。これらのビットに書き込めるのは、PLL および PLLI2S が無効のときだけです。

注意： ***これらのビットは、VCO 入力周波数が 1 MHz から 2 MHz の間になるように、ソフトウェアで正しく設定する必要があります。PLL ジッタを制限するため 2 MHz の周波数を選択することが推奨されます。***

VCO 入力周波数 = PLL 入力クロック周波数 / PLLM、ここで 2 ≤ PLLM ≤ 63

000000：PLLM = 0、誤った設定
000001：PLLM = 1、誤った設定
000010：PLLM = 2
000011：PLLM = 3
000100：PLLM = 4
...
111110：PLLM = 62
111111：PLLM = 63

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

6.3.3 RCC クロック設定レジスタ（RCC_CFGR）

アドレスオフセット：0x08

リセット値：0x0000 0000

アクセス：0 ≤ ウェイトステート ≤ 2、ワード、ハーフワード、およびバイトアクセス

クロックソースの切り替え中にアクセスが発生した場合に限り、1 または 2 個のウェイトステートが挿入されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
MCO2		MCO2 PRE[2:0]			MCO1 PRE[2:0]			I2SSRC	MCO1		RTCPRE[4:0]				
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PPRE2[2:0]			PPRE1[2:0]			予約済み		HPRE[3:0]				SWS1	SWS0	SW1	SW0
rw	rw	rw	rw	rw	rw			rw	rw	rw	rw	r	r	rw	rw

ビット 31:30 **MCO2[1:0]**：マイクロコントローラクロック出力 2

ソフトウェアによってセット／クリアされます。クロックソースの選択によって、MCO2 でグリッチが発生することがあります。これらのビットは、リセット後に外部オシレータおよび PLL を有効にする前に設定することを強く推奨します。

00：システムクロック（SYSCLK）の選択

01：PLLI2S クロックの選択

10：HSE オシレータクロックの選択

11：PLL クロックの選択

ビット 27:29 **MCO2PRE**：MCO2 プリスケーラ

MCO2 のプリスケーラを設定するために、ソフトウェアによってセット／クリアされます。このプリスケーラの変更によって、MCO2 でグリッチが発生することがあります。このプリスケーラは、リセット後に外部オシレータおよび PLL を有効にする前に変更することを強く推奨します。

0xx：分周なし

100：分周比 2

101：分周比 3

110：分周比 4

111：分周比 5

ビット 24:26 **MCO1PRE**：MCO1 プリスケーラ

MCO1 のプリスケーラを設定するために、ソフトウェアによってセット／クリアされます。このプリスケーラの変更によって、MCO1 でグリッチが発生することがあります。このプリスケーラは、リセット後に外部オシレータおよび PLL を有効にする前に変更することを強く推奨します。

0xx：分周なし

100：分周比 2

101：分周比 3

110：分周比 4

111：分周比 5

ビット 23 **I2SSRC**：I2S クロック選択

ソフトウェアによってセット／クリアされます。このビットによって、PLLI2S クロックと外部クロックから I2S クロックソースを選択できます。このビットは、リセット後に I2S モジュールを有効にする前に変更することを強く推奨します。

0：I2S クロックソースとして PLLI2S クロックが使用されます。

1：I2S クロックソースとして I2S_CKIN ピンに割り当てられている外部クロックが使用されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 22:21 **MCO1**：マイクロコントローラクロック出力 1

ソフトウェアによってセット／クリアされます。クロックソースの選択によって、MCO1 でグリッチが発生することがあります。これらのビットは、リセット後に外部オシレータおよび PLL を有効にする前に設定することを強く推奨します。

00：HSI クロックの選択
01：LSE オシレータの選択
10：HSE オシレータクロックの選択
11：PLL クロックの選択

ビット 20:16 **RTCPRE**：RTC クロックのための HSE 分周比

HSE クロック入力クロックを分周し、RTC に 1 MHz クロックを生成するために、ソフトウェアによってセット／クリアされます。

注意： ***これらのビットは、RTC に供給されるクロックが 1 MHz となるように、ソフトウェアで正しく設定する必要があります。これらのビットは、必要に応じて RTC クロックソースが選択される前に設定する必要があります。***

00000：クロックなし
00001：クロックなし
00010：HSE/2
00011：HSE/3
00100：HSE/4
...
11110：HSE/30
11111：HSE/31

ビット 15:13 **PPRE2**：APB 高速プリスケーラ（APB2)

APB 高速クロックの分周比を制御するために、ソフトウェアによってセット／クリアされます。

注意： ***ソフトウェアは、このドメインで 84 MHz を超えないように、これらのビットを正しくセットする必要があります。クロックは、PPRE2 に書き込んだ後 1 から 16 の AHB サイクル後に新しい分周比で分周されます。***

0xx：AHB クロックは分周されません。
100：AHB クロックは 2 分周されます。
101：AHB クロックは 4 分周されます。
110：AHB クロックは 8 分周されます。
111：AHB クロックが 16 分周されます。

ビット 12:10 **PPRE1**：APB低速プリスケーラ（APB1）

APB 低速クロックの分周比を制御するために、ソフトウェアによってセット／クリアされます。

注意： ***ソフトウェアは、このドメインで 42 MHz を超えないように、これらのビットを正しくセットする必要があります。クロックは、PPRE1 に書き込んだ後 1 から 16 の AHB サイクル後に新しい分周比で分周されます。***

0xx：AHB クロックは分周されません。
100：AHB クロックが 2 分周されます。
101：AHB クロックが 4 分周されます。
110：AHB クロックが 8 分周されます。
111：AHB クロックが 16 分周されます。

ビット 9:8 予約済み、リセット値に保持する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 7:4 **HPRE**：AHB プリスケーラ

AHB クロックの分周比を制御するために、ソフトウェアによってセット／クリアされます。

注意： クロックは、HPRE に書き込んだ後 1 から 16 の AHB サイクル後に新しい分周比で分周されます。

注意： Ethernet が使用されるときには、AHB クロック周波数は少なくとも 25 MHz でなければなりません。

0xxx：システムクロックは分周されません。
1000：システムクロックは 2 分周されます。
1001：システムクロックは 4 分周されます。
1010：システムクロックは 8 分周されます。
1011：システムクロックは 16 分周されます。
1100：システムクロックは 64 分周されます。
1101：システムクロックは 128 分周されます。
1110：システムクロックは 256 分周されます。
1111：システムクロックは 512 分周されます。

ビット 3:2 **SWS**：システムクロックスイッチステータス

どのクロックソースがシステムクロックとして使用されているかを示すために、ハードウェアによってセット／クリアされます。
00：HSI オシレータがシステムクロックとして使用されています。
01：HSE オシレータがシステムクロックとして使用されています。
10：PLL がシステムクロックとして使用されています。
11：適用されません。

ビット 1:0 **SW**：システムクロックスイッチ

システムクロックソースを選択するために、ソフトウェアによってセット／クリアされます。
STOP または STANDBY モードを終了するとき、または、直接的または間接的にシステムクロックとして使用されている HSE オシレータに障害が発生した場合、強制的に HSI を選択するために、ハードウェアによってセットされます。
00：HSI オシレータがシステムクロックとして選択されます。
01：HSE オシレータがシステムクロックとして選択されます。
10：PLL がシステムクロックとして選択されます。
11：設定禁止

6.3.4 RCC クロック割り込みレジスタ（RCC_CIR）

アドレスオフセット：0x0C

リセット値：0x0000 0000

アクセス：ノーウェイト、ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み								CSSC	PLLSAI RDYC	PLLI2S RDYC	PLL RDYC	HSE RDYC	HSI RDYC	LSE RDYC	LSI RDYC
								w	w	w	w	w	w	w	w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み	PLLSAI RDYIE	PLLI2S RDYIE	PLL RDYIE	HSE RDYIE	HSI RDYIE	LSE RDYIE	LSI RDYIE	CSSF	PLLSAI RDYF	PLLI2S RDYF	PLL RDYF	HSE RDYF	HSI RDYF	LSE RDYF	LSI RDYF
	rw	rw	rw	rw	rw	rw	rw	r	r	r	r	r	r	r	r

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 31:24 予約済み、リセット値に保持する必要があります。

ビット 23 **CSSC**：クロックセキュリティシステム割り込みクリア

このビットは、CSSF フラグをクリアするために、ソフトウェアによってセットされます。

0：影響ありません。

1：CSSF フラグをクリアします。

ビット 22 **PLLSAIRDYC**：PLLSAI レディ割り込みクリア

このビットは、PLLSAIRDYF フラグをクリアするために、ソフトウェアによってセットされます。PLLSAIRDYF がクリアされると、ハードウェアによってリセットされます。

0：PLLSAIRDYF はクリアされません。

1：PLLSAIRDYF がクリアされます

ビット 21 **PLLI2SRDYC**：PLLI2S レディ割り込みクリア

このビットは、PLLI2SRDYF フラグをクリアするために、ソフトウェアによってセットされます。

0：影響ありません。

1：PLLI2SRDYF がクリアされます。

ビット 20 **PLLRDYC**：メイン PLL（PLL）レディ割り込みクリア

このビットは、PLLRDYF フラグをクリアするために、ソフトウェアによってセットされます。

0：影響ありません。

1：PLLRDYF がクリアされます。

ビット 19 **HSERDYC**：HSE レディ割り込みクリア

このビットは、HSERDYF フラグをクリアするために、ソフトウェアによってセットされます。

0：影響ありません。

1：HSERDYF がクリアされます。

ビット 18 **HSIRDYC**：HSI レディ割り込みクリア

このビットは、HSIRDYF フラグをクリアするために、ソフトウェアによってセットされます。

0：影響ありません。

1：HSIRDYF がクリアされます。

ビット 17 **LSERDYC**：LSE レディ割り込みクリア

このビットは、LSERDYF フラグをクリアするために、ソフトウェアによってセットされます。

0：影響ありません。

1：LSERDYF がクリアされます。

ビット 16 **LSIRDYC**：LSI レディ割り込みクリア

このビットは、LSIRDYF フラグをクリアするために、ソフトウェアによってセットされます。

0：影響ありません。

1：LSIRDYF がクリアされます。

ビット 15 予約済み、リセット値に保持する必要があります。

ビット 14 **PLLSAIRDYIE**：PLLSAI レディ割り込みイネーブル

このビットは、PLLSAI ロックによって発生する割り込みを有効／無効にするために、ソフトウェアによってセット／リセットされます。

0：PLLSAI ロック割り込み無効

1：PLLSAI ロック割り込み有効

ビット 13 **PLLI2SRDYIE**：PLLI2S レディ割り込みイネーブル

このビットは、PLLI2S ロックによって発生する割り込みを有効／無効にするために、ソフトウェアによってセット／クリアされます。

0：PLLI2S ロック割り込み無効

1：PLLI2S ロック割り込み有効

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 12 **PLLRDYIE**：メイン PLL（PLL）レディ割り込みイネーブル

このビットは、PLL ロックによって発生する割り込みを有効／無効にするために、ソフトウェアによってセット／クリアされます。

0：PLL ロック割り込み無効

1：PLL ロック割り込み有効

ビット 11 **HSERDYIE**：HSE レディ割り込みイネーブル

このビットは、HSE オシレータの安定化によって発生する割り込みを有効／無効にするために、ソフトウェアによってセット／クリアされます。

0：HSE レディ割り込み無効

1：HSE レディ割り込み有効

ビット 10 **HSIRDYIE**：HSI レディ割り込みイネーブル

このビットは、HSI オシレータの安定化によって発生する割り込みを有効／無効にするために、ソフトウェアによってセット／クリアされます。

0：HSI レディ割り込み無効

1：HSI レディ割り込み有効

ビット 9 **LSERDYIE**：LSE レディ割り込みイネーブル

このビットは、LSE オシレータの安定化によって発生する割り込みを有効／無効にするために、ソフトウェアによってセット／クリアされます。

0：LSE レディ割り込み無効

1：LSE レディ割り込み有効

ビット 8 **LSIRDYIE**：LSI レディ割り込みイネーブル

このビットは、LSI オシレータの安定化によって発生する割り込みを有効／無効にするために、ソフトウェアによってセット／クリアされます。

0：LSI レディ割り込み無効

1：LSI レディ割り込み有効

ビット 7 **CSSF**：クロックセキュリティシステム割り込みフラグ

このビットは、HSE オシレータで障害が検出されたときに、ハードウェアによってセットされます。

CSSC ビットをセットすることによって、ソフトウェアによってクリアされます。

0：HSE クロック障害によるクロックセキュリティ割り込みは発生していません。

1：HSE クロック障害によってクロックセキュリティ割り込みが発生しました。

ビット 6 **PLLSAIRDYF**：PLLSAI レディ割り込みフラグ

このビットは、PLLSAI がロックされ、PLLSAIRDYDIE がセットされているときに、ハードウェアによってセットされます。

PLLSAIRDYC ビットをセットすることによって、ソフトウェアによってクリアされます。

0：PLLSAI ロックによるクロックレディ割り込みは発生していません。

1：PLLSAI ロックによるクロックレディ割り込みが発生しました。

ビット 5 **PLLI2SRDYF**：PLLI2S レディ割り込みフラグ

このビットは、PLLI2S がロックされ、PLLI2SRDYDIE がセットされているときに、ハードウェアによってセットされます。

PLLRI2SDYC ビットをセットすることによって、ソフトウェアによってクリアされます。

0：PLLI2S ロックによるクロックレディ割り込みは発生していません。

1：PLLI2S ロックによるクロックレディ割り込みが発生しました。

ビット 4 **PLLRDYF**：メイン PLL（PLL）レディ割り込みフラグ

このビットは、PLL がロックされ、PLLRDYDIE がセットされているときに、ハードウェアによってセットされます。

PLLRDYC ビットをセットすることによって、ソフトウェアによってクリアされます。

0：PLL ロックによるクロックレディ割り込みは発生していません。

1：PLL ロックによるクロックレディ割り込みが発生しました。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 3 **HSERDYF** : HSE レディ割り込みフラグ

このビットは、外部高速クロックが安定し、HSERDYDIE ビットがセットされているときに、ハードウェアによってセットされます。

HSERDYC ビットをセットすることによって、ソフトウェアによってクリアされます。

0 : HSE オシレータによるクロックレディ割り込みは発生していません。

1 : HSE オシレータによるクロックレディ割り込みが発生しました。

ビット 2 **HSIRDYIF** : HSI レディ割り込みフラグ

このビットは、内部高速クロックが安定し、HSIRDYDIE ビットがセットされているときに、ハードウェアによってセットされます。

HSIRDYC ビットをセットすることによって、ソフトウェアによってクリアされます。

0 : HSI オシレータによるクロックレディ割り込みは発生していません。

1 : HSI オシレータによるクロックレディ割り込みが発生しました。

ビット 1 **LSERDYF** : LSE レディ割り込みフラグ

このビットは、外部低速クロックが安定し、LSERDYDIE ビットがセットされているときに、ハードウェアによってセットされます。

LSERDYC ビットをセットすることによって、ソフトウェアによってクリアされます。

0 : LSE オシレータによるクロックレディ割り込みは発生していません。

1 : LSE オシレータによるクロックレディ割り込みが発生しました。

ビット 0 **LSIRDYF** : LSI レディ割り込みフラグ

このビットは、内部低速クロックが安定し、LSIRDYDIE ビットがセットされているときに、ハードウェアによってセットされます。

LSIRDYC ビットをセットすることによって、ソフトウェアによってクリアされます。

0 : LSI オシレータによるクロックレディ割り込みは発生していません。

1 : LSI オシレータによるクロックレディ割り込みが発生しました。

6.3.5 RCC AHB1 ペリフェラルリセットレジスタ（RCC_AHB1RSTR）

アドレスオフセット : 0x10

リセット値 : 0x0000 0000

アクセス : ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み		OTGHSRST	予約済み			ETHMACRST	予約済み	DMA2DRST	DMA2RST	DMA1RST	予約済み				
		rw				rw		rw	rw	rw					

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み			CRCRST	予約済み	GPIOKRST	GPIOJRST	GPIOIRST	GPIOHRST	GPIOGRST	GPIOFRST	GPIOERST	GPIODRST	GPIOCRST	GPIOBRST	GPIOARST
			rw		rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:30 予約済み、リセット値に保持する必要があります。

ビット 29 **OTGHSRST** : USB OTG HS モジュールリセット

このビットは、ソフトウェアによってセット／クリアされます。

0 : USB OTG HS モジュールをリセットしません。

1 : USB OTG HS モジュールをリセットします。

ビット 28:26 予約済み、リセット値に保持する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 25 **ETHMACRST**：Ethernet MAC リセット
このビットは、ソフトウェアによってセット／クリアされます。
0：Ethernet MAC をリセットしません。
1：Ethernet MAC をリセットします。

ビット 24 予約済み、リセット値に保持する必要があります。

ビット 23 **DMA2DRST**：DMA2D リセット
このビットは、ソフトウェアによってセット／クリアされます。
0：DMA2D をリセットしません。
1：DMA2D をリセットします。

ビット 22 **DMA2RST**：DMA2 リセット
このビットは、ソフトウェアによってセット／クリアされます。
0：DMA2 をリセットしません。
1：DMA2 をリセットします。

ビット 21 **DMA1RST**：DMA2 リセット
このビットは、ソフトウェアによってセット／クリアされます。
0：DMA2 をリセットしません。
1：DMA2 をリセットします。

ビット 20:13 予約済み、リセット値に保持する必要があります。

ビット 12 **CRCRST**：CRC リセット
このビットは、ソフトウェアによってセット／クリアされます。
0：CRC をリセットしません。
1：CRC をリセットします。

ビット 11 予約済み、リセット値に保持する必要があります。

ビット 10 **GPIOKRST**：IO ポート K リセット
このビットは、ソフトウェアによってセット／クリアされます。
0：IO ポート K をリセットしません。
1：IO ポート K をリセットします。

ビット 9 **GPIOJRST**：IO ポート J リセット
このビットは、ソフトウェアによってセット／クリアされます。
0：IO ポート J をリセットしません。
1：IO ポート J をリセットします。

ビット 8 **GPIOIRST**：IO ポート I リセット
このビットは、ソフトウェアによってセット／クリアされます。
0：IO ポート I をリセットしません。
1：IO ポート I をリセットします。

ビット 7 **GPIOHRST**：IO ポート H リセット。
このビットは、ソフトウェアによってセット／クリアされます。
0：IO ポート H をリセットしません。
1：IO ポート H をリセットします。

ビット 6 **GPIOGRST**：IO ポート G リセット
このビットは、ソフトウェアによってセット／クリアされます。
0：IO ポート G をリセットしません。
1：IO ポート G をリセットします。

ビット 5 **GPIOFRST**：IO ポート F リセット
このビットは、ソフトウェアによってセット／クリアされます。
0：IO ポート F をリセットしません。
1：IO ポート F をリセットします。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 4 **GPIOERST**：IO ポート E リセット

このビットは、ソフトウェアによってセット／クリアされます。

0：IO ポート E をリセットしません。

1：IO ポート E をリセットします。

ビット 3 **GPIODRST**：IO ポート D リセット

このビットは、ソフトウェアによってセット／クリアされます。

0：IO ポート D をリセットしません。

1：IO ポート D をリセットします。

ビット 2 **GPIOCRST**：IO ポート C リセット

このビットは、ソフトウェアによってセット／クリアされます。

0：IO ポート C をリセットしません。

1：IO ポート C をリセットします。

ビット 1 **GPIOBRST**：IO ポート B リセット

このビットは、ソフトウェアによってセット／クリアされます。

0：IO ポート B をリセットしません。

1：IO ポート B をリセットします。

ビット 0 **GPIOARST**：IO ポート A リセット

このビットは、ソフトウェアによってセット／クリアされます。

0：IO ポート A をリセットしません。

1：IO ポート A をリセットします。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

6.3.6 RCC AHB2 ペリフェラルリセットレジスタ（RCC_AHB2RSTR）

アドレスオフセット：0x14

リセット値：0x0000 0000

アクセス：ノーウェイト、ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								OTGFS RST	RNG RST	HASH RST	CRYP RST	予約済み			DCMI RST
								rw	rw	rw	rw				rw

ビット 31:8 予約済み、リセット値に保持する必要があります。

ビット 7 **OTGFSRST**：USB OTG FS モジュールリセット
ソフトウェアによってセット／クリアされます。
0：USB OTG FS モジュールをリセットしません。
1：USB OTG FS モジュールをリセットします。

ビット 6 **RNGRST**：乱数発生回路モジュールリセット
ソフトウェアによってセット／クリアされます。
0：乱数発生回路モジュールをリセットしません。
1：乱数発生回路モジュールをリセットします。

ビット 5 **HASHRST**：ハッシュモジュールリセット
ソフトウェアによってセット／クリアされます。
0：ハッシュモジュールをリセットしません。
1：ハッシュモジュールをリセットします。

ビット 4 **CRYPRST**：暗号モジュールリセット
ソフトウェアによってセット／クリアされます。
0：暗号モジュールをリセットしません。
1：暗号モジュールをリセットします。

ビット 3:1 予約済み、リセット値に保持する必要があります。

ビット 0 **DCMIRST**：カメラインタフェースリセット
ソフトウェアによってセット／クリアされます。
0：カメラインタフェースをリセットしません。
1：カメラインタフェースをリセットします。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

6.3.7 RCC AHB3 ペリフェラルリセットレジスタ（RCC_AHB3RSTR）

アドレスオフセット：0x18

リセット値：0x0000 0000

アクセス：ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															FMCRST
															rw

ビット 31:1 予約済み、リセット値に保持する必要があります。

ビット 0 **FMCRST**：フレキシブルメモリコントローラモジュールリセット
ソフトウェアによってセット／クリアされます。
0：FMC モジュールをリセットしません。
1：FMC モジュールをリセットします。

6.3.8 RCC APB1 ペリフェラルリセットレジスタ（RCC_APB1RSTR）

アドレスオフセット：0x20

リセット値：0x0000 0000

アクセス：ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
UART8RST	UART7RST	DACRST	PWRRST	予約済み	CAN2RST	CAN1RST	予約済み	I2C3RST	I2C2RST	I2C1RST	UART5RST	UART4RST	UART3RST	UART2RST	予約済み
rw	rw	rw	rw			rw		rw	rw	rw	rw	rw	rw	rw	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SPI3RST	SPI2RST	予約済み		WWDGRST	予約済み		TIM14RST	TIM13RST	TIM12RST	TIM7RST	TIM6RST	TIM5RST	TIM4RST	TIM3RST	TIM2RST
rw	rw			rw			rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31 **UART8RST**：UART8 リセット
ソフトウェアによってセット／クリアされます。
0：UART8 をリセットしません。
1：UART8 をリセットします。

ビット 30 **UART7RST**：UART7 リセット
ソフトウェアによってセット／クリアされます。
0：UART7 をリセットしません。
1：UART7 をリセットします。

ビット 29 **DACRST**：DAC リセット
ソフトウェアによってセット／クリアされます。
0：DACインタフェースをリセットしません。
1：DACインタフェースをリセットします。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 28 **PWRRST**：電源インタフェースリセット
ソフトウェアによってセット／クリアされます。
0：電源インタフェースをリセットしません。
1：電源インタフェースをリセットします。

ビット 27 予約済み、リセット値に保持する必要があります。

ビット 26 **CAN2RST**：CAN2 リセット
ソフトウェアによってセット／クリアされます。
0：CAN2 をリセットしません。
1：CAN2 をリセットします。

ビット 25 **CAN1RST**：CAN1 リセット
ソフトウェアによってセット／クリアされます。
0：CAN1 をリセットしません。
1：CAN1 をリセットします。

ビット 24 予約済み、リセット値に保持する必要があります。

ビット 23 **I2C3RST**：I2C3 リセット
ソフトウェアによってセット／クリアされます。
0：I2C3 をリセットしません。
1：I2C3 をリセットします。

ビット 22 **I2C2RST**：I2C2 リセット
ソフトウェアによってセット／クリアされます。
0：I2C2 をリセットしません。
1：I2C2 をリセットします。

ビット 21 **I2C1RST**：I2C1 リセット
ソフトウェアによってセット／クリアされます。
0：I2C1 をリセットしません。
1：I2C1 をリセットします。

ビット 20 **UART5RST**：UART5 リセット
ソフトウェアによってセット／クリアされます。
0：UART5 をリセットしません。
1：UART5 をリセットします。

ビット 19 **UART4RST**：UART4 リセット
ソフトウェアによってセット／クリアされます。
0：UART4 をリセットしません。
1：UART4 をリセットします。

ビット 18 **USART3RST**：USART3 リセット
ソフトウェアによってセット／クリアされます。
0：USART3 をリセットしません。
1：USART3 をリセットします。

ビット 17 **USART2RST**：USART2 リセット
ソフトウェアによってセット／クリアされます。
0：USART2 をリセットしません。
1：USART2 をリセットします。

ビット 16 予約済み、リセット値に保持する必要があります。

ビット 15 **SPI3RST**：SPI3 リセット
ソフトウェアによってセット／クリアされます。
0：SPI3 をリセットしません。
1：SPI3 をリセットします。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 14 **SPI2RST**：SPI2 リセット
ソフトウェアによってセット／クリアされます。
0：SPI2 をリセットしません。
1：SPI2 をリセットします。

ビット 13:12 予約済み、リセット値に保持する必要があります。

ビット 11 **WWDGRST**：ウィンドウ型ウォッチドッグリセット
ソフトウェアによってセット／クリアされます。
0：ウィンドウ型ウォッチドッグをリセットしません。
1：ウィンドウ型ウォッチドッグをリセットします。

ビット 10:9 予約済み、リセット値に保持する必要があります。

ビット 8 **TIM14RST**：TIM14 リセット
ソフトウェアによってセット／クリアされます。
0：TIM14 をリセットしません。
1：TIM14 をリセットします。

ビット 7 **TIM13RST**：TIM13 リセット
ソフトウェアによってセット／クリアされます。
0：TIM13 をリセットしません。
1：TIM13 をリセットします。

ビット 6 **TIM12RST**：TIM12 リセット
ソフトウェアによってセット／クリアされます。
0：TIM12 をリセットしません。
1：TIM12 をリセットします。

ビット 5 **TIM7RST**：TIM7 リセット
ソフトウェアによってセット／クリアされます。
0：TIM7 をリセットしません。
1：TIM7 をリセットします。

ビット 4 **TIM6RST**：TIM6 リセット
ソフトウェアによってセット／クリアされます。
0：TIM6 をリセットしません。
1：TIM6 をリセットします。

ビット 3 **TIM5RST**：TIM5 リセット
ソフトウェアによってセット／クリアされます。
0：TIM5 をリセットしません。
1：TIM5 をリセットします。

ビット 2 **TIM4RST**：TIM4 リセット
ソフトウェアによってセット／クリアされます。
0：TIM4 をリセットしません。
1：TIM4 をリセットします。

ビット 1 **TIM3RST**：TIM3 リセット
ソフトウェアによってセット／クリアされます。
0：TIM3 をリセットしません。
1：TIM3 をリセットします。

ビット 0 **TIM2RST**：TIM2 リセット
ソフトウェアによってセット／クリアされます。
0：TIM2 をリセットしません。
1：TIM2 をリセットします。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

6.3.9 RCC APB2 ペリフェラルリセットレジスタ(RCC_APB2RSTR)

アドレスオフセット：0x24

リセット値：0x0000 0000

アクセス：ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み					LTDCRST	予約済み			SAI1RST	SPI6RST	SPI5RST	予約済み	TIM11RST	TIM10RST	TIM9RST
					rw				rw	rw	rw		rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み	SYSCFGRST	SPI4RST	SPI1RST	SDIORST	予約済み		ADCRST	予約済み		USART6RST	USART1RST	予約済み		TIM8RST	TIM1RST
	rw	rw	rw	rw			rw			rw	rw			rw	rw

ビット 31:27 予約済み、リセット値に保持する必要があります。

ビット 26 **LTDCRST**：LTDC リセット
このビットは、ソフトウェアによってセット／リセットされます。
0：LCD-TFT をリセットしません。
1：LCD-TFT をリセットします。

ビット 27:23 予約済み、リセット値に保持する必要があります。

ビット 22 **SAI1RST**：SAI1 リセット
このビットは、ソフトウェアによってセット／リセットされます。
0：SAI1 をリセットしません。
1：SAI1 をリセットします。

ビット 21 **SPI6RST**：SPI6 リセット
このビットは、ソフトウェアによってセット／クリアされます。
0：SPI6 をリセットしません。
1：SPI6 をリセットします。

ビット 20 **SPI5RST**：SPI5 リセット
このビットは、ソフトウェアによってセット／クリアされます。
0：SPI5 をリセットしません。
1：SPI5 をリセットします。

ビット 19 予約済み、リセット値に保持する必要があります。

ビット 18 **TIM11RST**：TIM11 リセット
このビットは、ソフトウェアによってセット／クリアされます。
0：TIM11 をリセットしません。
1：TIM11 をリセットします。

ビット 17 **TIM10RST**：TIM10 リセット
このビットは、ソフトウェアによってセット／クリアされます。
0：TIM10 をリセットしません。
1：TIM10 をリセットします。

ビット 16 **TIM9RST**：TIM9 リセット
このビットは、ソフトウェアによってセット／クリアされます。
0：TIM9 をリセットしません。
1：TIM9 をリセットします。

ビット 15 予約済み、リセット値に保持する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 14 **SYSCFGRST**：システム設定コントローラリセット
このビットは、ソフトウェアによってセット／クリアされます。
0：システム設定コントローラをリセットしません。
1：システム設定コントローラをリセットします。

ビット 13 **SPI4RST**：SPI4 リセット
このビットは、ソフトウェアによってセット／クリアされます。
0：SPI4 をリセットしません。
1：SPI4 をリセットします。

ビット 12 **SPI1RST**：SPI1 リセット
このビットは、ソフトウェアによってセット／クリアされます。
0：SPI1 をリセットしません。
1：SPI1 をリセットします。

ビット 11 **SDIORST**：SDIO リセット
このビットは、ソフトウェアによってセット／クリアされます。
0：SDIO モジュールをリセットしません。
1：SDIO モジュールをリセットします。

ビット 10:9 予約済み、リセット値に保持する必要があります。

ビット 8 **ADCRST**：ADC インタフェースリセット（すべての ADC に共通）
このビットは、ソフトウェアによってセット／クリアされます。
0：ADCインタフェースをリセットしません。
1：ADCインタフェースをリセットします。

ビット 7:6 予約済み、リセット値に保持する必要があります。

ビット 5 **USART6RST**：USART6 リセット
このビットは、ソフトウェアによってセット／クリアされます。
0：USART6 をリセットしません。
1：USART6 をリセットします。

ビット 4 **USART1RST**：USART1 リセット
このビットは、ソフトウェアによってセット／クリアされます。
0：USART1 をリセットしません。
1：USART1 をリセットします。

ビット 3:2 予約済み、リセット値に保持する必要があります。

ビット 1 **TIM8RST**：TIM8 リセット
このビットは、ソフトウェアによってセット／クリアされます。
0：TIM8 をリセットしません。
1：TIM8 をリセットします。

ビット 0 **TIM1RST**：TIM1 リセット
このビットは、ソフトウェアによってセット／クリアされます。
0：TIM1 をリセットしません。
1：TIM1 をリセットします。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

6.3.10 RCC AHB1 ペリフェラルクロックレジスタ（RCC_AHB1ENR）

アドレスオフセット：0x30

リセット値：0x0010 0000

アクセス：ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み	OTGHSULPIEN	OTGHSEN	ETHMACPTPEN	ETHMACRXEN	ETHMACTXEN	ETHMACEN	予約済み	DMA2DEN	DMA2EN	DMA1EN	CCMDATARAMEN	予約済み	BKPSRAMEN	予約済み	
	rw	rw	rw	rw	rw	rw		rw	rw	rw			rw		

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み			CRCEN	予約済み	GPIOKEN	GPIOJEN	GPIOIEN	GPIOHEN	GPIOGEN	GPIOFEN	GPIOEEN	GPIODEN	GPIOCEN	GPIOBEN	GPIOAEN
			rw		rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31 予約済み、リセット値に保持する必要があります。

ビット 30 **OTGHSULPIEN**：USB OTG HSULPI クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：USB OTG HS ULPI クロック無効
1：USB OTG HS ULPI クロック有効

ビット 29 **OTGHSEN**：USB OTG HS クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：USB OTG HS クロック無効
1：USB OTG HS クロック有効

ビット 28 **ETHMACPTPEN**：Ethernet PTP クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：Ethernet PTP クロック無効
1：Ethernet PTP クロック有効

ビット 27 **ETHMACRXEN**：Ethernet 受信クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：Ethernet 受信クロック無効
1：Ethernet 受信クロック有効

ビット 26 **ETHMACTXEN**：Ethernet 送信クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：Ethernet 送信クロック無効
1：Ethernet 送信クロック有効

ビット 25 **ETHMACEN**：Ethernet MAC クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：Ethernet MAC クロック無効
1：Ethernet MAC クロック有効

ビット 24 予約済み、リセット値に保持する必要があります。

ビット 23 **DMA2DEN**：DMA2D クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：DMA2D クロック無効
1：DMA2D クロック有効

ビット 22 **DMA2EN**：DMA2 クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：DMA2 クロック無効
1：DMA2 クロック有効

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 21 **DMA1EN**：DMA1 クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：DMA1 クロック無効
1：DMA1 クロック有効

ビット 20 **CCMDATARAMEN**：CCM データ RAM クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：CCM データ RAM クロック無効
1：CCM データ RAM クロック有効

ビット 19 予約済み、リセット値に保持する必要があります。

ビット 18 **BKPSRAMEN**：バックアップ SRAM インタフェースクロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：バックアップ SRAM インタフェースクロック無効
1：バックアップ SRAM インタフェースクロック有効

ビット 17:13 予約済み、リセット値に保持する必要があります。

ビット 12 **CRCEN**：CRC クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：CRC クロック無効
1：CRC クロック有効

ビット 11 予約済み、リセット値に保持する必要があります。

ビット 10 **GPIOKEN**：IO ポート K クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：IO ポート K クロック無効
1：IO ポート K クロック有効

ビット 9 **GPIOJEN**：IO ポート J クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：IO ポート J クロック無効
1：IO ポート J クロック有効

ビット 8 **GPIOIEN**：IO ポート I クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：IO ポート I クロック無効
1：IO ポート I クロック有効

ビット 7 **GPIOHEN**：IO ポート H クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：IO ポート H クロック無効
1：IO ポート H クロック有効

ビット 6 **GPIOGEN**：IO ポート G クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：IO ポート G クロック無効
1：IO ポート G クロック有効

ビット 5 **GPIOFEN**：IO ポート F クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：IO ポート F クロック無効
1：IO ポート F クロック有効

ビット 4 **GPIOEEN**：IO ポート E クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：IO ポート E クロック無効
1：IO ポート E クロック有効

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 3 **GPIODEN**：IO ポート D クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：IO ポート D クロック無効
1：IO ポート D クロック有効

ビット 2 **GPIOCEN**：IO ポート C クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：IO ポート C クロック無効
1：IO ポート C クロック有効

ビット 1 **GPIOBEN**：IO ポート B クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：IO ポート B クロック無効
1：IO ポート B クロック有効

ビット 0 **GPIOAEN**：IO ポート A クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：IO ポート A クロック無効
1：IO ポート A クロック有効

6.3.11 RCC AHB2 ペリフェラルクロックイネーブルレジスタ（RCC_AHB2ENR）

アドレスオフセット：0x34

リセット値：0x0000 0000

アクセス：ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								OTGFSEN	RNGEN	HASHEN	CRYPEN	予約済み			DCMIEN
								rw	rw	rw	rw				rw

ビット 31:8 予約済み、リセット値に保持する必要があります。

ビット 7 **OTGFSEN**：USB OTG FS クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：USB OTG FS クロック無効
1：USB OTG FS クロック有効

ビット 6 **RNGEN**：乱数発生器クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：乱数発生回路クロック無効
1：乱数発生回路クロック有効

ビット 5 **HASHEN**：ハッシュモジュールクロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：ハッシュモジュールクロック無効
1：ハッシュモジュールクロック有効

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 4 **CRYPEN**：暗号モジュールクロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：暗号モジュールクロック無効
1：暗号モジュールクロック有効

ビット 3:1 予約済み、リセット値に保持する必要があります。

ビット 0 **DCMIEN**：カメラインタフェースイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：カメラインタフェースクロック無効
1：カメラインタフェースクロック有効

6.3.12 RCC AHB3 ペリフェラルクロックイネーブルレジスタ（RCC_AHB3ENR）

アドレスオフセット：0x38

リセット値：0x0000 0000

アクセス：ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															FMCEN
															rw

ビット 31:1 予約済み、リセット値に保持する必要があります。

ビット 0 **FMCEN**：フレキシブルメモリコントローラモジュールクロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：FMC モジュールクロック無効
1：FMC モジュールクロック有効

6.3.13 RCC APB1 ペリフェラルクロックイネーブルレジスタ（RCC_APB1ENR）

アドレスオフセット：0x40

リセット値：0x0000 0000

アクセス：ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
UART8EN	UART7EN	DACEN	PWREN	予約済み	CAN2EN	CAN1EN	予約済み	I2C3EN	I2C2EN	I2C1EN	UART5EN	UART4EN	USART3EN	USART2EN	予約済み
rw	rw	rw	rw		rw	rw		rw	rw	rw	rw	rw	rw	rw	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SPI3EN	SPI2EN	予約済み		WWDGEN	予約済み		TIM14EN	TIM13EN	TIM12EN	TIM7EN	TIM6EN	TIM5EN	TIM4EN	TIM3EN	TIM2EN
rw	rw			rw			rw	rw	rw	rw	rw	rw	rw	rw	rw

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 31 **UART8EN**：UART8 クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：UART8 クロック無効
1：UART8 クロック有効

ビット 30 **UART7EN**：UART7 クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：UART7 クロック無効
1：UART7 クロック有効

ビット 29 **DACEN**：DAC インタフェースクロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：DAC インタフェースクロック無効
1：DAC インタフェースクロック有効

ビット 28 **PWREN**：電源インタフェースクロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：電源インタフェースクロック無効
1：電源インタフェースクロック有効

ビット 27 予約済み、リセット値に保持する必要があります。

ビット 26 **CAN2EN**：CAN 2 クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：CAN 2 クロック無効
1：CAN 2 クロック有効

ビット 25 **CAN1EN**：CAN 1 クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：CAN 1 クロック無効
1：CAN 1 クロック有効

ビット 24 予約済み、リセット値に保持する必要があります。

ビット 23 **I2C3EN**：I2C3 クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：I2C3 クロック無効
1：I2C3 クロック有効

ビット 22 **I2C2EN**：I2C2 クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：I2C2 クロック無効
1：I2C2 クロック有効

ビット 21 **I2C1EN**：I2C1 クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：I2C1 クロック無効
1：I2C1 クロック有効

ビット 20 **UART5EN**：UART5 クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：UART5 クロック無効
1：UART5 クロック有効

ビット 19 **UART4EN**：UART4 クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：UART4 クロック無効
1：UART4 クロック有効

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 18 **USART3EN**：USART3 クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：USART3 クロック無効
1：USART3 クロック有効

ビット 17 **USART2EN**：USART2 クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：USART2 クロック無効
1：USART2 クロック有効

ビット 16 予約済み、リセット値に保持する必要があります。

ビット 15 **SPI3EN**：SPI3 クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：SPI3 クロック無効
1：SPI3 クロック有効

ビット 14 **SPI2EN**：SPI2 クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：SPI2 クロック無効
1：SPI2 クロック有効

ビット 13:12 予約済み、リセット値に保持する必要があります。

ビット 11 **WWDGEN**：ウィンドウ型ウォッチドッグクロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：ウィンドウ型ウォッチドッグクロック無効
1：ウィンドウ型ウォッチドッグクロック有効

ビット 10:9 予約済み、リセット値に保持する必要があります。

ビット 8 **TIM14EN**：TIM14 クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：TIM14 クロック無効
1：TIM14 クロック有効

ビット 7 **TIM13EN**：TIM13 クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：TIM13 クロック無効
1：TIM13 クロック有効

ビット 6 **TIM12EN**：TIM12 クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：TIM12 クロック無効
1：TIM12 クロック有効

ビット 5 **TIM7EN**：TIM7 クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：TIM7 クロック無効
1：TIM7 クロック有効

ビット 4 **TIM6EN**：TIM6 クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：TIM6 クロック無効
1：TIM6 クロック有効

ビット 3 **TIM5EN**：TIM5 クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：TIM5 クロック無効
1：TIM5 クロック有効

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 2 **TIM4EN**：TIM4 クロックイネーブル

このビットは、ソフトウェアによってセット／クリアされます。

0：TIM4 クロック無効

1：TIM4 クロック有効

ビット 1 **TIM3EN**：TIM3 クロックイネーブル

このビットは、ソフトウェアによってセット／クリアされます。

0：TIM3 クロック無効

1：TIM3 クロック有効

ビット 0 **TIM2EN**：TIM2 クロックイネーブル

このビットは、ソフトウェアによってセット／クリアされます。

0：TIM2 クロック無効

1：TIM2 クロック有効

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

6.3.14 RCC APB2 ペリフェラルクロックイネーブルレジスタ（RCC_APB2ENR）

アドレスオフセット：0x44

リセット値：0x0000 0000

アクセス：ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み					LTDC EN	予約済み			SAI1EN	SPI6EN	SPI5EN	予約済み	TIM11 EN	TIM10 EN	TIM9 EN
					rw				rw	rw	rw		rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み	SYSCFG EN	SPI4EN	SPI1 EN	SDIO EN	ADC3 EN	ADC2 EN	ADC1 EN	予約済み		USART6 EN	USART1 EN	予約済み		TIM8 EN	TIM1 EN
	rw	rw	rw	rw	rw	rw	rw			rw	rw			rw	rw

ビット 31:27 予約済み、リセット値に保持する必要があります。

ビット 26 **CLTDCEN :** LTDC クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：LTDC クロック無効
1：LTDC クロック有効

ビット 27：23 予約済み、リセット値に保持する必要があります。

ビット 22 **SAI1EN :** SAI1 クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：SAI1 クロック無効
1：SAI1 クロック有効

ビット 21 **SPI6EN**：SPI6 クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：SPI6 クロック無効
1：SPI6 クロック有効

ビット 20 **SPI5EN**：SPI5 クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：SPI5 クロック無効
1：SPI5 クロック有効

ビット 18 **TIM11EN**：TIM11 クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：TIM11 クロック無効
1：TIM11 クロック有効

ビット 17 **TIM10EN**：TIM10 クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：TIM10 クロック無効
1：TIM10 クロック有効

ビット 16 **TIM9EN**：TIM9 クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：TIM9 クロック無効
1：TIM9 クロック有効

ビット 15 予約済み、リセット値に保持する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 14 **SYSCFGEN**：システム設定コントローラクロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：システム設定コントローラクロック無効
1：システム設定コントローラクロック有効

ビット 13 **SPI4EN**：SPI4 クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：SPI4 クロック無効
1：SPI4 クロック有効

ビット 12 **SPI1EN**：SPI1 クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：SPI1 クロック無効
1：SPI1 クロック有効

ビット 11 **SDIOEN**：SDIO クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：SDIO モジュールクロック無効
1：SDIO モジュールクロック有効

ビット 10 **ADC3EN**：ADC3 クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：ADC3 クロック無効
1：ADC3 クロック有効

ビット 9 **ADC2EN**：ADC2 クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：ADC2 クロック無効
1：ADC2 クロック有効

ビット 8 **ADC1EN**：ADC1 クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：ADC1 クロック無効
1：ADC1 クロック有効

ビット 7:6 予約済み、リセット値に保持する必要があります。

ビット 5 **USART6EN：**USART6 クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：USART6 クロック無効
1：USART6 クロック有効

ビット 4 **USART1EN**：USART1 クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：USART1 クロック無効
1：USART1 クロック有効

ビット 3:2 予約済み、リセット値に保持する必要があります。

ビット 1 **TIM8EN**：TIM8 クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：TIM8 クロック無効
1：TIM8 クロック有効

ビット 0 **TIM1EN**：TIM1 クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：TIM1 クロック無効
1：TIM1 クロック有効

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

6.3.15 低電力モードにおける RCC AHB1 ペリフェラルクロックイネーブルレジスタ（RCC_AHB1LPENR）

アドレスオフセット：0x50

リセット値：0x7E67 91FF

アクセス：ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み	OTGHSULPILPEN	OTGHSLPEN	ETHPTPLPEN	ETHRXLPEN	ETHTXLPEN	ETHMACLPEN	予約済み	DMA2DLPEN	DMA2LPEN	DMA1LPEN	予約済み	SRAM3LPEN	BKPSRAMLPEN	SRAM2LPEN	SRAM1LPEN
	rw	rw	rw	rw	rw	rw		rw	rw	rw		rw	rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FLITFLPEN	予約済み		CRCLPEN	予約済み	GPIOKLPEN	GPIOIJLPEN	GPIOILPEN	GPIOHLPEN	GPIOGGLPEN	GPIOFLPEN	GPIOELPEN	GPIODLPEN	GPIOCLPEN	GPIOBLPEN	GPIOALPEN
rw			rw		rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31 予約済み、リセット値に保持する必要があります。

ビット 30 **OTGHSULPILPEN**：SLEEP モード時 USB OTG HS ULPI クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 USB OTG HS ULPI クロック無効
1：SLEEP モード時 USB OTG HS ULPI クロック有効

ビット 29 **OTGHSLPEN**：SLEEP モード時 USB OTG HS クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 USB OTG HS クロック無効
1：SLEEP モード時 USB OTG HS クロック有効

ビット 28 **ETHMACPTPLPEN**：SLEEP モード時 Ethernet PTP クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 Ethernet PTP クロック無効
1：SLEEP モード時 Ethernet PTP クロック有効

ビット 27 **ETHMACRXLPEN**：SLEEP モード時 Ethernet 受信クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 Ethernet 受信クロック無効
1：SLEEP モード時 Ethernet 受信クロック有効

ビット 26 **ETHMACTXLPEN**：SLEEP モード時 Ethernet 送信クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 Ethernet 送信クロック無効
1：SLEEP モード時 Ethernet 送信クロック有効

ビット 25 **ETHMACLPEN**：SLEEP モード時 Ethernet MAC クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 Ethernet MAC クロック無効
1：SLEEP モード時 Ethernet MAC クロック有効

ビット 24 予約済み、リセット値に保持する必要があります。

ビット 23 **DMA2DLPEN**：SLEEP モード時 DMA2D クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 DMA2D クロック無効
1：SLEEP モード時 DMA2D クロック有効

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 22 **DMA2LPEN**：SLEEP モード時 DMA2 クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 DMA2 クロック無効
1：SLEEP モード時 DMA2 クロック有効

ビット 21 **DMA1LPEN**：SLEEP モード時 DMA1 クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 DMA1 クロック無効
1：SLEEP モード時 DMA1 クロック有効

ビット 20 予約済み、リセット値に保持する必要があります。

ビット 19 **SRAM3LPEN**：SLEEP モード時 SRAM 3 インタフェースクロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 SRAM3 インタフェースクロック無効
1：SLEEP モード時 SRAM3 インタフェースクロック有効

ビット 18 **BKPSRAMLPEN**：SLEEP モード時バックアップ SRAM インタフェースクロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：SLEEP モード時バックアップ SRAM インタフェースクロック無効
1：SLEEP モード時バックアップ SRAM インタフェースクロック有効

ビット 17 **SRAM2LPEN**：SLEEP モード時 SRAM 2 インタフェースクロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 SRAM2 インタフェースクロック無効
1：SLEEP モード時 SRAM2 インタフェースクロック有効

ビット 16 **SRAM1LPEN**：SLEEP モード時 SRAM 1 インタフェースクロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 SRAM1 インタフェースクロック無効
1：SLEEP モード時 SRAM1 インタフェースクロック有効

ビット 15 **FLITFLPEN**：SLEEP モード時フラッシュインタフェースクロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：SLEEP モード時フラッシュインタフェースクロック無効
1：SLEEP モード時フラッシュインタフェースクロック有効

ビット 14:13 予約済み、リセット値に保持する必要があります。

ビット 12 **CRCLPEN**：SLEEP モード時 CRC クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 CRC クロック無効
1：SLEEP モード時 CRC クロック有効

ビット 11 予約済み、リセット値に保持する必要があります。

ビット 10 **GPIOKLPEN**：SLEEP モード時 IO ポート K クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 IO ポート K クロック無効
1：SLEEP モード時 IO ポート K クロック有効

ビット 9 **GPIOJLPEN**：SLEEP モード時 IO ポート J クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 IO ポート J クロック無効
1：SLEEP モード時 IO ポート J クロック有効

ビット 8 **GPIOILPEN**：SLEEP モード時 IO ポート I クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 IO ポート I クロック無効
1：SLEEP モード時 IO ポート I クロック有効

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 7 **GPIOHLPEN**：SLEEP モード時 IO ポート H クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 IO ポート H クロック無効
1：SLEEP モード時 IO ポート H クロック有効

ビット 6 **GPIOGLPEN**：SLEEP モード時 IO ポート G クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 IO ポート G クロック無効
1：SLEEP モード時 IO ポート G クロック有効

ビット 5 **GPIOFLPEN**：SLEEP モード時 IO ポート F クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 IO ポート F クロック無効
1：SLEEP モード時 IO ポート F クロック有効

ビット 4 **GPIOELPEN**：SLEEP モード時 IO ポート E クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 IO ポート E クロック無効
1：SLEEP モード時 IO ポート E クロック有効

ビット 3 **GPIODLPEN**：SLEEP モード時 IO ポート D クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 IO ポート D クロック無効
1：SLEEP モード時 IO ポート D クロック有効

ビット 2 **GPIOCLPEN**：SLEEP モード時 IO ポート C クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 IO ポート C クロック無効
1：SLEEP モード時 IO ポート C クロック有効

ビット 1 **GPIOBLPEN**：SLEEP モード時 IO ポート B クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 IO ポート B クロック無効
1：SLEEP モード時 IO ポート B クロック有効

ビット 0 **GPIOALPEN**：SLEEP モード時 IO ポート A クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 IO ポート A クロック無効
1：SLEEP モード時 IO ポート A クロック有効

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

6.3.16 低電力モードにおける RCC AHB2 ペリフェラルクロックイネーブルレジスタ (RCC_AHB2LPENR)

アドレスオフセット：0x54

リセット値：0x0000 00F1

アクセス：ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								OTGFS LPEN	RNG LPEN	HASH LPEN	CRYP LPEN	予約済み			DCMI LPEN
								rw	rw	rw	rw				rw

ビット 31:8 予約済み、リセット値に保持する必要があります。

ビット 7 **OTGFSLPEN**：SLEEP モード時 USB OTG FS クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 USB OTG FS クロック無効
1：SLEEP モード時 USB OTG FS クロック有効

ビット 6 **RNGLPEN**：SLEEP モード時乱数発生回路クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：SLEEP モード時乱数発生回路クロック無効
1：SLEEP モード時乱数発生回路クロック有効

ビット 5 **HASHLPEN**：SLEEP モード時ハッシュモジュールクロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：SLEEP モード時ハッシュモジュールクロック無効
1：SLEEP モード時ハッシュモジュールクロック有効

ビット 4 **CRYPLPEN**：SLEEP モード時暗号モジュールクロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：SLEEP モード時暗号モジュールクロック無効
1：SLEEP モード時暗号モジュールクロック有効

ビット 3:1 予約済み、リセット値に保持する必要があります。

ビット 0 **DCMILPEN**：SLEEP モード時カメラインタフェース有効
このビットは、ソフトウェアによってセット／クリアされます。
0：SLEEP モード時カメラインタフェースクロック無効
1：SLEEP モード時カメラインタフェースクロック有効

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

6.3.17 低電力モードにおける RCC AHB3 ペリフェラルクロックイネーブルレジスタ（RCC_AHB3LPENR）

アドレスオフセット：0x58

リセット値：0x0000 0001

アクセス：ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															FMC LPEN
															rw

ビット 31:1 予約済み、リセット値に保持する必要があります。

ビット 0 **FMCLPEN**：SLEEP モード時フレキシブルメモリコントローラモジュールクロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 FMC モジュールクロック無効
1：SLEEP モード時 FMC モジュールクロック有効

6.3.18 低電力モードにおける RCC APB1 ペリフェラルクロックイネーブルレジスタ（RCC_APB1LPENR）

アドレスオフセット：0x60

リセット値：0x36FE C9FF

アクセス：ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
UART8 LPEN	UART7 LPEN	DAC LPEN	PWR LPEN	予約済み	CAN2 LPEN	CAN1 LPEN	予約済み	I2C3 LPEN	I2C2 LPEN	I2C1 LPEN	UART5 LPEN	UART4 LPEN	USART3 LPEN	USART2 LPEN	予約済み
rw	rw	rw	rw		rw	rw		rw	rw	rw	rw	rw	rw	rw	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SPI3 LPEN	SPI2 LPEN	予約済み		WWDG LPEN	予約済み		TIM14 LPEN	TIM13 LPEN	TIM12 LPEN	TIM7 LPEN	TIM6 LPEN	TIM5 LPEN	TIM4 LPEN	TIM3 LPEN	TIM2 LPEN
rw	rw			rw			rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31 **UART8LPEN**：SLEEP モード時 UART8 クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 UART8 クロック無効
1：SLEEP モード時 UART8 クロック有効

ビット 30 **UART7LPEN**：SLEEP モード時 UART7 クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 UART7 クロック無効
1：SLEEP モード時 UART7 クロック有効

ビット 29 **DACLPEN**：SLEEP モード時 DAC インタフェースクロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 DAC インタフェースクロック無効
1：SLEEP モード時 DAC インタフェースクロック有効

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 28 **PWRLPEN**：SLEEP モード時電源インタフェースクロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：SLEEP モード時電源インタフェースクロック無効
1：SLEEP モード時電源インタフェースクロック有効

ビット 27 予約済み、リセット値に保持する必要があります。

ビット 26 **CAN2LPEN**：SLEEP モード時 CAN 2 クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 CAN 2 クロック無効
1：SLEEP モード時 CAN 2 クロック有効

ビット 25 **CAN1LPEN**：SLEEP モード時 CAN 1 クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 CAN 1 クロック無効
1：SLEEP モード時 CAN 1 クロック有効

ビット 24 予約済み、リセット値に保持する必要があります。

ビット 23 **I2C3LPEN**：SLEEP モード時 I2C3 クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 I2C3 クロック無効
1：SLEEP モード時 I2C3 クロック有効

ビット 22 **I2C2LPEN**：SLEEP モード時 I2C2 クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 I2C2 クロック無効
1：SLEEP モード時 I2C2 クロック有効

ビット 21 **I2C1LPEN**：SLEEP モード時 I2C1 クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 I2C1 クロック無効
1：SLEEP モード時 I2C1 クロック有効

ビット 20 **UART5LPEN**：SLEEP モード時 UART5 クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 UART5 クロック無効
1：SLEEP モード時 UART5 クロック有効

ビット 19 **UART4LPEN**：SLEEP モード時 UART4 クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 UART4 クロック無効
1：SLEEP モード時 UART4 クロック有効

ビット 18 **USART3LPEN**：SLEEP モード時 USART3 クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 USART3 クロック無効
1：SLEEP モード時 USART3 クロック有効

ビット 17 **USART2LPEN**：SLEEP モード時 USART2 クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 USART2 クロック無効
1：SLEEP モード時 USART2 クロック有効

ビット 16 予約済み、リセット値に保持する必要があります。

ビット 15 **SPI3LPEN**：SLEEP モード時 SPI3 クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 SPI3 クロック無効
1：SLEEP モード時 SPI3 クロック有効

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 14 **SPI2LPEN**：SLEEP モード時 SPI2 クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 SPI2 クロック無効
1：SLEEP モード時 SPI2 クロック有効

ビット 13:12 予約済み、リセット値に保持する必要があります。

ビット 11 **WWDGLPEN**：SLEEP モード時ウィンドウ型ウォッチドッグクロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：SLEEP モード時ウィンドウ型ウォッチドッグクロック無効
1：SLEEP モード時ウィンドウ型ウォッチドッグクロック有効

ビット 10:9 予約済み、リセット値に保持する必要があります。

ビット 8 **TIM14LPEN**：SLEEP モード時 TIM14 クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 TIM14 クロック無効
1：SLEEP モード時 TIM14 クロック有効

ビット 7 **TIM13LPEN**：SLEEP モード時 TIM13 クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 TIM13 クロック無効
1：SLEEP モード時 TIM13 クロック有効

ビット 6 **TIM12LPEN**：SLEEP モード時 TIM12 クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 TIM12 クロック無効
1：SLEEP モード時 TIM12 クロック有効

ビット 5 **TIM7LPEN**：SLEEP モード時 TIM7 クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 TIM7 クロック無効
1：SLEEP モード時 TIM7 クロック有効

ビット 4 **TIM6LPEN**：SLEEP モード時 TIM6 クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 TIM6 クロック無効
1：SLEEP モード時 TIM6 クロック有効

ビット 3 **TIM5LPEN**：SLEEP モード時 TIM5 クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 TIM5 クロック無効
1：SLEEP モード時 TIM5 クロック有効

ビット 2 **TIM4LPEN**：SLEEP モード時 TIM4 クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 TIM4 クロック無効
1：SLEEP モード時 TIM4 クロック有効

ビット 1 **TIM3LPEN**：SLEEP モード時 TIM3 クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 TIM3 クロック無効
1：SLEEP モード時 TIM3 クロック有効

ビット 0 **TIM2LPEN**：SLEEP モード時 TIM2 クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 TIM2 クロック無効
1：SLEEP モード時 TIM2 クロック有効

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

6.3.19 低電力モードにおける RCC APB2 ペリフェラルクロックイネーブルレジスタ（RCC_APB2LPENR）

アドレスオフセット：0x64

リセット値：0x0007 5F33

アクセス：ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み					LTDC LPEN	予約済み			SAI1 LPEN	SPI6 LPEN	SPI5 LPEN	予約済み	TIM11 LPEN	TIM10 LPEN	TIM9 LPEN
					rw				rw	rw	rw		rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み	SYSCFG LPEN	SPI4 LPEN	SPI1 LPEN	SDIO LPEN	ADC3 LPEN	ADC2 LPEN	ADC1 LPEN	予約済み		USART6 LPEN	USART1 LPEN	予約済み		TIM8 LPEN	TIM1 LPEN
	rw	rw	rw	rw	rw	rw	rw			rw	rw			rw	rw

ビット 31:27 予約済み、リセット値に保持する必要があります。

ビット 26 **LTDCLPEN**：SLEEP モード時 LTDC クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 LTDC クロック無効
1：SLEEP モード時 LTDC クロック有効

ビット 25:23 予約済み、リセット値に保持する必要があります。

ビット 22 **SAI1LPEN**：SLEEP モード時 SAI1 クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 SAI1 クロック無効
1：SLEEP モード時 SAI1 クロック有効

ビット 21 **SPI6LPEN**：SLEEP モード時 SPI6 クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 SPI6 クロック無効
1：SLEEP モード時 SPI6 クロック有効

ビット 20 **SPI5LPEN**：SLEEP モード時 SPI5 クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 SPI5 クロック無効
1：SLEEP モード時 SPI5 クロック有効

ビット 19 予約済み、リセット値に保持する必要があります。

ビット 18 **TIM11LPEN**：SLEEP モード時 TIM11 クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 TIM11 クロック無効
1：SLEEP モード時 TIM11 クロック有効

ビット 17 **TIM10LPEN**：SLEEP モード時 TIM10 クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 TIM10 クロック無効
1：SLEEP モード時 TIM10 クロック有効

ビット 16 **TIM9LPEN**：SLEEP モード時 TIM9 クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 TIM9 クロック無効
1：SLEEP モード時 TIM9 クロック有効

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 15 予約済み、リセット値に保持する必要があります。

ビット 14 **SYSCFGLPEN**：SLEEP モード時システム設定コントローラクロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：SLEEP モード時システム設定コントローラクロック無効
1：SLEEP モード時システム設定コントローラクロック有効

ビット 13 **SPI4LPEN**：SLEEP モード時 SPI4 クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 SPI4 クロック無効
1：SLEEP モード時 SPI4 クロック有効

ビット 12 **SPI1LPEN**：SLEEP モード時 SPI1 クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 SPI1 クロック無効
1：SLEEP モード時 SPI1 クロック有効

ビット 11 **SDIOLPEN**：SLEEP モード時 SDIO クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 SDIO モジュールクロック無効
1：SLEEP モード時 SDIO モジュールクロック有効

ビット 10 **ADC3LPEN**：SLEEP モード時 ADC 3 クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 ADC 3 クロック無効
1：SLEEP モード時 ADC 3 クロック有効

ビット 9 **ADC2LPEN**：SLEEP モード時 ADC2 クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 ADC2 クロック無効
1：SLEEP モード時 ADC2 クロック有効

ビット 8 **ADC1LPEN**：SLEEP モード時 ADC1 クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 ADC1 クロック無効
1：SLEEP モード時 ADC1 クロック有効

ビット 7:6 予約済み、リセット値に保持する必要があります。

ビット 5 **USART6LPEN**：SLEEP モード時 USART6 クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 USART6 クロック無効
1：SLEEP モード時 USART6 クロック有効

ビット 4 **USART1LPEN**：SLEEP モード時 USART1 クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 USART1 クロック無効
1：SLEEP モード時 USART1 クロック有効

ビット 3:2 予約済み、リセット値に保持する必要があります。

ビット 1 **TIM8LPEN**：SLEEP モード時 TIM8 クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 TIM8 クロック無効
1：SLEEP モード時 TIM8 クロック有効

ビット 0 **TIM1LPEN**：SLEEP モード時 TIM1 クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 TIM1 クロック無効
1：SLEEP モード時 TIM1 クロック有効

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

6.3.20 RCC バックアップドメイン制御レジスタ（RCC_BDCR）

アドレスオフセット：0x70

リセット値：0 x 0000 0000、バックアップドメインリセットによってリセットされます。
アクセス：0 ≤ ウェイトステート ≤ 3、ワード、ハーフワード、およびバイトアクセス
このレジスタへの連続したアクセスの場合、ウェイトステートが挿入されます。

RCC バックアップドメイン制御レジスタ（RCC_BDCR） の LSEON、LSEBYP、RTCSEL、および RTCEN ビットは、バックアップドメインにあります。このため、リセット後、これらのビットは書込み保護されるので、これらを変更するには、*PWR 電源制御レジスタ（PWR_CR）（STM32F42xxx および STM32F43xxx 用）* の DBP ビットをセットする必要があります。詳細については、*セクション 6.1.1：システムリセット（147 ページ）* を参照してください。これらのビットは、バックアップドメインリセット後にのみリセットされます（*セクション 6.1.3：バックアップドメインリセット* を参照してください）。内部または外部リセットは、これらのビットに影響しません。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															BDRST
															rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RTCEN	予約済み					RTCSEL[1:0]		予約済み					LSEBYP	LSERDY	LSEON
rw						rw	rw						rw	r	rw

ビット 31:17 予約済み、リセット値に保持する必要があります。

ビット 16 **BDRST**：バックアップドメインソフトウェアリセット
このビットは、ソフトウェアによってセット／クリアされます。
0：リセットは有効ではありません。
1：バックアップドメイン全体をリセットします

注： BKPSRAM はこのリセットに影響されません。BKPSRAM をリセットするには、保護レベルの 1 から 0 への変更が要求されたときにフラッシュインタフェースを介する必要があります。

ビット 15 **RTCEN**：RTC クロックイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：RTC クロック無効
1：RTC クロック有効

ビット 14:10 予約済み、リセット値に保持する必要があります。

ビット 9:8 **RTCSEL**[1:0]：RTC クロックソース選択
これらのビットは、RTC のクロックソースを選択するために、ソフトウェアによってセットされます。RTC クロックソースが選択されると、バックアップドメインがリセットされない限り、変更はできません。BDRST ビットを使用して、リセットできます。
00：クロックなし
01：LSE オシレータクロックが RTC クロックとして使用されます。
10：LSI オシレータクロックが RTC クロックとして使用されます。
11：プログラマブルプリスケーラ（RCC クロック設定レジスタ（RCC_CFGR）の RTCPRE[4:0] ビットを使用して選択）で分周された HSE オシレータクロックが RTC クロックとして使用されます。

ビット 7:3 予約済み、リセット値に保持する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 2 **LSEBYP**：外部低速オシレータバイパス

このビットは、このオシレータをバイパスするために、ソフトウェアによってセット／クリアされます。このビットに書き込めるのは、LSE クロックが無効のときだけです。

0：LSE オシレータはバイパスされません。

1：LSE オシレータはバイパスされます。

ビット 1 **LSERDY**：外部低速オシレータレディ

このビットは、外部 32 kHz オシレータが安定していることを示すために、ハードウェアによってセット／クリアされます。LSEON ビットがクリアされた後、LSERDY は、外部低速オシレータクロックの 6 サイクル後にローになります。

0：LSE クロックはレディ状態ではありません。

1：LSE クロックはレディ状態です。

ビット 0 **LSEON**：外部低速オシレータイネーブル

このビットは、ソフトウェアによってセット／クリアされます。

0：LSE クロックオフ

1：LSE クロックオン

6.3.21 RCC クロック制御およびステータスレジスタ（RCC_CSR）

アドレスオフセット：0x74

リセット値：0x0E00 0000。システムリセットによってリセットされます。ただし、リセットフラグは電源リセット時のみリセットされます。

アクセス：0 ≤ ウェイトステート ≤ 3、ワード、ハーフワード、およびバイトアクセス

このレジスタへの連続したアクセスの場合、ウェイトステートが挿入されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
LPWR RSTF	WWDG RSTF	IWDG RSTF	SFT RSTF	POR RSTF	PIN RSTF	BOR RSTF	RMVF	予約済み							
rw	rw	rw	rw	rw	rw	rw	rw								

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み														LSIRDY	LSION
														r	rw

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 31 **LPWRRSTF**：低電力リセットフラグ

このビットは、低電力管理リセットが発生したときに、ハードウェアによってセットされます。
RMVF ビットに書き込むことによってクリアされます。
0：低電力管理リセットは発生していません。
1：低電力管理リセットが発生しました。
低電力管理リセットの詳細については、*低電力管理リセット*を参照してください。

ビット 30 **WWDGRSTF**：ウィンドウ型ウォッチドッグリセットフラグ

このビットは、ウィンドウ型ウォッチドッグリセットが発生したときに、ハードウェアによってセットされます。
RMVF ビットに書き込むことによってクリアされます。
0：ウィンドウ型ウォッチドッグリセットは発生していません。
1：ウィンドウ型ウォッチドッグリセットが発生しました。

ビット 29 **IWDGRSTF**：独立型ウォッチドッグリセットフラグ

このビットは、V_{DD} ドメインから独立型ウォッチドッグリセットが発生したときに、ハードウェアによってセットされます。
RMVF ビットに書き込むことによってクリアされます。
0：ウォッチドッグリセットは発生していません。
1：ウォッチドッグリセットが発生しました。

ビット 28 **SFTRSTF**：ソフトウェアリセットフラグ

このビットは、ソフトウェアリセットが発生したときに、ハードウェアによってセットされます。
RMVF ビットに書き込むことによってクリアされます。
0：ソフトウェアリセットは発生していません。
1：ソフトウェアリセットが発生しました。

ビット 27 **PORRSTF**：POR／PDR リセットフラグ

このビットは、POR／PDR リセットが発生したときに、ハードウェアによってセットされます。
RMVF ビットに書き込むことによってクリアされます。
0：POR/PDR リセットは発生していません。
1：POR/PDR リセットが発生しました。

ビット 26 **PINRSTF**：PIN リセットフラグ

このビットは、NRST ピンからリセットが発生したときに、ハードウェアによってセットされます。
RMVF ビットに書き込むことによってクリアされます。
0：NRST ピンからのリセットは発生していません。
1：NRST ピンからリセットが発生しました。

ビット 25 **BORRSTF**：BOR リセットフラグ

RMVF ビットに書き込むことによりソフトウェアによってクリアされます。
このビットは、POR/PDR リセットまたは BOR リセットが発生したときに、ハードウェアによってセットされます。
0：POR/PDR リセットまたは BOR リセットは発生していません。
1：POR/PDR リセットまたは BOR リセットが発生しました。

ビット 24 **RMVF**：リセットフラグ解除

このビットは、リセットフラグをクリアするために、ソフトウェアによってセットされます。
0：影響ありません。
1：リセットフラグをクリアします。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 23:2 予約済み、リセット値に保持する必要があります。

ビット 1 **LSIRDY**：内部低速オシレータレディ

このビットは、内部 RC 40 kHz オシレータが安定していることを示すために、ハードウェアによってセット／クリアされます。LSION ビットがクリアされた後、LSIRDY は、LSI オシレータクロックの 3 サイクル後にローになります。

0：LSI RC オシレータはレディ状態ではありません。

1：LSI RC オシレータはレディ状態です。

ビット 0 **LSION**：内部低速オシレータイネーブル

このビットは、ソフトウェアによってセット／クリアされます。

0：LSI RC オシレータオフ

1：LSI RC オシレータオン

6.3.22 RCC スペクトル拡散クロック生成レジスタ（RCC_SSCGR）

アドレスオフセット：0x80

リセット値：0x0000 0000

アクセス：ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

スペクトル拡散クロック生成は、メイン PLL に対してのみ利用可能です。

RCC_SSCGR レジスタは、メイン PLL が有効になる前またはメイン PLL が無効になった後に書き込む必要があります。

注： ***PLL スペクトル拡散クロック生成 (SSCG) 特性の詳細については、デバイスのデータシートの「電気特性」のセクションを参照してください。***

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
SSCGEN	SPREADSEL	予約済み		INCSTEP											
rw	rw			rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
INCSTEP			MODPER												
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31 **SSCGEN**：スペクトル拡散変調イネーブル

このビットは、ソフトウェアによってセット／クリアされます。

0：スペクトル拡散変調無効（CR[24]=PLLON ビットをクリアした後に書き込みます）

1：スペクトル拡散変調有効（CR[24]=PLLON ビットをセットする前に書き込みます）

ビット 30 **SPREADSEL**：拡散選択

このビットは、ソフトウェアによってセット／クリアされます。

CR[24]=PLLON ビットをセットする前に書き込みます。

0：センタースプレッド

1：ダウンスプレッド

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 29:28 予約済み、リセット値に保持する必要があります。

ビット 27:13 **INCSTEP**：インクリメントステップ

これらのビットは、ソフトウェアによってセット／クリアされます。CR[24]=PLLON ビットをセットする前に書き込みます。

変調プロファイル振幅の設定入力です。

ビット 12:0 **MODPER**：変調周期

これらのビットは、ソフトウェアによってセット／クリアされます。CR[24]=PLLON ビットをセットする前に書き込みます。

変調プロファイル周期の設定入力です。

6.3.23 RCC PLLI2S 設定レジスタ（RCC_PLLI2SCFGR）

アドレスオフセット：0x84

リセット値：0x2000 3000

アクセス：ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

このレジスタは、次の式に従って PLLI2S クロック出力を設定するために使用します。

$f_{(VCO\ クロック)} = f_{(PLLI2S\ クロック入力)} \times (PLLI2SN / PLLM)$

$f_{(PLL\ I2S\ クロック出力)} = f_{(VCO\ クロック)} / PLLI2SR$

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み	PLLI2SR2	PLLI2SR1	PLLI2SR0	PLLI2SQ				予約済み							
	rw	rw	rw	rw	rw	rw	rw								

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み	PLLI2SN8	PLLI2SN7	PLLI2SN6	PLLI2SN5	PLLI2SN4	PLLI2SN3	PLLI2SN2	PLLI2SN1	PLLI2SN0	予約済み					
	rw	rw	rw	rw	rw	rw	rw	rw	rw						

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 31 予約済み、リセット値に保持する必要があります。

ビット 30:28 **PLLI2SR**：I2S クロックのための PLLI2S 分周比

これらのビットは、I2S クロック周波数を制御するために、ソフトウェアによってセット／クリアされます。これらのビットに書き込めるのは、PLLI2S が無効なときだけです。標準クリスタル使用時の誤差が 0.3 %、オーディオクリスタル使用時の誤差が 0 % となるよう、分周比は I2S ペリフェラル内のプリスケーラ値に従って選択する必要があります。I2S クロック周波数と精度に関する詳細については、I2S の章の*セクション 28.4.4：クロックジェネレータ*を参照してください。

注意：　I2Sが正しく動作するには、192 MHz 以下の周波数が必要です。

I2S クロック周波数 = VCO 周波数 / PLLR、ここで 2 ≤ PLLR ≤ 7

000：PLLR = 0、誤った設定

001：PLLR = 1、誤った設定

010：PLLR = 2

...

111：PLLR = 7

ビット 27:24 **PLLI2SQ**：SAI1 クロックのための PLLI2S 分周比

これらのビットは、SAI1 クロック周波数を制御するために、ソフトウェアによってセット／クリアされます。

これらのビットに書き込めるのは、PLLI2S が無効なときです。

SAI1 クロック周波数 = VCO 周波数 / PLLI2SQ、ここで 2 ≦ PLLR ≦ 15

0000：PLLI2SQ = 0、誤った設定

0001：PLLI2SQ = 1、誤った設定

0010：PLLI2SQ = 2

0011：PLLI2SQ = 3

0100：PLLI2SQ = 4

0101：PLLI2SQ = 5

...

1111：PLLI2SQ = 15

ビット 23:15 予約済み、リセット値に保持する必要があります。

ビット 14:6 **PLLI2SN**：VCO のための PLLI2S 逓倍数

これらのビットは、VCO の逓倍数を制御するために、ソフトウェアによってセット / クリアされます。これらのビットに書き込めるのは、PLLI2S が無効なときだけです。これらのビットの書き込みでは、ハーフワードおよびワード単位でのアクセスのみが可能です。

注意：　これらのビットは、VCO 出力周波数が 192 MHz から 432 MHz の間になるように、ソフトウェアで正しく設定する必要があります。

VCO 出力周波数 = VCO 入力周波数 × PLLI2SN、ここで 192 ≤ PLLI2SN ≤ 432

000000000：PLLI2SN = 0、誤った設定

000000001：PLLI2SN = 1、誤った設定

...

011000000：PLLI2SN = 192

011000001：PLLI2SN = 193

011000010：PLLI2SN = 194

...

110110000：PLLI2SN = 432

110110000：PLLI2SN = 433、誤った設定

...

111111111：PLLI2SN = 511、誤った設定

ビット 5:0 予約済み、リセット値に保持する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

6.3.24 RCC PLL 設定レジスタ（RCC_PLLSAICFGR）

アドレスオフセット：0x88

リセット値：0x2400 3000

アクセス：ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

このレジスタは、次の式に従って PLLSAI クロック出力を設定するために使用します。

- $f_{(VCO\ クロック)} = f_{(PLLSAI\ クロック入力)} \times (PLLSAIN / PLLM)$
- $f_{(PLLSAI\ クロック出力)} = f_{(VCO\ クロック)} / PLLSAIQ$
- $f_{(PLL\ LCD\ クロック出力)} = f_{(VCO\ クロック)} / PLLSAIR$

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み	PLLSAIR			PLLSAIQ				予約済み							
	rw	rw	rw	rw	rw	rw	rw								

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み	PLLSAIN									予約済み					
	rw	rw	rw	rw	rw	rw	rw	rw	rw						

ビット 31 予約済み、リセット値に保持する必要があります。

ビット 30:28 **PLLSAIR**：LCD クロックのための PLLSAI 分周比

LCD クロック周波数を制御するために、ソフトウェアによってセット／リセットされます。
これらのビットは、PLLSAI が無効なときに書き込むことができます。
LCD クロック周波数 = VCO 周波数 / PLLSAIR、ここで $2 \le PLLSAIR \le 7$
000：PLLSAIR = 0、誤った設定
001：PLLSAIR = 1、誤った設定
010：PLLSAIR = 2
...
111：PLLSAIR = 7

ビット 27:24 **PLLSAIQ**：SAI1 クロックのための PLLSAI 分周比

SAI1 クロックの周波数を制御するために、ソフトウェアによってセット／リセットされます。
これらのビットは、PLLSAI が無効なときに書き込むことができます。
SAI1 クロック周波数 = VCO 周波数 / PLLSAIQ、ここで $2 \le PLLSAIQ \le 15$
0000：PLLSAIQ = 0、誤った設定
0001：PLLSAIQ = 1、誤った設定
...
0010：PLLSAIQ = 2
0011：PLLSAIQ = 3
0100：PLLSAIQ = 4
0101：PLLSAIQ = 5
...
1111：PLLSAIQ = 15

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 23:15 予約済み、リセット値に保持する必要があります。

ビット 14:6 **PLLSAIN**：VCO のための PLLSAI 分周比

VCO の逓倍数を制御するために、ソフトウェアによってセット／リセットされます。
これらのビットは、PLLSAI が無効なときに書き込むことができます。
これらのビットの書き込みでは、ハーフワードおよびワード単位でのアクセスのみが可能です。
VCO 出力周波数 = VCO 入力周波数 x PLLSAIN、ここで 49 ≤ PLLSAIN ≤ 432
000000000：PLLSAIN = 0、誤った設定
000000001：PLLSAIN = 1、誤った設定
.....
000110000：PLLSAIN = 48、誤った設定
000110001：PLLSAIN = 49
...
011000000：PLLSAIN = 192
011000001：PLLSAIN = 193
...
110110000：PLLSAIN = 432
110110000：PLLSAIN = 433、誤った設定
...
111111111：PLLSAIN = 511、誤った設定

ビット 5:0 予約済み、リセット値に保持する必要があります。

6.3.25 RCC 専用クロック設定レジスタ（RCC_DCKCFGR）

アドレスオフセット：0x8C

リセット値：0x0000 0000

アクセス：ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

次の式に従い、RCC_DCKCFGR レジスタを使用して、タイマクロックプリスケーラおよび SAI1、LTDC ペリフェラルのための PLLSAI 出力クロック分周比と PLLI2S 出力クロック分周比を設定できます。

$f_{(PLLSAIDIVQ\ クロック出力)} = f_{(PLLSAI_Q)} / PLLSAIDIVQ$

$f_{(PLLSAIDIVR\ クロック出力)} = f_{(PLLSAI_R)} / PLLSAIDIVR$

$f_{(PLLI2SDIVQ\ クロック出力)} = f_{(PLLI2S_Q)} / PLLI2SDIVQ$

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み							TIMPRE	SAI1BSRC		SAI1ASRC		予約済み		PLLSAIDIVR	
							rw	rw	rw	rw	rw			rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み			PLLSAIDIVQ					予約済み			PLLIS2DIVQ				
			rw	rw	rw	rw	rw				rw	rw	rw	rw	rw

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 31:25 予約済み、リセット値に保持する必要があります。

ビット 24 **TIMPRE**：タイマクロックプリスケーラ選択

このビットは、APB1 ドメインおよび APB2 ドメインに接続されているすべてのタイマのクロック周波数を制御するために、ソフトウェアによってセット／リセットされます。

0：APB プリスケーラ（RCC_CFGR レジスタのPPRE1、PPRE2）が分周比 1 に設定されている場合、TIMxCLK = PCLKx となります。そうでない場合、タイマクロック周波数は、タイマが接続されている APB ドメインの周波数の 2 倍に設定されます：
TIMxCLK = 2xPCLKx

1：APB プリスケーラ（RCC_CFGR レジスタのPPRE1、PPRE2）が分周比 1、2、4 のいずれかに設定されている場合、TIMxCLK = HCLK となります。そうでない場合、タイマクロック周波数は、タイマが接続されている APB ドメインの周波数の 4 倍に設定されます：
TIMxCLK = 4xPCLKx

ビット 23:22 **SAI1BSRC**：SAI1-B クロックソースの選択

これらのビットは、SAI1-B クロック周波数を制御するために、ソフトウェアによってセット／クリアされます。

これらのビットに書き込めるのは、PLLSAI および PLLI2S が無効なときです。

00：SAI1-B クロック周波数 = f(PLLSAI_Q) / PLLSAIDIVQ

01：SAI1-B クロック周波数 = f(PLLI2S_Q) / PLLI2SDIVQ

10：SAI1-B クロック周波数 = オルタネート機能入力周波数

11：誤った設定

ビット 21:20 **SAI1ASRC**：SAI1-A クロックソースの選択

これらのビットは、SAI1-A クロック周波数を制御するために、ソフトウェアによってセット／クリアされます。

これらのビットに書き込めるのは、PLLSAI および PLLI2S が無効なときです。

00：SAI1-A クロック周波数 = f(PLLSAI_Q) / PLLSAIDIVQ

01：SAI1-A クロック周波数 = f(PLLI2S_Q) / PLLI2SDIVQ

10：SAI1-A クロック周波数 = オルタネート機能入力周波数

11：誤った設定

ビット 19：18 予約済み、リセット値に保持する必要があります。

ビット 17:16 **PLLSAIDIVR**：LCD_CLK のための分周比

これらのビットは、LCD_CLK の周波数を制御するために、ソフトウェアによってセット／クリアされます。

これらのビットに書き込めるのは、PLLSAI が無効なときだけです。

LCD_CLK 周波数 = f(PLLSAI_R) / PLLSAIDIVR、ここで $2 \leq$ PLLSAIDIVR ≤ 16

00：PLLSAIDIVR = /2

01：PLLSAIDIVR = /4

10：PLLSAIDIVR = /8

11：PLLSAIDIVR = /16

ビット 15：13 予約済み、リセット値に保持する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 12:8 **PLLSAIDIVQ**：SAI1 クロックのための PLLSAI 分周比

これらのビットは、SAI1 クロック周波数を制御するために、ソフトウェアによってセット／リセットされます。

これらのビットに書き込めるのは、PLLSAI が無効なときだけです。

SAI1 クロック周波数 = f(PLLSAI_Q) / PLLSAIDIVQ、ここで 1 ≤ PLLSAIDIVQ ≤ 31

00000：PLLSAIDIVQ = /1

00001：PLLSAIDIVQ = /2

00010：PLLSAIDIVQ = /3

00011：PLLSAIDIVQ = /4

00100：PLLSAIDIVQ = /5

...

11111：PLLSAIDIVQ = /32

ビット 7:5 予約済み、リセット値に保持する必要があります。

ビット 4:0 **PLLI2SDIVQ**：SAI1 クロックのための PLLI2S 分周比

これらのビットは、SAI1 クロック周波数を制御するために、ソフトウェアによってセット／リセットされます。

これらのビットに書き込めるのは、PLLI2S が無効なときだけです。

SAI1 クロック周波数 = f(PLLI2S_Q) / PLLI2SDIVQ、ここで 1 ≦ PLLI2SDIVQ ≦ 32

00000：PLLI2SDIVQ = /1

00001：PLLI2SDIVQ = /2

00010：PLLI2SDIVQ = /3

00011：PLLI2SDIVQ = /4

00100：PLLI2SDIVQ = /5

...

11111：PLLI2SDIVQ = /32

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

6.3.26 RCC レジスタマップ

表 34 に、レジスタマップとリセット値を示します。

表 34. STM32F42xxx および STM32F43xxx の RCC レジスタマップとリセット値

アドレスオフセット	レジスタ名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	RCC_CR	予約済み		PLL SAIRDY	PLL SAION	PLL I2SRDY	PLL I2SON	PLL RDY	PLL ON	予約済み				CSSON	HSEBYP	HSERDY	HSEON	HSICAL 7	HSICAL 6	HSICAL 5	HSICAL 4	HSICAL 3	HSICAL 2	HSICAL 1	HSICAL 0	HSITRIM 4	HSITRIM 3	HSITRIM 2	HSITRIM 1	HSITRIM 0	予約済み	HSIRDY	HSION
0x04	RCC_PLLCFGR	予約済み				PLLQ 3	PLLQ 2	PLLQ 1	PLLQ 0	予約済み	PLLSRC	予約済み				PLLP 1	PLLP 0	予約済み	PLLN 8	PLLN 7	PLLN 6	PLLN 5	PLLN 4	PLLN 3	PLLN 2	PLLN 1	PLLN 0	PLLN 5	PLLN 4	PLLM 5	PLLM 4	PLLM 3	PLLM 2	PLLM 1	PLLM 0
0x08	RCC_CFGR	MCO2 1	MCO2 0	MCO2PRE2	MCO2PRE1	MCO2PRE0	MCO1PRE2	MCO1PRE1	MCO1PRE0	I2SSRC	MCO1 1	MCO1 0	RTCPRE 4	RTCPRE 3	RTCPRE 2	RTCPRE 1	RTCPRE 0	PPRE2 2	PPRE2 1	PPRE2 0	PPRE1 2	PPRE1 1	PPRE1 0	予約済み		HPRE 3	HPRE 2	HPRE 1	HPRE 0	SWS 1	SWS 0	SW 1	SW 0
0x0C	RCC_CIR	予約済み								CSSC	PLLSAIRDYC	PLLI2SRDYC	PLLRDYC	HSERDYC	HSIRDYC	LSERDYC	LSIRDYC	予約済み	PLLSAIRDYIE	PLLI2SRDYIE	PLLRDYIE	HSERDYIE	HSIRDYIE	LSERDYIE	LSIRDYIE	CSSF	PLLSAIRDYF	PLLI2SRDYF	PLLRDYF	HSERDYF	HSIRDYF	LSERDYF	LSIRDYF
0x10	RCC_AHB1RSTR	予約済み		OTGHSRST	予約済み			ETHMACRST	予約済み	DMA2DRST	DMA2RST	DMA1RST	予約済み								CRCRST	予約済み	GPIOKRST	GPIOJRST	GPIOIRST	GPIOHRST	GPIOGRST	GPIOFRST	GPIOERST	GPIODRST	GPIOCRST	GPIOBRST	GPIOARST
0x14	RCC_AHB2RSTR	予約済み																								OTGFSRST	RNGRST	HSAHRST	CRYPRST	予約済み			DCMIRST
0x18	RCC_AHB3RSTR	予約済み																															FMCRST
0x1C	予約済み	予約済み																															
0x20	RCC_APB1RSTR	UART8RST	UART7RST	DACRST	PWRRST	予約済み	CAN2RST	CAN1RST	予約済み	I2C3RST	I2C2RST	I2C1RST	UART5RST	UART4RST	UART3RST	UART2RST	予約済み	SPI3RST	SPI2RST	予約済み		WWDGRST	予約済み		TIM14RST	TIM13RST	TIM12RST	TIM7RST	TIM6RST	TIM5RST	TIM4RST	TIM3RST	TIM2RST
0x24	RCC_APB2RSTR	予約済み					LTDCRST	予約済み		SAI1RST	SPI6RST	SPI5RST	予約済み	TIM11RST	TIM10RST	TIM9RST	予約済み	SYSCFGRST	SP45RST	SPI1RST	SDIORST	予約済み		ADCRST	予約済み		USART6RST	USART1RST	予約済み		TIM8RST	TIM1RST
0x28	予約済み	予約済み																															
0x2C	予約済み	予約済み																															
0x30	RCC_AHB1ENR	予約済み	OTGHSULPIEN	OTGHSEN	ETHMACPTPEN	ETHMACRXEN	ETHMACTXEN	ETHMACEN	予約済み	DMA2DEN	DMA2EN	DMA1EN	CCMDATARAMEN	予約済み	BKPSRAMEN	予約済み		CRCEN	予約済み	GPIOKEN	GPIOJEN	GPIOIEN	GPIOHEN	GPIOGEN	GPIOFEN	GPIOEEN	GPIODEN	GPIOCEN	GPIOBEN	GPIOAEN				
0x34	RCC_AHB2ENR	予約済み																								OTGFSEN	RNGEN	HASHEN	CRYPEN	予約済み			DCMIEN
0x38	RCC_AHB3ENR	予約済み																															FMCEN
0x3C	予約済み	予約済み																															
0x40	RCC_APB1ENR	SPI8EN	SPI7EN	DACEN	PWREN	予約済み	CAN2EN	CAN1EN	予約済み	I2C3EN	I2C2EN	I2C1EN	UART5EN	UART4EN	USART3EN	USART2EN	予約済み	SPI3EN	SPI2EN	予約済み		WWDGEN	予約済み		TIM14EN	TIM13EN	TIM12EN	TIM7EN	TIM6EN	TIM5EN	TIM4EN	TIM3EN	TIM2EN
0x44	RCC_APB2ENR	予約済み					LTDCEN	予約済み		SAI1EN	SPI6EN	SPI5EN	予約済み	TIM11EN	TIM10EN	TIM9EN	予約済み	SYSCFGEN	SPI4EN	SPI1EN	SDIOEN	ADC3EN	ADC2EN	ADC1EN	予約済み		USART6EN	USART1EN	予約済み		TIM8EN	TIM1EN
0x48	予約済み	予約済み																															
0x4C	予約済み	予約済み																															

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 34. STM32F42xxx および STM32F43xxx の RCC レジスタマップとリセット値（続き）

アドレスオフセット	レジスタ名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x50	RCC_AHB1LPENR	予約済み	OTGHSULPILPEN	OTGHSLPEN	ETHMACPTPLPEN	ETHMACRXLPEN	ETHMACTXLPEN	ETHMACLPEN	予約済み	DMA2DLPEN	DMA2LPEN	DMA1LPEN	予約済み	SRAM3LPEN	BKPSRAMLPEN	SRAM2LPEN	SRAM1LPEN	FLITFLPEN	予約済み		CRCLPEN	予約済み	GPIOKLPEN	GPIOJLPEN	GPIOILPEN	GPIOHLPEN	GPIOGLPEN	GPIOFLPEN	GPIOELPEN	GPIODLPEN	GPIOCLPEN	GPIOBLPEN	GPIOALPEN
0x54	RCC_AHB2LPENR	予約済み																								OTGFSLPEN	RNGLPEN	HASHLPEN	CRYPLPEN	予約済み			DCMILPEN
0x58	RCC_AHB3LPENR	予約済み																															FMCLPEN
0x5C	予約済み	予約済み																															
0x60	RCC_APB1LPENR	USART8LPEN	USART7LPEN	DACLPEN	PWRLPEN	予約済み	CAN2LPEN	CAN1LPEN	予約済み	I2C3LPEN	I2C2LPEN	I2C1LPEN	UART5LPEN	UART4LPEN	USART3LPEN	USART2LPEN	予約済み	SPI3LPEN	SPI2LPEN	予約済み		WWDGLPEN	予約済み			TIM14LPEN	TIM13LPEN	TIM12LPEN	TIM7LPEN	TIM6LPEN	TIM5LPEN	TIM4LPEN	TIM3LPEN	TIM2LPEN
0x64	RCC_APB2LPENR	予約済み					LTDCLPEN	予約済み		SAI1LPEN	SPI6LPEN	SPI5LPEN	予約済み	TIM11LPEN	TIM10LPEN	TIM9LPEN	予約済み	SYSCFGLPEN	SPI4LPEN	SPI1LPEN	SDIOLPEN	ADC3LPEN	ADC2LPEN	ADC1LPEN	予約済み		USART6LPEN	USART1LPEN	予約済み		TIM8LPEN	TIM1LPEN	
0x68	予約済み	予約済み																															
0x6C	予約済み	予約済み																															
0x70	RCC_BDCR	予約済み															BDRST	RTCEN	予約済み				RTCSEL 1	RTCSEL 0	予約済み						LSEBYP	LSERDY	LSEON
0x74	RCC_CSR	LPWRRSTF	WWDGRSTF	WDGRSTF	SFTRSTF	PORRSTF	PADRSTF	BORRSTF	RMVF	予約済み																						LSIRDY	LSION
0x78	予約済み	予約済み																															
0x7C	予約済み	予約済み																															
0x80	RCC_SSCGR	SSCGEN	SPREADSEL	予約済み						INCSTEP											MODPER												
0x84	RCC_PLLI2SCFGR	予約済み	PLLI2SRx				PLLI2SQ			予約済み									PLLI2SNx							予約済み							
0x88	RCC_PLLSAICFGR		PLLSAIR				PLLSAIQ			予約済み									PLLSAIN							予約済み							
0x8C	RCC_DCKCFGR	予約済み							TIMPRE	SAI1BSCR	SAI1ASCR	予約済み		PLLSAIDIVR	予約済み		PLLSAIDIVQ				予約済み		PLLI2SDIVQ										

レジスタ境界アドレスについては、*表 2（64 ページ）*を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

7 リセットおよびクロック制御 STM32F405xx/07xx および STM32F415xx/17xx（RCC）

7.1 リセット

リセットには、システムリセット、電源リセット、バックアップドメインリセットの 3 種類があります。

7.1.1 システムリセット

システムリセットは、クロックコントローラ CSR レジスタのリセットフラグとバックアップドメインのレジスタを除き、すべてのレジスタをリセット値にセットします（*図 4* を参照）。

システムリセットは、次のイベントのいずれかの発生時に生成されます。

1. NRST ピンのローレベル（外部リセット）
2. ウィンドウ型ウォッチドッグのカウント終了条件（WWDG リセット）
3. 独立型ウォッチドッグのカウント終了条件（IWDG リセット）
4. ソフトウェアリセット（SW リセット）（*ソフトウェアリセット*を参照）
5. 低電力管理リセット（*低電力管理リセット*を参照）

ソフトウェアリセット

リセットソースは、*RCC クロック制御およびステータスレジスタ（RCC_CSR）*のリセットフラグを確認することによって識別できます。

デバイス上でソフトウェアリセットを実行するには、FPU 搭載 Cortex™-M4 アプリケーション割り込みおよびリセット制御レジスタの SYSRESETREQ ビットをセットする必要があります。詳細については、FPU 搭載 Cortex™-M4 テクニカルリファレンスマニュアルを参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

低電力管理リセット

低電力管理リセットを生成するには、2 つの方法があります。

1. STANDBY モードに入るときに実行されるリセット：

   この種類のリセットは、ユーザオプションバイトの nRST_STDBY ビットをリセットすることによって有効になります。この場合、STANDBY モードへの遷移シーケンスが正常に実行されるたびに、STANDBY モードに入る代わりにデバイスがリセットされます。

2. STOP モードに入るときのリセット：

   この種類のリセットは、ユーザオプションバイトの nRST_STOP ビットをリセットすることによって有効になります。この場合、STOP モード遷移シーケンスが正常に実行されるたびに、STOP モードに入る代わりにデバイスがリセットされます。

ユーザオプションバイトの詳細については、ST 営業所で入手可能な STM32F40x および STM32F41x フラッシュプログラミングマニュアルを参照してください。

7.1.2 電源リセット

電源リセットは、次のいずれかのイベントが発生したときに生成されます。

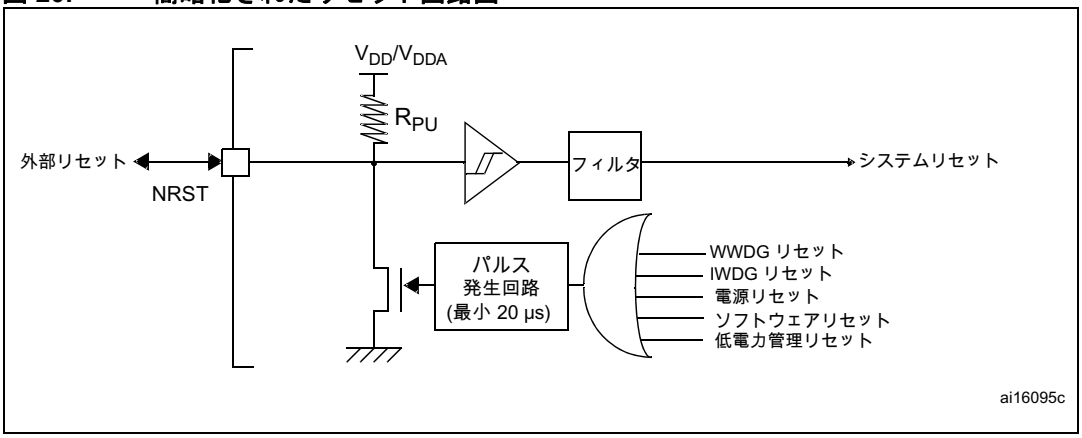
1. 電源オン／電源ダウンリセット（POR/PDR リセット）またブラウンアウト（BOR）リセット
2. STANDBY モードを終了するとき

電源リセットは、バックアップドメインを除くすべてのレジスタをリセット値にセットします（*図 4* を参照）。

これらのソースは NRST ピンに作用し、遅延フェーズの間、ピンをローに保ちます。リセットサービスルーチンベクタは、メモリマップのアドレス 0x0000_0004 に固定されています。

デバイスに与えられるシステムリセット信号は、NRST ピンに出力されます。パルス発生回路は、各内部リセットソースについて 20µs の最小リセットパルス期間を保証します。外部リセットの場合、リセットパルスは NRST ピンがローにアサートされているときに生成されます。

図 20. 簡略化されたリセット回路図



バックアップドメインには、バックアップドメインだけに影響する 2 種類のリセットがあります（*図 4* を参照）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

7.1.3 バックアップドメインリセット

バックアップドメインリセットは、すべての RTC レジスタと RCC_BDCR レジスタをリセット値に戻します。BKPSRAM は、このリセットの影響を受けません。BKPSRAM をリセットする唯一の方法は、Flash インタフェースを介して保護レベルの 1 から 0 への変更を要求することです。

バックアップドメインのリセットは、次のいずれかのイベントが発生したときに生成されます。

1. ソフトウェアリセット。*RCC バックアップドメイン制御レジスタ（RCC_BDCR）*の BDRST ビットをセットすることによってトリガされます。
2. V_{DD} または V_{BAT} パワーオン。ただし、両方の電源供給がともにオフ状態であった場合。

7.2 クロック

次の 3 つのクロックソースを使用して、システムクロック（SYSCLK）を駆動できます。

- HSI オシレータクロック
- HSE オシレータクロック
- メイン PLL（PLL）クロック

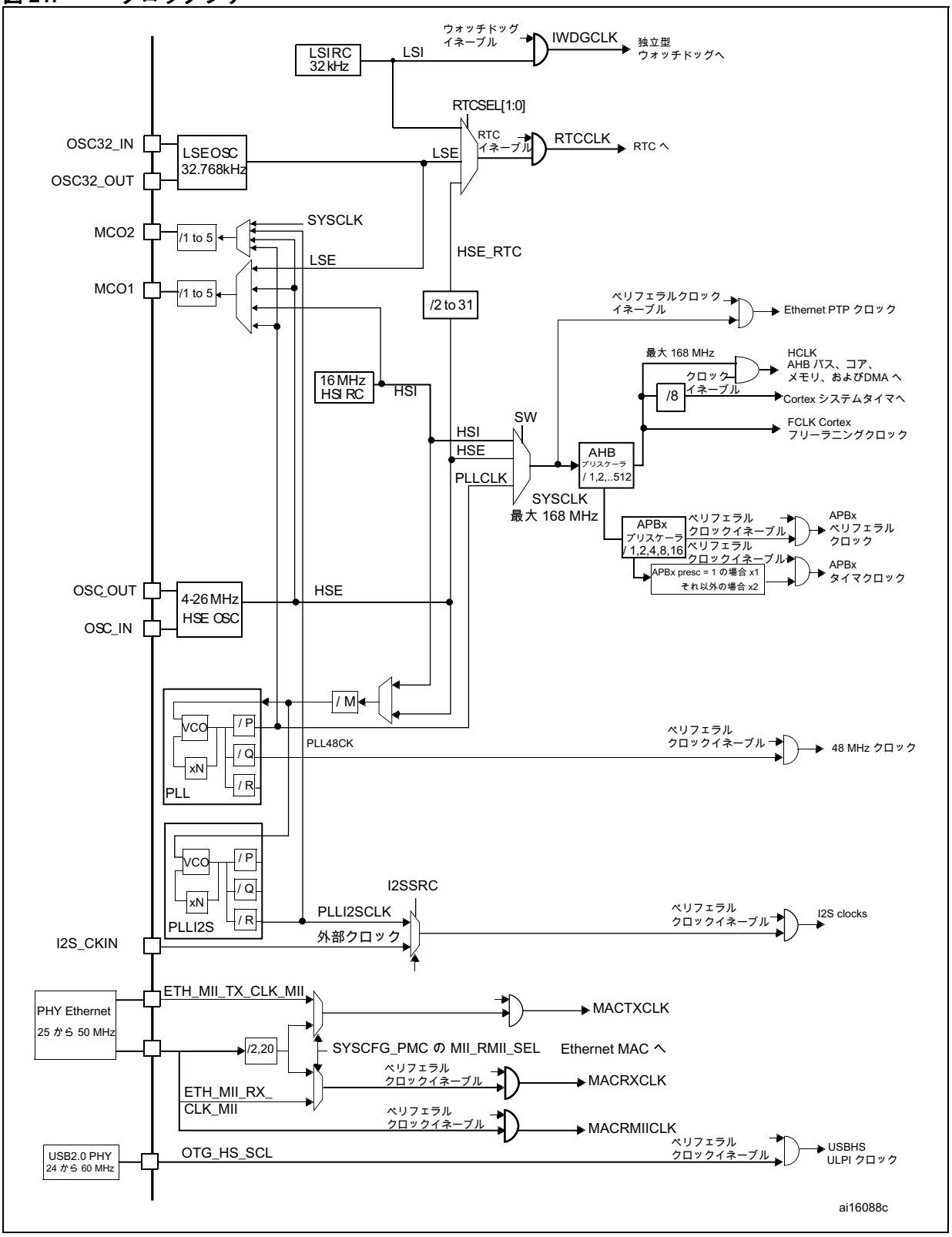
デバイスには、次の 2 つの 2 次クロックソースがあります。

- 32 kHz 低速内蔵 RC（LSI RC）。独立型ウォッチドッグを駆動し、オプションで、STOP/STANDBY モードからの自動ウェイクアップに使用される RTC を駆動します。
- 32.768 kHz 低速外部クリスタル（LSE クリスタル）。オプションで、RTC クロック（RTCCLK）を駆動します。

それぞれのクロックソースは、使用しないときに個別にオン／オフを切り替えて、電力消費を最適化できます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 21. クロックツリー



1. 内部および外部クロックソース特性の詳細については、デバイスのデータシートの「電気特性」のセクションを参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

クロックコントローラは、外部クリスタルまたはオシレータの選択においてアプリケーションに高度な柔軟性を提供しており、コアおよびペリフェラルを最大周波数で実行し、Ethernet、USB OTG FS、HS、I2S、SDIO などの特定のクロックを必要とするペリフェラルに適した周波数を保証します。

複数のプリスケーラを使用して AHB 周波数、高速 APB（APB2）および低速 APB（APB1）ドメインの周波数を設定します。AHB ドメインの最大周波数は 168 MHz です。高速 APB2 ドメインの最大許容周波数は 84 MHz です。低速 APB1 ドメインの最大許容周波数は 42 MHz です。

すべてのペリフェラルクロックは、システムクロック（SYSCLK）から生成されます。ただし、次のものを除きます。

- USB OTG FS クロック（48 MHz）、アナログ乱数発生回路（RNG）クロック（≤ 48 MHz）、SDIO クロック（≤ 48 MHz）)。これらのクロックは、PLL（PLL48CLK）の特定の出力によるものです。
- I2S クロック。

  高品質のオーディオ性能を実現するため、I2S クロックを特定の PLL（PLLI2S）または I2S_CKIN ピン上に配置された外部クロックから得ることができます。I2S クロック周波数と精度に関する詳細については、*セクション 28.4.4：クロックジェネレータ*を参照してください。
- USB OTG HS（60 MHz）クロック。外部 PHY から供給されます。
- Ethernet MAC クロック（TX、RX、および RMII）。外部 PHY から供給されます。Ethernet 構成の詳細については、Ethernet ペリフェラル説明書の*セクション 33.4.4：MII/RMII の選択*を参照してください。Ethernet が使用されるときには、AHB クロック周波数は少なくとも 25 MHz でなければなりません。

RCC は Cortex システムタイマ（SysTick）の外部クロックに、8 分周した AHB クロック（HCLK）を供給します。SysTick は、この分周されたクロックか Cortex クロック（HCLK）のいずれかで動作でき、SysTick 制御およびステータスレジスタで設定できます。

タイマクロック周波数は、ハードウェアによって自動的に設定されます。これには、2 つのケースがあります。

1. APB プリスケーラが 1 の場合、タイマクロック周波数はタイマが接続されている APB ドメインのクロックと同じ周波数に設定されます。
2. そうでない場合は、タイマが接続されている APB ドメインの周波数の 2 倍に設定されます。

FCLK は、FPU 搭載 Cortex™-M4 のフリーランニングクロックとして動作します。詳細については FPU 搭載 Cortex™-M4 テクニカルリファレンスマニュアルを参照してください。

7.2.1 HSE クロック

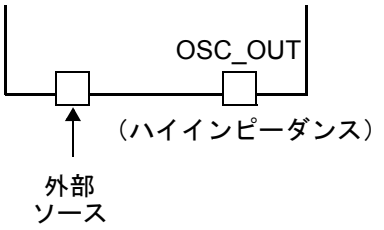
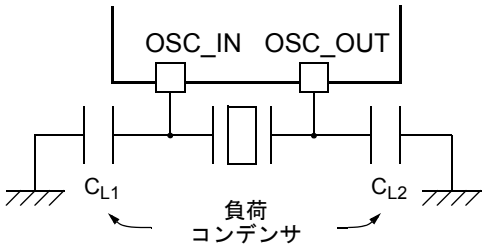
高速外部クロック信号（HSE）は、次のどちらかのクロックソースから生成できます。

- HSE 外部クリスタル／セラミック発振子
- HSE 外部ユーザクロック

波形ひずみと発振開始時の安定化までの時間を少なくするために、発振子と負荷コンデンサはオシレータのピンのできるだけ近くに配置する必要があります。負荷コンデンサの値は、選択したオシレータに応じて調整する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 22. HSE/LSE クロックソース

	ハードウェア構成
外部クロック	
クリスタル／ セラミック発振子	

外部ソース（HSE バイパス）

このモードでは、外部クロックソースが必要です。このモードを選択するには、*RCC クロック制御レジスタ（RCC_CR）* の HSEBYP および HSEON ビットをセットします。50 % までのデューティサイクルを持つ外部クロック信号（矩形波、正弦波、または三角波）で OSC_IN ピンを駆動する必要があり、その間、OSC_OUT ピンはハイインピーダンスに保たれます。*図 22* を参照してください。

外部クリスタル／セラミック発振子（HSE クリスタル）

HSE には、メインクロックの周波数を非常に高い精度で生成できる利点があります。

関連するハードウェア構成を*図 22* に示します。詳細については、データシートの電気特性のセクションを参照してください。

RCC クロック制御レジスタ（RCC_CR） の HSERDY フラグは、高速外部オシレータが安定しているかどうかを示します。起動時、このビットがハードウェアによってセットされるまで、クロックはリリースされません。*RCC クロック割り込みレジスタ（RCC_CIR）* で有効になっている場合、割り込みを生成できます。

HSE クリスタルは、*RCC クロック制御レジスタ（RCC_CR）* の HSEON ビットを使用してオン／オフできます。

7.2.2 HSI クロック

HSI クロック信号は、内蔵 16 MHz RC オシレータから生成され、システムクロックとして直接、または PLL 入力として使用できます。

HSI RC オシレータには、低コスト（外付部品なし）でクロックソースを供給できるという利点があります。同時に、HSE クリスタルオシレータよりも起動時間を短縮できますが、較正を実施していても、外部クリスタルオシレータやセラミック発振子よりも周波数の精度は劣ります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

較正

RC オシレータの周波数は、製造工程でのばらつきのため、チップごとに異なります。このため、T_A = 25 °Cで 1 % の精度を確保するよう、製造時に ST 社においてデバイスごとの較正が行われています。

リセット後、工場較正値が *RCC クロック制御レジスタ（RCC_CR）* の HSICAL[7:0] ビットにロードされます。

アプリケーションが電圧または温度の変動を受ける場合は、これが RC オシレータの速度に影響を与えることがあります。*RCC クロック制御レジスタ（RCC_CR）* の HSITRIM[4 : 0] ビットを使用して、アプリケーションで HSI 周波数をトリミングできます。

RCC クロック制御レジスタ（RCC_CR） の HSIRDY フラグは、HSI RC が安定しているかどうかを示します。起動時、このビットがハードウェアによってセットされるまで、HSI RC 出力クロックはリリースされません。

HSI RC は、*RCC クロック制御レジスタ(RCC_CR)* の HSION ビットを使用してオン／オフできます。

HSI 信号は、HSE クリスタルオシレータに障害がある場合のバックアップソース（補助クロック）としても使用できます。*セクション 7.2.7 : クロックセキュリティシステム（CSS）(216 ページ)* を参照してください。

7.2.3 PLL 設定

STM32F4xx デバイスには、次の 2 つの PLL を搭載しています。

- HSE または HSI オシレータで駆動されるメイン PLL（PLL）で、2 種類の異なる出力クロックを備えています 。
  - 最初の出力は、高速システムクロック（最大 168 MHz）の生成に使用します。
  - 2 つ目の出力は、USB OTG FS（48 MHz）、アナログ乱数発生回路（≤ 48 MHz）、SDIO（≤ 48 MHz）のクロックの生成に使用します。
- I2S インタフェースで高品質オーディオ性能を実現するための正確なクロックの生成に使用する専用の PLL（PLLI2S）。

メイン PLL 設定パラメータは、いったん PLL を有効にすると変更できないため、PLL を有効にする前に設定することをお勧めします（PLL クロックソースとしての HSI または HSE オシレータの選択および分周比 M、N、P、Q の設定）。

PLLI2S は、PLL と同じ入力クロックを使用します（PLLM[5:0] と PLLSRC ビットはどちらの PLL にも共通）。しかしながら、PLLI2S には有効／無効および分周比（N および R）を設定する専用のビットがあります。PLLI2S が有効になると、設定パラメータは変更できません。

STOP モードおよび STANDBY モードに入るとき、HSE または PLL（HSE で駆動される）がシステムクロックとして使用されているときに HSE で障害が発生した場合、2 つの PLL はハードウェアによって無効化されます。*RCC PLL 設定レジスタ（RCC_PLLCFGR）* および *RCC クロック設定レジスタ（RCC_CFGR）* を使用して、PLL および PLLI2S がそれぞれ設定できます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

7.2.4 LSE クロック

LSE クロックは、32.768 kHz の低速外部クリスタルまたはセラミック発振子から生成されます。時計／カレンダ、その他のタイミング機能のためのリアルタイムクロックペリフェラル（RTC）に、低電力ながら高精度のクロックソースを供給できるという利点があります。

LSE オシレータは、*RCC バックアップドメイン制御レジスタ（RCC_BDCR）*の LSEON ビットを使用してオン／オフできます。

*RCC バックアップドメイン制御レジスタ（RCC_BDCR）*の LSERDY フラグは、LSE クリスタルが安定しているかどうかを示します。起動時、このビットがハードウェアによってセットされるまで、LSE クリスタル出力クロック信号はリリースされません。*RCC クロック割り込みレジスタ（RCC_CIR）*で有効になっている場合、割り込みを生成できます。

外部ソース（LSE バイパス）

このモードでは、外部クロックソースが必要です。最高 1 MHz の周波数を使用する必要があります。このモードを選択するには、*RCC バックアップドメイン制御レジスタ（RCC_BDCR）*の LSEBYP および LSEON ビットをセットします。50 % までのデューティサイクルを持つ外部クロック信号（矩形波、正弦波、または三角波）で OSC_32_IN ピンを駆動する必要があり、その間、OSC_32_OUT ピンはハイインピーダンスに保たれます。*図 22* を参照してください。

7.2.5 LSI クロック

LSI RC は、独立型ウォッチドッグ（IWDG）や自動ウェイクアップユニット（AWU）のために STOP モードおよび STANDBY モードで動作する低電力のクロックソースとして動作します。クロック周波数は約 32 kHz です。詳細については、データシートの電気特性のセクションを参照してください。

LSI RC は、*RCC クロック制御およびステータスレジスタ（RCC_CSR）*の LSION ビットを使用してオン／オフできます。

*RCC クロック制御およびステータスレジスタ（RCC_CSR）*の LSIRDY フラグは、低速内部オシレータが安定しているかどうかを示します。起動時、このビットがハードウェアによってセットされるまで、クロックはリリースされません。*RCC クロック割り込みレジスタ（RCC_CIR）*で有効になっている場合、割り込みを生成できます。

7.2.6 システムクロック（SYSCLK）の選択

システムリセット後は、HSI オシレータがシステムクロックとして選択されています。クロックソースが直接、または PLL を経由してシステムクロックとして使用されているときには、このクロック信号を停止することはできません。

あるクロックソースから別のクロックソースへの切り替えは、ターゲットクロックソースの準備ができている場合にのみ行われます（スタートアップ遅延後にクロックが安定しているか、PLL がロックされている状態）。準備ができていないクロックソースが選択された場合は、クロックソースの準備ができたときに切り替えが行われます。*RCC クロック制御レジスタ（RCC_CR）*のステータスビットは、クロックの準備ができているかどうか、およびどちらのクロックがシステムクロックとして使用されているかを示します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

7.2.7 クロックセキュリティシステム（CSS）

クロックセキュリティシステムはソフトウェアで有効にできます。この場合、HSE オシレータのスタートアップ遅延時間の後にクロック検出回路が有効になり、オシレータが停止すると検出回路も無効になります。

HSE オシレータクロックに障害が検出された場合、このオシレータは自動的に無効になり、クロック障害イベントが TIM1 および TIM8 高機能制御タイマのブレーク入力に送られます。また、ソフトウェアに障害を通知する割り込み（クロックセキュリティシステム割り込み（CSSI））が生成されるので、MCU は対応処理を行うことができます。CSSI は、FPU 搭載 Cortex™-M4 NMI（ノンマスクブル割込）例外ベクタにリンクされています。

注： ***CSS を有効にすると、HSE クロックに障害が発生した場合、CSS が 割り込みを生成し、結果として NMI の自動生成を行うことになります。NMI は、CSS 割り込みペンディングビットがクリアされない限り、無限に実行されます。つまり、アプリケーションで、クロック割り込みレジスタ（RCC_CIR）の CSSC ビットをセットすることにより NMI ISR の CSS 割り込みをクリアする必要があります。***

HSE オシレータが直接または間接的にシステムクロックとして使用されている場合（間接的とは、PLL 入力クロックとして直接使用されていて、その PLL クロックがシステムクロックであることを意味します）、障害が検出されると、システムクロックが HSI オシレータに切り替えられ、HSE オシレータは無効になります。

障害発生時に HSE オシレータクロックがシステムクロックとして使用されている PLL のクロックソースであった場合には、PLL も無効になります。この場合、PLLI2S が有効になっていても HSE 障害発生すると PLLI2S も無効になります。

7.2.8 RTC/AWU クロック

いったん RTCCLK クロックソースが選択されると、電源ドメインをリセットしない限りその選択を変更することはできません。

RTCCLK クロックソースは、HSE 1 MHz（HSE をプログラマブルプリスケーラで分周）、LSE または LSI クロックのいずれかとなります。これは、*RCC バックアップドメイン制御レジスタ（RCC_BDCR）*の RTCSEL[1:0] ビットおよび *RCC クロック設定レジスタ（RCC_CFGR）*の RTCPRE[4:0] ビットのプログラミングによって選択されます。この選択は、バックアップドメインをリセットしない限り変更できません。

RTC クロックとして LSE が選択されている場合、バックアップまたはシステム電源が無くなっても RTC は正常に動作します。AWU クロックとして LSI が選択されている場合、システム電源が無くなると AWU の状態は保証されません。2 から 31 の間の値で分周された HSE オシレータが RTC クロックとして使用されている場合、バックアップまたはシステム電源が無くなると RTC の状態は保証されません。

LSE クロックはバックアップドメインに属しますが、HSE と LSI クロックはそうではありません。その結果、以下のようになります。

- LSE が RTC クロックとして使用されている場合、
  - V_{DD} 供給がオフになった場合でも、V_{BAT} の供給が保たれている限り、RTC は動作を続けます。
- LSI が自動ウェイクアップ（AWU）クロックとして選択されている場合、
  - V_{DD} 供給がオフになった場合、AWU の状態は保証されません。LSI 較正の詳細については、*セクション 7.2.5 : LSI クロック（215 ページ）*を参照してください。
- HSE クロックが RTC クロックとして使用されている場合、
  - V_{DD} 供給がオフになった場合や、内蔵されている電圧レギュレータがオフになった場合（1.2 V ドメインから電源が除去された場合）、RTC の状態は保証されません。

この資料は、STMicroelectronics NV 並びにその子会社（以下 ST）が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

注： ***APB1 クロック周波数が RTC クロック周波数の 1/7 未満である場合（$f_{APB1} < 7xf_{RTCLCK}$）にRTC カレンダレジスタを読み込むには、カレンダの時間と日付レジスタをソフトウェアによって 2 回読み出す必要があります。RTC_TR への 2 回目の読み出しアクセスの結果が最初の読み出しアクセスの結果と同じであれば、データは正しいということになります。同じでない場合は、3 回目の読み出しアクセスを実行する必要があります。***

7.2.9 ウォッチドッグクロック

独立型ウォッチドッグ（IWDG）がハードウェアのオプションまたはソフトウェアアクセスによって開始された場合、LSI オシレータは強制的にオンになり、オフにすることはできません。LSI オシレータの立ち上がりの過渡状態が終わると、このクロックが IWDG に供給されます。

7.2.10 クロック信号出力

2 つのマイクロコントローラクロック出力（MCO）ピンが利用できます。

- MCO1

  設定可能なプレスケーラ（1 から 5）を使用して、MCO1 ピン（PA8）に 4 種類のクロックソースを出力できます。

  – HSI クロック
  – LSE クロック
  – HSE クロック
  – PLL クロック

  RCC クロック設定レジスタ（RCC_CFGR） の MCO1PRE[2:0] および MCO1[1:0] ビットを使用して希望するクロックソースが選択されます。

- MCO2

  設定可能なプリスケーラ（1 から 5）を使用して、MCO2 ピン（PC9）に 4 種類のクロックソースを出力できます。

  – HSE クロック
  – PLL クロック
  – システムクロック（SYSCLK）
  – PLLI2S クロック

  RCC クロック設定レジスタ（RCC_CFGR） の MCO2PRE[2:0] および MCO2 ビットを使用して希望するクロックソースが選択されます。

さまざまな MCO ピンに対し、対応する GPIO ポートをオルタネート機能モードでプログラミングする必要があります。

選択されたクロックの MCO への出力が 100 MHz（最大 I/O 速度）を超えないようにしてください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

7.2.11 TIM5/TIM11 を使用した内部／外部クロックの測定

図 23 および*図 23* に示すように、TIM5 チャネル 4 および TIM11 チャネル 1 の入力キャプチャを使用することにより、ボード上のすべてのクロックソース発生回路の周波数を間接的に測定することができます。

TIM5 チャネル 4 を使用した内部／外部クロックの測定

TIM5 には、入力キャプチャが I/O によってトリガされるのか内部クロックによってトリガされるのかを選択できる入力マルチプレクサがあります。この選択は、TIM5_OR レジスタの TI4_RMP [1:0] ビットで行います。

LSE を チャネル 4 入力キャプチャに接続しておく主な目的は、HSI を正確に測定できるようにすることです（これには HSI をシステムクロックソースとして使用する必要があります）。LSE 信号の連続エッジ間の HSI クロックカウント数により、内部クロック周期が測定されます。LSE クリスタルの高精度（通常は数十ppm）を利用することにより、同じ分解能で内部クロック周波数を判断でき、製造工程、温度、電圧に関連した周波数偏差に対してソースを調整して補正することができます。

HSI オシレータには、この目的のためにユーザがアクセスできる専用の較正ビットがあります。

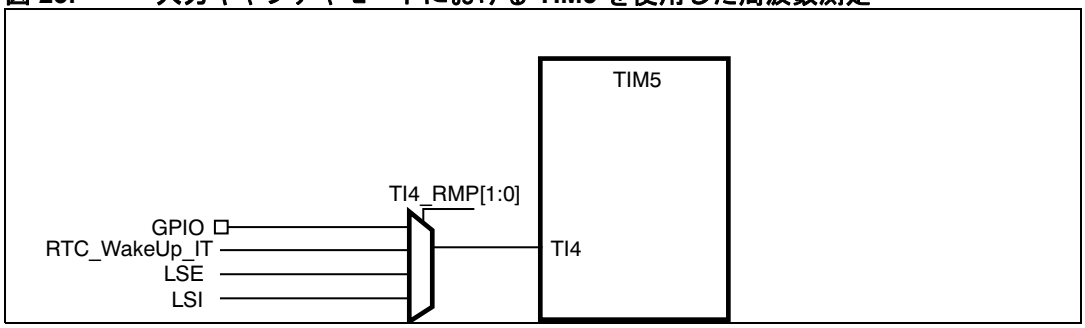
この基本概念は、相対測定（HSI/LSE 比など）ができることにあり、そのため、精度は 2 つのクロックソース間の比に密接につながっています。この比が大きければ大きいほど、測定精度は向上します。

また、LSI 周波数も測定できます。これはクリスタルを使用しないアプリケーションで有用です。超低電力 LSI オシレータには、大きな製造工程偏差があります。これを HSI クロックソースに対して測定することにより、HSI の精度で LSI の周波数を判断することができます。測定値を使用して、より正確な RTC 時間基準のタイムアウト（LSI が RTC クロックソースとして使用されているとき）や許容精度の IWDG タイムアウトを得ることができます。

LSI 周波数を測定するには、次の手順に従ってください。

1. TIM5 タイマを有効にして、チャネル 4 を入力キャプチャモードに設定します。
2. TIM5_OR レジスタの TI4_RMP ビットを 0x01 にセットして、較正目的で、LSI クロックを TIM5 チャネル 4 入力キャプチャに内部接続します。
3. TIM5 キャプチャ／比較 4 イベントまたは割り込みを使用して、LSI クロックの周波数を計測します。
4. 計測した LSI 周波数を使用して、必要な時間基準に従って RTC のプリスケーラを更新したり、IWDG タイムアウトを計算したりします。

図 23. 入力キャプチャモードにおける TIM5 を使用した周波数測定

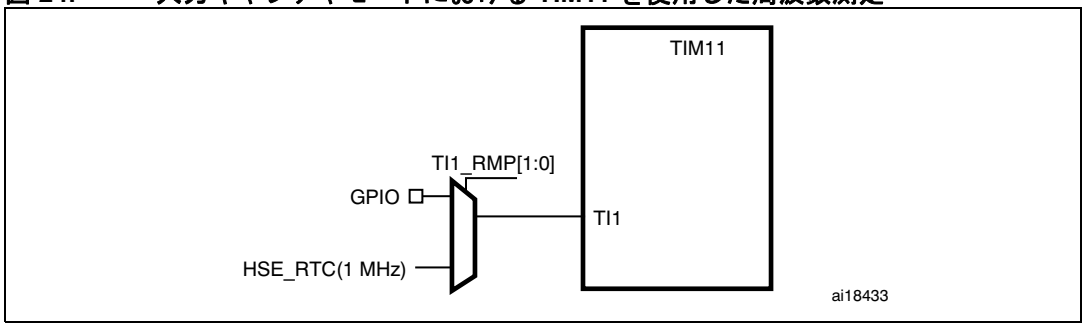


この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

TIM11 チャネル 1 を使用した内部／外部クロックの測定

TIM11 には、入力キャプチャが I/O によってトリガされるのか内部クロックによってトリガされるのかを選択できる入力マルチプレクサがあります。この選択は、TIM11_OR レジスタの TI1_RMP [1:0] ビットで行います。HSE_RTC クロック（HSE をプログラマブルプリスケーラで分周）は、チャネル 1 の入力キャプチャに接続されており、およその外部クリスタル周波数を知ることができます。このためには、HSI がシステムクロックソースである必要があります。これは、たとえば高調波周波数または低調波周波数（–50/+100 % の偏差）が判断できることを求めている IEC 60730/IEC 61335 規格に準拠していることを保証するのに有用です。

図 24. 入力キャプチャモードにおける TIM11 を使用した周波数測定



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

7.3 RCC レジスタ

レジスタの説明で使用されている略語のリストについては、*セクション 1.1：レジスタに関する略記*を参照してください。

7.3.1 RCC クロック制御レジスタ（RCC_CR）

アドレスオフセット：0x00

リセット値：0x0000 XX83（X は未定義）。

アクセス：ノーウェイト、ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み				PLLI2S RDY	PLLI2S ON	PLLRDY	PLLON	予約済み				CSS ON	HSE BYP	HSE RDY	HSE ON
				r	rw	r	rw					rw	rw	r	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HSICAL[7:0]								HSITRIM[4:0]					予約済み	HSI RDY	HSION
r	r	r	r	r	r	r	r	rw	rw	rw	rw	rw		r	rw

ビット 31:28 予約済み、リセット値に保持する必要があります。

ビット 27 **PLLI2SRDY**：PLLI2S クロックレディフラグ
ハードウェアによってセットされ、PLLI2S がロック状態であることを示します。
0：PLLI2S アンロック
1：PLLI2S ロック

ビット 26 **PLLI2SON**：PLLI2S イネーブル
PLLI2S を有効にするために、ソフトウェアによってセット／クリアされます。
STOP または STANDBY モードに入るときに、ハードウェアによってクリアされます。
0：PLLI2S オフ
1：PLLI2S オン

ビット 25 **PLLRDY**：メイン PLL（PLL）クロックレディフラグ
ハードウェアによってセットされ、PLL がロック状態であることを示します。
0：PLL アンロック
1：PLL ロック

ビット 24 **PLLON**：メイン PLL（PLL）イネーブル
PLL を有効にするために、ソフトウェアによってセット／クリアされます。
STOP または STANDBY モードに入るときに、ハードウェアによってクリアされます。PLL クロックがシステムクロックとして使用されている場合、このビットをリセットできません。
0：PLL オフ
1：PLL オン

ビット 23:20 予約済み、リセット値に保持する必要があります。

ビット 19 **CSSON**：クロックセキュリティシステムイネーブル
クロックセキュリティシステムを有効にするために、ソフトウェアによってセット／クリアされます。
CSSON がセットされているとき、HSE オシレータがレディになるとクロック検出回路がハードウェアによって有効にされ、オシレータの障害が検出さた場合ハードウェアによって無効にされます。
0：クロックセキュリティシステムオフ（クロック検出回路オフ）
1：クロックセキュリティシステムオン（HSE オシレータが安定していればクロック検出回路オン、そうでなければオフ）

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 18 **HSEBYP**：HSE クロックバイパス

外部クロックでオシレータをバイパスするために、ソフトウェアによってセット／クリアされます。デバイスで使用するには、HSEON ビットで外部クロックを有効にする必要があります。
HSEBYP ビットは、HSE オシレータが無効のときのみ、書き込みができます。
0：HSE オシレータはバイパスされません。
1：HSE オシレータはバイパスされ、外部クロックが使用されます。

ビット 17 **HSERDY**：HSE クロックレディフラグ

HSE オシレータが安定していることを示すために、ハードウェアによってセットされます。HSEON ビットがクリアされた後、HSERDY は、HSE オシレータクロックの 6 サイクル後にローになります。
0：HSE オシレータはレディ状態ではありません。
1：HSE オシレータはレディ状態です。

ビット 16 **HSEON**：HSE クロックイネーブル

ソフトウェアによってセット／クリアされます。
STOP または STANDBY モードに入るときに、HSE オシレータを停止するためにハードウェアによってクリアされます。HSE オシレータが直接的または間接的にシステムクロックとして使用されている場合は、このビットをリセットできません。
0：HSE オシレータオフ
1：HSE オシレータオン

ビット 15:8 **HSICAL[7:0]**：内部高速クロック較正

これらのビットは、スタートアップ時に自動的に初期化されます。

ビット 7:3 **HSITRIM[4:0]**：内部高速クロックトリミング

これらのビットにより、ユーザプログラミング可能なトリミング値が使用でき、この値は HSICAL[7:0] ビットに加算されます。内蔵 HSI RC の周波数に影響する電圧や温度の変化に対応できるようにプログラミングできます。

ビット 2 予約済み、リセット値に保持する必要があります。

ビット 1 **HSIRDY**：内部高速クロックレディフラグ

HSI オシレータが安定していることを示すために、ハードウェアによってセットされます。HSION ビットがクリアされた後、HSIRDY は、HSI オシレータクロックの 6 サイクル後にローになります。
0：HSI オシレータはレディ状態ではありません。
1：HSI オシレータはレディ状態です。

ビット 0 **HSION**：内部高速クロックイネーブル

ソフトウェアによってセット／クリアされます。
STOP または STANDBY モードを終了するとき、または、直接的または間接的にシステムクロックとして使用されている HSE オシレータに障害が発生した場合、HSI オシレータを強制的にオンにするために、ハードウェアによってセットされます。HSI オシレータが直接的または間接的にシステムクロックとして使用されている場合は、このビットをクリアできません。
0：HSI オシレータオフ
1：HSI オシレータオン

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

7.3.2　RCC PLL 設定レジスタ（RCC_PLLCFGR）

アドレスオフセット：0x04

リセット値：0x2400 3010

アクセス：ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

このレジスタは、次の式に従って PLL クロック出力を設定するために使用します。

- $f_{(VCO\ クロック)} = f_{(PLL\ クロック入力)} \times (PLLN / PLLM)$
- $f_{(PLL\ 汎用クロック出力)} = f_{(VCO\ クロック)} / PLLP$
- $f_{(USB\ OTG\ FS、SDIO、RNG\ クロック出力)} = f_{(VCO\ クロック)} / PLLQ$

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み				PLLQ3	PLLQ2	PLLQ1	PLLQ0	予約済み	PLLSRC	予約済み				PLLP1	PLLP0
				rw	rw	rw	rw		rw					rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み	PLLN									PLLM5	PLLM4	PLLM3	PLLM2	PLLM1	PLLM0
	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:28　予約済み、リセット値に保持する必要があります。

ビット 27:24　**PLLQ**：USB OTG FS、SDIO、および乱数発生回路クロックのためのメイン PLL（PLL）分周比

USB OTG FS クロック、乱数発生回路クロック、SDIO クロックの周波数を制御するためにソフトウェアによってセット／クリアされます。これらのビットに書き込めるのは、PLL が無効なときだけです。

注意：　USB OTG FS が正しく動作するには、48 MHz のクロックが必要です。SDIO および乱数発生回路が正しく動作するには、48 MHz 以下の周波数が必要です。

USB OTG FS クロック周波数 = VCO 周波数 / PLLQ。ここで $2 \leq PLLQ \leq 15$

0000：PLLQ = 0、誤った設定

0001：PLLQ = 1、誤った設定

0010：PLLQ = 2

0011：PLLQ = 3

0100：PLLQ = 4

...

1111：PLLQ = 15

ビット 23　予約済み、リセット値に保持する必要があります。

ビット 22　**PLLSRC**：メイン PLL（PLL）およびオーディオ PLL（PLLI2S）入力クロックソース

PLL および PLLI2S クロックソースを選択するために、ソフトウェアによってセット／クリアされます。このビットに書き込めるのは、PLL および PLLI2S が無効のときだけです。

0：PLL および PLLI2S クロック入力として HSI クロックを選択

1：PLL および PLLI2S クロック入力としてHSE オシレータクロックを選択

ビット 21:18　予約済み、リセット値に保持する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 17:16 **PLLP**：メインシステムクロックのためのメイン PLL（PLL）分周比

汎用 PLL 出力クロックの周波数を制御するために、ソフトウェアによってセット／クリアされます。これらのビットに書き込めるのは、PLL が無効なときだけです。

注意： ***ソフトウェアは、このドメインで 168 MHz を超えないように、これらのビットを正しくセットする必要があります。***

PLL 出力クロック周波数 = VCO 周波数 / PLLP ここで PLLP = 2、4、6、または 8

00：PLLP = 2
01：PLLP = 4
10：PLLP = 6
11：PLLP = 8

ビット 14:6 **PLLN**：メイン PLL（PLL）の VCO に対する逓倍数

VCO の逓倍数を制御するために、ソフトウェアによってセット／クリアされます。これらのビットに書き込めるのは、PLL が無効なときだけです。これらのビットの書き込みでは、ハーフワードおよびワード単位でのアクセスのみが可能です。

注意： ***これらのビットは、VCO 出力周波数が 192 MHz から 432 MHz の間になるように、ソフトウェアで正しく設定する必要があります。***

VCO 出力周波数 = VCO 入力周波数 × PLLN、ここで 192 ≤ PLLN ≤ 432

000000000：PLLN = 0、誤った設定
000000001：PLLN = 1、誤った設定
...
011000000：PLLN = 192
...
110110000：PLLN = 432
110110001：PLLN = 433、誤った設定
...
111111111：PLLN = 511、誤った設定

ビット 5:0 **PLLM**：メイン PLL（PLL）およびオーディオ PLL（PLLI2S）入力クロックのための分周比

PLL および PLLI2S 入力クロックを VCO の前で分周するために、ソフトウェアによってセット／クリアされます。これらのビットに書き込めるのは、PLL および PLLI2S が無効のときだけです。

注意： ***これらのビットは、VCO 入力周波数が 1 MHz から 2 MHz の間になるように、ソフトウェアで正しく設定する必要があります。PLL ジッタを制限するため 2 MHz の周波数を選択することが推奨されます。***

VCO 入力周波数 = PLL 入力クロック周波数 / PLLM、ここで 2 ≤ PLLM ≤ 63

000000：PLLM = 0、誤った設定
000001：PLLM = 1、誤った設定
000010：PLLM = 2
000011：PLLM = 3
000100：PLLM = 4
...
111110：PLLM = 62
111111：PLLM = 63

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

7.3.3　RCC クロック設定レジスタ（RCC_CFGR）

アドレスオフセット：0x08

リセット値：0x0000 0000

アクセス：0 ≤ ウェイトステート ≤ 2、ワード、ハーフワード、およびバイトアクセス

クロックソースの切り替え中にアクセスが発生した場合に限り、1 または 2 個のウェイトステートが挿入されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
MCO2		MCO2 PRE[2:0]			MCO1 PRE[2:0]			I2SSCR	MCO1		RTCPRE[4:0]				
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PPRE2[2:0]			PPRE1[2:0]			予約済み		HPRE[3:0]				SWS1	SWS0	SW1	SW0
rw	rw	rw	rw	rw	rw			rw	rw	rw	rw	r	r	rw	rw

ビット 31:30　**MCO2[1:0]**：マイクロコントローラクロック出力 2

ソフトウェアによってセット／クリアされます。クロックソースの選択によって、MCO2 でグリッチが発生することがあります。これらのビットは、リセット後に外部オシレータおよび PLL を有効にする前に設定することを強く推奨します。

00：システムクロック（SYSCLK）の選択

01：PLLI2S クロックの選択

10：HSE オシレータクロックの選択

11：PLL クロックの選択

ビット 27:29　**MCO2PRE**：MCO2 プリスケーラ

MCO2 のプリスケーラを設定するために、ソフトウェアによってセット／クリアされます。このプリスケーラの変更によって、MCO2 でグリッチが発生することがあります。このプリスケーラは、リセット後に外部オシレータおよび PLL を有効にする前に変更することを強く推奨します。

0xx：分周なし

100：分周比 2

101：分周比 3

110：分周比 4

111：分周比 5

ビット 24:26　**MCO1PRE**：MCO1 プリスケーラ

MCO1 のプリスケーラを設定するために、ソフトウェアによってセット／クリアされます。このプリスケーラの変更によって、MCO1 でグリッチが発生することがあります。このプリスケーラは、リセット後に外部オシレータおよび PLL を有効にする前に変更することを強く推奨します。

0xx：分周なし

100：分周比 2

101：分周比 3

110：分周比 4

111：分周比 5

ビット 23　**I2SSRC**：I2S クロック選択

ソフトウェアによってセット／クリアされます。このビットによって、PLLI2S クロックと外部クロックから I2S クロックソースを選択できます。このビットは、リセット後に I2S モジュールを有効にする前に変更することを強く推奨します。

0 ：I2S クロックソースとして PLLI2S クロックが使用されます。

1 ：I2S クロックソースとして I2S_CKIN ピンに割り当てられている外部クロックが使用されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 22:21 **MCO1**：マイクロコントローラクロック出力 1

ソフトウェアによってセット／クリアされます。クロックソースの選択によって、MCO1 でグリッチが発生することがあります。これらのビットは、リセット後に外部オシレータおよび PLL を有効にする前に設定することを強く推奨します。

00：HSI クロックの選択
01：LSE オシレータの選択
10：HSE オシレータクロックの選択
11：PLL クロックの選択

ビット 20:16 **RTCPRE**：RTC クロックのための HSE 分周比

HSE クロック入力を分周し、RTC に 1 MHz クロックを生成するために、ソフトウェアによってセット／クリアされます。

注意： ***これらのビットは、RTC に供給されるクロックが 1 MHz となるように、ソフトウェアで正しく設定する必要があります。これらのビットは、必要に応じて RTC クロックソースが選択される前に設定する必要があります。***

00000：クロックなし
00001：クロックなし
00010：HSE/2
00011：HSE/3
00100：HSE/4
...
11110：HSE/30
11111：HSE/31

ビット 15:13 **PPRE2**：APB 高速プリスケーラ（APB2)

APB 高速クロックの分周比を制御するために、ソフトウェアによってセット／クリアされます。

注意： ***ソフトウェアは、このドメインで 84 MHz を超えないように、これらのビットを正しくセットする必要があります。クロックは、PPRE2 に書き込んだ後 1 から 16 の AHB サイクル後に新しい分周比で分周されます。***

0xx：AHB クロックは分周されません。
100：AHB クロックは 2 分周されます。
101：AHB クロックは 4 分周されます。
110：AHB クロックは 8 分周されます。
111：AHB クロックは 16 分周されます。

ビット 12:10 **PPRE1**：APB低速プリスケーラ（APB1）

APB 低速クロックの分周比を制御するために、ソフトウェアによってセット／クリアされます。

注意： ***ソフトウェアは、このドメインで 42 MHz を超えないように、これらのビットを正しくセットする必要があります。クロックは、PPRE1 に書き込んだ後 1 から 16 の AHB サイクル後に新しい分周比で分周されます。***

0xx：AHB クロックは分周されません。
100：AHB クロックは 2 分周されます。
101：AHB クロックは 4 分周されます。
110：AHB クロックは 8 分周されます。
111：AHB クロックは 16 分周されます。

ビット 9:8 予約済み、リセット値に保持する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 7:4 **HPRE**：AHB プリスケーラ

AHB クロックの分周比を制御するために、ソフトウェアによってセット／クリアされます。

注意：　クロックは、HPRE に書き込んだ後 1 から 16 の AHB サイクル後に新しい分周比で分周されます。

注意：　Ethernet が使用されるときには、AHB クロック周波数は少なくとも 25 MHz でなければなりません。

0xxx：システムクロックは分周されません。
1000：システムクロックは 2 分周されます。
1001：システムクロックは 4 分周されます。
1010：システムクロックは 8 分周されます。
1011：システムクロックは 16 分周されます。
1100：システムクロックは 64 分周されます。
1101：システムクロックは 128 分周されます。
1110：システムクロックは 256 分周されます。
1111：システムクロックは 512 分周されます。

ビット 3:2 **SWS**：システムクロックスイッチステータス

どのクロックソースがシステムクロックとして使用されているかを示すために、ハードウェアによってセット／クリアされます。
00：HSI オシレータがシステムクロックとして使用されています。
01：HSE オシレータがシステムクロックとして使用されています。
10：PLL がシステムクロックとして使用されています。
11：適用されません。

ビット 1:0 **SW**：システムクロックスイッチ

システムクロックソースを選択するために、ソフトウェアによってセット／クリアされます。
STOP または STANDBY モードを終了するとき、または、直接的または間接的にシステムクロックとして使用されている HSE オシレータに障害が発生した場合、強制的に HSI を選択するために、ハードウェアによってセットされます。
00：HSI オシレータがシステムクロックとして選択されます。
01：HSE オシレータがシステムクロックとして選択されます。
10：PLL がシステムクロックとして選択されます。
11：設定禁止

7.3.4　RCC クロック割り込みレジスタ（RCC_CIR）

アドレスオフセット：0x0C

リセット値：0x0000 0000

アクセス：ノーウェイト、ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み								CSSC	予約済み	PLLI2S RDYC	PLL RDYC	HSE RDYC	HSI RDYC	LSE RDYC	LSI RDYC
								w		w	w	w	w	w	w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み		PLLI2S RDYIE	PLL RDYIE	HSE RDYIE	HSI RDYIE	LSE RDYIE	LSI RDYIE	CSSF	予約済み	PLLI2S RDYF	PLL RDYF	HSE RDYF	HSI RDYF	LSE RDYF	LSI RDYF
		rw	rw	rw	rw	rw	rw	r		r	r	r	r	r	r

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 31:24 予約済み、リセット値に保持する必要があります。

ビット 23 **CSSC**：クロックセキュリティシステム割り込みクリア

このビットは、CSSF フラグをクリアするために、ソフトウェアによってセットされます。

0：影響ありません。

1：CSSF フラグをクリアします。

ビット 22 予約済み、リセット値に保持する必要があります。

ビット 21 **PLLI2SRDYC**：PLLI2S レディ割り込みクリア

このビットは、PLLI2SRDYF フラグをクリアするために、ソフトウェアによってセットされます。

0：影響ありません。

1：PLLI2SRDYF がクリアされます。

ビット 20 **PLLRDYC**：メイン PLL（PLL）レディ割り込みクリア

このビットは、PLLRDYF フラグをクリアするために、ソフトウェアによってセットされます。

0：影響ありません。

1：PLLRDYF がクリアされます。

ビット 19 **HSERDYC**：HSE レディ割り込みクリア

このビットは、HSERDYF フラグをクリアするために、ソフトウェアによってセットされます。

0：影響ありません。

1：HSERDYF がクリアされます。

ビット 18 **HSIRDYC**：HSI レディ割り込みクリア

このビットは、HSIRDYF フラグをクリアするために、ソフトウェアによってセットされます。

0：影響ありません。

1：HSIRDYF がクリアされます。

ビット 17 **LSERDYC**：LSE レディ割り込みクリア

このビットは、LSERDYF フラグをクリアするために、ソフトウェアによってセットされます。

0：影響ありません。

1：LSERDYF がクリアされます。

ビット 16 **LSIRDYC**：LSI レディ割り込みクリア

このビットは、LSIRDYF フラグをクリアするために、ソフトウェアによってセットされます。

0：影響ありません。

1：LSIRDYF がクリアされます。

ビット 15:12 予約済み、リセット値に保持する必要があります。

ビット 13 **PLLI2SRDYIE**：PLLI2S レディ割り込みイネーブル

PLLI2S ロックによって発生する割り込みを有効／無効にするために、ソフトウェアによってセット／クリアされます。

0：PLLI2S ロック割り込み無効

1：PLLI2S ロック割り込み有効

ビット 12 **PLLRDYIE**：メイン PLL（PLL）レディ割り込みイネーブル

PLL ロックによって発生する割り込みを有効／無効にするために、ソフトウェアによってセット／クリアされます。

0：PLL ロック割り込み無効

1：PLL ロック割り込み有効

ビット 11 **HSERDYIE**：HSE レディ割り込みイネーブル

HSE オシレータの安定化によって発生する割り込みを有効／無効にするために、ソフトウェアによってセット／クリアされます。

0：HSE レディ割り込み無効

1：HSE レディ割り込み有効

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 10 **HSIRDYIE**：HSI レディ割り込みイネーブル

HSI オシレータの安定化によって発生する割り込みを有効／無効にするために、ソフトウェアによってセット／クリアされます。

0：HSI レディ割り込み無効

1：HSI レディ割り込み有効

ビット 9 **LSERDYIE**：LSE レディ割り込みイネーブル

LSE オシレータの安定化によって発生する割り込みを有効／無効にするために、ソフトウェアによってセット／クリアされます。

0：LSE レディ割り込み無効

1：LSE レディ割り込み有効

ビット 8 **LSIRDYIE**：LSI レディ割り込みイネーブル

LSI オシレータの安定化によって発生する割り込みを有効／無効にするために、ソフトウェアによってセット／クリアされます。

0：LSI レディ割り込み無効

1：LSI レディ割り込み有効

ビット 7 **CSSF**：クロックセキュリティシステム割り込みフラグ

HSE オシレータで障害が検出されたときに、ハードウェアによってセットされます。

CSSC ビットをセットすることによって、ソフトウェアによってクリアされます。

0：HSE クロック障害によるクロックセキュリティ割り込みは発生していません。

1：HSE クロック障害によってクロックセキュリティ割り込みが発生しました。

ビット 6 予約済み、リセット値に保持する必要があります。

ビット 5 **PLLI2SRDYF**：PLLI2S レディ割り込みフラグ

PLLI2S がロックされ、PLLI2SRDYDIE がセットされているときに、ハードウェアによってセットされます。

PLLI2SRDYC ビットをセットすることによって、ソフトウェアによってクリアされます。

0：PLLI2S ロックによるクロックレディ割り込みは発生していません。

1：PLLI2S ロックによるクロックレディ割り込みが発生しました。

ビット 4 **PLLRDYF**：メイン PLL（PLL）レディ割り込みフラグ

PLL がロックされ、PLLRDYDIE がセットされているときに、ハードウェアによってセットされます。

PLLRDYC ビットをセットすることによって、ソフトウェアによってクリアされます。

0：PLL ロックによるクロックレディ割り込みは発生していません。

1：PLL ロックによるクロックレディ割り込みが発生しました。

ビット 3 **HSERDYF**：HSE レディ割り込みフラグ

外部高速クロックが安定し、HSERDYDIE ビットがセットされているとき、ハードウェアによってセットされます。

HSERDYC ビットをセットすることによって、ソフトウェアによってクリアされます。

0：HSE オシレータによるクロックレディ割り込みは発生していません。

1：HSE オシレータによるクロックレディ割り込みが発生しました。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 2 **HSIRDYIF**：HSI レディ割り込みフラグ

内部高速クロックが安定し、HSIRDYDIE ビットがセットされているとき、ハードウェアによってセットされます。

HSIRDYC ビットをセットすることによって、ソフトウェアによってクリアされます。

0：HSI オシレータによるクロックレディ割り込みは発生していません。

1：HSI オシレータによるクロックレディ割り込みが発生しました。

ビット 1 **LSERDYF**：LSE レディ割り込みフラグ

外部低速クロックが安定し、LSERDYDIE ビットがセットされているとき、ハードウェアによってセットされます。

LSERDYC ビットをセットすることによって、ソフトウェアによってクリアされます。

0：LSE オシレータによるクロックレディ割り込みは発生していません。

1：LSE オシレータによるクロックレディ割り込みが発生しました。

ビット 0 **LSIRDYF**：LSI レディ割り込みフラグ

内部低速クロックが安定し、LSIRDYDIE ビットがセットされているとき、ハードウェアによってセットされます。

LSIRDYC ビットをセットすることによって、ソフトウェアによってクリアされます。

0：LSI オシレータによるクロックレディ割り込みは発生していません。

1：LSI オシレータによるクロックレディ割り込みが発生しました。

7.3.5 RCC AHB1 ペリフェラルリセットレジスタ（RCC_AHB1RSTR）

アドレスオフセット：0x10

リセット値：0x0000 0000

アクセス：ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み		OTGHSRST	予約済み			ETHMACRST	予約済み		DMA2RST	DMA1RST	予約済み				
		rw				rw			rw	rw					

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み			CRCRST	予約済み			GPIOIRST	GPIOHRST	GPIOGRST	GPIOFRST	GPIOERST	GPIODRST	GPIOCRST	GPIOBRST	GPIOARST
			rw				rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:30 予約済み、リセット値に保持する必要があります。

ビット 29 **OTGHSRST**：USB OTG HS モジュールリセット

ソフトウェアによってセット／クリアされます。

0：USB OTG HS モジュールをリセットしません。

1：USB OTG HS モジュールをリセットします。

ビット 28:26 予約済み、リセット値に保持する必要があります。

ビット 25 **ETHMACRST**：Ethernet MAC リセット

ソフトウェアによってセット／クリアされます。

0：Ethernet MAC をリセットしません。

1：Ethernet MAC をリセットします。

ビット 24:23 予約済み、リセット値に保持する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 22 **DMA2RST**：DMA2 リセット
ソフトウェアによってセット／クリアされます。
0：DMA2 をリセットしません。
1：DMA2 をリセットします。

ビット 21 **DMA1RST：**DMA1 リセット
ソフトウェアによってセット／クリアされます。
0：DMA1 をリセットしません。
1：DMA1 をリセットします。

ビット 20:13 予約済み、リセット値に保持する必要があります。

ビット 12 **CRCRST**：CRC リセット
ソフトウェアによってセット／クリアされます。
0：CRC をリセットしません。
1：CRC をリセットします。

ビット 11:9 予約済み、リセット値に保持する必要があります。

ビット 8 **GPIOIRST**：IO ポート I リセット
ソフトウェアによってセット／クリアされます。
0：IO ポート I をリセットしません。
1：IO ポート I をリセットします。

ビット 7 **GPIOHRST**：IO ポート H リセット
ソフトウェアによってセット／クリアされます。
0：IO ポート H をリセットしません。
1：IO ポート H をリセットします。

ビット 6 **GPIOGRST**：IO ポート G リセット
ソフトウェアによってセット／クリアされます。
0：IO ポート G をリセットしません。
1：IO ポート G をリセットします。

ビット 5 **GPIOFRST**：IO ポート F リセット
ソフトウェアによってセット／クリアされます。
0：IO ポート F をリセットしません。
1：IO ポート F をリセットします。

ビット 4 **GPIOERST**：IO ポート E リセット
ソフトウェアによってセット／クリアされます。
0：IO ポート E をリセットしません。
1：IO ポート E をリセットします。

ビット 3 **GPIODRST**：IO ポート D リセット
ソフトウェアによってセット／クリアされます。
0：IO ポート D をリセットしません。
1：IO ポート D をリセットします。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 2 **GPIOCRST**：IO ポート C リセット
ソフトウェアによってセット／クリアされます。
0：IO ポート C をリセットしません。
1：IO ポート C をリセットします。

ビット 1 **GPIOBRST**：IO ポート B リセット
ソフトウェアによってセット／クリアされます。
0：IO ポート B をリセットしません。
1：IO ポート B をリセットします。

ビット 0 **GPIOARST**：IO ポート A リセット
ソフトウェアによってセット／クリアされます。
0：IO ポート A をリセットしません。
1：IO ポート A をリセットします。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

7.3.6 RCC AHB2 ペリフェラルリセットレジスタ（RCC_AHB2RSTR）

アドレスオフセット：0x14

リセット値：0x0000 0000

アクセス：ノーウェイト、ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								OTGFS RST	RNG RST	HASH RST	CRYP RST	予約済み			DCMI RST
								rw	rw	rw	rw				rw

ビット 31:8 予約済み、リセット値に保持する必要があります。

ビット 7 **OTGFSRST**：USB OTG FS モジュールリセット
ソフトウェアによってセット／クリアされます。
0：USB OTG FS モジュールをリセットしません。
1：USB OTG FS モジュールをリセットします。

ビット 6 **RNGRST**：乱数発生回路モジュールリセット
ソフトウェアによってセット／クリアされます。
0：乱数発生回路モジュールをリセットしません。
1：乱数発生回路モジュールをリセットします。

ビット 5 **HASHRST**：ハッシュモジュールリセット
ソフトウェアによってセット／クリアされます。
0：ハッシュモジュールをリセットしません。
1：ハッシュモジュールをリセットします。

ビット 4 **CRYPRST**：暗号モジュールリセット
ソフトウェアによってセット／クリアされます。
0：暗号モジュールをリセットしません。
1：暗号モジュールをリセットします。

ビット 3:1 予約済み、リセット値に保持する必要があります。

ビット 0 **DCMIRST**：カメラインタフェースリセット
ソフトウェアによってセット／クリアされます。
0：カメラインタフェースをリセットしません。
1：カメラインタフェースをリセットします。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

7.3.7 RCC AHB3 ペリフェラルリセットレジスタ（RCC_AHB3RSTR）

アドレスオフセット：0x18

リセット値：0x0000 0000

アクセス：ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															FSMCRST
															rw

ビット 31:1 予約済み、リセット値に保持する必要があります。

ビット 0 **FSMCRST**：フレキシブルスタティックメモリコントローラモジュールリセット

ソフトウェアによってセット／クリアされます。

0：FSMC モジュールをリセットしません。

1：FSMC モジュールをリセットします。

7.3.8 RCC APB1 ペリフェラルリセットレジスタ（RCC_APB1RSTR）

アドレスオフセット：0x20

リセット値：0x0000 0000

アクセス：ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み		DACRST	PWR RST	予約済み	CAN2 RST	CAN1 RST	予約済み	I2C3 RST	I2C2 RST	I2C1 RST	UART5 RST	UART4 RST	UART3 RST	UART2 RST	予約済み
		rw	rw			rw		rw	rw	rw	rw	rw	rw	rw	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SPI3 RST	SPI2 RST	予約済み		WWDG RST	予約済み		TIM14 RST	TIM13 RST	TIM12 RST	TIM7 RST	TIM6 RST	TIM5 RST	TIM4 RST	TIM3 RST	TIM2 RST
rw	rw			rw			rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:30 予約済み、リセット値に保持する必要があります。

ビット 29 **DACRST**：DAC リセット

ソフトウェアによってセット／クリアされます。

0：DACインタフェースをリセットしません。

1：DACインタフェースをリセットします。

ビット 28 **PWRRST**：電源インタフェースリセット

ソフトウェアによってセット／クリアされます。

0：電源インタフェースをリセットしません。

1：電源インタフェースをリセットします。

ビット 27 予約済み、リセット値に保持する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 26 **CAN2RST**：CAN2 リセット
ソフトウェアによってセット／クリアされます。
0：CAN2 をリセットしません。
1：CAN2 をリセットします。

ビット 25 **CAN1RST**：CAN1 リセット
ソフトウェアによってセット／クリアされます。
0：CAN1 をリセットしません。
1：CAN1 をリセットします。

ビット 24 予約済み、リセット値に保持する必要があります。

ビット 23 **I2C3RST**：I2C3 リセット
ソフトウェアによってセット／クリアされます。
0：I2C3 をリセットしません。
1：I2C3 をリセットします。

ビット 22 **I2C2RST**：I2C2 リセット
ソフトウェアによってセット／クリアされます。
0：I2C2 をリセットしません。
1：I2C2 をリセットします。

ビット 21 **I2C1RST**：I2C1 リセット
ソフトウェアによってセット／クリアされます。
0：I2C1 をリセットしません。
1：I2C1 をリセットします。

ビット 20 **UART5RST**：UART5 リセット
ソフトウェアによってセット／クリアされます。
0：UART5 をリセットしません。
1：UART5 をリセットします。

ビット 19 **UART4RST**：USART4 リセット
ソフトウェアによってセット／クリアされます。
0：UART4 をリセットしません。
1：UART4 をリセットします。

ビット 18 **USART3RST**：USART3 リセット
ソフトウェアによってセット／クリアされます。
0：USART3 をリセットしません。
1：USART3 をリセットします。

ビット 17 **USART2RST**：USART2 リセット
ソフトウェアによってセット／クリアされます。
0：USART2 をリセットしません。
1：USART2 をリセットします。

ビット 16 予約済み、リセット値に保持する必要があります。

ビット 15 **SPI3RST**：SPI3 リセット
ソフトウェアによってセット／クリアされます。
0：SPI3 をリセットしません。
1：SPI3 をリセットします。

ビット 14 **SPI2RST**：SPI2 リセット
ソフトウェアによってセット／クリアされます。
0：SPI2 をリセットしません。
1：SPI2 をリセットします。

ビット 13:12 予約済み、リセット値に保持する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 11 **WWDGRST**：ウィンドウ型ウォッチドッグリセット
ソフトウェアによってセット／クリアされます。
0：ウィンドウ型ウォッチドッグをリセットしません。
1：ウィンドウ型ウォッチドッグをリセットします。

ビット 10:9 予約済み、リセット値に保持する必要があります。

ビット 8 **TIM14RST**：TIM14 リセット
ソフトウェアによってセット／クリアされます。
0：TIM14 をリセットしません。
1：TIM14 をリセットします。

ビット 7 **TIM13RST**：TIM13 リセット
ソフトウェアによってセット／クリアされます。
0：TIM13 をリセットしません。
1：TIM13 をリセットします。

ビット 6 **TIM12RST**：TIM12 リセット
ソフトウェアによってセット／クリアされます。
0：TIM12 をリセットしません。
1：TIM12 をリセットします。

ビット 5 **TIM7RST**：TIM7 リセット
ソフトウェアによってセット／クリアされます。
0：TIM7 をリセットしません。
1：TIM7 をリセットします。

ビット 4 **TIM6RST**：TIM6 リセット
ソフトウェアによってセット／クリアされます。
0：TIM6 をリセットしません。
1：TIM6 をリセットします。

ビット 3 **TIM5RST**：TIM5 リセット
ソフトウェアによってセット／クリアされます。
0：TIM5 をリセットしません。
1：TIM5 をリセットします。

ビット 2 **TIM4RST**：TIM4 リセット
ソフトウェアによってセット／クリアされます。
0：TIM4 をリセットしません。
1：TIM4 をリセットします。

ビット 1 **TIM3RST**：TIM3 リセット
ソフトウェアによってセット／クリアされます。
0：TIM3 をリセットしません。
1：TIM3 をリセットします。

ビット 0 **TIM2RST**：TIM2 リセット
ソフトウェアによってセット／クリアされます。
0：TIM2 をリセットしません。
1：TIM2 をリセットします。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

7.3.9 RCC APB2 ペリフェラルリセットレジスタ(RCC_APB2RSTR)

アドレスオフセット：0x24

リセット値：0x0000 0000

アクセス：ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み													TIM11 RST	TIM10 RST	TIM9 RST
													rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み	SYSCFG RST	予約済み	SPI1 RST	SDIO RST	予約済み		ADC RST	予約済み		USART6 RST	USART1 RST	予約済み		TIM8 RST	TIM1 RST
	rw		rw	rw			rw			rw	rw			rw	rw

ビット 31:19 予約済み、リセット値に保持する必要があります。

ビット 18 **TIM11RST**：TIM11 リセット
ソフトウェアによってセット／クリアされます。
0：TIM11 をリセットしません。
1：TIM11 をリセットします。

ビット 17 **TIM10RST**：TIM10 リセット
ソフトウェアによってセット／クリアされます。
0：TIM10 をリセットしません。
1：TIM10 をリセットします。

ビット 16 **TIM9RST**：TIM9 リセット
ソフトウェアによってセット／クリアされます。
0：TIM9 をリセットしません。
1：TIM9 をリセットします。

ビット 15 予約済み、リセット値に保持する必要があります。

ビット 14 **SYSCFGRST**：システム設定コントローラリセット
ソフトウェアによってセット／クリアされます。
0：システム設定コントローラをリセットしません。
1：システム設定コントローラをリセットします。

ビット 13 予約済み、リセット値に保持する必要があります。

ビット 12 **SPI1RST**：SPI1 リセット
ソフトウェアによってセット／クリアされます。
0：SPI1 をリセットしません。
1：SPI1 をリセットします。

ビット 11 **SDIORST**：SDIO リセット
ソフトウェアによってセット／クリアされます。
0：SDIO モジュールをリセットしません。
1：SDIO モジュールをリセットします。

ビット 10:9 予約済み、リセット値に保持する必要があります。

ビット 8 **ADCRST**：ADC インタフェースリセット（すべての ADC に共通）
ソフトウェアによってセット／クリアされます。
0：ADCインタフェースをリセットしません。
1：ADCインタフェースをリセットします。

ビット 7:6 予約済み、リセット値に保持する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 5 **USART6RST**：USART6 リセット
ソフトウェアによってセット／クリアされます。
0：USART6 をリセットしません。
1：USART6 をリセットします。

ビット 4 **USART1RST**：USART1 リセット
ソフトウェアによってセット／クリアされます。
0：USART1 をリセットしません。
1：USART1 をリセットします。

ビット 3:2 予約済み、リセット値に保持する必要があります。

ビット 1 **TIM8RST**：TIM8 リセット
ソフトウェアによってセット／クリアされます。
0：TIM8 をリセットしません。
1：TIM8 をリセットします。

ビット 0 **TIM1RST**：TIM1 リセット
ソフトウェアによってセット／クリアされます。
0：TIM1 をリセットしません。
1：TIM1 をリセットします。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

7.3.10 RCC AHB1 ペリフェラルクロックイネーブルレジスタ（RCC_AHB1ENR）

アドレスオフセット：0x30

リセット値：0x0010 0000

アクセス：ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み	OTGHSULPIEN	OTGHSEN	ETHMACPTPEN	ETHMACRXEN	ETHMACTXEN	ETHMACEN	予約済み		DMA2EN	DMA1EN	CCMDATARAMEN	予約済み	BKPSRAMEN	予約済み	
	rw	rw	rw	rw	rw	rw			rw	rw			rw		

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み			CRCEN	予約済み			GPIOIEN	GPIOHEN	GPIOGEN	GPIOFEN	GPIOEEN	GPIODEN	GPIOCEN	GPIOBEN	GPIOAEN
			rw				rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31　予約済み、リセット値に保持する必要があります。

ビット 30　**OTGHSULPIEN**：USB OTG HSULPI クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：USB OTG HS ULPI クロック無効
1：USB OTG HS ULPI クロック有効

ビット 29　**OTGHSEN**：USB OTG HS クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：USB OTG HS クロック無効
1：USB OTG HS クロック有効

ビット 28　**ETHMACPTPEN**：Ethernet PTP クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：Ethernet PTP クロック無効
1：Ethernet PTP クロック有効

ビット 27　**ETHMACRXEN**：Ethernet 受信クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：Ethernet 受信クロック無効
1：Ethernet 受信クロック有効

ビット 26　**ETHMACTXEN**：Ethernet 送信クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：Ethernet 送信クロック無効
1：Ethernet 送信クロック有効

ビット 25　**ETHMACEN**：Ethernet MAC クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：Ethernet MAC クロック無効
1：Ethernet MAC クロック有効

ビット 24:23　予約済み、リセット値に保持する必要があります。

ビット 22　**DMA2EN**：DMA2 クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：DMA2 クロック無効
1：DMA2 クロック有効

ビット 21　**DMA1EN**：DMA1 クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：DMA1 クロック無効
1：DMA1 クロック有効

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 20 **CCMDATARAMEN**：CCM データ RAM クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：CCM データ RAM クロック無効
1：CCM データ RAM クロック有効

ビット 19 予約済み、リセット値に保持する必要があります。

ビット 18 **BKPSRAMEN**：バックアップ SRAM インタフェースクロックイネーブル
ソフトウェアによってセット／クリアされます。
0：バックアップ SRAM インタフェースクロック無効
1：バックアップ SRAM インタフェースクロック有効

ビット 17:13 予約済み、リセット値に保持する必要があります。

ビット 12 **CRCEN**：CRC クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：CRC クロック無効
1：CRC クロック有効

ビット 11:9 予約済み、リセット値に保持する必要があります。

ビット 8 **GPIOIEN**：IO ポート I クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：IO ポート I クロック無効
1：IO ポート I クロック有効

ビット 7 **GPIOHEN**：IO ポート H クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：IO ポート H クロック無効
1：IO ポート H クロック有効

ビット 6 **GPIOGEN**：IO ポート G クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：IO ポート G クロック無効
1：IO ポート G クロック有効

ビット 5 **GPIOFEN**：IO ポート F クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：IO ポート F クロック無効
1：IO ポート F クロック有効

ビット 4 **GPIOEEN**：IO ポート E クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：IO ポート E クロック無効
1：IO ポート E クロック有効

ビット 3 **GPIODEN**：IO ポート D クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：IO ポート D クロック無効
1：IO ポート D クロック有効

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 2 **GPIOCEN**：IO ポート C クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：IO ポート C クロック無効
1：IO ポート C クロック有効

ビット 1 **GPIOBEN**：IO ポート B クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：IO ポート B クロック無効
1：IO ポート B クロック有効

ビット 0 **GPIOAEN**：IO ポート A クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：IO ポート A クロック無効
1：IO ポート A クロック有効

7.3.11 RCC AHB2 ペリフェラルクロックイネーブルレジスタ（RCC_AHB2ENR）

アドレスオフセット：0x34

リセット値：0x0000 0000

アクセス：ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								OTGFSEN	RNGEN	HASHEN	CRYPEN	予約済み			DCMIEN
								rw	rw	rw	rw				rw

ビット 31:8 予約済み、リセット値に保持する必要があります。

ビット 7 **OTGFSEN**：USB OTG FS クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：USB OTG FS クロック無効
1：USB OTG FS クロック有効

ビット 6 **RNGEN**：乱数発生回路クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：乱数発生回路クロック無効
1：乱数発生回路クロック有効

ビット 5 **HASHEN**：ハッシュモジュールクロックイネーブル
ソフトウェアによってセット／クリアされます。
0：ハッシュモジュールクロック無効
1：ハッシュモジュールクロック有効

ビット 4 **CRYPEN**：暗号モジュールクロックイネーブル
ソフトウェアによってセット／クリアされます。
0：暗号モジュールクロック無効
1：暗号モジュールクロック有効

ビット 3:1 予約済み、リセット値に保持する必要があります。

ビット 0 **DCMIEN**：カメラインタフェースイネーブル
ソフトウェアによってセット／クリアされます。
0：カメラインタフェースクロック無効
1：カメラインタフェースクロック有効

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

7.3.12 RCC AHB3 ペリフェラルクロックイネーブルレジスタ（RCC_AHB3ENR）

アドレスオフセット：0x38

リセット値：0x0000 0000

アクセス：ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															FSMCEN
															rw

ビット 31:1 予約済み、リセット値に保持する必要があります。

ビット 0 **FSMCEN**：フレキシブルスタティックメモリコントローラモジュールクロックイネーブル
ソフトウェアによってセット／クリアされます。
0：FSMC モジュールクロック無効
1：FSMC モジュールクロック有効

7.3.13 RCC APB1 ペリフェラルクロックイネーブルレジスタ（RCC_APB1ENR）

アドレスオフセット：0x40

リセット値：0x0000 0000

アクセス：ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み		DAC EN	PWR EN	予約済み	CAN2 EN	CAN1 EN	予約済み	I2C3 EN	I2C2 EN	I2C1 EN	UART5 EN	UART4 EN	USART3 EN	USART2 EN	予約済み
		rw	rw		rw	rw		rw	rw	rw	rw	rw	rw	rw	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SPI3 EN	SPI2 EN	予約済み		WWDG EN	予約済み		TIM14 EN	TIM13 EN	TIM12 EN	TIM7 EN	TIM6 EN	TIM5 EN	TIM4 EN	TIM3 EN	TIM2 EN
rw	rw			rw			rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:30 予約済み、リセット値に保持する必要があります。

ビット 29 **DACEN**：DAC インタフェースクロックイネーブル
ソフトウェアによってセット／クリアされます。
0：DAC インタフェースクロック無効
1：DAC インタフェースクロック有効

ビット 28 **PWREN**：電源インタフェースクロックイネーブル
ソフトウェアによってセット／クリアされます。
0：電源インタフェースクロック無効
1：電源インタフェースクロック有効

ビット 27 予約済み、リセット値に保持する必要があります。

ビット 26 **CAN2EN**：CAN 2 クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：CAN 2 クロック無効
1：CAN 2 クロック有効

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 25 **CAN1EN**：CAN 1 クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：CAN 1 クロック無効
1：CAN 1 クロック有効

ビット 24 予約済み、リセット値に保持する必要があります。

ビット 23 **I2C3EN**：I2C3 クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：I2C3 クロック無効
1：I2C3 クロック有効

ビット 22 **I2C2EN**：I2C2 クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：I2C2 クロック無効
1：I2C2 クロック有効

ビット 21 **I2C1EN**：I2C1 クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：I2C1 クロック無効
1：I2C1 クロック有効

ビット 20 **UART5EN**：UART5 クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：UART5 クロック無効
1：UART5 クロック有効

ビット 19 **UART4EN**：UART4 クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：UART4 クロック無効
1：UART4 クロック有効

ビット 18 **USART3EN**：USART3 クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：USART3 クロック無効
1：USART3 クロック有効

ビット 17 **USART2EN :** USART2 クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：USART2 クロック無効
1：USART2 クロック有効

ビット 16 予約済み、リセット値に保持する必要があります。

ビット 15 **SPI3EN**：SPI3 クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：SPI3 クロック無効
1：SPI3 クロック有効

ビット 14 **SPI2EN**：SPI2 クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：SPI2 クロック無効
1：SPI2 クロック有効

ビット 13:12 予約済み、リセット値に保持する必要があります。

ビット 11 **WWDGEN**：ウィンドウ型ウォッチドッグクロックイネーブル
ソフトウェアによってセット／クリアされます。
0：ウィンドウ型ウォッチドッグクロック無効
1：ウィンドウ型ウォッチドッグクロック有効

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 10:9 予約済み、リセット値に保持する必要があります。

ビット 8 **TIM14EN**：TIM14 クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：TIM14 クロック無効
1：TIM14 クロック有効

ビット 7 **TIM13EN**：TIM13 クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：TIM13 クロック無効
1：TIM13 クロック有効

ビット 6 **TIM12EN**：TIM12 クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：TIM12 クロック無効
1：TIM12 クロック有効

ビット 5 **TIM7EN**：TIM7 クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：TIM7 クロック無効
1：TIM7 クロック有効

ビット 4 **TIM6EN**：TIM6 クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：TIM6 クロック無効
1：TIM6 クロック有効

ビット 3 **TIM5EN**：TIM5 クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：TIM5 クロック無効
1：TIM5 クロック有効

ビット 2 **TIM4EN**：TIM4 クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：TIM4 クロック無効
1：TIM4 クロック有効

ビット 1 **TIM3EN**：TIM3 クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：TIM3 クロック無効
1：TIM3 クロック有効

ビット 0 **TIM2EN**：TIM2 クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：TIM2 クロック無効
1：TIM2 クロック有効

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

7.3.14　RCC APB2 ペリフェラルクロックイネーブルレジスタ（RCC_APB2ENR）

アドレスオフセット：0x44

リセット値：0x0000 0000

アクセス：ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み													TIM11 EN	TIM10 EN	TIM9 EN
													rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み	SYSCFG EN	予約済み	SPI1 EN	SDIO EN	ADC3 EN	ADC2 EN	ADC1 EN	予約済み		USART6 EN	USART1 EN	予約済み		TIM8 EN	TIM1 EN
	rw		rw	rw	rw	rw	rw			rw	rw			rw	rw

ビット 31:19　予約済み、リセット値に保持する必要があります。

ビット 18　**TIM11EN**：TIM11 クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：TIM11 クロック無効
1：TIM11 クロック有効

ビット 17　**TIM10EN**：TIM10 クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：TIM10 クロック無効
1：TIM10 クロック有効

ビット 16　**TIM9EN**：TIM9 クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：TIM9 クロック無効
1：TIM9 クロック有効

ビット 15　予約済み、リセット値に保持する必要があります。

ビット 14　**SYSCFGEN**：システム設定コントローラクロックイネーブル
ソフトウェアによってセット／クリアされます。
0：システム設定コントローラクロック無効
1：システム設定コントローラクロック有効

ビット 13　予約済み、リセット値に保持する必要があります。

ビット 12　**SPI1EN**：SPI1 クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：SPI1 クロック無効
1：SPI1 クロック有効

ビット 11　**SDIOEN**：SDIO クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：SDIO モジュールクロック無効
1：SDIO モジュールクロック有効

ビット 10　**ADC3EN**：ADC3 クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：ADC3 クロック無効
1：ADC3 クロック有効

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 9 **ADC2EN**：ADC2 クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：ADC2 クロック無効
1：ADC2 クロック有効

ビット 8 **ADC1EN**：ADC1 クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：ADC1 クロック無効
1：ADC1 クロック有効

ビット 7:6 予約済み、リセット値に保持する必要があります。

ビット 5 **USART6EN**：USART6 クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：USART6 クロック無効
1：USART6 クロック有効

ビット 4 **USART1EN**：USART1 クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：USART1 クロック無効
1：USART1 クロック有効

ビット 3:2 予約済み、リセット値に保持する必要があります。

ビット 1 **TIM8EN**：TIM8 クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：TIM8 クロック無効
1：TIM8 クロック有効

ビット 0 **TIM1EN**：TIM1 クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：TIM1 クロック無効
1：TIM1 クロック有効

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

7.3.15　RCC APB2 ペリフェラルクロックイネーブルレジスタ（RCC_APB2ENR）

アドレスオフセット：0x44

リセット値：0x0000 0000

アクセス：ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み										SPI6EN	SPI5EN	予約済み	TIM11 EN	TIM10 EN	TIM9 EN
										rw	rw		rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み	SYSCFG EN	SPI4EN	SPI1 EN	SDIO EN	ADC3 EN	ADC2 EN	ADC1 EN	予約済み		USART6 EN	USART1 EN	予約済み		TIM8 EN	TIM1 EN
	rw	rw	rw	rw	rw	rw	rw			rw	rw			rw	rw

ビット 31:22　予約済み、リセット値に保持する必要があります。

ビット 21　**SPI6EN**：SPI6 クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：SPI6 クロック無効
1：SPI6 クロック有効

ビット 20　**SPI5EN**：SPI5 クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：SPI5 クロック無効
1：SPI5 クロック有効

ビット 19　予約済み、リセット値に保持する必要があります。

ビット 18　**TIM11EN**：TIM11 クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：TIM11 クロック無効
1：TIM11 クロック有効

ビット 17　**TIM10EN**：TIM10 クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：TIM10 クロック無効
1：TIM10 クロック有効

ビット 16　**TIM9EN**：TIM9 クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：TIM9 クロック無効
1：TIM9 クロック有効

ビット 15　予約済み、リセット値に保持する必要があります。

ビット 14　**SYSCFGEN**：システム設定コントローラクロックイネーブル
ソフトウェアによってセット／クリアされます。
0：システム設定コントローラクロック無効
1：システム設定コントローラクロック有効

ビット 13　**SPI4EN**：SPI4 クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：SPI4 クロック無効
1：SPI4 クロック有効

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 12 **SPI1EN**：SPI1 クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：SPI1 クロック無効
1：SPI1 クロック有効

ビット 11 **SDIOEN**：SDIO クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：SDIO モジュールクロック無効
1：SDIO モジュールクロック有効

ビット 10 **ADC3EN**：ADC3 クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：ADC3 クロック無効
1：ADC3 クロック有効

ビット 9 **ADC2EN**：ADC2 クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：ADC2 クロック無効
1：ADC2 クロック有効

ビット 8 **ADC1EN**：ADC1 クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：ADC1 クロック無効
1：ADC1 クロック有効

ビット 7:6 予約済み、リセット値に保持する必要があります。

ビット 5 **USART6EN：**USART6 クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：USART6 クロック無効
1：USART6 クロック有効

ビット 4 **USART1EN**：USART1 クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：USART1 クロック無効
1：USART1 クロック有効

ビット 3:2 予約済み、リセット値に保持する必要があります。

ビット 1 **TIM8EN**：TIM8 クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：TIM8 クロック無効
1：TIM8 クロック有効

ビット 0 **TIM1EN**：TIM1 クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：TIM1 クロック無効
1：TIM1 クロック有効

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

7.3.16　低電力モードにおける RCC AHB1 ペリフェラルクロックイネーブルレジスタ（RCC_AHB1LPENR）

アドレスオフセット：0x50

リセット値：0x7E67 91FF

アクセス：ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み	OTGHS ULPILPEN	OTGHS LPEN	ETHPTP LPEN	ETHRX LPEN	ETHTX LPEN	ETHMAC LPEN	予約済み		DMA2 LPEN	DMA1 LPEN	予約済み		BKPSRAM LPEN	SRAM2 LPEN	SRAM1 LPEN
	rw	rw	rw	rw	rw	rw			rw	rw			rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FLITF LPEN	予約済み		CRC LPEN	予約済み			GPIOI LPEN	GPIOH LPEN	GPIOGG LPEN	GPIOF LPEN	GPIOE LPEN	GPIOD LPEN	GPIOC LPEN	GPIOB LPEN	GPIOA LPEN
rw			rw				rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31　予約済み、リセット値に保持する必要があります。

ビット 30　**OTGHSULPILPEN**：SLEEP モード時 USB OTG HS ULPI クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 USB OTG HS ULPI クロック無効
1：SLEEP モード時 USB OTG HS ULPI クロック有効

ビット 29　**OTGHSLPEN**：SLEEP モード時 USB OTG HS クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 USB OTG HS クロック無効
1：SLEEP モード時 USB OTG HS クロック有効

ビット 28　**ETHMACPTPLPEN**：SLEEP モード時 Ethernet PTP クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 Ethernet PTP クロック無効
1：SLEEP モード時 Ethernet PTP クロック有効

ビット 27　**ETHMACRXLPEN**：SLEEP モード時 Ethernet 受信クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 Ethernet 受信クロック無効
1：SLEEP モード時 Ethernet 受信クロック有効

ビット 26　**ETHMACTXLPEN**：SLEEP モード時 Ethernet 送信クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 Ethernet 送信クロック無効
1：SLEEP モード時 Ethernet 送信クロック有効

ビット 25　**ETHMACLPEN**：SLEEP モード時 Ethernet MAC クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 Ethernet MAC クロック無効
1：SLEEP モード時 Ethernet MAC クロック有効

ビット 24:23　予約済み、リセット値に保持する必要があります。

ビット 22　**DMA2LPEN**：SLEEP モード時 DMA2 クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 DMA2 クロック無効
1：SLEEP モード時 DMA2 クロック有効

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 21 **DMA1LPEN**：SLEEP モード時 DMA1 クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 DMA1 クロック無効
1：SLEEP モード時 DMA1 クロック有効

ビット 20:19 予約済み、リセット値に保持する必要があります。

ビット 18 **BKPSRAMLPEN**：SLEEP モード時バックアップ SRAM インタフェースクロックイネーブル
ソフトウェアによってセット／クリアされます。
0：SLEEP モード時バックアップ SRAM インタフェースクロック無効
1：SLEEP モード時バックアップ SRAM インタフェースクロック有効

ビット 17 **SRAM2LPEN**：SLEEP モード時 SRAM 2 インタフェースクロックイネーブル
ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 SRAM 2 インタフェースクロック無効
1：SLEEP モード時 SRAM 2 インタフェースクロック有効

ビット 16 **SRAM1LPEN**：SLEEP モード時 SRAM 1 インタフェースクロックイネーブル
ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 SRAM 1 インタフェースクロック無効
1：SLEEP モード時 SRAM 1 インタフェースクロック有効

ビット 15 **FLITFLPEN**：SLEEP モード時フラッシュインタフェースクロックイネーブル
ソフトウェアによってセット／クリアされます。
0：SLEEP モード時フラッシュインタフェースクロック無効
1：SLEEP モード時フラッシュインタフェースクロック有効

ビット 14:13 予約済み、リセット値に保持する必要があります。

ビット 12 **CRCLPEN**：SLEEP モード時 CRC クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 CRC クロック無効
1：SLEEP モード時 CRC クロック有効

ビット 11:9 予約済み、リセット値に保持する必要があります。

ビット 8 **GPIOILPEN**：SLEEP モード時 IO ポート I クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 IO ポート I クロック無効
1：SLEEP モード時 IO ポート I クロック有効

ビット 7 **GPIOHLPEN**：SLEEP モード時 IO ポート H クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 IO ポート H クロック無効
1：SLEEP モード時 IO ポート H クロック有効

ビット 6 **GPIOGLPEN**：SLEEP モード時 IO ポート G クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 IO ポート G クロック無効
1：SLEEP モード時 IO ポート G クロック有効

ビット 5 **GPIOFLPEN**：SLEEP モード時 IO ポート F クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 IO ポート F クロック無効
1：SLEEP モード時 IO ポート F クロック有効

ビット 4 **GPIOELPEN**：SLEEP モード時 IO ポート E クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 IO ポート E クロック無効
1：SLEEP モード時 IO ポート E クロック有効

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 3　**GPIODLPEN**：SLEEP モード時 IO ポート D クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 IO ポート D クロック無効
1：SLEEP モード時 IO ポート D クロック有効

ビット 2　**GPIOCLPEN**：SLEEP モード時 IO ポート C クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 IO ポート C クロック無効
1：SLEEP モード時 IO ポート C クロック有効

ビット 1　**GPIOBLPEN**：SLEEP モード時 IO ポート B クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 IO ポート B クロック無効
1：SLEEP モード時 IO ポート B クロック有効

ビット 0　**GPIOALPEN**：SLEEP モード時 IO ポート A クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 IO ポート A クロック無効
1：SLEEP モード時 IO ポート A クロック有効

7.3.17　低電力モードにおける RCC AHB2 ペリフェラルクロックイネーブルレジスタ（RCC_AHB2LPENR）

アドレスオフセット：0x54

リセット値：0x0000 00F1

アクセス：ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								OTGFS LPEN	RNG LPEN	HASH LPEN	CRYP LPEN	予約済み			DCMI LPEN
								rw	rw	rw	rw				rw

ビット 31:8　予約済み、リセット値に保持する必要があります。

ビット 7　**OTGFSLPEN**：SLEEP モード時 USB OTG FS クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 USB OTG FS クロック無効
1：SLEEP モード時 USB OTG FS クロック有効

ビット 6　**RNGLPEN**：SLEEP モード時乱数発生回路クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：SLEEP モード時乱数発生回路クロック無効
1：SLEEP モード時乱数発生回路クロック有効

ビット 5　**HASHLPEN**：SLEEP モード時ハッシュモジュールクロックイネーブル
ソフトウェアによってセット／クリアされます。
0：SLEEP モード時ハッシュモジュールクロック無効
1：SLEEP モード時ハッシュモジュールクロック有効

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 4 **CRYPLPEN**：SLEEP モード時暗号モジュールクロックイネーブル
ソフトウェアによってセット／クリアされます。
0：SLEEP モード時暗号モジュールクロック無効
1：SLEEP モード時暗号モジュールクロック有効

ビット 3:1 予約済み、リセット値に保持する必要があります。

ビット 0 **DCMILPEN**：SLEEP モード時カメラインタフェースイネーブル
ソフトウェアによってセット／クリアされます。
0：SLEEP モード時カメラインタフェースクロック無効
1：SLEEP モード時カメラインタフェースクロック有効

7.3.18 低電力モードにおける RCC AHB3 ペリフェラルクロックイネーブルレジスタ（RCC_AHB3LPENR）

アドレスオフセット：0x58

リセット値：0x0000 0001

アクセス：ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															FSMC LPEN
															rw

ビット 31:1 予約済み、リセット値に保持する必要があります。

ビット 0 **FSMCLPEN**：SLEEPモード時フレキシブルスタティックメモリコントローラモジュールクロックイネーブル
ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 FSMC モジュールクロック無効
1：SLEEP モード時 FSMC モジュールクロック有効

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

7.3.19　低電力モードにおける RCC APB1 ペリフェラルクロックイネーブルレジスタ（RCC_APB1LPENR）

アドレスオフセット：0x60

リセット値：0x36FE C9FF

アクセス：ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み		DAC LPEN	PWR LPEN	予約済み	CAN2 LPEN	CAN1 LPEN	予約済み	I2C3 LPEN	I2C2 LPEN	I2C1 LPEN	UART5 LPEN	UART4 LPEN	USART3 LPEN	USART2 LPEN	予約済み
		rw	rw		rw	rw		rw	rw	rw	rw	rw	rw	rw	

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SPI3 LPEN	SPI2 LPEN	予約済み		WWDG LPEN	予約済み		TIM14 LPEN	TIM13 LPEN	TIM12 LPEN	TIM7 LPEN	TIM6 LPEN	TIM5 LPEN	TIM4 LPEN	TIM3 LPEN	TIM2 LPEN
rw	rw			rw			rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:30　予約済み、リセット値に保持する必要があります。

ビット 29　**DACLPEN**：SLEEP モード時 DAC インタフェースクロックイネーブル
ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 DAC インタフェースクロック無効
1：SLEEP モード時 DAC インタフェースクロック有効

ビット 28　**PWRLPEN**：SLEEP モード時電源インタフェースクロックイネーブル
ソフトウェアによってセット／クリアされます。
0：SLEEP モード時電源インタフェースクロック無効
1：SLEEP モード時電源インタフェースクロック有効

ビット 27　予約済み、リセット値に保持する必要があります。

ビット 26　**CAN2LPEN**：SLEEP モード時 CAN 2 クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 CAN 2 クロック無効
1：SLEEP モード時 CAN 2 クロック有効

ビット 25　**CAN1LPEN**：SLEEP モード時 CAN 1 クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 CAN 1 クロック無効
1：SLEEP モード時 CAN 1 クロック有効

ビット 24　予約済み、リセット値に保持する必要があります。

ビット 23　**I2C3LPEN**：SLEEP モード時 I2C3 クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 I2C3 クロック無効
1：SLEEP モード時 I2C3 クロック有効

ビット 22　**I2C2LPEN**：SLEEP モード時 I2C2 クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 I2C2 クロック無効
1：SLEEP モード時 I2C2 クロック有効

ビット 21　**I2C1LPEN**：SLEEP モード時 I2C1 クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 I2C1 クロック無効
1：SLEEP モード時 I2C1 クロック有効

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 20 **UART5LPEN**：SLEEP モード時 UART5 クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 UART5 クロック無効
1：SLEEP モード時 UART5 クロック有効

ビット 19 **UART4LPEN**：SLEEP モード時 UART4 クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 UART4 クロック無効
1：SLEEP モード時 UART4 クロック有効

ビット 18 **USART3LPEN**：SLEEP モード時 USART3 クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 USART3 クロック無効
1：SLEEP モード時 USART3 クロック有効

ビット 17 **USART2LPEN**：SLEEP モード時 USART2 クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 USART2 クロック無効
1：SLEEP モード時 USART2 クロック有効

ビット 16 予約済み、リセット値に保持する必要があります。

ビット 15 **SPI3LPEN**：SLEEP モード時 SPI3 クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 SPI3 クロック無効
1：SLEEP モード時 SPI3 クロック有効

ビット 14 **SPI2LPEN**：SLEEP モード時 SPI2 クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 SPI2 クロック無効
1：SLEEP モード時 SPI2 クロック有効

ビット 13:12 予約済み、リセット値に保持する必要があります。

ビット 11 **WWDGLPEN**：SLEEP モード時ウィンドウ型ウォッチドッグクロックイネーブル
ソフトウェアによってセット／クリアされます。
0：SLEEP モード時ウィンドウ型ウォッチドッグクロック無効
1：SLEEP モード時ウィンドウ型ウォッチドッグクロック有効

ビット 10:9 予約済み、リセット値に保持する必要があります。

ビット 8 **TIM14LPEN**：SLEEP モード時 TIM14 クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 TIM14 クロック無効
1：SLEEP モード時 TIM14 クロック有効

ビット 7 **TIM13LPEN**：SLEEP モード時 TIM13 クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 TIM13 クロック無効
1：SLEEP モード時 TIM13 クロック有効

ビット 6 **TIM12LPEN**：SLEEP モード時 TIM12 クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 TIM12 クロック無効
1：SLEEP モード時 TIM12 クロック有効

ビット 5 **TIM7LPEN**：SLEEP モード時 TIM7 クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 TIM7 クロック無効
1：SLEEP モード時 TIM7 クロック有効

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 4　**TIM6LPEN**：SLEEP モード時 TIM6 クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 TIM6 クロック無効
1：SLEEP モード時 TIM6 クロック有効

ビット 3　**TIM5LPEN**：SLEEP モード時 TIM5 クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 TIM5 クロック無効
1：SLEEP モード時 TIM5 クロック有効

ビット 2　**TIM4LPEN**：SLEEP モード時 TIM4 クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 TIM4 クロック無効
1：SLEEP モード時 TIM4 クロック有効

ビット 1　**TIM3LPEN**：SLEEP モード時 TIM3 クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 TIM3 クロック無効
1：SLEEP モード時 TIM3 クロック有効

ビット 0　**TIM2LPEN**：SLEEP モード時 TIM2 クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 TIM2 クロック無効
1：SLEEP モード時 TIM2 クロック有効

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

7.3.20 低電力モードにおける RCC APB2 ペリフェラルクロックイネーブルレジスタ（RCC_APB2LPENR）

アドレスオフセット：0x64

リセット値：0x0007 5F33

アクセス：ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み													TIM11 LPEN	TIM10 LPEN	TIM9 LPEN
													rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み	SYSCFG LPEN	予約済み	SPI1 LPEN	SDIO LPEN	ADC3 LPEN	ADC2 LPEN	ADC1 LPEN	予約済み		USART6 LPEN	USART1 LPEN	予約済み		TIM8 LPEN	TIM1 LPEN
	rw		rw	rw	rw	rw	rw			rw	rw			rw	rw

ビット 31:19 予約済み、リセット値に保持する必要があります。

ビット 18 **TIM11LPEN**：SLEEP モード時 TIM11 クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 TIM11 クロック無効
1：SLEEP モード時 TIM11 クロック有効

ビット 17 **TIM10LPEN**：SLEEP モード時 TIM10 クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 TIM10 クロック無効
1：SLEEP モード時 TIM10 クロック有効

ビット 16 **TIM9LPEN**：SLEEP モード時 TIM9 クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 TIM9 クロック無効
1：SLEEP モード時 TIM9 クロック有効

ビット 15 予約済み、リセット値に保持する必要があります。

ビット 14 **SYSCFGLPEN**：SLEEP モード時システム設定コントローラクロックイネーブル
ソフトウェアによってセット／クリアされます。
0：SLEEP モード時システム設定コントローラクロック無効
1：SLEEP モード時システム設定コントローラクロック有効

ビット 13 予約済み、リセット値に保持する必要があります。

ビット 12 **SPI1LPEN**：SLEEP モード時 SPI1 クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 SPI1 クロック無効
1：SLEEP モード時 SPI1 クロック有効

ビット 11 **SDIOLPEN**：SLEEP モード時 SDIO クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 SDIO モジュールクロック無効
1：SLEEP モード時 SDIO モジュールクロック有効

ビット 10 **ADC3LPEN**：SLEEP モード時 ADC 3 クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 ADC 3 クロック無効
1：SLEEP モード時 ADC 3 クロック有効

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 9 **ADC2LPEN**：SLEEP モード時 ADC2 クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：SLEEP モード時は ADC2 クロック無効
1：SLEEP モード時は ADC2 クロック有効

ビット 8 **ADC1LPEN**：SLEEP モード時 ADC1 クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：SLEEP モード時は ADC1 クロック無効
1：SLEEP モード時は ADC1 クロック有効

ビット 7:6 予約済み、リセット値に保持する必要があります。

ビット 5 **USART6LPEN**：SLEEP モード時 USART6 クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 USART6 クロック無効
1：SLEEP モード時 USART6 クロック有効

ビット 4 **USART1LPEN**：SLEEP モード時 USART1 クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 USART1 クロック無効
1：SLEEP モード時 USART1 クロック有効

ビット 3:2 予約済み、リセット値に保持する必要があります。

ビット 1 **TIM8LPEN**：SLEEP モード時 TIM8 クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 TIM8 クロック無効
1：SLEEP モード時 TIM8 クロック有効

ビット 0 **TIM1LPEN**：SLEEP モード時 TIM1 クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：SLEEP モード時 TIM1 クロック無効
1：SLEEP モード時 TIM1 クロック有効

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

7.3.21 RCC バックアップドメイン制御レジスタ（RCC_BDCR）

アドレスオフセット：0x70

リセット値：0 x 0000 0000、バックアップドメインリセットによってリセットされます。
アクセス：0 ≤ ウェイトステート ≤ 3、ワード、ハーフワード、およびバイトアクセス
このレジスタへの連続したアクセスの場合、ウェイトステートが挿入されます。

RCC バックアップドメイン制御レジスタ（RCC_BDCR） の LSEON、LSEBYP、RTCSEL、および RTCEN ビットは、バックアップドメインにあります。このため、リセット後、これらのビットは書き込み保護されるので、これらを変更するには、*PWR 電源制御レジスタ（PWR_CR）STM32F405xx/07xx および STM32F415xx/17xx* の DBP ビットを先にセットする必要があります。詳細については、*セクション 7.1.1：システムリセット（208 ページ）* を参照してください。これらのビットは、バックアップドメインリセット後にのみリセットされます（*セクション 7.1.3：バックアップドメインリセット* を参照してください）。内部または外部リセットは、これらのビットに影響しません。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															BDRST
															rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RTCEN	予約済み					RTCSEL[1:0]		予約済み					LSEBYP	LSERDY	LSEON
rw						rw	rw						rw	r	rw

ビット 31:17 予約済み、リセット値に保持する必要があります。

ビット 16 **BDRST**：バックアップドメインソフトウェアリセット
ソフトウェアによってセット／クリアされます。
0：リセットは有効ではありません。
1：バックアップドメイン全体をリセットします。

注： BKPSRAM はこのリセットに影響されません。BKPSRAM をリセットするには、保護レベルの 1 から 0 への変更が要求されたときにフラッシュインタフェースを使用する必要があります。

ビット 15 **RTCEN**：RTC クロックイネーブル
ソフトウェアによってセット／クリアされます。
0：RTC クロック無効
1：RTC クロック有効

ビット 14:10 予約済み、リセット値に保持する必要があります。

ビット 9:8 **RTCSEL**[1:0]：RTC クロックソース選択
RTC のクロックソースを選択するために、ソフトウェアによってセットされます。RTC クロックソースが選択されると、バックアップドメインがリセットされない限り、変更はできません。BDRST ビットを使用して、リセットできます。
00：クロックなし
01：LSE オシレータクロックが RTC クロックとして使用されます。
10：LSI オシレータクロックが RTC クロックとして使用されます。
11：プログラマブルプリスケーラ（RCC クロック設定レジスタ（RCC_CFGR）の RTCPRE[4:0] ビットを使用して選択）で分周された HSE オシレータクロックが RTC クロックとして使用されます。

ビット 7:3 予約済み、リセット値に保持する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 2 **LSEBYP**：外部低速オシレータバイパス

オシレータをバイパスするために、ソフトウェアによってセット／クリアされます。このビットに書き込めるのは、LSE クロックが無効のときだけです。

0：LSE オシレータはバイパスされません。

1：LSE オシレータはバイパスされます。

ビット 1 **LSERDY**：外部低速オシレータレディ

外部 32 kHz オシレータが安定していることを示すために、ハードウェアによってセット／クリアされます。LSEON ビットがクリアされた後、LSERDY は、外部低速オシレータクロックの 6 サイクル後にローになります。

0：LSE クロックはレディ状態ではありません。

1：LSE クロックはレディ状態です。

ビット 0 **LSEON**：外部低速オシレータイネーブル

ソフトウェアによってセット／クリアされます。

0：LSE クロックはオフです。

1：LSE クロックはオンです。

7.3.22　RCC クロック制御およびステータスレジスタ（RCC_CSR）

アドレスオフセット：0x74

リセット値：0x0E00 0000。システムリセットによってリセットされます。ただし、リセットフラグは電源リセット時のみリセットされます。

アクセス：0 ≤ ウェイトステート ≤ 3、ワード、ハーフワード、およびバイトアクセス

このレジスタへの連続したアクセスの場合、ウェイトステートが挿入されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
LPWR RSTF	WWDG RSTF	IWDG RSTF	SFT RSTF	POR RSTF	PIN RSTF	BORRST F	RMVF	予約済み							
rw	rw	rw	rw	rw	rw	rw	rw								

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み														LSIRDY	LSION
														r	rw

ビット 31 **LPWRRSTF**：低電力リセットフラグ

低電力管理リセットが発生したときに、ハードウェアによってセットされます。

RMVF ビットに 1 を書き込むことによってクリアされます。

0：低電力管理リセットは発生していません。

1：低電力管理リセットが発生しました。

低電力管理リセットの詳細については、*低電力管理リセット*を参照してください。

ビット 30 **WWDGRSTF**：ウィンドウ型ウォッチドッグリセットフラグ

ウィンドウ型ウォッチドッグリセットが発生したときに、ハードウェアによってセットされます。

RMVF ビットに 1 を書き込むことによってクリアされます。

0：ウィンドウ型ウォッチドッグリセットは発生していません。

1：ウィンドウ型ウォッチドッグリセットが発生しました。

ビット 29 **IWDGRSTF**：独立型ウォッチドッグリセットフラグ

V_{DD} ドメインから独立型ウォッチドッグリセットが発生したときに、ハードウェアによってセットされます。

RMVF ビット 1 をに書き込むことによってクリアされます。

0：ウォッチドッグリセットは発生していません。

1：ウォッチドッグリセットが発生しました。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 28 **SFTRSTF**：ソフトウェアリセットフラグ

ソフトウェアリセットが発生したときに、ハードウェアによってセットされます。
RMVF ビットに 1 を書き込むことによってクリアされます。
0：ソフトウェアリセットは発生していません。
1：ソフトウェアリセットが発生しました。

ビット 27 **PORRSTF**：POR/PDR リセットフラグ

POR/PDR リセットが発生したときに、ハードウェアによってセットされます。
RMVF ビットに 1 を書き込むことによってクリアされます。
0：POR/PDR リセットは発生していません。
1：POR/PDR リセットが発生しました。

ビット 26 **PINRSTF**：PIN リセットフラグ

NRST ピンに外部リセット信号が入力され、リセットが発生したときに、ハードウェアによってセットされます。
RMVF ビットに書き込むことによってクリアされます。
0：NRST ピンからのリセットは発生していません。
1：NRST ピンからリセットが発生しました。

ビット 25 **BORRSTF**：BOR リセットフラグ

POR/PDR リセットまたは BOR リセットが発生したときに、ハードウェアによってセットされます。
RMVF ビットに 1 を書き込むことによりソフトウェアによってクリアされます。
0：POR/PDR リセットまたは BOR リセットは発生していません。
1：POR/PDR リセットまたは BOR リセットが発生しました。

ビット 24 **RMVF**：リセットフラグ解除

リセットフラグをクリアするために、ソフトウェアによってセットされます。
0：影響ありません。
1：リセットフラグをクリアします。

ビット 23:2 予約済み、リセット値に保持する必要があります。

ビット 1 **LSIRDY**：内部低速オシレータレディ

内部 RC 40 kHz オシレータが安定していることを示すために、ハードウェアによってセット／クリアされます。LSION ビットがクリアされた後、LSIRDY は、LSI オシレータクロックの 3 サイクル後にローになります。
0：LSI RC オシレータはレディ状態ではありません。
1：LSI RC オシレータはレディ状態です。

ビット 0 **LSION**：内部低速オシレータイネーブル

ソフトウェアによってセット／クリアされます。
0：LSI RC オシレータオフ
1：LSI RC オシレータオン

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

7.3.23　RCC スペクトル拡散クロック生成レジスタ（RCC_SSCGR）

アドレスオフセット：0x80

リセット値：0x0000 0000

アクセス：ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

スペクトル拡散クロック生成は、メイン PLL に対してのみ利用可能です。

RCC_SSCGR レジスタは、メイン PLL が有効になる前、またはメイン PLL が無効になった後に書き込む必要があります。

注：　PLL スペクトル拡散クロック生成(SSCG)特性の詳細については、デバイスのデータシートの「電気特性」のセクションを参照してください。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
SSCGEN	SPREADSEL	予約済み		INCSTEP											
rw	rw			rw	rw	rw		rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
INCSTEP			MODPER												
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31　**SSCGEN**：スペクトル拡散変調イネーブル
ソフトウェアによってセット／クリアされます。
0：スペクトル拡散変調無効（CR[24]=PLLON ビットをクリアした後に書き込みます）
1：スペクトル拡散変調有効（CR[24]=PLLON ビットをセットする前に書き込みます）

ビット 30　**SPREADSEL**：拡散選択
ソフトウェアによってセット／クリアされます。
CR[24]=PLLON ビットをセットする前に書き込みます。
0：センタースプレッド
1：ダウンスプレッド

ビット 29:28　予約済み、リセット値に保持する必要があります。

ビット 27:13　**INCSTEP**：インクリメントステップ
変調プロファイル（振幅）の設定ビットです。
ソフトウェアによってセット／クリアされます。CR[24]=PLLON ビットをセットする前に書き込みます。

ビット 12:0　**MODPER**：変調周期
変調プロファイル（周期）の設定ビットです。
ソフトウェアによってセット／クリアされます。CR[24]=PLLON ビットをセットする前に書き込みます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

7.3.24 RCC PLLI2S 設定レジスタ（RCC_PLLI2SCFGR）

アドレスオフセット：0x84

リセット値：0x2000 3000

アクセス：ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

このレジスタは、次の式に従って PLLI2S クロック出力を設定するために使用します。

- $f_{(VCO\ クロック)} = f_{(PLLI2S\ クロック入力)} \times (PLLI2SN / PLLM)$
- $f_{(PLL\ I2S\ クロック出力)} = f_{(VCO\ クロック)} / PLLI2SR$

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み	PLLI2SR2	PLLI2SR1	PLLI2SR0	予約済み											
	rw	rw	rw												

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み	PLLI2SN8	PLLI2SN7	PLLI2SN6	PLLI2SN5	PLLI2SN4	PLLI2SN3	PLLI2SN2	PLLI2SN1	PLLI2SN0	予約済み					
	rw	rw	rw	rw	rw	rw	rw	rw	rw						

ビット 31 予約済み、リセット値に保持する必要があります。

ビット 30:28 **PLLI2SR**：I2S クロックのための PLLI2S 分周比

I2S クロック周波数を制御するために、ソフトウェアによってセット／クリアされます。これらのビットに書き込めるのは、PLLI2S が無効であるときだけです。標準クリスタル使用時の誤差が 0.3 %、オーディオクリスタル使用時の誤差が 0 % となるよう、分周比は I2S ペリフェラル内のプリスケーラ値に従って選択する必要があります。I2S クロック周波数と精度に関する詳細については、I2S の章の *セクション 28.4.4：クロックジェネレータ*を参照してください。

注意： I2S が正しく動作するには、192 MHz 以下の周波数に設定する必要があります。

I2S クロック周波数 = VCO 周波数 / PLLI2SR、ここで $2 \le PLLI2SR \le 7$

000：PLLI2SR = 0、誤った設定

001：PLLI2SR = 1、誤った設定

010：PLLI2SR = 2

...

111：PLLI2SR = 7

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 27:15 予約済み、リセット値に保持する必要があります。

ビット 14:6 **PLLI2SN**：VCOのための PLLI2S 逓倍数

VCO の逓倍数を制御するために、ソフトウェアによってセット／クリアされます。これらのビットに書き込めるのは、PLLI2S が無効なときだけです。これらのビットの書き込みでは、ハーフワードおよびワード単位でのアクセスのみが可能です。

注意： ***これらのビットは、VCO 出力周波数が 192 MHz から 432 MHz の間になるように、ソフトウェアで正しく設定する必要があります。***

VCO 出力周波数 = VCO 入力周波数 × PLLI2SN、ここで 192 ≤ PLLI2SN ≤ 432

000000000：PLLI2SN = 0、誤った設定
000000001：PLLI2SN = 1、誤った設定
...
011000000：PLLI2SN = 192
011000001：PLLI2SN = 193
011000010：PLLI2SN = 194
...
110110000：PLLI2SN = 432
110110000：PLLI2SN = 433、誤った設定
...
111111111：PLLI2SN = 511、誤った設定

ビット 5:0 予約済み、リセット値に保持する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

7.3.25 RCC レジスタマップ

表 35 に、レジスタマップとリセット値を示します。

表 35. RCC レジスタマップとリセット値

アドレスオフセット	レジスタ名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	RCC_CR	予約済み				PLL I2SRDY	PLL I2SON	PLL RDY	PLL ON	予約済み				CSSON	HSEBYP	HSERDY	HSEON	HSICAL 7	HSICAL 6	HSICAL 5	HSICAL 4	HSICAL 3	HSICAL 2	HSICAL 1	HSICAL 0	HSITRIM 4	HSITRIM 3	HSITRIM 2	HSITRIM 1	HSITRIM 0	予約済み	HSIRDY	HSION
0x04	RCC_PLLCFGR	予約済み				PLLQ 3	PLLQ 2	PLLQ 1	PLLQ 0	予約済み	PLLSRC	予約済み				PLLP 1	PLLP 0	予約済み	PLLN 8	PLLN 7	PLLN 6	PLLN 5	PLLN 4	PLLN 3	PLLN 2	PLLN 1	PLLN 0	PLLM 5	PLLM 4	PLLM 3	PLLM 2	PLLM 1	PLLM 0
0x08	RCC_CFGR	MCO2 1	MCO2 0	MCO2PRE2	MCO2PRE1	MCO2PRE0	MCO1PRE2	MCO1PRE1	MCO1PRE0	I2SSRC	MCO1 1	MCO1 0	RTCPRE 4	RTCPRE 3	RTCPRE 2	RTCPRE 1	RTCPRE 0	PPRE2 2	PPRE2 1	PPRE2 0	PPRE1 2	PPRE1 1	PPRE1 0	予約済み		HPRE 3	HPRE 2	HPRE 1	HPRE 0	SWS 1	SWS 0	SW 1	SW 0	
0x0C	RCC_CIR	予約済み								CSSC	予約済み	PLLI2SRDYC	PLLRDYC	HSERDYC	HSIRDYC	LSERDYC	LSIRDYC	予約済み		PLLI2SRDYIE	PLLRDYIE	HSERDYIE	HSIRDYIE	LSERDYIE	LSIRDYIE	CSSF	予約済み	PLLI2SRDYF	PLLRDYF	HSERDYF	HSIRDYF	LSERDYF	LSIRDYF
0x10	RCC_AHB1RSTR	予約済み		OTGHSRST	予約済み			ETHMACRST	予約済み	DMA2RST	DMA1RST	予約済み									CRCRST	予約済み			GPIOIRST	GPIOHRST	GPIOGRST	GPIOFRST	GPIOERST	GPIODRST	GPIOCRST	GPIOBRST	GPIOARST
0x14	RCC_AHB2RSTR	予約済み																								OTGFSRST	RNGRST	HSAHRST	CRYPRST	予約済み			DCMIRST
0x18	RCC_AHB3RSTR	予約済み																															FSMCRST
0x1C	予約済み	予約済み																															
0x20	RCC_APB1RSTR	予約済み		DACRST	PWRRST	予約済み	CAN2RST	CAN1RST	予約済み	I2C3RST	I2C2RST	I2C1RST	UART5RST	UART4RST	UART3RST	UART2RST	予約済み	SPI3RST	SPI2RST	予約済み		WWDGRST	予約済み		TIM14RST	TIM13RST	TIM12RST	TIM7RST	TIM6RST	TIM5RST	TIM4RST	TIM3RST	TIM2RST
0x24	RCC_APB2RSTR	予約済み													TIM11RST	TIM10RST	TIM9RST	予約済み	SYSCFGRST	予約済み	SPI1RST	SDIORST	予約済み		ADCRST	予約済み		USART6RST	USART1RST	予約済み		TIM8RST	TIM1RST
0x28	予約済み	予約済み																															
0x2C	予約済み	予約済み																															
0x30	RCC_AHB1ENR	予約済み	OTGHSULPIEN	OTGHSEN	ETHMACPTPEN	ETHMACRXEN	ETHMACTXEN	ETHMACEN	予約済み	DMA2EN	DMA1EN	CCMDATARAMEN	予約済み		BKPSRAMEN	予約済み					CRCEN	予約済み			GPIOIEN	GPIOHEN	GPIOGEN	GPIOFEN	GPIOEEN	GPIODEN	GPIOCEN	GPIOBEN	GPIOAEN
0x34	RCC_AHB2ENR	予約済み																								OTGFSEN	RNGEN	HASHEN	CRYPEN	予約済み			DCMIEN
0x38	RCC_AHB3ENR	予約済み																															FSMCEN
0x3C	予約済み	予約済み																															
0x40	RCC_APB1ENR	予約済み		DACEN	PWREN	予約済み	CAN2EN	CAN1EN	予約済み	I2C3EN	I2C2EN	I2C1EN	UART5EN	UART4EN	USART3EN	USART2EN	予約済み	SPI3EN	SPI2EN	予約済み		WWDGEN	予約済み		TIM14EN	TIM13EN	TIM12EN	TIM7EN	TIM6EN	TIM5EN	TIM4EN	TIM3EN	TIM2EN
0x44	RCC_APB2ENR	予約済み													TIM11EN	TIM10EN	TIM9EN	予約済み	SYSCFGEN	予約済み	SPI1EN	SDIOEN	ADC3EN	ADC2EN	ADC1EN	予約済み		USART6EN	USART1EN	予約済み		TIM8EN	TIM1EN
0x48	予約済み	予約済み																															
0x4C	予約済み	予約済み																															

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 35.　RCC レジスタマップとリセット値（続き）

アドレスオフセット	レジスタ名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x50	RCC_AHB1LPENR	予約済み	OTGHSULPILPEN	OTGHSLPEN	ETHMACPTPLPEN	ETHMACRXLPEN	ETHMACTXLPEN	ETHMACLPEN	予約済み		DMA2LPEN	DMA1LPEN	予約済み		BKPSRAMLPEN	SRAM2LPEN	SRAM1LPEN	FLITFLPEN	予約済み		CRCLPEN	予約済み			GPIOILPEN	GPIOHLPEN	GPIOGLPEN	GPIOFLPEN	GPIOELPEN	GPIODLPEN	GPIOCLPEN	GPIOBLPEN	GPIOALPEN
0x54	RCC_AHB2LPENR	予約済み																								OTGFSLPEN	RNGLPEN	HASHLPEN	CRYPLPEN	予約済み			DCMILPEN
0x58	RCC_AHB3LPENR	予約済み																															FSMCLPEN
0x5C	予約済み	予約済み																															
0x60	RCC_APB1LPENR	予約済み		DACLPEN	PWRLPEN	予約済み	CAN2LPEN	CAN1LPEN	予約済み	I2C3LPEN	I2C2LPEN	I2C1LPEN	UART5LPEN	UART4LPEN	USART3LPEN	USART2LPEN	予約済み	SPI3LPEN	SPI2LPEN	予約済み		WWDGLPEN	予約済み			TIM14LPEN	TIM13LPEN	TIM12LPEN	TIM7LPEN	TIM6LPEN	TIM5LPEN	TIM4LPEN	TIM3LPEN	TIM2LPEN
0x64	RCC_APB2LPENR	予約済み													TIM11LPEN	TIM10LPEN	TIM9LPEN	予約済み	SYSCFGLPEN	予約済み	SPI1LPEN	SDIOLPEN	ADC3LPEN	ADC2LPEN	ADC1LPEN	予約済み		USART6LPEN	USART1LPEN	予約済み		TIM8LPEN	TIM1LPEN
0x68	予約済み	予約済み																															
0x6C	予約済み	予約済み																															
0x70	RCC_BDCR	予約済み															BDRST	RTCEN	予約済み				RTCSEL 1	RTCSEL 0	予約済み						LSEBYP	LSERDY	LSEON
0x74	RCC_CSR	LPWRRSTF	WWDGRSTF	WDGRSTF	SFTRSTF	PORRSTF	PADRSTF	BORRSTF	RMVF	予約済み																						LSIRDY	LSION
0x78	予約済み	予約済み																															
0x7C	予約済み	予約済み																															
0x80	RCC_SSCGR	SSCGEN	SPREADSEL	予約済み					INCSTEP												MODPER												
0x84	RCC_PLLI2SCFGR	予約済み	PLLI2SRx						予約済み										PLLI2SNx														

レジスタ境界アドレスについては、*表 2（64 ページ）*を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

8 汎用 I/O（GPIO）

このセクションは、特に指定がない限り、STM32F4xx ファミリ全体に適用されます。

8.1 GPIO の概要

各汎用 I/O ポートにはそれぞれ 4 つの 32 ビット設定レジスタ（GPIOx_MODER、GPIOx_OTYPER、GPIOx_OSPEEDR、GPIOx_PUPDR）、2 つの 32 ビットデータレジスタ（GPIOx_IDR、GPIOx_ODR）、32 ビットセット／リセットレジスタ（GPIOx_BSRR）、32 ビットロックレジスタ（GPIOx_LCKR）、2 つの 32 ビットオルタネート機能選択レジスタ（GPIOx_AFRH、GPIOx_AFRL）があります。

8.2 GPIO の主な機能

- 最大 16 個の I/O を制御
- 出力状態：プッシュプルまたはオープンドレイン + プルアップ／プルダウン
- 出力データレジスタ（GPIOx_ODR）またはペリフェラル（オルタネート機能出力）からの出力データ
- 各 I/O の出力スピード選択
- 入力状態：フローティング、プルアップ／プルダウン、アナログ
- 入力データレジスタ（GPIOx_IDR）またはペリフェラル（オルタネート機能入力）への入力データ
- GPIOx_ODR へのビット単位の書き込みアクセス用のビットセット／リセットレジスタ（GPIOx_BSRR）
- I/O 設定を凍結可能にするロック機構（GPIOx_LCKR）
- アナログ機能
- オルタネート機能入力／出力選択レジスタ（入出力ごとに最大 16 のオルタネート機能）
- 2 クロックサイクルで変化可能な高速トグル
- I/O ピンを GPIO またはいくつかのペリフェラル機能の 1 つとして使用することができる柔軟性の高いピンの多重化

8.3 GPIO 機能の説明

各 I/O ポートの特定のハードウェア特性については、データシートに記載されています。汎用 I/O（GPIO）ポートの各ポートビットは、ソフトウェアによって以下の動作モードを個別に設定できます。

- 入力フローティング
- 入力プルアップ
- 入力プルダウン
- アナログ
- プルアップまたはプルダウン機能を持つ出力オープンドレイン
- プルアップまたはプルダウン機能を持つ出力プッシュプル
- プルアップまたはプルダウン機能を持つオルタネート機能プッシュプル
- プルアップまたはプルダウン機能を持つオルタネート機能オープンドレイン

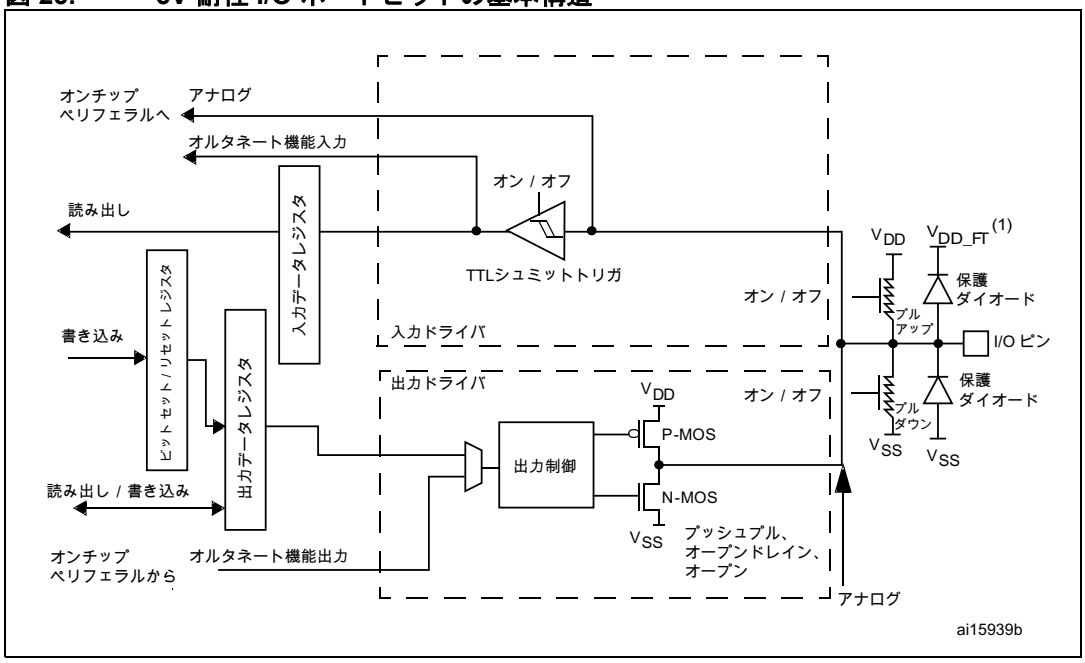
各 I/O ポートビットは自由にプログラミングできますが、I/O ポートレジスタには 32 ビットワード、ハーフワード、またはバイト単位でアクセスする必要があります。GPIOx_BSRR レジスタを使用す

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ると、任意の GPIO レジスタにビット単位の読み出し／変更アクセスを行うことができます。これにより、読み出しと変更アクセスの間に IRQ が発生するリスクを回避できます。

図 25 に 5 V トレラント I/O ポートビットの基本構造を示します。*表 36* には、実行可能なポートビットの設定を示します。

図 25. 5V 耐性 I/O ポートビットの基本構造



1. V_{DD_FT} は 5 V 耐性 I/O に固有の電位であり V_{DD} とは異なります。

表 36. ポートビット設定表(1)

MODER(i) [1:0]	OTYPER(i)	OSPEEDR(i) [B:A]	PUPDR(i) [1:0]		I/O 設定	
01	0	SPEED [B:A]	0	0	GP 出力	PP
	0		0	1	GP 出力	PP + PU
	0		1	0	GP 出力	PP + PD
	0		1	1	予約済み	
	1		0	0	GP 出力	OD
	1		0	1	GP 出力	OD + PU
	1		1	0	GP 出力	OD + PD
	1		1	1	予約済み（GP 出力 OD）	

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 36. ポートビット設定表(1)（続き）

MODER(i) [1:0]	OTYPER(i)	OSPEEDR(i) [B:A]		PUPDR(i) [1:0]		I/O 設定	
10	0	SPEED [B:A]		0	0	AF	PP
	0			0	1	AF	PP + PU
	0			1	0	AF	PP + PD
	0			1	1	予約済み	
	1			0	0	AF	OD
	1			0	1	AF	OD + PU
	1			1	0	AF	OD + PD
	1			1	1	予約済み	
00	x	x	x	0	0	入力	フローティング
	x	x	x	0	1	入力	PU
	x	x	x	1	0	入力	PD
	x	x	x	1	1	予約済み(入力フローティング)	
11	x	x	x	0	0	入力／出力	アナログ
	x	x	x	0	1	予約済み	
	x	x	x	1	0		
	x	x	x	1	1		

1. GP = 汎用、PP = プッシュプル、PU = プルアップ、PD = プルダウン、OD = オープンドレイン、AF = オルタネート機能

8.3.1 汎用 I/O（GPIO）

リセット中とリセット直後は、オルタネート機能は有効ではなく、I/O ポートは入力フローティングモードに設定されています。

リセット後、デバッグピンはオルタネート機能のプルアップ／プルダウンに設定されています。

- PA15 : JTDI プルアップ
- PA14: JTCK/SWCLK プルダウン
- PA13: JTMS/SWDAT プルアップ
- PB4: NJTRST プルアップ
- PB3: JTDO フローティング状態

ピンが出力として設定されたときには、出力データレジスタ（GPIOx_ODR）に書き込まれた値が I/O ピンに出力されます。出力ドライバをプッシュプルモードまたはオープンドレインモードで使用することができます（0 を出力すると、N-MOS のみが有効になります）。

入力データレジスタ（GPIOx_IDR）は、AHB1 クロックサイクルごとに、I/O ピン上のデータをキャプチャします。

すべての GPIO ピンに、内部ウィークプルアップ抵抗とウィークプルダウン抵抗があり、GPIOx_PUPDR レジスタの値によってこれらを有効化/無効化できます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

8.3.2 I/O ピンマルチプレクサとマッピング

本マイクロコントローラの I/O ピンは、マルチプレクサを通してオンボードのペリフェラル／モジュールに接続され、一度に 1 つのペリフェラルオルタネート機能（AF）のみが 1 つの I/O ピンに接続可能となっています。この方法により、同じ I/O ピンを共有するペリフェラル間での競合を無くすことができます。

各 I/O ピンは、16 のオルタネート機能入力（AF0 ～ AF15）を持つマルチプレクサを持ち、これらの入力は、GPIOx_AFRL（ピン 0 ～ 7）と GPIOx_AFRH（ピン 8 から 15）レジスタを通して設定することができます。

- リセット後、すべての I/O はシステムのオルタネート機能 0（AF0）に接続されます。
- ペリフェラルのオルタネート機能は AF1 ～ AF13 に配置されます
- Cortex™-M4 with FPU EVENTOUT は AF15 に配置されています

この仕組みを次の *図 26* に示します。

この柔軟な I/O 多重化アーキテクチャに加え、各ペリフェラルには異なる I/O ピンに配置されるオルタネート機能を持ち、より小型のパッケージ内で、使用可能なペリフェラル数を最適化しています。

I/O を任意の設定で使用するには、次の手順に従います。

- **システム機能**

  I/O を AF0 に接続し、使用する機能に応じて設定します。

  – JTAG/SWD：各デバイスリセット後、これらのピンはデバッガーホストが直ちに使用できる専用ピンとして割り当てられます（GPIO コントローラでは制御されません）

  – RTC_REFIN：このピンは入力フローティングモードに設定する必要があります

  – MCO1 および MCO2： これらのピンはオルタネート機能モードに設定する必要があります。

注： ***JTAG/SWD ピンの一部またはすべてを無効にすることができるため、該当するピンを GPIO としても使用できます。***

詳細については *セクション 7.2.10：クロック信号出力* および *セクション 6.2.10：クロック信号出力* を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 37. フレキシブルな SWJ-DP ピン配置

使用可能なデバッグポート	SWJ I/O ピン配置				
	PA13 / JTMS/ SWDIO	PA14 / JTCK/ SWCLK	PA15 / JTDI	PB3 / JTDO	PB4/ NJTRST
全 SWJ（JTAG-DP + SW-DP）- リセット状態	X	X	X	X	X
全 SWJ（JTAG-DP + SW-DP）、NJTRST なし	X	X	X	X	
JTAG-DP 無効、SW-DP 有効	X	X			
JTAG-DP 無効、SW-DP 無効	解放				

- **GPIO**

  必要とする I/O を、GPIOx_MODER レジスタで出力または入力として設定します。

- **ペリフェラルオルタネート機能**

  ADC および DAC については、必要とする I/O をGPIOx_MODER レジスタでアナログとして設定します。

  他のペリフェラルでは次のように設定します。

  – 必要とする I/O を、GPIOx_MODER レジスタでオルタネート機能として設定します。

  – 出力タイプ、プルアップ／プルダウン、出力速度をそれぞれ GPIOx_OTYPER、GPIOx_PUPDR、GPIOx_OSPEEDER レジスタによって選択します。

  – I/O を GPIOx_AFRL または GPIOx_AFRH レジスタで、必要とする AFx に接続します。

- **EVENTOUT**

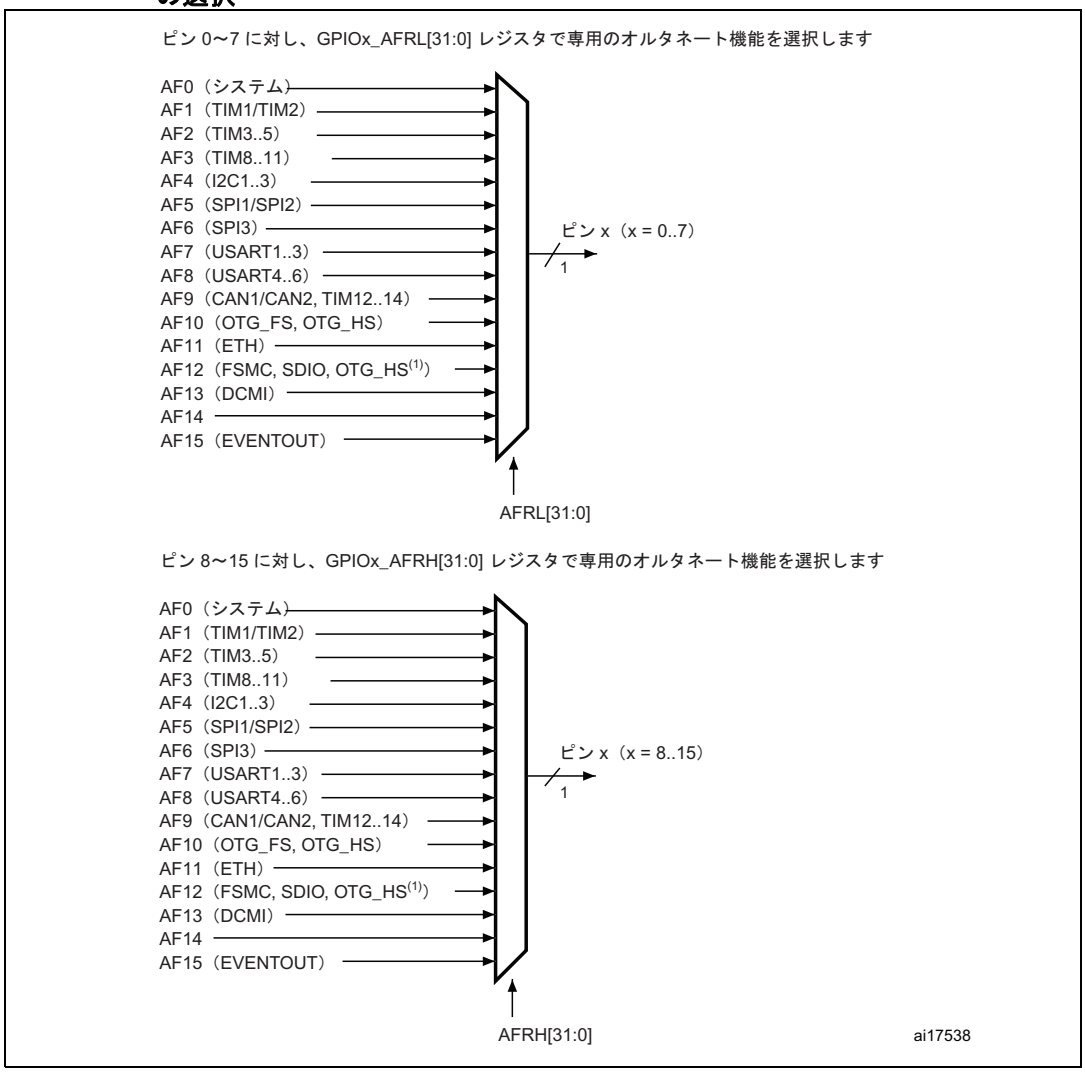
  AF15 に接続することで、I/O ピンを Cortex™-M4 with FPU EVENTOUT 信号を出力する用途に設定します。

*注： **EVENTOUT は次の I/O ピンには配置されません：PC13、PC14、PC15、PH0、PH1、PI8。***

システムおよびペリフェラルのオルタネート機能 I/O ピンの詳細配置については、データシートの「オルタネート機能配置」表を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

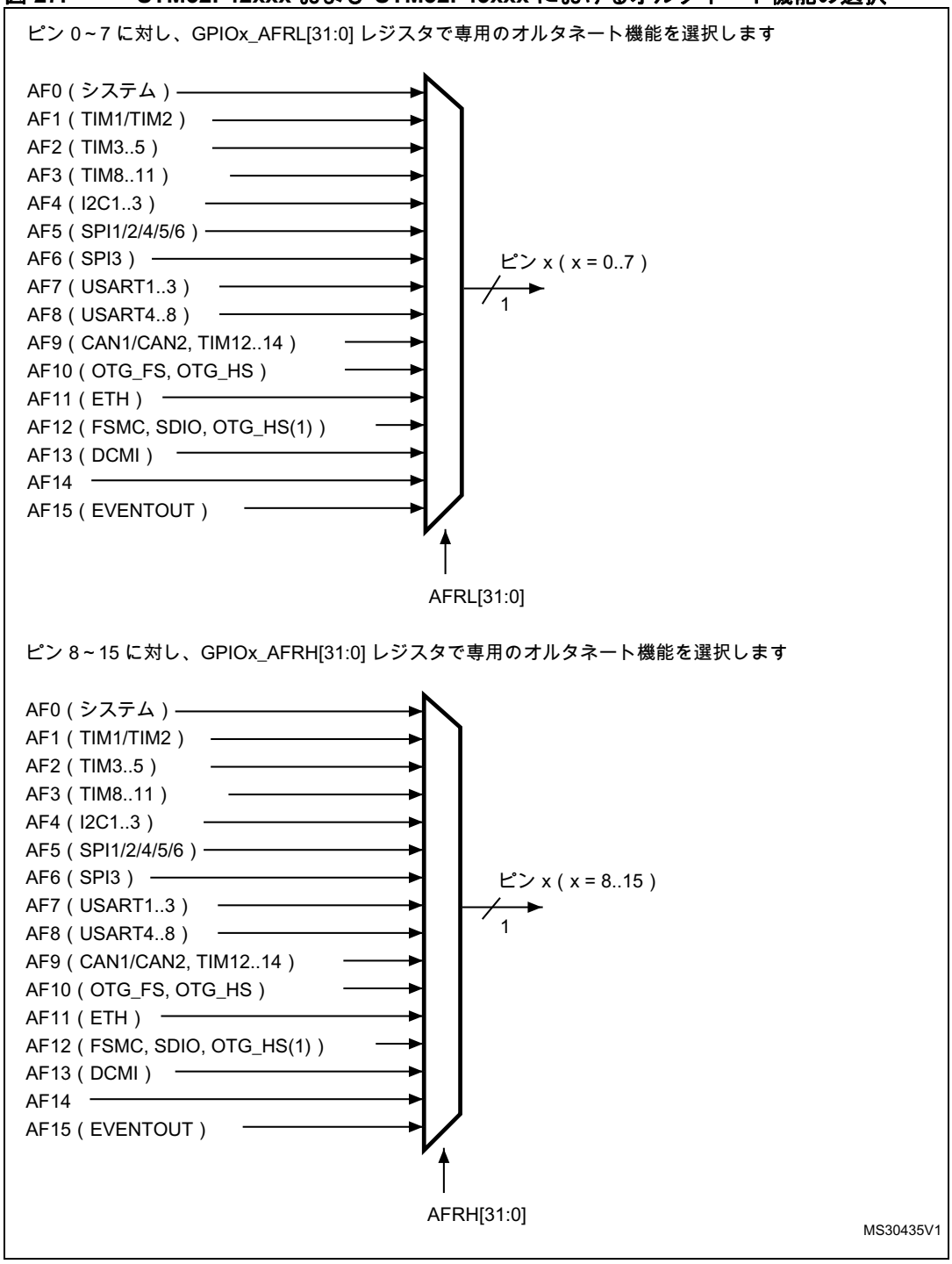
図 26. STM32F405xx/07xx および STM32F415xx/17xx における オルタネート機能の選択



1. FS で設定します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 27. STM32F42xxx および STM32F43xxx におけるオルタネート機能の選択



1. FS で設定します。

この資料は、STMicroelectronics NV 並びにその子会社（以下 ST）が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

8.3.3 I/O ポート制御レジスタ

各 GPIO には 32 ビットメモリマップド制御レジスタが 4 つ（GPIOx_MODER、GPIOx_OTYPER、GPIOx_OSPEEDR、GPIOx_PUPDR）あり、最大 16 個の I/O を設定します。GPIOx_MODER レジスタは I/O 方向（入力、出力、AF、アナログ）を選択するために使用されます。GPIOx_OTYPER および GPIOx_OSPEEDR レジスタは、出力タイプ（プッシュプルまたはオープンドレイン）および速度を選択するために使用されます（I/O の方向がどちらであっても、I/O 速度ピンは、対応する GPIOx_OSPEEDR レジスタの各ビットに直接接続されています）。I/O の方向がどちらであっても、GPIOx_PUPDR レジスタは、プルアップ／プルダウンを選択するために使用されます。

8.3.4 I/O ポートデータレジスタ

各 GPIO には、16 ビットメモリマップドデータレジスタが 2 つあります。入力データレジスタ（GPIOx_IDR）および出力データレジスタ（GPIOx_ODR）です。GPIOx_ODR は出力されるデータを格納し、読み出し/書き込みアクセスが可能です。I/O を通して入力されるデータは読み出し専用の入力データレジスタ（GPIOx_IDR）に格納されます。

これらのレジスタの説明は *セクション 8.4.5：GPIO ポート入力データレジスタ（GPIOx_IDR）(x = A..I/J/K)* および *セクション 8.4.6：GPIO ポート出力データレジスタ (GPIOx_ODR) (x = A..I/J/K)* を参照してください。

8.3.5 I/O データのビット単位の操作

ビットセットリセットレジスタ（GPIOx_BSRR）は 32 ビットレジスタで、アプリケーションが出力データレジスタ（GPIOx_ODR）の各ビットをセット／リセットできるようにします。ビットセットリセットレジスタは GPIOx_ODR の 2 倍のサイズです。

GPIOx_ODR の各ビットには GPIOx_BSRR の 2 つの制御ビット BSRR(i) と BSRR(i+SIZE) が対応します。ビット BSRR(i) に 1 を書き込むと、対応する ODR(i) ビットが**セット**されます。ビット BSRR(i+SIZE) に 1 を書き込むと、対応する ODR(i) ビットが**リセット**されます。

GPIOx_BSRR のいかなるビットに 0 を書き込んでも GPIOx_ODR の対応するビットには影響しません。仮に、GPIOx_BSRR のビットに対してセットおよびリセットの両方を実行しようとした場合、セット動作が優先されます。

GPIOx_BSRR レジスタを使用した GPIOx_ODR 内の個々のビットの変更には、1 回限りの効果しかなく、GPIOx_ODR ビットを固定するものではありません。GPIOx_ODR のビットは常に直接アクセスすることができます。GPIOx_BSRR レジスタを使用することによって、ビット単位の不可分操作を行うことができます。

GPIOx_ODR をビットレベルでプログラミングするときには、ソフトウェアで割り込みを無効にする必要はありません。1 回の不可分な AHB1 書き込みアクセスで 1 ビットまたは複数ビットを変更することができます。

8.3.6 GPIO ロック機構

GPIOx_LCKR レジスタへ特定の書込みシーケンスを行うことにより、GPIO 制御レジスタをロックすることができます。ロックされるレジスタは GPIOx_MODER、GPIOx_OTYPER、GPIOx_OSPEEDR、GPIOx_PUPDR、GPIOx_AFRL、GPIOx_AFRH です。

GPIOx_LCKR レジスタに書き込むには、ある特定の書き込み／読み出しシーケンスを行う必要があります。このレジスタのビット 16 に適切な LOCK シーケンスを行うと、LCKR[15:0] の値を使用して I/O の設定がロックされます（この書き込みシーケンス中 LCKR[15:0] 値は同じである必要があります）。あるポートビットに LOCK シーケンスが行われると、次のリセットまで、そのポートビットの値を変更できなくなります。GPIOx_LCKR の各ビットによって、制御レジスタ（GPIOx_MODER、

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

GPIOx_OTYPER、GPIOx_OSPEEDR、GPIOx_PUPDR、GPIOx_AFRL、GPIOx_AFRH）の対応するビットがロックされます。

GPIOx_LCKR ビット 16 を [15:0] ビットと同時に設定する必要があるため、この LOCK シーケンス（*セクション 8.4.8：GPIO ポート設定ロックレジスタ（GPIOx_LCKR）（x = A..I/J/K）*を参照）は、GPIOx_LCKR レジスタのワード（32 ビット長）アクセスを使用してのみ実行できます。

詳細については *セクション 8.4.8：GPIO ポート設定ロックレジスタ（GPIOx_LCKR）（x = A..I/J/K）* の LCKR レジスタの説明を参照してください。

8.3.7 I/O オルタネート機能の入力／出力

各 I/O が使用できる 16 個のオルタネート機能入力／出力の 1 つを選択するため、2 つのレジスタが用意されています。これらのレジスタを使用し、必要に応じて、アプリケーションでオルタネート機能を他のピンに接続することができます。
つまり、GPIOx_AFRL および GPIOx_AFRH オルタネート機能レジスタを使用していくつかの使用可能なペリフェラル機能が、各 GPIO に多重化されることになります。こうして各 I/O に使用可能な機能のどれか 1 つをアプリケーションによって選択できます。AF 選択信号はオルタネート機能入力およびオルタネート機能出力に共通なので、1 つの I/O が持つオルタネート機能入力／出力に対し 1 つのチャネルが選択されます。

どの機能が各 GPIO ピンに多重化されているかについてはデータシートを参照してください。

注： ***アプリケーションからは、各 I/O に対して使用可能な機能を一度に 1 つだけ選択することができます。***

8.3.8 外部“割込み／ウェイクアップ”ライン

すべてのポートに外部割り込み機能があります。外部割り込みラインを使用するには、ポートを入力モードに設定する必要があります。*セクション 12.2：外部割り込み／イベントコントローラ（EXTI）* および *セクション 12.2.3：ウェイクアップイベント管理* を参照してください。

8.3.9 入力設定

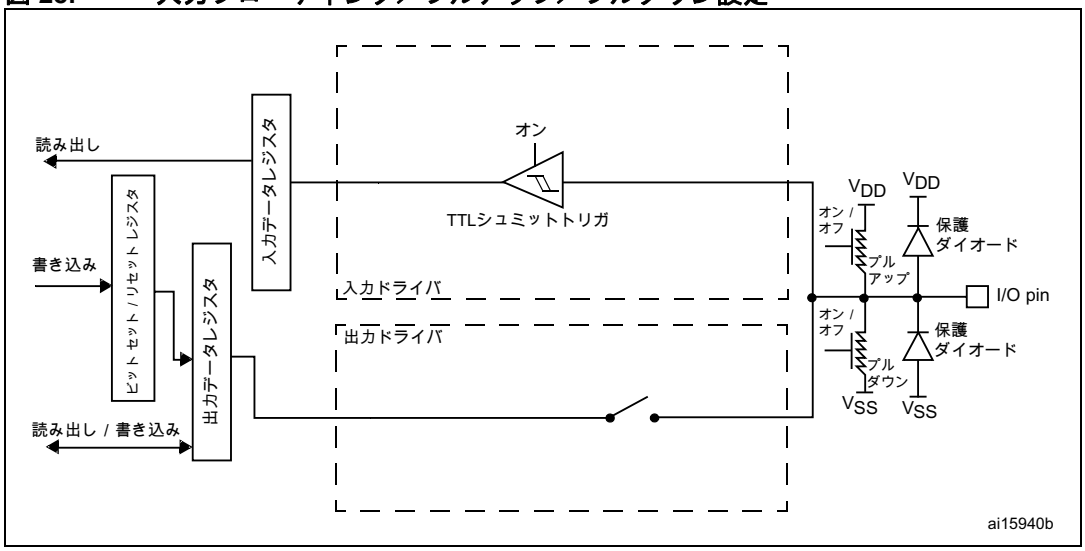
I/O ポートが入力としてプログラムされた場合、

- 出力バッファが無効になります。
- シュミットトリガ入力が有効になります。
- GPIOx_PUPDR レジスタの値に応じて、プルアップおよびプルダウン抵抗が有効になります。
- I/O ピン上のデータは、AHB1 クロックサイクルごとに入力データレジスタにサンプリングされます。
- 入力データレジスタへの読み出しアクセスによって、I/O 状態が得られます。

図 28 は、I/O ポートビットの入力設定を示しています。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 28. 入力フローティング／プルアップ／プルダウン設定



8.3.10 出力設定

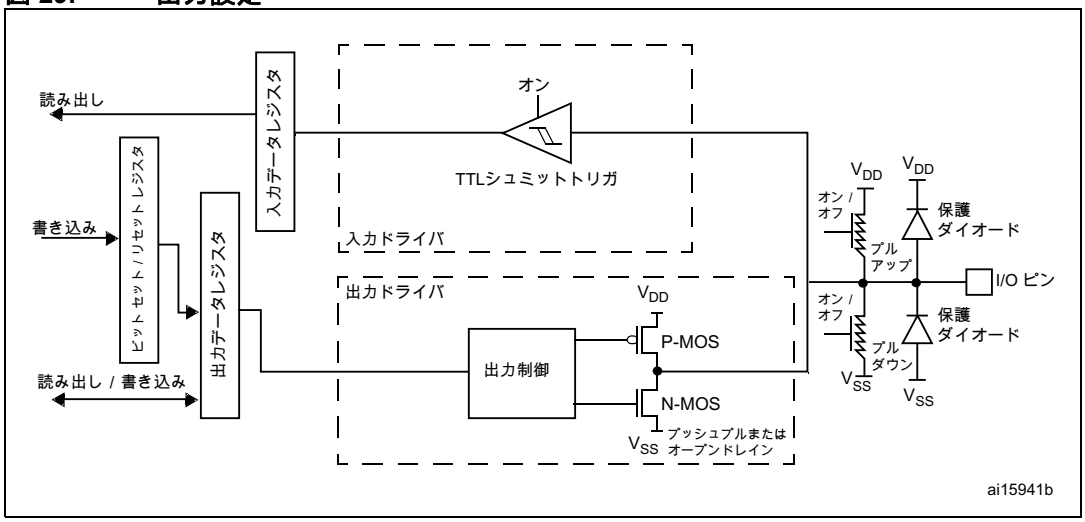
I/O ポートが出力としてプログラムされた場合、

- 出力バッファが有効になります。
  - オープンドレインモード：出力レジスタが“0”のときには N-MOS が有効になり、出力レジスタが“1”のときにはポートはハイインピーダンス状態のままです（P-MOS が有効になることはありません）。
  - プッシュプルモード：出力レジスタが“0”のとき N-MOS が有効になり、“1”のときには P-MOS が有効になります。
- シュミットトリガ入力が有効になります。
- ウィークプルアップ抵抗およびプルダウン抵抗が有効になるか否かは、GPIOx_PUPDR レジスタの値によって決まります。
- I/O ピン上のデータは、AHB1 クロックサイクルごとに入力データレジスタにサンプリングされます。
- 入力データレジスタへの読み出しアクセスによって、I/O 状態が得られます。
- 出力データレジスタの読み出しアクセスによって、最後に書き込まれたデータが得られます。

図 29 は、I/O ポートビットの出力設定を示しています。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 29.　出力設定



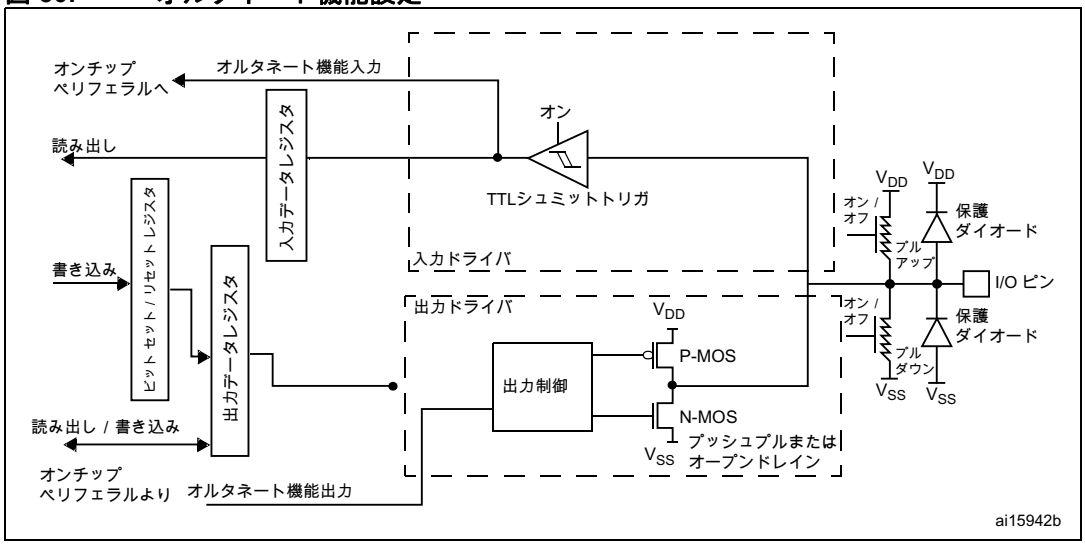
8.3.11　オルタネート機能設定

I/O ポートがオルタネート機能としてプログラムされた場合、

- 出力バッファをオープンドレインまたはプッシュプルとして設定することができます。
- 出力バッファが、ペリフェラル（トランスミッタイネーブルおよびデータ）からの信号で駆動されます。
- シュミットトリガ入力が有効になります。
- ウィークプルアップ抵抗およびプルダウン抵抗がアクティブになるか否かは、GPIOx_PUPDR レジスタの値によって決まります。
- I/O ピン上のデータは、AHB1 クロックサイクルごとに入力データレジスタにサンプリングされます。
- 入力データレジスタへの読み出しアクセスによって、I/O 状態が得られます。

図 30 は、I/O ポートビットのオルタネート機能設定を示しています。

図 30.　オルタネート機能設定



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

8.3.12 アナログ設定

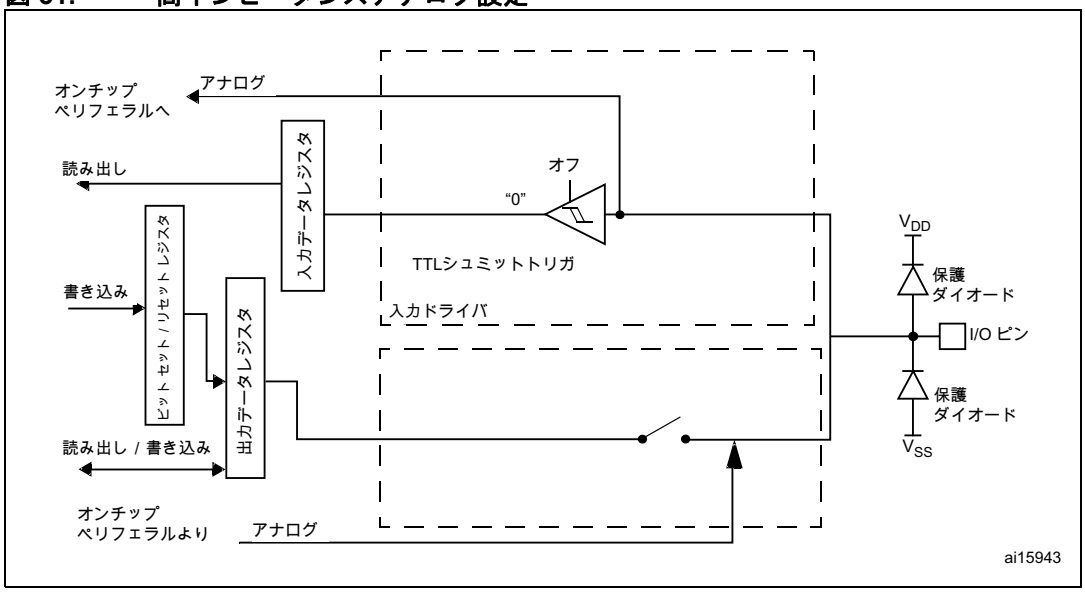
I/O ポートがアナログとしてプログラムされた場合、

- 出力バッファは無効になります。
- シュミットトリガ入力は無効になり、入出力ピンのどのようなアナログ値に対しても消費電力をゼロに抑えます。シュミットトリガ回路の出力は、常に“0”になります。
- ウィークプルアップ抵抗およびプルダウン抵抗は切り離されます。
- 入力データレジスタの読み出しアクセスを行うと、値“0”が得られます。

注： ***アナログ設定では、I/O ピンは 5 V 耐性にできません。***

図 31 は、I/O ポートビットの高インピーダンスアナログン入力設定を示しています。

図 31. 高インピーダンスアナログ設定



8.3.13 OSC32_IN/OSC32_OUT ピンの GPIO PC14/PC15 ポートピンとしての使用

LSE オシレータがオフのとき、LSE オシレータのピン OSC32_IN および OSC32_OUT は、それぞれ汎用 I/O の PC14 および PC15 として使用できます。LSE オシレータがオンのとき、PC14 および PC15 の I/O は、LSE オシレータピン OSC32_IN および OSC32_OUT としてのみ設定できます。この設定は、RCC_BDCR レジスタの LSEON ビットをセットすることによって行います。LSE は、GPIO 機能より優先順位が高くなっています。

注： ***1.2 V ドメインの電源がオフになった（デバイスがSTANDBY モードに入った）とき、またはバックアップドメインに V_{BAT} から電源供給された（V_{DD} が供給されない）とき、PC14/PC15 の GPIO が機能しなくなります。この場合、I/O はアナログ入力モードに設定されます。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

8.3.14 OSC_IN/OSC_OUT ピンの GPIO PH0/PH1 ポートピンとしての使用

HSE オシレータがオフのとき、HSE オシレータのピン OSC_IN/OSC_OUT は、それぞれ汎用 I/O PH0/PH1 として使用できます。（リセット後、HSE オシレータはオフになります）。HSE オシレータがオンのとき、PH0/PH1 I/O は、OSC_IN/OSC_OUT HSE オシレータピンとしてのみ設定できます。この設定は、RCC_CR レジスタの HSEON ビットをセットすることによって行います。HSEは、GPIO 機能より優先順位が高くなっています。

8.3.15 RTC_AF1 および RTC_AF2 オルタネート機能の選択

STM32F4xx には、2 つの GPIO ピン RTC_AF1 および RTC_AF2 があり、タンパまたはタイムスタンプイベントの検出に使用でき、RTC_ALARM または RTC_CALIB の RTC 出力としても使用できます。

- RTC_AF1 (PC13) は次の目的に使用できます。

RTC_ALARM 出力：この出力は RTC_CR レジスタの OSEL[1:0] ビットによって RTC アラーム A、RTC アラーム B、RTC ウェイクアップのいずれかとして使用できます

- RTC_CALIB 出力：この機能は RTC_CR レジスタの COE[23] をセットすることで有効になります
- RTC_TAMP1：タンパイベント検出
- RTC_TS：タイムスタンプイベント検出

RTC_AF2 (PI8) は次の目的に使用できます。

- RTC_TAMP1：タンパイベント検出
- RTC_TAMP2：タンパイベント検出
- RTC_TS：タイムスタンプイベント検出

対応するピンの選択は次のように RTC_TAFCR レジスタを通して行います。

- TAMP1INSEL を使用して、どのピンを RTC_TAMP1 タンパ入力として使用するか選択します。
- TSINSEL を使用して、どのピンを RTC_TS タイムスタンプ入力として使用するか選択します。
- ALARMOUTTYPE を使用して、RTC_ALARM をプッシュプルモード出力とするかオープンドレインモード出力とするか選択します。

出力形式は *表 38* および *表 39* に示す優先順位に従います。

表 38. RTC_AF1 ピン(1)

ピンの設定と機能	RTC_ALARM 有効	RTC_CALIB 有効	タンパ有効	タイムスタンプ有効	TAMP1INSEL TAMPER1 ピン選択	TSINSEL TIMESTAMP ピン選択	ALARMOUTTYPE RTC_ALARM 設定
アラーム出力 OD	1	無視	無視	無視	無視	無視	0
アラーム出力 PP	1	無視	無視	無視	無視	無視	1
較正出力 PP	0	1	無視	無視	無視	無視	無視
TAMPER1 入力フローティング	0	0	1	0	0	無視	無視
TIMESTAMP および TAMPER1 入力フローティング	0	0	1	1	0	0	無視

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 38. RTC_AF1 ピン(1)（続き）

ピンの設定と機能	RTC_ALARM 有効	RTC_CALIB 有効	タンパ有効	タイムスタンプ有効	TAMP1INSEL TAMPER1 ピン選択	TSINSEL TIMESTAMP ピン選択	ALARMOUTTYPE RTC_ALARM 設定
TIMESTAMP 入力フローティング	0	0	0	1	無視	0	無視
標準 GPIO	0	0	0	0	無視	無視	無視

1. OD：オープンドレイン、PP：プッシュプル

表 39. RTC_AF2 ピン

ピンの設定と機能	タンパ有効	タイムスタンプ有効	TAMP1INSEL TAMPER1 ピン選択	TSINSEL TIMESTAMP ピン選択	ALARMOUTTYPE RTC_ALARM 設定
TAMPER1 入力フローティング	1	0	1	無視	無視
TIMESTAMP および TAMPER1 入力フローティング	1	1	1	1	無視
TIMESTAMP 入力フローティング	0	1	無視	1	無視
標準 GPIO	0	0	無視	無視	無視

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

8.4 GPIO レジスタ

このセクションには、GPIO レジスタの詳細な説明が記載されています。
レジスタビット、レジスタアドレスオフセット、リセット値の概要は、*表 40* を参照してください。

GPIO レジスタはバイト（8 ビット）、ハーフワード（16 ビット）、ワード（32 ビット）のいずれかの単位でアクセスできます。

8.4.1 GPIO ポートモードレジスタ（GPIOx_MODER）（x = A..I/J/K）

アドレスオフセット：0x00

リセット値：

- ポート A 0xA800 0000
- ポート B 0x0000 0280
- 他のポート 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
MODER15[1:0]		MODER14[1:0]		MODER13[1:0]		MODER12[1:0]		MODER11[1:0]		MODER10[1:0]		MODER9[1:0]		MODER8[1:0]	
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MODER7[1:0]		MODER6[1:0]		MODER5[1:0]		MODER4[1:0]		MODER3[1:0]		MODER2[1:0]		MODER1[1:0]		MODER0[1:0]	
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 2y:2y+1 **MODERy[1:0]**：Port x 設定ビット（y = 0..15）
これらのビットは、I/O 方向モードを設定するために、ソフトウェアによって書き込まれます。
00：入力（リセット状態）
01：汎用出力モード
10：オルタネート機能モード
11：アナログモード

8.4.2 GPIO ポート出力タイプレジスタ（GPIOx_OTYPER）（x = A..I/J/K）

アドレスオフセット：0x04

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OT15	OT14	OT13	OT12	OT11	OT10	OT9	OT8	OT7	OT6	OT5	OT4	OT3	OT2	OT1	OT0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15:0 **OTy**：ポート x 設定ビット（y = 0 .. 15）
これらのビットは、I/O ポートの出力タイプを設定するために、ソフトウェアによって書き込まれます。
0：出力プッシュプル（リセット状態）
1：出力オープンドレイン

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

8.4.3 GPIO ポート出力スピードレジスタ（GPIOx_OSPEEDR）（x = A..I/J/K）

アドレスオフセット：0x08

リセット値：

- ポート B 0x0000 00C0
- 他のポート 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
OSPEEDR15 [1:0]		OSPEEDR14 [1:0]		OSPEEDR13 [1:0]		OSPEEDR12 [1:0]		OSPEEDR11 [1:0]		OSPEEDR10 [1:0]		OSPEEDR9 [1:0]		OSPEEDR8 [1:0]	
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OSPEEDR7[1:0]		OSPEEDR6[1:0]		OSPEEDR5[1:0]		OSPEEDR4[1:0]		OSPEEDR3[1:0]		OSPEEDR2[1:0]		OSPEEDR1 [1:0]		OSPEEDR0 [1:0]	
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 2y:2y+1 **OSPEEDRy[1:0]**：ポート x 設定ビット（y = 0..15）

これらのビットは、I/O の出力スピードを設定するために、ソフトウェアによって書き込まれます。

00：低速
01：中速
10：準高速
11：高速

注： OSPEEDRy ビット値対 V_{DD} 範囲および外部負荷については製品データシートを参照してください。

8.4.4 GPIO ポート“プルアップ／プルダウン”レジスタ（GPIOx_PUPDR）（x = A..I/J/K）

アドレスオフセット：0x0C

リセット値：

- ポート A 0x6400 0000
- ポート B 0x0000 0100
- 他のポート 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PUPDR15[1:0]		PUPDR14[1:0]		PUPDR13[1:0]		PUPDR12[1:0]		PUPDR11[1:0]		PUPDR10[1:0]		PUPDR9[1:0]		PUPDR8[1:0]	
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PUPDR7[1:0]		PUPDR6[1:0]		PUPDR5[1:0]		PUPDR4[1:0]		PUPDR3[1:0]		PUPDR2[1:0]		PUPDR1[1:0]		PUPDR0[1:0]	
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 2y:2y+1 **PUPDRy[1:0]**：ポート x 設定ビット（y = 0..15）

これらのビットは、I/O のプルアップまたはプルダウンを設定するために、ソフトウェアによって書き込まれます。

00：プルアップ／プルダウンなし
01：プルアップ
10：プルダウン
11：予約済み

8.4.5 GPIO ポート入力データレジスタ（GPIOx_IDR）（x = A..I/J/K）

アドレスオフセット：0x10

リセット値：0x0000 XXXX（X は未定義）

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IDR15	IDR14	IDR13	IDR12	IDR11	IDR10	IDR9	IDR8	IDR7	IDR6	IDR5	IDR4	IDR3	IDR2	IDR1	IDR0
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15:0 **IDRy**：ポート入力データ（x = 0 .. 15）

これらのビットは、読み出し専用であり、ワードモードでのみアクセスできます。これらのビットには、対応する I/O ポートの入力値が格納されています。

8.4.6 GPIO ポート出力データレジスタ（GPIOx_ODR）（x = A..I/J/K）

アドレスオフセット：0x14

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ODR15	ODR14	ODR13	ODR12	ODR11	ODR10	ODR9	ODR8	ODR7	ODR6	ODR5	ODR4	ODR3	ODR2	ODR1	ODR0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15:0 **ODRy**：ポート出力データ（y = 0..15）

これらのビットは、ソフトウェアによって読み出し／書き込みができます。

注： ***ビット単位のセット／リセットのために、GPIOx_BSRR レジスタ（x = A..I/J/K）への書き込みによって、ODR ビットを個々にセット／リセットできます。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

8.4.7 GPIO ポートビット“セット/リセット”レジスタ（GPIOx_BSRR）（x = A..I/J/K）

アドレスオフセット：0x18

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
BR15	BR14	BR13	BR12	BR11	BR10	BR9	BR8	BR7	BR6	BR5	BR4	BR3	BR2	BR1	BR0
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BS15	BS14	BS13	BS12	BS11	BS10	BS9	BS8	BS7	BS6	BS5	BS4	BS3	BS2	BS1	BS0
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w

ビット 31:16 **BRy**：ポート x リセットビット y（y= 0 .. 15）

これらのビットは、書込み専用であり、ワードモード、ハーフワードモード、バイトモードのいずれかでアクセスできます。これらのビットを読み出すと、値 0x0000 が返されます。

0：対応する ODRx ビットの値は変化しません。

1：対応する ODRx ビットをリセットします。

注： BSx ビットと BRx ビットの両方がセットされた場合、BSx ビットが優先されます。

ビット 15:0 **BSy**：ポート x セットビット y（y= 0 .. 15）

これらのビットは、書込み専用であり、ワードモード、ハーフワードモード、バイトモードのいずれかでアクセスできます。これらのビットを読み出すと、値 0x0000 が返されます。

0：対応する ODRx ビットの値は変化しません。

1：対応する ODRx ビットをセットします。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

8.4.8 GPIO ポート設定ロックレジスタ（GPIOx_LCKR）（x = A..I/J/K）

このレジスタは、ビット 16（LCKK）に正しい書き込みシーケンスが適用されたときに、ポートビットの設定をロックするために使用されます。ビット[15:0] の値は、GPIO の設定をロックするために使用され、書き込みシーケンスの間は LCKR[15:0] の値は同じでなければなりません。ポートビットにロックシーケンスが適用されると、次のリセットまで、このポートビットの値を変更できなくなります。

*注： **GPIOx_LCKR レジスタへの書き込みには特定の書き込みシーケンスが使われます。この書き込みシーケンスではワードアクセス（32 ビット長）のみ可能です。***

各ロックビットによって、特定の設定レジスタ（制御レジスタおよびオルタネート機能レジスタ）がロックされます。

アドレスオフセット：0x1C

リセット値：0x0000 0000

アクセス：32 ビットワードのみ、読み出し/書き込みレジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															LCKK
															rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LCK15	LCK14	LCK13	LCK12	LCK11	LCK10	LCK9	LCK8	LCK7	LCK6	LCK5	LCK4	LCK3	LCK2	LCK1	LCK0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:17 予約済みであり、リセット値に保持する必要があります。

ビット 16 **LCKK[16]**：ロックキー

このビットは常時読み出しができます。ロックキー書き込みシーケンスを使用しなければ変更できません。

0：ポート設定ロックキーは無効です。

1：ポート設定ロックキーは有効です。GPIOx_LCKR レジスタは、MCU リセットが発生するまでロックされます。

ロックキー書き込みシーケンス：

書き込み LCKR[16] = “1” + LCKR[15:0]

書き込み LCKR[16] = “0” + LCKR[15:0]

書き込み LCKR[16] = “1” + LCKR[15:0]

読み出し LCKR

読み出し LCKR[16] = “1”（この読み出し操作は任意ですが、ロックが有効であることを確認できます）

*注： **ロックキー書き込みシーケンスの間は、LCK[15:0] の値を変更することはできません。***

ロックシーケンス中にエラーが発生すると、ロックは中止されます。

ポートの任意のビットの最初のロックシーケンスの後、次の CPU リセットまでは、LCKK ビットのいかなる読み出しアクセスに対しても、“1”が返されます。

ビット 15:0 **LCKy**：ポート x ロックビット y（y= 0 .. 15）

これらのビットは読み出し／書き込みができますが、書き込めるのは、LCKK ビットが 0 のときだけです。

0：ポート設定はロックされません。

1：ポート設定はロックされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

8.4.9 GPIO オルタネート機能下位レジスタ（GPIOx_AFRL）（x = A..I/J/K）

アドレスオフセット：0x20

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
AFRL7[3:0]				AFRL6[3:0]				AFRL5[3:0]				AFRL4[3:0]			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AFRL3[3:0]				AFRL2[3:0]				AFRL1[3:0]				AFRL0[3:0]			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0 **AFRLy**：ポート x ビット y（y = 0..7）のオルタネート機能選択

これらのビットは、オルタネート機能 I/O を設定するために、ソフトウェアによって書き込まれます。

AFRLy 選択：

0000: AF0
0001: AF1
0010: AF2
0011: AF3
0100: AF4
0101: AF5
0110: AF6
0111: AF7
1000: AF8
1001: AF9
1010: AF10
1011: AF11
1100: AF12
1101: AF13
1110: AF14
1111: AF15

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

8.4.10 GPIO オルタネート機能上位レジスタ（GPIOx_AFRH）（x = A..I/J/K）

アドレスオフセット：0x24

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
AFRH15[3:0]				AFRH14[3:0]				AFRH13[3:0]				AFRH12[3:0]			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AFRH11[3:0]				AFRH10[3:0]				AFRH9[3:0]				AFRH8[3:0]			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0 **AFRHy**：ポート x ビット y（y = 8..15）のオルタネート機能選択

これらのビットは、オルタネート機能 I/O を設定するために、ソフトウェアによって書き込まれます。

AFRHy 選択：

0000: AF0
0001: AF1
0010: AF2
0011: AF3
0100: AF4
0101: AF5
0110: AF6
0111: AF7
1000: AF8
1001: AF9
1010: AF10
1011: AF11
1100: AF12
1101: AF13
1110: AF14
1111: AF15

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

8.4.11 GPIO レジスタマップ

次の表に、GPIO レジスタマップとリセット値を示します。

表 40. GPIO レジスタマップとリセット値

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	GPIOA_MODER	MODER15[1:0]		MODER14[1:0]		MODER13[1:0]		MODER12[1:0]		MODER11[1:0]		MODER10[1:0]		MODER9[1:0]		MODER8[1:0]		MODER7[1:0]		MODER6[1:0]		MODER5[1:0]		MODER4[1:0]		MODER3[1:0]		MODER2[1:0]		MODER1[1:0]		MODER0[1:0]	
	リセット値	1	0	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x00	GPIOB_MODER	MODER15[1:0]		MODER14[1:0]		MODER13[1:0]		MODER12[1:0]		MODER11[1:0]		MODER10[1:0]		MODER9[1:0]		MODER8[1:0]		MODER7[1:0]		MODER6[1:0]		MODER5[1:0]		MODER4[1:0]		MODER3[1:0]		MODER2[1:0]		MODER1[1:0]		MODER0[1:0]	
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0
0x00	GPIOx_MODER（ここで、x = C..I/J/K）	MODER15[1:0]		MODER14[1:0]		MODER13[1:0]		MODER12[1:0]		MODER11[1:0]		MODER10[1:0]		MODER9[1:0]		MODER8[1:0]		MODER7[1:0]		MODER6[1:0]		MODER5[1:0]		MODER4[1:0]		MODER3[1:0]		MODER2[1:0]		MODER1[1:0]		MODER0[1:0]	
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x04	GPIOx_OTYPER（ここで、x = A..I/J/K）	予約済み																OT15	OT14	OT13	OT12	OT11	OT10	OT9	OT8	OT7	OT6	OT5	OT4	OT3	OT2	OT1	OT0
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x08	GPIOx_OSPEEDER（ここで、x = A..I/J/K B を除く）	OSPEEDR15[1:0]		OSPEEDR14[1:0]		OSPEEDR13[1:0]		OSPEEDR12[1:0]		OSPEEDR11[1:0]		OSPEEDR10[1:0]		OSPEEDR9[1:0]		OSPEEDR8[1:0]		OSPEEDR7[1:0]		OSPEEDR6[1:0]		OSPEEDR5[1:0]		OSPEEDR4[1:0]		OSPEEDR3[1:0]		OSPEEDR2[1:0]		OSPEEDR1[1:0]		OSPEEDR0[1:0]	
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x08	GPIOB_OSPEEDER	OSPEEDR15[1:0]		OSPEEDR14[1:0]		OSPEEDR13[1:0]		OSPEEDR12[1:0]		OSPEEDR11[1:0]		OSPEEDR10[1:0]		OSPEEDR9[1:0]		OSPEEDR8[1:0]		OSPEEDR7[1:0]		OSPEEDR6[1:0]		OSPEEDR5[1:0]		OSPEEDR4[1:0]		OSPEEDR3[1:0]		OSPEEDR2[1:0]		OSPEEDR1[1:0]		OSPEEDR0[1:0]	
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0
0x0C	GPIOA_PUPDR	PUPDR15[1:0]		PUPDR14[1:0]		PUPDR13[1:0]		PUPDR12[1:0]		PUPDR11[1:0]		PUPDR10[1:0]		PUPDR9[1:0]		PUPDR8[1:0]		PUPDR7[1:0]		PUPDR6[1:0]		PUPDR5[1:0]		PUPDR4[1:0]		PUPDR3[1:0]		PUPDR2[1:0]		PUPDR1[1:0]		PUPDR0[1:0]	
	リセット値	0	1	1	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0C	GPIOB_PUPDR	PUPDR15[1:0]		PUPDR14[1:0]		PUPDR13[1:0]		PUPDR12[1:0]		PUPDR11[1:0]		PUPDR10[1:0]		PUPDR9[1:0]		PUPDR8[1:0]		PUPDR7[1:0]		PUPDR6[1:0]		PUPDR5[1:0]		PUPDR4[1:0]		PUPDR3[1:0]		PUPDR2[1:0]		PUPDR1[1:0]		PUPDR0[1:0]	
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0
0x0C	GPIOx_PUPDR（ここで、x = C..I/J/K）	PUPDR15[1:0]		PUPDR14[1:0]		PUPDR13[1:0]		PUPDR12[1:0]		PUPDR11[1:0]		PUPDR10[1:0]		PUPDR9[1:0]		PUPDR8[1:0]		PUPDR7[1:0]		PUPDR6[1:0]		PUPDR5[1:0]		PUPDR4[1:0]		PUPDR3[1:0]		PUPDR2[1:0]		PUPDR1[1:0]		PUPDR0[1:0]	
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x10	GPIOx_IDR（ここで、x = A..I/J/K）	予約済み																IDR15	IDR14	IDR13	IDR12	IDR11	IDR10	IDR9	IDR8	IDR7	IDR6	IDR5	IDR4	IDR3	IDR2	IDR1	IDR0
	リセット値																	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 40. GPIO レジスタマップとリセット値（続き）

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x14	GPIOx_ODR（ここで、x = A..I/J/K）	予約済み																ODR15	ODR14	ODR13	ODR12	ODR11	ODR10	ODR9	ODR8	ODR7	ODR6	ODR5	ODR4	ODR3	ODR2	ODR1	ODR0
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x18	GPIOx_BSRR（ここで、x = A..I/J/K）	BR15	BR14	BR13	BR12	BR11	BR10	BR9	BR8	BR7	BR6	BR5	BR4	BR3	BR2	BR1	BR0	BS15	BS14	BS13	BS12	BS11	BS10	BS9	BS8	BS7	BS6	BS5	BS4	BS3	BS2	BS1	BS0
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x1C	GPIOx_LCKR（ここで、x = A..I/J/K）	予約済み															LCKK	LCK15	LCK14	LCK13	LCK12	LCK11	LCK10	LCK9	LCK8	LCK7	LCK6	LCK5	LCK4	LCK3	LCK2	LCK1	LCK0
	リセット値																0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x20	GPIOx_AFRL（ここで、x = A..I/J/K）	AFRL7[3:0]				AFRL6[3:0]				AFRL5[3:0]				AFRL4[3:0]				AFRL3[3:0]				AFRL2[3:0]				AFRL1[3:0]				AFRL0[3:0]			
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x24	GPIOx_AFRH（ここで、x = A..I/J/K）	AFRH15[3:0]				AFRH14[3:0]				AFRH13[3:0]				AFRH12[3:0]				AFRH11[3:0]				AFRH10[3:0]				AFRH9[3:0]				AFRH8[3:0]			
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

レジスタ境界アドレスについては、*表 2（64 ページ）*を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

9 システム設定コントローラ（SYSCFG）

システム設定コントローラは、主にコード領域内でアクセス可能なメモリの再配置、イーサネット PHY インタフェースの選択および GPIO に対する外部割り込みライン接続の管理に使用します。

このセクションは、特に指定がない限り、STM32F4xx ファミリ全体に適用されます。

9.1 I/O 補正セル

デフォルトでは I/O 補正セルは使用されません。しかしながら、I/O 出力バッファ速度が 50 MHz または 100 MHz モードに設定されている場合、I/O の状態変化 $t_{f(IO)out}/t_{r(IO)out}$ のスルーレート制御のため、補正セルを使用して電源の I/O ノイズを低減することを推奨します。

補正セルが有効になると、補正セルが使用可能であることを示すため READY フラグがセットされ、使用可能となります。I/O 補正セルは、電源電圧が 2.4 から 3.6 V の範囲にある場合にのみ使用できます。

9.2 STM32F405xx/07xx および STM32F415xx/17xx SYSCFG レジスタ

9.2.1 SYSCFG メモリ再配置レジスタ（SYSCFG_MEMRMP）

このレジスタは、メモリ再配置時の特定の設定に使用されます。

- アドレス 0x0000 0000 でアクセス可能なメモリのタイプを設定するため 2 ビット使用されます。これらのビットを用いて、ソフトウェアによる物理的な再配置を選択するので、BOOT ピンはバイパスされます。
- リセット後、これらのビットは、BOOT ピンで選択された値になります。BOOT ピンを 10 [（BOOT1,BOOT0）=（1,0）] に設定してメインフラッシュメモリから起動する場合、このレジスタは値 0x00 になります。

FSMC がアドレス 0x0000 0000 に再配置された場合、バンク 1 メモリコントローラの最初の 2 つの領域（バンク 1 NOR/PSRAM 1 および NOR/PSRAM 2）のみ再配置することができます。再配置モードでは、CPU はシステムバスの代わりに ICode バス経由で外部メモリにアクセスすることができ、パフォーマンスを向上させます。

アドレスオフセット：0x00

リセット値：0x0000 000X（X は BOOT ピンで選択されたメモリモード）

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み														MEM_MODE	
														rw	rw

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 31:2 予約済みであり、リセット値に保持する必要があります。

ビット 1:0 **MEM_MODE**：メモリマッピング選択

ソフトウェアによってセット／クリアされます。これらのビットによって、アドレス 0x0000 0000 のメモリ内部マッピングを制御します。リセット後、これらのビットは、BOOT ピンで選択された値になります（ FSMC を除く）。

00：0x0000 0000 にメインフラッシュメモリがマッピングされます。

01：0x0000 0000 にシステムフラッシュメモリがマッピングされます。

10：0x0000 0000 に FSMC バンク 1（NOR/PSRAM 1 および 2）がマッピングされます。

11：0x0000 0000 に組み込み SRAM（SRAM1）がマッピングされます。

注： ***アドレス 0x0000 0000 のメモリマッピングの詳細は セクション 2.3: メモリマップ を参照してください。***

9.2.2 SYSCFG ペリフェラルモード設定レジスタ（SYSCFG_PMC）

アドレスオフセット：0x04

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み								MII_RMII_SEL	予約済み						
								rw							

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															

ビット 31:24 予約済みであり、リセット値に保持する必要があります。

ビット 23 **MII_RMII_SEL**：イーサネット PHY インタフェース選択

ソフトウェアによってセット／クリアされます。これらのビットによって、イーサネット MAC の PHY インタフェースを制御します。

0：MII インタフェースが選択されます。

1：RMII PHY インタフェースが選択されます。

注： ***この設定は、MAC のリセット期間中かつ MAC クロックを有効にする前に行う必要があります。***

ビット 22:0 予約済みであり、リセット値に保持する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

9.2.3 SYSCFG 外部割り込み設定レジスタ 1（SYSCFG_EXTICR1）

アドレスオフセット：0x08

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EXTI3[3:0]				EXTI2[3:0]				EXTI1[3:0]				EXTI0[3:0]			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15:0 **EXTIx[3:0]**：EXTI x 設定（x= 0 から 3）

これらのビットは、EXTIx 外部割り込みのソース入力を選択するために、ソフトウェアで書き込みます。

0000: PA[x] ピン
0001: PB[x] ピン
0010: PC[x] ピン
0011: PD[x] ピン
0100: PE[x] ピン
0101: PF[x] ピン
0110: PG[x] ピン
0111: PH[x] ピン
1000: PI[x] ピン

9.2.4 SYSCFG 外部割り込み設定レジスタ 2（SYSCFG_EXTICR2）

アドレスオフセット：0x0C

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EXTI7[3:0]				EXTI6[3:0]				EXTI5[3:0]				EXTI4[3:0]			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15:0 **EXTIx[3:0]**：EXTI x 設定（x= 4 から 7）

これらのビットは、EXTIx 外部割り込みのソース入力を選択するために、ソフトウェアで書き込みます。

0000: PA[x] ピン
0001: PB[x] ピン
0010: PC[x] ピン
0011: PD[x] ピン
0100: PE[x] ピン
0101: PF[x] ピン
0110: PG[x] ピン
0111: PH[x] ピン
1000: PI[x] ピン

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

9.2.5 SYSCFG 外部割り込み設定レジスタ 3（SYSCFG_EXTICR3）

アドレスオフセット：0x10

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EXTI11[3:0]				EXTI10[3:0]				EXTI9[3:0]				EXTI8[3:0]			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15:0 **EXTIx[3:0]**：EXTI x 設定（x= 8 から 11）

これらのビットは、EXTIx 外部割り込みのソース入力を選択するために、ソフトウェアで書き込みます。

0000: PA[x] ピン
0001: PB[x] ピン
0010: PC[x] ピン
0011: PD[x] ピン
0100: PE[x] ピン
0101: PF[x] ピン
0110: PG[x] ピン
0111: PH[x] ピン
1000: PI[x] ピン

9.2.6 SYSCFG 外部割り込み設定レジスタ 4（SYSCFG_EXTICR4）

アドレスオフセット：0x14

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EXTI15[3:0]				EXTI14[3:0]				EXTI13[3:0]				EXTI12[3:0]			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15:0 **EXTIx[3:0]**：EXTI x 設定（x= 12 から 15）

これらのビットは、EXTIx 外部割り込みのソース入力を選択するために、ソフトウェアで書き込みます。

0000: PA[x] ピン
0001: PB[x] ピン
0010: PC[x] ピン
0011: PD[x] ピン
0100: PE[x] ピン
0101: PF[x] ピン
0110: PG[x] ピン
0111: PH[x] ピン

注： PI[15:12] は使用されません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

9.2.7 補正セル制御レジスタ（SYSCFG_CMPCR）

アドレスオフセット：0x20

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み							READY	予約済み							CMP_PD
							r								rw

ビット 31:9 予約済みであり、リセット値に保持する必要があります。

ビット 8 **READY**：補正セルレディフラグ
0：I/O 補正セルはレディ状態ではありません。
1：I/O 補正セルはレディ状態です。

ビット 7:1 予約済みであり、リセット値に保持する必要があります。

ビット 0 **CMP_PD**：補正セルパワーダウン
0：I/O 補正セルパワーダウンモード
1：I/O 補正セルは有効です。

9.2.8 STM32F405xx/07xx および STM32F415xx/17xx SYSCFG レジスタマップ

次の表に、SYSCFG レジスタマップとリセット値を示します。

表 41. SYSCFG レジスタマップとリセット値（STM32F405xx/07xx および STM32F415xx/17xx）

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	SYSCFG_MEMRM	予約済み																														MEM_MODE	
	リセット値																															x	x
0x04	SYSCFG_PMC	予約済み								MII_RMII_SEL	予約済み							予約済み															
	リセット値									0																							
0x08	SYSCFG_EXTICR1	予約済み																EXTI3[3:0]				EXTI2[3:0]				EXTI1[3:0]				EXTI0[3:0]			
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0C	SYSCFG_EXTICR2	予約済み																EXTI7[3:0]				EXTI6[3:0]				EXTI5[3:0]				EXTI4[3:0]			
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x10	SYSCFG_EXTICR3	予約済み																EXTI11[3:0]				EXTI10[3:0]				EXTI9[3:0]				EXTI8[3:0]			
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x14	SYSCFG_EXTICR4	予約済み																EXTI15[3:0]				EXTI14[3:0]				EXTI13[3:0]				EXTI12[3:0]			
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x20	SYSCFG_CMPCR	予約済み																								READY	予約済み						CMP_PD
	リセット値																									0							0

レジスタ境界アドレスについては、*表 2（64 ページ）*を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

9.3 STM32F42xxx および STM32F43xxx SYSCFG レジスタ

9.3.1 SYSCFG メモリ再配置レジスタ（SYSCFG_MEMRMP）

このレジスタは、メモリ再配置時の特定の設定に使用されます。

- アドレス 0x0000 0000 でアクセス可能なメモリのタイプを設定するため 3 ビット使用されます。これらのビットを用いて、ソフトウェアによる物理的な再配置を選択しますので、BOOT ピンはバイパスされます。
- リセット後、これらのビットは、BOOT ピンで選択された値になります。BOOT ピンを 10 [（BOOT1,BOOT0）=（1,0）] に設定してメインフラッシュメモリから起動する場合、このレジスタは値 0x00 になります。
- 他のビットは、FMC SDRAM バンク 1/2 と FMC バンク 3/4 をスワップするため、およびフラッシュバンク 1/2 のマッピングを設定するために使用されます。

アドレス 0x0000 0000 では次の 2 種類の FMC 再配置が可能です。

- FMC バンク 1（NOR/PSRAM 1 および 2）の再配置

  バンク 1 メモリコントローラの最初の 2 つの領域（バンク 1 NOR/PSRAM 1 および NOR/PSRAM 2）のみ再配置することができます。
- FMC SDRAM バンク 1 および 2 の再配置

アドレス 0x0000 0000 の再配置モードでは、CPU はシステムバスの代わりに ICode バス経由で外部メモリにアクセスすることができ、パフォーマンスを向上させます。

アドレスオフセット：0x00

リセット値：0x0000 000X（X は BOOT ピンで選択されたメモリモード）

注： ***NOR フラッシュメモリおよび SDRAM から起動することはできません。この領域はソフトウェア再配置により 0x0000 0000 にのみマッピングすることができます。.***

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み				SWP_FMC		予約済み	FB_MODE	予約済み					MEM_MODE[2:0]		
				rw	rw		rw						rw	rw	rw

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 31:12 予約済みであり、リセット値に保持する必要があります。

ビット 11:10 **SWP_FMC**：FMC メモリマッピングスワップ

ソフトウェアによってセット／クリアされます。アドレス 0x0000 0000 で物理再マッピングを行うことなく SDRAM バンクからのコード実行を可能にすることを目的とし、FMC SDRAM バンク 1/2 と FMC バンク 3/4（SDRAM バンク 1/2 と NAND バンク 2/PCCARD バンク）をスワップするために、これらのビットが使用されます。

00：FMC メモリマッピングのスワップはありません。

01：SDRAM バンクと NAND バンク 2/PCCARD のマッピングがスワップされます。SDRAM バンク 1 と 2 はそれぞれ NAND バンク 2（0x8000 0000）と PCCARD バンク（0x9000 0000）アドレスにマッピングされます。NAND バンク 2 と PCCARD バンクはそれぞれ 0xC000 0000 と 0xD000 0000 にマッピングされます。

10：予約済み

11：予約済み

ビット 9 予約済みであり、リセット値に保持する必要があります。

ビット 8 **FB_MODE**：フラッシュバンクモード選択

ソフトウェアによってセット／クリアされます。このビットによって、フラッシュバンクのマッピングを制御します。

0：フラッシュバンク 1 は 0x0800 0000 にマッピングされ（0x0000 0000 にエイリアスが生じます）、フラッシュバンク 2 は 0x0810 0000 にマッピングされます（0x0010 0000 にエイリアスが生じます）。

1：フラッシュバンク 2 は 0x0800 0000 にマッピングされ（0x0000 0000 にエイリアスが生じます）、フラッシュバンク 1 は 0x0810 0000 にマッピングされます（0x0010 0000 にエイリアスが生じます）。

ビット 7:3 予約済みであり、リセット値に保持する必要があります。

ビット 2:0 **MEM_MODE**：メモリマッピング選択

ソフトウェアによってセット／クリアされます。このビットによって、アドレス 0x0000 0000 のメモリ内部マッピングを制御します。リセット後、これらのビットは、BOOT ピンで選択された値になります（FMC を除く）。

000：0x0000 0000 にメインフラッシュメモリがマッピングされます。

001：0x0000 0000 にシステムフラッシュメモリがマッピングされます。

010：0x0000 0000 に FMC バンク 1（NOR/PSRAM 1 および 2）がマッピングされます。

011：0x0000 0000 に組み込み SRAM（SRAM1）がマッピングされます。

100：0x0000 0000 に FMC/SDRAM バンク 1 および 2 がマッピングされます。

他の設定は予約済となっています。

注： アドレス 0x0000 0000 のメモリマッピングの詳細は セクション 2.3: メモリマップ を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

9.3.2 SYSCFG ペリフェラルモード設定レジスタ（SYSCFG_PMC）

アドレスオフセット：0x04

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み								MII_RMII_SEL	予約済み				ADCxDC2		
								rw					rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															

ビット 31:24 予約済みであり、リセット値に保持する必要があります。

ビット 23 **MII_RMII_SEL**：イーサネット PHY インタフェース選択

ソフトウェアによってセット／クリアされます。これらのビットによって、イーサネット MAC の PHY インタフェースを制御します。

0：MII インタフェースが選択されます。

1：RMII PHY インタフェースが選択されます。

注： この設定は、MAC がリセットされていて MAC クロックを有効にする前に行う必要があります。

ビット 22:19 予約済みであり、リセット値に保持する必要があります。

ビット 18:16 **ADCxDC2**：

0：影響なし

1：このビットの使い方は、AN4073 を参照してください。

注： これらのビットは、次の条件が満足されたときのみセットできます。

- ADC クロックが 30 MHz 以上

- 複数の ADC 変換が同時に開始せず、サンプリング時間が異なる場合、ADCxDC2 ビットは、ただ 1 つだけ選択する必要があります。

- PWR_CR レジスタで ADCDC1 ビットがセットされている場合、これらのビットをセットすることはできません。

ビット 15:0 予約済みであり、リセット値に保持する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

9.3.3 SYSCFG 外部割り込み設定レジスタ 1（SYSCFG_EXTICR1）

アドレスオフセット：0x08

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EXTI3[3:0]				EXTI2[3:0]				EXTI1[3:0]				EXTI0[3:0]			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15:0 **EXTIx[3:0]**：EXTI x 設定（x= 0 から 3）

これらのビットは、EXTIx 外部割り込みのソース入力を選択するために、ソフトウェアで書き込みます。

0000: PA[x] ピン
0001: PB[x] ピン
0010: PC[x] ピン
0011: PD[x] ピン
0100: PE[x] ピン
0101: PF[x] ピン
0110: PG[x] ピン
0111: PH[x] ピン
1000: PI[x] ピン
1001: PJ[x] ピン
1010: PK[x] ピン

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

9.3.4 SYSCFG 外部割り込み設定レジスタ 2（SYSCFG_EXTICR2）

アドレスオフセット：0x0C

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EXTI7[3:0]				EXTI6[3:0]				EXTI5[3:0]				EXTI4[3:0]			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15:0 **EXTIx[3:0]**：EXTI x 設定（x= 4 から 7）

これらのビットは、EXTIx 外部割り込みのソース入力を選択するために、ソフトウェアで書き込みます。

0000: PA[x] ピン
0001: PB[x] ピン
0010: PC[x] ピン
0011: PD[x] ピン
0100: PE[x] ピン
0101: PF[x] ピン
0110: PG[x] ピン
0111: PH[x] ピン
1000: PI[x] ピン
1001: PJ[x] ピン
1010: PK[x] ピン

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

9.3.5 SYSCFG 外部割り込み設定レジスタ 3（SYSCFG_EXTICR3）

アドレスオフセット：0x10

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EXTI11[3:0]				EXTI10[3:0]				EXTI9[3:0]				EXTI8[3:0]			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15:0 **EXTIx[3:0]**：EXTI x 設定（x= 8 から 11）

これらのビットは、EXTIx 外部割り込みのソース入力を選択するために、ソフトウェアで書き込みます。

0000: PA[x] ピン
0001: PB[x] ピン
0010: PC[x] ピン
0011: PD[x] ピン
0100: PE[x] ピン
0101: PF[x] ピン
0110: PG[x] ピン
0111: PH[x] ピン
1000: PI[x] ピン
1001: PJ[x] ピン

注： PK[11:8] は使用されません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

9.3.6 SYSCFG 外部割り込み設定レジスタ 4（SYSCFG_EXTICR4）

アドレスオフセット：0x14

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EXTI15[3:0]				EXTI14[3:0]				EXTI13[3:0]				EXTI12[3:0]			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15:0 **EXTIx[3:0]**：EXTI x 設定（x= 12 から 15）

これらのビットは、EXTIx 外部割り込みのソース入力を選択するために、ソフトウェアで書き込みます。

0000: PA[x] ピン
0001: PB[x] ピン
0010: PC[x] ピン
0011: PD[x] ピン
0100: PE[x] ピン
0101: PF[x] ピン
0110: PG[x] ピン
0111: PH[x] ピン
1000: PI[x] ピン
1001: PJ[x] ピン

注： PK[15:12] は使用されません。

9.3.7 補正セル制御レジスタ（SYSCFG_CMPCR）

アドレスオフセット：0x20

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み							READY	予約済み							CMP_PD
							r								rw

ビット 31:9 予約済みであり、リセット値に保持する必要があります。

ビット 8 **READY**：補正セルレディフラグ

0：I/O 補正セルはレディ状態ではありません。
1：I/O 補正セルはレディ状態です。

ビット 7:1 予約済みであり、リセット値に保持する必要があります。

ビット 0 **CMP_PD**：補正セルパワーダウン

0：I/O 補正セルパワーダウンモード
1：I/O 補正セルは有効です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

9.3.8 STM32F42xxx および STM32F43xxx SYSCFG レジスタマップ

次の表に、SYSCFG レジスタマップとリセット値を示します。

表 42. SYSCFG レジスタマップとリセット値（STM32F42xxx および STM32F43xxx）

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	SYSCFG_MEMRM	予約済み																				SWP_FMC		予約済み	FB_MODE	予約済み					MEM_MODE		
	リセット値																					0	0		0						x	x	x
0x04	SYSCFG_PMC	予約済み								MII_RMII_SEL	予約済み				ADC3DC2	ADC2DC2	ADC1DC2	予約済み															
	リセット値									0					0	0	0																
0x08	SYSCFG_EXTICR1	予約済み																EXTI3[3:0]				EXTI2[3:0]				EXTI1[3:0]				EXTI0[3:0]			
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0C	SYSCFG_EXTICR2	予約済み																EXTI7[3:0]				EXTI6[3:0]				EXTI5[3:0]				EXTI4[3:0]			
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x10	SYSCFG_EXTICR3	予約済み																EXTI11[3:0]				EXTI10[3:0]				EXTI9[3:0]				EXTI8[3:0]			
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x14	SYSCFG_EXTICR4	予約済み																EXTI15[3:0]				EXTI14[3:0]				EXTI13[3:0]				EXTI12[3:0]			
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x20	SYSCFG_CMPCR	予約済み																								READY	予約済み						CMP_PD
	リセット値																									0							0

レジスタ境界アドレスについては、*表 2（64 ページ）*を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

10 DMA コントローラ（DMA）

このセクションは、特に指定がない限り、STM32F4xx ファミリ全体に適用されます。

10.1 DMA の概要

DMA（Direct Memory Access）は、ペリフェラルとメモリ間、およびメモリ間で高速データ転送を行うために使用します。データは、CPU の動作を必要とすることなく、DMA によって高速に移動できます。これにより、CPU リ転送元を他の操作のためにあけておくことができます。

このDMA コントローラは、高機能なバスマトリックスアーキテクチャに基づいてシステムの帯域幅を最大限に利用するため、強力なデュアル AHB マスタバスアーキテクチャと、独立した FIFO を兼ね備えています。

2 つの DMA コントローラは合計 16 ストリーム（各コントローラごとに 8 つ）を搭載し、それぞれが 1 つ以上のペリフェラルからのメモリアセスリクエストを管理します。各ストリームは、合計で最大 8 チャンネル（リクエスト）を処理することができます。また、それぞれ DMA リクエスト間の優先順位を操作するためのアービタを内蔵しています。

10.2 DMA の主な機能

DMA の主な機能は次のとおりです。

- デュアル AHB マスタバスアーキテクチャ（メモリアクセス専用、およびペリフェラルへのアクセス専用）
- 32 ビットアクセスのみサポートする AHB スレーブプログラミングインタフェース
- DMA コントローラごとに 8 ストリーム、ストリームごとに最大 8 チャネル（リクエスト）
- ストリームごとに独立した 4 つの 32 ビット ファーストインファーストアウトメモリバッファ（FIFO）。（FIFO モードまたはダイレクトモードで使用可能）
  - FIFOモード：FIFO サイズの 1/4、1/2 または 3/4 からソフトウェアで選択可能な閾値レベルを持つ
  - ダイレクトモード

    各 DMA リクエストによって、直ちにメモリとの転送を開始します。DMA がダイレクトモード（FIFOが無効）に設定されている場合、“メモリからペリフェラル”モードでデータを転送するため、ペリフェラルからの DMA リクエストが発生した際、即座にかつ確実にデータ転送が行われるよう、DMA はデータをメモリから内部 FIFO へ 1 つだけプリロードします。
- 各ストリームはハードウェアによって次のように設定することができます。
  - “ペリフェラルからメモリ”、“メモリからペリフェラル”および“メモリ間”転送をサポートするレギュラチャネル
  - メモリ側でダブルバッファリングもサポートするダブルバッファチャネル
- 8 つのストリームのそれぞれは、専用のハードウェア DMA チャネル（リクエスト）に接続されます。
- DMA ストリームリクエスト間の優先順位は、ソフトウェアによってプログラミングできます（最高、高、中、低の 4 レベル）。レベルが等しい場合はハードウェアによって決まります（リクエスト 0 はリクエスト 1 よりも優先、など）です。
- 各ストリームは、メモリ間転送のためのソフトウェアトリガもサポートしています（DMA2 コントローラでのみ使用可能）

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

- 各ストリームリクエストは、発生しうる最大 8 つのチャネルリクエストから選択することができます。この選択は、ソフトウェアによって設定可能であり、これによっていくつかのペリフェラルが DMA リクエストを発生することができるようになります。
- 転送するデータの数は、DMA コントローラまたはペリフェラルのいずれかによって管理することができます。
  - DMA フローコントローラ : 転送するデータ数は、1 から 65535 の間でソフトウェアによってプログラム可能です。
  - ペリフェラルフローコントローラ : 転送されるデータ項目の数は不明であり、ハードウェアによって転送の終了を通知する転送元または転送先ペリフェラルによって制御されます。
- 転送元および転送先の転送幅（バイト、ハーフワード、ワード）に依存しない : 転送元と転送先のデータ幅が異なる場合、DMAによって自動的に必要な転送のパック／アンパックが行われ、バンド幅が最適化されます。この機能は、FIFO モードでのみ使用できます。
- 転送元および転送先に対するインクリメントアドレッシングまたはノンインクリメントアドレッシング
- 4、8、または 16 ビートのインクリメンタルバースト転送をサポートバーストのサイズはソフトウェアで設定可能であり、通常はペリフェラルの FIFO サイズの半分です。
- サーキュラバッファ管理は、各ストリームがサポートします。
- 各ストリームに対する同一の割り込みリクエストにおいて、5 つのイベントフラグ（DMA 1/2 転送、DMA 転送完了、DMA 転送エラー、DMA FIFO エラー、ダイレクトモードエラー）の論理和がとられます。

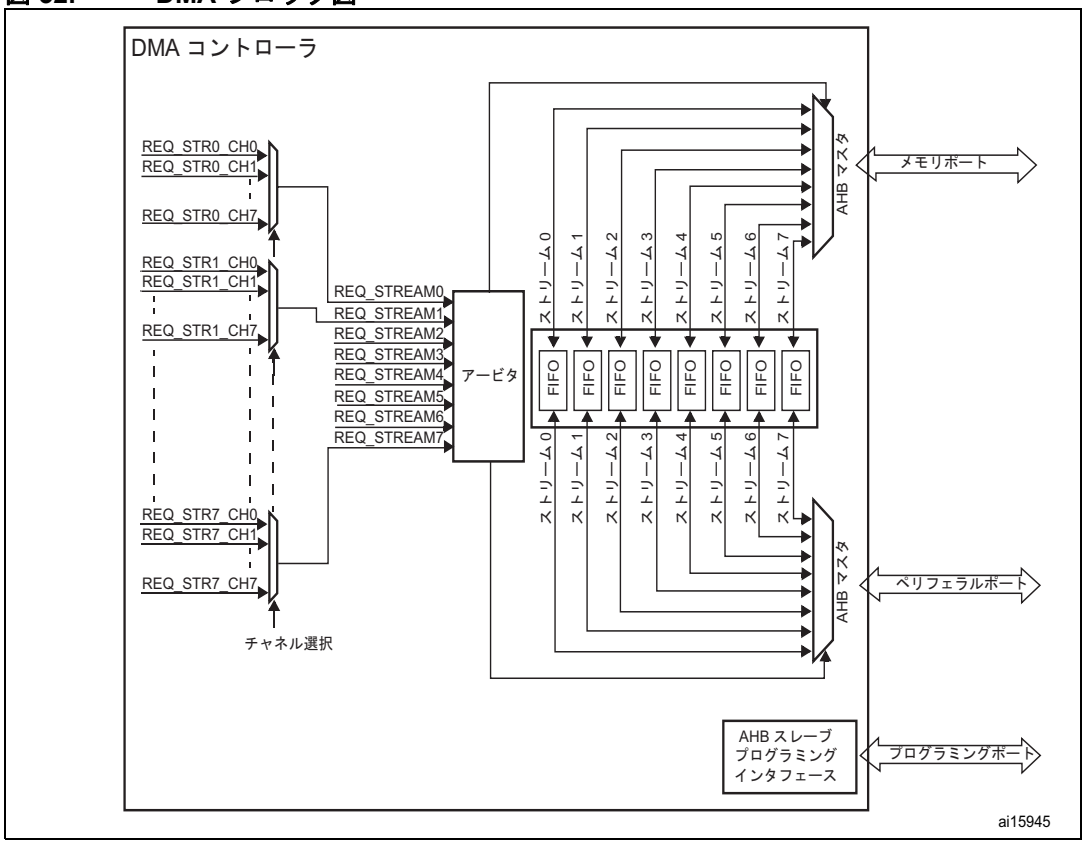
この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

10.3 DMA 機能の説明

10.3.1 概要

図 32 に、DMA のブロック図を示します。

図 32. DMA ブロック図



DMA コントローラはダイレクトメモリ転送を行います。AHB マスタとして、AHB トランザクションを開始するための AHB バスマトリックスの制御を行うことができます。

以下のトランザクションを実行することができます。

- ペリフェラルからメモリ
- メモリからペリフェラル
- メモリ間

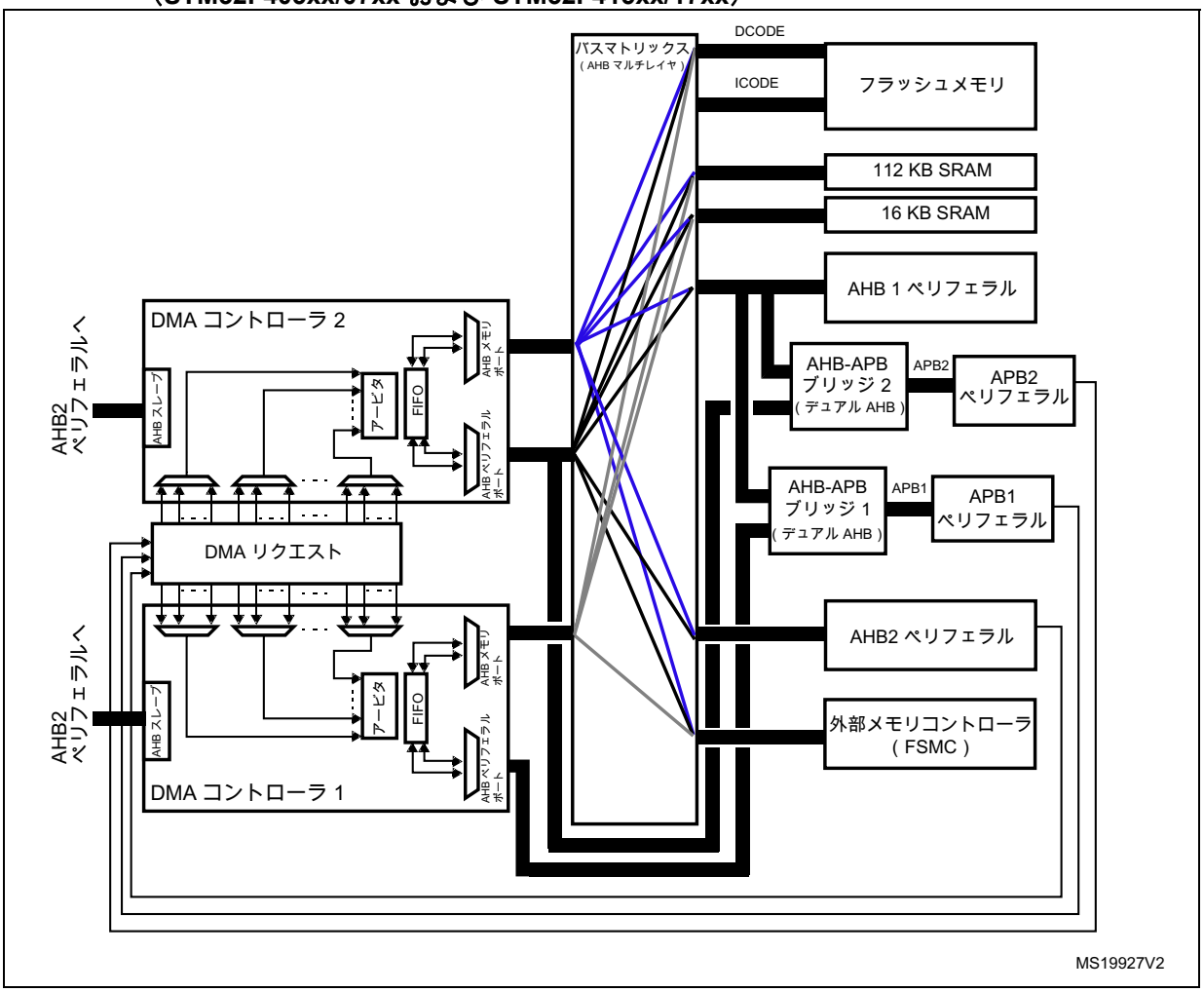
この DMA コントローラは 2 つの AHB マスタポートを搭載しています。メモリに接続するための *AHB* メモリポート、およびペリフェラルに接続するための *AHB* ペリフェラルポートです。しかし、メモリ間転送を可能とするため、AHB ペリフェラルポートはメモリにもアクセスできる必要があります。

AHB スレーブポートは DMA コントローラをプログラムするために用いられます（32 ビットアクセスのみサポート）。

2 つの DMA コントローラのシステムへの実装については *図 33* および *図 34* を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

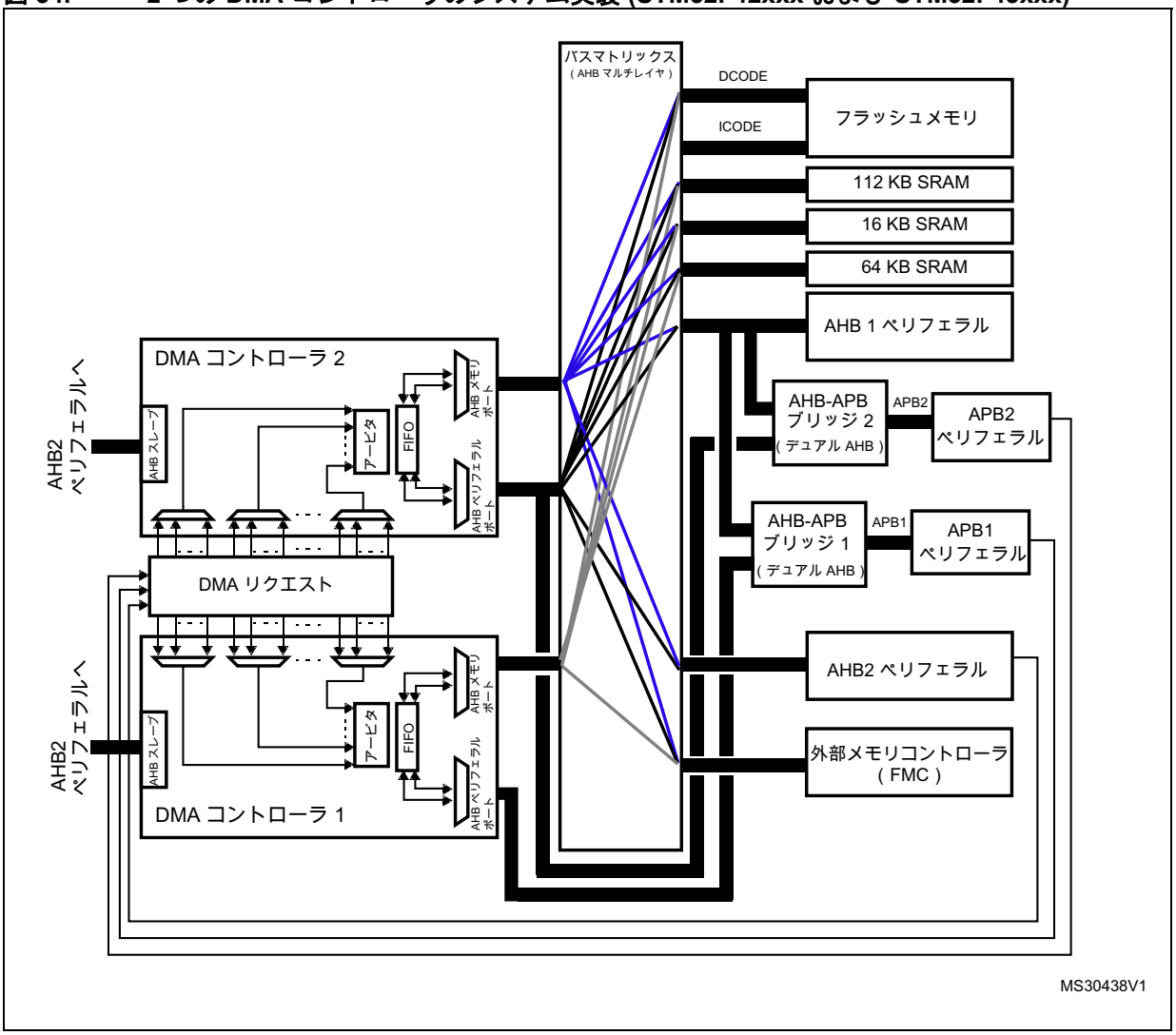
図 33. 2 つの DMA コントローラのシステム実装（STM32F405xx/07xx および STM32F415xx/17xx）



1. DMA1 コントローラの AHB ペリフェラルポートは、DMA2 コントローラのようにバスマトリックスに接続されていないので、DMA2 ストリームだけがメモリ間転送を実行することができます。

この資料は、STMicroelectronics NV 並びにその子会社（以下 ST）が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 34. 2 つの DMA コントローラのシステム実装 (STM32F42xxx および STM32F43xxx)



1. DMA1 コントローラの AHB ペリフェラルポートは、DMA2 コントローラのようにバスマトリックスに接続されていないので、DMA2 ストリームだけがメモリ間転送を実行することができます。

10.3.2 DMA トランザクション

DMA トランザクションは、一定数のデータ転送の列で構成されています。転送されるデータ項目の数とその幅（8 ビット、16 ビット、または 32 ビット）は、ソフトウェアでプログラム可能です。

各 DMA 転送は次の 3 つの操作で構成されます。

- DMA_SxPAR または DMA_SxM0AR レジスタを通じてアドレス指定されたメモリ上の場所またはペリフェラルデータレジスタからのデータのロード。
- DMA_SxPAR または DMA_SxM0AR レジスタを通じてアドレス指定されたメモリ内の場所またはペリフェラルデータレジスタにロードされたデータの格納。
- このあと予定される DMA トランザクションの数を保持している DMA_SxNDTR レジスタをカウントダウンします。

イベントの終了後、ペリフェラルは DMA コントローラにリクエスト信号を送信します。DMA コントローラは、チャネルの優先順位に応じて、リクエストを処理します。DMA コントローラがペリフェ

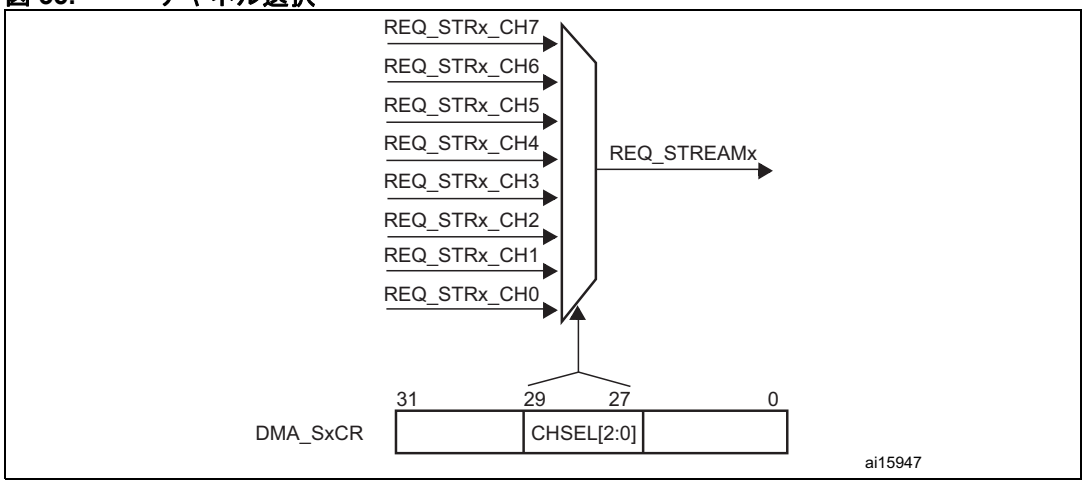
この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ラルにアクセスするとすぐに、DMA コントローラはペリフェラルに確認応答信号を送信します。ペリフェラルは、DMA コントローラからの確認応答信号を受け取るとすくにそのリクエストを解除します。ペリフェラルによってリクエストがネゲートされると、DMA コントローラは確認応答信号を解除します。さらにリクエストがある場合、ペリフェラルは次のトランザクションを開始できます。

10.3.3 チャネル選択

各ストリームは、8 つのチャンネルリクエストの中から選択することができる DMA リクエストに関連付けられています。チャネル選択は DMA_SxCR レジスタの CHSEL[2:0] ビットによって制御されます。

図 35. チャネル選択



ペリフェラルからの 8 つのリクエスト（TIM、ADC、SPI、I2C など）は各チャネルに個々に接続されており、それらの接続は製品の実装によって異なります。

表 43 および *表 44* に DMA リクエストマッピングの例を示します。

表 43. DMA1 リクエストマッピング

ペリフェラルリクエスト	ストリーム 0	ストリーム 1	ストリーム 2	ストリーム 3	ストリーム 4	ストリーム 5	ストリーム 6	ストリーム 7
チャネル 0	SPI3_RX		SPI3_RX	SPI2_RX	SPI2_TX	SPI3_TX		SPI3_TX
チャネル 1	I2C1_RX		TIM7_UP		TIM7_UP	I2C1_RX	I2C1_TX	I2C1_TX
チャネル 2	TIM4_CH1		I2S3_EXT_RX	TIM4_CH2	I2S2_EXT_TX	I2S3_EXT_TX	TIM4_UP	TIM4_CH3
チャネル 3	I2S3_EXT_RX	TIM2_UP TIM2_CH3	I2C3_RX	I2S2_EXT_RX	I2C3_TX	TIM2_CH1	TIM2_CH2 TIM2_CH4	TIM2_UP TIM2_CH4
チャネル 4	UART5_RX	USART3_RX	UART4_RX	USART3_TX	UART4_TX	USART2_RX	USART2_TX	UART5_TX
チャネル 5	UART8_TX(1)	UART7_TX(1)	TIM3_CH4 TIM3_UP	UART7_RX(1)	TIM3_CH1 TIM3_TRIG	TIM3_CH2	UART8_RX(1)	TIM3_CH3
チャネル 6	TIM5_CH3 TIM5_UP	TIM5_CH4 TIM5_TRIG	TIM5_CH1	TIM5_CH4 TIM5_TRIG	TIM5_CH2		TIM5_UP	
チャネル 7		TIM6_UP	I2C2_RX	I2C2_RX	USART3_TX	DAC1	DAC2	I2C2_TX

1. これらのリクエストは STM32F42xxx および STM32F43xxx でのみ使用可能です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 44. DMA2 リクエストマッピング

ペリフェラルリクエスト	ストリーム 0	ストリーム 1	ストリーム 2	ストリーム 3	ストリーム 4	ストリーム 5	ストリーム 6	ストリーム 7
チャネル 0	ADC1	SAI1_A(1)	TIM8_CH1 TIM8_CH2 TIM8_CH3	SAI1_A(1)	ADC1	SAI1_B(1)	TIM1_CH1 TIM1_CH2 TIM1_CH3	
チャネル 1		DCMI	ADC2	ADC2	SAI1_B(1)	SPI6_TX(1)	SPI6_RX(1)	DCMI
チャネル 2	ADC3	ADC3		SPI5_RX(1)	SPI5_TX(1)	CRYP_OUT	CRYP_IN	HASH_IN
チャネル 3	SPI1_RX		SPI1_RX	SPI1_TX		SPI1_TX		
チャネル 4	SPI4_RX(1)	SPI4_TX(1)	USART1_RX	SDIO		USART1_RX	SDIO	USART1_TX
チャネル 5		USART6_RX	USART6_RX	SPI4_RX(1)	SPI4_TX(1)		USART6_TX	USART6_TX
チャネル 6	TIM1_TRIG	TIM1_CH1	TIM1_CH2	TIM1_CH1	TIM1_CH4 TIM1_TRIG TIM1_COM	TIM1_UP	TIM1_CH3	
チャネル 7		TIM8_UP	TIM8_CH1	TIM8_CH2	TIM8_CH3	SPI5_RX(1)	SPI5_TX(1)	TIM8_CH4 TIM8_TRIG TIM8_COM

1. これらのリクエストは STM32F42xxx および STM32F43xxx で使用可能です。

10.3.4 アービタ

アービタは、2 つの AHB マスタポート（メモリポートおよびペリフェラルポート）のそれぞれについて、その優先順位に基づいて 8 つの DMA ストリームリクエストを管理し、ペリフェラル/メモリアクセスシーケンスを起動します。

優先順位は 2 段階で管理されます。

- ソフトウェア：各ストリームの優先順位は、DMA_SxCR レジスタで設定できます。4 つのレベルがあります。
  - 最優先
  - 高優先
  - 中優先
  - 低優先
- ハードウェア：2 つのリクエストのソフトウェア優先順位レベルが同じ場合、小さな番号のストリームが大きな番号のストリームよりも優先されます。たとえば、ストリーム 2 はストリーム 4 よりも優先されます。

10.3.5 DMA ストリーム

8 つの DMA コントローラストリームのそれぞれに、転送元と転送先の間の単方向転送リンクを備えています。

各ストリームは次のことを行うよう設定することができます。

- レギュラータイプトランザクション：メモリからペリフェラル、ペリフェラルからメモリまたはメモリ間の転送
- ダブルバッファタイプトランザクション：メモリ用に 2 つのメモリポインタを使用したダブルバッファ転送（DMA がバッファの読み書き込みを行っている間、アプリケーションは他のバッファの読み/書きが可能）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

転送するデータの量（65535 以内）はプログラム可能で、ペリフェラル AHB ポートに接続された DMA 転送を要求するペリフェラルのデータ幅に関連しています。転送されるデータ数を格納しているレジスタは、トランザクションの終了ごとにデクリメントされます。

10.3.6 転送元、転送先、および転送モード

転送元および転送先は両方とも、アドレス 0x0000 0000 と 0xFFFF FFFF の間の全 4 GB メモリ領域内のペリフェラルおよびメモリを転送アドレスとして使用できます。

方向は DMA_SxCR レジスタ の DIR[1:0] ビットを使用して設定し、次の 3 つの選択肢があります：メモリからペリフェラル、ペリフェラルからメモリ、およびメモリ間の転送*表 45* に対応する転送元と転送先アドレスを示します。

表 45. 転送元および転送先アドレス

DMA_SxCR レジスタの DIR [1:0] ビット	方向	転送元アドレス	転送先アドレス
00	ペリフェラルからメモリ	DMA_SxPAR	DMA_SxM0AR
01	メモリからペリフェラル	DMA_SxM0AR	DMA_SxPAR
10	メモリ間	DMA_SxPAR	DMA_SxM0AR
11	予約済み	-	-

DMA_SxCR レジスタの PSIZE または MSIZE ビットでプログラムされたデータ幅が、それぞれハーフワードまたはワードである場合、DMA_SxPAR または DMA_SxM0AR/M1AR レジスタに書き込まれたペリフェラルアドレスまたはメモリアドレスは、それぞれワードアドレス境界またはハーフワードアドレス境界で整列する必要があります。

“ペリフェラルからメモリ”モード

図 36 でこのモードを説明しています。

このモードが有効になっている場合（DMA_SxCR レジスタの EN ビットをセットすることにより）、ペリフェラルリクエストが発生するたびに、ストリームは転送元からの転送を開始し、FIFO を満たします。

FIFO の閾値レベルに達すると、FIFO の内容が排出され、転送先に格納されます。

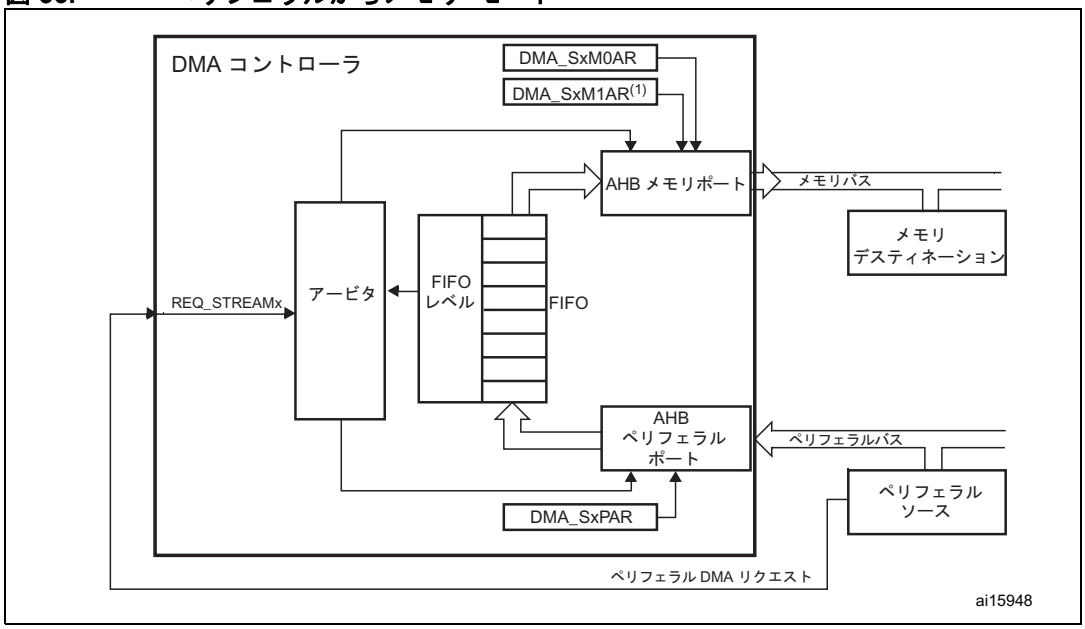
DMA_SxNDTR レジスタがゼロに達したか、ペリフェラルが転送の終了を要求したか（ペリフェラルフローコントローラの場合）、またはソフトウェアによって DMA_SxCR レジスタの EN ビットがクリアされたとき、転送は停止します。

ダイレクトモード（DMA_SxFCR レジスタの DMDIS 値が“0”のとき）では、FIFO の閾値レベルは使用されません。ペリフェラルから FIFO への各データ転送後、対応するデータはすぐに排出されて転送先に格納されます。

ストリームは、対応するストリームのアービトレーションでバスの使用権を得た場合にのみ AHB 転送元または転送先のポートにアクセスできます。このアービトレーションは DMA_SxCR レジスタの PL[1:0] ビットを使用して各ストリームに対して定義された優先度に基づいて行われます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 36. “ペリフェラルからメモリ”モード



1. ダブルバッファモード用。

“メモリからペリフェラル”モード

図 37 でこのモードを説明しています。

このモードが有効になっている場合（DMA_SxCR レジスタの EN ビットをセットしている場合）、ストリームはすぐに転送元から転送を開始し、FIFO を完全に満たします。

ペリフェラルリクエストが発生するたびに、FIFO のデータが転送されて転送先に格納されます。FIFO のレベルがあらかじめ設定された閾値レベルより低いか等しいとき、FIFO はメモリからのデータで完全に再ロードされます。

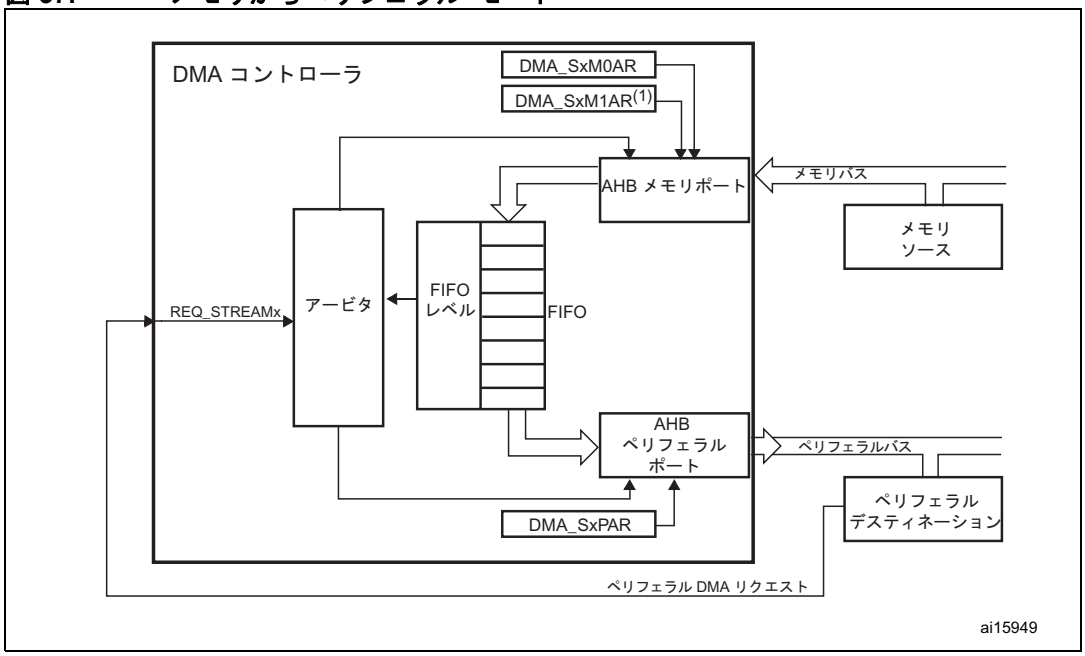
DMA_SxNDTR レジスタがゼロに達したか、ペリフェラルが転送の終了を要求したか（ペリフェラルフローコントローラの場合）、またはソフトウェアによって DMA_SxCR レジスタの EN ビットがクリアされたとき、転送は停止します。

ダイレクトモード（DMA_SxFCR レジスタの DMDIS 値が“0”のとき）では、FIFO の閾値レベルは使用されません。ストリームが有効になると、DMA は内部 FIFO に転送するための最初のデータをプリロードします。ペリフェラルがデータ転送を要求すると、DMA はプリロードされたデータを設定された転送先へすぐに転送します。そしてまた転送すべき次のデータを空の内部 FIFO にリロードします。プリロードデータサイズは、DMA_SxCR レジスタの PSIZE ビットフィールドの値に対応します。

ストリームは、対応するストリームのアービトレーションでバスの使用権を得た場合にのみ AHB 転送元または転送先のポートにアクセスできます。このアービトレーションは DMA_SxCR レジスタの PL[1:0] ビットを使用して各ストリームに対して定義された優先度に基づいて行われます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 37. “メモリからペリフェラル”モード



1. ダブルバッファモード用。

メモリ間モード

DMA チャネルは、ペリフェラルからのリクエストによってトリガされなくても機能します。これは *図 38* で説明しているメモリ間モードです。

DMA_SxCR レジスタのイネーブルビット（EN）をセットすることによってストリームが有効になっている場合、ストリームはすぐに閾値レベルまで FIFO への書き込みを開始します。FIFO の閾値レベルに達すると、FIFO のデータが転送され、転送先に格納されます。

DMA_SxNDTR レジスタがゼロに達するかソフトウェアによって DMA_SxCR レジスタの EN ビットがクリアされたとき転送を停止します。

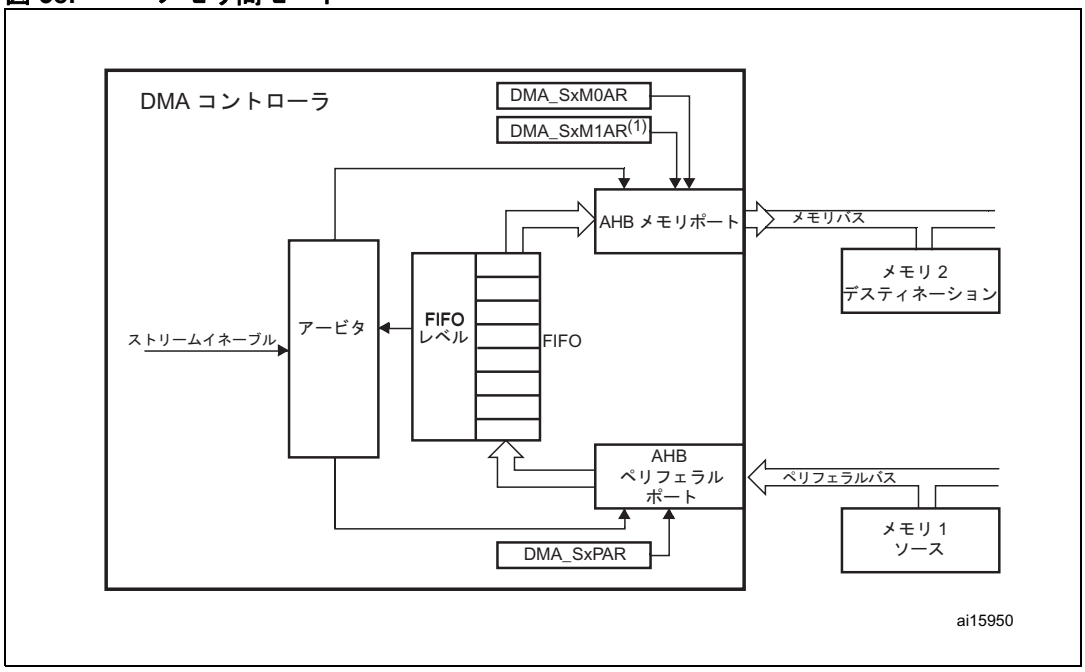
ストリームは、対応するストリームのアービトレーションでバスの使用権を得た場合にのみ AHB 転送元または転送先のポートにアクセスできます。このアービトレーションは DMA_SxCR レジスタの PL[1:0] ビットを使用して各ストリームに対して定義された優先度に基づいて行われます。

注： ***メモリ 間モードを使用する場合、サーキュラモードおよびダイレクトモードは使用できません。***

DMA2 コントローラのみメモリ間転送を行うことができます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 38. メモリ間モード



1. ダブルバッファモード用。

10.3.7 ポインタのインクリメント

ペリフェラルやメモリのポインタは、DMA_SxCR レジスタの PINC および MINC ビットに応じて、各転送後に自動的にポストインクリメントまたは一定に保つかすることができます。

インクリメントモードの無効化は、転送元または転送先ペリフェラルデータを 1 つのレジスタを介してアクセスする場合に便利です。

インクリメントモードが有効な場合、次の転送アドレスは、DMA_SxCR レジスタの PSIZE または MSIZE ビットにプログラムされたデータ幅に応じて、前回のアドレスに 1（バイトの場合）、2（ハーフワードの場合）、または 4（ワードの場合）をインクリメントしたアドレスになります。

パッキング動作を最適化するため、AHB ペリフェラルポート上で転送されるデータのサイズに関わらずペリフェラルアドレスのインクリメントオフセットサイズを固定することができます。DMA_SxCR レジスタの PINCOS ビットは、インクリメントオフセットサイズをペリフェラル AHB ポート上のデータサイズまたは 32 ビットアドレス（この場合アドレスは 4 つインクリメントされます）に調整するために使用されます。PINCOS ビットは AHB ペリフェラルポートにのみ影響します。

PINCOS ビットがセットされている場合、次の転送のアドレスは、PSIZE 値に関わらず前のアドレスに 4 をインクリメント（自動的に 32 ビットアドレスに調整）したアドレスです。しかしながら、この動作による AHB メモリポートへの影響はありません。

AHB ペリフェラルポートまたは AHB メモリポート上でバーストトランザクションが要求される場合、AMBA プロトコル（固定アドレスモードでのバーストは使用できない）を満足するため、PINC または MINC ビット をそれぞれセットする必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

10.3.8 サーキュラモード

サーキュラモードを使用すると、サーキュラバッファや連続したデータフロー（ADC スキャンモードなど）を処理できます。この機能は、DMA_SxCR レジスタの CIRC ビットを使用して有効にできます。

サーキュラモードが有効になると、転送されるデータ項目数にはストリーム設定段階でプログラミングされた初期値が自動的に再ロードされ、DMA リクエストの処理が続行されます。

注： ***サーキュラモードでは、メモリ用にバーストモードが設定されている場合、次のルールを守る必要があります。***

DMA_SxNDTR = ((Mburst ビート) の倍数× (Msize)/(Psize))、ここで

- *(Mburst ビート) = 4, 8 または 16 （DMA_SxCR レジスタの MBURST ビットによって異なる）*
- *((Msize)/(Psize)) = 1、2、4、1/2 または 1/4 (Msize と Psize は DMA_SxCR レジスタの MSIZE と PSIZE ビットを表す。これらはバイト依存）*
- *DMA_SxNDTR = AHB ペリフェラルポート上で転送するデータ項目の数*

例：Mburst ビート=8 (INCR8)、MSIZE=00（バイト）および PSIZE=01（ハーフワード）、この場合、DMA_SxNDTR は（8 × 1/2 = 4)の倍数でなければなりません。

この式を守らないと DMA 動作とデータの整合性は保証されません。

NDTR もペリフェラルバーストサイズの倍数にペリフェラルデータサイズを乗じた値でなければならず、さもないと不正な DMA 動作を引き起こす可能性があります。

10.3.9 ダブルバッファモード

このモードは、すべての DMA1 と DMA2 ストリームに対して使用可能です。

ダブルバッファモードは、DMA_SxCR レジスタの DBM ビットをセットすることで有効になります。

ダブルバッファストリームは通常の（シングルバッファ）ストリームとして動作しますが、2 つのメモリポインタを持っているところが異なります。ダブルバッファモードが有効になっていると、サーキュラモードが自動的に有効になり（DMA_SxCR の CIRC ビットは無視）、トランザクションが終わるごとにメモリポインタをスワップします。

このモードでは、DMA コントローラはトランザクションが終わるごとに、あるメモリターゲットから他へスワップします。これにより、DMA 転送によってある 1 つのメモリ領域が満杯または使用中である間に、ソフトウェアは別のメモリ領域を処理することができます。ダブルバッファストリームは、*表 46：ダブルバッファモード（DBM=1）における転送元および転送先アドレスレジスタ*で説明しているように両方向に動作することができます（メモリは転送元または転送先のいずれにも設定可能）。

注： ***ダブルバッファモードでは、ストリームが有効なとき、以下の条件を守ることにより、いつでも AHB メモリポートのベースアドレス (DMA_SxM0AR または DMA_SxM1AR) を更新することができます。***

- *DMA_SxCR レジスタで CT ビットが “0”のとき DMA_SxM1AR レジスタに書き込むことができます。CT=1 のときに、このレジスタに書き込みを試みると、エラーフラグ（TEIF）がセットされ、ストリームが自動的に無効になります。*
- *DMA_SxCR レジスタで CT ビットが “1”のとき DMA_SxM0AR レジスタに書き込むことができます。CT=0 のときに、このレジスタに書き込みを試みると、エラーフラグ（TEIF）がセットされ、ストリームが自動的に無効になります。*

エラー条件を回避するためには、TCIF フラグがアサートされたらできるだけ早くベースアドレスを変更することを推奨します。なぜなら、この時点で、上記 2 つの内いずれかの条件にしたがって

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

DMA_SxCR レジスタの CT の値に応じてターゲットメモリがメモリ 0 から 1（または 1 から 0）に変更されているためです。

他のすべてのモード（ダブルバッファモードを除く）に対し、ストリームが有効になるとすぐに、メモリアドレスレジスタは書き込み保護されます。

表 46. ダブルバッファモード（DBM=1）における転送元および転送先アドレスレジスタ

DMA_SxCR レジスタの DIR [1:0] ビット	転送方向	転送アドレス	転送先アドレス
00	ペリフェラルからメモリ	DMA_SxPAR	DMA_SxM0AR / DMA_SxM1AR
01	メモリからペリフェラル	DMA_SxM0AR / DMA_SxM1AR	DMA_SxPAR
10	設定禁止(1)		
11	予約済み	-	-

1. ダブルバッファモードが有効になっている場合、サーキュラモードが自動的に有効になります。メモリ間モードはサーキュラモードと互換性がないため、ダブルバッファモードが有効になっているときは、メモリ間モードを設定することはできません。

10.3.10 プログラミング可能なデータ幅、パッキング／アンパッキング、エンディアン形式

転送されるデータ項目の数は、ストリームを有効にする前に DMA_SxNDTR（転送データ項目数ビット、NDT）にプログラムする必要があります（フローコントローラがペリフェラルで、DMA_SxCR の PFCTRL ビットがセットされている場合を除く）。

内部 FIFO を使用する場合、転送元と転送先データのデータ幅は DMA_SxCR レジスタの PSIZE と MSIZEビットを介してプログラム可能です（8、16、または 32 ビットが可能）。

PSIZE と MSIZE が等しくない場合：

- DMA_SxNDTR レジスタに設定されている転送データ項目数のデータ幅は、ペリフェラルバスの幅（DMA_SxCR レジスタの PSIZE ビットで設定されている）と同じです。たとえば、ペリフェラルからメモリ、メモリからペリフェラル、またはメモリ間転送のケースで PSIZE[1:0] ビットがハーフワード用に設定されている場合、転送されるバイト数は 2×NDT です。
- DMA コントローラは、転送元と転送先の両方でリトルエンディアンアドレッシングのみ取り扱うことができます。これについては、*表 47：パッキング／アンパッキングおよびエンディアンの動作（ビット PINC=MINC=1）*で説明されています。

このパッキング／アンパッキング手順には、データが完全にパック／アンパックされる前に操作が中断された場合にデータが破損する危険性があります。したがって、データの一貫性を確保するため、ストリームはバースト転送を生成するよう設定することができます。この場合、バーストに属する各転送グループは分割できません（*セクション 10.3.11：シングル転送とバースト転送*を参照）。

ダイレクトモード（DMA_SxFCR レジスタで DMDIS=0 のとき）では、データのパッキング／アンパッキングはできません。この場合には、転送元と転送先の転送データ幅が異なってはなりません。両方が等しく、DMA_SxCR の PSIZE ビットで定義します（MSIZE ビットは無視されます）。

この資料は、STMicroelectronics NV 並びにその子会社（以下 ST）が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 47. パッキング／アンパッキングおよびエンディアンの動作（ビット PINC=MINC=1）

AHB メモリポート幅	AHB ペリフェラルポート幅	転送するデータ項目の数（NDT）	メモリ転送番号	メモリポートアドレス／バイトレーン	ペリフェラル転送番号	ペリフェラルポートアドレス／バイトレーン	
						PINCOS=1	PINCOS=0
8	8	4	1 2 3 4	0x0 / B0[7:0] 0x1 / B1[7:0] 0x2 / B2[7:0] 0x3 / B3[7:0]	1 2 3 4	0x0 / B0[7:0] 0x4 / B1[7:0] 0x8 / B2[7:0] 0xC / B3[7:0]	0x0 / B0[7:0] 0x1 / B1[7:0] 0x2 / B2[7:0] 0x3 / B3[7:0]
8	16	2	1 2 3 4	0x0 / B0[7:0] 0x1 / B1[7:0] 0x2 / B2[7:0] 0x3 / B3[7:0]	1 2	0x0 / B1|B0[15:0] 0x4 / B3|B2[15:0]	0x0 / B1|B0[15:0] 0x2 / B3|B2[15:0]
8	32	1	1 2 3 4	0x0 / B0[7:0] 0x1 / B1[7:0] 0x2 / B2[7:0] 0x3 / B3[7:0]	1	0x0 / B3|B2|B1|B0[31:0]	0x0 / B3|B2|B1|B0[31:0]
16	8	4	1 2	0x0 / B1|B0[15:0] 0x2 / B3|B2[15:0]	1 2 3 4	0x0 / B0[7:0] 0x4 / B1[7:0] 0x8 / B2[7:0] 0xC / B3[7:0]	0x0 / B0[7:0] 0x1 / B1[7:0] 0x2 / B2[7:0] 0x3 / B3[7:0]
16	16	2	1 2	0x0 / B1|B0[15:0] 0x2 / B1|B0[15:0]	1 2	0x0 / B1|B0[15:0] 0x4 / B3|B2[15:0]	0x0 / B1|B0[15:0] 0x2 / B3|B2[15:0]
16	32	1	1 2	0x0 / B1|B0[15:0] 0x2 / B3|B2[15:0]	1	0x0 / B3|B2|B1|B0[31:0]	0x0 / B3|B2|B1|B0[31:0]
32	8	4	1	0x0 / B3|B2|B1|B0[31:0]	1 2 3 4	0x0 / B0[7:0] 0x4 / B1[7:0] 0x8 / B2[7:0] 0xC / B3[7:0]	0x0 / B0[7:0] 0x1 / B1[7:0] 0x2 / B2[7:0] 0x3 / B3[7:0]
32	16	2	1	0x0 /B3|B2|B1|B0[31:0]	1 2	0x0 / B1|B0[15:0] 0x4 / B3|B2[15:0]	0x0 / B1|B0[15:0] 0x2 / B3|B2[15:0]
32	32	1	1	0x0 /B3|B2|B1|B0 [31:0]	1	0x0 /B3|B2|B1|B0 [31:0]	0x0 / B3|B2|B1|B0[31:0]

注： ペリフェラルポートは、転送元または転送先として設定可能です（メモリ間転送の場合はメモリ転送元としての設定も可能です）。

PSIZE、MSIZE、および NDT[15:0] は、最後の転送が不完全にならないよう必ず設定する必要があります。これはペリフェラルポートのデータ幅（PSIZE ビット）がメモリポートのデータ幅（MSIZE ビット）より小さい場合に発生する可能性があります。この制約の一覧を*表 48*に示します。

表 48. PSIZE と MSIZE に対する NDT に関する制限事項

DMA_SxCR の PSIZE[1:0]	DMA_SxCR の MSIZE[1:0]	DMA_SxNDTR の NDT[15:0]
00 （8 ビット）	01 （16 ビット）	2 の倍数でなければならない
00 （8 ビット）	10 （32 ビット）	4 の倍数でなければならない
01 （16 ビット）	10 （32 ビット）	2 の倍数でなければならない

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

10.3.11 シングル転送とバースト転送

DMA コントローラは、シングル転送を生成することもできれば、4、8、または 16 ビートのインクリメンタルバースト転送を生成することもできます。

バーストのサイズは、DMA_SxCR レジスタの MBURST[1:0] と PBURST[1:0] ビットを使用して 2 つの AHB ポートに対して別々にソフトウェアで設定されます。

バーストサイズは、バースト内のビート数を示します。転送するバイト数ではありません。

データの一貫性を確保するため、バーストを形成する転送の各グループは分割できません。AHB 転送はロックされ、AHB バスマトリックスのアービタは、バースト転送シーケンス中 DMA マスタからバスの使用を奪取しません。

シングルまたはバーストの設定によって各 DMA リクエストによって AHB ペリフェラルポート上で開始される転送の数は異なります。

- AHB ペリフェラルポートがシングル転送用に設定されている場合、各 DMA リクエストによって、DMA_SxCR レジスタの PSIZE[1:0] ビットに応じた、バイト、ハーフワード、またはワードのデータ転送が生成されます。
- AHB ペリフェラルポートがバースト転送用に設定されている場合、各 DMA リクエストによって、DMA_SxCR レジスタの PBURST[1:0] ビットと PSIZE[1:0] ビットに応じた、4、8、または 16 ビートのバイト、ハーフワード、またはワードの転送が生成されます。

MBURST と MSIZE ビットに関しても、AHB メモリポートに対して上記と同じことを考慮する必要があります。

ダイレクトモードでは、ストリームはシングル転送のみ生成することができ、MBURST[1:0] と PBURST[1:0] ビットはハードウェアで決まってしまいます。

アドレスポインタ（DMA_SxPAR または DMA_SxM0AR レジスタ）は、バーストブロック内のすべての転送が転送サイズに等しいアドレス境界で整列するように選択する必要があります。

バースト設定は、AHB プロトコルを守るよう選択する必要があります。ここで、1 個のスレーブに割り当てることができる最小アドレス空間が 1 KB であるため、バーストが 1 KB アドレス境界を越えることは*できません*。つまり、バーストブロック転送が 1 KB アドレス境界を超えてはならず、超えた場合には AHB エラーが生成される可能性があります。このエラーは DMA レジスタで報告されません。

注： ***バーストモードはインクリメントが有効な場合にのみ使用できます。***
- PINC ビットが“0”の場合、PBURST ビットも“00”にクリアする必要があります。
- MINC ビットが“0”の場合、MBURST ビットも“00”にクリアする必要があります。

10.3.12 FIFO

FIFO の構造

FIFO は転送元からのデータを転送先へ送信する前に一時的に格納するために使用します。

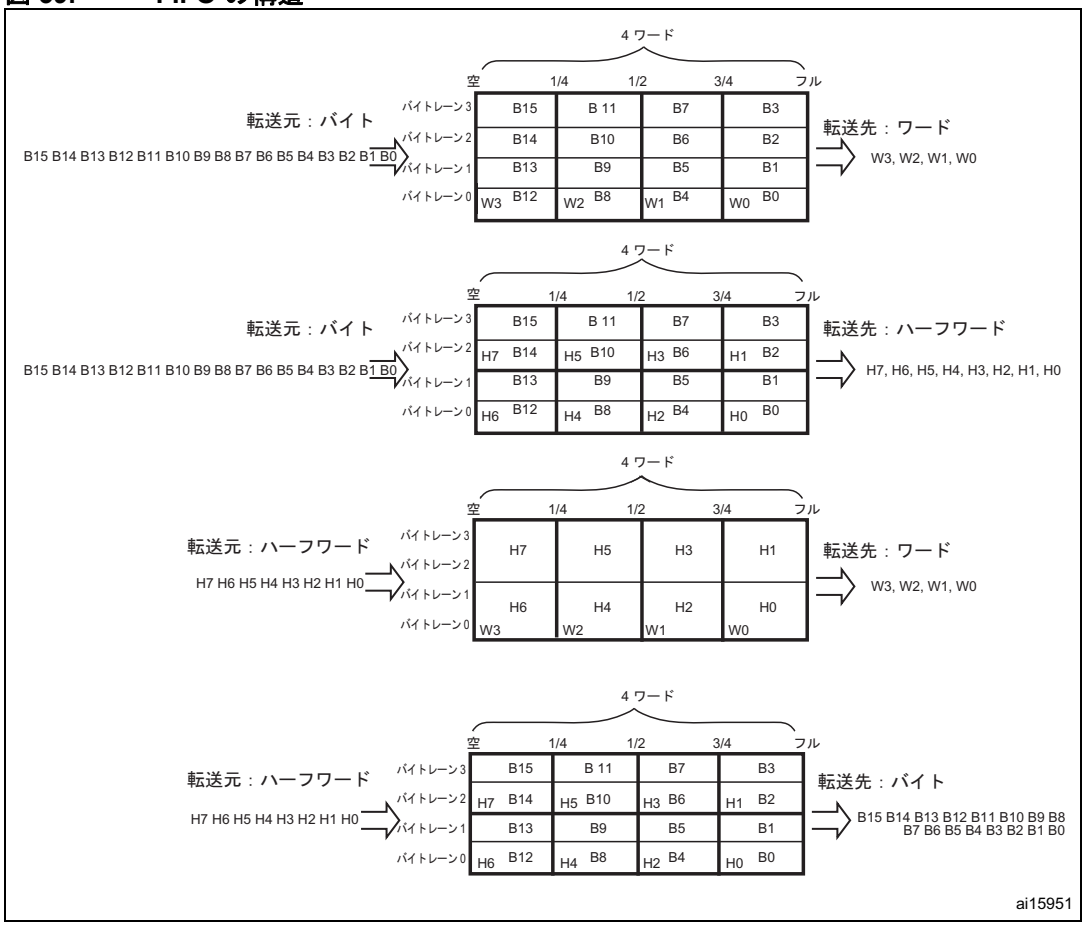
各ストリームには独立した 4 ワードの FIFOがあり、閾値レベルはソフトウェアで1/4、1/2、3/4、またはフルに設定できます。

FIFO 閾値レベルを使用できるようにするには、DMA_SxFCR レジスタの DMDIS ビットをセットしてダイレクトモードを無効にする必要があります。

FIFO の構造は、転送元および転送先のデータ幅によって異なり、*図 39：FIFO の構造* で説明しています。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 39. FIFO の構造



FIFO 閾値とバーストの設定

FIFO の閾値（DMA_SxFCR レジスタの FTH[1:0] ビット）とメモリバーストのサイズ（DMA_SxCR レジスタの MBURST[1:0]）を選択する場合は注意が必要です。FIFO 閾値が指す内容はメモリバースト転送の整数倍に一致する必要があります。一致しない場合、ストリームが有効なとき FIFO エラー（DMA_HISR または DMA_LISR レジスタの FEIFx フラグ）が発生し、ストリームが自動的に無効になります。可能な設定と禁止されている設定の説明は*表 49：FIFO 閾値設定*を参照してください。

表 49. FIFO 閾値設定

MSIZE	FIFO レベル	MBURST = INCR4	MBURST = INCR8	MBURST = INCR16
バイト	1/4	4 ビートの 1 バースト	設定禁止	設定禁止
	1/2	4 ビートの 2 バースト	8 ビートの 1 バースト	
	3/4	4 ビートの 3 バースト	設定禁止	
	フル	4 ビートの 4 バースト	8 ビートの 2 バースト	16 ビートの 1 バースト

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 49. FIFO 閾値設定（続き）

MSIZE	FIFO レベル	MBURST = INCR4	MBURST = INCR8	MBURST = INCR16
ハーフワード	1/4	設定禁止	設定禁止	設定禁止
	1/2	4 ビートの 1 バースト		
	3/4	設定禁止		
	フル	4 ビートの 2 バースト	8 ビートの 1 バースト	
ワード	1/4	設定禁止	設定禁止	
	1/2			
	3/4			
	フル	4 ビートの 1 バースト		

いかなる場合でも、バーストサイズにデータサイズを乗じた値が FIFO サイズを超えることはできません（可能なデータサイズは 1（バイト）、2（ハーフワード）または 4（ワード））。

次のいずれかの条件が発生した場合、DMA 転送の終了時に、バースト転送が不完全となる可能性があります。

- AHB ペリフェラルポート設定において、データ項目の合計数（DMA_SxNDTR レジスタに設定）が、バーストサイズにデータサイズを乗じた値の倍数ではない
- AHB メモリポート設定において、メモリに転送する FIFO 内の残りのデータ項目数が、バーストサイズにデータサイズを乗じた値の倍数ではない

このような場合、DMA ストリーム設定時にバースト·トランザクションが要求されていても、転送すべき残りのデータは、DMA によってシングルモードで管理されます。

注： ***ペリフェラル AHB ポートでバースト転送が要求されており、FIFO が使用されている場合（DMA_SxCR レジスタの DMDIS=1）、DMA ストリーム方向に応じて、恒久的なアンダーランまたはオーバーラン状態を回避するため、次のルールを守ることが必要です。***

（PBURST × PSIZE）= FIFO_SIZE（4 ワード）の場合、PSIZE = 1、2、または 4 であり、かつ、PBURST = 4、8、または 16 の時、FIFO_Threshold = 3/4 は 禁止。

このルールによって、ペリフェラルからの要求を一度に処理するのに十分な FIFO スペースを確実に確保できます。

FIFO のフラッシュ

FIFO は DMA_SxCR レジスタの EN ビットをリセットすることによりストリームが無効化された場合、およびストリームが“ペリフェラルからメモリ”転送またはメモリ間転送を管理するよう設定された場合、フラッシュすることができます。ストリームを無効化したときに FIFO にデータが残っている場合、DMA コントローラは引き続き残りのデータを転送先へ転送します（ストリームが事実上無効化されているとしても）。このフラッシュが完了すると、DMA_LISR または DMA_HISR レジスタの転送完了ステータスビット（TCIFx）がセットされます。

この場合、残りのデータカウンタ DMA_SxNDTR は値を保持し、現在いくつのデータ項目が転送先メモリに格納できるかを示します。

FIFO フラッシュ動作中に、FIFO 内のメモリに転送する残りのデータ項目数（バイト単位）がメモリデータ幅より少ない場合（たとえば、MSIZE がワードに設定されているとき FIFO 内に 2 バイト）、データは DMA_SxCR レジスタの MSIZE ビットに設定されたデータ幅で送信されます。つまり、メモリには不要な値が書き込まれることになります。ソフトウェアで DMA_SxNDTR レジスタを読み出すことにより、正しいデータが格納されたメモリ領域（開始アドレスと終了アドレス）を判断することができます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

FIFO 内の残りのデータ項目数がバーストサイズよりも小さい場合（AHB メモリポート上のバーストを管理するストリームを設定するため DMA_SxCR レジスタの MBURST ビットがセットされている場合）、FIFO フラッシュを完了するためシングルトランザクションが生成されます。

ダイレクトモード

デフォルトでは、FIFO はダイレクトモードで動作し（DMA_SxFCR の DMDIS ビットがリセットされています）、FIFO 閾値レベルは使用しません。このモードは、システムが各 DMA リクエスト後にメモリとの即時シングル転送を必要とする場合に便利です。

DMA がダイレクトモード（FIFOが無効）に設定されている場合、“メモリからペリフェラル”モードでデータを転送するため、ペリフェラルからの DMA リクエストが発生した際、即座にかつ確実にデータ転送が行われるように、DMA はデータをメモリから内部 FIFO へ 1 つプリロードします。

FIFO の飽和を避けるためには、対応するストリームを高い優先度で設定することを推奨します。

このモードは、次のような転送に制限されています。

- 転送元および転送先の転送幅が等しく、両方とも DMA_SxCR の PSIZE[1:0] ビットによって定義されている（MSIZE[1:0]ビットは無視される）
- バースト転送は不可（DMA_SxCRの PBURST[1:0] と MBURST[1:0] ビットは無視される）

メモリ間転送を実行する際はダイレクトモードを使用することはできません。

10.3.13 DMA 転送の完了

DMA_LISR または DMA_HISR ステータスレジスタの TCIFx ビットを設定することにより、さまざまなイベントによって転送を終了させることができます。

- DMA フローコントローラモード :
  - “メモリからペリフェラル”モードで DMA_SxNDTR カウンタがゼロに達した
  - （ DMA_SxCR レジスタの EN ビットをクリアすることにより）ストリームが転送が終了する前に無効化され、（転送がペリフェラルからメモリまたはメモリ間の場合）残りのすべてのデータが FIFO からメモリにフラッシュされた
- ペリフェラルフローコントローラモード :
  - 最後の外部バーストまたはシングルリクエストがペリフェラルから生成され、（DMA が“ペリフェラルからメモリ”モードで動作しているとき）残りのデータが FIFO からメモリへ転送された
  - ストリームがソフトウェアによって無効化され、（DMA が“ペリフェラルからメモリ”モードで動作しているとき）、残りのデータが FIFO からメモリへ転送された

*注 : **転送完了は、“ペリフェラルからメモリ”モードの場合のみ、メモリに転送される FIFO 内の残りのデータによって異なります。この条件は、“メモリからペリフェラル”モードには適用されません。***

ストリームがノンサーキュラモードで設定されている場合、転送終了後（転送すべきデータの数がゼロに達したとき）、DMA は停止し（DMA_SxCR レジスタの EN ビットがハードウェアでクリアされます）、ソフトウェアによってストリームを再プログラムして再有効化（DMA_SxCR レジスタの EN ビットを設定）しない限り、DMA リクエストは処理されません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

10.3.14 DMA 転送の中断

DMA 転送は、いつでも中断して再開することもできれば、DMA 転送が終了する前に完全に無効化することもできます。

これには、2 つのケースがあります。

- ストリームは、転送を無効にし、停止した場所以降再開しません。ストリームを無効化するために DMA_SxCR レジスタの EN ビットをクリアする以外、特に行うことはありません。ストリームを無効にするのに時間を要する可能性があります（まず、進行中の転送を完了します）。転送の終了を示すために転送完了割り込みフラグ（DMA_LISR または DMA_HISR レジスタの TCIF）がセットされます。その時点で、DMA_SxCR の EN ビットの値が“0”となって、ストリームが中断されます。ソフトウェアによって、ストリームが中断される前に転送されたデータ項目の数を判断できるように、DMA_SxNDTR レジスタに、ストリームが停止した時点で残っているデータ項目の数を保持しています。
- ストリームは、DMA_SxNDTR レジスタ内の転送されるべき残りのデータ項目数が 0 に到達する前に転送を中断します。その目的は、ストリームを再度有効にすることで後から転送を再開することにあります。転送が停止した時点から再開するにあたり、ソフトウェアが既に収集したデータ項目数を知るためDMA_SxCR レジスタの EN ビットに書き込んで（その後それが“0”であることを確認します）ストリームを無効にした後で DMA_SxNDTR レジスタを読み出す必要があります。その後、
  - アドレスポインタを調整するために、ペリフェラルやメモリのアドレスを更新する必要があります。
  - SxNDTR レジスタは、転送すべきデータ項目の残数（ストリームを無効にしたとき読み出される値）で更新する必要があります。
  - ストリームは、その後再度有効化して転送が停止したところから再開することができます。

注： ***ストリームの中断による、転送の終了を示すため、転送完了割り込みフラグ（ DMA_LISR または DMA_HISR の TCIF）がセットされることに注意してください。***

10.3.15 フローコントローラ

転送するデータの数を制御するものはフローコントローラとして知られています。このフローコントローラは、DMA_SxCR レジスタの PFCTRL ビットを使用して、各ストリームごとに個別に設定されます。

フローコントローラは次のように使用することができます。

- DMA コントローラ：この場合、DMA ストリームを有効にする前に、転送するデータ項目数を DMA_SxNDTR レジスタにソフトウェアでプログラムします。
- ペリフェラル転送元またはペリフェラル転送先：この場合、転送されるデータ項目数が不明です。最後のデータが転送されるとき、ペリフェラルがハードウェアによって DMA コントローラに知らせます。この機能は、転送の終了を通知できるペリフェラルでのみサポートされています。すなわち、
  - SDIO です。

特定のストリームでペリフェラルフローコントローラを使用した場合、DMA_SxNDTR に書き込まれる値は DMA 転送に影響しません。実際に、いかなる値が書き込まれても、以下のスキームを守るためストリームが有効になるとすぐに、ハードウェアによって強制的に 0xFFFF になります。

- 想定されるストリームの中断：最終データを示すハードウェア信号（シングルまたはバースト）がペリフェラルによって送信される前に、DMA_SxCR レジスタの EN ビットをソフトウェアによって 0 にリセットし、ストリームを停止します。このようなケースでは、“ペリフェラルからメモリ”DMA 転送の場合、ストリームが停止し、FIFO フラッシュが作動します。対応するストリームの TCIFx フラグがステータスレジスタにてセットされ、DMA の完了を示します。DMA

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

転送中に転送されたデータ項目数を知るには、DMA_SxNDTR レジスタを読み出し次の式を適用します。

– 転送されたデータ数 = 0xFFFF – DMA_SxNDTR

- 最終データを示すハードウェア信号の受信による通常ストリームの中断：ペリフェラルが最後の転送（シングルまたはバースト）を要求しこの転送が完了したときストリームは自動的に中断されます。対応するストリームの TCIFx フラグがステータスレジスタにてセットされ、DMA 転送の完了を示します。転送されたデータ項目数を知るには、DMA_SxNDTR レジスタを読み出し上記と同じ式を適用します。
- DMA_SxNDTR レジスタが 0 に到達：対応するストリームの TCIFx フラグがステータスレジスタにてセットされ、強制的な DMA 転送の完了を示します。最終データを示すハードウェア信号（シングルまたはバースト）がまだアサートされていない場合でも、ストリームは自動的に停止します。既に転送されたデータは失われません。つまり、ペリフェラルフローコントローラモードの場合でも、1 つの DMA のトランザクションにより最大 65535 のデータ項目が管理できることになります。

注： ***メモリ間モードに設定されているとき、DMA は常にフローコントローラとなり PFCTRL ビットはハードウェアによって強制的に 0 になります。***

ペリフェラルフロー制御モードでは、サーキュラモードは禁止されています。

10.3.16 実現可能な DMA 設定の概要

表 50 に、実現可能なさまざまな DMA 設定をまとめています。

表 50. 実現可能な DMA 設定

DMA 転送モード	転送元	転送先	フローコントローラ	サーキュラモード	転送タイプ	ダイレクトモード	ダブルバッファモード
ペリフェラルからメモリ	AHB ペリフェラルポート	AHB メモリポート	DMA	設定可能	シングル	設定可能	設定可能
					バースト	設定禁止	
			ペリフェラル	設定禁止	シングル	設定可能	設定禁止
					バースト	設定禁止	
メモリからペリフェラル	AHB メモリポート	AHB ペリフェラルポート	DMA	設定可能	シングル	設定可能	設定可能
					バースト	設定禁止	
			ペリフェラル	設定禁止	シングル	設定可能	設定禁止
					バースト	設定禁止	
メモリ間	AHB ペリフェラルポート	AHB メモリポート	DMA のみ	設定禁止	シングル	設定禁止	設定禁止
					バースト		

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

10.3.17 ストリーム設定手順

DMA ストリーム x の設定は、次の手順で行います（x はストリーム番号です）。

1. ストリームが有効になっている場合、DMA_SxCR レジスタの EN ビットをリセットすることによって無効にし、その後、進行中のストリーム動作がないことを確認するため、このビットを読み出します。このビットに 0 を書き込んでもすぐに効果はありません。それは現在行われているすべての転送が完了した後、実際に 0 が書き込まれるからです。EN ビットが 0 として読み出される場合、ストリームが設定可能な状態であることを意味します。したがって、ストリームの設定を開始する前に EN ビットがクリアされるのを待つ必要があります。以前のデータブロックの DMA 転送からステータスレジスタ（DMA_LISR と DMA_HISR）に設定されたすべてのストリーム専用ビットは、ストリームを再度有効にする前にクリアする必要があります。
2. DMA_SxPAR レジスタにペリフェラルポートレジスタアドレスを設定します。ペリフェラルイベントの後、データはこのアドレスとペリフェラルポートの間で転送されます。
3. DMA_SxMA0R レジスタ（およびダブルバッファモードの場合は DMA_SxMA1R レジスタ）にメモリアドレスを設定します。ペリフェラルイベントの後、データはこのメモリに対して読み書きされます。
4. 転送されるデータ項目の合計数を DMA_SxNDTR レジスタで設定します。各ペリフェラルイベントまたはバーストの各ビートの後、この値はデクリメントされます。
5. DMA_SxCR レジスタの CHSEL[2:0] を使用して DMA チャネル（リクエスト）を選択します。
6. ペリフェラルをフローコントローラとして使用することを意図し、かつこの機能をサポートしている場合、DMA_SxCR レジスタの PFCTRL ビットをセットします。
7. DMA_SxCRレジスタ の PL[1:0] ビットを使用して、ストリームの優先順位を設定します。
8. FIFO の使用方法を設定します（有効または無効にする、送信と受信における閾値）。
9. DMA_SxCR レジスタで以下の項目を設定します。データ転送方向、ペリフェラルとメモリのインクリメントモード/固定モード、シングルトランザクションまたはバーストトランザクション、ペリフェラルとメモリのデータ幅、サーキュラモード、ダブルバッファモード、ハーフ転送やフル転送後の割り込み、およびエラー。
10. DMA_SxCR レジスタの EN ビットをセットすることにより、ストリームを有効にします。

ストリームが有効になると、そのストリームに接続されているペリフェラルからの DMA リクエストを処理できます。

AHB 転送先ポート上でデータの半分が転送されると、1/2 転送フラグ（HTIF）がセットされ、1/2 転送割り込みイネーブルビット（HTIE）がセットされている場合には、割り込みが生成されます。転送が終了すると、転送完了フラグ（TCIF）がセットされ、転送完了割り込みイネーブルビット（TCIE）がセットされている場合には、割り込みが生成されます。

警告： **DMA ストリームリクエストに接続されているペリフェラルを接断するには、まず、ペリフェラルが接続されている DMA ストリームを接断し、次いで EN ビット=0 になるのを待つ必要があります。その後はじめてペリフェラルを安全に無効にすることができます。**

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

10.3.18 エラー管理

DMA コントローラによって、次のエラーを検出することができます。

- **転送エラー**：転送エラー割り込みフラグ（TEIFx）は次の場合にセットされます。
  - DMA 読み出しまたは書き込みアクセス時にバスエラーが発生した場合
  - ダブルバッファモードでは、メモリアドレスレジスタの書き込みアクセスはソフトウェアによって要求されますが、ストリームが有効になり、メモリアドレスレジスタへの書き込みによって影響を受けるのは現在のターゲットメモリです（*セクション 10.3.9：ダブルバッファモード*を参照）。
- **FIFO エラー**：FIFO エラー割り込みフラグ（FEIFx）は次の場合にセットされます。
  - FIFO アンダーラン状態が検出された場合
  - FIFO オーバーラン状態が検出された場合（リクエストと転送は DMA が内部で管理するため、このエラーはメモリ間モードでは検出されない）
  - FIFO　閾値レベルがメモリバーストのサイズに適合していないときにストリームが有効化された場合（*表 49：FIFO 閾値設定*を参照）
- **ダイレクトモードエラー**：ダイレクトモードで動作していて DMA_SxCR レジスタの MINC ビットがクリアされたときのみ、“ペリフェラルからメモリ”モードにおいてダイレクトモードエラー割り込みフラグ（DMEIFx）がセットされることがあります。このフラグは、メモリバスの使用権が与えられていなかったことにより、前回のデータがまだ完全にメモリに転送されていない状態で DMA リクエストが発生したときにセットされます。このケースでは、このフラグは 2 つのデータ項目が同じ転送先アドレスに連続して転送されたことを示し、転送先がこの状況を管理できない場合に、このことが問題となる可能性があります。

ダイレクトモードでは、FIFO エラーフラグが以下の条件でセットされることもあります。

- “ペリフェラルからメモリ”モードでは、複数のペリフェラルリクエストのためにメモリバスの使用が許可されない場合、FIFO が飽和（オーバーラン）することがあります。
- “メモリからペリフェラル”モードでは、ペリフェラルリクエストが発生する前に、メモリバスの使用が許可されていない場合、アンダーラン状態が発生する可能性があります。

バーストサイズと FIFO?? 閾値レベルが適合しないことによって TEIFx または FEIFx フラグがセットされた場合、欠陥のあるストリームは対応するストリーム設定レジスタ（DMA_SxCR）の EN ビットがハードウェアによってクリアされることにより、自動的に無効化されます。

オーバーランまたはアンダーラン状態によって DMEIFx または FEIFx フラグがセットされる場合、欠陥のあるストリームは自動的には無効化されず、DMA_SxCR レジスタの EN ビットをリセットすることによってストリームを無効化するかどうかはソフトウェアに任されています。なぜならば、この種のエラーが発生してもデータの損失がないためです。

DMA_LISR または DMA_HISR レジスタにあるストリームのエラー割り込みフラグ（TEIF、FEIF、DMEIF）がセットされると、DMA_SxCR または DMA_SxFCR レジスタの対応する割り込みイネーブルビット（TEIE、FEIE、DMIE）がセットされていれば、割り込みが発生します。

注： ***FIFO オーバーランまたはアンダーラン状態が発生した場合、オーバーランまたはアンダーラン状態がクリアされるまではペリフェラルリクエストがストリームによって承認されないため、データが失われることはありません。この承認に時間がかかりすぎた場合、ペリフェラル自体がその内部バッファのオーバーランまたはアンダーラン状態を検出し、データが失われる可能性があります。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

10.4 DMA 割り込み

各 DMA ストリームに対し、次のイベントにて割り込みを生成することができます。

- 1/2 転送終了
- 転送完了
- 転送エラー
- FIFO エラー（オーバーラン、アンダーラン、または FIFO レベルのエラー）
- ダイレクトモードエラー

柔軟性を持たせるため、*表 51* に示すよう個別の割り込みイネーブル制御ビットが使用できます。

表 51. DMA 割り込みリクエスト

割り込みイベント	イベントフラグ	イネーブル制御ビット
1/2 転送	HTIF	HTIE
転送完了	TCIF	TCIE
転送エラー	TEIF	TEIE
FIFO オーバーラン／アンダーラン	FEIF	FEIE
ダイレクトモードエラー	DMEIF	DMEIE

注： イネーブル制御ビットを '1' に設定する前に、対応するイベントフラグをクリアする必要があります。さもないと直ちに割り込みが生成されてしまいます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

10.5 DMA レジスタ

DMA レジスタには、ワード（32 ビット）単位でアクセスすることができます。

10.5.1 DMA ロー割り込みステータスレジスタ（DMA_LISR）

アドレスオフセット：0x00

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み				TCIF3	HTIF3	TEIF3	DMEIF3	予約済み	FEIF3	TCIF2	HTIF2	TEIF2	DMEIF2	予約済み	FEIF2
r	r	r	r	r	r	r	r		r	r	r	r	r		r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み				TCIF1	HTIF1	TEIF1	DMEIF1	予約済み	FEIF1	TCIF0	HTIF0	TEIF0	DMEIF0	予約済み	FEIF0
r	r	r	r	r	r	r	r		r	r	r	r	r		r

ビット 31:28、15:12　予約済み、リセット値に保持する必要があります。

ビット 27、21、11、5　**TCIFx**：ストリーム x 転送完了割り込みフラグ（x=3..0）

このビットは、ハードウェアによってセットされます。DMA_LIFCR レジスタの対応するビットに 1 を書き込むことで、ソフトウェアによってクリアされます。

0：ストリーム x に転送完了イベントは発生していません。

1：ストリーム x に転送完了イベントが発生しました。

ビット 26、20、10、4　**HTIFx**：ストリーム x 1/2 転送割り込みフラグ（x=3..0）

このビットは、ハードウェアによってセットされます。DMA_LIFCR レジスタの対応するビットに 1 を書き込むことで、ソフトウェアによってクリアされます。

0：ストリーム x に 1/2 転送イベントは発生していません。

1：ストリーム x に 1/2 転送イベントが発生しました。

ビット 25、19、9、3　**TEIFx**：ストリーム x 転送エラー割り込みフラグ（x=3..0）

このビットは、ハードウェアによってセットされます。DMA_LIFCR レジスタの対応するビットに 1 を書き込むことで、ソフトウェアによってクリアされます。

0：ストリーム x に転送エラーは発生していません。

1：ストリーム x に転送エラーが発生しました。

ビット 24、18、8、2　**DMEIFx**：ストリーム x ダイレクトモードエラー割り込みフラグ（x=3..0）

このビットは、ハードウェアによってセットされます。DMA_LIFCR レジスタの対応するビットに 1 を書き込むことで、ソフトウェアによってクリアされます。

0：ストリーム x にダイレクトモードエラーは発生していません。

1：ストリーム x にダイレクトモードエラーが発生しました。

ビット 23、17、7、1　予約済み、リセット値に保持する必要があります。

ビット 22、16、6、0　**FEIFx**：ストリーム x FIFO エラー割り込みフラグ（x=3..0）

このビットは、ハードウェアによってセットされます。DMA_LIFCR レジスタの対応するビットに 1 を書き込むことで、ソフトウェアによってクリアされます。

0：ストリーム x に FIFO エラーイベントは発生していません。

1：ストリーム x に FIFO エラーイベントが発生しました。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

10.5.2 DMA ハイ割り込みステータスレジスタ（DMA_HISR）

アドレスオフセット：0x04

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み				TCIF7	HTIF7	TEIF7	DMEIF7	予約済み	FEIF7	TCIF6	HTIF6	TEIF6	DMEIF6	予約済み	FEIF6
				r	r	r	r		r	r	r	r	r		r

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み				TCIF5	HTIF5	TEIF5	DMEIF5	予約済み	FEIF5	TCIF4	HTIF4	TEIF4	DMEIF4	予約済み	FEIF4
				r	r	r	r		r	r	r	r	r		r

ビット 31:28、15:12　予約済み、リセット値に保持する必要があります。

ビット 27、21、11、5　**TCIFx**：ストリーム x 転送完了割り込みフラグ（x=7..4）

このビットは、ハードウェアによってセットされます。DMA_HIFCR レジスタの対応するビットに 1 を書き込むことで、ソフトウェアによってクリアされます。

0：ストリーム x に転送完了イベントは発生していません。

1：ストリーム x に転送完了イベントが発生しました。

ビット 26、20、10、4　**HTIFx**：ストリーム x 1/2 転送割り込みフラグ（x=7..4）

このビットは、ハードウェアによってセットされます。DMA_HIFCR レジスタの対応するビットに 1 を書き込むことで、ソフトウェアによってクリアされます。

0：ストリーム x に 1/2 転送イベントは発生していません。

1：ストリーム x に 1/2 転送イベントが発生しました。

ビット 25、19、9、3　**TEIFx**：ストリーム x 転送エラー割り込みフラグ（x=7..4）

このビットは、ハードウェアによってセットされます。DMA_HIFCR レジスタの対応するビットに 1 を書き込むことで、ソフトウェアによってクリアされます。

0：ストリーム x に転送エラーは発生していません。

1：ストリーム x に転送エラーが発生しました。

ビット 24、18、8、2　**DMEIFx**：ストリーム x ダイレクトモードエラー割り込みフラグ（x=7..4）

このビットは、ハードウェアによってセットされます。DMA_HIFCR レジスタの対応するビットに 1 を書き込むことで、ソフトウェアによってクリアされます。

0：ストリーム x にダイレクトモードエラーは発生していません。

1：ストリーム x にダイレクトモードエラーが発生しました。

ビット 23、17、7、1　予約済み、リセット値に保持する必要があります。

ビット 22、16、6、0　**FEIFx**：ストリーム x FIFO エラー割り込みフラグ（x=7..4）

このビットは、ハードウェアによってセットされます。DMA_HIFCR レジスタの対応するビットに 1 を書き込むことで、ソフトウェアによってクリアされます。

0：ストリーム x に FIFO エラーイベントは発生していません。

1：ストリーム x に FIFO エラーイベントが発生しました。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

10.5.3 DMA ロー割り込みフラグクリアレジスタ（DMA_LIFCR）

アドレスオフセット：0x08

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み				CTCIF3	CHTIF3	CTEIF3	CDMEIF3	予約済み	CFEIF3	CTCIF2	CHTIF2	CTEIF2	CDMEIF2	予約済み	CFEIF2
				w	w	w	w		w	w	w	w	w		w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み				CTCIF1	CHTIF1	CTEIF1	CDMEIF1	予約済み	CFEIF1	CTCIF0	CHTIF0	CTEIF0	CDMEIF0	予約済み	CFEIF0
				w	w	w	w		w	w	w	w	w		w

ビット 31:28、15:12　予約済み、リセット値に保つ必要があります。

ビット 27、21、11、5　**CTCIFx**：ストリーム x クリア転送完了割り込みフラグ（x=3..0）
このビットに 1 を書き込むと DMA_LISR レジスタの対応する TCIFx フラグをクリアします。

ビット 26、20、10、4　**CHTIFx**：ストリーム x クリア 1/2 転送割り込みフラグ（x=3..0）
このビットに 1 を書き込むと DMA_LISR レジスタの対応する HTIFx フラグをクリアします。

ビット 25、19、9、3　**CTEIFx**：ストリーム x クリア転送エラー割り込みフラグ（x=3..0）
このビットに 1 を書き込むと DMA_LISR レジスタの対応する TEIFx フラグをクリアします。

ビット 24、18、8、2　**CDMEIFx**：ストリーム x クリアダイレクトモードエラー割り込みフラグ（x=3..0）
このビットに 1 を書き込むと DMA_LISR レジスタの対応する DMEIFx フラグをクリアします。

ビット 23、17、7、1　予約済み、リセット値に保つ必要があります。

ビット 22、16、6、0　**CFEIFx**：ストリーム x クリア FIFO エラー割り込みフラグ（x=3..0）
このビットに 1 を書き込むと DMA_LISR レジスタの対応する CFEIFx フラグをクリアします。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

10.5.4 DMA ハイ割り込みフラグクリアレジスタ（DMA_HIFCR）

アドレスオフセット：0x0C

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み				CTCIF7	CHTIF7	CTEIF7	CDMEIF7	予約済み	CFEIF7	CTCIF6	CHTIF6	CTEIF6	CDMEIF6	予約済み	CFEIF6
				w	w	w	w		w	w	w	w	w		w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み				CTCIF5	CHTIF5	CTEIF5	CDMEIF5	予約済み	CFEIF5	CTCIF4	CHTIF4	CTEIF4	CDMEIF4	予約済み	CFEIF4
				w	w	w	w		w	w	w	w	w		w

ビット 31:28、15:12　予約済み、リセット値に保持する必要があります。

ビット 27、21、11、5　**CTCIFx**：ストリーム x クリア転送完了割り込みフラグ（x=7..4）
このビットに 1 を書き込むと DMA_HISR レジスタの対応する TCIFx フラグをクリアします。

ビット 26、20、10、4　**CHTIFx**：ストリーム x クリア 1/2 転送割り込みフラグ（x=7..4）
このビットに 1 を書き込むと DMA_HISR レジスタの対応する HTIFx フラグをクリアします。

ビット 25、19、9、3　**CTEIFx**：ストリーム x クリア転送エラー割り込みフラグ（x=7..4）
このビットに 1 を書き込むと DMA_HISR レジスタの対応する TEIFx フラグをクリアします。

ビット 24、18、8、2　**CDMEIFx**：ストリーム x クリアダイレクトモードエラー割り込みフラグ（x=7..4）
このビットに 1 を書き込むと DMA_HISR レジスタの対応する DMEIFx フラグをクリアします。

ビット 23、17、7、1　予約済み、リセット値に保持する必要があります。

ビット 22、16、6、0　**CFEIFx**：ストリーム x クリア FIFO エラー割り込みフラグ（x=7..4）
このビットに 1 を書き込むと DMA_HISR レジスタの対応する CFEIFx フラグをクリアします。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

10.5.5 DMA ストリーム x 設定レジスタ（DMA_SxCR）（x=0..7）

このレジスタは当該ストリームの設定に使用されます。

アドレスオフセット：0x10 + 0x18 × ストリーム番号

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み				CHSEL[2:0]			MBURST [1:0]		PBURST[1:0]		予約済み	CT	DBM または予約済み	PL[1:0]	
				rw	rw	rw	rw	rw	rw	rw		rw	rw または r	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PINCOS	MSIZE[1:0]		PSIZE[1:0]		MINC	PINC	CIRC	DIR[1:0]		PFCTRL	TCIE	HTIE	TEIE	DMEIE	EN
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:28 予約済み、リセット値に保持する必要があります。

ビット 27:25 **CHSEL[2:0]**：チャネル選択

これらのビットは、ソフトウェアによってセット／クリアされます。
000 ：チャネル 0 が選択されます
001 ：チャネル 1 が選択されます
010 ：チャネル 2 が選択されます
011 ：チャネル 3 が選択されます
100 ：チャネル 4 が選択されます
101 ：チャネル 5 が選択されます
110 ：チャネル 6 が選択されます
111 ：チャネル 7 が選択されます
これらのビットは保護されており EN が“0”の場合のみ書き込みできます。

ビット 24:23 **MBURST**：メモリバースト転送設定

これらのビットは、ソフトウェアによってセット／クリアされます。
00 ：シングル転送
01 ：INCR4（4 ビートのインクリメンタルバースト）
10 ：INCR8（8 ビートのインクリメンタルバースト）
11 ：INCR16（16 ビートのインクリメンタルバースト）
これらのビットは保護されており EN が“0”の場合のみ書き込みできます。
ダイレクトモードでは、これらのビットは EN ビット=“1”になり次第ハードウェアによって強制的に 0x0 になります。

ビット 22:21 **PBURST[1:0]**：ペリフェラルバースト転送設定

これらのビットは、ソフトウェアによってセット／クリアされます。
00 ：シングル転送
01 ：INCR4（4 ビートのインクリメンタルバースト）
10 ：INCR8（8 ビートのインクリメンタルバースト）
11 ：INCR16（16 ビートのインクリメンタルバースト）
これらのビットは保護されており EN が“0”の場合のみ書き込みできます。
ダイレクトモードでは、これらのビットはハードウェアによって強制的に 0x0 になります。

ビット 20 予約済み、リセット値に保持する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 19 **CT**：現在のターゲット（ダブルバッファモード時のみ）

このビットは、ハードウェアによってセット／クリアされます。また、ソフトウェアによって書き込むこともできます。

0：現在のターゲットメモリはメモリ 0（DMA_SxM0AR ポインタによってアドレス指定）です。

1：現在のターゲットメモリはメモリ 1（DMA_SxM1AR ポインタによってアドレス指定）です。

このビットは、EN が '0' のときのみ書き込むことができ、最初の転送の対象メモリ領域を示します。ストリームが有効になると、このビットはステータスフラグとして動作し、どのメモリ領域が現在のターゲットかを示します。

ビット 18 **DBM**：ダブルバッファモード

このビットは、ソフトウェアによってセット／クリアされます。

0：転送終了時にバッファを切り替えません

1：DMA 転送終了時にメモリターゲットを切り替えます

このビットは保護されており、EN が“0”のときのみ書き込みできます。

ビット 17:16 **PL[1:0]**：優先順位レベル

これらのビットは、ソフトウェアによってセット／クリアされます。

00 ：低

01 ：中

10 ：高

11 ：最優先

これらのビットは保護されており EN が“0”のときのみ書き込みできます。

ビット 15 **PINCOS：ペリフェラルインクリメントオフセットサイズ**

このビットは、ソフトウェアによってセット／クリアされます。

0： ペリフェラルアドレス計算のためのオフセットサイズは PSIZE と関連付けされています。

1： ペリフェラルアドレス計算のためのオフセットサイズは 4 に固定されています（32 ビットアライメント）。

ビット PINC=“‘0”の場合、このビットは意味を持ちません。

このビットは保護されており EN=“0”のときのみ書き込みできます。

ダイレクトモードが選択されているか、PBURSTが “00” ではない場合、ストリームが有効になったとき（EN ビット =“1”）このビットはハードウェアによって強制的にローになります。

ビット 14:13 **MSIZE[1:0]**：メモリデータサイズ

これらのビットは、ソフトウェアによってセット／クリアされます。

00 ：バイト（8 ビット）

01 ：ハーフワード（16 ビット）

10 ：ワード（32 ビット）

11 ：予約済み

これらのビットは保護されており EN が“0”のときのみ書き込みできます。

ダイレクトモードでは、EN ビット =“1” になり次第、MSIZE はハードウェアによって強制的に PSIZE と同じ値になります。

ビット 12:11 **PSIZE[1:0]**：ペリフェラルデータサイズ

これらのビットは、ソフトウェアによってセット／クリアされます。

00 ：バイト（8 ビット）

01 ：ハーフワード（16 ビット）

10 ：ワード（32 ビット）

11 ：予約済み

これらのビットは保護されており EN が“0”の場合のみ書き込みできます。

ビット 10 **MINC**：メモリインクリメントモード

このビットは、ソフトウェアによってセット／クリアされます。

0 ：メモリアドレスポインタは固定されています。

1 ：メモリアドレスポインタは、各データ転送後にインクリメントされます（MSIZE に応じてインクリメント）

このビットは保護されており、EN が“0”のときのみ書き込みできます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 9 **PINC**：ペリフェラルインクリメントモード

このビットは、ソフトウェアによってセット／クリアされます。

0： ペリフェラルアドレスポインタは固定されています

1： ペリフェラルアドレスポインタは、各データ転送後にインクリメントされます（PSIZE に応じてインクリメント）

このビットは保護されており、EN が“0”のときのみ書き込みできます。

ビット 8 **CIRC**：サーキュラモード

このビットは、ソフトウェアによってセット／クリアされ、かつハードウェアによってクリアできます。

0：サーキュラモードは無効です。

1：サーキュラモードは有効です。

ペリフェラルがフローコントローラ（PFCTRL ビット =1）となっていて、ストリームが有効なとき（ビット EN=1）、このビットは自動的にハードウェアによって 0 になります。

DBMビットがセットされている場合、ストリームが有効になり次第（EN ビット =“1”）ハードウェアにより強制的に 1 になります。

ビット 7:6 **DIR[1:0]**：データ転送方向

これらのビットは、ソフトウェアによってセット／クリアされます。

00 ：ペリフェラルからメモリ

01 ：メモリからペリフェラル

10 ：メモリ間

11 ：予約済み

これらのビットは保護されており EN が“0”のときのみ書き込みできます。

ビット 5 **PFCTRL**：ペリフェラルフローコントローラ

このビットは、ソフトウェアによってセット／クリアされます。

0：DMA がフローコントローラ

1：ペリフェラルがフローコントローラ

このビットは保護されており、EN が“0”のときのみ書き込みできます。

メモリ間モードが選択されている場合（DIR[1:0] ビット =10）、このビットは自動的にハードウェアにより強制的に 0 になります。

ビット 4 **TCIE**：転送完了割り込みイネーブル

このビットは、ソフトウェアによってセット／クリアされます。

0：TC 割り込みは無効です。

1：TC 割り込みは有効です。

ビット 3 **HTIE**：1/2 転送割り込みイネーブル

このビットは、ソフトウェアによってセット／クリアされます。

0：HT 割り込みは無効です。

1：HT 割り込みは有効です。

ビット 2 **TEIE**：転送エラー割り込みイネーブル

このビットは、ソフトウェアによってセット／クリアされます。

0：TE 割り込みは無効です。

1：TE 割り込みは有効です。

ビット 1 **DMEIE**：ダイレクトモードエラー割り込みイネーブル

このビットは、ソフトウェアによってセット／クリアされます。

0：DME 割り込みは無効です。

1：DME 割り込みは有効です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 0 **EN**：ストリームイネーブル／ロー読み出し時のストリームレディフラグ

このビットは、ソフトウェアによってセット／クリアされます。

0：ストリームは無効です。

1：ストリームは有効です。

このビットは、次のときハードウェアによってクリアできます。

– DMA 転送終了時（ストリームが設定準備完了）

– AHB マスターバス上で転送エラーが発生した場合

– メモリ AHB ポート上の FIFO 閾値がバーストの大きさと適合しない場合

このビットが 0 として読み出された場合、ソフトウェアによって設定レジスタと FIFO ビットレジスタをプログラムすることができます。EN ビットが 1 として読み出された場合、これらのレジスタの書き込みは禁止されています。

注： 新しい転送を開始するために EN ビットを“1”に設定する前に、DMA_LISR または DMA_HISR レジスタのストリームに対応するイベントフラグをクリアする必要があります。

10.5.6 DMA ストリーム x データ数レジスタ（DMA_SxNDTR）（x=0..7）

アドレスオフセット：0x14 + 0x18 × ストリーム番号

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NDT[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:16 予約済み、リセット値に保持する必要があります。

ビット 15:0 **NDT[15:0]**：転送データ項目数

転送されるデータ項目数（0～65535）。このレジスタに書き込めるのは、ストリームが無効のときだけです。ストリームが有効になると、このレジスタは読み出し専用になり、送信されるべき残りのデータ項目を示します。このレジスタは、各 DMA 転送後にデクリメントされます。

転送が完了すると、このレジスタは、ゼロのままにすることもできれば（ストリームが通常モードのとき）、次の場合には事前にプログラムされた値を自動的にリロードすることもできます。

– ストリームがサーキュラモードに設定されている場合。

– EN ビットを“1”に設定することにより、ストリームが再び有効になった場合

このレジスタの値が 0 の場合、ストリームが有効であっても、トランザクションは処理できません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

10.5.7 DMA ストリーム x ペリフェラルアドレスレジスタ（DMA_SxPAR）（x=0..7）

アドレスオフセット：0x18 + 0x18 × ストリーム番号

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PAR[31:16]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PAR[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0 **PAR[31:0]**：ペリフェラルアドレス

データの読み出し／書き込みが行われるペリフェラルデータレジスタのベースアドレス。

これらのビットは書き込み保護されており、DMA_SxCR レジスタの EN ビット =“0”のときのみ書き込みできます。

10.5.8 DMA ストリーム x メモリ 0 アドレスレジスタ（DMA_SxM0AR）（x=0..7）

アドレスオフセット：0x1C + 0x18 × ストリーム番号

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
M0A[31:16]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
M0A[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0 **M0A[31:0]**：メモリ 0 アドレス

データの読み出し／書き込みが行われるメモリ領域 0 のベースアドレス。

これらのビットは書き込み保護されています。次の場合にのみ書き込みが可能です。

- ストリームが無効（DMA_SxCR レジスタの EN ビット =“0”）の場合、または
- ストリームが有効（DMA_SxCR レジスタのEN=“1”）で DMA_SxCR レジスタのビット CT=“1”（ダブルバッファモード）の場合。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

10.5.9 DMA ストリーム x メモリ 1 アドレスレジスタ（DMA_SxM1AR）（x=0..7）

アドレスオフセット：0x20 + 0x18 × ストリーム番号

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
M1A[31:16]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
M1A[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0 **M1A[31:0]**：メモリ 1 アドレス（ダブルバッファモードの場合に使用）

データの読み出し／書き込みが行われるメモリ領域 1 のベースアドレス。

このレジスタは、ダブルバッファモードでのみ使用されます。

これらのビットは書き込み保護されています。次の場合にのみ書き込みが可能です。

- ストリームが無効（DMA_SxCR レジスタのビット EN=“0”）の場合、または
- ストリームが有効（DMA_SxCR レジスタのEN=“1”）で DMA_SxCR レジスタのビット CT=“0”の場合。

10.5.10 DMA ストリーム x FIFO 制御レジスタ（DMA_SxFCR）（x=0..7）

アドレスオフセット：0x24 + 0x24 × ストリーム番号

リセット値：0x0000 0021

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								FEIE	予約済み	FS[2:0]			DMDIS	FTH[1:0]	
								rw		r	r	r	rw	rw	rw

ビット 31:8 予約済み、リセット値に保持する必要があります。

ビット 7 **FEIE**：FIFO エラー割り込みイネーブル

このビットは、ソフトウェアでセット／クリアします。

0：FE 割り込みは無効です。

1：FE 割り込みは有効です。

ビット 6 予約済み、リセット値に保持する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 5:3 **FS[2:0]**：FIFO ステータス

これらのビットは読み出し専用です。

000: 0 < FIFO レベル < 1/4

001: 1/4 ≤ FIFO レベル < 1/2

010: 1/2 ≤ FIFO レベル < 3/4

011: 3/4 ≤ FIFO レベル < 満杯

100：FIFO は空です。

101：FIFO は満杯です。

上記以外：意味を持ちません。

これらのビットは、ダイレクトモードには無関係です（DMDIS ビットがゼロ）。

ビット 2 **DMDIS**：ダイレクトモードディセーブル

このビットは、ソフトウェアでセット／クリアします。ハードウェアによってセットすることができます。

0：ダイレクトモードは有効です。

1：ダイレクトモードは無効です。

このビットは保護されており、EN が“0”のときのみ書き込みできます。

このビットは、メモリ間モードが選択されており（DMA_SxCR の DIR ビットが “10”）、DMA_SxCR レジスタの EN ビットが“1”の場合、ハードウェアによってセットされます。その理由は、ダイレクトモードではメモリ間転送設定が使用できないからです。

ビット 1:0 **FTH[1:0]**：FIFO 閾値選択

これらのビットは、ソフトウェアでセット／クリアします。

00：FIFO 満杯の 1/4

01：FIFO 満杯の 1/2

10：FIFO 満杯の 3/4

11：FIFO 満杯

これらのビットは、DMIS 値がゼロのときダイレクトモードで使用されません。

これらのビットは保護されており EN が“1”のときのみ書き込みできます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

10.5.11 DMA レジスタマップ

表 52 に DMA レジスタの要約を示します。

表 52. DMA レジスタマップとリセット値

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x0000	DMA_LISR	予約済み				TCIF3	HTIF3	TEIF3	DMEIF3	予約済み	FEIF3	TCIF2	HTIF2	TEIF2	DMEIF2	予約済み	FEIF2	予約済み				TCIF1	HTIF1	TEIF1	DMEIF1	予約済み	FEIF1	TCIF0	HTIF0	TEIF0	DMEIF0	予約済み	FEIF0
	リセット値					0	0	0	0	0	0	0	0	0	0	0	0					0	0	0	0	0	0	0	0	0	0	0	0
0x0004	DMA_HISR	予約済み				TCIF7	HTIF7	TEIF7	DMEIF7	予約済み	FEIF7	TCIF6	HTIF6	TEIF6	DMEIF6	予約済み	FEIF6	予約済み				TCIF5	HTIF5	TEIF5	DMEIF5	予約済み	FEIF5	TCIF4	HTIF4	TEIF4	DMEIF4	予約済み	FEIF4
	リセット値					0	0	0	0	0	0	0	0	0	0	0	0					0	0	0	0	0	0	0	0	0	0	0	0
0x0008	DMA_LIFCR	予約済み				CTCIF3	CHTIF3	TEIF3	CDMEIF3	予約済み	CFEIF3	CTCIF2	CHTIF2	CTEIF2	CDMEIF2	予約済み	CFEIF2	予約済み				CTCIF1	CHTIF1	CTEIF1	CDMEIF1	予約済み	CFEIF1	CTCIF0	CHTIF0	CTEIF0	CDMEIF0	予約済み	CFEIF0
	リセット値					0	0	0	0	0	0	0	0	0	0	0	0					0	0	0	0	0	0	0	0	0	0	0	0
0x000C	DMA_HIFCR	予約済み				CTCIF7	CHTIF7	CTEIF7	CDMEIF7	予約済み	CFEIF7	CTCIF6	CHTIF6	CTEIF6	CDMEIF6	予約済み	CFEIF6	予約済み				CTCIF5	CHTIF5	CTEIF5	CDMEIF5	予約済み	CFEIF5	CTCIF4	CHTIF4	CTEIF4	CDMEIF4	予約済み	CFEIF4
	リセット値					0	0	0	0	0	0	0	0	0	0	0	0					0	0	0	0	0	0	0	0	0	0	0	0
0x0010	DMA_S0CR	予約済み				CHSEL[2:0]			MBURST[1:0]		PBURST[1:0]		予約済み	CT	DBM	PL[1:0]		PINCOS	MSIZE[1:0]		PSIZE[1:0]		MINC	PINC	CIRC	DIR[1:0]		PFCTRL	TCIE	HTIE	TEIE	DMEIE	EN
	リセット値					0	0	0	0	0	0	0		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0014	DMA_S0NDTR	予約済み																NDT[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0018	DMA_S0PAR	PA[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x001C	DMA_S0M0AR	M0A[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0020	DMA_S0M1AR	M1A[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0024	DMA_S0FCR	予約済み																								FEIE	予約済み	FS[2:0]			DMDIS	FTH[1:0]	
	リセット値																									0		1	0	0	0	0	1
0x0028	DMA_S1CR	予約済み				CHSEL[2:0]			MBURST[1:0]		PBURST[1:0]		ACK	CT	DBM	PL[1:0]		PINCOS	MSIZE[1:0]		PSIZE[1:0]		MINC	PINC	CIRC	DIR[1:0]		PFCTRL	TCIE	HTIE	TEIE	DMEIE	EN
	リセット値					0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x002C	DMA_S1NDTR	予約済み																NDT[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0030	DMA_S1PAR	PA[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0034	DMA_S1M0AR	M0A[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 52. DMA レジスタマップとリセット値（続き）

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x0038	DMA_S1M1AR	M1A[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x003C	DMA_S1FCR	予約済み																								FEIE	予約済み	FS[2:0]			DMDIS	FTH [1:0]	
	リセット値																									0		1	0	0	0	0	1
0x0040	DMA_S2CR	予約済み				CHSEL [2:0]			MBURST[1:0]		PBURST[1:0]		ACK	CT	DBM	PL[1:0]		PINCOS	MSIZE[1:0]		PSIZE[1:0]		MINC	PINC	CIRC	DIR [1:0]		PFCTRL	TCIE	HTIE	TEIE	DMEIE	EN
	リセット値					0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0044	DMA_S2NDTR	予約済み																NDT[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0048	DMA_S2PAR	PA[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x004C	DMA_S2M0AR	M0A[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0050	DMA_S2M1AR	M1A[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0054	DMA_S2FCR	予約済み																								FEIE	予約済み	FS[2:0]			DMDIS	FTH [1:0]	
	リセット値																									0		1	0	0	0	0	1
0x0058	DMA_S3CR	予約済み				CHSEL[2:0]			MBURST[1:0]		PBURST[1:0]		ACK	CT	DBM	PL[1:0]		PINCOS	MSIZE[1:0]		PSIZE[1:0]		MINC	PINC	CIRC	DIR[1:0]		PFCTRL	TCIE	HTIE	TEIE	DMEIE	EN
	リセット値					0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x005C	DMA_S3NDTR	予約済み																NDT[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0060	DMA_S3PAR	PA[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0064	DMA_S3M0AR	M0A[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0068	DMA_S3M1AR	M1A[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x006C	DMA_S3FCR	予約済み																								FEIE	予約済み	FS[2:0]			DMDIS	FTH [1:0]	
	リセット値																									0		1	0	0	0	0	1
0x0070	DMA_S4CR	予約済み				CHSEL[2:0]			MBURST[1:0]		PBURST[1:0]		ACK	CT	DBM	PL[1:0]		PINCOS	MSIZE[1:0]		PSIZE[1:0]		MINC	PINC	CIRC	DIR [1:0]		PFCTRL	TCIE	HTIE	TEIE	DMEIE	EN
	リセット値					0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0074	DMA_S4NDTR	予約済み																NDT[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 52. DMA レジスタマップとリセット値（続き）

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x0078	DMA_S4PAR	PA[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x007C	DMA_S4M0AR	M0A[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0080	DMA_S4M1AR	M1A[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0084	DMA_S4FCR	予約済み																								FEIE	予約済み	FS[2:0]			DMDIS	FTH [1:0]	
	リセット値																									0		1	0	0	0	0	1
0x0088	DMA_S5CR	予約済み				CHSEL[2:0]			MBURST[1:0]		PBURST[1:0]		ACK	CT	DBM	PL[1:0]		PINCOS	MSIZE[1:0]		PSIZE[1:0]		MINC	PINC	CIRC	DIR[1:0]		PFCTRL	TCIE	HTIE	TEIE	DMEIE	EN
	リセット値					0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x008C	DMA_S5NDTR	予約済み																NDT[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0090	DMA_S5PAR	PA[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0094	DMA_S5M0AR	M0A[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0098	DMA_S5M1AR	M1A[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x009C	DMA_S5FCR	予約済み																								FEIE	予約済み	FS[2:0]			DMDIS	FTH [1:0]	
	リセット値																									0		1	0	0	0	0	1
0x00A0	DMA_S6CR	予約済み				CHSEL[2:0]			MBURST[1:0]		PBURST[1:0]		ACK	CT	DBM	PL[1:0]		PINCOS	MSIZE[1:0]		PSIZE[1:0]		MINC	PINC	CIRC	DIR[1:0]		PFCTRL	TCIE	HTIE	TEIE	DMEIE	EN
	リセット値					0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x00A4	DMA_S6NDTR	予約済み																NDT[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x00A8	DMA_S6PAR	PA[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x00AC	DMA_S6M0AR	M0A[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x00B0	DMA_S6M1AR	M1A[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x00B4	DMA_S6FCR	予約済み																								FEIE	予約済み	FS[2:0]			DMDIS	FTH [1:0]	
	リセット値																									0		1	0	0	0	0	1
0x00B8	DMA_S7CR	予約済み				CHSEL[2:0]			MBURST[1:0]		PBURST[1:0]		ACK	CT	DBM	PL[1:0]		PINCOS	MSIZE[1:0]		PSIZE[1:0]		MINC	PINC	CIRC	DIR[1:0]		PFCTRL	TCIE	HTIE	TEIE	DMEIE	EN
	リセット値					0	0	0	0	0	0	0	0	0	0	0	0		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x00BC	DMA_S7NDTR	予約済み																NDT[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x00C0	DMA_S7PAR	PA[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x00C4	DMA_S7M0AR	M0A[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x00C8	DMA_S7M1AR	M1A[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 52. DMA レジスタマップとリセット値（続き）

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00CC	DMA_S7FCR	予約済み																								FEIE	予約済み	FS[2:0]			DMDIS	FTH [1:0]	
	リセット値																									0		1	0	0	0	0	1

レジスタ境界アドレスについては、*表 2（64 ページ）*を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

11 Chrom-Art Accelerator™ コントローラ（DMA2D）

このセクション は、STM32F42xxx および STM32F43xxx ファミリに適用されます。

11.1 DMA2D の概要

Chrom-Art Accelerator™（DMA2D）はイメージ操作専用の特殊な DMA です。以下の操作を実行できます。

- 転送先イメージの一部または全部を特定の色で塗りつぶす
- 転送元イメージの一部または全部を転送先イメージの一部または全部にコピーする
- 転送元イメージの一部または全部をピクセルフォーマット変換を行い転送先イメージの一部または全部にコピーする
- 異なるピクセルフォーマットを持つ転送元イメージの全部または一部をブレンドし、その結果を別のピクセルフォーマットで転送先イメージの一部または全体にコピーする

すべての標準的なピクセルフォーマットがサポートされており、4bit/pixel から 32bit/pixel のインデックスカラーモードまたはダイレクトカラーモードに対応しています。DMA2D は CLUT（color look-up tables：カラールックアップテーブル）用に専用メモリを搭載しています。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

11.2 DMA2D の主な機能

DMA2D の主な機能は次のとおりです。

- シングル AHB マスターバスアーキテクチャ。
- 8/16/32 ビットアクセスをサポートする AHB スレーブプログラミングインタフェース（32 ビットの CLUT アクセスを除く）。
- ユーザーが任意に設定可能なワーク領域サイズ
- ユーザーが任意に設定可能な転送元および転送先領域のオフセット
- 全メモリ空間でユーザーが任意に設定可能な転送元および転送先のアドレス
- 最大 2 つの転送元イメージのブレンド操作
- アルファ値を調整可能（ソースカラー値、固定値、または変調値）
- ユーザーが任意に設定可能な転送元および転送先のピクセルフォーマット
- 最大 11 のピクセルフォーマットを、インデックスカラーまたはダイレクトカラーで 4bit/pixel から 32bit/pixel までサポート
- インデックスカラーモードにおける CLUT 格納用に 2 つの内部メモリを搭載
- 自動 CLUT ローディングまたは CPU を使用した CLUT プログラミング
- ユーザーが任意に設定可能な CLUT サイズ
- AHB 帯域幅を制御する内部タイマ
- 4 つの動作モード：レジスタからメモリへの転送、メモリ間転送、ピクセルフォーマット変換を伴うメモリ間転送、およびピクセルフォーマット変換およびブレンディングを伴うメモリ間転送
- 固定カラーでの矩形領域塗りつぶし
- 領域間のコピー
- 転送元イメージと転送先イメージ間のピクセルフォーマット変換を伴うコピー
- ピクセルフォーマットの異なる 2 つの転送元イメージのコピー、およびブレンディング
- DMA2D 動作の強制停止および一時停止
- ユーザが任意に設定可能な転送先イメージラインにおけるウォーターマーク割り込み
- バスエラーまたはアクセス競合時の割り込み生成
- プロセス完了時の割り込み生成

11.3 DMA2D 機能の説明

11.3.1 概要

DMA2D コントローラはダイレクトメモリ転送を行います。AHB マスタとして、AHB バスマトリックスを制御して AHB トランザクションを開始することができます。

DMA2D は、次のモードで動作することができます。

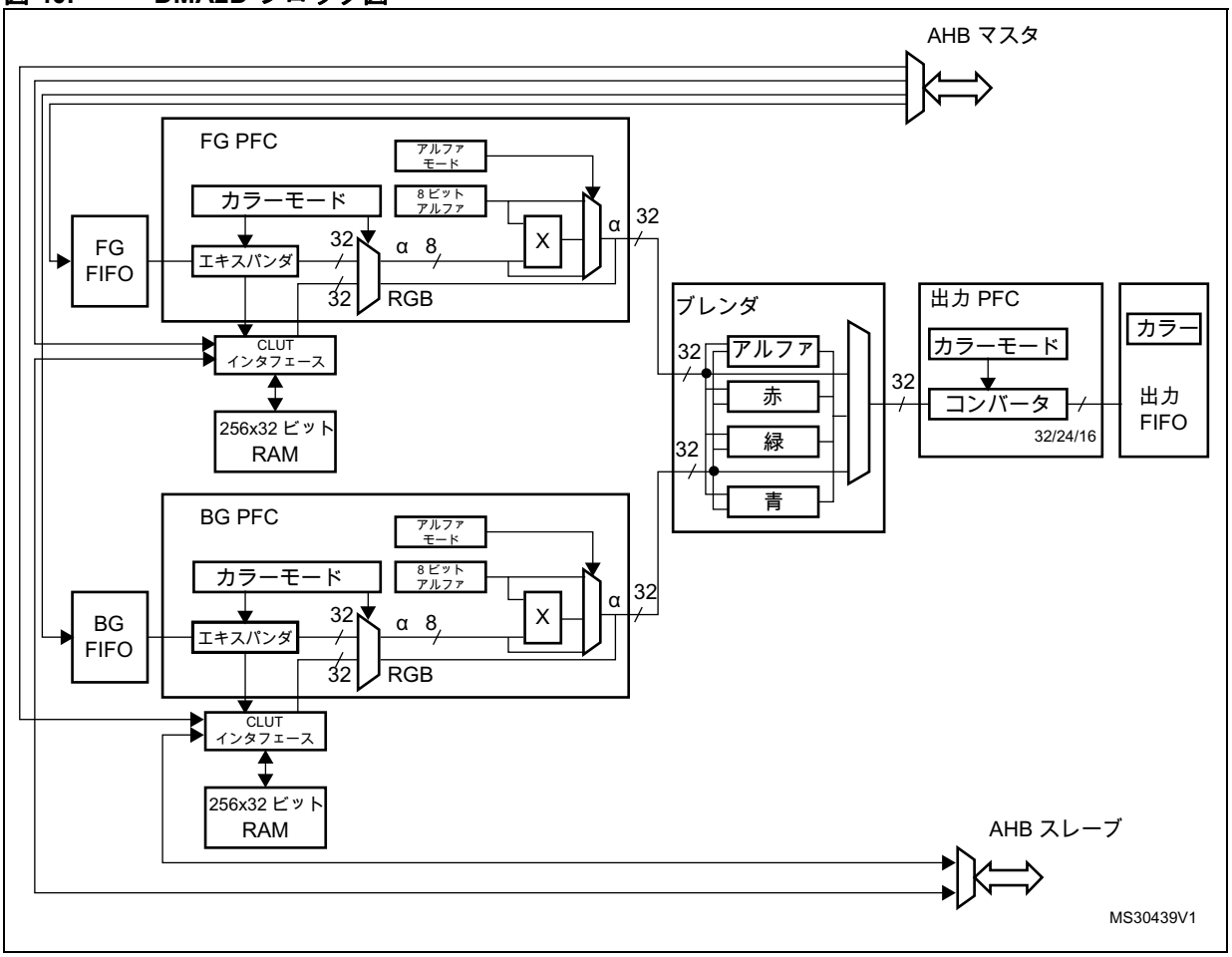
- レジスタからメモリへの転送
- メモリ間転送
- ピクセルフォーマット変換を伴うメモリ間転送
- ピクセルフォーマット変換およびブレンディングを伴うメモリ間転送

AHB スレーブポートは、DMA2D コントローラをプログラムするために使用されます。

DMA2D のブロック図を*図 40：DMA2D ブロック図*に示します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 40. DMA2D ブロック図



11.3.2 DMA2D の制御

DMA2D コントローラは、DMA2D 制御レジスタ（DMA2D_CR）を使用して設定します。このレジスタによって次の選択を行うことができます。

ユーザーアプリケーションで次の操作を実行できます。

- 動作モードの選択
- DMA2D 割り込みの有効化／無効化
- 進行中のデータ転送の開始／一時停止／強制停止

11.3.3 DMA2D フォアグラウンドおよびバックグラウンド FIFO

DMA2D フォアグラウンド（FG）FIFO およびバックグラウンド（BG）FIFO はコピーなどの処理をする入力データをフェッチします。

これらの FIFO は、それぞれのピクセルフォーマットコンバータ（PFC）に定義されているピクセルフォーマットに従ってピクセルデータをフェッチします。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

これらは次の制御レジスタにより設定可能です。

- DMA2D フォアグラウンドメモリアドレスレジスタ（DMA2D_FGMAR）
- DMA2D フォアグラウンドオフセットレジスタ（DMA2D_FGOR）
- DMA2D バックグラウンドメモリアドレスレジスタ（DMA2D_BGMAR）
- DMA2D バックグラウンドオフセットレジスタ（DMA2D_BGOR）
- DMA2D ライン数レジスタ（ライン数およびラインあたりのピクセル数）（DMA2D_NLR）

DMA2D がレジスタからメモリへの転送モードで動作する場合、どちらの FIFO もアクティブになりません。

DMA2D がメモリ間転送モードで動作する（ピクセルフォーマット変換、ブレンディング処理のいずれも行わない）場合は、FG FIFO のみアクティブになりバッファとして機能します。

DMA2D がピクセルフォーマット変換を伴うメモリ間転送モードで動作する（ブレンディング処理を行わない）場合は、BG FIFO はアクティブになりません。

11.3.4 DMA2D フォアグラウンドおよびバックグラウンドのピクセルフォーマットコンバータ（PFC）

DMA2D フォアグラウンドピクセルフォーマットコンバータ（PFC）およびバックグラウンドピクセルフォーマットコンバータはピクセルフォーマット変換を行って 32bit/pixel のデータを生成します。PFC はアルファ値に調整を加えることもできます。

コンバータの一段目ではピクセルフォーマットを変換します。フォアグラウンドピクセルとバックグラウンドピクセルの元のピクセルフォーマットは、それぞれ DMA2D_FGPFCCR および DMA2D_BGPFCCR の CM[3:0] ビットによって設定します。

サポートされている入力フォーマットを *表 53: 入力でサポートされているピクセルフォーマット* に示します。

表 53. 入力でサポートされているピクセルフォーマット

CM[3:0]	ピクセルフォーマット
0000	ARGB8888
0001	RGB888
0010	RGB565
0011	ARGB1555
0100	ARGB4444
0101	L8
0110	AL44
0111	AL88
1000	L4
1001	A8
1010	A4

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ピクセルフォーマットは次のとおりコード化されています。

- アルファ値フィールド：透明度
  0xFF 値は不透明ピクセルに対応し 0x00 は透明ピクセルに対応します。
- R フィールドは赤
- G フィールドは緑
- B フィールドは青
- L フィールド：輝度
  このフィールドは RGB から 3 つの、ARGB から 4 つの成分を読み出すための CLUT のインデックスです。

元のフォーマットがダイレクトカラーモードの場合、MSB を LSB へコピーしてチャネルあたり 8 ビットへの拡張が行われます。これにより変換の線形性が完全に保証されます。

元のフォーマットにアルファ値が無い場合、アルファ値は自動的に 0xFF（不透明）にセットされます。

元のフォーマットがインデックスカラーモードの場合、CLUT が必要となり、各ピクセルフォーマットコンバータは、256 エントリの 32 ビット CLUT と連動します。

特定のアルファモード A4 および A8 では、カラー情報の格納、インデックスの利用のいずれも行われません。イメージ生成に使用されるカラーは固定となっており、フォアグラウンドピクセル用のカラーは DMA2D_FGCOLR レジスタで、バックグラウンドピクセル用のカラーは DMA2D_BGCOLR レジスタで定義されます。

システムメモリ内のフィールドの順序は *表 54：メモリ内のデータ順序* で定義しています。

表 54. メモリ内のデータ順序

ピクセルフォーマット	@ + 3	@ + 2	@ + 1	@ + 0
ARGB8888	A_0[7:0]	R_0[7:0]	G_0[7:0]	B_0[7:0]
RGB888	B_1[7:0]	R_0[7:0]	G_0[7:0]	B_0[7:0]
	G_2[7:0]	B_2[7:0]	R_1[7:0]	G_1[7:0]
	R_3[7:0]	G_3[7:0]	B_3[7:0]	R_2[7:0]
RGB565	R_1[4:0]G_1[5:3]	G_1[2:0]B_1[4:0]	R_0[4:0]G_0[5:3]	G_0[2:0]B_0[4:0]
ARGB1555	A_1[0]R_1[4:0]G_1[4:3]	G_1[2:0]B_1[4:0]	A_0[0]R_0[4:0]G_0[4:3]	G_0[2:0]B_0[4:0]
ARGB4444	A_1[3:0]R_1[3:0]	G_1[3:0]B_1[3:0]	A_0[3:0]R_0[3:0]	G_0[3:0]B_0[3:0]
L8	L_3[7:0]	L_2[7:0]	L_1[7:0]	L_0[7:0]
AL44	A_3[3:0]L_3[3:0]	A_2[3:0]L_2[3:0]	A_1[3:0]L_1[3:0]	A_0[3:0]L_0[3:0]
AL88	A_1[7:0]	L_1[7:0]	A_0[7:0]	L_0[7:0]
L4	L_7[3:0]L_6[3:0]	L_5[3:0]L_4[3:0]	L_3[3:0]L_2[3:0]	L_1[3:0]L_0[3:0]
A8	A_3[7:0]	A_2[7:0]	A_1[7:0]	A_0[7:0]
A4	A_7[3:0]A_6[3:0]	A_5[3:0]A_4[3:0]	A_3[3:0]A_2[3:0]	A_1[3:0]A_0[3:0]

32 ビットに調整された 24 ビット RGB888 は ARGB8888 モードでサポートされます。

32 ビット値が生成されると、*表 55：アルファモード設定* に示すように DMA2D_FGPFCCR/DMA2D_BGPFCCR レジスタの AM[1:0] フィールドに従ってアルファ値を調整することができます。

この資料は、STMicroelectronics NV 並びにその子会社（以下 ST）が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

この時アルファ値は以下の処理が可能です。

- そのままを維持（調整なし）
- DMA2D_FGPFCCR/DMA2D_BGPFCCR の ALPHA[7:0] 値で置換
- DMA2D_FGPFCCR/DMA2D_BGPFCCR の ALPHA[7:0] 値を 255 で除算した後、元のアルファ値に乗算した値で置換

表 55. アルファモード設定

AM[1:0]	アルファモード
00	調整なし
01	DMA2D_xxPFCCR の値で置換
10	DMA2D_xxPFCCR を 255 で除算した値を元の値に乗算して置換
11	予約済み

11.3.5 DMA2D フォアグラウンドおよびバックグラウンド CLUT インタフェース

CLUT メモリアクセスおよび CLUT の自動ローディングは CLUT インタフェースによって管理されます。

次の 3 種類のアクセスが可能です。

- ピクセルフォーマット変換操作中の PFC による CLUT の読み出し
- CPU が CLUT に対してデータの読み出しまたは書き込みを行っているときの AHB スレーブポートを経由した CLUT へのアクセス
- CLUT の自動ローディングが行われているときの AHB マスタポートを経由した CLUT への書き込み

CLUT メモリローディングは次の 2 つの方法で行うことができます。

- オートローディング

  CLUT のローディングは、次の順序で行う必要があります。

  a) DMA2D_FGCMAR レジスタ（フォアグラウンド CLUT）または DMA2D_BGCMAR レジスタ （バックグラウンドCLUT）に CLUT アドレスを設定します。

  b) DMA2D_FGPFCCR レジスタ（フォアグラウンドCLUT）または DMA2D_BGPFCCR レジスタ（バックグラウンド CLUT）の CS[7:0] フィールドに CLUT サイズを設定します。

  c) DMA2D_FGPFCCR レジスタ（フォアグラウンド CLUT）または DMA2D_BGPFCCR レジスタ（バックグラウンド CLUT）の START ビットをセットして転送を開始します。このオートローディング処理中、CLUT に対する CPU によるアクセスはできません。競合が発生した場合、CLUT アクセスエラー割り込みが 発生します。ただし、DMA2D_CR 内の CAEIE ビットが“1”に設定されている必要があります。

- マニュアルローディング

  ローカル CLUT メモリがマップされている DMA2D AHB スレーブポートを使用して、アプリケーションがマニュアルで CLUT を設定する必要があります。フォアグラウンド CLUT はアドレスオフセット 0x0400 に配置され、バックグラウンド CLUT はアドレスオフセット 0x0800 に配置されます。

CLUT フォーマットは、24 ビットまたは 32 ビットが可能です。*表 56：サポートされている CLUT カラーモード* に示すように DMA2D_FGPFCCR レジスタ（フォアグラウンド CLUT）または DMA2D_BGPFCCR レジスタ（バックグラウンド CLUT）の CCM ビットを介して CLUT フォーマットを設定します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 56. サポートされている CLUT カラーモード

CCM	CLUT カラーモード
0	32 ビット ARGB8888
1	24 ビット RGB888

システムメモリ内の CLUT データの構成方法は *表 57: メモリ内の CLUT データ順序* に規定しています。

表 57. メモリ内の CLUT データ順序

CLUT カラーモード	@ + 3	@ + 2	@ + 1	@ + 0
ARGB8888	A_0[7:0]	R_0[7:0]	G_0[7:0]	B_0[7:0]
RGB888	B_1[7:0]	R_0[7:0]	G_0[7:0]	B_0[7:0]
	G_2[7:0]	B_2[7:0]	R_1[7:0]	G_1[7:0]
	R_3[7:0]	G_3[7:0]	B_3[7:0]	R_2[7:0]

11.3.6 DMA2D ブレンダ

DMA2D ブレンダは、転送元ピクセルをペアでブレンドし、出来上がりのピクセルを計算します。

ブレンドは次の式に従って行われます。

$$\text{ここで } \alpha_{Mult} = \frac{\alpha_{FG} \cdot \alpha_{BG}}{255}$$

$$\alpha_{OUT} = \alpha_{FG} + \alpha_{BG} - \alpha_{Mult}$$

$$C_{OUT} = \frac{C_{FG} \cdot \alpha_{FG} + C_{BG} \cdot \alpha_{BG} - C_{BG} \cdot \alpha_{Mult}}{\alpha_{OUT}} \quad \text{ここで C = R または G または B}$$

除算では、最も近い整数に切り捨てられます。

ブレンダは設定レジスタを必要としません。ブレンダーの使用方法は DMA2D_CR レジスタの MODE[1:0] フィールドで定義される DMA2D 動作モードによって異なります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

11.3.7 DMA2D 出力 PFC

出力 PFC は、32 ビットから DMA2D 出力ピクセルフォーマット変換設定レジスタ（DMA2D_OPFCCR）の CM[2:0] フィールドで定義された出力フォーマットへのピクセルフォーマット変換を行います。

サポートされている出力フォーマットを *表 58：出力でサポートされているカラーモード* に示します。

表 58. 出力でサポートされているカラーモード

CM[2:0]	カラーモード
000	ARGB8888
001	RGB888
010	RGB565
011	ARGB1555
100	ARGB4444

11.3.8 DMA2D 出力 FIFO

出力 FIFO は、出力 PFC に定義されているカラーフォーマットに従ってピクセルをプログラムします。

転送先領域は、次の制御レジスタによって定義します。

- DMA2D 出力メモリアドレスレジスタ（DMA2D_OMAR）
- DMA2D 出力オフセットレジスタ（DMA2D_OOR）
- DMA2D ライン数レジスタ（ライン数およびラインあたりのピクセル数）（DMA2D_NLR）

DMA2D がレジスタからメモリモードで動作する場合、設定された出力矩形領域が、32 ビット、24 ビットまたは 16 ビットの固定値が格納された DMA2D 出力カラーレジスタ（ DMA2D_OCOLR）で指定された色で塗りつぶされます。フォーマットは、DMA2D_OPFCCR レジスタの CM[2:0] フィールドで選択します。

データは *表 59：メモリ内のデータ順序* で定義されている順番でメモリに格納されます。

表 59. メモリ内のデータ順序

カラーモード	@ + 3	@ + 2	@ + 1	@ + 0
ARGB8888	A_0[7:0]	R_0[7:0]	G_0[7:0]	B_0[7:0]
RGB888	B_1[7:0]	R_0[7:0]	G_0[7:0]	B_0[7:0]
	G_2[7:0]	B_2[7:0]	R_1[7:0]	G_1[7:0]
	R_3[7:0]	G_3[7:0]	B_3[7:0]	R_2[7:0]
RGB565	R_1[4:0]G_1[5:3]	G_1[2:0]B_1[4:0]	R_0[4:0]G_0[5:3]	G_0[2:0]B_0[4:0]
ARGB1555	A_1[0]R_1[4:0]G_1[4:3]	G_1[2:0]B_1[4:0]	A_0[0]R_0[4:0]G_0[4:3]	G_0[2:0]B_0[4:0]
ARGB4444	A_1[3:0]R_1[3:0]	G_1[3:0]B_1[3:0]	A_0[3:0]R_0[3:0]	G_0[3:0]B_0[3:0]

32 ビットに調整された RGB888 は ARGB8888 モードでサポートされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

11.3.9 DMA2D AHB マスタポートタイマ

AHB マスタポートには 8 ビットのタイマが組込まれており、クロスバーの帯域幅を任意に制限することができます。

このタイマは AHB クロックによって駆動され、2 つの連続アクセス間のデッドタイムをカウントします。これによって帯域幅の使用を制限することができます。

タイマの有効化とデッドタイム値は AHB マスタポートタイマ設定レジスタ（DMA2D_AMPTCR）によって設定します。

11.3.10 DMA2D トランザクション

DMA2D トランザクションは、一定数のデータ転送のシーケンスで構成されています。データの数と幅はソフトウェアによりプログラムすることができます。

各 DMA2D データ転送は、最大 4 つのステップで構成されています。

1. DMA2D_FGMAR レジスタで示されるメモリ位置からのデータローディングおよび DMA2D_FGCR で定義されるピクセルフォーマット変換。
2. DMA2D_BGMAR レジスタで示されるメモリ位置からのデータローディングおよび DMA2D_BGCR で定義されるピクセルフォーマット変換。
3. アルファ値に関する PFC 操作の結果として生じるアルファチャンネルに従ったすべての読み出しピクセルのブレンディング。
4. DMA2D_OCR レジスタに従って出来たピクセルのピクセルフォーマット変換および DMA2D_OMAR レジスタによってアドレス指定されたメモリ位置へのデータのプログラミング。

11.3.11 DMA2D 設定

データ転送元およびデータ転送先は両方ともアドレス 0x0000 0000 と 0xFFFF FFFF の間の全 4 G バイトメモリ領域内のペリフェラルおよびメモリを対象にすることができます。

DMA2D は、DMA2D_CR レジスタの MODE[1:0] ビットによって次の 4 つのモードのいずれでも動作することができます。

- レジスタからメモリへの転送
- メモリ間転送
- PFC を伴うメモリ間転送
- PFC とブレンディングを伴うメモリ間転送

レジスタからメモリへの転送

“レジスタからメモリ”モードは、ユーザー定義領域を事前定義された色で塗りつぶすために使用します。

カラーフォーマットは DMA2D_OPFCCR で設定します。

DMA2D はどのソースからもデータのフェッチを行いません。DMA2D_OCOLR レジスタで定義された色を、DMA2D_OMAR で示されるアドレスの、DMA2D_NLR および DMA2D_OOR で定義される領域に書き込むだけです。

メモリ間転送

メモリ間モードでは、DMA2D はグラフィカルなデータの変換は何も行いません。フォアグラウンド入力 FIFO はバッファの役目を果たし、データは、DMA2D_FGMAR で定義される転送元のメモリ位置から DMA2D_OMAR が示す転送先のメモリ位置へ転送されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

DMA2D_FGPFCCR レジスタの CM[3:0] ビットでプログラムされているカラーモードによって、入力および出力の両方のピクセルあたりのビット数を定義します。

転送する領域のサイズは、転送元に対しては DMA2D_NLR および DMA2D_FGOR レジスタで定義され、デスティネーションに対しては DMA2D_NLR および DMA2D_OOR レジスタで定義されます。

PFC を伴うメモリ間転送

このモードでは DMA2D は転送元データのピクセルフォーマット変換を行いそれを転送先メモリ位置に格納します。

転送する領域のサイズは、転送元に対しては DMA2D_NLR および DMA2D_FGOR レジスタで定義され、転送先に対しては DMA2D_NLR および DMA2D_OOR レジスタで定義されます。

データは DMA2D_FGMAR レジスタで定義されている位置からフェッチされ、フォアグラウンド PFC によって処理されます。元のピクセルフォーマットは DMA2D_FGPFCCR レジスタで設定します。

元のピクセルフォーマットがダイレクトカラーモードである場合、カラーチャネルはすべて 8 ビットに拡張されます。

ピクセルフォーマットがインダイレクトカラーモードである場合、関連する CLUT を CLUT メモリにロードする必要があります。

CLUT のローディングは以下の流れに従って自動的に行うことができます。

1. CLUT アドレスを DMA2D_FGCMAR に設定します。
2. DMA2D_FGPFCCR レジスタの CS[7:0] ビットに CLUT サイズを設定します。
3. DMA2D_FGPFCCR レジスタの CCM ビットに CLUT フォーマット（24 ビットまたは 32 ビット）を設定します。
4. DMA2D_FGPFCCR レジスタの START ビットをセットすることにより CLUT ローディングを開始します。

CLUT のローディングが完了すると、DMA2D_IFR レジスタの CTCIF フラグが立ち、DMA2D_CR レジスタの CTCIE ビットがセットされていれば割り込みが生成されます。自動 CLUT ローディング処理は標準的な DMA2D 転送と並行して動作することはできません。

CLUT は CPU から書き込むこともできれば、APB ポート経由で他のマスタによって書き込むこともできます。DMA2D 転送が進行中でかつ CLUT を使用しているとき（インダイレクトカラーフォーマット）、CLUT にはアクセスできません。

カラー変換処理と並行して、DMA2D_FGPFCCR レジスタにプログラムされている値によっては、アルファ値を追加または変更することができます。元のイメージにアルファチャネルが無い場合、デフォルトのアルファ値 0xFF が自動的に追加されて完全に不透明なピクセルになります。アルファ値は、DMA2D_FGPFCCR レジスタの AM[1:0] ビットに従って修正することができます。

- 変更しない設定ができます。
- DMA2D_FGPFCCR レジスタの ALPHA[7:0] 値で定義された値で置き換えることができます。
- 元の値に DMA2D_FGPFCCR レジスタの ALPHA[7:0] 値を掛けて 255 で割った値で置き換えることができます。

結果の 32 ビットデータは OUT PFC によって、DMA2D_OPFCCR レジスタの CM[2:0] フィールドで指定されたフォーマットにエンコードされます。CLUT 生成処理がサポートされていないため、出力ピクセルフォーマットをインダイレクトモードにすることはできません。

処理されたデータは DMA2D_OMAR が指すメモリ位置に書き込まれます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

PFC とブレンディングを伴うメモリ間転送

このモードでは、DMA2D_FGMAR および DMA2D_BGMAR で定義されるメモリ位置からフォアグラウンド FIFO およびバックグラウンド FIFO に 2 つの転送元データがフェッチされます。

メモリ間モードで説明しているように 2 つのピクセルフォーマットコンバータを、設定する必要があります。各ピクセルフォーマットコンバータは独立していて独自の CLUT メモリを持つため、これらに対して別々に設定することができます。

各ピクセルがそれぞれの PFC によって 32 ビットに変換された後、それらは次の式に従ってブレンドされます。

$$\text{ここで } \alpha_{Mult} = \frac{\alpha_{FG} \cdot \alpha_{BG}}{255}$$

$$\alpha_{OUT} = \alpha_{FG} + \alpha_{BG} - \alpha_{Mult}$$

$$C_{OUT} = \frac{C_{FG} \cdot \alpha_{FG} + C_{BG} \cdot \alpha_{BG} - C_{BG} \cdot \alpha_{Mult}}{\alpha_{OUT}} \quad \text{ここで C = R または G または B}$$

除算では、小数点以下は切り捨てられます。

結果の 32 ビットピクセル値は出力 PFC により指定出力フォーマットに従ってエンコードされ、データは DMA2D_OMAR が指す転送先のメモリ位置に書き込まれます。

設定エラー検出

DMA2D は転送を行う前に設定が正しいことを確認します。新規の転送／自動ローディングが開始されるとき、誤った設定が検出されると、ハードウェアによって設定エラー割り込みフラグがセットされます。DMA2D_CR レジスタの CEIE ビットがセットされている場合、割り込みが生成されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

検出することができる誤った設定は次のとおりです。

- フォアグラウンド CLUT 自動ローディング：DMA2D_FGCMAR の MA ビットが DMA2D_FGPFCCR の CCM ビットと整合が取れていない
- バックグラウンド CLUT 自動ローディング：DMA2D_BGCMAR の MA ビットが DMA2D_BGPFCCR の CCM ビットと整合が取れていない
- メモリ転送（“レジスタからメモリ”モードを除く）：DMA2D_FGMAR の MA ビットが DMA2D_FGPFCCR の CM ビットと整合が取れていない
- メモリ転送（“レジスタからメモリ”モードを除く）：DMA2D_FGPFCCR の CM ビットが無効
- メモリ転送（“レジスタからメモリ”モードを除く）：DMA2D_FGPFCCR の CM ビットが A4 または L4 のとき DMA2D_NLR の PL ビットが奇数
- メモリ転送（“レジスタからメモリ”モードを除く）：DMA2D_FGPFCCR の CM ビットが A4 または L4 のとき DMA2D_FGOR の LO ビットが奇数
- メモリ転送（ブレンディングモードのみ）：DMA2D_BGMAR の MA ビットが DMA2D_BGPFCCR の CM ビットと整合が取れていない
- メモリ転送：DMA2D_BGPFCCR の CM ビットが無効（ブレンディングモードのみ）
- メモリ転送（ブレンディングモードのみ）：DMA2D_BGPFCCR の CM ビットが A4 または L4 のとき DMA2D_NLR の PL ビットが奇数
- メモリ転送（ブレンディングモードのみ）：DMA2D_BGPFCCR の CM ビットが A4 または L4 のとき DMA2D_BGOR の LO ビットが奇数
- メモリ転送（メモリ間モードを除く）：DMA2D_OMAR の MA ビットが DMA2D_OPFCCR の CM ビットと整合が取れていない
- メモリ転送（メモリ間モードを除く）：DMA2D_OPFCCR の CM ビットが無効
- メモリ転送：DMA2D_NLR の NL ビット = 0
- メモリ転送：DMA2D_NLR の PL ビット = 0

11.3.12 DMA2D 転送制御（開始、サスペンド、アボート、完了）

DMA2D が設定されると、DMA2D_CR レジスタの START ビットをセットすることにより転送を開始できます。転送が完了すると、START ビットが自動的にリセットされ、DMA2D_ISR レジスタの TCIF フラグが立ちます。DMA2D_CR レジスタの TCIE ビットがセットされている場合は、割り込みを生成できます。

DMA2D_CR レジスタの SUSP ビットをセットすることにより、ユーザーアプリケーションからいつでも DMA2D をサスペンドすることができます。その後、DMA2D_CR レジスタの ABORT ビットをセットすることにより、トランザクションをアボートすることができます。また、DMA2D_CR レジスタの SUSP ビットをリセットすることによりリスタートすることができます。

DMA2D_CR レジスタの ABORT ビットをセットすることにより、ユーザーアプリケーションからいつでも進行中のトランザクションをアボートすることができます。この場合、TCIF フラグは立ちません。

DMA2D_FGPFCCR や DMA2D_BGPFCCR レジスタのそれぞれの START ビットを使用することによって、自動 CLUT 転送もアボートしたりサスペンドしたりすることができます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

11.3.13 ウォーターマーク

ウォーターマークをプログラムして所定のラインの最後のピクセルが転送先のメモリ領域に書き込まれたときに割込みを生成することができます。

ライン番号は、DMA2D_LWR レジスタの LW[15:0] フィールドで定義します。

ラインの最後のピクセルが転送されると、DMA2D_CR レジスタの TWIE ビットがセットされていれば、DMA2D_ISR レジスタの TWIF フラグが立ち、割り込みが生成されます。

11.3.14 エラー管理

次の 2 種類のエラーをトリガすることができます。

- DMA2D_ISR レジスタの TEIF フラグによって通知される AHB マスタポートエラー。
- CLUT アクセス（CLUT ローディング中または DMA2D 転送中に CPU が CLUT にアクセスしようとする）によって引き起こされる競合。DMA2D_ISR レジスタの CAEIF フラグによって通知されます。

両方のフラグはそれぞれ DMA2D_CR レジスタの割り込みイネーブルフラグに関連付けられており、必要に応じて割り込みを生成します（TEIE と CAEIE）。

11.3.15 AHB デッドタイム

AHB 帯域幅の使用を制限するために、2 つの連続した AHB アクセス間のデッドタイムをプログラムすることができます。

この機能は、DMA2D_AMTCR レジスタの EN ビットをセットすることによって有効にできます。

デッドタイム値は、DMA2D_AMTCR レジスタの DT[7:0] フィールドに格納します。この値は AHB バス上の 2 つの連続するトランザクション間の最小保証サイクル数を表します。

DMA2D が実行中のデッドタイム値の更新は、次の AHB 転送に反映されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

11.4 DMA2D 割り込み

割り込みは次のイベントによって生成できます。

- 設定エラー
- CLUT 転送完了
- CLUT アクセスエラー
- 転送ウォーターマークに到達
- 転送完了
- 転送エラー

高い柔軟性を実現するため、個別の割り込みイネーブルビットを使用できます。

表 60. DMA2D 割り込みリクエスト

割り込みイベント	イベントフラグ	イネーブル制御ビット
設定エラー	CEIF	CEIE
CLUT 転送完了	CTCIF	CTCIE
CLUT アクセスエラー	CAEIF	CAEIE
転送ウォーターマーク	TWF	TWIE
転送完了	TCIF	TCIE
転送エラー	TEIF	TEIE

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

11.5 DMA2D レジスタ

11.5.1 DMA2D 制御レジスタ（DMA2D_CR）

アドレスオフセット：0x0000

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み														MODE	

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み		CEIE	CTCIE	CAEIE	TWIE	TCIE	TEIE	予約済み					ABORT	SUSP	START
		rw	rw	rw	rw	rw	rw						rs	rw	rs

ビット 31:18 予約済み、リセット値を保つ必要があります。

ビット 17:16 **モード**：DMA2D モード

このビットは、ソフトウェアによってセット／クリアされます。転送中は修正できません。

00：メモリ間転送（FG フェッチのみ）

01：PFCを伴うメモリ間転送（FG PFC アクティブで FG フェッチのみ）

10：ブレンディングを伴うメモリ間転送（PFC およびブレンディングを伴う FG フェッチおよび BG フェッチ）

11：レジスタからメモリ転送（FG および BG なし、出力ステージのみアクティブ）

ビット 15:14 予約済み、リセット値を保つ必要があります。

ビット 13 **CEIE**：設定エラー割り込みイネーブル

このビットは、ソフトウェアによってセット／クリアされます。

0：CE 割り込みは無効です。

1：CE 割り込みは有効です。

ビット 12 **CTCIE**：CLUT 転送完了割り込みイネーブル

このビットは、ソフトウェアによってセット／クリアされます。

0：CTC 割り込みは無効です。

1：CTC 割り込みは有効です。

ビット 11 **CAEIE**：CLUT アクセスエラー割り込みイネーブル

このビットは、ソフトウェアによってセット／クリアされます。

0：CAE 割り込みは無効です。

1：CAE 割り込みは有効です。

ビット 10 **TWIE**：転送ウォーターマーク割り込みイネーブル

このビットは、ソフトウェアによってセット／クリアされます。

0：TW 割り込みは無効です。

1：TW 割り込みは有効です。

ビット 9 **TCIE**：転送完了割り込みイネーブル

このビットは、ソフトウェアによってセット／クリアされます。

0：TC 割り込みは無効です。

1：TC 割り込みは有効です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 8 **TEIE**：転送エラー割り込みイネーブル

このビットは、ソフトウェアによってセット／クリアされます。

0：TE 割り込みは無効です。

1：TE 割り込みは有効です。

ビット 7:3 予約済み、リセット値を保つ必要があります。

ビット 2 **ABORT**：アボート

このビットを使用して現在の転送を中止できます。このビットはソフトウェアによってセットされ、START ビットがリセットされたときにハードウェアによって自動的にリセットされます。

0：転送アボートは要求されていません。

1：転送アボートが要求されています。

ビット 1 **SUSP**：サスペンド

このビットを使用して現在の転送をサスペンドできます。このビットは、ソフトウェアによってセット／リセットされます。このビットは START ビットがリセットされたときにハードウェアによって自動的にリセットされます。

0：転送は一時停止されません。

1：転送は一時停止されます。

ビット 0 **START**：スタート

このビットを使用し、各種設定レジスタにロードしたパラメータに従って DMA2D を開始することができます。このビットは以下のイベントにより自動的にリセットされます。

- 転送終了時
- DMA2D_CR の ABORT ビットをセットすることにより、ユーザーアプリケーションがデータ転送をアボートしたとき
- データ転送エラーが発生したとき
- 設定エラーまたはすでに別の転送動作を行っているめデータ転送が開始されないとき（自動 CLUT ローディング）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

11.5.2 DMA2D 割り込みステータスレジスタ（DMA2D_ISR）

アドレスオフセット：0x0004

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み										CEIF	CTCIF	CAEIF	TWIF	TCIF	TEIF
										r	r	r	r	r	r

ビット 31:6 予約済み、リセット値を保つ必要があります。

ビット 5 **CEIF**：設定エラー割り込みフラグ

このビットは DMA2D_CR、DMA2DFGPFCCR、または DMA2D_BGPFCCR の START ビットがセットされ、誤った設定がプログラムされたときセットされます。

ビット 4 **CTCIF**：CLUT 転送完了割り込みフラグ

このビットは、システムメモリ領域から内部 DMA2D メモリへの CLUT コピーが完了したときセットされます。

ビット 3 **CAEIF**：CLUT アクセスエラー割り込みフラグ

このビットは、CLUT がシステムメモリから内部 DMA2D へ自動的にコピーされている間に CPU が CLUT にアクセスした場合にセットされます。

ビット 2 **TWIF**：転送ウォーターマーク割り込みフラグ

このビットはウォーターマークを付けたラインの最後のピクセルが転送されたときセットされます。

ビット 1 **TCIF**：転送完了割り込みフラグ

このビットは DMA2D 転送動作が完了したときセットされます（データ転送のみ）。

ビット 0 **TEIF**：転送エラー割り込みフラグ

このビットは DMA 転送中（データ転送または自動 CLUT ローディング）にエラーが発生したときセットされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

11.5.3 DMA2D 割り込みフラグクリアレジスタ（DMA2D_IFCR）

アドレスオフセット：0x0008

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み										CCEIF	CCTCIF	CAECIF	CTWIF	CTCIF	CTEIF
										rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1

ビット 31:6 予約済み、リセット値を保つ必要があります。

ビット 5 **CCEIF**：設定エラー割り込みフラグクリア
このビットを 1 にプログラムすると DMA2D_ISR レジスタの CEIF フラグがクリアされます。

ビット 4 **CCTCIF**：CLUT 転送完了割り込みフラグクリア
このビットを 1 にプログラムすると DMA2D_ISR レジスタの CTCIF フラグがクリアされます。

ビット 3 **CCAEIF**：CLUT アクセスエラー割り込みフラグクリア
このビットを 1 にプログラムすると DMA2D_ISR レジスタの CAEIF フラグがクリアされます。

ビット 2 **CTWIF**：ウォーターマーク転送割り込みフラグクリア
このビットを 1 にプログラムすると DMA2D_ISR レジスタの TWIF フラグがクリアされます。

ビット 1 **CTCIF**：転送完了割り込みフラグクリア
このビットを 1 にプログラムすると DMA2D_ISR レジスタの TCIF フラグがクリアされます。

ビット 0 **CTEIF**：転送エラー割り込みフラグクリア
このビットを 1 にプログラムすると DMA2D_ISR レジスタの TEIF フラグがクリアされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

11.5.4 DMA2D フォアグラウンドメモリアドレスレジスタ（DMA2D_FGMAR）

アドレスオフセット：0x000C

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
MA[31:16]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MA[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0 **MA[31: 0]**：メモリアドレス

フォアグラウンドイメージに使用されるデータのアドレスです。このレジスタには、データ転送が無効のときにのみ書き込みできます。データ転送が開始されるとこのレジスタは読み出し専用になります。

アドレス割り当ては選択されたイメージフォーマットと整合する必要があります。例えば、32 ビット／ピクセルフォーマットは 32 ビットに調整する必要があり、16 ビット／ピクセルフォーマットは 16 ビットに調整する必要があり、4 ビット／ピクセルフォーマットは 8 ビットに調整する必要があります。

11.5.5 DMA2D フォアグラウンドオフセットレジスタ（DMA2D_FGOR）

アドレスオフセット：0x0010

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み		LO[13:0]													
		rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:14 予約済み、リセット値を保つ必要があります。

ビット 13:0 **LO[13: 0]**：ラインオフセット

ピクセルで表されるフォアグラウンドに使用するラインオフセットです。この値はアドレスの生成に使用されます。これは次のラインの開始アドレスを決定するために各ラインの最後に追加されます。

これらのビットは、データ転送が無効のときにのみ書き込みできます。データ転送が開始されるとこれらは読み出し専用になります。

イメージフォーマットが 4 ビット／ピクセル場合、ラインオフセットは偶数である必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

11.5.6 DMA2D バックグラウンドメモリアドレスレジスタ（DMA2D_BGMAR）

アドレスオフセット：0x0014

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
MA[31:16]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MA[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0 **MA[31: 0]**：メモリアドレス

バックグラウンドイメージに使用されるデータのアドレスです。このレジスタには、データ転送が無効のときにのみ書き込みできます。データ転送が開始されるとこのレジスタは読み出し専用になります。

アドレス割り当ては選択されたイメージフォーマットと整合する必要があります。例えば、32 ビット／ピクセルフォーマットは 32 ビットに調整する必要があり、16 ビット／ピクセルフォーマットは 16 ビットに調整する必要があり、4 ビット／ピクセルフォーマットは 8 ビットに調整する必要があります。

11.5.7 DMA2D バックグラウンドオフセットレジスタ（DMA2D_BGOR）

アドレスオフセット：0x0018

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み		LO[13:0]													
		rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:14 予約済み、リセット値を保つ必要があります。

ビット 13:0 **LO[13: 0]**：ラインオフセット

ピクセルで表されるバックグラウンドに使用するラインオフセットです。この値はアドレスの生成に使用されます。これは次のラインの開始アドレスを決定するために各ラインの最後に追加されます。

これらのビットは、データ転送が無効のときにのみ書き込みできます。データ転送が開始されるとこれらは読み出し専用になります。

イメージフォーマットが 4 ビット／ピクセルの場合、ラインオフセットは偶数である必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

11.5.8 DMA2D フォアグラウンド PFC 制御レジスタ（DMA2D_FGPFCCR）

アドレスオフセット：0x001C

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ALPHA[7:0]								予約済み						AM[1:0]	
rw	rw	rw	rw	rw	rw	rw	rw							rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CS[7:0]								予約済み		START	CCM	CM[3:0]			
rw	rw	rw	rw	rw	rw	rw	rw			rc_w1	rw	rw	rw	rw	rw

ビット 31:24 **ALPHA[7: 0]**：アルファ値

これらのビットによって固定のアルファチャンネル値を定義します。この値は、元のアルファ値を置き換えるか、または AM[1:0] ビットによって選択されたアルファモードに従って元のアルファ値を乗算することができます。

これらのビットは、データ転送が無効のときにのみ書き込みできます。転送が開始されるとこれらは読み出し専用になります。

ビット 23:18 予約済み、リセット値を保つ必要があります。

ビット 17:16 **AM[1: 0]**：アルファモード

これらのビットによって、フォアグラウンドイメージに使用するアルファチャネル値を選択します。これらは、データ転送が無効のときにのみ書き込みできます。転送が開始されるとこれらは読み出し専用になります。

00：フォアグラウンドイメージアルファチャネル値は修正されません。

01：元のフォアグラウンドアルファチャネル値を ALPHA[7: 0] によって置き換えます。

10:元のフォアグラウンドアルファチャネル値を ALPHA[7: 0] に元のアルファチャネル値を掛けた値で置き換えます。

他の設定は意味を持ちません。

ビット 15:8 **CS[7: 0]**：CLUT サイズ

これらのビットによって、フォアグラウンドイメージに使用する CLUT のサイズを定義します。CLUT 転送が開始されるとこのフィールドは読み出し専用になります。

CLUT エントリの数は CS[7:0] + 1 に等しい値となります。

ビット 7:6 予約済み、リセット値を保つ必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 5 **START**：スタート

このビットをセットして CLUTの自動ローディングを開始することができます。これは次の場合自動的にリセットされます。

- 転送終了時
- DMA2D_CR の ABORT ビットをセットすることにより、ユーザーアプリケーションが転送をアボートしたとき
- 転送エラーが発生したとき
- 設定エラーまたはすでに別の転送動作（データ転送または自動バックグラウンド CLUT 転送）を行っているため転送が開始されないとき。

ビット 4 **CCM**：CLUT カラーモード

このビットによって、CLUT のカラーフォーマットを定義します。これは転送が無効のときにのみ書き込みできます。CLUT 転送が開始されるとこのビットは読み出し専用になります。

0：ARGB8888

1：RGB888

その他：意味を持ちません

ビット 3:0 **CM[3: 0]**：カラーモード

これらのビットによって、フォアグラウンドイメージのカラーフォーマットを定義します。これらは、データ転送が無効のときにのみ書き込みできます。転送が開始されるとこれらは読み出し専用になります。

0000：ARGB8888

0001：RGB888

0010：RGB565

0011：ARGB1555

0100：ARGB4444

0101：L8

0110：AL44

0111：AL88

1000：L4

1001：A8

1010：A4

その他：意味を持ちません

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

11.5.9 DMA2D フォアグラウンドカラーレジスタ（DMA2D_FGCOLR）

アドレスオフセット：0x0020

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み								RED[7:0]							
								rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
GREEN[7:0]								BLUE[7:0]							
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:24 予約済み、リセット値を保つ必要があります。

ビット 23:16 **RED[7: 0]**：赤の値

これらのビットによって、フォアグラウンドイメージの A4 または A8 モードに対する赤の値を定義します。これらは、データ転送が無効のときにのみ書き込みできます。転送が開始されるとこれらは読み出し専用になります。

ビット 15:8 **GREEN[7: 0]**：緑の値

これらのビットによって、フォアグラウンドイメージの A4 または A8 モードに対する緑の値を定義します。これらは、データ転送が無効のときにのみ書き込みできます。転送が開始されるとこれらは読み出し専用になります。

ビット 7:0 **BLUE[7: 0]**：青の値

これらのビットによって、フォアグラウンドイメージの A4 または A8 モードに対する青の値を定義します。これらは、データ転送が無効のときにのみ書き込みできます。転送が開始されるとこれらは読み出し専用になります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

11.5.10 DMA2D バックグラウンド PFC 制御レジスタ（DMA2D_BGPFCCR）

アドレスオフセット：0x0024

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ALPHA[7:0]								予約済み						AM[1:0]	
rw	rw	rw	rw	rw	rw	rw	rw							rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CS[7:0]								予約済み		START	CCM	CM[3:0]			
rw	rw	rw	rw	rw	rw	rw	rw			rc_w1	rw	rw	rw	rw	rw

ビット 31:24 **ALPHA[7: 0]**：アルファ値

これらのビットによって固定のアルファチャンネル値を定義します。この値は、元のアルファ値を置き換えるか、または AM[1:0] ビットによって選択されたアルファモードに従って元のアルファ値を乗算することができます。これらのビットは、データ転送が無効のときにのみ書き込みできます。転送が開始されるとこれらは読み出し専用になります。

ビット 23:18 予約済み、リセット値を保つ必要があります。

ビット 17:16 **AM[1: 0]**：アルファモード

これらのビットによって、バックグラウンドイメージに使用するアルファチャネル値を定義します。これらのビットは、データ転送が無効のときにのみ書き込みできます。転送が開始されるとこれらは読み出し専用になります。

00：バックグラウンドイメージアルファチャネル値は修正されません。

01：元のバックグラウンドアルファチャネル値を ALPHA[7: 0] によって置き換えます。

10:元のバックグラウンドアルファチャネル値を ALPHA[7: 0] に元のアルファチャネル値を掛けた値で置き換えます。

その他：意味を持ちません

ビット 15:8 **CS[7: 0]**：CLUT サイズ

これらのビットによって、BG に使用する CLUT のサイズを定義します。CLUT 転送が開始されるとこのフィールドは読み出し専用になります。

CLUT エントリの数は CS[7:0] + 1 に等しい値となります。

ビット 7:6 予約済み、リセット値を保つ必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 5 **START**：スタート

このビットをセットして CLUTの自動ローディングを開始します。このビットは次のときに自動的にリセットされます。

- 転送終了時
- DMA2D_CR の ABORT ビットをセットすることにより、ユーザーアプリケーションが転送をアボートしたとき
- 転送エラーが発生したとき
- 設定エラーまたはすでに別の転送動作（データ転送または自動バックグラウンド CLUT 転送）を行っているため転送が開始されないとき。

ビット 4 **CCM**：CLUT カラーモード

これらのビットによって、CLUT のカラーフォーマットを定義します。このレジスタは、転送が無効のときにのみ書き込みできます。CLUT 転送が開始されるとこのビットは読み出し専用になります。

0：ARGB8888

1：RGB888

その他：意味を持ちません

ビット 3:0 **CM[3: 0]**：カラーモード

これらのビットによって、バックグラウンドイメージのカラーフォーマットを定義します。これらのビットは、データ転送が無効のときにのみ書き込みできます。転送が開始されるとこれらは読み出し専用になります。

0000：ARGB8888

0001：RGB888

0010：RGB565

0011：ARGB1555

0100：ARGB4444

0101：L8

0110：AL44

0111：AL88

1000：L4

1001：A8

1010：A4

その他：意味を持ちません

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

11.5.11 DMA2D バックグラウンドカラーレジスタ（DMA2D_BGCOLR）

アドレスオフセット：0x0028

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み								RED[7:0]							
								rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
GREEN[7:0]								BLUE[7:0]							
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:24 予約済み、リセット値を保つ必要があります。

ビット 23:16 **RED[7: 0]**：赤の値

これらのビットによって、バックグラウンドイメージの A4 または A8 モードに対する赤の値を定義します。これらのビットは、データ転送が無効のときにのみ書き込みできます。転送が開始されるとこれらは読み出し専用になります。

ビット 15:8 **GREEN[7: 0]**：緑の値

これらのビットによって、バックグラウンドイメージの A4 または A8 モードに対する緑の値を定義します。これらのビットは、データ転送が無効のときにのみ書き込みできます。転送が開始されるとこれらは読み出し専用になります。

ビット 7:0 **BLUE[7: 0]**：青の値

これらのビットによって、バックグラウンドイメージの A4 または A8 モードに対する青の値を定義します。これらのビットは、データ転送が無効のときにのみ書き込みできます。転送が開始されるとこれらは読み出し専用になります。

11.5.12 DMA2D フォアグラウンド CLUT メモリアドレスレジスタ（DMA2D_FGCMAR）

アドレスオフセット：0x002C

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
MA[31:16]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MA[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0 **MA[31: 0]**：メモリアドレス

フォアグラウンドイメージ専用の CLUT アドレスに使用されるデータのアドレスです。このレジスタには、転送が行われていないときにのみ書き込みできます。CLUT 転送が開始されるとこのレジスタは読み出し専用になります。

フォアグラウンド CLUT フォーマットが 32 ビットの場合、アドレスは 32 ビット境界に整列する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

11.5.13 DMA2D バックグラウンド CLUT メモリアドレスレジスタ（DMA2D_BGCMAR）

アドレスオフセット：0x0030

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
MA[31:16]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MA[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0 **MA[31: 0]**：メモリアドレス

バックグラウンドイメージ専用の CLUT アドレスに使用されるデータのアドレスです。このレジスタには、転送が行われていないときにのみ書き込みできます。CLUT 転送が開始されるとこのレジスタは読み出し専用になります。

バックグラウンド CLUT フォーマットが 32 ビットの場合、アドレスは 32 ビットに調整する必要があります。

11.5.14 DMA2D 出力 PFC 制御レジスタ（DMA2D_OPFCCR）

アドレスオフセット：0x0034

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み													CM[2:0]		
													rw	rw	rw

ビット 31:3 予約済み、リセット値を保つ必要があります。

ビット 2:0 **CM[2: 0]**：カラーモード

これらのビットによって、出力イメージのカラーフォーマットを定義します。これらのビットは、データ転送が無効のときにのみ書き込みできます。転送が開始されるとこれらは読み出し専用になります。

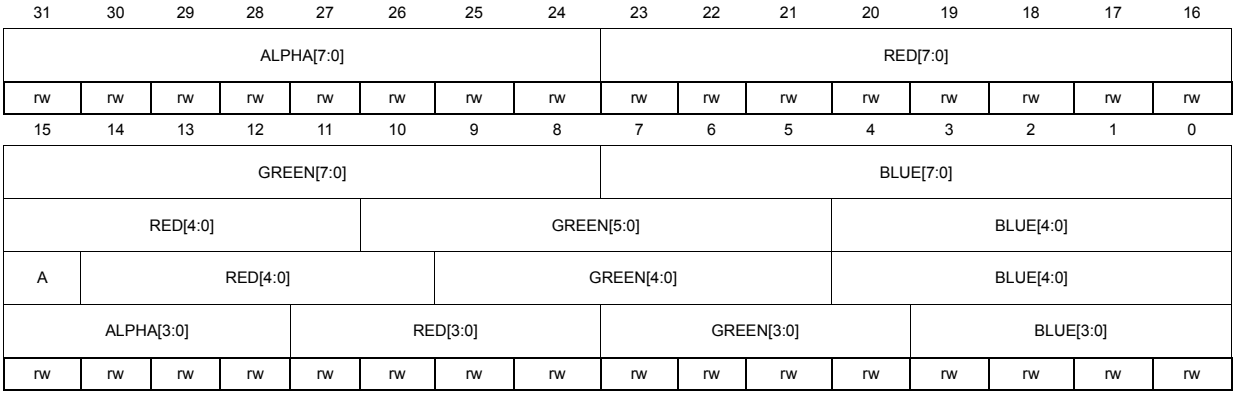
000：ARGB8888
001：RGB888
010：RGB565
011：ARGB1555
100：ARGB4444
その他：意味を持ちません

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

11.5.15 DMA2D 出力カラーレジスタ（DMA2D_OCOLR）

アドレスオフセット：0x0038

リセット値：0x0000 0000



ビット 31:24 **ALPHA[7: 0]**：アルファチャネル値

これらのビットによって、出力カラーのアルファチャネルを定義します。これらのビットは、データ転送が無効のときにのみ書き込みできます。転送が開始されるとこれらは読み出し専用になります。

ビット 23:16 **RED[7: 0]**：赤の値

これらのビットによって、出力イメージの赤の値を定義します。これらのビットは、データ転送が無効のときにのみ書き込みできます。転送が開始されるとこれらは読み出し専用になります。

ビット 15:8 **GREEN[7: 0]**：緑の値

これらのビットによって、出力イメージの緑の値を定義します。これらのビットは、データ転送が無効のときにのみ書き込みできます。転送が開始されるとこれらは読み出し専用になります。

ビット 7:0 **BLUE[7: 0]**：青の値

これらのビットによって、出力イメージの青の値を定義します。これらのビットは、データ転送が無効のときにのみ書き込みできます。転送が開始されるとこれらは読み出し専用になります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

11.5.16 DMA2D 出力メモリアドレスレジスタ（DMA2D_OMAR）

アドレスオフセット：0x003C

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
MA[31:16]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MA[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0 **MA[31: 0]**：メモリアドレス

出力 FIFO に使用されるデータのアドレスです。これらのビットは、データ転送が無効のときにのみ書き込みできます。転送が開始されるとこれらは読み出し専用になります。

アドレス割り当ては選択されたイメージフォーマットと整合する必要があります。例えば、32 ビット／ピクセルフォーマットは 32 ビットに調整する必要があり、4 ビット／ピクセルフォーマットは 8 ビットに調整する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

11.5.17 DMA2D 出力オフセットレジスタ（DMA2D_OOR）

アドレスオフセット：0x0040

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み		LO[13:0]													
		rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:14 予約済み、リセット値を保つ必要があります。

ビット 13:0 **LO[13: 0]**：ラインオフセット

ピクセルで表現される出力に使用するラインオフセットです。この値はアドレスの生成に使用されます。これは次のラインの開始アドレスを決定するために各ラインの最後に追加されます。これらのビットは、データ転送が無効のときにのみ書き込みできます。転送が開始されるとこれらは読み出し専用になります。

11.5.18 DMA2D ライン数レジスタ（DMA2D_NLR）

アドレスオフセット：0x0044

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み		PL[13:0]													
		rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NL[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:30 予約済み、リセット値を保つ必要があります。

ビット 29:16 **PL[13: 0]**：ラインあたりのピクセル

転送する領域のラインあたりのピクセル数です。これらのビットは、データ転送が無効のときにのみ書き込みできます。転送が開始されるとこれらは読み出し専用になります。

入力イメージフォーマットのいずれかがピクセルあたり 4 ビットの場合、ラインあたりのピクセル数は偶数である必要があります。

ビット 15:0 **NL[15: 0]**：ライン数

転送する領域のライン数です。これらのビットは、データ転送が無効のときにのみ書き込みできます。転送が開始されるとこれらは読み出し専用になります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

11.5.19 DMA2D ラインウォーターマークレジスタ（DMA2D_LWR）

アドレスオフセット：0x0048

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LW[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:16 予約済み、リセット値を保つ必要があります。

ビット 15:0 **LW[15:0]**：ラインウォーターマーク

これらのビットによって、割り込み生成のラインウォーターマークを設定することができます。ウォーターマークを付けたラインの最後のピクセルが転送されたとき割り込みが発生します。これらのビットは、データ転送が無効のときにのみ書き込みできます。転送が開始されるとこれらは読み出し専用になります。

11.5.20 DMA2D AHB マスタータイマ設定レジスタ（DMA2D_AMTCR）

アドレスオフセット：0x004C

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DT[7:0]								予約済み							EN
rw	rw	rw	rw	rw	rw	rw	rw								rw

ビット 31:16 予約済み

ビット 15:8 **DT[7: 0]**：デッドタイム

AHB マスタポートに対する 2 つの連続アクセス間に挿入される AHB クロックサイクルのデッドタイム値です。これらのビットは 2 つの連続 AHB アクセス間の最小保証サイクル数を表します。

ビット 7:1 予約済み

ビット 0 **EN**：有効化

デットタイム機能を有効にします。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

11.5.21 DMA2D レジスタマップ

次の表は DMA2D レジスタの一覧です。DMA2D レジスタベースアドレスについては、*表 2 (64 ページ)* を参照してください。

表 61. DMA2D レジスタマップとリセット値

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x0000	DMA2D_CR	予約済み														MODE[1:0]		予約済み			CEIE	CTCIE	CAEIE	TWIE	TCIE	TEIE	予約済み				ABORT	SUSP	START
	リセット値															0	0				0	0	0	0	0	0					0	0	0
0x0004	DMA2D_ISR	予約済み																										CEIF	CTCIF	CAEIF	TWIF	TCIF	TEIF
	リセット値																											0	0	0	0	0	0
0x0008	DMA2D_IFCR	予約済み																										CCEIF	CCTCIF	CAECIF	CTWIF	CTCIF	CTEIF
	リセット値																											0	0	0	0	0	0
0x000C	DMA2D_FGMAR	MA[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0010	DMA2D_FGOR	予約済み																			LO[13:0]												
	リセット値																				0	0	0	0	0	0	0	0	0	0	0	0	0
0x0014	DMA2D_BGMAR	MA[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0018	DMA2D_BGOR	予約済み																			LO[13:0]												
	リセット値																				0	0	0	0	0	0	0	0	0	0	0	0	0
0x001C	DMA2D_FGPFCCR	ALPHA[7:0]								予約済み						AM[1:0]		CS[7:0]								予約済み		START	CCM	CM[3:0]			
	リセット値	0	0	0	0	0	0	0	0							0	0	0	0	0	0	0	0	0	0			0	0	0	0	0	0
0x0020	DMA2D_FGCOLR	APLHA[7:0]								RED[7:0]								GREEN[7:0]								BLUE[7:0]							
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0024	DMA2D_BGPFCCR	ALPHA[7:0]								予約済み						AM[1:0]		CS[7:0]								予約済み		START	CCM	CM[3:0]			
	リセット値	0	0	0	0	0	0	0	0							0	0	0	0	0	0	0	0	0	0			0	0	0	0	0	0
0x0028	DMA2D_BGCOLR	APLHA[7:0]								RED[7:0]								GREEN[7:0]								BLUE[7:0]							
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x002C	DMA2D_FGCMAR	MA[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0030	DMA2D_BGCMAR	MA[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0034	DMA2D_OPFCCR	予約済み																													CM[2:0]		
	リセット値																														0	0	0
0x0038	DMA2D_OCOLR	APLHA[7:0]								RED[7:0]								GREEN[7:0]								BLUE[7:0]							
		予約済み																RED[4:0]				GREEN[6:0]					BLUE[4:0]						
		予約済み																A	RED[4:0]				GREEN[4:0]				BLUE[4:0]					
		予約済み																ALPHA[3:0]			RED[3:0]				GREEN[3:0]				BLUE[3:0]			
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x003C	DMA2D_OMAR	MA[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0040	DMA2D_OOR	予約済み																			LO[13:0]												
	リセット値																				0	0	0	0	0	0	0	0	0	0	0	0	0
0x0044	DMA2D_NLR	予約済み	PL[13:0]															NL[15:0]															
	リセット値		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0048	DMA2D_LWR	予約済み																LW[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x004C	DMA2D_AMTCR	予約済み																DT[7:0]								予約済み							EN
	リセット値																	0	0	0	0	0	0	0	0								0

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 61. DMA2D レジスタマップとリセット値（続き）

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x0050-Ox03FF		予約済み																															
0x0400-0x07FF	DMA2D_FGCLUT	APLHA[7:0][255:0]								RED[7:0][255:0]								GREEN[7:0][255:0]								BLUE[7:0][255:0]							
	リセット値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
0x0800-0x0BFF	DMA2D_BGCLUT	APLHA[7:0][255:0]								RED[7:0][255:0]								GREEN[7:0][255:0]								BLUE[7:0][255:0]							
	リセット値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

12 割り込みとイベント

このセクションは、特に指定がない限り、STM32F4xx ファミリ全体に適用されます。

12.1 ネスト化されたベクタ割り込みコントローラ（NVIC）

12.1.1 NVIC 機能

ネスト化されたベクタ割り込みコントローラ NVIC には、次のような機能があります。

- 82 本のSTM32F405xx/07xx および STM32F415xx/17xx 用のマスク可能な割り込みチャネル、最大 91 本の STM32F42xxx および STM32F43xxx 用のマスク可能な割り込みチャネル（FPU 搭載 Cortex™-M4 の 16 本の割り込みラインは数に含まれていません。）
- 16 のプログラム可能な優先レベル（4 ビットの割り込み優先順位を使用）
- 遅延時間の少ない例外および割り込み処理
- 電源管理制御
- システム制御レジスタの実装

NVIC とプロセッサコアのインタフェースは密に結合され、割り込み処理の遅延時間を小さくし、遅れて到着した割り込みを効率的に処理できます。

コア例外を含むすべての割り込みは、NVIC によって管理されます。例外と NVIC プログラミングの詳細については、プログラミングマニュアル PM0214 を参照してください。

12.1.2 SysTick 較正値レジスタ

SysTick 較正値は 18750 に固定され、SysTick クロックを 18.75 MHz（HCLK を 150 MHz に設定した状態で HCLK/8）に設定した状態で 1 ms という基準タイムベースを与えます。

12.1.3 割り込みベクタと例外ベクタ

STM32F405xx/07xx および STM32F415xx/17xx デバイスのベクタテーブルについては、*表 62* を、STM32F42xxx および STM32F43xxx デバイスについては、*表 63* を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

12.2 外部割り込み／イベントコントローラ（EXTI）

イベント／割り込みリクエストを生成するための外部割り込み／イベントコントローラは、最大 23 のエッジ検出回路で構成されます。各入力ラインは、個別に設定可能であり、タイプ（割り込みまたはイベント）と対応するトリガイベント（立ち上がり、立ち下がり、または両方）を選択できます。また、ラインごとにマスクをかけることもできます。ペンディングレジスタは、割り込みリクエストのステータスラインを維持します。

表 62. STM32F405xx/07xx および STM32F415xx/17xx 用ベクタテーブル

位置	優先順位	優先種別	項目（略称）	説明	アドレス
	-	-	-	予約済み	0x0000 0000
	-3	固定	リセット	リセット	0x0000 0004
	-2	固定	NMI	ノンマスカブル割り込み。RCC クロックセキュリティシステム（CSS）は NMI ベクタにリンクされます。	0x0000 0008
	-1	固定	HardFault	すべての異常	0x0000 000C
	0	設定可能	MemManage	メモリ管理	0x0000 0010
	1	設定可能	BusFault	プリフェッチ異常、メモリアクセス異常	0x0000 0014
	2	設定可能	UsageFault	未定義命令または無効状態	0x0000 0018
	-	-	-	予約済み	0x0000 001C - 0x0000 002B
	3	設定可能	SVCall	SWI 命令によるシステムサービスコール	0x0000 002C
	4	設定可能	デバッグモニタ	デバッグモニタ	0x0000 0030
	-	-	-	予約済み	0x0000 0034
	5	設定可能	PendSV	ペンディング可能なシステムサービスリクエスト	0x0000 0038
	6	設定可能	SysTick	システムティックタイマ	0x0000 003C
0	7	設定可能	WWDG	ウィンドウ型ウォッチドッグ割り込み	0x0000 0040
1	8	設定可能	PVD	PVD 検出割り込み（EXTI ライン経由）	0x0000 0044
2	9	設定可能	TAMP_STAMP	タンパおよびタイムスタンプ割り込み（EXTI ライン経由）	0x0000 0048
3	10	設定可能	RTC_WKUP	RTC ウェイクアップ割り込み（EXTI ライン経由）	0x0000 004C
4	11	設定可能	FLASH	フラッシュグローバル割り込み	0x0000 0050
5	12	設定可能	RCC	RCC グローバル割り込み	0x0000 0054
6	13	設定可能	EXTI0	EXTI ライン 0 割り込み	0x0000 0058
7	14	設定可能	EXTI1	EXTI ライン 1 割り込み	0x0000 005C
8	15	設定可能	EXTI2	EXTI ライン 2 割り込み	0x0000 0060
9	16	設定可能	EXTI3	EXTI ライン 3 割り込み	0x0000 0064
10	17	設定可能	EXTI4	EXTI ライン 4 割り込み	0x0000 0068
11	18	設定可能	DMA1_Stream0	DMA1 ストリーム 0 グローバル割り込み	0x0000 006C
12	19	設定可能	DMA1_Stream1	DMA1 ストリーム 1 グローバル割り込み	0x0000 0070

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 62. STM32F405xx/07xx および STM32F415xx/17xx 用ベクタテーブル（続き）

位置	優先順位	優先種別	項目（略称）	説明	アドレス
13	20	設定可能	DMA1_Stream2	DMA1 ストリーム 2 グローバル割り込み	0x0000 0074
14	21	設定可能	DMA1_Stream3	DMA1 ストリーム 3 グローバル割り込み	0x0000 0078
15	22	設定可能	DMA1_Stream4	DMA1 ストリーム 4 グローバル割り込み	0x0000 007C
16	23	設定可能	DMA1_Stream5	DMA1 ストリーム 5 グローバル割り込み	0x0000 0080
17	24	設定可能	DMA1_Stream6	DMA1 ストリーム 6 グローバル割り込み	0x0000 0084
18	25	設定可能	ADC	ADC1、ADC2、ADC3 グローバル割り込み	0x0000 0088
19	26	設定可能	CAN1_TX	CAN1 TX 割り込み	0x0000 008C
20	27	設定可能	CAN1_RX0	CAN1 RX0 割り込み	0x0000 0090
21	28	設定可能	CAN1_RX1	CAN1 RX1 割り込み	0x0000 0094
22	29	設定可能	CAN1_SCE	CAN1 SCE 割り込み	0x0000 0098
23	30	設定可能	EXTI9_5	EXTI ライン [9:5] 割り込み	0x0000 009C
24	31	設定可能	TIM1_BRK_TIM9	TIM1 ブレーク割り込みおよび TIM9 グローバル割り込み	0x0000 00A0
25	32	設定可能	TIM1_UP_TIM10	TIM1 更新割り込みおよび TIM10 グローバル割り込み	0x0000 00A4
26	33	設定可能	TIM1_TRG_COM_TIM11	TIM1 トリガおよびコミュテーション割り込みおよび TIM11 グローバル割り込み	0x0000 00A8
27	34	設定可能	TIM1_CC	TIM1 キャプチャ /比較割り込み	0x0000 00AC
28	35	設定可能	TIM2	TIM2 グローバル割り込み	0x0000 00B0
29	36	設定可能	TIM3	TIM3 グローバル割り込み	0x0000 00B4
30	37	設定可能	TIM4	TIM4 グローバル割り込み	0x0000 00B8
31	38	設定可能	I2C1_EV	I^2C1 イベント割り込み	0x0000 00BC
32	39	設定可能	I2C1_ER	I^2C1 エラー割り込み	0x0000 00C0
33	40	設定可能	I2C2_EV	I^2C2 イベント割り込み	0x0000 00C4
34	41	設定可能	I2C2_ER	I^2C2 エラー割り込み	0x0000 00C8
35	42	設定可能	SPI1	SPI1 グローバル割り込み	0x0000 00CC
36	43	設定可能	SPI2	SPI2 グローバル割り込み	0x0000 00D0
37	44	設定可能	USART1	USART1 グローバル割り込み	0x0000 00D4
38	45	設定可能	USART2	USART2 グローバル割り込み	0x0000 00D8
39	46	設定可能	USART3	USART3 グローバル割り込み	0x0000 00DC
40	47	設定可能	EXTI15_10	EXTI ライン [15:10] 割り込み	0x0000 00E0
41	48	設定可能	RTC_Alarm	RTC アラーム（A および B）割り込み（EXTI ライン経由）	0x0000 00E4
42	49	設定可能	OTG_FS WKUP	USB OTG FS ウェイクアップ割り込み（EXTI ライン経由）	0x0000 00E8
43	50	設定可能	TIM8_BRK_TIM12	TIM8 ブレーク割り込みおよび TIM12 グローバル割り込み	0x0000 00EC

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 62. STM32F405xx/07xx および STM32F415xx/17xx 用ベクタテーブル（続き）

位置	優先順位	優先種別	項目（略称）	説明	アドレス
44	51	設定可能	TIM8_UP_TIM13	TIM8 更新割り込みおよび TIM13 グローバル割り込み	0x0000 00F0
45	52	設定可能	TIM8_TRG_COM_TIM14	TIM8 トリガおよびコミュテーション割り込みおよび TIM14 グローバル割り込み	0x0000 00F4
46	53	設定可能	TIM8_CC	TIM8 キャプチャ／比較割り込み	0x0000 00F8
47	54	設定可能	DMA1_Stream7	DMA1 ストリーム 7 グローバル割り込み	0x0000 00FC
48	55	設定可能	FSMC	FSMC グローバル割り込み	0x0000 0100
49	56	設定可能	SDIO	SDIO グローバル割り込み	0x0000 0104
50	57	設定可能	TIM5	TIM5 グローバル割り込み	0x0000 0108
51	58	設定可能	SPI3	SPI3 グローバル割り込み	0x0000 010C
52	59	設定可能	UART4	UART4 グローバル割り込み	0x0000 0110
53	60	設定可能	UART5	UART5 グローバル割り込み	0x0000 0114
54	61	設定可能	TIM6_DAC	TIM6 グローバル割り込み、DAC1 および DAC2 アンダーランエラー割り込み	0x0000 0118
55	62	設定可能	TIM7	TIM7 グローバル割り込み	0x0000 011C
56	63	設定可能	DMA2_Stream0	DMA2 ストリーム 0 グローバル割り込み	0x0000 0120
57	64	設定可能	DMA2_Stream1	DMA2 ストリーム 1 グローバル割り込み	0x0000 0124
58	65	設定可能	DMA2_Stream2	DMA2 ストリーム 2 グローバル割り込み	0x0000 0128
59	66	設定可能	DMA2_Stream3	DMA2 ストリーム 3 グローバル割り込み	0x0000 012C
60	67	設定可能	DMA2_Stream4	DMA2 ストリーム 4 グローバル割り込み	0x0000 0130
61	68	設定可能	ETH	Ethernet グローバル割り込み	0x0000 0134
62	69	設定可能	ETH_WKUP	Ethernet ウェイクアップ割り込み（EXTI ライン経由）	0x0000 0138
63	70	設定可能	CAN2_TX	CAN2 TX 割り込み	0x0000 013C
64	71	設定可能	CAN2_RX0	CAN2 RX0 割り込み	0x0000 0140
65	72	設定可能	CAN2_RX1	CAN2 RX1 割り込み	0x0000 0144
66	73	設定可能	CAN2_SCE	CAN2 SCE 割り込み	0x0000 0148
67	74	設定可能	OTG_FS	USB OTG FS グローバル割り込み	0x0000 014C
68	75	設定可能	DMA2_Stream5	DMA2 ストリーム 5 グローバル割り込み	0x0000 0150
69	76	設定可能	DMA2_Stream6	DMA2 ストリーム 6 グローバル割り込み	0x0000 0154
70	77	設定可能	DMA2_Stream7	DMA2 ストリーム 7 グローバル割り込み	0x0000 0158
71	78	設定可能	USART6	USART6 グローバル割り込み	0x0000 015C
72	79	設定可能	I2C3_EV	I^2C3 イベント割り込み	0x0000 0160
73	80	設定可能	I2C3_ER	I^2C3 エラー割り込み	0x0000 0164
74	81	設定可能	OTG_HS_EP1_OUT	USB OTG HS エンドポイント 1 出力グローバル割り込み	0x0000 0168

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 62. STM32F405xx/07xx および STM32F415xx/17xx 用ベクタテーブル（続き）

位置	優先順位	優先種別	項目（略称）	説明	アドレス
75	82	設定可能	OTG_HS_EP1_IN	USB OTG HS エンドポイント 1 入力グローバル割り込み	0x0000 016C
76	83	設定可能	OTG_HS_WKUP	USB OTG HS ウェイクアップ割り込み（EXTI 経由）	0x0000 0170
77	84	設定可能	OTG_HS	USB OTG HS グローバル割り込み	0x0000 0174
78	85	設定可能	DCMI	DCMI グローバル割り込み	0x0000 0178
79	86	設定可能	CRYP	CRYP 暗号グローバル割り込み	0x0000 017C
80	87	設定可能	HASH_RNG	ハッシュおよび RNG グローバル割り込み	0x0000 0180
81	88	設定可能	FPU	FPU グローバル割り込み	0x0000 0184

表 63. STM32F42xxx および STM32F43xxx 用ベクタテーブル

位置	優先順位	優先種別	項目（略称）	説明	アドレス
	-	-	-	予約済み	0x0000 0000
	-3	固定	リセット	リセット	0x0000 0004
	-2	固定	NMI	ノンマスカブル割り込み、クロックセキュリティシステム	0x0000 0008
	-1	固定	HardFault	すべての異常	0x0000 000C
	0	固定	MemManage	MPU 不一致	0x0000 0010
	1	設定可能	BusFault	プリフェッチ異常、メモリアクセス異常	0x0000 0014
	2	設定可能	UsageFault	未定義命令または無効状態	0x0000 0018
	-	-	-	予約済み	0x0000 001C - 0x0000 002B
	3	設定可能	SVCall	SWI 命令によるシステムサービスコール	0x0000 002C
	4	設定可能	デバッグモニタ	デバッグモニタ	0x0000 0030
		-	-	予約済み	0x0000 0034
	5	設定可能	PendSV	ペンディング可能なシステムサービスリクエスト	0x0000 0038
	6	設定可能	Systick	システムティックタイマ	0x0000 003C
0	7	設定可能	WWDG	ウィンドウ型ウォッチドッグ割り込み	0x0000 0040
1	8	設定可能	PVD	PVD 検出割り込み（EXTI ライン経由）	0x0000 0044
2	9	設定可能	TAMP_STAMP	タンパおよびタイムスタンプ割り込み（EXTI ライン経由）	0x0000 0048
3	10	設定可能	RTC_WKUP	RTC ウェイクアップ割り込み（EXTI ライン経由）	0x0000 004C
4	11	設定可能	FLASH	フラッシュグローバル割り込み	0x0000 0050
5	12	設定可能	RCC	RCC グローバル割り込み	0x0000 0054
6	13	設定可能	EXTI0	EXTI ライン 0 割り込み	0x0000 0058

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 63. STM32F42xxx および STM32F43xxx 用ベクタテーブル（続き）

位置	優先順位	優先種別	項目（略称）	説明	アドレス
7	14	設定可能	EXTI1	EXTI ライン 1 割り込み	0x0000 005C
8	15	設定可能	EXTI2	EXTI ライン 2 割り込み	0x0000 0060
9	16	設定可能	EXTI3	EXTI ライン 3 割り込み	0x0000 0064
10	17	設定可能	EXTI4	EXTI ライン 4 割り込み	0x0000 0068
11	18	設定可能	DMA1_Stream0	DMA1 ストリーム 0 グローバル割り込み	0x0000 006C
12	19	設定可能	DMA1_Stream1	DMA1 ストリーム 1 グローバル割り込み	0x0000 0070
13	20	設定可能	DMA1_Stream2	DMA1 ストリーム 2 グローバル割り込み	0x0000 0074
14	21	設定可能	DMA1_Stream3	DMA1 ストリーム 3 グローバル割り込み	0x0000 0078
15	22	設定可能	DMA1_Stream4	DMA1 ストリーム 4 グローバル割り込み	0x0000 007C
16	23	設定可能	DMA1_Stream5	DMA1 ストリーム 5 グローバル割り込み	0x0000 0080
17	24	設定可能	DMA1_Stream6	DMA1 ストリーム 6 グローバル割り込み	0x0000 0084
18	25	設定可能	ADC	ADC1、ADC2、ADC3 グローバル割り込み	0x0000 0088
19	26	設定可能	CAN1_TX	CAN1 TX 割り込み	0x0000 008C
20	27	設定可能	CAN1_RX0	CAN1 RX0 割り込み	0x0000 0090
21	28	設定可能	CAN1_RX1	CAN1 RX1 割り込み	0x0000 0094
22	29	設定可能	CAN1_SCE	CAN1 SCE 割り込み	0x0000 0098
23	30	設定可能	EXTI9_5	EXTI ライン [9:5] 割り込み	0x0000 009C
24	31	設定可能	TIM1_BRK_TIM9	TIM1 ブレーク割り込みおよび TIM9 グローバル割り込み	0x0000 00A0
25	32	設定可能	TIM1_UP_TIM10	TIM1 更新割り込みおよび TIM10 グローバル割り込み	0x0000 00A4
26	33	設定可能	TIM1_TRG_COM_TIM11	TIM1 トリガおよび転流割り込みおよび TIM11 グローバル割り込み	0x0000 00A8
27	34	設定可能	TIM1_CC	TIM1 キャプチャ／比較割り込み	0x0000 00AC
28	35	設定可能	TIM2	TIM2 グローバル割り込み	0x0000 00B0
29	36	設定可能	TIM3	TIM3 グローバル割り込み	0x0000 00B4
30	37	設定可能	TIM4	TIM4 グローバル割り込み	0x0000 00B8
31	38	設定可能	I2C1_EV	I^2C1 イベント割り込み	0x0000 00BC
32	39	設定可能	I2C1_ER	I^2C1 エラー割り込み	0x0000 00C0
33	40	設定可能	I2C2_EV	I^2C2 イベント割り込み	0x0000 00C4
34	41	設定可能	I2C2_ER	I^2C2 エラー割り込み	0x0000 00C8
35	42	設定可能	SPI1	SPI1 グローバル割り込み	0x0000 00CC
36	43	設定可能	SPI2	SPI2 グローバル割り込み	0x0000 00D0
37	44	設定可能	USART1	USART1 グローバル割り込み	0x0000 00D4
38	45	設定可能	USART2	USART2 グローバル割り込み	0x0000 00D8
39	46	設定可能	USART3	USART3 グローバル割り込み	0x0000 00DC
40	47	設定可能	EXTI15_10	EXTI ライン [15:10] 割り込み	0x0000 00E0

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 63. STM32F42xxx および STM32F43xxx 用ベクタテーブル（続き）

位置	優先順位	優先種別	項目（略称）	説明	アドレス
41	48	設定可能	RTC_Alarm	RTC アラーム（A および B）割り込み（EXTI ライン経由）	0x0000 00E4
42	49	設定可能	OTG_FS WKUP	USB OTG FS ウェイクアップ割り込み（EXTI ライン経由）	0x0000 00E8
43	50	設定可能	TIM8_BRK_TIM12	TIM8 ブレーク割り込みおよび TIM12 グローバル割り込み	0x0000 00EC
44	51	設定可能	TIM8_UP_TIM13	TIM8 更新割り込みおよび TIM13 グローバル割り込み	0x0000 00F0
45	52	設定可能	TIM8_TRG_COM_TIM14	TIM8 トリガ／転流割り込みおよび TIM14 グローバル割り込み	0x0000 00F4
46	53	設定可能	TIM8_CC	TIM8 キャプチャ／比較割り込み	0x0000 00F8
47	54	設定可能	DMA1_Stream7	DMA1 ストリーム 7 グローバル割り込み	0x0000 00FC
48	55	設定可能	FSMC	FSMC グローバル割り込み	0x0000 0100
49	56	設定可能	SDIO	SDIO グローバル割り込み	0x0000 0104
50	57	設定可能	TIM5	TIM5 グローバル割り込み	0x0000 0108
51	58	設定可能	SPI3	SPI3 グローバル割り込み	0x0000 010C
52	59	設定可能	UART4	UART4 グローバル割り込み	0x0000 0110
53	60	設定可能	UART5	UART5 グローバル割り込み	0x0000 0114
54	61	設定可能	TIM6_DAC	TIM6 グローバル割り込み、 DAC1 および DAC2 アンダーランエラー割り込み	0x0000 0118
55	62	設定可能	TIM7	TIM7 グローバル割り込み	0x0000 011C
56	63	設定可能	DMA2_Stream0	DMA2 ストリーム 0 グローバル割り込み	0x0000 0120
57	64	設定可能	DMA2_Stream1	DMA2 ストリーム 1 グローバル割り込み	0x0000 0124
58	65	設定可能	DMA2_Stream2	DMA2 ストリーム 2 グローバル割り込み	0x0000 0128
59	66	設定可能	DMA2_Stream3	DMA2 ストリーム 3 グローバル割り込み	0x0000 012C
60	67	設定可能	DMA2_Stream4	DMA2 ストリーム 4 グローバル割り込み	0x0000 0130
61	68	設定可能	ETH	Ethernet グローバル割り込み	0x0000 0134
62	69	設定可能	ETH_WKUP	Ethernet ウェイクアップ割り込み（EXTI ライン経由）	0x0000 0138
63	70	設定可能	CAN2_TX	CAN2 TX 割り込み	0x0000 013C
64	71	設定可能	CAN2_RX0	CAN2 RX0 割り込み	0x0000 0140
65	72	設定可能	CAN2_RX1	CAN2 RX1 割り込み	0x0000 0144
66	73	設定可能	CAN2_SCE	CAN2 SCE 割り込み	0x0000 0148
67	74	設定可能	OTG_FS	USB OTG FS グローバル割り込み	0x0000 014C
68	75	設定可能	DMA2_Stream5	DMA2 ストリーム 5 グローバル割り込み	0x0000 0150
69	76	設定可能	DMA2_Stream6	DMA2 ストリーム 6 グローバル割り込み	0x0000 0154
70	77	設定可能	DMA2_Stream7	DMA2 ストリーム 7 グローバル割り込み	0x0000 0158
71	78	設定可能	USART6	USART6 グローバル割り込み	0x0000 015C

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 63. STM32F42xxx および STM32F43xxx 用ベクタテーブル（続き）

位置	優先順位	優先種別	項目（略称）	説明	アドレス
72	79	設定可能	I2C3_EV	I^2C3 イベント割り込み	0x0000 0160
73	80	設定可能	I2C3_ER	I^2C3 エラー割り込み	0x0000 0164
74	81	設定可能	OTG_HS_EP1_OUT	USB OTG HS エンドポイント 1 出力グローバル割り込み	0x0000 0168
75	82	設定可能	OTG_HS_EP1_IN	USB OTG HS エンドポイント 1 入力グローバル割り込み	0x0000 016C
76	83	設定可能	OTG_HS_WKUP	USB OTG HS ウェイクアップ割り込み（EXTI 経由）	0x0000 0170
77	84	設定可能	OTG_HS	USB OTG HS グローバル割り込み	0x0000 0174
78	85	設定可能	DCMI	DCMI グローバル割り込み	0x0000 0178
79	86	設定可能	CRYP	CRYP 暗号グローバル割り込み	0x0000 017C
80	87	設定可能	HASH_RNG	ハッシュおよび RNG グローバル割り込み	0x0000 0180
81	88	設定可能	FPU	FPU グローバル割り込み	0x0000 0184
82	89	設定可能	UART7	UART 7 グローバル割り込み	0x0000 0188
83	90	設定可能	UART8	UART 8 グローバル割り込み	0x0000 018C
84	91	設定可能	SPI4	SPI 4 グローバル割り込み	0x0000 0190
85	92	設定可能	SPI5	SPI 5 グローバル割り込み	0x0000 0194
86	93	設定可能	SPI6	SPI 6 グローバル割り込み	0x0000 0198
87	94	設定可能	SAI1	SAI1 グローバル割り込み	0x0000 019C
88	95	設定可能	LCD-TFT	LTDC グローバル割り込み	0x0000 01A0
89	96	設定可能	LCD-TFT	LTDC グローバルエラー割り込み	0x0000 01A4
90	97	設定可能	DMA2D	DMA2D グローバル割り込み	0x0000 01A8

12.2.1 EXTI の主な機能

EXTI コントローラの主な機能は次のとおりです。

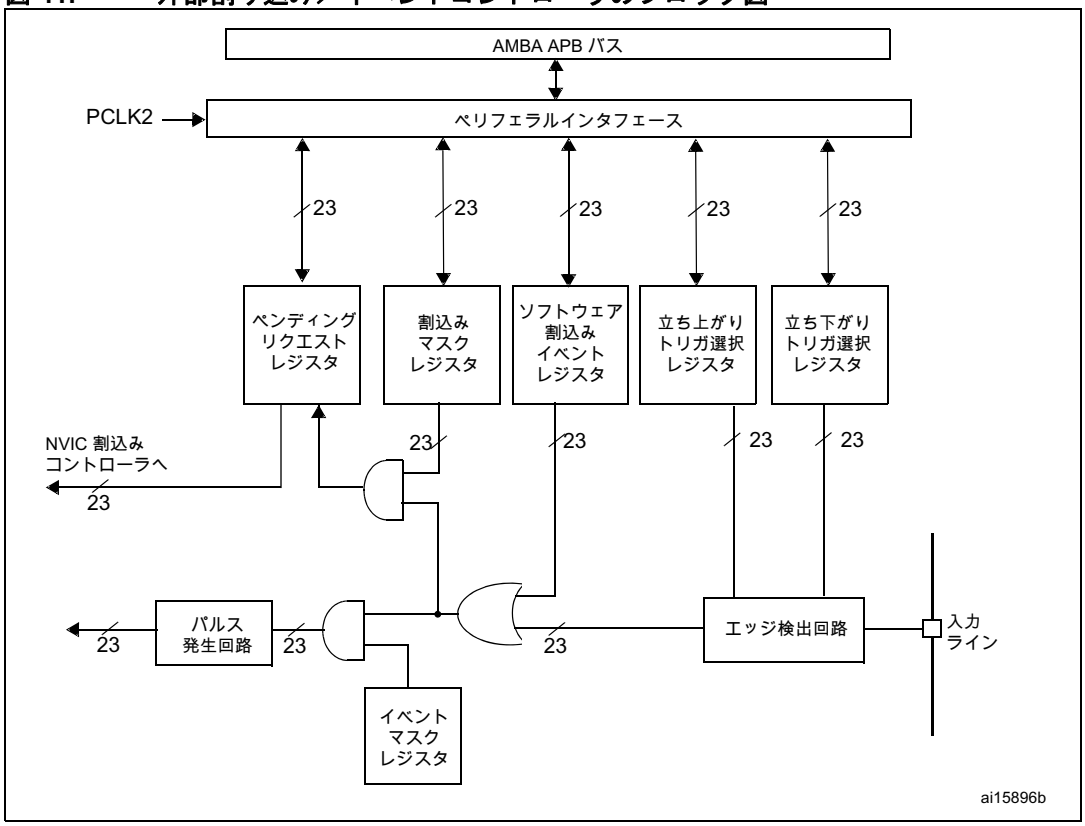
- 割り込み／イベントラインごとに独立したトリガとマスク
- 割り込みラインごとに専用のステータスビット
- 最大 23 本のソフトウェアイベント／割り込みリクエストの生成
- APB2 クロック周期よりも短いパルス幅の外部信号の検出。このパラメータの詳細については、STM32F4xx データシートの電気特性のセクションを参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

12.2.2 EXTI のブロック図

図 41 にブロック図を示します。

図 41. 外部割り込み／イベントコントローラのブロック図



12.2.3 ウェイクアップイベント管理

STM32F4xx は、外部イベントや内部イベントを処理することによって、コアをウェイクアップできます（WFE）。ウェイクアップイベントは、次のいずれかによって生成できます。

- ペリフェラル制御レジスタで割り込みを有効にし、NVIC では有効にせず、FPU 搭載 Cortex™-M4 システム制御レジスタの SEVONPEND ビットを有効にします。MCU が WFE からリスタートするときには、（NVIC 割り込みクリアペンディングレジスタの）ペリフェラル割り込みペンディングビットとペリフェラル NVIC IRQ チャネルペンディングビットをクリアする必要があります。
- あるいは、外部または内部 EXTI ラインをイベントモードに設定します。CPU が WFE からリスタートするときには、イベントラインに対応するペンディングビットはセットされていないので、ペリフェラル割り込みペンディングビットや NVIC IRQ チャネルペンディングビットをクリアする必要はありません。

外部ラインをウェイクアップイベントとして使用する方法については、*セクション 12.2.4 : 機能詳細* を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

12.2.4 機能詳細

割り込みを生成するには、割り込みラインを設定し、有効にする必要があります。それには、2 つのトリガレジスタに希望するエッジ検出をプログラミングし、割り込みマスクレジスタの対応するビットに"1"を書き込むことによって割り込みリクエストを有効にします。選択されたエッジが外部割り込みラインで発生すると、割り込みリクエストが生成されます。割り込みラインに対応するペンディングビットもセットされます。このリクエストは、ペンディングレジスタに"1"を書き込むことによってリセットされます。

イベントを生成するには、イベントラインを設定し、有効にする必要があります。それには、2 つのトリガレジスタに希望するエッジ検出をプログラミングし、イベントマスクレジスタの対応するビットに"1"を書き込むことによってイベントリクエストを有効にします。選択されたエッジがイベントラインで発生すると、イベントパルスが生成されます。イベントに対応するペンディングビットはセットされません。

割り込み/イベントリクエストは、ソフトウェア割り込み/イベントレジスタに"1"を書き込むことによって、ソフトウェアによって生成することもできます。

ハードウェア割り込みの選択

23 本のラインを割り込みソースとして設定するには、次の手順を使用します。

- 23 本の割り込みラインのマスクビットを設定します（EXTI_IMR）。
- 割り込みラインのトリガ選択ビットを設定します（EXTI_RTSR および EXTI_FTSR）。
- 23 本のラインのいずれかからの割り込みを正しく処理できるように、外部割り込みコントローラ（EXTI）にマップされた NVIC IRQ チャネルを制御するイネーブルビットとマスクビットを構成します。

ハードウェアイベントの選択

23 本のラインをイベントソースとして設定するには、次の手順を使用します。

- 23 本のイベントラインのマスクビットを設定します（EXTI_EMR）。
- イベントラインのトリガ選択ビットを設定します（EXTI_RTSR、EXTI_FTSR）。

ソフトウェア割り込み／イベントの選択

23 本のラインは、ソフトウェア割り込み／イベントラインとして設定できます。ソフトウェア割り込みの生成には、次の手順を使用します。

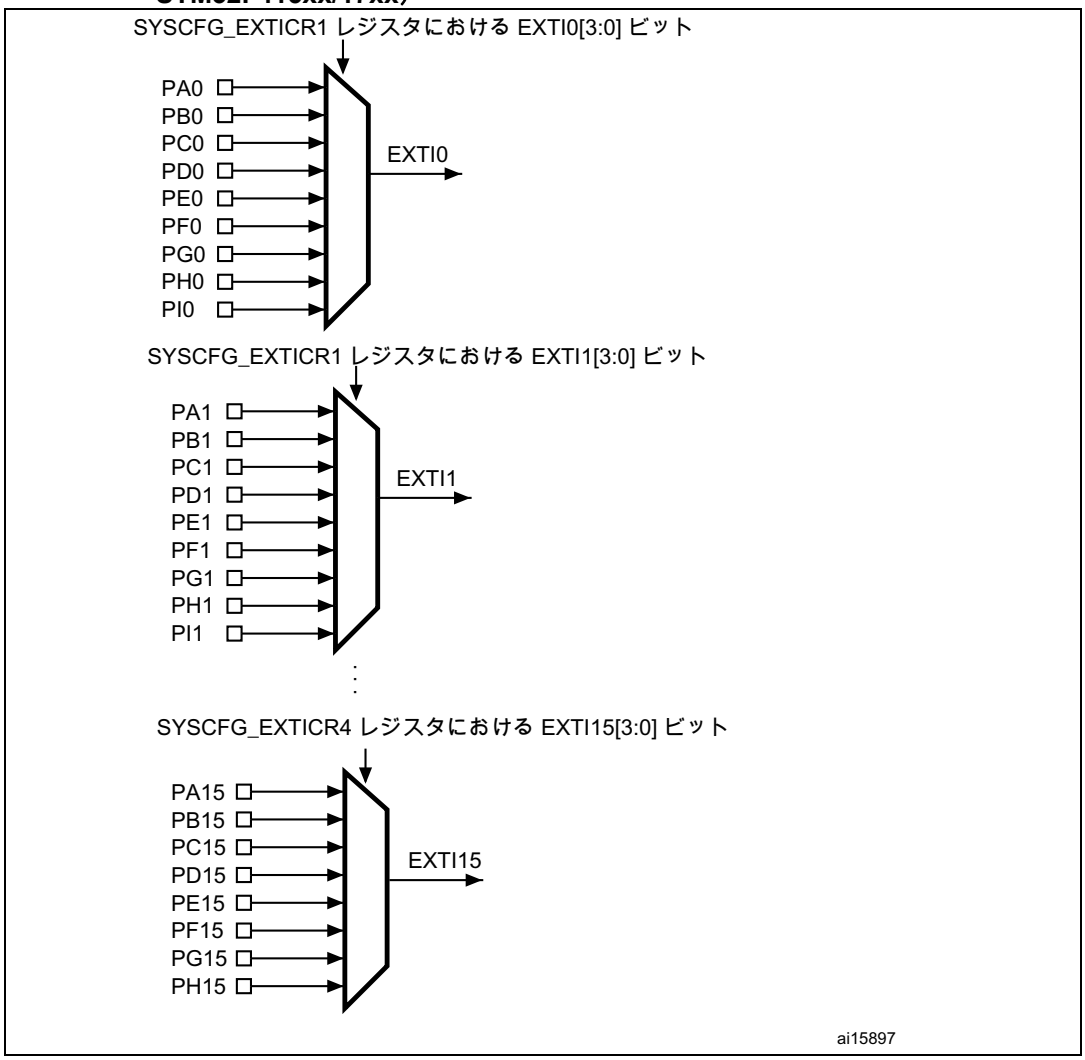
- 23 本の割り込み／イベントラインのマスクビットを設定します（EXTI_IMR、EXTI_EMR）。
- ソフトウェア割り込みレジスタの必要なビットをセットします（EXTI_SWIER）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

12.2.5 外部割り込み／イベントラインのマッピング

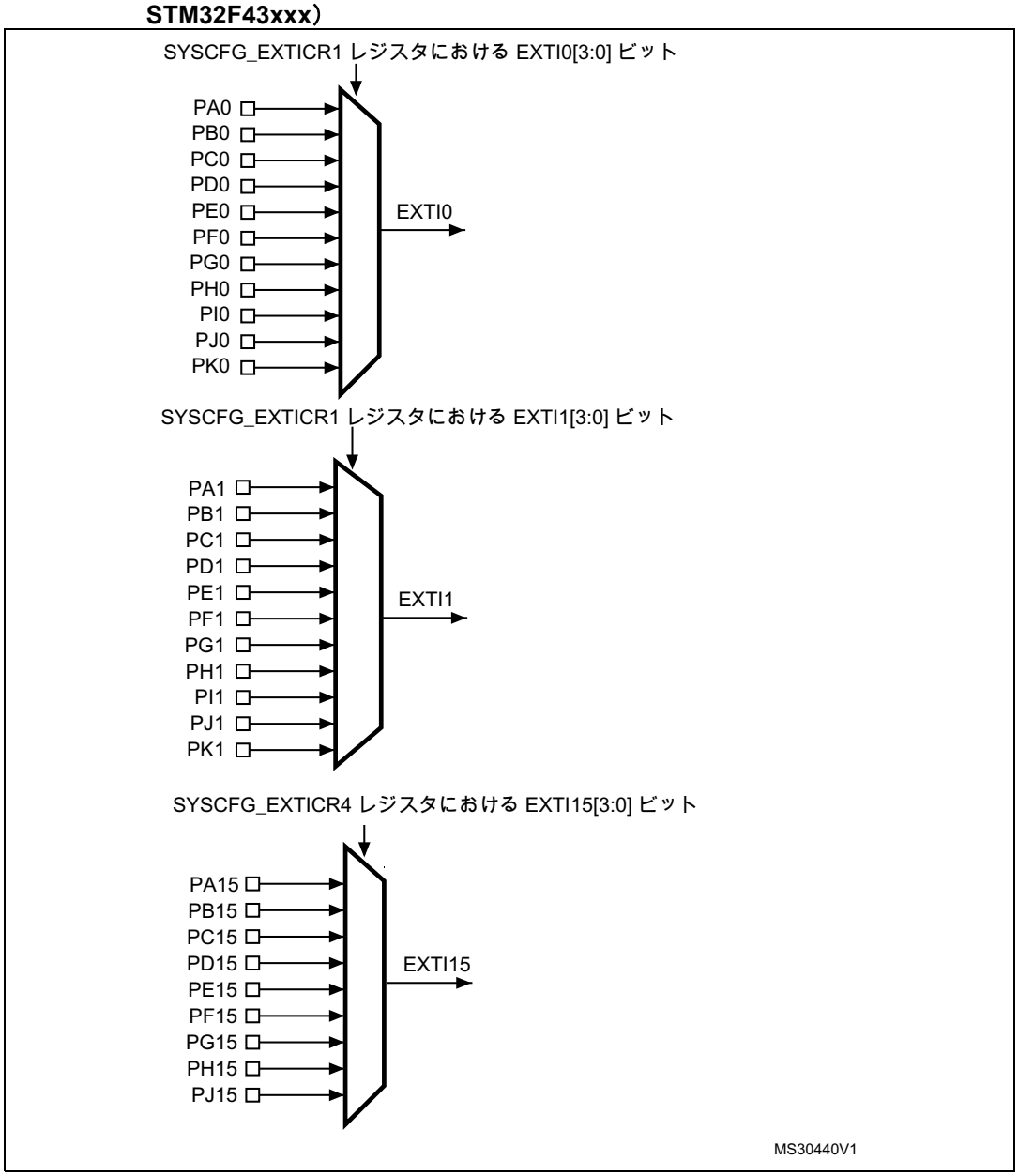
最大 140 個の GPIO（STM32F405xx/07xx および STM32F415xx/17xx）、168 個の GPIO（STM32F42xxx および STM32F43xxx）は、次のように、16 本の外部割り込み／イベントラインに接続されます。

図 42. 外部割り込み／イベントと GPIO のマッピング（STM32F405xx/07xx および STM32F415xx/17xx）



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 43. 外部割り込み／イベントと GPIO のマッピング（STM32F42xxx および STM32F43xxx）



他の 7 本の EXTI ラインは次のように接続されます。

- EXTI ライン 16 は PVD 出力に接続されます。
- EXTI ライン 17 は RTC アラームイベントに接続されます。
- EXTI ライン 18 は USB OTG FS ウェイクアップイベントに接続されます。
- EXTI ライン 19 は Ethernet ウェイクアップイベントに接続されます。
- EXTI ライン 20 は USB OTG HS（FS で設定）ウェイクアップイベントに接続されます。
- EXTI ライン 21 は RTC のタンパイベントおよびタイムスタンプイベントに接続されます。
- EXTI ライン 22 は RTC ウェイクアップイベントに接続されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

12.3 EXTI レジスタ

レジスタの説明で使用されている略語のリストについては、*セクション 1.1（57 ページ）*を参照してください。

12.3.1 割り込みマスクレジスタ（EXTI_IMR）

アドレスオフセット：0x00

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み									MR22	MR21	MR20	MR19	MR18	MR17	MR16
									rw	rw	rw	rw	rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MR15	MR14	MR13	MR12	MR11	MR10	MR9	MR8	MR7	MR6	MR5	MR4	MR3	MR2	MR1	MR0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:23 予約済みであり、リセット値に保持する必要があります。

ビット 22:0 **MRx**：ライン x の割り込みマスク

0：ライン x からの割り込みリクエストはマスクされます。
1：ライン x からの割り込みリクエストはマスクされません。

12.3.2 イベントマスクレジスタ（EXTI_EMR）

アドレスオフセット：0x04
リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み									MR22	MR21	MR20	MR19	MR18	MR17	MR16
									rw	rw	rw	rw	rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MR15	MR14	MR13	MR12	MR11	MR10	MR9	MR8	MR7	MR6	MR5	MR4	MR3	MR2	MR1	MR0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:23 予約済みであり、リセット値に保持する必要があります。

ビット 22:0 MRx：ライン x のイベントマスク

0：ライン x からのイベントリクエストはマスクされます。
1：ライン x からのイベントリクエストはマスクされません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

12.3.3 立ち上がりトリガ選択レジスタ（EXTI_RTSR）

アドレスオフセット：0x08
リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み									TR22	TR21	TR20	TR19	TR18	TR17	TR16
									rw	rw	rw	rw	rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TR15	TR14	TR13	TR12	TR11	TR10	TR9	TR8	TR7	TR6	TR5	TR4	TR3	TR2	TR1	TR0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:23 予約済みであり、リセット値に保持する必要があります。

ビット 22:0 TRx：ライン x の立ち上がりトリガイベント設定ビット
0：入力ラインの（イベントと割り込みについて）立ち上がりトリガは無効です。
1：入力ラインの（イベントと割り込みについて）立ち上がりトリガは有効です。

注： ***外部ウェイクアップラインはエッジトリガであるため、グリッチが生成されないようにする必要があります。***
EXTI_RTSR レジスタへの書き込み中に外部割り込みラインで立ち上がりエッジが発生した場合、ペンディングビットはセットされません。
同じ割り込みラインに対して、立ち上がりエッジトリガと立ち下がりエッジトリガを設定することができます。この設定では、両方のエッジでトリガ条件が生成されます。

12.3.4 立ち下がりトリガ選択レジスタ（EXTI_FTSR）

アドレスオフセット：0x0C
リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み									TR22	TR21	TR20	TR19	TR18	TR17	TR16
									rw	rw	rw	rw	rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TR15	TR14	TR13	TR12	TR11	TR10	TR9	TR8	TR7	TR6	TR5	TR4	TR3	TR2	TR1	TR0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:23 予約済みであり、リセット値に保持する必要があります。

ビット 22:0 TRx：ライン x の立ち下がりトリガイベント設定ビット
0：入力ラインの（イベントと割り込みについて）立ち下がりトリガは無効です
1：入力ラインの（イベントと割り込みについて）立ち下がりトリガは有効です

注： ***外部ウェイクアップラインはエッジトリガであるため、グリッチが生成されないようにする必要があります。***
EXTI_FTSR レジスタへの書き込み中に外部割り込みラインで立ち下がりエッジが発生した場合、ペンディングビットはセットされません。
同じ割り込みラインに対して、立ち上がりエッジトリガと立ち下がりエッジトリガを設定することができます。この設定では、両方のエッジでトリガ条件が生成されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

12.3.5 ソフトウェア割り込みイベントレジスタ（EXTI_SWIER）

アドレスオフセット：0x10
リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み									SWIER 22	SWIER 21	SWIER 20	SWIER 19	SWIER 18	SWIER 17	SWIER 16
									rw	rw	rw	rw	rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SWIER 15	SWIER 14	SWIER 13	SWIER 12	SWIER 11	SWIER 10	SWIER 9	SWIER 8	SWIER 7	SWIER 6	SWIER 5	SWIER 4	SWIER 3	SWIER 2	SWIER 1	SWIER 0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:23 予約済みであり、リセット値に保持する必要があります。

ビット 22:0 SWIERx：ライン x のソフトウェア割り込み

割り込みが EXTI_IMR レジスタのライン x で有効になっている場合、SWIERx ビットが“0”のときに“1”を書き込むと EXTI_PR レジスタの対応するペンディングビットがセットされるため、割り込みリクエストが生成されます。

EXTI_PR レジスタの対応するビットをクリアする（対応ビットに“1”を書き込む）と、このビットはクリアされます。

12.3.6 ペンディングレジスタ（EXTI_PR）

アドレスオフセット：0x14
リセット値：未定義

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み									PR22	PR21	PR20	PR19	PR18	PR17	PR16
									rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PR15	PR14	PR13	PR12	PR11	PR10	PR9	PR8	PR7	PR6	PR5	PR4	PR3	PR2	PR1	PR0
rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1

ビット 31:23 予約済みであり、リセット値に保持する必要があります。

ビット 22:0 PRx：ペンディングビット

0：トリガリクエストは発生していません。
1：選択されたトリガリクエストが発生しました。
このビットは、選択されたエッジイベントが外部割り込みラインで発生したときにセットされます。
このビットは、“1”をプログラムすることによってクリアされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

12.3.7 EXTI レジスタマップ

表 64 に、EXTI レジスタマップとリセット値を示します。

表 64. 外部割り込み／イベントコントローラのレジスタマップとリセット値

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	EXTI_IMR	予約済み									MR[22:0]																						
	リセット値										0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x04	EXTI_EMR	予約済み									MR[22:0]																						
	リセット値										0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x08	EXTI_RTSR	予約済み									TR[22:0]																						
	リセット値										0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0C	EXTI_FTSR	予約済み									TR[22:0]																						
	リセット値										0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x10	EXTI_SWIER	予約済み									SWIER[22:0]																						
	リセット値										0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x14	EXTI_PR	予約済み									PR[22:0]																						
	リセット値										0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

レジスタ境界アドレスについては、*表 2（64 ページ）* を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

13 A/D コンバータ（ADC）

このセクションは、特に指定がない限り、STM32F4xx ファミリ全体に適用されます。

13.1 ADC の概要

この 12 ビット ADC は、逐次比較型アナログデジタルコンバータです。最大 19 の多重化チャネルを持ち、16 の外部ソース、2 つの内部ソース、および V_{BAT} チャネルの測定を行うことができます。これらのチャネルの A/D 変換は、シングル、連続、スキャン、または不連続モードで行うことができます。ADC の結果は、左詰めまたは右詰めで 16 ビットのデータレジスタに格納されます。

アナログウォッチドッグ機能により、入力電圧が、ユーザ定義の上限値または下限値から逸脱していないかを、アプリケーションで検出することができます。

13.2 ADC の主な機能

- 12 ビット、10 ビット、8 ビット、または 6 ビットの設定可能な分解能
- 変換終了時、インジェクト変換終了時、および、アナログウォッチドッグイベントまたはオーバーランイベント時に割り込みを生成
- シングルおよび連続変換モード
- チャネル 0 から チャネル“n”を自動変換するためのスキャンモード
- 組み込みのデータコヒーレンシによるデータ配置
- チャネル単位でプログラム可能なサンプリング時間
- レギュラ変換とインジェクト変換の両方について極性設定可能な外部トリガオプション
- 不連続モード
- デュアル／トリプルモード （2 つ以上の ADC を持つデバイス）
- デュアル／トリプル ADC モードにおいて設定可能な DMA データストレージ
- デュアル／トリプルインターリーブモード変換間の設定可能な遅延
- ADC 変換タイプ（データシートを参照）
- ADC 電源要件：フルスピード時 2.4 V から 3.6 V、低速時 1.8 V から低下可能
- ADC 入力電圧範囲：$V_{REF-} \leq V_{IN} \leq V_{REF+}$
- レギュラチャネル変換中の DMA リクエストの生成

図 44 に、ADC のブロック図を示します。

注： ***V_{REF-} ピンが用意されているパッケージでは、このピンを V_{SSA} に固定する必要があります。***

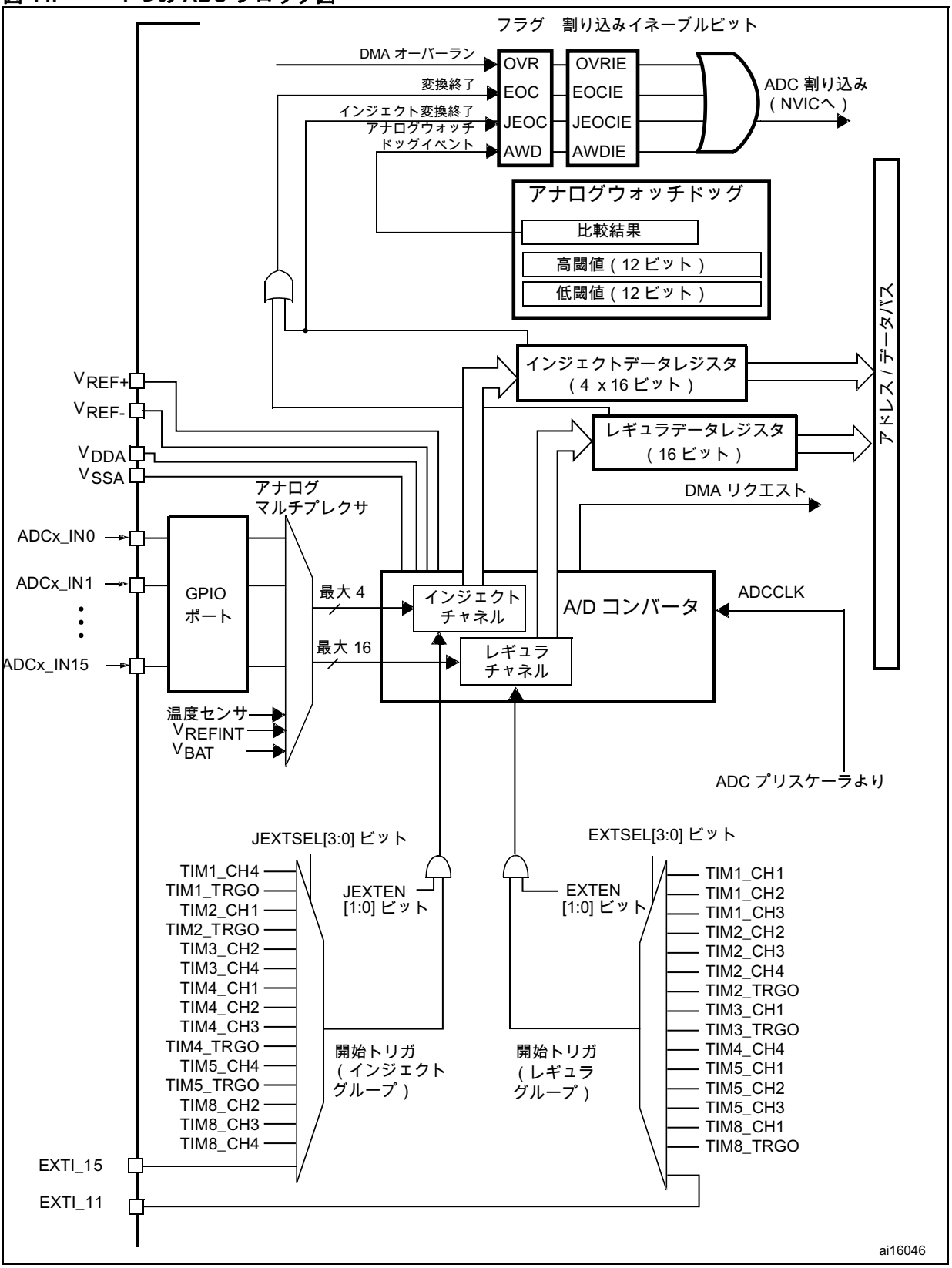
この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

13.3 ADC の機能詳細

図 44 に、1 つの ADC ブロック図を示します。*表 65* は ADC ピンの説明です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 44. 1 つの ADC ブロック図



この資料は、STMicroelectronics NV 並びにその子会社（以下 ST）が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 65. ADC ピン

名称	信号種別	説明
V_{REF+}	入力、アナログ基準電圧正	ADC のハイレベル／正基準電圧、 1.8 V ≤ V_{REF+} ≤ V_{DDA}
V_{DDA}	入力、アナログ電源供給	アナログ電源供給、V_{DD} に等しく、 2.4 V ≤ V_{DDA} ≤ V_{DD} （3.6 V）フルスピード用 1.8 V ≤ V_{DDA} ≤ V_{DD} （3.6 V）低速用
V_{REF-}	入力、アナログ基準電圧負	ADC のローレベル／負基準電圧、 V_{REF-} = V_{SSA}
V_{SSA}	入力、アナログ供給グランド	V_{SS} に等しいアナログ電源供給のグランド
ADCx_IN[15:0]	アナログ入力信号	16 チャネルのアナログ入力

13.3.1 ADC のオン／オフ制御

ADC は、ADC_CR2 レジスタの ADON ビットをセットすることで、電源オンの状態になります。ADON ビットが最初にセットされると、ADC はパワーダウンモードからウェイクアップします。

SWSTART ビットまたは JSWSTART ビットのいずれかがセットされると変換が開始します。

ADON ビットをクリアすることによって、変換を停止し、ADC をパワーダウンモードにできます。このモードでは、ADC は電力をほとんど消費しません（数 µA 程度）。

13.3.2 ADC クロック

この ADC には 2 つのクロックスキームがあります。

- アナログ回路のクロック：ADCCLK（すべての ADC に共通）

  このクロックは、プログラム可能なプリスケーラによって分周された APB2 クロックによって生成され、ADC は f_{PCLK2}/2、/4、/6 または /8 で動作することができます。ADCCLK の最大値に関してはデータシートを参照してください。

- デジタルインタフェース用のクロック（レジスタの読み書きアクセスに使用）

  このクロックは APB2 クロックと同一です。デジタルインタフェースクロックは、RCC APB2 ペリフェラルクロックイネーブルレジスタ （RCC_APB2ENR）を使用して ADC ごとに有効／無効にすることができます。

13.3.3 チャネル選択

16 の多重化チャネルがあります。変換は、レギュラとインジェクトの 2 つのグループに構成することができます。各グループは、任意のチャネルに対して任意の順序で行うことができる一連の変換で構成されます。たとえば、次のような順で変換順を設定することができます：ADC_IN3、ADC_IN8、ADC_IN2、ADC_IN2、ADC_IN0、ADC_IN2、ADC_IN2、ADC_IN15

- **レギュラグループ**は、最大 16 の変換で構成されます。レギュラチャネルと変換シーケンス内での順序は、ADC_SQRx レジスタで選択する必要があります。レギュラグループの合計変換数は、ADC_SQR1 レジスタの L[3:0] ビットに書き込む必要があります。
- **インジェクトグループ**は、最大 4 つの変換で構成されます。インジェクトチャネルと変換シーケンス内での順序は、ADC_JSQR レジスタで選択する必要があります。インジェクトグループの合計変換数は、ADC_JSQR レジスタの L[1:0] ビットに書き込む必要があります。

変換中に ADC_SQRx または ADC_JSQR レジスタが変更された場合、現在の変換はリセットされ、新しい開始パルスが ADC に送られて、新しく選ばれたグループを変換します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

温度センサ、V_{REFINT} および V_{BAT} 内部チャネル

- STM23F40x および STM32F41x デバイスでは、温度センサは内部的にチャネル ADC1_IN16 に接続されています。

  内部基準電圧 VREFINT は ADC1_IN17 に接続されています。

- STM23F42x および STM32F43x デバイスでは、温度センサは VBAT と共用で ADC1_IN18 チャネルに内部的に接続されています。一度に選択できるのは、温度センサまたは VBAT の内、どちらか 1 つだけです。温度センサと VBAT 変換を同時に設定すると、VBAT 変換のみ行われます。

  内部基準電圧 VREFINT は ADC1_IN17 に接続されています。

V_{BAT} チャネルはチャネル ADC1_IN18 に接続されています。これも、インジェクトまたはレギュラチャネルとして変換を行うことができます。

注： ***温度センサ、V_{REFINT} および V_{BAT} チャネルは、マスタ ADC1 ペリフェラルでのみ使用可能です。***

13.3.4 シングル変換モード

シングル変換モードでは、ADC は変換を 1 回行います。CONT ビットが 0 の時、次のいずれかによってこのモードが開始します。

- ADC_CR2 レジスタの SWSTART ビットをセットすること（レギュラチャネルのみ）
- JSWSTART ビットをセットすること（インジェクトチャネル）
- 外部トリガ（レギュラまたはインジェクトチャネル）

選択されたチャネルの変換が完了すると、

- レギュラチャネルが変換された場合：
  - 変換されたデータは 16 ビットの ADC_DR レジスタに格納されます。
  - EOC（end of conversion）フラグがセットされます。
  - EOCIE ビットがセットされている場合、割り込みが生成されます。
- インジェクトチャネルが変換された場合：
  - 変換されたデータは 16 ビットの ADC_JDR1 レジスタに格納されます。
  - JEOC（end of conversion injected）フラグがセットされます。
  - JEOCIE ビットがセットされている場合、割り込みが生成されます。

その後、ADC が停止します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

13.3.5 連続変換モード

連続変換モードでは、ADC は 1 回の変換が終了すると次の変換に移ります。CONT ビットが 1 の時、外部トリガまたは ADC_CR2 レジスタの SWSTRT ビットをセットすることによって、このモードが開始されます（レギュラチャネルのみ）。

各変換後、

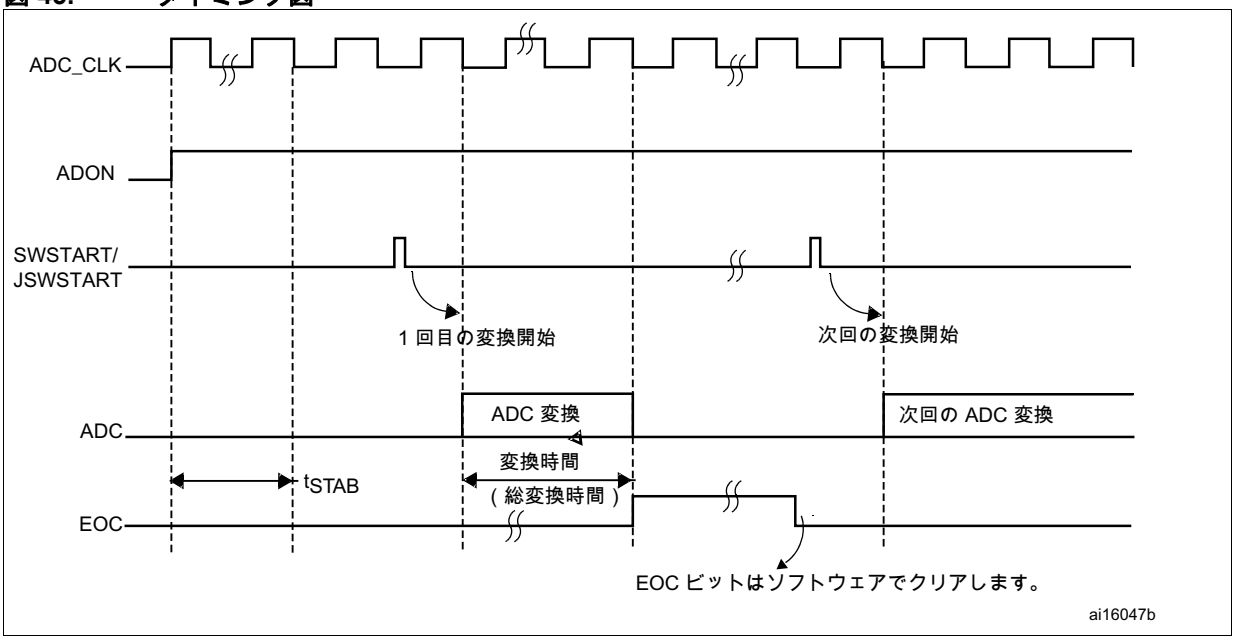
- レギュラチャネルのグループが変換された場合：
  - 最後に変換されたデータは 16 ビットの ADC_DR レジスタに格納されます。
  - EOC（変換完了）フラグがセットされます。
  - EOCIE ビットがセットされている場合、割り込みが生成されます。

注： ***インジェクトチャネルを連続して変換することはできません。唯一の例外は、連続モードに設定されたレギュラチャネルの後にインジェクトチャネルを自動的に変換するよう設定されている（JAUTO ビットを使用）場合です。自動インジェクション を参照してください。***

13.3.6 タイミング図

図 45 に示すように、ADC は正確な変換を開始する前に、安定時間 t_{STAB} を必要とします。ADC 変換の開始後 15 クロックサイクルで EOC フラグがセットされ、変換されたデータが 16 ビットの ADC データレジスタに格納されます。

図 45. タイミング図



13.3.7 アナログウォッチドッグ

アナログウォッチドッグ（AWD）ステータスビットは、ADC によって変換されたアナログ電圧が低閾値を下回るか、高閾値を上回る場合にセットされます。これらの閾値は、ADC_HTR および ADC_LTR 16 ビットレジスタの下位 12 ビットに設定します。ADC_CR1 レジスタの AWDIE ビットを使用して、割り込みを有効にできます。

閾値は、ADC_CR2 レジスタの ALIGN ビットによって選択された配置とは無関係です。アナログ電圧は配置される前に低閾値および高域値と比較されます。

この資料は、STMicroelectronics NV 並びにその子会社（以下 ST）が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 66 に、1 つまたは複数のチャネル上でアナログウォッチドッグを有効にするためにどのようにして ADC_CR1 レジスタを設定するかを示します。

図 46. アナログウォッチドッグによって保護される領域

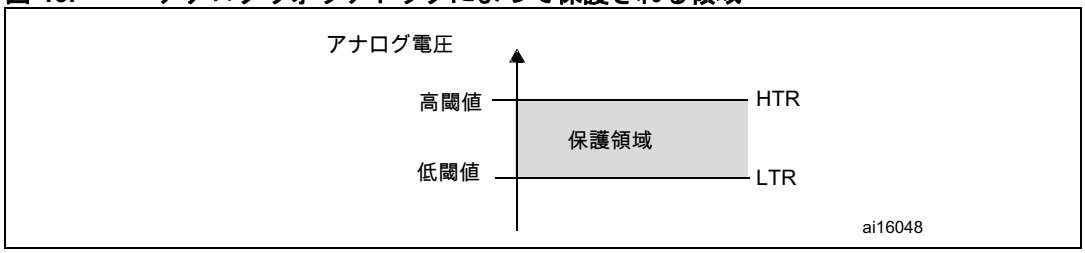


表 66. アナログウォッチドッグチャネル選択

アナログウォッチドッグによって保護されるチャネル	ADC_CR1 レジスタ制御ビット（x = 無視）		
	AWDSGL ビット	AWDEN ビット	JAWDEN ビット
なし	x	0	0
すべてのインジェクトチャネル	0	0	1
すべてのレギュラチャネル	0	1	0
すべてのレギュラおよびインジェクトチャネル	0	1	1
1 つの(1) インジェクトチャネル	1	0	1
1 つの(1)レギュラチャネル	1	1	0
1 つの(1)レギュラまたはインジェクトチャネル	1	1	1

1. AWDCH[4:0] ビットによって選択

13.3.8 スキャンモード

このモードは、アナログチャネルのグループをスキャンするために使用されます。

スキャンモードを選択するには、ADC_CR1 レジスタの SCAN ビットをセットします。このビットがセットされると、ADC は ADC_SQRx レジスタ（レギュラチャネルの場合）または ADC_JSQR レジスタ（インジェクトチャネルの場合）で選択されたすべてのチャネルをスキャンします。グループの各チャネルに対して 1 回の変換が行われます。各変換が完了すると、グループ内の次のチャネルが自動的に変換されます。CONT ビットがセットされている場合、グループの最後の選択チャネルでレギュラチャネル変換は停止せず、選択チャネルの最初から続行します。

DMA ビットがセットされている場合、変換されたデータ（ADC_DR レジスタに格納されている）は、各レギュラチャネル変換後、ダイレクトメモリアクセス（DMA）コントローラを使用して、レギュラチャネルグループから SRAM に転送されます。

次の場合に ADC_SR レジスタの EOC ビットがセットされます。

- EOCS ビットが 0 にクリアされている場合、各レギュラグループシーケンス終了後
- EOCS ビットが 1 にセットされている場合、各レギュラチャネル変換終了後

インジェクトチャネルから変換されたデータは常に ADC_JDRx レジスタに格納されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

13.3.9 インジェクトチャネルの管理

トリガインジェクション

トリガインジェクションを使用するには、ADC_CR1 レジスタの JAUTO ビットがクリアされていなければなりません。

1. 外部トリガによって、または、ADC_CR2 レジスタの SWSTART ビットをセットすることによって、レギュラチャネルのグループの変換を開始します。
2. レギュラチャネルグループの変換中に外部インジェクトトリガが発生した場合または JSWSTART ビットがセットされた場合、現在の変換はリセットされ、インジェクトチャネルシーケンスはスキャンワンスモードに切り替わります。
3. その後、レギュラチャネルグループのレギュラ変換が、最後に中断されたレギュラ変換から再開されます。
   インジェクト変換中にレギュライベントが発生した場合、インジェクト変換は中断されず、インジェクトシーケンスの終了時にレギュラシーケンスが実行されます。*図 47* に対応するタイミング図を示します。

注： ***トリガインジェクションを使用する場合は、トリガイベントの間隔がインジェクションシーケンスより長くなるようにしなければなりません。たとえば、シーケンスの長さが 30 ADC クロックサイクルの場合 (3 クロック周期のサンプリング時間を持つ 2 つの変換)、トリガの最小間隔は 31 ADC クロックサイクルでなければなりません。***

自動インジェクション

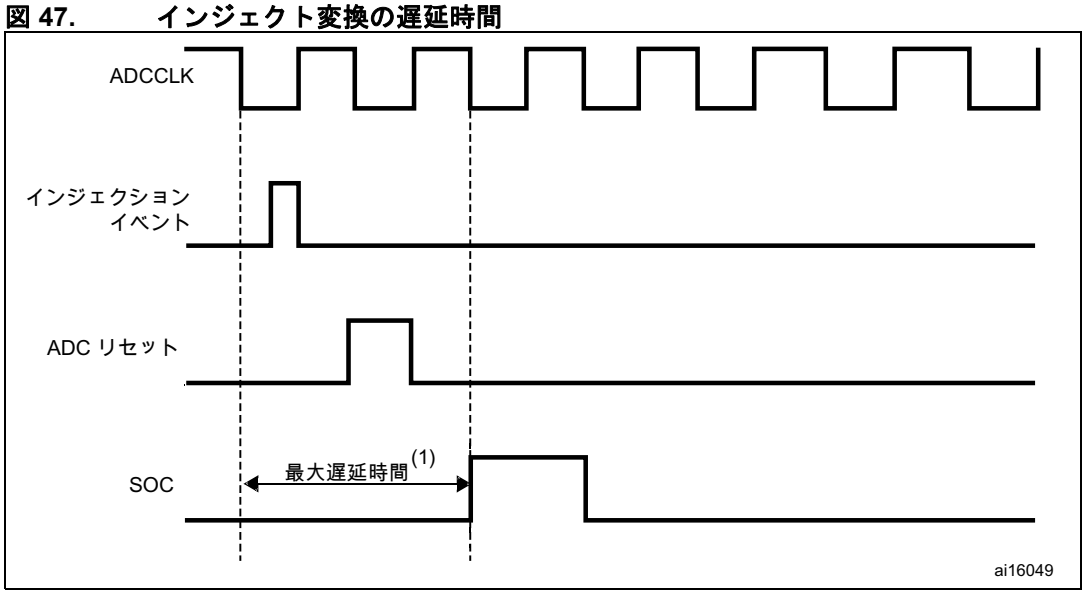
JAUTO ビットがセットされている場合、レギュラグループチャネルの変換後、インジェクトグループチャネルが自動的に変換されます。これを使用して、ADC_SQRx レジスタおよび ADC_JSQR レジスタにプログラミングされた最大 20 回の変換シーケンスを実行することができます。

このモードでは、インジェクトチャネルの外部トリガは無効でなければなりません。

JAUTO ビットに加えて CONT ビットもセットされている場合、レギュラチャネルに続いてインジェクトチャネルが連続して変換されます。

注： ***自動インジェクトモードと不連続モードを同時に使用することはできません。***

図 47. インジェクト変換の遅延時間



1. 最大遅延時間の値は、STM32F40x および STM32F41x のデータシートの電気特性に記載されています。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

13.3.10 不連続モード

レギュラグループ

このモードは、ADC_CR1 レジスタの DISCEN ビットをセットすることによって有効になります。これを使用して、ADC_SQRx レジスタで選択された変換シーケンスの一部である短い変換シーケンス（n ≤ 8）を変換できます。n の値は、ADC_CR1 レジスタの DISCNUM[2:0] ビットに書き込むことによって指定します。

外部トリガが発生すると、ADC_SQRx レジスタで選択された次の n 個の変換が開始され、シーケンス内のすべての変換が行われるまで続きます。合計シーケンス長は、ADC_SQR1 レジスタの L[3:0] ビットによって定義されます。

例：

n = 3、変換されるチャネル = 0、1、2、3、6、7、9、10
1 番目のトリガ：0、1、2 が変換されます。
2 番目のトリガ：3、6、7 が変換されます。
3 番目のトリガ：9、10 が変換され、EOC イベントが生成されます。
4 番目のトリガ：0、1、2 が変換されます。

注： ***レギュラグループが不連続モードで変換されるときには、ロールオーバーは発生しません。***

すべてのサブグループが変換されると、次のトリガでは、最初のサブグループの変換が開始されます。上の例では、4 番目のトリガで最初のサブグループのチャネル 0、1、および 2 が再変換されます。

インジェクトグループ

このモードは、ADC_CR1 レジスタの JDISCEN ビットをセットすることで有効になります。これを使用して、ADC_JSQR レジスタで選択されたシーケンスを、外部トリガイベント後に 1 チャネルずつ変換することができます。

外部トリガが発生すると、ADC_JSQR レジスタで選択された次のチャネル変換が開始され、シーケンス内のすべての変換が行われるまで続きます。合計シーケンス長は、ADC_JSQR レジスタの JL[1:0] ビットによって定義されます。

例：

n = 1、変換されるチャネル = 1、2、3
1 番目のトリガ：チャネル 1 が変換されます。
2 番目のトリガ：チャネル 2 が変換されます。
3 番目のトリガ：チャネル 3 が変換され、EOC および JEOC イベントが生成されます。
4 番目のトリガ：チャネル 1 が変換されます。

注： ***すべてのインジェクトチャネルが変換されると、次のトリガでは、最初のインジェクトチャネルの変換が開始されます。上の例では、4 番目のトリガで最初のインジェクトチャネル 1 が再変換されます。***

自動インジェクトモードと不連続モードを同時に使用することはできません。

レギュラグループとインジェクトグループの両方で不連続モードを同時に設定することはできません。不連続モードは、1 つのグループ変換に対してのみ有効にする必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

13.4 データの配置

ADC_CR2 レジスタの ALIGN ビットは、変換後に格納されるデータの配置を選択します。データは、*図 48* および *図 49* に示すように、右詰めまたは左詰めに配置できます。

インジェクトグループチャネルの変換後のデータ値は、ADC_JOFRx レジスタに書き込まれたユーザ定義オフセットだけ減算されるので結果は負の値になることもあります。SEXT ビットは、拡張符号値を表します。

レギュラグループのチャネルの場合、オフセットは引かれないので、12 ビットのみが有効です。

図 48. 12 ビットデータの右詰め

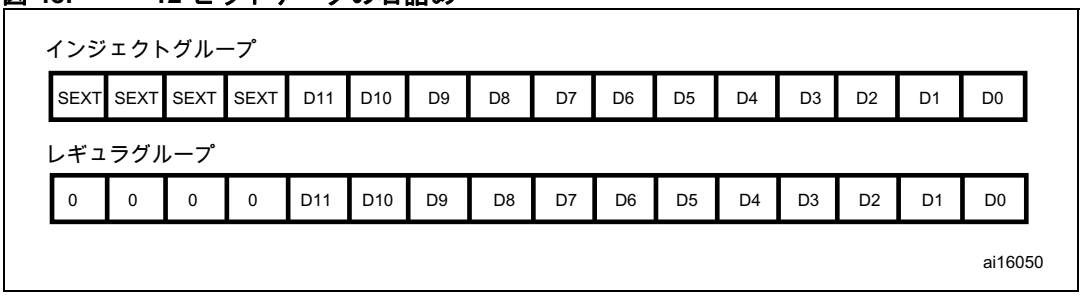
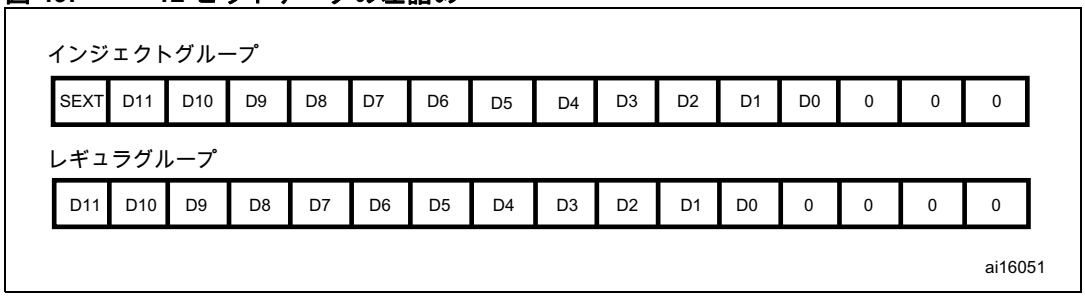
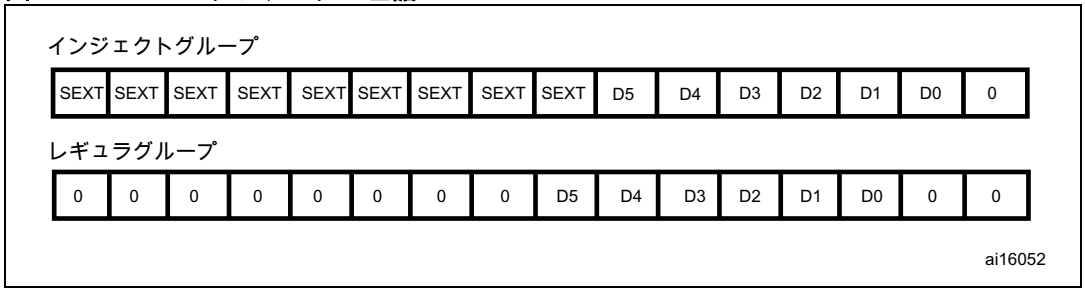


図 49. 12 ビットデータの左詰め



特殊なケース：左詰めの場合、バイト単位に配置される場合で分解能が 6 ビットに設定されている場合（*図 50*）を除きデータはハーフワード単位に配置されます。

図 50. 6 ビットデータの左詰め



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

13.5 チャネルごとにプログラム可能なサンプリング時間

ADC は、一定の ADCCLK サイクル数だけ入力電圧をサンプリングしますが、この時間は、ADC_SMPR1 および ADC_SMPR2 レジスタの SMP[2:0] ビットを使用して変更できます。チャネルごとに異なるサンプリング時間でサンプリングすることができます。

合計変換時間は、次のように計算されます。

T_{conv} = サンプリング時間 + 12 サイクル

例：

ADCCLK = 30 MHz、サンプリング時間が 3 サイクルのとき：

T_{conv} = 3 + 12 = 15 サイクル = 0.5 µs（APB2 が 60 MHz の場合）

13.6 外部トリガによる変換およびトリガ極性

変換は、外部イベント（タイマキャプチャ、EXTI ラインなど）によってトリガできます。EXTEN[1:0] 制御ビット（レギュラ変換の場合）または JEXTEN[1:0] ビット（インジェクト変換の場合）が “0b00” 以外の場合、選択した極性で外部イベントによって変換をトリガすることができます。*表 67* に EXTEN[1:0] と JEXTEN[1:0] の値とトリガ極性の対応を示します。

表 67. トリガ極性の設定

ソース	EXTEN[1:0] / JEXTEN[1:0]
トリガ検出は無効です。	00
立ち上がりエッジで検出します。	01
立ち下がりエッジで検出します。	10
立ち上がりエッジと立ち下がりエッジの両方で検出します。	11

注： 外部トリガの極性は動作中に変更することができます。

EXTSEL[3:0] および JEXTSEL[3:0] 制御ビットを使用してレギュラおよびインジェクトグループの変換をトリガできるイベントを 16 のイベントから選択します。

表 68 にレギュラ変換に使用できる外部トリガを示します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 68. レギュラチャネルの外部トリガ

ソース	タイプ	EXTSEL[3:0]
TIM1_CH1 イベント	オンチップタイマからの内部信号	0000
TIM1_CH2 イベント		0001
TIM1_CH3 イベント		0010
TIM2_CH2 イベント		0011
TIM2_CH3 イベント		0100
TIM2_CH4 イベント		0101
TIM2_TRGO イベント		0110
TIM3_CH1 イベント		0111
TIM3_TRGO イベント		1000
TIM4_CH4 イベント		1001
TIM5_CH1 イベント		1010
TIM5_CH2 イベント		1011
TIM5_CH3 イベント		1100
TIM8_CH1 イベント		1101
TIM8_TRGO イベント		1110
EXTI ライン11	外部ピン	1111

表 69 にインジェクト変換に使用できる外部トリガを示します。

表 69. インジェクトチャネルの外部トリガ

ソース	接続タイプ	JEXTSEL[3:0]
TIM1_CH4 イベント	オンチップタイマからの内部信号	0000
TIM1_TRGO イベント		0001
TIM2_CH1 イベント		0010
TIM2_TRGO イベント		0011
TIM3_CH2 イベント		0100
TIM3_CH4 イベント		0101
TIM4_CH1 イベント		0110
TIM4_CH2 イベント		0111
TIM4_CH3 イベント		1000
TIM4_TRGO イベント		1001
TIM5_CH4 イベント		1010
TIM5_TRGO イベント		1011
TIM8_CH2 イベント		1100
TIM8_CH3 イベント		1101
TIM8_CH4 イベント		1110
EXTI ライン15	外部ピン	1111

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ソフトウェアソーストリガイベントは、ADC_CR2 レジスタの SWSTART（レギュラ変換の場合）ビットまたは JSWSTART（インジェクト変換の場合）ビットをセットすることによって生成できます。

レギュラグループ変換は、インジェクトトリガによって中断することが可能です。

注： ***トリガの選択は動作中に変更することができます。ただし、選択が変更されるとき 1 APB クロックサイクルの期間トリガの検出が無効になります。これは、変更時の誤検出を避けるためです。***

13.7 高速変換モード

ADC の分解能を下げることによって、高速変換を行うことができます。RES ビットを使用してデータレジスタで使用できるビット数を選択します。各精度に対する最小変換時間は、次のとおりです。

- 12 ビット：3 + 12 = 15 ADCCLK サイクル
- 10 ビット：3 + 10 = 13 ADCCLK サイクル
- 8 ビット：3 + 8 = 11 ADCCLK サイクル
- 6 ビット：3 + 6 = 9 ADCCLK サイクル

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

13.8 データ管理

13.8.1 DMA の利用

変換されたレギュラチャネルの値は特定のデータレジスタに格納されるので、複数のレギュラチャネルの変換には DMA の使用が便利です。これによって、ADC_DR レジスタにすでに格納されているデータの損失を防ぐことができます。

DMA モードが有効（ADC_CR2 レジスタの DMA ビットが 1 に設定されている）な場合、レギュラチャネルが変換されるごとに DMA リクエストが生成されます。これにより、変換されたデータを ADC_DR レジスタからソフトウェアで選択した場所へ転送することができます。

これにもかかわらず、データが失われる場合（オーバーラン）、ADC_SR レジスタの OVR ビットがセットされ割り込みが生成されます（OVRIE イネーブルビットがセットされている場合）。続いて DMA 転送が無効になり、その後の DMA リクエストは受け付けられません。この場合、DMA リクエストが行われると、実行中のレギュラ変換は中断され、その後のレギュラトリガは無視されます。そのときは、必要な変換済みチャネルデータを正しいメモリ位置へ転送するために OVR フラグおよび使用している DMA ストリームの DMAEN ビットをクリアして DMA と ADC を再初期化する必要があります。その後初めて、変換を再開することができ、データ転送を再び有効にすることができます。インジェクトチャネル変換はオーバーランエラーの影響を受けません。

DMA モードで OVR = 1 の場合、最後の有効なデータが転送されたあとに DMA リクエストがブロックされます。つまり、RAM へ転送されたデータはすべて有効とみなすことができます。

最後の DMA 転送（DMA コントローラの DMA_SxNTR レジスタに設定されている転送数）が終了すると、

- ADC_CR2 レジスタの DDS ビットが 0 にクリアされている場合、DMA コントローラへの新規の DMA リクエストは発生しません（これによりオーバーランエラーの発生を防ぎます）。ただし、DMA ビットはハードウェアによってクリアされることはありません。新たな転送を開始するにはそこに 0 を書き込み、そのあと 1 を書き込む必要があります。
- DDS ビットが 1 にセットされている場合、リクエストの生成は継続することができます。これにより DMA をダブルバッファサーキュラモードに設定することができます。

DMA 使用時に ADC を OVR 状態から回復するには次の手順に従います。

1. DMA を再初期化します（転送先アドレスと NDTR カウンタを調整します）
2. ADC_SR レジスタの ADC OVR ビットをクリアします。
3. ADC をトリガして変換を開始します。

13.8.2 DMA を使用しない変換シーケンスの管理

変換が十分遅い場合、ソフトウェアで変換シーケンスを処理することができます。この場合、変換シーケンスの終わりだけではなく各変換が終わるたびに EOC ステータスビットをセットするため、ADC_CR2 レジスタの EOCS ビットをセットする必要があります。EOCS = 1 のとき、オーバーラン検出は自動的に有効になります。したがって、変換が終了するごとに EOC がセットされ ADC_DR レジスタを読み出すことができます。オーバーラン管理は DMA を使用するときと同じです。

EOCS がセットされているとき ADC を OVR 状態から回復するには次の手順に従います。

1. ADC_SR レジスタの ADC OVR ビットをクリアします。
2. ADC をトリガして変換を開始します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

13.8.3 DMA およびオーバーラン検出を使用しない変換

毎回データの読み出しをせずに ADC に 1 つまたは複数のチャネルを変換させると便利な場合があります（たとえば、アナログウォッチドッグがある場合）。そのためには、DMA を無効（DMA = 0）にし、シーケンスの終了時にのみ EOC ビットをセットする必要があります（EOCS = 0）。この設定では、オーバーラン検出が無効になります。

13.9 マルチ ADC モード

2 つ以上の ADC を持つデバイスでは、デュアル ADC モード（2 つの ADC）およびトリプル ADCモード（3 つの ADC）を使用することができます（*図 51* を参照してください）。

マルチ ADC モードでは、変換の開始は、ADC_CCR レジスタの MULTI[4:0] ビットによって選択されたモードに応じて、ADC1 マスタにより ADC2 および ADC3 スレーブに交互または同時にトリガされます。

注： ***マルチ ADC モードでは、変換トリガを外部イベントに設定する場合、誤ったトリガが不要なスレーブの変換を開始しないように、アプリケーションはマスタのトリガのみをセットし、スレーブのトリガを無効にする必要があります。***

次の 4 つのモードを備えています。

- インジェクト同時モード
- レギュラ同時モード
- インタリーブモード
- オルタネートトリガモード

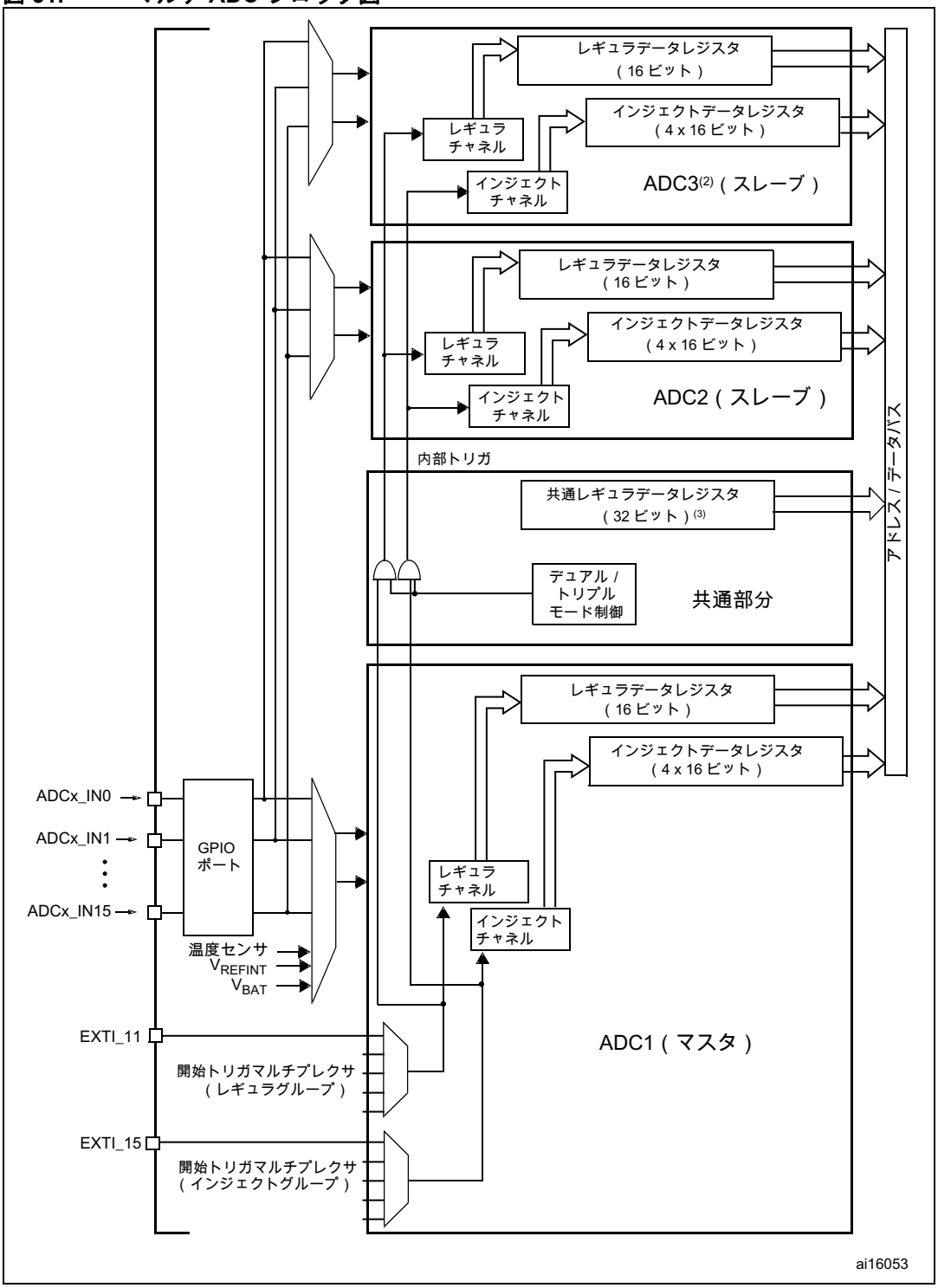
これらのモードを次のように組み合わせて使用することも可能です。

- インジェクト同時モード + レギュラ同時モード
- レギュラ同時モード + オルタネートトリガモード

注： ***マルチ ADC モードでは、変換されたデータをマルチモードデータレジスタ（ADC_CDR）から読み出すことができます。ステータスビットはマルチモードステータスレジスタ（ADC_CSR）から読み出すことができます。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 51. マルチ ADC ブロック図 (1)



1. 外部トリガは ADC2 および ADC3 にもありますが、この図には示していません。
2. デュアル ADC モードでは、ADC3 スレーブ部分はありません。
3. トリプル ADC モードでは、ADC 共通データレジスタ（ADC_CDR）に ADC1、ADC2、および ADC3 のレギュラ変換データが格納されます。全 32 レジスタビットは、選択したストレージ順に従って使用されます。
デュアル ADC モードでは、ADC 共通データレジスタ（ADC_CDR）に ADC1 および ADC2 の両方のレギュラ変換データが格納されます。全 32 レジスタビットを使用します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

- マルチ ADC モードにおける DMA リクエスト：

  マルチ ADC モードでは、変換されたデータを 3 つの異なるモードで転送するよう DMA を設定することができます。すべての場合において ADC に接続されている DMA ストリームを使用します。

  – **DMA モード 1**：DMA リクエストごとに（データ項目は 1 つ使用可能）、ADC 変換済データを表すハーフワードが転送されます。

    デュアル ADC モードでは、最初のリクエストで ADC1 のデータが転送され、2 番目のリクエストで ADC2 のデータが転送され、以下同様です。

    トリプル ADC モードでは、最初のリクエストで ADC1 のデータが転送され、2 番目のリクエストで ADC2 のデータが転送され､3 番目のリクエストで ADC3 のデータが転送され、以下このシーケンスを繰り返します。このように、DMA はまず ADC1 のデータを転送し、次に ADC2 のデータ、ADC3 のデータと続きます。

    DMA モード 1 はレギュラ同時トリプルモードで使用します。

    例：

    レギュラ同時トリプルモード : 3 つの連続 DMA リクエストが生成されます（変換データ項目ごとに 1 つ）。

    1 番目のリクエスト：ADC_CDR[31:0] = ADC1_DR[15:0]

    2 番目のリクエスト：ADC_CDR[31:0] = ADC2_DR[15:0]

    3 番目のリクエスト：ADC_CDR[31:0] = ADC3_DR[15:0]

    4 番目のリクエスト：ADC_CDR[31:0] = ADC1_DR[15:0]

  – **DMA モード 2**：DMA リクエストごとに（データ項目は 2 つ使用可能）、2 つの ADC 変換データを表す 2 つのハーフワードが 1 ワードとして転送されます。

    デュアル ADC モードでは、最初のリクエストで ADC2 と ADC1 の両データが転送され（ADC2 データが上位ハーフワードを使用し、ADC1 データが下位ハーフワードを使用します）、以下同様です。

    トリプル ADC モードでは､3 つの DMA リクエストが生成されます｡最初のリクエストで、ADC2 と ADC1 の両データが転送されます（ADC2 データが上位ハーフワードを使用し、ADC1 データが下位ハーフワードを使用します）。2 番目のリクエストで、ADC1 と ADC3 の両データが転送されます（ADC1 データが上位ハーフワードを使用し、ADC3 データが下位ハーフワードを使用します）。3 番目のリクエストで、ADC3 と ADC2 の両データが転送され（ADC3 データが上位ハーフワードを使用し、ADC2 データが下位ハーフワードを使用します）、以下同様です。

    DMA モード 2 はインタリーブモードおよびレギュラ同時モード（デュアル ADC モードのみ）で使用されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

例：

a) インタリーブデュアルモード:2 つのデータ項目が使用可能になるたびに DMA リクエストが 1 つ生成されます。

1 番目のリクエスト：ADC_CDR[31:0] = ADC2_DR[15:0] | ADC1_DR[15:0]

2 番目のリクエスト：ADC_CDR[31:0] = ADC2_DR[15:0] | ADC1_DR[15:0]

b) インタリーブトリプルモード:2 つのデータ項目が使用可能になるたびに DMA リクエストが 1 つ生成されます。

1 番目のリクエスト：ADC_CDR[31:0] = ADC2_DR[15:0] | ADC1_DR[15:0]

2 番目のリクエスト：ADC_CDR[31:0] = ADC1_DR[15:0] | ADC3_DR[15:0]

3 番目のリクエスト：ADC_CDR[31:0] = ADC3_DR[15:0] | ADC2_DR[15:0]

4 番目のリクエスト：ADC_CDR[31:0] = ADC2_DR[15:0] | ADC1_DR[15:0]

– **DMA モード 3**：このモードは DMA モード 2 に類似しています。唯一の違いは、DMA リクエストごとに（データ項目は 2 つ使用可能）、2 つの ADC 変換データを表す 2 バイトがハーフワードとして転送されます。データ転送順序は、DMA モード 2 に類似しています。

DMA モード 3 は 6 ビットおよび 8 ビット分解能でのインタリーブモードで使用します。

例：

a) インタリーブデュアルモード:2 つのデータ項目が使用可能になるたびに DMA リクエストが生成されます。

1 番目のリクエスト：ADC_CDR[15:0] = ADC2_DR[7:0] | ADC1_DR[7:0]

2 番目のリクエスト：ADC_CDR[15:0] = ADC2_DR[7:0] | ADC1_DR[7:0]

b) インタリーブトリプルモード:2 つのデータ項目が使用可能になるたびに DMA リクエストが 1 つ生成されます。

1 番目のリクエスト：ADC_CDR[15:0] = ADC2_DR[7:0] | ADC1_DR7:0]

2 番目のリクエスト：ADC_CDR[15:0] = ADC1_DR[7:0] | ADC3_DR[15:0]

3 番目のリクエスト：ADC_CDR[15:0] = ADC3_DR[7:0] | ADC2_DR[7:0]

4 番目のリクエスト：ADC_CDR[15:0] = ADC2_DR[7:0] | ADC1_DR7:0]

オーバーラン検出：当該の ADC（デュアルオードおよびトリプルモードにおける ADC1 と ADC2、トリプルモードにおける ADC3 のみ）の 1 つでオーバーランが検出された場合、RAM に転送されたすべてのデータが有効であることを保証するため DMA リクエストの発行を停止します。ある ADC のデータレジスタに有効なデータが格納されていることによりその ADC に対応する EOC ビットがセットされたままになることがあります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

13.9.1 インジェクト同時モード

このモードは、インジェクトチャネルグループを変換します。外部トリガのソースは、ADC1 のインジェクトグループマルチプレクサ（ADC1_CR2 レジスタの JEXTSEL[3:0] ビットによって選択）から供給されます。同時トリガは、ADC2 と ADC3 に供給されます。

注： ***2 つ／3 つの ADC の同じチャネルを変換しないでください。（同じチャネルを変換する場合、2 つ／3 つの ADC のサンプリング時間が重なってはいけません。）***

同時モードでは、同じ長さのシーケンスを変換するか、トリガ間隔が 2 つ（デュアル ADC モード）／3 つ（トリプル ADC モード）のシーケンスのうち長い方のシーケンスより長くなるようにしなければなりません。さもないと、長いシーケンスの ADC が前の変換を完了する前に、短いシーケンスの ADC がリスタートすることがあります。

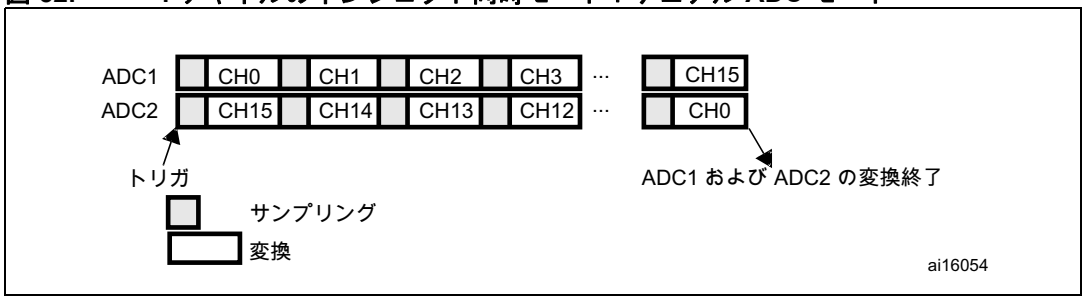
レギュラ変換であれば、1 つまたはすべての ADC で行うことができます。その場合、それらは互いに独立していてインジェクトイベントが発生すると中断されます。それら（レギュラ変換）はインジェクト変換グループ終了時に再開されます。

デュアル ADC モード

ADC1 または ADC2 の変換終了イベント時に、

- 変換されたデータは、各 ADC インタフェースの ADC_JDRx レジスタに格納されます。
- ADC1/ADC2 のインジェクトチャネルがすべて変換されると、JEOC 割り込みが生成されます（2 つの ADC インタフェースの 1 つで有効な場合）。

図 52. 4 チャネルのインジェクト同時モード：デュアル ADC モード

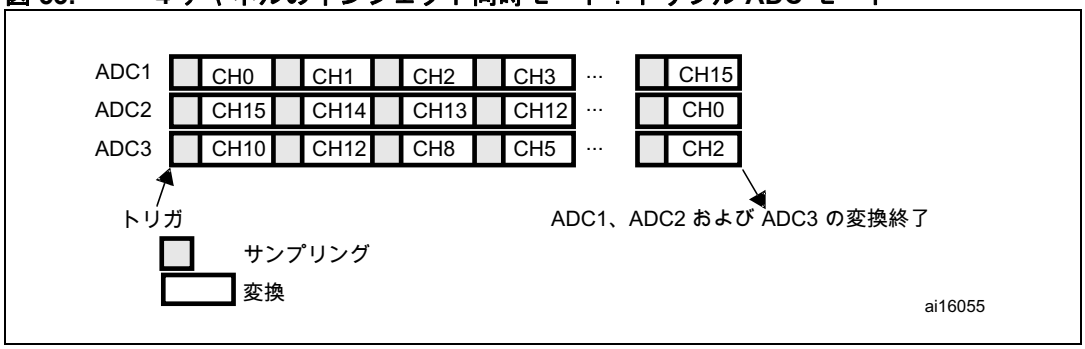


トリプル ADC モード

ADC1、ADC2 または ADC3 の変換終了イベント時に、

- 変換されたデータは、各 ADC インタフェースの ADC_JDRx レジスタに格納されます。
- ADC1/ADC2/ADC3 のインジェクトチャネルがすべて変換されると、JEOC 割り込みが生成されます（3 つの ADC インタフェースの 1 つで有効な場合）。

図 53. 4 チャネルのインジェクト同時モード：トリプル ADC モード



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

13.9.2 レギュラ同時モード

このモードは、レギュラチャネルグループに対して行われます。外部トリガのソースは、ADC1 のレギュラグループマルチプレクサ（ADC1_CR2 レジスタの EXTSEL[3:0] ビットによって選択）から供給されます。.同時トリガは、ADC2 と ADC3 に供給されます。

注： ***2 つ／3 つの ADC の同じチャネルを変換しないでください。（同じチャネルを変換する場合、2 つ／3 つの ADC のサンプリング時間が重なってはいけません。）***

レギュラ同時モードでは、同じ長さのシーケンスを変換するか、トリガ間隔が 2 つ（デュアル ADC モード）／3 つ（トリプル ADC モード）のシーケンスのうち最も長い変換時間より長くなるようにしなければなりません。さもないと、長いシーケンスの ADC が前の変換を完了する前に、短いシーケンスの ADC がリスタートすることがあります。

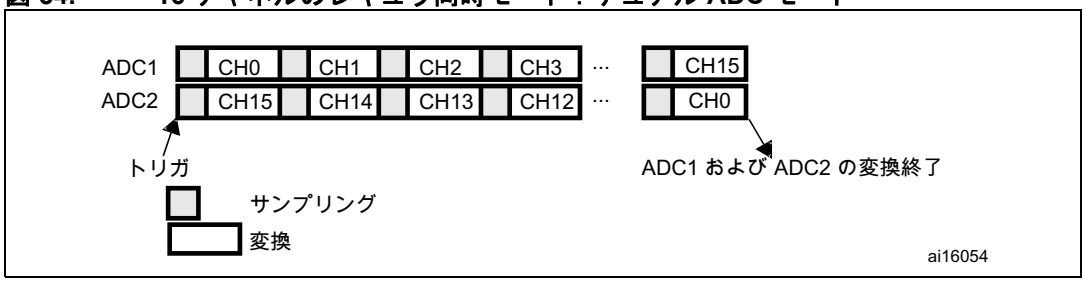
インジェクト変換は無効にする必要があります。

デュアル ADC モード

ADC1 または ADC2 の変換終了イベント時に、

- 32 ビット DMA 転送リクエストが生成されます（ADC_CCR レジスタの DMA[1:0] ビットが 0b10 の場合）。このリクエストによって、ADC_CDR 32 ビットレジスタの上位ハーフワードに格納されている ADC2 変換データは SRAM に転送され、そのとき ADC_CCR の下位ハーフワードに格納されている ADC1 変換データが SRAM に転送されます。
- ADC1/ADC2 のレギュラチャネルがすべて変換されると、EOC 割り込みが生成されます（2 つの ADC インタフェースの 1 つで有効な場合）。

図 54. 16 チャネルのレギュラ同時モード：デュアル ADC モード



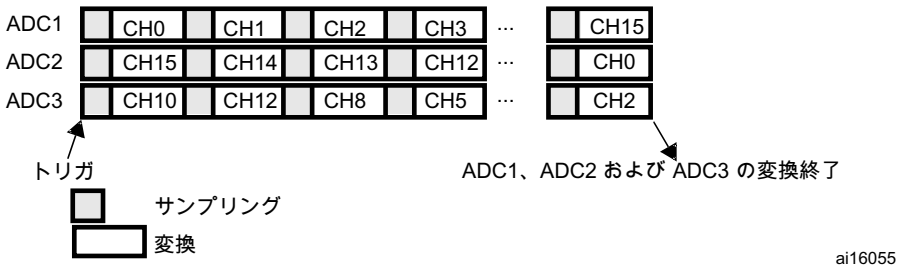
トリプル ADC モード

ADC1、ADC2 または ADC3 の変換終了イベント時に、

- 3 つの 32 ビット DMA 転送リクエストが生成されます（ADC_CCR レジスタの DMA[1:0] ビットが 0b01 の場合）。すると ADC_CDR 32 ビットレジスタから SRAM へ 3 つの転送が行われます。最初は ADC1 変換データ、次に ADC2 変換データ、最後に ADC3 変換データです。この処理を新たな 3 つの変換ごとに繰り返します。
- ADC1/ADC2/ADC3 レギュラチャネルがすべて変換されると、EOC 割り込みが生成されます（3 つの ADC インタフェースの 1 で有効な場合）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 55. 16 チャネルのレギュラ同時モード：トリプル ADC モード



13.9.3 インタリーブモード

このモードは、レギュラグループ（通常は 1 つのチャネル）でのみ開始できます。外部トリガソースは、ADC1 のレギュラチャネルマルチプレクサから供給されます。

デュアル ADC モード

外部トリガが発生した後、

- ADC1 はただちに開始し、
- ADC2 は数 ADC クロックサイクルの遅延後に開始します。

インタリーブモードにおける 2 つの変換間の最小遅延は ADC_CCR レジスタの DELAY ビットで設定します。ただし、ADC は 相補 ADC が依然として入力をサンプリングしている場合、変換を開始できません（一度に 1 つの ADC のみ入力信号をサンプリングすることができます）。この場合、遅延は、サンプリング時間 + 2 ADC クロックサイクルとなります。たとえば、DELAY = 5 クロックサイクルで両 ADC のサンプリングに 15 クロックサイクルかかる場合、ADC1 と ADC2 変換間は 17 クロックサイクルです）。

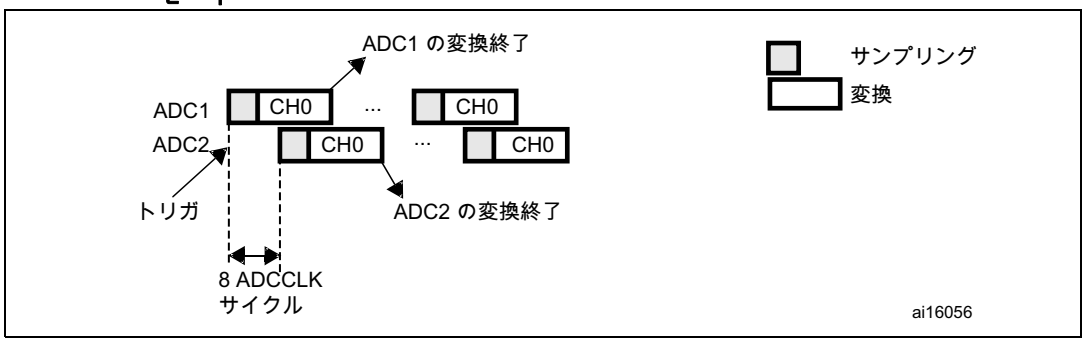
ADC1 と ADC2 の両方で CONT ビットがセットされている場合、両方の ADC の選択されたレギュラチャネルが連続的に変換されます。

注： ***変換シーケンスが中断されると（たとえば、DMA 転送終了が発生）、インタリーブモードを再プログラムする前にまずマルチ ADC シーケンサを独立モードに設定することによって（ビット DUAL[4:0] = 00000）リセットする必要があります。***

ADC2 により EOC 割り込みが生成された後（EOCIE ビットによって有効になっている場合）、32 ビット DMA 転送リクエストが生成されます（ADC_CCR の DMA[1:0] ビットが 0b10 の場合）。このリクエストによってまず ADC_CDR 32 ビットレジスタの上位ハーフワードに格納されている ADC2 変換データは SRAM に転送され、そのときこのレジスタの下位ハーフワードに格納されている ADC1 変換データが SRAM に転送されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 56. 連続変換モードにおける 1 チャネルのインタリーブモード：デュアル ADC モード



トリプル ADC モード

外部トリガが発生した後、

- ADC1 はただちに開始し、
- ADC2 は数 ADC クロックサイクルの遅延後に開始します。
- ADC3 は ADC2 変換からさらに数 ADC クロックサイクルの遅延後に開始します。

インタリーブモードにおける 2 つの変換間の最小遅延は ADC_CCR レジスタの DELAY ビットで設定します。ただし、ADC は 相補 ADC が依然として入力をサンプリングしている場合、変換を開始できません（一度に 1 つの ADC のみ入力信号をサンプリングすることができます）。この場合、遅延は、サンプリング時間 + 2 ADC クロックサイクルとなります。たとえば、DELAY = 5 クロックサイクルで 3 つの ADC のサンプリングに 15 クロックサイクルかかる場合、ADC1、ADC2、および ADC3 の変換間は 17 クロックサイクルです）。

ADC1、ADC2、および ADC3 で CONT ビットがセットされている場合、すべての ADC の選択されたレギュラチャネルが連続的に変換されます。

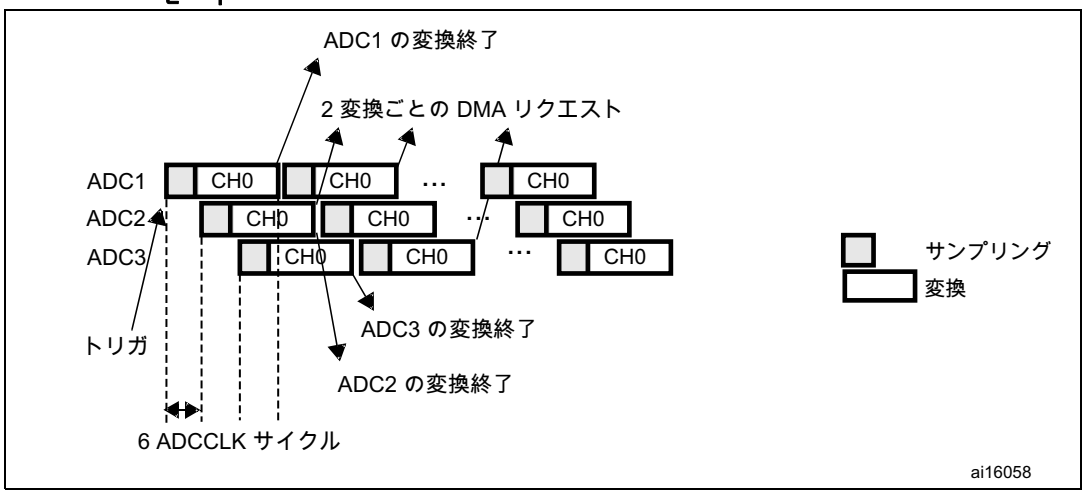
注： ***変換シーケンスが中断されると（たとえば、DMA 転送終了が発生）、インタリーブモードを再プログラムする前にまずマルチ ADC シーケンサを独立モードに設定することによって（ビット DUAL[4:0] = 00000）リセットする必要があります。***

このモードでは 2 つのデータ項目が使用可能になるごとに DMA 転送リクエストが生成されます（ADC_CCR レジスタの DMA[1:0] ビットが 0b10 の場合）。このリクエストによってまず ADC_CDR 32 ビットレジスタの下位ハーフワードに格納されている変換データが SRAM に転送され、そのとき ADC_CDR の上位ハーフワードに格納されている 2 番目の変換データが SRAM に転送されます。シーケンスは、次のとおりです。

- 1 番目のリクエスト：ADC_CDR[31:0] = ADC2_DR[15:0] | ADC1_DR[15:0]
- 2 番目のリクエスト：ADC_CDR[31:0] = ADC1_DR[15:0] | ADC3_DR[15:0]
- 3 番目のリクエスト：ADC_CDR[31:0] = ADC3_DR[15:0] | ADC2_DR[15:0]
- 4 番目のリクエスト：ADC_CDR[31:0] = ADC2_DR[15:0] | ADC1_DR[15:0], ...

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 57. 連続変換モードでにおける 1 チャネルのインタリーブモード：トリプル ADC モード



13.9.4 オルタネートトリガモード

このモードは、インジェクトグループでのみ開始できます。外部トリガのソースは、ADC1 のインジェクトグループマルチプレクサです。

注： ***レギュラ変換であれば 1 つまたはすべての ADC で有効にすることができます。この場合、レギュラ変換は互いに独立しています。ADC がインジェクト変換を行う必要があるとき、レギュラ変換は中断されます。インジェクト変換が終了すると(レギュラ変換が)再開されます。***

変換シーケンスが中断されると（たとえば、DMA 転送終了が発生）、インタリーブモードを再プログラムする前にまずマルチ ADC シーケンサを独立モードに設定することによって（ビット DUAL[4:0] = 00000）リセットする必要があります。

2 つのトリガイベント間の間隔は 1 ADC クロック期間と同等か長い必要があります。同じ ADC で変換を開始する 2 つのトリガイベント間の最小間隔はシングル ADC モードと同じです。

デュアル ADC モード

- 最初のトリガが発生すると、グループ内のすべてのインジェクト ADC1 チャネルが変換されます。
- 2 番目のトリガが発生すると、グループ内のすべてのインジェクト ADC2 チャネルが変換されます。
- 以下同様です。

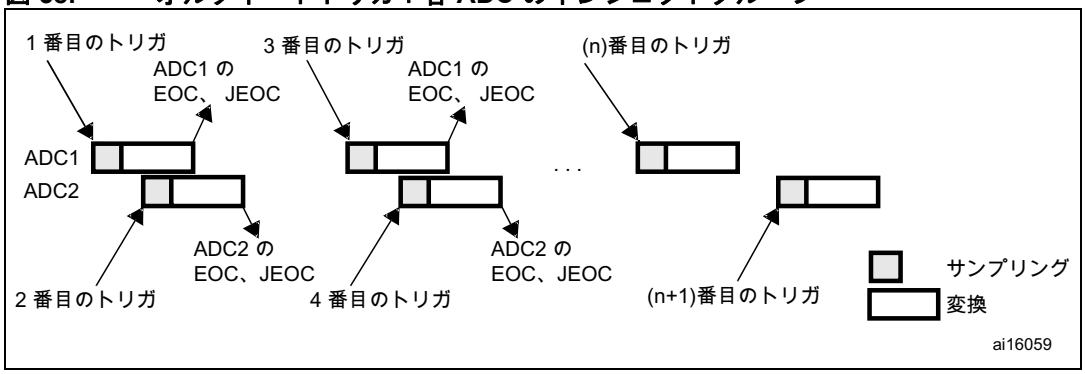
グループ内のすべてのインジェクト ADC1 チャネルが変換されると、JEOC 割り込み（有効な場合）が生成されます。

グループ内のすべてのインジェクト ADC2 チャネルが変換されると、JEOC 割り込み（有効な場合）が生成されます。

グループ内すべてのインジェクトチャネルが変換された後で別の外部トリガが発生した場合は、グループ内のインジェクト ADC1 チャネルを変換することによって、オルタネートトリガプロセスがリスタートします。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 58. オルタネートトリガ：各 ADC のインジェクトグループ



ADC1 と ADC2 の両方に対してインジェクト不連続モードが有効な場合、

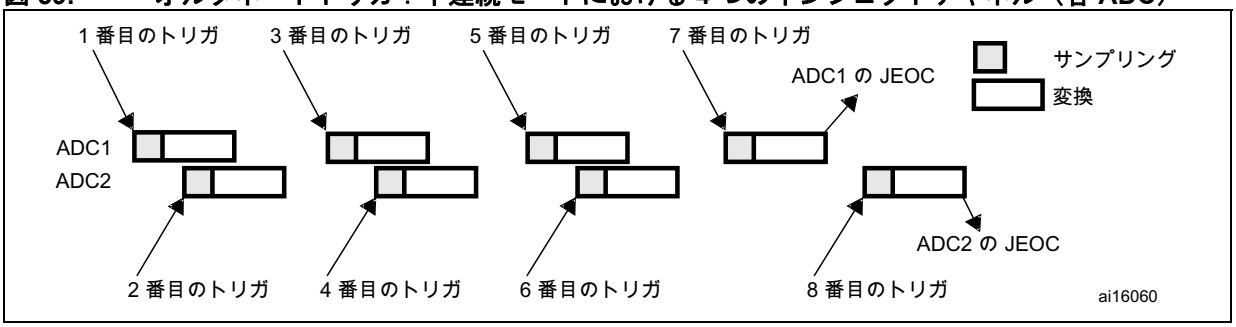
- 最初のトリガが発生すると、最初のインジェクト ADC1 チャネルが変換されます。
- 2 番目のトリガが発生すると、最初のインジェクト ADC2 チャネルが変換されます。
- 以下同様です。

グループ内のすべてのインジェクト ADC1 チャネルが変換されると、JEOC 割り込み（有効な場合）が生成されます。

グループ内のすべてのインジェクト ADC2 チャネルが変換されると、JEOC 割り込み（有効な場合）が生成されます。

グループ内のすべてのインジェクトチャネルが変換された後で別の外部トリガが発生した場合は、オルタネートトリガプロセスがリスタートします。

図 59. オルタネートトリガ：不連続モードにおける 4 つのインジェクトチャネル（各 ADC）



トリプル ADC モード

- 最初のトリガが発生すると、グループ内のすべてのインジェクト ADC1 チャネルが変換されます。
- 2 番目のトリガが発生すると、グループ内のすべてのインジェクト ADC2 チャネルが変換されます。
- 3 番目のトリガが発生すると、グループ内のすべてのインジェクト ADC3 チャネルが変換されます。
- 以下同様です。

グループ内のすべてのインジェクト ADC1 チャネルが変換されると、JEOC 割り込み（有効な場合）が生成されます。

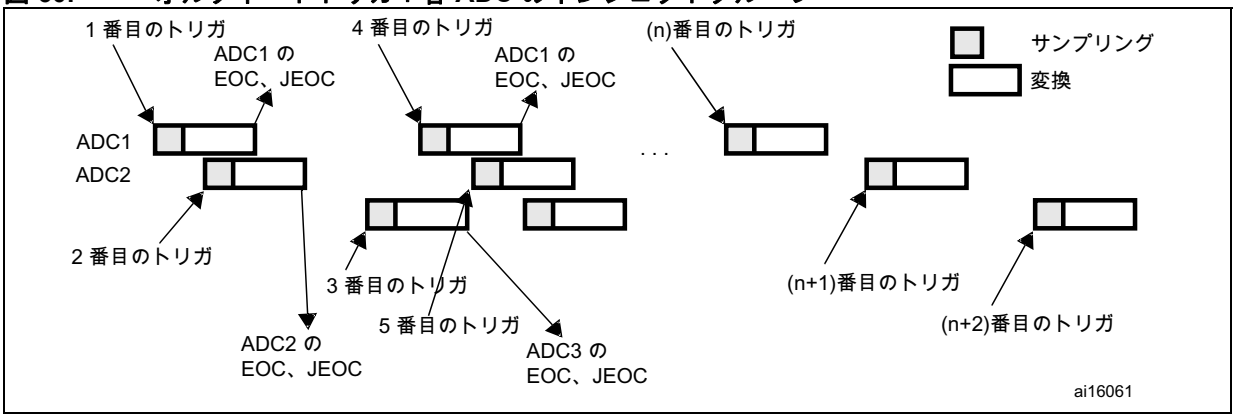
グループ内のすべてのインジェクト ADC2 チャネルが変換されると、JEOC 割り込み（有効な場合）が生成されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

グループ内のすべてのインジェクト ADC3 チャネルが変換されると、JEOC 割り込み（有効な場合）が生成されます。

グループ内すべてのインジェクトチャネルが変換された後で別の外部トリガが発生した場合は、グループ内のインジェクト ADC1 チャネルを変換することによって、オルタネートトリガプロセスがリスタートします。

図 60. オルタネートトリガ：各 ADC のインジェクトグループ



13.9.5 レギュラ／インジェクト同時モードの組み合わせ

レギュラグループの同時変換を中断して、インジェクトグループの同時変換を開始することができます。

注： ***レギュラ／インジェクト同時モードの組み合わせでは、同じ長さのシーケンスを変換するか、トリガ間隔が 2 つ（デュアル ADC モード）／3 つ（トリプル ADC モード）のシーケンスのうち最も長い変換時間より長くなるようにしなければなりません。さもないと、長いシーケンスの ADC が前の変換を完了する前に、短いシーケンスの ADC がリスタートすることがあります。***

13.9.6 レギュラ同時 + オルタネートトリガモードの組み合わせ

レギュラグループの同時変換を中断して、インジェクトグループのオルタネートトリガ変換を開始することができます。*図 61* は、同時レギュラ変換に割り込むオルタネートトリガの動作を示します。

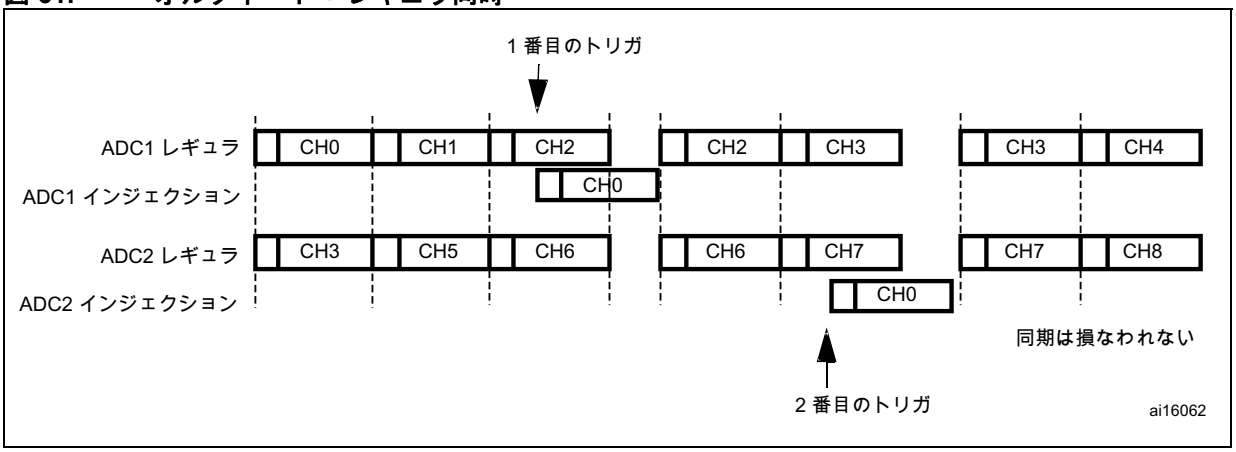
インジェクトオルタネート変換は、インジェクトイベント後、ただちに開始されます。すでにレギュラ変換の実行中であった場合、インジェクト変換後の同期を確保するために、すべての（マスタ／スレーブ）ADC のレギュラ変換は停止し、インジェクト変換の終了と同期して再開されます。

注： ***レギュラ同時 + オルタネートトリガモードの組み合わせでは、同じ長さのシーケンスを変換するか、トリガ間隔が 2 つ（デュアル ADC モード）／3 つ（トリプル ADC モード）のシーケンスのうち最も長い変換時間より長くなるようにしなければなりません。さもないと、長いシーケンスの ADC が前の変換を完了する前に、短いシーケンスの ADC がリスタートすることがあります。***

変換シーケンスが中断されると（たとえば、DMA 転送終了が発生）、インタリーブモードを再プログラムする前にまずマルチ ADC シーケンサを独立モードに設定することによって（ビット DUAL[4:0] = 00000）リセットする必要があります。

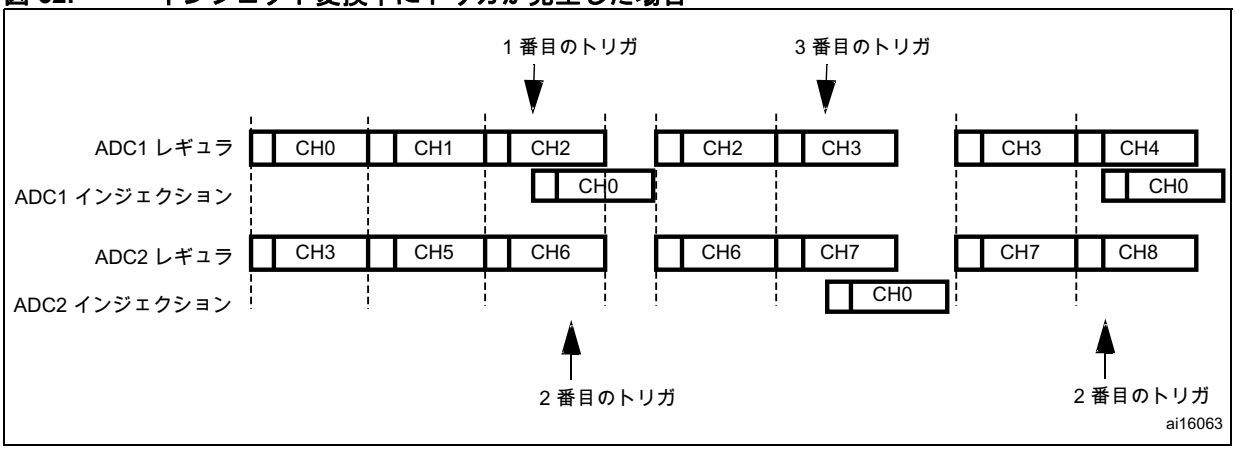
この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 61.　オルタネート + レギュラ同時



レギュラ変換に割り込んだインジェクト変換の最中にトリガが発生した場合は無視されます。*図 62* は、この場合の動作を示します（2 番目 のトリガは無視されます）。

図 62.　インジェクト変換中にトリガが発生した場合



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

13.10 温度センサ

温度センサを使用して、デバイスの周辺温度（T_A）を測定できます。

- STM32F40x および STM32F41x デバイスでは温度センサは、内部で ADC1_IN16 入力チャネルに接続されていて、センサの出力電圧をデジタル値に変換するために使用されます。
- STM32F42x および STM32F43x デバイスでは温度センサは､内部でVBAT と同じ入力チャネル、ADC1_IN18 に接続されています。ADC1_IN18 はセンサの出力電圧または VBAT をデジタル値に変換するために使用されます。温度センサまたは VBAT の内、一度に選択できるのは、どちらか 1 つだけです。温度センサと VBAT 変換を同時に設定すると、VBAT 変換のみ行われます。

図 63 に、温度センサのブロック図を示します。

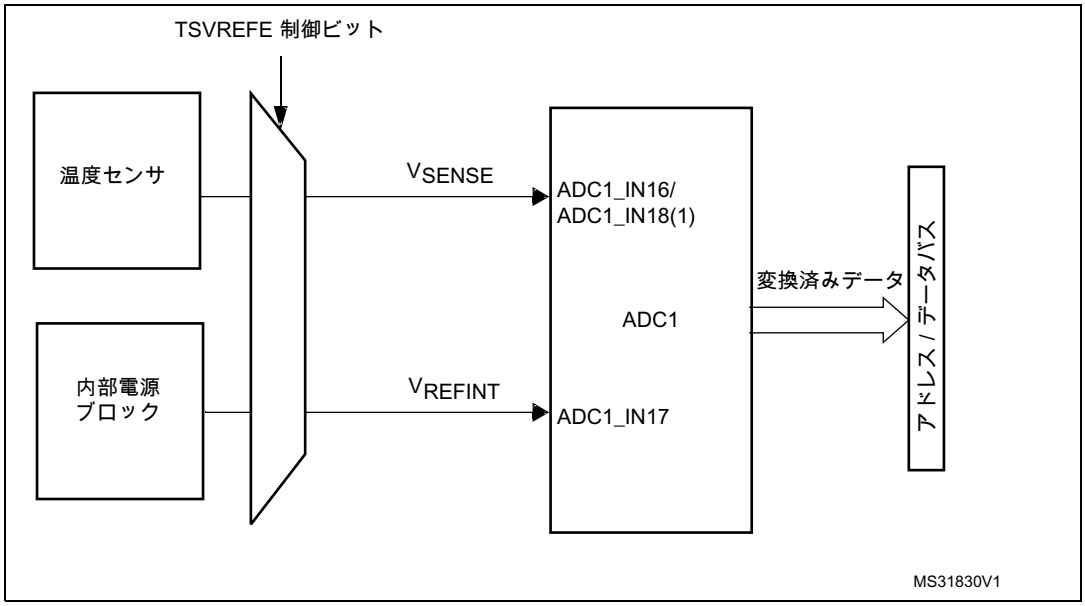
使用しないときには、センサをパワーダウンモードにすることができます。

注： ***両方の内部チャネル、すなわち、ADC1_IN16 または ADC1_IN18（温度センサ）、および ADC1_IN17（VREFINT）の変換を有効にするには、TSVREFE ビットをセットする必要があります。***

主な特長

- サポートしている温度範囲：–40 ～ 125 ℃
- 精度：±1.5 ℃

図 63. 温度センサおよび V_{REFINT} チャネルのブロック図



1. V_{SENSE} は STM32F40x および STM32F41x デバイスでは ADC1_IN16 の入力で STM32F42x と STM32F43x デバイスでは ADC1_IN18 の入力です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

温度の読み出し

温度センサを使用するには :

1. ADC1_IN16 または ADC1_IN18 入力チャネルを選択します。
2. データシートに指定されている最小サンプリング時間より長いサンプリング時間を選択します。
3. ADC_CCR レジスタの TSVREFE ビットをセットして、温度センサをパワーダウンモードからウェイクアップします。
4. SWSTART ビットをセットすることによって（または外部トリガによって）ADC 変換を開始します。
5. ADC データレジスタの V_{SENSE} データを読み出します。
6. 次の式を使用して、温度を計算します。

   温度（摂氏）= {(V_{SENSE} – V_{25}) / Avg_Slope} + 25

   ここで、

   – V_{25} = 25 ℃における V_{SENSE} 値

   – Avg_Slope = 温度対 V_{SENSE} 曲線の平均傾斜（mV/℃ または µV/℃）

   V_{25} および Avg_Slope の実際の値については、データシートの電気特性のセクションを参照してください。

注 : ***センサがパワーダウンモードからウェイクアップして、正しいレベルで V_{SENSE} を出力できるようになるまでには時間がかかります（スタートアップ時間）。ADC にも起動後のスタートアップ時間があるので、遅延を最小にするには、ADON ビットと TSVREFE ビットを同時にセットしてください。***

温度センサの出力電圧は、温度に比例して変化します。この一次関数のオフセットは、プロセスのばらつきにより、チップごとに異なります（チップ間で最大 45 ℃）。

内部温度センサは、絶対温度の代わりに温度変化を検出するアプリケーションに適しています。正確な計測温度が必要な場合は、外部温度センサを使用してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

13.11 バッテリ充電監視

ADC_CCR レジスタの VBATE ビットはバッテリ電圧に切り替えるために使用します。V_{BAT} 電圧は V_{DDA} より高くなり得るので、ADC の正常な動作を保証するため V_{BAT} ピンは内部的にブリッジ分圧回路に接続されています。

VBATE をセットするとブリッジが自動的に有効になり以下を接続します。

- STM32F40xx および STM32F41xx デバイスでは、VBAT/2 を ADC1_IN18 入力チャネルに
- STM32F42xx および STM32F43xx デバイスでは、VBAT/4 を ADC1_IN18 入力チャネルに

注： ***VBAT および温度センサは同じ ADC 内部チャネル（ADC1_IN18）に接続されます。一度に 1 つの変換（温度センサまたは VBAT のどちらか一方) を選択する必要があります。両方の変換を同時に有効すると、VBAT 変換のみ行われます。***

13.12 ADC 割り込み

アナログウォッチドッグステータスビットがセットされ、かつオーバーランステータスビットがセットされていれば、レギュラおよびインジェクトグループの変換終了時、割り込みを生成することができます。高い柔軟性を実現するため、個別の割り込みイネーブルビットを使用できます。

ADC_SR レジスタには他に 2 つのフラグがありますが、これらは割り込みには無関係です。

- JSTRT（インジェクトグループチャネルの変換開始）
- STRT（レギュラグループチャネルの変換開始）

表 70. ADC 割り込み

割り込みイベント	イベントフラグ	イネーブル制御ビット
レギュラグループの変換終了	EOC	EOCIE
インジェクトグループの変換終了	JEOC	JEOCIE
アナログウォッチドッグステータスビットのセット	AWD	AWDIE
オーバーラン	OVR	OVRIE

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

13.13 ADC レジスタ

レジスタの説明で使用されている略語のリストについては、*セクション 1.1（57 ページ）*を参照してください。

ペリフェラルレジスタには、ワードレベル（32 ビット）で書き込む必要があります。読み出しアクセスはバイト（8 ビット）、ハーフワード（16 ビット）、ワード（32 ビット）のいずれかの単位で行うことができます。

13.13.1 ADC ステータスレジスタ（ADC_SR）

アドレスオフセット：0x00

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み										OVR	STRT	JSTRT	JEOC	EOC	AWD
										rc_w0	rc_w0	rc_w0	rc_w0	rc_w0	rc_w0

ビット 31:6 予約済み、リセット値に保持する必要があります。

ビット 5 **OVR**：オーバラン

このビットはデータが失われたとき（シングルモードまたはデュアル／トリプルモード時）ハードウェアによってセットされます。ソフトウェアによってクリアされます。オーバーラン検出は DMA = 1 または EOCS = 1 のときのみ有効です。

0：オーバーランは発生していません。

1：オーバーランが発生しました。

ビット 4 **STRT**：レギュラチャネル開始フラグ

このビットは、レギュラチャネルの変換が開始したときにハードウェアによってセットされます。ソフトウェアによってクリアされます。

0：レギュラチャネルの変換は開始されていません。

1：レギュラチャネルの変換が開始されました。

ビット 3 **JSTRT**：インジェクトチャネル開始フラグ

このビットは、インジェクトグループの変換が開始すると、ハードウェアによってセットされます。ソフトウェアによってクリアされます。

0：インジェクトグループの変換は開始されていません。

1：インジェクトグループの変換が開始されました。

ビット 2 **JEOC**：インジェクトチャネルの変換終了フラグ

このビットは、グループ内のすべてのインジェクトチャネル変換が終了したときに、ハードウェアによってセットされます。ソフトウェアによってクリアされます。

0：変換が完了していません。

1：変換が完了しました。

ビット 1 **EOC**：レギュラチャネルの変換終了フラグ

このビットは、レギュラチャネルグループの変換が終了したときに、ハードウェアによってセットされます。ソフトウェアによって、または ADC_DR レジスタを読み出すことによってクリアされます。

0：変換が終了していない（EOCS=0）、または変換のシーケンスが終了していません（EOCS=1）。

1：変換が終了した（EOCS=0）、または変換のシーケンスが終了しました（EOCS=1）。

ビット 0 **AWD**：アナログウォッチドッグフラグ

このビットは、変換された電圧が、ADC_LTR および ADC_HTR レジスタでプログラミングされた値を逸脱したときに、ハードウェアによってセットされます。ソフトウェアによってクリアされます。

0：アナログウォッチドッグイベントは発生していません。

1：アナログウォッチドッグイベントが発生しました。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

13.13.2 ADC 制御レジスタ 1（ADC_CR1）

アドレスオフセット：0x04

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み					OVRIE	RES		AWDEN	JAWDEN	予約済み					
					rw	rw	rw	rw	rw						

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DISCNUM[2:0]			JDISCEN	DISC EN	JAUTO	AWDSGL	SCAN	JEOCIE	AWDIE	EOCIE	AWDCH[4:0]				
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:27 予約済み、リセット値に保持する必要があります。

ビット 26 **OVRIE**：オーバーラン割り込みイネーブル

このビットは、オーバーラン割り込みを有効／無効にするために、ソフトウェアによってセット／クリアされます。

0：オーバーラン割り込みは無効です。

1：オーバーラン割り込みは有効です。OVR ビットがセットされると、割り込みが生成されます。

ビット 25:24 **RES[1:0]**：分解能

これらのビットは、変換の分解能を選択するために、ソフトウェアによって書き込まれます。

00：12 ビット（15 ADCCLK サイクル）

01：10 ビット（13 ADCCLK サイクル）

10：8 ビット（11 ADCCLK サイクル）

11：6 ビット（9 ADCCLK サイクル）

ビット 23 **AWDEN**：アナログウォッチドッグ有効（レギュラチャネル）

このビットは、ソフトウェアによってセット／クリアされます。

0：レギュラチャネルに対するアナログウォッチドッグは無効です。

1：レギュラチャネルに対するアナログウォッチドッグは有効です。

ビット 22 **JAWDEN**：アナログウォッチドッグ有効（インジェクトチャネル）

このビットは、ソフトウェアによってセット／クリアされます。

0：インジェクトチャネルに対するアナログウォッチドッグは無効です。

1：インジェクトチャネルに対するアナログウォッチドッグは有効です。

ビット 21:16 予約済み、リセット値に保持する必要があります。

ビット 15:13 **DISCNUM[2:0]**：不連続モードチャネルカウント

これらのビットは、外部トリガの受信後に、不連続モードで変換されるレギュラチャネルの数を定義するために、ソフトウェアによって書き込まれます。

000：1 チャネル

001：2 チャネル

...

111：8 チャネル

ビット 12 **JDISCEN**：インジェクトチャネルの不連続モード

このビットは、グループのインジェクトチャネルに対する不連続モードを有効／無効にするために、ソフトウェアによってセット／クリアされます。

0：インジェクトチャネルの不連続モードは無効です。

1：インジェクトチャネルの不連続モードは有効です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 11 **DISCEN**：レギュラチャネルの不連続モード

このビットは、レギュラチャネルに対する不連続モードを有効／無効にするために、ソフトウェアによってセット／クリアされます。

0：レギュラチャネルの不連続モードは無効です。

1：レギュラチャネルの不連続モードは有効です。

ビット 10 **JAUTO**：自動インジェクトグループ変換

このビットは、レギュラグループ変換の後、自動インジェクトグループ変換を有効／無効にするために、ソフトウェアによってセット／クリアされます。

0：自動インジェクトグループ変換は無効です。

1：自動インジェクトグループ変換は有効です。

ビット 9 **AWDSGL**：スキャンモードでの単一チャネルのウォッチドッグイネーブル

このビットは、AWDCH[4:0] ビットによって指定されたチャネルに対するアナログウォッチドッグを有効／無効にするために、ソフトウェアによってセット／クリアされます。

0：すべてのチャネルでアナログウォッチドッグは有効です。

1：単一チャネルでアナログウォッチドッグは有効です。

ビット 8 **SCAN**：スキャンモード

このビットは、スキャンモードを有効／無効にするために、ソフトウェアによってセット／クリアされます。スキャンモードでは、ADC_SQRx および ADC_JSQRx レジスタを通じて選択された入力が変換されます。

0：スキャンモードは無効です。

1：スキャンモードは有効です。

注： EOCIE ビットがセットされている場合、EOC 割り込みが生成されます。

- *EOCS ビットが 0 にクリアされている場合、各レギュラグループシーケンス終了後*
- *EOCS ビットが 1 にセットされている場合、各レギュラチャネル変換終了後*

注： JEOCIE ビットがセットされている場合、最後のチャネルの変換が終了したときのみ、JEOC 割り込みが生成されます。

ビット 7 **JEOCIE**：インジェクトチャネルの割り込みイネーブル

このビットは、インジェクトチャネルの変換終了割り込みを有効／無効にするために、ソフトウェアによってセット／クリアされます。

0：JEOC 割り込みは無効です。

1：JEOC 割り込みは有効です。JEOC ビットがセットされると、割り込みが生成されます。

ビット 6 **AWDIE**：アナログウォッチドッグ割り込みイネーブル

このビットは、アナログウォッチドッグ割り込みを有効／無効にするために、ソフトウェアによってセット／クリアされます。

0：アナログウォッチドッグ割り込みは無効です。

1：アナログウォッチドッグ割り込みは有効です。

ビット 5 **EOCIE**：EOC 割り込みイネーブル

このビットは、変換終了時の割り込みを有効／無効にするために、ソフトウェアによってセット／クリアされます。

0：EOC 割り込みは無効です。

1：EOC 割り込みは有効です。EOC ビットがセットされると、割り込みが生成されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 4:0 **AWDCH[4:0]**：アナログウォッチドッグチャネル選択ビット

これらのビットは、ソフトウェアによってセット／クリアされます。アナログウォッチドッグによって保護される入力チャネルを選択します。

注： **00000：ADC アナログ入力チャネル0**
00001：ADC アナログ入力チャネル1
...
01111：ADC アナログ入力チャネル15
10000：ADC アナログ入力チャネル16
10001：ADC アナログ入力チャネル17
10010：ADC アナログ入力チャネル18
その他の値は予約済みです。

13.13.3 ADC 制御レジスタ 2（ADC_CR2）

アドレスオフセット：0x08

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み	SWSTART	EXTEN		EXTSEL[3:0]				予約済み	JSWSTART	JEXTEN		JEXTSEL[3:0]			
	rw	rw	rw	rw	rw	rw	rw		rw	rw	rw	rw	rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み				ALIGN	EOCS	DDS	DMA	予約済み						CONT	ADON
				rw	rw	rw	rw							rw	rw

ビット 31 予約済み、リセット値に保持する必要があります。

ビット 30 **SWSTART**：レギュラチャネルの変換開始

このビットは、変換を開始するためにソフトウェアによってセットされ、変換開始直後にハードウェアによってクリアされます。

0：リセット状態
1：レギュラチャネルの変換を開始します。

注： ***このビットは ADON = 1 のときのみセットできます。それ以外の場合変換は開始されません。***

ビット 29:28 **EXTEN**：レギュラチャネルの外部トリガイネーブル

これらのビットは、外部トリガ極性を選択しレギュラグループのトリガを有効にするために、ソフトウェアによってセット／クリアされます。

00：トリガ検出は無効です。
01：立ち上がりエッジでトリガを検出します。
10：立ち下がりエッジでトリガを検出します。
11：立ち上がりと下がりエッジの両方でトリガを検出します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 27:24 **EXTSEL[3:0]**：レギュラグループの外部イベント選択

これらのビットは、レギュラグループの変換の開始をトリガするために使用される外部イベントを選択します。

0000：タイマ 1 CC1 イベント
0001：タイマ 1 CC2 イベント
0010：タイマ 1 CC3 イベント
0011：タイマ 2 CC2 イベント
0100：タイマ 2 CC3 イベント
0101：タイマ 2 CC4 イベント
0110：タイマ 2 TRGO イベント
0111：タイマ 3 CC1 イベント
1000：タイマ 3 TRGO イベント
1001：タイマ 4 CC4 イベント
1010：タイマ 5 CC1 イベント
1011：タイマ 5 CC2 イベント
1100：タイマ 5 CC3 イベント
1101：タイマ 8 CC1 イベント
1110：タイマ 8 TRGO イベント
1111：EXTI ライン 11

ビット 23 予約済み、リセット値に保持する必要があります。

ビット 22 **JSWSTART**：インジェクトチャネルの変換開始

このビットは、ソフトウェアによってセットされ、変換開始直後にハードウェアによってクリアされます。

0：リセット状態
1：インジェクトチャネルの変換を開始します。

注： このビットは ADON = 1 のときのみセットできます。それ以外の場合変換は開始されません。

ビット 21:20 **JEXTEN**：インジェクトチャネルの外部トリガイネーブル

これらのビットは、外部トリガ極性を選択しインジェクトグループのトリガを有効にするために、ソフトウェアによってセット／クリアされます。

00： トリガ検出は無効です。
01：立ち上がりエッジでトリガを検出します。
10：立ち下がりエッジでトリガを検出します。
11：立ち上がりと下がりエッジの両方でトリガを検出します。

ビット 19:16 **JEXTSEL[3:0]**：インジェクトグループの外部イベント選択

これらのビットは、インジェクトグループの変換の開始をトリガするために使用される外部イベントを選択します。

0000：タイマ 1 CC4 イベント
0001：タイマ 1 TRGO イベント
0010：タイマ 2 CC1 イベント
0011：タイマ 2 TRGO イベント
0100：タイマ 3 CC2 イベント
0101：タイマ 3 CC4 イベント
0110：タイマ 4 CC1 イベント
0111：タイマ 4 CC2 イベント
1000：タイマ 4 CC3 イベント
1001：タイマ 4 TRGO イベント
1010：タイマ 5 CC4 イベント
1011：タイマ 5 TRGO イベント
1100：タイマ 8 CC2 イベント
1101：タイマ 8 CC3 イベント
1110：タイマ 8 CC4 イベント
1111: EXTI ライン 15

ビット 15:12 予約済み、リセット値に保持する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 11 **ALIGN**：データの配置

このビットは、ソフトウェアによってセット／クリアされます。*図 48* および*図 49* を参照してください。

0：右詰め

1：左詰め

ビット 10 **EOCS**：変換選択終了

このビットは、ソフトウェアによってセット／クリアされます。

0:EOC ビットはレギュラ変換シーケンスが終了するたびにセットされます。オーバーラン検出は DMA = 1 のときのみ有効です。

1：EOC ビットはレギュラ変換が終了するたびにセットされます。オーバーラン検出は有効です。

ビット 9 **DDS**：DMA ディセーブル選択（シングル ADC モード）

このビットは、ソフトウェアによってセット／クリアされます。

0：最後の転送後新たな DMA リクエストは発行されません（DMA コントローラの設定どおり）

1：データが変換され DMA=1 である限り DMA リクエストは発行されます。

ビット 8 **DMA**：ダイレクトメモリアクセスモード（シングル ADC モード）

このビットは、ソフトウェアによってセット／クリアされます。詳細については、DMA コントローラの章を参照してください。

0：DMA モードは無効です。

1：DMA モードは有効です。

ビット 7:2 予約済み、リセット値に保持する必要があります。

ビット 1 **CONT**：連続変換

このビットは、ソフトウェアによってセット／クリアされます。このビットがセットされた場合、それがクリアされるまで連続的に変換が行われます。

0：シングル変換モード

1：連続変換モード

ビット 0 **ADON:**A/D コンバータのオン／オフ

このビットは、ソフトウェアによってセット／クリアされます。

注： 0：ADC の変換を無効にして、パワーダウンモードに移行します。

1：ADC を有効にします。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

13.13.4 ADC サンプル時間レジスタ 1（ADC_SMPR1）

アドレスオフセット：0x0C

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み					SMP18[2:0]			SMP17[2:0]			SMP16[2:0]			SMP15[2:1]	
					rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMP15_0	SMP14[2:0]			SMP13[2:0]			SMP12[2:0]			SMP11[2:0]			SMP10[2:0]		
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:27 予約済み、リセット値に保持する必要があります。

ビット 26:0 **SMPx[2:0]**：チャネル x サンプリング時間選択

これらのビットは、各チャネルのサンプリング時間を個別に選択するために、ソフトウェアによって書き込まれます。サンプリングサイクル中は、チャネル選択ビットを変更することはできません。

注： 000：3 サイクル
001：15 サイクル
010：28 サイクル
011：56 サイクル
100：84 サイクル
101：112 サイクル
110：144 サイクル
111：480 サイクル

13.13.5 ADC サンプル時間レジスタ 2（ADC_SMPR2）

アドレスオフセット：0x10

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み		SMP9[2:0]			SMP8[2:0]			SMP7[2:0]			SMP6[2:0]			SMP5[2:1]	
		rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMP 5_0	SMP4[2:0]			SMP3[2:0]			SMP2[2:0]			SMP1[2:0]			SMP0[2:0]		
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:30 予約済み、リセット値に保持する必要があります。

ビット 29:0 **SMPx[2:0]**：チャネル x サンプリング時間選択

これらのビットは、各チャネルのサンプリング時間を個別に選択するために、ソフトウェアによって書き込まれます。サンプルサイクル中は、チャネル選択ビットを変更することはできません。

注： 000：3 サイクル
001：15 サイクル
010：28 サイクル
011：56 サイクル
100：84 サイクル
101：112 サイクル
110：144 サイクル
111：480 サイクル

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

13.13.6 ADC インジェクトチャネルデータオフセットレジスタ x（ADC_JOFRx）（x=1..4）

アドレスオフセット：0x14-0x20

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み				JOFFSETx[11:0]											
				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:12 予約済み、リセット値に保持する必要があります。

ビット 11:0 **JOFFSETx[11:0]**：インジェクトチャネル x のデータオフセット

これらのビットは、インジェクトチャネルを変換するときに生変換データから引かれるオフセットを定義するために、ソフトウェアによって書き込まれます。変換結果は、ADC_JDRx レジスタで読み出すことができます。

13.13.7 ADC ウォッチドッグ高閾値レジスタ （ADC_HTR）

アドレスオフセット：0x24

リセット値：0x0000 0FFF

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み				HT[11:0]											
				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:12 予約済み、リセット値に保持する必要があります。

ビット 11:0 **HT[11:0]**：アナログウォッチドッグ高閾値

これらのビットは、アナログウォッチドッグの高閾値を定義するために、ソフトウェアによって書き込まれます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

13.13.8 ADC ウォッチドッグ低閾値レジスタ（ADC_LTR）

アドレスオフセット：0x28

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み				LT[11:0]											
				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:12 予約済み、リセット値に保持する必要があります。

ビット 11:0 **LT[11:0]**：アナログウォッチドッグ低閾値

これらのビットは、アナログウォッチドッグの低閾値を定義するために、ソフトウェアによって書き込まれます。

13.13.9 ADC レギュラシーケンスレジスタ 1（ADC_SQR1）

アドレスオフセット：0x2C

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み								L[3:0]				SQ16[4:1]			
								rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SQ16_0	SQ15[4:0]					SQ14[4:0]					SQ13[4:0]				
rw	rw	rw	rw	rw	rw	rw	rw				rw	rw	rw	rw	rw

ビット 31:24 予約済み、リセット値に保持する必要があります。

ビット 23:20 **L[3:0]**：レギュラチャネルシーケンス長

これらのビットは、レギュラチャネル変換シーケンスの合計変換数を定義するために、ソフトウェアによって書き込まれます。

0000：1 変換
0001：2 変換
...
1111：16 変換

ビット 19:15 **SQ16[4:0]**：レギュラシーケンスの 16 番目の変換

これらのビットには、変換シーケンス内の 16 番目として割り当てられたチャネル番号（0..18）がソフトウェアによって書き込まれます。

ビット 14:10 **SQ15[4:0]**：レギュラシーケンスの 15 番目の変換

ビット 9:5 **SQ14[4:0]**：レギュラシーケンスの 14 番目の変換

ビット 4:0 **SQ13[4:0]**：レギュラシーケンスの 13 番目の変換

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

13.13.10 ADC レギュラシーケンスレジスタ 2（ADC_SQR2）

アドレスオフセット：0x30

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み		SQ12[4:0]					SQ11[4:0]					SQ10[4:1]			
		rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SQ10_0		SQ9[4:0]					SQ8[4:0]					SQ7[4:0]			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:30 予約済み、リセット値に保持する必要があります。

ビット 29:26 **SQ12[4:0]**：レギュラシーケンスの 12 番目の変換

これらのビットには、シーケンス内の 12 番目の変換として割り当てられたチャネル番号（0..18）がソフトウェアによって書き込まれます。

ビット 24:20 **SQ11[4:0]**：レギュラシーケンスの 11 番目の変換

ビット 19:15 **SQ10[4:0]**：レギュラシーケンスの 10 番目の変換

ビット 14:10 **SQ9[4:0]**：レギュラシーケンスの 9 番目の変換

ビット 9:5 **SQ8[4:0]**：レギュラシーケンスの 8 番目の変換

ビット 4:0 **SQ7[4:0]**：レギュラシーケンスの 7 番目の変換

13.13.11 ADC レギュラシーケンスレジスタ 3（ADC_SQR3）

アドレスオフセット：0x34

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み		SQ6[4:0]					SQ5[4:0]					SQ4[4:1]			
		rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SQ4_0		SQ3[4:0]					SQ2[4:0]					SQ1[4:0]			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:30 予約済み、リセット値に保持する必要があります。

ビット 29:25 **SQ6[4:0]**：レギュラシーケンスの 6 番目の変換

これらのビットには、変換シーケンスで変換される 6 番目として割り当てられたチャネル番号（0..18）がソフトウェアによって書き込まれます。

ビット 24:20 **SQ5[4:0]**：レギュラシーケンスの 5 番目の変換

ビット 19:15 **SQ4[4:0]**：レギュラシーケンスの 4 番目の変換

ビット 14:10 **SQ3[4:0]**：レギュラシーケンスの 3 番目の変換

ビット 9:5 **SQ2[4:0]**：レギュラシーケンスの 2 番目の変換

ビット 4:0 **SQ1[4:0]**：レギュラシーケンスの 1 番目の変換

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

13.13.12 ADC インジェクトシーケンスレジスタ（ADC_JSQR）

アドレスオフセット：0x38

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み										JL[1:0]		JSQ4[4:1]			
										rw	rw	rw	rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
JSQ4[0]	JSQ3[4:0]					JSQ2[4:0]					JSQ1[4:0]				
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:22 予約済み、リセット値に保持する必要があります。

ビット 21:20 **JL[1:0]**：インジェクトシーケンス長

これらのビットは、インジェクトチャネル変換シーケンスの合計変換数を定義するために、ソフトウェアによって書き込まれます。

00：1 変換
01：2 変換
10：3 変換
11：4 変換

ビット 19:15 **JSQ4[4:0]**：インジェクトシーケンスの 4 番目の変換（JL[1:0]=3 のとき。下記の注を参照）

これらのビットには、変換シーケンス内の 4 番目として割り当てられたチャネル番号（0..18）がソフトウェアによって書き込まれます。

ビット 14:10 **JSQ3[4:0]**：インジェクトシーケンスの 3 番目の変換（JL[1:0]=3 のとき。下記の注を参照）

ビット 9:5 **JSQ2[4:0]**：インジェクトシーケンスの 2 番目の変換（JL[1:0]=3 のとき。下記の注を参照）

ビット 4:0 **JSQ1[4:0]**：インジェクトシーケンスの 1 番目の変換（JL[1:0]=3 のとき。下記の注を参照）

注： ***JL[1:0]=3 のとき（シーケンサにおける 4 つのインジェクト変換）、ADC はチャネルを JSQ1[4:0]、JSQ2[4:0]、JSQ3[4:0]、JSQ4[4:0] の順に変換します。***

JL=2 のとき（シーケンサにおける 3 つのインジェクト変換）、ADC はチャネルを JSQ2[4:0]、JSQ3[4:0]、JSQ4[4:0] の順に変換します。

JL=1 のとき（シーケンサにおける 2 つのインジェクト変換）、ADC はチャネルを JSQ3[4:0]、JSQ4[4:0] の順に変換します。

JL=0 のとき（シーケンサにおける 1 つのインジェクト変換）、ADC は JSQ4[4:0] チャネルだけ変換します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

13.13.13 ADC インジェクトデータレジスタ x（ADC_JDRx）（x= 1..4）

アドレスオフセット：0x3C - 0x48

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
JDATA[15:0]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:16 予約済み、リセット値に保持する必要があります。

ビット 15:0 **JDATA[15:0]**：インジェクトデータ

これらのビットは読み出し専用です。これらのビットには、インジェクトチャネル x の変換結果が格納されます。データは、*図 48* および *図 49* に示すように、左詰めまたは右詰めで格納されます。

13.13.14 ADC レギュラデータレジスタ（ADC_DR）

アドレスオフセット：0x4C

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DATA[15:0]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:16 予約済み、リセット値に保持する必要があります。

ビット 15:0 **DATA[15:0]**：レギュラデータ

これらのビットは読み出し専用です。これらのビットには、レギュラチャネルの変換結果が格納されます。データは、*図 48* および *図 49* に示すように、左詰めまたは右詰めで格納されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

13.13.15 ADC 共通ステータスレジスタ（ADC_CSR）

アドレスオフセット：0x00（このオフセットアドレスは ADC1 ベースアドレス + 0x300 に対する相対値です。）

リセット値：0x0000 0000

このレジスタにより、別の ADC のステータスビットの写像を得ることができます。ただし、これは読み出し専用で、別の ADC のステータスビットをクリアすることはできません。その代わり、対応する ADC_SR レジスタに 0 を書き込むことによって各ステータスビットをクリアする必要があります。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み										OVR3	STRT3	JSTRT3	JEOC 3	EOC3	AWD3
										ADC3					
										r	r	r	r	r	r

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み		OVR2	STRT2	JSTRT2	JEOC2	EOC2	AWD2	予約済み		OVR1	STRT1	JSTRT1	JEOC 1	EOC1	AWD1
		ADC2								ADC1					
		r	r	r	r	r	r			r	r	r	r	r	r

ビット 31:22 予約済み、リセット値に保持する必要があります。

ビット 21 **OVR3**：ADC3 オーバーランフラグ
このビットは ADC3_SR レジスタの OVR ビットのコピーです。

ビット 20 **STRT3**：ADC3 レギュラチャネル開始フラグ
このビットは ADC3_SR レジスタの STRT ビットのコピーです。

ビット 19 **JSTRT3**：ADC3 インジェクトチャネル開始フラグ
このビットは ADC3_SR レジスタの JSTRT ビットのコピーです。

ビット 18 **JEOC3**：ADC3 インジェクトチャネル変換終了フラグ
このビットは ADC3_SR レジスタの JEOC ビットのコピーです。

ビット 17 **EOC3**：ADC3 変換終了フラグ
このビットは ADC3_SR レジスタの EOC ビットのコピーです。

ビット 16 **AWD3**：ADC3 アナログウォッチドッグフラグ
このビットは ADC3_SR レジスタの AWD ビットのコピーです。

ビット 15:14 予約済み、リセット値に保持する必要があります。

ビット 13 **OVR2**：ADC2 オーバーランフラグ
このビットは ADC2_SR レジスタの OVR ビットのコピーです。

ビット 12 **STRT2**：ADC2 レギュラチャネル開始フラグ
このビットは ADC2_SR レジスタの STRT ビットのコピーです。

ビット 11 **JSTRT2**：ADC2 インジェクトチャネル開始フラグ
このビットは ADC2_SR レジスタの JSTRT ビットのコピーです。

ビット 10 **JEOC2**：ADC2 インジェクトチャネル変換終了フラグ
このビットは ADC2_SR レジスタの JEOC ビットのコピーです。

ビット 9 **EOC2**：ADC2 変換終了フラグ
このビットは ADC2_SR レジスタの EOC ビットのコピーです。

ビット 8 **AWD2**：ADC2 アナログウォッチドッグフラグ
このビットは ADC2_SR レジスタの AWD ビットのコピーです。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 7:6 予約済み、リセット値に保持する必要があります。

ビット 5 **OVR1**：ADC1 オーバーランフラグ
このビットは ADC1_SR レジスタの OVR ビットのコピーです。

ビット 4 **STRT1**：ADC1 レギュラチャネル開始フラグ
このビットは ADC1_SR レジスタの STRT ビットのコピーです。

ビット 3 **JSTRT1**：ADC1 インジェクトチャネル開始フラグ
このビットは ADC1_SR レジスタの JSTRT ビットのコピーです。

ビット 2 **JEOC1**：ADC1 インジェクトチャネルの変換終了フラグ
このビットは ADC1_SR レジスタの JEOC ビットのコピーです。

ビット 1 **EOC1**：ADC1 変換終了フラグ
このビットは ADC1_SR レジスタの EOC ビットのコピーです。

ビット 0 **AWD1**：ADC1 アナログウォッチドッグフラグ
このビットは ADC1_SR レジスタの AWD ビットのコピーです。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

13.13.16 ADC 共通制御レジスタ（ADC_CCR）

アドレスオフセット：0x04（このオフセットアドレスは ADC1 ベースアドレス + 0x300 に対する相対値です。）

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み								TSVREFE	VBATE	予約済み				ADCPRE	
								rw	rw					rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DMA[1:0]		DDS	予約済み	DELAY[3:0]				予約済み			MULTI[4:0]				
rw	rw	rw		rw	rw	rw	rw				rw	rw	rw	rw	rw

ビット 31:24 予約済み、リセット値に保持する必要があります。

ビット 23 **TSVREFE**：温度センサと V_{REFINT} イネーブル

このビットは、温度センサおよび V_{REFINT} チャネルを有効／無効にするために、ソフトウェアによってセット／クリアされます。

0：温度センサおよび V_{REFINT} チャネルは無効です。

1：温度センサおよび V_{REFINT} チャネルは有効です。

注： STM32F42x および STM32F43x デバイスでは、TSVREFE がセットされているときは VBATE を無効にする必要があります。両方のビットがセットされている場合、VBAT 変換のみ行われます。

ビット 22 **VBATE**：V_{BAT} *イネーブル*

このビットは、V_{BAT} チャネルを有効／無効にするために、ソフトウェアによってセット／クリアされます。

0：V_{BAT} チャネルは無効です。

1：V_{BAT} チャネルは有効です。

ビット 21:18 予約済み、リセット値に保持する必要があります。

ビット 17:16 **ADCPRE**：ADC プリスケーラ

ADC へのクロックの周波数を選択するために、ソフトウェアによってセット／クリアされます。クロックはすべての ADC に共通です。

注： 00：PCLK2 は 2 分周されます。
01：PCLK2 は 4 分周されます。
10：PCLK2 は 6 分周されます。
11：PCLK2 は 8 分周されます。

ビット 15:14 **DMA**：マルチ ADC モードのためのダイレクトメモリアクセスモード

このビットフィールドは、ソフトウェアによってセット／クリアされます。詳細については、DMA コントローラのセクションを参照してください。

00：DMA モードは無効です。

01：DMA モード 1 は有効です（デュアル ADC／トリプル ADC、ハーフワード毎、ADC1, 2, 3 の順で）

10：DMA モード 2 は有効です（デュアル ADC／トリプル ADC、ハーフワードをペアで、ADC2&1, 1&3, 3&1 の順で）

11：DMA モード 3 は有効です（デュアル ADC／トリプル ADC、バイトをペアで、ADC2&1, 1&3, 3&1 の順で）

ビット 13 **DDS**：DMA ディセーブル選択（マルチ ADC モード）

このビットは、ソフトウェアによってセット／クリアされます。

0：最後の転送後新たな DMA リクエストは発行されません（DMA コントローラの設定どおり）DMA ビットはハードウェアによってクリアされませんが、新たな DMA リクエストを生成する前に、ソフトウェアによってクリアし必要なモードに設定する必要があります。

1：データが変換され DMA=01、10、または 11 である限り DMA リクエストは発行されます。

ビット 12 予約済み、リセット値に保持する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 11:8 **DELAY：**2 つのサンプリングフェーズ間の遅延

ソフトウェアによってセット／クリアされます。これらのビットはデュアルまたはトリプルインタリーブモードで使用します。

0000：5 * T_{ADCCLK}
0001：6 * T_{ADCCLK}
0010：7 * T_{ADCCLK}
...
1111：20 * T_{ADCCLK}

ビット 7:5 予約済み、リセット値に保持する必要があります。

ビット 4:0 **MULTI[4:0]：**マルチ ADC モード選択

これらのビットは、動作モードを選択するために、ソフトウェアによって書き込まれます。

– すべての ADCが単独で動作します
00000：独立モード

– 00001 から 01001：デュアルモード、ADC1 と ADC2 が協調して動作し、ADC3 は独立して動作します
00001：レギュラ同時 + インジェクト同時モードの組み合わせ
00010：レギュラ同時 + オルタネートトリガモードの組み合わせ
00011：予約済み
00101：インジェクト同時モードのみ
00110：レギュラ同時モードのみ
00111：高速インタリーブモードのみ
01001：オルタネートトリガモードのみ

– 10001 から 11001：トリプルモード：ADC1、ADC2、ADC3 が協調して動作します
10001：レギュラ同時 + インジェクト同時モードの組み合わせ
10010：レギュラ同時 + オルタネートトリガモードの組み合わせ
10011：予約済み
10101：インジェクト同時モードのみ
10110：レギュラ同時モードのみ
10111：高速インタリーブモードのみ
11001：オルタネートトリガモードのみ

他のすべての組み合わせは予約済みであり、プログラムすることはできません。

注：　マルチモードでは、チャネル構成が変更されると強制終了し、同期が崩れることがあります。構成を変更する前には必ず、マルチ ADC モードを無効にすることが推奨されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

13.13.17 デュアルおよびトリプルモード用 ADC 共通レギュラデータレジスタ（ADC_CDR）

アドレスオフセット：0x08（このオフセットアドレスは ADC1 ベースアドレス + 0x300 に対する相対値です。）

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DATA2[15:0]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DATA1[15:0]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:16 **DATA2[15:0]**：レギュラ変換ペアの 2 番目のデータ項目

– デュアルモードでは、これらのビットには ADC2 のレギュラデータが格納されます。*デュアル ADC モード*を参照してください。

– トリプルモードでは、これらのビットには ADC2、ADC1、および ADC3 のレギュラデータが交互に格納されます。*トリプル ADC モード*を参照してください。

ビット 15:0 **DATA1[15:0]**：レギュラ変換ペアの 1 番目のデータ項目

– デュアルモードでは、これらのビットには ADC1 のレギュラデータが格納されます。*デュアル ADC モード*を参照してください。

– トリプルモードでは、これらのビットに ADC1、ADC3、および ADC2 のレギュラデータが格納されます。*トリプル ADC モード*を参照してください。

13.13.18 ADC レジスタマップ

次の表は ADC レジスタの一覧です。

表 71. ADC グローバルレジスタマップ

オフセット	レジスタ
0x000 から 0x04C	ADC1
0x050 から 0x0FC	予約済み
0x100 から 0x14C	ADC2
0x118 から 0x1FC	予約済み
0x200 から 0x24C	ADC3
0x250 から 0x2FC	予約済み
0x300 から 0x308	共通レジスタ

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 72. ADC レジスタマップと各 ADC のリセット値

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	ADC_SR	予約済み																										OVR	STRT	JSTRT	JEOC	EOC	AWD
	リセット値																											0	0	0	0	0	0
0x04	ADC_CR1	予約済み					OVRIE	RES[1:0]		AWDEN	JAWDEN	予約済み						DISC NUM [2:0]			JDISCEN	DISCEN	JAUTO	AWD SGL	SCAN	JEOCIE	AWDIE	EOCIE	AWDCH[4:0]					
	リセット値						0	0	0	0	0							0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x08	ADC_CR2	予約済み	SWSTART	EXTEN[1:0]		EXTSEL[3:0]				予約済み	JSWSTART	JEXTEN[1:0]		JEXTSEL [3:0]				予約済み				ALIGN	EOCS	DDS	DMA	予約済み						CONT	ADON
	リセット値		0	0	0	0	0	0	0		0	0	0	0	0	0	0					0	0		0							0	0
0x0C	ADC_SMPR1	サンプル時間ビット SMPx_x																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x10	ADC_SMPR2	サンプル時間ビット SMPx_x																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x14	ADC_JOFR1	予約済み																				JOFFSET1[11:0]											
	リセット値																					0	0	0	0	0	0	0	0	0	0	0	0
0x18	ADC_JOFR2	予約済み																				JOFFSET2[11:0]											
	リセット値																					0	0	0	0	0	0	0	0	0	0	0	0
0x1C	ADC_JOFR3	予約済み																				JOFFSET3[11:0]											
	リセット値																					0	0	0	0	0	0	0	0	0	0	0	0
0x20	ADC_JOFR4	予約済み																				JOFFSET4[11:0]											
	リセット値																					0	0	0	0	0	0	0	0	0	0	0	0
0x24	ADC_HTR	予約済み																				HT[11:0]											
	リセット値																					1	1	1	1	1	1	1	1	1	1	1	1
0x28	ADC_LTR	予約済み																				LT[11:0]											
	リセット値																					0	0	0	0	0	0	0	0	0	0	0	0
0x2C	ADC_SQR1	予約済み								L[3:0]				レギュラチャネルシーケンス SQx_x ビット																			
	リセット値									0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x30	ADC_SQR2	予約済み	レギュラチャネルシーケンス SQx_x ビット																														
	リセット値		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x34	ADC_SQR3	予約済み	レギュラチャネルシーケンス SQx_x ビット																														
	リセット値		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x38	ADC_JSQR	予約済み										JL[1:0]		インジェクトチャネルシーケンス JSQx_x ビット																			
	リセット値											0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x3C	ADC_JDR1	予約済み																JDATA[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x40	ADC_JDR2	予約済み																JDATA[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x44	ADC_JDR3	予約済み																JDATA[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x48	ADC_JDR4	予約済み																JDATA[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x4C	ADC_DR	予約済み																レギュラ DATA[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 73. ADC レジスタマップとリセット値（共通 ADC レジスタ）

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	ADC_CSR	予約済み										OVR	STRT	JSTRT	JEOC	EOC	AWD	予約済み		OVR	STRT	JSTRT	JEOC	EOC	AWD	予約済み		OVR	STRT	JSTRT	JEOC	EOC	AWD
	リセット値											0	0	0	0	0	0			0	0	0	0	0	0			0	0	0	0	0	0
												ADC3								ADC2								ADC1					
0x04	ADC_CCR	予約済み								TSVREFE	VBATE	予約済み				ADCPRE[1:0]		DMA[1:0]		DDS	予約済み	DELAY [3:0]				予約済み		MULTI [4:0]					
	リセット値									0	0					0	0	0	0	0		0	0	0	0			0	0	0	0	0	
0x04	ADC_CCR	予約済み								TSVREFE	VBATE	予約済み				ADCPRE[1:0]		DMA[1:0]		DDS	予約済み	DELAY [3:0]				予約済み							
	リセット値									0	0					0	0	0	0	0		0	0	0	0								
0x08	ADC_CDR	Regular DATA2[15:0]																Regular DATA1[15:0]															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

レジスタ境界アドレスについては、*表 2（64 ページ）*を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

14 D/A コンバータ（DAC）

このセクションは、特に指定がない限り、STM32F4xx ファミリ全体に適用されます。

14.1 DAC の概要

DAC モジュールは、12 ビットの電圧出力デジタルアナログコンバータです。DAC は、8 または 12 ビットモードで設定でき、DMA コントローラと組み合わせて使用することもできます。12 ビットモードでは、データを左詰め右詰めのどちらにも配置できます。DAC には 2 つの出力チャネルがあり、それぞれがコンバータを搭載しています。デュアル DAC チャネルモードでは、変換は独立して行うか、両方のチャネルが同期更新操作のためにグループ化されているときには同時に行うことができます。精度を高めるために、入力基準ピン V_{REF+}（ADC と共用）を使用することができます。

14.2 DAC の主な機能

- 2 つの DAC コンバータ：それぞれ 1 つの出力チャネル
- 12 ビットモードでのデータの左詰めまたは右詰め
- 同期更新機能
- ノイズ波生成
- 三角波生成
- デュアル DAC チャネルの独立または同時変換
- 各チャネルでの DMA 利用
- DMA アンダーランエラー検出
- 変換外部トリガ
- 入力基準電圧 V_{REF+}

DAC チャネルのブロック図を*図 64* に、ピンの概要を*表 74* に示します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 64. DAC チャネルブロック図

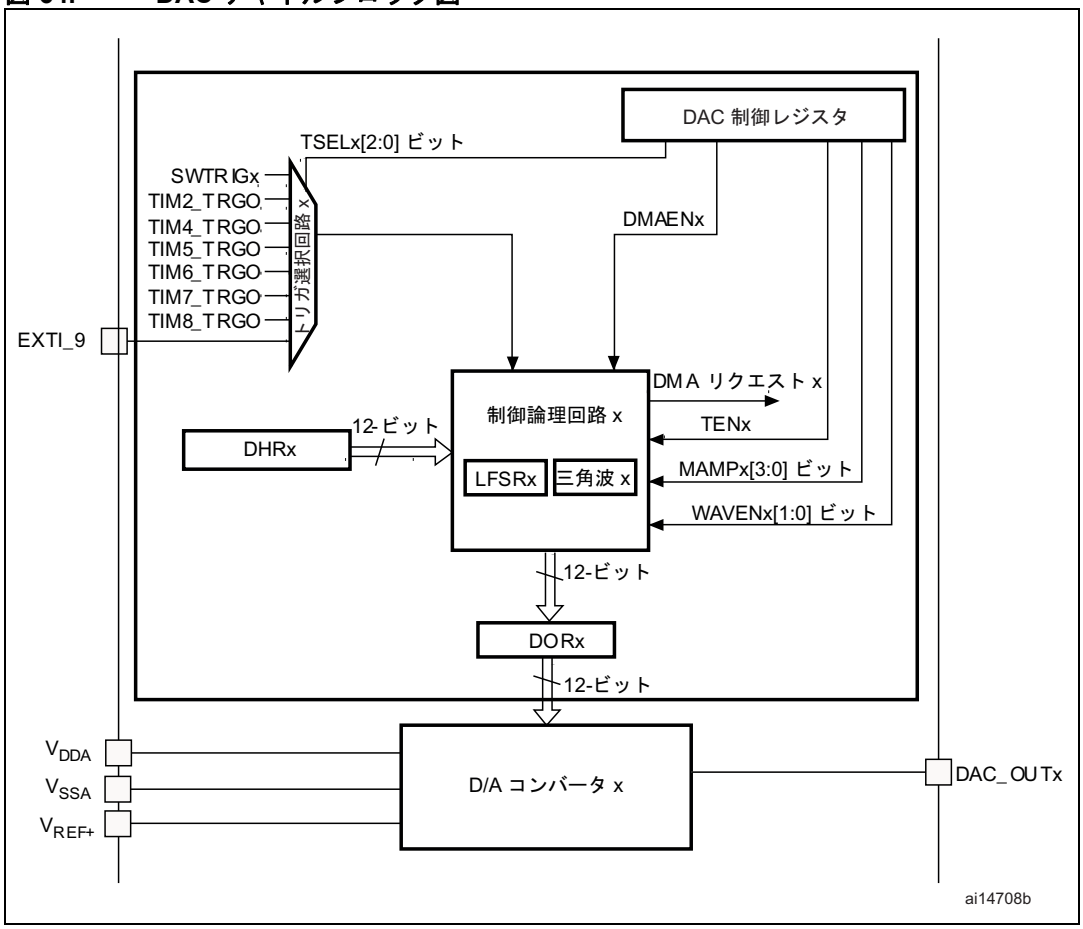


表 74. DAC ピン

名称	信号種別	摘要
V_{REF+}	入力、アナログ基準電圧 正	DAC のハイレベル／正基準電圧、 1.8 V ≤ V_{REF+} ≤ V_{DDA}
V_{DDA}	入力、アナログ電源供給	アナログ電源供給
V_{SSA}	入力、アナログ供給グランド	アナログ電源供給のグランド
DAC_OUTx	アナログ出力信号	DAC チャネルx アナログ出力

*注： **DAC チャネルx が有効になると、対応する GPIO ピン（PA4 または PA5）が自動的にアナログコンバータ出力（DAC_OUTx）に接続されます。寄生消費を防ぐために、PA4 または PA5 ピンはまずアナログ（AIN）として設定してください。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

14.3 DAC 機能の説明

14.3.1 DAC チャネルイネーブル

各 DAC チャネルは、DAC_CR レジスタの対応する ENx ビットをセットすることによって起動できます。DAC チャネルは、スタートアップ時間 t_{WAKEUP} 後に有効になります。

注： ***ENx ビットは、アナログ DAC チャネルのマクロセルのみを有効にします。DAC チャネルx デジタルインタフェースは、ENx ビットがリセットされた場合でも有効になります。***

14.3.2 DAC 出力バッファイネーブル

DAC は、出力インピーダンスを減らし、外部動作アンプがなくても外部負荷を駆動できる 2 つの出力バッファを内蔵しています。各 DAC チャネル出力バッファは、DAC_CR レジスタの対応する BOFFx ビットを使用して有効／無効にできます。

14.3.3 DAC データフォーマット

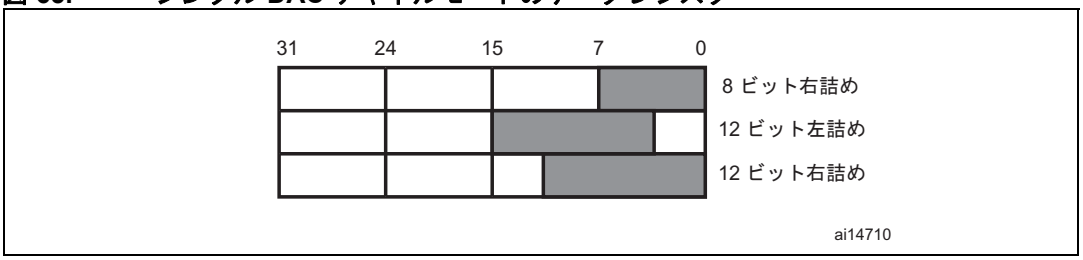
次のように、選択された設定モードに応じて、指定されたレジスタにデータを書き込む必要があります。

- シングル DAC チャネルx では、3 つの設定が可能です。
  - 8 ビット右詰め : データは、DAC_DHR8Rx [7:0] ビット（DHRx [11:4] ビットに格納）にソフトウェアによってロードする必要があります。
  - 12 ビット左詰め : データは、DAC_DHR12Lx [15:4] ビット（DHRx[11:0] ビットに格納）にソフトウェアによってロードする必要があります。
  - 12 ビット右詰め : データは、DAC_DHR12Rx [11:0] ビット（DHRx[11:0] ビットに格納）にソフトウェアによってロードする必要があります。

ロードされた DAC_DHRyyyx レジスタに応じて、ユーザによって書き込まれたデータは、シフトされてから、DHRx（Data Holding Register x、メモリマップされない内部レジスタ）に格納されます。その後、DHRx レジスタは自動的に、ソフトウェアトリガによって、または外部イベントトリガによって、DORx レジスタにロードされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

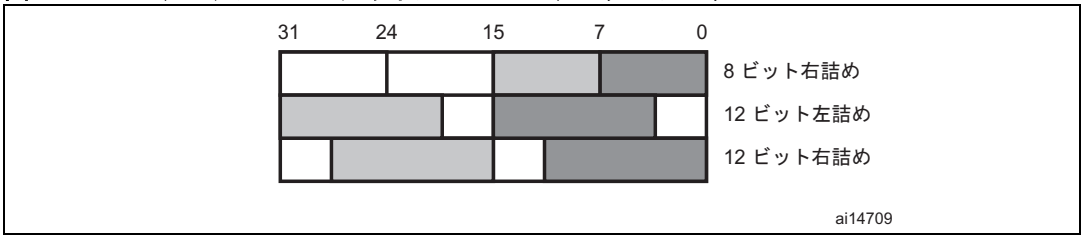
図 65. シングル DAC チャネルモードのデータレジスタ



- デュアル DAC チャネルでは、3 つの設定が可能です。
  - 8 ビット右詰め : DAC チャネル1 のデータは、DAC_DHR8RD [7:0] ビット（DHR1[11:4] ビットに格納）に、DAC チャネル2 のデータは、DAC_DHR8RD [15:8] ビット（DHR2[11:4] ビットに格納）にロードされます。
  - 12 ビット左詰め : DAC チャネル1 のデータは、DAC_DHR12LD [15:4] ビット（DHR1[11:0] ビットに格納）に、DAC チャネル2 のデータは、DAC_DHR12LD [31:20] ビット（DHR2[11:0] ビットに格納）にロードされます。
  - 12 ビット右詰め : DAC チャネル1 のデータは、DAC_DHR12RD [11:0] ビット（DHR1[11:0] ビットに格納）に、DAC チャネル2 のデータは、DAC_DHR12LD [27:16] ビット（DHR2[11:0] ビットに格納）にロードされます。

ロードされた DAC_DHRyyyD レジスタに応じて、ユーザによって書き込まれたデータは、シフトされてから、DHR1 および DHR2（Data Holding Register、メモリマップされない内部レジスタ）に格納されます。その後、DHR1 および DHR2 レジスタは、自動的に、ソフトウェアトリガによって、または外部イベントトリガによって、それぞれ DOR1 および DOR2 レジスタにロードされます。

図 66. デュアル DAC チャネルモードのデータレジスタ



14.3.4 DAC 変換

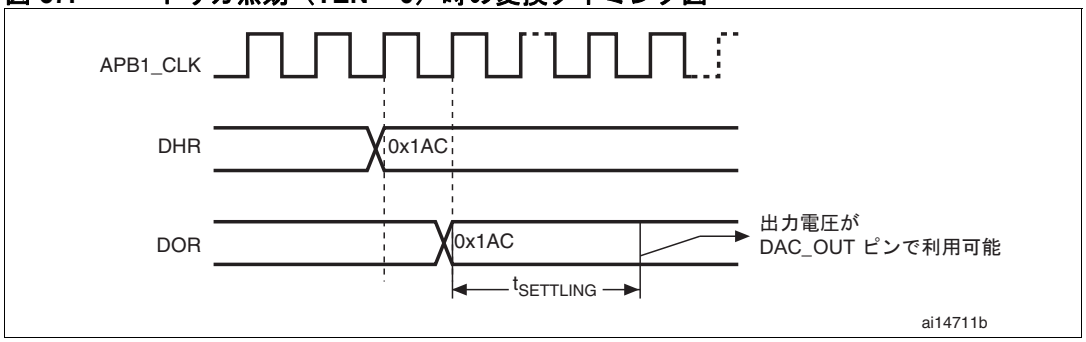
DAC_DORx に直接書き込むことはできず、DAC_DHRx レジスタをロードすることによって（DAC_DHR8Rx、DAC_DHR12Lx、DAC_DHR12Rx、DAC_DHR8RD、DAC_DHR12LD、または DAC_DHR12LD への書き込み）、DAC チャネルx へのデータ転送を行う必要があります。

DAC_DHRx レジスタに格納されたデータは、ハードウェアトリガが選択されていない（DAC_CR レジスタの TEN x ビットがリセットされている）場合に、1 APB1 クロックサイクル後に DAC_DORx レジスタに自動的に転送されます。ただし、ハードウェアトリガが選択されている（DAC_CR レジスタの TENx ビットがセットされている）ときには、トリガが発生すると、転送は 3 APB1 クロックサイクル後に行われます。

DAC_DORx に DAC_DHRx の内容がロードされると、電源電圧とアナログ出力負荷に応じて決定される $t_{SETTLING}$ 時間後にアナログ出力電圧が使用可能になります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 67. トリガ無効（TEN = 0）時の変換タイミング図



14.3.5 DAC 出力電圧

デジタル入力は、0 から V_{REF+} までのリニア変換で出力電圧に変換されます。

各 DAC チャネルピンのアナログ出力電圧は、次の式によって求められます。

$$\text{DACoutput} = V_{REF} \times \frac{DOR}{4095}$$

14.3.6 DAC トリガ選択

TENx 制御ビットがセットされている場合、外部イベント（タイマカウンタ、外部割り込みラインなど）によって変換をトリガできます。*表 75* に示すように、8 つの中のどのイベントが変換をトリガするかは、TSELx[2:0] 制御ビットによって決まります。

表 75. 外部トリガ

ソース	タイプ	TSEL[2:0]
タイマ 6 TRGO イベント	オンチップタイマからの内部信号	000
タイマ 8 TRGO イベント		001
タイマ 7 TRGO イベント		010
タイマ 5 TRGO イベント		011
タイマ 2 TRGO イベント		100
タイマ 4 TRGO イベント		101
EXTI ライン 9	外部ピン	110
SWTRIG	ソフトウェア制御ビット	111

DAC インタフェースが選択されたタイマ TRGO 出力または選択された外部割り込みライン 9 の立ち上がりエッジを検出するたびに、DAC_DHRx レジスタに最後に格納されたデータが DAC_DORx レジスタに転送されます。DAC_DORx レジスタは、トリガが発生してから 3 APB1 サイクル後に更新されます。

ソフトウェアトリガが選択されている場合、変換は、SWTRIG ビットがセットされると開始されます。SWTRIG ビットは、DAC_DHRx レジスタの内容が DAC_DORx レジスタにロードされると、ハードウェアによってリセットされます。

注： ***ENx ビットがセットされているときには、TSELx[2:0] ビットを変更することはできません。***

ソフトウェアトリガが選択されているときには、DAC_DHRx レジスタから DAC_DORx レジスタへの転送は、わずか 1 APB1 クロックサイクルで行われます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

14.3.7 DMA リクエスト

各 DAC チャネルは、DMA 機能を備えています。DAC チャネルの DMA リクエストは、2 つの DMA チャネルを使用して処理されます。

DAC DMA リクエストは、DMAENx ビットがセットされているときに、外部トリガ（ソフトウェアトリガでなく）が発生したときに生成されます。その場合、DAC_DHRx レジスタの値が DAC_DORx レジスタに転送されます。
デュアルモードでは、両方の DMAENx ビットがセットされている場合、2 つの DMA リクエストが生成されます。1 つの DMA リクエストしか必要ない場合には、対応する DMAENx ビットだけをセットしてください。これにより、アプリケーションは 1 つの DMA リクエストと一意な DMA チャネルを使用して、両方の DAC チャネルをデュアルモードで管理することがきます。

DMA アンダーラン

DAC DMA リクエストはキューされないので、最初の外部トリガに対する確認応答が受信される（最初のリクエスト）前に 2 つ目の外部トリガが発生すると、新しいリクエストは発行されず、DAC_SR レジスタの DMA チャネルx アンダーランフラグ DMAUDRx がセットされてエラー条件を報告します。続いて DMA データ転送が無効になり、その後の DMA リクエストは処理されません。DAC チャネルx は、古いデータを変換し続けます。

ソフトウェアでは、「1」を書き込むことによって DMAUDRx フラグをクリアし、使用された DMA ストリームの DMAEN ビットをクリアし、DMA と DAC のチャネルx を再初期化して転送を正しくリスタートさせてください。また、DAC トリガ変換周波数を変更するか DMA の負荷を軽減して、新しい DMA アンダーランを回避してください。最後に、DMA データ転送と変換トリガを有効にすることによって DAC 変換を再開することができます。

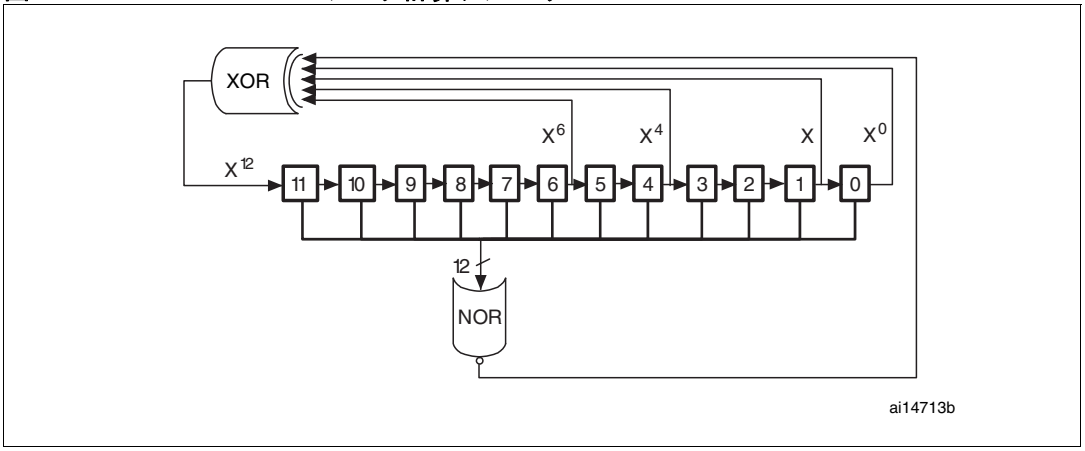
各 DAC チャネルx では、DAC_CR レジスタの対応する DMAUDRIEx ビットが有効にされた場合、割り込みも生成されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

14.3.8 ノイズ生成

リニアフィードバックシフトレジスタ（LFSR）を使用して、可変振幅の擬似ノイズを生成することができます。DAC ノイズ生成は、WAVEx[1:0] を“01”にセットすることによって選択されます。LFSR にプリロードされる値は 0xAAA です。このレジスタは、各トリガイベントの 3 APB1 クロックサイクル後に、特定の計算アルゴリズムに従って更新されます。

図 68. DAC LFSR レジスタ計算アルゴリズム

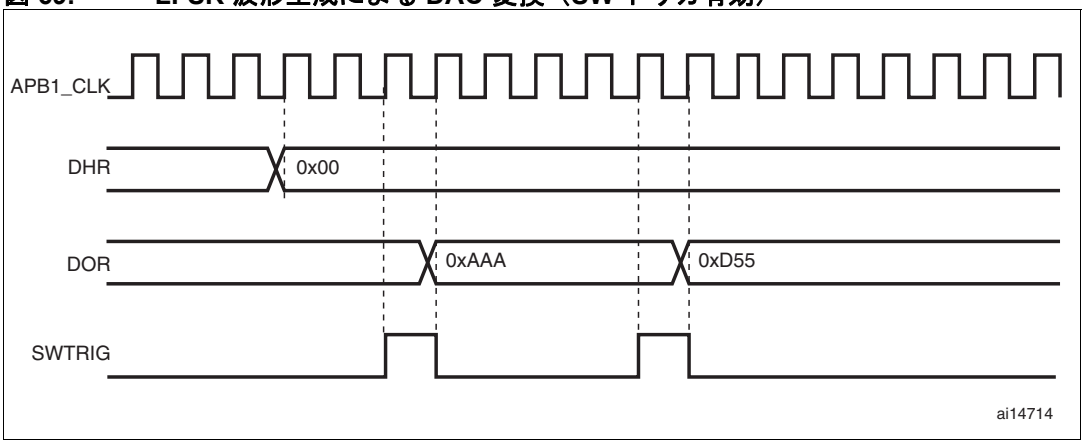


LFSR 値は、DAC_CR レジスタの MAMPx[3:0] ビットによって部分的または全体的にマスクでき、オーバーフローなしに DAC_DHRx の内容に加算されて、DAC_DORx レジスタに格納されます。

LFSR が 0x0000 の場合、“1”がインジェクトされます（アンチロックアップメカニズム）。

WAVEx[1:0] ビットをリセットすることによって、LFSR 波形生成をリセットできます。

図 69. LFSR 波形生成による DAC 変換（SW トリガ有効）



注： ノイズ生成のためには、DAC_CR レジスタの TENx ビットをセットすることによって、DAC トリガを有効にしなければなりません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

14.3.9 三角波生成

DC または低周波数信号上に、小さな振幅の三角波を追加することが可能です。DAC 三角波生成は、WAVEx[1:0] を“10”にセットすることによって選択されます。振幅は、DAC_CR レジスタの MAMPx[3:0] ビットによって設定されます。内部三角波カウンタは、各トリガイベントの 3 APB1 クロックサイクル後にインクリメントされます。このカウンタの値は、オーバーフローなしに DAC_DHRx レジスタに加えられ、合計は DAC_DORx レジスタに格納されます。三角波カウンタは、MAMPx[3:0] ビットによって定義された最大振幅より小さい場合にインクリメントされます。設定された振幅に達すると、カウンタは 0 にデクリメントされ、再びインクリメントが開始されます。

WAVEx[1:0] ビットをリセットすることによって、三角波生成をリセットすることができます。

図 70. DAC 三角波生成

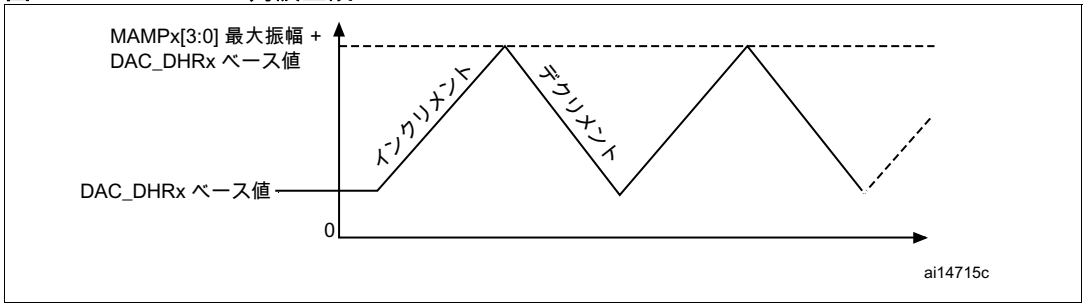
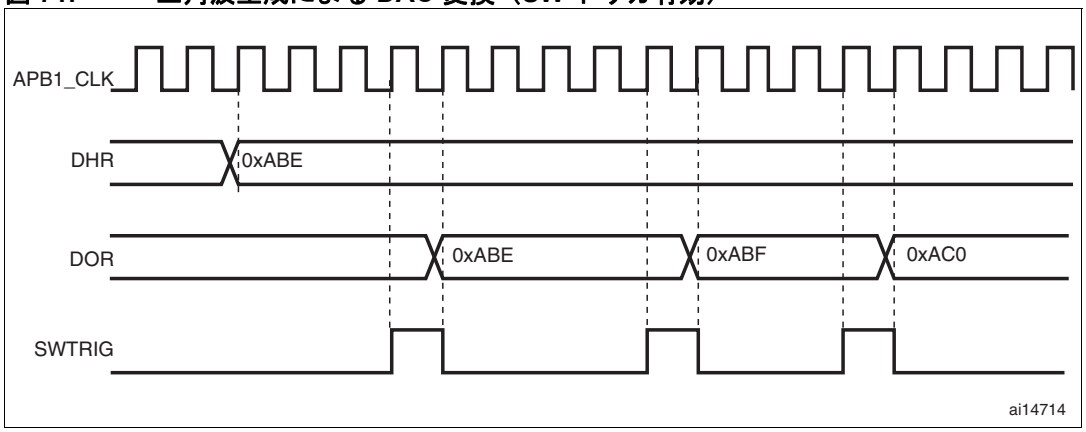


図 71. 三角波生成による DAC 変換（SW トリガ有効）



注： 三角波生成のためには、DAC_CR レジスタの TENx ビットをセットすることによって、DAC トリガを有効にしなければなりません。

DAC を有効にするには、その前に MAMPx[3:0] ビットを設定する必要があります。それ以外の場合、これらのビットは変更できません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

14.4 デュアル DAC チャネル変換

同時に 2 つの DAC チャネルを必要とするアプリケーションで、バスのバンド幅を有効に使用するために、DHR8RD、DHR12RD、および DHR12LD の 3 つのデュアルレジスタが搭載されています。両方の DAC チャネルを同時に駆動するには、一意なレジスタアクセスが必要です。

2 つの DAC チャネルとこれらのデュアルレジスタを使用することで、11 の変換モードが使用可能です。すべての変換モードは、必要な場合には、別の DHRx レジスタを使っても利用できます。

すべてのモードについて、以下の節で説明します。

14.4.1 波形生成なしの独立トリガ

DAC をこの変換モードに設定するには、次の手順が必要です。

- TEN1 と TEN2 の 2 つの DAC チャネルトリガイネーブルビットをセットします。
- TSEL1[2:0] および TSEL2[2:0] ビットに異なる値を設定することによって、異なるトリガソースを設定します。
- 目的の DHR レジスタ（DAC_DHR12RD、DAC_DHR12LD、または DAC_DHR8RD）にデュアル DAC チャネルデータをロードします。

DAC チャネル1 トリガが発生すると、DHR1 レジスタが DAC_DOR1 に転送されます（3 APB1 クロックサイクル後）。

DAC チャネル2 トリガが発生すると、DHR2 レジスタが DAC_DOR2 に転送されます（3 APB1 クロックサイクル後）。

14.4.2 1 つの LFSR 生成による独立トリガ

DAC をこの変換モードに設定するには、次の手順が必要です。

- TEN1 と TEN2 の 2 つの DAC チャネルトリガイネーブルビットをセットします。
- TSEL1[2:0] および TSEL2[2:0] ビットに異なる値を設定することによって、異なるトリガソースを設定します。
- 2 つの DAC チャネル WAVEx[1:0] ビットを“01”に設定し、MAMPx[3:0] ビットで同じ LFSR マスク値を設定します。
- 目的の DHR レジスタ（DHR12RD、DHR12LD、または DHR8RD）に、デュアル DAC チャネルデータをロードします。

DAC チャネル1 トリガが発生すると、同じマスクを持つ LFSR1 カウンタが DHR1 レジスタに加算され、合計が DAC_DOR1 に転送されます（3 APB1 クロックサイクル後）。その後、LFSR1 カウンタが更新されます。

DAC チャネル2 トリガが発生すると、同じマスクを持つ LFSR2 カウンタが DHR2 レジスタに加算され、合計が DAC_DOR2 に転送されます（3 APB1 クロックサイクル後）。その後、LFSR2 カウンタが更新されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

14.4.3 異なる LFSR 生成による独立トリガ

DAC をこの変換モードに設定するには、次の手順が必要です。

- TEN1 と TEN2 の 2 つの DAC チャネルトリガイネーブルビットをセットします。
- TSEL1[2:0] および TSEL2[2:0] ビットに異なる値を設定することによって、異なるトリガソースを設定します。
- 2 つの DAC チャネル WAVEx[1:0] ビットを“01”に設定し、MAMP1[3:0] ビットと MAMP2[3:0] ビットで異なる LFSR マスク値を設定します。
- 目的の DHR レジスタ（DAC_DHR12RD、DAC_DHR12LD、または DAC_DHR8RD）にデュアル DAC チャネルデータをロードします。

DAC チャネル1 トリガが発生すると、MAMP1[3:0] によって設定されたマスクを持つ LFSR1 カウンタが DHR1 レジスタに加算され、合計が DAC_DOR1 に転送されます（3 APB1 クロックサイクル後）。その後、LFSR1 カウンタが更新されます。

DAC チャネル2 トリガが発生すると、MAMP2[3:0] によって設定されたマスクを持つ LFSR2 カウンタが DHR2 レジスタに加算され、合計が DAC_DOR2 に転送されます（3 APB1 クロックサイクル後）。その後、LFSR2 カウンタが更新されます。

14.4.4 1 つの三角波生成による独立トリガ

DAC をこの変換モードに設定するには、次の手順が必要です。

- TEN1 と TEN2 の 2 つの DAC チャネルトリガイネーブルビットをセットします。
- TSEL1[2:0] および TSEL2[2:0] ビットに異なる値を設定することによって、異なるトリガソースを設定します。
- 2 つの DAC チャネルの WAVEx[1:0] ビットを“1x”に設定し、MAMPx[3:0] ビットで同じ最大振幅値を設定します。
- 目的の DHR レジスタ（DAC_DHR12RD、DAC_DHR12LD、または DAC_DHR8RD）にデュアル DAC チャネルデータをロードします。

DAC チャネル1 トリガが発生すると、同じ三角波振幅を持つ DAC チャネル1 の三角波カウンタが DHR1 レジスタに加算され、合計が DAC_DOR1 に転送されます（3 APB1 クロックサイクル後）。その後、DAC チャネル1 の三角波カウンタが更新されます。

DAC チャネル2 トリガが発生すると、同じ三角波振幅を持つ DAC チャネル2 の三角波カウンタが DHR2 レジスタに加算され、合計が DAC_DOR2 に転送されます（3 APB1 クロックサイクル後）。その後、DAC チャネル2 の三角波カウンタが更新されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

14.4.5 異なる三角波生成による独立トリガ

DAC をこの変換モードに設定するには、次の手順が必要です。

- TEN1 と TEN2 の 2 つの DAC チャネルトリガイネーブルビットをセットします。
- TSEL1[2:0] および TSEL2[2:0] ビットに異なる値を設定することによって、異なるトリガソースを設定します。
- 2 つの DAC チャネル WAVEx[1：0] ビットを“1x”に、異なる最大振幅値マスクを MAMP1[3：0] と MAMP2[3：0] に設定します。
- 目的の DHR レジスタ（DAC_DHR12RD、DAC_DHR12LD、または DAC_DHR8RD）にデュアル DAC チャネルデータをロードします。

DAC チャネル1 トリガが発生すると、MAMP1[3:0] によって設定された三角波振幅を持つ DAC チャネル1 の三角波カウンタが DHR1 レジスタに加算され、合計が DAC_DOR1 に転送されます（3 APB1 クロックサイクル後）。その後、DAC チャネル1 の三角波カウンタが更新されます。

DAC チャネル2 トリガが発生すると、MAMP2[3:0] によって設定された三角波振幅を持つ DAC チャネル2 の三角波カウンタが DHR2 レジスタに加算され、合計が DAC_DOR2 に転送されます（3 APB1 クロックサイクル後）。その後、DAC チャネル2 の三角波カウンタが更新されます。

14.4.6 同時ソフトウェア開始

DAC をこの変換モードに設定するには、次の手順が必要です。

- 目的の DHR レジスタ（DAC_DHR12RD、DAC_DHR12LD、または DAC_DHR8RD）に、デュアル DAC チャネルデータをロードします。

この設定では、1 APB1 クロックサイクル後に、DHR1 および DHR2 レジスタが DAC_DOR1 と DAC_DOR2 にそれぞれ転送されます。

14.4.7 波形生成なしの同時トリガ

DAC をこの変換モードに設定するには、次の手順が必要です。

- TEN1 と TEN2 の 2 つの DAC チャネルトリガイネーブルビットをセットします。
- TSEL1[2:0] および TSEL2[2:0] ビットに同じ値をセットすることによって、両方の DAC チャネルに同じトリガソースを設定します。
- 目的の DHR レジスタ（DAC_DHR12RD、DAC_DHR12LD、または DAC_DHR8RD）に、デュアル DAC チャネルデータをロードします。

トリガが発生すると、DHR1 および DHR2 レジスタが DAC_DOR1 と DAC_DOR2 にそれぞれ転送されます（3 APB1 クロックサイクル後）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

14.4.8 1 つの LFSR 生成による同時トリガ

DAC をこの変換モードに設定するには、次の手順が必要です。

- TEN1 と TEN2 の 2 つの DAC チャネルトリガイネーブルビットをセットします。
- TSEL1[2:0] および TSEL2[2:0] ビットに同じ値をセットすることによって、両方の DAC チャネルに同じトリガソースを設定します。
- 2 つの DAC チャネル WAVEx[1:0] ビットを“01”に設定し、MAMPx[3:0] ビットで同じ LFSR マスク値を設定します。
- 目的の DHR レジスタ（DAC_DHR12RD、DAC_DHR12LD、または DAC_DHR8RD）に、デュアル DAC チャネルデータをロードします。

トリガが発生すると、同じマスクを持つ LFSR1 カウンタが DHR1 レジスタに加算され、合計が DAC_DOR1 に転送されます（3 APB1 クロックサイクル後）。その後、LFSR1 カウンタが更新されます。同時に、同じマスクを持つ LFSR2 カウンタが DHR2 レジスタに加算され、合計が DAC_DOR2 に転送されます（3 APB1 クロックサイクル後）。その後、LFSR2 カウンタが更新されます。

14.4.9 異なる LFSR 生成による同時トリガ

DAC をこの変換モードに設定するには、次の手順が必要です。

- TEN1 と TEN2 の 2 つの DAC チャネルトリガイネーブルビットをセットします。
- TSEL1[2:0] および TSEL2[2:0] ビットに同じ値をセットすることによって、両方の DAC チャネルに同じトリガソースを設定します。
- 2 つの DAC チャネルの WAVEx[1:0] ビットを“01”に設定し、MAMP1[3:0] と MAMP2[3:0] ビットで異なる LFSR マスク値を設定します。
- 目的の DHR レジスタ（DAC_DHR12RD、DAC_DHR12LD、または DAC_DHR8RD）にデュアル DAC チャネルデータをロードします。

トリガが発生すると、MAMP1[3:0] で設定されたマスクを持つ LFSR1 カウンタが DHR1 レジスタに加算され、合計が DAC_DOR1 に転送されます（3 APB1 クロックサイクル後）。その後、LFSR1 カウンタが更新されます。
同時に、MAMP2[3:0] で設定されたマスクを持つ LFSR2 カウンタが DHR2 レジスタに加算され、合計が DAC_DOR2 に転送されます（3 APB1 クロックサイクル後）。その後、LFSR2 カウンタが更新されます。

14.4.10 1 つの三角波生成による同時トリガ

DAC をこの変換モードに設定するには、次の手順が必要です。

- TEN1 と TEN2 の 2 つの DAC チャネルトリガイネーブルビットをセットします。
- TSEL1[2:0] および TSEL2[2:0] ビットに同じ値をセットすることによって、両方の DAC チャネルに同じトリガソースを設定します。
- 2 つの DAC チャネルの WAVEx[1:0] ビットを“1x”に設定し、MAMPx[3:0] ビットで同じ最大振幅値を設定します。
- 目的の DHR レジスタ（DAC_DHR12RD、DAC_DHR12LD、または DAC_DHR8RD）にデュアル DAC チャネルデータをロードします。

トリガが発生すると、同じ三角波振幅を持つ DAC チャネル1 の三角波カウンタが DHR 1 レジスタに加算され、合計が DAC_DOR1 に転送されます（3 APB1 クロックサイクル後）。その後、DAC チャネル1 の三角波カウンタが更新されます。
同時に、同じ三角波振幅を持つ DAC チャネル2 の三角波カウンタが DHR2 レジスタに加算され、合計が DAC_DOR2 に転送されます（3 APB1 クロックサイクル後）。その後、DAC チャネル2 の三角波カウンタが更新されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

14.4.11 異なる三角波生成による同時トリガ

DAC をこの変換モードに設定するには、次の手順が必要です。

- TEN1 と TEN2 の 2 つの DAC チャネルトリガイネーブルビットをセットします。
- TSEL1[2:0] および TSEL2[2:0] ビットに同じ値をセットすることによって、両方の DAC チャネルに同じトリガソースを設定します。
- 2 つの DAC チャネル WAVEx[1：0] ビットを“1x”に、異なる最大振幅値を MAMP1[3：0] と MAMP2[3：0] に設定します。
- 目的の DHR レジスタ（DAC_DHR12RD、DAC_DHR12LD、または DAC_DHR8RD）にデュアル DAC チャネルデータをロードします。

トリガが発生すると、MAMP1[3:0] によって設定された三角波振幅を持つ DAC チャネル1 の三角波カウンタが DHR1 レジスタに加算され、合計が DAC_DOR1 に転送されます（3 APB1 クロックサイクル後）。その後、DAC チャネル1 の三角波カウンタが更新されます。
同時に、MAMP2[3:0] で設定された三角波振幅を持つ DAC チャネル2 の三角波カウンタが DHR2 レジスタに加算され、合計が DAC_DOR2 に転送されます（3 APB1 クロックサイクル後）。その後、DAC チャネル2 の三角波カウンタが更新されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

14.5 DAC レジスタ

レジスタの説明で使用されている略語のリストについては、*セクション 1.1（57 ページ）*を参照してください。

ペリフェラルレジスタには、ワード（32 ビット）単位でアクセスする必要があります。

14.5.1 DAC 制御レジスタ（DAC_CR）

アドレスオフセット：0x00

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み		DMAUDRIE2	DMAEN2	MAMP2[3:0]				WAVE2[1:0]		TSEL2[2:0]			TEN2	BOFF2	EN2
		rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み		DMAUDRIE1	DMAEN1	MAMP1[3:0]				WAVE1[1:0]		TSEL1[2:0]			TEN1	BOFF1	EN1
		rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:30 予約済み、リセット値に保持する必要があります。

ビット 29 **DMAUDRIE**2：DAC チャネル2 DMA アンダーラン割り込みイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：DAC チャネル2 DMA アンダーラン割り込みは無効です。
1：DAC チャネル2 DMA アンダーラン割り込みは有効です。

ビット 28 **DMAEN2**：DAC チャネル2 DMA イネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：DAC チャネル2 DMA モードは無効です。
1：DAC チャネル2 DMA モードは有効です。

ビット 27:24 **MAMP2[3:0]**：DAC チャネル2 マスク／振幅セレクタ
これらのビットは、波形生成モードのマスクまたは三角波生成モードの振幅を選択するために、ソフトウェアによって書き込まれます。
0000：LFSR／三角波振幅のアンマスクビット 0 は 1 に等しい
0001：LFSR／三角波振幅のアンマスクビット [1:0] は 3 に等しい
0010：LFSR／三角波振幅のアンマスクビット [2:0] は 7 に等しい
0011：LFSR／三角波振幅のアンマスクビット [3:0] は 15 に等しい
0100：LFSR／三角波振幅のアンマスクビット [4:0] は 31 に等しい
0101：LFSR／三角波振幅のアンマスクビット [5:0] は 63 に等しい
0110：LFSR／三角波振幅のアンマスクビット [6:0] は 127 に等しい
0111：LFSR／三角波振幅のアンマスクビット [7:0] は 255 に等しい
1000：LFSR／三角波振幅のアンマスクビット [8:0] は 511 に等しい
1001：LFSR／三角波振幅のアンマスクビット [9:0] は 1023 に等しい
1010：LFSR／三角波振幅のアンマスクビット [10:0] は 2047 に等しい
≥ 1011：LFSR／三角波振幅のアンマスクビット [11:0] は 4095 に等しい

ビット 23:22 **WAVE2[1:0]**：DAC チャネル2 ノイズ／三角波生成イネーブル
これらのビットは、ソフトウェアによってセット／リセットされます。
00：波形生成は無効です。
01：ノイズ波生成は有効です。
1x：三角波生成は有効です。
注： ビット TEN2＝1（DAC チャネル2 トリガ有効）の場合のみ使用されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 21:19 **TSEL2[2:0]**：DAC チャネル2 トリガ選択

これらのビットは、DAC チャネル2 をトリガするために使用される外部イベントを選択します。

000：タイマ 6 TRGO イベント

001：タイマ 8 TRGO イベント

010：タイマ 7 TRGO イベント

011：タイマ 5 TRGO イベント

100：タイマ 2 TRGO イベント

101：タイマ 4 TRGO イベント

110：外部ライン 9

111：ソフトウェアトリガ

注： ビット TEN2 = 1（DAC チャネル2 トリガ有効）の場合のみ使用されます。

ビット 18 **TEN2**：DAC チャネル2 トリガイネーブル

このビットは、DAC チャネル2 トリガを有効／無効にするために、ソフトウェアによってセット／クリアされます。

0：DAC チャネル2 トリガは無効であり、DAC_DHRx レジスタに書き込まれたデータは、1 APB1 クロックサイクル後に DAC_DOR2 レジスタに転送されます。

1：DAC チャネル2 トリガは有効であり、DAC_DHRx レジスタから転送されたデータは、3 APB1 クロックサイクル後に DAC_DOR2 レジスタに転送されます。

注： ソフトウェアトリガが選択されているときには、DAC_DHRx から DAC_DOR2 レジスタへの転送には、1 APB1 クロックサイクルしか必要ありません。

ビット 17 **BOFF2**：DAC チャネル2 出力バッファディセーブル

このビットは、DAC チャネル2 出力バッファを有効／無効にするために、ソフトウェアによってセット／クリアされます。

0：DAC チャネル2 出力バッファは有効です。

1：DAC チャネル2 出力バッファは無効です。

ビット 16 **EN2**：DAC チャネル2 イネーブル

このビットは、DAC チャネル2 を有効／無効にするために、ソフトウェアによってセット／クリアされます。

0：DAC チャネル2 は無効です。

1：DAC チャネル2 は有効です。

ビット 15:14 予約済み、リセット値に保持する必要があります。

ビット 13 **DMAUDRIE1**：DAC チャネル1 DMA アンダーラン割り込みイネーブル

このビットは、ソフトウェアによってセット／クリアされます。

0：DAC チャネル1 DMA アンダーラン割り込みは無効です。

1：DAC チャネル1 DMA アンダーラン割り込みは有効です。

ビット 12 **DMAEN1**：DAC チャネル1 DMA イネーブル

このビットは、ソフトウェアによってセット／クリアされます。

0：DAC チャネル1 DMA モードは無効です。

1：DAC チャネル1 DMA モードは有効です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 11:8 **MAMP1[3:0]**：DAC チャネル1 マスク／振幅セレクタ

これらのビットは、波形生成モードのマスクまたは三角波生成モードの振幅を選択するために、ソフトウェアによって書き込まれます。

0000：LFSR／三角波振幅のアンマスクビット 0 は 1 に等しい
0001：LFSR／三角波振幅のアンマスクビット [1:0] は 3 に等しい
0010：LFSR／三角波振幅のアンマスクビット [2:0] は 7 に等しい
0011：LFSR／三角波振幅のアンマスクビット [3:0] は 15 に等しい
0100：LFSR／三角波振幅のアンマスクビット [4:0] は 31 に等しい
0101：LFSR／三角波振幅のアンマスクビット [5:0] は 63 に等しい
0110：LFSR／三角波振幅のアンマスクビット [6:0] は 127 に等しい
0111：LFSR／三角波振幅のアンマスクビット [7:0] は 255 に等しい
1000：LFSR／三角波振幅のアンマスクビット [8:0] は 511 に等しい
1001：LFSR／三角波振幅のアンマスクビット [9:0] は 1023 に等しい
1010：LFSR／三角波振幅のアンマスクビット [10:0] は 2047 に等しい
≥ 1011：LFSR／三角波振幅のアンマスクビット [11:0] は 4095 に等しい

ビット 7:6 **WAVE1[1:0]**：DAC チャネル1 ノイズ／三角波生成イネーブル

これらのビットは、ソフトウェアによってセット／クリアされます。

00：波形生成は無効です。
01：ノイズ波生成は有効です。
1x：三角波生成は有効です。

注： ビット TEN1＝1（DAC チャネル1 トリガ有効）の場合のみ使用されます。

ビット 5:3 **TSEL1[2:0]**：DAC チャネル1 トリガ選択

これらのビットは、DAC チャネル1 をトリガするために使用される外部イベントを選択します。

000：タイマ 6 TRGO イベント
001：タイマ 8 TRGO イベント
010：タイマ 7 TRGO イベント
011：タイマ 5 TRGO イベント
100：タイマ 2 TRGO イベント
101：タイマ 4 TRGO イベント
110：外部ライン 9
111：ソフトウェアトリガ

注： ビット TEN1＝1（DAC チャネル1 トリガ有効）の場合のみ使用されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 2 **TEN1**：DAC チャネル1 トリガイネーブル

このビットは、DAC チャネル1 トリガを有効／無効にするために、ソフトウェアによってセット／クリアされます。

0：DAC チャネル1 トリガは無効であり、DAC_DHRx レジスタに書き込まれたデータは、1 APB1 クロックサイクル後に DAC_DOR1 レジスタに転送されます。

1：DAC チャネル1 トリガは有効であり、DAC_DHRx レジスタから転送されたデータは、3 APB1 クロックサイクル後に DAC_DOR1 レジスタに転送されます。

注：　ソフトウェアトリガが選択されているときには、DAC_DHRx から DAC_DOR1 レジスタへの転送には、1 APB1 クロックサイクルしか必要ありません。

ビット 1 **BOFF1**：DAC チャネル1 出力バッファディセーブル

このビットは、DAC チャネル1 出力バッファを有効／無効にするために、ソフトウェアによってセット／クリアされます。

0：DAC チャネル1 出力バッファは有効です。

1：DAC チャネル1 出力バッファは無効です。

ビット 0 **EN1**：DAC チャネル1 イネーブル

このビットは、DAC チャネル1 を有効／無効にするために、ソフトウェアによってセット／クリアされます。

0：DAC チャネル1 は無効です。

1：DAC チャネル1 は有効です。

14.5.2　DAC ソフトウェアトリガレジスタ（DAC_SWTRIGR）

アドレスオフセット：0x04

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み														SWTRIG2	SWTRIG1
														w	w

ビット 31:2 予約済み、リセット値に保持する必要があります。

ビット 1 **SWTRIG2**：DAC チャネル2 ソフトウェアトリガ

このビットは、ソフトウェアトリガを有効／無効にするために、ソフトウェアによってセット／クリアされます。

0：ソフトウェアトリガは無効です。

1：ソフトウェアトリガは有効です。

注：　このビットは、DAC_DHR2 レジスタの値が DAC_DOR2 レジスタにロードされると、ハードウェアによってクリアされます（1 APB1 クロックサイクル後）。

ビット 0 **SWTRIG1**：DAC チャネル1 ソフトウェアトリガ

このビットは、ソフトウェアトリガを有効／無効にするために、ソフトウェアによってセット／クリアされます。

0：ソフトウェアトリガは無効です。

1：ソフトウェアトリガは有効です。

注：　このビットは、DAC_DHR1 レジスタの値が DAC_DOR1 レジスタにロードされると、ハードウェアによってクリアされます（1 APB1 クロックサイクル後）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

14.5.3 DAC チャネル1 12ビット右詰めデータ保持レジスタ（DAC_DHR12R1）

アドレスオフセット：0x08
リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み				DACC1DHR[11:0]											
				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:12 予約済み、リセット値に保持する必要があります。

ビット 11:0 **DACC1DHR[11:0]**：DAC チャネル1 12ビット右詰めデータ
これらのビットは、DAC チャネル1 の 12ビットデータを指定するために、ソフトウェアによって書き込まれます。

14.5.4 DAC チャネル1 12ビット左詰めデータ保持レジスタ（DAC_DHR12L1）

アドレスオフセット：0x0C

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DACC1DHR[11:0]												予約済み			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw				

ビット 31:16 予約済み、リセット値に保持する必要があります。

ビット 15:4 **DACC1DHR[11:0]**：DAC チャネル1 12ビット左詰めデータ
これらのビットは、DAC チャネル1 の 12ビットデータを指定するために、ソフトウェアによって書き込まれます。

ビット 3:0 予約済み、リセット値に保持する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

14.5.5 DAC チャネル1 8ビット右詰めデータ保持レジスタ（DAC_DHR8R1）

アドレスオフセット：0x10

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								DACC1DHR[7:0]							
								rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:8 予約済み、リセット値に保持する必要があります。

ビット 7:0 **DACC1DHR[7:0]**：DAC チャネル1 8ビット右詰めデータ

これらのビットは、DAC チャネル1 の 8ビットデータを指定するために、ソフトウェアによって書き込まれます。

14.5.6 DAC チャネル2 12ビット右詰めデータ保持レジスタ（DAC_DHR12R2）

アドレスオフセット：0x14

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み				DACC2DHR[11:0]											
				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:12 予約済み、リセット値に保持する必要があります。

ビット 11:0 **DACC2DHR[11:0]**：DAC チャネル2 12ビット右詰めデータ

これらのビットは、DAC チャネル2 の 12ビットデータを指定するために、ソフトウェアによって書き込まれます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

14.5.7 DAC チャネル2 12ビット左詰めデータ保持レジスタ（DAC_DHR12L2）

アドレスオフセット：0x18

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DACC2DHR[11:0]												予約済み			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw				

ビット 31:16 予約済み、リセット値に保持する必要があります。

ビット 15:4 **DACC2DHR[11:0]**：DAC チャネル2 12ビット左詰めデータ

これらのビットは、DAC チャネル2 の 12ビットデータを指定するために、ソフトウェアによって書き込まれます。

ビット 3:0 予約済み、リセット値に保持する必要があります。

14.5.8 DAC チャネル2 8ビット右詰めデータ保持レジスタ（DAC_DHR8R2）

アドレスオフセット：0x1C

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								DACC2DHR[7:0]							
								rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:8 予約済み、リセット値に保持する必要があります。

ビット 7:0 **DACC2DHR[7:0]**：DAC チャネル2 8ビット右詰めデータ

これらのビットは、DAC チャネル2 の 8ビットデータを指定するために、ソフトウェアによって書き込まれます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

14.5.9 デュアル DAC 12ビット右詰めデータ保持レジスタ（DAC_DHR12RD）

アドレスオフセット：0x20

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み				DACC2DHR[11:0]											
				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み				DACC1DHR[11:0]											
				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:28 予約済み、リセット値に保持する必要があります。

ビット 27:16 **DACC2DHR[11:0]**：DAC チャネル2 12ビット右詰めデータ

これらのビットは、DAC チャネル2 の 12ビットデータを指定するために、ソフトウェアによって書き込まれます。

ビット 15:12 予約済み、リセット値に保持する必要があります。

ビット 11:0 **DACC1DHR[11:0]**：DAC チャネル1 12ビット右詰めデータ

これらのビットは、DAC チャネル1 の 12 ビットデータを指定するために、ソフトウェアによって書き込まれます。

14.5.10 デュアル DAC 12ビット左詰めデータ保持レジスタ（DAC_DHR12LD）

アドレスオフセット：0x24

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DACC2DHR[11:0]												予約済み			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw				
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DACC1DHR[11:0]												予約済み			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw				

ビット 31:20 **DACC2DHR[11:0]**：DAC チャネル2 12ビット左詰めデータ

これらのビットは、DAC チャネル2 の 12ビットデータを指定するために、ソフトウェアによって書き込まれます。

ビット 19:16 予約済み、リセット値に保持する必要があります。

ビット 15:4 **DACC1DHR[11:0]**：DAC チャネル1 12ビット左詰めデータ

これらのビットは、DAC チャネル1 の 12ビットデータを指定するために、ソフトウェアによって書き込まれます。

ビット 3:0 予約済み、リセット値に保持する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

14.5.11 デュアル DAC 8ビット右詰めデータ保持レジスタ（DAC_DHR8RD）

アドレスオフセット：0x28

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DACC2DHR[7:0]								DACC1DHR[7:0]							
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:16 予約済み、リセット値に保持する必要があります。

ビット 15:8 **DACC2DHR[7:0]**：DAC チャネル2 8ビット右詰めデータ

これらのビットは、DAC チャネル2 の 8ビットデータを指定するために、ソフトウェアによって書き込まれます。

ビット 7:0 **DACC1DHR[7:0]**：DAC チャネル1 8ビット右詰めデータ

これらのビットは、DAC チャネル1 の 8ビットデータを指定するために、ソフトウェアによって書き込まれます。

14.5.12 DAC チャネル1 データ出力レジスタ（DAC_DOR1）

アドレスオフセット：0x2C

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み				DACC1DOR[11:0]											
				r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:12 予約済み、リセット値に保持する必要があります。

ビット 11:0 **DACC1DOR[11:0]**：DAC チャネル1 データ出力

これらのビットは読み出し専用であり、DAC チャネル1 のデータ出力を含みます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

14.5.13 DAC チャネル2 データ出力レジスタ（DAC_DOR2）

アドレスオフセット：0x30
リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み				DACC2DOR[11:0]											
				r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:12 予約済み、リセット値に保持する必要があります。

ビット 11:0 **DACC2DOR[11:0]**：DAC チャネル2 データ出力
これらのビットは読み出し専用であり、DAC チャネル2 のデータ出力を含みます。

14.5.14 DAC ステータスレジスタ（DAC_SR）

アドレスオフセット：0x34

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み		DMAUDR2	予約済み												
		rc_w1													
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み		DMAUDR1	予約済み												
		rc_w1													

ビット 31:30 予約済み、リセット値に保持する必要があります。

ビット 29 **DMAUDR2**：DAC チャネル2 DMA アンダーランフラグ
このビットは、ハードウェアによってセットされ、1 を書き込むことによってソフトウェアによってクリアされます。
0：DAC チャネル2 に DMA アンダーランエラー条件は発生しませんでした。
1：DAC チャネル2 に DMA アンダーランエラー条件が発生しました（現在選択されているトリガは、DMA サービス機能のレートを上回る周波数で DAC チャネル2 変換を駆動しています）。

ビット 28:14 予約済み、リセット値に保持する必要があります。

ビット 13 **DMAUDR1**：DAC チャネル1 DMA アンダーランフラグ
このビットは、ハードウェアによってセットされ、1 を書き込むことによってソフトウェアによってクリアされます。
0：DAC チャネル1 に DMA アンダーランエラー条件は発生しませんでした。
1：DAC チャネル1 に DMA アンダーランエラー条件が発生しました（現在選択されているトリガは、DMA サービス機能のレートを上回る周波数で DAC チャネル1 変換を駆動しています）。

ビット 12:0 予約済み、リセット値に保持する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

14.5.15 DAC レジスタマップ

表 76 に DAC レジスタの要約を示します。

表 76. DAC レジスタマップ

オフセット	レジスタ名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	DAC_CR	予約済み		DMAUDRIE2	DMAEN2	MAMP2[3:0]				WAVE2[2:0]		TSEL2[2:0]			TEN2	BOFF2	EN2	予約済み		DMAUDRIE1	DMAEN1	MAMP1[3:0]				WAVE1[2:0]		TSEL1[2:0]			TEN1	BOFF1	EN1
0x04	DAC_SWTRIGR	予約済み																														SWTRIG2	SWTRIG1
0x08	DAC_DHR12R1	予約済み																				DACC1DHR[11:0]											
0x0C	DAC_DHR12L1	予約済み																DACC1DHR[11:0]												予約済み			
0x10	DAC_DHR8R1	予約済み																								DACC1DHR[7:0]							
0x14	DAC_DHR12R2	予約済み																				DACC2DHR[11:0]											
0x18	DAC_DHR12L2	予約済み																DACC2DHR[11:0]												予約済み			
0x1C	DAC_DHR8R2	予約済み																								DACC2DHR[7:0]							
0x20	DAC_DHR12RD	予約済み				DACC2DHR[11:0]												予約済み				DACC1DHR[11:0]											
0x24	DAC_DHR12LD	DACC2DHR[11:0]												予約済み				DACC1DHR[11:0]												予約済み			
0x28	DAC_DHR8RD	予約済み																DACC2DHR[7:0]				DACC1DHR[7:0]											
0x2C	DAC_DOR1	予約済み																				DACC1DOR[11:0]											
0x30	DAC_DOR2	予約済み																				DACC2DOR[11:0]											
0x34	DAC_SR	予約済み		DMAUDR2		予約済み														DMAUDR1		予約済み											

レジスタ境界アドレスについては、*表 2（64 ページ）* を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

15 デジタルカメラインタフェース（DCMI）

このセクションは、特に指定がない限り、STM32F4xx ファミリデバイス全体に適用されます。

15.1 DCMI の概要

このデジタルカメラインタフェースは、外部 8、10、12、または14 ビット CMOS カメラモジュールから高速データフローを受信できる同期型パラレルインタフェースです。YCbCr4:2:2/RGB565 プログレッシブビデオおよび圧縮データ（JPEG）など、さまざまなデータ形式をサポートします。

このインタフェースはモノクロカメラ、X24 および X5 カメラで使用し、サイズ変更などすべての前処理はカメラモジュール内で行われることを前提としています。

15.2 DCMI の主な機能

- 8、10、12、または 14 ビットのパラレルインタフェース
- 埋め込み／外部ラインおよびフレーム同期
- 連続モードまたはスナップショットモード
- クロップ機能
- 以下のデータ形式に対応：
  - 8/10/12/14 ビットのプログレッシブビデオ：モノクロまたは Raw ベイヤー
  - YCbCr 4:2:2 プログレッシブビデオ
  - RGB 565 プログレッシブビデオ
  - 圧縮データ：JPEG

15.3 DCMI ピン

表 77 に DCMI ピンを示します。

表 77. DCMI ピン

名称	信号種別
D[0:13]	データ入力
HSYNC	水平同期入力
VSYNC	垂直同期入力
PIXCLK	ピクセルクロック入力

15.4 DCMI クロック

デジタルカメラインタフェースでは、PIXCLK および HCLK の 2 つのクロックドメインを使用します。PIXCLK と HCLK が安定した後、PIXCLK で生成された信号は、HCLK の立ち上がりエッジでサンプリングされます。カメラからのデータが安定し、サンプリング可能状態であることを示すため、イネーブル信号が HCLK ドメインで生成されます。最短 PIXCLK 周期は、HCLK 2.5 周期分よりも長い必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

15.5 DCMI 機能概要

デジタルカメラインタフェースは、高速（最高 54 Mbytes/秒）データフローを受信できる同期型パラレルインタフェースです。最大 14 本のデータライン（D13-D0）と 1 本のピクセルクロックライン（PIXCLK）で構成されています。ピクセルクロックの極性はプログラム可能であるため、データはピクセルクロックの立ち上がりエッジまたは立ち下がりエッジのどちらでもキャプチャすることができます。

データは 32 ビットのデータレジスタ（DCMI_DR）に格納され、汎用 DMA チャネルを介して転送されます。画像バッファはカメラインタフェースではなく DMA が管理します。

カメラから受信したデータは、ライン/フレーム（Raw YUV/RGB/Bayer モード）で構成したり、一連の JPEG 画像にすることができます。JPEG 画像を受信できるようにするには、JPEG ビット（DCMI_CR レジスタのビット 3）をセットする必要があります。

データフローは、オプションの HSYNC（水平同期）信号および VSYNC（垂直同期）信号を用いてハードウェアで同期をとることもできれば、データフローに埋め込まれてた同期コードで同期をとることもできます。

図 72 に DCMI ブロック図を示します。

図 72. DCMI のブロック図

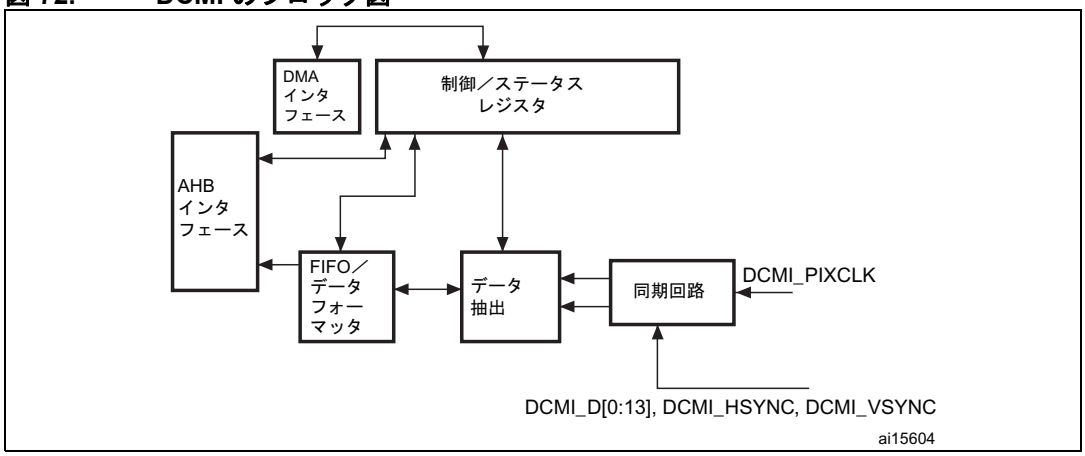
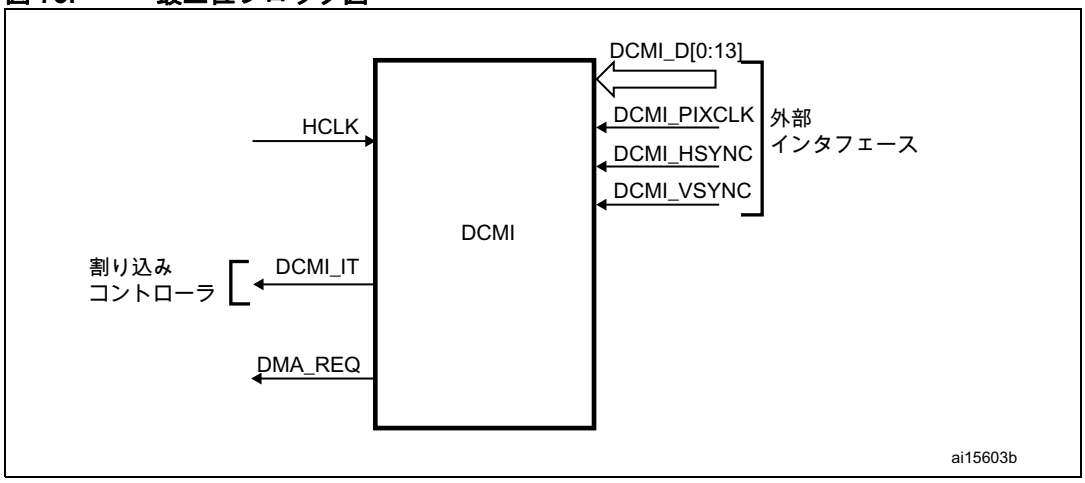


図 73. 最上位ブロック図



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

15.5.1 DMA インタフェース

DCMI_CR レジスタの CAPTURE ビットがセットされているときには、DMA インタフェースがアクティブです。カメラインタフェースがレジスタにまとまった 32 ビットデータブロックを受信するたびに、DMA リクエストが生成されます。

15.5.2 DCMI 物理インタフェース

インタフェースは、11/13/15/17 個の入力で構成されています。スレーブモードにのみ対応しています。

カメラインタフェースは、DCMI_CR レジスタの EDM[1:0] ビットに従って、8、10、12、または 14 ビットのデータをキャプチャすることができます。使用されるのが 14 ビット未満である場合、使用されない入力ピンはグランドに接続する必要があります。

表 78. DCMI 信号

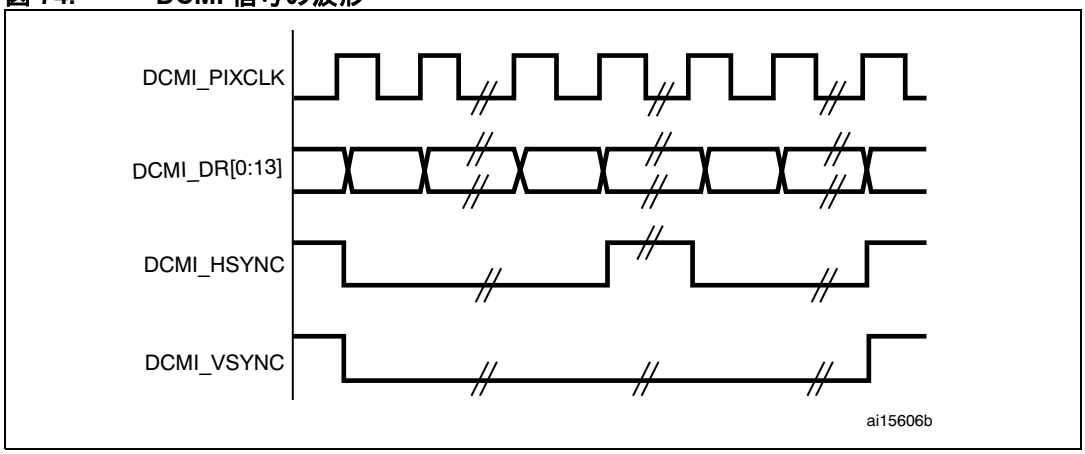
信号名		信号説明
8 ビット 10 ビット 12 ビット 14 ビット	D[0..7] D[0..9] D[0..11] D[0..13]	データ
PIXCLK		ピクセルクロック
HSYNC		水平同期/データ有効
VSYNC		垂直同期

データは PIXCLK と同期していますが、ピクセルクロックの立ち上がり/立ち下がりエッジにおけるデータは極性によって変わります。

HSYNC 信号は、ラインの開始/終了を示します。

VSYNC 信号は、フレームの開始/終了を示します。

図 74. DCMI 信号の波形



1. DCMI_PIXCLK のキャプチャエッジは立ち下がりエッジであり、DCMI_HSYNC と DCMI_VSYNC のアクティブ状態は 1 です。

1. DCMI_HSYNC と DCMI_VSYNC の状態は、同時に変化することがあります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

8 ビットデータ

DCMI_CR の EDM[1:0] が“00”にプログラムされていると、このインタフェースは入力（D[0:7]）で LSB の 8 ビットをキャプチャし、それを 8 ビットデータとして記憶します。D[13:8] 入力は無視されます。この場合、32 ビットワードをキャプチャするには、カメラインタフェースでピクセルクロック 4 サイクルが必要です。

最初にキャプチャされたデータバイトは 32 ビットワードの LSB 位置に置かれ、4 番目にキャプチャされたデータバイトは 32 ビットワードの MSB 位置に置かれます。*表 79* に、2 つの 32 ビットワードでキャプチャされたデータバイトの配置例を示します。

表 79. 32 ビットワード（8 ビット幅）でキャプチャされたデータバイトの配置

バイトアドレス	31:24	23:16	15:8	7:0
0	D_{n+3}[7:0]	D_{n+2}[7:0]	D_{n+1}[7:0]	D_n[7:0]
4	D_{n+7}[7:0]	D_{n+6}[7:0]	D_{n+5}[7:0]	D_{n+4}[7:0]

10 ビットデータ

DCMI_CR の EDM[1:0] が“01”にプログラムされていると、カメラインタフェースは入力（D[0..9] ）で 10 ビットデータをキャプチャし、それを 16 ビットワードの LSB の 10 ビットとして記憶します。DCMI_DR レジスタの残りの MSB（ビット 11 から 15）はゼロにクリアされます。したがって、この場合、32 ビットデータワードはピクセルクロック 2 サイクル毎に完成することになります。

表 80 に示すように、最初にキャプチャされたデータは 32 ビットワードの LSB 位置に置かれ、2 番目にキャプチャされたデータは 32 ビットワードの上位 16 ビットの LSB 側に置かれます。

表 80. 32 ビットワード（10 ビット幅）でキャプチャされたデータバイトの配置

バイトアドレス	31:26	25:16	15:10	9:0
0	0	D_{n+1}[9:0]	0	D_n[9:0]
4	0	D_{n+3}[9:0]	0	D_{n+2}[9:0]

12 ビットデータ

DCMI_CR の EDM[1:0] が“10” にプログラムされていると、カメラインタフェースは入力（D[0..11] ）で 12 ビットデータをキャプチャし、それを 16 ビットワードの LSB の12 ビットに記憶します。残りの MSB はゼロにクリアされます。したがって、この場合、32 ビットデータワードはピクセルクロック 2 サイクル毎に完成することになります。

表 81 に示すように、最初にキャプチャされたデータは 32 ビットワードの LSB 位置に置かれ、2 番目にキャプチャされたデータは 32 ビットワードの上位 16 ビットの LSB 側に置かれます。

表 81. 32 ビットワード（12 ビット幅）でキャプチャされたデータバイトの配置

バイトアドレス	31:28	27:16	15:12	11:0
0	0	D_{n+1}[11:0]	0	D_n[11:0]
4	0	D_{n+3}[11:0]	0	D_{n+2}[11:0]

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

14 ビットデータ

DCMI_CR の EDM[1:0] が“11” にプログラムされていると、カメラインタフェースは入力（D[0..13] ）で 14 ビットデータをキャプチャし、それを 16 ビットワードの LSB の14 ビットに記憶します。残りの MSB はゼロにクリアされます。したがって、この場合、32 ビットデータワードはピクセルクロック 2 サイクル毎に完成することになります。

表 82 に示すように、最初にキャプチャされたデータは 32 ビットワードの LSB 位置に置かれ、2 番目にキャプチャされたデータは 32 ビットワードの上位 16 ビットの LSB 側に置かれます。

表 82. 32 ビットワード（14 ビット幅）でキャプチャされたデータバイトの配置

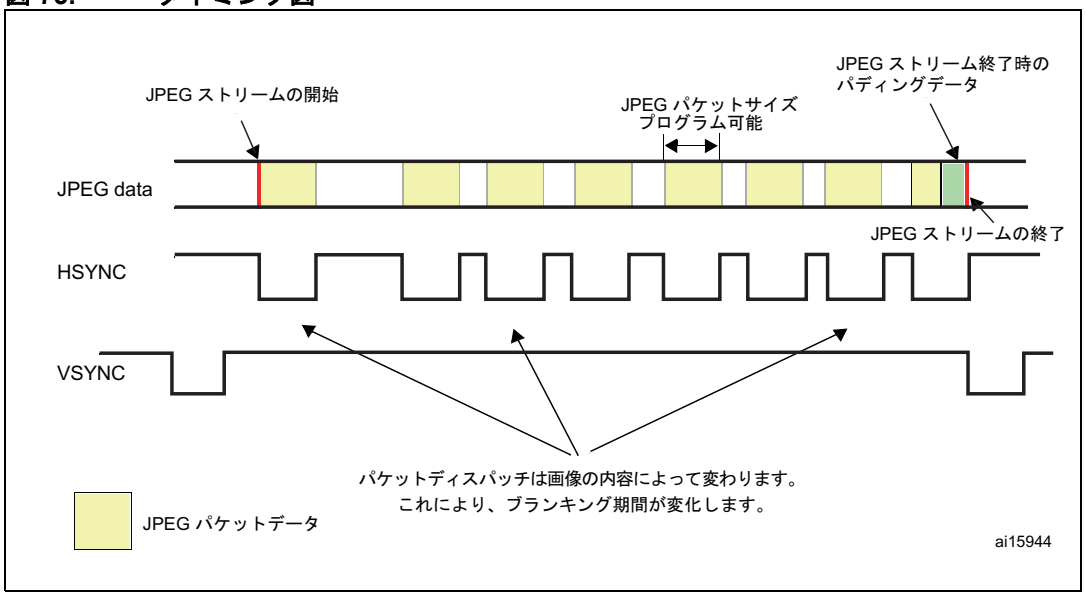
バイトアドレス	31:30	29:16	15:14	13:0
0	0	D_{n+1}[13:0]	0	D_n[13:0]
4	0	D_{n+3}[13:0]	0	D_{n+2}[13:0]

15.5.3 同期

この DCMI は、データ同期またはハードウェア（HSYNC および VSYNC）同期に対応します。埋め込み同期を使用する場合、0x00 および 0xFF の値が（有効画像データではなく）同期のためにのみ使用されているのを確認するのはデジタルカメラモジュールの仕様に依存します。埋め込み同期コードは、8 ビットパラレルデータインタフェース幅（すなわち DCMI_CR レジスタの EDM[1:0] ビットを“00”にクリア）に対してのみサポートされています。

圧縮データに対しては、DCMI はハードウェア同期モードにのみ対応します。この場合、VSYNC は画像の開始／終了として使用し、HSYNC はデータ有効信号として使用されます。*図 75* に、関連するタイミング図を示します。

図 75. タイミング図



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ハードウェア同期モード

ハードウェア同期モードでは、2 つの同期信号（HSYNC/VSYNC）を使用します。

カメラモジュール／モードによっては、データが水平／垂直同期期間中に転送されることがあります。HSYNC/VSYNC のアクティブ期間に受信されるデータはすべて無視されるため、これらの信号はブランキング信号のように振る舞います。

また、画像を正しく DMA/RAM バッファに転送するため、データ転送は VSYNC 信号と同期します。ハードウェア同期モードを選択し、キャプチャを有効（DCMI_CR の CAPTURE ビットをセットする）にすると、データ転送は VSYNC 信号の無効化（フレームの次の開始）と同期します。

その後、連続したバッファまたは同じ／サーキュラバッファへ DMA によって転送された連続フレームにより、連続的な転送ができるようになります。連続したフレームの DMA 管理を可能にするため、各フレームの終了時には VSIF（垂直同期割り込みフラグ）がアクティブになります。

データ同期モード

この同期モードでは、データフローに埋め込まれている 32 ビットコードを使用してデータフローを同期させます。このコードには、有効画像データでは使用されて*いない* 0x00/0xFF 値を使用します。コードには 4 種類あり、いずれも 0xFF0000XY フォーマットを用います。同期コードは、8 ビットパラレルデータ幅キャプチャ（DCMI_CR レジスタの EDM[1:0] ビットを“00”にプログラム）においてのみサポートされています。他のデータ幅に対しては、このモードは予期しない動作となるため、使用しないでください。

注： ***カメラモジュールでは、このようなコードが 8 つ使用可能です（インターレースモード）。このため、インターレースモードは DCMI ではサポートされません（ハーフフレームごとに捨てられてしまうため）。***

- モード 2

  4 種類の同期コードにより、次のイベントが通知されます。

  – フレーム開始（FS）
  – フレーム終了（FE）
  – ライン開始（LS）
  – ライン終了（LE）

  4 種類のコードの 0xFF0000XY フォーマットにおける XY 値は、プログラム可能です（*セクション 15.8.7：DCMI 同期コードレジスタ（DCMI_ESCR）*を参照）。

  「フレーム終了」としてプログラムされた値“0xFF”は、使用されていないすべてのコードが有効なフレーム終了コードとして解釈されることを意味します。

  このモードでは、カメラインタフェースが有効になると、最初に発生したフレーム終了（FE）コードの後にフレーム開始（FS）コードが続くと、フレームのキャプチャを開始します。

- モード 1

  もう一方のデータ同期モードとして、カメラモード 1 が使用できます。このモードは ITU656 対応です。

  以下の同期コードにより次の各イベントが通知されます。

  – SAV（アクティブライン）- ライン開始
  – EAV（アクティブライン）- ライン終了
  – SAV（ブランキング）- インタフレームブランキング期間中のライン終了
  – EAV（ブランキング）- インタフレームブランキング期間中のラインの終了

この資料は、STMicroelectronics NV 並びにその子会社（以下 ST）が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

このモードは、次のコードをプログラムすることにより対応できます。

- FS ≤ 0xFF
- FE ≤ 0xFF
- LS ≤ SAV（アクティブ）
- LS ≤ EAV（アクティブ）

埋め込み型マスク解除コードもまた、フレーム／ラインの開始コードおよびラインの終了コード用に準備されています。これを使用すれば、プログラムされたコードに対して選択したマスク解除ビットのみを比較することができます。したがって、1 つのビットを選択して埋め込みコード内で比較し、フレーム／ラインの開始や終了を検出することができます。つまり、マスク解除ビットの位置が同じでも、フレーム／ラインの開始や終了のコードは異なる可能性があるということです。

例

FS = 0xA5

FS のマスク解除コード = 0x10

この場合、フレーム開始コードがフレーム開始コードのビット 4 に埋め込まれています。

15.5.4 キャプチャモード

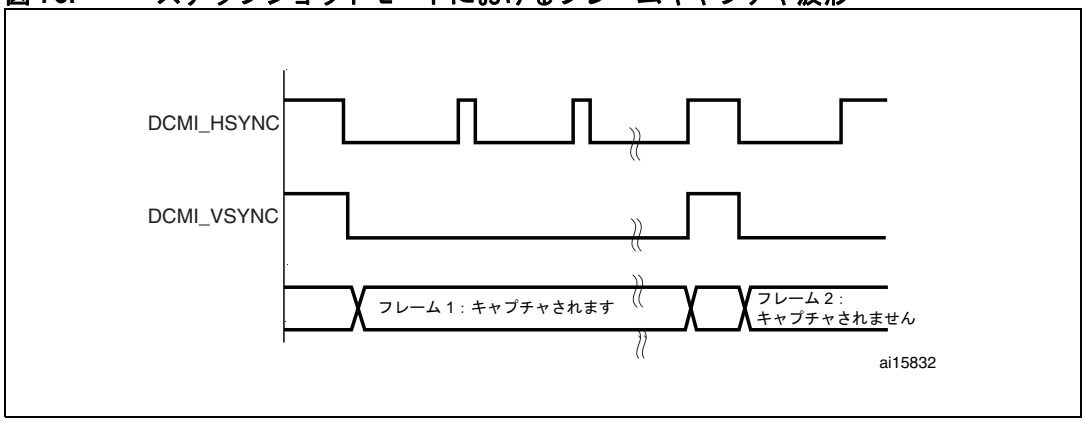
このインタフェースは、スナップショット（単一フレーム）、連続グラブの 2 種類のキャプチャをサポートしています。

スナップショットモード（単一フレーム）

このモードでは、1 つのフレームをキャプチャします（DCMI_CR レジスタの CM = 1）。DCMI_CR で CAPTURE ビットがセットされると、インタフェースはフレームの開始が検出されるのを待ってからデータをサンプリングします。最初の完全なフレームを受信した後、カメラインタフェースは自動的に無効になります（DCMI_CR の CAPTURE ビットがクリアされます)。割り込みが有効になっている場合、割り込み（IT_FRAME）が生成されます。

オーバーランの場合、フレームが失われ、CAPTURE ビットがクリアされます。

図 76. スナップショットモードにおけるフレームキャプチャ波形



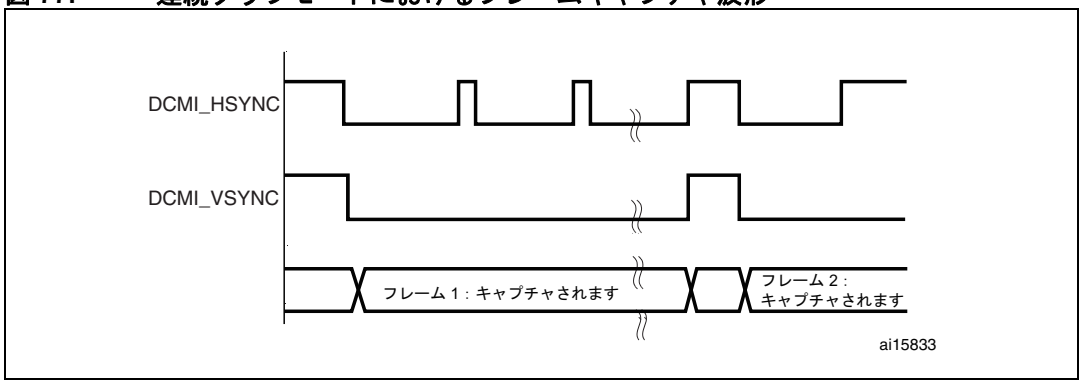
1. ここで、DCMI_HSYNC と DCMI_VSYNC のアクティブ状態は 1 です。
2. DCMI_HSYNC と DCMI_VSYNC の状態は、同時に変化することがあります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

連続グラブモード

このモード（DCMI_CR の CM ビット = 0）では、DCMI_CR の CAPTURE ビットがセットされると、モードによっては次の VSYNC または埋め込みフレーム開始でグラブ処理が開始されます。この処理は、DCMI_CR の CAPTURE ビットがクリアされるまで続きます。いったん CAPTURE ビットがクリアされると、現在のフレームの終了までグラブ処理が続きます。

図 77. 連続グラブモードにおけるフレームキャプチャ波形



1. ここで、DCMI_HSYNC と DCMI_VSYNC のアクティブ状態は 1 です。
2. DCMI_HSYNC と DCMI_VSYNC の状態は、同時に変化することがあります。

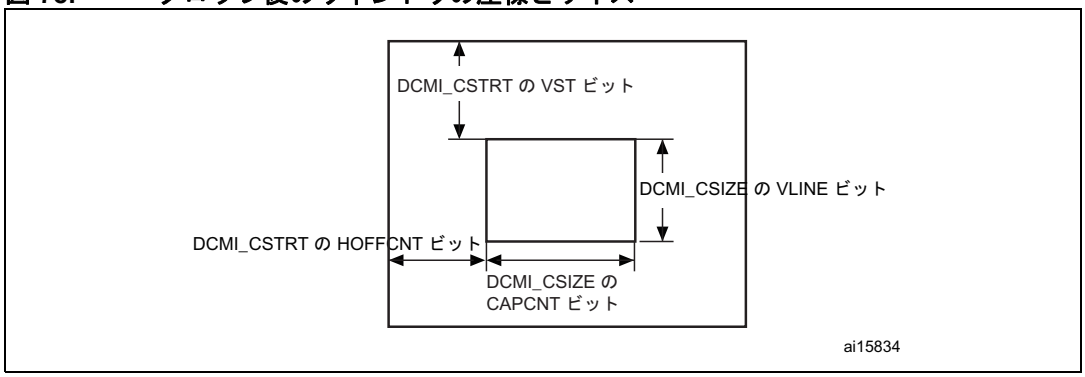
連続グラブモードでは、DCMI_CR で FCRC ビットを設定し、すべての画像をグラブ、1 枚おきにグラブ、または 4 枚おきにグラブしてフレームキャプチャ速度を下げることができます。

注： ***ハードウェア同期モード (DCMI_CR の ESS = 0) では、IT_VSYNC 割り込みが有効になっていれば DCMI_CR で CAPTURE = 0 になっていても IT_VSYNC 割り込みが発生しますので、スナップショットモードと併せて IT_VSYNC 割り込みを使用し、2 つのキャプチャ間でのフレーム数を数えることにより、さらにフレームキャプチャレートを下げることができます。これは埋め込みデータ同期モードでは行うことができません。***

15.5.5 クロップ機能

クロップ機能を用いて、カメラインタフェースが受信した画像から長方形のウィンドウを選択することができます。2 つの 32 ビットレジスタ（DCMI_CWSTRT および DCMI_CWSIZE）を使用して開始（左上の角）座標とサイズ（水平方向はピクセルクロック数、垂直方向はライン数）を指定します。ウィンドウのサイズは、ピクセルクロック数（水平方向）とライン数（垂直方向）で指定します。

図 78. クロップ後のウィンドウの座標とサイズ

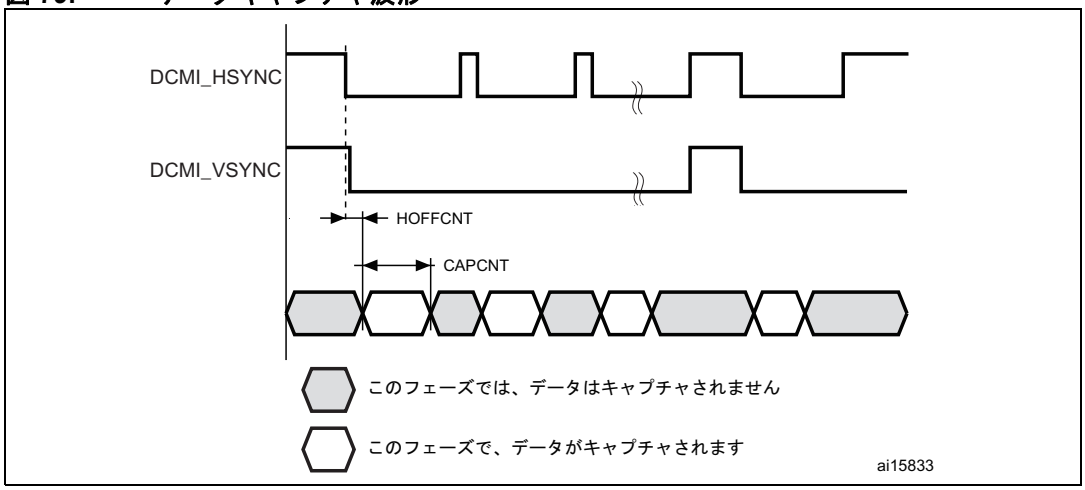


この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

これらのレジスタを用いて、キャプチャウィンドウの開始点の座標をライン番号（フレーム内、0 から開始）とピクセルクロック数（ライン上、0 から開始）で指定し、ウィンドウのサイズをライン番号とピクセルクロック数で指定します。CAPCNT 値は、DMA を介してデータを正しく転送できるよう、必ず 4 の倍数となります（LSB の 2 ビットは強制的に 0）。

DCMI_CWSIZE レジスタでライン番号が指定される前に VSYNC 信号がアクティブになると、キャプチャが停止し、IT_FRAME 割り込みが有効になっていれば IT_FRAME 割り込みが生成されます。

図 79. データキャプチャ波形



1. ここで、DCMI_HSYNC と DCMI_VSYNC のアクティブ状態は 1 です。
2. DCMI_HSYNC と DCMI_VSYNC の状態は、同時に変化することがあります。

15.5.6 JPEG フォーマット

JPEG 画像を受信できるようにするには、DCMI_CR レジスタの JPEG ビットをセットする必要があります。JPEG 画像はラインやフレームとして保存されないので、HSYNC がデータイネーブル信号として使用されている間に、VSYNC 信号を使用してキャプチャを開始します。1 ライン内のバイト数は 4 の倍数でないこともあります。キャプチャされたデータから完全な 32 ビットワードが構成されるたびに DMA リクエストが生成されるため、この場合のデータ操作には注意が必要です。フレームの終了が検出され、転送される 32 ビットワードが完全に受信されていない場合、残りのデータは “0”でパディングされ、DMA リクエストが生成されます。

クロップ機能および埋め込み同期コードは、JPEG 形式では使用できません。

15.5.7 FIFO

AHB 上でのデータ転送レートを管理するため、4 ワードの FIFO が搭載されています。このDCMI には、カメラインタフェースが AHB から読み出しを行うたびにインクリメントされる読み出しポインタと、FIFO に書き込みを行うたびにインクリメントされる書き込みポインタを持った単純な FIFO コントローラを備えています。AHB インタフェースがデータ転送速度を維持できない場合にデータの上書きを防ぐオーバーラン保護はありません。

オーバーランや同期信号でのエラーの場合、FIFO はリセットされ、DCMI インタフェースは新規フレームの開始を待ちます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

15.6 データフォーマットの説明

15.6.1 データフォーマット

サポートされるデータは次の 3 種類です。

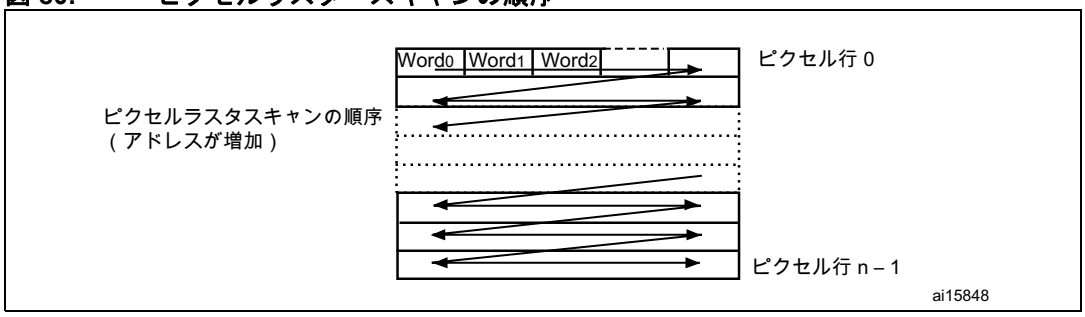
- 8 ビットのプログレッシブビデオ：モノクロまたは Raw ベイヤーフォーマット
- YCbCr 4:2:2 プログレッシブビデオ
- RGB565 プログレッシブビデオ。16 ビット（青が 5 ビット、赤が 5 ビット、緑が 6 ビット）で符号化されたピクセルの転送には、クロック 2 サイクルが必要です。

圧縮データ：JPEG

モノクロ、YCbCr、RGB データの場合、最大入力サイズは 2048 × 2048 ピクセルです。JPEG 圧縮モードでは制限はありません。

モノクロ、RGB、YCbCr の場合、フレームバッファはラスターモードで保存されます。32 ビットワードが使用されます。リトルエンディアン形式のみをサポートします。

図 80. ピクセルラスタースキャンの順序



15.6.2 モノクロフォーマット

特徴：

- ラスタフォーマット
- ピクセル当たり 8 ビット

表 83 に、データ保存方法を示します。

表 83. モノクロプログレッシブビデオフォーマットでのデータ保存

バイトアドレス	31:24	23:16	15:8	7:0
0	n + 3	n + 2	n + 1	n
4	n + 7	n + 6	n + 5	n + 4

15.6.3 RGB フォーマット

特徴：

- ラスタフォーマット
- RGB
- インタリーブ：バッファ 1 つ：R、G、B をインタリーブ：BRGBRGBRG、など。
- ディスプレイ出力に対して最適

この資料は、STMicroelectronics NV 並びにその子会社（以下 ST）が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

RGB プレーナフォーマットは、標準 OS フレームバッファディスプレイフォーマットと互換性があります。
サポートされるのは 16 BPP（bits per pixel）: RGB565（32 ビットワード当たり 2 ピクセル）だけです。24 BPP（パレットフォーマット）とグレースケールフォーマットは、サポートされません。ピクセルはラスタースキャン順、つまりピクセル行に対して上から下、ピクセル行内では左から右の順で保存されます。ピクセルコンポーネントは R（赤）、G（緑）、B（青）です。すべてのコンポーネントの空間分解能は同じ（4 : 4 : 4 フォーマット）です。ピクセル単位でインタリーブされたコンポーネントと共に、フレームは単一パートで保存されます。

表 84 に、データ保存方法を示します。

表 84. RGB プログレッシブビデオフォーマットでのデータ保存

バイトアドレス	31:27	26:21	20:16	15:11	10:5	4:0
0	赤 n + 1	緑 n + 1	青 n + 1	赤 n	緑 n	青 n
4	赤 n + 4	緑 n + 3	青 n + 3	赤 n + 2	緑 n + 2	青 n + 2

15.6.4 YCbCr フォーマット

特徴：

- ラスタフォーマット
- YCbCr 4 : 2 : 2
- インタリーブ：バッファ 1 つ：Y、Cb、Cr をインタリーブ：CbYCrYCbYCr、など。

ピクセルコンポーネントは Y（輝度または「ルマ」）、Cb、Cr（クロミナンスまたは「色度」青および「色度」赤）です。各コンポーネントは 8 ビットで符号化されます。輝度と色度は、*表 85* に示すように、（インタリーブして）一緒に保存されます。

表 85. YCbCr プログレッシブビデオフォーマットでのデータ保存

バイトアドレス	31:24	23:16	15:8	7:0
0	Y n + 1	Cr n	Y n	Cb n
4	Y n + 3	Cr n + 2	Y n + 2	Cb n + 2

15.7 DCMI 割り込み

5 種類の割り込みが生成されます。すべての割り込みは、ソフトウェアでマスク可能です。グローバル割り込み（IT_DCMI）は、個別割り込みすべての論理和（OR）です。*表 86* にすべての割り込みのリストを示します。

表 86. DCMI 割り込み

割り込み名	割り込みイベント
IT_LINE	ライン終了を示します
IT_FRAME	フレームキャプチャ終了を示します
IT_OVR	データ受信のオーバーランを示します
IT_VSYNC	同期フレームを示します
IT_ERR	埋め込み同期フレーム検出におけるエラーの検出を示します
IT_DCMI	上記割り込みの論理和（OR）です

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

15.8 DCMI レジスタの説明

すべての DCMI レジスタは、32 ビットワードとしてアクセスする必要があり、そうしないとバスエラーが発生します。

15.8.1 DCMI 制御レジスタ 1（DCMI_CR）

アドレスオフセット：0x00

リセット値：0x0000 0x0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																	ENABLE	予約済み		EDM		FCRC		VSPOL	HSPOL	PCKPOL	ESS	JPEG	CROP	CM	CAPTURE
																	rw			rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:15 予約済み、リセット値に保持する必要があります。

ビット 14 **ENABLE**：DCMI イネーブル

0：DCMI 無効
1：DCMI 有効

注： このビットを有効にする前に、DCMI 設定レジスタを正しくプログラムする必要があります。

ビット 13:12 予約済み、リセット値に保持する必要があります。

ビット 11:10 **EDM[1:0]**：拡張データモード

00：インタフェースはピクセルクロックごとに 8 ビットデータをキャプチャします
01：インタフェースはピクセルクロックごとに 10 ビットデータをキャプチャします
10：インタフェースはピクセルクロックごとに 12 ビットデータをキャプチャします
11：インタフェースはピクセルクロックごとに 14 ビットデータをキャプチャします

ビット 9:8 **FCRC[1:0]**：フレームキャプチャレート制御

このビットによって、フレームキャプチャの頻度を規定します。これらのビットは、連続グラブモードでなければ意味を持ちません。スナップショットモードでは無視されます。

00：全フレームをキャプチャ
01：フレームを 1 つおきにキャプチャ（帯域幅 50 % 減少）
10：4 フレームごとに 1 フレームキャプチャ（帯域幅 75 % 減少）
11：予約済み

ビット 7 **VSPOL**：垂直同期極性

このビットは、データがパラレルインタフェース上で有効でないときの VSYNC ピン上でのレベルを示します。

0：VSYNC アクティブロー
1：VSYNC アクティブハイ

ビット 6 **HSPOL**：水平同期極性

このビットは、データがパラレルインタフェース上で有効でないときの HSYNC ピン上でのレベルを示します。

0：HSYNC アクティブロー
1：HSYNC アクティブハイ

ビット 5 **PCKPOL**：ピクセルクロック極性

このビットによってピクセルクロックのキャプチャエッジを設定します。

0：立ち下がりエッジでアクティブ
1：立ち上がりエッジでアクティブ

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 4 **ESS**：埋め込み同期選択

0：ハードウェア同期。データキャプチャ（フレーム／ラインの開始／終了）は HSYNC/VSYNC 信号と同期します。

1：埋め込み同期。データキャプチャはデータフローに埋め込まれた同期コードと同期します。

注： 8 ビットのパラレルデータに対してのみ有効です。ESS ビットがセットされると、HSPOL/VSPOL は無視されます。

このビットは、JPEG モードでは無効になります。

ビット 3 **JPEG**：JPEG フォーマット

0：非圧縮ビデオフォーマット

1：このビットは JPEG データ転送に使用します。HSYNC 信号はデータイネーブルとして使用します。このモードでは、クロップおよび埋め込み同期機能（ESS ビット）は使用できません。

ビット 2 **CROP**：クロップ機能

0：画像全体がキャプチャされます。この場合、1 枚の画像フレーム内の総バイト数は 4 の倍数となります。

1：クロップレジスタで指定されたウィンドウ内のデータのみがキャプチャされます。クロップウィンドウのサイズがピクチャサイズを超える場合は、そのピクチャサイズのみがキャプチャされます。

ビット 1 **CM**：キャプチャモード

0：連続グラブモード - 受信したデータは DMA を通じて転送先メモリに転送されます。バッファの場所やモード（リニアバッファまたはサーキュラバッファ）は、システム DMA を通じて制御されます。

1：スナップショットモード（単一フレーム）- アクティブになると、インタフェースはフレーム開始を待ってから DMA を通じて単一フレームを転送します。フレーム終了時、CAPTURE ビットは、自動的にリセットされます。

ビット 0 **CAPTURE**：キャプチャイネーブル

0：キャプチャ無効

1：キャプチャ有効

カメラインタフェースは最初のフレーム開始を待ち、その後 DMA リクエストが生成されて受信したデータが転送先メモリに転送されます。

スナップショットモードでは、受信した最初のフレームの終了時に CAPTURE ビットが自動的にクリアされます。

連続グラブモードにおいて、キャプチャ進行中にソフトウエアがこのビットをクリアすると、そのビットは実質的にフレーム終了時にクリアされます。

注： DMA コントローラとすべての DCMI 設定レジスタを正しくプログラムしてから、このビットを有効にする必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

15.8.2 DCMI ステータスレジスタ（DCMI_SR）

アドレスオフセット：0x04

リセット値：0x0000 0x0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																													FNE	VSYNC	HSYNC
																													r	r	r

ビット 31:3 予約済み、リセット値に保持する必要があります。

ビット 2 **FNE：**FIFO ノットエンプティ

このビットは、FIFO のステータスを示します。

1：FIFO に有効なデータあり

0：FIFO は空

ビット 1 **VSYNC**

このビットは、極性が正しくプログラムされた VSYNC ピンの状態を示します。

埋め込み同期コードを使用する場合、このビットは次のような意味を持ちます。

0：アクティブフレーム

1：フレーム間同期

埋め込み同期の場合、このビットは DCMI_CR の CAPTURE ビットがセットされている場合にのみ意味を持ちます。

ビット 0 **HSYNC**

このビットは、極性が正しくプログラムされた HSYNC ピンの状態を示します。

埋め込み同期コードを使用する場合、このビットは次のような意味を持ちます。

0：アクティブライン

1：ライン間同期

埋め込み同期の場合、このビットは DCMI_CR の CAPTURE ビットがセットされている場合にのみ意味を持ちます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

15.8.3 DCMI raw 割り込みステータスレジスタ（DCMI_RIS)

アドレスオフセット：0x08

リセット値：0x0000 0x0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																											LINE_RIS	VSYNC_RIS	ERR_RIS	OVR_RIS	FRAME_RIS
																											r	r	r	r	r

DCMI_RIS は raw 割り込みステータスを示し、読み出し専用でアクセスできます。読み出し時、このレジスタは DCMI_IER レジスタ値でマスクする前の関連する割り込みのステータスを返します。

ビット 31:5 予約済み、リセット値に保持する必要があります。

ビット 4 **LINE_RIS**：ライン raw 割り込みステータス

HSYNC 信号がインアクティブ状態からアクティブ状態に変わると、このビットがセットされます。ラインが有効でなくてもハイになります。

埋め込み同期の場合、このビットは DCMI_CR の CAPTURE ビットがセットされている場合にのみセットされます。

DCMI_ICR の LINE_ISC ビットに“1”を書き込むことによってクリアされます。

ビット 3 **VSYNC_RIS**：VSYNC raw 割り込みステータス

VSYNC 信号がインアクティブ状態からアクティブ状態に変わると、このビットがセットされます。

埋め込み同期の場合、このビットは DCMI_CR の CAPTURE ビットがセットされている場合にのみセットされます。

DCMI_ICR の VSYNC_ISC ビットに“1”を書き込むことによってクリアされます。

ビット 2 **ERR_RIS**：同期エラー raw 割り込みステータス

0：同期エラーは検出されていません。

1：埋め込み同期文字が正しい順番で受信されません。

このビットは、埋め込み同期モードでのみ有効です。DCMI_ICR の ERR_ISC ビットに“1”を書き込むことによってクリアされます。

注： このビットは、埋め込み同期モードでのみ使用できます。

ビット 1 **OVR_RIS**：オーバーラン raw 割り込みステータス

0：データバッファオーバーランは発生していません。

1：データバッファオーバーランが発生し、データ FIFO が不正です。

このビットは、DCMI_ICR の OVR_ISC ビットに“1”を書き込むことによってクリアされます。

ビット 0 **FRAME_RIS**：キャプチャ完了 raw 割り込みステータス

0：新規キャプチャはありません。

1：フレームキャプチャ完了しています。

このビットは、フレームやウィンドウがキャプチャされるとセットされます。

クロップされたウィンドウの場合、このビットは、クロップの最後のラインの終了時にセットされます。キャプチャされたフレームが空でもセットされます（例：フレーム外でクロップされたウィンドウなど）。

このビットは、DCMI_ICR の FRAME_ISC ビットに“1”を書き込むことによってクリアされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

15.8.4 DMCI 割り込みイネーブルレジスタ（DCMI_IER）

アドレスオフセット：0x0C

リセット値：0x0000 0x0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																											LINE_IE	VSYNC_IE	ERR_IE	OVR_IE	FRAME_IE
																											rw	rw	rw	rw	rw

DCMI_IER レジスタは、割り込みを有効にするために使用します。DCMI_IER ビットの 1 つがセットされると、該当する割り込みが有効になります。このレジスタは、読み出しと書き込みの両方でアクセスできます。

ビット 31:5 予約済み、リセット値に保持する必要があります。

ビット 4 **LINE_IE**：ライン割り込みイネーブル
0：ライン受信時に割り込みは生成されません。
1：ラインすべてを受信したときに割り込みが生成されます。

ビット 3 **VSYNC_IE**：VSYNC 割り込みイネーブル
0：割り込みは生成されません。
1：VSYNC がインアクティブからアクティブ状態に遷移するたびに割り込みが生成されます。
VSYNC 信号のアクティブ状態は、VSPOL ビットによって定義されます。

ビット 2 **ERR_IE**：同期エラー割り込みイネーブル
0：割り込みは生成されません。
1：埋め込み同期コードが正しい順番で受信されない場合に割り込みが生成されます。
注： このビットは、埋め込み同期モードでのみ使用できます。

ビット 1 **OVR_IE**：オーバーラン割り込みイネーブル
0：割り込みは生成されません。
1：DMA が新しいデータ（32 ビット）を受信する前に最後のデータを転送できなかった場合に割り込みが生成されます。

ビット 0 **FRAME_IE**：キャプチャ完了割り込みイネーブル
0：割り込みは生成されません。
1：受信したフレーム／クロップウィンドウ（クロップモードの場合）の終了時に割り込みが生成されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

15.8.5 DCMI マスク済み割り込みステータスレジスタ（DCMI_MIS)

DCMI_MIS レジスタは、読み出し専用レジスタです。読み出し時、該当する割り込みの現在のマスクステータス値（DCMI_IER の値によって変わります）を返します。DCMI_IER 内の該当するイネーブルビットがセットされ、DCMI_RIS 内の該当ビットがセットされると、このレジスタ内のビットがセットされます。

アドレスオフセット：0x10

リセット値：0x0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																											LINE_MIS	VSYNC_MIS	ERR_MIS	OVR_MIS	FRAME_MIS
																											r	r	r	r	r

ビット 31:5 予約済み、リセット値に保持する必要があります。

ビット 4 **LINE_MIS**：マスクされたライン割り込みステータス

このビットは、マスクされたライン割り込みのステータスを示します。

0：ライン受信時に割り込みは生成されません。

1：ラインが完全に受信され、DCMI_IER の LINE_IE ビットがセットされると割り込みが生成されます。

ビット 3 **VSYNC_MIS**：マスクされた VSYNC 割り込みステータス

このビットは、マスクされた VSYNC 割り込みのステータスを示します。

0：VSYNC の遷移で割り込みは生成されません。

1：VSYNC がインアクティブからアクティブ状態に遷移し、DCMI_IER の VSYNC_IE ビットがセットされるたびに割り込みが生成されます。

VSYNC 信号のアクティブ状態は、VSPOL ビットによって定義されます。

ビット 2 **ERR_MIS**：マスクされた同期エラー割り込みステータス

このビットは、マスクされた同期エラー割り込みのステータスを示します。

0：同期エラー時、割り込みは生成されません。

1：埋め込み同期コードが正しい順番で受信されず、DCMI_IER の ERR_IE ビットがセットされると割り込みが生成されます。

注： このビットは、埋め込み同期モードでのみ使用できます。

ビット 1 **OVR_MIS**：マスクされたオーバーラン割り込みステータス

このビットは、マスクされたオーバ-フロー割り込みのステータスを示します。

0：オーバーラン時、割り込みは生成されません。

1：DMA が新しいデータ（32 ビット）を受信する前に最後のデータを転送できず、DCMI_IER の OVR_IE ビットがセットされると割り込みが生成されます。

ビット 0 **FRAME_MIS**：マスクされたキャプチャ完了割り込みステータス

このビットは、マスクされたキャプチャ完了割り込みのステータスを示します。

0：キャプチャ完了で割り込みは生成されません。

1：受信したフレーム／クロップウィンドウ（クロップモードの場合）の終了時に DCMI_IER の FRAME_IE ビットがセットされると割り込みが生成されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

15.8.6 DMCI 割り込みクリアレジスタ（DCMI_ICR）

アドレスオフセット：0x14

リセット値：0x0000 0x0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																											LINE_ISC	VSYNC_ISC	ERR_ISC	OVR_ISC	FRAME_ISC
																											w	w	w	w	w

DCMI_ICR レジスタは、書き込み専用です。このレジスタのビットに“1”を書き込むことによって DCMI_RIS および DCMI_MIS レジスタの対応するビットをクリアします。“0”を書き込んだときには、ビットの値に影響を与えません。

ビット 15:5 予約済み、リセット値に保持する必要があります。

ビット 4 **LINE_ISC**：ライン割り込みステータスクリア
このビットに“1”を書き込むと、DCMI_RIS レジスタの LINE_RIS ビットがクリアされます。

ビット 3 **VSYNC_ISC**：垂直同期割り込みステータスクリア
このビットに“1”を書き込むと、DCMI_RIS レジスタの VSYNC_RIS ビットがクリアされます。

ビット 2 **ERR_ISC**：同期エラー割り込みステータスクリア
このビットに“1”を書き込むと、DCMI_RIS レジスタの ERR_RIS ビットがクリアされます。

注： このビットは、埋め込み同期モードでのみ使用できます。

ビット 1 **OVR_ISC**：オーバーラン割り込みステータスクリア
このビットに“1”を書き込むと、DCMI_RIS の OVR_RIS ビットがクリアされます。

ビット 0 **FRAME_ISC**：キャプチャ完了割り込みステータスクリア
このビットに“1”を書き込むと、DCMI_RIS の FRAME_RIS ビットがクリアされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

15.8.7 DCMI 同期コードレジスタ（DCMI_ESCR）

アドレスオフセット：0x18

リセット値：0x0000 0x0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FEC								LEC								LSC								FSC							
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:24 **FEC**：フレーム終了デリミタコード

このバイトによって、フレーム終了デリミタのコードを指定します。このコードは 0xFF、0x00、0x00、FEC の形式で 4 バイトで構成されています。

FEC が 0xFF にプログラムされている場合、使用されていないすべてのコード（0xFF0000XY）はフレーム終了デリミタとして解釈されます。

ビット 23:16 **LEC**：ライン終了デリミタコード

このバイトによって、ライン終了デリミタのコードを指定します。このコードは 0xFF、0x00、0x00、LEC の形式で 4 バイトで構成されています。

ビット 15:8 **LSC**：ライン開始デリミタコード

このバイトによって、ライン開始デリミタのコードを指定します。このコードは 0xFF、0x00、0x00、LSC の形式で 4 バイトで構成されています。

ビット 7:0 **FSC**：フレーム開始デリミタコード

このバイトによって、フレーム開始デリミタのコードを指定します。このコードは 0xFF、0x00、0x00、FSC の形式で 4 バイトで構成されています。

FSC が 0xFF にプログラムされている場合、フレーム開始デリミタは検出されません。

FEC コードの後に現れる最初の LSC は、フレームの開始デリミタとして解釈されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

15.8.8 DCMI 埋め込み同期マスク解除レジスタ（DCMI_ESUR）

アドレスオフセット：0x1C

リセット値：0x0000 0x0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FEU								LEU								LSU								FSU							
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:24 **FEU**：フレーム終了デリミタマスク解除

このバイトによって、フレーム終了デリミタのコードに適用するマスクを指定します。

0 : 受信したデータとフレーム終了デリミタを比較すると同時に、DCMI_ESCR の FEC バイトの該当ビットがマスクされます。

1 : 受信したデータとフレーム終了デリミタを比較すると同時に、DCMI_ESCR の FEC バイトの該当ビットが比較されます。

ビット 23:16 **LEU**：ライン終了デリミタマスク解除

このバイトによって、ライン終了デリミタのコードに適用するマスクを指定します。

0 : 受信したデータとライン終了デリミタを比較すると同時に、DCMI_ESCR の LEC バイトの該当ビットがマスクされます。

1 : 受信したデータとライン終了デリミタを比較すると同時に、DCMI_ESCR の LEC バイトの該当ビットが比較されます。

ビット 15:8 **LSU**：ライン開始デリミタマスク解除

このバイトによって、ライン開始デリミタのコードに適用するマスクを指定します。

0 : 受信したデータとライン開始デリミタを比較すると同時に、DCMI_ESCR の LSC バイトの該当ビットがマスクされます。

1 : 受信したデータとライン開始デリミタを比較すると同時に、DCMI_ESCR の LSC バイトの該当ビットが比較されます。

ビット 7:0 **FSU**：フレーム開始デリミタマスク解除

このバイトによって、フレーム開始デリミタのコードに適用するマスクを指定します。

0 : 受信したデータとフレーム開始デリミタを比較すると同時に、DCMI_ESCR の FSC バイトの該当ビットがマスクされます。

1 : 受信したデータとフレーム開始デリミタを比較すると同時に、DCMI_ESCR の FSC バイトの該当ビットが比較されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

15.8.9 DCMI クロップウィンドウ開始（DCMI_CWSTRT）

アドレスオフセット：0x20

リセット値：0x0000 0x0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み			VST[12:0]													予約済み		HOFFCNT[13:0]													
			rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw			rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:29 予約済み、リセット値に保持する必要があります。

ビット 28:16 **VST[12:0]**：垂直方向開始ラインカウント

このライン番号で画像キャプチャを開始します。これより前のラインデータは無視されます。

0x0000 => ライン 1

0x0001 => ライン 2

0x0002 => ライン 3

....

ビット 15:14 予約済み、リセット値に保持する必要があります。

ビット 13:0 **HOFFCNT[13:0]**：水平方向オフセットカウント

キャプチャ開始前にカウントするピクセルクロック数を示します。

15.8.10 DCMI クロップウィンドウサイズ（DCMI_CWSIZE）

アドレスオフセット：0x24

リセット値：0x0000 0x0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み		VLINE[13:0]														予約済み		CAPCNT[13:0]													
		rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw			rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:30 予約済み、リセット値に保持する必要があります。

ビット 29:16 **VLINE[13:0]**：垂直方向ラインカウント

開始点からのキャプチャライン数を示します。

0x0000 => 1 ライン

0x0001 => 2 ライン

0x0002 => 3 ライン

....

ビット 15:14 予約済み、リセット値に保持する必要があります。

ビット 13:0 **CAPCNT[13:0]**：キャプチャカウント

同一ライン上でキャプチャする開始点からのピクセルクロック数を示します。この値は、パラレルインタフェースのさまざまなデータ幅に対してワードアライメントが施されたデータに対応します。

0x0000 => 1 ピクセル

0x0001 => 2 ピクセル

0x0002 => 3 ピクセル

....

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

15.8.11 DCMI データレジスタ（DCMI_DR）

アドレスオフセット：0x28

リセット値：0x0000 0x0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Byte3								Byte2								Byte1								Byte0							
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:24 データバイト 3

ビット 23:16 データバイト 2

ビット 15:8 データバイト 1

ビット 7:0 データバイト 0

このデジタルカメラインタフェースは、DMA 転送を要求する前に受信したデータをすべて 32 ビット形式にまとめます。DMA 転送に十分な時間を与え、DMA オーバーランを回避するため、深さ 4 ワードの FIFO が使用できます。

15.8.12 DCMI レジスタマップ

表 87 に DCMI レジスタの要約を示します。

表 87. DCMI レジスタマップとリセット値

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	DCMI_CR	予約済み																	ENABLE	予約済み		EDM		FCRC		VSPOL	HSPOL	PCKPOL	ESS	JPEG	CROP	CM	CAPTURE
	リセット値																		0			0	0	0	0	0	0	0	0	0	0	0	0
0x04	DCMI_SR	予約済み																													FNE	VSYNC	HSYNC
	リセット値																														0	0	0
0x08	DCMI_RIS	予約済み																											LINE_RIS	VSYNC_RIS	ERR_RIS	OVR_RIS	FRAME_RIS
	リセット値																												0	0	0	0	0
0x0C	DCMI_IER	予約済み																											LINE_IE	VSYNC_IE	ERR_IE	OVR_IE	FRAME_IE
	リセット値																												0	0	0	0	0
0x10	DCMI_MIS	予約済み																											LINE_MIS	VSYNC_MIS	ERR_MIS	OVR_MIS	FRAME_MIS
	リセット値																												0	0	0	0	0
0x14	DCMI_ICR	予約済み																											LINE_ISC	VSYNC_ISC	ERR_ISC	OVR_ISC	FRAME_ISC
	リセット値																												0	0	0	0	0
0x18	DCMI_ESCR	FEC								LEC									LSC										FSC				
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 87. DCMI レジスタマップとリセット値（続き）

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x1C	DCMI_ESUR	FEU								LEU								LSU								FSU							
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x20	DCMI_CWSTRT	予約済み			VST[12:0]													予約済み		HOFFCNT[13:0]													
	リセット値				0	0	0	0	0	0	0	0	0	0	0	0	0			0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x24	DCMI_CWSIZE	予約済み		VLINE[13:0]														予約済み		CAPCNT[13:0]													
	リセット値		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x28	DCMI_DR	Byte3								Byte2								Byte1								Byte0							
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

レジスタ境界アドレスについては、*表 2（64 ページ）*を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

16 LCD-TFT コントローラ（LTDC）

このセクションは、STM32F429xx/439xx デバイスにのみ適用されます。

16.1 概要

この LCD-TFT（TFT 液晶）ディスプレイコントローラは、さまざまな LCD および TFT パネルに直接接続するため、デジタルパラレル RGB（赤、緑、青）や、水平／垂直同期、ピクセルクロック、およびデータイネーブルのためのインタフェースを搭載しています。

16.2 LTDC の主な機能

- 24 ビット RGB パラレル出力、8 ビット／ピクセル（RGB888）
- 専用 FIFO（64x32 ビット）を備えた 2 つの表示レイヤ
- 各レイヤにつき最大 256 色（256x24 ビット）のカラールックアップテーブル（CLUT）
- SVGA（800x600）までの解像度をサポート
- さまざまなディスプレイパネルに対応するプログラム可能なタイミング
- プログラム可能なバックグラウンドカラー
- HSYNC、VSYNC、データイネーブルに対するプログラム可能な極性
- 各レイヤにつき最大 8 種類の入力カラーフォーマットが選択可能
  - ARGB8888
  - RGB888
  - RGB565
  - ARGB1555
  - ARGB4444
  - L8（8 ビット輝度または CLUT）
  - AL44（4 ビットアルファ + 4 ビット輝度）
  - AL88（8 ビットアルファ + 8 ビット輝度）
- 各チャネルにつき、低ビットに対する疑似ランダムディザリング出力
  - 赤、緑、青に対するディザ幅 2 ビット
- アルファ値（ピクセル毎または一定値）を用いた 2 つのレイヤ間の柔軟なブレンディング
- カラーキーイング（透明色）
- プログラム可能なウィンドウ位置とサイズ
- TFT カラー液晶ディスプレイをサポート
- 16 ワードのバースト付き AHB マスタインタフェース
- 最大 4 つのプログラム可能な割り込みイベント

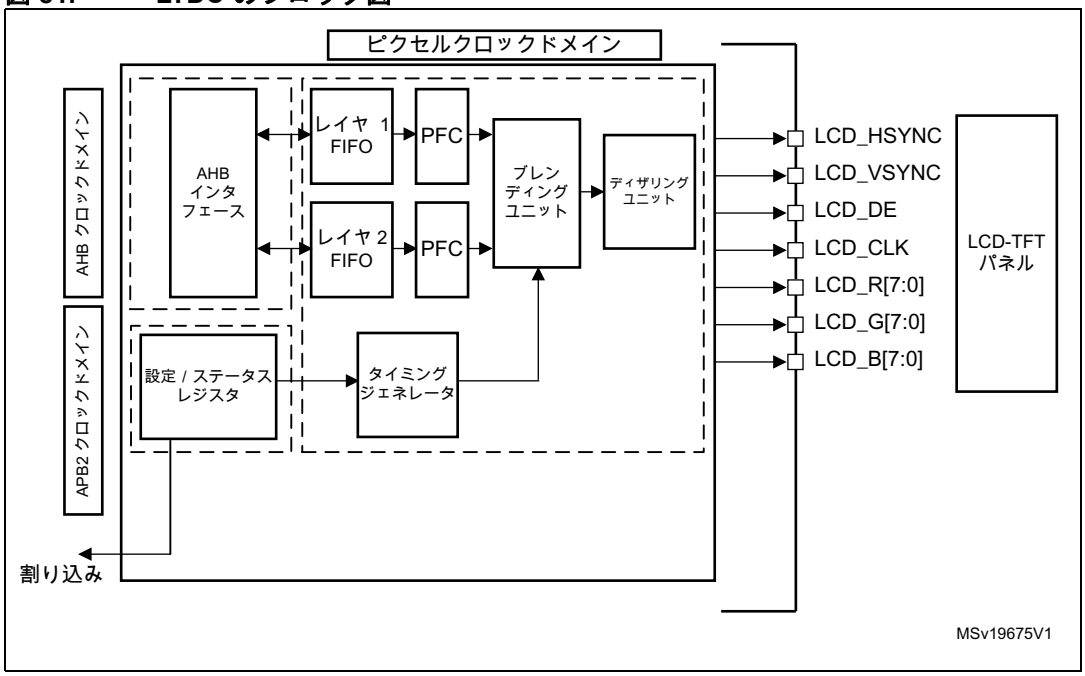
この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

16.3 LTDC 機能の説明

16.3.1 LTDC のブロック図

図 81 に LTDC のブロック図を示します。

図 81. LTDC のブロック図



レイヤ FIFO：レイヤ毎に FIFO 64x32 ビットを 1 つずつ搭載しています。

PFC：レイヤに対して選択した入力ピクセルフォーマットからワードへのピクセルフォーマット変換を実行するピクセルフォーマットコンバータです。

AHB インタフェース：メモリから FIFO へのデータ転送用です。

ブレンディングユニット、ディザリングユニット、タイミングジェネレータ：*セクション 16.4.1* および*セクション 16.4.2* を参照してください。

16.3.2 LTDC リセットおよびクロック

LTDC では 3 つのクロックドメインを使用します。

- AHB クロックドメイン（HCLK）：メモリからレイヤ FIFO へのデータ転送用
- APB2 クロックドメイン（PCLK2）：レジスタ設定用
- ピクセルクロックドメイン（LCD_CLK）：LCD-TFT インタフェース信号生成用LCD_CLK 出力は、パネル要件に従って設定する必要があります。LCD_CLK は、PLLSAI を介して設定します（RCC のセクションを参照）。

LTDC は、RCC_APB2RSTR レジスタの該当するビットをセットすることによってリセットできます。このレジスタで 3 つのクロックドメインをリセットします。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

16.3.3 LCD-TFT ピンと信号インタフェース

下表に、LTDC 信号インタフェースの一覧を示します。

表 88. LCD-TFT ピンと信号インタフェース

LCD-TFT 信号	I/O	説明
LCD_CLK	O	クロック出力
LCD_HSYNC	O	水平同期
LCD_VSYNC	O	垂直同期
LCD_DE	O	データイネーブル
LCD_R[7:0]	O	データ：8 ビットの赤のデータ
LCD_G[7:0]	O	データ：8 ビットの緑のデータ
LCD_B[7:0]	O	データ：8 ビットの青のデータ

LTDC のピンは、ユーザアプリケーションで設定する必要があります。使用されていないピンは、他の目的に使用できます。

24 ビットまでの LTDC 出力（RGB888）に対して、16 ビット（RGB565）または 18 ビット（RGB666）カラーのディスプレイに接続するため、8bpp 未満の色深度を使用する場合、ディスプレイ側の RGB データラインは LTDC の RGB データラインの MSB 側に接続する必要があります。例えば、16 ビット（RGB565）カラーのディスプレイを接続する場合、ディスプレイ側の R[4:0]、G[5:0]、B[4:0]のデータラインのピンは LTDC の LCD_R[7:3]、LCD_G[7:2]、LCD_B[7:3] に接続する必要があります。

16.4 LTDC のプログラム可能なパラメータ

LCD-TFT コントローラのパラメータは、フレキシブルに設定することができます。**LTDC_GCR** レジスタを介して有効または無効にすることができます。

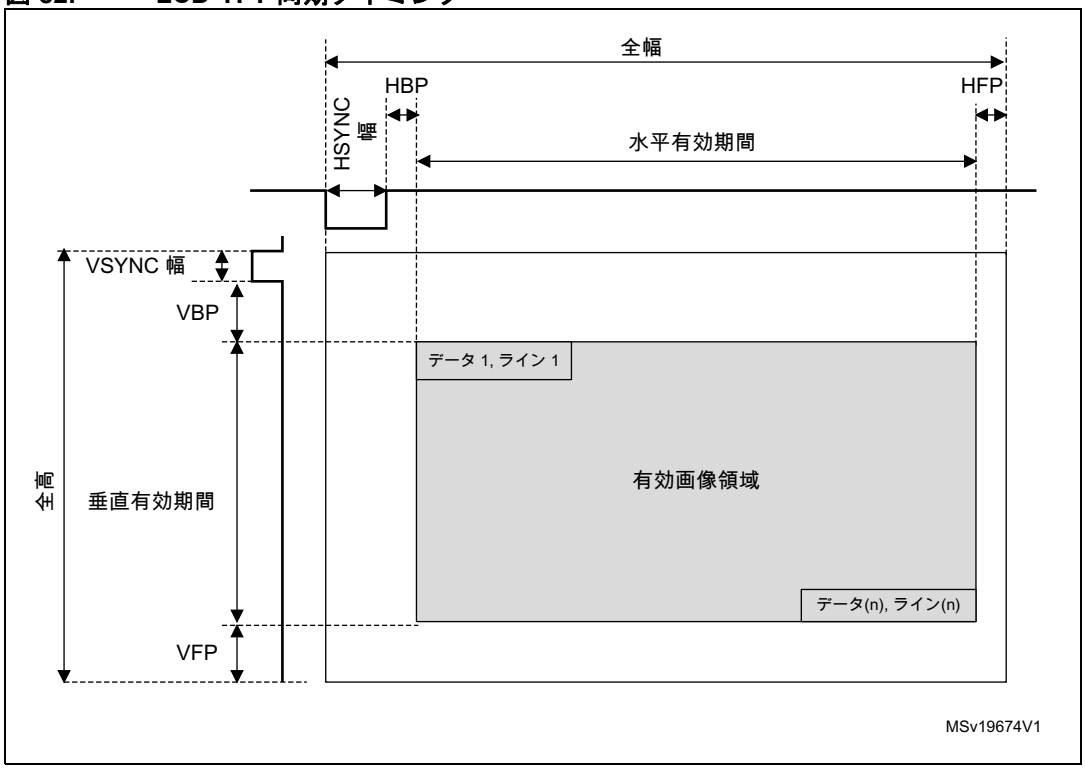
16.4.1 LTDC グローバル設定パラメータ

同期タイミング：

*図 82*は、*図 81*のブロック図で示す同期タイミングジェネレータ回路で生成される設定可能なタイミングパラメータを示します。水平／垂直同期信号、ピクセルクロックおよびデータイネーブル信号が生成されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 82. LCD-TFT 同期タイミング



注： ***HBP および HFP は、それぞれ水平バックポーチ期間およびフロントポーチ期間です。***

VBP および VFP は、それぞれ垂直バックポーチ期間およびフロントポーチ期間です。

LCD-TFT のプログラム可能な同期タイミングは次のとおりです。

- HSYNC および VSYNC 幅 : **LTDC_SSCR** レジスタにおける ***HSYNC 幅 - 1*** および ***VSYNC 幅 - 1*** の値をプログラムして設定される水平および垂直同期信号幅です。
- HBP および VBP : **LTDC_BPCR** レジスタにおける ***HSYNC 幅 + HBP - 1*** の合計値と ***VSYNC 幅 + VBP - 1*** の合計値をプログラムして設定される水平および垂直バックポーチ幅です。
- 水平有効期間と垂直有効期間 : **LTDC_AWCR** レジスタで ***HSYNC 幅 + HBP + 水平有効期間 - 1*** の合計値と ***VSYNC 幅 + VBP + 垂直有効期間 - 1*** の合計値をプログラムして設定します（640x480 までをサポート）。
- 全幅 : **LTDC_TWCR** レジスタで ***HSYNC 幅 + HBP + 水平有効期間 + HFP - 1*** の合計値をプログラムして設定します。HFP は、水平フロントポーチ期間です。
- 全高 : **LTDC_TWCR** レジスタで ***VSYNC 高さ + VBP + 垂直有効期間 + VFP - 1*** の合計値をプログラムして設定します。VFP は、垂直フロントポーチ期間です。

注： ***LTDC が有効の場合、垂直同期エリアの最初の水平同期ピクセルとして、X/Y=0/0 位置でタイミング生成が開始し、その後バックポーチ、アクティブデータ表示エリア、フロントポーチと続きます。***

LTDC が無効の場合、タイミングジェネレータブロックは X=*全幅 - 1*、Y=*全高 - 1* にリセットされ、垂直同期フェーズの前の最後のピクセルを保持し、FIFO は一掃されます。したがって、連続的に出力されるのはブランキングデータのみとなります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

同期タイミング設定の例：

TFT-LCD タイミング（パネルデータシートより抽出）：

- 水平および垂直同期幅：0x8 ピクセルおよび 0x4 ライン
- 水平および垂直バックポーチ：0x7 ピクセルおよび 0x2 ライン
- アクティブ幅とアクティブ高さ：0x280 ピクセル、0x1E0 ライン（640x480）
- 水平フロントポーチ：0x6 ピクセル
- 垂直フロントポーチ：0x2 ライン

LTDC タイミングレジスタでプログラムされる値は次のようになります。

- **LTDC_SSCR** レジスタ：0x00070001 にプログラム（HSW[11:0] は 0x7、VSH[10:0] は 0x3）
- **LTDC_BPCR** レジスタ：0x000E0005 にプログラム（AHBP[11:0] は 0xE（0x8 + 0x6）、AVBP[10:0] は 0x5（0x4 + 0x1））
- **LTDC_AWCR** レジスタ：0x028E01E5 にプログラム（AAW[11:0] は 0x28E（0x8 +0x7 +0x27F）、AAH[10:0] は 0x1E5（0x4 +0x2 + 0x1DF））
- **LTDC_TWCR** レジスタ：0x00000294 にプログラム（TOTALW[11:0] は 0x294（0x8 +0x7 +0x280 + 0x5）
- **LTDC_THCR** レジスタ：0x000001E7 にプログラム（TOTALH[10:0] は 0x1E7（0x4 +0x2 + 0x1E0 + 1）

プログラム可能な極性

水平／垂直同期信号、データイネーブル信号、ピクセルクロックの極性は、**LTDC_GCR** レジスタでアクティブハイまたはアクティブローにプログラムできます。

バックグラウンドカラー

一定の背景色（RGB888）を **LTDC_BCCR** レジスタでプログラムできます。ボトムレイヤとのブレンディングに使用します。

ディザリング

LFSR を使用した疑似乱数ディザリングを使用して、各ピクセルカラーチャネル（R、G、または B）値に小さな乱数値（閾値）を加えますので、18 ビットディスプレイで 24 ビットデータを表示する際に、MSB が切り上げられる場合があります。このようにして、フレームごとに異なるデータの四捨五入にはディザリングが使用されす。

疑似乱数ディザリングは、LSB を閾値と比較して LSBが閾値以上であれば MSB にのみ 1 を加算することと同じです。ディザリングが適用されると、LSB は通常切り捨てられます。

加算される疑似乱数値の幅は、各カラーチャネルに対して 2 ビット、つまり赤に対して 2 ビット、緑に対して 2 ビット、青に対して 2 ビットです。

LTDC が有効になると、LFSR が最初のアクティブなピクセルで動作を開始し、ブランキング期間中やディザリングがオフになってもそのまま動作を続けます。LTDC が無効になると、LFSR はリセットされます。

ディザリングは、**LTDC_GCR** レジスタを使って動作中にオン／オフを切り替えることができます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

シャドウレジスタの再ロード

シャドウイングされる設定レジスタがいくつかあります。シャドウレジスタの値は、**LTDC_SRCR** レジスタでの設定に従い、アクティブなレジスタへの書き込み時、または 垂直ブランキング期間の始めに、これらのレジスタに直ちに再ロードすることができます。即時再ロード設定が選択されている場合、すべての新規レジスタが書き込まれてから再ロードがアクティブになるようにする必要があります。

シャドウレジスタは、再ロードが完了するまでは再変更してはいけません。シャドウレジスタを読み出すと、実際にアクティブな値が読み出されます。新しく書き込まれた値は、再ロードが実行されるまでは読み出せません。

LTDC_IER レジスタで有効になっていれば、レジスタ再ロード割り込みを生成することができます。

LTDC_LxCLUTWR レジスタを除くすべてのレイヤ 1 とレイヤ 2 のレジスタはシャドウレジスタです。

割り込み生成イベント

割り込み設定については、*セクション 16.5: LTDC 割り込み* を参照してください。

16.4.2 レイヤのプログラム可能なパラメータ

最大 2 つのレイヤが有効化、無効化でき、また別々に設定することができます。レイヤの表示順序は固定で、下から上に順番に表示されます。2 つのレイヤが有効になっている場合は、レイヤ 2 が上部に表示されるウィンドウとなります。

ウィンドウイング

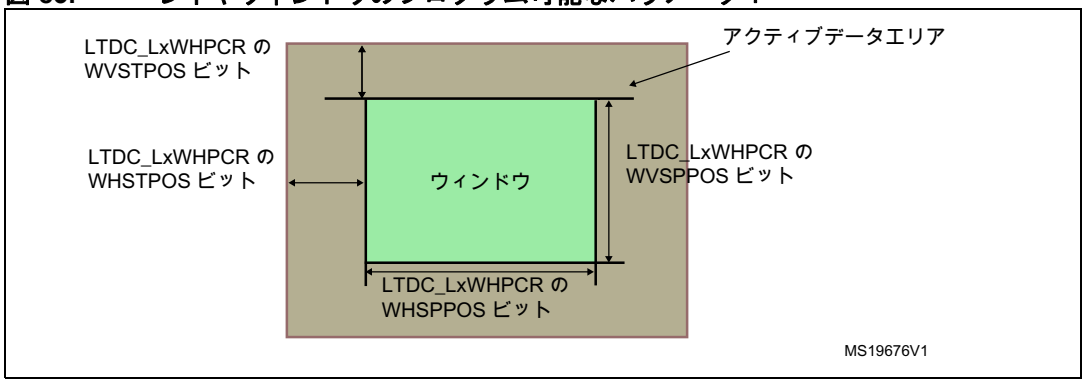
すべてのレイヤは位置決めとサイズ変更ができますが、アクティブ表示エリア内であることが必要です。

ウィンドウ位置およびサイズは、左上と右下の X/Y 位置、および内部タイミングジェネレータによって設定され、この内部タイミングジェネレータは、同期、バックポーチサイズ、アクティブデータエリアから成っています。**LTDC_LxWHPCR** および **LTDC_WVPCR** レジスタを参照してください。

プログラム可能なレイヤ位置とサイズにより、ラインの最初／最後の見えるピクセルと、ウィンドウの最初／最後の見えるラインが決まります。画像フレームの全体または一部のいずれでも表示することができます。*図 83* を参照してください。

- レイヤ内の最初と最後の見えるピクセルは、**LTDC_LxWHPCR** レジスタ内の WHSTPOS[11:0] および WHSPPOS[11:0] を設定することによりセットされます。
- レイヤ内の最初と最後の見えるラインは、**LTDC_LxWVPCR** レジスタ内の WHSTPOS[11:0] および WHSPPOS[11:0] を設定することによりセットされます。

図 83. レイヤウィンドウのプログラム可能なパラメータ：



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ピクセル入力フォーマット

レイヤのフレームバッファ内に保存されるデータには、プログラム可能なピクセルフォーマットが使用されます。

LTDC_LxPFCR レジスタで、各レイヤに対して最大 8 種類までの入力ピクセルフォーマットを設定できます。

ピクセルデータはフレームバッファから読み出され、次のように内部 8888 (ARGB) フォーマットに変換されます。

- 幅が 8 ビット未満のコンポーネントは、ビットレプリケーションによって 8 ビットまで拡張されます。選択されたビット範囲は、8 ビットより長くなるまで複数回連結されます。得られたベクタから、8 つの MSB ビットが選択されます。例：RGB565 赤チャネルの 5 ビットは次のようになります（ビット位置）：43210432（3 つの LSBに 5 ビットの 3 つの MSB が入る）

下図で、選択したフォーマットに応じたピクセルデータのマッピングを説明しています。

表 89. ピクセルデータマッピングとカラーフォーマット

ARGB8888			
@+3 A_x[7:0]	@+2 R_x[7:0]	@+1 G_x[7:0]	@ B_x[7:0]
@+7 A_{x+1}[7:0]	@+6 R_{x+1}[7:0]	@+5 G_{x+1}[7:0]	@+4 B_{x+1}[7:0]
RGB888			
@+3 B_{x+1}[7:0]	@+2 R_x[7:0]	@+1 G_x[7:0]	@ B_x[7:0]
@+7 G_{x+2}[7:0]	@+6 B_{x+2}[7:0]	@+5 R_{x+1}[7:0]	@+4 G_{x+1}[7:0]
RGB565			
@+3 R_{x+1}[4:0] G_{x+1}[5:3]	@+2 G_{x+1}[2:0] B_{x+1}[4:0]	@+1 R_x[4:0] G_x[5:3]	@ G_x[2:0] B_x[4:0]
@+7 R_{x+3}[4:0] G_{x+3}[5:3]	@+6 G_{x+3}[2:0] B_{x+3}[4:0]	@+5 R_{x+2}[4:0] G_{x+2}[5:3]	@+4 G_{x+2}[2:0] B_{x+2}[4:0]
ARGB1555			
@+3 A_{x+1}[0]R_{x+1}[4:0] G_{x+1}[4:3]	@+2 G_{x+1}[2:0] B_{x+1}[4:0]	@+1 A_x[0] R_x[4:0] G_x[4:3]	@ G_x[2:0] B_x[4:0]
@+7 A_{x+3}[0]R_{x+3}[4:0] G_{x+3}[4:3]	@+6 G_{x+3}[2:0] B_{x+3}[4:0]	@+5 A_{x+2}[0]R_{x+2}[4:0]G_{x+2}[4:3]	@+4 G_{x+2}[2:0] B_{x+2}[4:0]
ARGB4444			
@+3 A_{x+1}[3:0]R_{x+1}[3:0]	@+2 G_{x+1}[3:0] B_{x+1}[3:0]	@+1 A_x[3:0] R_x[3:0]	@ G_x[3:0] B_x[3:0]
@+7 A_{x+3}[3:0]R_{x+3}[3:0]	@+6 G_{x+3}[3:0] B_{x+3}[3:0]	@+5 A_{x+2}[3:0]R_{x+2}[3:0]	@+4 G_{x+2}[3:0] B_{x+2}[3:0]

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 89. ピクセルデータマッピングとカラーフォーマット（続き）

ARGB8888			
L8			
@+3 $L_{x+3}[7:0]$	@+2 $L_{x+2}[7:0]$	@+1 $L_{x+1}[7:0]$	@ $L_x[7:0]$
@+7 $L_{x+7}[7:0]$	@+6 $L_{x+6}[7:0]$	@+5 $L_{x+5}[7:0]$	@+4 $L_{x+4}[7:0]$
AL44			
@+3 $A_{x+3}[3:0]$ $L_{x+3}[3:0]$	@+2 $A_{x+2}[3:0]$ $L_{x+2}[3:0]$	@+1 $A_{x+1}[3:0]$ $L_{x+1}[3:0]$	@ $A_x[3:0]$ $L_x[3:0]$
@+7 $A_{x+7}[3:0]$ $L_{x+7}[3:0]$	@+6 $A_{x+6}[3:0]$ $L_{x+6}[3:0]$	@+5 $A_{x+5}[3:0]$ $L_{x+5}[3:0]$	@+4 $A_{x+4}[3:0]$ $L_{x+4}[3:0]$
AL88			
@+3 $A_{x+1}[7:0]$	@+2 $L_{x+1}[7:0]$	@+1 $A_x[7:0]$	@ $L_x[7:0]$
@+7 $A_{x+3}[7:0]$	@+6 $L_{x+3}[7:0]$	@+5 $A_{x+2}[7:0]$	@+4 $L_{x+2}[7:0]$

カラールックアップテーブル（CLUT）

CLUT は、**LTDC_LxCR** レジスタですべてのレイヤに対してランタイム時に有効にできますが、L8、AL44、AL88 入力ピクセルフォーマット使用時、インデックスカラーの場合にのみ役立ちます。

まず、CLUT にそのピクセルの本来の R、G、B 値に代わる R、G、B 値をロードする必要があります（インデックスカラー）。各色（RGB 値）には、それ自体のアドレスがあり、CLUT 内の位置を表します。

R、G、B 値とそれぞれのアドレスは **LTDC_LxCLUTWR** レジスタでプログラムされます。

- L8 および AL88 入力ピクセルフォーマットの場合、CLUT は 256 色でロードする必要があります。各色のアドレスは、**LTDC_LxCLUTWR** レジスタ内の CLUTADD ビットで設定されます。
- AL44 入力ピクセルフォーマットの場合、CLUT は 16 色でロードする必要があります。各色のアドレスは、4 ビット L チャネルを次のように 8 ビットに複製することによって埋める必要があります。
  - L0（インデックスカラー 0）、アドレス 0x00
  - L1、アドレス 0x11
  - L2、アドレス 0x22
  - .....
  - L15、アドレス 0xFF

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

カラーフレームバッファアドレス

各レイヤには、**LTDC_LxCFBAR** レジスタで設定されるカラーフレームバッファの開始アドレスがあります。

レイヤが有効になると、カラーフレームバッファからデータがフェッチされます。

カラーフレームバッファ長

すべてのレイヤには、バイト数単位でのカラーフレームバッファの総ライン長設定とフレームバッファ内のライン数設定があり、それぞれ **LTDC_LxCFBLR** および **LTDC_LxCFBLNR** レジスタで設定可能です。

ライン長とライン数の設定は、フレームバッファの最後でレイヤ FIFO へのデータのプリフェッチを停止するために使用されます。

- 必要なバイト数よりも少なく設定されている場合、FIFO アンダーラン割り込みが事前に有効になっていると、該当する割り込みが生成されます。
- 実際に必要なバイト数よりも多く設定されている場合、FIFO から読み出された不要なデータは破棄されます。不要なデータは表示されません。

カラーフレームバッファピッチ

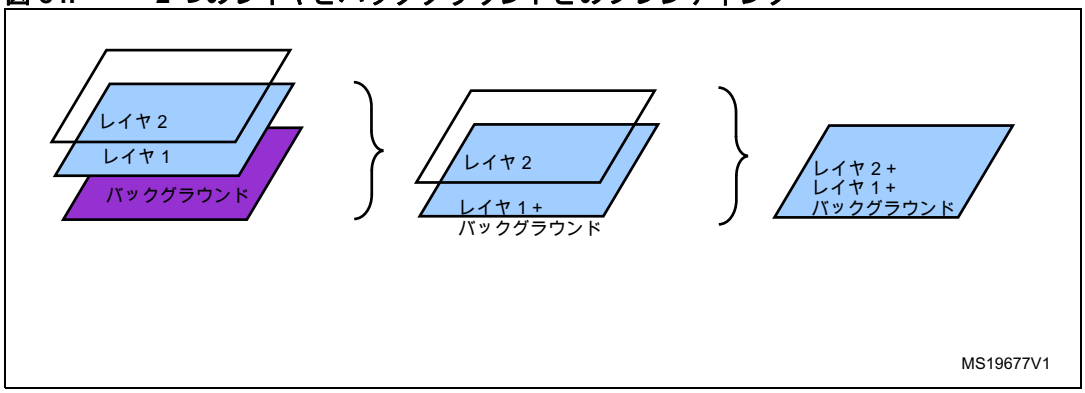
すべてのレイヤには、カラーフレームバッファに対して設定可能なピッチがあります。これはあるラインの開始から次のラインの始まりまでの距離をバイト数で表したものです。ピッチは、**LTDC_LxCFBLR** レジスタで設定します。

レイヤのブレンディング

ブレンディングは常にアクティブとなっており、2 つのレイヤは **LTDC_LxBFCR** レジスタで設定されるブレンディング係数に従って混合することができます。

混合順序は固定で、下から上に順番に混合されます。2 つのレイヤが有効になっている場合、まず レイヤ 1 がバックグラウンド色と混合され、その後レイヤ 2 がレイヤ 1 とバックグラウンドとの混合色と混合されます。*図 84* を参照してください。

図 84. 2 つのレイヤとバックグラウンドとのブレンディング



デフォルト色

すべてのレイヤには、フォーマット ARGB でデフォルト色を設定することができ、このデフォルト色は定義されているレイヤウィンドウ外またはレイヤが無効になっているときに使用されます。

デフォルト色は、**LTDC_LxDCCR** レジスタで設定します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ブレンディングは、レイヤの 1 つが無効になっていても必ず 2 つのレイヤ間で実施されます。レイヤが無効になっているときにデフォルト色が表示されないようにするには、LTDC_LxBFCR レジスタの該当レイヤのブレンディング係数をリセット値に保持します。

カラーキーイング

カラーキー（RGB）を設定し、透明なピクセルを表すことができます。

カラーキーイングが有効になっていると、現在のピクセル（フォーマット変換後でブレンディング前）がカラーキーと比較されます。プログラムされた RGB 値と一致した場合、そのピクセルのすべてのチャネル（ARGB）が 0 にセットされます。

カラーキー値を設定することにより、ランタイム時にその値を使用してピクセル RGB 値を置換することができます。

カラーキーイングは、**LTDC_LxCKCR** レジスタで有効にします。

16.5 LTDC 割り込み

LTDC により、2 つの割り込みベクタの論理和をとった 4 つのマスク可能な割り込みが使用できます。

割り込みソースは、**LRDC_IER** レジスタを介して別々に有効または無効にできます。適切なマスクビットを 1 にセットすることで、対応する割り込みが有効になります。

次のイベントによって 2 つの割り込みが生成されます。

- ライン割り込み：プログラムされたラインに到達すると生成されます。ライン割り込み位置は、LTDC_LIPCR レジスタでプログラムします。
- レジスタ再ロード割り込み:垂直ブランキング期間中にシャドウレジスタの再ロードが実施されると生成されます。
- FIFO アンダーラン割り込み：空のレイヤ FIFO からピクセルが要求されると生成されます。
- 転送エラー割り込み：データ転送中に AHB バスエラーが発生すると生成されます。

これらの割り込みイベントは、下図に説明するように NVIC コントローラに接続されています。

図 85. 割り込みイベント

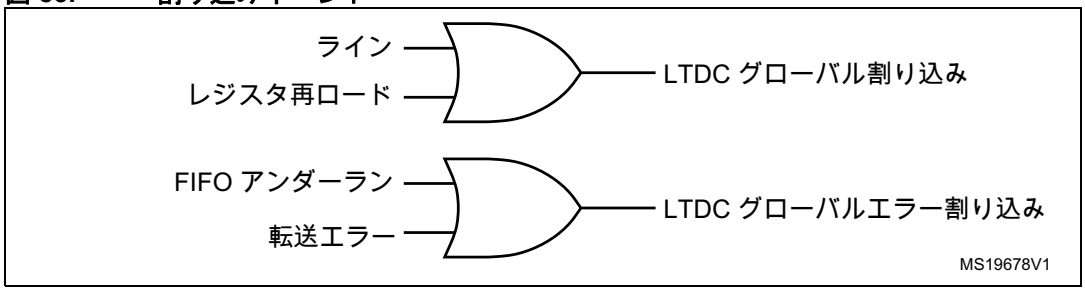


表 90. LTDC 割り込みリクエスト

割り込みイベント	イベントフラグ	イネーブル制御ビット
ライン	LIF	LIE
レジスタ再ロード	RRIF	RRIEN
FIFO アンダーラン	FUDERRIF	FUDERRIE
転送エラー	TERRIF	TERRIE

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

16.6 LTDC プログラミング手順

- RCC レジスタで LTDC クロックを有効にします。
- パネルデータシートに従って必要なピクセルクロックを設定します。
- *セクション 16.4.1: LTDC グローバル設定パラメータ* に説明されているように、パネルデータシートに従って VSYNC、HSYNC、垂直／水平バックポーチ、アクティブデータエリア、フロントポーチなどの同期タイミングを設定します。
- **LTDC_GCR** レジスタで、同期信号とクロック極性を設定します。
- 必要であれば、**LTDC_BCCR** レジスタでバックグラウンド色を設定します。
- **LTDC_IER** および **LTDC_LIPCR** レジスタで必要な割り込みを設定します。
- 以下をプログラムすることにより、レイヤ 1/2 のパラメータを設定します。
  - **LTDC_LxWHPCR** および **LTDC_WVPCR** レジスタでレイヤウィンドウの水平／垂直位置をプログラムレイヤウィンドウは、アクティブデータエリア内にある必要があります。
  - **LTDC_LxPFCR** レジスタでピクセル入力フォーマットをプログラム
  - **LTDC_LxCFBAR** レジスタでカラーフレームバッファ開始アドレスをプログラム
  - **LTDC_LxCFBLR** レジスタでカラーフレームバッファのライン長およびピッチをプログラム
  - **LTDC_LxCFBLNR** レジスタでカラーフレームバッファのライン数をプログラム
  - 必要であれば、**LTDC_LxCLUTWR** レジスタで RGB 値とそのアドレスと共に CLUT をロードします。
  - 必要であれば、**LTDC_LxDCCR** および **LTDC_LxBFCR** レジスタでデフォルト色とブレンディング係数をそれぞれ設定します。
- レイヤ 1/2 を有効にし、必要であれば **LTDC_LxCR** レジスタで CLUT を有効にします。
- 必要であれば、**LTDC_GCR および LTDC_LxCKCR** レジスタでディザリングとカラーキーイングをそれぞれ有効にすることができます。また、動作中に有効にすることもできます。
- **LTDC_SRCR** レジスタを介してシャドウレジスタをアクティブレジスタに再ロードします。
- **LTDC_GCR** レジスタで LCD-TFT コントローラを有効にします。
- CLUT を除き、すべてのレイヤパラメータは動作中に変更できます。新しい設定は、直ちに再ロードするか、**LTDC_SRCR** レジスタを設定することにより、垂直ブランキング期間中に再ロードする必要があります。

注： ***すべてのレイヤのレジスタはシャドウイングされます。レジスタに書き込まれたら、再ロードが完了するまでは再変更してはなりません。したがって、同じレジスタへの新しい書き込みは、まだ再ロードされていなければその前の設定に優先します。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

16.7 LTDC レジスタ

16.7.1 LTDC 同期サイズ設定レジスタ（LTDC_SSCR）

このレジスタによって、水平同期ピクセル数から 1 を引いた数と、垂直同期ライン数から 1 を引いた数を指定します。設定例については、*図 82* および *セクション 16.4: LTDC のプログラム可能なパラメータ* を参照してください。

アドレスオフセット：0x08

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み				HSW											
				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み				VSH											
				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:28 予約済み、リセット値に保持する必要があります。

ビット 27:16 HSW[11:0]：水平同期幅（ピクセルクロック周期の単位）
このビットによって、水平同期ピクセル数から 1 を引いた数を指定します。

ビット 15:11 予約済み、リセット値に保持する必要があります。

ビット 10:0 **VSH[10:0]**：垂直同期高さ（水平スキャンラインの単位）
このビットによって、垂直同期の高さから 1 を引いた数を指定します。これは、水平同期ライン数を表します。

16.7.2 LTDC バックポーチ設定レジスタ（LTDC_BPCR）

このレジスタによって、水平同期およびバックポーチの累積ピクセル数から 1 を引いた数（**HSYNC 幅 + HBP- 1**）と垂直同期およびバックポーチの累積ライン数から 1 を引いた数（**VSYNC 高さ + VBP - 1**）を指定します。設定例については、*図 82* および *セクション 16.4: LTDC のプログラム可能なパラメータ* を参照してください。

アドレスオフセット：0x0C

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み				AHBP											
				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み				AVBP											
				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 31:28 予約済み、リセット値に保持する必要があります。

ビット 27:16 AHBP[11:0]：累積水平バックポーチ（ピクセルクロック周期の単位）

このビットにより、水平同期および水平バックポーチピクセル数から 1 を引いた数から成る累積水平バックポーチ幅を指定します。

水平バックポーチは、水平同期がインアクティブになってから次のスキャンラインのアクティブ表示エリアの開始までの期間です。

ビット 15:11 予約済み、リセット値に保持する必要があります。

ビット 10:0 **AVBP[10:0]**：累積垂直バックポーチ（水平スキャンラインの単位）

このビットにより、垂直同期および垂直バックポーチライン数から 1 を引いた数から成る累積垂直バックポーチ幅を指定します。

垂直バックポーチは、フレーム開始時から次のフレームの最初のアクティブなスキャンライン開始までの水平スキャンライン数です。

16.7.3 LTDC アクティブ幅設定レジスタ（LTDC_AWCR）

このレジスタによって、水平同期、バックポーチ、アクティブピクセルの累積数から 1 を引いた数（**HSYNC 幅 + HBP + アクティブ幅 - 1**）と垂直同期、バックポーチライン、アクティブラインの累積数から 1 を引いた数（**VSYNC 高さ + BVBP + アクティブ高さ - 1**）を指定します。設定例については、*図 82* および *セクション 16.4: LTDC のプログラム可能なパラメータ* を参照してください。

アドレスオフセット：0x10

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み				AAW											
				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み				AAH											
				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:28 予約済み、リセット値に保持する必要があります。

ビット 27:16 **AAW[11:0]**：累積アクティブ幅（ピクセルクロック周期の単位）

このビットにより、水平同期、水平バックポーチ、アクティブピクセル数むから 1 を引いた数から成る累積アクティブ幅を定義します。

アクティブ幅は、パネルスキャンラインのアクティブ表示エリアにおけるピクセル数です。サポートされている最大アクティブ幅は 0x320 です。

ビット 15:11 予約済み、リセット値に保持する必要があります。

ビット 10:0 **AAH[10:0]**：累積アクティブ高さ（水平スキャンラインの単位）

このビットにより、垂直同期、垂直バックポーチ、アクティブ高さのライン数から 1 を引いた数から成る累積高さを指定します。アクティブ高さは、パネル内のアクティブなラインの数です。サポートされている最大アクティブ高さは 0x258 です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

16.7.4 LTDC 全幅設定レジスタ（LTDC_TWCR）

このレジスタによって、水平同期、バックポーチ、アクティブ、フロントポーチピクセルの累積数から 1 を引いた数（**HSYNC 幅 + HBP + アクティブ幅 + HFP - 1**）と垂直同期、バックポーチライン、アクティブ、フロントラインの累積数から 1 を引いた数（**VSYNC 高さ + BVBP + アクティブ高さ + VFP - 1**）を指定します。設定例については、*図 82* および *セクション 16.4: LTDC のプログラム可能なパラメータ* を参照してください。

アドレスオフセット：0x14

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み				TOTALW											
				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

16	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み				TOTALH											
				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:28 予約済み、リセット値に保持する必要があります。

ビット 27:16 TOTALW[11:0]：全幅（ピクセルクロック周期の単位）

このビットにより、水平同期、水平バックポーチ、アクティブ幅、水平フロントポーチピクセル数から 1 を引いた数から成る累積全幅を指定します。

ビット 15:11 予約済み、リセット値に保持する必要があります。

ビット 10:0 **TOTALH[10:0]**：全高（水平スキャンラインの単位）

このビットにより、垂直同期、垂直バックポーチ、アクティブ高さ、垂直フロントポーチ高さのライン数から 1 を引いた数から成る累積高さを指定します。

16.7.5 LTDC グローバル制御レジスタ（LTDC_GCR）

このレジスタにより、LCD-TFT コントローラのグローバル設定を指定します。

アドレスオフセット：0x18

リセット値：0x0000 2220

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
HSPOL	VSPOL	DEPOL	PCPOL	予約済み											DEN
rw	rw	rw	rw												rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み	DRW			予約済み	DGW			予約済み	DBW			予約済み			LTDCEN
	r	r	r		r	r	r		r	r	r				rw

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 31 HSPOL：水平同期極性
このビットは、ソフトウェアによってセット／クリアされます。
0：水平同期極性アクティブロー
1：水平同期極性アクティハイ

ビット 30 VSPOL：垂直同期極性
このビットは、ソフトウェアによってセット／クリアされます。
0：垂直同期アクティブロー
1：垂直同期アクティブハイ

ビット 29 DEPOL：データイネーブル極性
このビットは、ソフトウェアによってセット／クリアされます。
0：データイネーブル極性アクティブロー
1：データイネーブル極性アクティブハイ

ビット 28 PCPOL：ピクセルクロック極性
このビットは、ソフトウェアによってセット／クリアされます。
0：入力ピクセルクロック
1：反転入力ピクセルクロック

ビット 27:17 予約済み、リセット値に保持する必要があります。

ビット 16 DEN：ディザリングイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：ディザリングディセーブル
1：ディザリングイネーブル

ビット 15 予約済み、リセット値に保持する必要があります。

ビット 14:12 **DRW[2:0]**：ディザ赤の幅
このビットはディザ赤のビットを返します。

ビット 11 予約済み、リセット値に保持する必要があります。

ビット 10:8 **DGW[2:0]**：ディザ緑の幅
このビットはディザ緑のビットを返します。

ビット 7 予約済み、リセット値に保持する必要があります。

ビット 6:4 **DBW[2:0]**：ディザ青の幅
このビットはディザ青のビットを返します。

ビット 3:1 予約済み、リセット値に保持する必要があります。

ビット 0 LTDCEN：LCD-TFT コントローライネーブルビット
このビットは、ソフトウェアによってセット／クリアされます。
0：LTDC ディセーブル
1：LTDC イネーブル

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

16.7.6 LTDC シャドウ再ロード設定レジスタ（LTDC_SRCR）

このレジスタにより、シャドウレジスタ値をアクティブレジスタに直ちに再ロードすることもできれば、垂直ブランキング期間中にすることもできます。LTDC_L1CLUTWR および LTDC_L2CLUTWR を除き、レイヤ 1 とレイヤ 2 のすべてのレジスタはシャドウレジスタです。

アドレスオフセット：0x24

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み														VBR	IMR
														rw	rw

ビット 31:2 予約済み、リセット値に保持する必要があります。

ビット 1 VBR：垂直ブランキングの再ロード

このビットは、ソフトウェアによってセットされ、再ロード後はハードウェアによってのみクリアされます。（いったんセットされるとレジスタの書き込みによってクリアすることはできません）

0：影響なし

1：シャドウレジスタは、垂直ブランキング期間中（アクティブ表示エリア後の最初のライン開始時）に再ロードされます。

ビット 0 **IMR**：即時再ロード

このビットは、ソフトウェアによってセットされ、再ロード後はハードウェアによってのみクリアされます。

0：影響なし

1：シャドウレジスタが直ちに再ロードされます。

注： ***シャドウレジスタは、アクティブな値を読み出します。再ロードが完了するまでは、「古い」値が読み出されます。***

16.7.7 LTDC バックグラウンド色設定レジスタ（LTDC_BCCR）

このレジスタにより、バックグラウンド色（RGB888）を指定します。

アドレスオフセット：0x2C

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み								BCRED							
								rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BCGREEN								BCBLUE							
rw								rw	rw	rw	rw	rw	rw	rw	rw

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 31:24 予約済み、リセット値に保持する必要があります。

ビット 23:16 **BCRED[7:0]**：バックグラウンド色、赤の値
このビットにより、バックグラウンドの赤の値を設定します。

ビット 15:8 **BCGREEN[7:0]**：バックグラウンド色、緑の値
このビットにより、バックグラウンドの緑の値を設定します。

ビット 7:0 **BCBLUE[7:0]**：バックグラウンド色、青の値
このビットにより、バックグラウンドの青の値を設定します。

16.7.8 LTDC 割り込みイネーブルレジスタ（LTDC_IER）

このレジスタは、対応するビットを 1 にセットすることで、どのステータスフラグが割り込み要求を生成するかを決定します。

アドレスオフセット：0x34

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み												RRIE	TERRIE	FUIE	LIE
												rw	rw	rw	rw

ビット 31:4 予約済み、リセット値に保持する必要があります。

ビット 3 **RRIE**：レジスタ再ロード割り込みイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：レジスタ再ロード割り込みディセーブル
1：レジスタ再ロード割り込みイネーブル

ビット 2 **TERRIE**：転送エラー割り込みイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：転送エラー割り込みディセーブル
1：転送エラー割り込みイネーブル

ビット 1 **FUIE**：FIFO アンダーラン割り込みイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：FIFO アンダーラン割り込みディセーブル
1：FIFO アンダーラン割り込みイネーブル

ビット 0 **LIE**：ライン割り込みイネーブル
このビットは、ソフトウェアによってセット／クリアされます。
0：ライン割り込みディセーブル
1：ライン割り込みイネーブル

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

16.7.9 LTDC 割り込みステータスレジスタ（LTDC_ISR）

このレジスタは、割り込みステータスフラグを返します。

アドレスオフセット：0x38

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み												RRIF	TERRIF	FUIF	LIF
												r	r	r	r

ビット 31:24 予約済み、リセット値に保持する必要があります。

ビット 3 **RRIF**：レジスタ再ロード割り込みフラグ

0：レジスタ再ロード割り込みは生成されません。

1：垂直ブランキング再ロード発生時に（およびアクティブエリア到達後の最初のラインで）レジスタ再ロード割り込みが生成されます。

ビット 2 **TERRIF**：転送エラー割り込みフラグ

0：転送エラー割り込みは生成されません。

1：バスエラー発生時に転送エラー割り込みが生成されます。

ビット 1 **FUIF**：FIFO アンダーラン割り込みフラグ

0：FIFO アンダーラン割り込みは生成されません。

1：レイヤ FIFO のいずれかが空で、FIFO からピクセルデータが読み出された場合、FIFO アンダーラン割り込みが生成されます。

ビット 0 **LIF**：ライン割り込みフラグ

0：ライン割り込みは生成されません。

1：プログラムされたライン到達時にライン割り込みが生成されます。

16.7.10 LTDC 割り込みクリアレジスタ（LTDC_ICR）

アドレスオフセット：0x3C

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み												CRRIF	CTERRIF	CFUIF	CLIF
												w	w	w	w

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 31:24 予約済み、リセット値に保持する必要があります。

ビット 3 **CRRIF**：レジスタ再ロード割り込みフラグをクリアします。
0：影響なし
1：LTDC_ISR レジスタの RRIF フラグをクリアします。

ビット 2 **CTERRIF**：転送エラー割り込みフラグをクリアします。
0：影響なし
1：LTDC_ISR レジスタの TERRIF フラグをクリアします。

ビット 1 **CFUIF**：FIFO アンダーラン割り込みフラグをクリアします。
0：影響なし
1：LTDC_ISR レジスタの FUDERRIF フラグをクリアします。

ビット 0 **CLIF**：ライン割り込みフラグをクリアします。
0：影響なし
1：LTDC_ISR レジスタの LIF フラグをクリアします。

16.7.11 LTDC ライン割り込み位置設定レジスタ（LTDC_LIPCR）

このレジスタにより、ライン割り込みの位置を指定します。プログラムされるライン値は、タイミングパラメータに依存します。*図 82* を参照してください。

アドレスオフセット：0x40

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み					LIPOS										
					rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:11 予約済み、リセット値に保持する必要があります。

ビット 10:0 **LIPOS[10:0]**：ライン割り込み位置
このビットにより、ライン割り込み位置を設定します。

16.7.12 LTDC 現在位置ステータスレジスタ（LTDC_CPSR）

アドレスオフセット：0x44

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CXPOS															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CYPOS															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 31:16 **CXPOS[15:0]**：現在の X 位置
このビットは、現在の X 位置を返します。

ビット 15:0 **CYPOS[15:0]**：現在の Y 位置
このビットは、現在の Y 位置を返します。

16.7.13 LTDC 現在表示ステータスレジスタ（LTDC_CDSR）

このレジスタは、HSYNC、VSYNC、水平／垂直 DE 信号が制御する現在の表示フェーズのステータスを返します。

例：現在の表示フェーズが垂直同期であれば、VSYNCS ビットがセットされます（アクティブハイ）。現在の表示フェーズが水平同期であれば、HSYNCS ビットがアクティブハイになります。

アドレスオフセット：0x48

リセット値：0x0000 000F

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み												HSYNCS	VSYNCS	HDES	VDES
												r	r	r	r

ビット 31:24 予約済み、リセット値に保持する必要があります。

ビット 3 **HSYNCS**：水平同期表示ステータス
0：アクティブロー
1：アクティブハイ

ビット 2 **VSYNCS**：垂直同期表示ステータス
0：アクティブロー
1：アクティブハイ

ビット 1 **HDES**：水平データ有効表示ステータス
0：アクティブロー
1：アクティブハイ

ビット 0 **VDES**：垂直データ有効表示ステータス
0：アクティブロー
1：アクティブハイ

注： ***返されるステータスは、LTDC_GCR レジスタで設定されている極性には依存しません。代わりに、現在のアクティブ表示フェーズを返します。***

16.7.14 LTDC レイヤ x 制御レジスタ（LTDC_LxCR）（x=1..2）

アドレスオフセット：0x84 + 0x80 x (*レイヤ x* -1)、*レイヤ x* = 1 または 2

リセット値：0x0000 0000

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み											CLUTEN	予約済み		COLKEN	LEN
											rw			rw	rw

ビット 31:5 予約済み、リセット値に保持する必要があります。

ビット 4 **CLUTEN**：カラールックアップテーブルイネーブル

このビットは、ソフトウェアによってセット／クリアされます。

0：カラールックアップテーブル無効

1：カラールックアップテーブル有効

CLUT は、L8、AL44、AL88 ピクセルフォーマットの場合にのみ意味を持ちます。*カラールックアップテーブル（CLUT）on page 496* を参照してください。

ビット 3 予約済み、リセット値に保持する必要があります。

ビット 2 予約済み、リセット値に保持する必要があります。

ビット 1 **COLKEN**：カラーキーイングイネーブル

このビットは、ソフトウェアによってセット／クリアされます。

0：カラーキーイング無効

1：カラーキーイング有効

ビット 0 **LEN**：レイヤイネーブル

このビットは、ソフトウェアによってセット／クリアされます。

0：レイヤ無効

1：レイヤ有効

16.7.15 LTDC レイヤ x ウィンドウ水平位置設定レジスタ（LTDC_LxWHPCR）（x=1..2）

このレジスタにより、レイヤ 1 または 2 ウィンドウの水平位置（最初と最後のピクセル）を指定します。

ラインの最初の見えるピクセルは、**LTDC_BPCR** レジスタにおける ***AHBP[10:0] ビット + 1*** のプログラム値です。

ラインの最後の見えるピクセルは、**LTDC_AWCR** レジスタにおける ***AAW[10:0] ビット*** のプログラム値です。この範囲内にあるすべての値が使用可能です。

アドレスオフセット：0x88 + 0x80 x (*レイヤ x* -1)、*レイヤ x* = 1 または 2

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み				WHSPPOS											
				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み				WHSTPOS											
				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 31:28 予約済み、リセット値に保持する必要があります。

ビット 27:16 **WHSPPOS[11:0]**：ウィンドウ水平停止位置
このビットにより、レイヤウィンドウにおけるラインの最後の見えるピクセルを設定します。

ビット 15:12 予約済み、リセット値に保持する必要があります。

ビット 11:0 **WHSTPOS[11:0]**：ウィンドウ水平開始位置
このビットにより、レイヤウィンドウにおけるラインの最初の見えるピクセルを設定します。

例：

LTDC_BPCR レジスタは 0x000E0005（AHBP[11:0] は 0xE）に設定され、LTDC_AWCR レジスタは 0x028E01E5（AAW[11:0] は 0x28E）に設定されます。アクティブデータエリアで水平開始オフセットを 5 ピクセルにして、サイズ 630x460 のウィンドウにおける水平位置を設定するには、

1. レイヤウィンドウの最初のピクセル：WHSTPOS[11:0] を 0x14 （0xE+1+0x5）にプログラムします。
2. レイヤウィンドウの最後のピクセル：WHSPPOS[11:0] を 0x28A にプログラムします。

16.7.16 LTDC レイヤ x ウィンドウ垂直位置設定レジスタ（LTDC_LxWVPCR）（x=1..2）

このレジスタにより、レイヤ 1 または 2 ウィンドウの垂直位置（最初と最後のライン）を指定します。

フレームの最初の見えるラインは、**LTDC_BPCR** レジスタにおける ***AVBP[10:0] ビット + 1*** プログラム値です。

フレームの最後の見えるラインは、**LTDC_AWCR** レジスタにおける ***AAH[10:0] ビット*** のプログラム値です。この範囲内にあるすべての値が使用可能です。

アドレスオフセット：0x8C + 0x80 x (レイヤ *x* -1)、*レイヤ x* = 1 または 2

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み					WVSPPOS										
					rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み					WVSTPOS										
					rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:27 予約済み、リセット値に保持する必要があります。

ビット 26:16 **WVSPPOS[10:0]**：ウィンドウ垂直停止位置
このビットにより、レイヤウィンドウの最後の見えるラインを設定します。

ビット 15:11 予約済み、リセット値に保持する必要があります。

ビット 10:0 **WVSTPOS[10:0]**：ウィンドウ垂直開始位置
このビットにより、レイヤウィンドウの最初の見えるラインを設定します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

例：

LTDC_BPCR レジスタは 0x000E0005（AVBP[10:0] は 0x5）に設定され、LTDC_AWCR レジスタは 0x028E01E5（AAH[10:0] は 0x1E5）に設定されます。アクティブデータエリアで垂直開始オフセットを 8 ラインにして、サイズ 630x460 のウィンドウにおける垂直位置を設定するには、

1. レイヤウィンドウの最初のライン：WVSTPOS[10:0] を 0xE（0x5 + 1 + 0x8）にプログラムします。
2. レイヤウィンドウの最後のライン：WVSPPOS[10:0] を 0x1DA にプログラムします。

16.7.17 LTDC レイヤ x カラーキーイング設定レジスタ（LTDC_LxCKCR）（x=1..2）

このレジスタにより、カラーキーイングによって使用されるカラーキー値（RGB）を指定します。

アドレスオフセット：0x90 + 0x80 x（*レイヤx* -1）、*レイヤx* = 1 または 2

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み								CKRED							
								rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CKGREEN								CKBLUE							
rw								rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:24 予約済み、リセット値に保持する必要があります。

ビット 23:16 **CKRED[7:0]**：カラーキー赤の値

ビット 15:8 **CKGREEN[7:0]**：カラーキー緑の値

ビット 7:0 **CKBLUE[7:0]**：カラーキー青の値

16.7.18 LTDC レイヤ x ピクセルフォーマット設定レジスタ（LTDC_LxPFCR）（x=1..2）

このレジスタにより、レイヤのフレームバッファ内に保存されるデータに使用するピクセルフォーマットを指定します。ピクセルデータはフレームバッファから読み出され、内部フォーマット 8888 (ARGB) に変換されます。

アドレスオフセット：0x94 + 0x80 x（レイヤ *x* -1）、レイヤ *x* = 1 または 2

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み													PF		
													rw	rw	rw

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 31:3 予約済み、リセット値に保持する必要があります。

ビット 2:0 **PF[2:0]**：ピクセルフォーマット

このビットにより、ピクセルフォーマットを設定します。

000：ARGB8888

001：RGB888

010：RGB565

011：ARGB1555

100：ARGB4444

101：L8（8 ビット輝度）

110：AL44（4 ビットアルファ、4 ビット輝度）

111：AL88（8 ビットアルファ、8 ビット輝度）

16.7.19 LTDC レイヤ x 定数アルファ設定レジスタ（LTDC_LxCACR）（x=1..2）

このレジスタにより、アルファブレンディングで使用する定数アルファ値（ハードウェアによって 255 で除される）を指定します。LTDC_LxBFCR レジスタを参照してください。

アドレスオフセット：0x98 + 0x80 x（レイヤ *x* -1）、レイヤ *x* = 1 または 2

リセット値：（レイヤ x -1）0x0000 00FF

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								CONSTA							
								rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:8 予約済み、リセット値に保持する必要があります。

ビット 7:0 **CONSTA[7:0]**：定数アルファ

このビットにより、ブレンディングに使用する定数アルファを設定します。定数アルファは、ハードウェアによって 255 で除されます。

例：プログラムされている定数アルファが 0xFF であれば、定数アルファ値は 255/255=1 となります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

16.7.20 LTDC レイヤ x デフォルト色設定レジスタ（LTDC_LxDCCR）（x=1..2）

このレジスタにより、フォーマット ARGB におけるレイヤのデフォルト色を指定します。このデフォルト色は、指定されたレイヤウィンドウ外や、レイヤが無効になっているときに使用されます。リセット値 0x00000000 は、透明な黒を表します。

アドレスオフセット：0x9C + 0x80 x（レイヤ *x* -1）、*レイヤx* = 1 または 2

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DCALPHA								DCRED							
rw								rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DCGREEN								DCBLUE							
rw								rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:24 **DCALPHA[7:0]**：デフォルト色アルファ
このビットにより、デフォルトのアルファ値を設定します。

ビット 23:16 **DCRED[7:0]**：デフォルト色赤
このビットにより、デフォルト赤の値を設定します。

ビット 15:8 **DCGREEN[7:0]**：デフォルト色緑
このビットにより、デフォルト緑の値を設定します。

ビット 7:0 **DCBLUE[7:0]**：デフォルト色青
このビットにより、デフォルト青の値を設定します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

16.7.21 LTDC レイヤ x ブレンディング係数設定レジスタ（LTDC_LxBFCR）（x=1..2）

このレジスタにより、ブレンディング係数 F1 および F2 を指定します。

基本的なブレンディングの計算式は、BC = BF1 x C + BF2 x Cs

- BC = ブレンドされた色
- BF1 = ブレンディング係数 1
- C = 現在のレイヤの色
- BF2 = ブレンディング係数 2
- Cs = ブレンドされた下側レイヤの色

アドレスオフセット：0xA0 + 0x80 x（*レイヤx* -1)、*レイヤx* = 1 または 2

リセット値：0x0000 0607

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み					BFB1			予約済み					BF2		
					rw	rw	rw						rw	rw	rw

ビット 31:11 予約済み、リセット値を保持する必要があります。

ビット 10:8 **BF1[2:0]**：ブレンディング係数 1
このビットにより、ブレンディング係数 F1 を選択します。
000：予約済み
001：予約済み
010：予約済み
011：予約済み
100：定数アルファ
101：予約済み
110：ピクセルアルファ x 定数アルファ
111：予約済み

ビット 7:3 予約済み、リセット値を保持する必要があります。

ビット 2:0 **BF2[2:0]**：ブレンディング係数 2
このビットにより、ブレンディング係数 F2 を選択します。
000：予約済み
001：予約済み
010：予約済み
011：予約済み
100：予約済み
101：1 - 定数アルファ
110：予約済み
111：1 - （ピクセルアルファ x 定数アルファ）

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

注： *定数アルファ値は、LxCACR レジスタのプログラム値をハードウェアにより 255 で除したものです。*

例：レイヤ 1 のみ有効、BF1 を定数アルファに設定

BF2 を“1 - 定数アルファ”に設定

定数アルファ：LxCACR レジスタでプログラムされている定数アルファは 240 （0xF0）です。従って、定数アルファ値は 240/255 = 0.94 となります。

C：現在のレイヤ色は 128

Cs：バックグラウンド色は 48

レイヤ 1 はバックグラウンド色とブレンドされます。

BC = 定数アルファ x C + *（1 - 定数アルファ）* x Cs = *0.94 x 128 + (1- 0.94) x 48 = 123*

16.7.22 LTDC レイヤ x カラーフレームバッファアドレスレジスタ（LTDC_LxCFBAR）（x=1..2）

このレジスタにより、カラーフレームバッファ開始アドレスを指定します。このアドレスは、フレームバッファでレイヤの左上ピクセルのピクセルデータが保存されているアドレスを示している必要があります。

アドレスオフセット：0xAC + 0x80 x（*レイヤ x* -1)、*レイヤ x* = 1 または 2

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CFBADD															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CFBADD															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0 **CFBADD[31:0]**：カラーフレームバッファ開始アドレス
このビットにより、カラーフレームバッファ開始アドレスを指定します。

16.7.23 LTDC レイヤ x カラーフレームバッファ長レジスタ（LTDC_LxCFBLR）（x=1..2）

このレジスタにより、カラーフレームバッファのライン長とピッチを指定します。

アドレスオフセット：0xB0 + 0x80 x（*レイヤ x* -1)、*レイヤ x* = 1 または 2

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み			CFBP												
			rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み			CFBLL												
			rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 31:29 予約済み、リセット値を保持する必要があります。

ビット 28:16 **CFBP[17:0]**：カラーフレームバッファピッチ（バイト単位）
このビットにより、あるピクセルのラインの開始から次のラインの開始までの増分であるピッチをバイト単位で指定します。

ビット 15:13 予約済み、リセット値を保持する必要があります。

ビット 12:0 **CFBLL[12:0]**：カラーフレームバッファのライン長
このビットにより、バイト単位のピクセルライン長 + 3 を指定します。
ライン長は次のようにして計算します。アクティブハイの幅 x ピクセル当たりのバイト数 + 3

例：

- フォーマット RGB565（ピクセル当たり 2 バイト）、幅 256 ピクセル（ライン当たりの総バイト数は 256x2=512 バイト）、ピッチがライン長であるフレームバッファでは、このレジスタに 0x02000203 という値を書き込みます。
- フォーマット RGB888（ピクセル当たり 3 バイト）、幅 320 ピクセル（ライン当たりの総バイト数は 320x3=960 バイト）、ピッチがライン長であるフレームバッファでは、このレジスタに 0x03C003C3 という値を書き込みます。

16.7.24 LTDC レイヤ x カラーフレームバッファライン数レジスタ（LTDC_LxWVPCR）（x=1..2）

このレジスタにより、カラーフレームバッファ内のライン数を指定します。

アドレスオフセット：0xB4 + 0x80 x (*レイヤx* -1)、*レイヤx* = 1 または 2

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み					CFBLNBR										
					rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:11 予約済み、リセット値に保持する必要があります。

ビット 10:0 **CFBLNBR[10:0]**：フレームバッファライン数
このビットにより、アクティブハイ幅に相当するフレームバッファ内ライン数を指定します。

注： ***このライン数とライン長の設定により、各レイヤに対してフレームごとのデータフェッチ数を指定します。必要なバイト数よりも少なく設定されている場合、FIFO アンダーラン割り込みが有効になっていれば、該当する割り込みが生成されます。***

一方、開始アドレスとピッチ設定により、メモリ内の各ラインの正しい開始位置を指定します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

16.7.25 LTDC レイヤ x CLUT 書き込みレジスタ（LTDC_LxCLUTWR）（x=1..2）

このレジスタにより、CLUT アドレスと RGB 値を指定します。

アドレスオフセット：0xC4 + 0x80 x (*レイヤx* -1)、*レイヤx* = 1 または 2

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CLUTADD								RED							
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
GREEN								BLUE							
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w

ビット 31:24 **CLUTADD[7:0]**：CLUT アドレス
このビットにより、各 RGB 値の CLUT アドレス（CLUT 内のカラー位置）を指定します。

ビット 23:16 **RED[7:0]**：赤の値
このビットにより、赤の値を設定します。

ビット 15:8 **GREEN[7:0]**：緑の値
このビットにより、緑の値を設定します。

ビット 7:0 **BLUE[7:0]**：青の値
このビットにより、青の値を設定します。

注： ***CLUT 書き込みレジスタは、ブランキング期間中またはレイヤが無効になっている場合にのみ設定してください。CLUT は、LTDC_LxCR レジスタで有効または無効にできます。***

CLUT は、L8、AL44、AL88 ピクセルフォーマットに対してのみ有効です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

16.7.26 LTDC レジスタマップ

次の表は LTDC レジスタの一覧です。LTDC レジスタベースアドレスについては、レジスタ境界アドレス表を参照してください。

表 91. LTDC レジスタマップとリセット値

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x0008	LTDC_SSCR	予約済み						HSW										予約済み					VSH										
	リセット値							0	0	0	0	0	0	0	0	0	0						0	0	0	0	0	0	0	0	0	0	0
0x000C	LTDC_BPCR	予約済み						AHBP										予約済み					AVBP										
	リセット値							0	0	0	0	0	0	0	0	0	0						0	0	0	0	0	0	0	0	0	0	0
0x0010	LTDC_AWCR	予約済み						AAV										予約済み					AAH										
	リセット値							0	0	0	0	0	0	0	0	0	0						0	0	0	0	0	0	0	0	0	0	0
0x0014	LTDC_TWCR	予約済み						TOTALW										予約済み					TOTALH										
	リセット値							0	0	0	0	0	0	0	0	0	0						0	0	0	0	0	0	0	0	0	0	0
0x0018	LTDC_GCR	HSPOL	VSPOL	DEPOL	PCPOL	予約済み											DEN	予約済み		DRW		予約済み		DGW		予約済み		DBW		予約済み			LTDCEN
	リセット値	0	0	0	0												0			0	1	0		0	1	0		0	1	0			0
0x0024	LTDC_SRCR	予約済み																														VBR	IMR
	リセット値																															0	0
0x002C	LTDC_BCCR	予約済み																BC															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0034	LTDC_IER	予約済み																													RRIE	TERRIE	FUIE	LIE
	リセット値																														0	0	0	0
0x0038	LTDC_ISR	予約済み																													RRIF	TERRIF	FUIF	LIF
	リセット値																														0	0	0	0
0x003C	LTDC_ICR	予約済み																													CRRIF	CTERRIF	CFUIF	CLIF
	リセット値																														0	0	0	0
0x0040	LTDC_LIPCR	予約済み																					LIPOS										
	リセット値																						0	0	0	0	0	0	0	0	0	0	0
0x0044	LTDC_CPSR	CXPOS																CYPOS															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0048	LTDC_CDSR	予約済み																													HSYNCS	VSYNCS	HDES	VDES
	リセット値																														1	1	1	1
0x0084	LTDC_L1CR	予約済み																											CLUTEN	予約済み			COLKEN	LEN
	リセット値																												0			0	0
0x0088	LTDC_L1WHPCR	予約済み						WHSPPOS										予約済み					WHSTPOS										
	リセット値							0	0	0	0	0	0	0	0	0	0						0	0	0	0	0	0	0	0	0	0	0
0x008C	LTDC_L1WVPCR	予約済み						WVSPPOS										予約済み					WVSTPOS										
	リセット値							0	0	0	0	0	0	0	0	0	0						0	0	0	0	0	0	0	0	0	0	0
0x0090	LTDC_L1CKCR	予約済み								CKRED								CKGREEN									CKBLUE						
	リセット値									0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 91. LTDC レジスタマップとリセット値（続き）

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x0094	LTDC_L1PFCR	予約済み																													PF		
	リセット値																														0	0	0
0x0098	LTDC_L1CACR	予約済み																								CONSTA							
	リセット値																									1	1	1	1	1	1	1	1
0x009C	LTDC_L1DCCR	DCALPHA								DCRED								DCGREEN								DCBLUE							
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x00A0	LTDC_L1BFCR	予約済み																					BF1			予約済み					BF2		
	リセット値																						1	1	0						1	1	1
0x00AC	LTDC_L1CFBAR	CFBADD																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x00B0	LTDC_L1CFBLR	予約済み			CFBP													予約済み			CFBLL												
	リセット値				0	0	0	0	0	0	0	0	0	0	0	0	0				0	0	0	0	0	0	0	0	0	0	0	0	0
0x00B4	LTDC_L1CFBLNR	予約済み																						CFBLNBR									
	リセット値																						0	0	0	0	0	0	0	0	0	0	0
0x00C4	LTDC_L1CLUTWR	CLUTADD								RED								GREEN								BLUE							
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0104	LTDC_L2CR	予約済み																											CLUTEN	予約済み	COLKEN	LEN	
	リセット値																												0		0	0	
0x0108	LTDC_L2WHPCR	予約済み				WHSPPOS												予約済み				WHSTPOS											
	リセット値				0	0	0	0	0	0	0	0	0	0	0	0	0				0	0	0	0	0	0	0	0	0	0	0	0	0
0x010C	LTDC_L2WVPCR	予約済み					WVSPPOS											予約済み						WVSTPOS								
	リセット値					0	0	0	0	0	0	0	0	0	0	0	0				0	0	0	0	0	0	0	0	0	0	0	0	0
0x0110	LTDC_L2CKCR	予約済み								CKRED								CKGREEN								CKBLUE							
	リセット値									0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0114	LTDC_L2PFCR	予約済み																													PF		
	リセット値																														0	0	0
0x0118	LTDC_L2CACR	予約済み																								CONSTA							
	リセット値																									1	1	1	1	1	1	1	1
0x011C	LTDC_L2DCCR	DCALPHA								DCRED								DCGREEN								DCBLUE							
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0120	LTDC_L2BFCR	予約済み																					BF1			予約済み					BF2		
	リセット値																						1	1	0						1	1	1
0x012C	LTDC_L2CFBAR	CFBADD																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0130	LTDC_L2CFBLR	予約済み			CFBP													予約済み			CFBLL												
	リセット値				0	0	0	0	0	0	0	0	0	0	0	0	0				0	0	0	0	0	0	0	0	0	0	0	0	0

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 91. LTDC レジスタマップとリセット値（続き）

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x0134	LTDC_L2CFBLNR	予約済み																					CFBLNBR										
	リセット値																						0	0	0	0	0	0	0	0	0	0	0
0x0144	LTDC_L2CLUTWR	CLUTADD								RED								GREEN								BLUE								
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

17 高機能制御タイマ （TIM1 および TIM8）

このセクションは、特に指定がない限り、STM32F4xx ファミリ全体に適用されます。

17.1 TIM1およびTIM8の概要

高機能制御タイマ （TIM1 および TIM8）は、プログラマブルなプリスケーラによって駆動される 16 ビット自動再ロードカウンタで構成されています。

入力信号のパルス長の測定（入力キャプチャ）や出力波形の生成（出力比較、PWM、デッドタイムを挿入した相補 PWM）など、さまざまな目的に使用できます。

パルス長と波形の周期は、タイマプリスケーラと RCC クロックコントローラプリスケーラを使用して、数マイクロ秒から数ミリ秒までの範囲で変化させることができます。

高機能制御タイマ （TIM1および TIM8）と汎用タイマ（TIMx）は、互いに独立しており、リソースを共有しません。これらのタイマは *セクション 17.3.20* に示すように、相互に同期させることができます。

17.2 TIM1およびTIM8の主な機能

TIM1および TIM8 タイマの機能は、次のとおりです。

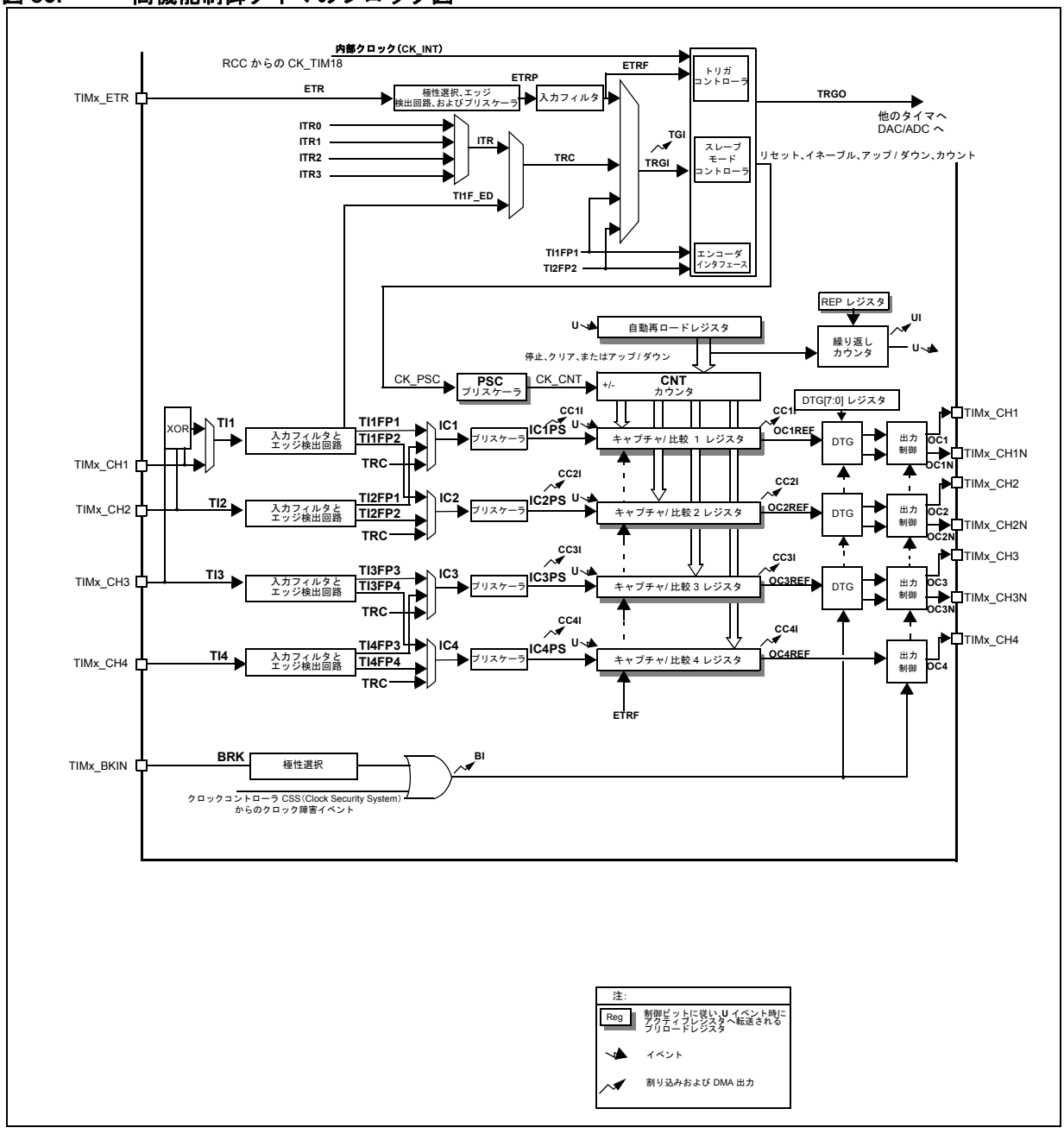
- 16 ビットの アップカウンタ、ダウンカウンタ、アップ/ダウン自動再ロードカウンタ。
- 16 ビットのプログラマブルプリスケーラ。カウンタクロック周波数を 1 から 65536 の間で分周でき、分周比の動作中の変更も可能。
- 次の機能を持つ、最大 4 つの独立チャネル。
  - 入力キャプチャ
  - 出力比較
  - PWM 生成（エッジアラインモードとセンターアラインモード）
  - ワンパルスモード出力
- プログラマブルデッドタイムを持つ相補出力
- 外部信号でタイマを制御し、複数のタイマを相互接続する同期回路。
- カウンタの特定のサイクル数後にのみタイマレジスタを更新する繰り返しカウンタ。
- タイマの出力信号をリセット状態または既知の状態にするブレーク入力。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

- 以下のイベント時の割り込み/DMA 発生。
  - 更新：カウンタオーバーフロー/アンダーフロー、カウンタ初期化（ソフトウェアまたは内部/外部トリガによる）
  - トリガイベント（内部/外部トリガによるカウンタの開始、停止、初期化、またはカウント）
  - 入力キャプチャ
  - 出力比較
  - ブレーク入力
- 位置決め目的のインクリメンタル（直交）エンコーダとホールセンサ回路をサポート
- 外部クロックまたはサイクルごとの電流管理のためのトリガ入力

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 86. 高機能制御タイマのブロック図



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

17.3 TIM1および TIM8の機能説明

17.3.1 タイムベースユニット

プログラマブル高機能制御タイマのメインブロックは、自動再ロードレジスタを持つ 16 ビットカウンタです。カウンタはカウントアップ、カウントダウン、またはアップダウンします。カウンタのクロックは、プリスケーラによって分周できます。

カウンタ、自動再ロードレジスタ、およびプリスケーラレジスタは、ソフトウェアによる読み書きが可能です。カウンタが動作中でも、読み書きが可能です。

タイムベースユニットには次のレジスタが含まれます。

- カウンタレジスタ（TIMx_CNT）
- プリスケーラレジスタ（TIMx_PSC）
- 自動再ロードレジスタ（TIMx_ARR）
- 繰り返しカウンタレジスタ（TIMx_RCR）

自動再ロードレジスタは、プリロードレジスタに事前にプリロードされます。自動再ロードレジスタの読み書きは、プリロードレジスタへのアクセスになります。プリロードレジスタの内容は、TIMx_CR1 レジスタの自動再ロードプリロードイネーブルビット（ARPE）に応じて、常時または更新イベント（UEV）ごとに、シャドウレジスタに転送されます。TIMx_CR1 レジスタの UDIS ビットが 0 の場合、カウンタがオーバーフロー（またはダウンカウント時はアンダーフロー）に達したときに、更新イベントが送られます。また、ソフトウェアによって生成することもできます。更新イベントの生成については、各設定の中で詳しく説明されています。

カウンタのクロックは、TIMx_CR1 レジスタのカウンタイネーブルビット（CEN）がセットされているときにのみ、プリスケーラ出力 CK_CNT から供給されます（カウンタの有効化の詳細については、スレーブモードコントローラの説明も参照してください）。

TIM x _CR1 レジスタの CEN ビットがセットされてから、カウンタがカウントを開始するまでに 1 クロックサイクルの遅延があることに注意してください。

プリスケーラの説明

プリスケーラは、カウンタクロック周波数を 1 から 65536 までの間の値で分周することができます。16 ビット レジスタ（TIMx_PSC レジスタ）を通じて制御される 16 ビットカウンタをベースとしています。この制御レジスタはバッファされているので、動作中に変更できます。新しいプリスケーラ比は、次の更新イベントで有効になります。

*図 87*と*図 88*に、プリスケーラ比を動作中に変更したときのカウンタの動作の例を示します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 87. プリスケーラ分周比が 1 から 2 に変化したときのカウンタのタイミング図

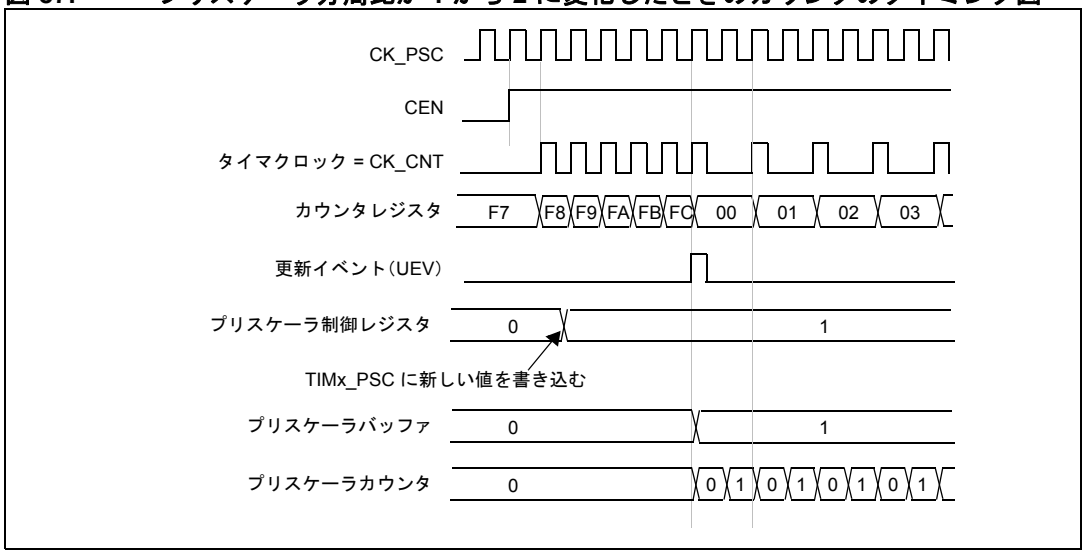
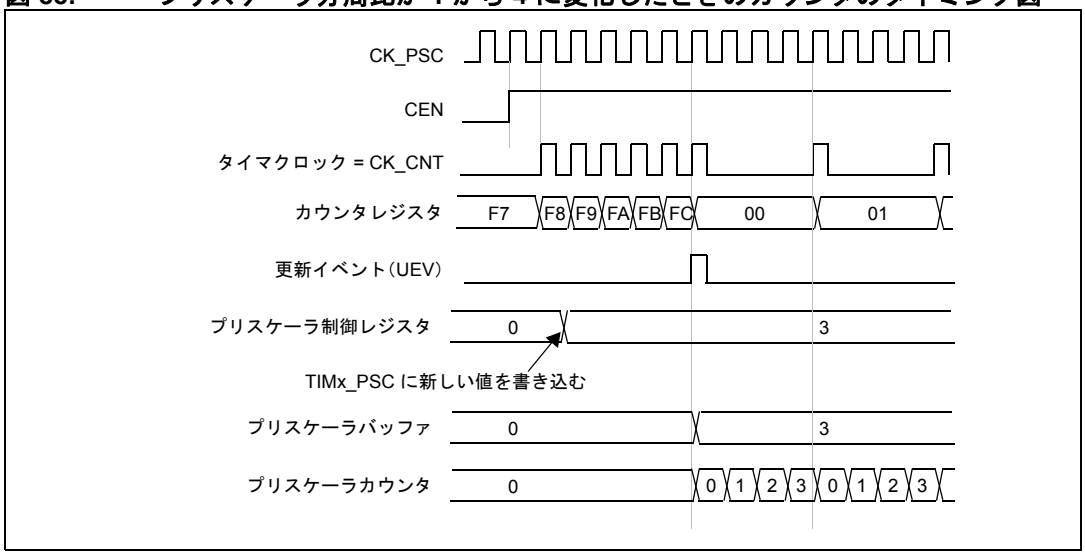


図 88. プリスケーラ分周比が 1 から 4 に変化したときのカウンタのタイミング図



17.3.2 カウンタモード

アップカウントモード

アップカウントモードでは、カウンタは 0 から自動再ロード値（TIMx_ARR レジスタの内容）までカウントし、0 からカウントをリスタートして、カウンタオーバーフローイベントを生成します。

繰り返しカウンタが使用されている場合には、繰り返しカウンタレジスタに設定されている回数プラス 1（TIMx_RCR+1）までアップカウント動作が繰り返され、その後に更新イベント （UEV）が生成されます。繰り返しカウンタが使用されていないときには、カウンタのオーバーフローごとに更新イベントが生成されます。

（ソフトウェアによって、またはスレーブモードコントローラを使用して）TIMx_EGR レジスタの UG ビットをセットすることでも更新イベントが生成されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

UEV イベントは、ソフトウェアで TIMx_CR1 レジスタの UDIS ビットをセットすることによって無効にできます。これは、プリロードレジスタに新しい値を書き込んでいるときにシャドウレジスタが更新されるのを防ぐためです。この場合、UDIS ビットに 0 が書き込まれるまで、更新イベントは発生しません。ただし、プリスケーラのカウンタと同じく、カウンタは 0 からカウントをリスタートします（ただし、プリスケーラ比は変化しません）。さらに、TIMx_CR1 レジスタの URS ビット（更新リクエスト選択）がセットされている場合は、UG ビットをセットすると更新イベント UEV が生成されますが、UIF フラグはセットされません（したがって、割り込みや DMA リクエストは送信されません）。これは、キャプチャイベント時にカウンタをクリアしているときに、更新とキャプチャの両方の割り込みを生成するのを防ぐためです。

更新イベントが発生すると、すべてのレジスタが更新され、URS ビットに応じて、更新フラグ（TIMx_SR レジスタの UIF ビット）がセットされます。

- 繰り返しカウンタには TIMx_RCR レジスタの内容が再ロードされます。
- 自動再ロードシャドウレジスタは、プリロード値（TIMx_ARR）で更新されます。
- プリスケーラのバッファにはプリロード値（TIMx_PSC レジスタの内容）が再ロードされます。

以下の図は、TIMx_ARR = 0x36 のときの、さまざまなクロック周波数におけるカウンタの動作の例を示しています。

図 89. 内部クロック分周比が 1 の場合のカウンタのタイミング図

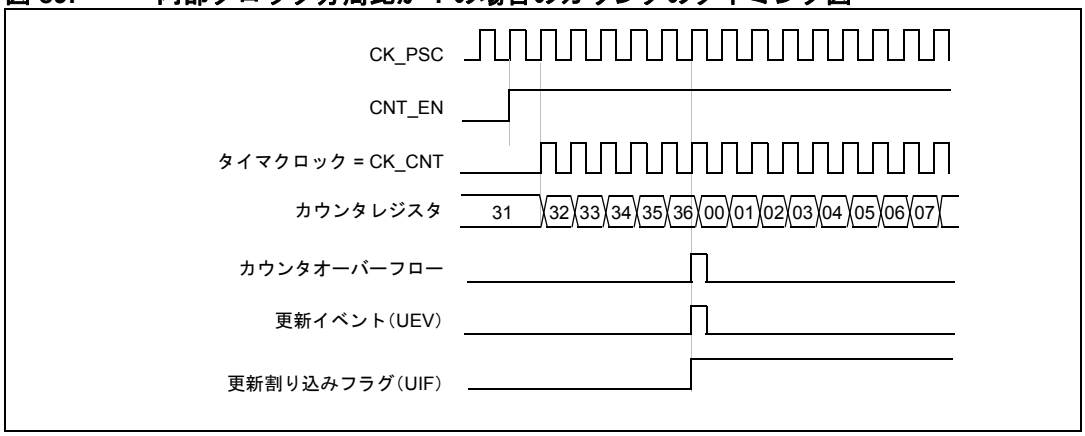
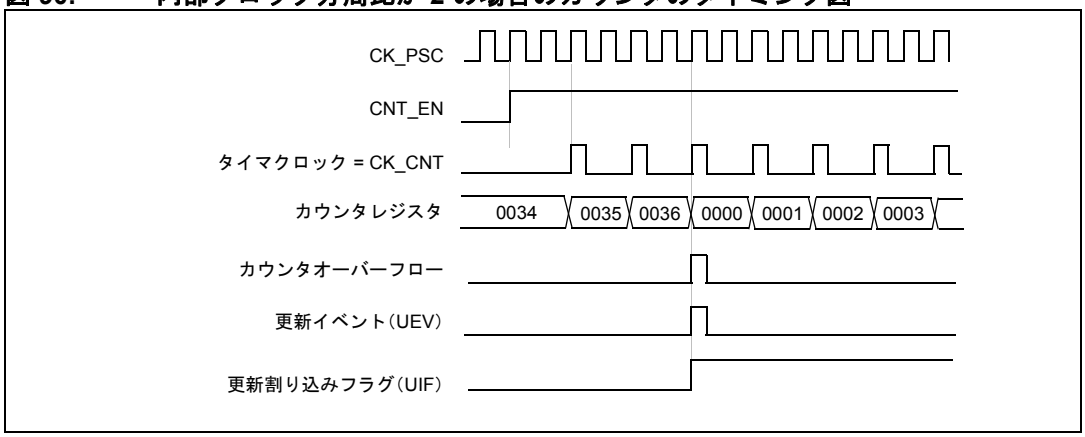


図 90. 内部クロック分周比が 2 の場合のカウンタのタイミング図



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 91. 内部クロック分周比が 4 の場合のカウンタのタイミング図

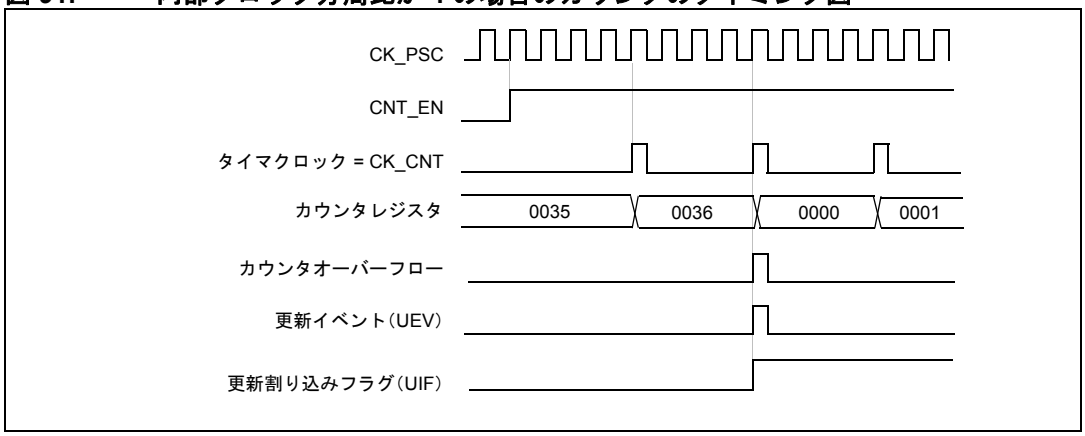


図 92. 内部クロック分周比が N の場合のカウンタのタイミング図

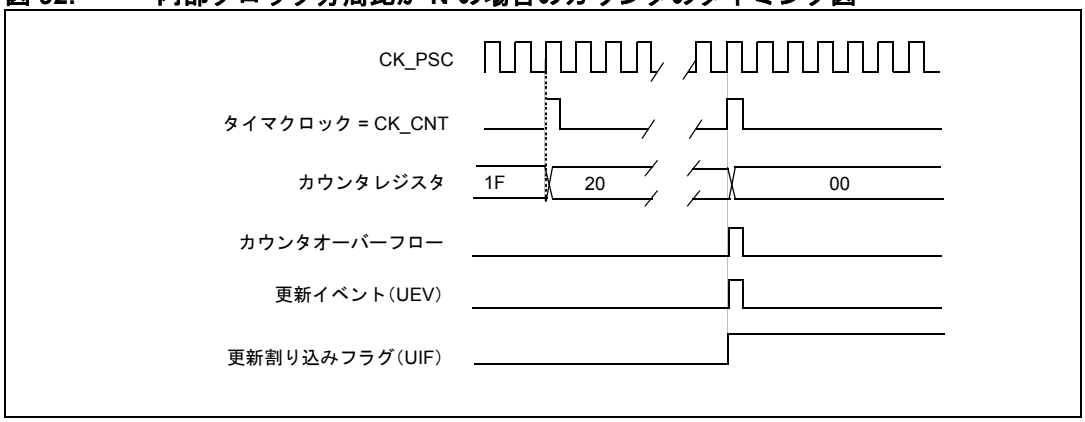
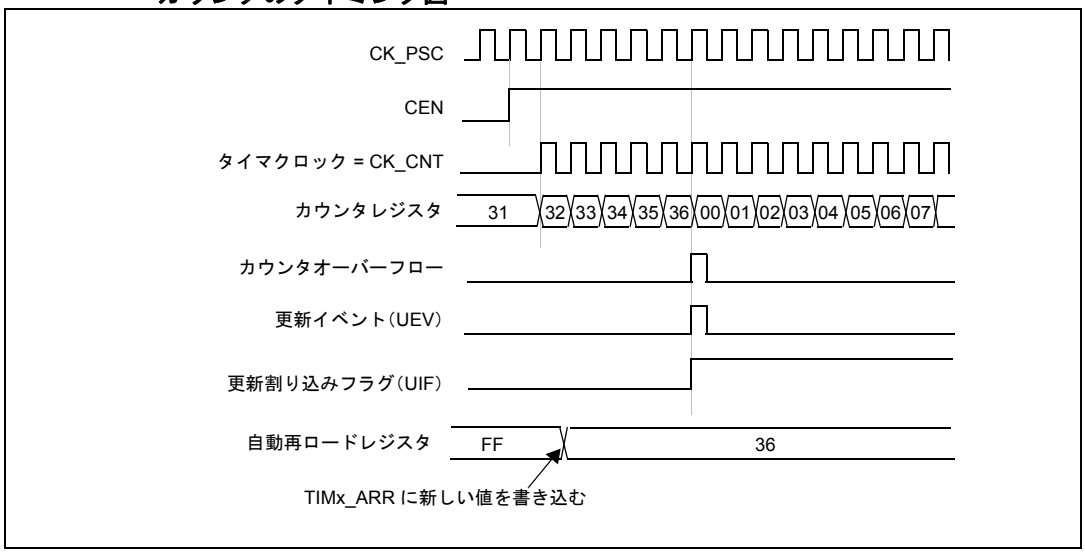
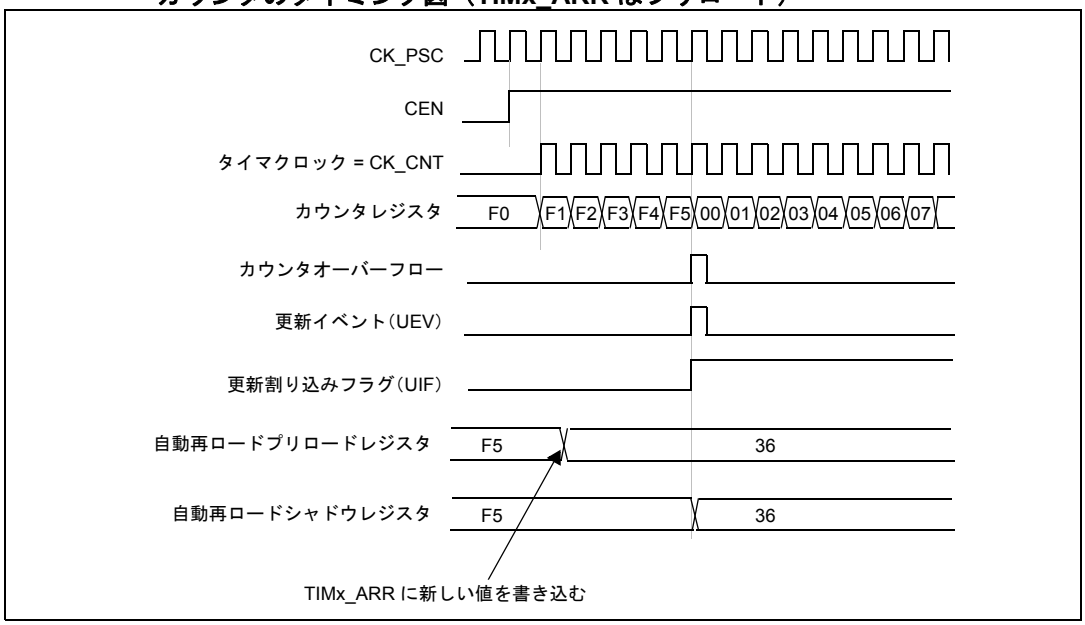


図 93. ARPE=0（TIMx_ARR はプリロードされない）の場合の更新イベント時のカウンタのタイミング図



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 94. ARPE=1（TIMx_ARR はプリロード）の場合の更新イベント時のカウンタのタイミング図（TIMx_ARR はプリロード）



ダウンカウントモード

ダウンカウントモードでは、カウンタは自動再ロード値（TIMx_ARR レジスタの内容）から 0 までカウントした後、自動再ロード値からカウントダウンをリスタートし、カウンタアンダーフローイベントを生成します。

繰り返しカウンタが使用されている場合には、繰り返しカウンタレジスタに設定されている回数プラス 1（TIMx_RCR+1）までダウンカウント動作が繰り返され、その後に更新イベント （UEV）が生成されます。繰り返しカウンタが使用されていないときには、カウンタのアンダーフローごとに更新イベントが生成されます。

（ソフトウェアによって、またはスレーブモードコントローラを使用して）TIMx_EGR レジスタの UG ビットをセットすることでも更新イベントが生成されます。

UEV 更新イベントは、ソフトウェアで TIMx_CR1 レジスタの UDIS ビットをセットすることによって無効にできます。これは、プリロードレジスタに新しい値を書き込んでいるときにシャドウレジスタが更新されるのを防ぐためです。この後 UDIS ビットに 0 が書き込まれるまで、更新イベントは発生しません。ただし、カウンタは現在の自動再ロード値からリスタートしますが、プリスケーラのカウンタは 0 からリスタートします（しかし、プリスケーラ比は変化しません）。

さらに、TIMx_CR1 レジスタの URS ビット（更新リクエスト選択）がセットされている場合は、UG ビットをセットすると更新イベント UEV が生成されますが、UIF フラグはセットされません（したがって、割り込みや DMA リクエストは送信されません）。これは、キャプチャイベント時にカウンタをクリアしているときに、更新とキャプチャの両方の割り込みを生成するのを防ぐためです。

更新イベントが発生すると、すべてのレジスタが更新され、URS ビットに応じて、更新フラグ（TIMx_SR レジスタの UIF ビット）がセットされます。

- 繰り返しカウンタには、TIMx_RCR レジスタの内容が再ロードされます。
- プリスケーラのバッファには、プリロード値（TIMx_PSC レジスタの内容）が再ロードされます。
- 自動再ロードアクティブレジスタは、プリロード値（TIMx_ARR）で更新されます。カウンタが再ロードされる前に自動再ロードが更新されるので、次の周期は予想通りの周期になります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

以下の図は、TIMx_ARR = 0x36 のときの、さまざまなクロック周波数におけるカウンタの動作の例を示しています。

図 95. 内部クロック分周比が 1 の場合のカウンタのタイミング図

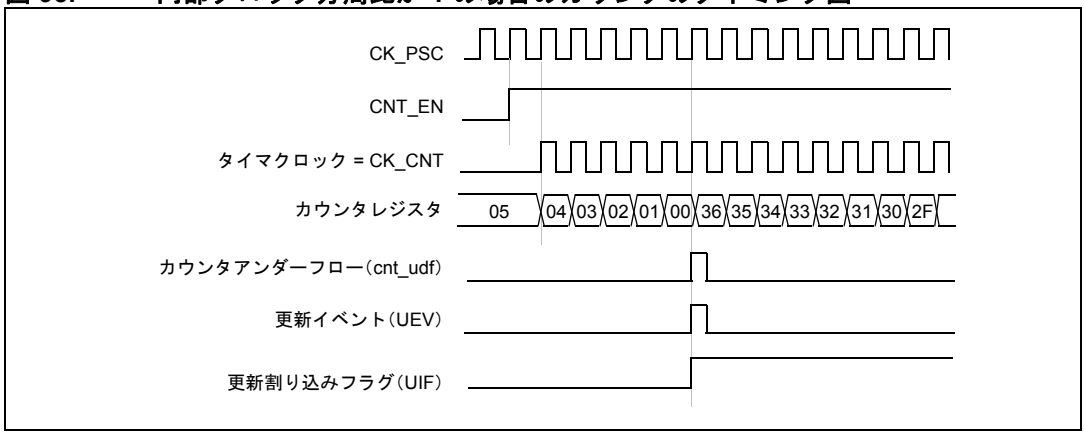


図 96. 内部クロック分周比が 2 の場合のカウンタのタイミング図

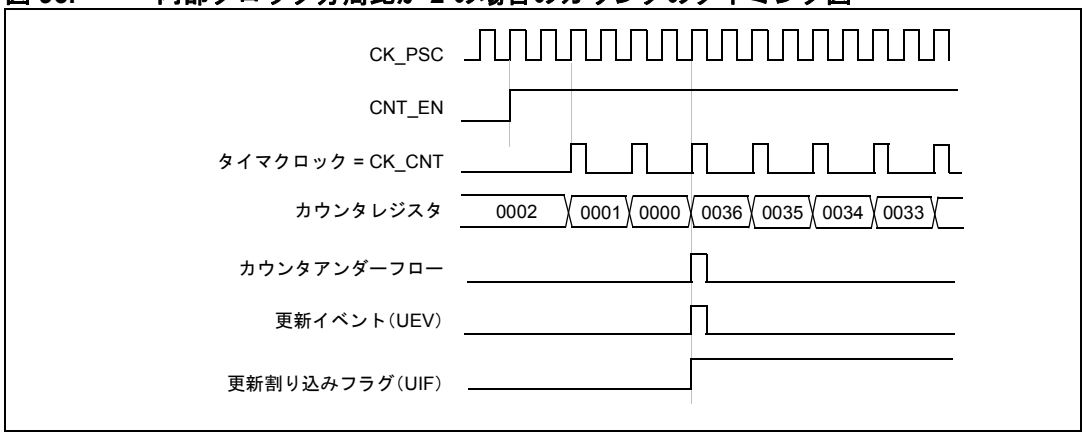
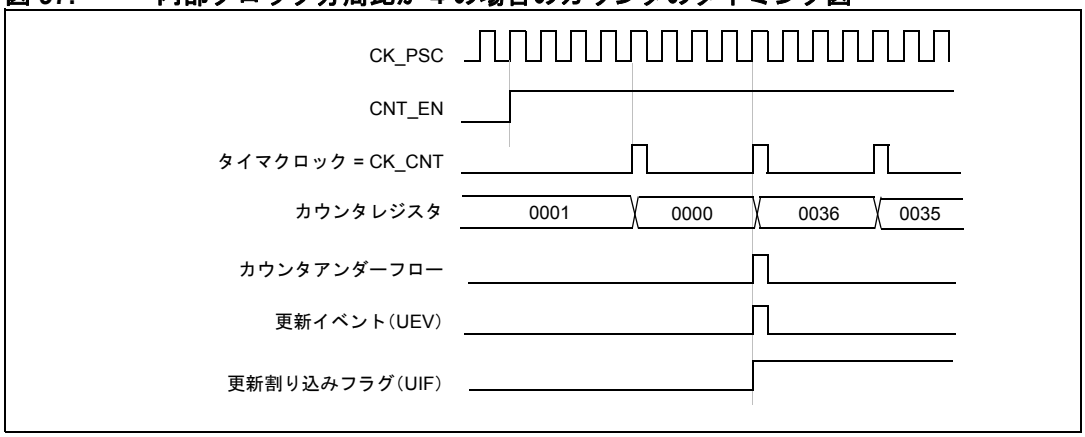


図 97. 内部クロック分周比が 4 の場合のカウンタのタイミング図



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 98. 内部クロック分周比が N の場合のカウンタのタイミング図

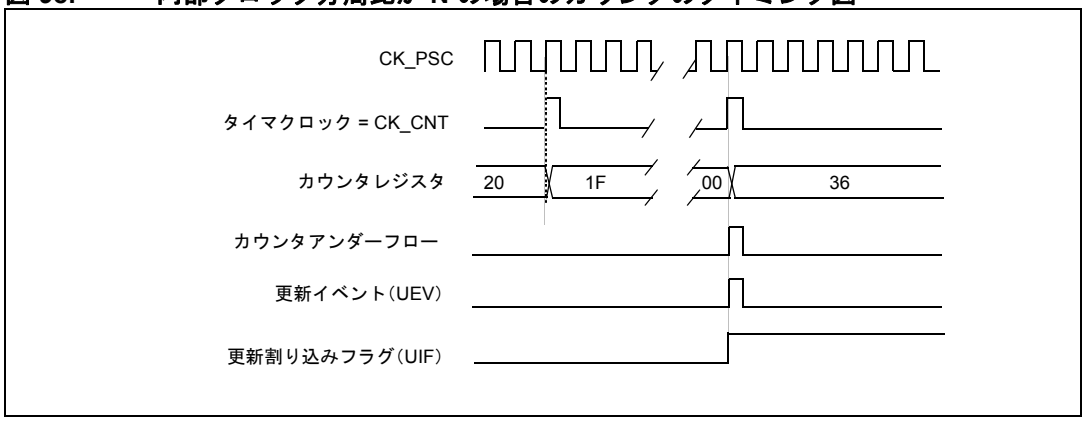
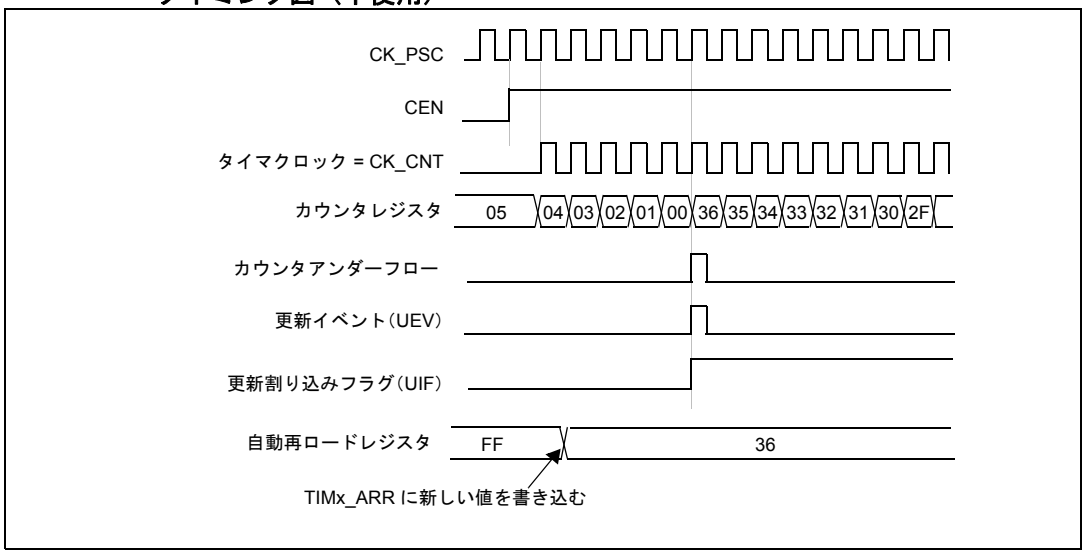


図 99. 繰り返しカウンタが使用されていない場合の更新イベント時のカウンタのタイミング図（不使用）



センタアラインモード（アップ/ダウンカウント）

センターアラインモードでは、カウンタは 0 から自動再ロード値（TIMx_ARR レジスタの内容）−1 までカウントして、カウンタオーバーフローイベントを生成した後、自動再ロード値から 1 までカウントして、カウンタアンダーフローイベントを生成します。その後、0 からカウントをリスタートします。

センターアラインモードは、TIMx_CR1 レジスタの CMS ビットが“00”に等しくないときにアクティブとなります。出力に設定されたチャネルの出力比較割り込みフラグは、カウンタがカウントダウンしたとき（センターアラインモード 1、CMS = 01）、カウンタがカウントアップしたとき（センターアラインモード 2、CMS = 10）、またはカウンタがカウントアップしてカウントダウンしたとき（センターアラインモード 3、CMS = 11）にセットされます。

このモードでは、TIMx_CR1 レジスタの方向ビット（DIR）に書き込むことはできません。このビットは、ハードウェアによって更新されて、カウンタの現在の方向を示します。

（ソフトウェアによって、またはスレーブモードコントローラを使用して）更新イベントは、カウンタオーバーフローとカウンタアンダーフローごとに生成されます。または、TIMx_EGR レジスタの UG ビットをセットすることによっても更新イベントが生成されます。この場合、プリスケーラのカウンタと同じく、カウンタは 0 からカウントをリスタートします。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

UEV 更新イベントは、ソフトウェアで TIMx_CR1 レジスタの UDIS ビットをセットすることによって無効にできます。これは、プリロードレジスタに新しい値を書き込んでいるときにシャドウレジスタが更新されるのを防ぐためです。この後 UDIS ビットに 0 が書き込まれるまで、更新イベントは発生しません。ただし、カウンタは現在の自動再ロード値に基づいて、カウントアップとカウントダウンを続けます。

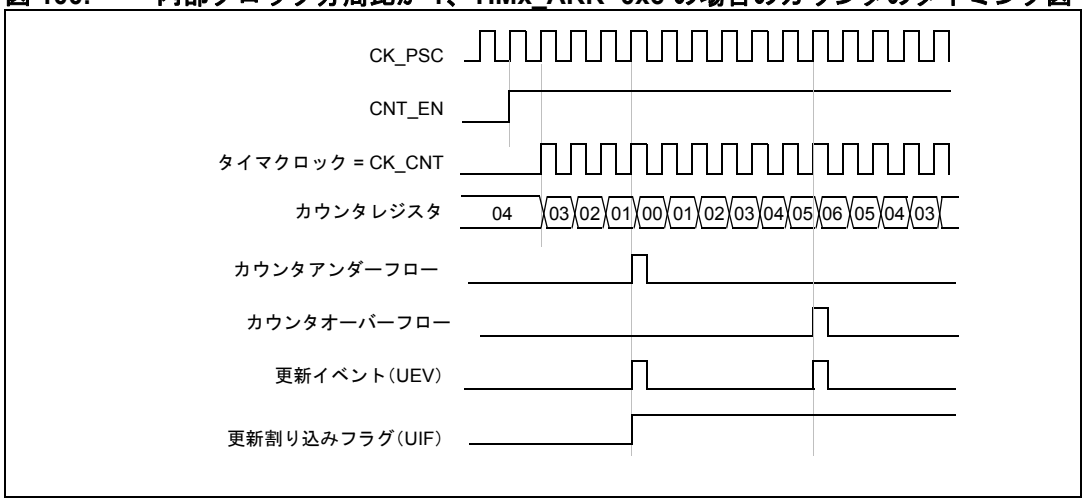
さらに、TIMx_CR1 レジスタの URS ビット（更新リクエスト選択）がセットされている場合、UG ビットをセットすると UEV 更新イベントが生成されますが、UIF フラグはセットされません（したがって、割り込みや DMA リクエストは送信されません）。これは、キャプチャイベント時にカウンタをクリアしているときに、更新とキャプチャの両方の割り込みを生成するのを防ぐためです。

更新イベントが発生すると、すべてのレジスタが更新され、URS ビットに応じて、更新フラグ（TIMx_SR レジスタの UIF ビット）がセットされます。

- 繰り返しカウンタには、TIMx_RCR レジスタの内容が再ロードされます。
- プリスケーラのバッファには、プリロード値（TIMx_PSC レジスタの内容）が再ロードされます。
- 自動再ロードアクティブレジスタは、プリロード値（TIMx_ARR）で更新されます。更新の原因がカウンタオーバーフローである場合には、自動再ロードが更新されてからカウンタが再ロードされるので、次の周期は予想通りの周期になります（カウンタに新しい値がロードされます）。

以下の図は、さまざまなクロック周波数におけるカウンタの動作の例を示します。

図 100. 内部クロック分周比が 1、TIMx_ARR=0x6 の場合のカウンタのタイミング図



1. ここでは、センターアラインモード 1 が使用されています（詳細については、*セクション 17.4：TIM1 および TIM8 レジスタ（562 ページ）* を参照してください）。

この資料は、STMicroelectronics NV 並びにその子会社（以下 ST）が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 101. 内部クロック分周比が 2 の場合のカウンタのタイミング図

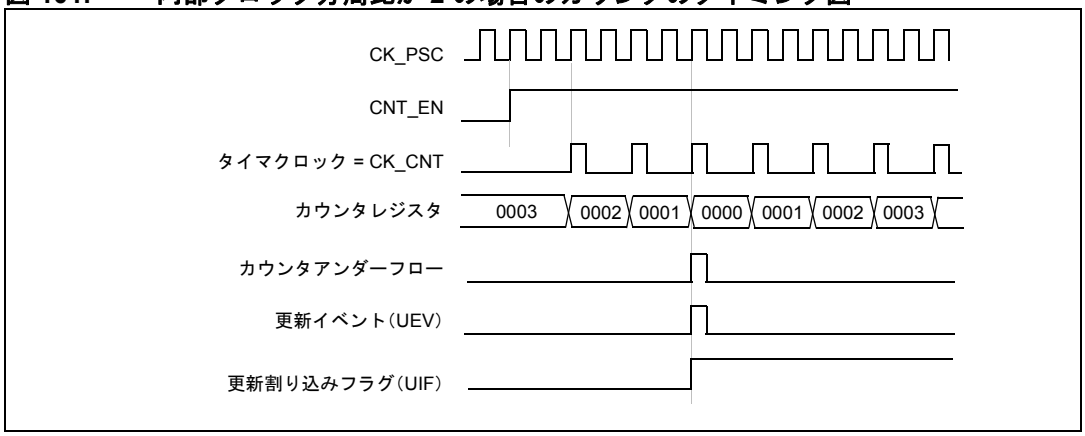
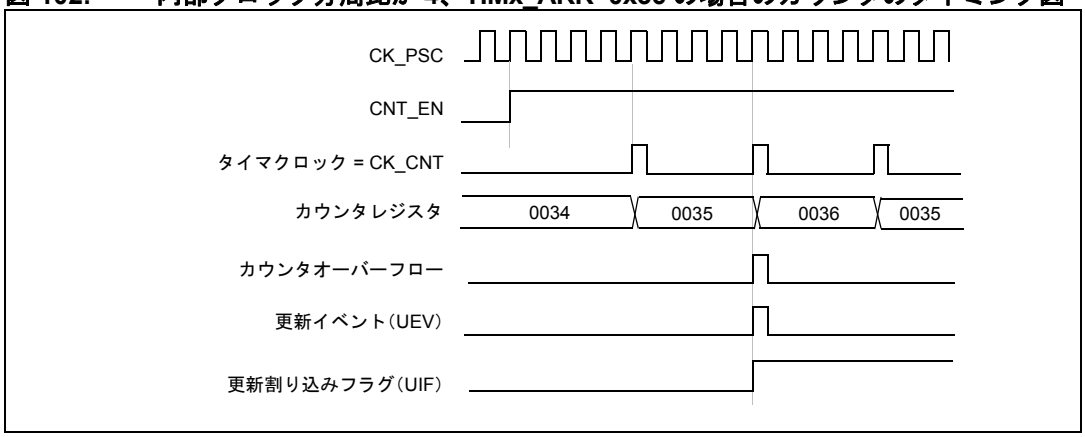
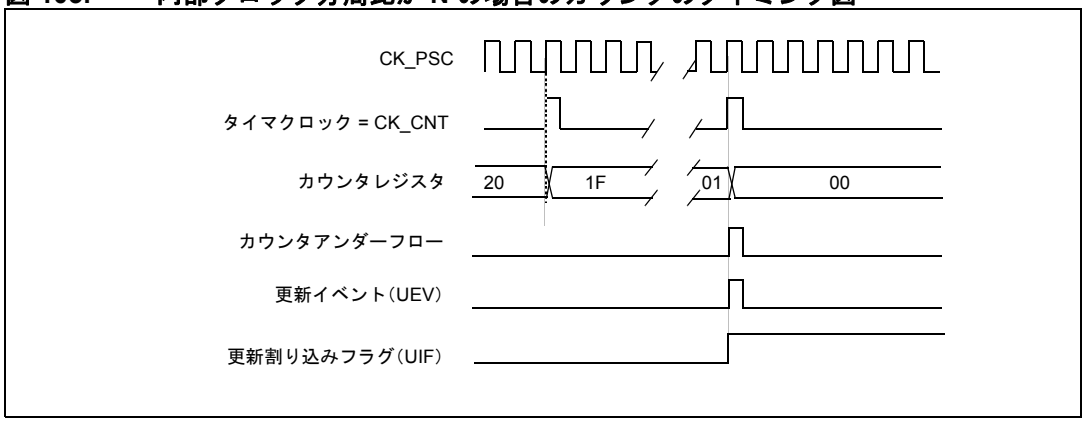


図 102. 内部クロック分周比が 4、TIMx_ARR=0x36 の場合のカウンタのタイミング図



1. センターアラインモード 2 または 3 が使用され、オーバーフロー時に UIF がセットされます。

図 103. 内部クロック分周比が N の場合のカウンタのタイミング図



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 104. ARPE=1（カウンタアンダーフロー）の場合の更新イベント時のカウンタのタイミング図

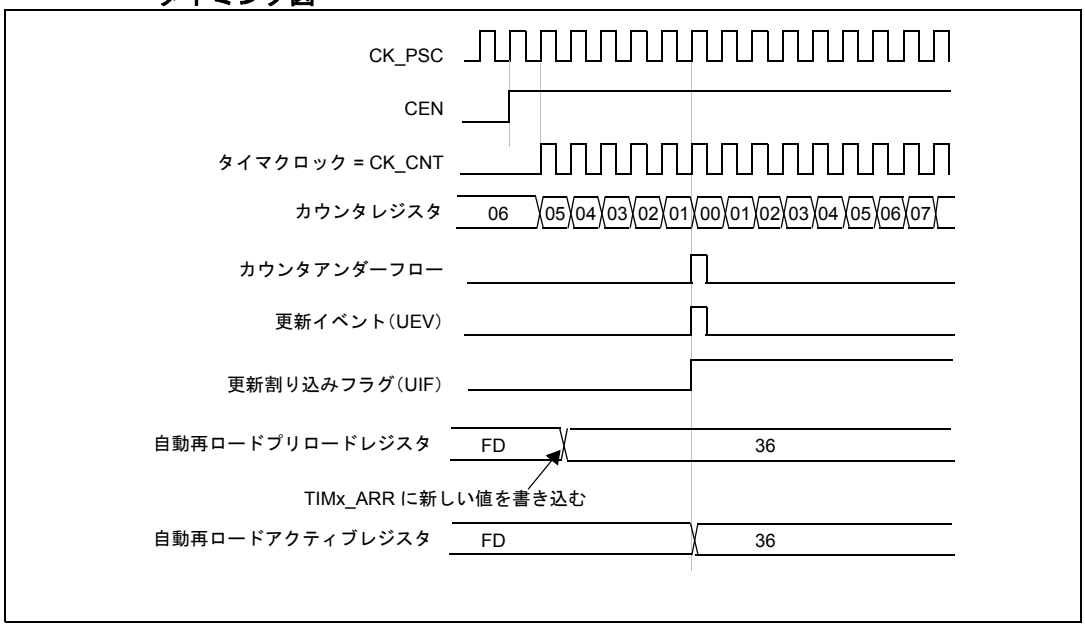
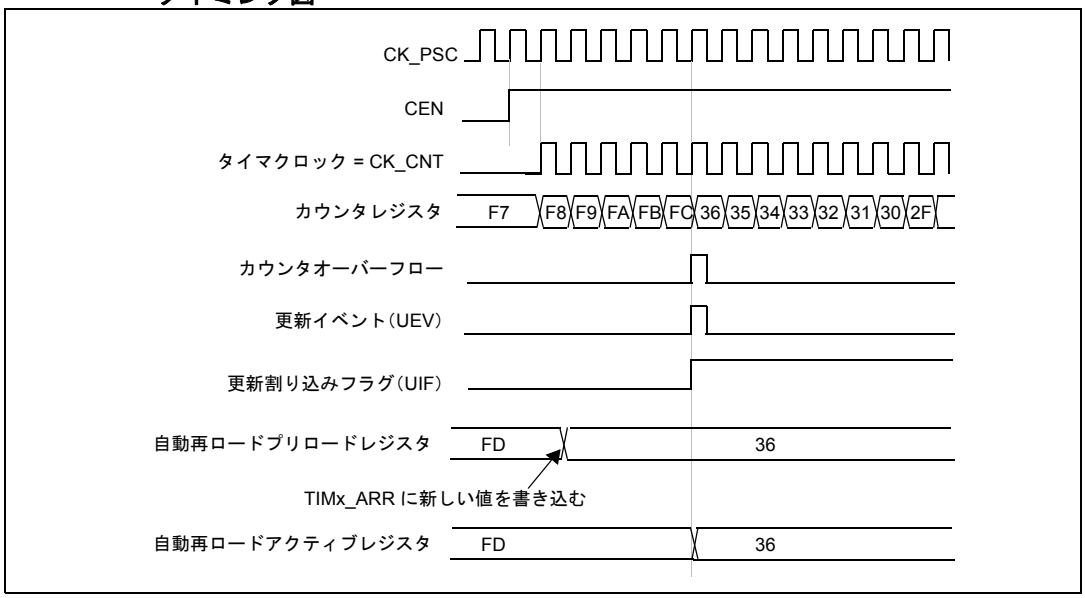


図 105. ARPE=1（カウンタオーバーフロー）の場合の更新イベント時のカウンタのタイミング図



17.3.3 繰り返しカウンタ

*セクション 17.3.1 : タイムベースユニット*に、カウンタオーバーフロー/アンダーフローによって、どのように更新イベント（UEV）が生成されるかが説明されています。実際には、繰り返しカウンタが 0 に達したときにのみ、更新イベントが生成されます。これは、PWM 信号を生成する際に役立ちます。

これは、TIMx_RCR 繰り返しカウンタレジスタの値を N とすると、N+1 回目のカウンタオーバーフローまたはアンダーフローごとに、プリロードレジスタからシャドウレジスタ（TIMx_ARR 自動再

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ロードレジスタ、TIMx_PSC プリスケーラレジスタ、比較モードの TIMx_CCRx キャプチャ /比較レジスタ）へデータが転送されることを意味します。

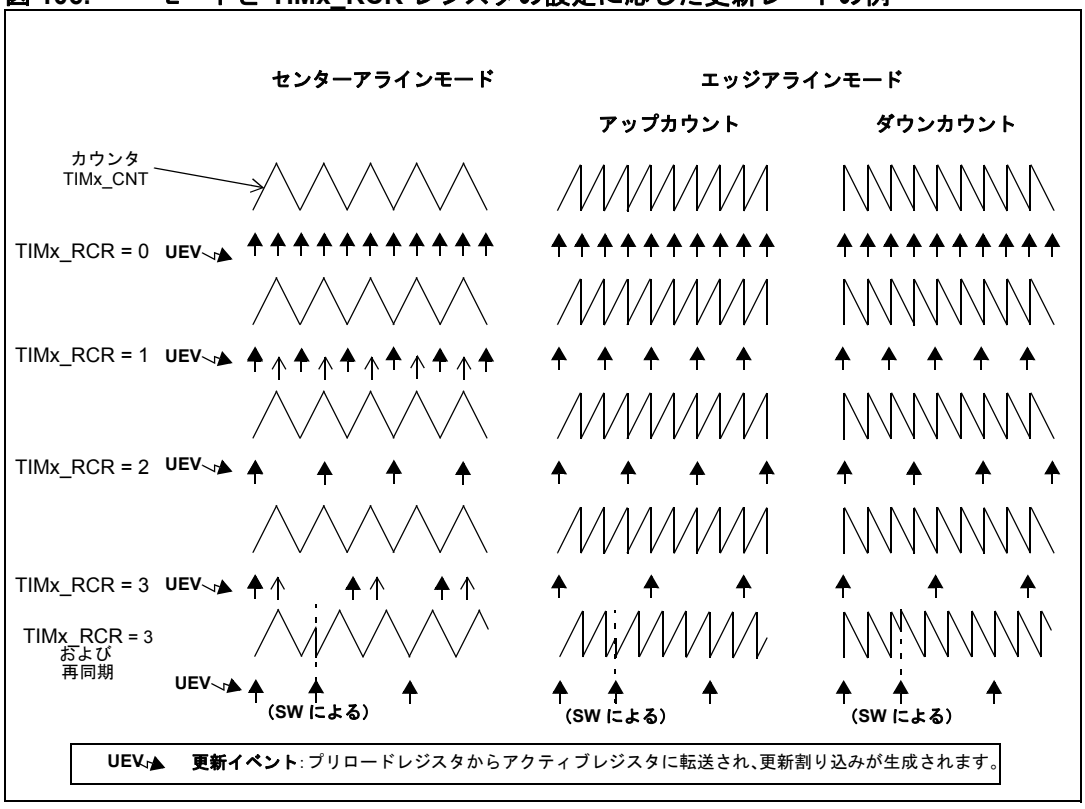
繰り返しカウンタは、次の場合にデクリメントします。

- アップカウントモードで、カウンタオーバーフローごと
- ダウンカウントモードで、カウンタアンダーフローごと
- センターアラインモードで、カウンタオーバーフローとカウンタアンダーフローごと。最大繰り返し回数は 128 PWM サイクルに限られますが、PWM 周期ごとにデューティサイクルを 2 回更新することが可能になります。センターアラインモードで比較レジスタの値を PWM 周期あたり 1 回のみ更新するときには、パターンが対称なので、最大精度は $2xT_{ck}$ です。

繰り返しダウンカウンタは自動再ロードタイプです。繰り返しの回数は、TIMx_RCR レジスタの値によって定義されたとおりに維持されます（*図 106*を参照してください）。ソフトウェアによって（TIMx_EGR レジスタの UG ビットをセットすることによって）、またはスレーブモードコントローラを介してハードウェアによって更新イベントが生成されると、繰り返しカウンタの値にかかわらず直ちにイベントが発生し、繰り返しカウンタに TIMx_RCR レジスタの内容が再ロードされます。

センターアラインモードでは、TIMx_RCRが奇数の場合、TIMx_RCR レジスタが書き込まれたタイミングおよびカウンタが開始されたタイミングに応じてオーバーフローまたはアンダーフロー時に更新イベントが発生します。カウントの開始前に TIMx_RCR が書き込まれた場合は、オーバーフローで、UEV が発生します。カウントの開始後に TIMx_RCR が書き込まれた場合は、アンダーフローで UEV が発生します。たとえば、TIMx_RCR = 3の場合、TIMx_RCR の書き込みタイミングに応じて4回目のオーバーフローイベントまたはアンダーフローイベントごとに UEV が発生します。

図 106. モードと TIMx_RCR レジスタの設定に応じた更新レートの例



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

17.3.4 クロック選択

カウンタクロックは、次のクロックソースによって供給できます。

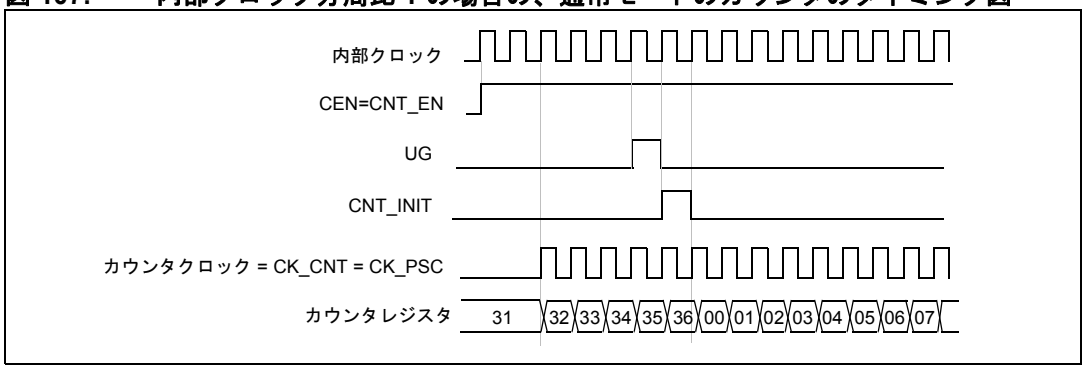
- 内部クロック（CK_INT）
- 外部クロックモード 1：外部入力ピン
- 外部クロックモード 2：外部トリガ入力 ETR
- 内部トリガ入力（ITRx）：あるタイマを別のタイマのプリスケーラとして使用します。たとえば、タイマ 1 がタイマ 2 のプリスケーラとして機能するように設定できます。詳細については、*1 つのタイマを別のタイマのプリスケーラとして使用する* を参照してください。

内部クロックソース（CK_INT）

スレーブモードコントローラが無効の場合（SMS=000）、CEN、DIR（TIMx_CR1 レジスタ）、および UG ビット（TIMx_EGR レジスタ）が実際の制御ビットとなり、ソフトウェアによってのみ変更できます（自動的にクリア状態に保たれる UG ビットを除きます）。CEN ビットに 1 が書き込まれると、プリスケーラに内部クロック CK_INT が供給されます。

*図 107*に、プリスケーラを使用しない場合の制御回路と通常モードのアップカウンタの動作を示します。

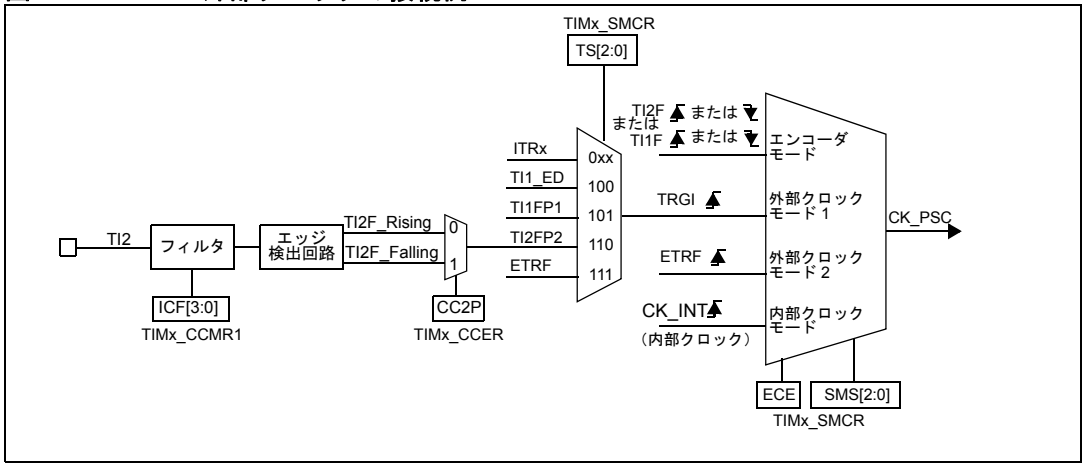
図 107. 内部クロック分周比 1 の場合の、通常モードのカウンタのタイミング図



外部クロックソースモード 1

このモードは TIMx_SMCR レジスタで SMS=111 のときに選択されます。カウンタは、選択された入力の立ち上がりまたは立ち下がりエッジでカウントすることができます。

図 108. TI2 外部クロックの接続例



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

たとえば、TI2 入力の立ち上がりエッジに反応してカウントするようにアップカウンタを設定するには、次の手順で行います。

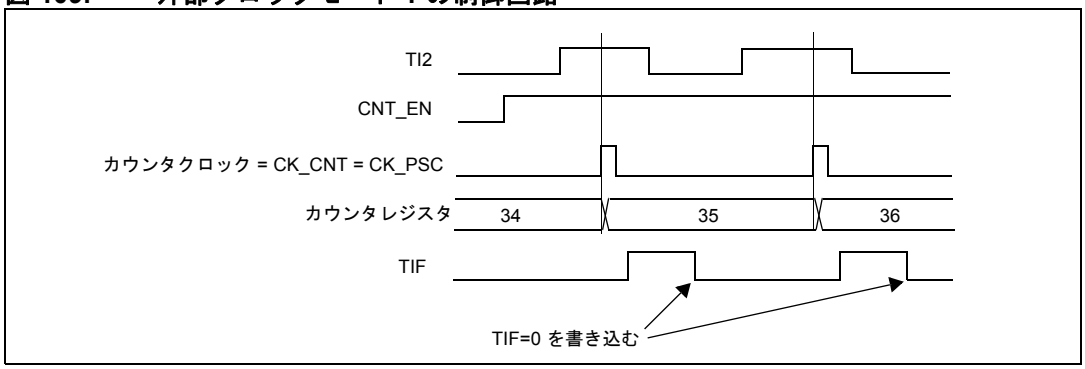
1. TIMx_CCMR1 レジスタに CC2S = 01 を書き込むことによって、チャネル 2 が TI2 入力の立ち上がりエッジを検出するように設定します。
2. TIMx_CCMR1 レジスタの IC2F[3:0] ビットに書き込むことによって、入力フィルタの時間を設定します（フィルタを使用しない場合は、IC2F=0000 にしておきます）。
3. TIMx_CCER レジスタに CC2P=0 と CC2NP=0を書き込むことによって、立ち上がりエッジの極性を選択します。
4. TIMx_SMCR レジスタに SMS=111 を書き込むことによって、タイマを外部クロックモード 1 に設定します。
5. TIMx_SMCR レジスタに TS=110 を書き込むことによって、トリガ入力ソースとして TI2 を選択します。
6. TIMx_CR1 レジスタに CEN=1 を書き込むことによって、カウンタを有効にします。

注： ***キャプチャプリスケーラはトリガには使用されないので、設定は不要です。***

TI2 の立ち上がりエッジが発生すると、カウンタは 1 カウントを行い、TIF フラグがセットされます。

TI2 の立ち上がりエッジから実際のカウンタクロックまでの間には、TI2 入力の再同期回路による遅延があります。

図 109. 外部クロックモード 1 の制御回路



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

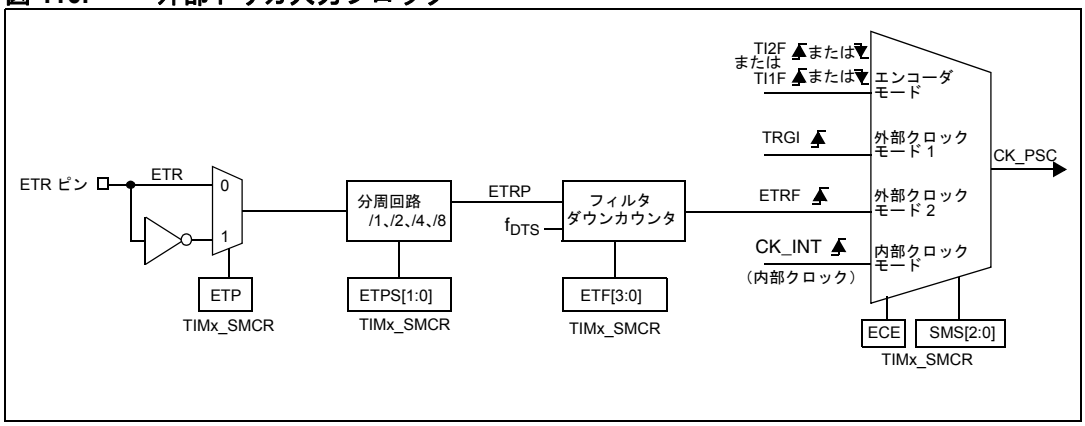
外部クロックソースモード 2

このモードは、TIMx_SMCR レジスタの ECE=1 を書き込むことによって選択されます。

カウンタは、外部トリガ入力 ETR の立ち上がりまたは立ち下がりエッジごとにカウントできます。

図 110 に、外部トリガ入力ブロックの概要を示します。

図 110. 外部トリガ入力ブロック



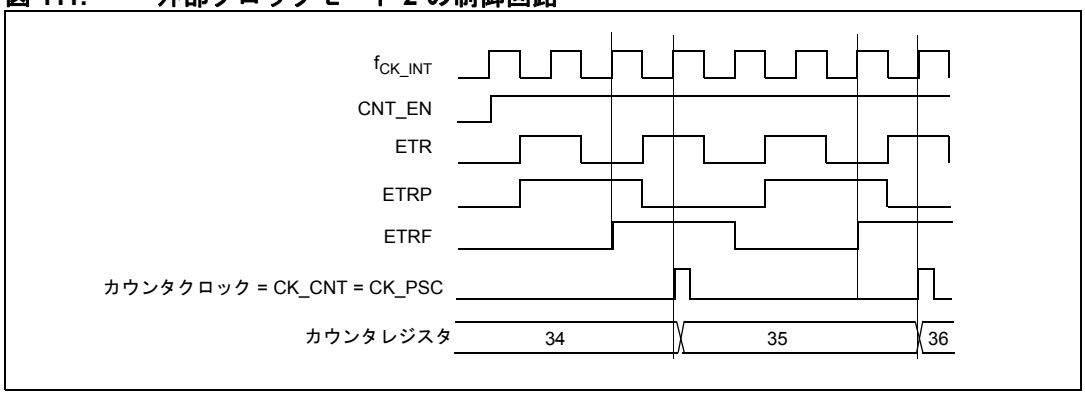
たとえば、ETR の 2 回の立ち上がりエッジごとにカウントするようにアップカウンタを設定するには、以下の手順に従います。

1. この例ではフィルタは不要なので、TIMx_SMCR レジスタの ETF[3:0] に 0000 を書き込みます。
2. TIMx_SMCR レジスタに ETPS[1:0]=01 を書き込むことによって、プリスケーラを設定します。
3. TIMx_SMCR レジスタに ETP=0 を書き込むことによって、ETR ピンの立ち上がりエッジ検出を選択します。
4. TIMx_SMCR レジスタに ECE=1 を書き込むことによって、外部クロックモード 2 を有効にします。
5. TIMx_CR1 レジスタに CEN=1 を書き込むことによって、カウンタを有効にします。

カウンタは 2 回の ETR 立ち上がりエッジごとに 1 回カウントします。

ETR の立ち上がりエッジから実際のカウンタクロックまでの間に、ETRP 信号の再同期回路による遅延があります。

図 111. 外部クロックモード 2 の制御回路



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

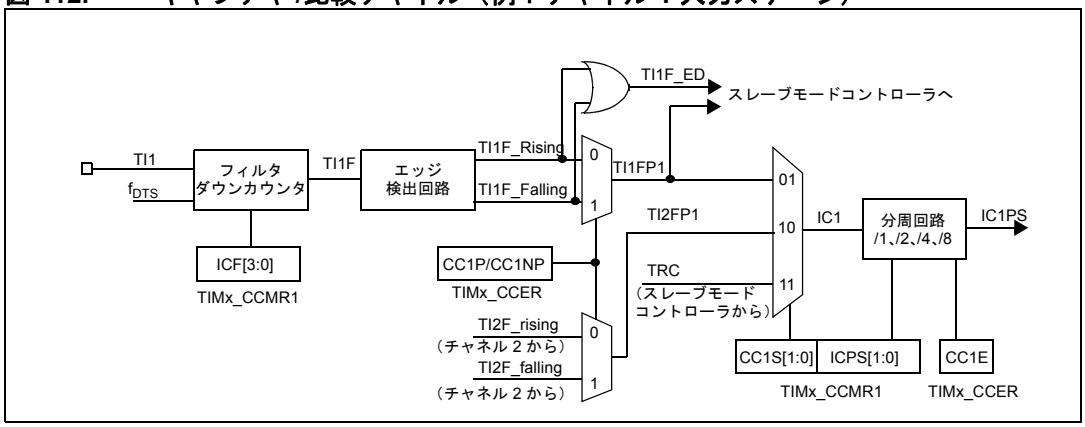
17.3.5 キャプチャ /比較チャネル

各キャプチャ /比較チャネルは、キャプチャ /比較レジスタ（シャドウレジスタを含む）、キャプチャの入力ステージ（デジタルフィルタ、マルチプレクサ、プリスケーラ）、および出力ステージ（比較回路と出力制御）から構成されています。

図 112 から *図 115* に、キャプチャ /比較チャネルの概要を示します。

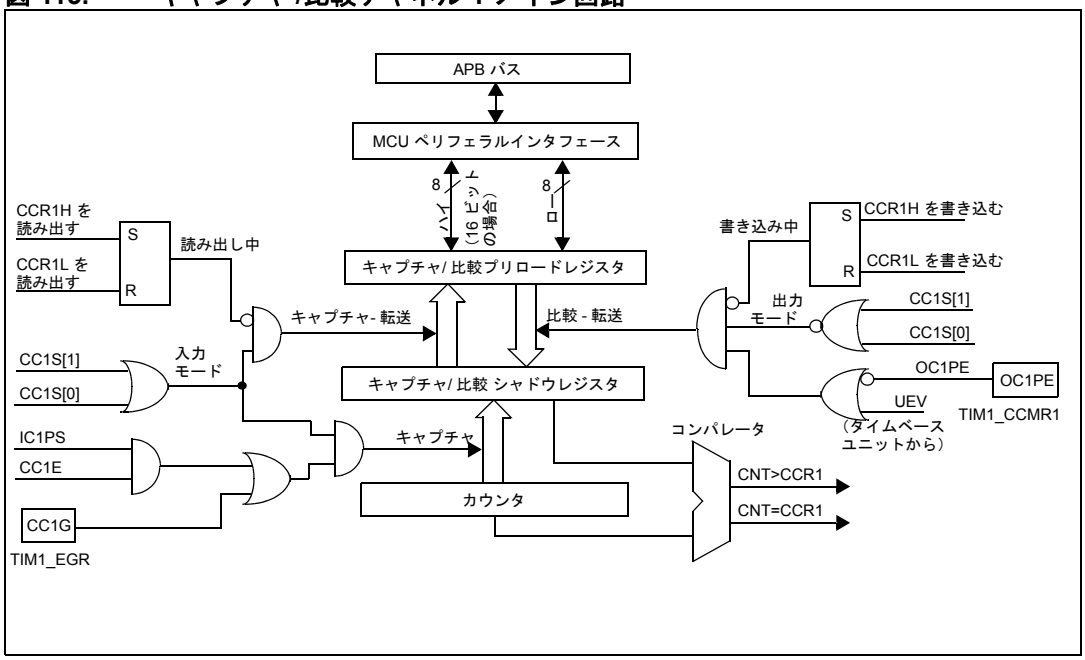
入力ステージは、対応する TIx 入力をサンプリングして、フィルタリングを行った TIxF 信号を生成します。次に、極性選択付きのエッジ検出回路が、スレーブモードコントローラによってトリガ入力として、またはキャプチャコマンドとして使用される信号（TIxFPx）を生成します。この信号はプリスケーラを通じて、キャプチャレジスタ（ICxPS）に渡されます。

図 112. キャプチャ /比較チャネル（例：チャネル 1 入力ステージ）



出力ステージは、OCxRef（アクティブハイ）として使用される中間波形を生成します。信号の極性は最終出力に影響を与えます。

図 113. キャプチャ /比較チャネル 1 メイン回路



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 114. キャプチャ /比較チャネル（チャネル 1 から 3）の出力ステージ

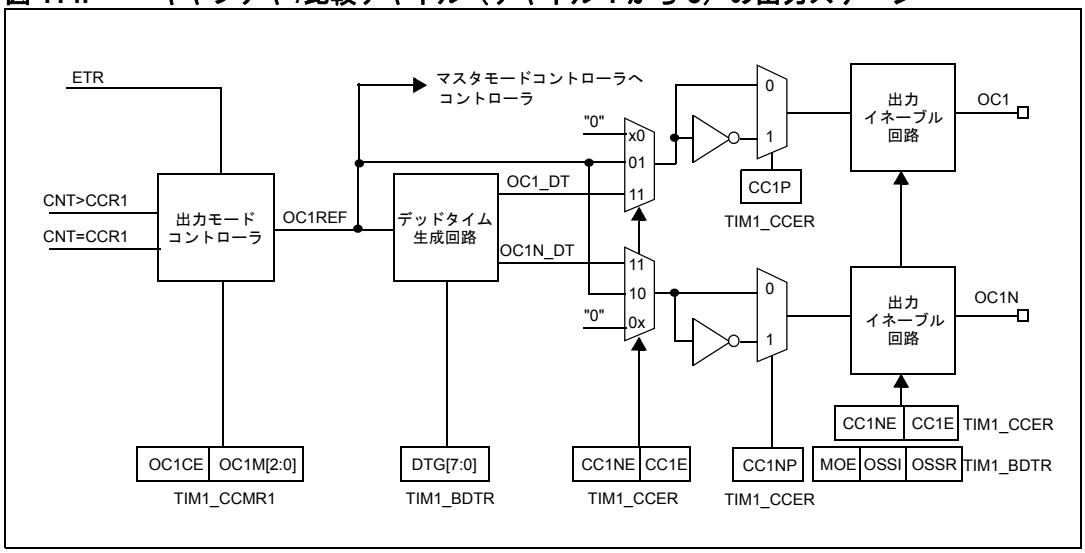
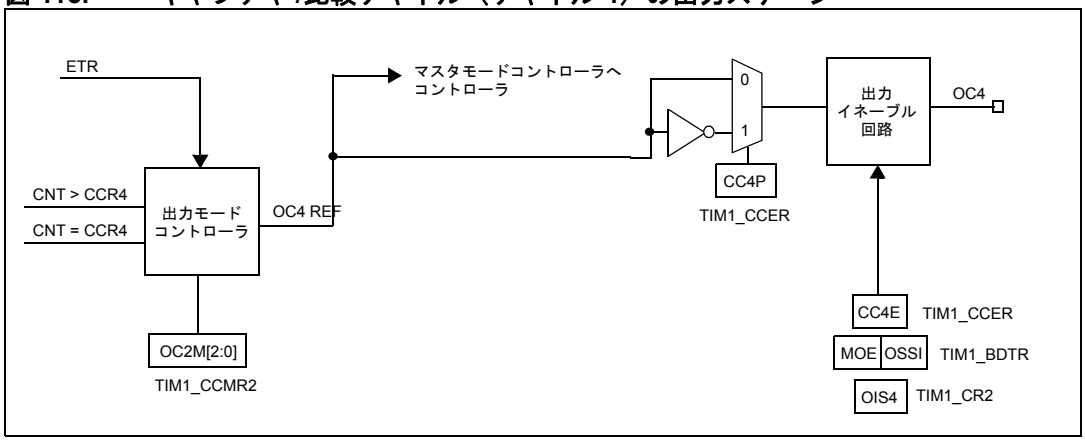


図 115. キャプチャ /比較チャネル（チャネル 4）の出力ステージ



キャプチャ /比較ブロックは、1 つのプリロードレジスタと 1 つのシャドウレジスタで構成されています。リード、およびライトのアクセスは、常にプリロードレジスタに対して行われます。

キャプチャモードでは、キャプチャ動作は実際にはシャドウレジスタで行われ、その値がプリロードレジスタにコピーされます。

比較モードでは、プリロードレジスタの内容がシャドウレジスタにコピーされて、カウンタと比較されます。

17.3.6 入力キャプチャモード

入力キャプチャモードでは、対応する ICx 信号によって変化が検出された後、カウンタの値をラッチするために、キャプチャ /比較レジスタ（TIMx_CCRx）が使用されます。キャプチャが発生すると、対応する CCxIF フラグ（TIMx_SR レジスタ）がセットされ、割り込みまたは DMA リクエストを送信できます（有効な場合）。CCxIF フラグがすでにハイのときにキャプチャが発生した場合は、オーバキャプチャフラグ CCxOF（TIMx_SR レジスタ）がセットされます。CCxIF フラグは、ソフトウェアで“0”を書き込むことによって、または、TIMx_CCRx レジスタに格納されたキャプチャデータを読み出すことによってクリアできます。CCxOF は、“0”を書き込むとクリアされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

次の例は、TI1 入力が立ち上がったときに、カウンタの値を TIMx_CCR1 にキャプチャする方法を示します。このためには、次の手順を使用します。

- アクティブ入力を選択します。TIMx_CCR1 は TI1 入力とリンクされていなければならず、このためには TIMx_CCMR1 レジスタの CC1S ビットに“01”を書き込みます。CC1S の値が“00”から変化すると、チャネルは入力に設定され、TIMx_CCR1 レジスタは読み出し専用になります。
- タイマに接続する信号に対して必要とする入力フィルタ時間を設定します（入力が TIx 入力の内の 1 つである場合、TIMx_CCMRx レジスタの ICxF ビットを設定して行います）。入力信号の反転時、最大で内部クロックの 5 サイクルの間、信号が安定しないと想定してみます。この場合、フィルタ時間を 5 クロックサイクルより長くプログラミングする必要があります。新しいレベルの連続した 8 個のサンプルが検出されたときに、TI1 で変化を検証できます（周波数 f_{DTS} でサンプリング）。この場合、TIMx_CCMR1 レジスタの IC1F ビットに 0011 を書き込みます。
- TI1 チャネルのアクティブ変化のエッジを選択します。このためには、TIMx_CCER レジスタの CC1P ビット とCC1NP ビットに “0”を書き込みます（この場合、立ち上がりエッジの選択）。
- 入力プリスケーラをプログラムします。この例では有効な信号変化ごとにキャプチャを行うので、プリスケーラを無効にします（TIMx_CCMR1 レジスタの IC1PS ビットに“00”を書き込みます）。
- TIMx_CCER レジスタの CC1E ビットをセットすることによって、カウンタからキャプチャレジスタへのキャプチャを有効にします。
- 必要な場合は、TIMx_DIER レジスタの CC1IE ビットをセットすることによって、関連する割り込みリクエストを有効にするか、TIMx_DIER レジスタの CC1DE レジスタをセットすることによって、DMA リクエストを有効にします。

入力キャプチャが発生すると、

- アクティブ遷移時に、カウンタの値が TIMx_CCR1 レジスタに格納されます。
- CC1IF フラグがセットされます（割り込みフラグ）。CC1OF ビットは、少なくとも 2 回連続でキャプチャが発生した場合にもセットされますが、フラグはクリアされません。
- CC1IE ビットに応じて、割り込みが生成されます。
- CC1DE ビットに応じて、DMA リクエストが生成されます。

オーバキャプチャを処理するために、オーバキャプチャフラグの前にデータを読み出すことが推奨されます。これにより、フラグ読み出し後、データ読み出し前に発生するオーバーキャプチャの見落としを避けることができます。

*注： **IC 割り込みと DMA リクエストは、TIMx_EGR レジスタの対応する CCxG ビットをセットすることによって、ソフトウェアによって生成することができます。***

17.3.7 PWM入力モード

このモードは、入力キャプチャモードの特殊ケースです。操作手順は入力キャプチャモードと同様ですが、以下の点が異なります。

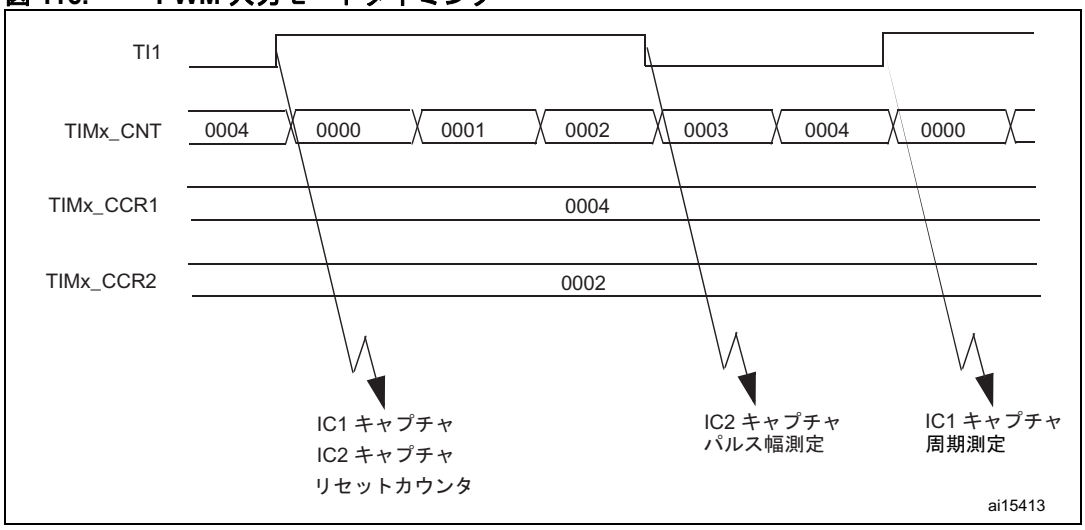
- 2 つの ICx 信号が、同じ TIx 入力にマッピングされます。
- これら 2 つの ICx 信号は、逆の極性のエッジでアクティブです。
- 2 つの TIxFP 信号の 1 つがトリガ入力として選択され、スレーブモードコントローラはリセットモードに設定されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

たとえば、次の手順を使用して、TI1 に適用された PWM の周期（TIMx_CCR1 レジスタ）とデューティサイクル（TIMx_CCR2 レジスタ）を測定できます（手順は、CK_INT 周波数とプリスケーラ値によって、若干異なることがあります）。

- TIMx_CCR1 レジスタの CC1S ビットに“01”を書き込むことによって（TI1 を選択）、TIMx_CCMR1 のアクティブ入力を選択します。
- TI1FP1 のアクティブ極性を選択します（TIMx_CCR1 キャプチャとカウンタクリアの両方に使用します）。CC1P ビットと CC1NP ビットに “0”を書き込みます（立ち上がりエッジでアクティブ）。
- TIMx_CCR2 レジスタの CC2S ビットに“10”を書き込むことによって（TI1 を選択）、TIMx_CCR2 のアクティブ入力を選択します。
- CC2P ビットと CC2NP ビットに“1”を書き込むことによって（立ち下がりエッジでアクティブ）、TI1FP2 のアクティブ極性を選択します（TIMx_CCR2 のキャプチャに使用されます）。
- 有効なトリガ入力を選択します。すなわち、TIMx_SMCR レジスタの TS ビットに“101”を書き込みます（TI1FP1 を選択）。
- スレーブモードコントローラをリセットモードに設定します。すなわち、TIMx_SMCR レジスタの SMS ビットに“100”を書き込みます。
- キャプチャを有効にします。すなわち、TIMx_CCER レジスタの CC1E ビットと CC2E ビットに“1”を書き込みます。

図 116. PWM 入力モードタイミング



17.3.8 強制出力モード

出力モード（TIMx_CCMRx レジスタの CCxS ビット =00）では、出力比較レジスタとカウンタの間の比較に関係なく、各出力比較信号（OCxREF と OCx/OCxN）をソフトウェアによって直接、強制的にアクティブまたはインアクティブレベルにできます。

出力比較信号（OCxREF/OCx）を強制的にアクティブレベルとするには、対応する TIMx_OCMRx レジスタの OCxM ビットに“101”を書き込みます。これにより、OCxREF は強制的にハイになり（OCxREF は常にアクティブハイ）、OCx は CCxP 極性ビットと逆の値になります。

たとえば、CCxP=0（OCx アクティブハイ）=> OCx は強制的にハイレベルになります。

OCxREF 信号は、TIMx_CCMRx レジスタの OCxM ビットに“100”を書き込むことによって、強制的にローにできます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

いずれにしても、TIMx_CCRx シャドウレジスタとカウンタの比較は実行されるので、フラグをセットできます。それに応じて、割り込み や DMA リクエストを送信できます。これについては、次の出力比較モードのセクションで説明します。

17.3.9 出力比較モード

この機能は、出力波形を制御したり、一定時間が経過したことを示すために使用されます。

キャプチャ /比較レジスタとカウンタの値が一致すると、出力比較は次のように機能します。

- 対応する出力ピンに、出力比較モード（TIMx_CCMRx レジスタの OCxM ビット）と出力極性（TIMx_CCER レジスタの CCxP ビット)によって定義されたプログラマブル値を割り当てます。一致した際、出力ピンは、レベルを維持するか（OCxM=000）、アクティブにセットされるか（OCxM=001）、インアクティブにセットされるか（OCxM=010）、または反転されます（OCxM=011）。
- 割り込みステータスレジスタのフラグをセットします（TIMx_SR レジスタの CCxIF ビット）。
- 対応する割り込みマスク（TIMx_DIER レジスタの CCxIE ビット）がセットされている場合は、割り込みを生成します。
- 対応するイネーブルビット（TIMx_DIER レジスタの CCxDE ビット）がセットされている場合は、DMA リクエストを送信します（DMA リクエスト選択には、TIMx_CR2 レジスタの CCDS ビットが使用されます）。

TIMx_CCRx レジスタは、プリロードレジスタを使用するしないにかかわらず、TIMx_OCMRx レジスタの OCxPE ビットを使用してプログラミングできます。

出力比較モードでは、更新イベント UEV は OCxREF および OCx 出力には影響を与えません。タイミングの分解能はカウンタの 1 カウント分です。出力比較モードは、単一パルスを出力するためにも使用できます（ワンパルスモード）。

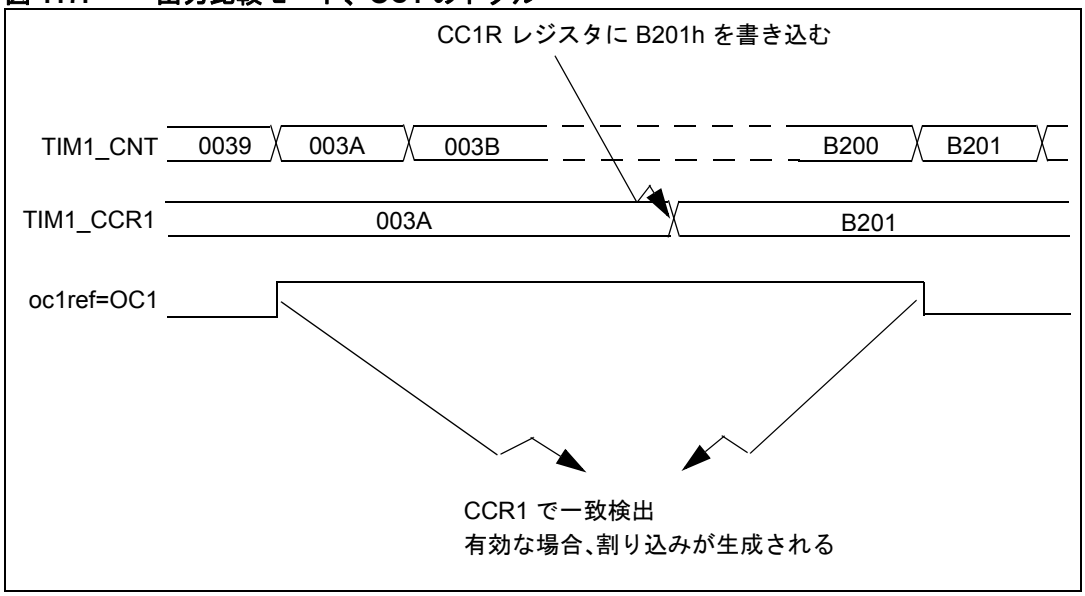
手順：

1. カウンタクロックを選択します（内部、外部、プリスケーラ）。
2. TIMx_ARR レジスタと TIMx_CCRx レジスタに目的のデータを書き込みます。
3. 割り込みリクエストを生成する場合は、CCxIE ビットをセットします。
4. 出力モードを選択します。例：
   - CNT と CCRx が一致したときに OCx 出力ピンを反転するには、OCxM = 011 を書き込みます。
   - プリロードレジスタを無効にするには、OCxPE = 0 を書き込みます。
   - アクティブハイ極性を選択するには、CCxP = 0 を書き込みます。
   - 出力を有効にするには、CCxE = 1 を書き込みます。
5. TIMx_CR1 レジスタの CEN ビットをセットすることによって、カウンタを有効にします。

いつでもソフトウェアによって TIMx_CCRx レジスタを更新して、出力波形を制御できます。ただし、プリロードレジスタが有効でない場合に限ります（OCxPE=0）。そうでない場合、TIMx_CCRx シャドウレジスタは、次の更新イベント UEV でのみ更新されます。例を*図 117*に示します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 117. 出力比較モード、OC1 のトグル



17.3.10 PWM モード

パルス幅変調（PWM）モードでは、TIMx_ARR レジスタの値によって決められた周波数と TIMx_CCRx レジスタの値によって決められたデューティサイクルで信号を生成できます。

PWM モードは、TIMx_CCMRx レジスタの OCxM ビットに“110”（PWM モード 1）または“111”（PWM モード 2）を書き込むことによって、チャネルごとに選択できます（OCx 出力ごとに 1 つの PWM）。TIMx_CCMRx レジスタの OCxPE ビットをセットすることによって、対応するプリロードレジスタを有効にする必要があり、また、TIMx_CR1 レジスタの ARPE ビットをセットすることによって、自動再ロードプリロードレジスタも（アップカウントまたはセンターアラインモードで）有効にする必要があります。

プリロードレジスタは、更新イベントが発生したときにのみシャドウレジスタに転送されるので、カウンタを開始する前に、TIMx_EGR レジスタの UG ビットをセットすることによって、すべてのレジスタを初期化しておく必要があります。

OCx 極性は、TIMx_CCER レジスタの OCxP ビットを使用して、ソフトウェアでプログラムできます。アクティブハイまたはアクティブローとしてプログラムできます。OCx 出力は、CCxE、CCxNE、MOE、OSSI、および OSSR ビット（TIMx_CCER および TIMx_BDTR レジスタ）の組み合わせによって有効になります。詳細については、TIMx_CCERx レジスタの説明を参照してください。

PWM モード（1 または 2）では、TIMx_CNT と TIMx_CCRx が常に比較されて、TIMx_CCRx ≤ TIMx_CNT または TIMx_CNT ≤TIMx_CCRx かどうかが判断されます（カウントの方向によります）。

タイマは、TIMx_CR1 レジスタの CMS ビットに応じて、エッジアラインモードまたはセンターアラインモードで PWM を生成できます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

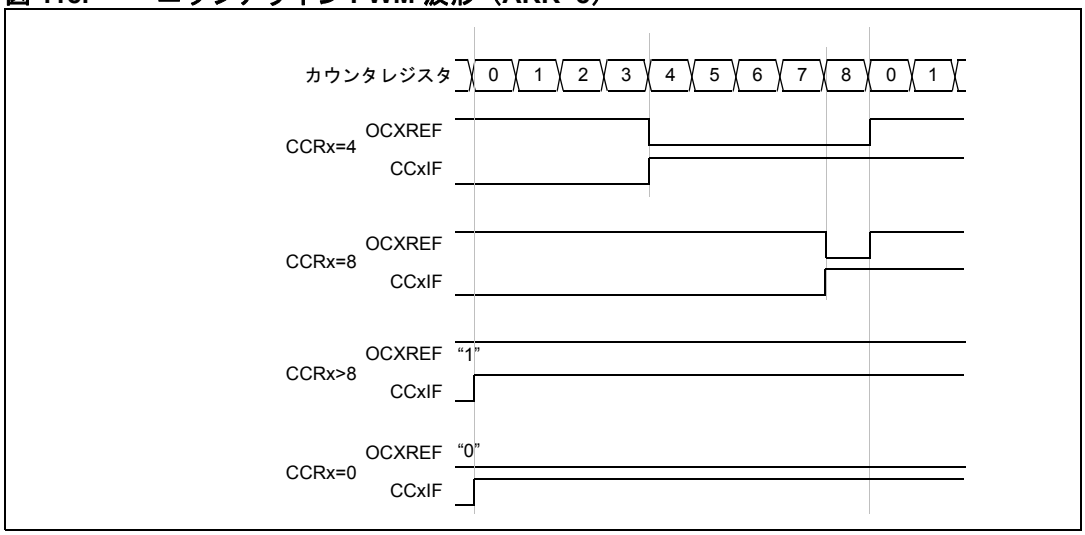
PWM エッジアラインモード

- アップカウント構成

  TIMx_CR1 レジスタの DIR ビットがローのときには、アップカウントがアクティブです。*セクション：アップカウントモード（525 ページ）*を参照してください。

  次の例では、PWM モード 1 を使用しています。PWM 基準信号 OCxREF は、TIMx_CNT < TIMx_CCRx の間はハイに、そうでない場合はローになります。TIMx_CCRx の比較値が自動再ロード値（TIMx_ARR レジスタの）より大きい場合、OCxREF は“1”です。比較値が 0 の場合、OCiREF は“0”に保持されます。*図 118* に、TIMx_ARR=8 のときのエッジアライン PWM 波形の例を示します。

図 118. エッジアライン PWM 波形（ARR=8）



- ダウンカウント構成

  TIMx_CR1 レジスタの DIR ビットがハイのときには、ダウンカウントがアクティブです。*セクション：ダウンカウントモード（528 ページ）*を参照してください。

  PWM モード 1 では、基準信号 OCxRef は、TIMx_CNT > TIMx_CCRx の間はローであり、そうでない場合はハイになります。TIMx_CCRx の比較値が TIMx_ARR の自動再ロード値より大きい場合、OCxREF は“1”です。このモードでは、0 % の PWM 信号を生成することはできません。

PWM センターアラインモード

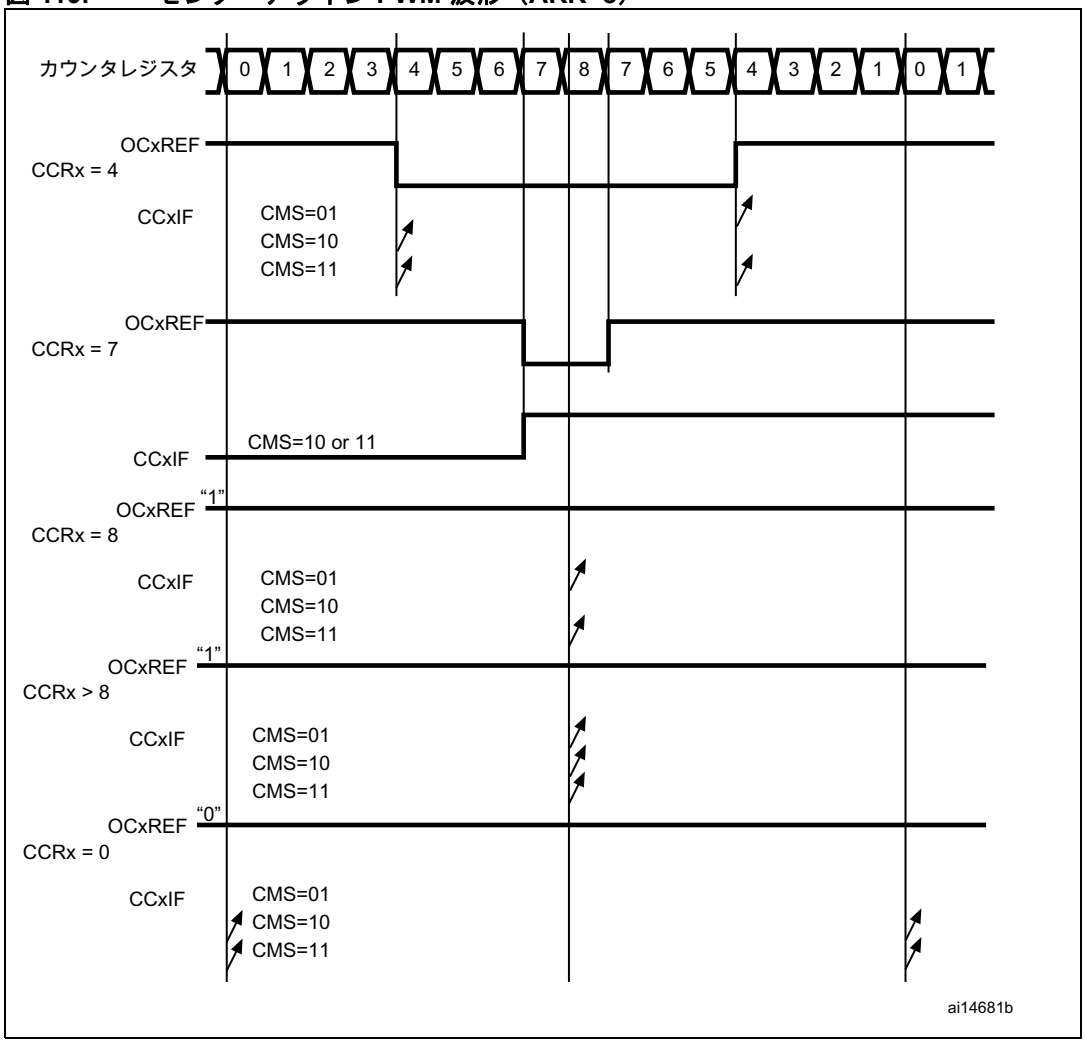
センターアラインモードは、TIMx_CR1 レジスタの CMS ビットが“00”でないときにアクティブです（その他すべての構成は、OCxRef/OCx 信号に対して同じ効果を持ちます）。比較フラグは、CMS ビットの設定に応じて、カウンタがカウントアップ、カウントダウン、またはカウントアップとカウントダウンしているときにセットされます。TIMx_CR1 レジスタの方向ビット （DIR）はハードウェアによって更新されており、ソフトウェアで値を変更することはできません。*セクション：センタアラインモード（アップ/ダウンカウント）（530 ページ）*を参照してください。

*図 119*に、次の条件でのセンターアライン PWM 波形の例を示します。

- TIMx_ARR=8、
- PWM モードは PWM モード 1
- フラグは、TIMx_CR1 レジスタの CMS=01 で選択されたセンターアラインモード 1 に対応して、カウンタがカウントダウンするときにセットされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 119. センターアライン PWM 波形（ARR=8）



センターアラインモードの使用に関するヒント：

- センターアラインモードを開始するときには、現在のアップ/ダウン設定が使用されます。これは、TIMx_CR1 レジスタの DIR ビットに書き込まれた値に応じて、カウンタがカウントアップまたはカウントダウンすることを意味します。さらに、DIR ビットと CMS ビットをソフトウェアによって同時に変更することはできません。
- センターアラインモードで動作中のカウンタへの書き込みは、予期しない結果を招くことがあるので推奨されません。特に、
  - 自動再ロード値より大きい値をカウンタに書き込んだ場合（TIMx_CNT > TIMx_ARR）、方向は更新されません。たとえば、カウンタがカウントアップしていた場合、カウンタはカウントアップを続けます。
  - カウンタに 0 または TIMx_ARR 値が書き込まれた場合、方向は更新されますが、更新イベント UEV は生成されません。
- センターアラインモードを使用する最も安全な方法は、カウンタを開始する直前に、ソフトウェアによって更新を生成して（TIMx_EGR レジスタの UG ビットをセットする）、動作中はカウンタへの書き込みを行わないことです。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

17.3.11 相補出力とデッドタイム挿入

高機能制御タイマ（TIM1 とTIM8）は、2 つの相補信号を出力して、出力時のスイッチオンおよびスイッチオフを管理できます。

この時間は、通常、デッドタイムと呼ばれ、出力に接続されているデバイスとその特性（レベルシフタの内在的な遅延、電源スイッチによる遅延など）に応じて調整する必要があります。

出力の極性（主出力 OCx または補 OCxN）は、出力ごとに独自に選択できます。これは TIMx_CCER レジスタの CCxP ビットおよび CCxNP ビットへの書き込みによって行います。

相補信号 OCx および OCxN は、TIMx_CCER レジスタの CCxE ビットと CCxNE ビット、TIMx_BDTR レジスタと TIMxCR2 レジスタの MOE、OISx、OISxN、OSSI、および OSSR ビットといった複数の制御ビットの組み合わせによって有効になります。詳細については、*表 94: ブレーク機能を持つ相補 OCx および OCxN チャネルの出力制御ビット機能（580 ページ）*を参照してください。特に、IDLE 状態に切り替わるとき（MOE が 0 になるとき）に、デッドタイムが挿入されます。

デッドタイム挿入は、CCxE ビットと CCxNE ビットの両方をセットし、ブレーク回路がある場合は、さらに MOE ビットをセットすることによって有効になります。TIMx_BDTR レジスタのDTG[7:0] ビットは、全チャネルに対するデッドタイムの生成を制御するために使います。この回路は、基準波形 OCxREF から OCx と OCxN の 2 つの出力を生成します。OCx と OCxN がアクティブハイの場合、

- OCx 出力信号は基準信号と同じですが、立ち上がりエッジが基準の立ち上がりエッジより遅い点が異なります。
- OCxN 出力信号は、立ち上がりエッジが基準波形の立ち下がりエッジから遅れている点を除けば、基準信号を反転させた波形と同じです。

遅延がアクティブ出力（OCx または OCxN）の幅より大きい場合、対応するパルスは生成されません。

以下の図は、デッドタイム生成回路の出力信号と基準信号 OCxREF との関係を示します。（これらの例では、CCxP=0、CCxNP=0、MOE=1、CCxE=1、および CCxNE=1 を想定しています。）

図 120. デッドタイム挿入のある相補出力

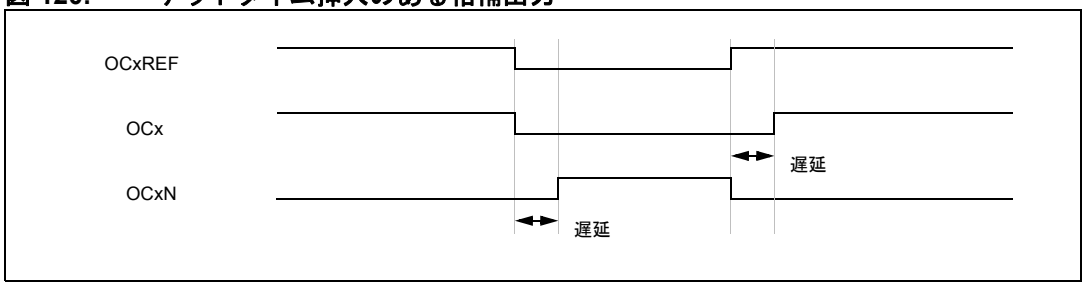
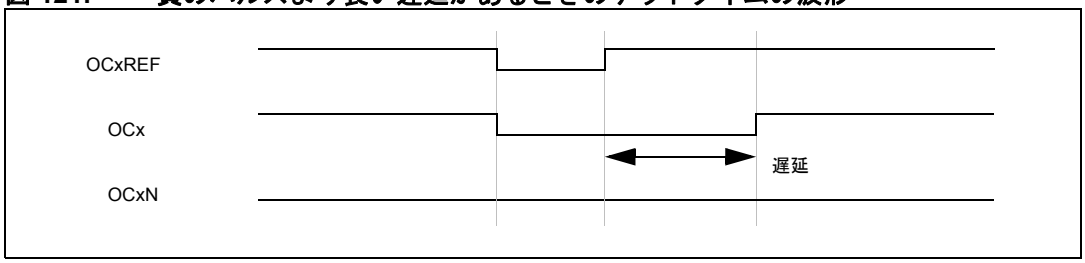
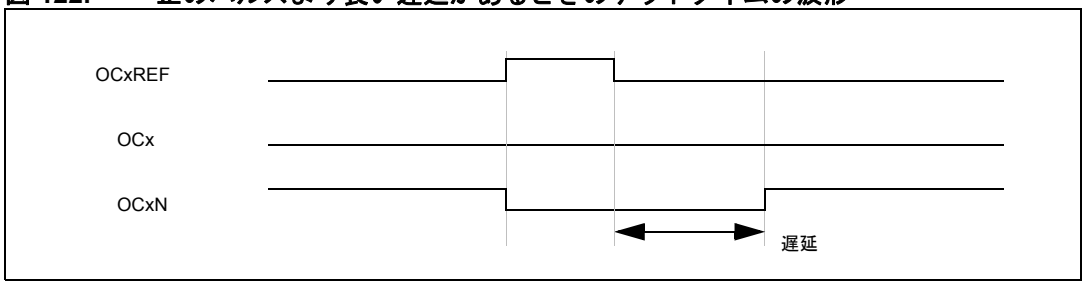


図 121. 負のパルスより長い遅延があるときのデッドタイムの波形



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 122. 正のパルスより長い遅延があるときのデッドタイムの波形



デッドタイム遅延は、各チャネルで同じであり、TIMx_BDTR レジスタの DTG ビットでプログラミングできます。遅延計算の詳細については、*セクション 17.4.18 : TIM1 および TIM8 ブレークおよびデッドタイムレジスタ（TIMx_BDTR）(584 ページ)*を参照してください。

OCxREF 信号の OCx または OCxN へのリダイレクト

出力モード（強制、出力比較、または PWM）では、TIMx_CCER レジスタの CCxE ビットおよび CCxNE ビットを構成することによって、OCxREF 信号を OCx 出力または OCxN 出力にリダイレクトできます。

これにより、特定の波形（PWM または静的アクティブレベルなど）を一方の出力に送信し、補信号をインアクティブレベルに固定することができます。他の例としては、両方の出力をインアクティブレベルにしたり、両方の出力をアクティブにして、デッドタイムのある相補出力とすることができます。

注 : ***OCxN のみが有効なときには（CCxE=0、CCxNE=1）、相補にならず、OCxREF がハイレベルとなるとアクティブになります。たとえば、CCxNP=0 の場合は、OCxN=OCxRef です。他方、OCx と OCxN の両方が有効なときには（CCxE=CCxNE=1）、OCxREF がハイになると OCx はアクティブになり、OCxREF がローのときには、OCxN は補信号であり、アクティブになります。***

17.3.12 ブレーク機能の使用

ブレーク機能を使用しているときには、出力イネーブル信号とインアクティブレベルは追加の制御ビット（TIMx_BDTR レジスタの MOE、OSSI、および OSSR ビットと TIMxCR2 レジスタの OISx および OISxN ビット）に応じて変更されます。ただし、OCx および OCxN 出力の両方を同時にアクティブレベルに設定することはできません。詳細については、*表 94: ブレーク機能を持つ相補 OCx および OCxN チャネルの出力制御ビット機能（580 ページ)*を参照してください。

ブレークソースは、ブレーク入力ピンか、リセットクロックコントローラ（RCC）のクロックセキュリティシステム（CSS）によって生成されたクロック障害イベントです。クロックセキュリティシステムの詳細については、*セクション 7.2.7 : クロックセキュリティシステム（CSS）*を参照してください。

リセットが終了すると、ブレーク回路は無効になり、MOE ビットはローになります。TIMx_BDTR レジスタの BKE ビットをセットすることによって、ブレーク機能を有効にできます。ブレーク入力の極性は、同じレジスタの BKP ビットを設定することによって選択できます。BKE と BKP は、同時に変更できます。BKE および BKP ビットが書き込まれるとき、書き込みが有効になるまでに 1 APB クロックサイクルの遅延が適用されます。そのため、書き込み動作の後、ビットを正しく読み出すためには 1 APB クロックサイクル待つ必要があります。

MOE の立ち下がりエッジは非同期のことがあるので、実際の信号（出力に作用する信号）と同期制御ビット（TIMx_BDTR レジスタからアクセスできる）の間に、再同期回路が挿入されています。このため、非同期信号と同期信号の間に若干の遅延が発生します。特に、MOE がローになった後で 1 が書き込まれた場合、MOE を正しく読み出すためには、遅延（ダミー命令）を挿入する必要があります。これは、非同期信号を書き込んで、同期信号を読み出すからです。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ブレークが発生すると（ブレーク入力で選択されたレベル）、

- MOE ビットは非同期にクリアされ、出力は、インアクティブ状態、アイドル状態、またはリセット状態（OSSI ビットで選択）になります。これは、MCU オシレータがオフの場合も同様です。
- 各出力チャネルは、MOE=0 になったとき、TIMx_CR2 レジスタの OISx ビットでプログラミングされたレベルで駆動されます。OSSI=0 の場合、タイマはイネーブル出力を解除し、そうでない場合、イネーブル出力はハイのままです。
- 相補出力が使用されているときには、
  - 出力は、まずリセット状態のインアクティブ状態に置かれます（極性に依存します）。これは非同期に行われるので、タイマにクロックが供給されていないときでも機能します。
  - タイマクロックが供給されている場合、デッドタイム後に OISx および OISxN ビットでプログラミングされたレベルで出力を駆動するために、デッドタイム生成回路が作動します。この場合でも、OCx と OCxN を同時にアクティブレベルに駆動することはできません。MOE の再同期により、デッドタイム時間が通常より少し長くなることに注意してください（約 2 CK_TIM クロックサイクル）。
  - OSSI=0 の場合、タイマはイネーブル出力を解除し、そうでない場合、イネーブル出力はそのままか、CCxE または CCxNE ビットがハイになったときにハイになります。
- ブレーク状態フラグ（TIMx_SR レジスタの BIF ビット）がセットされます。TIMx_DIER レジスタの BIE ビットがセットされている場合は、割り込みを生成できます。TIMx_DIER レジスタの BDE ビットがセットされている場合、DMA リクエストを送信できます。
- TIMx_BDTR レジスタの AOE ビットがセットされている場合、MOE ビットは次の更新イベント UEV で再び自動的にセットされます。これを使用して、たとえば、レギュレーションを行うことができます。そうでない場合、MOE ビットは、再び 1 が書き込まれるまでローのままです。この場合、セキュリティ目的で使用でき、パワー駆動回路、温度センサ、またはセキュリティコンポーネントからのアラームにブレーク入力を接続できます。

注： ***ブレーク入力は、信号レベルに対して動作します。このため、ブレーク入力がアクティブな間は、MOE をセットできません（自動的にも、ソフトウェアによっても）。この間、ステータスフラグ BIF をクリアできません。***

ブレークは、BRK 入力によって生成でき、BRK はプログラミング可能な極性を持ち、TIMx_BDTR レジスタの BKE がイネーブルビットです。

ブレークの生成には次の2つの方法があります。

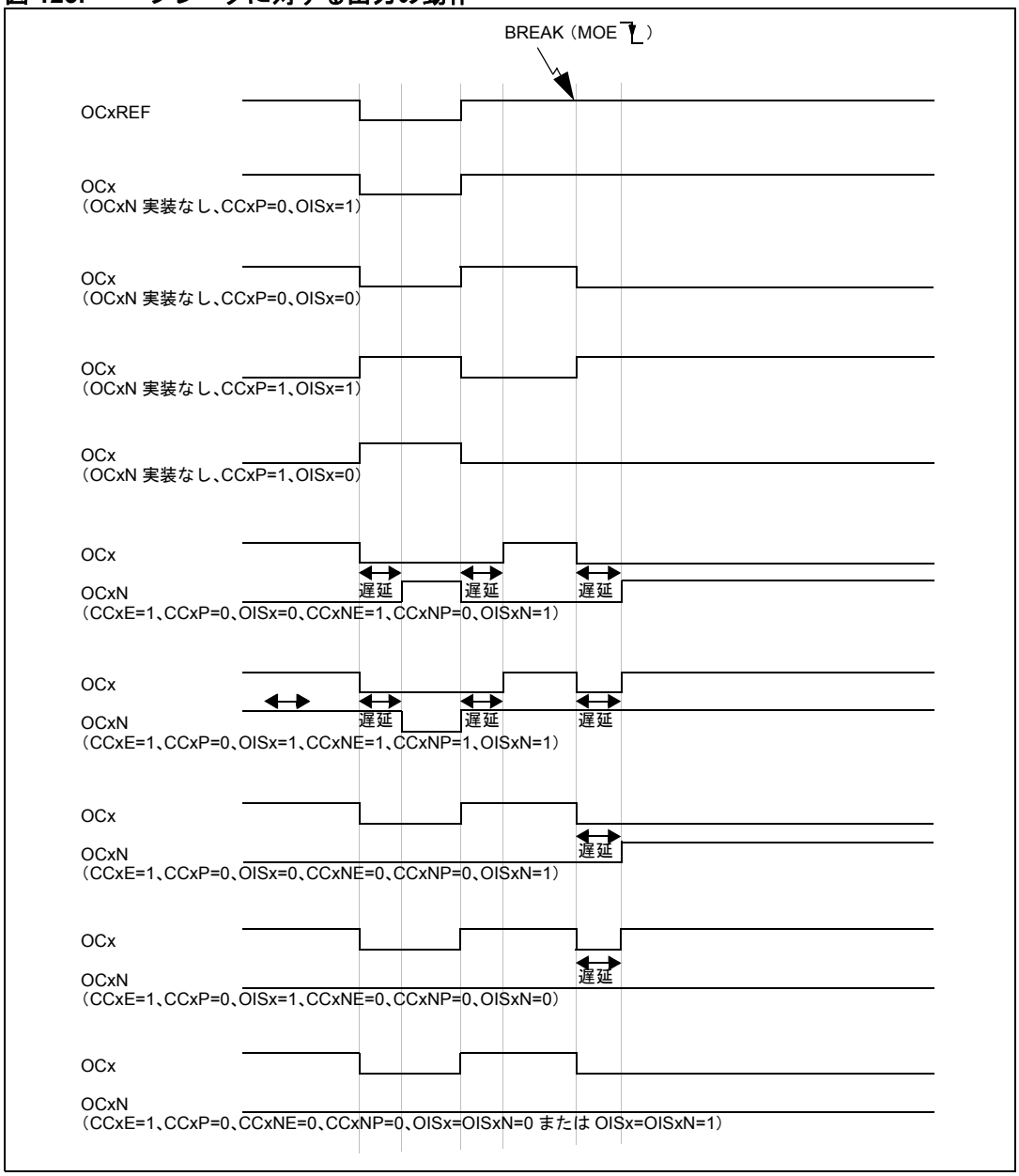
- BRK 入力を使用します。BRK はプログラミング可能な極性を持ち、TIMx_BDTR レジスタの BKE がイネーブルビットです。
- ソフトウェアから生成します。TIMx_EGR レジスタで BG ビットをセットします。

ブレーク入力と出力管理に加えて、アプリケーションに対する安全策として、ブレーク回路内に書き込み保護機能を設けてあります。これにより、いくつかのパラメータ（デッドタイムの長さ、OCx/OCxN 極性、無効時の状態、OCxM 構成、ブレークイネーブルと極性）を固定することができます。TIMx_BDTR レジスタの LOCK ビットによって、3 レベルの保護を選択することができます。*セクション 17.4.18：TIM1 および TIM8 ブレークおよびデッドタイムレジスタ (TIMx_BDTR)（584 ページ）*を参照してください。LOCK ビットは、MCU リセット後に 1 回だけ書き込むことができます。

図 123 に、ブレークに対する出力の動作例を示します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 123. ブレークに対する出力の動作



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

17.3.13 外部イベントによる OCxREF 信号のクリア

特定のチャネルの OCxREF 信号は、ETRF 入力にハイレベルを適用する（対応する TIMx_CCMRx レジスタの OCxCE イネーブルビットを“1”にセットする）ことによってローに駆動できます。OCxREF 信号は、次の更新イベント UEV が発生するまで、ローレベルを保ちます。

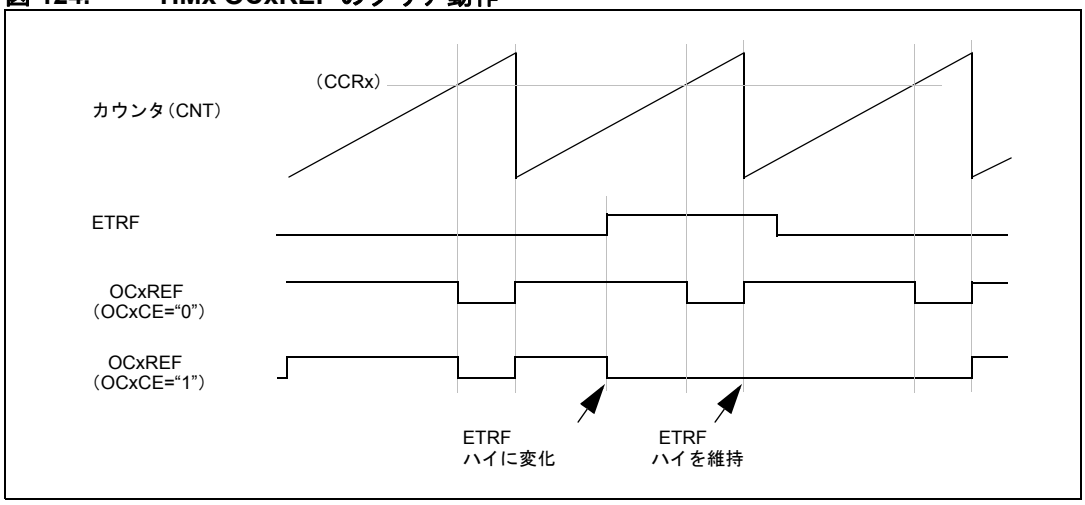
この機能は、出力比較モードと PWM モードでのみ使用でき、強制モードでは機能しません。

たとえば、ETR 信号を比較回路の出力に接続して、電流処理に使用することができます。この場合、ETR は次のように構成する必要があります。

1. 外部トリガプリスケーラはオフ状態に維持する必要があります。このため、TIMx_SMCR レジスタの ETPS[1:0] ビットを“00”にセットします。
2. 外部クロックモード 2 を無効にする必要があります。このため、TIMx_SMCR レジスタの ECE ビットを“0”にセットします。
3. 外部トリガ極性（ETP）と外部トリガフィルタ（ETF）は、ユーザニーズに応じて構成できます。

*図 124*に、イネーブルビットOCxCE の両方の値について、ETRF 入力がハイレベルになったときの OCxREF 信号の動作を示します。この例では、TIMx タイマは PWM モードにプログラミングされています。

図 124. TIMx OCxREF のクリア動作



注： 100% デューティサイクルの PWM の場合 （CCRx>ARR の場合）、次のカウンタオーバーフローで OCxREF が再度有効になります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

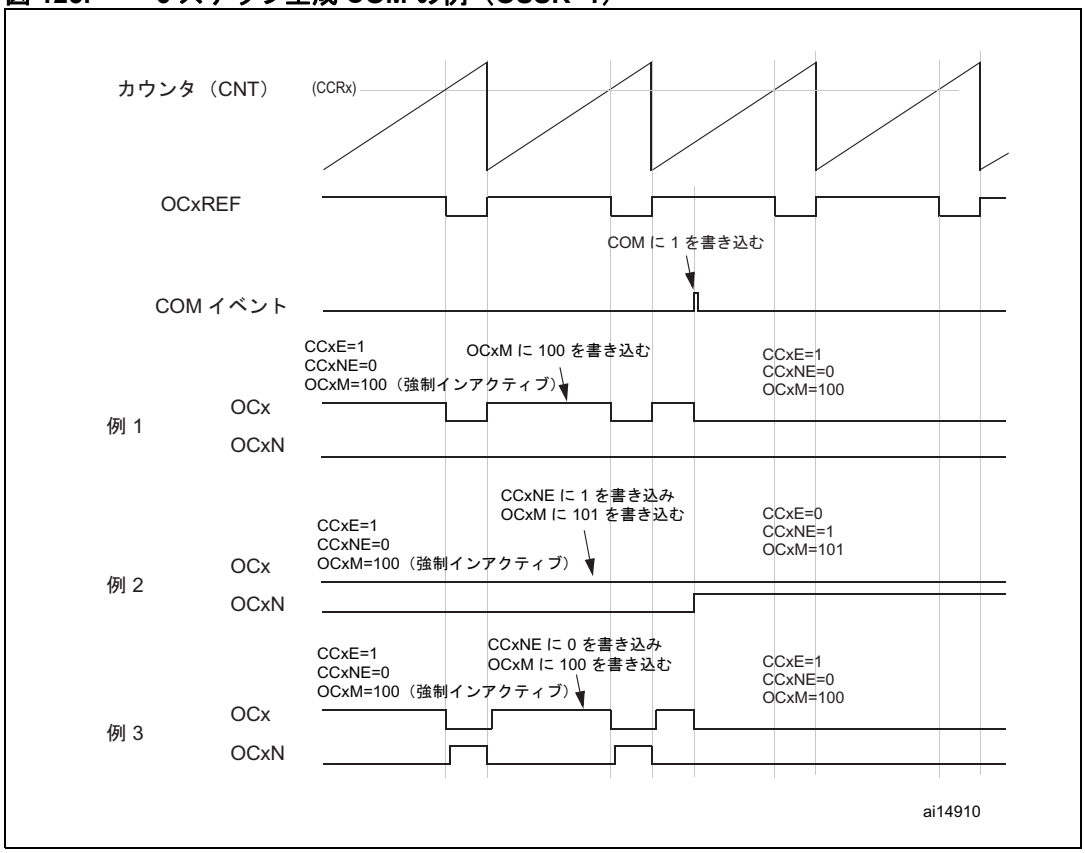
17.3.14 6 ステップ PWM 生成

チャネルで相補出力が使用されているときには、OCxM、CCxE、および CCxNE ビットでプリロードビットが使用できます。プリロードビットは、COM 転換イベントでシャドウビットにコピーされます。これにより、次のステップの構成をあらかじめプログラミングして、すべてのチャネルの構成を同時に変更することができます。COM は、TIMx_EGR レジスタの COM ビットをセットすることによってソフトウェアによって、またはハードウェアによって（TRGI 立ち上がりエッジで）生成することができます。

フラグは、COM イベントが発生したときにセットされ（TIM x _SR レジスタの COMIF ビット）、これによって割り込み（TIMx_DIER レジスタの COMIE ビットがセットされている場合）または DMA リクエスト（TIMX_DIER レジスタの COMDE ビットがセットされている場合）を生成できます。

*図 125*に、COM イベントが発生したときの OCx と OCxN 出力の動作を、3 種類のプログラミング構成の例で示します。

図 125. 6 ステップ生成 COM の例（OSSR=1）



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

17.3.15 ワンパルスモード

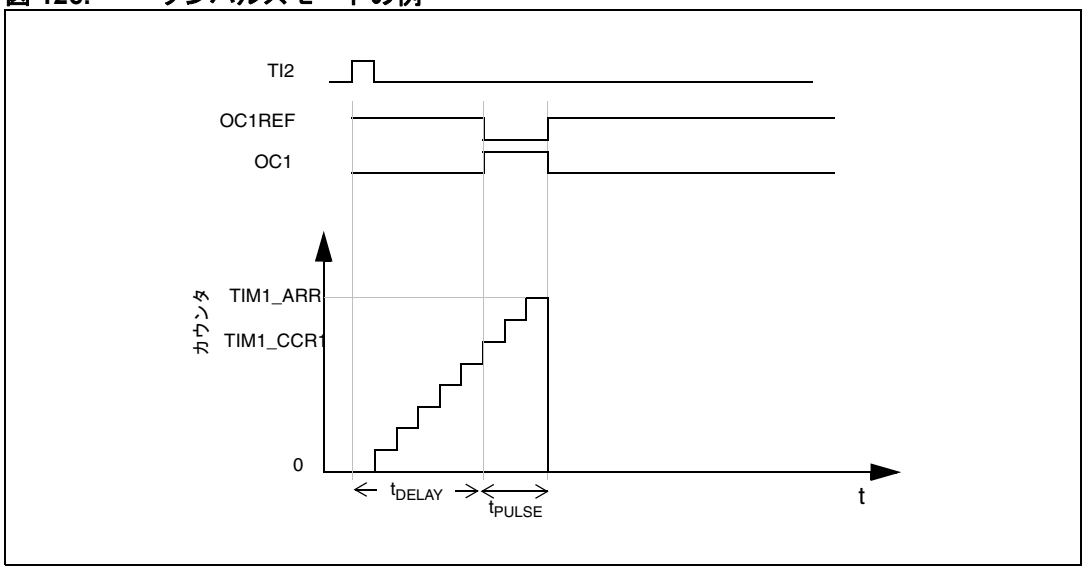
ワンパルスモード（OPM：One Pulse Mode）は、これまでに説明したモードの特殊ケースです。トリガに応じてカウンタを開始して、プログラム可能な遅延後にプログラム可能な長さのパルスを生成できます。

カウンタの開始は、スレーブモードコントローラを通じて制御できます。波形の生成は、出力比較モードまたは PWM モードで行うことができます。ワンパルスモードを選択するには、TIMx_CR1 レジスタの OPM ビットをセットします。これによって、カウンタは、次の更新イベント UEV で自動的に停止します。

パルスは、比較値がカウンタの初期値と異なる場合のみ、正しく生成されます。開始する前に（タイマがトリガを待っているときに）、設定が次のようでなければなりません。

- アップカウントの場合、CNT < CCRx ≤ ARR（特に、0 < CCRx）
- ダウンカウント時：CNT>CCRx

図 126. ワンパルスモードの例



たとえば、TI2 入力ピンで立ち上がりエッジが検出されたときに、OC1 にパルス幅が t_{PULSE} の正のパルスを遅延時間 t_{DELAY} 後に生成することもできます。

TI2FP2 をトリガ 1 として使用します。

- TIMx_CCMR1 レジスタに CC2S=01 を書き込むことによって、TI2FP2 を TI2 に配置します。
- TI2FP2 は、立ち上がりエッジを検出して、TIMx_CCER レジスタで CC2P= 0 とCC2NP = 0 を書き込みます。
- TI2FP2 をスレーブモードコントローラのトリガ（TRGI）として設定します。このためには、TIMx_SMCR レジスタの TS= 110 を書き込みます。
- TI2FP2 を使用してカウンタを開始します。このためには、TIMx_SMCR レジスタの SMS に“110”（トリガモード）を書き込みます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OPM 波形は、次のように比較レジスタに書き込むことによって定義されます（クロック周波数とカウンタプリスケーラを考慮に入れて）。

- t_{DELAY} は、TIMx_CCR1 レジスタに書き込まれた値によって定義されます。
- t_{PULSE} は、自動再ロード値と比較値の差（TIMx_ARR - TIMx_CCR1）によって定義されます。
- 比較一致が発生したときに 0 から 1 へ遷移し、カウンタが自動再ロード値に達したときに 1 から 0 へ遷移する波形を生成するとします。このためには、TIMx_CCMR1 レジスタの OC1M=111 を書き込むことによって、PWM モード 2 を有効にします。オプションで、TIMx_CCMR1 レジスタに OC1PE=1 を書き込み、TIMx_CR1 レジスタに ARPE を書き込むことによって、プリロードレジスタを有効にすることもできます。この場合、TIMx_CCR1 レジスタに比較値を書き込み、TIMx_ARR レジスタに自動再ロード値を書き込みます。次に、UG ビットをセットすることによって更新を生成し、TI2 で外部トリガイベントを待ちます。この例では、CC1P に“0”を書き込みます。

上の例では、TIMx_CR1 レジスタの DIR および CMS ビットはローでなければなりません。

必要なパルスは 1 つだけなので（シングルモード）、TIMx_CR1 レジスタの OPM ビットに“1”を書き込みます。こうすると、カウンタは次の更新イベント時に停止します（カウンタが自動再ロード値に達して、“0”に戻る時点）。TIMx_CR1 レジスタの OPM ビットが“0”にセットされると、繰り返しモードが選択されます。

特殊なケース：OCx 高速イネーブル：

ワンパルスモードでは、TIx 入力のエッジ検出によって、カウンタを有効にする CEN ビットがセットされます。その後、カウンタと比較値の比較によって、出力が反転されます。ただし、このような動作には数クロックサイクルが必要なので、実現可能な最小遅延（t_{DELAY} min）を制限します。

最小遅延で波形を出力したい場合は、TIMx_CCMRx レジスタの OCxFE ビットをセットします。こうすると、OCxREF（および OCx）は、比較動作を行うことなく、強制的にトリガに反応します。新しいレベルは、比較が一致したときと同じです。OCxFE は、チャネルが PWM1 または PWM2 モードに構成された場合のみ機能します。

17.3.16 エンコーダインタフェースモード

エンコーダインタフェースモードを選択するには、TIMx_SMCR レジスタで、カウンタが TI2 エッジのみをカウントしている場合は SMS=“001”を、TI1 エッジのみをカウントしている場合は SMS=“010”を、TI1 と TI2 の両方のエッジをカウントしている場合は SMS=“011”を書き込みます。

TI1 と TI2 の極性を選択するには、TIMx_CCER レジスタの CC1P ビットと CC2P ビットをプログラミングします。必要なときには、入力フィルタもプログラミングできます。CC1NP と CC2NP はローに維持する必要があります。

2 つの入力 TI1 と TI2 は、インクリメンタルエンコーダとのインタフェースに使用されます。*表 92*を参照してください。カウンタのクロック供給は、TI1FP1 または TI2FP2（入力フィルタおよび極性選択の後は TI1 と TI2、フィルタされず反転されない場合は TI1FP1=TI1、フィルタされず反転されない場合は TI2FP2=TI2）での有効な遷移ごとに行われます。ただし、カウンタは有効である（TIMx_CR1 レジスタの CEN ビットに“1”が書き込まれている）ことが前提です。2 つの入力の遷移シーケンスが評価されて、カウントパルスと方向信号を生成します。シーケンスに応じて、カウンタはカウントアップまたはカウントダウンし、TIMx_CR1 レジスタの DIR ビットがハードウェアによって変更されます。カウンタが TI1 のみ、TI2 のみ、または TI1 と TI2 の両方をカウントしている場合でも、DIR ビットは、いずれかの入力（TI1 または TI2）の遷移のたびに計算されます。

エンコーダインタフェースモードは、方向選択を含む外部クロックとして動作します。カウンタは、0 と TIMx_ARR レジスタの自動再ロード値の間で連続的にカウントします（方向に応じて、0 から ARR まで、または ARR から 0 まで）。したがって、開始前に TIMx_ARR を構成する必要があります。同様に、キャプチャ、比較、プリスケーラ、繰り返しカウンタ、トリガ出力の機能は通常どおりに機

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

能を続けます。エンコーダモードと外部クロックモード 2 は互換性がないので、同時に選択することはできません。

このモードでは、カウンタはインクリメンタルエンコーダの速度と方向に応じて自動的に変更されます。したがって、カウンタの内容は、常にエンコーダの位置を表します。カウンタの方向は、接続されているセンサの回転方向に対応します。次の表は、カウント方向とエンコーダ信号の可能な組み合わせを示します（TI1 と TI2 は同時に切り替わらないと想定しています）。

表 92. カウント方向とエンコーダ信号

アクティブエッジ	他方の信号のレベル（TI2 に対する TI1FP1、TI1 に対する TI2FP2）	TI1FP1 信号		TI2FP2 信号	
		立ち上がり	立ち下がり	立ち上がり	立ち下がり
TI1 のみカウント	ハイ	ダウン	アップ	カウントなし	カウントなし
	ロー	アップ	ダウン	カウントなし	カウントなし
TI2 のみカウント	ハイ	カウントなし	カウントなし	アップ	ダウン
	ロー	カウントなし	カウントなし	ダウン	アップ
TI1 と TI2 の両方をカウント	ハイ	ダウン	アップ	アップ	ダウン
	ロー	アップ	ダウン	ダウン	アップ

外部インクリメンタルエンコーダは、外部にインタフェースロジックなしに、MCU に直接接続できます。ただし、エンコーダの差分出力をデジタル信号に変換するために、通常、コンパレータが使用されます。これにより、耐ノイズ性が大幅に向上します。機械的なゼロ位置を示す 3 番目のエンコーダ出力は、外部割り込み入力に接続して、カウンタのリセットをトリガできます。

図 127 に、カウント信号の生成と方向制御を含むカウンタの動作例を示します。また、両方のエッジが選択されているときの入力ジッタの補正方法も示します。この状況は、センサの位置が一方のスイッチングポイントの近くにあるときに生じることがあります。下の例では、以下のような設定となっています。

- CC1S=“01”（TIMx_CCMR1 レジスタ、TI1FP1 は TI1 に配置）
- CC2S=“01”（TIMx_CCMR2 レジスタ、TI1FP2 は TI2 に配置）
- CC1P=“0”、CC1NP =“0”、IC1F =“0000” （TIMx_CCER レジスタ、TI1FP1非反転、TI1FP1=TI1）
- CC2P=“0”、CC2NP =“0”、IC2F =“0000” （TIMx_CCER レジスタ、TI1FP2非反転、TI1FP2=TI2）
- SMS=“011”（TIMx_SMCR レジスタ、両方の入力が立ち上がりと立ち下がりの両エッジでアクティブ）
- CEN=“1”（TIMx_CR1 レジスタ、カウンタ有効）

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 127. エンコーダインタフェースモードにおけるカウンタの動作例

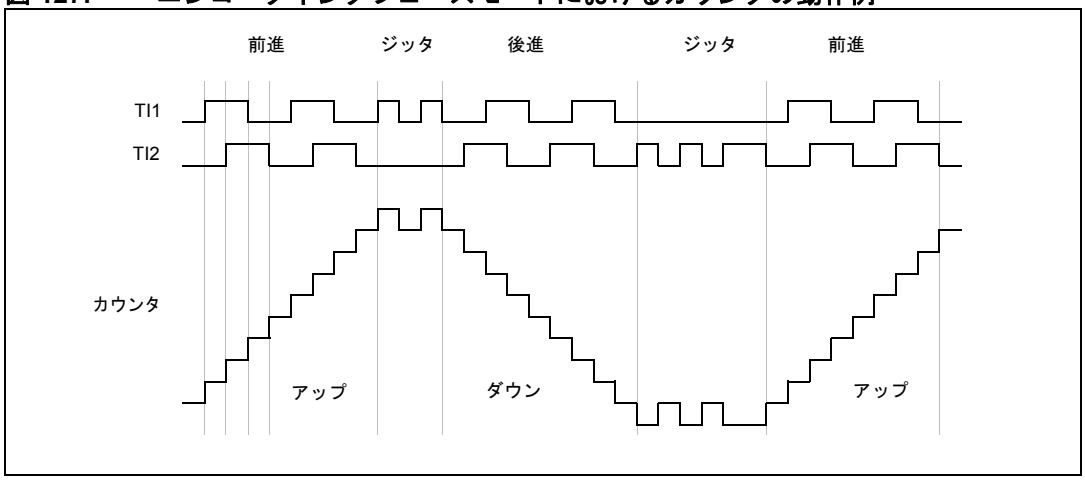
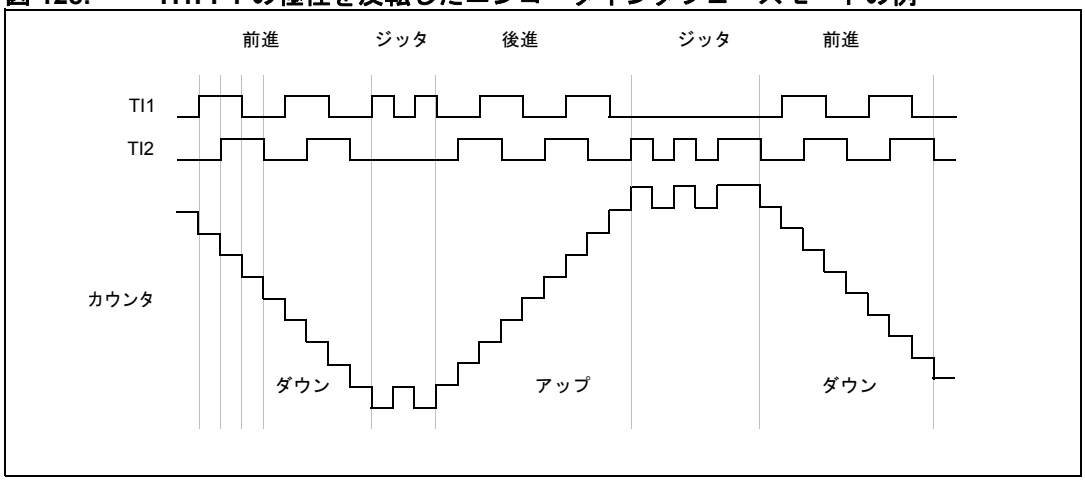


*図 128*に、TI1FP1 の極性を反転したときのカウンタの動作を示します（上記と同じ構成ですが、CC1P="1"）。

図 128. TI1FP1 の極性を反転したエンコーダインタフェースモードの例



タイマがエンコーダインタフェースモードに設定されている場合、タイマはセンサの現在位置に関する情報を提供します。キャプチャモードに構成した 2 番目のタイマを使用して、2 つのエンコーダイベントの時間差を測定することで、速度、加速度、減速度といった動的な情報を得ることができます。機械的なゼロ位置を示すエンコーダの出力をこの目的に使用できます。2 つのイベントの時間差に応じて、カウンタを定期的に読み出すこともできます。これを行うには、使用可能な場合は、カウンタの値を 3 番目の入力キャプチャレジスタにラッチします（キャプチャ信号は周期的でなければならず、別のタイマによって生成できます）。また、リアルタイムクロックによって生成される DMA リクエストを通じて、この値を読み出すこともできます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

17.3.17 タイマ入力 XOR 機能

TIMx_CR2 レジスタの TI1S ビットによって、チャネル 1 の入力フィルタを 3 つの入力ピン TIMx_CH1、TIMx_CH2、および TIMx_CH3 を結合する XOR ゲートの出力に接続できます。

XOR 出力は、トリガや入力キャプチャなど、すべてのタイマ入力機能で使用できます。この機能をホールセンサのインタフェースに使用した例を *セクション 17.3.18* に示します。

17.3.18 ホールセンサとのインタフェース

これは、高機能制御タイマ（TIM1 または TIM8）を使用して PWM 信号を生成し、モータと*図 129*で「インタフェースタイマ」と記されている別のタイマ TIMx（TIM2、TIM3、TIM4、または TIM5）を駆動することによって実現します。「インタフェースタイマ」は、XOR を通じて TI1 入力チャネル（TIMx_CR2 レジスタの TI1S ビットをセットすることで選択できます）に接続された 3 つのタイマ入力ピン（TIMx_CH1、TIMx_CH2、および TIMx_CH3）をキャプチャします。

スレーブモードコントローラはリセットモードに設定され、スレーブ入力は TI1F_ED です。したがって、3 つの入力のいずれかが反転するごとに、カウンタは 0 からカウントをリスタートします。これが、ホール入力の変化によってトリガされるタイムベースとなります。

「インタフェースタイマ」では、キャプチャ /比較チャネル 1 はキャプチャモードに設定され、キャプチャ信号は TRC です（ *図 112：キャプチャ/比較チャネル（例：チャネル 1 入力ステージ）（ページ）538*を参照してください）。キャプチャされた値は、入力の 2 回の変化の間の経過時間に対応し、モータの速度情報を与えます。

「インタフェースタイマ」を出力モードで使用して、（COM イベントをトリガすることで）高機能制御タイマ（TIM1 または TIM8）のチャネルの設定を変更するパルスを生成することができます。TIM1 タイマは、モータを駆動する PWM 信号を生成するために使用されます。このためには、プログラミングした遅延の後に正パルスが生成されるように（出力比較モードまたは PWM モードで）インタフェースタイマチャネルをプログラミングする必要があります。このパルスは、TRGO 出力を通じて高機能制御タイマ（TIM1 または TIM8）に送られます。

例：TIMx タイマの 1 つに接続されているホール入力が変化するたびに、プログラミングした遅延の後に高機能制御タイマ TIM1 の PWM 設定を変更するとします。

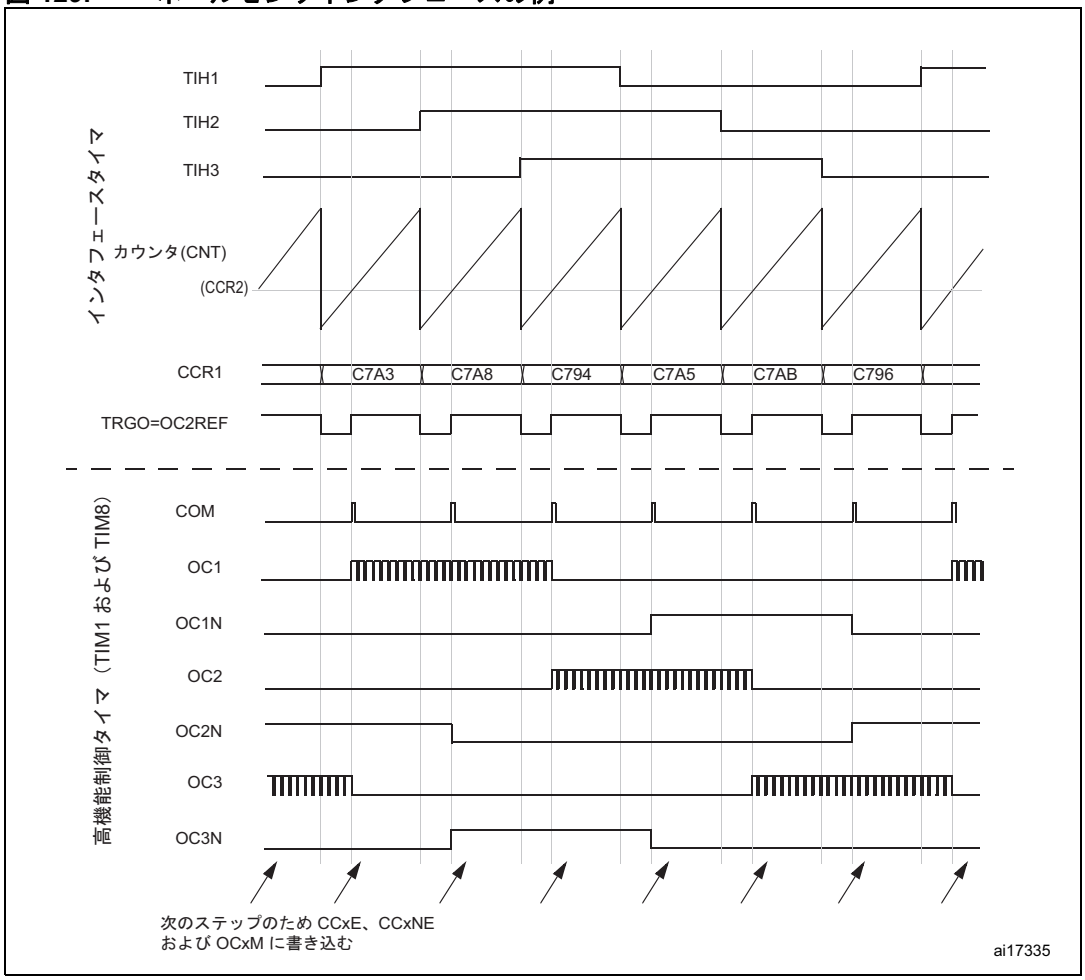
- 3 つのタイマ入力を TI1 入力チャネルに OR 接続します。このためには、TIMx_CR2 レジスタの TI1S ビットに“1”を書き込みます。
- タイムベースをプログラムします。このためには、TIMx_ARR に最大値を書き込み、TI1 の変化でカウンタがクリアされるようにします。最大カウンタ時間がセンサの 2 回の変化の間の時間より長くなるように、プリスケーラを設定します。
- チャネル 1 をキャプチャモード（TRC 選択）にプログラムします。すなわち、TIMx_CCMR1 レジスタの CC1S ビットに“11”を書き込みます。必要な場合は、デジタルフィルタをプログラムすることもできます。
- チャネル 2 を PWM 2 モードにプログラミングし、希望の遅延を指定します。このためには、TIMx_CCMR1 レジスタの OC2M ビットに“111”を、CC2S ビットに“00”を書き込みます。
- TRGO 上のトリガ出力として OC2REF を選択します。このためには、TIMx_CR2 レジスタの MMS ビットに“101”を書き込みます。

高機能制御タイマ TIM1 で、トリガ入力として適切な ITR 入力を選択する必要があり、タイマが PWM 信号を生成するようにプログラミングし、キャプチャ /比較制御信号がプリロードされ（TIMx_CR2 レジスタの CCPC=1）、COM イベントがトリガ入力によって制御されなければなりません（TIMx_CR2 レジスタの CCUS=1）。PWM 制御ビット（CCxE、OCxM）は、COM イベント後に次のステップのために書き込まれます（これは、OC2REF の立ち上がりエッジによって生成される割り込みサブルーチンで行うことができます）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

*図 129*に、この例を示します。

図 129. ホールセンサインタフェースの例



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

17.3.19 TIMx と外部トリガの同期

TIMx タイマは、リセットモード、ゲートモード、トリガモードといった幾つかのモードで外部トリガと同期を取ることができます。

スレーブモード：リセットモード

カウンタとそのプリスケーラは、トリガ入力のイベントに応じて再初期化できます。さらに、TIMx_CR1 レジスタの URS ビットがローの場合は、更新イベント UEV が生成されます。その場合、すべてのプリロードされたレジスタ（TIMx_ARR、TIMx_CCRx）が更新されます。

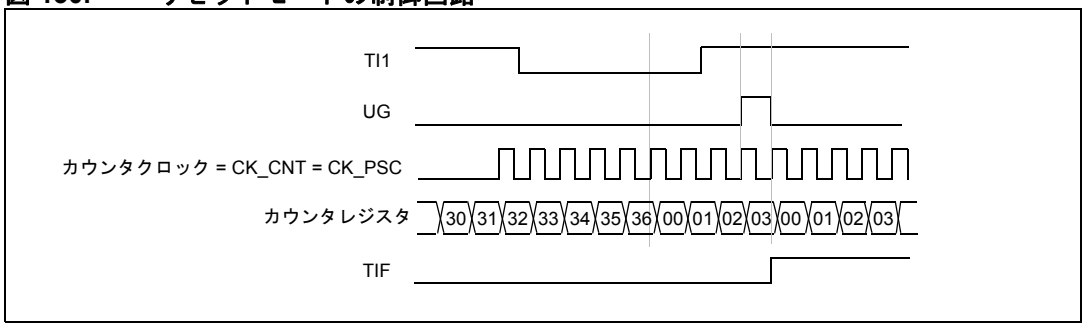
次の例では、TI1 入力の立ち上がりエッジに応じて、アップカウンタがクリアされます。

- TI1 の立ち上がりエッジを検出するように、チャネル 1 を設定します。入力フィルタ時間を設定します（この例ではフィルタは不要なので、IC1F=0000 のままにしておきます）。キャプチャプリスケーラはトリガには使用されないので、設定は不要です。CC1S ビットは、入力キャプチャソースのみを選択します（TIMx_CCMR1 レジスタの CC1S=01）。TIMx_CCER レジスタに CC1P = 0 と CC1NP = 0 を書き込んで、極性を有効にします（そして、立ち上がりエッジのみを検出します）。
- TIMx_SMCR レジスタに SMS=100 を書き込むことによって、タイマをリセットモードに設定します。TIMx_SMCR レジスタに TS=101 を書き込むことによって、入力ソースとして TI1 を選択します。
- TIMx_CR1 レジスタに CEN=1 を書き込むことによって、カウンタを開始します。

カウンタは内部クロックでカウントを開始し、TI1 の立ち上がりエッジまで通常の動作を行います。TI1 が立ち上がると、カウンタはクリアされ、0 からリスタートします。同時に、トリガフラグがセットされ（TIMx_SR レジスタの TIF ビット）、有効な場合は割り込みリクエストまたは DMA リクエストを送信できます（TIMx_DIER レジスタの TIE および TDE ビット）。

次の図は、自動再ロードレジスタ TIMx_ARR=0x36 の場合の動作を示します。TI1 の立ち上がりエッジから実際にカウンタがリセットされるまでの遅延は、TI1 入力の同期回路によるものです。

図 130. リセットモードの制御回路



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

スレーブモード：ゲートモード

選択された入力のレベルに応じて、カウンタを有効にできます。

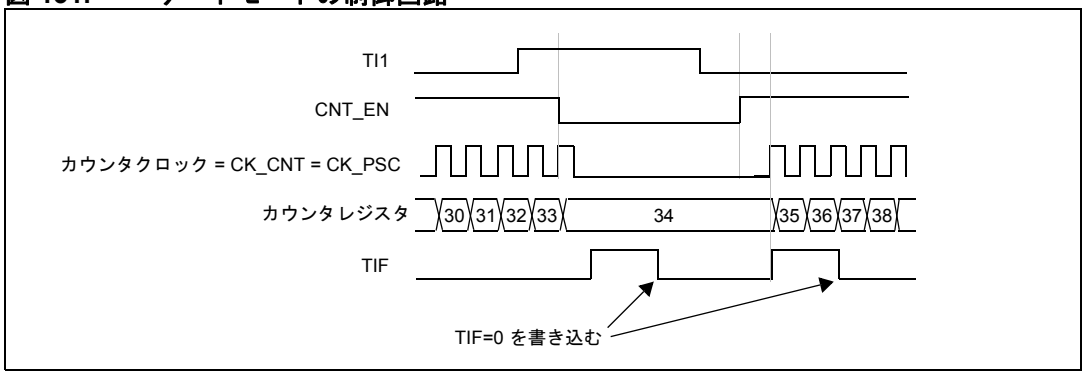
次の例では、アップカウンタは TI1 入力がローのときだけカウントします。

- TI1 のローレベルを検出するように、チャネル 1 を設定します。入力フィルタ時間を設定します（この例ではフィルタは不要なので、IC1F=0000 のままにしておきます）。キャプチャプリスケーラはトリガには使用されないので、設定は不要です。CC1S ビットは、入力キャプチャソースのみを選択します（TIMx_CCMR1 レジスタの CC1S=01 ビット）。TIMx_CCER レジスタでCC1P = 1 と CC1NP = 0 を書き込んで、極性を有効にします（そして、ローレベルのみを検出します）。
- TIMx_SMCR レジスタに SMS=101 を書き込むことによって、タイマをゲートモードに設定します。TIMx_SMCR レジスタに TS=101 を書き込むことによって、入力ソースとして TI1 を選択します。
- TIMx_CR1 レジスタの CEN=1 を書き込んで、カウンタを有効にします（ゲートモードでは、CEN=0 の場合、トリガ入力のレベルにかかわらず、カウンタは開始しません）。

カウンタは、TI1 がローになると内部クロックでカウントを開始して、TI1 がハイになると停止します。TIMx_SR レジスタの TIF フラグは、カウンタの開始時と停止時にセットされます。

TI1 の立ち上がりエッジから実際にカウンタが停止するまでの遅延は、TI1 入力の再同期回路によるものです。

図 131. ゲートモードの制御回路



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

スレーブモード：トリガモード

選択された入力のイベントに対応して、カウンタが開始できます。

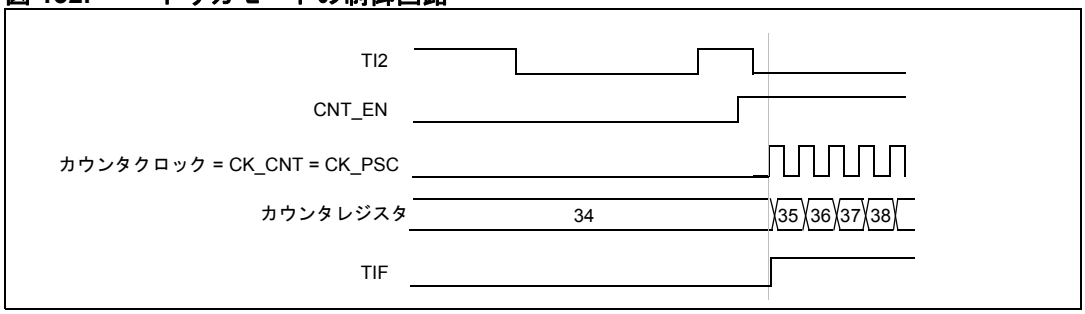
次の例では、アップカウンタは、TI2 入力の立ち上がりエッジに応じて開始します。

- TI2 の立ち上がりエッジを検出するように、チャネル 2 を設定します。入力フィルタ時間を設定します（この例ではフィルタは不要なので、IC2F=0000 のままにしておきます）。キャプチャプリスケーラはトリガには使用されないので、設定は不要です。CC2S ビットは入力キャプチャソースのみを選択するように設定されます（TIMx_CCMR1 レジスタの CC2S=01）。TIMx_CCER レジスタでCC2P = 1 と CC2NP = 0 を書き込んで、極性を有効にします（そして、ローレベルのみを検出します）。
- TIMx_SMCR レジスタに SMS=110 を書き込むことによって、タイマをトリガモードに設定します。TIMx_SMCR レジスタに TS=110 を書き込むことによって、入力ソースとして TI2 を選択します。

TI2 で立ち上がりエッジが発生すると、カウンタは内部クロックでのカウントを開始し、TIF フラグがセットされます。

TI2 の立ち上がりエッジから実際にカウンタが開始するまでの遅延は、TI2 入力の再同期回路によるものです。

図 132. トリガモードの制御回路



スレーブモード：外部クロックモード 2 + トリガモード

外部クロックモード 2 は、他のスレーブモードとともに使用できます（ただし、外部クロックモード 1 とエンコーダモードは除きます）。この場合、ETR 信号は外部クロック入力として使用され、別の入力をトリガ入力として選択できます（リセットモード、ゲートモード、またはトリガモード）。TIMx_SMCR レジスタの TS ビットを通じて TRGI として ETR を選択しないようにしてください。

次の例では、アップカウンタは、TI1 の立ち上がりエッジが発生すると、ETR 信号の立ち上がりエッジのたびにインクリメントされます。

1. TIMx_SMCR レジスタで次のようにプログラミングすることによって、外部トリガ入力回路を構成します。
   - ETF = 0000：フィルタなし
   - ETPS = 00：プリスケーラは無効
   - ETP = 0 : ETR の立ち上がりエッジを検出。ECE=1 で外部クロックモード 2 を有効にします。

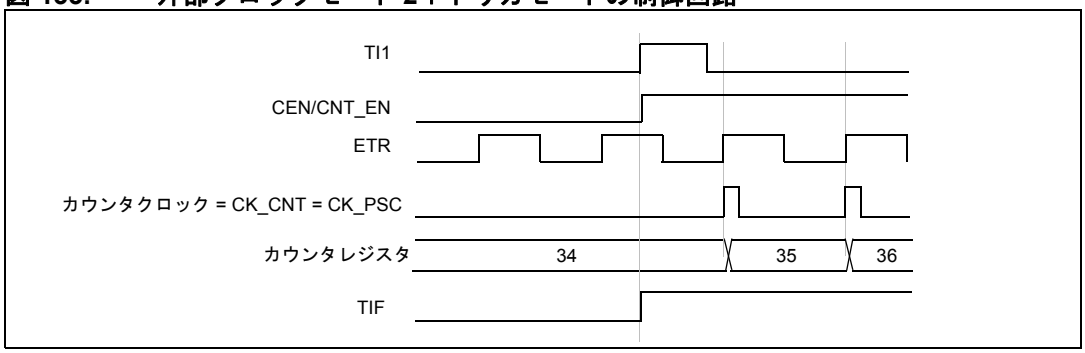
この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

2. TI1 の立ち上がりエッジを検出するように、チャネル 1 を次のように構成します。
   - IC1F=0000：フィルタなし
   - キャプチャプリスケーラはトリガには使用されないので、設定する必要はありません。
   - TIMx_CCMR1 レジスタの CC1S=01 で、入力キャプチャソースのみを選択します。
   - TIMx_CCER レジスタでCC1P = 0 と CC1NP = 0 を書き込んで、極性を有効にします（そして、立ち上がりエッジのみを検出します）。
3. TIMx_SMCR レジスタに SMS=110 を書き込むことによって、タイマをトリガモードに設定します。TIMx_SMCR レジスタに TS=101 を書き込むことによって、入力ソースとして TI1 を選択します。

TI1 の立ち上がりエッジでカウンタが有効になり、TIF フラグがセットされます。カウンタは、ETR の立ち上がりエッジでカウントします。

ETR 信号の立ち上がりエッジから実際にカウンタがリセットされるまでの遅延は、ETRP 入力の再同期回路によるものです。

図 133. 外部クロックモード 2＋トリガモードの制御回路



17.3.20 タイマの同期

TIM タイマは、タイマの同期または連結のために、内部で互いにリンクされます。詳細については、*セクション 18.3.15：タイマの同期（622 ページ）*を参照してください。

17.3.21 デバッグモード

マイクロコントローラがデバッグモードになると（FPU 機能付き Cortex™-M4 コアは停止状態）、TIMx カウンタは、DBG モジュールの DBG_TIMx_STOP 設定ビットに応じて、通常どおりに動作を続けるか、停止します。詳細については、*セクション 38.16.2：タイマ、ウォッチドッグ、bxCAN、および I2C のデバッグサポート*を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

17.4 TIM1 および TIM8 レジスタ

レジスタの説明で使用されている略語のリストについては、*セクション 1.1 (57 ページ)* を参照してください。

ペリフェラルレジスタには、ハーフワード（16 ビット）またはワード（32 ビット）単位で書き込む必要があります。読み出しアクセスは、バイト（8 ビット）、ハーフワード（16 ビット）またはワード（32 ビット）単位で行うことができます。

17.4.1 TIM1 および TIM8 制御レジスタ 1 （TIMx_CR1）

アドレスオフセット：0x00

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み						CKD[1:0]		ARPE	CMS[1:0]		DIR	OPM	URS	UDIS	CEN
						rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:10 予約済みであり、リセット値に保持する必要があります。

ビット 9:8 **CKD[1:0]**：クロック分周

このビットフィールドは、タイマクロック（CK_INT）周波数と、デッドタイム生成回路とデジタルフィルタ（ETR、TIx）によって使用されるデッドタイムおよびサンプリングクロック（t_{DTS}）との間の分周比を示します。

00：$t_{DTS}=t_{CK_INT}$

01：$t_{DTS}=2*t_{CK_INT}$

10：$t_{DTS}=4*t_{CK_INT}$

11：予約済み - この値をプログラミングしないでください。

ビット 7 ARPE：自動再ロードプリロードイネーブル

0：TIMx_ARR レジスタはバッファされません。

1：TIMx_ARR レジスタはバッファされます。

ビット 6:5 **CMS[1:0]**：センターアラインモード選択

00：エッジアラインモード。カウンタは、方向ビット（DIR）に応じて、カウントアップまたはカウントダウンします。

01：センターアラインモード 1。カウンタはカウントアップとカウントダウンを交互に行います。出力に設定されたチャネル（TIMx_CCMRx レジスタの CCxS=00）の出力比較割り込みフラグは、カウンタがカウントダウンしているときのみセットされます。

10：センターアラインモード 2。カウンタはカウントアップとカウントダウンを交互に行います。出力に設定されたチャネル（TIMx_CCMRx レジスタの CCxS=00）の出力比較割り込みフラグは、カウンタがカウントアップしているときのみセットされます。

11：センターアラインモード 3。カウンタはカウントアップとカウントダウンを交互に行います。出力に設定されたチャネル（TIMx_CCMRx レジスタの CCxS=00）の出力比較割り込みフラグは、カウンタがカウントアップおよびカウントダウンしているときにセットされます。

注： カウンタが有効（CEN=1）なときに、エッジアラインモードからセンターアラインモードに切り替えることはできません。

ビット 4 **DIR**：方向

0：カウンタはアップカウンタとして使用されます。

1：カウンタはダウンカウンタとして使用されます。

注： このビットは、タイマがセンターアラインモードまたはエンコーダモードに設定されているときには読み出し専用です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 3 **OPM**：ワンパルスモード

0：カウンタは更新イベントで停止しません。
1：カウンタは次の更新イベントでカウントを停止します（CEN ビットをクリア）。

ビット 2 URS：更新リクエストソース

このビットは、UEV イベントソースを選択するために、ソフトウェアによってセット/クリアされます。

0：次のイベントのいずれかが更新割り込みまたは DMA リクエストを生成します（有効な場合）。これらのイベントは、次のとおりです。

– カウンタオーバーフロー /アンダーフロー
– UG ビットのセット
– スレーブモードコントローラからの更新生成

1：カウンタオーバーフロー/アンダーフローのみが更新割り込みまたは DMA リクエストを生成します（有効な場合）。

ビット 1 UDIS：更新ディセーブル

このビットは、UEV イベント生成を有効/無効にするために、ソフトウェアによってセット/クリアされます。

0：UEV は有効です。更新イベント（UEV）は、次のいずれかのイベントによって生成されます。

– カウンタオーバーフロー /アンダーフロー
– UG ビットのセット
– スレーブモードコントローラからの更新生成

バッファを持つレジスタにはプリロード値がロードされます。

1：UEV は無効です。更新イベントは生成されず、シャドウレジスタ（ARR、PSC、CCRx）は値を維持します。ただし、UG ビットがセットされた場合や、スレーブモードコントローラからハードウェアリセットを受信した場合には、カウンタとプリスケーラは再初期化されます。

ビット 0 **CEN**：カウンタイネーブル

0：カウンタは無効です。
1：カウンタは有効です。

注： 外部クロック、ゲートモード、およびエンコーダモードは、CEN ビットが事前にソフトウェアによってセットされている場合のみ動作します。ただし、トリガモードでは、ハードウェアによって自動的に CEN ビットをセットできます。

17.4.2 TIM1 および TIM8 制御レジスタ 2 （TIMx_CR2）

アドレスオフセット：0x04

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み	OIS4	OIS3N	OIS3	OIS2N	OIS2	OIS1N	OIS1	TI1S	MMS[2:0]			CCDS	CCUS	予約済み	CCPC
	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw		rw

ビット 15 予約済みであり、リセット値に保持する必要があります。

ビット 14 **OIS4**：出力アイドル状態 4（OC4 出力）

OIS1 ビットの説明を参照してください。

ビット 13 **OIS3N**：出力アイドル状態 3（OC3N 出力）

OIS1N ビットの説明を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 12 **OIS3**：出力アイドル状態 3（OC3 出力）

OIS1 ビットの説明を参照してください。

ビット 11 **OIS2N**：出力アイドル状態 2（OC2N 出力）

OIS1N ビットの説明を参照してください。

ビット 10 **OIS2**：出力アイドル状態 2（OC2 出力）

OIS1 ビットの説明を参照してください。

ビット 9 **OIS1N**：出力アイドル状態 1（OC1N 出力）

0：MOE=0 のとき、デッドタイム後に OC1N=0
1：MOE=0 のとき、デッドタイム後に OC1N=1

注： このビットは、LOCK レベル 1、2、または 3 がプログラムされているときには変更できません (TIMx_BDTR レジスタの LOCK ビット)。

ビット 8 **OIS1**：出力アイドル状態 1（OC1 出力）

0：MOE=0 のとき、OC1=0（OC1N が実装されている場合、デッドタイム後に）
1：MOE=0 のとき、OC1=1（OC1N が実装されている場合、デッドタイム後に）

注： このビットは、LOCK レベル 1、2、または 3 がプログラムされているときには変更できません (TIMx_BDTR レジスタの LOCK ビット)。

ビット 7 TI1S：TI1 選択

0：TIMx_CH1 ピンが TI1 入力に接続されます。
1：TIMx_CH1、CH2、および CH3 ピンが TI1 入力に接続されます（XOR 接続）。

ビット 6:4 **MMS[2:0]**：マスタモード選択

これらのビットにより、同期のためにマスタモードでスレーブタイマに送信される情報を選択することができます（TRGO）。組み合わせは、次のとおりです。
000：**リセット** - TIMx_EGR レジスタの UG ビットがトリガ出力（TRGO）として使用されます。トリガ入力によってリセットが生成される場合（スレーブモードコントローラがリセットモードに設定されているとき）、TRGO 信号は実際のリセットより遅延します。
001：**イネーブル** - カウンタイネーブル信号 CNT_EN がトリガ出力（TRGO）として使用されます。これは、いくつかのタイマを同時に開始するときや、スレーブタイマが有効な時間枠を制御するときに役立ちます。カウンタイネーブル信号は、ゲートモードに設定されているとき、CEN 制御ビットとトリガ入力との論理和（OR）によって生成されます。カウンタイネーブル信号がトリガ入力によって制御されているとき、マスタ/スレーブモードが選択されている場合を除き、TRGO には遅延が存在します（TIMx_SMCR レジスタの MSM ビットの説明を参照してください）。
010：**更新** - 更新イベントがトリガ出力（TRGO）として選択されます。たとえば、マスタタイマをスレーブタイマのプリスケーラとして使用できます。
011：**パルス比較** - キャプチャまたは比較一致が発生すると、CC1IF フラグがセットされるとき（すでにハイであった場合も）、トリガ出力は正のパルスを送信します。（TRGO）
100：**比較** - OC1REF 信号がトリガ出力（TRGO）として使用されます。
101：**比較** - OC2REF 信号がトリガ出力（TRGO）として使用されます。
110：**比較** - OC3REF 信号がトリガ出力（TRGO）として使用されます。
111：**比較** - OC4REF 信号がトリガ出力（TRGO）として使用されます。

ビット 3 CCDS：キャプチャ /比較 DMA 選択

0：CCx DMA リクエストは、CCx イベントが発生すると送信されます。
1：CCx DMA リクエストは、更新イベントが発生すると送信されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 2 **CCUS**：キャプチャ /比較制御更新選択

0：キャプチャ /比較制御ビットがプリロードされるときには（CCPC=1）、COMG ビットをセットすることによってのみ更新されます。
1：キャプチャ /比較制御ビットがプリロードされるときには（CCPC=1）、COMG ビットをセットすることによって、または TRGI の立ち上がりエッジで更新されます。

注： このビットは、相補出力を持つチャネルでのみ機能します。

ビット 1 予約済みであり、リセット値に保持する必要があります。

ビット 0 **CCPC**：キャプチャ /比較プリロード制御

0：CCxE、CCxNE、および OCxM ビットはプリロードされません。
1：CCxE、CCxNE、および OCxM ビットがプリロードされます。書き込みの後、これらのビットは、転換イベント （COM）が発生した時にのみ更新されます （CCUS ビットに応じて、COMG ビットがセットまたは TRGI で立上がりエッジが検出されたとき）。

注： このビットは、相補出力を持つチャネルでのみ機能します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

17.4.3 TIM1およびTIM8スレーブモード制御レジスタ（TIMx_SMCR）

アドレスオフセット：0x08

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ETP	ECE	ETPS[1:0]		ETF[3:0]				MSM	TS[2:0]			予約済み	SMS[2:0]		
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	予約済み	rw	rw	rw

ビット 15 **ETP**：外部トリガ極性

このビットは、ETR と $\overline{\text{ETR}}$ のいずれがトリガ動作に使用されるかを選択します。

0：ETR は反転されず、ハイレベルまたは立ち上がりエッジでアクティブです。

1：ETR は反転され、ローレベルまたは立ち下がりエッジでアクティブです。

ビット 14 **ECE**：外部クロックイネーブル

このビットは、外部クロックモード 2 を有効にします。

0：外部クロックモード 2 は無効です。

1：外部クロックモード 2 は有効です。カウンタは、ETRF 信号のアクティブエッジによってクロック供給されます。

注： 1:ECE ビットをセットすることは、TRGI が ETRF に接続された状態で外部クロックモード 1 を選択するすることと同じ効果があります（SMS=111、TS=111）。

2：外部クロックモード 2 と次のスレーブモード、すなわち、リセットモード、ゲートモード、またはトリガモードを同時に使用することができます。ただし、この場合、TRGI を ETRF に接続することはできません（TS ビットが 111 でないことが必要）。

3：外部クロックモード 1 と外部クロックモード 2 が同時に有効な場合、外部クロック入力は ETRF です。

ビット 13:12 **ETPS[1:0]**：外部トリガプリスケーラ

外部トリガ信号 ETRP の周波数は、TIMxCLK 周波数の 1/4 までに制限されます。プリスケーラを有効にすると、ETRP 周波数を低減できます。これは、高速な外部クロックを入力するときに役立ちます。

00：プリスケーラオフ

01：ETRP 周波数は 2 分周されます。

10：ETRP 周波数は 4 分周されます。

11：ETRP 周波数は 8 分周されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 11:8 **ETF[3:0]**：外部トリガフィルタ

このビットフィールドは、ETRP 信号をサンプルする周波数と、ETRP に適用されるデジタルフィルタの長さを定義します。デジタルフィルタはイベントカウンタでできていて、出力に有効な変化をもたらすには N 個のイベント発生が必要です。

0000：フィルタなし、サンプリングは f_{DTS}で行われます。

0001：$f_{SAMPLING}=f_{CK_INT}$、N=2

0010：$f_{SAMPLING}=f_{CK_INT}$、N=4

0011：$f_{SAMPLING}=f_{CK_INT}$、N=8

0100：$f_{SAMPLING}=f_{DTS}/2$、N=6

0101：$f_{SAMPLING}=f_{DTS}/2$、N=8

0110：$f_{SAMPLING}=f_{DTS}/4$、N=6

0111：$f_{SAMPLING}=f_{DTS}/4$、N=8

1000：$f_{SAMPLING}=f_{DTS}/8$、N=6

1001：$f_{SAMPLING}=f_{DTS}/8$、N=8

1010：$f_{SAMPLING}=f_{DTS}/16$、N=5

1011：$f_{SAMPLING}=f_{DTS}/16$、N=6

1100：$f_{SAMPLING}=f_{DTS}/16$、N=8

1101：$f_{SAMPLING}=f_{DTS}/32$、N=5

1110：$f_{SAMPLING}=f_{DTS}/32$、N=6

1111：$f_{SAMPLING}=f_{DTS}/32$、N=8

ビット 7 **MSM**：マスタ/スレーブモード

0：影響なし。

1：トリガ入力（TRGI）に対するイベントの影響は、現在のタイマとそのスレーブとの間の完全な同期（TRGO を通じて）を可能にするために遅延されます。これは、1 つの外部イベントで複数のタイマを同期したい場合に役立ちます。

ビット 6:4 **TS[2:0]** トリガ選択

このビットフィールドは、カウンタの同期に使用されるトリガ入力を選択します。

000：内部トリガ 0（ITR0）

001：内部トリガ 1（ITR1）

010：内部トリガ 2（ITR2）

011：内部トリガ 3（ITR3）

100：TI1 エッジ検出回路（TI1F_ED）

101：フィルタタイマ入力 1（TI1FP1）

110：フィルタタイマ入力 2（TI2FP2）

111：外部トリガ入力（ETRF）

各タイマにとっての ITRx の意味の詳細については、*表 93：TIMx 内部トリガ接続（568 ページ）*を参照してください。

注： 遷移時の誤ったエッジ検出を避けるために、これらのビットは、使用されていないとき（SMS=000 のときなど）にのみ変更しなければなりません。

ビット 3 予約済みであり、リセット値に保持する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 2:0 **SMS**：スレーブモード選択

外部信号が選択されると、トリガ信号（TRGI）のアクティブエッジが外部入力で選択された極性にリンクされます（入力制御レジスタおよび制御レジスタの説明を参照してください）。
000：スレーブモードは無効です。CEN =“1”の場合、プリスケーラは内部クロックによって直接クロック供給されます。
001：エンコーダモード 1 - カウンタは、TI1FP1 のレベルに応じて、TI2FP2 のエッジでカウントアップ/ダウンします。
010：エンコーダモード 2 - カウンタは、TI2FP2 のレベルに応じて、TI1FP1 のエッジでカウントアップ/ダウンします。
011：エンコーダモード 3 - カウンタは、他の入力のレベルに応じて、TI1FP1 と TI2FP2 の両方のエッジでカウントアップ/ダウンします。
100：リセットモード - 選択されたトリガ入力（TRGI）の立ち上がりエッジでカウンタを再初期化し、レジスタの更新を生成します。
101：ゲートモード - カウンタクロックは、トリガ入力（TRGI）がハイのときに有効になります。トリガがローになると、カウンタは停止します（リセットはされません）。カウンタの開始と停止の両方が制御されます。
110：トリガモード - カウンタは、トリガ TRGI の立ち上がりエッジで開始します（リセットはされません）。カウンタの開始のみが制御されます。
111：外部クロックモード 1 - 選択されたトリガ（TRGI）の立ち上がりエッジがカウンタのクロックとして供給されます。

注： トリガ入力として TI1F_ED が選択されている場合（TS=100）、ゲートモードを使用することはできません。TI1F_ED は TI1F の変化ごとに 1 パルスを出力しますが、ゲートモードはトリガ信号のレベルをチェックします。

表 93. TIMx 内部トリガ接続

スレーブ TIM	ITR0 （TS = 000）	ITR1 （TS = 001）	ITR2 （TS = 010）	ITR3 （TS = 011）
TIM1	TIM5	TIM2	TIM3	TIM4
TIM8	TIM1	TIM2	TIM4	TIM5

17.4.4 TIM1および TIM8 DMA/割り込みイネーブルレジスタ（TIMx_DIER）

アドレスオフセット：0x0C

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み	TDE	COMDE	CC4DE	CC3DE	CC2DE	CC1DE	UDE	BIE	TIE	COMIE	CC4IE	CC3IE	CC2IE	CC1IE	UIE
	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15 予約済みであり、リセット値に保持する必要があります。

ビット 14 **TDE**：トリガ DMA リクエストイネーブル

0：トリガ DMA リクエストは無効です。
1：トリガ DMA リクエストは有効です。

ビット 13 **COMDE**：COM DMA リクエストイネーブル

0：COM DMA リクエストは無効です。
1：COM DMA リクエストは有効です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 12 **CC4DE**：キャプチャ /比較 4 DMA リクエストイネーブル

0：CC4 DMA リクエストは無効です。
1：CC4 DMA リクエストは有効です。

ビット 11 **CC3DE**：キャプチャ /比較 3 DMA リクエストイネーブル

0：CC3 DMA リクエストは無効です。
1：CC3 DMA リクエストは有効です。

ビット 10 **CC2DE**：キャプチャ /比較 2 DMA リクエストイネーブル

0：CC2 DMA リクエストは無効です。
1：CC2 DMA リクエストは有効です。

ビット 9 **CC1DE**：キャプチャ /比較 1 DMA リクエストイネーブル

0：CC1 DMA リクエストは無効です。
1：CC1 DMA リクエストは有効です。

ビット 8 **UDE**：更新 DMA リクエストイネーブル

0：更新 DMA リクエストは無効です。
1：更新 DMA リクエストは有効です。

ビット 7 **BIE**：ブレーク割り込みイネーブル

0：ブレーク割り込みは無効です。
1：ブレーク割り込みは有効です。

ビット 6 **TIE**：トリガ割り込みイネーブル

0：トリガ割り込みは無効です。
1：トリガ割り込みは有効です。

ビット 5 **COMIE**：COM 割り込みイネーブル

0：COM 割り込みは無効です。
1：COM 割り込みは有効です。

ビット 4 **CC4IE**：キャプチャ /比較 4 割り込みイネーブル

0：CC4 割り込みは無効です。
1：CC4 割り込みは有効です。

ビット 3 **CC3IE**：キャプチャ /比較 3 割り込みイネーブル

0：CC3 割り込みは無効です。
1：CC3 割り込みは有効です。

ビット 2 **CC2IE**：キャプチャ /比較 2 割り込みイネーブル

0：CC2 割り込みは無効です。
1：CC2 割り込みは有効です。

ビット 1 **CC1IE**：キャプチャ /比較 1 割り込みイネーブル

0：CC1 割り込みは無効です。
1：CC1 割り込みは有効です。

ビット 0 **UIE**：更新割り込みイネーブル

0：更新割り込みは無効です。
1：更新割り込みは有効です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

17.4.5 TIM1 および TIM8 ステータスレジスタ（TIMx_SR）

アドレスオフセット：0x10

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み			CC4OF	CC3OF	CC2OF	CC1OF	予約済み	BIF	TIF	COMIF	CC4IF	CC3IF	CC2IF	CC1IF	UIF
			rc_w0	rc_w0	rc_w0	rc_w0	予約済み	rc_w0	rc_w0	rc_w0	rc_w0	rc_w0	rc_w0	rc_w0	rc_w0

ビット 15:13 予約済みであり、リセット値に保持する必要があります。

ビット 12 **CC4OF**：キャプチャ /比較 4 オーバーキャプチャフラグ

CC1OF の説明を参照してください。

ビット 11 **CC3OF**：キャプチャ /比較 3 オーバーキャプチャフラグ

CC1OF の説明を参照してください。

ビット 10 **CC2OF**：キャプチャ /比較 2 オーバーキャプチャフラグ

CC1OF の説明を参照してください。

ビット 9 **CC1OF**：キャプチャ /比較 1 オーバーキャプチャフラグ

このフラグは、対応するチャネルが入力キャプチャモードに設定されているときのみ、ハードウェアによってセットされます。“0”を書き込むことによってソフトウェアによってクリアされます。
0：オーバキャプチャは検出されていません。
1：CC1IF フラグがすでにセットされているときに、カウンタの値が TIMx_CCR1 レジスタにキャプチャされました。

ビット 8 予約済みであり、リセット値に保持する必要があります。

ビット 7 **BIF**：ブレーク割り込みフラグ

このフラグは、ブレーク入力がアクティブになると、ハードウェアによってセットされます。ブレーク入力がアクティブでない場合、ソフトウェアによってクリアできます。
0：ブレークイベントは発生していません。
1：ブレーク入力でアクティブレベルが検出されました。

ビット 6 **TIF**：トリガ割り込みフラグ

このフラグは、トリガイベント時（スレーブモードコントローラがゲートモード以外のすべてのモードで有効なときに、TRGI 入力でアクティブエッジが検出されたとき）にハードウェアによってセットされます。ゲートモードが選択されている場合、カウンタが開始または停止したときにセットされます。ソフトウェアによってクリアされます。
0：トリガイベントは発生していません。
1：トリガ割り込みが保留中です。

ビット 5 **COMIF**：COM 割り込みフラグ

このフラグは、COM イベント時にハードウェアによってセットされます（キャプチャ /比較制御ビット - CCxE、CCxNE、OCxM - が更新されたとき）。ソフトウェアによってクリアされます。
0：COM イベントは発生していません。
1：COM 割り込みがペンディング中です。

ビット 4 **CC4IF**：キャプチャ /比較 4 割り込みフラグ

CC1IF の説明を参照してください。

ビット 3 **CC3IF**：キャプチャ /比較 3 割り込みフラグ

CC1IF の説明を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 2 **CC2IF**：キャプチャ /比較 2 割り込みフラグ

CC1IF の説明を参照してください。

ビット 1 **CC1IF**：キャプチャ /比較 1 割り込みフラグ

チャネル CC1 が出力として設定されている場合：

このフラグは、カウンタが比較値と一致したときにハードウェアによってセットされます（センターアラインモードでは、例外もあります。TIMx_CR1 レジスタの CMS ビットの説明を参照してください）。ソフトウェアによってクリアされます。

0：一致なし。

1：カウンタ TIMx_CNT の内容が TIMx_CCR1 レジスタの内容と一致しました。TIMx_CCR1 の内容が TIMx_ARR の内容より大きいときには、カウンタオーバーフロー時（アップカウントおよびアップ/ダウンカウントモードの場合）、またはアンダーフロー時（ダウンカウントモードの場合）に CC1IF ビットはハイになります。

チャネル CC1 が入力として設定されている場合：

このビットは、キャプチャ時にハードウェアによってセットされます。ソフトウェアによって、または TIMx_CCR1 レジスタを読み出すことによってクリアされます。

0：入力キャプチャは発生していません。

1：カウンタの値が TIMx_CCR1 レジスタにキャプチャされました（IC1 で、選択された極性に一致するエッジが検出されました）。

ビット 0 **UIF**：更新割り込みフラグ

このビットは、更新イベント時にハードウェアによってセットされます。ソフトウェアによってクリアされます。

0：更新は発生していません。

1：更新割り込みが保留中です。このビットは、レジスタが以下で更新されたときにハードウェアによってセットされます。

– 繰り返しカウンタ値に関するオーバーフローまたはアンダーフロー（繰り返しカウンタ=0 の場合の更新）、および TIMx_CR1 レジスタの UDIS=0 の場合。

– TIMx_CR1 レジスタの URS=0 かつ UDIS=0 であり、TIMx_EGR レジスタの UG ビットを使用して、CNT がソフトウェアによって再初期化されたとき。

– TIMx_CR1 レジスタの URS=0 かつ UDIS=0 の場合、トリガイベントによって CNT が再初期化されたとき（*セクション 17.4.3：TIM1およびTIM8スレーブモード制御レジスタ（TIMx_SMCR）*を参照してください）。

17.4.6 TIM1 および TIM8 イベント生成レジスタ（TIMx_EGR）

アドレスオフセット：0x14

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								BG	TG	COMG	CC4G	CC3G	CC2G	CC1G	UG
								w	w	w	w	w	w	w	w

ビット 15:8 予約済みであり、リセット値に保持する必要があります。

ビット 7 **BG**：ブレーク生成

このビットは、イベントを生成するためにソフトウェアによってセットされ、ハードウェアによって自動的にクリアされます。

0：影響なし。

1：ブレークイベントが生成されます。MOE ビットがクリアされ、BIF フラグがセットされます。有効な場合は、関連する割り込みまたは DMA 転送が発生します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 6 **TG**：トリガ生成

このビットは、イベントを生成するためにソフトウェアによってセットされ、ハードウェアによって自動的にクリアされます。
0：影響なし。
1：TIMx_SR レジスタの TIF フラグがセットされます。有効な場合は、関連する割り込みまたは DMA 転送が発生します。

ビット 5 **COMG**：キャプチャ /比較制御更新生成

このビットは、ソフトウェアによってセットでき、ハードウェアによって自動的にクリアされます。
0：影響なし。
1：CCPC ビットがセットされているときには、CCxE、CCxNE、および OCxM ビットを更新できます。

注： このビットは、相補出力を持つチャネルでのみ機能します。

ビット 4 **CC4G**：キャプチャ /比較 4 イベント生成

CC1G の説明を参照してください。

ビット 3 **CC3G**：キャプチャ /比較 3 イベント生成

CC1G の説明を参照してください。

ビット 2 **CC2G**：キャプチャ /比較 2 イベント生成

CC1G の説明を参照してください。

ビット 1 **CC1G**：キャプチャ /比較 1 イベント生成

このビットは、イベントを生成するためにソフトウェアによってセットされ、ハードウェアによって自動的にクリアされます。
0：影響なし。
1：チャネル 1 でキャプチャ /比較イベントが生成されます。
チャネル CC1 が出力として設定されている場合：
CC1IF フラグがセットされ、対応する割り込みまたは DMA リクエストが送信されます（有効な場合）。
チャネル CC1 が入力として設定されている場合：
カウンタの現在値が TIMx_CCR1 レジスタにキャプチャされます。CC1IF フラグがセットされ、対応する割り込みまたは DMA リクエストが送信されます（有効な場合）。CC1IF フラグがすでにハイの場合、CC1OF フラグがセットされます。

ビット 0 **UG**：更新生成

このビットは、ソフトウェアによってセットでき、ハードウェアによって自動的にクリアされます。
0：影響なし。
1：カウンタを再初期化し、レジスタの更新を生成します。プリスケーラカウンタもクリアされます（プリスケーラ比は変化しません）。センターアラインモードが選択されている場合、または、DIR=0（カウントアップ）の場合、カウンタはクリアされます。そうでない場合、DIR=1（カウントダウン）であれば、自動再ロード値（TIMx_ARR）をとります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

17.4.7 TIM1 および TIM8 キャプチャ /比較モードレジスタ 1（TIMx_CCMR1）

アドレスオフセット：0x18

リセット値：0x0000

チャネルは、入力（キャプチャモード）または出力（比較モード）で使用できます。チャネルの方向は、対応する CCxS ビットを設定することによって定義されます。このレジスタの他のビットはすべて、入力モードと出力モードで異なる機能を持ちます。特定のビットについて、OCxx は、チャネルが出力設定のときの機能を示し、ICxx は、チャネルが入力設定のときの機能を示します。したがって、同じビットが入力ステージと出力ステージで異なる意味を持つことに注意する必要があります。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OC2CE	OC2M[2:0]			OC2PE	OC2FE	CC2S[1:0]		OC1CE	OC1M[2:0]			OC1PE	OC1FE	CC1S[1:0]	
IC2F[3:0]				IC2PSC[1:0]				IC1F[3:0]				IC1PSC[1:0]			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

出力比較モード：

ビット 15 **OC2CE**：出力比較 2 クリアイネーブル

ビット 14:12 **OC2M[2:0]**：出力比較 2 モード

ビット 11 **OC2PE**：出力比較 2 プリロードイネーブル

ビット 10 **OC2FE**：出力比較 2 高速イネーブル

ビット 9:8 **CC2S[1:0]**：キャプチャ /比較 2 選択

このビットフィールドは、チャネルの方向（入力/出力）と、使用される入力を定義します。

00：CC2 チャネルは出力として設定されます。

01：CC2 チャネルは入力として設定され、IC2 は TI2 に配置されます。

10：CC2 チャネルは入力として設定され、IC2 は TI1 に配置されます。

11：CC2 チャネルは入力として設定され、IC2 は TRC に配置されます。このモードは、TS ビット（TIMx_SMCR レジスタ）で内部トリガ入力が選択されている場合のみ機能します。

注： CC2S ビットは、チャネルが OFF（TIMx_CCER レジスタの CC2E="0"）のときにのみ書き込みができます。

ビット 7 **OC1CE**：出力比較 1 クリアイネーブル

OC1CE：出力比較 1 クリアイネーブル

0：OC1Ref は ETRF 入力の影響を受けません。

1：OC1Ref は ETRF 入力のハイレベルが検出されるとクリアされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 6:4 **OC1M**：出力比較 1 モード

これらのビットは、OC1 および OC1N が導き出される出力基準信号 OC1REF の動作を定義します。OC1REF はアクティブハイですが、OC1 および OC1N のアクティブレベルは CC1P および CC1NP ビットに依存します。

000：停止 - 出力比較レジスタ TIMx_CCR1 とカウンタ TIMx_CNT との間の比較結果は出力に影響しません（このモードはタイミングベースを生成するために使用されます）。

001：一致時にチャネル 1 をアクティブレベルに設定します。OC1REF 信号は、カウンタ TIMx_CNT がキャプチャ /比較レジスタ 1（TIMx_CCR1）と一致したときに、強制的にハイになります。

010：一致時にチャネル 1 をインアクティブレベルに設定します。OC1REF 信号は、カウンタ TIMx_CNT がキャプチャ/比較レジスタ 1（TIMx_CCR1）と一致したときに、強制的にローになります。

011：反転 - TIMx_CNT = TIMx_CCR1 のとき、OC1REF は反転します。

100：強制インアクティブレベル - OC1REF は強制的にローになります。

101：強制アクティブレベル - OC1REF は強制的にハイになります。

110 : PWM モード 1 - カウントアップ時、チャネル 1 は、TIMx_CNT < TIMx_CCR1 の場合はアクティブに、そうでない場合はインアクティブになります。カウントダウン時、チャネル 1 は、TIMx_CNT > TIMx_CCR1 の場合はインアクティブ（OC1REF=“0”）に、そうでない場合はアクティブ（OC1REF=“1”）になります。

111 : PWM モード 2 - カウントアップ時、チャネル 1 は、TIMx_CNT < TIMx_CCR1 の場合はインアクティブに、そうでない場合はアクティブになります。カウントダウン時、チャネル 1 は、TIMx_CNT > TIMx_CCR1 の場合はアクティブに、そうでない場合はインアクティブになります。

注： 1 : これらのビットは、LOCK レベル 3 がプログラムされていて (TIMx_BDTR レジスタの LOCK ビット)、かつ CC1S=“00”（チャネルは出力に設定）のときには、変更できません。

2 : PWM モード 1 または 2 では、比較結果が変化したとき、または出力比較モードが停止モードから PWM モードに変更されたときにのみ、OCREF のレベルが変化します。

3 : 相補出力を持つチャネルでは、このビットはプリロードされます。TIMx_CR2 レジスタの CCPC ビットがセットされた場合、OC1M アクティブビットは、COM が生成されたときにのみプリロードから新しい値をとります。

ビット 3 **OC1PE**：出力比較 1 プリロードイネーブル

0 : TIMx_CCR1 のプリロードレジスタは無効です。TIMx_CCR1 は、いつでも書き込み可能であり、新しい値はただちに有効になります。

1：TIMx_CCR1 のプリロードレジスタは有効です。読み書きはプリロードレジスタに対して行われます。TIMx_CCR1 プリロード値は、更新イベントのたびにアクティブレジスタにロードされます。

注： 1 : これらのビットは、LOCK レベル 3 がプログラムされていて (TIMx_BDTR レジスタの LOCK ビット)、かつ CC1S=“00”（チャネルは出力に設定）のときには、変更できません。

2 : PWM モードは、ワンパルスモード (TIMx_CR1 レジスタの OPM ビットがセットされている）のときのみ、プリロードレジスタを有効にしなくても使用できます。そうでない場合、動作は保証されません。

ビット 2 OC1FE：出力比較 1 高速イネーブル

このビットは、トリガ入力のイベントから CC 出力への影響の伝播を加速するために使用されます。

0：CC1 の動作は、トリガがオンのときでも、通常、カウンタと CCR1 の値に依存します。トリガ入力のエッジ発生から CC1 出力が有効になるまでの最小遅延は、5 クロックサイクルです。

1：トリガ入力のアクティブエッジは、CC1 出力に対して、比較一致のように働きます。このような場合、OC は、比較結果に関係なく、比較レベルにセットされます。トリガ入力をサンプリングし、CC1 出力を有効にするまでの遅延は、3 クロックサイクルに短縮されます。OCFE は、チャネルが PWM1 または PWM2 モードに設定されている場合のみ機能します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 1:0 **CC1S**：キャプチャ /比較 1 選択

このビットフィールドは、チャネルの方向（入力/出力）と、使用される入力を定義します。

00：CC1 チャネルは出力として設定されます。

01：CC1 チャネルは入力として設定され、IC1 は TI1 に配置されます。

10：CC1 チャネルは入力として設定され、IC1 は TI2 に配置されます。

11：CC1 チャネルは入力として設定され、IC1 は TRC に配置されます。このモードは、TS ビット（TIMx_SMCR レジスタ）で内部トリガ入力が選択されている場合のみ機能します。

注： CC1S ビットは、チャネルが OFF（TIMx_CCER レジスタの CC1E="0"）のときのみ書き込みができます。

入力キャプチャモード

ビット 15:12 **IC2F**：入力キャプチャ 2 フィルタ

ビット 11:10 **IC2PSC[1:0]**：入力キャプチャ 2 プリスケーラ

ビット 9:8 **CC2S**：キャプチャ /比較 2 選択

このビットフィールドは、チャネルの方向（入力/出力）と、使用される入力を定義します。

00：CC2 チャネルは出力として設定されます。

01：CC2 チャネルは入力として設定され、IC2 は TI2 に配置されます。

10：CC2 チャネルは入力として設定され、IC2 は TI1 に配置されます。

11：CC2 チャネルは入力として設定され、IC2 は TRC に配置されます。このモードは、TS ビット（TIMx_SMCR レジスタ）で内部トリガ入力が選択されている場合のみ機能します。

注： CC2S ビットは、チャネルが OFF（TIMx_CCER レジスタの CC2E="0"）のときにのみ書き込みができます。

ビット 7:4 **IC1F[3:0]**：入力キャプチャ 1 フィルタ

このビットフィールドは、TI1 入力をサンプリングするために使用される周波数と、TI1 に適用されるデジタルフィルタの長さを定義します。デジタルフィルタはイベントカウンタでできていて、出力に有効な変化をもたらすには N 個のイベント発生が必要です。

0000：フィルタなし、サンプリングは f_{DTS}で行われます。

0001：$f_{SAMPLING}=f_{CK_INT}$、N=2

0010：$f_{SAMPLING}=f_{CK_INT}$、N=4

0011：$f_{SAMPLING}=f_{CK_INT}$、N=8

0100：$f_{SAMPLING}=f_{DTS}/2$、N=6

0101：$f_{SAMPLING}=f_{DTS}/2$、N=8

0110：$f_{SAMPLING}=f_{DTS}/4$、N=6

0111：$f_{SAMPLING}=f_{DTS}/4$、N=8

1000：$f_{SAMPLING}=f_{DTS}/8$、N=6

1001：$f_{SAMPLING}=f_{DTS}/8$、N=8

1010：$f_{SAMPLING}=f_{DTS}/16$、N=5

1011：$f_{SAMPLING}=f_{DTS}/16$、N=6

1100：$f_{SAMPLING}=f_{DTS}/16$、N=8

1101：$f_{SAMPLING}=f_{DTS}/32$、N=5

1110：$f_{SAMPLING}=f_{DTS}/32$、N=6

1111：$f_{SAMPLING}=f_{DTS}/32$、N=8

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 3:2 **IC1PSC**：入力キャプチャ 1 プリスケーラ

このビットフィールドは、CC1 入力（IC1）に作用するプリスケーラの分周比を定義します。
プリスケーラは、CC1E=“0”（TIMx_CCER レジスタ）になるとリセットされます。
00：プリスケーラなし。キャプチャは、キャプチャ入力のエッジが検出されるたびに行われます。
01：キャプチャは、2 イベントごとに行われます。
10：キャプチャは、4 イベントごとに行われます。
11：キャプチャは、8 イベントごとに行われます。

ビット 1:0 **CC1S**：キャプチャ /比較 1 選択

このビットフィールドは、チャネルの方向（入力/出力）と、使用される入力を定義します。
00：CC1 チャネルは出力として設定されます。
01：CC1 チャネルは入力として設定され、IC1 は TI1 に配置されます。
10：CC1 チャネルは入力として設定され、IC1 は TI2 に配置されます。
11：CC1 チャネルは入力として設定され、IC1 は TRC に配置されます。このモードは、TS ビット（TIMx_SMCR レジスタ）で内部トリガ入力が選択されている場合のみ機能します。

注： CC1S ビットは、チャネルが OFF（TIMx_CCER レジスタの CC1E=“0”）のときのみ書き込みができます。

17.4.8 TIM1 および TIM8 キャプチャ /比較モードレジスタ 2（TIMx_CCMR2）

アドレスオフセット：0x1C

リセット値：0x0000

上記の CCMR1 レジスタの説明を参照してください。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OC4 CE	OC4M[2:0]			OC4 PE	OC4 FE	CC4S[1:0]		OC3 CE	OC3M[2:0]			OC3 PE	OC3 FE	CC3S[1:0]	
IC4F[3:0]				IC4PSC[1:0]				IC3F[3:0]				IC3PSC[1:0]			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

出力比較モード

ビット 15 **OC4CE：出力比較 4 クリアイネーブル**

ビット 14:12 **OC4M**：出力比較 4 モード

ビット 11 **OC4PE**：出力比較 4 プリロードイネーブル

ビット 10 **OC4FE**：出力比較 4 高速イネーブル

ビット 9:8 **CC4S**：キャプチャ /比較 4選択

このビットフィールドは、チャネルの方向（入力/出力）と、使用される入力を定義します。
00：CC4 チャネルは出力として設定されます。
01：CC4 チャネルは入力として設定され、IC4 は TI4 に配置されます。
10：CC4 チャネルは入力として設定され、IC4 は TI3 に配置されます。
11：CC4 チャネルは入力として設定され、IC4 は TRC に配置されます。このモードは、TS ビット（TIMx_SMCR レジスタ）で内部トリガ入力が選択されている場合のみ機能します。

注： CC4S ビットは、チャネルが OFF（TIMx_CCER レジスタの CC4E=“0”）のときのみ書き込みができます。

ビット 7 **OC3CE**：出力比較 3 クリアイネーブル

ビット 6:4 **OC3M**：出力比較 3 モード

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 3 **OC3PE**：出力比較 3 プリロードイネーブル

ビット 2 **OC3FE**：出力比較 3 高速イネーブル

ビット 1:0 **CC3S**：キャプチャ /比較 3 選択

このビットフィールドは、チャネルの方向（入力/出力）と、使用される入力を定義します。
00：CC3 チャネルは出力として設定されます。
01：CC3 チャネルは入力として設定され、IC3 は TI3 に配置されます。
10：CC3 チャネルは入力として設定され、IC3 は TI4 に配置されます。
11：CC3 チャネルは入力として設定され、IC3 は TRC に配置されます。このモードは、TS ビット（TIMx_SMCR レジスタ）で内部トリガ入力が選択されている場合のみ機能します。

注： CC3S ビットは、チャネルが OFF（TIMx_CCER レジスタの CC3E="0"）のときのみ書き込みができます。

入力キャプチャモード

ビット 15:12 **IC4F**：入力キャプチャ 4 フィルタ

ビット 11:10 **IC4PSC**：入力キャプチャ 4 プリスケーラ

ビット 9:8 **CC4S**：キャプチャ /比較 4 選択

このビットフィールドは、チャネルの方向（入力/出力）と、使用される入力を定義します。
00：CC4 チャネルは出力として設定されます。
01：CC4 チャネルは入力として設定され、IC4 は TI4 に配置されます。
10：CC4 チャネルは入力として設定され、IC4 は TI3 に配置されます。
11：CC4 チャネルは入力として設定され、IC4 は TRC に配置されます。このモードは、TS ビット（TIMx_SMCR レジスタ）で内部トリガ入力が選択されている場合のみ機能します。

注： CC4S ビットは、チャネルが OFF（TIMx_CCER レジスタの CC4E="0"）のときのみ書き込みができます。

ビット 7:4 **IC3F**：入力キャプチャ 3 フィルタ

ビット 3:2 **IC3PSC**：入力キャプチャ 3 プリスケーラ

ビット 1:0 **CC3S**：キャプチャ /比較 3 選択

このビットフィールドは、チャネルの方向（入力/出力）と、使用される入力を定義します。
00：CC3 チャネルは出力として設定されます。
01：CC3 チャネルは入力として設定され、IC3 は TI3 に配置されます。
10：CC3 チャネルは入力として設定され、IC3 は TI4 に配置されます。
11：CC3 チャネルは入力として設定され、IC3 は TRC に配置されます。このモードは、TS ビット（TIMx_SMCR レジスタ）で内部トリガ入力が選択されている場合のみ機能します。

注： CC3S ビットは、チャネルが OFF（TIMx_CCER レジスタの CC3E="0"）のときのみ書き込みができます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

17.4.9 TIM1 および TIM8 キャプチャ /比較イネーブルレジスタ （TIMx_CCER）

アドレスオフセット：0x20

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み		CC4P	CC4E	CC3NP	CC3NE	CC3P	CC3E	CC2NP	CC2NE	CC2P	CC2E	CC1NP	CC1NE	CC1P	CC1E
		rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:14 予約済みであり、リセット値に保持する必要があります。

ビット 13 **CC4P**：キャプチャ /比較 4 出力極性

CC1P の説明を参照してください。

ビット 12 **CC4E**：キャプチャ /比較 4 出力イネーブル

CC1E の説明を参照してください。

ビット 11 **CC3NP**：キャプチャ /比較 3 相補出力極性

CC1NP の説明を参照してください。

ビット 10 **CC3NE**：キャプチャ /比較 3 相補出力イネーブル

CC1NE の説明を参照してください。

ビット 9 **CC3P**：キャプチャ /比較 3 出力極性

CC1P の説明を参照してください。

ビット 8 **CC3E**：キャプチャ /比較 3 出力イネーブル

CC1E の説明を参照してください。

ビット 7 **CC2NP**：キャプチャ /比較 2 相補出力極性

CC1NP の説明を参照してください。

ビット 6 **CC2NE**：キャプチャ /比較 2 相補出力イネーブル

CC1NE の説明を参照してください。

ビット 5 **CC2P**：キャプチャ /比較 2 出力極性

CC1P の説明を参照してください。

ビット 4 **CC2E**：キャプチャ /比較 2 出力イネーブル

CC1E の説明を参照してください。

ビット 3 **CC1NP**：キャプチャ /比較 1 相補出力極性

CC1 チャネルが出力として設定されている場合：

0：OC1N はアクティブハイです。

1：OC1N はアクティブローです。

CC1 チャネルが入力として設定されている場合：

このビットは、TI1FP1とTI2FP1 の極性を定義するために CC1P と組み合わせて使用されます。CC1P の説明を参照してください。

注： 相補出力を持つチャネルでは、このビットはプリロードされます。TIMx_CR2 レジスタの CCPC ビットがセットされた場合、CC1NP アクティブビットは、転換イベントが発生したときにのみ、プリロードされたビットから新しい値を取り込みます。

注： このビットは、LOCK レベル 2 または 3 がプログラムされ、(TIMx_BDTR レジスタの LOCK ビット)、かつCC1S="00"（チャネルは出力として設定）になった直後は書き込みできません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 2 **CC1NE**：キャプチャ /比較 1 相補出力イネーブル

0：オフ - OC1N はアクティブではありません。OC1N のレベルは、MOE、OSSI、OSSR、OIS1、OIS1N および CC1Eビットによって決まります。

1：オン - OC1N 信号は、MOE、OSSI、OSSR、OIS1、OS1N および CC1E ビットにより、対応する出力ピンに出力されます。

注： 相補出力を持つチャネルでは、このビットはプリロードされます。TIMx_CR2 レジスタの CCPC ビットがセットされた場合、CC1NE アクティブビットは、転換イベントが発生したときにのみ、プリロードされたビットから新しい値を取り込みます。

ビット 1 **CC1P**：キャプチャ /比較 1 出力極性

CC1 チャネルが出力として設定されている場合：

0：OC1 アクティブハイです。

1：OC1 はアクティブローです。

CC1 チャネルが入力として設定されている場合：

CC1NP/CC1Pビットは、トリガまたはキャプチャ動作に対するTI1FP1とTI2FP1 のアクティブ極性を選択します。

00：非反転/立ち上がりエッジ

この回路は TIxFP1 の立ち上がりエッジに反応し（リセットモード、外部クロックモード、またはトリガモードにおけるキャプチャまたはトリガ動作）、TIxFP1 は反転されません（ゲートモードまたはエンコーダモードでのトリガ動作）。

01：反転/立下がりエッジ

この回路は TIxFP1 の立ち下がりエッジに反応し（リセットモード、外部クロックモード、またはトリガモードにおけるキャプチャまたはトリガ動作）、TIxFP1 は反転されます（ゲートモードまたはエンコーダモードでのトリガ動作）。

10：予約済み。この設定は使用しないでください。

11：非反転/両エッジ

この回路は TIxFP1 の立ち上がりエッジと立ち下がりエッジの両方に反応し（リセットモード、外部クロックモード、またはトリガモードにおけるキャプチャまたはトリガ動作）、TIxFP1 は反転されません（ゲートモードでのトリガ動作）。この設定をエンコーダモードで使用することはできません。

注： 相補出力を持つチャネルでは、このビットはプリロードされます。TIMx_CR2 レジスタの CCPC ビットがセットされた場合、CC1P アクティブビットは、転換イベントが発生したときにのみ、プリロードされたビットから新しい値を取り込みます。

注： このビットは、LOCK レベル 2 または 3 がプログラムされた直後は書き込みできません (TIMx_BDTR レジスタの LOCK ビット)。

ビット 0 **CC1E**：キャプチャ /比較 1 出力イネーブル

CC1 チャネルが出力として設定されている場合：

0：オフ - OC1 はアクティブではありません。OC1 のレベルは、MOE、OSSI、OSSR、OIS1、OIS1N および CC1NE ビットによって決まります。

1：オン - OC1 信号は、MOE、OSSI、OSSR、OIS1、OIS1N および CC1NE ビットにより、対応する出力ピンに出力されます。

CC1 チャネルが入力として設定されている場合：

入力キャプチャ/比較レジスタ 1 (TIMx_CCR1)に対して、カウンタ値のキャプチャを実際に行うか否かを、このビットにより決定します。

0：キャプチャは無効です。

1：キャプチャは有効です。

注： 相補出力を持つチャネルでは、このビットはプリロードされます。TIMx_CR2 レジスタの CCPC ビットがセットされた場合、CC1E アクティブビットは、転換イベントが発生したときにのみ、プリロードされたビットから新しい値を取り込みます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 94. ブレーク機能を持つ相補 OCx および OCxN チャネルの出力制御ビット機能

制御ビット					出力状態(1)	
MOE ビット	OSSI ビット	OSSR ビット	CCxE ビット	CCxNE ビット	OCx 出力状態	OCxN 出力状態
1	X	0	0	0	出力無効（タイマによって駆動されない） OCx=0、OCx_EN=0	出力無効（タイマによって駆動されない） OCxN=0、OCxN_EN=0
		0	0	1	出力無効（タイマによって駆動されない） OCx=0、OCx_EN=0	OCxREF + 極性 OCxN=OCxREF xor CCxNP、OCxN_EN=1
		0	1	0	OCxREF + 極性 OCx=OCxREF xor CCxP, OCx_EN=1	出力無効（タイマによって駆動されない） OCxN=0、OCxN_EN=0
		0	1	1	OCREF + 極性 + デッドタイム OCx_EN=1	OCREF に対する相補（OCREF ではなく）+ 極性 + デッドタイム OCxN_EN=1
		1	0	0	出力無効（タイマによって駆動されない） OCx=CCxP、OCx_EN=0	出力無効（タイマによって駆動されない） OCxN=CCxNP、OCxN_EN=0
		1	0	1	オフ状態（インアクティブ状態で出力有効） OCx=CCxP、OCx_EN=1	OCxREF + 極性 OCxN=OCxREF xor CCxNP、OCxN_EN=1
		1	1	0	OCxREF + 極性 OCx=OCxREF xor CCxP, OCx_EN=1	オフ状態（インアクティブ状態で出力有効） OCxN=CCxNP、OCxN_EN=1
		1	1	1	OCREF + 極性 + デッドタイム OCx_EN=1	OCREF に対する相補（OCREF ではなく）+ 極性 + デッドタイム OCxN_EN=1
0	0	X	0	0	出力無効（タイマによって駆動されない） OCx=CCxP, OCx_EN=0	出力無効（タイマによって駆動されない） OCxN=CCxNP, OCxN_EN=0
	0		0	1	出力無効（タイマによって駆動されない） 非同期：OCx=CCxP、OCx_EN=0、OCxN=CCxNP、OCxN_EN=0 クロックが存在する場合：デッドタイム後、OCx=OISx および OCxN=OISxN。ただし、OISx と OISxN は、アクティブ状態における OCX と OCxN の両方に対応しないことを前提とします。	
	0		1	0		
	0		1	1		
	1		0	0	出力無効（タイマによって駆動されない） OCx=CCxP, OCx_EN=0	出力無効（タイマによって駆動されない） OCxN=CCxNP, OCxN_EN=0
	1		0	1	オフ状態（インアクティブ状態で出力有効） 非同期：OCx=CCxP、OCx_EN=1、OCxN=CCxNP、OCxN_EN=1 クロックが存在する場合：デッドタイム後、OCx=OISx および OCxN=OISxN。ただし、OISx と OISxN は、アクティブ状態における OCX と OCxN の両方に対応しないことを前提とします。	
	1		1	0		
	1		1	1		

1. チャネルの両方の出力が使用されないとき（CCxE=CCxNE=0）、OISx、OISxN、CCxP、および CCxNP はクリアされたままでなければなりません。

注： 相補 OCx および OCxN チャネルに接続されている外部入出力ピンの状態は、OC x および OC xN チャネルの状態と、GPIO レジスタに依存します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

17.4.10 TIM1 および TIM8 カウンタ（TIMx_CNT）

アドレスオフセット：0x24

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CNT[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **CNT[15:0]**：カウンタ値

17.4.11 TIM1 および TIM8 プリスケーラ （TIMx_PSC）

アドレスオフセット：0x28

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PSC[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **PSC[15:0]**：プリスケーラ値

カウンタクロック周波数 CK_CNT は、f_{CK_PSC} /（PSC[15:0] + 1）です。
PSC は、更新イベントごとにアクティブプリスケーラレジスタにロードされる値を含みます（更新イベントには、TIMx_EGR レジスタの UG ビットを通じて、またはリセットモードに設定されているトリガコントローラを通じて、カウンタがクリアされる場合も含まれます）。

17.4.12 TIM1 および TIM8 自動再ロードレジスタ （TIMx_ARR）

アドレスオフセット：0x2C

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ARR[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **ARR[15:0]**：自動再ロード値

ARR は、実際の自動再ロードレジスタにロードされる値です。
APR の更新と動作の詳細については、*セクション 17.3.1：タイムベースユニット（524 ページ）*を参照してください。
自動再ロード値が null のときには、カウンタはブロックされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

17.4.13 TIM1 および TIM8 繰り返しカウンタレジスタ （TIMx_RCR）

アドレスオフセット：0x30

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								REP[7:0]							
								rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **REP[7:0]**：繰り返しカウンタ値

これらのビットによって、プリロードレジスタが有効なときの比較レジスタの更新レート（プリロードレジスタからアクティブレジスタへの定期的な転送）と、割り込みが有効な場合の更新割り込み生成の頻度をセットアップできます。

REP_CNT に関連するダウンカウンタがゼロに達するたびに、更新イベントが生成され、REP 値からカウントをリスタートします。繰り返し更新イベント U_RC でのみ、REP_CNT に REP 値がロードされるので、TIMx_RCR レジスタへの書き込みは、次の繰り返し更新イベントまで有効になりません。

PWM モードでは、（REP+1）は次のことを意味します。

– エッジアラインモードでは、PWM 周期の数。
– センターアラインモードでは、PWM の 1/2 周期の数

17.4.14 TIM1 および TIM8 キャプチャ /比較モードレジスタ 1（TIMx_CCMR1）

アドレスオフセット：0x34

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR1[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **CCR1[15:0]**：キャプチャ /比較 1 値

チャネル CC1 が出力として設定されている場合：

CCR1 は、実際のキャプチャ /比較 1 レジスタにロードされる値（プリロード値）です。

TIMx_CCMR1 レジスタの OC1PE ビットでプリロード機能が選択されていない場合、この値は不変にロードされます。そうでない場合、プリロード値は、更新イベントが発生したときに、アクティブキャプチャ /比較 1 レジスタにコピーされます。

アクティブキャプチャ /比較レジスタは、カウンタ TIMx_CNT と比較されて、OC1 出力に送信される値を含みます。

チャネル CC1 が入力として設定されている場合：

CCR1 は、最後の入力キャプチャ 1 イベント（IC1）によって転送されたカウンタ値です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

17.4.15 TIM1 および TIM8 キャプチャ /比較モードレジスタ 2（TIMx_CCMR2）

アドレスオフセット：0x38

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR2[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **CCR2[15:0]**：キャプチャ /比較 2 値

CC2 チャネルが出力として設定されている場合：

CCR2 は、実際のキャプチャ /比較 2 レジスタにロードされる値（プリロード値）です。

TIMx_CCMR2 レジスタの OC2PE ビットでプリロード機能が選択されていない場合、この値は不変にロードされます。そうでない場合、プリロード値は、更新イベントが発生したときに、アクティブキャプチャ /比較 2 レジスタにコピーされます。

アクティブキャプチャ /比較レジスタは、カウンタ TIMx_CNT と比較され、OC2 出力に送信される値を含みます。

CC2 チャネルが入力として設定されている場合：

CCR2 は、最後の入力キャプチャ 2 イベント（IC2）によって転送されたカウンタ値です。

17.4.16 TIM1 および TIM8 キャプチャ /比較モードレジスタ 3（TIMx_CCMR3）

アドレスオフセット：0x3C

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR3[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **CCR3[15:0]**：キャプチャ /比較 3 値

チャネル CC3 が出力として設定されている場合：

CCR3 は、実際のキャプチャ /比較 3 レジスタにロードされる値（プリロード値）です。

TIMx_CCMR3 レジスタの OC3PE ビットでプリロード機能が選択されていない場合、この値は不変にロードされます。そうでない場合、プリロード値は、更新イベントが発生したときに、アクティブキャプチャ /比較 3 レジスタにコピーされます。

アクティブキャプチャ /比較レジスタは、カウンタ TIMx_CNT と比較され、OC3 出力に送信される値を含みます。

チャネル CC3 が入力として設定されている場合：

CCR3 は、最後の入力キャプチャ 3 イベント（IC3）によって転送されたカウンタ値です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

17.4.17 TIM1 および TIM8 キャプチャ /比較モードレジスタ 4（TIMx_CCMR4）

アドレスオフセット：0x40

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR4[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **CCR4[15:0]**：キャプチャ /比較 4 値

チャネル CC4 が出力として設定されている場合：

CCR4 は、実際のキャプチャ /比較 4 レジスタにロードされる値（プリロード値）です。

TIMx_CCMR4 レジスタの OC4PE ビットでプリロード機能が選択されていない場合、この値は不変にロードされます。そうでない場合、プリロード値は、更新イベントが発生したときに、アクティブキャプチャ /比較 4 レジスタにコピーされます。

アクティブキャプチャ /比較レジスタは、カウンタ TIMx_CNT と比較され、OC4 出力に送信される値を含みます。

チャネル CC4 が入力として設定されている場合：

CCR4 は、最後の入力キャプチャ 4 イベント（IC4）によって転送されたカウンタ値です。

17.4.18 TIM1 および TIM8 ブレークおよびデッドタイムレジスタ（TIMx_BDTR）

アドレスオフセット：0x44

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MOE	AOE	BKP	BKE	OSSR	OSSI	LOCK[1:0]		DTG[7:0]							
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

注： ***ビット AOE、BKP、BKE、OSSI、OSSR、および DTG[7:0] は、LOCK 設定に応じて書き込みがロックされるので、TIMx_BDTR レジスタへの最初のアクセス時に、これらすべてを設定しなければならないことがあります。***

ビット 15 **MOE**：メイン出力イネーブル

このビットは、ブレーク入力がアクティブとなると、ハードウェアによって非同期にクリアされます。ソフトウェアによって、または、AOE ビットに応じて自動的にセットされます。出力として設定されたチャネルに対してのみ有効です。

0：OC および OCN 出力は無効か、強制的にアイドル状態になります。

1：OC および OCN 出力は、それぞれのイネーブルビット（TIMx_CCER レジスタの CCxE、CCxNE ビット）がセットされている場合は有効です。

詳細については、OC/OCN イネーブルの説明を参照してください（*セクション 17.4.9：TIM1 および TIM8 キャプチャ /比較イネーブルレジスタ （TIMx_CCER）（578 ページ）*）。

ビット 14 **AOE**：自動出力イネーブル

0：MOE はソフトウェアによってのみセットできます。

1：MOE は、ソフトウェアによって、または次の更新イベント時に自動的にセットできます（ブレーク入力がアクティブでない場合）。

注： ***このビットは、LOCK レベル 1 がプログラムされている場合（TIMx_BDTR レジスタの LOCK ビット）、変更できません。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 13 **BKP**：ブレーク極性

0：ブレーク入力 BRK はアクティブローです。
1：ブレーク入力 BRK はアクティブハイです。

注： このビットは、LOCK レベル 1 がプログラムされている場合（TIMx_BDTR レジスタの LOCK ビット）、変更できません。

注： このビットへの書き込み操作では、書き込みが有効になるまでに 1 APB クロックサイクルの遅延が生じます。

ビット 12 **BKE**：ブレークイネーブル

0：ブレーク入力（BRK および CSS クロック障害イベント）は無効です。
1：ブレーク入力（BRK および CSS クロック障害イベント）は有効です。

注： このビットは、LOCK レベル 1 がプログラムされているときには変更できません（TIMx_BDTR レジスタの LOCK ビット）。

注： このビットへの書き込み操作では、書き込みが有効になるまでに 1 APB クロックサイクルの遅延が生じます。

ビット 11 **OSSR**：RUN モードのオフ状態の選択

このビットは、MOE=1 のとき、相補出力を持ち、出力として設定されているチャネルで使用されます。
OSSR は、相補出力がタイマに実装されていない場合には、実装されません。
詳細については、OC/OCN イネーブルの説明を参照してください（*セクション 17.4.9：TIM1 および TIM8 キャプチャ/比較イネーブルレジスタ （TIMx_CCER）(578 ページ)*）。
0：インアクティブのとき、OC/OCN 出力は無効です（OC/OCN イネーブル出力信号 = 0）。
1：インアクティブのとき、CCxE=1 または CCxNE=1 になると、OC/OCN 出力は、インアクティブレベルで有効になります。この場合、OC/OCN イネーブル出力信号 = 1 です。

注： このビットは、LOCK レベル 2 がプログラムされているときには変更できません（TIMx_BDTR レジスタの LOCK ビット）。

ビット 10 **OSSI**：アイドルモードのオフ状態の選択

このビットは、MOE=0 のとき、出力として設定されているチャネルで使用されます。
詳細については、OC/OCN イネーブルの説明を参照してください（*セクション 17.4.9：TIM1 および TIM8 キャプチャ/比較イネーブルレジスタ （TIMx_CCER）(578 ページ)*）。
0：インアクティブのとき、OC/OCN 出力は無効です（OC/OCN イネーブル出力信号 = 0）。
1：インアクティブのとき、OC/OCN 出力は、CCxE=1 または CCxNE=1 になると、まず、強制的にアイドルレベルになりますOC/OCN イネーブル出力信号 = 1）

注： このビットは、LOCK レベル 2 がプログラムされているときには変更できません（TIMx_BDTR レジスタの LOCK ビット）。

ビット 9:8 **LOCK[1:0]**：ロック設定

これらのビットは、ソフトウェアエラーに対する書き込み保護を提供します。
00：LOCK オフ - どのビットも書き込み保護されません。
01：LOCK レベル 1 = TIMx_BDTR レジスタの DTG ビット、TIMx_CR2 レジスタの OISx および OISxN ビット、および TIMx_BDTR レジスタの BKE/BKP/AOE ビットは、書き込みができなくなります。
10：LOCK レベル 2 = LOCK レベル 1 に加えて、CC 極性ビット（関連するチャネルが CCxS ビットを通じて出力に設定されている場合は、TIMx_CCER レジスタの CCxP/CCxNP ビット）と OSSR および OSSI ビットも書き込めなくなります。
11：LOCK レベル 3 = LOCK レベル 2 に加えて、CC 制御ビット（関連するチャネルが CCxS ビットを通じて出力に設定されている場合は、TIMx_CCMR レジスタの OCxM および OCxPE ビット）が書き込めなくなります。

注： LOCK ビットは、リセット後に一度だけ書き込みができます。いったん TIMx_BDTR レジスタに書き込みが行われると、その内容は次のリセットまで凍結されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 7:0 **DTG[7:0]**：デッドタイムジェネレータのセットアップ

これらのビットでは、相補出力の間に挿入されるデッドタイムの長さを指定します。デッドタイムの時間（DT）は、次の式で与えられます。

DTG[7:5]=0xx => DT=DTG[7:0]x t_{dtg}、ここで $t_{dtg}=t_{DTS}$。

DTG[7:5]=10x => DT=(64+DTG[5:0])xt_{dtg}、ここで $T_{dtg}=2xt_{DTS}$。

DTG[7:5]=110 => DT=(32+DTG[4:0])xt_{dtg}、ここで $T_{dtg}=8xt_{DTS}$。

DTG[7:5]=111 => DT=(32+DTG[4:0])xt_{dtg}、ここで $T_{dtg}=16xt_{DTS}$。

例：TDTS=125ns（8MHz）の場合、可能なデッドタイムの値は、以下のとおりです。

0 から 15875 ns（125 ns 単位）

16 µs から 31750 ns（250 ns 単位）

32 µs から 63 µs（1 µs 単位）

64 µs から 126 µs（2 µs 単位）

注： このビットフィールドは、LOCK レベル 1、2、または 3 がプログラムされているとき、変更できません（TIMx_BDTR レジスタの LOCK ビット）。

17.4.19 TIM1 および TIM8 DMA 制御レジスタ（TIMx_DCR）

アドレスオフセット：0x48

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み			DBL[4:0]					予約済み			DBA[4:0]				
			rw	rw	rw	rw	rw				rw	rw	rw	rw	rw

ビット 15:13 予約済みであり、リセット値に保持する必要があります。

ビット 12:8 **DBL[4:0]**：DMA バースト長

この 5 ビットのベクタは、DMA 転送回数（タイマは、TIMx_DMAR アドレスに対して読み出しまたは書き込みアクセスが行われるときにバースト転送を検出します）を指定します。

TIMx_DMAR アドレス）

00000：1 回転送

00001：2 回転送

00010：3 回転送

...

10001：18 回転送

ビット 7:5 予約済みであり、リセット値に保持する必要があります。

ビット 4:0 **DBA[4:0]**：DMA ベースアドレス

この 5 ビットのベクタは、DMA 転送のベースアドレスを指定します（TIMx_DMAR アドレスを通じて読み出し/書き込みアクセスが行われるとき）。DBA は、TIMx_CR1 レジスタのアドレスから始まるオフセットとして定義されます。

例：

00000：TIMx_CR1

00001：TIMx_CR2

00010：TIMx_SMCR

...

例：次の転送を考えます：DBL = 7 転送 かつDBA = TIMx_CR1。この場合、転送は、TIMx_CR1 アドレスから始めて、7 つのレジスタに対して行われます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

17.4.20 フル転送のための TIM1 および TIM8 DMA アドレス（TIMx_DMAR）

アドレスオフセット：0x4C

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DMAB[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 DMAB[15:0]：DMA バーストアクセスレジスタ

DMAR レジスタへの読み出しまたは書き込み動作は、次のアドレスにあるレジスタへのアクセスとなります：

（TIMx_CR1 アドレス）+ （DBA + （DMA インデックス）x 4。

ここで、TIMx_CR1 アドレスは制御レジスタ 1 のアドレスであり、DBA は TIMx_DCR レジスタで設定された DMA ベースアドレスであり、DMA インデックスはDMA 転送によって自動的に制御され、範囲は 0 から DBL です（DBL はTIMx_DCR 内で設定）。

DMA バースト機能の使用例

この例では、タイマ DMA バースト機能を使ってCCRx レジスタ値を更新します（x = 2、3、4）。この時、DMA で CCRx レジスタへハーフワード転送します。

これは次のステップに従って行います。

1. 対応する DMA チャネルを次のように設定します:
   - DMA チャネルペリフェラルアドレスを、DMAR レジスタアドレスとします。
   - DMA チャネルメモリアドレスを、DMA により CCRx レジスタへ転送するデータを格納する RAM 内のバッファアドレスとします。
   - 転送データ数 = 3 とします（次の注を参照）。
   - サーキュラモードを無効にします。
2. DBA とDBL のビットフィールドを次のように設定することにより、DCR レジスタを設定します：
   DBL = 3 転送、DBA = 0xE。
3. TIMx 更新 DMA リクエストを有効にします（DIER レジスタのUDE ビットをセット）。
4. TIMx を有効化
5. DMA チャネルを有効化

注： ***この例は、各CCRx レジスタが 1 回更新される場合です。たとえば、各 CCRx レジスタが 2 回更新される場合は、転送データ数は 6 になります。データ 1、データ 2、データ 3、データ 4、データ 5、データ 6 を格納する RAM のバッファを例にします。データは次のように CCRx レジスタへ転送されます。すなわち、最初の更新 DMA リクエストで、データ 1が CCR2 へ転送され、データ 2 が CCR3 へ、データ 3 が CCR4 へ、それぞれ転送され、2番目の更新 DMA リクエストで、データ 4 が CCR2 へ、データ 5 が CCR3 へ、データ 6 が CCR4 へ、それぞれ転送されます。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

17.4.21 TIM1 および TIM8 レジスタマップ

TIM1 および TIM8 レジスタは、次の表のように、16 ビットのアドレス可能レジスタとしてマップされます。

表 95. TIM1 および TIM8 レジスタマップとリセット値

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	TIMx_CR1	予約済み																						CKD[1:0]		ARPE	CMS[1:0]		DIR	OPM	URS	UDIS	CEN
	リセット値																							0	0	0	0	0	0	0	0	0	0
0x04	TIMx_CR2	予約済み																	OIS4	OIS3N	OIS3	OIS2N	OIS2	OIS1N	OIS1	TI1S	MMS[2:0]			CCDS	CCUS	予約済み	CCPC
	リセット値																		0	0	0	0	0	0	0	0	0	0	0	0	0		0
0x08	TIMx_SMCR	予約済み																ETP	ECE	ETPS[1:0]		ETF[3:0]				MSM	TS[2:0]			予約済み	SMS[2:0]		
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0		0	0	0
0x0C	TIMx_DIER	予約済み																	TDE	COMDE	CC4DE	CC3DE	CC2DE	CC1DE	UDE	BIE	TIE	COMIE	CC4IE	CC3IE	CC2IE	CC1IE	UIE
	リセット値																		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x10	TIMx_SR	予約済み																			CC4OF	CC3OF	CC2OF	CC1OF	予約済み	BIF	TIF	COMIF	CC4IF	CC3IF	CC2IF	CC1IF	UIF
	リセット値																				0	0	0	0		0	0	0	0	0	0	0	0
0x14	TIMx_EGR	予約済み																								BG	TG	COM	CC4G	CC3G	CC2G	CC1G	UG
	リセット値																									0	0	0	0	0	0	0	0
0x18	TIMx_CCMR1 出力比較モード	予約済み																OC2CE	OC2M[2:0]			OC2PE	OC2FE	CC2S[1:0]		OC1CE	OC1M[2:0]			OC1PE	OC1FE	CC1S[1:0]	
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	TIMx_CCMR1 入力キャプチャモード	予約済み																IC2F[3:0]				IC2PSC[1:0]		CC2S[1:0]		IC1F[3:0]				IC1PSC[1:0]		CC1S[1:0]	
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x1C	TIMx_CCMR2 出力比較モード	予約済み																O24CE	OC4M[2:0]			OC4PE	OC4FE	CC4S[1:0]		OC3CE	OC3M[2:0]			OC3PE	OC3FE	CC3S[1:0]	
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	TIMx_CCMR2 入力キャプチャモード	予約済み																IC4F[3:0]				IC4PSC[1:0]		CC4S[1:0]		IC3F[3:0]				IC3PSC[1:0]		CC3S[1:0]	
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x20	TIMx_CCER	予約済み																		CC4P	CC4E	CC3NP	CC3NE	CC3P	CC3E	CC2NP	CC2NE	CC2P	CC2E	CC1NP	CC1NE	CC1P	CC1E
	リセット値																			0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x24	TIMx_CNT	予約済み																CNT[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x28	TIMx_PSC	予約済み																PSC[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x2C	TIMx_ARR	予約済み																ARR[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x30	TIMx_RCR	予約済み																								REP[7:0]							
	リセット値																									0	0	0	0	0	0	0	0

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 95. TIM1 および TIM8 レジスタマップとリセット値（続き）

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x34	TIMx_CCR1	予約済み																CCR1[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x38	TIMx_CCR2	予約済み																CCR2[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x3C	TIMx_CCR3	予約済み																CCR3[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x40	TIMx_CCR4	予約済み																CCR4[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x44	TIMx_BDTR	予約済み																MOE	AOE	BKP	BKE	OSSR	OSSI	LOCK[1:0]		DT[7:0]							
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x48	TIMx_DCR	予約済み																			DBL[4:0]					予約済み			DBA[4:0]				
	リセット値																				0	0	0	0	0				0	0	0	0	0
0x4C	TIMx_DMAR	予約済み																DMAB[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

レジスタ境界アドレスについては、*表 2（64 ページ）*を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

18 汎用タイマ（TIM2 から TIM5）

このセクションは、特に指定がない限り、STM32F4xx ファミリ全体に適用されます。

18.1 TIM2 から TIM5 の概要

この汎用タイマは、プログラマブルなプリスケーラによって駆動される 16 ビットまたは 32 ビットの自動再ロードカウンタで構成されています。

入力信号のパルス長の測定（入力キャプチャ）や出力波形の生成（出力比較と PWM）など、さまざまな目的に使用できます。

パルス幅と波形の周期は、タイマプリスケーラと RCC クロックコントローラプリスケーラを使用して、数マイクロ秒から数ミリ秒までの範囲で変化させることができます。

タイマは完全に独立していて、いかなるリソースも共有しません。これらのタイマは *セクション 18.3.15* に示すように、相互に同期させることができます。

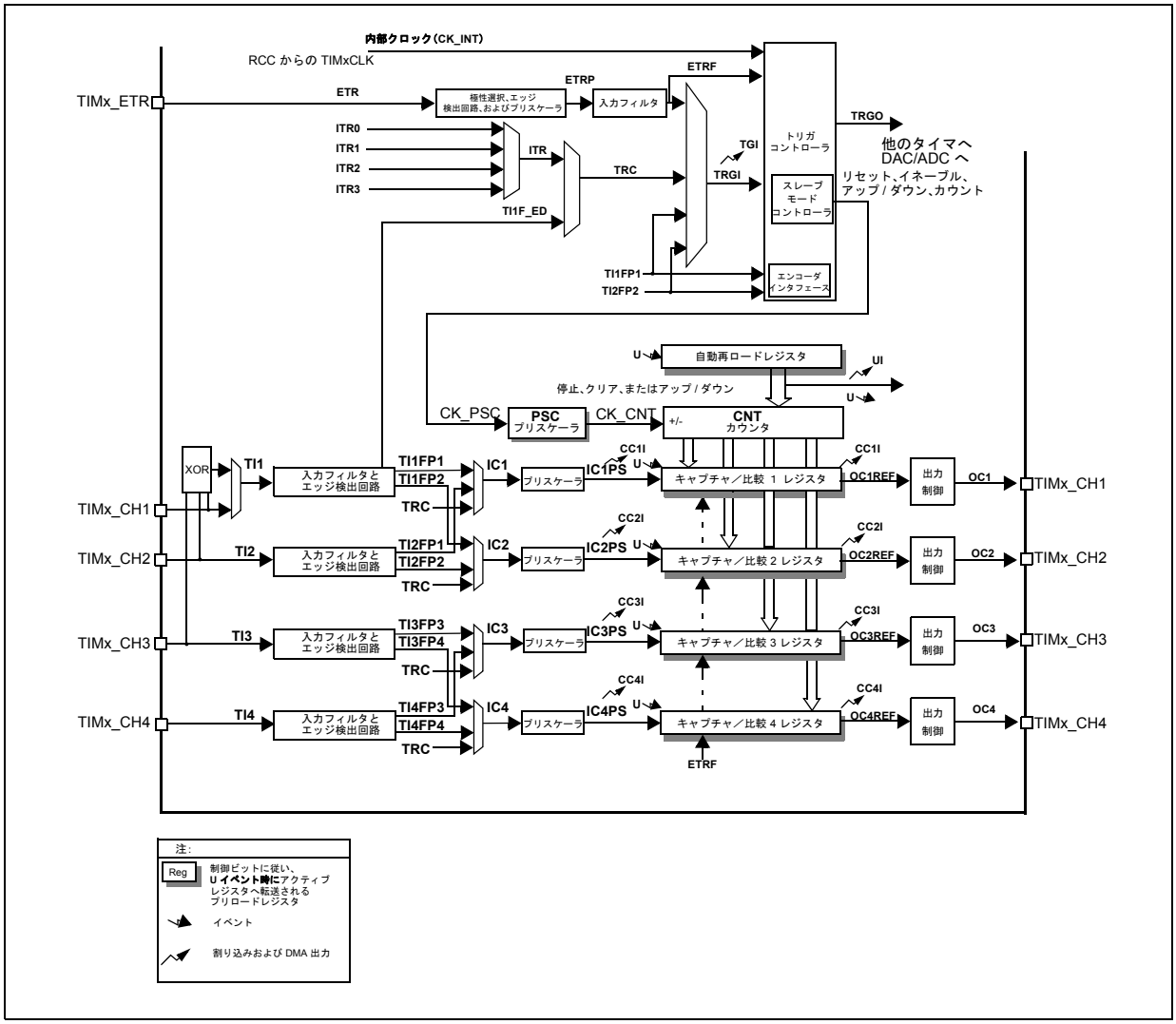
18.2 TIM2 から TIM5 の主な機能

汎用 TIMx タイマの主な機能は、次のとおりです。

- 16 ビット （TIM3 と TIM4）または 32 ビット （TIM2 と TIM5）のアップ、ダウン、アップ/ダウン自動再ロードカウンタ。
- 1 から 65536 の間でカウンタクロック周波数を（動作中でも）分周できる 16 ビットプログラマブルプリスケーラ。
- 次の機能を持つ、最大 4 つの独立チャネル。
  - 入力キャプチャ
  - 出力比較
  - PWM 生成（エッジアラインモードとセンターアラインモード）
  - ワンパルスモード出力
- 外部信号でタイマを制御し、複数のタイマを相互接続する同期回路。
- 以下のイベント時の割り込み／DMA 生成。
  - 更新：カウンタオーバーフロー／アンダーフロー、カウンタの初期化（ソフトウェアまたは内部／外部トリガによる）
  - トリガイベント（カウンタの開始、停止、初期化、または内部／外部トリガによるカウント）
  - 入力キャプチャ
  - 出力比較
- 位置決め目的のインクリメンタル（直交）エンコーダとホールセンサ回路をサポートしています。
- 外部クロックまたはサイクルごとの電流管理のためのトリガ入力

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 134. 汎用タイマのブロック図



18.3 TIM2 から TIM5 の機能説明

18.3.1 タイムベースユニット

プログラマブルタイマのメインブロックは、自動再ロードレジスタを持つ 16 ビット／32 ビットカウンタです。カウンタはカウントアップの動作が可能です。カウンタのクロックは、プリスケーラによって分周できます。

カウンタ、自動再ロードレジスタ、プリスケーラレジスタは、ソフトウェアから読み書き可能です。カウンタが動作中でも、読み書きが可能です。

タイムベースユニットには、次の要素が含まれます。

- カウンタレジスタ（TIMx_CNT）
- プリスケーラレジスタ（TIMx_PSC）:
- 自動再ロードレジスタ（TIMx_ARR）

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

自動再ロードレジスタは、プリロードされます。自動再ロードレジスタの読み書きは、プリロードレジスタへのアクセスになります。プリロードレジスタの内容は、TIMx_CR1 レジスタの自動再ロードプリロードイネーブルビット（ARPE）に応じて、常時または更新イベント（UEV）ごとに、シャドウレジスタに転送されます。TIMx_CR1 レジスタの UDIS ビットが 0 の場合、カウンタがオーバーフロー（またはダウンカウント時はアンダーフロー）に達したときに、更新イベントが送られます。また、ソフトウェアで生成することもできます。更新イベントの生成について、各設定の詳細を説明します。

カウンタのクロックは、TIMx_CR1 レジスタのカウンタイネーブルビット（CEN）がセットされているときにのみ、プリスケーラ出力 CK_CNT から供給されます（カウンタの有効化の詳細については、スレーブモードコントローラの説明も参照してください）。

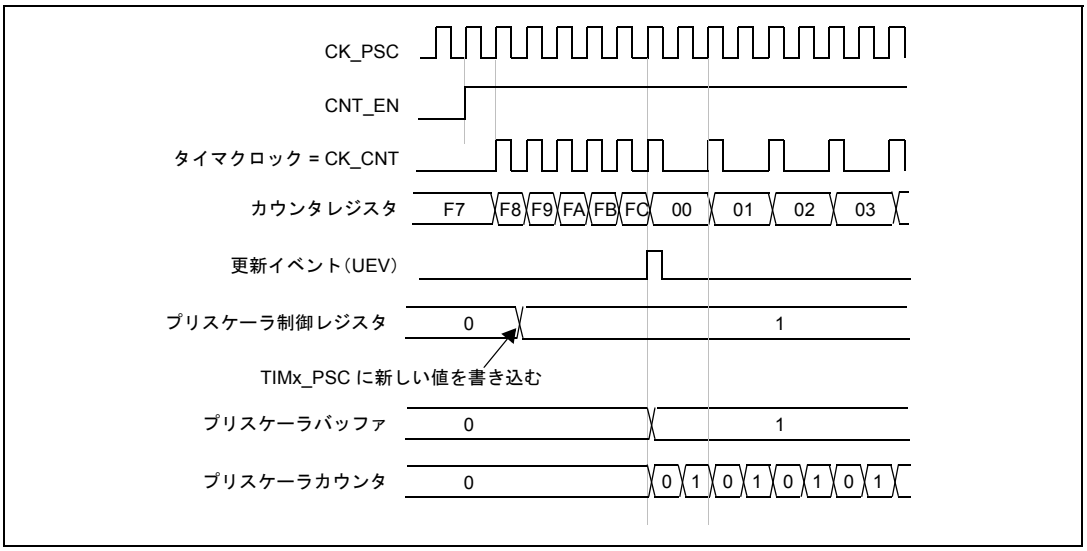
実際のカウンタイネーブル信号 CNT_EN は、CEN の 1 クロックサイクル後にセットされます。

プリスケーラの詳細

プリスケーラは、カウンタクロック周波数を 1 から 65536 の間の値で分周することができます。16 ビット／32 ビットレジスタ（TIMx_PSC レジスタ）を使って制御される 16 ビットカウンタをベースとしています。この制御レジスタはバッファされているので、動作中に変更できます。新しいプリスケーラ比は、次の更新イベントで有効になります。

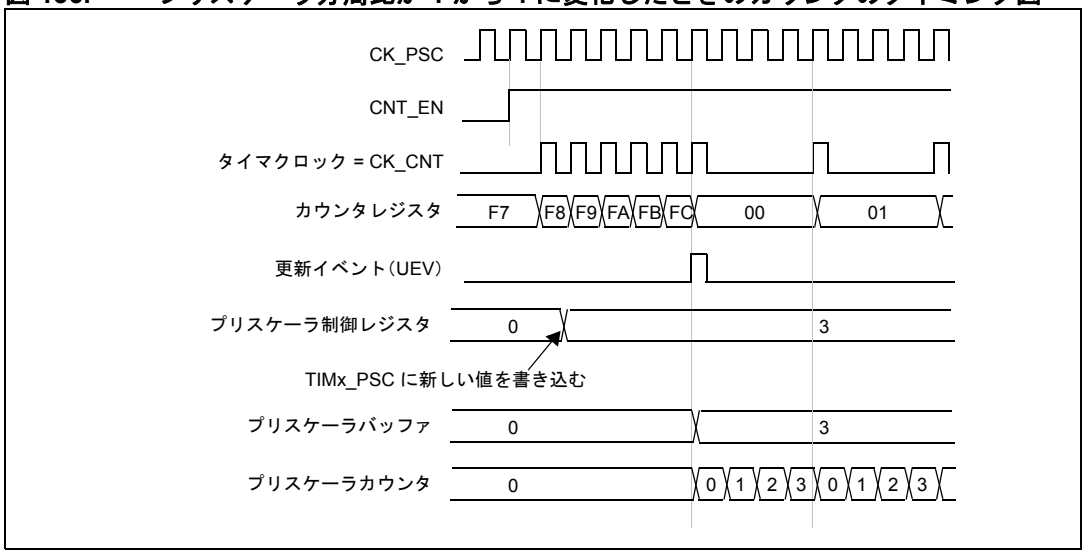
*図 135*と*図 136*に、プリスケーラ比を動作中に変更したときのカウンタの動作の例を示します。

図 135.　プリスケーラ分周比が 1 から 2 に変化したときのカウンタのタイミング図



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 136. プリスケーラ分周比が 1 から 4 に変化したときのカウンタのタイミング図



18.3.2 カウンタモード

アップカウントモード

アップカウントモードでは、カウンタは 0 から自動再ロード値（TIMx_ARR レジスタの内容）までカウントし、0 からカウントをリスタートして、カウンタオーバーフローイベントを生成します。

更新イベントは、カウンタオーバーフローごとに、または、（ソフトウェアで、または、スレーブモードコントローラを使用して）TIMx_EGR レジスタの UG ビットをセットすることで生成できます。

UEV イベントは、TIMx_CR1 レジスタの UDIS ビットをセットすることにより、ソフトウェアで無効にできます。これは、プリロードレジスタに新しい値を書き込んでいるときにシャドウレジスタが更新されるのを防ぐためです。この後、UDIS ビットに 0 が書き込まれるまで、更新イベントは発生しません。ただし、プリスケーラのカウンタと同じく、カウンタは 0 からカウントをリスタートします（ただし、プリスケーラ比は変化しません）。さらに、TIMx_CR1 レジスタの URS ビット（更新リクエスト選択）がセットされている場合は、UG ビットをセットすると更新イベント UEV が生成されますが、UIF フラグはセットされません（したがって、割り込みや DMA リクエストは送信されません）。これは、キャプチャイベント時にカウンタをクリアしているときに、更新とキャプチャの両方の割り込みを生成するのを防ぐためです。

更新イベントが発生すると、すべてのレジスタが更新され、URS ビットに応じて、更新フラグ（TIMx_SR レジスタの UIF ビット）がセットされます。

- プリスケーラのバッファには、プリロード値（TIMx_PSC レジスタの内容）が再びロードされます。
- 自動再ロードシャドウレジスタは、プリロード値（TIMx_ARR）で更新されます。

以下の図は、TIMx_ARR = 0x36 のときの、さまざまなクロック周波数におけるカウンタの動作の例を示します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 137.　内部クロック分周比が 1 の場合のカウンタのタイミング図

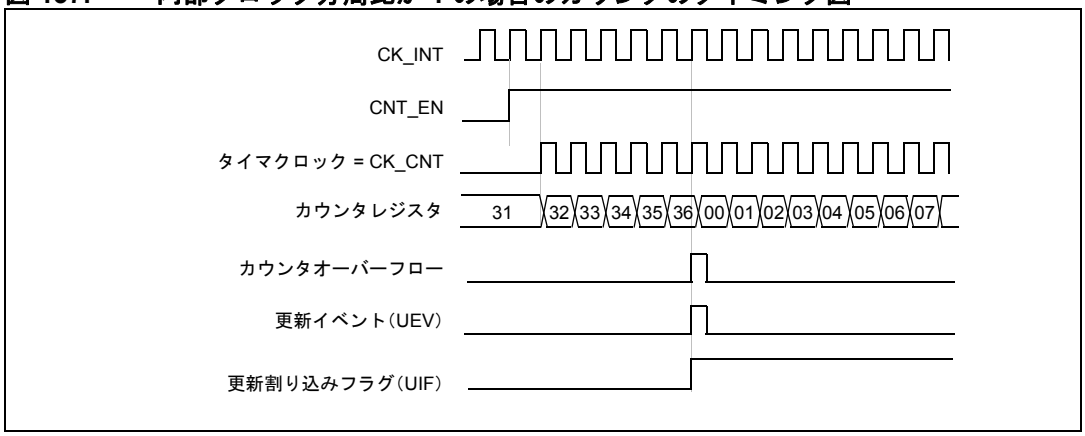


図 138.　内部クロック分周比が 2 の場合のカウンタのタイミング図

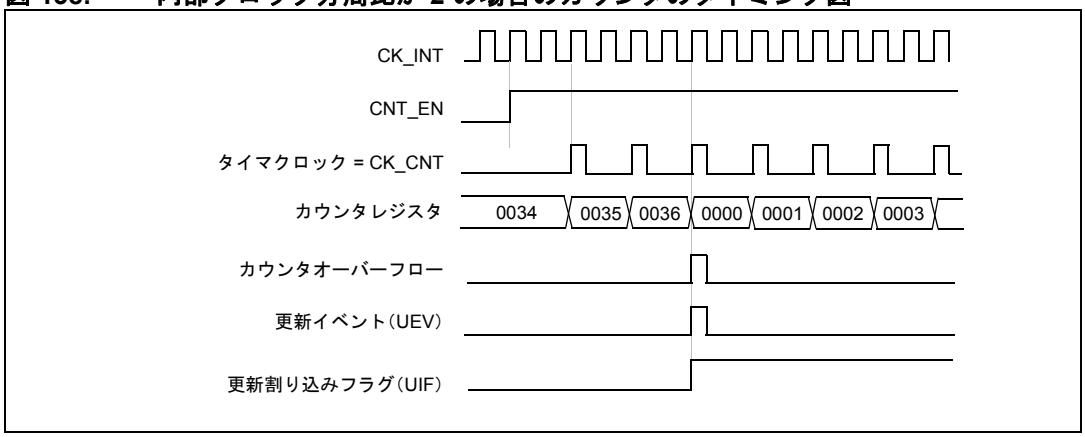
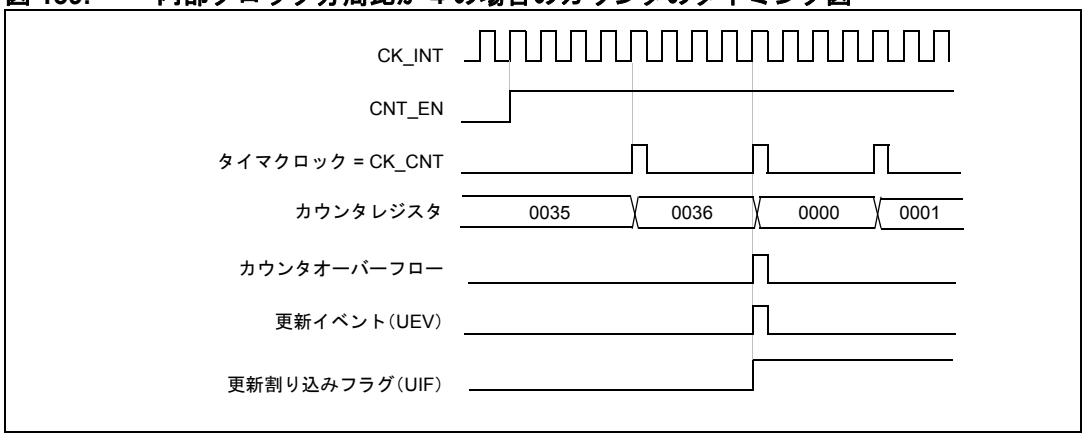


図 139.　内部クロック分周比が 4 の場合のカウンタのタイミング図



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 140. 内部クロック分周比が N の場合のカウンタのタイミング図

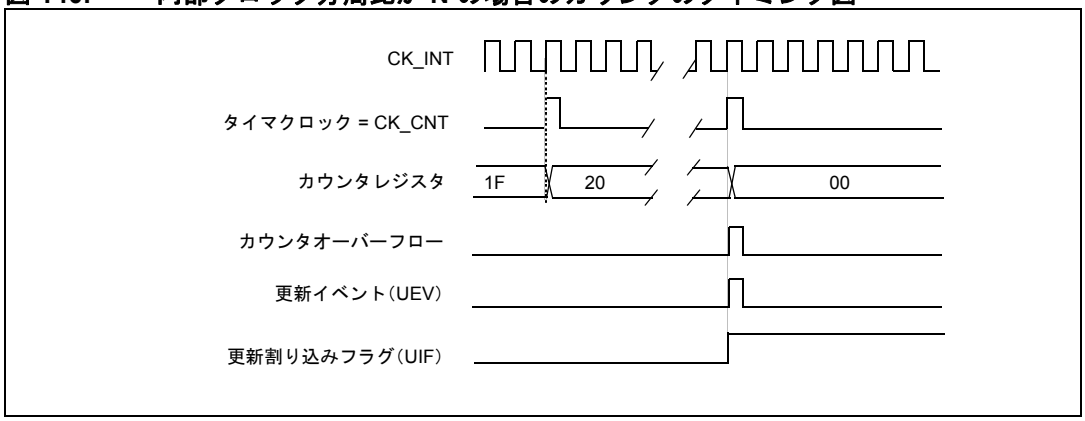
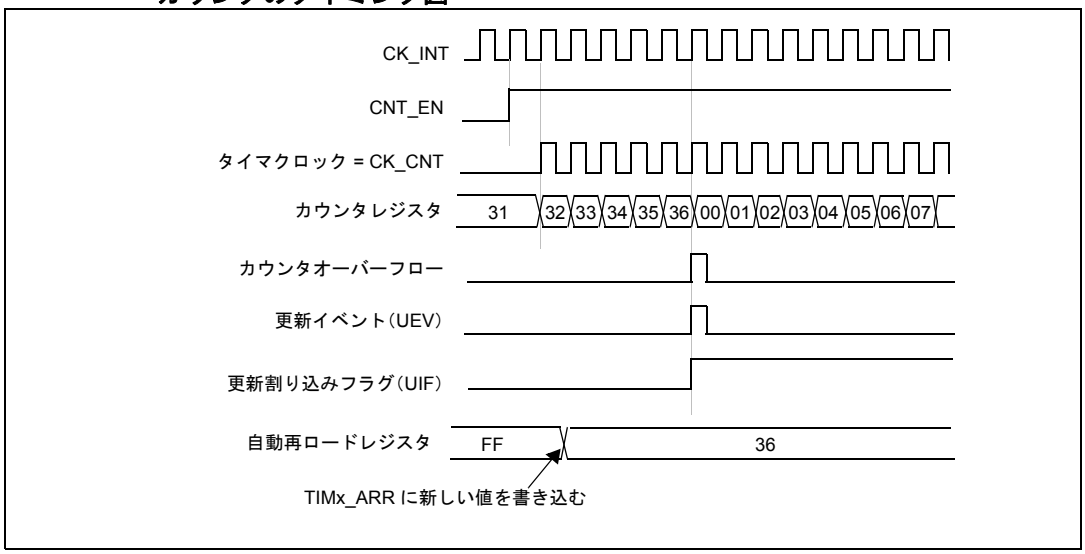
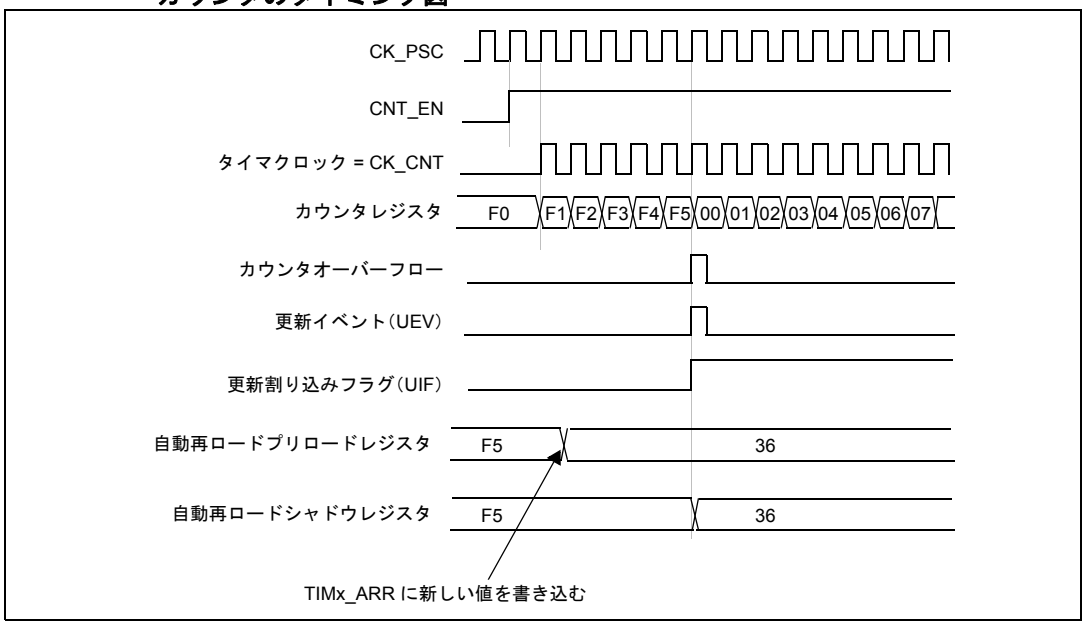


図 141. ARPE=0（TIMx_ARR はプリロードされない）の場合の更新イベント時のカウンタのタイミング図



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 142.　ARPE=1（TIMx_ARR はプリロードされる）のときの更新イベント時のカウンタのタイミング図



ダウンカウントモード

ダウンカウントモードでは、カウンタは自動再ロード値（TIMx_ARR レジスタの内容）から 0 までカウントした後、自動再ロード値からカウントダウンをリスタートし、カウンタアンダーフローイベントを生成します。

更新イベントは、カウンタアンダーフローごとに、または、（ソフトウェアで、または、スレーブモードコントローラを使用して）TIMx_EGR レジスタの UG ビットをセットすることにより生成できます。

UEV 更新イベントは、ソフトウェアで TIMx_CR1 レジスタの UDIS ビットをセットすることにより無効にできます。これは、プリロードレジスタに新しい値を書き込んでいるときにシャドウレジスタが更新されるのを防ぐためです。この後 UDIS ビットに 0 が書き込まれるまで、更新イベントは発生しません。ただし、カウンタは現在の自動再ロード値からリスタートしますが、プリスケーラのカウンタは 0 からリスタートします（しかし、プリスケーラ比は変化しません）。

さらに、TIMx_CR1 レジスタの URS ビット（更新リクエスト選択）がセットされている場合は、UG ビットをセットすると更新イベント UEV が生成されますが、UIF フラグはセットされません（したがって、割り込みや DMA リクエストは送信されません）。これは、キャプチャイベント時にカウンタをクリアしているときに、更新とキャプチャの両方の割り込みを生成するのを防ぐためです。

更新イベントが発生すると、すべてのレジスタが更新され、URS ビットに応じて、更新フラグ（TIMx_SR レジスタの UIF ビット）がセットされます。

- プリスケーラのバッファにはプリロード値（TIMx_PSC　レジスタの内容）が再びロードされます。
- 自動再ロードアクティブレジスタは、プリロード値（TIMx_ARR　レジスタの内容）で更新されます。カウンタがリロードされる前に自動再ロードが更新されるので、次の周期は期待通りの周期になります。

以下の図は、TIMx_ARR = 0x36 のときの、さまざまなクロック周波数におけるカウンタの動作の例を示しています。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 143. 内部クロック分周比が 1 の場合のカウンタのタイミング図

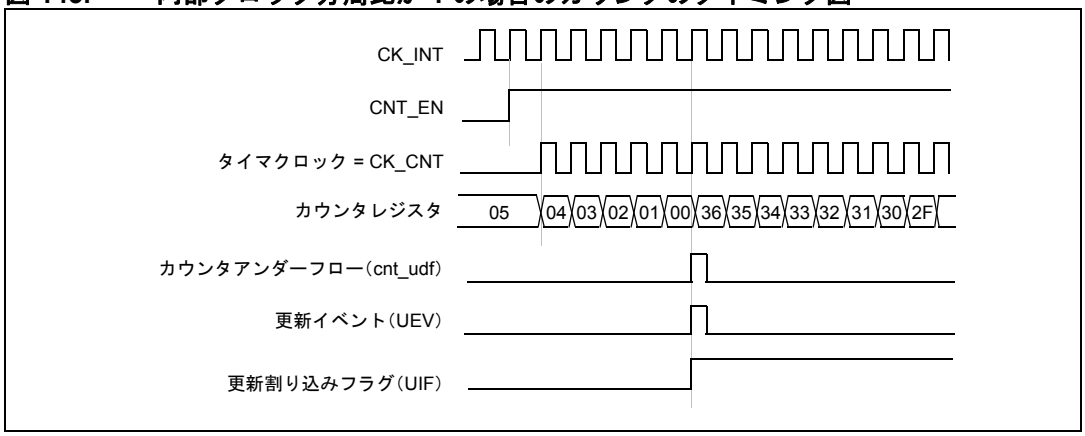


図 144. 内部クロック分周比が 2 の場合のカウンタのタイミング図

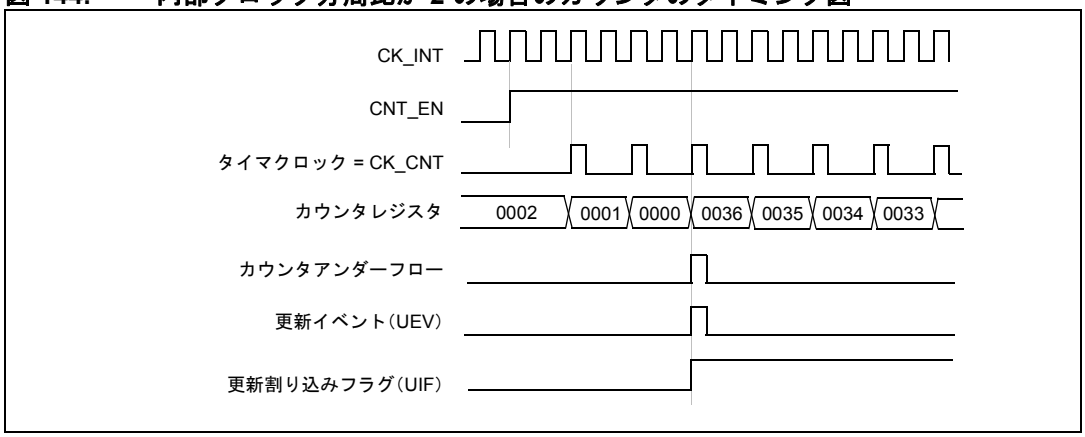
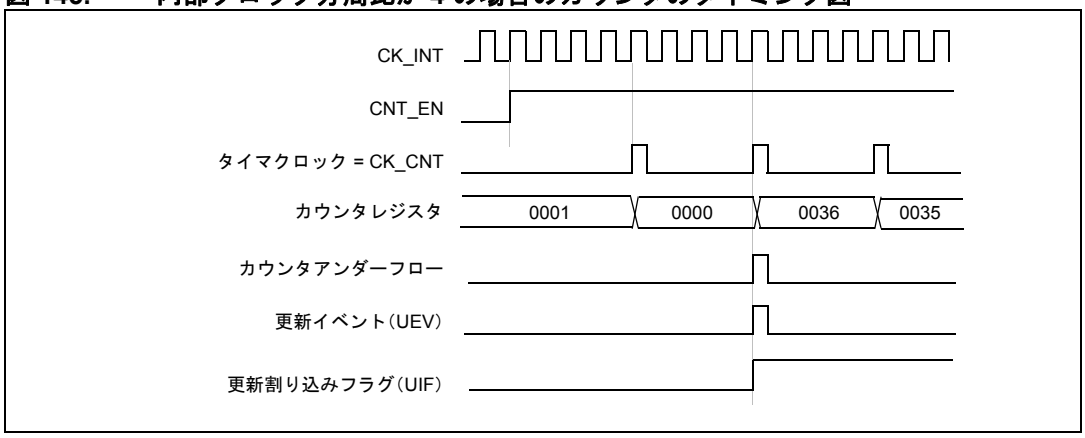


図 145. 内部クロック分周比が 4 の場合のカウンタのタイミング図



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 146.　内部クロック分周比が N の場合のカウンタのタイミング図

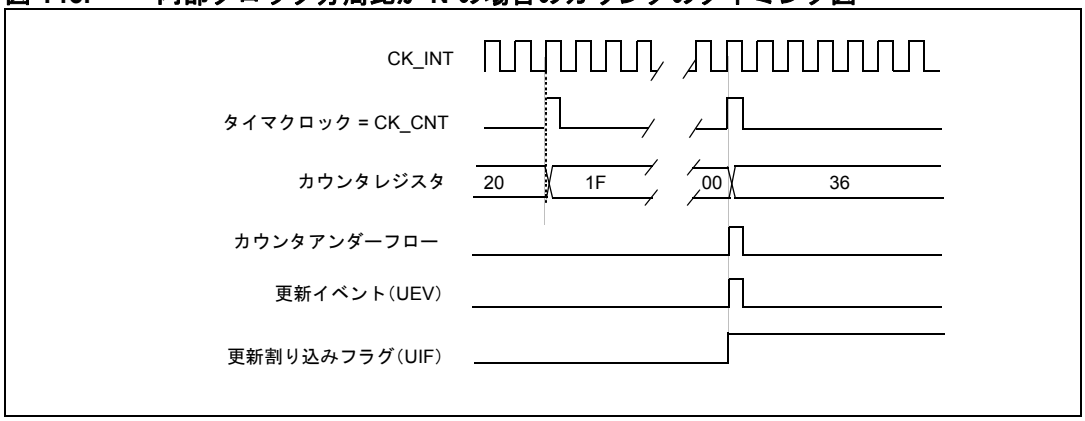
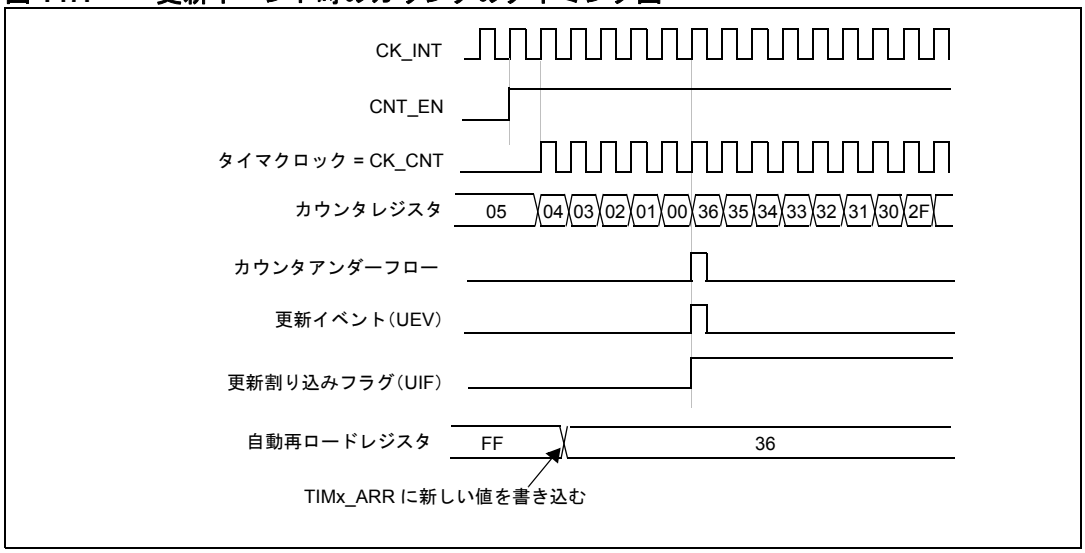


図 147.　更新イベント時のカウンタのタイミング図



センタアラインモード（アップ/ダウンカウント）

センターアラインモードでは、カウンタは 0 から自動再ロードレジスタの値（TIMx_ARR レジスタの内容）－1 までカウントを行い、カウンタオーバーフローイベントを生成します。次に 1 までのカウントダウンを行い、カウンタアンダーフローイベントを生成します。その後、0 からカウントをリスタートします。

センターアラインモードは、TIMx_CR1 レジスタの CMS ビットが“00”に等しくないときにアクティブとなります。出力に設定されたチャネルの出力比較割り込みフラグは、カウンタがカウントダウンするとき（センターアラインモード 1、CMS=01）、カウンタがカウントアップするとき（センターアラインモード 2、CMS=10）、またはカウンタがカウントアップしてカウントダウンするとき（センターアラインモード 3、CMS=11）にセットされます。

このモードでは、方向ビット（TIMx_CR1 レジスタの DIR）に書き込むことはできません。このビットは、ハードウェアによって更新されて、カウンタの現在の方向を示します。

更新イベントは、カウンタオーバーフローとカウンタアンダーフローごとに生成されます。または、（ソフトウェアで、またはスレーブモードコントローラを使用して）TIMx_EGR レジスタの UG ビットをセットすることでも、更新イベントが生成されます。この場合、プリスケーラのカウンタと同じく、カウンタは 0 からカウントをリスタートします。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

UEV 更新イベントは、ソフトウェアで TIMx_CR1 レジスタの UDIS ビットをセットすることにより無効にできます。これは、プリロードレジスタに新しい値を書き込んでいるときにシャドウレジスタが更新されるのを防ぐためです。この後、UDIS ビットに 0 が書き込まれるまで、更新イベントは発生しません。ただし、カウンタは現在の自動再ロード値に基づいて、カウントアップとカウントダウンを続けます。

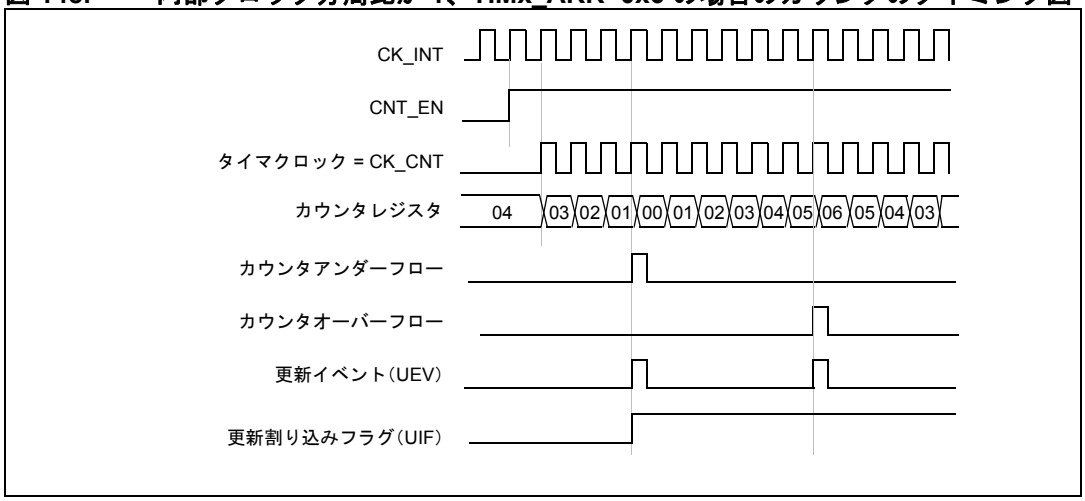
さらに、TIMx_CR1 レジスタの URS ビット（更新リクエスト選択）がセットされている場合は、UG ビットをセットすると更新イベント UEV が生成されますが、UIF フラグはセットされません（したがって、割り込みや DMA リクエストは送信されません）。これは、キャプチャイベント時にカウンタをクリアしているときに、更新とキャプチャの両方の割り込みを生成するのを防ぐためです。

更新イベントが発生すると、すべてのレジスタが更新され、URS ビットに応じて、更新フラグ（TIMx_SR レジスタの UIF ビット）がセットされます。

- プリスケーラのバッファにはプリロード値（TIMx_PSC レジスタの内容）が再びロードされます。
- 自動再ロードアクティブレジスタは、プリロード値（TIMx_ARR レジスタの内容）で更新されます。更新の原因がカウンタオーバーフローである場合には、自動再ロードが更新されてからカウンタが再ロードされるので、次の周期は期待通りの周期になります（カウンタに新しい値がロードされます）。

以下の図は、さまざまなクロック周波数におけるカウンタの動作の例を示します。

図 148. 内部クロック分周比が 1、TIMx_ARR=0x6 の場合のカウンタのタイミング図



1. ここでは、センタアラインモード 1 が使用されています（詳細については、*セクション 18.4.1：TIMx 制御レジスタ 1（TIMx_CR1）（628 ページ）* を参照してください）。

この資料は、STMicroelectronics NV 並びにその子会社（以下 ST）が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 149.　内部クロック分周比が 2 の場合のカウンタのタイミング図

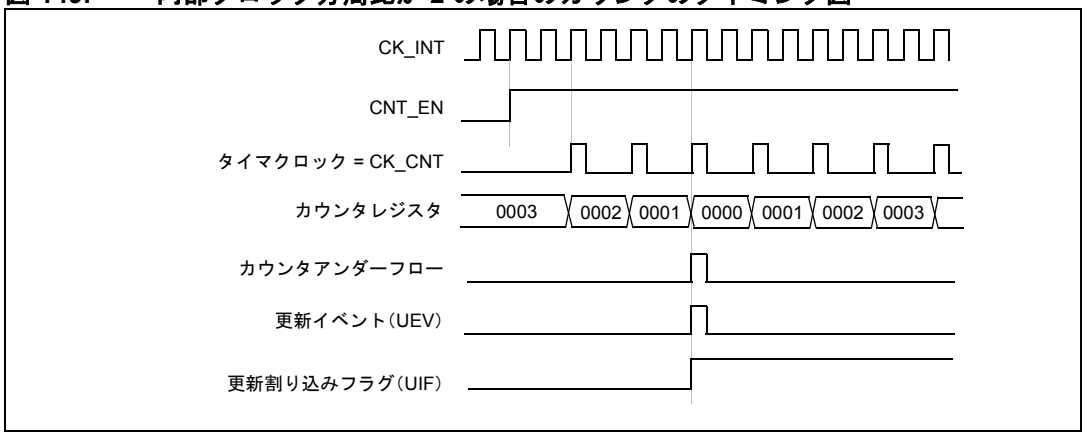
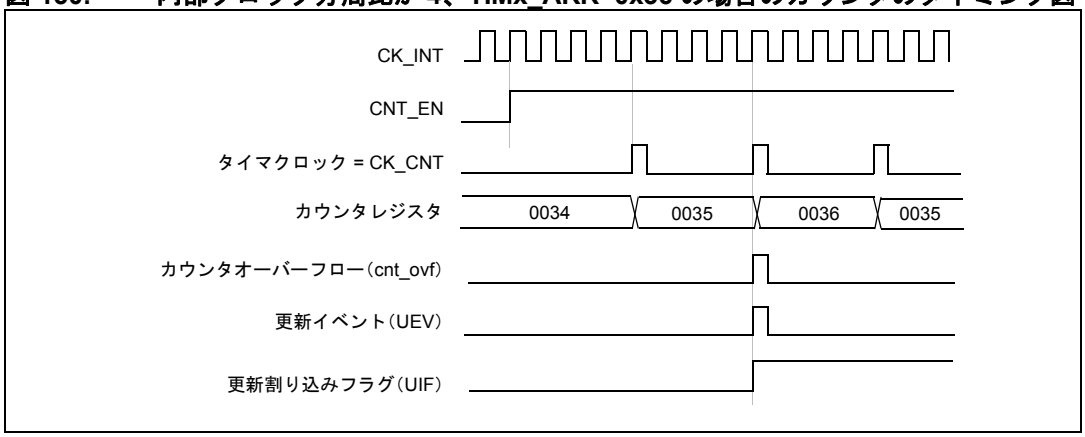
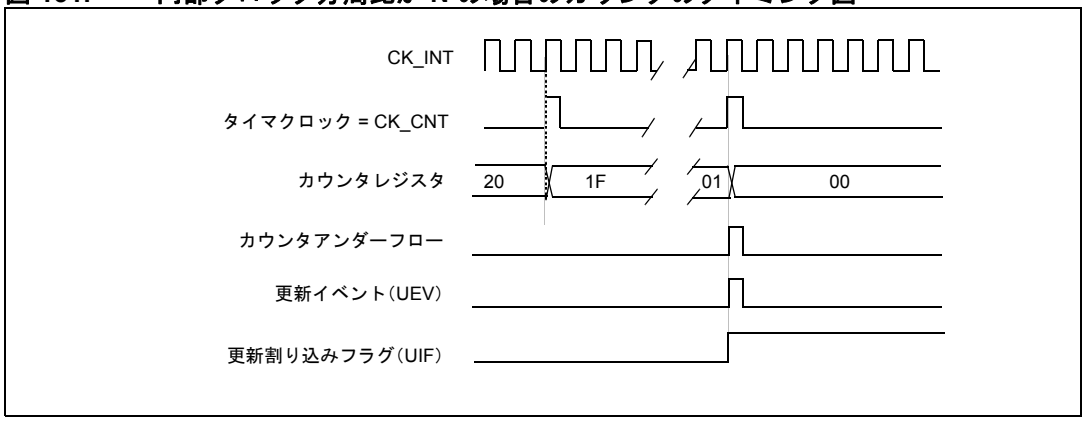


図 150.　内部クロック分周比が 4、TIMx_ARR=0x36 の場合のカウンタのタイミング図



1.　センタアラインモード 2 または 3 が使用され、オーバーフロー時に UIF がセットされます。

図 151.　内部クロック分周比が N の場合のカウンタのタイミング図



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 152. ARPE=1（カウンタアンダーフロー）の場合の更新イベント時、カウンタタイミング図

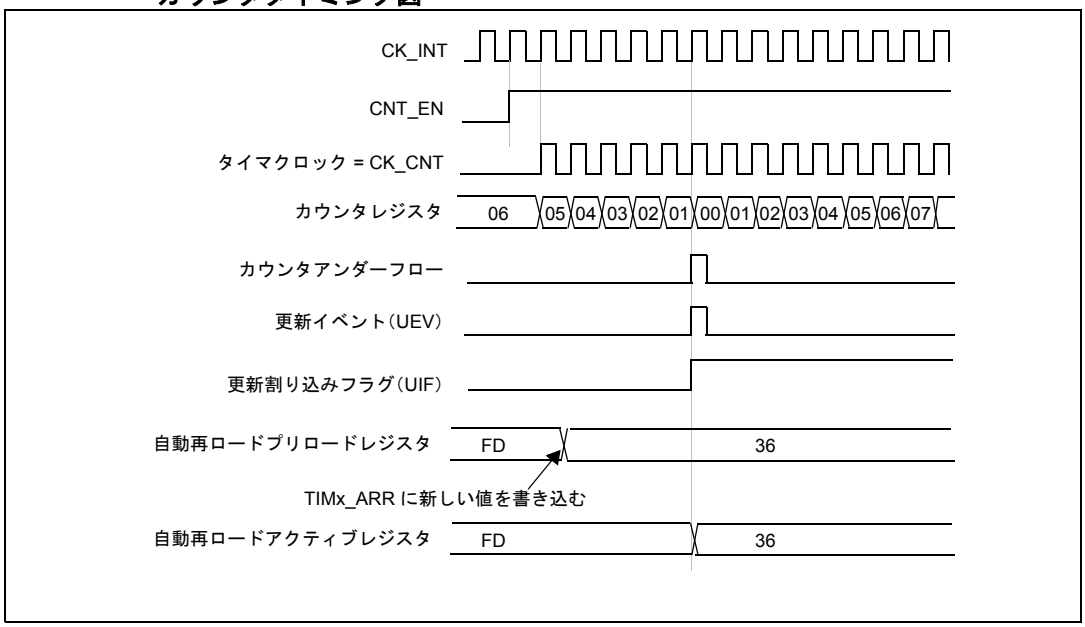
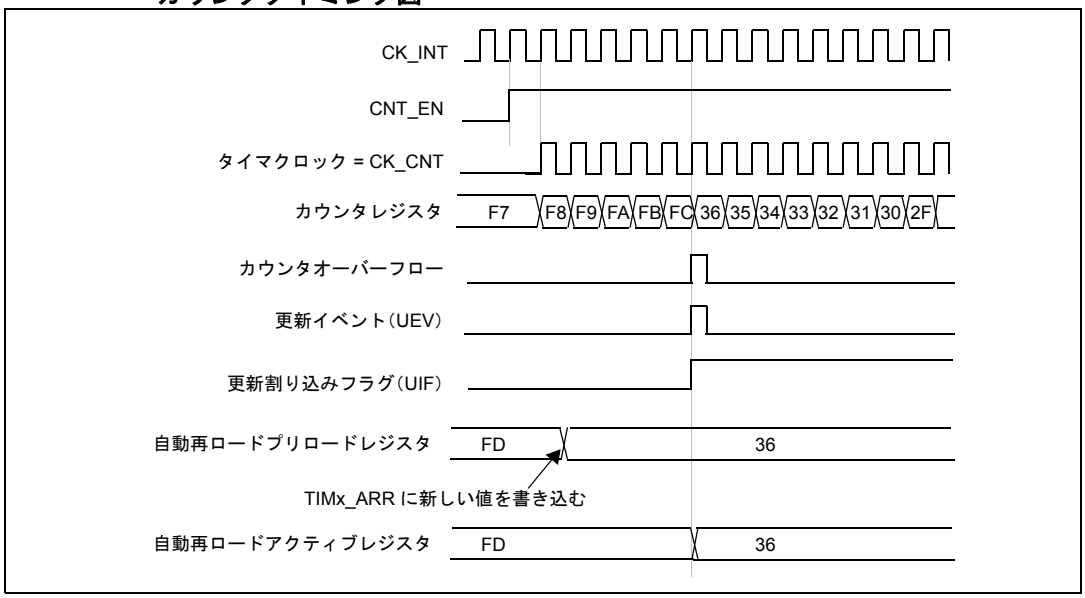


図 153. ARPE=1（カウンタオーバーフロー）の場合の更新イベント時、カウンタタイミング図



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

18.3.3 クロック選択

カウンタクロックは、次のクロックソースから供給できます。

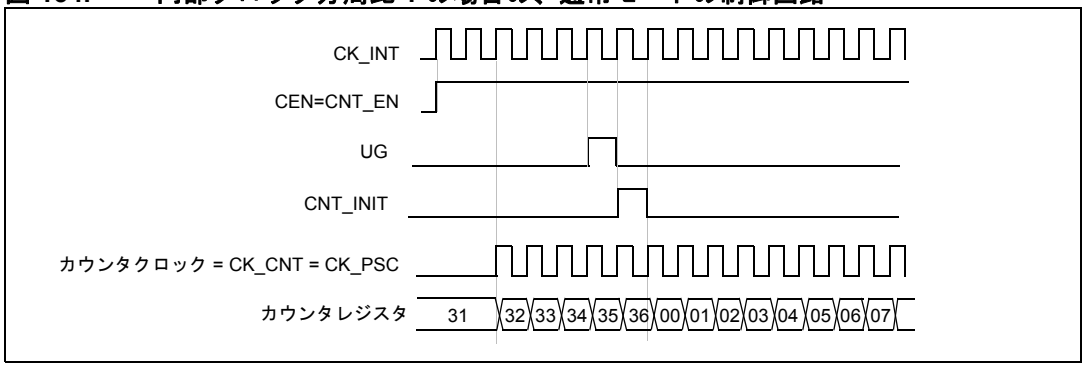
- 内部クロック（CK_INT）
- 外部クロックモード 1：外部入力ピン （TIx）
- 外部クロックモード 2：外部トリガ入力（ETR）は、TIM2、TIM3、TIM4 のみで利用可能。
- 内部トリガ入力（ITRx）：あるタイマを別のタイマのプリスケーラとして使用します。たとえば、タイマ がタイマ 2 のプリスケーラとして働くように構成できます。詳細については、*: 1 つのタイマを別のタイマのプリスケーラとして使用する（ページ）622* を参照してください。

内部クロックソース（CK_INT）

スレーブモードコントローラが無効の場合（TIMx_SMCR レジスタの SMS=000）、CEN、DIR ビット（TIMx_CR1 レジスタ）と UG ビット（TIMx_EGR レジスタ）が実際の制御ビットであり、ソフトウェアでのみ変更できます（自動的にクリアされたままの UG ビットを除きます）。CEN ビットに 1 が書き込まれると、プリスケーラにはクロックとして内部クロック CK_INT が供給されます。

*図 154*に、プリスケーラを使用しない場合の制御回路と通常モードのアップカウンタの動作を示します。

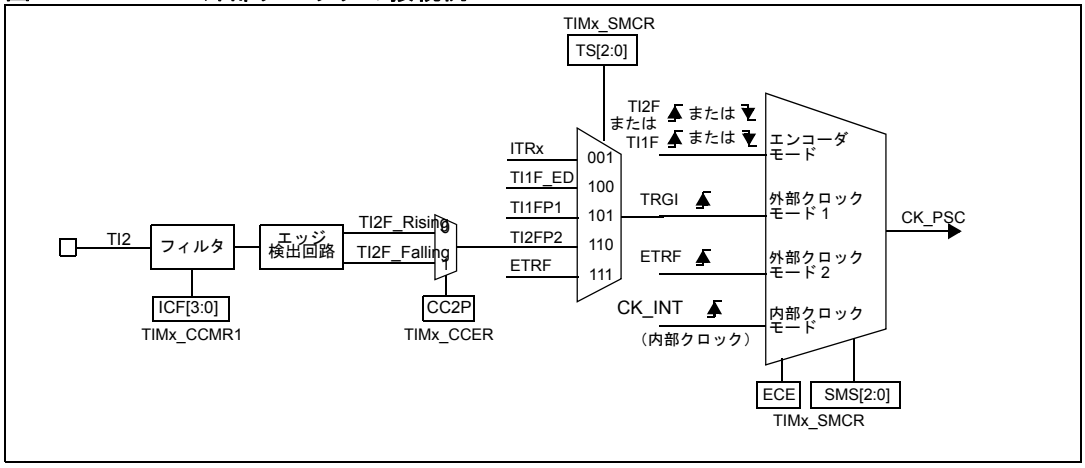
図 154.　内部クロック分周比 1 の場合の、通常モードの制御回路



外部クロックソースモード 1

このモードは TIMx_SMCR レジスタの SMS=111 のときに選択されます。カウンタは、選択された入力の立ち上がりまたは立ち下がりエッジでカウントすることができます。

図 155.　TI2 外部クロックの接続例



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

たとえば、TI2 入力の立ち上がりエッジに反応してカウントするようにアップカウンタを設定するには、次の手順で行います。

1. TIMx_CCMR1レジスタに CC2S=01 を書き込むことによって、チャネル 2 が TI2 入力の立ち上がりエッジを検出するように設定します。
2. TIMx_CCMR1 レジスタの IC2F[3:0] ビットに書き込むことによって、入力フィルタ時間を設定します（フィルタを使用しない場合は、IC2F=0000 にしておきます）。

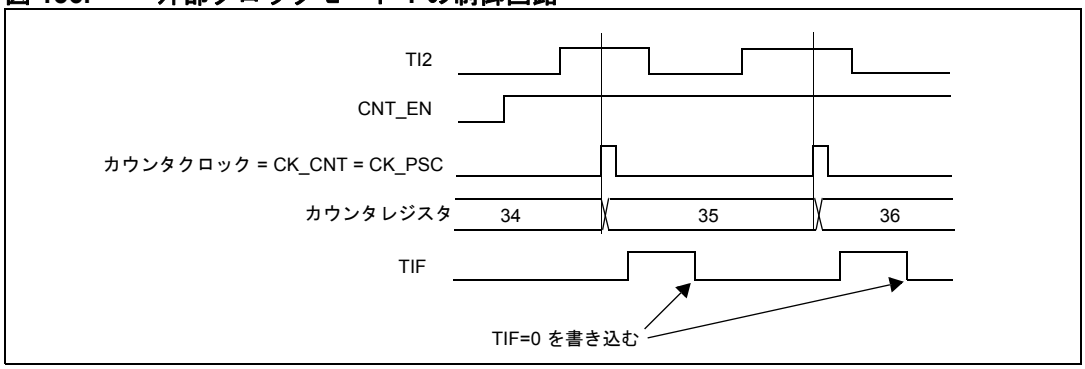
注： ***キャプチャプリスケーラはトリガには使用されないので、設定は不要です。***

3. CC2P=0 と CC2NP=0 を TIMx_CCER レジスタに書き込んで、立ち上がりエッジ極性を選択します。
4. TIMx_SMCR レジスタに SMS=111 を書き込むことによって、タイマを外部クロックモード 1 に設定します。
5. TIMx_SMCR レジスタに TS=110 を書き込むことによって、入力ソースとして TI2 を選択します。
6. TIMx_CR1 レジスタに CEN=1 を書き込むことによって、カウンタを有効にします。

TI2 で立ち上がりエッジが発生すると、カウンタは 1 カウントを行い、TIF フラグがセットされます。

TI2 の立ち上がりエッジから実際のカウンタクロックまでの間には、TI2 入力の再同期回路による遅延があります。

図 156. 外部クロックモード 1 の制御回路



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

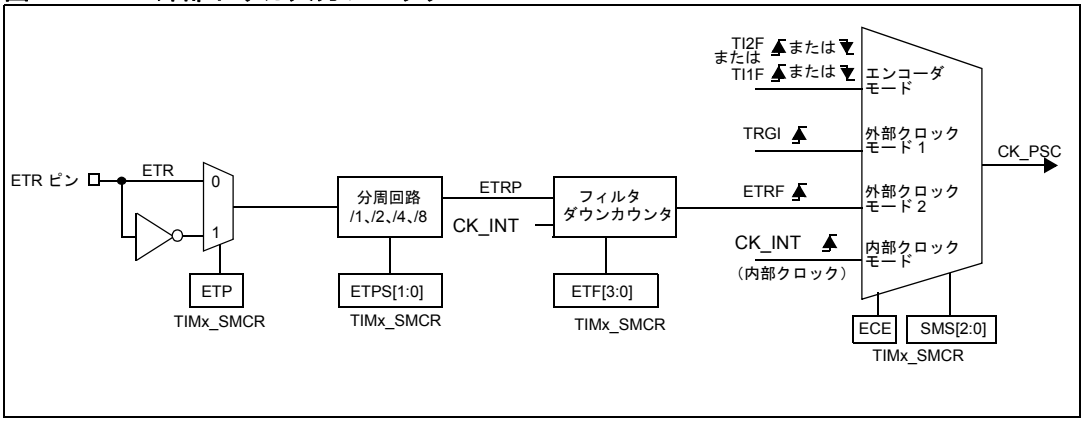
外部クロックソースモード 2

このモードは、TIMx_SMCR レジスタの ECE=1 を書き込むことによって選択されます。

カウンタは、外部トリガ入力 ETR の立ち上がりまたは立ち下がりエッジでカウントできます。

図 157 に、外部トリガ入力ブロックの概要を示します。

図 157.　外部トリガ入力ブロック



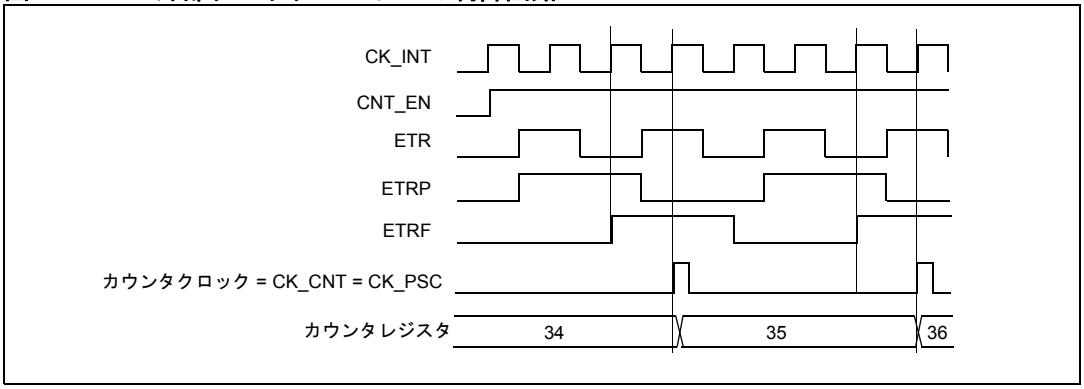
たとえば、アップカウンタを設定して、ETR の 2 回の立ち上がりエッジごとにカウントするように設定するには、以下の手順に従います。

1. この例ではフィルタは不要なので、TIMx_SMCR レジスタの ETF[3:0] に 0000 を書き込みます。
2. TIMx_SMCR レジスタに ETPS[1:0]=01 を書き込むことによって、プリスケーラを設定します。
3. TIMx_SMCR レジスタに ETP=0 を書き込むことによって、ETR ピンの立ち上がりエッジ検出を選択します。
4. TIMx_SMCR レジスタに ECE=1 を書き込むことによって、外部クロックモード 2 を有効にします。
5. TIMx_CR1 レジスタに CEN=1 を書き込むことによって、カウンタを有効にします。

カウンタは 2 回の ETR 立ち上がりエッジごとに 1 回カウントします。

ETR の立ち上がりエッジから実際のカウンタクロックまでの遅延は、ETRP 信号の再同期回路によるものです。

図 158.　外部クロックモード 2 の制御回路



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

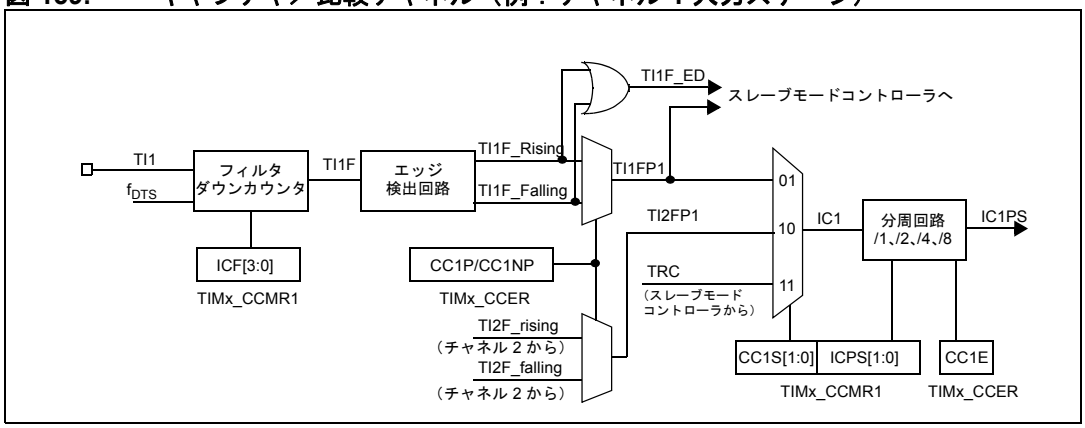
18.3.4 キャプチャ／比較チャネル

各キャプチャ／比較チャネルは、キャプチャ／比較レジスタ（シャドウレジスタを含む）、キャプチャの入力ステージ（デジタルフィルタ、マルチプレクサ、プリスケーラ）、および出力ステージ（比較回路と出力制御）から構成されています。

次の図に、キャプチャ／比較チャネルの概要を示します。

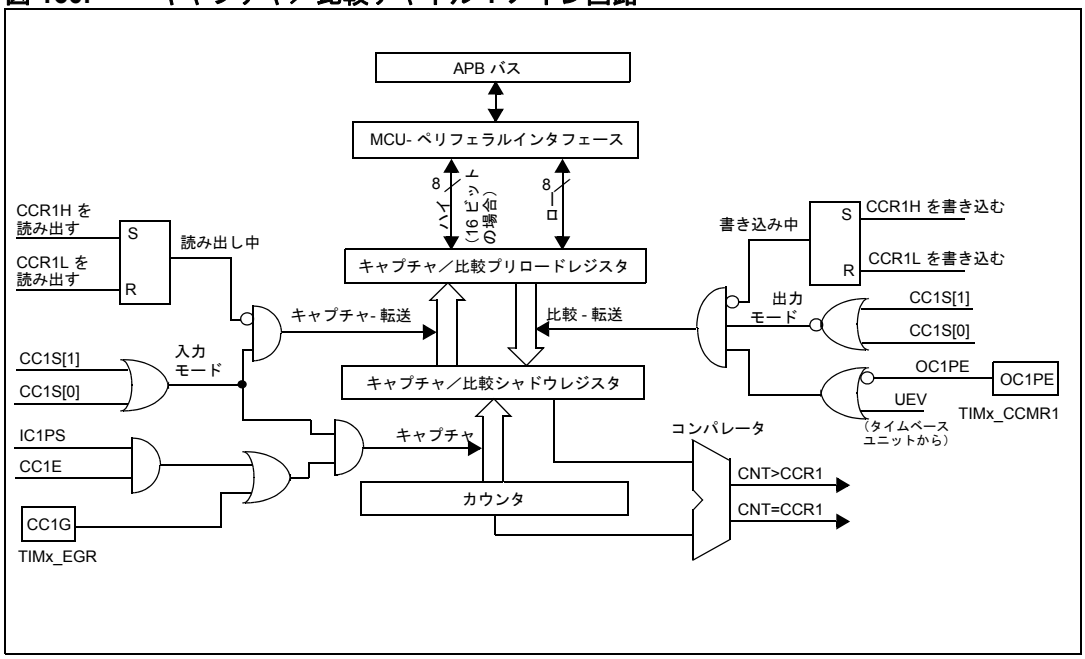
入力ステージは、対応する TIx 入力をサンプリングして、フィルタリングを行った TIxF を生成します。次に、極性選択付きのエッジ検出回路が、スレーブモードコントローラによってトリガ入力として、またはキャプチャコマンドとして使用される信号（TIxFPx）を生成します。この信号はプリスケーラを通じて、キャプチャレジスタ（ICxPS）に渡されます。

図 159. キャプチャ／比較チャネル（例：チャネル 1 入力ステージ）



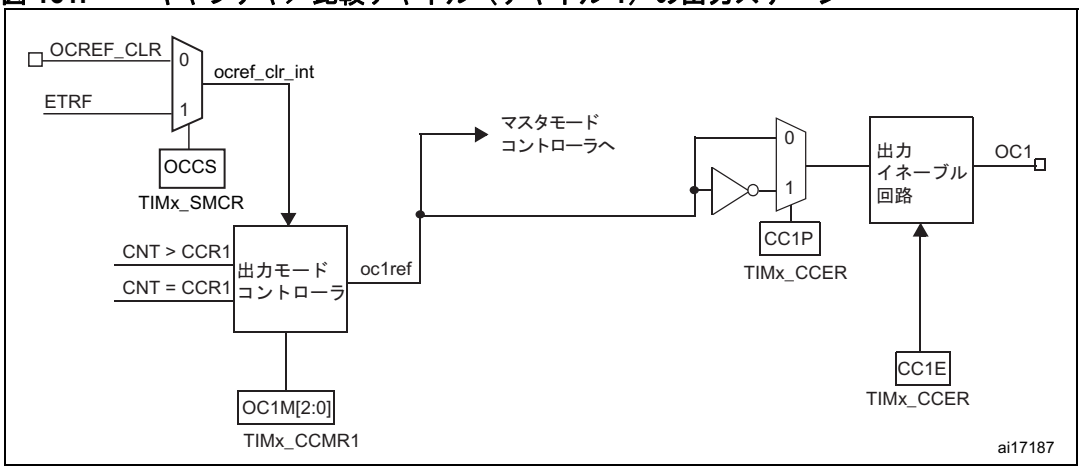
出力ステージは、OCxRef（アクティブハイ）として使用される中間波形を生成します。信号の極性は最終出力に影響を与えます。

図 160. キャプチャ／比較チャネル 1 メイン回路



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 161.　キャプチャ／比較チャネル（チャネル 1）の出力ステージ



キャプチャ／比較ブロックは、1 つのプリロードレジスタと 1 つのシャドウレジスタで構成されています。読み書きのアクセスは、常にプリロードレジスタに対して行われます。

キャプチャモードでは、キャプチャ動作は実際にはシャドウレジスタで行われ、その値がプリロードレジスタにコピーされます。

比較モードでは、プリロードレジスタの内容がシャドウレジスタにコピーされて、カウンタと比較されます。

18.3.5　入力キャプチャモード

入力キャプチャモードでは、対応する ICx 信号によって変化が検出された後、カウンタの値をラッチするために、キャプチャ／比較レジスタ（TIMx_CCRx）が使用されます。キャプチャが発生すると、対応する CCxIF フラグ（TIMx_SR レジスタ）がセットされ、割り込みまたは DMA リクエストを送信できます（有効な場合）。CCxIF フラグがすでにハイのときにキャプチャが発生した場合は、オーバキャプチャフラグ CCxOF（TIMx_SR レジスタ）がセットされます。CCxIF フラグは、ソフトウェアで“0”を書き込むことによって、または、TIMx_CCRx レジスタに格納されたキャプチャデータを読み出すことによってクリアできます。CCxOF は、“0”を書き込むとクリアされます。

次の例は、TI1 入力が立ち上がったときに、カウンタの値を TIMx_CCR1 にキャプチャする方法を示します。このためには、次の手順を使用します。

- TIMx_CCR1 は TI1 入力とリンクされていなければならず、このためには TIMx_CCMR1 レジスタの CC1S ビットに“01”を書き込みます。CC1S の値が“00”から変化すると、チャネルは入力に設定され、TIMx_CCR1 レジスタは読み出し専用になります。
- タイマに接続する信号に対して必要とする入力フィルタ時間を設定します（入力が TIx 入力の内の 1 つである場合、TIMx_CCMRx レジスタの ICxF ビットを設定しして行います）。入力信号の反転時、最大で内部クロックの 5 サイクルの間、信号が安定しないと想定してみます。この場合、フィルタ時間を 5 クロックサイクルより長くプログラミングする必要があります。新しいレベルの連続した 8 個のサンプルが検出されたときに、TI1 で変化を検証できます（周波数 f_{DTS} でサンプリング）。この場合、TIMx_CCMR1 レジスタの IC1F ビットに 0011 を書き込みます。
- TI1 チャネルのアクティブ遷移のエッジを選択します。このためには、TIMx_CCER レジスタの CC1P ビットと CC1NP ビットに “00”を書き込みます（この場合、立ち上がりエッジの選択）。
- 入力プリスケーラをプログラムします。今回の例では、有効な信号変化ごとにキャプチャを行いたいので、プリスケーラを無効にします（TIMx_CCMR1 レジスタの IC1PS ビットに 00 を書き込みます）。
- TIMx_CCER レジスタの CC1E ビットをセットすることによって、カウンタからキャプチャレジスタへのキャプチャを有効にします。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

- 必要な場合は、TIMx_DIER レジスタの CC1IE ビットをセットすることによって、関連する割り込みリクエストを有効にするか、TIMx_DIER レジスタの CC1DE ビットをセットすることによって、DMA リクエストを有効にします。

入力キャプチャが発生すると、

- アクティブ遷移時に、カウンタの値が TIMx_CCR1 レジスタに格納されます。
- CC1IF フラグがセットされます（割り込みフラグ）。CC1OF ビットは、少なくとも 2 回連続でキャプチャが発生した場合にもセットされますが、フラグはクリアされません。
- CC1IE ビットに応じて、割り込みが生成されます。
- CC1DE ビットに応じて、DMA リクエストが生成されます。

オーバキャプチャを処理するために、オーバキャプチャフラグの前にデータを読み出すことが推奨されます。これにより、フラグ読み出し後、データ読み出し前に発生するオーバーキャプチャの見落としを避けることができます。

注： ***IC 割り込みと DMA リクエストは、TIMx_EGR レジスタの対応する CCxG ビットをセットすることによって、ソフトウェアで生成することができます。***

18.3.6 PWM 入力モード

このモードは、入力キャプチャモードの特殊ケースです。操作手順は入力キャプチャモードと同様ですが、以下の点が異なります。

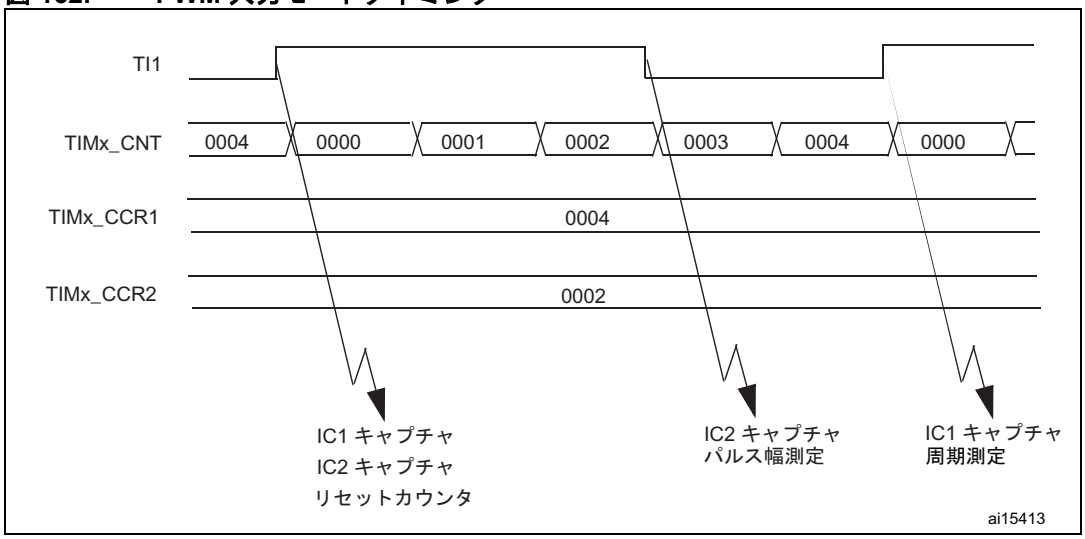
- 2 つの ICx 信号が、同じ TIx 入力に配置されます。
- これら 2 つの ICx 信号は、反対極性のエッジ上アクティブです。
- 2 つの TIxFP 信号の 1 つがトリガ入力として選択され、スレーブモードコントローラはリセットモードに設定されます。

たとえば、次の手順を使用して、TI1 に適用された PWM の周期（TIMx_CCR1 レジスタ）とデューティサイクル（TIMx_CCR2 レジスタ）を測定できます（手順は、CK_INT 周波数とプリスケーラ値によって、若干異なることがあります）。

- TIMx_CCR1 レジスタの CC1S ビットに“01”を書き込むことによって（TI1 を選択）、TIMx_CCMR1 のアクティブ入力を選択します。
- TI1FP1 のアクティブ極性を選択します（TIMx_CCR1 キャプチャとカウンタクリアの両方に使用します）。CC1P ビットに“0”を、CC1NP ビットに“0”を、それぞれ書き込みます（立ち上がりエッジでアクティブ）。
- TIMx_CCR1 レジスタの CC2S ビットに“10”を書き込むことによって（TI1 を選択）、TIMx_CCR2 のアクティブ入力を選択します。
- TI1FP2 のアクティブ極性を選択します（TIMx_CCR2 キャプチャとカウンタクリアの両方に使用します）。CC2P ビットに“1”を、CC2NP ビットに“0”を、それぞれ書き込みます（立ち下がりエッジでアクティブ）。
- 有効なトリガ入力を選択します。すなわち、TIMx_SMCR レジスタの TS ビットに“101”を書き込みます（TI1FP1 を選択）。
- スレーブモードコントローラをリセットモードに設定します。すなわち、TIMx_SMCR レジスタの SMS ビットに“100” を書き込みます。
- キャプチャを有効にします。すなわち、TIMx_CCER レジスタの CC1E ビットと CC2E ビットに“1”を書き込みます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 162.　PWM 入力モードタイミング



18.3.7　強制出力モード

このモード（TIMx_CCMRx レジスタの CCxS=00）では、各出力比較信号（OCxREF、そして OCx）はソフトウェアで強制的にアクティブ、非アクティブのいずれかの状態とされます。これは出力比較レジスタとカウンタの間の比較動作とはかかわりなく行われます。

出力比較信号（OCxREF/OCx）を強制的にアクティブレベルにするには、対応する TIMx_OCMRx レジスタの OCxM ビットに 101 を書き込みます。これにより、OCxREF は強制的にハイレベルになり（OCxREF は常にアクティブハイ）、OCx は CCxP 極性ビットと逆の値になります。

例：CCxP=0（OCx アクティブハイ）=> OCx は強制的にハイレベルになります。

TIMx_CCMRx レジスタの OCxM ビットに 100 を書き込むことによって、OCxREF 信号を強制的にローにできます。

いずれにしても、TIMx_CCRx シャドウレジスタとカウンタの比較は実行されるので、フラグをセットできます。それに応じて、割り込み や DMA リクエストを送信できます。これについては、出力比較モードのセクションで説明します。

18.3.8　出力比較モード

この機能は、出力波形を制御したり、一定時間が経過したことを示すために使用されます。

キャプチャ／比較レジスタとカウンタの値が一致すると、出力比較は次のように機能します。

- 対応する出力ピンに、出力比較モード（TIMx_CCMRx レジスタの OCxM ビット）と出力極性（TIMx_CCER レジスタの CCxP ビット)によって定義されたプログラマブル値を割り当てます。一致した際、出力ピンは、レベルを維持するか（OCxM=000）、アクティブにセットされるか（OCxM=001）、非アクティブにセットされるか（OCxM=010）、または反転されます（OCxM=011）。
- 割り込みステータスレジスタのフラグをセットします（TIMx_SR レジスタの CCxIF ビット）。
- 対応する割り込みマスク（TIMx_DIER レジスタの CCxIE ビット）がセットされている場合は、割り込みを生成します。
- 対応するイネーブルビット（TIMx_DIER レジスタの CCxDE ビット）がセットされている場合は、DMA リクエストを送信します（DMA リクエスト選択には、TIMx_CR2 レジスタの CCDS ビットが使用されます）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

TIMx_CCRx レジスタは、プリロードレジスタを使用するしないにかかわらず、TIMx_OCMRx レジスタの OCxPE ビットを使用してプログラミングできます。

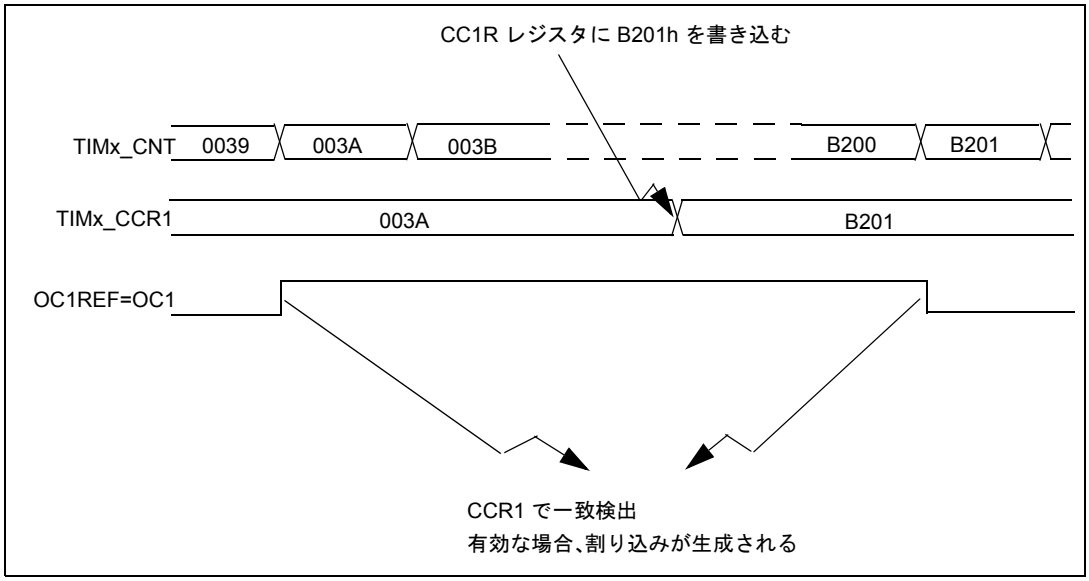
出力比較モードでは、更新イベント UEV は OCxREF および OCx 出力には影響を与えません。タイミングの分解能はカウンタの 1 カウント分です。出力比較モードは単一パルスを出力するためにも使用できます（ワンパルスモード）。

手順：

1. カウンタクロックを選択します（内部、外部、プリスケーラ）。
2. TIMx_ARR レジスタと TIMx_CCRx レジスタに目的のデータを書き込みます。
3. 割り込みリクエスト／DMA リクエストを生成する場合は、CCxIE ビット／CCxDE ビットをセットします。
4. 出力モードを選択します。たとえば、CNT が CCRx と一致したときに OCx 出力をトグルし、CCRx プリロードを使用せず、OCx が有効でアクティブハイのときには、OCxM=011、OCxPE=0、CCxP=0、CCxE=1 を書き込みます。
5. TIMx_CR1 レジスタの CEN ビットをセットすることによって、カウンタを有効にします。

いつでもソフトウェアで TIMx_CCRx レジスタを更新して、出力波形を制御できます。ただし、プリロードレジスタが有効でない場合に限ります（OCxPE=0）。そうでない場合、TIMx_CCRx シャドウレジスタは、次の更新イベント UEV でのみ更新されます。例を*図 163*に示します。

図 163. 出力比較モード、OC1 のトグル



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

18.3.9 PWM モード

パルス幅変調（PWM）モードでは、TIMx_ARR レジスタの値によって決められた周波数と TIMx_CCRx レジスタの値によって決められたデューティサイクルで信号を生成できます。

PWM モードは、個々のチャネル（OCx 出力ごとに PWM 1 波形）で、TIMx_CCMRx レジスタの OCxM ビットに“110”（PWM モード 1）や“111”（PWM モード 2）を書き込むことで、独自に選択できます。TIMx_CCMRx レジスタの OCxPE ビットをセットすることによって、対応するプリロードレジスタを有効にする必要があり、また、TIMx_CR1 レジスタの ARPE ビットをセットすることによって、自動再ロードプリロードレジスタも有効にする必要があります。

プリロードレジスタは、更新イベントが発生したときにのみシャドウレジスタに転送されるので、カウンタを開始する前に、TIMx_EGR レジスタの UG ビットをセットすることによって、すべてのレジスタを初期化しておく必要があります。

OCx 極性は、TIMx_CCER レジスタの OCxP ビットを使用して、ソフトウェアでプログラムできます。アクティブハイまたはアクティブローとしてプログラムできます。OCx 出力は、TIMx_CCER レジスタの CCxE ビットによって有効になります。詳細については、TIMx_CCERx レジスタの説明を参照してください。

PWM モード（1 または 2）では、TIMx_CNT と TIMx_CCRx が常に比較されて、TIMx_CCRx ≤ TIMx_CNT または TIMx_CNT ≤TIMx_CCRx かどうかが判断されます（カウントの方向によります）。ただし、ETRF（OCREF は、次の PWM 周期までは ETR 信号を通じて外部イベントによってクリアできる ）に従って、OCREF 信号は次の場合にのみアサートされます。

- 比較結果が変化したとき、または
- 出力比較モード（TIMx_CCMRx レジスタの OCxM ビット）が固定構成（比較なし、OCxM=000）から PWM モードの 1 つ（OCxM=110 または 111）へ切り替えられたとき。

タイマの動作中は、ソフトウェアで強制的に PWM になります。

タイマは、TIMx_CR1 レジスタの CMS ビットに応じて、エッジアラインモードまたはセンターアラインモードで PWM を生成できます。

PWM エッジアラインモード

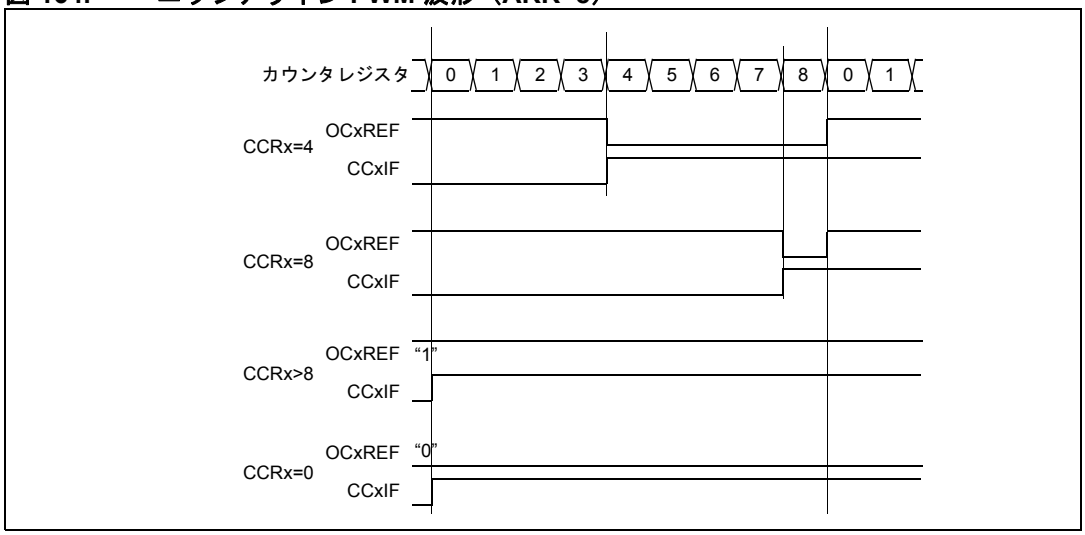
アップカウント構成

TIMx_CR1 レジスタの DIR ビットがローのときには、アップカウントがアクティブです。*セクション：アップカウントモード（594 ページ）*を参照してください。

次の例では、PWM モード 1 を使用しています。PWM 基準信号 OCxREF は、TIMx_CNT < TIMx_CCRx の間はハイに、そうでない場合はローになります。TIMx_CCRx の比較値が自動再ロード値（TIMx_ARR レジスタの）より大きい場合、OCxREF は“1”です。比較値が 0 の場合、OCxREFは“0”に保持されます。*図 164* に、TIMx_ARR=8 のときのエッジアライン PWM 波形の例を示します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 164. エッジアライン PWM 波形（ARR=8）



ダウンカウント構成

TIMx_CR1 レジスタの DIR ビットがハイのときには、ダウンカウントがアクティブです。*セクション：ダウンカウントモード（597 ページ）*を参照してください。

PWM モード 1 では、基準信号 OCxRef は、TIMx_CNT > TIMx_CCRx の間はローであり、そうでない場合はハイになります。TIMx_CCRx の比較値が TIMx_ARR の自動再ロード値より大きい場合、OCxREF は“1”です。このモードでは、0 % の PWM 信号を生成することはできません。

PWM センターアラインモード

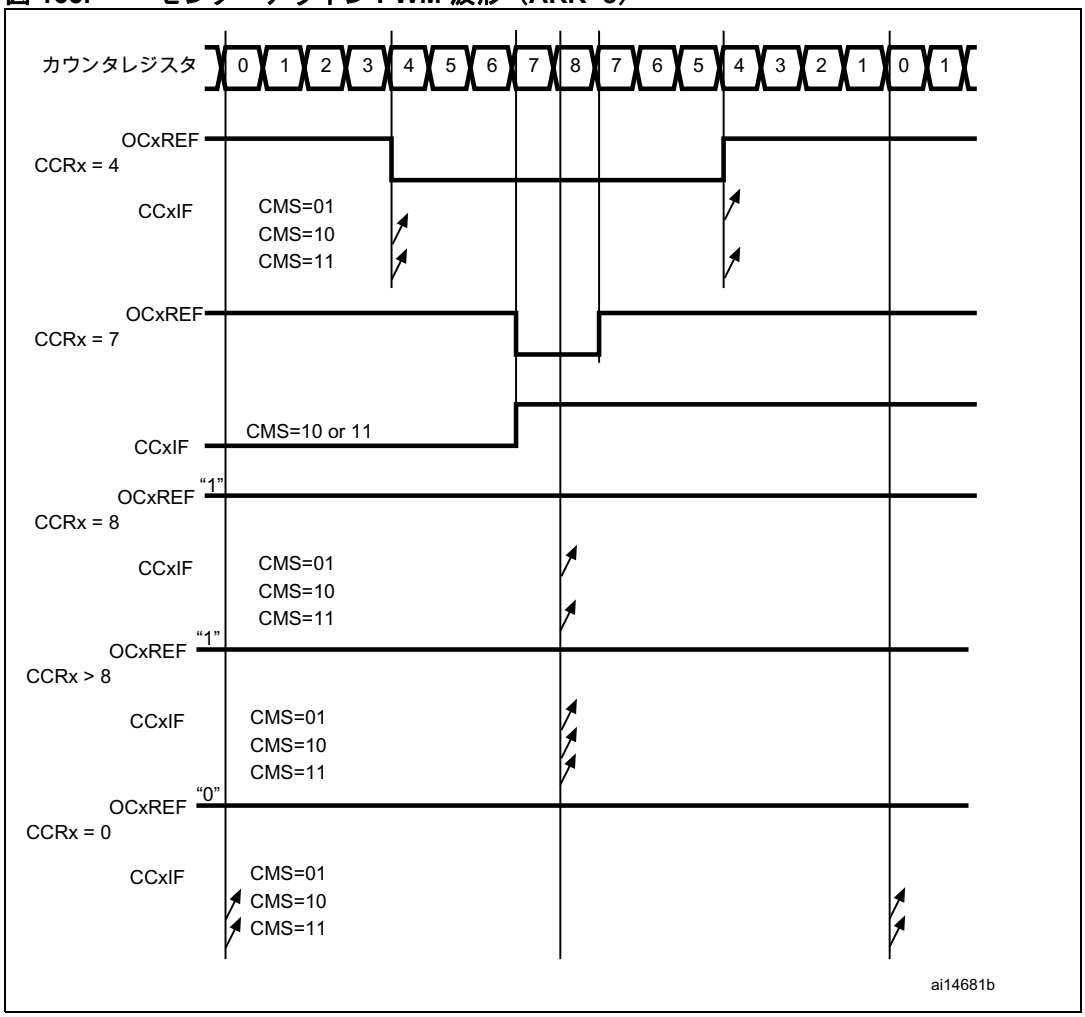
センターアラインモードは、TIMx_CR1 レジスタの CMS ビットが“00”でないときにアクティブです（その他すべての設定は、OCxRef/OCx 信号に対して同じ効果を持ちます）。比較フラグは、CMS ビットの設定に応じて、カウンタがカウントアップ、カウントダウン、またはカウントアップとカウントダウンしているときにセットされます。TIMx_CR1 レジスタの方向ビット （DIR）はハードウェアによって更新されており、ソフトウェアで値を変更することはできません。*セクション：センタアラインモード（アップ/ダウンカウント）（599 ページ）*を参照してください。

*図 165*に、次の条件でのセンターアライン PWM 波形の例を示します。

- TIMx_ARR=8、
- PWM モードはPWM モード 1
- フラグは、TIMx_CR1 レジスタの CMS=01 で選択されたセンターアラインモード 1 に対応して、カウンタがカウントダウンするときにセットされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 165.　センターアライン PWM 波形（ARR=8）



センターアラインモードの使用に関するヒント：

- センターアラインモードを開始するときには、現在のアップ/ダウン設定が使用されます。これは、TIMx_CR1 レジスタの DIR ビットに書き込まれた値に応じて、カウンタがカウントアップまたはカウントダウンすることを意味します。さらに、DIR ビットと CMS ビットをソフトウェアで同時に変更することはできません。
- センターアラインモードで動作中のカウンタへの書き込みは、予期しない結果を招くことがあるので推奨されません。特に、
  - 自動再ロード値より大きい値をカウンタに書き込んだ場合（TIMx_CNT > TIMx_ARR）、方向は更新されません。たとえば、カウンタがカウントアップしていた場合、カウンタはカウントアップを続けます。
  - カウンタに 0 または TIMx_ARR 値が書き込まれた場合、方向は更新されますが、更新イベント UEV は生成されません。
- センターアラインモードを使用する最も安全な方法は、カウンタを開始する直前に、ソフトウェアで更新を生成して（TIMx_EGR レジスタの UG ビットをセットする）、動作中はカウンタへの書き込みを行わないことです。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

18.3.10 ワンパルスモード

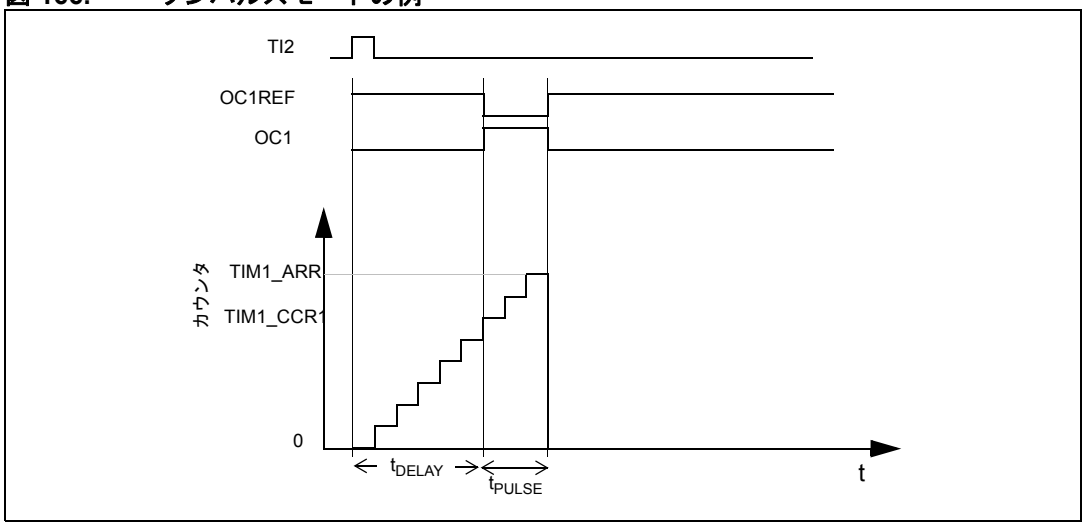
ワンパルスモード（OPM：One Pulse Mode）は、これまでに説明したモードの特殊ケースです。トリガに応じてカウンタを開始して、プログラム可能な遅延後にプログラム可能な長さのパルスを生成できます。

カウンタの開始は、スレーブモードコントローラを通じて制御できます。波形の生成は、出力比較モードまたは PWM モードで行うことができます。ワンパルスモードを選択するには、TIMx_CR1 レジスタの OPM ビットをセットします。これによって、カウンタは、次の更新イベント UEV で自動的に停止します。

パルスは、比較値がカウンタの初期値と異なる場合のみ、正しく生成されます。開始する前に（タイマがトリガを待っているときに）、設定が次のようでなければなりません。

- アップカウントの場合、CNT < CCRx ≤ ARR（特に、0 < CCRx）
- ダウンカウント時：CNT>CCRx

図 166. ワンパルスモードの例



たとえば、TI2 入力ピンで立ち上がりエッジが検出されたときに、OC1 にパルス幅が t_{PULSE} の正のパルスを遅延時間 t_{DELAY} 後に生成することもできます。

TI2FP2 をトリガ 1 として使用します。

- TIMx_CCMR1 レジスタに IC2S=01 を書き込むことによって、TI2FP2 を TI2 に配置します。
- TI2FP2 は、立ち上がりエッジを検出しなければならないので、TIMx_CCER レジスタで CC2P=“0” とCC2NP=“0”を書き込みます。
- TI2FP2 をスレーブモードコントローラのトリガ（TRGI）として構成するために、TIMx_SMCR レジスタの TS=“110”を書き込みます。
- TI2FP2 を使用してカウンタを開始するために、TIMx_SMCR レジスタの SMS ビットに“110”（トリガモード）を書き込みます。

OPM 波形は、次のように比較レジスタに書き込むことによって定義されます（クロック周波数とカウンタプリスケーラを考慮に入れて）。

- t_{DELAY} は、TIMx_CCR1 レジスタに書き込まれた値によって定義されます。
- t_{PULSE} は、自動再ロード値と比較値の差（TIMx_ARR - TIMx_CCR1）によって定義されます。
- 比較値と一致したときに“0”から“1”に変化し、カウンタが自動再ロード値に達したときに“1”から“0”に変化する波形を生成するとします。このためには、TIMx_CCMR1 レジスタの OC1M=111 を書き込むことによって、PWM モード 2 を有効にします。オプションで、TIMx_CCMR1 レジ

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

スタの OC1PE=1 と TIMx_CR1 レジスタの ARPE=1 を書き込むことによって、プリロードレジスタを有効にすることもできます。この場合、TIMx_CCR1 レジスタに比較値を書き込み、TIMx_ARR レジスタに自動再ロード値を書き込みます。次に、UG ビットをセットすることによって更新を生成し、TI2 で外部トリガイベントを待ちます。この例では、CC1P に“0”を書き込みます。

上の例では、TIMx_CR1 レジスタの DIR および CMS ビットはローでなければなりません。

必要なパルスは 1 つだけなので（シングルモード）、TIMx_CR1 レジスタの OPM ビットに 1 を書き込みます。こうすると、カウンタは次の更新イベント時に停止します（カウンタが自動再ロード値に達して、“0”に戻る時点）。TIMx_CR1 レジスタの OPM ビットが“0”にセットされると、繰り返しモードが選択されます。

特殊なケース：OCx 高速イネーブル：

ワンパルスモードでは、TIx 入力のエッジ検出によって、カウンタを有効にする CEN ビットがセットされます。その後、カウンタと比較値の比較によって、出力が反転されます。ただし、このような動作には数クロックサイクルが必要なので、実現可能な最小遅延（t_{DELAY} min）を制限します。

最小遅延で波形を出力したい場合は、TIMx_CCMRx レジスタの OCxFE ビットをセットします。こうすると、OCxREF（および OCx）は、比較を考慮せずにトリガに反応します。新しいレベルは、比較が一致したときと同じです。OCxFE は、チャネルが PWM1 または PWM2 モードに設定されたときにのみ有効です。

18.3.11 外部イベントによる OCxREF 信号のクリア

指定されたチャネルの OCxREF 信号は ETRF 入力をハイレベルとする（対応する TIMx_CCMRx レジスタの OCxCE イネーブルビットを“1”にセットする）ことでローレベルにすることができます。OCxREF 信号は、次の更新イベント UEV が発生するまで、ローレベルを保ちます。

この機能は、出力比較モードと PWM モードでのみ使用でき、強制モードでは機能しません。

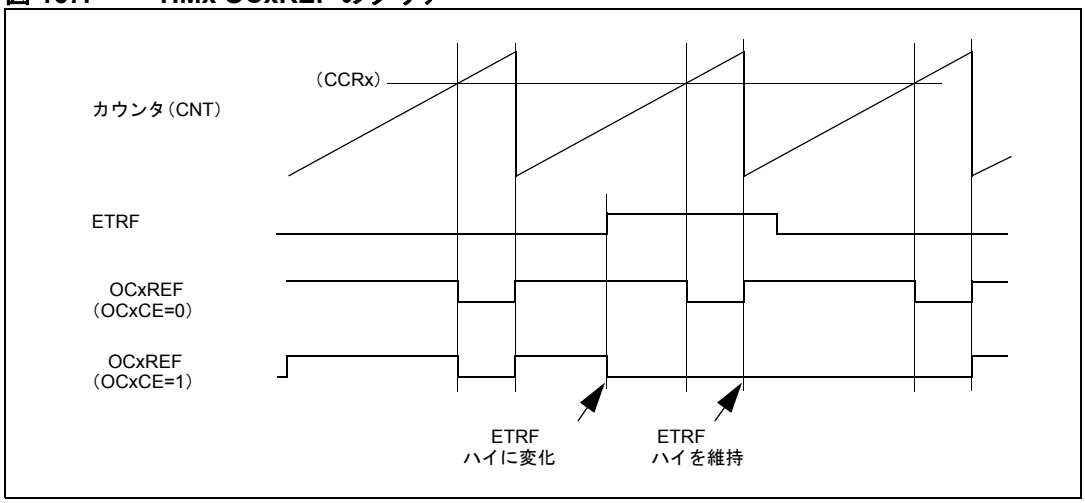
たとえば、ETR 信号を比較回路の出力に接続して、電流処理に使用することができます。この場合、ETR は次のように設定する必要があります。

1. 外部トリガプリスケーラはオフ状態に維持する必要があります。このため、TIMx_SMCR レジスタの ETPS[1:0] ビットを 00 にクリアします。
2. 外部クロックモード 2 は無効にする必要があります。このため、TIM1_SMCR レジスタの ECE ビットを 0 にクリアします。
3. 外部トリガ極性（ETP）と外部トリガフィルタ（ETF）は、アプリケーションのニーズに応じて設定できます。

*図 167*に、OCxCE イネーブルビットの両方の値について、ETRF 入力がハイになったときの OCxREF 信号の動作を示します。この例では、TIMx タイマは PWM モードにプログラミングされています。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 167. TIMx OCxREF のクリア



1. 100% デューティサイクルの PWM の場合 （CCRx>ARR の場合）、次のカウンタオーバーフローで OCxREF が再度有効になります。

18.3.12 エンコーダインタフェースモード

エンコーダインタフェースモードを選択するには、TIMx_SMCR レジスタで、カウンタが TI2 エッジのみをカウントしている場合は SMS=“001”を、TI1 エッジのみをカウントしている場合は SMS=“010”を、TI1 と TI2 の両方のエッジをカウントしている場合は SMS=“011”を書き込みます。

TI1 と TI2 の極性を選択するには、TIMx_CCER レジスタの CC1P ビットと CC2P ビットをプログラミングします。必要なときには、入力フィルタもプログラミングできます。

2 つの入力 TI1 と TI2 は、インクリメンタルエンコーダとのインタフェースに使用されます。*表 96*を参照してください。カウンタのクロックは、TI1FP1 または TI2FP2（入力フィルタおよび極性選択後は TI1 および TI2。フィルタされず、反転されない場合は TI1FP1=TI1、フィルタされず、反転されない場合は TI2FP2=TI2）の有効な変化によって駆動されます。ただし、カウンタ有効なことが前提となります（TIMx_CR1 レジスタの CEN ビットが“1”）。2 つの入力の遷移シーケンスが評価されて、カウントパルスと方向信号を生成します。シーケンスに応じて、カウンタはカウントアップまたはカウントダウンし、TIMx_CR1 レジスタの DIR ビットがハードウェアによって変更されます。カウンタが TI1 のみ、TI2 のみ、または TI1 と TI2 の両方をカウントしている場合でも、DIR ビットは、いずれかの入力（TI1 または TI2）の遷移のたびに計算されます。

エンコーダインタフェースモードは、方向選択を含む外部クロックとして動作します。カウンタは、0 と TIMx_ARR レジスタの自動再ロード値の間で連続的にカウントします（方向に応じて、0 から ARR まで、または ARR から 0 まで）。したがって、TIMx_ARR は、開始前に設定されなければなりません。同様に、キャプチャ、比較、プリスケーラ、およびトリガ出力機能は、通常動作を続けます。

このモードでは、カウンタはインクリメンタルエンコーダの速度と方向に応じて自動的に変更されます。したがって、カウンタの内容は、常にエンコーダの位置を表します。カウンタの方向は、接続されているセンサの回転方向に対応します。次の表は、カウント方向とエンコーダ信号の可能な組み合わせを示します（TI1 と TI2 は同時に切り替わらないと想定しています）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 96.　カウント方向とエンコーダ信号

アクティブエッジ	他方の信号のレベル（TI2 に対する TI1FP1、TI1 に対する TI2FP2）	TI1FP1 信号		TI2FP2 信号	
		立ち上がり	立ち下がり	立ち上がり	立ち下がり
TI1 のみカウント	ハイ	ダウン	アップ	カウントなし	カウントなし
	ロー	アップ	ダウン	カウントなし	カウントなし
TI2 のみカウント	ハイ	カウントなし	カウントなし	アップ	ダウン
	ロー	カウントなし	カウントなし	ダウン	アップ
TI1 と TI2 の両方をカウント	ハイ	ダウン	アップ	アップ	ダウン
	ロー	アップ	ダウン	ダウン	アップ

外部インクリメンタルエンコーダは、外部インタフェースロジックなしに、MCU に直接接続できます。ただし、エンコーダの差分出力をデジタル信号に変換するために、通常、コンパレータが使用されます。これにより、耐ノイズ性が大幅に向上します。機械的なゼロ位置を示す 3 番目のエンコーダ出力は、外部割り込み入力に接続して、カウンタのリセットをトリガできます。

図 168 に、カウント信号の生成と方向制御を含むカウンタの動作例を示します。また、両方のエッジが選択されているときの入力ジッタの補正方法も示します。この状況は、センサの位置が一方のスイッチングポイントの近くにあるときに生じることがあります。下の例では、以下のような設定となっています。

- CC1S=“01”（TIMx_CCMR1 レジスタ、TI1FP1 は TI1 に配置）
- CC2S=“01”（TIMx_CCMR2 レジスタ、TI2FP2 は TI2 に配置）
- CC1P=“0”、CC1NP=“0”、IC1F=“0000”（TIMx_CCER レジスタ、TI1FP1非反転、TI1FP1=TI1）
- CC2P=“0”、CC2NP=“0”、IC2F=“0000”（TIMx_CCER レジスタ、TI2FP2非反転、TI2FP2=TI2）
- SMS=“011”（TIMx_SMCR　レジスタ、両方の入力が立ち上がりと立ち下がりの両エッジでアクティブ）
- CEN=1（TIMx_CR1 レジスタ、カウンタ有効）

図 168.　エンコーダインタフェースモードにおけるカウンタの動作例

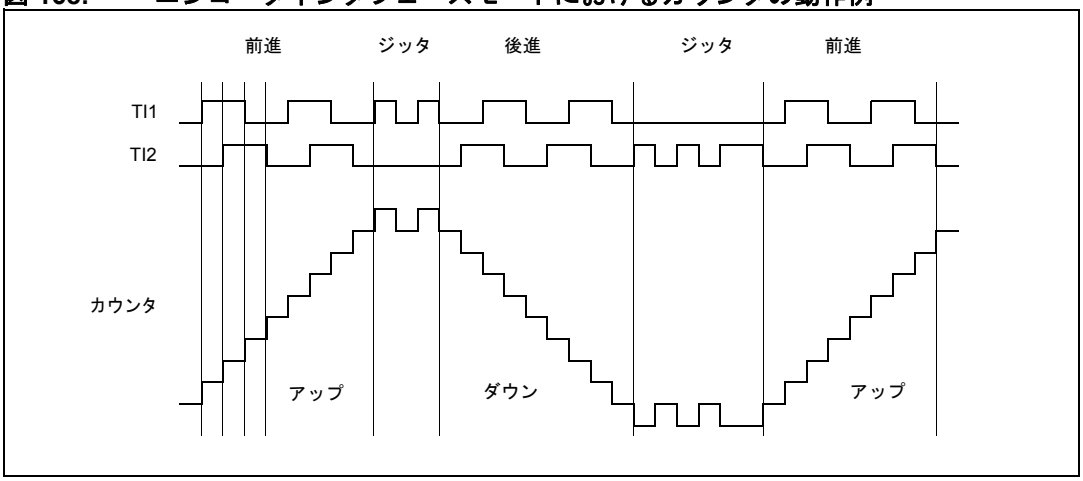
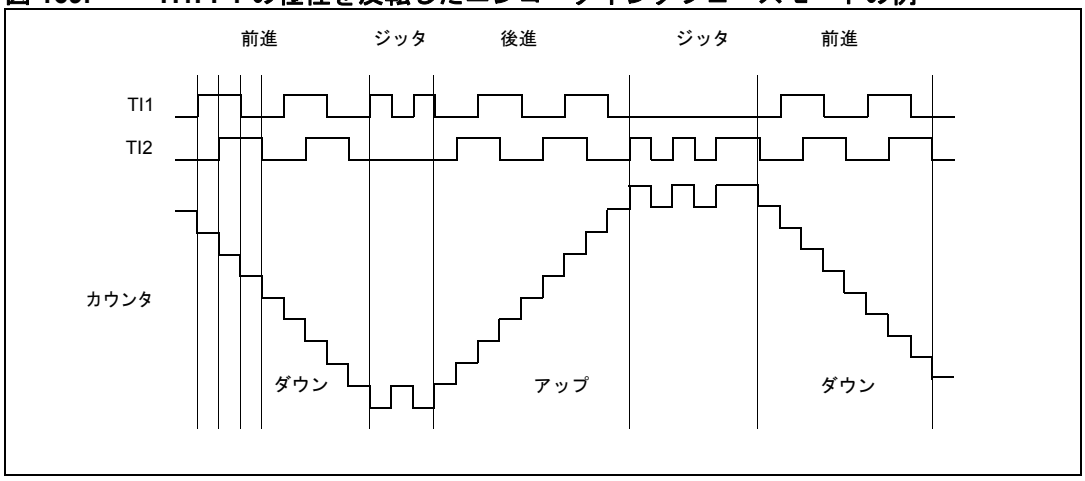


*図 169*に、TI1FP1 の極性を反転したときのカウンタの動作を示します（上記と同じ設定ですが、CC1P=1）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 169. TI1FP1 の極性を反転したエンコーダインタフェースモードの例



タイマがエンコーダインタフェースモードに設定されている場合、タイマはセンサの現在位置に関する情報を提供します。キャプチャモードに設定した 2 番目のタイマを使用して、2 つのエンコーダイベントの時間差を測定することで、速度、加速度、減速度といった動的な情報を得ることができます。機械的なゼロ位置を示すエンコーダの出力をこの目的に使用できます。2 つのイベントの時間差に応じて、カウンタを定期的に読み出すこともできます。これを行うには、使用可能な場合は、カウンタの値を 3 番目の入力キャプチャレジスタにラッチします（キャプチャ信号は周期的でなければならず、別のタイマによって生成できます）。また、リアルタイムクロックによって生成される DMA リクエストを通じて、この値を読み出すこともできます。

18.3.13 タイマ入力 XOR 機能

TIM_CR2 レジスタの TI1S ビットを使用して、チャネル 1 の入力フィルタを、TIMx_CH1 から TIMx_CH3 までの 3 つの入力ピンを組み合わせた XOR ゲートの出力に接続できます。

XOR 出力は、トリガや入力キャプチャなど、すべてのタイマ入力機能で使用できます。

18.3.14 タイマと外部トリガの同期

TIMx タイマは、リセットモード、ゲートモード、トリガモードなど、いくつかのモードで外部トリガと同期を取ることができます。

スレーブモード：リセットモード

カウンタとそのプリスケーラは、トリガ入力のイベントに応じて再初期化できます。さらに、TIMx_CR1 レジスタの URS ビットがローの場合は、更新イベント UEV が生成されます。その場合、すべてのプリロードされたレジスタ（TIMx_ARR、TIMx_CCRx）が更新されます。

次の例では、TI1 入力の立ち上がりエッジに応じて、アップカウンタがクリアされます。

- TI1 の立ち上がりエッジを検出するように、チャネル 1 を設定します。入力フィルタ時間を設定します（この例ではフィルタは不要なので、IC1F=0000 のままにしておきます）。キャプチャプリスケーラはトリガには使用されないので、設定は不要です。CC1S ビットは、入力キャプチャソースのみを選択します（TIMx_CCMR1 レジスタの CC1S=01）。TIMx_CCER レジスタでCC1P = 0 と CC1NP = 0 を書き込んで、極性を有効にします（そして、立ち上がりエッジのみを検出します）。
- TIMx_SMCR レジスタに SMS=100 を書き込むことによって、タイマをリセットモードに設定します。TIMx_SMCR レジスタに TS=101 を書き込むことによって、入力ソースとして TI1 を選択します。

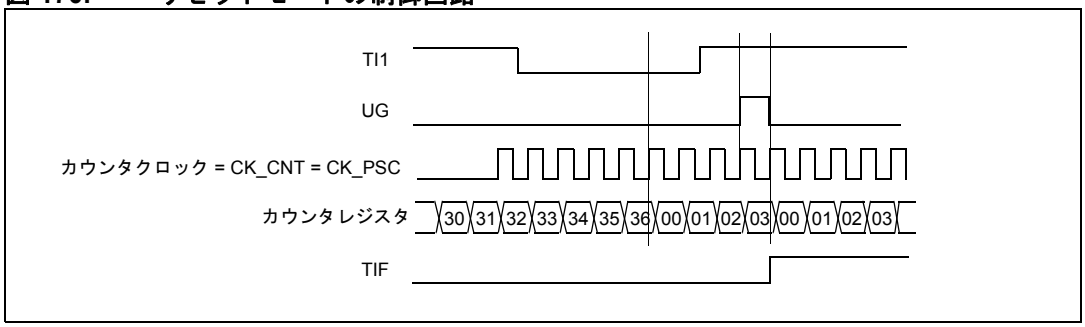
この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

- TIMx_CR1 レジスタに CEN=1 を書き込むことによって、カウンタを開始します。

カウンタは内部クロックでカウントを開始し、TI1 の立ち上がりエッジまで通常の動作を行います。TI1 が立ち上がると、カウンタはクリアされ、0 からリスタートします。同時に、トリガフラグがセットされ（TIMx_SR レジスタの TIF ビット）、有効な場合は割り込みリクエストまたは DMA リクエストを送信できます（TIMx_DIER レジスタの TIE および TDE ビット）。

次の図は、自動再ロードレジスタ TIMx_ARR=0x36 の場合の動作を示します。TI1 の立ち上がりエッジから実際にカウンタがリセットされるまでの遅延は、TI1 入力の同期回路によるものです。

図 170. リセットモードの制御回路



スレーブモード：ゲートモード

選択された入力のレベルに応じて、カウンタを有効にできます。

次の例では、アップカウンタは TI1 入力がローのときだけカウントします。

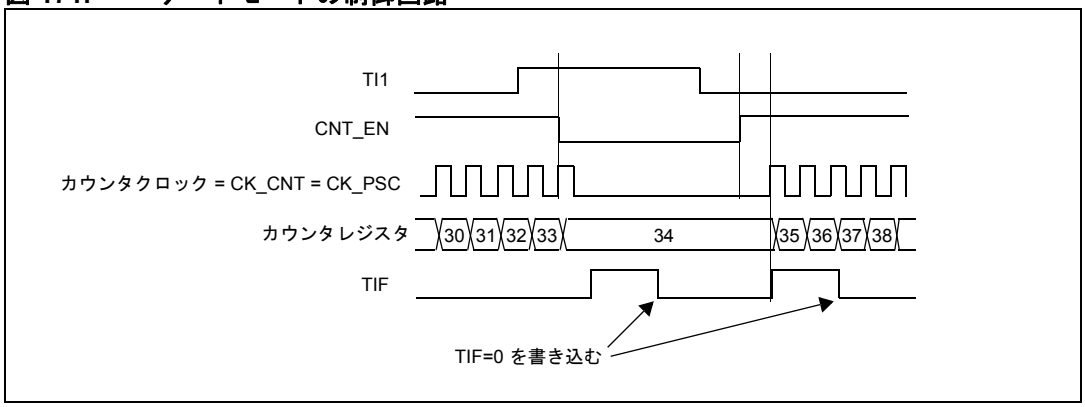
- TI1 のローレベルを検出するように、チャネル 1 を設定します。入力フィルタ時間を設定します（この例ではフィルタは不要なので、IC1F=0000 のままにしておきます）。キャプチャプリスケーラはトリガには使用されないので、設定は不要です。CC1S ビットは、入力キャプチャソースのみを選択します（TIMx_CCMR1 レジスタの CC1S=01）。TIMx_CCER レジスタに CC1P=1 を書き込んで、極性を有効にします（そして、ローレベルのみを検出します）。
- TIMx_SMCR レジスタに SMS=101 を書き込むことによって、タイマをゲートモードに設定します。TIMx_SMCR レジスタに TS=101 を書き込むことによって、入力ソースとして TI1 を選択します。
- TIMx_CR1 レジスタに CEN=1 を書き込んで、カウンタを有効にします（ゲートモードでは、CEN=0 の場合、トリガ入力のレベルにかかわらず、カウンタは開始しません）。

カウンタは、TI1 がローになると内部クロックでカウントを開始して、TI1 がハイになると停止します。TIMx_SR レジスタの TIF フラグは、カウンタの開始時と停止時にセットされます。

TI1 の立ち上がりエッジから実際にカウンタが停止するまでの遅延は、TI1 入力の再同期回路によるものです。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 171. ゲートモードの制御回路



1. ゲートモードはエッジではなくレベルに対して動作するため、CCxP=CCxNP=1 の設定（立ち上がりと立ち下がり両エッジの検出）はゲートモードでは意味がありません。

スレーブモード：トリガモード

選択された入力のイベントに対応して、カウンタが開始できます。

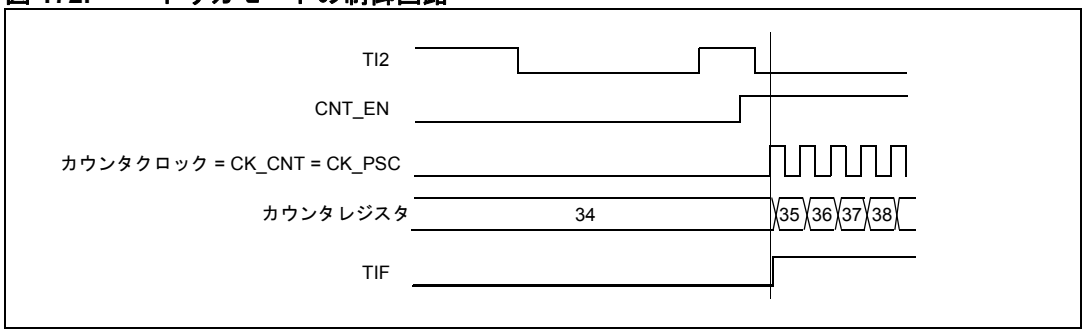
次の例では、アップカウンタは、TI2 入力の立ち上がりエッジに応じて開始します。

- TI2 の立ち上がりエッジを検出するように、チャンネル 2 を設定します。入力フィルタ時間を設定します（この例ではフィルタは不要なので、IC2F=0000 のままにしておきます）。キャプチャプリスケーラはトリガには使用されないので、設定は不要です。CC2S ビットは、入力キャプチャソースのみを選択します（TIMx_CCMR1 レジスタの CC2S=01）。TIMx_CCER レジスタに CC2P=1 を書き込んで、極性を有効にします（そして、ローレベルのみを検出します）。
- TIMx_SMCR レジスタに SMS=110 を書き込むことによって、タイマをトリガモードに設定します。TIMx_SMCR レジスタに TS=110 を書き込むことによって、入力ソースとして TI2 を選択します。

TI2 で立ち上がりエッジが発生すると、カウンタは内部クロックでのカウントを開始し、TIF フラグがセットされます。

TI2 の立ち上がりエッジから実際にカウンタが開始するまでの遅延は、TI2 入力の再同期回路によるものです。

図 172. トリガモードの制御回路



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

スレーブモード：外部クロックモード 2 + トリガモード

外部クロックモード 2 は、他のスレーブモードとともに使用できます（ただし、外部クロックモード 1 とエンコーダモードは除きます）。この場合、ETR 信号は外部クロック入力として使用され、別の入力をトリガ入力として選択できます（リセットモード、ゲートモード、およびトリガモードで動作している場合）。TIMx_SMCR レジスタの TS ビットを通じて TRGI として ETR を選択しないようにしてください。

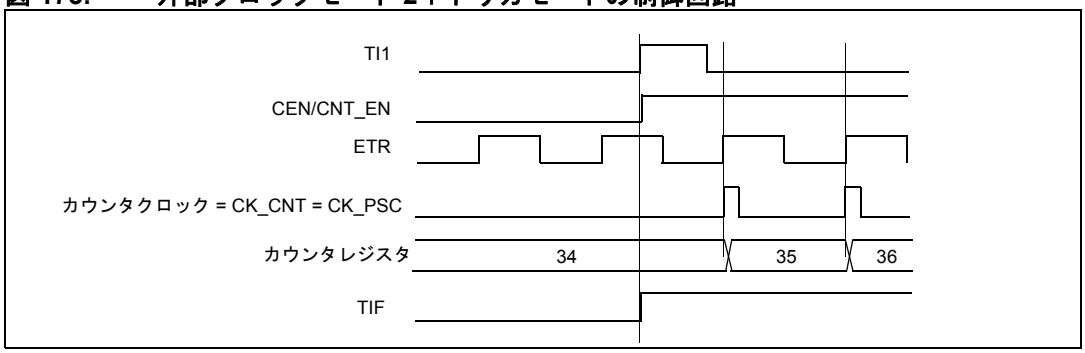
次の例では、アップカウンタは、TI1 の立ち上がりエッジが発生すると、ETR 信号の立ち上がりエッジのたびにインクリメントされます。

1. TIMx_SMCR レジスタで次のようにプログラミングすることによって、外部トリガ入力回路を設定します。
   - ETF = 0000：フィルタなし
   - ETPS=00：プリスケーラは無効
   - ETP=0：ETR の立ち上がりエッジを検出。ECE=1 で外部クロックモード 2 を有効にします。
2. TI の立ち上がりエッジを検出するように、チャネル 1 を次のように設定します。
   - IC1F=0000：フィルタなし
   - キャプチャプリスケーラはトリガには使用されないので、設定する必要はありません。
   - TIMx_CCMR1 レジスタの CC1S=01 で、入力キャプチャソースのみを選択します。
   - TIMx_CCER レジスタに CC1P=0 を書き込んで、極性を有効にします（そして、立ち上がりエッジのみを検出します）。
3. TIMx_SMCR レジスタに SMS=110 を書き込むことによって、タイマをトリガモードに設定します。TIMx_SMCR レジスタに TS=101 を書き込むことによって、入力ソースとして TI1 を選択します。

TI1 の立ち上がりエッジでカウンタが有効になり、TIF フラグがセットされます。カウンタは、ETR の立ち上がりエッジでカウントします。

ETR 信号の立ち上がりエッジから実際にカウンタがリセットされるまでの遅延は、ETRP 入力の再同期回路によるものです。

図 173.　外部クロックモード 2＋トリガモードの制御回路



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

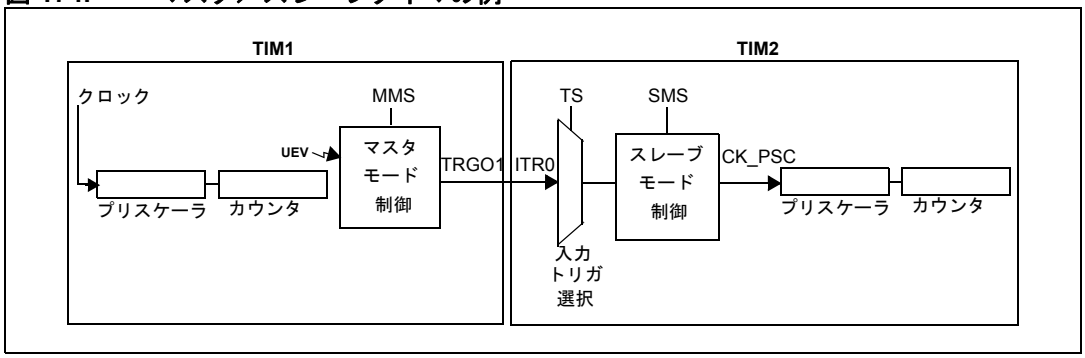
18.3.15 タイマの同期

タイマの同期や連携した動作のために、TIMx タイマを内部で相互リンクすることができます。マスタモードに設定されたタイマは、スレーブモードに設定された別のタイマのカウンタのリセット、開始、停止、またはクロック供給を行うことができます。

*図 174：マスタ／スレーブタイマの例*に、トリガ選択およびマスタモード選択ブロックの概要を示します。

1 つのタイマを別のタイマのプリスケーラとして使用する

図 174.　マスタ／スレーブタイマの例



たとえば、タイマ 1 がタイマ 2 のプリスケーラとして動作するように設定できます。*図 174*を参照してください。このためには、次の操作を行います。

- 更新イベント UEV ごとに定期的なトリガ信号を出力するように、タイマ 1 をマスタモードに設定します。TIM1_CR2 レジスタの MMS=010 を書き込んだ場合、更新イベントが生成されるたびに、TRGO1 で立ち上がりエッジが出力されます。
- タイマ 1 の出力 TRGO1 をタイマ 2 に接続し、タイマ 2 が内部トリガ ITR0 を使用するスレーブモードに設定します。このためには、TIM2_SMCR レジスタの TS ビットに 000 を書き込みます。
- 次に、スレーブモードコントローラを外部クロックモード 1 にします（TIM2_SMCR レジスタの SMS=111 を書き込みます）。これによりタイマ 2 は、タイマ 1 の定期的なトリガ信号の立ち上がりエッジ（タイマ 1 カウンタのオーバーフローに対応しています）をクロックとして動作します。
- 最後に、それぞれの TIMx_CR1 レジスタの CEN ビットをセットすることによって、両方のタイマを有効にする必要があります。

注：　タイマ 1 のトリガ出力として OCx が選択された場合（MMS=1xx）、その立ち上がりエッジがタイマ 2 カウンタのクロックとして使用されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

1 つのタイマを使用して別のタイマを有効にする

この例では、タイマ 1 の出力比較 1 でタイマ 2 の有効／無効を制御します。接続については、*図 174* を参照してください。タイマ 2 は、タイマ 1 の OC1REF がハイのときにのみ、分周された内部クロックをカウントします。両方のカウンタクロック周波数は、CK_INT をプリスケーラで 3 分周したものです（$f_{CK_CNT} = f_{CK_INT}/3$）。

- タイマ 1 をマスタモードに設定して、その出力比較 1 基準（OC1REF）信号をトリガ出力として送信します（TIM1_CR2 レジスタの MMS=100）。
- タイマ 1 の OC1REF 波形を設定します（TIM1_CCMR1 レジスタ）。
- タイマ 2 がタイマ 1 から入力トリガを受け取るように設定します（TIM2_SMCR レジスタの TS=000）。
- タイマ 2 をゲートモードに設定します（TIM2_SMCR レジスタの SMS=101）。
- CEN ビット（TIM2_CR1 レジスタ）に“1”を書き込んで、タイマ 2 を有効にします。
- CEN ビット（TIM1_CR1 レジスタ）に“1”を書き込んで、タイマ 1 を開始します。

注：　タイマ 2 のクロックはカウンタ 1 と同期しないので、このモードはタイマ 2 カウンタのイネーブル信号にのみ影響を与えます。

図 175.　タイマ 1 の OC1REF によるタイマ 2 のゲート操作

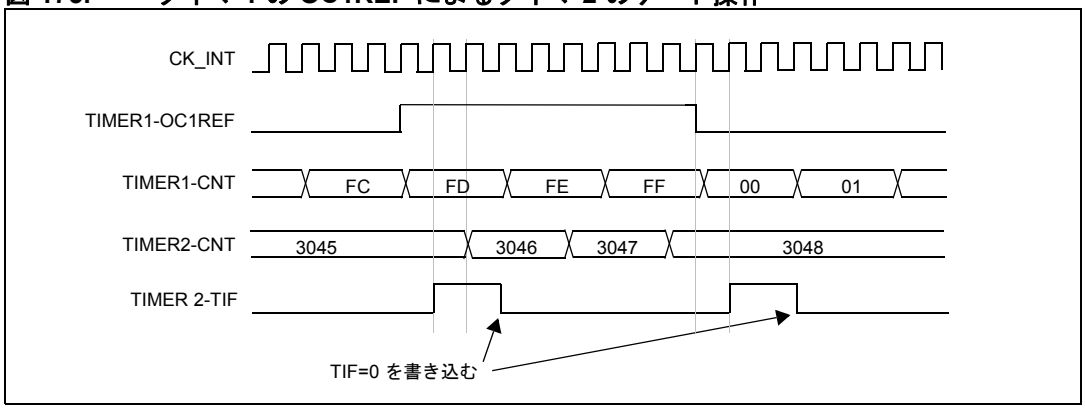


*図 175*の例では、タイマ 2 のカウンタとプリスケーラは、開始前に初期化されていません。したがって、現在値からカウントを開始します。タイマ 1 を開始する前に両方のタイマをリセットすることによって、特定の値から開始することが可能です。この場合、タイマカウンタに任意の値を書き込むことができます。TIMx_EGR レジスタの UG ビットを使用して、ソフトウェアで容易にタイマをリセットできます。

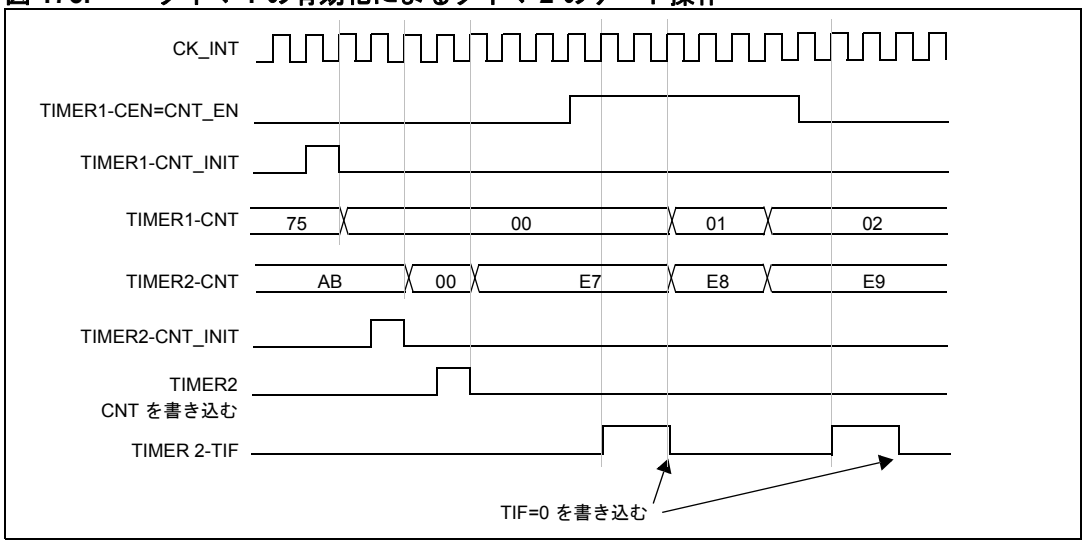
次の例では、タイマ 1 とタイマ 2 を同期させます。タイマ 1 はマスタであり、0 からカウントを開始します。タイマ 2 はスレーブであり、0xE7 から開始します。プリスケーラの分周比は両方のタイマで同じです。TIM1_CR1 レジスタの CEN ビットに“0”を書き込むことによってタイマ 1 を無効にすると、タイマ 2 は停止します。

- タイマ 1 をマスタモードに設定して、その出力比較 1 基準（OC1REF）信号をトリガ出力として送信します（TIM1_CR2 レジスタの MMS=100）。
- タイマ 1 の OC1REF 波形を設定します（TIM1_CCMR1 レジスタ）。
- タイマ 2 がタイマ 1 から入力トリガを受け取るように設定します（TIM2_SMCR レジスタの TS=000）。
- タイマ 2 をゲートモードに設定します（TIM2_SMCR レジスタの SMS=101）。
- UG ビット（TIM1_EGR レジスタ）に“1”を書き込むことによって、タイマ 1 をリセットします。
- UG ビット（TIM2_EGR レジスタ）に“1”を書き込むことによって、タイマ 2 をリセットします。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

- タイマ 2 のカウンタ（TIM2_CNTL）に 0xE7 を書き込むことによって、タイマ 2 を 0xE7 に初期化します。
- CEN ビット（TIM2_CR1 レジスタ）に“1”を書き込んで、タイマ 2 を有効にします。
- CEN ビット（TIM1_CR1 レジスタ）に“1”を書き込んで、タイマ 1 を開始します。
- CEN ビット（TIM1_CR1 レジスタ）に“0”を書き込むことによって、タイマ 1 を停止します。

図 176. タイマ 1 の有効化によるタイマ 2 のゲート操作



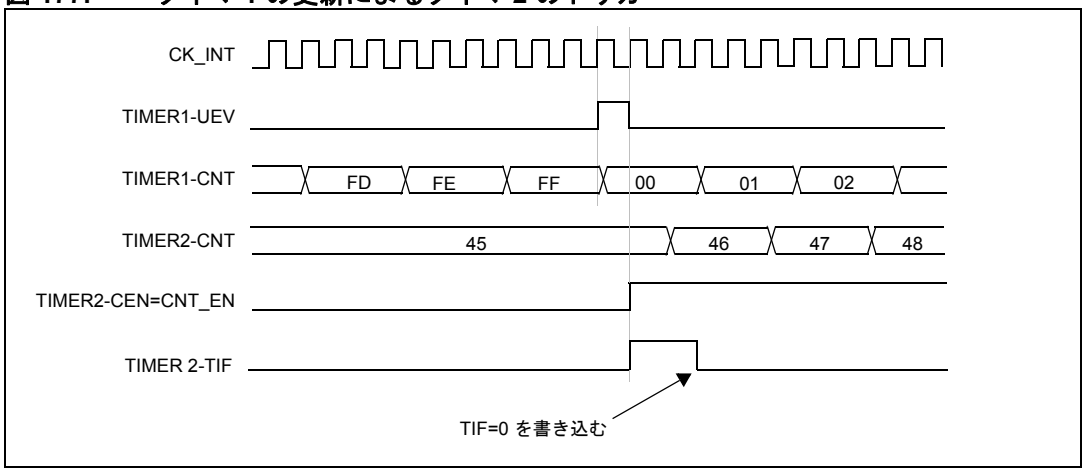
1 つのタイマを使用して別のタイマを開始する

この例では、タイマ 1 の更新イベントによってタイマ 2 の有効化を設定します。接続については、*図 174* を参照してください。タイマ 1 によって更新イベントが生成されると、タイマ 2 は、分周された内部クロックで現在値（ゼロである必要はありません）からカウントを開始します。タイマ 2 がトリガ信号を受信すると、その CEN ビットが自動的にセットされ、カウンタは TIM2_CR1 レジスタの CEN ビットに“0”が書き込まれるまでカウントします。両方のカウンタクロック周波数は、CK_INT をプリスケーラで 3 分周したものです（$f_{CK_CNT} = f_{CK_INT}/3$）。

- タイマ 1 をマスタモードに設定して、その更新イベント（UEV）をトリガ出力として送信します（TIM1_CR2 レジスタの MMS=010）。
- タイマ 1 の周期を設定します（TIM1_ARR レジスタ）。
- タイマ 2 がタイマ 1 から入力トリガを受け取るように設定します（TIM2_SMCR レジスタの TS=000）。
- タイマ 2 をトリガモードに設定します（TIM2_SMCR レジスタの SMS=110）。
- CEN ビット（TIM1_CR1 レジスタ）に“1”を書き込んで、タイマ 1 を開始します。

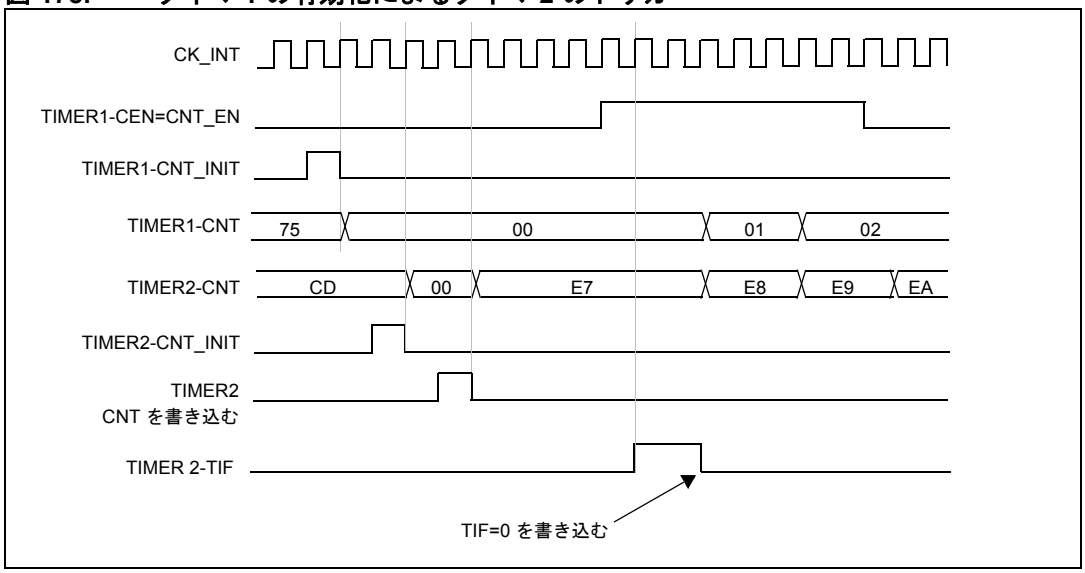
この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 177.　タイマ 1 の更新によるタイマ 2 のトリガ



前の例と同じように、カウントを開始する前に両方のカウンタを初期化することができます。*図 178* は、*図 177* と同じ設定ですが、ゲートモードではなくトリガモードでの動作を示します（TIM2_SMCR レジスタの SMS=110）。

図 178.　タイマ 1 の有効化によるタイマ 2 のトリガ



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

1 つのタイマを別のタイマのプリスケーラとして使用する

たとえば、タイマ 1 がタイマ 2 のプリスケーラとして動作するように設定できます。接続については、*図 174* を参照してください。このためには、次の操作を行います。

- タイマ 1 をマスタモードに設定して、その更新イベント（UEV）をトリガ出力として送信します（TIM1_CR2 レジスタで MMS=010）。タイマ 1 は、カウンタオーバーフローごとに定期的に信号を出力します。
- タイマ 1 の周期を設定します（TIM1_ARR レジスタ）。
- タイマ 2 がタイマ 1 から入力トリガを受け取るように設定します（TIM2_SMCR レジスタの TS=000）。
- タイマ 2 を外部クロックモード 1 に設定します（TIM2_SMCR レジスタの SMS=111）。
- CEN ビット（TIM2_CR1 レジスタ）に“1”を書き込んで、タイマ 2 を開始します。
- CEN ビット（TIM1_CR1 レジスタ）に“1”を書き込んで、タイマ 1 を開始します。

外部トリガに対応して 2 つのタイマを同期して開始する

この例では、TI1 入力の立ち上がりエッジでタイマ 1 を有効にし、タイマ 1 が有効になると、タイマ 2 を有効にします。接続については、*図 174* を参照してください。カウンタの同時性を確保するため、タイマ 1 はマスタ／スレーブモードに設定する必要があります（TI1 に対してはスレーブ、タイマ 2 に対してはマスタ）。

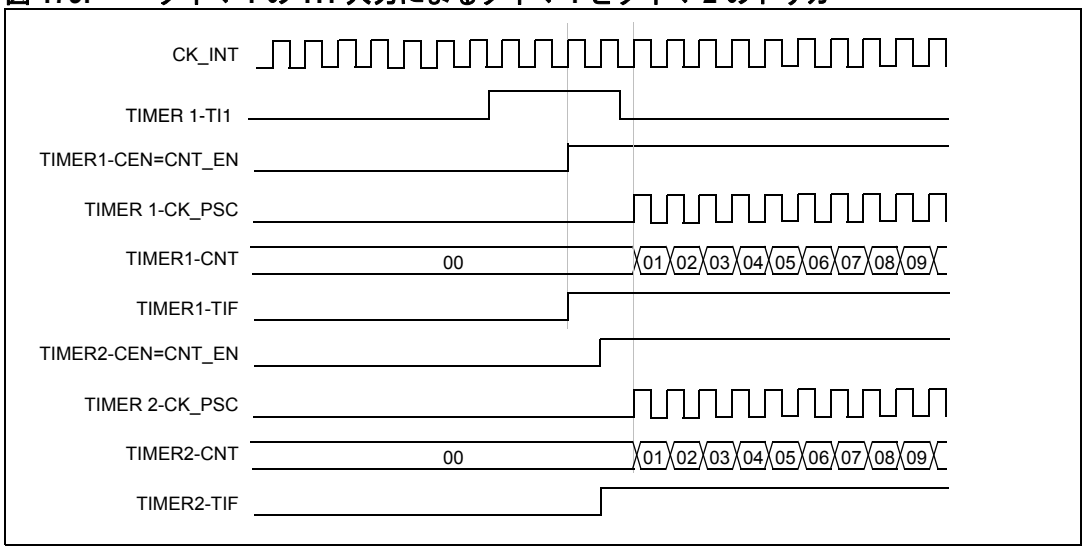
- タイマ 1 をマスタモードに設定して、その有効化をトリガ出力として送信します（TIM1_CR2 レジスタの MMS=001）。
- タイマ 1 をスレーブモードに設定して、TI1 から入力トリガを受け取るようにします（TIM1_SMCR レジスタの TS=100）。
- タイマ 1 をトリガモードに設定します（TIM1_SMCR レジスタの SMS=110）。
- MSM=1（TIM1_SMCR レジスタ）を書き込むことによって、タイマ 1 をマスタ/スレーブモードに設定します。
- タイマ 2 がタイマ 1 から入力トリガを受け取るように設定します（TIM2_SMCR レジスタの TS=000）。
- タイマ 2 をトリガモードに設定します（TIM2_SMCR レジスタの SMS=110）。

TI1（タイマ 1）で立ち上がりエッジが発生すると、両方のカウンタが同時に内部クロックによるカウントを開始し、両方の TIF フラグがセットされます。

注： ***この例では、両方のタイマが開始前に初期化されます（それぞれの UG ビットをセットすることによって）。両方のカウンタは 0 から開始しますが、カウンタレジスタ（TIMx_CNT）に書き込むことによって、容易にオフセットを挿入できます。マスタ／スレーブモードでは、タイマ 1 の CNT_EN と CK_PSC の間に遅延が挿入されます。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 179.　タイマ 1 の TI1 入力によるタイマ 1 とタイマ 2 のトリガ



18.3.16　デバッグモード

マイクロコントローラがデバッグモードになると（Cortex™-M4 with FPU コアは停止状態）、TIMx カウンタは、DBGMCU モジュールの DBG_TIMx_STOP 設定ビットに応じて、通常どおりに動作を続けるか、または停止します。詳細については、*セクション 38.16.2：タイマ、ウォッチドッグ、bxCAN、および I2C のデバッグサポート*を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

18.4 TIM2 から TIM5 のレジスタ

レジスタの説明で使用されている略語のリストについては、*セクション 1.1 (57 ページ)* を参照してください。

32 ビットのペリフェラルレジスタには、ワード（32 ビット）単位で書き込む必要があります。他のすべてのペリフェラルレジスタには、ハーフワード（16 ビット）またはワード（32 ビット）単位で書き込む必要があります。読み出しアクセスは、バイト（8 ビット）、ハーフワード（16 ビット）またはワード（32 ビット）単位で行うことができます。

18.4.1 TIMx 制御レジスタ 1（TIMx_CR1）

アドレスオフセット：0x00

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み						CKD[1:0]		ARPE	CMS		DIR	OPM	URS	UDIS	CEN
						rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:10 予約済みであり、リセット値に保持する必要があります。

ビット 9:8 **CKD**：クロック分周

このビットフィールドは、タイマクロック（CK_INT）周波数と、デジタルフィルタ（ETR、TIx）によって使用されるサンプリングクロックとの間の分周比を示します。

00：$t_{DTS} = t_{CK_INT}$
01：$t_{DTS} = 2 \times t_{CK_INT}$
10：$t_{DTS} = 4 \times t_{CK_INT}$
11：予約済み

ビット 7 **ARPE**：自動再ロードプリロードイネーブル

0：TIMx_ARR レジスタはバッファされません。
1：TIMx_ARR レジスタはバッファされます。

ビット 6:5 **CMS**：センターアラインモード選択

00：エッジアラインモードカウンタは方向ビット（DIR）に応じて、カウントアップまたはカウントダウンします。
01：センターアラインモード 1 - カウンタはカウントアップとカウントダウンを交互に行います。出力に設定されたチャネル（TIMx_CCMRx レジスタの CCxS=00）の出力比較割り込みフラグは、カウンタがカウントダウンしているときのみセットされます。
10：センターアラインモード 2 - カウンタはカウントアップとカウントダウンを交互に行います。出力（TIMx_CCMRx レジスタの CCxS=00）に設定されたチャネルの出力比較割り込みフラグは、カウンタがカウントアップしているときのみセットされます。
11：センターアラインモード 3 - カウンタはカウントアップとカウントダウンを交互に行います。出力に設定されたチャネル（TIMx_CCMRx レジスタの CCxS=00）の出力比較割り込みフラグは、カウンタがカウントアップおよびカウントダウンしているときにセットされます。

注： カウンタが有効（CEN=1）なときに、エッジアラインモードからセンターアラインモードに切り替えることはできません。

ビット 4 **DIR**：方向

0：カウンタはアップカウンタとして使用されます。
1：カウンタはダウンカウンタとして使用されます。

注： このビットは、タイマがセンターアラインモードまたはエンコーダモードに設定されているときには読み出し専用です。

ビット 3 **OPM**：ワンパルスモード

0：カウンタは更新イベントで停止しません。
1：カウンタは次の更新イベントでカウントを停止します（CEN ビットをクリア）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 2 **URS**：更新リクエストソース

このビットは、UEV イベントソースを選択するために、ソフトウェアでセット／クリアされます。

0：次のイベントのいずれかが更新割り込みまたは DMA リクエストを生成します（有効な場合）。これらのイベントは、次のとおりです。

– カウンタオーバーフロー／アンダーフロー
– UG ビットのセット
– スレーブモードコントローラからの更新生成

1：カウンタオーバーフロー／アンダーフローのみが更新割り込みまたは DMA リクエストを生成します（有効な場合）。

ビット 1 **UDIS**：更新ディセーブル

このビットは、UEV イベント生成を有効／無効にするために、ソフトウェアでセット／クリアされます。

0：UEV は有効です。更新イベント（UEV）は、次のいずれかのイベントによって生成されます。

– カウンタオーバーフロー／アンダーフロー
– UG ビットのセット
– スレーブモードコントローラからの更新生成

バッファされるレジスタにはプリロード値がロードされます。

1：UEV は無効です。更新イベントは生成されず、シャドウレジスタ（ARR、PSC、CCRx）は値を維持します。ただし、UG ビットがセットされた場合や、スレーブモードコントローラからハードウェアリセットを受信した場合には、カウンタとプリスケーラは再初期化されます。

ビット 0 **CEN**：カウンタイネーブル

0：カウンタは無効です。
1：カウンタは有効です。

注：　外部クロック、ゲートモード、およびエンコーダモードは、CEN　ビットが事前にソフトウェアでセットされている場合のみ動作します。ただし、トリガモードでは、ハードウェアによって自動的に CEN ビットをセットできます。

ワンパルスモードでは、更新イベントが発生すると、CEN は自動的にクリアされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

18.4.2 TIMx 制御レジスタ 2（TIMx_CR2）

アドレスオフセット：0x04

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								TI1S	MMS[2:0]			CCDS	予約済み		
								rw	rw	rw	rw	rw			

ビット 15:8 予約済みであり、リセット値に保持する必要があります。

ビット 7 **TI1S**：TI1 選択

0：TIMx_CH1 ピンが TI1 入力に接続されます。

1：TIMx_CH1、CH2、および CH3 ピンが TI1 入力に接続されます（XOR 接続）

ビット 6:4 **MMS[2:0]**：マスタモード選択

これらのビットにより、同期のためにマスタモードでスレーブタイマに送信される情報を選択することができます（TRGO）。組み合わせは、次のとおりです。

000：**リセット** - TIMx_EGR レジスタの UG ビットがトリガ出力（TRGO）として使用されます。トリガ入力によってリセットが生成される場合（スレーブモードコントローラがリセットモードに設定されているとき）、TRGO 信号は実際のリセットより遅延します。

001：**イネーブル** - カウンタイネーブル信号 CNT_EN がトリガ出力（TRGO）として使用されます。これは、いくつかのタイマを同時に開始するときや、スレーブタイマが有効な時間枠を制御するときに役立ちます。カウンタイネーブル信号は、ゲートモードに設定されているとき、CEN 制御ビットとトリガ入力との論理和（OR）によって生成されます。

カウンタイネーブル信号がトリガ入力によって制御されているとき、マスタ／スレーブモードが選択されている場合を除き、TRGO には遅延が存在します（TIMx_SMCR レジスタの MSM ビットの説明を参照してください）。

010：**更新** - 更新イベントがトリガ出力（TRGO）として選択されます。たとえば、マスタタイマをスレーブタイマのプリスケーラとして使用できます。

011：**パルス比較** - キャプチャまたは比較一致が生ずると同時に、CC1IF フラグがセットされるとき（すでにハイであった場合も）、トリガ出力は正のパルスを送信します。（TRGO）

100：**比較** - OC1REF 信号がトリガ出力（TRGO）として使用されます。

101：**比較** - OC2REF 信号がトリガ出力（TRGO）として使用されます。

110：**比較** - OC3REF 信号がトリガ出力（TRGO）として使用されます。

111：**比較** - OC4REF 信号がトリガ出力（TRGO）として使用されます。

ビット 3 **CCDS**：キャプチャ／比較 DMA 選択

0：CCx DMA リクエストは、CCx イベントが発生すると送信されます。

1：CCx DMA リクエストは、更新イベントが発生すると送信されます。

ビット 2:0 予約済みであり、リセット値に保持する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

18.4.3 TIMx スレーブモード制御レジスタ（TIMx_SMCR）

アドレスオフセット：0x08

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ETP	ECE	ETPS[1:0]		ETF[3:0]				MSM	TS[2:0]			Res.	SMS[2:0]		
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw		rw	rw	rw

ビット 15 **ETP**：外部トリガ極性

このビットは、ETR と $\overline{ETR}$ のいずれがトリガ動作に使用されるかを選択します。
0：ETR は反転されず、ハイレベルまたは立ち上がりエッジでアクティブになります。
1：ETR は反転され、ローレベルまたは立ち下がりエッジでアクティブになります。

ビット 14 **ECE**：外部クロックイネーブル

このビットは、外部クロックモード 2 を有効にします。
0：外部クロックモード 2 は無効です。
1：外部クロックモード 2 は有効です。カウンタは、ETRF 信号のアクティブエッジによってクロック供給されます。
注1：ECE ビットをセットすることは、外部クロックモード 1 で TRGI が ETRF に接続された状態（SMS=111、TS=111）と同じ効果があります。
注2：外部クロックモード 2 と次のスレーブモード、すなわち、リセットモード、ゲートモード、またはトリガモードを同時に使用することができます。ただし、この場合、TRGI を ETRF に接続することはできません（TS ビットが 111 でないことが必要）。
注3：外部クロックモード 1 と外部クロックモード 2 が同時に有効な場合、外部クロック入力は ETRF です。

ビット 13:12 **ETPS**：外部トリガ極性

外部トリガ信号 ETRP の周波数は、最大でも CK_INT 周波数の 1/4 でなければなりません。プリスケーラを有効にすると、ETRP 周波数を低くできます。これは、高速な外部クロックを入力するときに役立ちます。
00：プリスケーラオフ
01：ETRP 周波数は 2 分周されます。
10：ETRP 周波数は 4 分周されます。
11：ETRP 周波数は 8 分周されます。

ビット 11:8 **ETF[3:0]**：外部トリガフィルタ

このビットフィールドは、ETRP 信号をサンプルする周波数と、ETRP に適用されるデジタルフィルタの長さを定義します。デジタルフィルタはイベントカウンタでできていて、出力に有効な変化をもたらすには N 個のイベント発生が必要です。
0000：フィルタなし、サンプリングは f_{DTS} で行われます。
0001： $f_{SAMPLING}=f_{CK_INT}$、N=2
0010： $f_{SAMPLING}=f_{CK_INT}$、N=4
0011： $f_{SAMPLING}=f_{CK_INT}$、N=8
0100： $f_{SAMPLING}=f_{DTS}/2$、N=6
0101： $f_{SAMPLING}=f_{DTS}/2$、N=8
0110： $f_{SAMPLING}=f_{DTS}/4$、N=6
0111： $f_{SAMPLING}=f_{DTS}/4$、N=8
1000： $f_{SAMPLING}=f_{DTS}/8$、N=6
1001： $f_{SAMPLING}=f_{DTS}/8$、N=8
1010： $f_{SAMPLING}=f_{DTS}/16$、N=5
1011： $f_{SAMPLING}=f_{DTS}/16$、N=6
1100： $f_{SAMPLING}=f_{DTS}/16$、N=8
1101： $f_{SAMPLING}=f_{DTS}/32$、N=5
1110： $f_{SAMPLING}=f_{DTS}/32$、N=6
1111： $f_{SAMPLING}=f_{DTS}/32$、N=8

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 7 **MSM**：マスタ／スレーブモード

0：影響なし。

1：トリガ入力（TRGI）に対するイベントの影響は、現在のタイマとそのスレーブとの間の完全な同期（TRGO を通じて）を可能にするために遅延されます。これは、1 つの外部イベントで複数のタイマを同期したい場合に役立ちます。

ビット 6:4 **TS**：トリガ選択

このビットフィールドは、カウンタの同期に使用されるトリガ入力を選択します。

000：内部トリガ 0（ITR0）

001：内部トリガ 1（ITR1）

010：内部トリガ 2（ITR2）

011：内部トリガ 3（ITR3）

100：TI1 エッジ検出回路（TI1F_ED）

101：フィルタタイマ入力 1（TI1FP1）

110：フィルタタイマ入力 2（TI2FP2）

111：外部トリガ入力（ETRF）

各タイマにとっての ITRx の意味の詳細については、*表 97：TIMx 内部トリガ接続 (633 ページ)* を参照してください。

注： ***遷移時の誤ったエッジ検出を避けるために、これらのビットは、使用されていないとき（SMS=000 のときなど）にのみ変更しなければなりません。***

ビット 3 予約済み、リセット値に保持する必要があります。

ビット 2:0 **SMS**：スレーブモード選択

外部信号が選択されると、トリガ信号（TRGI）のアクティブエッジが外部入力で選択された極性にリンクされます（入力制御レジスタおよび制御レジスタの説明を参照してください）。

000：スレーブモードは無効です。CEN =“1”の場合、プリスケーラは内部クロックによって直接クロック供給されます。

001：エンコーダモード 1 - カウンタは、TI1FP1 のレベルに応じて、TI2FP2 のエッジでカウントアップ/ダウンします。

010：エンコーダモード 2 - カウンタは、TI2FP2 のレベルに応じて、TI1FP1 のエッジでカウントアップ/ダウンします。

011：エンコーダモード 3 - カウンタは、他の入力のレベルに応じて、TI1FP1 と TI2FP2 の両方のエッジでカウントアップ/ダウンします。

100：リセットモード - 選択されたトリガ入力（TRGI）の立ち上がりエッジでカウンタを再初期化し、レジスタの更新を生成します。

101：ゲートモード - カウンタクロックは、トリガ入力（TRGI）がハイのときに有効になります。トリガがローになると、カウンタは停止します（リセットはされません）。カウンタの開始と停止の両方が制御されます。

110：トリガモード - カウンタは、トリガ TRGI の立ち上がりエッジで開始します（リセットはされません）。カウンタの開始のみが制御されます。

111：外部クロックモード 1 - 選択されたトリガ（TRGI）の立ち上がりエッジがカウンタのクロックとして供給されます。

注： ***トリガ入力として TI1F_ED が選択されている場合（TS=100）、ゲートモードを使用することはできません。TI1F_ED は TI1F の変化ごとに 1 パルスを出力しますが、ゲートモードはトリガ信号のレベルをチェックします。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 97. TIMx 内部トリガ接続

スレーブ TIM	ITR0 （TS = 000）	ITR1 （TS = 001）	ITR2 （TS = 010）	ITR3 （TS = 011）
TIM2	TIM1	TIM8	TIM3	TIM4
TIM3	TIM1	TIM2	TIM5	TIM4
TIM4	TIM1	TIM2	TIM3	TIM8
TIM5	TIM2	TIM3	TIM4	TIM8

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

18.4.4 TIMx DMA／割り込みイネーブルレジスタ（TIMx_DIER）

アドレスオフセット：0x0C

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み	TDE	予約済み	CC4DE	CC3DE	CC2DE	CC1DE	UDE	予約済み	TIE	予約済み	CC4IE	CC3IE	CC2IE	CC1IE	UIE
	rw		rw	rw	rw	rw	rw		rw		rw	rw	rw	rw	rw

ビット 15　予約済み、リセット値に保持する必要があります。

ビット 14 **TDE**：トリガ DMA リクエストイネーブル
0：トリガ DMA リクエストは無効です。
1：トリガ DMA リクエストは有効です。

ビット 13　予約済み、常に 0 として読み出されます。

ビット 12 **CC4DE**：キャプチャ／比較 4 DMA リクエストイネーブル
0：CC4 DMA リクエストは無効です。
1：CC4 DMA リクエストは有効です。

ビット 11 **CC3DE**：キャプチャ／比較 3 DMA リクエストイネーブル
0：CC3 DMA リクエストは無効です。
1：CC3 DMA リクエストは有効です。

ビット 10 **CC2DE**：キャプチャ／比較 2 DMA リクエストイネーブル
0：CC2 DMA リクエストは無効です。
1：CC2 DMA リクエストは有効です。

ビット 9 **CC1DE**：キャプチャ／比較 1 DMA リクエストイネーブル
0：CC1 DMA リクエストは無効です。
1：CC1 DMA リクエストは有効です。

ビット 8 **UDE**：更新 DMA リクエストイネーブル
0：更新 DMA リクエストは無効です。
1：更新 DMA リクエストは有効です。

ビット 7　予約済み、リセット値に保持する必要があります。

ビット 6 **TIE**：トリガ割り込みイネーブル
0：トリガ割り込みは無効です。
1：トリガ割り込みは有効です。

ビット 5　予約済み、リセット値に保持する必要があります。

ビット 4 **CC4IE**：キャプチャ／比較 4 割り込みイネーブル
0：CC4 割り込みは無効です。
1：CC4 割り込みは有効です。

ビット 3 **CC3IE**：キャプチャ／比較 3 割り込みイネーブル
0：CC3 割り込みは無効です。
1：CC3 割り込みは有効です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 2 **CC2IE**：キャプチャ／比較 2 割り込みイネーブル
0：CC2 割り込みは無効です。
1：CC2 割り込みは有効です。

ビット 1 **CC1IE**：キャプチャ／比較 1 割り込みイネーブル
0：CC1 割り込みは無効です。
1：CC1 割り込みは有効です。

ビット 0 **UIE**：更新割り込みイネーブル
0：更新割り込みは無効です。
1：更新割り込みは有効です。

18.4.5 TIMx ステータスレジスタ（TIMx_SR）

アドレスオフセット：0x10

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み			CC4OF	CC3OF	CC2OF	CC1OF	予約済み		TIF	予約済み	CC4IF	CC3IF	CC2IF	CC1IF	UIF
			rc_w0	rc_w0	rc_w0	rc_w0			rc_w0		rc_w0	rc_w0	rc_w0	rc_w0	rc_w0

ビット 15:13　予約済み、リセット値に保持する必要があります。

ビット 12 **CC4OF**：キャプチャ／比較 4 オーバーキャプチャフラグ
CC1OF の説明を参照してください。

ビット 11 **CC3OF**：キャプチャ／比較 3 オーバーキャプチャフラグ
CC1OF の説明を参照してください。

ビット 10 **CC2OF**：キャプチャ／比較 2 オーバーキャプチャフラグ
CC1OF の説明を参照してください。

ビット 9 **CC1OF**：キャプチャ／比較 1 オーバーキャプチャフラグ
このフラグは、対応するチャネルが入力キャプチャモードに設定されているときのみ、ハードウェアによってセットされます。ソフトウェアで“0”を書き込むことによってクリアされます。
0：オーバキャプチャは検出されていません。
1：CC1IF フラグがすでにセットされているときに、カウンタの値が TIMx_CCR1 レジスタにキャプチャされました。

ビット 8:7　予約済み、リセット値に保持する必要があります。

ビット 6 **TIF**：トリガ割り込みフラグ
このフラグは、トリガイベント時（スレーブモードコントローラがゲートモード以外のすべてのモードで有効なときに、TRGI 入力でアクティブエッジが検出されたとき）にハードウェアによってセットされます。ゲートモードが選択されている場合、カウンタが開始または停止したときにセットされます。ソフトウェアでクリアされます。
0：トリガイベントは発生していません。
1：トリガ割り込みが保留中です。

ビット 5　予約済み、リセット値に保持する必要があります。

ビット 4 **CC4IF**：キャプチャ／比較 4 割り込みフラグ
CC1IF の説明を参照してください。

ビット 3 **CC3IF**：キャプチャ／比較 3 割り込みフラグ
CC1IF の説明を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 2 **CC2IF**：キャプチャ／比較 2 割り込みフラグ

CC1IF の説明を参照してください。

ビット 1 **CC1IF**：キャプチャ／比較 1 割り込みフラグ

チャネル CC1 が出力として設定されている場合：

このフラグは、カウンタが比較値と一致したときにハードウェアによってセットされます（センターアラインモードでは、例外状況もあります。TIMx_CR1 レジスタの CMS ビットの説明を参照してください）。ソフトウェアでクリアされます。

0：一致していません。

1：カウンタ TIMx_CNT の内容が TIMx_CCR1 レジスタの内容と一致しました。

TIMx_CCR1 の内容が TIMx_ARR の内容より大きいときには、カウンタオーバーフロー時（アップカウントおよびアップ/ダウンカウントモードの場合）、またはアンダーフロー時（ダウンカウントモードの場合）に CC1IF ビットはハイになります。

チャネル CC1 が入力として設定されている場合：

このビットは、キャプチャ時にハードウェアによってセットされます。ソフトウェアによって、または TIMx_CCR1 レジスタを読み出すことによってクリアされます。

0：入力キャプチャは発生していません。

1：カウンタの値が TIMx_CCR1 レジスタにキャプチャされました（IC1 で、選択された極性に一致するエッジが検出されました）。

ビット 0 **UIF**：更新割り込みフラグ

このビットは、更新イベント時にハードウェアによってセットされます。ソフトウェアでクリアされます。

0：更新は発生していません。

1：更新割り込みが保留中です。このビットは、レジスタが以下で更新されたときにハードウェアによってセットされます。

- -TIMx_CR1 レジスタの UDIS=0 であり、オーバーフローまたはアンダーフロー時（TIM2 から TIM5）。
- -TIMx_CR1 レジスタの URS=0 かつ UDIS=0 であり、TIMx_EGR レジスタの UG ビットを使用して、CNT がソフトウェアによって再初期化されたとき。

  TIMx_CR1 レジスタの URS=0 かつ UDIS=0 であり、トリガイベントによって CNT が再初期化されたとき（同期制御レジスタの説明を参照）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

18.4.6 TIMx イベント生成レジスタ（TIMx_EGR）

アドレスオフセット：0x14

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み									TG	予約済み	CC4G	CC3G	CC2G	CC1G	UG
									w		w	w	w	w	w

ビット 15:7　予約済みであり、リセット値に保持する必要があります。

ビット 6　**TG**：トリガ生成

このビットは、イベントを生成するためにソフトウェアでセットされ、ハードウェアによって自動的にクリアされます。
0：影響なし。
1：TIMx_SR レジスタの TIF フラグがセットされます。有効な場合は、関連する割り込みまたは DMA 転送が発生します。

ビット 5　予約済みであり、リセット値に保持する必要があります。

ビット 4　**CC4G**：キャプチャ／比較 4 イベント生成

CC1G の説明を参照してください。

ビット 3　**CC3G**：キャプチャ／比較 3 イベント生成

CC1G の説明を参照してください。

ビット 2　**CC2G**：キャプチャ／比較 2 イベント生成

CC1G の説明を参照してください。

ビット 1　**CC1G**：キャプチャ／比較 1 生成

このビットは、イベントを生成するためにソフトウェアでセットされ、ハードウェアによって自動的にクリアされます。
0：影響なし。
1：チャネル 1 でキャプチャ／比較イベントが生成されます。
チャンネル CC1 が出力として設定されている場合：
CC1IF フラグがセットされ、対応する割り込みまたは DMA リクエストが送信されます（有効な場合）。
チャネル CC1 が入力として設定されている場合：
カウンタの現在値が TIMx_CCR1 レジスタにキャプチャされます。CC1IF フラグがセットされ、対応する割り込みまたは DMA リクエストが送信されます（有効な場合）。CC1IF フラグがすでにハイの場合、CC1OF フラグがセットされます。

ビット 0　**UG**：更新生成

このビットは、ソフトウェアでセットでき、ハードウェアによって自動的にクリアされます。
0：影響なし。
1：カウンタを再初期化し、レジスタの更新を生成します。プリスケーラカウンタもクリアされます（プリスケーラ比は変化しません）。センターアラインモードが選択されている場合、または、DIR=0（カウントアップ）の場合、カウンタはクリアされます。そうでない場合、DIR=1（カウントダウン）であれば、自動再ロード値（TIMx_ARR）をとります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

18.4.7 TIMx およびキャプチャ／比較モードレジスタ 1（TIMx_CCMR1）

アドレスオフセット：0x18

リセット値：0x0000

チャンネルは、入力（キャプチャモード）または出力（比較モード）で使用できます。チャネルの方向は対応する CCxS ビットで定まります。このレジスタの他のビットはすべて、入力モードと出力モードで異なる機能を持ちます。特定のビットについて、OCxx は、チャネルが出力設定のときの機能を示し、ICxx は、チャネルが入力設定のときの機能を示します。したがって、同じビットが入力ステージと出力ステージで異なる意味を持つことに注意する必要があります。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OC2CE	OC2M[2:0]			OC2PE	OC2FE	CC2S[1:0]		OC1CE	OC1M[2:0]			OC1PE	OC1FE	CC1S[1:0]	
IC2F[3:0]				IC2PSC[1:0]				IC1F[3:0]				IC1PSC[1:0]			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

出力比較モード

ビット 15 **OC2CE :** 出力比較 2 クリアイネーブル

ビット 14:12 **OC2M[2:0]**：出力比較 2 モード

ビット 11 **OC2PE**：出力比較 2 プリロードイネーブル

ビット 10 **OC2FE**：出力比較 2 高速イネーブル

ビット 9:8 **CC2S[1:0]**：キャプチャ／比較 2 選択

このビットフィールドは、チャンネルの方向（入力／出力）と、使用される入力を定義します。
00：CC2 チャネルは出力として設定されます。
01：CC2 チャネルは入力として設定され、IC2 は TI2 に配置されます。
10：CC2 チャネルは入力として設定され、IC2 は TI1 に配置されます。
11：CC2 チャネルは入力として設定され、IC2 は TRC に配置されます。このモードは、TS ビット（TIMx_SMCR レジスタ）で内部トリガ入力が選択されている場合のみ機能します。

注： CC2S ビットは、チャネルがオフ（TIMx_CCER レジスタの CC2E=0）のときにのみ書き込み可能です。

ビット 7 **OC1CE :** 出力比較 1 クリアイネーブル

OC1CE：出力比較 1 クリアイネーブル
0：OC1Ref は ETRF 入力の影響を受けません。
1：OC1Ref は ETRF 入力のハイレベルが検出されるとクリアされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 6:4 **OC1M**：出力比較 1 モード

これらのビットは、OC1 および OC1N が導き出される出力基準信号 OC1REF の動作を定義します。OC1REF はアクティブハイですが、OC1 および OC1N のアクティブレベルは CC1P および CC1NP ビットに依存します。

000：停止- 出力比較レジスタ TIMx_CCR1 とカウンタ TIMx_CNT との間の比較結果は出力に影響しません（このモードはタイミングベースを生成するために使用されます）。

001：一致時にチャネル 1 をアクティブレベルに設定します。OC1REF 信号は、カウンタ TIMx_CNT がキャプチャ／比較レジスタ 1（TIMx_CCR1）と一致したときに、強制的にハイになります。

010：一致時にチャネル 1 を非アクティブレベルに設定します。OC1REF 信号は、カウンタ TIMx_CNT がキャプチャ／比較レジスタ 1（TIMx_CCR1）と一致したときに、強制的にローになります。

011：反転 - TIMx_CNT = TIMx_CCR1 のとき、OC1REF は反転します。

100：強制非アクティブレベル - OC1REF は強制的にローになります。

101：強制アクティブレベル - OC1REF は強制的にハイになります。

110：PWM モード 1 - カウントアップ時、チャネル 1 は、TIMx_CNT < TIMx_CCR1 の場合はアクティブに、そうでない場合は非アクティブになります。カウントダウン時、チャネル 1 は、TIMx_CNT > TIMx_CCR1 の場合は非アクティブ（OC1REF=“0”）に、そうでない場合はアクティブ（OC1REF=“1”）になります。

111：PWM モード 2 - カウントアップ時、チャネル 1 は、TIMx_CNT < TIMx_CCR1 の場合は非アクティブに、そうでない場合はアクティブになります。カウントダウン時、チャネル 1 は、TIMx_CNT > TIMx_CCR1 の場合はアクティブに、そうでない場合は非アクティブになります。

注： ***PWM モード 1 または 2 では、比較結果が変化したとき、または出力比較モードが停止モードから PWM モードに変更されたときにのみ、OC1REF のレベルが変化します。***

ビット 3 **OC1PE**：出力比較 1 プリロードイネーブル

0：TIMx_CCR1 のプリロードレジスタは無効です。TIMx_CCR1 は、いつでも書き込み可能であり、新しい値はただちに有効になります。

1：TIMx_CCR1 のプリロードレジスタは有効です。読み書きはプリロードレジスタに対して行われます。TIMx_CCR1 プリロード値は、更新イベントのたびにアクティブレジスタにロードされます。

注： ***1: これらのビットは、LOCK レベル 3 がプログラムされていて（TIMx_BDTR レジスタの LOCK ビット）、CC1S=00 （チャネルは出力に設定）のときには、変更できません。***

2:PWM モードは、ワンパルスモード（TIMx_CR1 レジスタの OPM ビットがセットされている）のときにのみ、プリロードレジスタを検証せずに使用できます。そうでない場合、動作は保証されません。

ビット 2 **OC1FE**：出力比較 1 高速イネーブル

このビットは、トリガ入力のイベントから CC 出力への影響の伝播を加速するために使用されます。

0：CC1 の動作は、トリガがオンのときでも、カウンタと CCR1 の値に依存して、通常どおりに動作します。トリガ入力のエッジ発生から CC1 出力が有効になるまでの最小遅延は、5 クロックサイクルです。

1：トリガ入力のアクティブエッジは、CC1 出力に対して、比較一致のように働きます。このような場合、OC は、比較結果に関係なく、比較レベルにセットされます。トリガ入力をサンプリングし、CC1 出力を有効にするまでの遅延は、3 クロックサイクルに短縮されます。OCFE は、チャネルが PWM1 または PWM2 モードに設定されている場合のみ機能します。

ビット 1:0 **CC1S**：キャプチャ／比較 1 選択

このビットフィールドは、チャネルの方向（入力／出力）と、使用される入力を定義します。

00：CC1 チャンネルは出力として設定されます。

01：CC1 チャンネルは入力として設定され、IC1 は TI1 に配置されます。

10：CC1 チャネルは入力として設定され、IC1 は TI2 に配置されます。

11：CC1 チャンネルは入力として設定され、IC1 は TRC に配置されます。このモードは、TS ビット（TIMx_SMCR レジスタ）で内部トリガ入力が選択されている場合のみ機能します。

注： ***CC1S ビットは、チャネルがオフ（TIMx_CCER レジスタで CC1E=0）のときにのみ書き込み可能です。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

入力キャプチャモード

ビット 15:12 **IC2F**：入力キャプチャ 2 フィルタ

ビット 11:10 **IC2PSC[1:0]**：入力キャプチャ 2 プリスケーラ

ビット 9:8 **CC2S**：キャプチャ／比較 2 選択

このビットフィールドは、チャネルの方向（入力／出力）と、使用される入力を定義します。
00：CC2 チャネルは出力として設定されます。
01：CC2 チャネルは入力として設定され、IC2 は TI2 に配置されます。
10：CC2 チャネルは入力として設定され、IC2 は TI1 に配置されます。
11：CC2 チャネルは入力として設定され、IC2 は TRC に配置されます。このモードは、TS ビット（TIMx_SMCR レジスタ）で内部トリガ入力が選択されている場合のみ機能します。

注： CC2S ビットは、チャネルがオフ（TIMx_CCER レジスタの CC2E=0）のときにのみ書き込み可能です。

ビット 7:4 **IC1F**：入力キャプチャ 1 フィルタ

このビットフィールドは、TI1 入力をサンプリングするために使用される周波数と、TI1 に適用されるデジタルフィルタの長さを定義します。デジタルフィルタはイベントカウンタでできていて、出力に有効な変化をもたらすには N 個のイベント発生が必要です。

0000：フィルタなし、サンプリングは f_{DTS} で行われます
0001：$f_{SAMPLING}=f_{CK_INT}$、N=2
0010：$f_{SAMPLING}=f_{CK_INT}$、N=4
0011：$f_{SAMPLING}=f_{CK_INT}$、N=8
0100：$f_{SAMPLING}=f_{DTS}/2$、N=6
0101：$f_{SAMPLING}=f_{DTS}/2$、N=8
0110：$f_{SAMPLING}=f_{DTS}/4$、N=6
0111：$f_{SAMPLING}=f_{DTS}/4$、N=8
1000：$f_{SAMPLING}=f_{DTS}/8$、N=6
1001：$f_{SAMPLING}=f_{DTS}/8$、N=8
1010：$f_{SAMPLING}=f_{DTS}/16$、N=5
1011：$f_{SAMPLING}=f_{DTS}/16$、N=6
1100：$f_{SAMPLING}=f_{DTS}/16$、N=8
1101：$f_{SAMPLING}=f_{DTS}/32$、N=5
1110：$f_{SAMPLING}=f_{DTS}/32$、N=6
1111：$f_{SAMPLING}=f_{DTS}/32$、N=8

注： 現在のシリコンリビジョンでは、ICxF[3:0]=1、2 または 3 の場合、f_{DTS} は式内で CK_INT により置き換えられます。

ビット 3:2 **IC1PSC**：入力キャプチャ 1 プリスケーラ

このビットフィールドは、CC1 入力（IC1）に作用するプリスケーラの分周比を定義します。
プリスケーラは、CC1E=0（TIMx_CCER レジスタ）になるとリセットされます。
00：プリスケーラなし。キャプチャは、キャプチャ入力のエッジが検出されるたびに行われます。
01：キャプチャは、2 イベントごとに行われます。
10：キャプチャは、4 イベントごとに行われます。
11：キャプチャは、8 イベントごとに行われます。

ビット 1:0 **CC1S**：キャプチャ／比較 1 選択

このビットフィールドは、チャネルの方向（入力／出力）と、使用される入力を定義します。
00：CC1 チャネルは出力として設定されます。
01：CC1 チャネルは入力として設定され、IC1 は TI1 に配置されます。
10：CC1 チャネルは入力として設定され、IC1 は TI2 に配置されます。
11：CC1 チャネルは入力として設定され、IC1 は TRC に配置されます。このモードは、TS ビット（TIMx_SMCR レジスタ）で内部トリガ入力が選択されている場合のみ機能します。

注： CC1S ビットは、チャネルがオフ（TIMx_CCER レジスタで CC1E=0）のときにのみ書き込み可能です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

18.4.8 TIMx キャプチャ／比較モードレジスタ 2（TIMx_CCMR2）

アドレスオフセット：0x1C

リセット値：0x0000

上記の CCMR1 レジスタの説明を参照してください。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OC4CE	OC4M[2:0]			OC4PE	OC4FE	CC4S[1:0]		OC3CE	OC3M[2:0]			OC3PE	OC3FE	CC3S[1:0]	
IC4F[3:0]				IC4PSC[1:0]				IC3F[3:0]				IC3PSC[1:0]			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

出力比較モード

ビット 15 **OC4CE**：出力比較 4 クリアイネーブル

ビット 14:12 **OC4M**：出力比較 4 モード

ビット 11 **OC4PE**：出力比較 4 プリロードイネーブル

ビット 10 **OC4FE**：出力比較 4 高速イネーブル

ビット 9:8 **CC4S**：キャプチャ／比較 4 選択

このビットフィールドは、チャネルの方向（入力／出力）と、使用される入力を定義します。
00：CC4 チャネルは出力として設定されます。
01：CC4 チャネルは入力として設定され、IC4 は TI4 に配置されます。
10：CC4 チャネルは入力として設定され、IC4 は TI3 に配置されます。
11：CC4 チャネルは入力として設定され、IC4 は TRC に配置されます。このモードは、TS ビット（TIMx_SMCR レジスタ）で内部トリガ入力が選択されている場合のみ機能します。

注： CC4S ビットは、チャネルがオフ（TIMx_CCER レジスタの CC4E=0）のときにのみ書き込み可能です。

ビット 7 **OC3CE**：出力比較 3 クリアイネーブル

ビット 6:4 **OC3M**：出力比較 3 モード

ビット 3 **OC3PE**：出力比較 3 プリロードイネーブル

ビット 2 **OC3FE**：出力比較 3 高速イネーブル

ビット 1:0 **CC3S**：キャプチャ／比較 3 選択

このビットフィールドは、チャネルの方向（入力／出力）と、使用される入力を定義します。
00：CC3 チャネルは出力として設定されます。
01：CC3 チャネルは入力として設定され、IC3 は TI3 に配置されます。
10：CC3 チャネルは入力として設定され、IC3 は TI4 に配置されます。
11：CC3 チャネルは入力として設定され、IC3 は TRC に配置されます。このモードは、TS ビット（TIMx_SMCR レジスタ）で内部トリガ入力が選択されている場合のみ機能します。

注： CC3S ビットは、チャネルがオフ（TIMx_CCER レジスタの CC3E=0）のときにのみ書き込み可能です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

入力キャプチャモード

ビット 15:12 **IC4F**：入力キャプチャ 4 フィルタ

ビット 11:10 **IC4PSC**：入力キャプチャ 4 プリスケーラ

ビット 9:8 **CC4S**：キャプチャ／比較 4 選択

このビットフィールドは、チャネルの方向（入力／出力）と、使用される入力を定義します。
00：CC4 チャネルは出力として設定されます。
01：CC4 チャネルは入力として設定され、IC4 は TI4 に配置されます。
10：CC4 チャネルは入力として設定され、IC4 は TI3 に配置されます。
11：CC4 チャネルは入力として設定され、IC4 は TRC に配置されます。このモードは、TS ビット（TIMx_SMCR レジスタ）で内部トリガ入力が選択されている場合のみ機能します。

注： CC4S ビットは、チャネルがオフ（TIMx_CCER レジスタの CC4E=0）のときにのみ書き込み可能です。

ビット 7:4 **IC3F**：入力キャプチャ 3 フィルタ

ビット 3:2 **IC3PSC**：入力キャプチャ 3 プリスケーラ

ビット 1:0 **CC3S**：キャプチャ／比較 3 選択

このビットフィールドは、チャネルの方向（入力／出力）と、使用される入力を定義します。
00：CC3 チャネルは出力として設定されます。
01：CC3 チャネルは入力として設定され、IC3 は TI3 に配置されます。
10：CC3 チャネルは入力として設定され、IC3 は TI4 に配置されます。
11：CC3 チャネルは入力として設定され、IC3 は TRC に配置されます。このモードは、TS ビット（TIMx_SMCR レジスタ）で内部トリガ入力が選択されている場合のみ機能します。

注： CC3S ビットは、チャネルがオフ（TIMx_CCER レジスタの CC3E=0）のときにのみ書き込み可能です。

18.4.9 TIMx キャプチャ／比較イネーブルレジスタ （TIMx_CCER）

アドレスオフセット：0x20

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CC4NP	予約済み	CC4P	CC4E	CC3NP	予約済み	CC3P	CC3E	CC2NP	予約済み	CC2P	CC2E	CC1NP	予約済み	CC1P	CC1E
rw		rw	rw	rw		rw	rw	rw		rw	rw	rw		rw	rw

ビット 15 **CC4NP**：キャプチャ／比較 4 出力極性
CC1NP の説明を参照してください。

ビット 14 予約済み、リセット値に保持する必要があります。

ビット 13 **CC4P**：キャプチャ／比較 4 出力極性
CC1P の説明を参照してください。

ビット 12 **CC4E**：キャプチャ／比較 4 出力イネーブル
CC1E の説明を参照してください。

ビット 11 **CC3NP**：キャプチャ／比較 3 出力極性
CC1NP の説明を参照してください。

ビット 10 予約済み、リセット値に保持する必要があります。

ビット 9 **CC3P**：キャプチャ／比較 3 出力極性
CC1P の説明を参照してください。

ビット 8 **CC3E**：キャプチャ／比較 3 出力イネーブル
CC1E の説明を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 7 **CC2NP**：キャプチャ／比較 2 出力極性
CC1NP の説明を参照してください。

ビット 6 予約済み、リセット値に保持する必要があります。

ビット 5 **CC2P**：キャプチャ／比較 2 出力極性
CC1P の説明を参照してください。

ビット 4 **CC2E**：キャプチャ／比較 2 出力イネーブル
CC1E の説明を参照してください。

ビット 3 **CC1NP**：キャプチャ／比較 1 出力極性
CC1 チャネルが出力として設定されている場合：
この場合、CC1NP はクリアされたままでなければなりません。
CC1 チャネルが入力として設定されている場合：
このビットは、TI1FP1/TI2FP1 の極性を定義するために CC1P と組み合わせて使用されます。CCIP の説明を参照してください。

ビット 2 予約済み、リセット値に保持する必要があります。

ビット 1 **CC1P**：キャプチャ／比較 1 出力極性
CC1 チャネルが出力として設定されている場合：
0：OC1 アクティブハイです。
1：OC1 はアクティブローです。
CC1 チャネルが入力として設定されている場合：
CC1NP/CC1P ビットは、トリガまたはキャプチャ操作の TI1FP1 および TI2FP1 の極性を選択します。
00：非反転/立ち上がりエッジ
回路は TIxFP1 の立ち上がりエッジに反応し（キャプチャモード、リセットモードでのトリガ、外部クロックモード、またはトリガモード）、TIxFP1 は反転されません（ゲートモードでのトリガ、エンコーダモード）。
01：反転／立下がりエッジ
回路は TIxFP1 の立ち下がりエッジに反応し（キャプチャモード、リセットモードでのトリガ、外部クロックモード、またはトリガモード）、TIxFP1 は反転されます（ゲートモードでのトリガ、エンコーダモード）。
10：予約済み。この設定は使用しないでください。
11：非反転／両エッジ
回路は TIxFP1 の立ち上がりエッジと立ち下がりエッジの両方に反応し（キャプチャモード、リセットモードでのトリガ、外部クロックモード、またはトリガモード）、TIxFP1 は反転されません（ゲートモードでのトリガ）。この設定をエンコーダモードに使用することはできません。

ビット 0 **CC1E**：キャプチャ／比較 1 出力イネーブル
CC1 チャネルが出力として設定されている場合：
0：オフ - OC1 は有効ではありません。
1：オン - OC1 信号は、対応する出力ピンに出力されます。
CC1 チャネルが入力として設定されている場合：
このビットによって、カウンタ値のキャプチャがキャプチャ／比較レジスタ 1（TIMx_CCR1）実際に行われるかどうかが決まります。
0：キャプチャは無効です。
1：キャプチャは有効です。

表 98. 標準 OCx チャネルの出力制御ビット

CCxE ビット	OCx 出力状態
0	出力無効（OCx=0、OCx_EN=0）
1	OCx=OCxREF + 極性、OCx_EN=1

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

注： 標準 OCx チャネルに接続されている外部 IO ピンの状態は、OCx チャネルの状態と、GPIO レジスタに依存します。

18.4.10 TIMx カウンタ（TIMx_CNT）

アドレスオフセット：0x24

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CNT[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 CNT[15:0]：カウンタ値

18.4.11 TIMx プリスケーラ（TIMx_PSC）

アドレスオフセット：0x28

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PSC[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **PSC[15:0]**：プリスケーラ値

カウンタクロック周波数 CK_CNT は、f_{CK_PSC} /（PSC[15:0] + 1）です。

PSC には、更新イベントごとにアクティブプリスケーラレジスタにロードされる値を格納しています。

18.4.12 TIMx 自動再ロードレジスタ（TIMx_ARR）

アドレスオフセット：0x2C

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ARR[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 ARR[15:0]：自動再ロード値

ARR は、実際の自動再ロードレジスタにロードされる値です。

ARR の更新と動作の詳細については、*セクション 18.3.1：タイムベースユニット（592 ページ）*を参照してください。

自動再ロード値が null のときには、カウンタはブロックされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

18.4.13　TIMx キャプチャ／比較レジスタ 1（TIMx_CCR1）

アドレスオフセット：0x34

リセット値：0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CCR1[31:16]（タイマに依存）															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR1[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:16　**CCR1[31:16]**：キャプチャ／比較 1 値上位ビット（TIM2 および TIM5）

ビット 15:0　CCR1[15:0]：キャプチャ／比較 1 値下位ビット

CC1 チャネルが出力として設定されている場合：
CCR1 は、実際のキャプチャ／比較 1 レジスタにロードされる値（プリロード値）です。
TIMx_CCMR1 レジスタの OC1PE ビットでプリロード機能が選択されていない場合、この値は不変にロードされます。そうでない場合、プリロード値は、更新イベントが発生したときに、アクティブキャプチャ／比較 1 レジスタにコピーされます。
アクティブキャプチャ／比較レジスタは、カウンタ TIMx_CNT と比較されて、OC1 出力に送信される値を保持しています。

CC1 チャネルが入力として設定されている場合：
CCR1 は、最後の入力キャプチャ 1 イベント（IC1）によって転送されたカウンタ値です。

18.4.14　TIMx キャプチャ／比較レジスタ 2（TIMx_CCR2）

アドレスオフセット：0x38

リセット値：0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CCR2[31:16]（タイマに依存）															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR2[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:16　**CCR2[31:16]**：キャプチャ／比較 2 値上位ビット（TIM2 および TIM5）

ビット 15:0　**CCR2[15:0]**：キャプチャ／比較 2 値下位ビット

CC2 チャネルが出力として設定されている場合：
CCR2 は、実際のキャプチャ／比較 2 レジスタにロードされる値（プリロード値）です。
TIMx_CCMR 1 レジスタの OC2PE ビットでプリロード機能が選択されていない場合、この値は不変にロードされます。そうでない場合、プリロード値は、更新イベントが発生したときに、アクティブキャプチャ／比較 2 レジスタにコピーされます。
アクティブキャプチャ／比較レジスタは、カウンタ TIMx_CNT と比較され、OC2 出力に送信される値を保持しています。
CC2 チャネルが入力として設定されている場合：
CCR2 は、最後の入力キャプチャ 2 イベント（IC2）によって転送されたカウンタ値です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

18.4.15 TIMx キャプチャ／比較レジスタ 3（TIMx_CCR3）

アドレスオフセット：0x3C

リセット値：0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CCR3[31:16]（タイマに依存）															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR3[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:16 **CCR3[31:16]**：キャプチャ／比較 3 値上位ビット（TIM2 および TIM5）

ビット 15:0 **CCR3[15:0]**：キャプチャ／比較 3 値下位ビット

CC3 チャネルが出力として設定されている場合：

CCR3 は、実際のキャプチャ／比較 3 レジスタにロードされる値（プリロード値）です。

TIMx_CCMR 2 レジスタの OC3PE ビットでプリロード機能が選択されていない場合、この値は不変にロードされます。そうでない場合、プリロード値は、更新イベントが発生したときに、アクティブキャプチャ／比較 3 レジスタにコピーされます。

アクティブキャプチャ／比較レジスタは、カウンタ TIMx_CNT と比較され、OC3 出力に送信される値を保持しています。

CC3 チャネルが入力として設定されている場合：

CCR3 は、最後の入力キャプチャ 3 イベント（IC3）によって転送されたカウンタ値です。

18.4.16 TIMx キャプチャ／比較レジスタ 4（TIMx_CCR4）

アドレスオフセット：0x40

リセット値：0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CCR4[31:16]（タイマに依存）															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR4[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:16 **CCR4[31:16]**：キャプチャ／比較 4 値上位ビット（TIM2 および TIM5）

ビット 15:0 **CCR4[15:0]**：キャプチャ／比較値下位ビット

CC4 チャネルが出力として設定されている場合（CC4Sビット）：

CCR4 は、実際のキャプチャ／比較 4 レジスタにロードされる値（プリロード値）です。

TIMx_CCMR 2 レジスタの OC4PE ビットでプリロード機能が選択されていない場合、この値は不変にロードされます。そうでない場合、プリロード値は、更新イベントが発生したときに、アクティブキャプチャ／比較 4 レジスタにコピーされます。

アクティブキャプチャ／比較レジスタは、カウンタ TIMx_CNT と比較され、OC4 出力に送信される値を保持しています。

CC4 チャネルが入力として設定されている場合（TIMx_CCMR4 レジスタの CC4S ビット）：

CCR4 は、最後の入力キャプチャ 4 イベント（IC4）によって転送されたカウンタ値です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

18.4.17 TIMx DMA 制御レジスタ（TIMx_DCR）

アドレスオフセット：0x48

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み			DBL[4:0]					予約済み			DBA[4:0]				
			rw	rw	rw	rw	rw				rw	rw	rw	rw	rw

ビット 15:13　予約済みであり、リセット値に保持する必要があります。

ビット 12:8　DBL[4:0]：DMA バースト長

この 5 ビットのベクタは、DMA 転送回数（タイマは、TIMx_DMAR アドレスに対して読み出しまたは書き込みアクセスが行われるときにバースト転送を認識します）を指定します。
00000：1 回転送
00001：2 回転送、
00010：3 回転送、
...
10001：18 回転送。

ビット 7:5　予約済みであり、リセット値に保持する必要があります。

ビット 4:0　DBA[4:0]：DMA ベースアドレス

この 5 ビットのベクタは、DMA 転送のベースアドレスを指定します（TIMx_DMAR アドレスを通じて読み出し／書き込みアクセスが行われるとき）。DBA は、TIMx_CR1 レジスタのアドレスから始まるオフセットとして定義されます。
例：
00000：TIMx_CR1
00001：TIMx_CR2
00010：TIMx_SMCR
...

例：次の転送を考えます：DBL = 7 回転送 かつDBA = TIMx_CR1。この場合、転送は、TIMx_CR1 アドレスから始めて、7 つのレジスタに対して行われます。

18.4.18 完全転送のTIMx DMA アドレス（TIMx_DMAR）

アドレスオフセット：0x4C

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DMAB[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0　DMAB[15:0]：DMA バーストアクセスレジスタ

DMAR レジスタへの読み出しまたは書き込み動作は、次のアドレスにあるレジスタへのアクセスとなります：

（TIMx_CR1 アドレス）+ （DBA + DMA インデックス）x 4

ここで、TIMx_CR1 アドレスは制御レジスタ 1 のアドレスであり、DBA は TIMx_DCR レジスタで設定された DMA ベースアドレスであり、DMA インデックスはDMA 転送によって自動的に制御され、範囲は 0 から DBL です（DBL はTIMx_DCR 内で設定）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

DMA バースト機能の使用例

この例では、タイマ DMA バースト機能を使ってCCRx レジスタ（x = 2、3、4）値を更新します。この時、DMA で CCRx レジスタへハーフワード転送します。

これは次のステップに従って行います。

1. 対応するDMA チャンネルを次のように設定します:
   - DMA チャンネルペリフェラルアドレスを、DMAR レジスタアドレスとします。
   - DMA チャンネルメモリアドレスを、DMA によりCCRx レジスタへ転送するデータを格納するRAM 内のバッファアドレスとします。
   - 転送データ数 = 3 とします（下の注を参照）。
   - サーキュラモードを無効にします。
2. DBA とDBL のビットフィールドを次のように設定することにより、DCR レジスタを設定します：
   DBL = 3 回転送、DBA = 0xE。
3. TIMx 更新 DMA リクエストを有効にします（DIER レジスタのUDE ビットをセット）。
4. TIMx を有効化
5. DMA チャンネルを有効化

注： ***この例は、各CCRx レジスタが 1 回更新される場合です。たとえば、各 CCRx レジスタが 2 回更新される場合は、転送データ数は 6 になります。データ 1、データ 2、データ 3、データ 4、データ 5、データ 6 を格納する RAM のバッファを例にします。データは次のように CCRx レジスタへ転送されます。すなわち、最初の更新 DMA リクエストで、データ 1が CCR2 へ転送され、データ 2 が CCR3 へ、データ 3 が CCR4 へそれぞれ転送され、2番目の更新 DMA リクエストで、データ 4 が CCR2 へ、データ 5 が CCR3 へ、データ 6 が CCR4 へそれぞれ転送されます。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

18.4.19　TIM2 オプションレジスタ （TIM2_OR）

アドレスオフセット：0x50

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み				ITR1_RMP		予約済み									
				rw	rw										

ビット 15:12　予約済み、リセット値に保持する必要があります。

ビット 11:10　**ITR1_RMP**：内部トリガ 1 再配置

ソフトウェアでセット／クリアされます。

00：TIM8_TRGOUT

01：PTP トリガ出力は TIM2_ITR1 に接続されます。

10：OTG FS SOF は TIM2_ITR1 入力に接続されます。

11：OTG HS SOF は TIM2_ITR1 入力に接続されます。

ビット 9:0　予約済み、リセット値に保持する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

18.4.20 TIM5 オプションレジスタ （TIM5_OR）

アドレスオフセット：0x50

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								TI4_RMP		予約済み					
								rw	rw						

ビット 15:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:6 **TI4_RMP**：タイマ 入力 4 再配置

ソフトウェアでセット／クリアされます。

00：TIM5 チャンネル 4 を GPIO に接続：データシートの代替機能配置表を参照してください。

01：LSI の内部クロックは較正のために TIM5_CH4 入力へ接続

10：LSE の外部クロックは較正のために TIM5_CH4 入力へ接続

11：RTC ウェイクアップ割り込みは較正のために TIM5_CH4 入力へ接続

ウェイクアップ割り込みを有効化する必要があります。

ビット 5:0 予約済みであり、リセット値に保持する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

18.4.21 TIMx レジスタマップ

TIMx レジスタは、次の表のようにマップされます。

表 99. TIM2 から TIM5 のレジスタマップとリセット値

Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	TIMx_CR1	予約済み																						CKD [1:0]		ARPE	CMS [1:0]		DIR	OPM	URS	UDIS	CEN
	リセット値																							0	0	0	0	0	0	0	0	0	0
0x04	TIMx_CR2	予約済み																								TI1S	MMS[2:0]			CCDS	予約済み		
	リセット値																									0	0	0	0	0			
0x08	TIMx_SMCR	予約済み																ETP	ECE	ETPS [1:0]		ETF[3:0]				MSM	TS[2:0]			予約済み	SMS[2:0]		
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0		0	0	0
0x0C	TIMx_DIER	予約済み																	TDE	COMDE	CC4DE	CC3DE	CC2DE	CC1DE	UDE	予約済み	TIE	予約済み	CC4IE	CC3IE	CC2IE	CC1IE	UIE
	リセット値																		0	0	0	0	0	0	0		0		0	0	0	0	0
0x10	TIMx_SR	予約済み																			CC4OF	CC3OF	CC2OF	CC1OF	予約済み		TIF	予約済み	CC4IF	CC3IF	CC2IF	CC1IF	UIF
	リセット値																				0	0	0	0			0		0	0	0	0	0
0x14	TIMx_EGR	予約済み																									TG	予約済み	CC4G	CC3G	CC2G	CC1G	UG
	リセット値																										0		0	0	0	0	0
0x18	TIMx_CCMR1 出力比較モード	予約済み																OC2CE	OC2M [2:0]			OC2PE	OC2FE	CC2S [1:0]		OC1CE	OC1M [2:0]			OC1PE	OC1FE	CC1S [1:0]	
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	TIMx_CCMR1 入力キャプチャモード	予約済み																IC2F[3:0]				IC2 PSC [1:0]		CC2S [1:0]		IC1F[3:0]				IC1 PSC [1:0]		CC1S [1:0]	
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x1C	TIMx_CCMR2 出力比較モード	予約済み																O24CE	OC4M [2:0]			OC4PE	OC4FE	CC4S [1:0]		OC3CE	OC3M [2:0]			OC3PE	OC3FE	CC3S [1:0]	
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	TIMx_CCMR2 入力キャプチャモード	予約済み																IC4F[3:0]				IC4 PSC [1:0]		CC4S [1:0]		IC3F[3:0]				IC3 PSC [1:0]		CC3S [1:0]	
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x20	TIMx_CCER	予約済み																CC4NP	予約済み	CC4P	CC4E	CC3NP	予約済み	CC3P	CC3E	CC2NP	予約済み	CC2P	CC2E	CC1NP	予約済み	CC1P	CC1E
	リセット値																	0		0	0	0		0	0	0		0	0	0		0	0
0x24	TIMx_CNT	CNT[31:16] （TIM2 および TIM5 のみ。他のタイマについては予約済み。）																CNT[15:0]															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x28	TIMx_PSC	予約済み																PSC[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x2C	TIMx_ARR	ARR[31:16] （TIM2 および TIM5 のみ。他のタイマについては予約済み。）																ARR[15:0]															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x30	予約済み																																
0x34	TIMx_CCR1	CCR1[31:16] （TIM2 および TIM5 のみ。他のタイマについては予約済み。）																CCR1[15:0]															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 99. TIM2 から TIM5 のレジスタマップとリセット値（続き）

Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x38	TIMx_CCR2	CCR2[31:16]（TIM2 および TIM5 のみ。他のタイマについては予約済み。）																CCR2[15:0]															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x3C	TIMx_CCR3	CCR3[31:16]（TIM2 および TIM5 のみ。他のタイマについては予約済み。）																CCR3[15:0]															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x40	TIMx_CCR4	CCR4[31:16]（TIM2 および TIM5 のみ。他のタイマについては予約済み。）																CCR4[15:0]															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x44	予約済み																																
0x48	TIMx_DCR	予約済み																			DBL[4:0]					予約済み		DBA[4:0]					
	リセット値																				0	0	0	0	0			0	0	0	0	0	0
0x4C	TIMx_DMAR	予約済み																DMAB[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x50	TIM2_OR	予約済み																予約済み				ITR1_RMP		予約済み									
	リセット値																					0	0										
0x50	TIM5_OR	予約済み																予約済み								IT4_RMP		予約済み					
	リセット値																									0	0						

レジスタ境界アドレスについては、*表 2（64 ページ）*を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

19 汎用タイマ（TIM9～TIM14）

このセクションは、特に指定がない限り、STM32F4xx ファミリ全体に適用されます。

19.1 TIM9～TIM14の概要

TIM9～TIM14汎用タイマは、プログラマブルなプリスケーラによって駆動される 16 ビット自動再ロードカウンタで構成されています。

これらのカウンタは、入力信号パルス幅の測定（入力キャプチャ）や出力波形の生成（出力比較、PWM）など様々な目的に使用できます。

パルス幅と波形の周期は、タイマプリスケーラと RCC クロックコントローラプリスケーラを使用して、数マイクロ秒から数ミリ秒までの範囲で変化させることができます。

タイマ TIM9～TIM14 は完全に独立していて、いかなるリソースも共用しません。これらのカウンタは *セクション 19.3.12* に示すように、相互に同期させることができます。

19.2 TIM9～TIM14 の主な機能

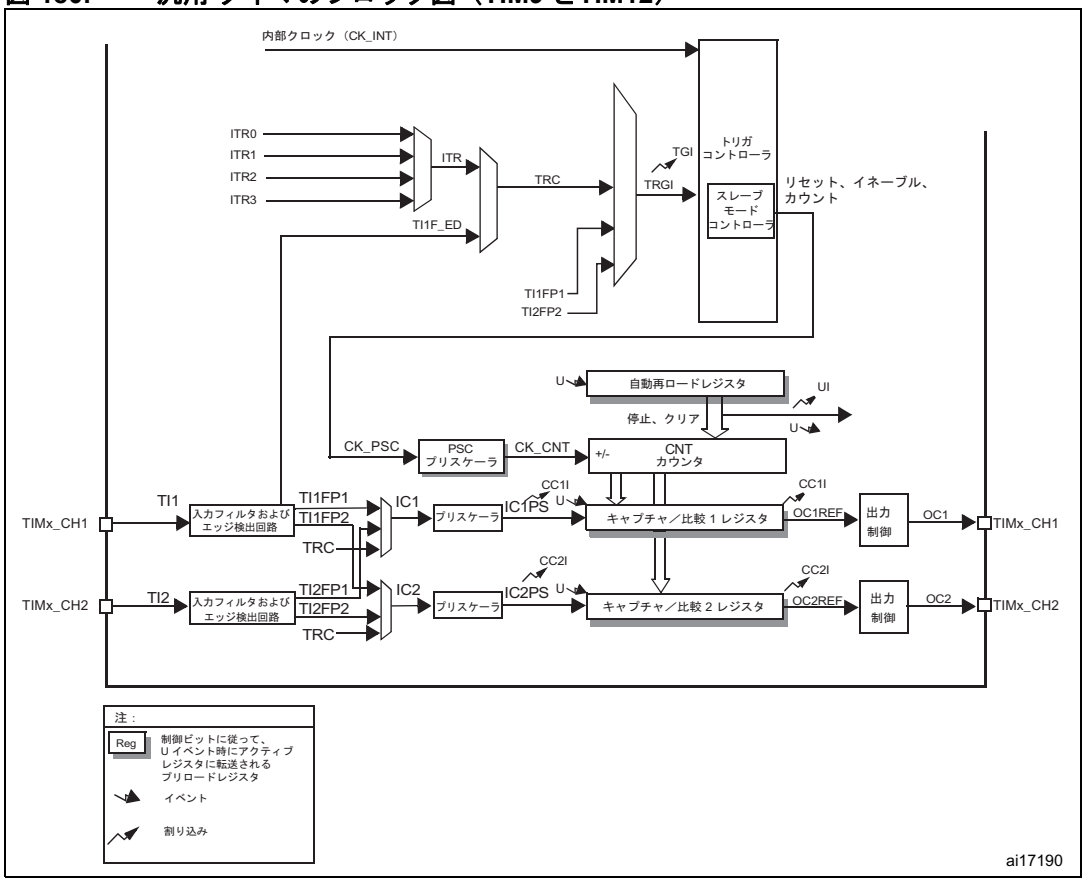
19.2.1 TIM9/TIM12 の主な機能

汎用タイマ TIM9～TIM14 には次の特長があります：

- 16 ビット自動再ロードアップカウンタ（小容量デバイスおよび中容量デバイス）
- カウンタクロック周波数を 1 から 65536 の間の値で分周するために使用される 16 ビットプログラマブルプリスケーラ（動作中に変更可能）。
- 次の機能を持つ、最大 2 つの独立チャネル。
  - 入力キャプチャ
  - 出力比較
  - PWM 生成（エッジアラインモード）
  - ワンパルスモード出力
- 外部信号でタイマを制御し、複数のタイマを相互接続する同期回路
- 以下のイベントによる割り込み生成：
  - 更新：カウンタオーバーフロー、カウンタの初期化（ソフトウェアまたは内部トリガによって）
  - トリガイベント（内部トリガによるカウンタの開始、停止、初期化、またはカウント）
  - 入力キャプチャ
  - 出力比較

この資料は、STMicroelectronics NV 並びにその子会社（以下 ST）が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 180. 汎用 タイマのブロック図（TIM9 とTIM12）



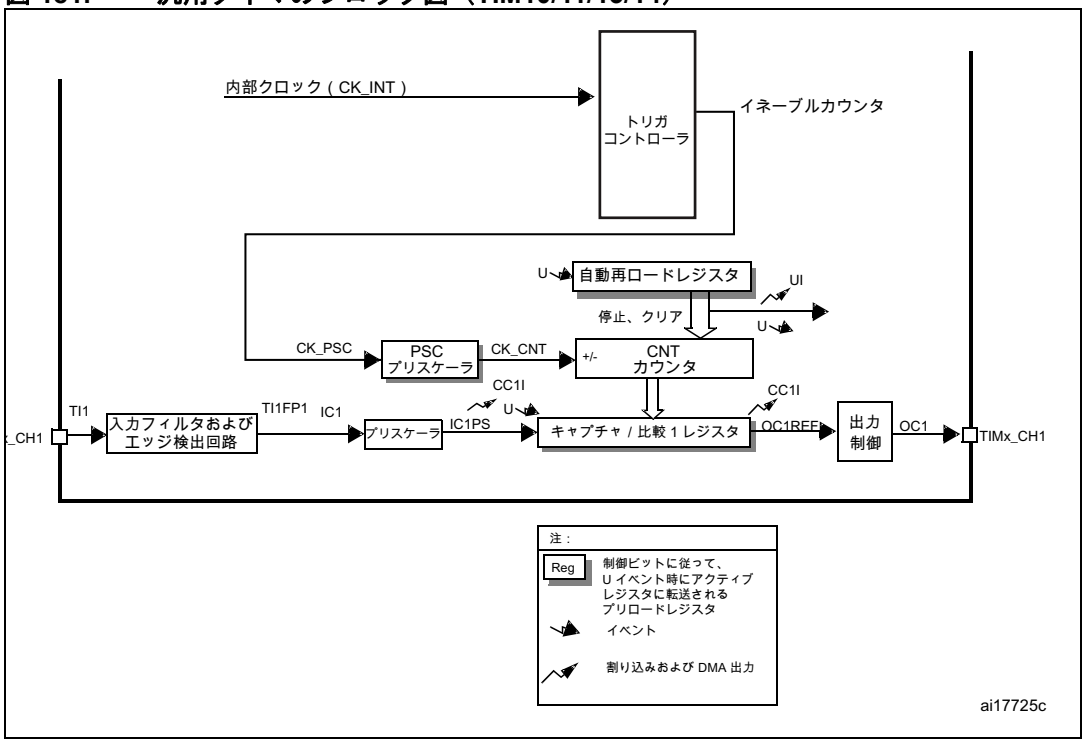
19.2.2 TIM10/TIM11 およびTIM13/TIM14の主な機能

汎用タイマ TIM10/TIM11 および TIM13/TIM14 には次の特長があります：

- 16 ビット自動再ロードアップカウンタ
- カウンタクロック周波数を 1 から 65536 の間の値で分周するために使用される 16 ビットプログラマブルプリスケーラ（動作中に変更可能）。
- 次の機能を持つ独立チャネル：
  - 入力キャプチャ
  - 出力比較
  - PWM 生成（エッジアラインモード）
  - ワンパルスモード出力
- 以下のイベントによる割り込み生成：
  - 更新：カウンタオーバーフロー、カウンタの初期化（ソフトウェアによる）
  - 入力キャプチャ
  - 出力比較

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 181. 汎用タイマのブロック図（TIM10/11/13/14）



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

19.3 TIM9～TIM14 の機能詳細

19.3.1 タイムベースユニット

タイマのメインブロックは、自動再ロードレジスタを持つ 16 ビットカウンタです。このカウンタはカウントアップします。

カウンタクロックはプリスケーラによって分周することができます。

カウンタ、自動再ロードレジスタ、プリスケーラレジスタは、ソフトウェアによる読み書きが可能です。カウンタの動作中も同様です。

タイムベースユニットには、次のレジスタで構成されます。

- カウンタレジスタ（TIMx_CNT）
- プリスケーラレジスタ（TIMx_PSC）
- 自動再ロードレジスタ（TIMx_ARR）

自動再ロードレジスタは、プリロードされます。自動再ロードレジスタの読み書きは、プリロードレジスタへのアクセスになります。プリロードレジスタの内容は、TIMx_CR1 レジスタの自動再ロードプリロードイネーブルビット（ARPE）に応じて、常時または更新イベント（UEV）ごとに、シャドウレジスタに転送されます。TIMx_CR1 レジスタの UDIS ビットが 0 である場合、更新イベントはカウンタがオーバーフローしたときに送信されます。また、ソフトウェアによって生成することもできます。更新イベントの生成については、各設定ごとに詳しく説明されています。

カウンタのクロックは、TIMx_CR1 レジスタのカウンタイネーブルビット（CEN）がセットされているときにのみ、プリスケーラ出力 CK_CNT から供給されます（カウンタの有効化の詳細については、スレーブモードコントローラの説明も参照してください）。

TIM x _CR1 レジスタの CEN ビットがセットされてから、カウンタがカウントを開始するまでに 1 クロックサイクルの遅延があることに注意してください。

プリスケーラの詳細

プリスケーラは、カウンタクロック周波数を 1～65536の間の値で分周することができます。16 ビットレジスタ（TIMx_PSC レジスタ）を使って制御される 16 ビットカウンタをベースとしています。この制御レジスタはバッファされているので、動作中でも変更できます。新たに指定された分周比は次の更新イベントで有効になります。

*図 182*と*図 183*は、分周比が動作中に変更されたときのカウンタの動作の例を示します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 182. プリスケーラ分周比が 1 から 2 に変化したときのカウンタのタイミング図

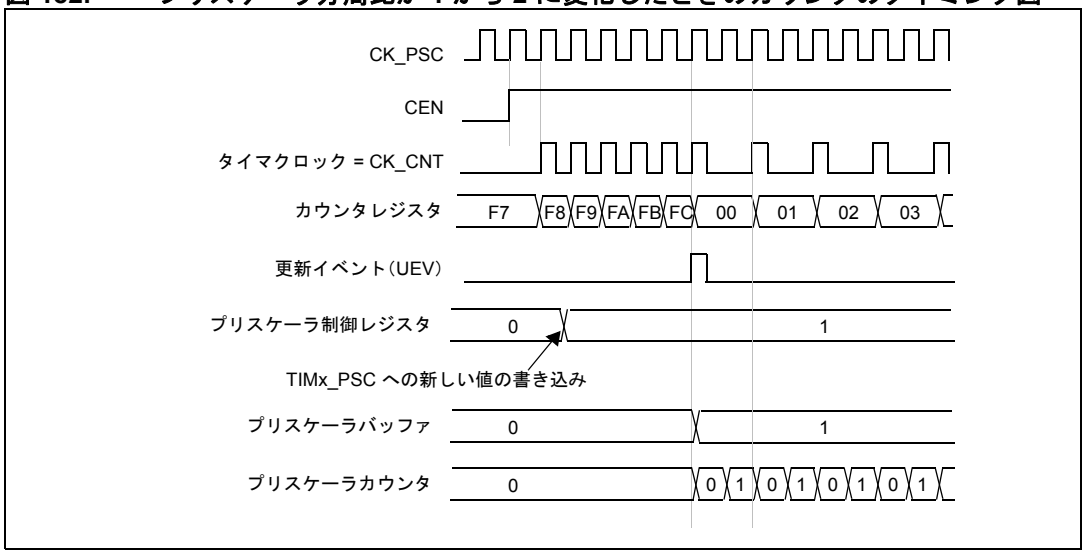
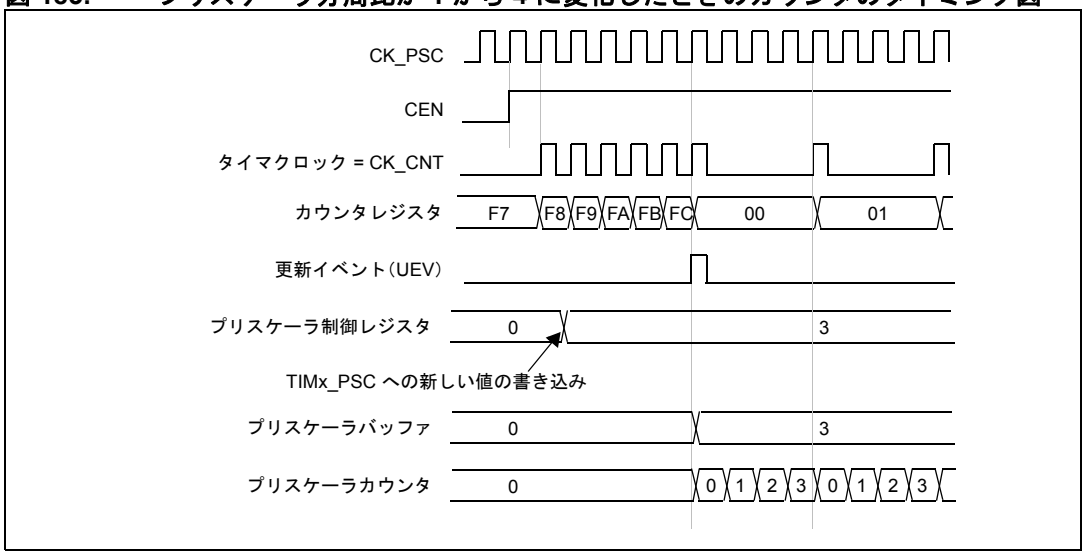


図 183. プリスケーラ分周比が 1 から 4 に変化したときのカウンタのタイミング図



19.3.2 カウンタモード

アップカウントモード

アップカウントモードでは、カウンタは 0 から自動再ロードレジスタの値（TIMx_ARR レジスタの内容）までカウントを行い、その後 0 からのカウントをリスタートし、同時にカウンタオーバーフローイベントを生成します。

（ソフトウェアによって、または TIM9 および TIM12 のスレーブモードコントローラを使用して）TIMx_EGRレジスタのUGビットをセットすることでも更新イベントが生成されます。

UEV イベントは、ソフトウェアで TIMx_CR1 レジスタの UDIS ビットをセットすることによって無効にできます。これは、プリロードレジスタに新しい値を書き込んでいるときにシャドウレジスタが更新されるのを防ぐためです。この後、UDIS ビットに 0 が書き込まれるまで、更新イベントは発生しません。ただし、プリスケーラのカウンタと同じく、カウンタは 0 からカウントをリスタートします（ただし、分周比は変化しません）。さらに、TIMx_CR1 レジスタの URS ビット（更新リクエスト

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

選択）がセットされている場合は、UG ビットをセットすると更新イベント UEV が生成されますが、UIF フラグはセットされません（したがって、割り込みは送信されません）。これは、キャプチャイベント時にカウンタをクリアしているときに、更新とキャプチャの両方の割り込みを生成するのを防ぐためです。

更新イベントが発生すると、すべてのレジスタが更新され、URS ビットに応じて、更新フラグ（TIMx_SR レジスタの UIF ビット）がセットされます。

- 自動再ロードシャドウレジスタは、プリロード値（TIMx_ARR）で更新されます。
- プリスケーラのバッファにはプリロード値（TIMx_PSC レジスタの内容）が再びロードされます。

以下の図は、TIMx_ARR = 0x36 のときの、さまざまなクロック周波数におけるカウンタの動作の例を示します。

図 184. 内部クロック分周比が 1 の場合のカウンタのタイミング図

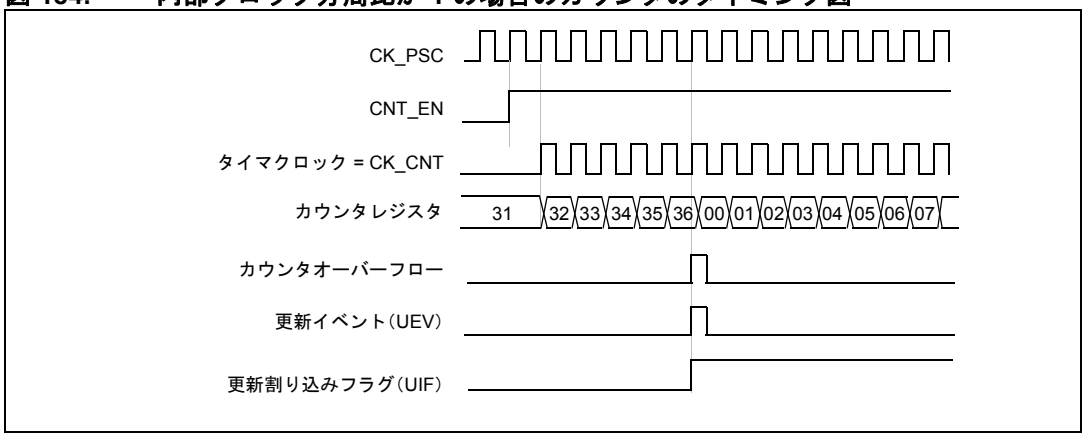
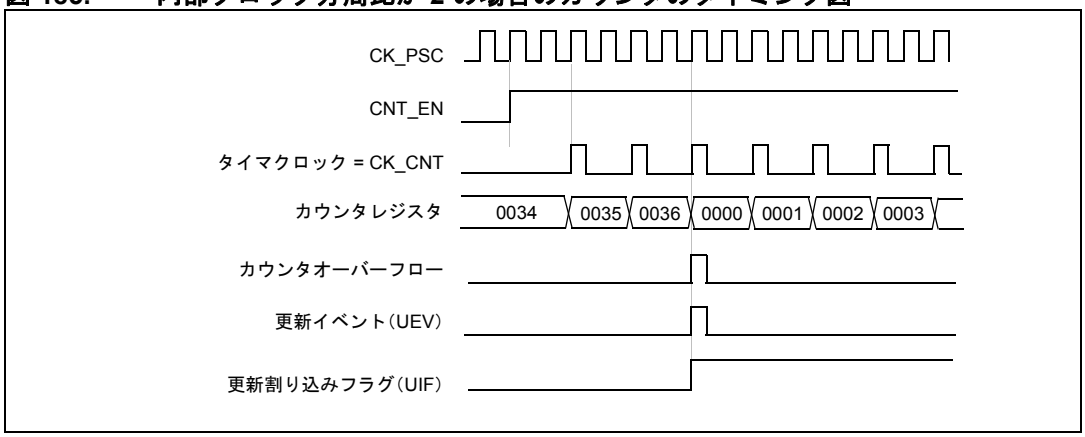


図 185. 内部クロック分周比が 2 の場合のカウンタのタイミング図



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 186. 内部クロック分周比が 4 の場合のカウンタのタイミング図

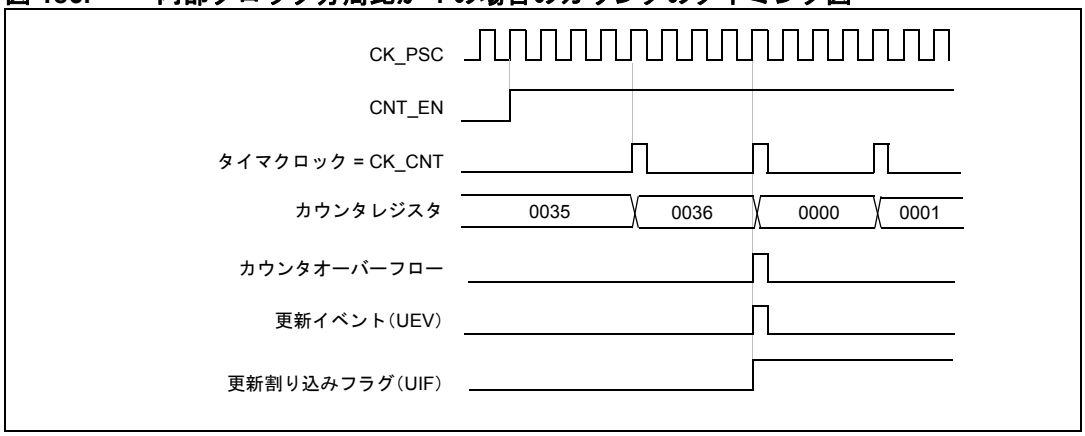


図 187. 内部クロック分周比が N の場合のカウンタのタイミング図

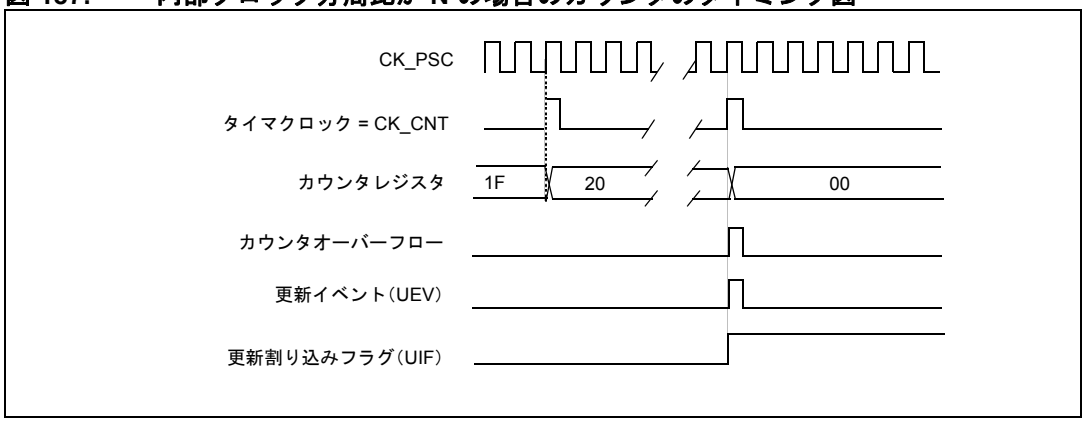
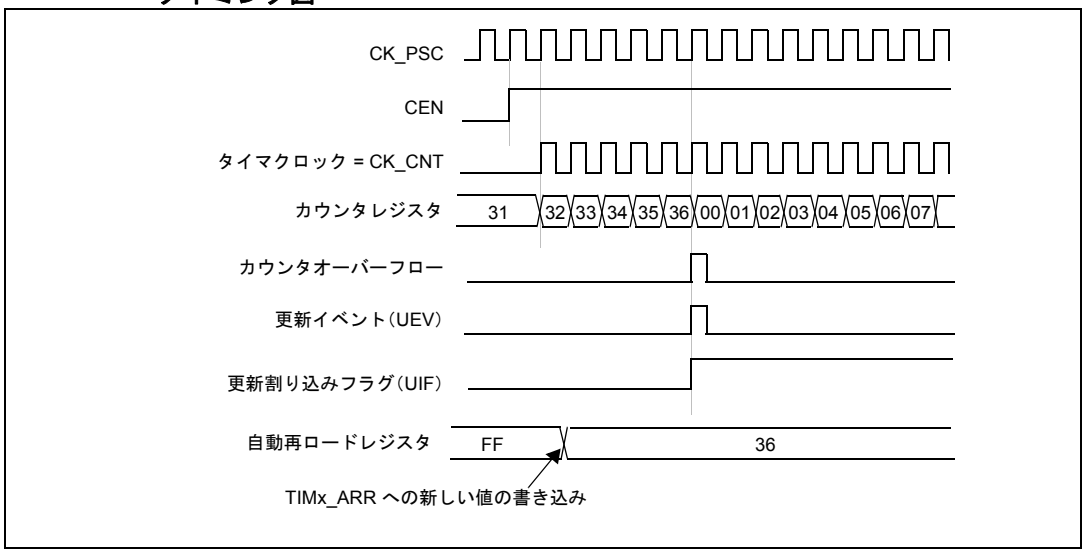
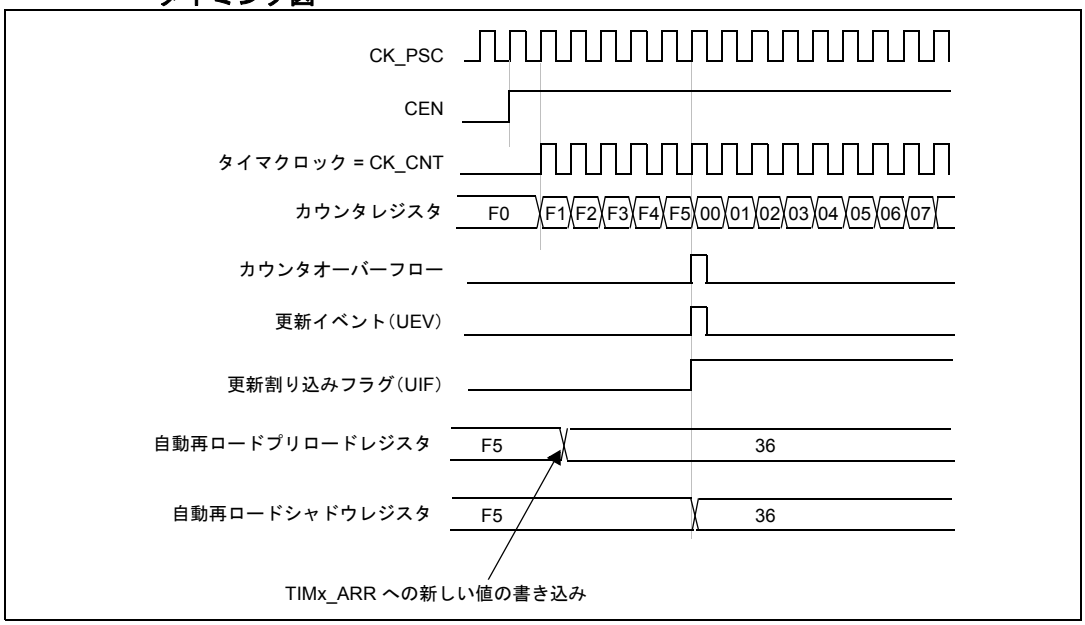


図 188. ARPE=0 時（TIMx_ARR はプリロードなし）、更新イベント時のカウンタのタイミング図



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 189. ARPEARPE=1 時（TIMx_ARR はプリロード）、更新イベント時のカウンタのタイミング図



19.3.3 クロック選択

カウンタクロックは、次のクロックソースから供給できます。

- 内部クロック（CK_INT）
- 外部クロックモード 1（**TIM9 および TIM1**2）：外部入力ピン（TIx）
- 内部トリガ入力（ITRx）（**TIM9 および TIM1**2）：別のタイマからのトリガ出力を接続詳細については、*セクション ：1 つのタイマを別のタイマのプリスケーラとして使用する* を参照してください。

内部クロックソース（CK_INT）

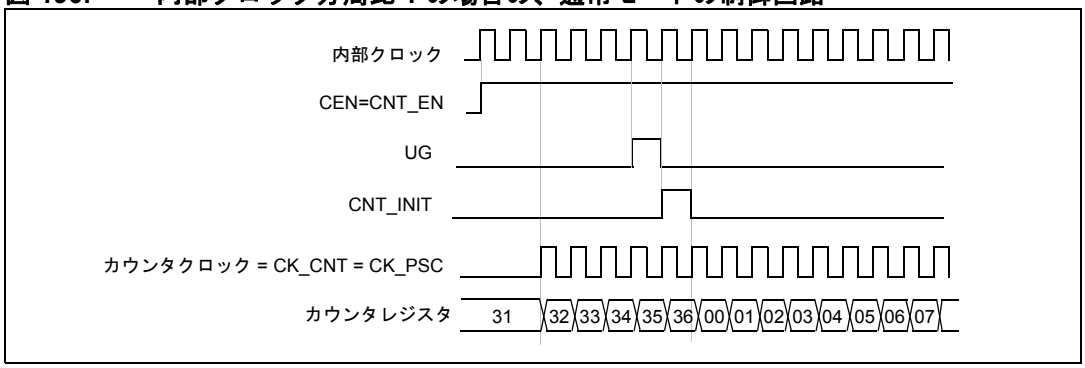
内部 クロックソースは、TIM10/TIM11 および TIM13/TIM14 のデフォルトクロックソースです。

TIM9 および TIM12 に対しては、スレーブモードコントローラが無効の場合（SMS=000）、内部 クロックソースが選択されます。TIMx_CR1 レジスタの CEN ビットと TIMx_EGR レジスタの UG ビットが、その際の制御ビットとして使用され、ソフトウェアからのみ変更できます（クリアされたままの UG ビットは除きます）。CEN ビットに 1 が設定されると直ちに、プリスケーラにはクロックとして内部クロック CK_INT が供給されます。

*図 190*に、プリスケーラを使用しない通常モードでの、制御回路とアップカウンタの動作を示します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

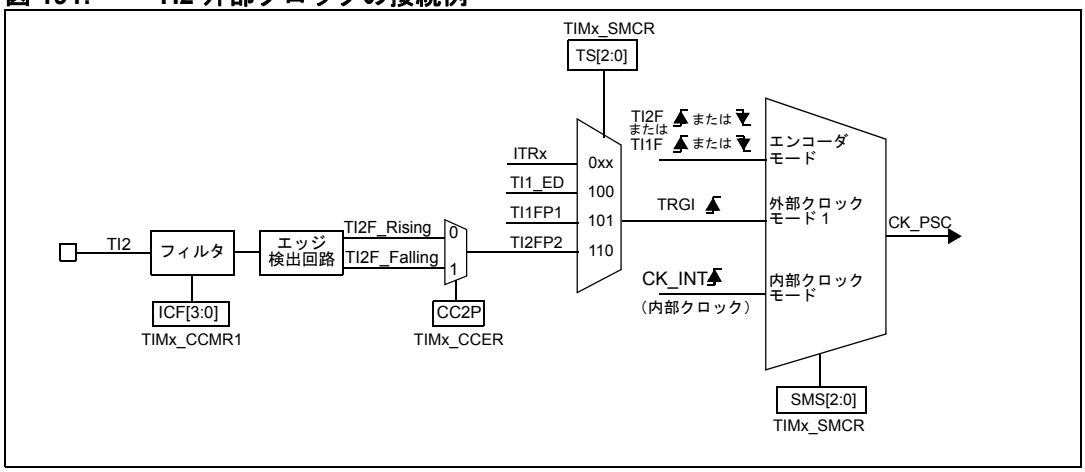
図 190.　内部クロック分周比 1 の場合の、通常モードの制御回路



外部 クロックソースモード 1（TIM9 および TIM12）

このモードは TIMx_SMCR レジスタの SMS= 111 のときに選択されます。カウンタは、選択された入力の立ち上がりまたは立ち下がりエッジでカウントすることができます。

図 191.　TI2 外部クロックの接続例



たとえば、TI2 入力の立ち上がりエッジに反応してカウントするようにアップカウンタを設定するには、次の手順で行います。

1. TIMx_CCMR1 レジスタに CC2S=01 を書き込むことによって、チャネル 2 が TI2 入力の立ち上がりエッジを検出するように設定します。
2. TIMx_CCMR1 レジスタの IC2F[3:0] ビットに書き込むことによって、入力フィルタ時間を設定します（フィルタを使用しない場合は、IC2F=0000 にしておきます）。
3. TIMx_CCER レジスタに CC2P=0 と CC2NP=0 を書き込むことによって、立ち上がりエッジ極性を選択します。
4. TIMx_SMCR レジスタに SMS=111 を書き込むことによって、タイマを外部クロックモード 1 に設定します。
5. TIMx_SMCR レジスタに TS=110 を書き込むことによって、トリガ入力ソースとして TI2 を選択します。
6. TIMx_CR1 レジスタに CEN=1 を書き込むことによって、カウンタを有効にします。

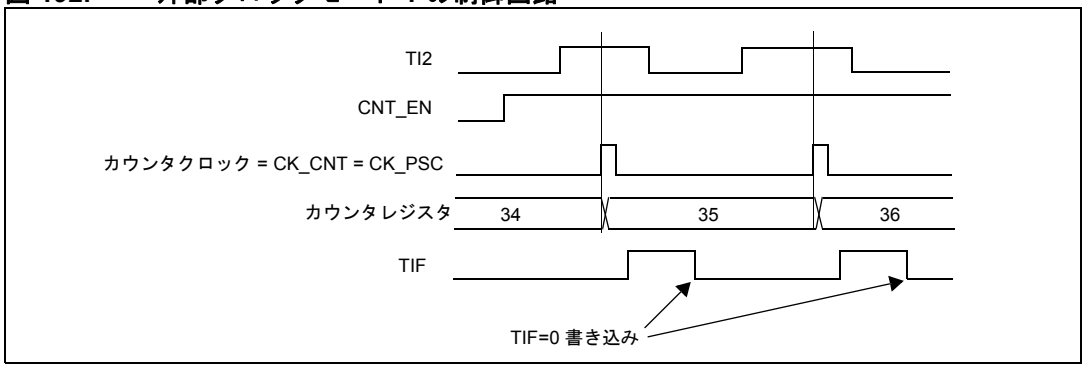
注：　キャプチャプリスケーラはトリガには使用されないので、設定は不要です。

TI2 の立ち上がりエッジが発生すると、カウンタは 1 カウントを行い、TIF フラグがセットされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

TI2 の立ち上がりエッジから実際のカウンタクロックまでの間には、TI2 入力の再同期回路による遅延があります。

図 192. 外部クロックモード 1 の制御回路



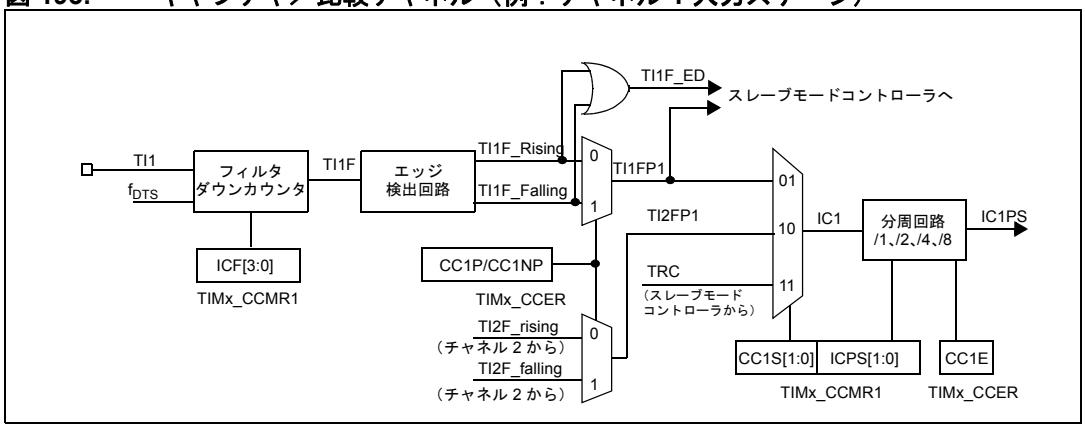
19.3.4 キャプチャ／比較チャネル

各キャプチャ／比較チャネルは、キャプチャ／比較レジスタ（シャドウレジスタを含む）、キャプチャの入力ステージ（デジタルフィルタ、マルチプレクサ、プリスケーラ）、および出力ステージ（比較回路と出力制御）から構成されています。

図 193 から*図 195* に、キャプチャ／比較 チャネル 1 つのの概要を示します。

入力ステージは、対応する TIx 入力をサンプリングして、フィルタリングを行った TIxF 信号を生成します。次に、極性選択付きのエッジ検出回路が、スレーブモードコントローラによってトリガ入力として、またはキャプチャコマンドとして使用される信号（TIxFPx）を生成します。この信号はプリスケーラを通じて、キャプチャレジスタ（ICxPS）に渡されます。

図 193. キャプチャ／比較チャネル（例：チャネル 1 入力ステージ）



出力ステージは、OCxRef（アクティブハイ）として使用される中間波形を生成します。信号の極性は最終出力に影響を与えます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 194.　キャプチャ／比較チャネル 1 メイン回路

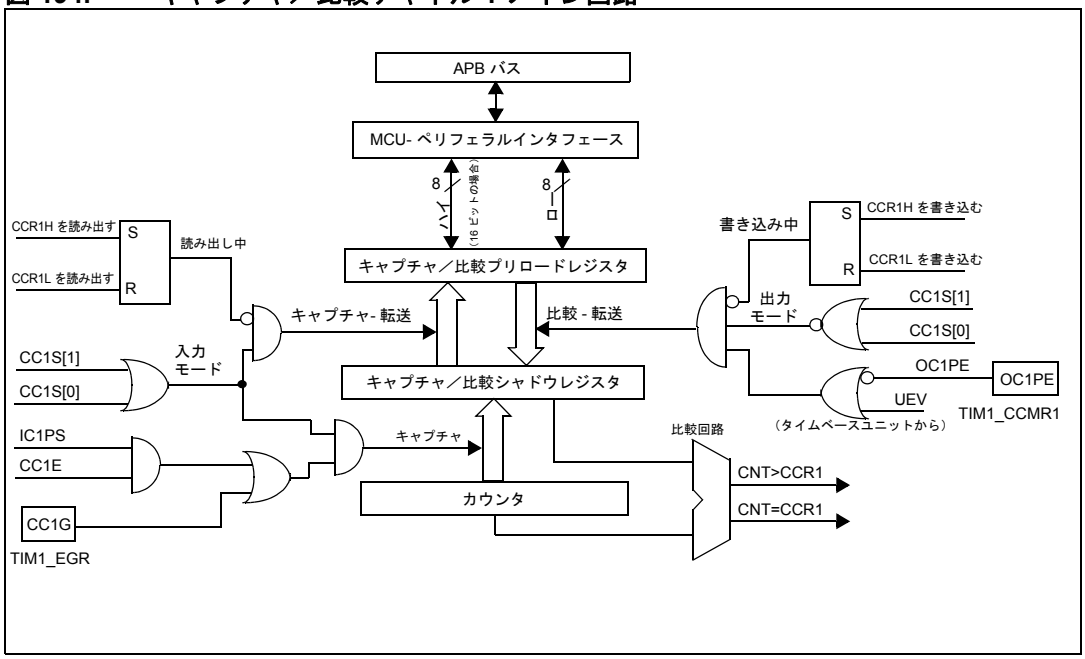
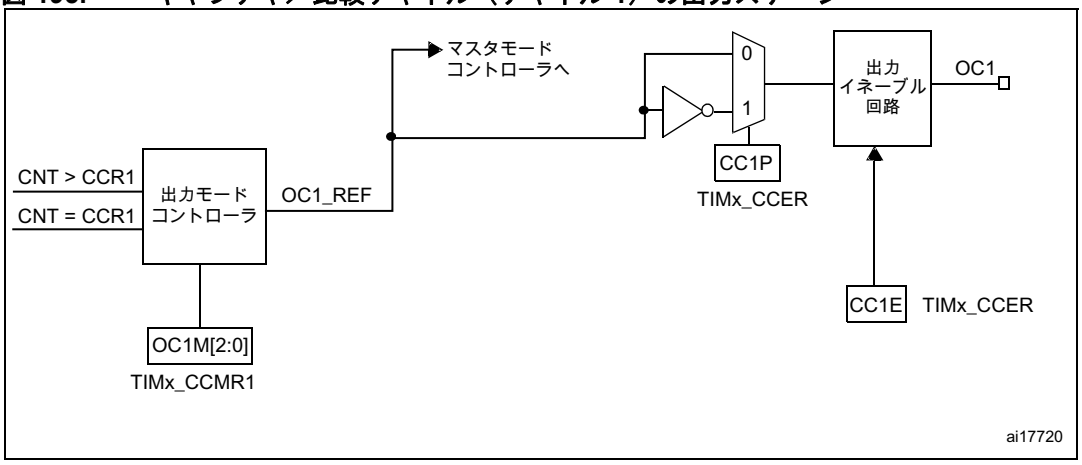


図 195.　キャプチャ／比較チャネル（チャネル 1）の出力ステージ



キャプチャ／比較ブロックは、1 つのプリロードレジスタと 1 つのシャドウレジスタで構成されています。読み書きのアクセスは、常にプリロードレジスタに対して行われます。

キャプチャモードでは、キャプチャ動作は実際にはシャドウレジスタで行われ、その値がプリロードレジスタにコピーされます。

比較モードでは、プリロードレジスタの内容がシャドウレジスタにコピーされて、カウンタと比較されます。

19.3.5　入力キャプチャモード

入力キャプチャモードでは、対応する ICx 信号によって変化が検出された後、カウンタの値をラッチするために、キャプチャ／比較レジスタ（TIMx_CCRx）が使用されます。キャプチャが発生すると、対応する CCxIF フラグ（TIMx_SR レジスタ）がセットされ、割り込みまたは DMA リクエストを送信できます（有効な場合）。CCxIF フラグがすでにハイのときにキャプチャが発生した場合は、オーバキャプチャフラグ CCxOF（TIMx_SR レジスタ）がセットされます。CCxIF フラグは、ソフトウェ

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

アで“0”を書き込むことによって、または、TIMx_CCRx レジスタに格納されたキャプチャデータを読み出すことによってクリアできます。CCxOF は、“0”を書き込むとクリアされます。

次の例は、TI1 入力が立ち上がったときに、カウンタの値を TIMx_CCR1 にキャプチャする方法を示しています。このためには、次の手順を使用します。

1. アクティブ入力を選択します。TIMx_CCR1 は TI1 入力にリンクされていなければならないので、TIMx_CCMR1 レジスタの CC1S ビットに “01”を書き込みます。CC1S の値が “00”から変化すると、チャネルは入力モードに設定され、TIMx_CCR1 レジスタは読み出し専用になります。
2. タイマに接続する信号に対して必要とする入力フィルタ時間を設定します（入力が TIx 入力の内の 1 つである場合、TIMx_CCMRx レジスタの ICxF ビットを設定して行います）。入力信号の反転時、最大で内部クロックの 5 サイクルの間、信号が安定しないと想定してみます。この場合、フィルタ時間を 5 クロックサイクルより長くプログラミングする必要があります。新しいレベルの連続した 8 個のサンプルが検出されたときに、TI1 で変化を検証できます（周波数 f_{DTS} でサンプリング）。次に、TIMx_CCMR1 レジスタの IC1F ビットに“0011”を書き込みます。
3. TI1 チャネルのアクティブエッジを選択します。このためには、TIMx_CCER レジスタの CC1P ビットと CC1NP ビットに“00”を設定します（この場合、立ち上がりエッジの選択）。
4. 入力プリスケーラをプログラムします。この例では有効な信号変化ごとにキャプチャを行いたいので、プリスケーラを無効にします（TIMx_CCMR1 レジスタの IC1PS ビットに“00”を書き込みます）。
5. TIMx_CCER レジスタの CC1E ビットをセットすることによって、カウンタからキャプチャレジスタへのキャプチャを有効にします。
6. 必要に応じて、TIMx_DIER レジスタの CC1IE ビットをセットすることによって、関連する割り込みリクエストを有効にします。

入力キャプチャが発生すると、

- アクティブエッジ時のカウンタ値が TIMx_CCR1 レジスタに格納されます。
- CC1IF フラグがセットされます（割り込みフラグ）。CC1OF ビットは、少なくとも 2 回連続でキャプチャが発生した場合にもセットされますが、フラグはクリアされません。
- CC1IE ビットに応じて、割り込みが生成されます。

オーバキャプチャを処理するために、オーバキャプチャフラグの前にデータを読み出すことが推奨されます。これにより、フラグ読み出し後、データ読み出し前に発生するオーバーキャプチャの見落としを避けることができます。

注： ***TIMx_EGR レジスタの対応する CCxG ビットをセットすることで、IC 割り込みリクエストをソフトウェアで発生させることができます。***

19.3.6 PWM 入力モード（TIM9/12の場合のみ）

このモードは、入力キャプチャモードの特殊ケースです。操作手順は入力キャプチャモードと同様ですが、以下の点が異なります。

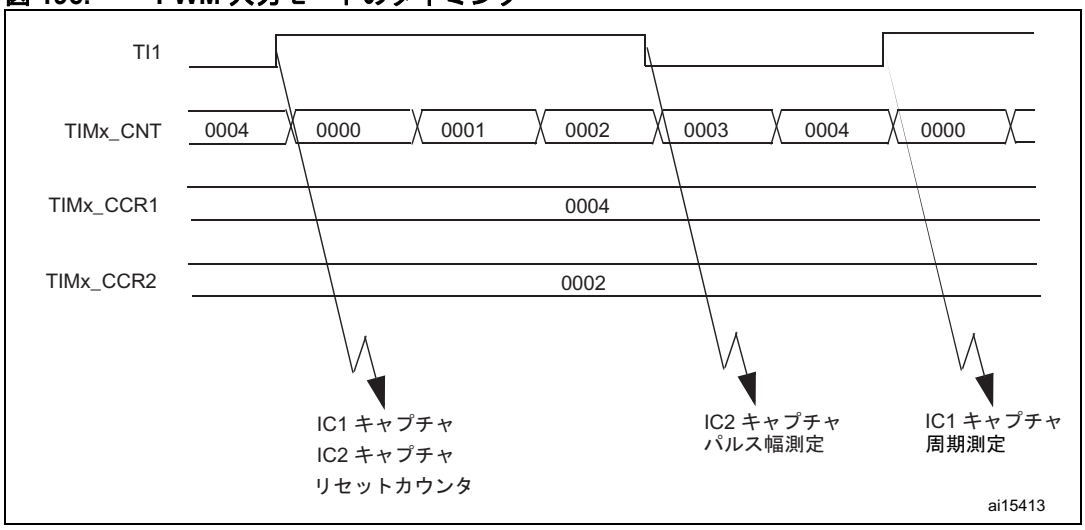
- 2 つの ICx 信号が、同じ TIx 入力にマッピングされます。
- これら 2 つの ICx 信号は、逆の極性を持つエッジでアクティブです。
- 2 つの TIxFP 信号の 1 つがトリガ入力として選択され、スレーブモードコントローラはリセットモードに設定されます。

たとえば、次の手順を使用して、TI1 に適用された PWM の周期（TIMx_CCR1 レジスタ）とデューティサイクル（TIMx_CCR2 レジスタ）を測定できます（手順は、CK_INT 周波数とプリスケーラ値によって、若干異なることがあります）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

1. TIMx_CCR1 レジスタの CC1S ビットに“01”を書き込むことによって（TI1 を選択）、TIMx_CCMR1 のアクティブ入力を選択します。
2. CC1P ビットと CC1NP ビットに“00”を書き込むことによって（立ち上がりエッジでアクティブ）、TI1FP1 のアクティブ極性を選択します（TIMx_CCR1 のキャプチャとカウンタクリアの両方に使用します）。
3. TIMx_CCMR1 レジスタの CC2S ビットに“10”を書き込むことによって（TI1 を選択）、TIMx_CCR2 のアクティブ入力を選択します。
4. CC2P ビットと CC2NP ビットに“11”を書き込むことによって（立ち下がりエッジでアクティブ）、TI1FP2 のアクティブ極性を選択します（TIMx_CCR2 のキャプチャに使用されます）。
5. TIMx_SMCR レジスタの TS ビットに“101”を書き込むことによって（TI1FP1 を選択）、有効なトリガ入力を選択します。
6. TIMx_SMCR レジスタの SMS ビットに“100”を書き込むことによって、スレーブモードコントローラをリセットモードに設定します。
7. TIMx_CCER レジスタの CC1E と CC2E ビットに“1”を書き込むことによって、キャプチャを有効にします。

図 196. PWM 入力モードのタイミング



1. TI1FP1 と TI2FP2 のみがスレーブモードコントローラに接続されているので、PWM 入力モードは TIMx_CH1/TIMx_CH2 信号でのみ使用できます。

19.3.7 強制出力モード

出力モード（TIMx_CCMRx レジスタの CCxS ビット =00）では、出力比較レジスタとカウンタの間の比較に関係なく、各出力比較信号（OCxREF と OCx）をソフトウェアによって直接、強制的にアクティブまたはインアクティブレベルにできます。

出力比較信号（OCXREF/OCx）を強制的にアクティブレベルにするには、対応する TIMx_OCMRx レジスタの OCxM ビットに“101”を書き込みます。これにより、OCxREF は強制的にハイになり（OCxREF は常にアクティブハイ）、OCx は CCxP 極性ビットと逆の値になります。

たとえば、CCxP=0（OCx アクティブハイ）=> OCx は強制的にハイレベルになります。

OCxREF 信号は、TIMx_CCMRx レジスタの OCxM ビットに“100”を書き込むことによって、強制的にローにできます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

いずれにしても、TIMx_CCRx シャドウレジスタとカウンタの比較は実行されるので、フラグをセットできます。それに応じて、割り込みリクエストを送信できます。これについては、次の出力比較モードのセクションで説明します。

19.3.8 出力比較モード

この機能は、出力波形を制御したり、一定時間が経過したことを示すために使用されます。

キャプチャ／比較レジスタとカウンタの値が一致すると、出力比較は次のように機能します。

1. 対応する出力ピンに、出力比較モード（TIMx_CCMRx レジスタの OCxM ビット）と出力極性（TIMx_CCER レジスタの CCxP ビット)によって定義されたプログラマブル値を割り当てます。一致した際、出力ピンは、レベルを維持するか（OCXM=000）、アクティブにセットされるか（OCxM=001）、インアクティブにセットされるか（OCxM=010）、または反転されます（OCxM=011)。
2. 割り込みステータスレジスタのフラグをセットします（TIMx_SR レジスタの CCxIF ビット)。
3. 対応する割り込みマスク（TIMx_DIER レジスタの CCxIE ビット）がセットされている場合は、割り込みを生成します。

TIMx_CCRx レジスタの設定においてプリロードレジスタが使用されるか否かは TIMx_OCMRx レジスタの OCxPE ビットで指示できます。

出力比較モードでは、更新イベント UEV は OCxREF および OCx 出力には影響を与えません。タイミングの分解能はカウンタの 1 カウント分です。出力比較モードは単一パルスを出力するためにも使用することができます（ワンパルスモード)。

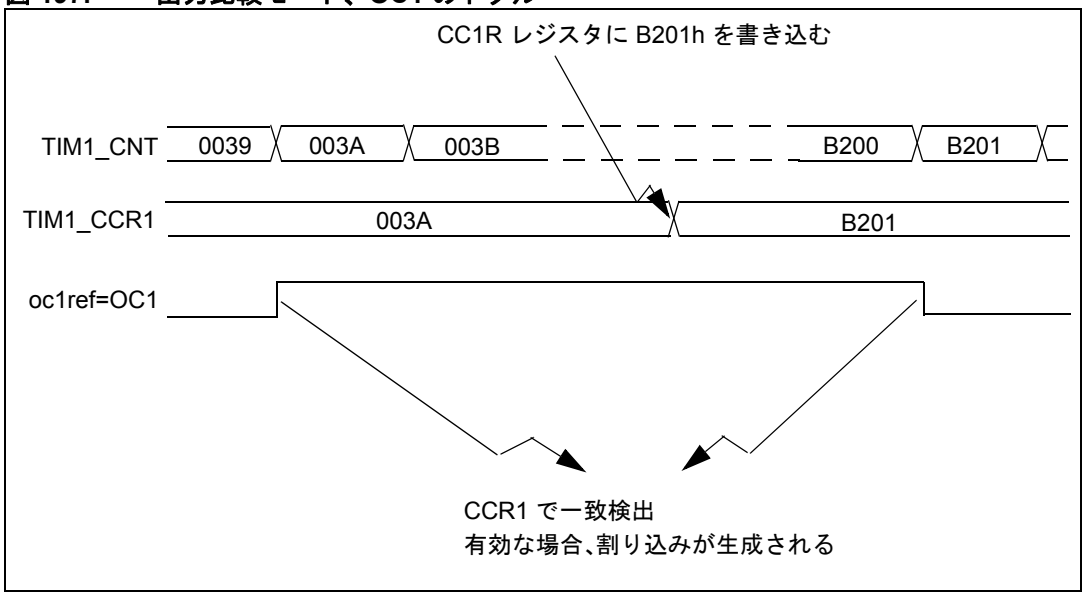
手順：

1. カウンタクロックを選択します（内部、外部、プリスケーラ)。
2. TIMx_ARR レジスタと TIMx_CCRx レジスタに目的のデータを書き込みます。
3. 割り込みリクエストを生成する場合は、CCxIE ビットをセットします。
4. 出力モードを選択します。例：
   - CNT と CCRx が一致したときに OCx 出力ピンをトグルするには、OCxM = 011 を書き込みます。
   - プリロードレジスタを無効にするには、OCxPE = 0 を書き込みます。
   - アクティブハイ極性を選択するには、CCxP = 0 を書き込みます。
   - 出力を有効にするには、CCxE = 1 を書き込みます。
5. TIMx_CR1 レジスタの CEN ビットをセットすることによって、カウンタを有効にします。

いつでもソフトウェアによって TIMx_CCRx レジスタを更新して、出力波形を制御できます。ただし、プリロードレジスタが有効でない場合に限ります（OCxPE=0)。そうでない場合、TIMx_CCRx シャドウレジスタは、次の更新イベント UEV でのみ更新されます。例を*図 197*に示します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 197. 出力比較モード、OC1 のトグル



19.3.9 PWM モード

パルス幅変調（PWM）モードでは、TIMx_ARR レジスタの値によって決められた周波数と TIMx_CCRx レジスタの値によって決められたデューティサイクルで信号を生成できます。

PWM モードは、TIMx_CCMRx レジスタの OCxM ビットに“110”（PWM モード 1）または“111”（PWM モード 2）を書き込むことによって、チャネルごとに選択できます（OCx 出力ごとに 1 つの PWM）。TIMx_CCMRx レジスタの OCxPE ビットをセットすることによって、対応するプリロードレジスタを有効にする必要があり、また、TIMx_CR1 レジスタの ARPE ビットをセットすることによって、自動再ロードプリロードレジスタも（アップカウントまたはセンターアラインモードで）有効にする必要があります。

プリロードレジスタは、更新イベントが発生したときにのみシャドウレジスタに転送されるので、カウンタを開始する前に、TIMx_EGR レジスタの UG ビットをセットすることによって、すべてのレジスタを初期化しておく必要があります。

OCx の極性は、TIMx_CCER レジスタの CCxP ビットを使用して、ソフトウェアでプログラムできます。アクティブハイまたはアクティブローとしてプログラムできます。OCx 出力は、TIMx_CCER レジスタの CCxE ビットによって有効になります。詳細については、TIMx_CCERx レジスタの説明を参照してください。

PWM モード（1 または 2）では、TIMx_CNT と TIMx_CCRx が常に比較されて、
TIMx_CNT ≤ TIMx_CCRx かどうかが判断されます。

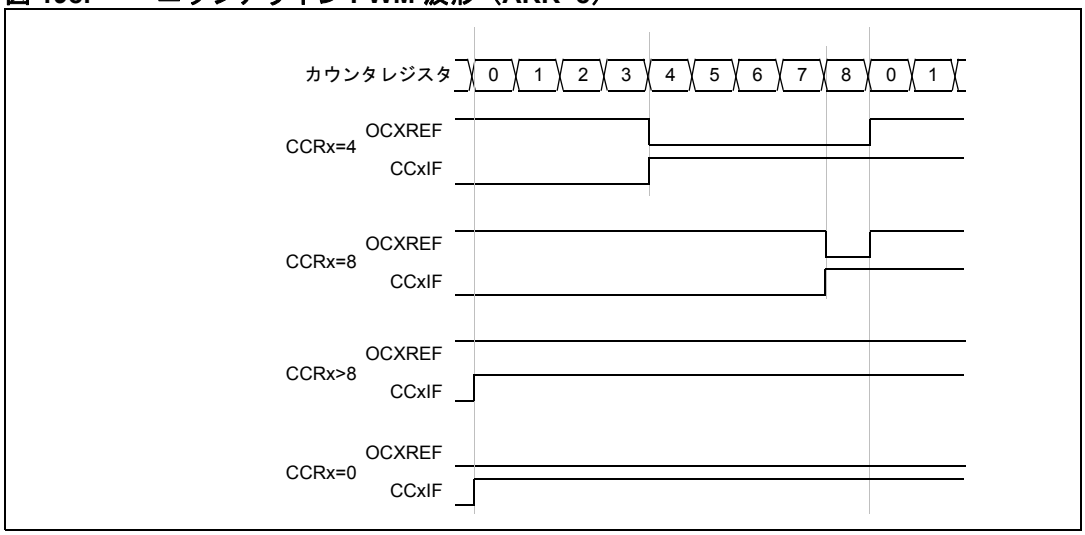
カウンタはカウントアップしているので、タイマはエッジアラインモードでのみ PWM を生成できます。

PWM エッジアラインモード

次の例では、PWM モード 1 を使用しています。PWM 基準信号 OCxREF は、TIMx_CNT < TIMx_CCRx の間はハイに、そうでない場合はローになります。TIMx_CCRx の比較値が（TIMx_ARR レジスタの）自動再ロード値より大きい場合、OCxREF は“1”です。比較値が 0 の場合、OCxRef は“0”に保持されます。*図 198* に、TIMx_ARR=8 のときのエッジアライン PWM 波形の例を示します。

この資料は、STMicroelectronics NV 並びにその子会社（以下 ST）が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 198. エッジアライン PWM 波形（ARR=8）



19.3.10 ワンパルスモード

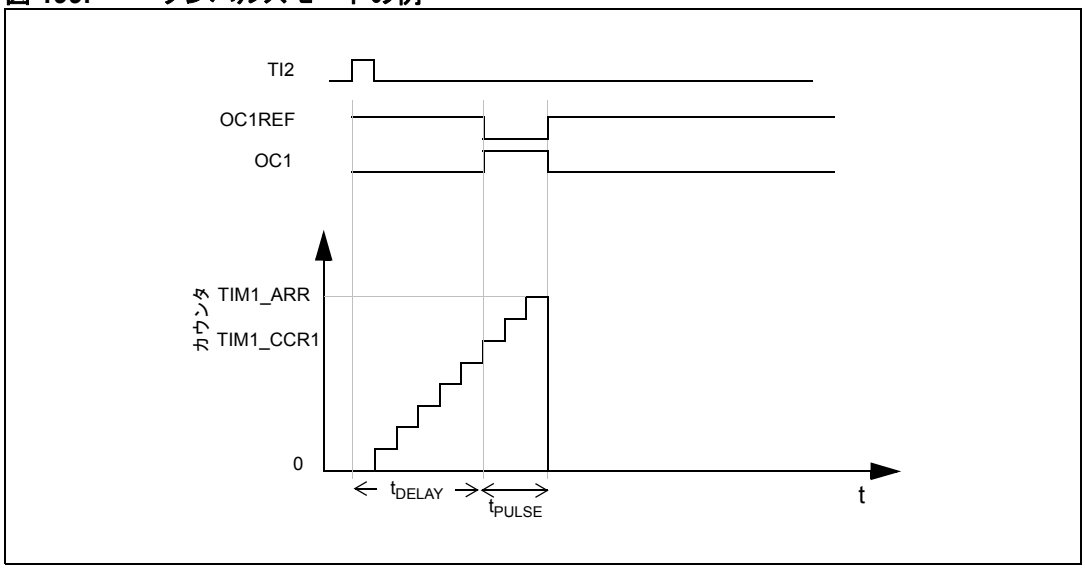
ワンパルスモード（OPM：One Pulse Mode）は、これまでに説明したモードの特殊ケースです。トリガに応じてカウンタを開始して、プログラム可能な遅延後にプログラム可能な長さのパルスを生成できます。

カウンタの開始は、スレーブモードコントローラを通じて制御できます。波形の生成は、出力比較モードまたは PWM モードで行うことができます。ワンパルスモードを選択するには、TIMx_CR1 レジスタの OPM ビットをセットします。これによって、カウンタは、次の更新イベント UEV で自動的に停止します。

パルスは、比較値がカウンタの初期値と異なる場合のみ、正しく生成されます。開始する前に（タイマがトリガを待っているときに）、設定が次のようでなければなりません。

CNT < CCRx≤ ARR（特に、0 < CCRx）

図 199. ワンパルスモードの例



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

たとえば、TI2 入力ピンで立ち上がりエッジが検出されたときに、OC1 にパルス幅が t_{PULSE} の正のパルスを遅延時間 t_{DELAY} 後に生成することもできます。

TI2FP2 をトリガ 1 として使用します。

1. TIMx_CCMR1 レジスタに CC2S=01 を書き込むことによって、TI2FP2 を TI2 に配置します。
2. TI2FP2 は、立ち上がりエッジを検出して、TIMx_CCER レジスタの CC2P=0 と CC2NP=0 を書き込みます。
3. TI2FP2 をスレーブモードコントローラのトリガ（TRGI）として設定します。このためには、TIMx_SMCR レジスタの TS=110 を書き込みます。
4. TI2FP2 を使用してカウンタを開始します。このためには、TIMx_SMCR レジスタの SMS に“110”（トリガモード）を書き込みます。

OPM 波形は、次のように比較レジスタに書き込むことによって定義されます（クロック周波数とカウンタプリスケーラを考慮に入れて）。

- t_{DELAY} は、TIMx_CCR1 レジスタに書き込まれた値によって定義されます。
- t_{PULSE} は、自動再ロード値と比較値の差（TIMx_ARR - TIMx_CCR1）によって定義されます。
- 比較値と一致したときに“0”から“1”へ変化し、カウンタが自動再ロード値に達したときに“1”から“0”へ変化する波形を生成するとします。このためには、TIMx_CCMR1 レジスタの OC1M=111 を書き込むことによって、PWM モード 2 を有効にします。オプションで、TIMx_CCMR1 レジスタに OC1PE=1 を書き込み、TIMx_CR1 レジスタに ARPE = 1 を書き込むことによって、プリロードレジスタを有効にすることもできます。この場合、TIMx_CCR1 レジスタに比較値を書き込み、TIMx_ARR レジスタに自動再ロード値を書き込みます。次に、UG ビットをセットすることによって更新を生成し、TI2 で外部トリガイベントを待ちます。この例では、CC1P に“0”を書き込みます。

必要なパルスは 1 つだけなので（シングルモード）、TIMx_CR1 レジスタの OPM ビットに“1”を書き込みます。こうすると、カウンタは次の更新イベント時に停止します（カウンタが自動再ロード値に達して、0 に戻る時点）。TIMx_CR1 レジスタの OPM ビットが“0”にセットされると、繰り返しモードが選択されます。

特殊なケース：OCx 高速イネーブル

ワンパルスモードでは、TIx 入力のエッジ検出によって、カウンタを有効にする CEN ビットがセットされます。その後、カウンタと比較値の比較によって、出力が反転されます。ただし、このような動作には数クロックサイクルが必要なので、実現可能な最小遅延（t_{DELAY} min）が制限されます。

最小遅延で波形を出力したい場合は、TIMx_CCMRx レジスタの OCxFE ビットをセットします。こうすると、OCxREF（および OCx）は、比較動作を行うことなく、強制的にトリガに反応します。新しいレベルは、比較が一致したときと同じです。OCxFE は、チャネルが PWM1 または PWM2 モードに設定された場合のみ機能します。

19.3.11 TIM9/12 外部 トリガ同期

TIM9/12 タイマは、リセットモード、ゲートモード、トリガモードなど、複数のモードで外部トリガと同期を取ることができます。

スレーブモード：リセットモード

カウンタとそのプリスケーラは、トリガ入力のイベントに応じて再初期化できます。さらに、TIMx_CR1 レジスタの URS ビットがローの場合は、更新イベント UEV が生成されます。その場合、すべてのプリロードされたレジスタ（TIMx_ARR、TIMx_CCRx）が更新されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

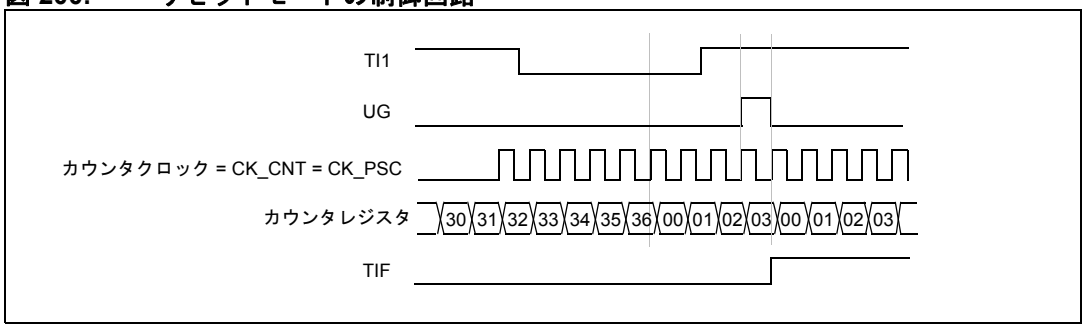
次の例では、TI1 入力の立ち上がりエッジに応じて、アップカウンタがクリアされます。

1. TI1 の立ち上がりエッジを検出するように、チャネル 1 を設定します。入力フィルタ時間を設定します（この例ではフィルタは不要なので、IC1F=0000 のままにしておきます）。キャプチャプリスケーラはトリガには使用されないので、設定は不要です。CC1S ビットは、入力キャプチャソースのみを選択します（TIMx_CCMR1 レジスタの CC1S=01）。TIMx_CCER レジスタの CC1P と CC1NP に“00”を書き込んで、極性を有効にします（そして、立ち上がりエッジのみを検出します）。
2. TIMx_SMCR レジスタに SMS=100 を書き込むことによって、タイマをリセットモードに設定します。TIMx_SMCR レジスタに TS=101 を書き込むことによって、入力ソースとして TI1 を選択します。
3. TIMx_CR1 レジスタに CEN=1 を書き込むことによって、カウンタを開始します。

カウンタは内部クロックでカウントを開始し、TI1 の立ち上がりエッジまで通常の動作を行います。TI1 が立ち上がると、カウンタはクリアされ、0 からリスタートします。同時に、トリガフラグがセットされ（TIMx_SR レジスタの TIF ビット）、（TIMx_DIER レジスタの TIE ビットが）有効な場合は割り込みリクエストを送信できます。

次の図は、自動再ロードレジスタ TIMx_ARR=0x36 の場合の動作を示します。TI1 の立ち上がりエッジから実際にカウンタがリセットされるまでの遅延は、TI1 入力の再同期回路によるものです。

図 200. リセットモードの制御回路



スレーブモード：ゲートモード

選択された入力のレベルに応じて、カウンタを有効にできます。

次の例では、アップカウンタは TI1 入力がローのときだけカウントします。

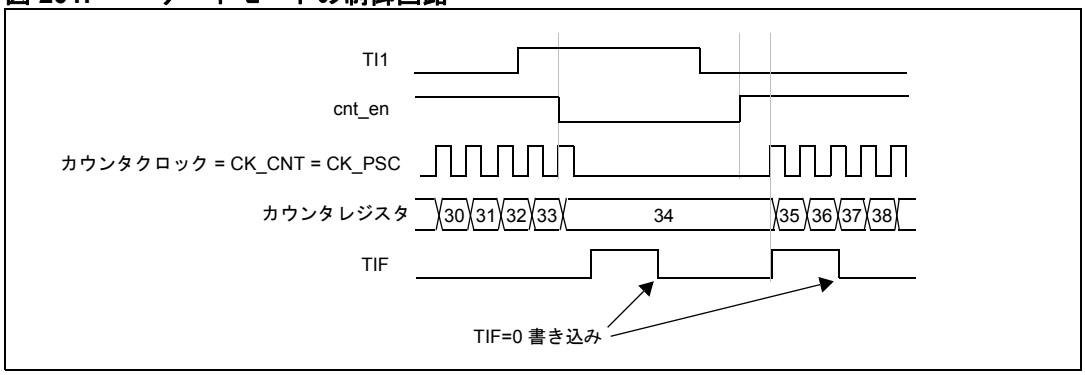
1. TI1 のローレベルを検出するように、チャネル 1 を設定します。入力フィルタ時間を設定します（この例ではフィルタは不要なので、IC1F=0000 のままにしておきます）。キャプチャプリスケーラはトリガには使用されないので、設定は不要です。CC1S ビットは、入力キャプチャソースのみを選択します（TIMx_CCMR1 レジスタの CC1S=01）。TIMx_CCER レジスタに CC1P=1 と CC1NP=0 を書き込んで、極性を有効にします（そして、立ち上がりエッジのみを検出します）。
2. TIMx_SMCR レジスタに SMS=101 を書き込むことによって、タイマをゲートモードに設定します。TIMx_SMCR レジスタに TS=101 を書き込むことによって、入力ソースとして TI1 を選択します。
3. TIMx_CR1 レジスタに CEN=1 を書き込んで、カウンタを有効にします（ゲートモードでは、CEN=0 の場合、トリガ入力のレベルにかかわらず、カウンタは開始しません）。

カウンタは、TI1 がローである限り内部クロックでカウントを開始し、TI1 がハイになると停止します。TIMx_SR レジスタの TIF フラグは、カウンタの開始時と停止時にセットされます。

TI1 の立ち上がりエッジから実際にカウンタが停止するまでの遅延は、TI1 入力の再同期回路によるものです。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 201. ゲートモードの制御回路



スレーブモード：トリガモード

選択された入力のイベントに対応して、カウンタを開始できます。

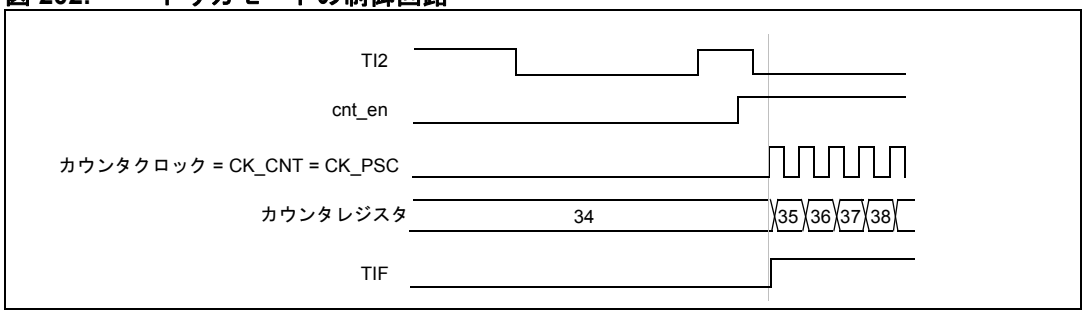
次の例では、アップカウンタは、TI2 入力の立ち上がりエッジに応じて開始します。

1. TI2 の立ち上がりエッジを検出するように、チャネル 2 を設定します。入力フィルタ時間を設定します（この例ではフィルタは不要なので、IC2F=0000 のままにしておきます）。キャプチャプリスケーラはトリガには使用されないので、設定は不要です。CC2S ビットは入力キャプチャソースのみを選択するように設定されます（TIMx_CCMR1 レジスタの CC2S=01）。TIMx_CCER レジスタで CC2P=1 と CC2NP=0 を書き込んで、極性を有効にします（そして、ローレベルのみを検出します）。
2. TIMx_SMCR レジスタに SMS=110 を書き込むことによって、タイマをトリガモードに設定します。TIMx_SMCR レジスタに TS=110 を書き込むことによって、入力ソースとして TI2 を選択します。

TI2 で立ち上がりエッジが発生すると、カウンタは内部クロックでのカウントを開始し、TIF フラグがセットされます。

TI2 の立ち上がりエッジから実際にカウンタが開始するまでの遅延は、TI2 入力の再同期回路によるものです。

図 202. トリガモードの制御回路



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

19.3.12 タイマ同期（TIM9/12）

TIM タイマは、タイマの同期または連結のために、内部で互いにリンクされます。詳細については、*セクション 18.3.15：タイマの同期（622 ページ）*を参照してください。

19.3.13 デバッグモード

マイクロコントローラがデバッグモードになると（Cortex™-M4 with FPU コアは停止状態）、TIMx カウンタは、DBG モジュールの DBG_TIMx_STOP 設定ビットに応じて、通常どおりに動作を続けるか、停止します。詳細については、*セクション 38.16.2：タイマ、ウォッチドッグ、bxCAN、および I2C のデバッグサポート* を参照してください。

19.4 TIM9 および TIM12 のレジスタ

レジスタの説明で使用されている略語のリストについては、*セクション 1.1* を参照してください。

ペリフェラルレジスタには、ハーフワード（16 ビット）またはワード（32 ビット）単位で書き込む必要があります。読み出しアクセスは、バイト（8 ビット）、ハーフワード（16 ビット）またはワード（32 ビット）単位で行うことができます。

19.4.1 TIM9/12 の制御レジスタ 1（TIMx_CR1）

アドレスオフセット：0x00

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み						CKD[1:0]		ARPE	予約済み			OPM	URS	UDIS	CEN
						rw	rw	rw				rw	rw	rw	rw

ビット 15:10 予約済みであり、リセット値に保持する必要があります。

ビット 9:8 **CKD**：クロック分周

このビットフィールドは、タイマクロック（CK_INT）周波数と、デジタルフィルタ（TIx）によって使用されるサンプリングクロックとの間の分周比を示します。

00：$t_{DTS} = t_{CK_INT}$
01：$t_{DTS} = 2 \times t_{CK_INT}$
10：$t_{DTS} = 4 \times t_{CK_INT}$
11：予約済み

ビット 7 **ARPE**：自動再ロードプリロードイネーブル

0：TIMx_ARR レジスタはバッファされません。
1：TIMx_ARR レジスタはバッファされます。

Bits 6:4 予約済みであり、リセット値に保持する必要があります。

ビット 3 **OPM**：ワンパルスモード

0：カウンタは更新イベントで停止しません。
1：カウンタは次の更新イベントでカウントを停止します（CEN ビットをクリアします）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 2 **URS**：更新リクエストソース

このビットは、UEV イベントソースを選択するために、ソフトウェアによってセット／クリアされます。

0：次のイベントのいずれかが更新割り込みを発生します（有効な場合）。

– カウンタオーバーフロー

– UG ビットのセット

1：カウンタオーバーフローのみが更新割り込みリクエストを発生します（有効な場合）。

ビット 1 **UDIS**：更新ディセーブル

このビットは、UEV イベント生成を有効／無効にするために、ソフトウェアによってセット／クリアされます。

0：UEV は有効です。更新イベント（UEV）は、次のいずれかのイベントによって生成されます。

– カウンタオーバーフロー

– UG ビットのセット

バッファを持つレジスタにはプリロード値がロードされます。

1：UEV は無効です。UEV は生成されず、シャドウレジスタ（ARR、PSC、CCRx）は値を維持します。カウンタとプリスケーラは、UG ビットがセットされた場合に再初期化されます。

ビット 0 **CEN**：カウンタイネーブル

0：カウンタは無効です。

1：カウンタは有効です。

ワンパルスモードでは、更新イベントが発生すると、CEN は自動的にクリアされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

19.4.2 TIM9/12 のスレーブモード制御レジスタ（TIMx_SMCR）

アドレスオフセット：0x08

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								MSM	TS[2:0]			Res.	SMS[2:0]		
								rw	rw	rw	rw		rw	rw	rw

ビット 15:8 予約済みであり、リセット値に保持する必要があります。

ビット 7 **MSM**：マスタ／スレーブモード

0：影響なし。

1：トリガ入力（TRGI）に対するイベントの影響は、現在のタイマとそのスレーブとの間の完全な同期（TRGO を通じて）を可能にするために遅延されます。これは、1 つの外部イベントで複数のタイマを同期する場合に役立ちます。

ビット 6:4 **TS**：トリガ選択

このビットフィールドは、カウンタの同期に使用されるトリガ入力を選択します。

000：内部トリガ 0（ITR0）

001：内部トリガ 1（ITR1）

010：内部トリガ 2（ITR2）

011：内部トリガ 3（ITR3）

100：TI1 エッジ検出回路（TI1F_ED）

101：フィルタタイマ入力 1（TI1FP1）

110：フィルタタイマ入力 2（TI2FP2）

111：予約済み

各タイマの ITRx の意味の詳細については、*表 100：TIMx 内部トリガ接続（675 ページ）*を参照してください。

注： ***設定変更時の誤ったエッジ検出を避けるために、これらのビットは、使用されていないとき（SMS=000 のときなど）にのみ変更しなければなりません。***

ビット 3 予約済みであり、リセット値に保持する必要があります。

ビット 2:0 **SMS**：スレーブモード選択

外部信号が選択されると、トリガ信号（TRGI）のアクティブエッジが外部入力で選択された極性にリンクされます（入力制御レジスタおよび制御レジスタの説明を参照してください）。

000：スレーブモードは無効です。CEN = "1" の場合、プリスケーラは内部クロックによって直接クロック供給されます。

001：予約済み

010：予約済み

011：予約済み

100：リセットモード - 選択されたトリガ入力（TRGI）の立ち上がりエッジでカウンタを再初期化し、レジスタの更新を生成します。

101：ゲートモード - カウンタクロックは、トリガ入力（TRGI）がハイのときに有効になります。トリガがローになると、カウンタは停止します（リセットはされません）。カウンタの開始と停止の両方が制御されます。

110：トリガモード - カウンタは、トリガ入力（TRGI）の立ち上がりエッジで開始します（リセットはされません）。カウンタの開始のみが制御されます。

111：外部クロックモード 1 - 選択されたトリガ（TRGI）の立ち上がりエッジがカウンタのクロックとして供給されます。

注： ***トリガ入力として TI1F_ED が選択されている場合（TS=100）、ゲートモードを使用することはできません。TI1F_ED は TI1F の変化ごとに 1 パルスを出力しますが、ゲートモードはトリガ信号のレベルをチェックします。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 100. TIMx 内部トリガ接続

スレーブ TIM	ITR0（TS = 000）	ITR1（TS = 001）	ITR2（TS = 010）	ITR3（TS = 011）
TIM2	TIM1	TIM8	TIM3	TIM4
TIM3	TIM1	TIM2	TIM5	TIM4
TIM4	TIM1	TIM2	TIM3	TIM8
TIM5	TIM2	TIM3	TIM4	TIM8
TIM9	TIM2	TIM3	TIM10	TIM11
TIM12	TIM4	TIM5	TIM13	TIM14

19.4.3 TIM9/12 の割り込みイネーブルレジスタ（TIMx_DIER）

アドレスオフセット：0x0C

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み									TIE	予約済み			CC2IE	CC1IE	UIE
									rw				rw	rw	rw

ビット 15:7 予約済みであり、リセット値に保持する必要があります。

ビット 6 **TIE**：トリガ割り込みイネーブル
0：トリガ割り込みは無効です。
1：トリガ割り込みは有効です。

ビット 5:3 予約済みであり、リセット値に保持する必要があります。

ビット 2 **CC2IE**：キャプチャ／比較 2 割り込みイネーブル
0：CC2 割り込みは無効です。
1：CC2 割り込みは有効です。

ビット 1 **CC1IE**：キャプチャ／比較 1 割り込みイネーブル
0：CC1 割り込みは無効です。
1：CC1 割り込みは有効です。

ビット 0 **UIE**：更新割り込みイネーブル
0：更新割り込みは無効です。
1：更新割り込みは有効です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

19.4.4 TIM9/12 のステータスレジスタ（TIMx_SR）

アドレスオフセット：0x10

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み					CC2OF	CC1OF	予約済み		TIF	予約済み			CC2IF	CC1IF	UIF
					rc_w0	rc_w0			rc_w0				rc_w0	rc_w0	rc_w0

ビット 15:11　予約済みであり、リセット値に保持する必要があります。

ビット 10　**CC2OF**：キャプチャ／比較 2 オーバーキャプチャフラグ
CC1OF の説明を参照してください。

ビット 9　**CC1OF**：キャプチャ／比較 1 オーバーキャプチャフラグ
このフラグは、対応するチャネルが入力キャプチャモードに設定されているときのみ、ハードウェアによってセットされます。“0”を書き込むことによってソフトウェアによってクリアされます。
0：オーバキャプチャは検出されていません。
1：CC1IF フラグがすでにセットされているときに、カウンタの値が TIMx_CCR1 レジスタにキャプチャされました。

ビット 8:7　予約済みであり、リセット値に保持する必要があります。

ビット 6　**TIF**：トリガ割り込みフラグ
このフラグは、トリガイベント時（スレーブモードコントローラがゲートモード以外のすべてのモードで有効なときに、TRGI 入力でアクティブエッジが検出されたとき）にハードウェアによってセットされます。ゲートモードが選択されている場合、カウンタが開始または停止したときにセットされます。ソフトウェアによってクリアされます。
0：トリガイベントは発生していません。
1：トリガ割り込みが保留中です。

ビット 5:3　予約済みであり、リセット値に保持する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 2 **CC2IF**：キャプチャ／比較 2 割り込みフラグ

CC1IF の説明を参照してください。

ビット 1 **CC1IF**：キャプチャ／比較 1 割り込みフラグ

チャネル CC1 が出力として設定されている場合：

このフラグは、カウンタが比較値と一致したときに、ハードウェアによってセットされます。ソフトウェアによってクリアされます。

0：一致なし。

1：カウンタ TIMx_CNT の内容が TIMx_CCR1 レジスタの内容と一致しました。TIMx_CCR1 の内容が TIMx_ARR の内容より大きいときには、カウンタオーバーフロー時に CC1IF ビットがハイになります。

チャネル CC1 が入力として設定されている場合：

このビットは、キャプチャ時にハードウェアによってセットされます。ソフトウェアによって、または TIMx_CCR1 レジスタを読み出すことによってクリアされます。

0：入力キャプチャは発生していません。

1：カウンタの値が TIMx_CCR1 レジスタにキャプチャされました（IC1 で、選択された極性に一致するエッジが検出されました）。

ビット 0 **UIF**：更新割り込みフラグ

このビットは、更新イベント時にハードウェアによってセットされます。ソフトウェアによってクリアされます。

0：更新は発生していません。

1：更新割り込みが保留中です。このビットは、レジスタが以下で更新されたときにハードウェアによってセットされます。

– オーバーフローが発生し、かつ TIMx_CR1 レジスタで UDIS=0 の場合。
– TIMx_CR1 レジスタの URS=0 かつ UDIS=0 であり、TIMx_EGR レジスタの UG ビットを使用して、CNT がソフトウェアによって再初期化されたとき。
– TIMx_CR1 レジスタの URS=0 かつ UDIS=0 であり、トリガイベントによって CNT が再初期化されたとき（同期制御レジスタの説明を参照）。

19.4.5 TIM9/12 のイベント発生レジスタ（TIMx_EGR）

アドレスオフセット：0x14

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み									TG	予約済み			CC2G	CC1G	UG
									w				w	w	w

ビット 15:7 予約済みであり、リセット値に保持する必要があります。

ビット 6 **TG**：トリガ生成

このビットは、イベントを生成するためにソフトウェアによってセットされ、ハードウェアによって自動的にクリアされます。

0：影響なし。

1：TIMx_SR レジスタの TIF フラグがセットされます。有効な場合は、関連する割り込が発生します。

ビット 5:3 予約済みであり、リセット値に保持する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 2 **CC2G**：キャプチャ／比較 2 生成

CC1G の説明を参照してください。

ビット 1 **CC1G**：キャプチャ／比較 1 生成

このビットは、イベントを生成するためにソフトウェアによってセットされ、ハードウェアによって自動的にクリアされます。

0：影響なし。

1：チャネル 1 でキャプチャ／比較イベントが生成されます。

チャネル CC1 が出力として設定されている場合：

CC1IF フラグがセットされ、対応する割り込みが送信されます（有効な場合）。

チャネル CC1 が入力として設定されている場合：

現在のカウンタ値が TIMx_CCR1 レジスタにキャプチャされます。CC1IF フラグがセットされ、対応する割り込みが送信されます（有効な場合）。CC1IF フラグがすでにハイの場合、CC1OF フラグがセットされます。

ビット 0 **UG**：更新生成

このビットは、ソフトウェアによってセットでき、ハードウェアによって自動的にクリアされます。

0：影響なし。

1：カウンタを再初期化し、レジスタの更新を生成します。プリスケーラカウンタもクリアされます（分周比は変化しません）。カウンタはクリアされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

19.4.6 TIM9/12 のキャプチャ／比較モードレジスタ 1（TIMx_CCMR1）

アドレスオフセット：0x18

リセット値：0x0000

チャネルは、入力（キャプチャモード）または出力（比較モード）で使用できます。チャネルの方向は、対応する CCxS ビットを設定することによって定義されます。このレジスタの他のすべてのビットは、入力モードと出力モードで機能が異なります。特定のビットについて、OCxx は、チャネルが出力モードに設定されているときの機能を記述し、ICxx は、チャネルが入力モードに設定されているときの機能を記述します。したがって、同じビットが入力ステージと出力ステージで異なる意味を持つことに注意してください。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	OC2M[2:0]			OC2PE	OC2FE	CC2S[1:0]		Res.	OC1M[2:0]			OC1PE	OC1FE	CC1S[1:0]	
IC2F[3:0]				IC2PSC[1:0]				IC1F[3:0]				IC1PSC[1:0]			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

出力比較モード

Bit 15 予約済みであり、リセット値に保持する必要があります。

ビット 14:12 **OC2M[2:0]**：出力比較 2 モード

ビット 11 **OC2PE**：出力比較 2 プリロードイネーブル

ビット 10 **OC2FE**：出力比較 2 高速イネーブル

ビット 9:8 **CC2S[1:0]**：キャプチャ／比較 2 選択

このビットフィールドは、チャネルの方向（入力／出力）と、使用される入力を定義します。
00：CC2 チャネルは出力として設定されます。
01：CC2 チャネルは入力として設定され、IC2 は TI2 に配置されます。
10：CC2 チャネルは入力として設定され、IC2 は TI1 に配置されます。
11：CC2 チャネルは入力として設定され、IC2 は TRC に配置されます。このモードは、TS ビット（TIMx_SMCR レジスタ）で内部トリガ入力が選択されている場合のみ機能します。

注： CC2S ビットは、チャネルがオフ（TIMx_CCER レジスタの CC2E=0）のときにのみ書き込み可能です。

Bit 7 予約済みであり、リセット値に保持する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 6:4 **OC1M**：出力比較 1 モード

これらのビットは、OC1 および OC1N が導き出される出力基準信号 OC1REF の動作を定義します。OC1REF はアクティブハイですが、OC1 および OC1N の有効レベルは、それぞれ CC1P および CC1NP ビットに依存します。

000：停止 - 出力比較レジスタ TIMx_CCR1 とカウンタ TIMx_CNT との間の比較結果は出力に影響しません（このモードはタイミングベースを生成するために使用されます）。

001：一致時にチャネル 1 をアクティブレベルに設定します。OC1REF 信号は、TIMx_CNT カウンタがキャプチャ／比較レジスタ 1（TIMx_CCR1）に一致したとき、強制的にハイになります。

010：一致時にチャネル 1 をインアクティブレベルに設定します。OC1REF 信号は、TIMx_CNT カウンタがキャプチャ／比較レジスタ 1（TIMx_CCR1）に一致したとき、強制的にローになります。

011：反転 - TIMx_CNT = TIMx_CCR1 のとき、OC1REF は反転します。

100：強制インアクティブレベル - OC1REF は強制的にローになります。

101：強制アクティブレベル - OC1REF は強制的にハイになります。

110 : PWM モード 1 - カウントアップ時、チャネル 1 は、TIMx_CNT < TIMx_CCR1 の場合はアクティブに、そうでない場合はインアクティブになります。カウントダウン時、チャネル 1 は、TIMx_CNT > TIMx_CCR1 の場合は無効（OC1REF="0"）に、そうでない場合は有効（OC1REF="1"）になります。

111：PWM モード 2 - カウントアップ時、チャネル 1 は、TIMx_CNT < TIMx_CCR1 の場合はインアクティブに、そうでない場合はアクティブになります。カウントダウン時、チャネル 1 は、TIMx_CNT > TIMx_CCR1 の場合はアクティブに、そうでない場合はインアクティブになります。

注： ***PWM モード 1 または 2 では、比較結果が変化したとき、または出力比較モードが停止モードから PWM モードに変更されたときにのみ、OCREF のレベルが変化します。***

ビット 3 **OC1PE**：出力比較 1 プリロードイネーブル

0：TIMx_CCR1 のプリロードレジスタは無効です。TIMx_CCR1 は、いつでも書き込み可能であり、新しい値はただちに有効になります。

1：TIMx_CCR1 のプリロードレジスタは有効です。読み書きはプリロードレジスタに対して行われます。TIMx_CCR1 プリロード値は、更新イベントのたびにアクティブレジスタにロードされます。

注： ***PWM モードは、ワンパルスモード（TIMx_CR1 レジスタの OPM ビットがセットされている）のときのみ、プリロードレジスタを検証せずに使用できます。そうでない場合、動作は保証されません。***

ビット 2 **OC1FE**：出力比較 1 高速イネーブル

このビットは、CC 出力に対するトリガがイベントの効果を加速するために使用されます。

0：CC1 は、トリガがオンのときでも、カウンタと CCR1 の値に依存して、通常どおりに動作します。トリガ入力にエッジが発生してから CC1 出力が有効になるまでの最小遅延は、5 クロックサイクルです。

1：トリガ入力のアクティブエッジは、CC1 出力に対して、比較一致のように働きます。このため、OC は、比較結果には関係なく、比較レベルにセットされます。トリガ入力をサンプリングし、CC1 出力を有効にするまでの遅延は、3 クロックサイクルに短縮されます。OC1FE は、チャネルが PWM1 または PWM2 モードに設定されている場合のみ機能します。

ビット 1:0 **CC1S**：キャプチャ／比較 1 選択

このビットフィールドは、チャネルの方向（入力／出力）と、使用される入力を定義します。

00：CC1 チャネルは出力として設定されます。

01：CC1 チャネルは入力として設定され、IC1 は TI1 に配置されます。

10：CC1 チャネルは入力として設定され、IC1 は TI2 に配置されます。

11：CC1 チャネルは入力として設定され、IC1 は TRC に配置されます。このモードは、TS ビット（TIMx_SMCR レジスタ）で内部トリガ入力が選択されている場合のみ機能します。

注： ***CC1S ビットは、チャネルがオフ（TIMx_CCER レジスタの CC1E=0）のときにのみ書き込み可能です。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

入力キャプチャモード

ビット 15:12 **IC2F**：入力キャプチャ 2 フィルタ

ビット 11:10 **IC2PSC[1:0]**：入力キャプチャ 2 プリスケーラ

ビット 9:8 **CC2S**：キャプチャ／比較 2 選択

このビットフィールドは、チャネルの方向（入力／出力）と、使用される入力を定義します。
00：CC2 チャネルは出力として設定されます。
01：CC2 チャネルは入力として設定され、IC2 は TI2 に配置されます。
10：CC2 チャネルは入力として設定され、IC2 は TI1 に配置されます。
11：CC2 チャネルは入力として設定され、IC2 は TRC に配置されます。このモードは、TS ビット（TIMx_SMCR レジスタ）で内部トリガ入力が選択されている場合のみ機能します。

注： CC2S ビットは、チャネルがオフ（TIMx_CCER レジスタの CC2E=0）のときにのみ書き込み可能です。

ビット 7:4 **IC1F**：入力キャプチャ 1 フィルタ

このビットフィールドは、TI1 入力をサンプルする周波数と、TI1 に適用されるデジタルフィルタの長さを定義します。デジタルフィルタはイベントカウンタでできていて、出力に有効な変化をもたらすには N 個のイベント発生が必要です。

0000：フィルタなし、サンプリングは f_{DTS} で行われます 1000：$f_{SAMPLING}=f_{DTS}/8$、N=6
0001：$f_{SAMPLING}=f_{CK_INT}$、N=2　　1001：$f_{SAMPLING}=f_{DTS}/8$、N=8
0010：$f_{SAMPLING}=f_{CK_INT}$、N=4　　1010：$f_{SAMPLING}=f_{DTS}/16$、N=5
0011：$f_{SAMPLING}=f_{CK_INT}$、N=8　　1011：$f_{SAMPLING}=f_{DTS}/16$、N=6
0100：$f_{SAMPLING}=f_{DTS}/2$、N=6　　1100：$f_{SAMPLING}=f_{DTS}/16$、N=8
0101：$f_{SAMPLING}=f_{DTS}/2$、N=8　　1101：$f_{SAMPLING}=f_{DTS}/32$、N=5
0110：$f_{SAMPLING}=f_{DTS}/4$、N=6　　1110：$f_{SAMPLING}=f_{DTS}/32$、N=6
0111：$f_{SAMPLING}=f_{DTS}/4$、N=8　　1111：$f_{SAMPLING}=f_{DTS}/32$、N=8

注： 現在のシリコンリビジョンでは、ICxF[3:0]=1、2 または 3 の場合、f_{DTS} は式内でCK_INT により置き換えられます。

ビット 3:2 **IC1PSC**：入力キャプチャ 1 プリスケーラ

このビットフィールドは、CC1 入力（IC1）に作用するプリスケーラの比を定義します。
プリスケーラは、CC1E=0（TIMx_CCER レジスタ）になるとリセットされます。
00：プリスケーラなし。キャプチャは、キャプチャ入力のエッジが検出されるたびに行われます。
01：キャプチャは、2 イベントごとに行われます。
10：キャプチャは、4 イベントごとに行われます。
11：キャプチャは、8 イベントごとに行われます。

ビット 1:0 **CC1S**：キャプチャ／比較 1 選択

このビットフィールドは、チャネルの方向（入力／出力）と、使用される入力を定義します。
00：CC1 チャネルは出力として設定されます。
01：CC1 チャネルは入力として設定され、IC1 は TI1 に配置されます。
10：CC1 チャネルは入力として設定され、IC1 は TI2 に配置されます。
11：CC1 チャネルは入力として設定され、IC1 は TRC に配置されます。このモードは、TS ビット（TIMx_SMCR レジスタ）で内部トリガ入力が選択されている場合のみ機能します。

注： CC1S ビットは、チャネルがオフ（TIMx_CCER レジスタの CC1E=0）のときにのみ書き込み可能です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

19.4.7 TIM9/12 のキャプチャ／比較イネーブルレジスタ（TIMx_CCER）

アドレスオフセット：0x20

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								CC2NP	予約済み	CC2P	CC2E	CC1NP	予約済み	CC1P	CC1E
								rw		rw	rw	rw		rw	rw

ビット 15:8 予約済みであり、リセット値に保持する必要があります。

ビット 7 **CC2NP**：キャプチャ／比較 2 出力極性
CC1NP の説明を参照してください。

ビット 6 予約済みであり、リセット値に保持する必要があります。

ビット 5 **CC2P**：キャプチャ／比較 2 出力極性
CC1P の説明を参照してください。

ビット 4 **CC2E**：キャプチャ／比較 2 出力イネーブル
CC1E の説明を参照してください。

ビット 3 **CC1NP**：キャプチャ／比較 1 相補出力極性
CC1 チャネルが出力として設定されている場合 : CC1NP はクリアされたままにする必要があります。
CC1 チャネルが入力として設定されている場合：CC1NP ビットは、TI1FP1/TI2FP1 の極性を定義するために CC1P と組み合わせて使用されます（CC1P の説明を参照してください）。

ビット 2 予約済みであり、リセット値に保持する必要があります。

ビット 1 **CC1P**：キャプチャ／比較 1 出力極性
CC1 チャネルが出力として設定されている場合：
0：OC1 はアクティブハイです。
1：OC1 はアクティブローです。
CC1 チャネルが入力として設定されている場合：
CC1NP/CC1P ビットは、トリガまたはキャプチャ操作の TI1FP1 および TI2FP1 の極性を選択します。
00：非反転／立上がりエッジ
回路は TIxFP1 の立ち上がりエッジに反応し（キャプチャモード、リセットモードでのトリガ、外部クロックモード、またはトリガモード）、TIxFP1 は反転されません（ゲートモードでのトリガ、エンコーダモード）。
01：反転／立下がりエッジ
回路は TIxFP1 の立下がりエッジに反応し（キャプチャモード、リセットモードでのトリガ、外部クロックモード、またはトリガモード）、TIxFP1 は反転されます（ゲートモードでのトリガ、エンコーダモード）。
10：予約済み。この設定は使用しないでください。

注： 11：非反転／両エッジ
回路は TIxFP1 の立ち上がりエッジと立ち下がりエッジの両方に反応し（キャプチャモード、リセットモードでのトリガ、外部クロックモード、またはトリガモード）、TIxFP1 は反転されません（ゲートモードでのトリガ）。この設定をエンコーダモードに使用することはできません。

ビット 0 **CC1E**：キャプチャ／比較 1 出力イネーブル。
CC1 チャネルが出力として設定されている場合：
0：オフ - OC1 はアクティブではありません。
1：オン - OC1 信号は、対応する出力ピンに出力されます。
CC1 チャネルが入力として設定されている場合：
このビットによって、カウンタ値のキャプチャ／比較レジスタ 1（TIMx_CCR1）へのキャプチャが実際に行われるかどうかが決まります。
0：キャプチャは無効です。
1：キャプチャは有効です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 101. 標準 OCx チャネルの出力制御ビット

CCxE ビット	OCx 出力状態
0	出力無効（OCx=0、OCx_EN=0）
1	OCx=OCxREF + 極性、OCx_EN=1

注： 標準 OCx チャネルに接続されている外部入出力ピンの状態は、OCx チャネルの状態と、GPIO レジスタに依存します。

19.4.8 TIM9/12 のカウンタ（TIMx_CNT）

アドレスオフセット：0x24

リセット値：0x0000 0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CNT[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **CNT[15:0]**：カウンタ値

19.4.9 TIM9/12 のプリスケーラ（TIMx_PSC）

アドレスオフセット：0x28

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PSC[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **PSC[15:0]**：プリスケーラ値

カウンタクロック周波数 CK_CNT は、f_{CK_PSC} /（PSC[15:0] + 1）に等しいです。

PSC は、更新イベントごとにアクティブプリスケーラレジスタにロードされる値を含みます。

19.4.10 TIM9/12 の自動再ロードレジスタ（TIMx_ARR）

アドレスオフセット：0x2C

リセット値：0x0000 0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ARR[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 ARR[15:0]：自動再ロード値

ARR は、実際の自動再ロードレジスタにロードされる値です。

ARR の更新と動作の詳細については、*セクション 19.3.1：タイムベースユニット（656 ページ）*を参照してください。

自動再ロード値が null のときには、カウンタはブロックされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

19.4.11 TIM9/12 のキャプチャ／比較レジスタ 1（TIMx_CCR1）

アドレスオフセット：0x34

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR1[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 CCR1[15:0]：キャプチャ／比較 1 値

チャネル CC1 が出力として設定されている場合：

CCR1 は、実際のキャプチャ／比較 1 レジスタにロードされる値（プリロード値）です。

TIMx_CCMR1 レジスタの OC1PE ビットでプリロード機能が選択されていない場合、この値がロードされたままになります。そうでない場合、プリロード値は、更新イベントが発生すると、アクティブキャプチャ／比較 1 レジスタにコピーされます。

アクティブキャプチャ／比較レジスタは、カウンタ TIMx_CNT と比較されて、OC1 出力に送信される値を含みます。

チャネル CC1 が入力として設定されている場合：

CCR1 は、最後の入力キャプチャ 1 イベント（IC1）によって転送されたカウンタ値です。

19.4.12 TIM9/12 のキャプチャ／比較レジスタ 2（TIMx_CCR2）

アドレスオフセット：0x38

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR2[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 CCR2[15:0]：キャプチャ／比較 2 値

CC2 チャネルが出力として設定されている場合：

CCR2 は、実際のキャプチャ／比較 2 レジスタにロードされる値（プリロード値）です。

TIMx_CCMR2 レジスタの OC2PE ビットでプリロード機能が選択されていない場合、この値がロードされたままになります。そうでない場合、プリロード値は、更新イベントが発生すると、アクティブキャプチャ／比較 2 レジスタにコピーされます。

アクティブキャプチャ／比較レジスタは、カウンタ TIMx_CNT と比較されて、OC2 出力に送信される値を含みます。

CC2 チャネルが入力として設定されている場合：

CCR2 は、最後の入力キャプチャ 2 イベント（IC2）によって転送されたカウンタ値です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

19.4.13 TIM9/12 のレジスタマップ

TIM9/12 のレジスタは、次のように 16 ビットのアドレス可能レジスタとしてマップされます ：

表 102. TIM9/12 レジスタ・マップとリセット値

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	TIMx_CR1	予約済み																						CKD [1:0]		ARPE	予約済み			OPM	URS	UDIS	CEN
	リセット値																							0	0	0				0	0	0	0
0x08	TIMx_SMCR	予約済み																								MSM	TS[2:0]			予約済み	SMS[2:0]		
	リセット値																									0	0	0	0		0	0	0
0x0C	TIMx_DIER	予約済み																									TIE	予約済み			CC2IE	CC1IE	UIE
	リセット値																										0				0	0	0
0x10	TIMx_SR	予約済み																				CC2OF	CC1OF	予約済み			TIF	予約済み			CC2IF	CC1IF	UIF
	リセット値																					0	0				0				0	0	0
0x14	TIMx_EGR	予約済み																									TG	予約済み			CC2G	CC1G	UG
	リセット値																										0				0	0	0
0x18	TIMx_CCMR1 出力比較モード	予約済み																	OC2M [2:0]			OC2PE	OC2FE	CC2S [1:0]		予約済み	OC1M [2:0]			OC1PE	OC1FE	CC1S [1:0]	
	リセット値																		0	0	0	0	0	0	0		0	0	0	0	0	0	0
	TIMx_CCMR1 入力キャプチャモード	予約済み																	IC2F[3:0]				IC2 PSC [1:0]		CC2S [1:0]		IC1F[3:0]				IC1 PSC [1:0]		CC1S [1:0]
	リセット値																		0	0	0	0	0	0	0		0	0	0	0	0	0	0
0x1C	予約済み																																
0x20	TIMx_CCER	予約済み																								CC2NP	予約済み	CC2P	CC2E	CC1NP	予約済み	CC1P	CC1E
	リセット値																									0		0	0	0		0	0
0x24	TIMx_CNT	予約済み																CNT[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x28	TIMx_PSC	予約済み																PSC[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x2C	TIMx_ARR	予約済み																ARR[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x30	予約済み																																
0x34	TIMx_CCR1	予約済み																CCR1[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x38	TIMx_CCR2	予約済み																CCR2[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x3C～0x4C	予約済み																																

レジスタ境界アドレスについては、*表 2 (64 ページ)* を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

19.5 TIM10/11/13/14 のレジスタ

ペリフェラルレジスタには、ハーフワード（16 ビット）またはワード（32 ビット）単位で書き込む必要があります。読み出しアクセスは、バイト（8 ビット）、ハーフワード（16 ビット）またはワード（32 ビット）単位で行うことができます。

19.5.1 TIM10/11/13/14 の制御レジスタ 1（TIMx_CR1）

アドレスオフセット：0x00

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み						CKD[1:0]		ARPE	予約済み				URS	UDIS	CEN
						rw	rw	rw					rw	rw	rw

ビット 15:10 予約済みであり、リセット値に保持する必要があります。

ビット 9:8 **CKD**：クロック分周

このビットフィールドは、タイマクロック（CK_INT）周波数と、デジタルフィルタ（ETR、TIx）によって使用されるサンプリングクロックとの間の分周比を示します。

00：$t_{DTS} = t_{CK_INT}$
01：$t_{DTS} = 2 \times t_{CK_INT}$
10：$t_{DTS} = 4 \times t_{CK_INT}$
11：予約済み

ビット 7 **ARPE**：自動再ロードプリロードイネーブル

0：TIMx_ARR レジスタはバッファされません。
1：TIMx_ARR レジスタはバッファされます。

ビット 6:3 予約済みであり、リセット値に保持する必要があります。

ビット 2 **URS**：更新リクエストソース

このビットは、更新割り込み（UEV）ソースを選択するために、ソフトウェアによってセット／クリアされます。

0：次のイベントのいずれかが UEV を発生します（有効な場合）。
- カウンタオーバーフロー
- UG ビットのセット

1：カウンタオーバーフローのみが UEV を発生します（有効な場合）。

ビット 1 **UDIS**：更新ディセーブル

このビットは、更新割り込み（UEV）イベント生成を有効／無効にするために、ソフトウェアによってセット／クリアされます。

0：UEV は有効です。更新イベント（UEV）は、次のいずれかのイベントによって生成されます。
- カウンタオーバーフロー
- UG ビットのセット。

バッファを持つレジスタにはプリロード値がロードされます。

1：UEV は無効です。UEV は生成されず、シャドウレジスタ（ARR、PSC、CCRx）は値を維持します。カウンタとプリスケーラは、UG ビットがセットされた場合に再初期化されます。

ビット 0 **CEN**：カウンタイネーブル

0：カウンタは無効です。
1：カウンタは有効です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

19.5.2 TIM10/11/13/14 のステータスレジスタ（TIMx_SR）

アドレスオフセット：0x10

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み						CC1OF	予約済み							CC1IF	UIF
						rc_w0								rc_w0	rc_w0

ビット 15:10　予約済みであり、リセット値に保持する必要があります。

ビット 9　**CC1OF**：キャプチャ／比較 1 オーバーキャプチャフラグ

このフラグは、対応するチャネルが入力キャプチャモードに設定されているときのみ、ハードウェアによってセットされます。“0”を書き込むことによってソフトウェアによってクリアされます。

0：オーバキャプチャは検出されていません。

1：CC1IF フラグがすでにセットされているときに、カウンタの値が TIMx_CCR1 レジスタにキャプチャされました。

ビット 8:2　予約済みであり、リセット値に保持する必要があります。

ビット 1　**CC1IF**：キャプチャ／比較 1 割り込みフラグ

チャネル CC1 が出力として設定されている場合：

このフラグは、カウンタが比較値と一致したときに、ハードウェアによってセットされます。ソフトウェアによってクリアされます。

0：一致なし。

1：カウンタ TIMx_CNT の内容が TIMx_CCR1 レジスタの内容と一致しました。TIMx_CCR1 の内容が TIMx_ARR の内容より大きいときには、カウンタオーバーフロー時に CC1IF ビットがハイになります。

チャネル CC1 が入力として設定されている場合：

このビットは、キャプチャ時にハードウェアによってセットされます。ソフトウェアによって、または TIMx_CCR1 レジスタを読み出すことによってクリアされます。

0：入力キャプチャは発生していません。

1：カウンタの値が TIMx_CCR1 レジスタにキャプチャされました（IC1 で、選択された極性に一致するエッジが検出されました）。

ビット 0　**UIF**：更新割り込みフラグ

このビットは、更新イベント時にハードウェアによってセットされます。ソフトウェアによってクリアされます。

0：更新は発生していません。

1：更新割り込みが保留中です。このビットは、レジスタが以下で更新されたときにハードウェアによってセットされます。

– オーバーフローが発生し、かつ TIMx_CR1 レジスタで UDIS=0 の場合。
– TIMx_CR1 レジスタで URS=0 かつ UDIS=0 であり、TIMx_EGR レジスタの UG ビットを使用して、CNT がソフトウェアによって再初期化されたとき。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

19.5.3 TIM10/11/13/14 のイベント発生レジスタ（TIMx_EGR）

アドレスオフセット：0x14

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み														CC1G	UG
														w	w

ビット 15:2 予約済みであり、リセット値に保持する必要があります。

ビット 1 CC1G：キャプチャ／比較 1 生成

このビットは、イベントを生成するためにソフトウェアによってセットされ、ハードウェアによって自動的にクリアされます。
0：影響なし。
1：チャネル 1 でキャプチャ／比較イベントが生成されます。
チャネル CC1 が出力として設定されている場合：
CC1IF フラグがセットされ、対応する割り込みが送信されます（有効な場合）。
チャネル CC1 が入力として設定されている場合：
カウンタの現在値が TIMx_CCR1 レジスタにキャプチャされます。CC1IF フラグがセットされ、対応する割り込みが送信されます（有効な場合）。CC1IF フラグがすでにハイの場合、CC1OF フラグがセットされます。

ビット 0 **UG**：更新生成

このビットは、ソフトウェアによってセットでき、ハードウェアによって自動的にクリアされます。
0：影響なし。
1：カウンタを再初期化し、レジスタの更新を生成します。プリスケーラカウンタもクリアされます（分周比は変化しません）。カウンタはクリアされます。

19.5.4 TIM10/11/13/14 のキャプチャ／比較 モードレジスタ 1（TIMx_CCMR1）

アドレスオフセット：0x18

リセット値：0x0000

チャネルは、入力（キャプチャモード）または出力（比較モード）で使用できます。チャネルの方向は、対応する CCxS ビットを設定することによって定義されます。このレジスタの他のビットはすべて、入力モードと出力モードで異なる機能を持ちます。特定のビットについて、OCxx は、チャネルが出力設定のときの機能を示し、ICxx は、チャネルが入力設定のときの機能を記述します。したがって、同じビットが入力ステージと出力ステージで異なる意味を持つことに注意する必要があります。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み									OC1M[2:0]			OC1PE	OC1FE	CC1S[1:0]	
予約済み								IC1F[3:0]				IC1PSC[1:0]			
								rw	rw	rw	rw	rw	rw	rw	rw

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

出力比較モード

ビット 15:7　予約済みであり、リセット値に保持する必要があります。

ビット 6:4 **OC1M**：出力比較 1 モード

これらのビットは､OC1 の元となる出力基準信号 OC1REF の動作を定義します｡OC1REF はアクティブハイですが、OC1 のアクティブレベルは CC1P ビットに依存します。

000：停止。出力比較レジスタ TIMx_CCR1 とカウンタ TIMx_CNT との間の比較結果は出力に影響しません。

001：一致時にチャネル 1 をアクティブレベルに設定します。OC1REF 信号は、カウンタ TIMx_CNT がキャプチャ／比較レジスタ 1（TIMx_CCR1）と一致したときに、強制的にハイになります。

010：一致時にチャネル 1 をインアクティブレベルに設定します。OC1REF 信号は、カウンタ TIMx_CNT がキャプチャ／比較レジスタ 1（TIMx_CCR1）と一致したときに、強制的にローになります。

011：反転 - TIMx_CNT = TIMx_CCR1 のとき、OC1REF は反転します。

100：強制インアクティブレベル - OC1REF は強制的にローになります。

101：強制アクティブレベル - OC1REF は強制的にハイになります。

110：PWM モード 1 - チャネル 1 は、TIMx_CNT < TIMx_CCR1 の場合はアクティブに、そうでない場合はインアクティブになります。

111：PWM モード 2 - チャネル 1 は、TIMx_CNT < TIMx_CCR1 の場合はインアクティブに、そうでない場合はアクティブになります。

注：　PWM モード 1 または 2 では、比較結果が変化したとき、または出力比較モードが停止モードから PWM モードに変更されたときに、OCREF のレベルが変化します。

ビット 3 **OC1PE**：出力比較 1 プリロードイネーブル

0：TIMx_CCR1 のプリロードレジスタは無効です。TIMx_CCR1 は、いつでも書き込み可能であり、新しい値はただちに有効になります。

1：TIMx_CCR1 のプリロードレジスタは有効です。読み書きはプリロードレジスタに対して行われます。TIMx_CCR1 プリロード値は、更新イベントのたびにアクティブレジスタにロードされます。

注：　PWM モードは、ワンパルスモード（TIMx_CR1 レジスタの OPM ビットがセットされている）のときのみ、プリロードレジスタを検証せずに使用できます。そうでない場合、動作は保証されません。

ビット 2 **OC1FE**：出力比較 1 高速イネーブル

このビットは、CC 出力に対するトリガイベントの効果を加速するために使用されます。

0：CC1 の動作は、トリガがオンのときでも、通常、カウンタと CCR1 の値に依存します。トリガ入力のエッジ発生から CC1 出力が有効になるまでの最小遅延は、5 クロックサイクルです。

1：トリガ入力のアクティブエッジは、CC1 出力に対して、比較一致のように働きます。このため、OC は、比較結果には関係なく、比較レベルにセットされます。トリガ入力をサンプリングし、CC1 出力を有効にするまでの遅延は、3 クロックサイクルに短縮されます。OC1FE は、チャネルが PWM1 または PWM2 モードに設定されている場合のみ機能します。

ビット 1:0 **CC1S**：キャプチャ／比較 1 選択

このビットフィールドは、チャネルの方向（入力／出力）と、使用される入力を定義します。

00：CC1 チャネルは出力として設定されます。

01：CC1 チャネルは入力として設定され、IC1 は TI1 に配置されます。

注：　CC1S ビットは、チャネルがオフ（TIMx_CCER レジスタの CC1E=0）のときにのみ書き込み可能です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

入力キャプチャモード

ビット 15:8　予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **IC1F**：入力キャプチャ 1 フィルタ

このビットフィールドは、TI1 入力をサンプリングする周波数と、TI1 に適用されるデジタルフィルタの長さを定義します。デジタルフィルタはイベントカウンタでできていて、出力に有効な変化をもたらすには N 個のイベント発生が必要です。

0000：フィルタなし、サンプリングは f_{DTS} で行われます 1000：$f_{SAMPLING}=f_{DTS}/8$、N=6

0001：$f_{SAMPLING}=f_{CK_INT}$、N=2　1001：$f_{SAMPLING}=f_{DTS}/8$、N=8

0010：$f_{SAMPLING}=f_{CK_INT}$、N=4　1010：$f_{SAMPLING}=f_{DTS}/16$、N=5

0011：$f_{SAMPLING}=f_{CK_INT}$、N=8　1011：$f_{SAMPLING}=f_{DTS}/16$、N=6

0100：$f_{SAMPLING}=f_{DTS}/2$、N=6　1100：$f_{SAMPLING}=f_{DTS}/16$、N=8

0101：$f_{SAMPLING}=f_{DTS}/2$、N=8　1101：$f_{SAMPLING}=f_{DTS}/32$、N=5

0110：$f_{SAMPLING}=f_{DTS}/4$、N=6　1110：$f_{SAMPLING}=f_{DTS}/32$、N=6

0111：$f_{SAMPLING}=f_{DTS}/4$、N=8　1111：$f_{SAMPLING}=f_{DTS}/32$、N=8

注：　現在のシリコンリビジョンでは、ICxF[3:0]=1、2 または 3 の場合、f_{DTS} は式内で CK_INT により置き換えられます。

ビット 3:2 **IC1PSC**：入力キャプチャ 1 プリスケーラ

このビットフィールドは、CC1 入力（IC1）に作用するプリスケーラの分周比を定義します。

プリスケーラは、CC1E=0（TIMx_CCER レジスタ）になるとリセットされます。

00：プリスケーラなし。キャプチャは、キャプチャ入力のエッジが検出されるたびに行われます。

01：キャプチャは、2 イベントごとに行われます。

10：キャプチャは、4 イベントごとに行われます。

11：キャプチャは、8 イベントごとに行われます。

ビット 1:0 **CC1S**：キャプチャ／比較 1 選択

このビットフィールドは、チャネルの方向（入力／出力）と、使用される入力を定義します。

00：CC1 チャネルは出力として設定されます。

01：CC1 チャネルは入力として設定され、IC1 は TI1 に配置されます。

10：予約済み

11：予約済み

注：　CC1S ビットは、チャネルがオフ（TIMx_CCER レジスタの CC1E=0）のときにのみ書き込み可能です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

19.5.5 TIM10/11/13/14 のキャプチャ／比較イネーブルレジスタ（TIMx_CCER）

アドレスオフセット：0x20

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み												CC1NP	予約済み	CC1P	CC1E
												rw		rw	rw

ビット 15:4 予約済みであり、リセット値に保持する必要があります。

ビット 3 **CC1NP**：キャプチャ／比較 1 相補出力極性

CC1 チャネルが出力として設定されている場合：CC1NP はクリアされたままにする必要があります。

CC1 チャネルが入力として設定されている場合：CC1NP ビットは、TI1FP1 の極性を定義するために CC1P と組み合わせて使用されます（CC1P の説明を参照してください）。

ビット 2 予約済みであり、リセット値に保持する必要があります。

ビット 1 **CC1P**：キャプチャ／比較 1 出力極性

CC1 チャネルが出力として設定されている場合：

0：OC1 はアクティブハイです。

1：OC1 はアクティブローです。

CC1 チャネルが入力として設定されている場合：

CC1P ビットは、トリガ動作またはキャプチャ動作での TI1FP1 および TI2FP1 の極性を選択します。

00：非反転／立上がりエッジ

回路は TI1FP1 の立上がりエッジに反応し（キャプチャモード）、TI1FP1 は反転されません。

01：反転／立下がりエッジ

回路は TI1FP1 の立下がりエッジに反応し（キャプチャモード）、TI1FP1 は反転されます。

10：予約済み。この設定は使用しないでください。

11：非反転／両エッジ

回路は TI1FP1 の立上がりエッジに反応し（キャプチャモード）、TI1FP1 は反転されません。

ビット 0 **CC1E**：キャプチャ /比較 1 出力イネーブル

CC1 チャネルが出力として設定されている場合：

0：オフ - OC1 はアクティブではありません。

1：オン - OC1 信号は、対応する出力ピンに出力されます。

CC1 チャネルが入力として設定されている場合：

このビットによって、カウンタ値のキャプチャ／比較レジスタ 1（TIMx_CCR1）へのキャプチャが実際に行われるかどうかが決まります。

0：キャプチャは無効です。

1：キャプチャは有効です。

表 103. 標準 OCx チャネルの出力制御ビット

CCxE ビット	OCx 出力状態
0	出力無効（OCx=0、OCx_EN=0）
1	OCx=OCxREF + 極性、OCx_EN=1

注： 標準 OCx チャネルに接続されている外部入出力ピンの状態は、OCx チャネルの状態と、GPIO レジスタに依存します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

19.5.6 TIM10/11/13/14 のカウンタ（TIMx_CNT）

アドレスオフセット：0x24

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CNT[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **CNT[15:0]**：カウンタ値

19.5.7 TIM10/11/13/14 のプリスケーラ（TIMx_PSC）

アドレスオフセット：0x28

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PSC[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **PSC[15:0]**：プリスケーラ値

カウンタクロック周波数 CK_CNT は、f_{CK_PSC} /（PSC[15:0] + 1）に等しいです。

PSC は、更新イベントごとにアクティブプリスケーラレジスタにロードされる値を含みます。

19.5.8 TIM10/11/13/14 の自動再ロードレジスタ（TIMx_ARR）

アドレスオフセット：0x2C

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ARR[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 ARR[15:0]：自動再ロード値

ARR は、実際の自動再ロードレジスタにロードされる値です。

APR の更新と動作の詳細については、*セクション 19.3.1：タイムベースユニット（656 ページ）*を参照してください。

自動再ロード値が null のときには、カウンタはブロックされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

19.5.9 TIM10/11/13/14 のキャプチャ／比較レジスタ 1（TIMx_CCR1）

アドレスオフセット：0x34

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR1[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 CCR1[15:0]：キャプチャ／比較 1 値

チャネル CC1 が出力として設定されている場合：
CCR1 は、実際のキャプチャ／比較 1 レジスタにロードされる値（プリロード値）です。

TIMx_CCMR1 レジスタの OC1PE ビットでプリロード機能が選択されていない場合、この値がロードされたままになります。そうでない場合、プリロード値は、更新イベントが発生したときに、アクティブキャプチャ／比較 1 レジスタにコピーされます。

アクティブキャプチャ/比較レジスタはカウンタ TIMx_CNT と比較されて、OC1 出力に送信される値を含みます。

CC1 チャネルが入力として設定されている場合：
CCR1 は、最後の入力キャプチャ 1 イベント（IC1）によって転送されたカウンタ値です。

19.5.10 TIM11 のオプションレジスタ 1（TIM11_OR）

アドレスオフセット：0x50

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み														TI1_RMP[1:0]	
														rw	

ビット 15:2 予約済みであり、リセット値に保持する必要があります。

ビット 1:0 **TI1_RMP[1:0]**：TIM11 入力 1 再配置機能
ソフトウェアでセットおよびクリアします。
00、01、11：TIM11 のチャネル 1 は、GPIO に接続されます（データシートの代替機能配置表を参照してください）。
10：HSE_RTC clock (HSE は、プログラマブルプリスケーラで分周されます)は、測定目的のため、TIM11_CH1 入力に接続されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

19.5.11 TIM10/11/13/14 のレジスタマップ

TIMx レジスタは、次の表のように、16 ビットのアドレス可能レジスタとしてマップされます。

表 104. TIM10/11/13/14 のレジスタマップとリセット値

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	TIMx_CR1	予約済み																						CKD[1:0]		ARPE	予約済み				URS	UDIS	CEN
	リセット値																							0	0	0					0	0	0
0x08	TIMx_SMCR	予約済み																															
	リセット値																																
0x0C	TIMx_DIER	予約済み																														CC1IE	UIE
	リセット値																															0	0
0x10	TIMx_SR	予約済み																						CC1OF		予約済み						CC1IF	UIF
	リセット値																							0								0	0
0x14	TIMx_EGR	予約済み																														CC1G	UG
	リセット値																															0	0
0x18	TIMx_CCMR1 出力比較モード	予約済み																									OC1M[2:0]			OC1PE	OC1FE	CC1S[1:0]	
	リセット値																										0	0	0	0	0	0	0
	TIMx_CCMR1 入力キャプチャモード	予約済み																								IC1F[3:0]					IC1PSC[1:0]	CC1S[1:0]	
	リセット値																									0	0	0	0	0	0	0	0
0x1C	予約済み																																
0x20	TIMx_CCER	予約済み																												CC1NP	予約済み	CC1P	CC1E
	リセット値																												0		0	0	0
0x24	TIMx_CNT	予約済み																CNT[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x28	TIMx_PSC	予約済み																PSC[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x2C	TIMx_ARR	予約済み																ARR[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x30	予約済み																																
0x34	TIMx_CCR1	予約済み																CCR1[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x38～0x4C	予約済み																																
0x50	TIMx_OR	予約済み																														TI1_RMP	
	リセット値																															0	0

レジスタ境界アドレスについては、*表 2（64 ページ）*を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

20 基本タイマ（TIM6、TIM7）

このセクションは、特に指定がない限り、STM32F4xx ファミリデバイス全体に適用されます。

20.1 TIM6 および TIM7 の概要

基本タイマ TIM6 および TIM7 は、プログラマブルなプリスケーラによって駆動される 16 ビット自動再ロードカウンタで構成されています。

このタイマは、タイムベース生成を目的とした汎用タイマとして使用できますが、特にデジタルアナログコンバータ（DAC）の駆動にも使用されます。実際、これらのタイマは内部で DAC に接続されており、トリガ出力を通じて駆動できます。

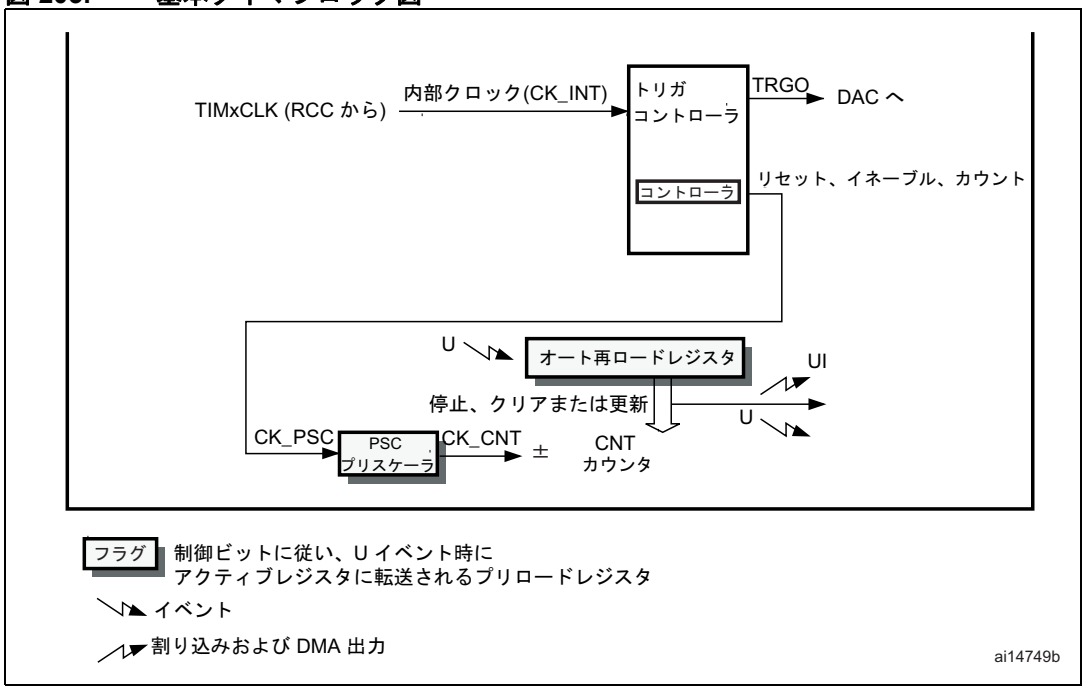
タイマは完全に独立していて、いかなるリソースも共有しません。

20.2 TIM6 および TIM7 の主な機能

基本タイマ（TIM6 および TIM7）の機能は、次のとおりです。

- 16 ビット自動再ロードアップカウンタ
- カウンタクロック周波数を、1 から 65536 の間で分周する 16 ビットプログラマブルプリスケーラ
- DAC をトリガとした同期回路
- 更新イベント時の割り込み／DMA 生成：カウンタオーバーフロー

図 203. 基本タイマブロック図



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

20.3 TIM6 および TIM7 の機能詳細

20.3.1 タイムベースユニット

プログラマブルタイマのメインブロックは、自動再ロードレジスタを持つ 16 ビットアップカウンタです。カウンタのクロックは、プリスケーラで分周できます。

カウンタ、自動再ロードレジスタ、およびプリスケーラレジスタは、ソフトウェアで読み書きができます。カウンタが動作中でも、読み書きが可能です。

タイムベースユニットには次の要素が含まれます。

- カウンタレジスタ（TIMx_CNT）
- プリスケーラレジスタ（TIMx_PSC）
- 自動再ロードレジスタ（TIMx_ARR）

自動再ロードレジスタは、プリロードされます。自動再ロードレジスタの読み書きはプリロードレジスタへのアクセスとなります。プリロードレジスタの内容は、TIMx_CR1 レジスタの自動再ロードプリロードイネーブルビット（ARPE）に応じて、常時または更新イベント UEV ごとに、シャドウレジスタに転送されます。TIMx_CR1 レジスタの UDIS ビットが 0 である場合、カウンタがオーバーフロー値に達すると、更新イベントが送信されます。また、ソフトウェアで生成することもできます。更新イベントの生成については、各設定の詳細が説明されています。

カウンタのクロックは、TIMx_CR1 レジスタのカウンタイネーブルビット（CEN）がセットされているときのみ、プリスケーラ出力 CK_CNT から供給されます。

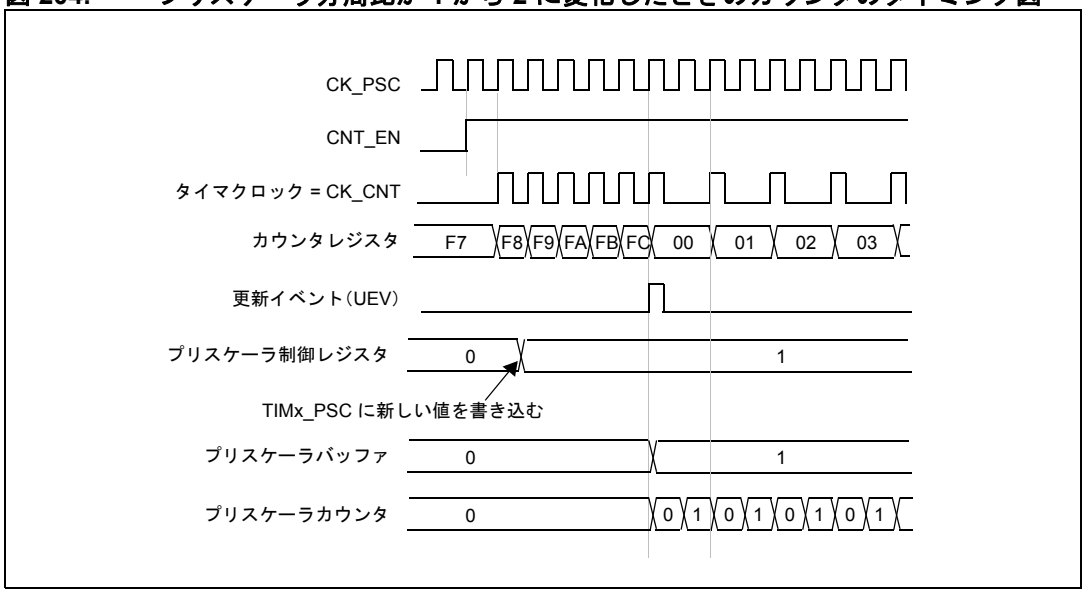
実際のカウンタイネーブル信号 CNT_EN は、CEN の 1 クロックサイクル後にセットされます。

プリスケーラの詳細

プリスケーラは、カウンタクロック周波数を 1 から 65536 の間の値で分周することができます。プリスケーラは、16 ビットレジスタ（TIMx_PSC）を通じて制御される 16 ビットカウンタによって決定されます。TIMx_PSC 制御レジスタはバッファされているので、動作中に変更できます。新しいプリスケーラ比は、次の更新イベントから有効になります。

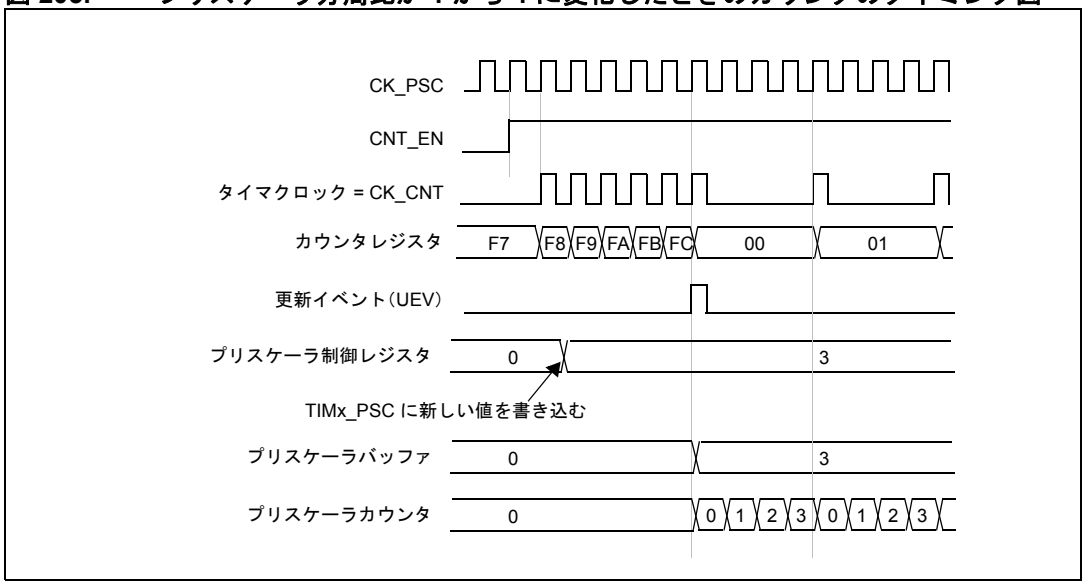
図 204 と *図 205* に、プリスケーラ比を動作中に変更したときのカウンタの動作の例を示します。

図 204. プリスケーラ分周比が 1 から 2 に変化したときのカウンタのタイミング図



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 205. プリスケーラ分周比が 1 から 4 に変化したときのカウンタのタイミング図



20.3.2 カウントモード

カウンタは、0 から自動再ロード値（TIMx_ARR レジスタの内容）までカウントし、その後 0 からカウントをリスタートして、カウンタオーバーフローイベントを生成します。

更新イベントは、カウンタオーバーフローごとに、または、TIMx_EGR レジスタの UG ビットをセットすることによって（ソフトウェアで、または、スレーブモードコントローラを使用して）生成できます。

UEV イベントは、ソフトウェアで TIMx_CR1 レジスタの UDIS ビットをセットすることによって無効にできます。これは、プリロードレジスタに新しい値を書き込んでいるときにシャドウレジスタが更新されるのを防ぐためです。このようにすると、UDIS ビットに 0 が書き込まれるまで更新イベントは発生しませんが、カウンタとプリスケーラカウンタは両方とも 0 からリスタートします（ただし、プリスケーラ比は変化しません）。さらに、TIMx_CR1 レジスタの URS（更新リクエスト選択）ビットがセットされている場合、UG ビットをセットすると更新イベント UEV が生成されますが、UIF フラグはセットされません（割り込みや DMA リクエストは送信されません）。

更新イベントが発生すると、すべてのレジスタが更新され、URS ビットの設定に応じて、更新フラグ（TIMx_SR レジスタの UIF ビット）がセットされます。

- プリスケーラのバッファにはプリロード値（TIMx_PSC レジスタの内容）が再ロードされます。
- 自動再ロードシャドウレジスタは、プリロード値（TIMx_ARR）で更新されます。

以下の図は、TIMx_ARR = 0x36 のときの、さまざまなクロック周波数におけるカウンタの動作の例を示します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 206. 内部クロック分周比が 1 の場合のカウンタのタイミング図

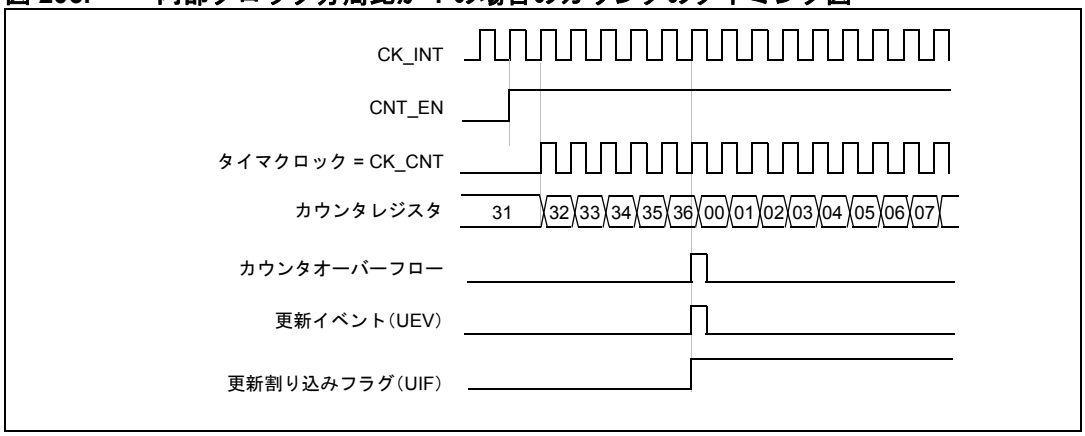


図 207. 内部クロック分周比が 2 の場合のカウンタのタイミング図

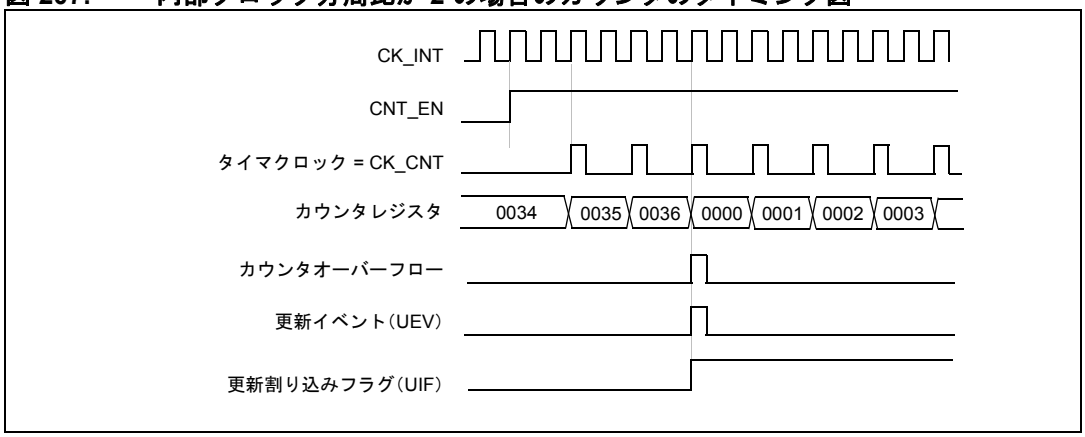
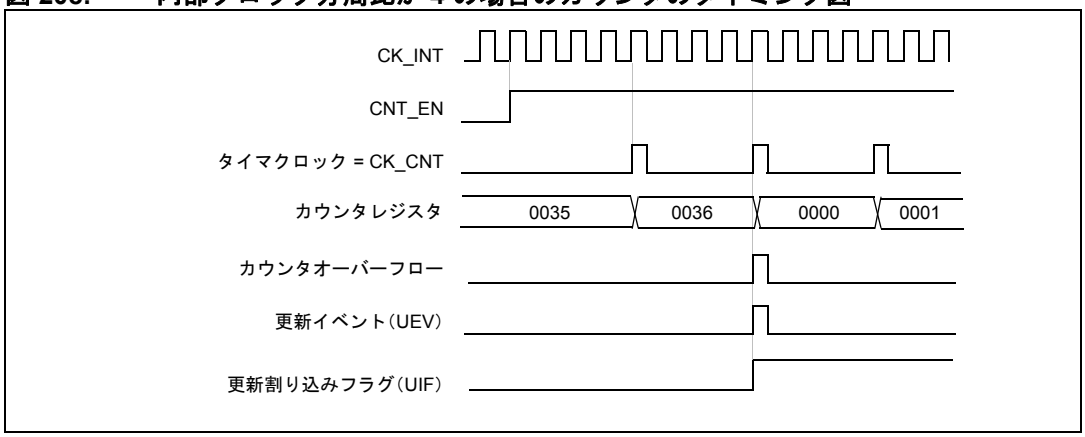


図 208. 内部クロック分周比が 4 の場合のカウンタのタイミング図



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 209. 内部クロック分周比が N の場合のカウンタのタイミング図

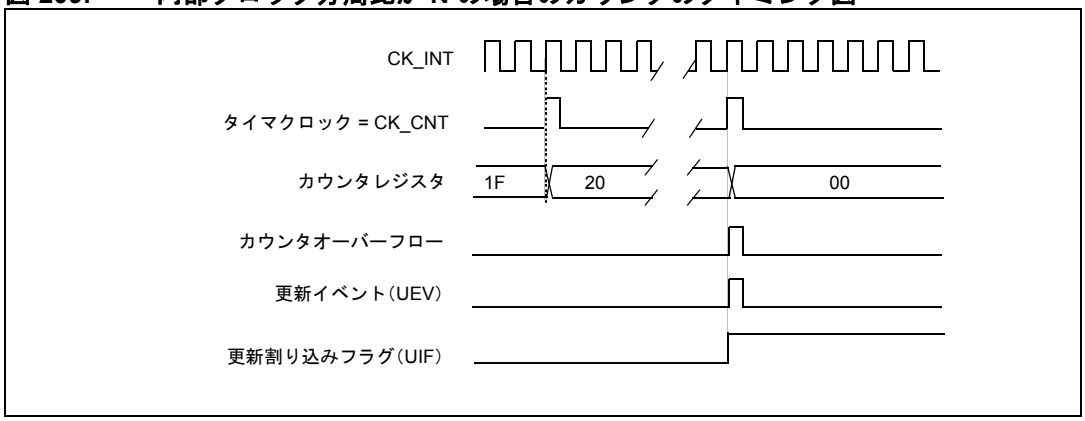
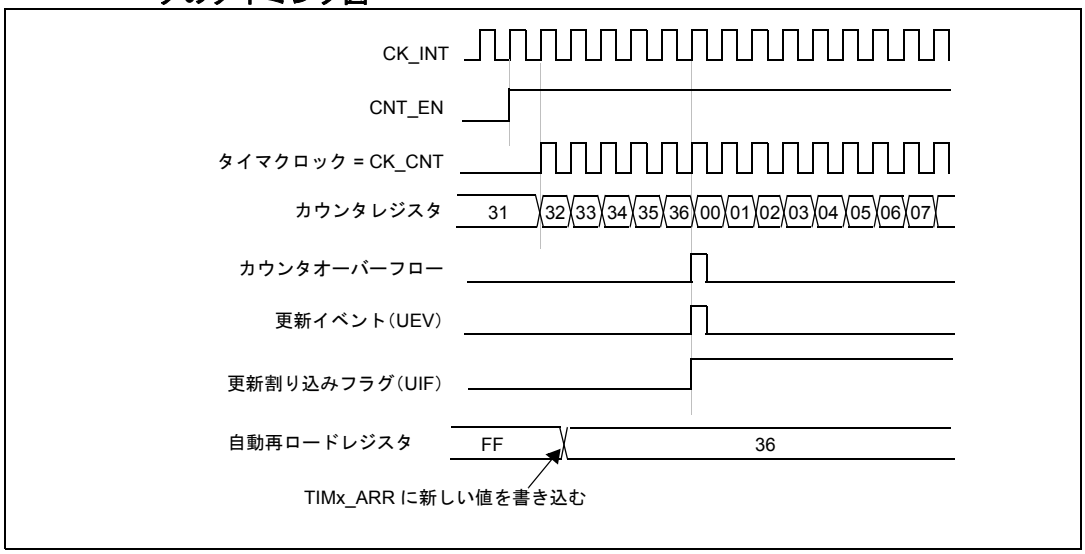
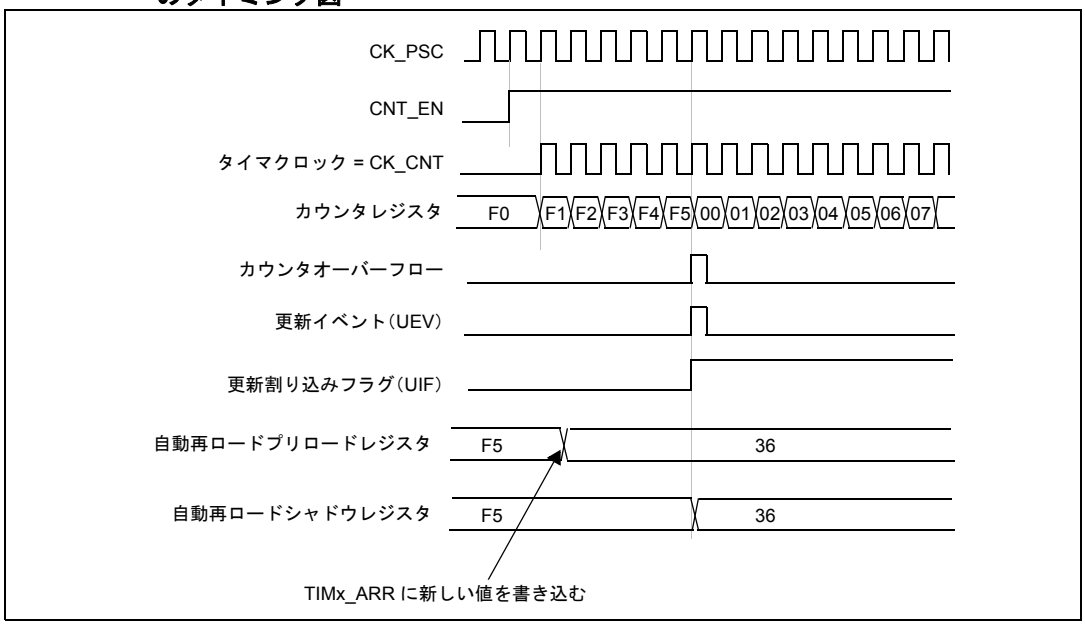


図 210. ARPE=0 時（TIMx_ARR はプリロードされない）、更新イベント時のカウンタのタイミング図



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 211. ARPE=1 時（TIMx_ARR はプリロードされる）、更新イベント時のカウンタのタイミング図



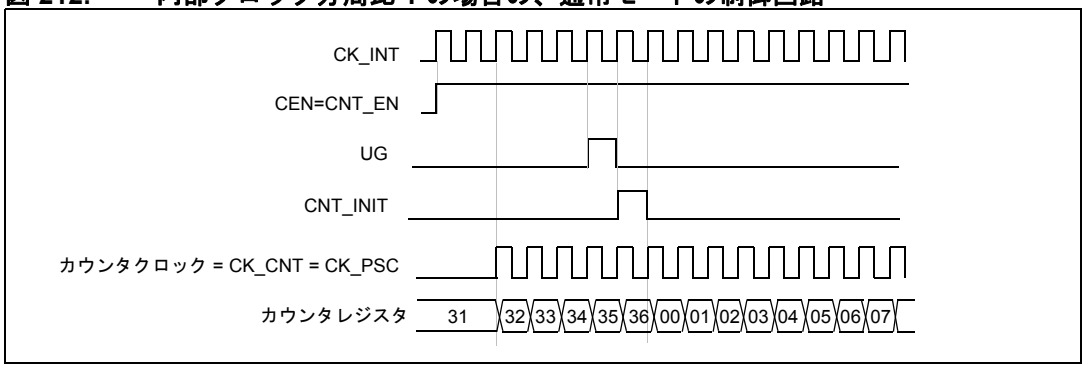
20.3.3 クロックソース

カウンタクロックは、内部クロック（CK_INT）ソースから供給されます。

TIMx_CR1 レジスタの CEN ビットと TIMx_EGR レジスタの UG ビットは実際の制御ビットであり、ソフトウェアによってのみ変更できます（ただし、自動的にクリア状態が保持される UG ビットを除きます）。CEN ビットに 1 が書き込まれると、プリスケーラにはクロックとして内部クロック CK_INT が供給されます。

図 212 に、プリスケーラを使用しない場合の制御回路と通常モードのアップカウンタの動作を示します。

図 212. 内部クロック分周比 1 の場合の、通常モードの制御回路



20.3.4 デバッグモード

マイクロコントローラがデバッグモードになると（Cortex™-M4 with FPU コア停止）、DBG モジュールの DBG_TIMx_STOP 設定ビットに応じて、TIMx カウンタは通常通りに動作を続けるか、または停止します。詳細については、*セクション 38.16.2：タイマ、ウォッチドッグ、bxCAN、および I2C のデバッグサポート* を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

20.4 TIM6 および TIM7 レジスタ

レジスタの説明で使用されている略語のリストについては、*セクション 1.1（57 ページ）*を参照してください。

ペリフェラルレジスタには、ハーフワード（16 ビット）またはワード（32 ビット）単位で書き込む必要があります。読み出しアクセスは、バイト（8 ビット）、ハーフワード（16 ビット）またはワード（32 ビット）単位で行うことができます。

20.4.1 TIM6 および TIM7 制御レジスタ 1（TIMx_CR1）

アドレスオフセット：0x00

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								ARPE	予約済み			OPM	URS	UDIS	CEN
								rw				rw	rw	rw	rw

ビット 15:8 予約済みであり、リセット値に保持する必要があります。

ビット 7 ARPE：自動再ロードプリロードイネーブル

0：TIMx_ARR レジスタはバッファされません。
1：TIMx_ARR レジスタはバッファされます。

ビット 6:4 予約済みであり、リセット値に保持する必要があります。

ビット 3 **OPM**：ワンパルスモード

0：カウンタは更新イベントで停止しません。
1：カウンタは次の更新イベントでカウントを停止します（CEN ビットをクリアします）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 2 **URS**：更新リクエストソース

このビットは、UEV イベントソースを選択するために、ソフトウェでセット／クリアされます。

0：次のイベントのいずれかが更新割り込みまたは DMA リクエストを生成します（有効な場合）。これらのイベントは、次のとおりです。

– カウンタオーバーフロー／アンダーフロー
– UG ビットのセット
– スレーブモードコントローラからの更新生成

1：カウンタオーバーフロー／アンダーフローのみが更新割り込みまたは DMA リクエストを生成します（有効な場合）。

ビット 1 **UDIS**：更新ディセーブル

このビットは、UEV イベント生成を有効／無効にするために、ソフトウェアでセット／クリアされます。

0：UEV は有効です。更新イベント（UEV）は、次のいずれかのイベントによって生成されます。

– カウンタオーバーフロー／アンダーフロー
– UG ビットのセット
– スレーブモードコントローラからの更新生成

バッファを持つレジスタにはプリロード値がロードされます。

1：UEV は無効です。更新イベントは生成されず、シャドウレジスタ（ARR、PSC）はそれぞれの値を維持します。ただし、UG ビットがセットされた場合や、スレーブモードコントローラからハードウェアリセットを受信した場合には、カウンタとプリスケーラは再初期化されます。

ビット 0 **CEN**：カウンタイネーブル

0：カウンタは無効です。

1：カウンタは有効です。

注： ***ゲートモードは、CEN ビットが事前にソフトウェアでセットされている場合にのみ動作します。ただし、トリガモードでは、ハードウェアによって自動的に CEN ビットをセットできます。***

ワンパルスモードでは、更新イベントが発生すると、CEN が自動的にクリアされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

20.4.2 TIM6 および TIM7 制御レジスタ 2（TIMx_CR2）

アドレスオフセット：0x04

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み									MMS[2:0]			予約済み			
									rw	rw	rw				

ビット 15:7 予約済みであり、リセット値に保持する必要があります。

ビット 6:4 **MMS[2:0]**：マスタモード選択

これらのビットは、スレーブタイマの同期のためにマスタモードで送信される情報（TRGO）を選択するために使用します。組み合わせは、次のとおりです。

000：**リセット** - TIMx_EGR レジスタの UG ビットがトリガ出力（TRGO）として使用されます。トリガ入力によってリセットが発生したとき（スレーブモードコントローラがリセットモードに設定されているとき）TRGO 信号は実際のリセットから遅れて発生します。

001：**イネーブル** - カウンタイネーブル信号 CNT_EN がトリガ出力（TRGO）として使用されます。これは、いくつかのタイマを同時に開始するときや、スレーブタイマが有効な時間枠を制御するときに役立ちます。カウンタイネーブル信号は、ゲートモードに設定されているとき、CEN 制御ビットとトリガ入力との論理和（OR）によって生成されます。

カウンタイネーブル信号がトリガ入力によって制御されているとき、マスタ／スレーブモードが選択されている場合を除いて、TRGO に遅延が存在します（TIMx_SMCR レジスタの MSM ビットの説明を参照してください）。

010：**更新** - 更新イベントがトリガ出力（TRGO）として選択されます。たとえば、マスタタイマをスレーブタイマのプリスケーラとして使用できます。

ビット 3:0 予約済みであり、リセット値に保持する必要があります。

20.4.3 TIM6 および TIM7 DMA／割り込みイネーブルレジスタ（TIMx_DIER）

アドレスオフセット：0x0C

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み							UDE	予約済み							UIE
							rw								rw

ビット 15:9 予約済みであり、リセット値に保持する必要があります。

ビット 8 **UDE**：更新 DMA リクエストイネーブル

0：更新 DMA リクエストは無効です。

1：更新 DMA リクエストは有効です。

ビット 7:1 予約済みであり、リセット値に保持する必要があります。

ビット 0 **UIE**：更新割り込みイネーブル

0：更新割り込みは無効です。

1：更新割り込みは有効です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

20.4.4 TIM6 および TIM7 ステータスレジスタ（TIMx_SR）

アドレスオフセット：0x10

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															UIF
															rc_w0

ビット 15:1 予約済みであり、リセット値に保持する必要があります。

ビット 0 **UIF**：更新割り込みフラグ

このビットは、更新イベント時にハードウェアによってセットされます。ソフトウェアでクリアされます。

0：更新は発生していません。

1：更新割り込みが保留中です。このビットは、レジスタが以下で更新されたときにハードウェアによってセットされます。

– TIMx_CR1 レジスタの UDIS = 0 の場合、オーバーフローまたはアンダーフローが発生したとき。

– TIMx_CR1 レジスタの URS = 0 かつ UDIS = 0 の場合に、TIMx_EGR レジスタの UG ビットを使用して、ソフトウェアで CNT が再初期化されたとき。

20.4.5 TIM6 および TIM7 イベント生成レジスタ（TIMx_EGR）

アドレスオフセット：0x14

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															UG
															w

ビット 15:1 予約済みであり、リセット値に保持する必要があります。

ビット 0 **UG**：更新生成

このビットは、ソフトウェアでセットでき、ハードウェアによって自動的にクリアされます。

0：影響はありません。

1：タイマカウンタを再初期化して、レジスタの更新を生成します。プリスケーラカウンタもクリアされます（プリスケーラ比は変化しません）。

20.4.6 TIM6 および TIM7 カウンタ（TIMx_CNT）

アドレスオフセット：0x24

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CNT[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **CNT[15:0]**：カウンタ値

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

20.4.7 TIM6 および TIM7 プリスケーラ（TIMx_PSC）

アドレスオフセット：0x28

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PSC[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **PSC[15:0]**：プリスケーラ値
カウンタクロック周波数 CK_CNT は、f_{CK_PSC} /（PSC[15:0] + 1）に等しいです。
PSC は、更新イベントごとにアクティブプリスケーラレジスタにロードされる値を含みます。

20.4.8 TIM6 および TIM7 自動再ロードレジスタ（TIMx_ARR）

アドレスオフセット：0x2C

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ARR[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **ARR[15:0]**：自動再ロード値
ARR は、実際の自動再ロードレジスタにロードされる値です。
APR の更新と動作の詳細については、*セクション 20.3.1：タイムベースユニット（696 ページ）*を参照してください。
自動再ロード値が null のときには、カウンタはブロックされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

20.4.9 TIM6 および TIM7 レジスタマップ

TIMx レジスタは、次の表のように、16 ビットアドレス可能レジスタとしてマップされます。

表 105. TIM6 および TIM7 - レジスタマップとリセット値

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	TIMx_CR1	予約済み																								ARPE	予約済み			OPM	URS	UDIS	CEN
	リセット値																									0				0	0	0	0
0x04	TIMx_CR2	予約済み																									MMS[2:0]			予約済み				
	リセット値																										0	0	0				
0x08	予約済み																																
0x0C	TIMx_DIER	予約済み																							UDE	予約済み							UIE
	リセット値																								0								0
0x10	TIMx_SR	予約済み																															UIF
	リセット値																																0
0x14	TIMx_EGR	予約済み																															UG
	リセット値																																0
0x18	予約済み																																
0x1C	予約済み																																
0x20	予約済み																																
0x24	TIMx_CNT	予約済み																CNT[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x28	TIMx_PSC	予約済み																PSC[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x2C	TIMx_ARR	予約済み																ARR[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

レジスタ境界アドレスについては、*表 2（64 ページ）*を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

21 独立型ウォッチドッグ（IWDG）

このセクションは、特に指定がない限り、STM32F4xx ファミリ全体に適用されます。

21.1 IWDG の概要

デバイス は、2 つの内蔵ウォッチドッグペリフェラルを搭載しており、使用上、高い安全レベル、タイミングの正確さ、および柔軟性を兼ね備えています。2 つのウォッチドッグペリフェラル（独立型とウィンドウ型）は、ソフトウェア障害による誤動作を検出および解決し、カウンタが与えられたタイムアウト値に達すると、システムリセットまたは割込み（ウィンドウ型ウォッチドッグのみ）をトリガします。

独立型ウォッチドッグ（IWDG）は、独自の低速クロック（LSI）によってクロック供給されるので、メインクロックに障害があってもアクティブなままです。ウィンドウ型ウォッチドッグ（WWDG）のクロックは、APB1 クロックから分周され、また設定可能な時間枠（time-window）があるので、これをプログラムしてアプリケーション動作の異常な進み・遅れを検出できます。

IWDG は、メインアプリケーションの外部で、完全に独立したプロセスとして実行するウォッチドッグが必要な場合に最適ですが、タイミング精度が低いという制約があります。WWDG は、正確な時間枠内で反応するウォッチドッグが必要なアプリケーションに適しています。ウィンドウ型ウォッチドッグの詳細については、*セクション 22（713 ページ）*を参照してください。

21.2 IWDG の主な機能

- フリーランニングダウンカウンタ
- 独立した RC オシレータからクロック供給（STANDBY および STOP モードで動作可能）
- ダウンカウンタ値が 0x000 に達したときにリセット（ウォッチドッグが有効な場合）

21.3 IWDG の機能詳細

図 213 に、独立型ウォッチドッグモジュールの機能ブロックを示します。

キーレジスタ（IWDG_KR）に値 0xCCCC が書き込まれることによって独立型ウォッチドッグが開始すると、カウンタはリセット値 0xFFF からカウントダウンを開始します。カウント値の終わり（0x000）に達すると、リセット信号が生成されます（IWDG_reset）。

IWDG_KR レジスタにキー値 0xAAAA が書き込まれると、IWDG_RLR の値がカウンタに再ロードされ、ウォッチドッグのリセットが防止されます。

21.3.1 ハードウェアウォッチドッグ

デバイスのオプションビットを通じて「ハードウェアウォッチドッグ」機能が有効な場合、ウォッチドッグは電源投入時に自動的に有効になり、カウンタがカウントの終わりに達する前にソフトウェアによってキーレジスタへ書き込まれない限り、リセットを生成します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

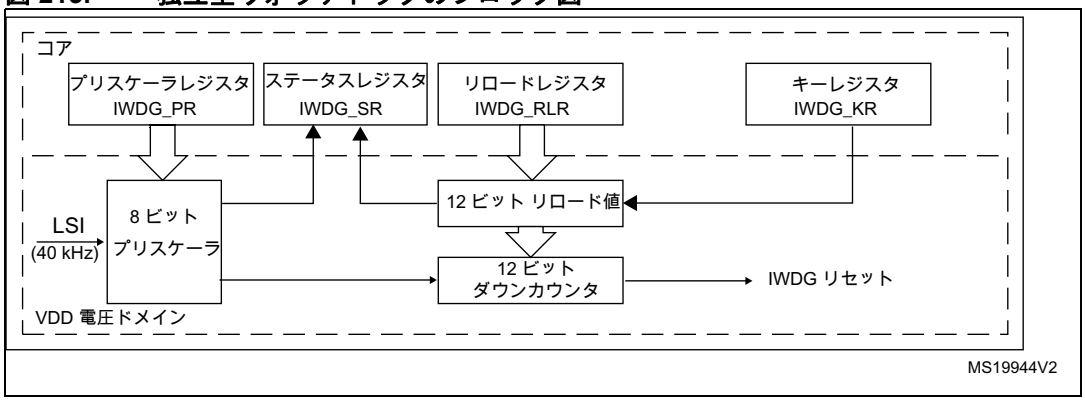
21.3.2 レジスタアクセスに対する保護

IWDG_PR および IWDG_RLR レジスタへの書き込みアクセスは保護されます。これらを変更するには、まず、IWDG_KR レジスタにコード 0x5555 を書き込む必要があります。このレジスタに別の値を書き込むと、シーケンスがブレークされ、レジスタへのアクセスが再び保護されます。これは、再ロード操作（0xAAAA の書き込み）であることを意味します。
ステータスレジスタは、プリスケーラやダウンカウンタ再ロード値の更新が行われていることを示すために使用されます。

21.3.3 デバッグモード

マイクロコントローラがデバッグモード（FPU 機能付き Cortex™-M4 コアは停止）に入ると、IWDG カウンタは、DBG モジュールの DWG_IWDG_STOP 設定ビットに応じて、通常通りに動作を続けるか、停止します。詳細については、*セクション 38.16.2：タイマ、ウォッチドッグ、bxCAN、および I2C のデバッグサポート* を参照してください。

図 213. 独立型ウォッチドッグのブロック図



注： ***ウォッチドッグ機能は、STOP モードおよび STANDBY モードでも機能する V_{DD} 電圧ドメインに実装されています。***

表 106. 最小／最大 IWDG タイムアウト期間（32 kHz）（LSI）(1)

プリスケーラ分周回路	PR[2:0] ビット	タイムアウト最小値（ms） RL[11:0]= 0x000	タイムアウト最大値（ms） RL[11:0]= 0xFFF
/4	0	0.125	512
/8	1	0.25	1024
/16	2	0.5	2048
/32	3	1	4096
/64	4	2	8192
/128	5	4	16384
/256	6	8	32768

1. これらのタイミングは、32 kHz クロックが供給されたときの値ですが、マイクロコントローラの内蔵 RC 周波数は 30 kHz から 60 kHz の間で変化することがあります。さらに、RC オシレータ周波数が正確だとしても、タイミング精度は、APB インタフェースクロックと LSI クロックの位相によっても左右されるので、最大で RC クロック 1 周期分の誤差が生じます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

21.4 IWDG レジスタ

レジスタの説明で使用されている略語のリストについては、*セクション 1.1 (57 ページ)* を参照してください。

ペリフェラルレジスタには、ハーフワード（16 ビット）またはワード（32 ビット）単位でアクセスできます。

21.4.1 キーレジスタ（IWDG_KR）

アドレスオフセット：0x00

リセット値：0x0000 0000（STANDBY モードによりリセットされます）

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																KEY[15:0]															
																w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15:0 **KEY[15:0]**：キー値（書き込み専用、読み出しでは 0000h）

これらのビットには、ソフトウェアによって一定間隔でキー値 AAAAh が書き込まれなければなりません。そういないと、カウンタが 0 に達すると、ウォッチドッグがリセットを生成します。

キー値 5555h を書き込むことによって、IWDG_PR および IWDG_RLR レジスタへのアクセスが可能になります（*セクション 21.3.2* を参照）。

キー値 CCCCh を書き込むと、ウォッチドッグが開始します（ハードウェアウォッチドッグオプションが選択されている場合を除きます）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

21.4.2 プリスケーラレジスタ（IWDG_PR）

アドレスオフセット：0x04

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																													PR[2:0]		
																													rw	rw	rw

ビット 31:3 予約済みであり、リセット値に保持する必要があります。

ビット 2:0 **PR[2:0]**：プリスケーラ分周回路

これらのビットは、書き込みアクセス保護されています（*セクション 21.3.2* を参照）。カウンタクロックを供給するプリスケーラ分周回路を選択するようにソフトウェアで書き込まれます。プリスケーラ分周回路を変更できるようにするには、IWDG_SR レジスタの PVU ビットをリセットする必要があります。

000：4 分周
001：8 分周
010：16 分周
011：32 分周
100：64 分周
101：128 分周
110：256 分周
111：256 分周

注： ***このレジスタを読み出すと、VDD 電圧ドメインからプリスケーラ値が返されます。このレジスタへの書き込み操作が進行中の場合には、この値は最新でないか、有効でないことがあります。このため、このレジスタから読み出された値が有効なのは、IWDG_SR レジスタの PVU ビットがリセットされているときのみです。***

21.4.3 再ロードレジスタ（IWDG_RLR）

アドレスオフセット：0x08

リセット値：0x0000 0FFF（STANDBY モードによりリセットされます）

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																				RL[11:0]											
																				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:12 予約済みであり、リセット値に保持する必要があります。

ビット 11:0 **RL[11:0]**：ウォッチドッグカウンタ再ロード値

これらのビットは、書き込みアクセス保護されています（*セクション 21.3.2* を参照）。IWDG_KR レジスタに値 AAAAh が書き込まれるたびにウォッチドッグカウンタにロードされる値を定義するために、ソフトウェアで書き込まれます。ウォッチドッグカウンタは、この値からカウントダウンします。タイムアウトまでの時間は、この値とクロックプリスケーラによって決まります。*表 106.* を参照してください。

再ロード値を変更できるようにするには、IWDG_SR レジスタの RVU ビットをリセットする必要があります。

注： ***このレジスタを読み出すと、VDD 電圧ドメインからリロード値が返されます。このレジスタへの書き込み操作が進行中の場合、この値は最新でないか、有効でないことがあります。このため、このレジスタから読み出された値が有効なのは、IWDG_SR レジスタの RVU ビットがリセットされているときのみです。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

21.4.4 ステータスレジスタ（IWDG_SR）

アドレスオフセット：0x0C

リセット値：0x0000 0000（STANDBY モードによりリセットされません）

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																														RVU	PVU
																														r	r

ビット 31:2 予約済みであり、リセット値に保持する必要があります。

ビット 1 **RVU:** ウォッチドッグカウンタ再ロード値の更新

このビットは、再ロード値の更新が進行中であることを示すために、ハードウェアによってセットされます。V_{DD} 電圧ドメインで再ロード値の更新操作が完了したときに、ハードウェアによってリセットされます（最大 5 RC 32 kHz サイクルかかります）。

再ロード値は、RVU ビットがリセットされているときのみ更新できます。

ビット 0 **PVU:** ウォッチドッグプリスケーラ値の更新

このビットは、プリスケーラ値の更新が進行中であることを示すために、ハードウェアによってセットされます。V_{DD} 電圧ドメインでプリスケーラ更新操作が完了したときに、ハードウェアによってリセットされます（最大 5 RC 32 kHz サイクルかかります）。

プリスケーラ値は、PVU ビットがリセットされているときのみ更新できます。

注： ***複数の再ロード値またはプリスケーラ値がアプリケーションで使用される場合は、再ロード値を変更する前に RVU ビットがリセットされるまで待つ必要があり、またプリスケーラ値を変更する前に PVU ビットがリセットされるまで待つ必要があります。ただし、プリスケーラ値や再ロード値を更新した後は、RVU または PVU がリセットされるのを待たずに、コード実行を続けることができます（低電力モードに入った場合でも、書き込み操作は実行され、完了します）。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

21.4.5 IWDG レジスタマップ

次の表に、IWDG レジスタマップとリセット値を示します。

表 107. IWDG レジスタマップとリセット値

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	IWDG_KR	予約済み																KEY[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x04	IWDG_PR	予約済み																														PR[2:0]	
	リセット値																															0	0	0
0x08	IWDG_RLR	予約済み																				RL[11:0]											
	リセット値																					1	1	1	1	1	1	1	1	1	1	1	1
0x0C	IWDG_SR	予約済み																														RVU	PVU
	リセット値																															0	0

レジスタ境界アドレスについては、*表 2（64 ページ）*を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

22 ウィンドウ型ウォッチドッグ（WWDG）

このセクションは、特に指定がない限り、STM32F4xx ファミリ全体に適用されます。

22.1 WWDG の概要

ウィンドウ型ウォッチドッグは、通常、外部の影響や予期しない論理条件などによって発生し、アプリケーションプログラムを正常なシーケンスから逸脱させるソフトウェア障害を検出するために使用されます。ウォッチドッグ回路は、T6 ビットがクリアされる前にプログラムがダウンカウンタの内容を更新しない限り、プログラムされた時間の経過後に MCU リセットを生成します。MCU リセットは、ダウンカウンタがウィンドウレジスタ値に達する前に 7 ビットのダウンカウンタの値（制御レジスタ内）が更新された場合にも生成されます。このことは、限られた時間枠（time-window）の間にカウンタが更新されなければならないことを意味します。

22.2 WWDG の主な機能

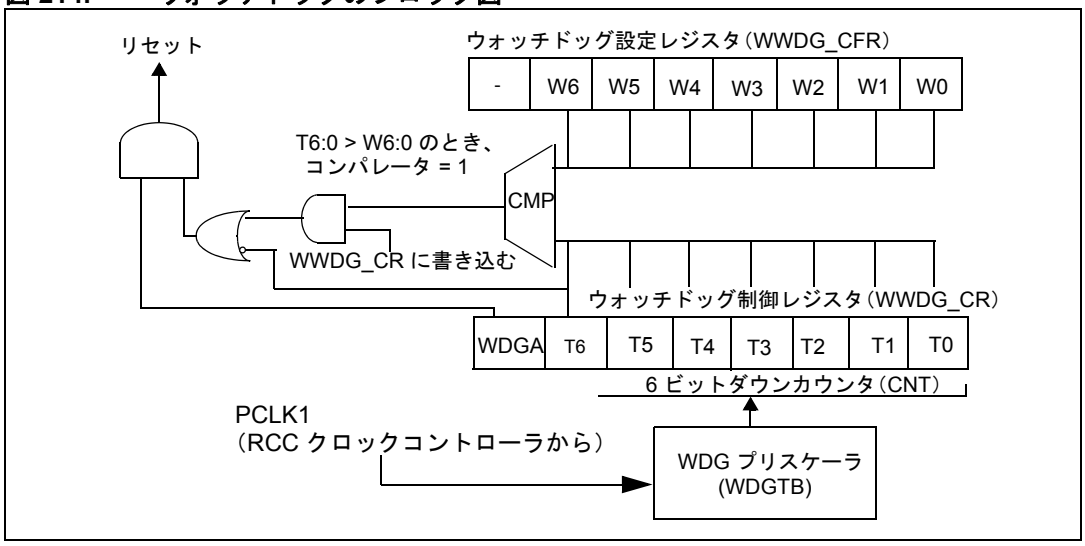
- プログラム可能なフリーランニングダウンカウンタ
- 条件付きリセット
  - ダウンカウンタの値が 0x40 より小さくなったときにリセット（ウォッチドッグが有効な場合）。
  - ダウンカウンタがウィンドウ外で再ロードされた場合にリセット（ウォッチドッグが有効な場合）（*図 215* を参照）。
- 早期ウェイクアップ割り込み（EWI）：ダウンカウンタが 0x40 になったときにトリガ（有効であり、ウォッチドッグがアクティブな場合）

22.3 WWDG の機能詳細

ウォッチドッグが有効であり（WWDG_CR レジスタの WDGA ビットがセット）、7 ビットのダウンカウンタ（T[6:0] ビット）が 0x40 から 0x3F にロールオーバーすると（T6 がクリア）、リセットを開始します。カウンタがウィンドウレジスタに格納された値より大きい間にソフトウェアがカウンタを再ロードした場合にも、リセットが生成されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 214. ウォッチドッグのブロック図



アプリケーションプログラムは、通常動作時には定期的に WWDG_CR レジスタへの書込みを行って、MCU リセットを防ぐ必要があります。この操作は、カウンタの値がウィンドウレジスタの値より小さいときに限られます。WWDG_CR レジスタに格納される値は、0xFF から 0xC0 の間でなければなりません。

ウォッチドッグを有効にする

ウォッチドッグはリセット後は常に無効です。これを有効にするには、WWDG_CR レジスタの WDGA ビットをセットします。この後は、リセット以外の方法でウォッチドッグを無効にすることはできません。

ダウンカウンタの制御

このダウンカウンタはフリーランニングであり、ウォッチドッグが無効状態であってもカウントダウンを続けます。ウォッチドッグを有効にするときには、T6 ビットをセットして、リセットの生成を防ぐ必要があります。

T[5:0] ビットは、ウォッチドッグがリセットを生成するまでの時間遅延を表すインクリメント数を含みます。このタイミングは、WWDG_CR レジスタへの書込み時のプリスケーラの状態が不明なので最小値から最大値の間で変化します（*図 215* 参照）。設定レジスタ（WWDG_CFR）は、ウィンドウの上限値を含みます。リセットを防ぐには、カウンタの値がウィンドウレジスタの値よりも小さく、0x3F よりも大きい間にダウンカウンタを再ロードする必要があります。*図 215* に、ウィンドウ型ウォッチドッグプロセスを示します。

注： ***T6 ビットを使用して、ソフトウェアリセットを生成することができます（WDGA ビットはセット、T6 ビットはクリアされます）。***

高度なウォッチドッグ割り込み機能

実際にリセットが生成される前に特定の安全処理やデータロギングを実施する必要がある場合は、早期ウェイクアップ割り込み（EWI）が使用できます。EWI 割り込みは、WWDG_CFR レジスタの EWI ビットをセットすることによって有効になります。ダウンカウンタ値が 0x40 に到達すると、EWI 割り込みが生成され、対応する割り込みサービスルーチン（ISR）を使用してデバイスをリセットする前に特定の処理（通信やデータロギングなど）をトリガすることができます。

アプリケーションによっては、EWI 割り込みを使用して WWDG リセットを生成せずにソフトウェアのシステムチェックやシステム復旧／迅速なデグラデーションを管理することができます。この場

この資料は、STMicroelectronics NV 並びにその子会社（以下 ST）が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

合、対応する割り込みサービスルーチン（ISR）で WWDG カウンタを再ロードし、WWDG リセットを回避してから必要な操作をトリガする必要があります。

EWI 割り込みは、WWDG_SR レジスタの EWIF ビットに“0”を書き込むことによってクリアされます。

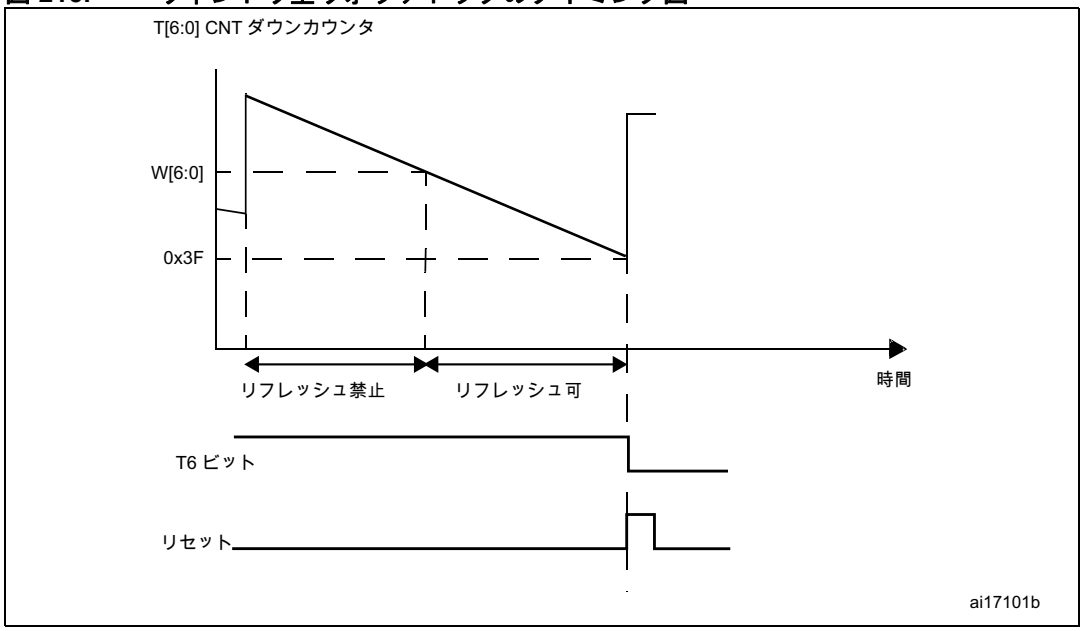
注： ***優先度の高いタスクにおけるシステムロックなどによって EWI 割り込みが使用できない場合、最終的には WWDG リセットが生成されます。***

22.4 ウォッチドッグタイムアウトをプログラム方法

図 215 の式を使用して、WWDG のタイムアウトを計算することができます。

警告： **ただちにリセットされるのを防ぐために、WWDG_CR レジスタに書き込むときには、常に T6 ビットに 1 を書き込んでください。**

図 215. ウィンドウ型ウォッチドッグのタイミング図



タイムアウト時間は次の式で算出されます。

$$t_{WWDG} = t_{PCLK1} \times 4096 \times 2^{WDGTB} \times (t[5:0] + 1) \quad (ms)$$

ここで、

t_{WWDG}：WWDG タイムアウト

t_{PCLK1}：APB1 クロック周期（ms）

T_{WWDG} の最小値と最大値については、次の表を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 108. 30 MHz（f_{PCLK1}）でのタイムアウト値

プリスケーラ	WDGTB	タイムアウト最小値 (µs) T[5:0] = 0x00	タイムアウト最大値 (ms) T[5:0] = 0x3F
1	0	136.53	8.74
2	1	273.07	17.48
4	2	546.13	34.95
8	3	1092.27	69.91

22.5 デバッグモード

マイクロコントローラがデバッグモード（FPU 機能付き Cortex™-M4 コアは停止）に入ると、WWDG カウンタは、DBG モジュールの DBG_WWDG_STOP 設定ビットに応じて、通常通りに動作を続けるか、停止します。詳細については、*セクション 38.16.2：タイマ、ウォッチドッグ、bxCAN、および I2C のデバッグサポート* を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

22.6 WWDG レジスタ

レジスタの説明で使用されている略語のリストについては、*セクション 1.1 (57 ページ)* を参照してください。

ペリフェラルレジスタには、ハーフワード（16 ビット）またはワード（32 ビット）単位でアクセスできます。

22.6.1 制御レジスタ（WWDG_CR）

アドレスオフセット：0x00

リセット値：0x0000 007F

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								WDGA	T[6:0]						
								rs	rw						

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7 **WDGA**：有効化ビット

このビットは、ソフトウェアでセットされ、リセット後はハードウェアによってのみクリアされます。WDGA = 1 のとき、ウォッチドッグはリセットを生成できます。

0：ウォッチドッグは無効です。

1：ウォッチドッグは有効です。

ビット 6:0 **T[6:0]**：7 ビットカウンタ（MSB から LSB まで）

これらのビットは、ウォッチドッグカウンタの値を含みます。（4096 x 2^{WDGTB}）PCLK1 サイクルごとにデクリメントされます。0x40 から 0x3F にロールオーバーすると（T6 がクリアされると）、リセットが生成されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

22.6.2 設定レジスタ（WWDG_CFR）

アドレスオフセット：0x04

リセット値：0x0000 007F

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み						EWI	WDGTB[1:0]		W[6:0]						
						rs	rw		rw						

ビット 31:10 予約済みであり、リセット値に保持する必要があります。

ビット 9 **EWI**：早期ウェイクアップ割り込み

このビットがセットされているときには、カウンタの値が 0x40 に達したときに割り込みが発生します。この割り込みは、リセット後にハードウェアによってのみクリアされます。

ビット 8:7 **WDGTB[1:0]**：タイマーベース

プリスケーラのタイムベースは、次のように変更できます。

00：CK カウンタクロック（PCLK1/4096）/1
01：CK カウンタクロック（PCLK1/4096）/2
10：CK カウンタクロック（PCLK1/4096）/4
11：CK カウンタクロック（PCLK1/4096）/8

ビット 6:0 **W[6:0]**：7 ビットウィンドウ値

これらのビットは、ダウンカウンタと比較されるウィンドウ値を含みます。

22.6.3 ステータスレジスタ（WWDG_SR）

アドレスオフセット：0x08
リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															EWIF
															rc_w0

ビット 31:1 予約済みであり、リセット値に保持する必要があります。

ビット 0 **EWIF**：早期ウェイクアップ割り込みフラグ

このビットは、カウンタの値が 0x40 に達したときにハードウェアによってセットされます。“0”を書き込んでソフトウェアでクリアする必要があります。“1”を書き込んだときには、ビットの値に影響を与えません。このビットは、割り込みが有効でない場合にもセットされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

22.6.4 WWDG レジスタマップ

次の表に、WWDG のレジスタマップとリセット値を示します。

表 109. WWDG レジスタマップとリセット値

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	WWDG_CR	予約済み																								WDGA	T[6:0]						
	リセット値																									0	1	1	1	1	1	1	1
0x04	WWDG_CFR	予約済み																						EWI	WDGTB1	WDGTB0	W[6:0]						
	リセット値																							0	0	0	1	1	1	1	1	1	1
0x08	WWDG_SR	予約済み																															EWIF
	リセット値																																0

レジスタ境界アドレスについては、*表 2（64 ページ）*を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

23 暗号プロセッサ（CRYP）

このセクションは、特に指定がない限り、STM32F4xx ファミリデバイス全体に適用されます。

23.1 CRYP の概要

暗号プロセッサは、DES、トリプル DES、または AES（128、192、または256）アルゴリズムを使用したデータの暗号化と復号化の両方に使用できます。次の規格に完全に準拠して実装されています。

- 連邦情報処理規格公報（FIPS：Federal Information Processing Standards Publication）（FIPS PUB 46-3, 1999 October 25）によって規定されているデータ暗号化標準（DES：Data Encryption Standard）およびトリプル DES（3DES）。米国規格協会（ANSI：American National Standards Institute ）の X9.52 規格に準拠しています。
- 連邦情報処理規格公報（FIPS PUB 197, 2001 November 26)によって規定されている高度暗号化標準（AES：Advanced Encryption Standard）。

CRYP プロセッサは、ECB（電子コードブック）モードまたは CBC（Cipher Block Chaining）モードで、DES およびトリプルDES アルゴリズムを使用してデータを暗号化／復号化します。

CRYP ペリフェラルは 32 ビットの AHB2 ペリフェラルです。受信データと処理済みデータの DMA 転送をサポートし、入出力 FIFO があります（深さ 各 8 ワード）。

23.2 CRYP の主な機能

- AES、DES、トリプルDES 暗号化および復号化処理に適しています。
- AES
  - ECB、CBC、CTR、CCM、GCM 連結アルゴリズムをサポートします（CCM および GCM は STM32F42xxx および STM32F43xxx でのみ利用可能）。
  - 128、192、256 ビットキーをサポートします。
  - CBC、CTR、CCM、GCM モードで使用する 4 × 32 ビットの初期化ベクタ（IV）

表 110. 各 128 ビットブロックの処理に必要なサイクル数（STM32F405xx/07xx および STM32F415xx/17xx）

アルゴリズム／キー長	ECB	CBC	CTR
128 ビット	14	14	14
192 ビット	16	16	16
256 ビット	18	18	18

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 111. 各 128 ビットブロックの処理に必要なサイクル数（STM32F42xxx および STM32F43xxx）

アルゴリズム／キー長	ECB	CBC	CTR	GCM				CCM			
				初期化	ヘッダ	ペイロード	タグ	初期化	ヘッダ	ペイロード	タグ
128 ビット	14	14	14	24	10	14	14	12	14	25	14
192 ビット	16	16	16	28	10	16	16	14	16	29	16
256 ビット	18	18	18	32	10	18	18	16	18	33	18

- DES/トリプルDES
  - 単純 DES アルゴリズムの直接実装（シングルキー K1 を使用）
  - ECB および CBC 連結アルゴリズムをサポート
  - 64、128、192 ビットキー（パリティを含む）をサポート
  - CBC モードで使用する 2 × 32 ビットの初期化ベクタ（IV）
  - DES では、HCLK 16 サイクルで 1 つの 64 ビットブロックを処理
  - トリプルDES では、HCLK 48 サイクルで 1 つの 64 ビットブロックを処理
- DES/トリプルDES および AES に対して共通
  - 入出力 FIFO（深さ各 8 ワード、幅 32 ビットで DES 4 ブロック分または AES 2 ブロック分に相当)
  - 2 つのチャネル（受信データ用と処理済みデータ用）を使用したダイレクトメモリアクセス（DMA）による自動データフロー制御
  - 1、8、16、32 ビットデータをサポートするデータスワッピングロジック

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

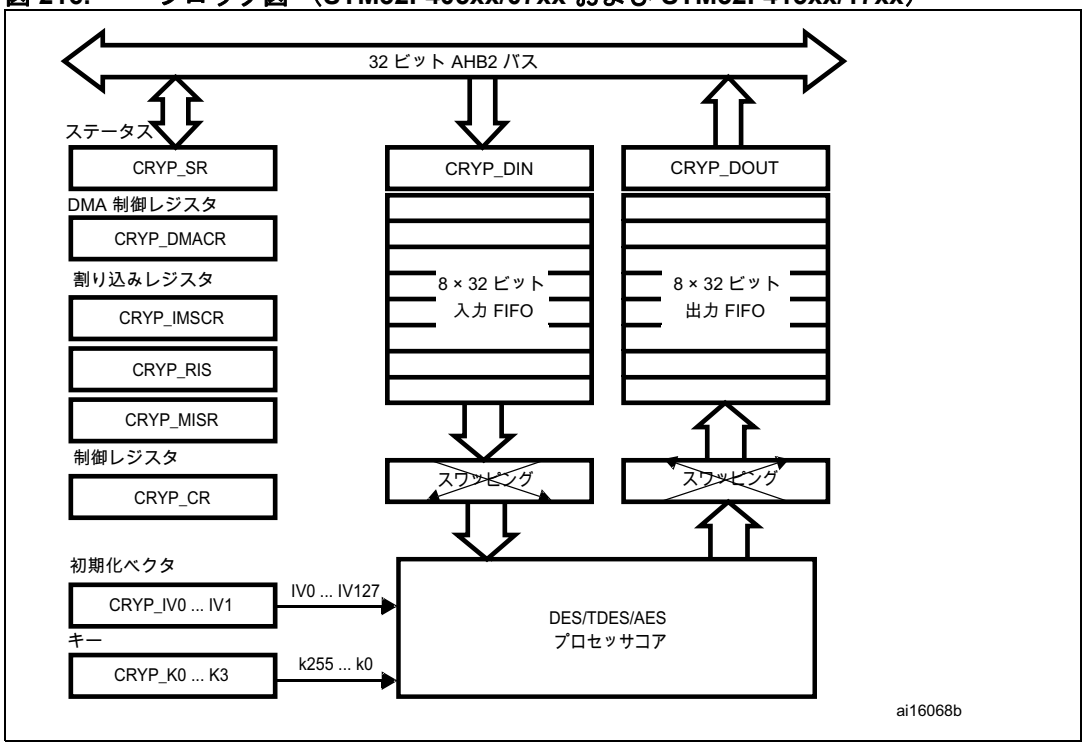
23.3 CRYP 機能の詳細

この暗号プロセッサは、トリプル DES（DES もサポートするトリプルDES）コアと AES 暗号コアを実装しています。これらのコアの詳細については、*セクション 23.3.1* および *セクション 23.3.2* で説明します。

トリプルDES および AES アルゴリズムがブロック暗号を使用するため、不完全な入力データブロックの場合、暗号化前にパディングを行う必要があります（データ列の後端に余分なビットを付加する必要があります）。復号後は、パディング部分を破棄する必要があります。ハードウェアではパディング処理をを管理しないので、ソフトウェアで処理する必要があります。

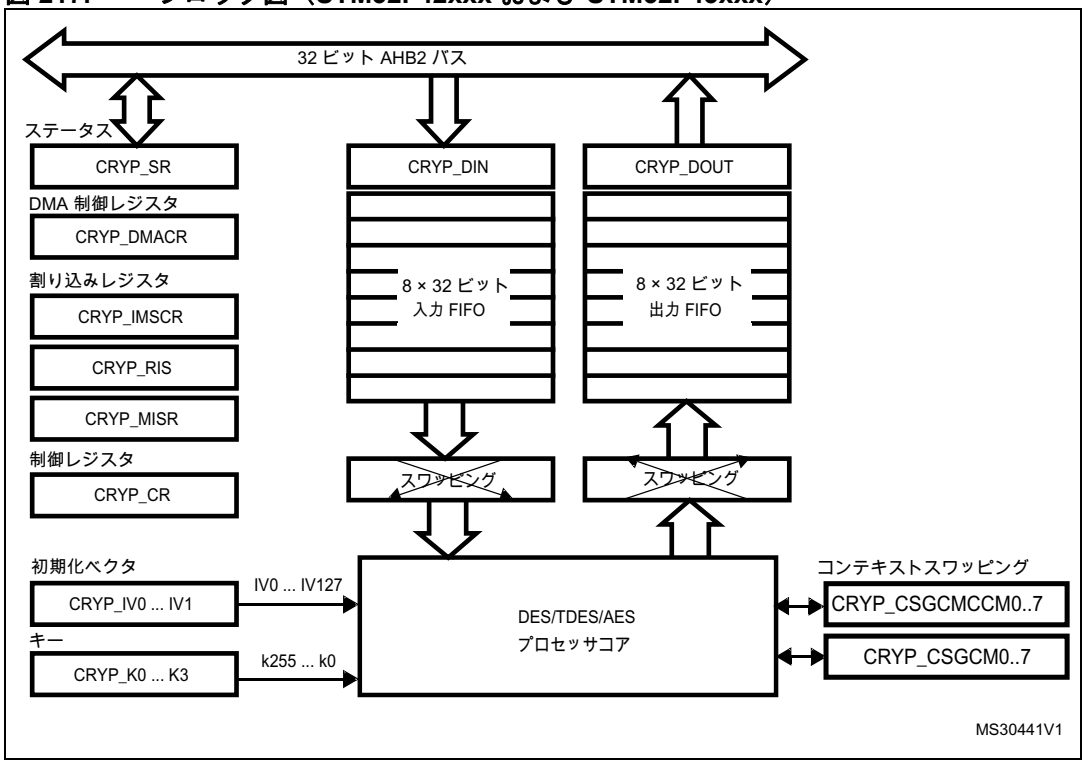
図 216 に、暗号プロセッサのブロック図を示します。

図 216. ブロック図 （STM32F405xx/07xx および STM32F415xx/17xx）



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 217. ブロック図（STM32F42xxx および STM32F43xxx）



23.3.1 DES/トリプルDES 暗号コア

DES/トリプル DES 暗号コアは、3 つのコンポーネントで構成されています。

- DES アルゴリズム（DEA）
- 複数のキー（DES アルゴリズムに 1 つ、トリプルDES アルゴリズムに 1 から 3 つ）
- 初期化ベクタ（CBC モードで使用）

トリプルDES での基本的な処理は、次のとおりです。入力ブロックが DEA で読み出され、最初のキーである K1（トリプルDES モードでは K0 は使用しません）を使って暗号化されます。その後、2 つ目のキーである K2 を使って出力が復号化され、3 つ目のキーである K3 を使って暗号化されます。キーは使用されるアルゴリズムによって異なります。

- DES モード：キー = [K1]
- トリプルDES モード：キー = [K3 K2 K1]

ここで Kx=[KxR KxL]、R = 右、L = 左 です。

実装されるモードにしたがい、結果として得られる出力ブロックを使用して暗号テキストを計算します。

中間 DEA ステージの出力が暗号境界の外に明かされることは決してないことに注意してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

トリプルDES では、3 種類のキーイングオプションが可能です。

- 3 つの独立キー

  最初のオプションでは、すべてのキーが独立、すなわち K1、K2、K3 が独立していると規定しています。FIPS PUB 46-3 – 1999（および ANSI X9.52 – 1998）では、このオプションをキーイングオプション 1、トリプルDES を 3 キートリプルDES としています。

- 2 つの独立キー

  2 番目のオプションでは、K1 と K2 が独立しており、K3 が K1 に等しい、すなわち K1 と K2 が独立し、K3 = K1 であると規定しています。FIPS PUB 46-3 – 1999（および ANSI X9.52 – 1998）では、この 2 つ目のオプションをキーイングオプション 2、トリプルDES を 2 キートリプルDES としています。

- 3 つの同一キー

  3 番目のオプションでは、K1、K2、K3 が等しい、すなわち K1 = K2 = K3 であると規定しています。FIPS PUB 46-3 – 1999（および ANSI X9.52 – 1998）では、この 3 番目のオプションをキーイングオプション 3 としています。この「1 キー」トリプルDES は、シングル DES と同等です。

FIPS PUB 46-3 – 1999（および ANSI X9.52-1998）では、TDEA（トリプルDES アルゴリズム）が提供するトリプルDES-ECB 暗号化、トリプルDES-ECB 復号化、トリプルDES-CBC 暗号化、トリプルDES-CBC 復号化の 4 つの動作モードに関する処理について詳細に説明しています。
このリファレンスマニュアルでは、各モードについての簡単な説明としています。

DES およびトリプルDES 電子コードブック（DES/トリプルDES-ECB）モード

- DES/トリプルDES-ECB モードの暗号化

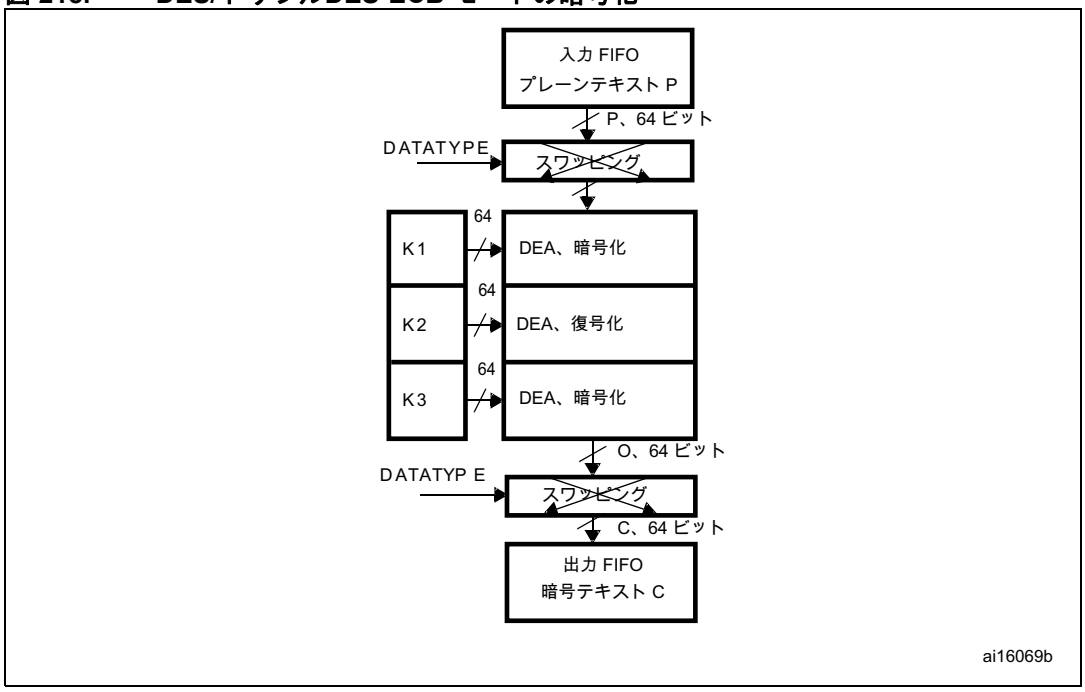
  図 218 に、DES およびトリプルDES 電子コードブック（DES/トリプルDES-ECB）モードにおける暗号化の図を示します。ビット / バイト / ハーフワードのスワッピング後は、64 ビットのプレーンテキストデータブロック（P）を入力ブロック（I）として使用します（*セクション 23.3.3 : データ型（741 ページ）* を参照）。入力ブロックは、K1 を使った暗号ステートで DEA を通じて処理されます。この処理の出力は、DEA の入力に直接フィードバックされます。ここでは、K2 を使った復号ステートで DES が行われます。この処理の出力は、DEA の入力に直接フィードバックされます。ここでは、K3 を使った暗号ステートで DES が行われます。ビット／バイト／ハーフワードのスワッピング後は、その結果の 64 ビットの出力ブロック（O）が暗号テキスト（C）として使用され、出力 FIFO に入ります。

- DES/トリプルDES-ECB モードの復号化

  図 219 に、DES/トリプルDES-ECB の復号化の図を示します。ビット / バイト / ハーフワードのスワッピング後は、64 ビットの暗号テキストブロック（C）を入力ブロック（I）として使用します。このキーイングシーケンスは、暗号処理で使用したものに対し、逆になっています。入力ブロックは、K3 を使った復号ステートで DEA を通じて処理されます。この処理の出力は、DEA の入力に直接フィードバックされます。ここでは、K2 を使った暗号ステートで DES が行われます。新しい結果は、DEA の入力に直接されます。ここでは、K1 を使った復号ステートで DES が実施されます。ビット / バイト / ハーフワードのスワッピング後は、その結果の 64 ビットの出力ブロック（O）がプレーンテキスト（P）を生成します。

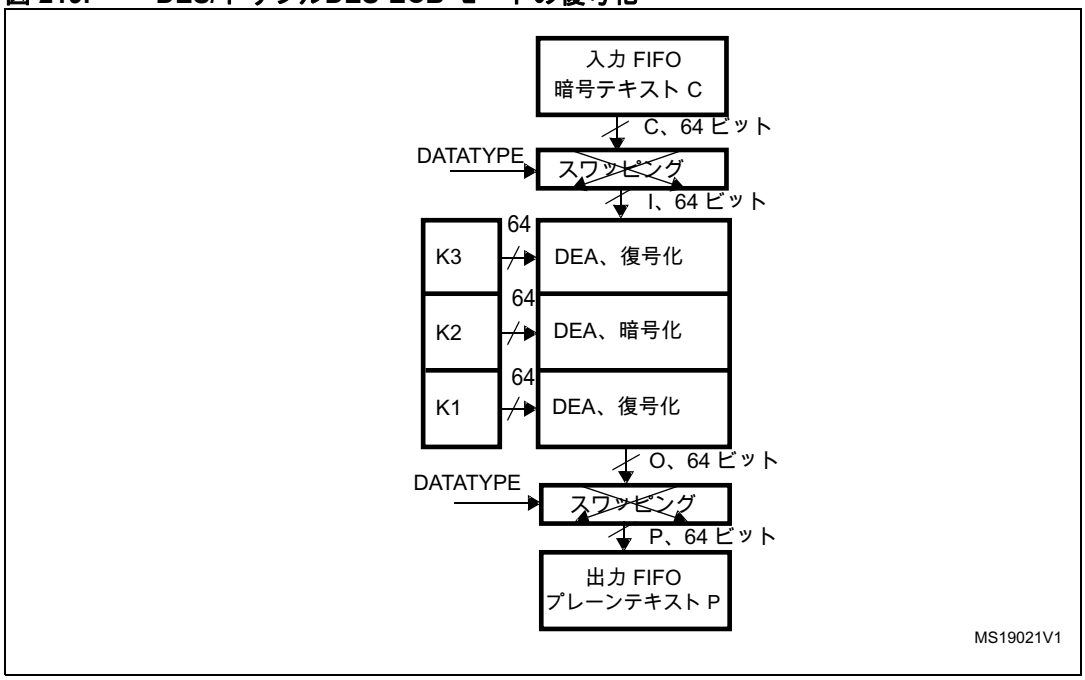
この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 218. DES/トリプルDES-ECB モードの暗号化



1. K：キー、C：暗号テキスト、I：入力ブロック、O：出力ブロック、P：プレーンテキスト

図 219. DES/トリプルDES-ECB モードの復号化



1. K：キー、C：暗号テキスト、I：入力ブロック、O：出力ブロック、P：プレーンテキスト

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

DES およびトリプルDES 暗号ブロック連結（DES/トリプルDES-CBC）モード

- DES/トリプルDES-CBC モードの暗号化

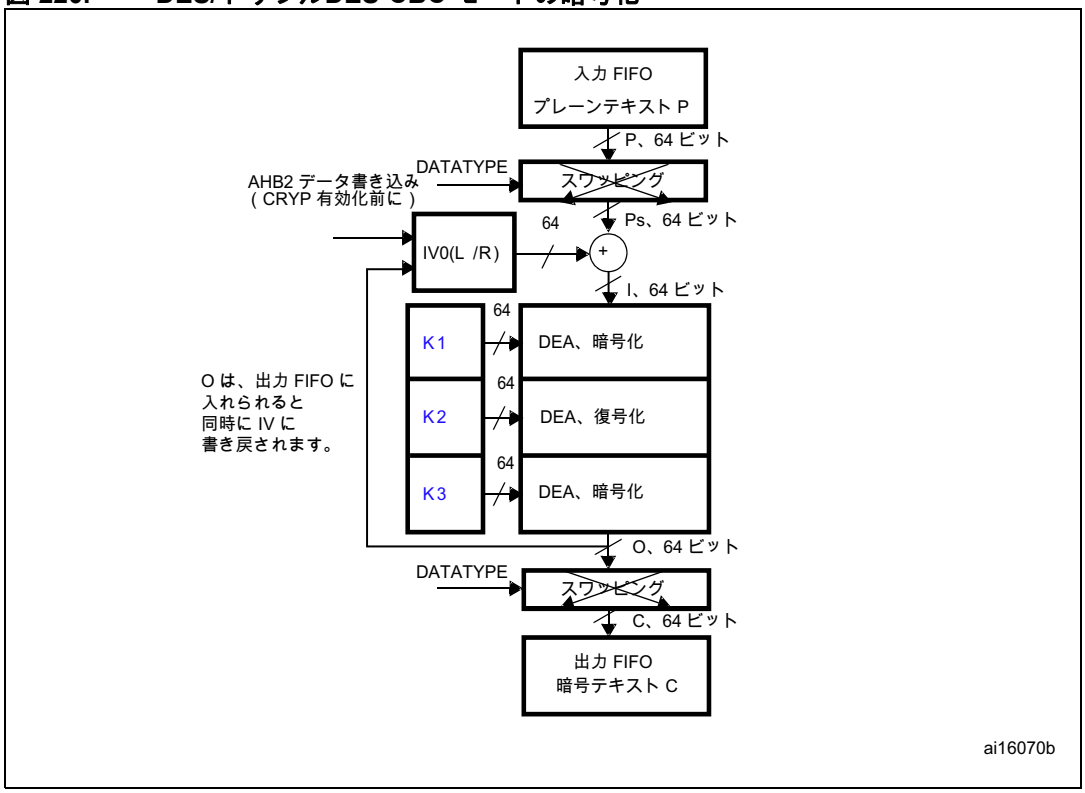
  図 220 に、DES およびトリプル DES 暗号ブロック連結（DES/トリプルDES-CBC）モードの暗号化について図を示します。このモードは、まずプレーンテキストのメッセージを 64 ビットのデータブロックに分割することから開始します。TCBC 暗号化では、ビット / バイト / ハーフワードのスワッピング後（*セクション 23.3.3：データ型（741 ページ）*参照）に取得した最初の入力ブロック（I_1）は、最初のプレーンテキストデータブロック（P_1）と 64 ビットの初期化ベクタ IV（$I_1 = IV \oplus P_1$）の排他的論理和をとって形成します。入力ブロックは、K1 を使った暗号ステートで DEA を通じて処理されます。この処理の出力は、DEA の入力に直接フィードバックされます。このとき K2 を使った復号ステートで DES が行われます。この処理の出力は、DEA の入力に直接フィードバックされます。このとき K3 を使った暗号ステートで DES が行われます。その結果の 64 ビットの出力ブロック（O_1）は暗号テキスト（C_1）として直接使用されます。つまり、$C_1 = O_1$ となります。この最初の暗号テキストブロックは、その後 2 番目のプレーンテキストデータブロックと排他的論理和をとって 2 番目の入力ブロック（I_2）=（$C_1 \oplus P_2$）を生成します。I_2 と P_2 が今度は 2 番目のブロックを参照していることに注意してください。2 番目の入力ブロックは TDEA で処理され、2 番目の暗号テキストブロックを生成します。この暗号化処理は、メッセージ内の最後のプレーンテキストブロックが暗号化されるまで次の暗号ブロックとプレーンテキストブロックを連結し続けます。メッセージが整数のデータブロックで構成されていない場合は、最後の不完全なデータブロックがアプリケーションで指定されている方法で暗号化されます。

- DES/トリプルDES-CBC モードの復号化

  DES/トリプルDES-CBC 復号化（*図 221* 参照）では、最初の暗号テキストブロック（C_1）をそのまま入力ブロック（I_1）として使用します。キーイングシーケンスは、暗号処理で使用したものに対し、逆になっています。入力ブロックは、K3 を使った復号ステートで DEA を通じて処理されます。この処理の出力は、DEA の入力に直接されます。このとき、K2 を使った暗号ステートで DES が処理されます。これによって生じる値は、DEA の入力に直接供給されます。このとき、K1 を使った復号ステートで DES が処理されます。その結果の出力ブロックと IV（暗号化で使用したのと同じである必要があります）の排他的論理和をとって最初のプレーンテキストブロック（$P_1 = O_1 \oplus IV$）を生成します。その後 2 番目の暗号テキストブロックが次の入力ブロックとして使用され、TDEA で処理されます。その結果の出力ブロックと最初の暗号テキストブロックの排他的論理和をとって 2 番目のプレーンテキストデータブロック（$P_2 = O_2 \oplus C_1$）を生成します。（P_2 と O_2 が 2 番目のデータブロックを参照していることに注意してください。）TCBC 復号化処理は、最後の完全な暗号テキストブロックが復号化されるまで同様に続きます。不完全なデータブロックを表す暗号テキストは、アプリケーションで指定された方法で復号化する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

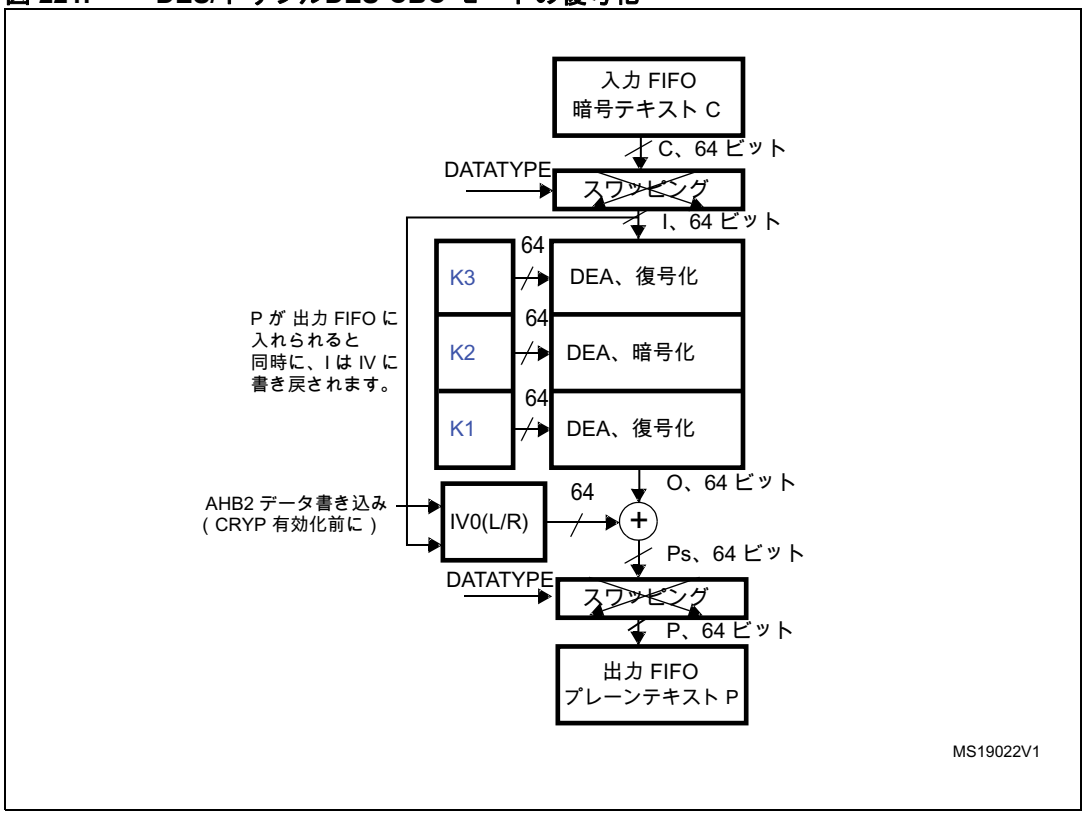
図 220. DES/トリプルDES-CBC モードの暗号化



1. K：キー、C：暗号テキスト、I：入力ブロック、O：出力ブロック、Ps：スワッピング前（復号化時）またはスワッピング後（暗号化時）のプレーンテキスト、P：プレーンテキスト、IV：初期化ベクタ

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 221. DES/トリプルDES-CBC モードの復号化



1. K：キー、C：暗号テキスト、I：入力ブロック、O：出力ブロック、Ps：スワッピング前（復号化時）またはスワッピング後（暗号化時）のプレーンテキスト、P：プレーンテキスト、IV：初期化ベクタ

23.3.2 AES 暗号コア

AES 暗号コアは、3 つのコンポーネントで構成されています。

- AES アルゴリズム（AEA：Advanced Encryption Algorithm）
- 複数キー
- 初期化ベクタまたはノンス

AES は、128、192、256 ビットの 3 種類の長さのキーの他、使用する操作モードによってゼロまたは 128 ビットの初期化ベクタ（IV）を使用します。

AES に含まれる基本的な処理は、次のとおりです。まず、128 ビットの入力ブロックが入力 FIFO から読み出され、AEA に送信されて、キー（K0...3）を使って暗号化されます。キー形式は、キーサイズによって変わります。

- キーサイズ = 128 の場合：キー = [K3 K2]
- キーサイズ = 192 の場合：キー = [K3 K2 K1]
- キーサイズ = 256 の場合：キー = [K3 K2 K1 K0]

ここで Kx=[KxR KxL]、R = 右、L = 左

実装されるモードにしたがい、結果として得られる出力ブロックを使用して暗号テキストを計算します。

FIPS PUB 197（November 26, 2001）では、AES コアが供給する AES-ECB 暗号化、AES-ECB 復号化、AES-CBC 暗号化、AES-CBC 復号化の 4 つの操作モードに関する処理について詳述しています。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

AES 電子コードブック（AES-ECB）モード

- AES-ECB モードの暗号化

  図 222 に、AES 電子コードブック（AES-ECB）モードの暗号化の図を示します。

  AES-ECB 暗号化では、ビット / バイト / ハーフワードのスワッピング後に 128 ビットのプレーンテキストデータブロック（P）が入力ブロック（I）として使用されます（*セクション 23.3.3 : データ型（741 ページ）* を参照）。入力ブロックは、128、192、256 ビットキーを使った暗号ステートで AEA を通じて処理されます。ビット / バイト / ハーフワードのスワッピング後は、その結果の 128 ビットの出力ブロック（O）が暗号テキスト（C）として使用されます。その後出力 FIFO に入れられます。

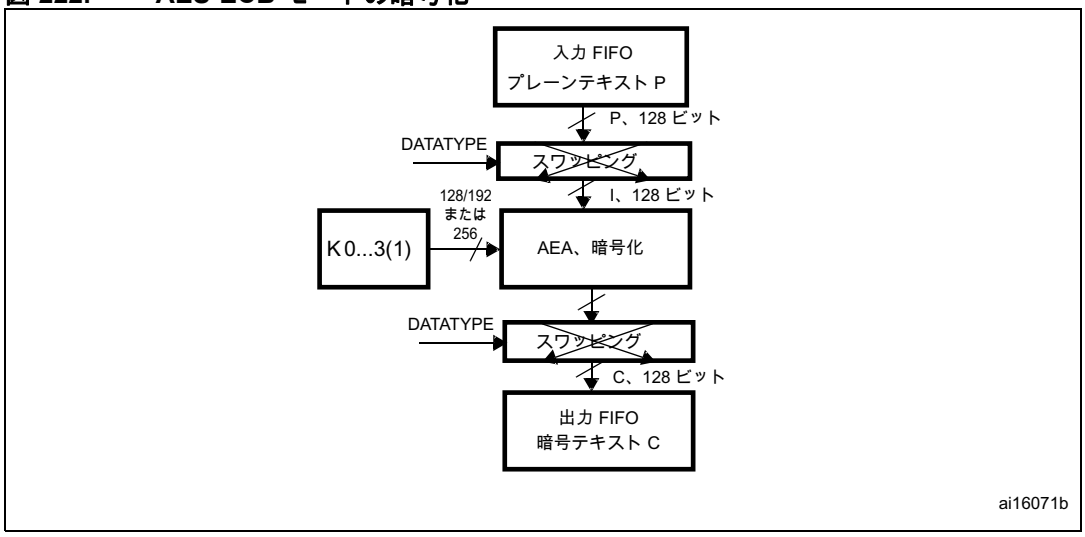
- AES-ECB モードの復号化

  図 223 に、AES 電子コードブック（AES-ECB）モードの暗号化の図を示します。

  ECB モードで AES 復号化を実施するには、最終ラウンドのキーを回収し、それを暗号テキストの復号化の最初のラウンドのキーとして使用して、秘密キーを準備する必要があります（暗号化のための完全なキースケジュールを実行する必要があります）。この準備機能は、AES コアで計算されます。キーの準備方法の詳細については、*セクション 23.3.6 : 暗号化または復号化を実施する手順* を参照してください。

  AES-ECB 復号化では、ビット / バイト / ハーフワードのスワッピング後、128 ビットの暗号テキストブロック（C）が入力ブロック（I）として使用されます。このキーイングシーケンスは、暗号処理のものに対し、逆になっています。ビット / バイト / ハーフワードのスワッピング後は、その結果の 128 ビットの出力ブロック（O）がプレーンテキスト（P）を生成します。

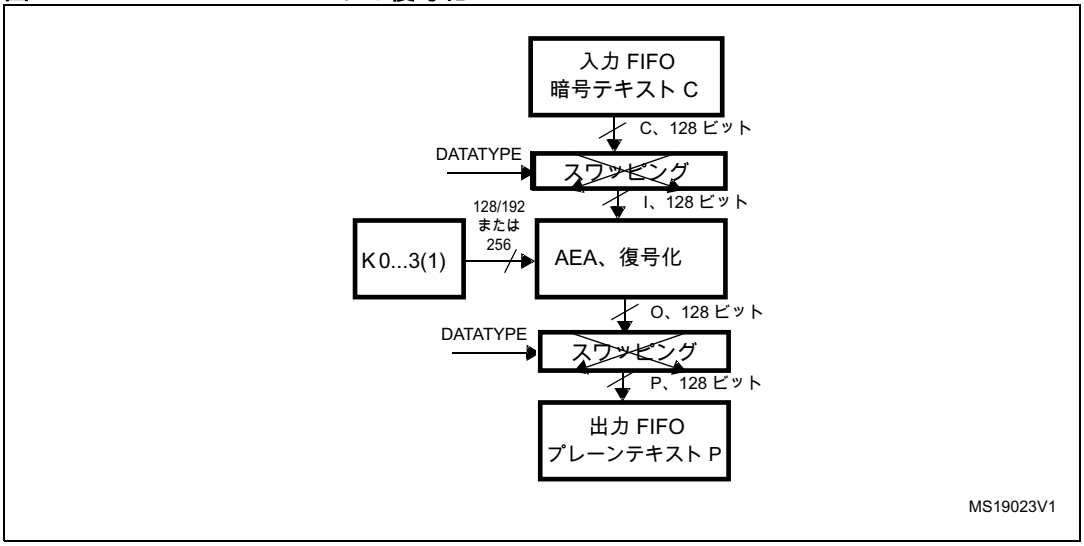
図 222. AES-ECB モードの暗号化



1. K : キー、C : 暗号テキスト、I : 入力ブロック、O : 出力ブロック、P : プレーンテキスト
2. キーサイズ = 128 の場合 : キー = [K3 K2]
   キーサイズ = 192 の場合 : キー = [K3 K2 K1]
   キーサイズ = 256 の場合 : キー = [K3 K2 K1 K0]

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 223. AES-ECB モードの復号化



1. K：キー、C：暗号テキスト、I：入力ブロック、O：出力ブロック、P：プレーンテキスト
2. キーサイズ = 128 => キー = [K3 K2]
   キーサイズ = 192 => キー = [K3 K2 K1]
   キーサイズ = 256 => キー = [K3 K2 K1 K0]

AES 暗号ブロック連結（AES-CBC）モード

- AES-CBC モードの暗号化

  AES 暗号ブロック連結（AES-CBC）モードの復号化を *図 224* に示します。

  AES-CBC 暗号化では、ビット / バイト / ハーフワードのスワッピング後（*セクション 23.3.3：データ型（741 ページ）* 参照）に取得した最初の入力ブロック（I_1）は、最初のプレーンテキストデータブロック（P_1）と 128 ビットの初期化ベクタ IV（I_1 = IV ⊕ P_1）の排他的論理和をとって形成します。入力ブロックは、128、192、256 ビットキー（K0...K3）を使った暗号ステートで AEA を通じて処理されます。その結果の 128 ビットの出力ブロック（O_1）は暗号テキスト（C_1）として直接使用されます。つまり、C_1 = O_1 となります。この最初の暗号テキストブロックは、その後 2 番目のプレーンテキストデータブロックと排他的論理和をとって 2 番目の入力ブロック（I_2）=（C_1 ⊕ P_2）を生成します。I_2 と P_2 が今度は 2 番目のブロックを参照していることに注意してください。2 番目の入力ブロックは AEA で処理され、2 番目の暗号テキストブロックを生成します。この暗号化処理は、メッセージ内の最後のプレーンテキストブロックが暗号化されるまで次の暗号ブロックとプレーンテキストブロックを連結し続けます。メッセージが整数のデータブロックで構成されていない場合は、最後の不完全なデータブロックがアプリケーションで指定されている方法で暗号化されます。

  ECB モードの場合と同様に、CBC モードで AES 復号化を実施するには、秘密キーを準備する必要があります。キーの準備方法の詳細については、*セクション 23.3.6：暗号化または復号化を実施する手順（745 ページ）* を参照してください。

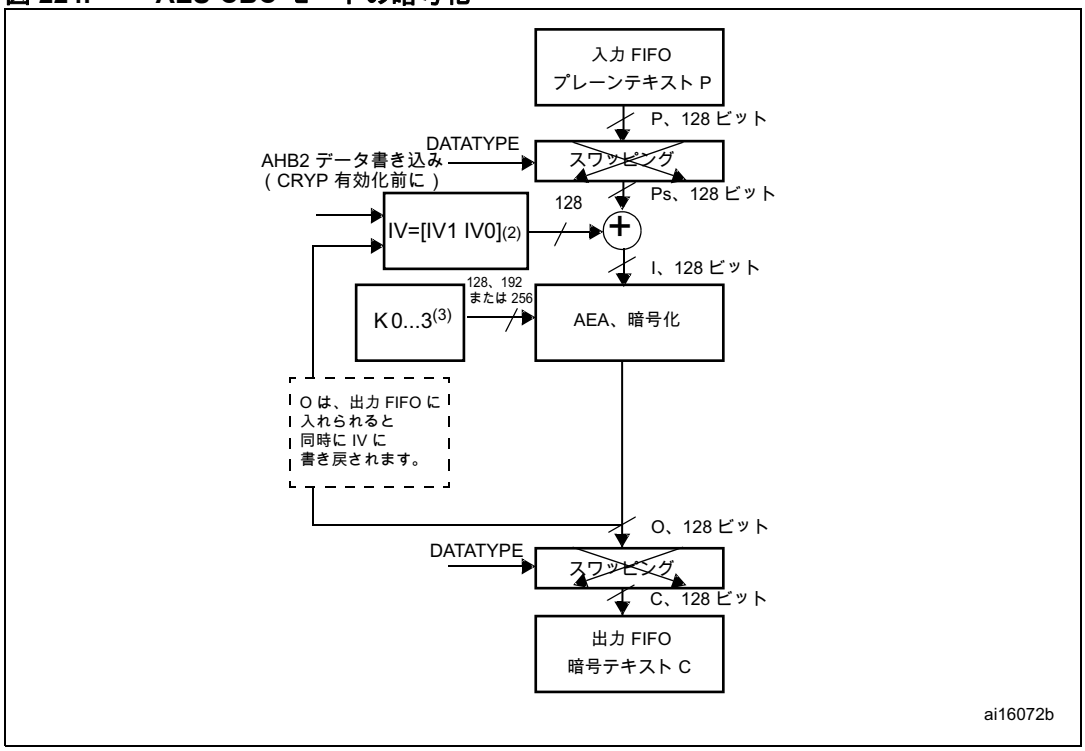
- AES-CBC モードの復号化

  AES-CBC 復号化（*図 225* 参照）では、最初の 128 ビットの暗号テキストブロック（C_1）をそのまま入力ブロック（I_1）として使用します。入力ブロックは、128、192、256 ビットキーを使った復号ステートで AEA を通じて処理されます。その結果の出力ブロックと 128 ビットの初期化ベクタ IV（暗号化で使用したのと同一である必要があります）の排他的論理和をとって最初のプレーンテキストブロック（P_1 = O_1 ⊕ IV）を生成します。その後 2 番目の暗号テキストブロックが次の入力ブロックとして使用され、AEA で処理されます。その結果の出力ブロックと最初の暗号テキストブロックの排他的論理和をとって 2 番目のプレーンテキストデータブロック（P_2 = O_2 ⊕ C_1）を生成します。（P_2 と O_2 が 2 番目のデータブロックを参照していることに

この資料は、STMicroelectronics NV 並びにその子会社（以下 ST）が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

注意してください。）AES-CBC 復号化処理は、最後の完全な暗号テキストブロックが復号化されるまでこのように続きます。不完全なデータブロックを表す暗号テキストは、アプリケーションに指定された方法で復号化する必要があります。

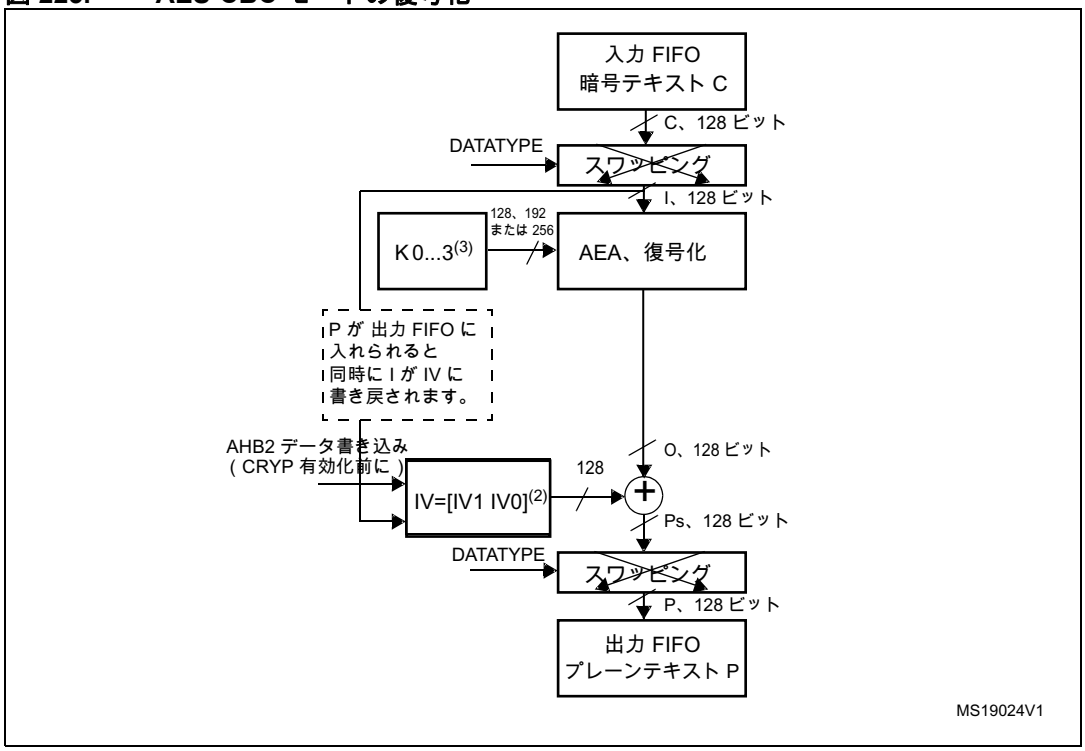
図 224. AES-CBC モードの暗号化



1. K：キー、C：暗号テキスト、I：入力ブロック、O：出力ブロック、Ps：スワッピング前（復号化時）またはスワッピング後（暗号化時）のプレーンテキスト、P：プレーンテキスト、IV：初期化ベクタ
2. IVx=[IVxR IVxL]、R = 右、L = 左
3. キーサイズ = 128 => キー = [K3 K2]
   キーサイズ = 192 => キー = [K3 K2 K1]
   キーサイズ = 256 => キー = [K3 K2 K1 K0]

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 225. AES-CBC モードの復号化



1. K : キー、C : 暗号テキスト、I : 入力ブロック、O : 出力ブロック、Ps : スワッピング前（復号化時）またはスワッピング後（暗号化時）のプレーンテキスト、P : プレーンテキスト、IV : 初期化ベクタ
2. IVx=[IVxR IVxL]、R = 右、L = 左
3. キーサイズ = 128 => キー = [K3 K2]
   キーサイズ = 192 => キー = [K3 K2 K1]
   キーサイズ = 256 => キー = [K3 K2 K1 K0]

AES カウンタ（AES-CTR）モード

AES カウンタモードでは、AES ブロックをキーストリームジェネレータとして使用します。生成されたキーは、その後プレーンテキストとの排他的論理和をとって暗号化されます。2 つの操作は全く同じであるため、別の CTR 暗号化／復号化を論じても意味がありません。

実際に、以下のような場合を考えてみます。

- プレーンテキスト : P[0], P[1], ..., P[n]（各 128 ビット）
- キー K を使用（サイズは問わない）
- 初期カウンタブロック（ICB としますが、CBC の IV と機能は全く同じです）

暗号は次のように計算されます。

`C[i] = enck(iv[i]) xor P[i]`、ここで

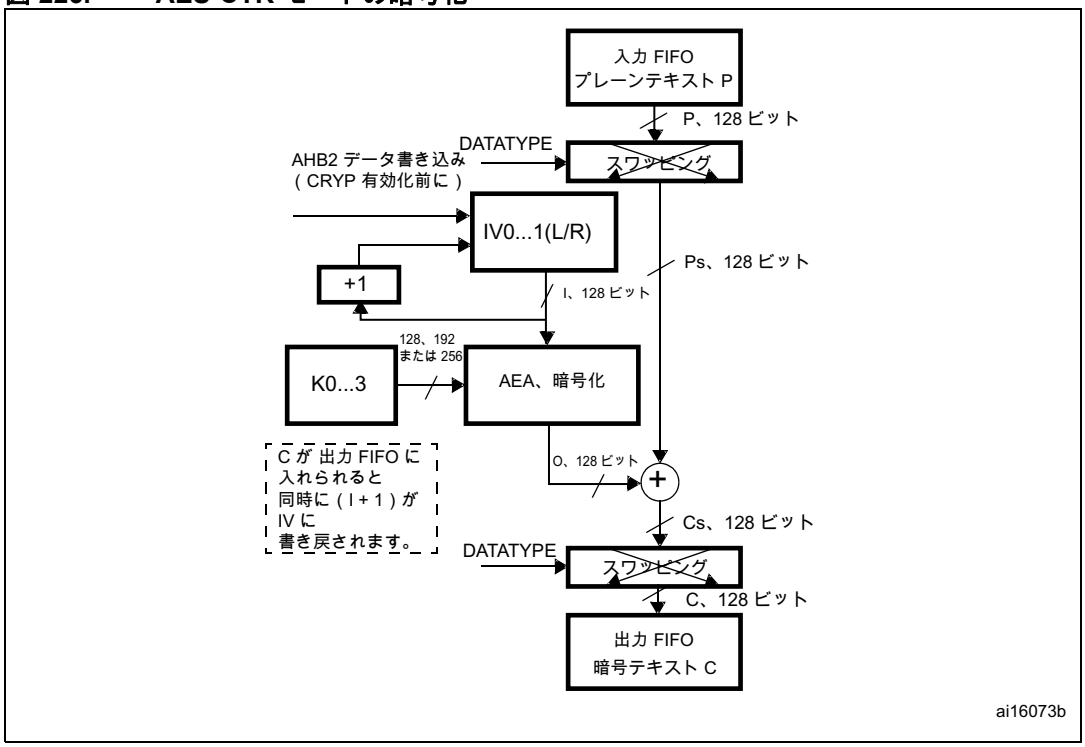
`iv[0]` = ICB であり `iv[i+1]` = `func(iv[i])` ここで `func` は前の iv ブロックに適用される更新関数です。`func`は基本的には iv ブロックを構成するフィールドの 1 つの増加分です。

復号化の ICB は暗号化の ICB と同じであるため、復号化で生成されるキーストリームは暗号化で生成されるキーストリームと同じです。その後、暗号テキストとキーストリームの排他的論理和をとって元のプレーンテキストを取り出します。したがって復号化操作は、暗号化操作と全く同じように動作します。

図 226 および *図 227* に、AES-CTR 暗号化と復号化を、それぞれ図示します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

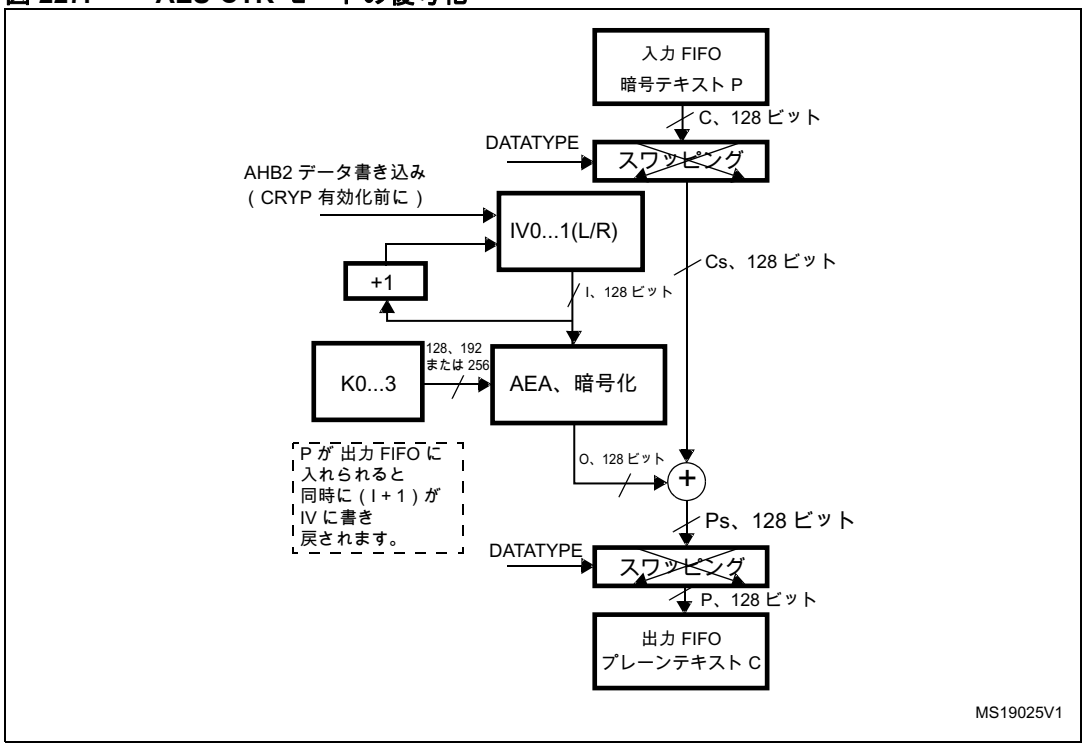
図 226. AES-CTR モードの暗号化



1. K：キー、C：暗号テキスト、I：入力ブロック、O：出力ブロック、Ps：スワッピング前（復号化時）またはスワッピング後（暗号化時）のプレーンテキスト、Cs：スワッピング前（復号化時）またはスワッピング後（暗号化時）の暗号テキスト、P：プレーンテキスト、IV：初期化ベクタ

この資料は、STMicroelectronics NV 並びにその子会社（以下 ST）が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 227. AES-CTR モードの復号化



1. K：キー、C：暗号テキスト、I：入力ブロック、O：出力ブロック、Ps：スワッピング前（復号化時）またはスワッピング後（暗号化時）のプレーンテキスト、Cs：スワッピング前（復号化時）またはスワッピング後（暗号化時）の暗号テキスト、P：プレーンテキスト、IV：初期化ベクタ

図 228 に、規格 [2] で定義されている IV ブロックの構造を示します。3 つの異なるフィールドで構成されています。

図 228. カウンタモードでの初期カウンタブロック構造



- ノンスは 1 回だけ使用できる 32 ビットの値です。異なる通信には、それぞれ新しいノンスを割り当てる必要があります。
- 初期化ベクタ（IV）は 64 ビットの値であり、規格では特定のキーに対して特定の値が 1 度だけ使用されるように暗号器が IV を選択する必要があると規定しています。
- カウンタは 32 ビットのビッグエンディアンの整数であり、ブロックが暗号化されるたびに増加します。カウンタの初期値は”1”に設定します。

ブロックは最下位の 32 ビットを増加させますが、他の（最上位の）96 ビットは変化しません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

AES ガロア／カウンタモード（GCM）

AES ガロア／カウンタモード（GCM）では、プレーンテキストを暗号化して認証し、対応する暗号テキストおよびタグ（メッセージ認証コードまたはメッセージの整合性チェックとしても知られる）を生成することができます。このアルゴリズムは、AES カウンタモードに基づいており、機密性を確保しています。固定の有限フィールドを超えて乗算器を使用しタグを生成します。このアルゴリズムの開始時には初期化ベクタが必要です。

処理するメッセージは、2 つの部分に分割されます。

- ヘッダ（追加認証データとしても知られる）：認証はされますが保護はされないデータです（パケットルーティングのための情報など）。
- ペイロード（プレーンテキストまたは暗号テキストとしても知られる）：それ自体が認証され、暗号化されるメッセージです。

注： ***ヘッダはペイロードに先行する必要があり、両者を一緒に混在させることはできません。***

GCM 規格は、メッセージの最後でヘッダのサイズ（64 ビット）およびペイロードのサイズ（64 ビット）で構成される特定の 128 ビットのブロックを渡すことを要求しています。計算中は、ヘッダブロックをペイロードブロックと区別する必要があります。

GCM モードでは、暗号化／復号化の実施に 4 つのステップが必要です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

1. GCM 初期フェーズ

   この最初のステップでは、HASH キーが計算され、すべてのブロックの処理に使用されるように内部に保存されます。以下の手順に従うことを推奨します。

   a) CRYP_CR レジスタの CRYPEN ビットをクリアして暗号プロセッサが無効になっていることを確認します。

   b) CRYP_CR で ALGOMODE ビットを“01000”にプログラムして GCM 連結モードを選択します。

   c) CRYP_CR で GCM_CCMPH ビットを“00”に設定して GCM 初期フェーズを開始します。

   d) CRYP_KEYRx でキーレジスタ（128、192、256 ビット）と共に初期化ベクタ（IV）を初期化します。

   e) CRYPEN ビットを“1”にセットして HASH キーの計算を開始します。

   f) CRYPEN ビットが“0”にクリアされるのを待ってから次のフェーズに移ります。

   g) CRYPEN ビットを“1”にセットします。

2. GCM ヘッダフェーズ

   このステップは、GCM 初期フェーズの後に実施する必要があります。

   h) CRYP_CR で GCM_CCMPH ビットを“01”に設定してヘッダフェーズの開始を示します。

   i) ヘッダデータを書き込みます。利用可能な方法は 3 つあります。

   – 32 ビットのブロック毎にデータを CRYP_DIN レジスタにプログラムし、IFNF フラグを使用して入力 FIFO がデータを受信できるかどうかを判断します。ヘッダのサイズは 128 ビット（4 ワード）の倍数である必要があります。

   – 8 ワードのブロック毎に CRYP_DIN レジスタにデータをプログラムし、IFEM フラグを使用して入力 FIFO がデータを受信できるかどうかを判断します（IFEM=“1”）。ヘッダのサイズは 128 ビット（4 ワード）の倍数である必要があります。

   – DMA を使用します。

   j) すべてのヘッダデータが供給されたら、CRYP_SR レジスタで BUSY ビットがクリアされるまで待ちます。

3. GCM ペイロードフェーズ（暗号化／復号化）

   このステップは、GCM ヘッダフェーズの後に実施する必要があります。

   k) CRYP_CR レジスタで GCM_CCMPH を“10”に設定します。

   l) CRYP_CR で ALGODIR ビットを使用してアルゴリズムの方向（暗号化または復号化）を選択します。

   m) CRYP_DIN レジスタにペイロードメッセージをプログラムし、IFNF フラグを使用して入力 FIFO がデータを受信できるかどうかを判断します。または、8 ワードのブロック毎に CRYP_DIN レジスタにデータをプログラムし、IFEM フラグを使用して入力 FIFO がデータを受信できるかどうかを判断することもできます（IFEM=“1”）。同時に、CRYP_DOUT レジスタの OFNE/OFFU フラグを監視して出力 FIFO が空でないかどうかをチェックできます。

   n) すべてのペイロードブロックが暗号化または復号化されるまで前のステップを繰り返します。または、DMA を使用することもできます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

4. GCM 最終フェーズ

このステップでは、認証タグを生成します。

o) CRYP_CR で GCM_CCMPH[1:0] を“11”に設定します。

p) CRYP_DIN レジスタに入力を 4 回書き込みます。入力には、ペイロードのビット数（64 ビット）に連結されたヘッダのビット数（64 ビット）が含まれている必要があります。

q) CRYP_SR レジスタで OFNE フラグ（FIFO 出力が空でない）が“1”にセットされるまで待ちます。

r) CRYP_DOUT レジスタを 4 回読み出します。この出力が認証タグに相当します。

s) 暗号プロセッサを無効にします（CRYP_CR の CRYPEN ビット=“0”）

注： ***復号化を実施するときは、最初にキーを計算する必要はありません。復号化の最後に、生成されたタグをメッセージとともに渡された予測タグと比較します。さらに、ALGODIR ビット（アルゴリズムの方向）を“1”にセットする必要があります。***

ヘッダフェーズからタグフェーズに移行するときに、CRYP プロセッサを無効／有効にする必要はありません。

AES ガロアメッセージ認証コード（GMAC）

暗号プロセッサも、プレーンテキストを認証するように GMAC をサポートしています。GCM アルゴリズムと固定の有限フィールドを超えて乗算器を使用し、対応するタグを生成します。

このアルゴリズムの開始時には初期化ベクタが必要です。

実際は、GMAC アルゴリズムはヘッダのみで構成されているメッセージに適用される GCM アルゴリズムに相当します。結果として、ペイロードフェーズは必要ありません。

AES を組み合わせた暗号マシン（CCM）

CCM アルゴリズムでは、プレーンテキストを暗号化して認証することもできれば、対応する暗号テキストおよびタグを生成することもできます（メッセージ認証コードまたはメッセージの整合性チェックとしても知られる）。このアルゴリズムは、AES カウンタモードに基づいており、機密性を確保しています。AES CBC モードを使用して 128 ビットのタグを生成します。

CCM 規格（RFC 3610 Counter with CBC-MAC (CCM)、September 2003）では、最初の認証ブロック（規格では B0 と呼ぶ）に対して特定の暗号化規則を定義しています。具体的に言うと、最初のブロックにはフラグ、ノンス、ペイロード長（単位：バイト）が含まれています。CCM 規格は、暗号化／復号化に対して A またはカウンタと呼ばれる別の形式を指定しています。カウンタはペイロードフェーズで増加し、32 個の最下位ビットがタグ生成中に“1”に初期化されます（CCM 規格では A0 パケットと呼ぶ）。

注： ***B0 パケットのフォーマット処理はハードウェアが実行するわけではありません。これはソフトウェアで処理します。***

GCM アルゴリズムについていうと、処理するメッセージは 2 つの部分に分割されます。

- ヘッダ（追加認証データとしても知られる）：認証はされますが保護はされないデータです（パケットルーティングのための情報など）。
- ペイロード（プレーンテキストまたは暗号テキストとしても知られる）：それ自体が認証され、暗号化されるメッセージです。

注： ***ヘッダ部分はペイロードに先行する必要があり、両者を一緒に混在させることはできません。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

CCM モードでは、暗号化／復号化の実施に 4 つのステップが必要です。

1. CCM 初期フェーズ

   この最初のステップでは、CCM メッセージの B0 パケット（最初のパケット）が CRYP_DIN レジスタにプログラムされます。このフェーズでは、CRYP_DOUT レジスタには出力データは一切格納されていません。

   次のシーケンスに従う必要があります。

   a) CRYP_CR レジスタの CRYPEN ビットをクリアして暗号プロセッサが無効になっていることを確認します。

   b) CRYP_CR レジスタで ALGOMODE ビットを“01001”にプログラムして、CCM 連結モードを選択します。

   c) CRYP_CR で GCM_CCMPH ビットを“00”に設定して CCM 初期フェーズを開始します。

   d) CRYP_KEYRx でキーレジスタ（128、192、256 ビット）と共に初期化ベクタ（IV）を初期化します。

   e) CRYP_CR で CRYPEN ビットを“1”にセットします。

   f) B0 パケットを入力データレジスタにプログラムします。

   g) CRYPEN ビットがクリアされるのを待ってから次のフェーズに移ります。

   h) CRYPEN を“1”にセットします。

2. CCM ヘッダフェーズ

   このステップは、CCM 初期フェーズの後に実施する必要があります。シーケンスは、暗号化と復号化のシーケンスと同一です。

   このフェーズでは、CRYP_DOUT レジスタには出力データは一切格納されていません。

   このフェーズは、追加認証データがなければスキップできます。

   次のシーケンスに従う必要があります。

   i) CRYP_CR で GCM_CCMPH ビットを“01”にセットしてヘッダフェーズの開始を示します。

   j) 利用可能な方法は 3 つあります。

   – 32 ビットのブロック毎にヘッダデータを CRYP_DIN レジスタにプログラムし、IFNF フラグを使用して入力 FIFO がデータを受信できるかどうかを判断します。ヘッダのサイズは 128 ビット（4 ワード）の倍数である必要があります。

   – 8 ワードのブロック毎に CRYP_DIN レジスタにヘッダデータをプログラムし、IFEM フラグを使用して入力 FIFO がデータを受信できるかどうかを判断します（IFEM=“1”）。ヘッダのサイズは 128 ビット（4 ワード）の倍数である必要があります。

   – DMA を使用します。

注： ***最初のブロック B1 は、ヘッダ長でフォーマットする必要があります。このタスクはソフトウェアで処理します。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

k) すべてのヘッダデータが供給されたら、BUSY フラグがクリアされるまで待ちます。

3. CCM ペイロードフェーズ（暗号化／復号化）

このステップは、CCM ヘッダフェーズの後に実施する必要があります。このフェーズでは、暗号化／復号化したペイロードが CRYP_DOUT レジスタに保存されます。

次のシーケンスに従う必要があります。

l) CRYP_CR で GCM_CCMPH ビットを“10”に設定します。

m) CRYP_CR で ALGODIR ビットを使用してアルゴリズムの方向（暗号化または復号化）を選択します。

n) CRYP_DIN レジスタにペイロードメッセージをプログラムし、IFNF フラグを使用して入力 FIFO がデータを受信できるかどうかを判断します。または、8 ワードのブロック毎に CRYP_DIN レジスタにデータをプログラムし、IFEM フラグを使用して入力 FIFO がデータを受信できるかどうかを判断することもできます（IFEM=“1”）。同時に、CRYP_DOUT レジスタの OFNE/OFFU フラグを監視して出力 FIFO が空でないかどうかをチェックできます。

o) すべてのペイロードブロックが暗号化または復号化されるまで前のステップを繰り返します。または、DMA を使用することもできます。

4. CCM 最終フェーズ

このステップでは、認証タグを生成します。このフェーズで、メッセージの認証タグが生成され、CRYP_DOUT レジスタに保存されます。

p) CRYP_CR で GCM_CCMPH[1:0] ビットを“11”に設定します。

q) 初期化された A0 カウンタを読み込み、CRYP_DIN レジスタに 32 ビットを 4 回書き込んで 128 ビットの A0 値をプログラムします。

r) CRYP_SR レジスタで OFNE フラグ（FIFO 出力が空でない）が“1”にセットされるまで待ちます。

s) CRYP_DOUT レジスタを 4 回読み出します。出力は暗号化された認証タグに相当します。

t) 暗号プロセッサを無効にします（CRYP_CR の CRYPEN ビット=“0”）

注： ***ハードウェアでは、元の B0 および B1 パケットのフォーマットを行うこともなければ、暗号化と復号化の間でのタグを比較を行うこともありません。これはソフトウェアで処理する必要があります。***

ヘッダフェーズからタグフェーズに移行するときに、暗号プロセッサを無効／有効にする必要はありません。

AES 暗号メッセージ認証コード（CMAC）

CMAC アルゴリズムでは、プレーンテキストを認証し、対応するタグを生成することができます。CMAC シーケンスは、ペイロードフェーズが省かれることを除き CCM のシーケンスと同一です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

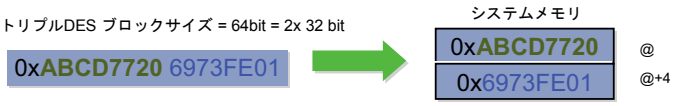
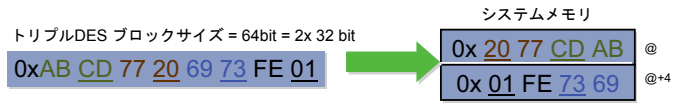
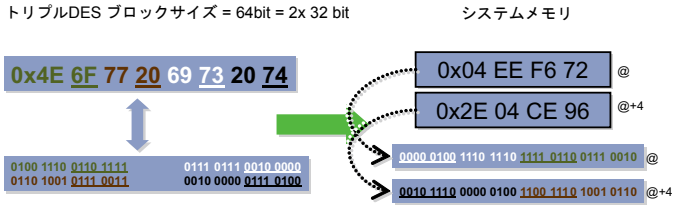
23.3.3 データ型

データは、CRYP_DIN レジスタに書き込まれると一度に 32 ビット（ワード）ずつ CRYP プロセッサに入ります。DES の原理は、データストリームが 64 ビット毎に処理され、各 64 ビットのブロックでは M1 をブロックの一番左のビット、M64 を一番右のビットとして M1 から M64 までビットに番号を振るというものです。同じ原理が AES でも使用されていますが、ブロックサイズは 128 ビットです。

システムメモリ構成はリトルエンディアンです。使用されるデータタイプに関わらず（ビット、バイト、16 ビットハーフワード、32 ビットワード）、最下位データが最下位アドレス位置を使用します。したがって、ビット、バイト、ハーフワードのスワッピング処理（暗号化されるデータの種類による）は、IN FIFO から読み出されるデータが CRYP プロセッサに入る前に行う必要があります。同じスワッピング処理を、CRYP データが OUT FIFO に書き込まれる前に実施します。たとえば、ASCII テキストストリームの場合、この処理はバイトスワッピングになります。

処理されるデータの種類は、CRYP 制御レジスタ（CRYP_CR）内の DATATYPE ビットフィールドで設定します。

表 112. データ型

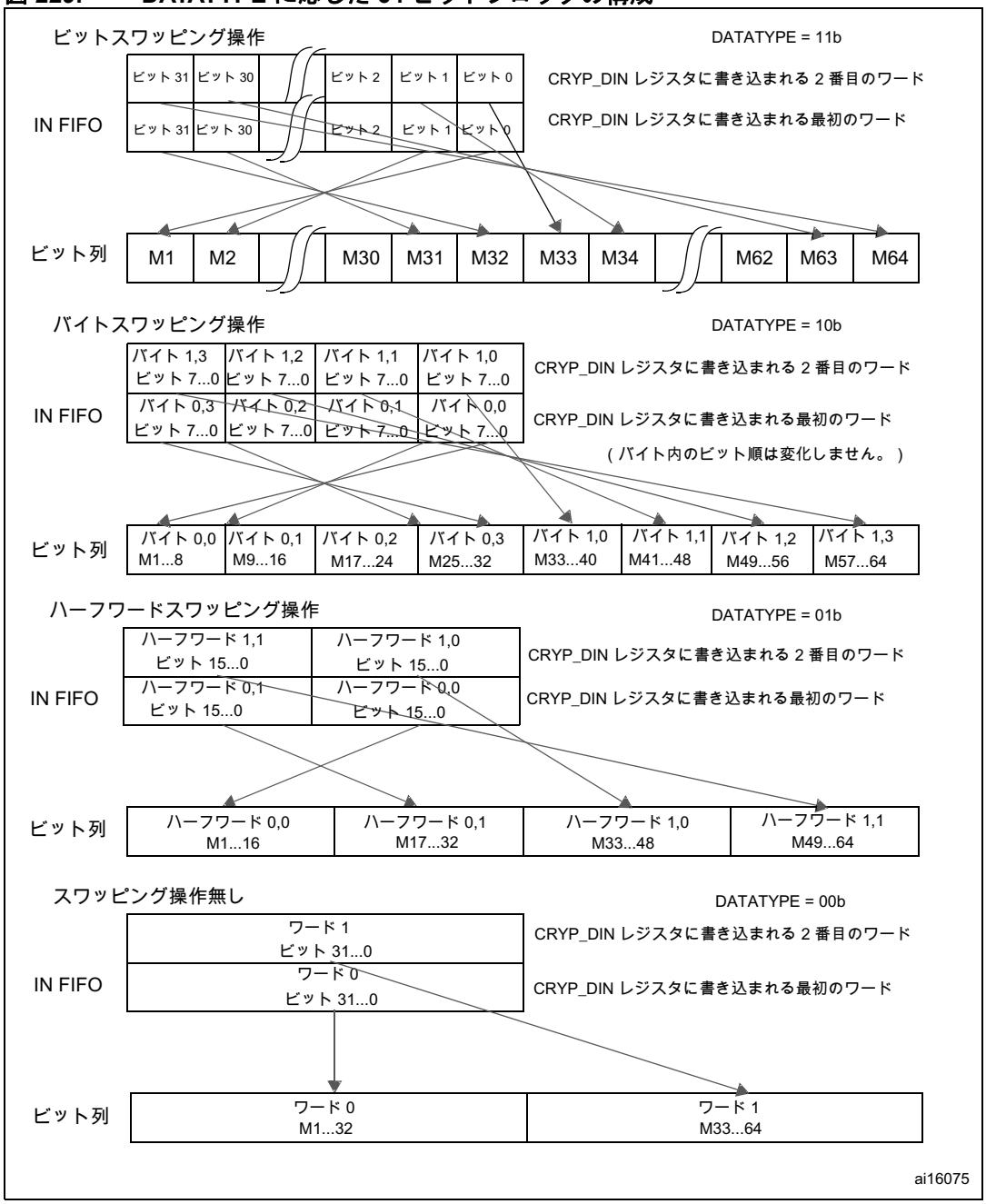
CRYP_CR 内の DATATYPE	実施される スワッピング処理	システムメモリデータ （プレーンテキストまたは暗号）
00b	スワッピングなし	例：トリプルDES ブロック値 **0xABCD77206973FE01** はシステムメモリでは次のように表現されます。 
01b	ハーフワード（16 ビット）スワッピング	例：トリプルDES ブロック値 **0xABCD77206973FE01** はシステムメモリでは次のように表現されます。 
10b	バイト（8 ビット）スワッピング	例：トリプルDES ブロック値 **0xABCD77206973FE01** はシステムメモリでは次のように表現されます。 
11b	ビットスワッピング	トリプルDES ブロック値 **0x4E6F772069732074** はシステムメモリでは次のように表現されます。 

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 229 に、DATATYPE 値にしたがい、CRYP プロセッサによって 64 ビットのデータブロック M1...64 が IN FIFO から出力される 2 つの連続した 32 ビットワードでどのように構成されるかを示します。AES 暗号アルゴリズムの場合も、同じ図を拡張して 128 ビットブロックが簡単に形成できます（AES の場合、ブロック長は 32 ビットワード 4 つですが、スワッピングはワードレベルで行われるため、ここでトリプルDES について説明したものと全く同じになります）。

注： ***IN FIFO と CRYP データブロック間および CRYP データブロックと OUT FIFO 間でも同じスワッピングが行われます。***

図 229. DATATYPE に応じた 64 ビットブロックの構成



この資料は、STMicroelectronics NV 並びにその子会社（以下 ST）が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

23.3.4 初期化ベクタ — CRYP_IV0...1(L/R)

初期化ベクタは、2 つの 64 ビットデータ項目とみなされます。したがって、初期化ベクタはシステムメモリ内でプレーンテキストや暗号データと同じデータ形式や表現とはならず、DATATYPE 値にも影響されません。

初期化ベクタは 2 つの連続した 32 ビットワードである CRYP_IVL（左部分、ビット IV1...32 と記述される）と CRYP_IVR（右部分、ビット IV33...64 と記述される）によって定義されます。

DES またはトリプルDES CBC の暗号化では、DATATYPE 値に応じたスワッピング後に、CRYP_IV0(L/R) ビットは、IN FIFO から出力される 64 ビットのデータブロック、つまりデータブロックの M1...64 ビットとの排他的論理和がとられます。DEA3 ブロックの出力が利用可能な場合は、この出力が CRYP_IV0(L/R) ベクタにコピーされ、この新しい内容と次に IN FIFO から出力される 64 ビットのデータブロックとの排他的論理和がとられ、同様に続きます。

DES またはトリプルDES CBC 復号化では、DATATYPE 値に応じたスワッピング前に、CRYP_IV0(L/R) ビットは、TDEA1 ブロックから引き渡される 64 ビットのデータブロック（つまり M1...64 ビット）との排他的論理和がとられ、OUT FIFO に押し出されます。排他的論理和の結果がスワッピングされ、OUT FIFO に押し出されると、CRYP_IV0(L/R) 値が IN FIFO の出力で置換され、IN FIFO が空になって新しい 64 ビットのデータブロックが処理できるようになります。

AES CBC 暗号化では、DATATYPE 値に応じたスワッピング後に、CRYP_IV0...1(L/R) ビットと、IN FIFO から出力される 128 ビットのデータブロックとの排他的論理和がとられます。AES コアの出力が利用可能な場合は、この出力が CRYP_IV0...1(L/R) ベクタにコピーされ、この新しい内容と次に IN FIFO から出力される 128 ビットのデータブロックとの排他的論理和がとられ、同様に続きます。

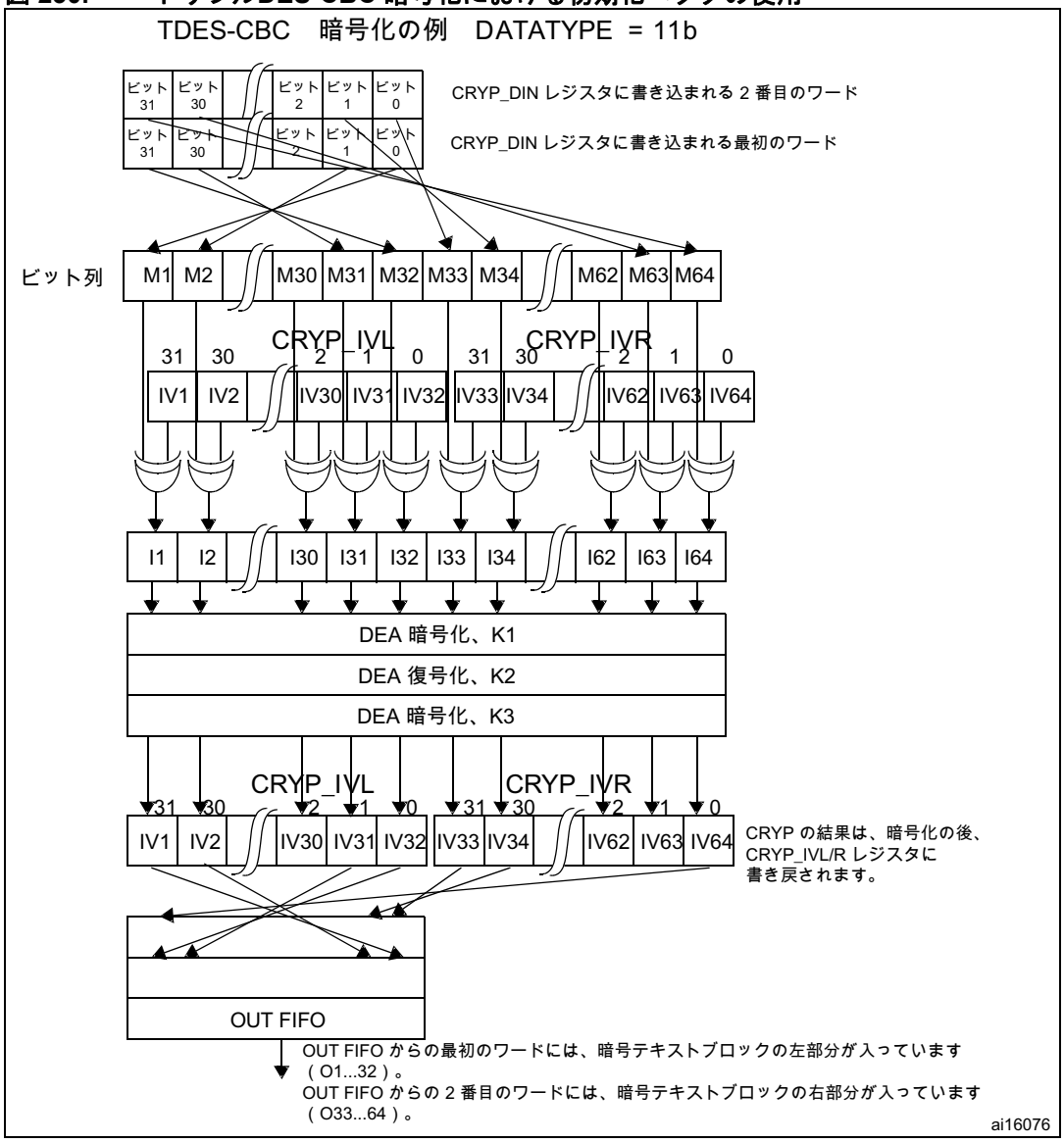
AES CBC 復号化では、DATATYPE 値に準じたスワッピング前に、CRYP_IV0...1(L/R) ビットと、AES コアから引き渡される 128 ビットのデータブロックとの排他的論理和がとられ、OUT FIFO に押し出されます。排他的論理和の結果がスワッピングされ、OUT FIFO に押し出されると、CRYP_IV0...1(L/R) 値が IN FIFO の出力で置換され、IN FIFO が空になって新しい 128 ビットのデータブロックが処理できるようになります。

AES CTR 暗号化または復号化では、CRYP_IV0...1(L/R) ビットが AES コアによって暗号化されます。その後、暗号化の結果は、DATATYPE 値に応じたスワッピング後に、IN FIFO から出力される 128 ビットのデータブロックとの排他的論理和がとられます。排他的論理和の結果がスワッピングされ、OUT FIFO に押し出されると、CRYP_IV0...1(L/R) 値のカウンタ部分（32 LSB）がインクリメントされます。

CRYP_SR レジスタの BUSY ビット = 1b になっているときは、CRYP_IV0...1(L/R) レジスタに対するあらゆる書き込み操作が無視されます（CRYP_IV0...1(L/R) レジスタの内容は変更できません）。そのため、初期化ベクタを変更する前に、BUSY ビット = 0b であることを確認する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 230. トリプルDES-CBC 暗号化における初期化ベクタの使用



23.3.5 CRYP ビジーステート

入力 FIFO に十分なデータがあり（DES またはトリプルDES アルゴリズムモードに対して 2 ワード以上、AES アルゴリズムモードに対して 4 ワード以上）、出力 FIFO に十分な空き領域があり（DES/トリプルDES に対して 2 ワード以上、AES に対して 4 ワード以上の領域）、CRYP_CR レジスタで CRYPEN ビット = 1 である場合は、暗号プロセッサが自動的に暗号化または復号化処理を開始します（CRYP_CR レジスタの ALGODIR ビットの値に応じて）。

この処理には、トリプル TDS アルゴリズムに対して AHB2 クロック 48 サイクル分、単純な DES アルゴリズムで AHB2 クロック 16 サイクル分、キー長 128、192、256 ビットの AES に対してそれぞれ AHB2 クロック 14、16、18 サイクル分の時間がかかります。この処理の間中、CRYP_SR レジスタの BUSY ビットが“1”にセットされます。処理の最後に、CRYP コアによって 2 つ（DES/トリプル DES の場合)または 4 つ（AES の場合）のワードが出力 FIFO に書き込まれ、BUSY ビットがクリアされます。CBC、CTR モードでは、初期化ベクタである CRYP_IVx(L/R)R（x = 0..3）も更新されます。

この資料は、STMicroelectronics NV 並びにその子会社（以下 ST）が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

暗号プロセッサがビジーの場合（CRYP_SR レジスタの BUSY ビット = 1b）、キーレジスタ（CRYP_Kx(L/R)R, x = 0..3）、初期化レジスタ（CRYP_IVx(L/R)R, x = 0..3）や CRYP_CR レジスタのビット [9:2] への書き込み操作は無視され、レジスタは変更されません。そのため、暗号プロセッサがデータブロックを処理している間は、設定を変更することはできません。ただし、BUSY = 1 のときに CRYPEN ビットをクリアすることはできます。現在進行中の DES、トリプルDES、AES 処理が完了し、2 ワードまたは 4 ワードの結果が出力 FIFO に書き込まれた場合に限り、BUSY ビットがクリアされます。

注： ***ブロックが DES またはトリプルDES モードで処理される場合、出力 FIFO が一杯になり、入力 FIFO に 1 つ以上の新しいブロックが含まれている場合は、新しいブロックが入力 FIFO から出力されますが、この新しいブロックを出力 FIFO に保存できる十分なスペースができるまで、BUSY ビットはハイのままになります。***

23.3.6 暗号化または復号化を実施する手順

初期化

1. ペリフェラルを初期化します（AES-ECB または AES-CBC 復号化のキーの準備を除き、操作の順序は重要ではありません。キーサイズとキー値はキーを準備する前に入力する必要があり、アルゴリズムはキーが準備できてから設定する必要があります）。
   a) CRYP_CR レジスタの KEYSIZE ビットでキーサイズ（AES の場合にのみ 128、192、256 ビット）を設定します。
   b) 対称キーを CRYP_KxL/R レジスタに書き込みます（アルゴリズムによって書き込まれるレジスタは 2 個から 8 個と異なります）。
   c) CRYP_CR レジスタの DATATYPE ビットでデータ型（1、8、16、32 ビット）を設定します。
   d) AES-ECB または AES-CBC での復号化の場合、キーを準備する必要があります。CRYP_CR レジスタで ALGOMODE ビットを“111”にセットしてキー準備モードに設定します。その後 CRYPEN ビットに“1”を書き込みます。これで BUSY ビットがセットされます。BUSY が 0 に戻るまで待ちます(CRYPEN も自動的にクリアされます)。これで復号化用にキーが準備できました。
   e) アルゴリズムと連結（ECB/CBC では DES/トリプルDES、ECB/CBC/CTR/GCM/CCM では AES）を CRYP_CR レジスタの ALGOMODE ビットで設定します。
   f) CRYP_CR レジスタの ALGODIR ビットで方向（暗号化／復号化）を設定します。
   g) CRYP_IVxL/R レジスタに初期化ベクタを書き込みます（CBC または CTR モードのみ）。
2. CRYP_CR レジスタで FFLUSH ビットに 1 を書き込み、IN および OUT FIFO を一掃します。

DMA を使用してデータをメモリからまたはメモリに転送する場合の処理

1. 入力データをメモリから転送するよう DMA コントローラを設定します。メッセージ長が転送長となります。メッセージパッドはペリフェラルで管理されないため、メッセージ長は全ブロック数である必要があります。データはバーストモードで転送されます。バースト長は AES で 4 ワード、DES/トリプルDES で 2 または 4 ワードです。処理の完了を示すため、出力データの転送完了時に割り込みをセットするように DMA を設定します。
2. CRYPEN ビットに 1 を書き込んで、暗号プロセッサを有効にします。CRYP_DMACR レジスタの DIEN ビットと DOEN ビットをセットして、DMA リクエストを有効にします。
3. すべての転送と処理は、DMA および暗号プロセッサによって管理されます。DMA 割り込みが、処理の完了を示します。どちらの FIFO も通常は空で BUSY = 0 となっています。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

割り込み時に CPU によってデータが転送される場合の処理

1. CRYP_IMSCR レジスタの INIM ビットと OUTIM ビットをセットして、割り込みを有効にします。
2. CRYP_CR レジスタの CRYPEN ビットをセットして、暗号プロセッサを有効にします。
3. 入力データを管理する割り込み：入力メッセージを IN FIFO にロードします。一度に 2 ワードまたは 4 ワードずつロードするか、または FIFO が一杯になるまでデータをロードすることができます。メッセージの最後のワードが FIFO に入ったら、INIM ビットをクリアして割り込みを無効にします。
4. 出力データを管理する割り込み：出力メッセージを OUT FIFO から読み出します。一度に 1 ブロック（2 ワードまたは 4 ワード）ずつ読み出すか、または FIFO が空になるまでデータを読み出すことができます。最後のワードが読み出されると、INIM=0、BUSY=0 になり、どちらの FIFO も空になります（IFEM=1 および OFNE=0）。OUTIM ビットをクリアすることで割り込みを無効にでき、CRYPEN ビットをクリアすることでペリフェラルを無効にできます。

DMA も割り込みも使わない処理

1. CRYP_CR レジスタの CRYPEN ビットをセットして、暗号プロセッサを有効にします。
2. 入力 FIFO に最初のブロックを書き込みます（2 から 8 ワード）。
3. メッセージ全体が処理されるまで次のシーケンスを繰り返します。
   a) OFNE=1 となるのを待ってから、OUT-FIFO を読み出します（1 ブロックまたは FIFO が空になるまで）。
   b) IFNF=1 となるのを待ってから、IN-FIFO に書き込みます（1 ブロックまたは FIFO が一杯になるまで）。
4. 処理の最後には、BUSY=0 になり、どちらの FIFO も空になります（IFEM=1 および OFNE=0）。ペリフェラルは、CRYPEN ビットをクリアすることで無効にできます。

23.3.7 コンテキストスワッピング

OS によって開始された新しいタスクがこのリソースを必要とするためにコンテキストスワッピングが必要な場合、コンテキスト全体を復元するために次のタスクを実施する必要があります（DMA を使用する場合の例）。

AES および DES の場合

1. コンテキストの保存
   a) CRYP_DMACR レジスタの DIEN ビットをクリアして、IN FIFO での DMA 転送を停止します。
   b) IN および OUT FIFO がどちらも空になり（CRYP_SR レジスタで IFEM=1 および OFNE=0）、BUSY ビットがクリアされるまで待ちます。
   c) CRYP_DMACR レジスタの DOEN ビットに 0 を書き込んで OUT FIFO での DMA 転送を停止し、CRYPEN ビットをクリアします。
   d) 現在の設定（CRYP_CR レジスタのビット [9:2] およびビット 19）を保存し、ECB モードでない場合には初期化ベクタも保存します。キー値はすでにメモリ内で利用できるようになっている必要があります。必要に応じて、DMA ステータス（IN および OUT メッセージのポインタ、残りバイト数など）を保存します。

   GCM/GMAC または CCM/CMAC アルゴリズムが使用される場合、追加ビットを保存します。
   – CRYP_CR レジスタのビット [17:16]
   – コンテキストスワッピングレジスタ：

   GCM/GMAC または CCM/CMAC アルゴリズムの場合、CRYP_CSGCMCCM0..7

   GCM/GMAC アルゴリズムの場合、CRYP_CSGCM0..7

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

2. 他の処理を設定し、実行します。
3. コンテキストの復元
   a) 保存した設定で、*セクション 23.3.6：暗号化または復号化を実施する手順（745 ページ）*、*初期化* と同様にプロセッサを設定します。AES-ECB または AES-CBC 復号化の場合、キーをもう一度準備する必要があります。
   b) 必要に応じて、DMA コントローラを再設定してメッセージの残りを転送します。
   c) CRYPEN ビットをセットしてプロセッサを有効にし、DIEN ビットおよび DOEN ビットをセットして DMA リクエストを有効にします。

トリプルDES の場合

トリプルDES では、AES の場合と同様の方法でコンテキストスワッピングを実施できます。しかし、入力 FIFO には最大 4 つの未処理ブロックを含むことがあり、またブロックあたりの処理時間が長くなるため、場合によっては IN FIFO が空になるのを待たずに処理を中断する方が速いこともあります。

1. コンテキストの保存
   a) CRYP_DMACR レジスタの DIEN ビットをクリアして、IN FIFO での DMA 転送を停止します。
   b) CRYPEN ビットをクリアしてプロセッサを無効にします（現在のブロックの終了時に処理が停止します）。
   c) OUT FIFO が空になり（CRYP_SR レジスタで OFNE=0）、BUSY ビットがクリアされるまで待ちます。
   d) CRYP_DMACR レジスタの DOEN ビットに 0 を書き込み、OUT FIFO での DMA 転送を停止します。
   e) 現在の設定（CRYP_CR レジスタのビット [9:2] およびビット 19）を保存し、ECB モードでない場合には初期化ベクタも保存します。キー値はすでにメモリ内で利用できるようになっている必要があります。必要に応じて、DMA ステータス（IN および OUT メッセージのポインタ、残りバイト数など）を保存します。未処理の IN FIFO にロードされたデータを読み戻し、それらを FIFO が空になるまでメモリに保存します。

注： ***GCM/GMAC または CCM/CMAC モードでは、CRYP_CR レジスタのビット [17:16] も保存します。***

2. 他の処理を設定し、実行します。
3. コンテキストの復元
   a) 保存した設定で、*セクション 23.3.6：暗号化または復号化を実施する手順（745 ページ）*、*初期化* と同様にプロセッサを設定します。AES-ECB または AES-CBC 復号化の場合、キーをもう一度準備する必要があります。
   b) コンテキストの保存中に保存されたデータを IN FIFO に書き込みます。
   c) 必要に応じて、DMA コントローラを再設定してメッセージの残りを転送します。
   d) CRYPEN ビットをセットしてプロセッサを有効にし、DIEN ビットおよび DOEN ビットをセットして DMA リクエストを有効にします。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

23.4 CRYP 割り込み

CRYP が生成するマスク可能で独立した割り込みソースが 2 つあります。この 2 つのソースを組み合わせて 1 つの割り込み信号にします。これが NVIC（ネスト型ベクタ割り込みコントローラ）を駆動する CRYP からの唯一の割り込み信号です。この複合割り込みは、マスクされた各ソースの論理和関数であり、次にリストする各割り込みのいずれかがアサートされて有効になるとアサートされます。

CRYP_IMSCR レジスタのマスクビットを変更することにより、これらの割り込みソースを個別に有効にしたり無効にしたりすることができます。適切なマスクビットを“1”にセットすることで、その割り込みが有効になります。

各割り込みソースのステータスは、raw 割り込みステータスに対しては CRYP_RISR レジスタから、マスクされた割り込みステータスに対しては CRYP_MISR レジスタから読み出すことができます。

出力 FIFO サービス割り込み - OUTMIS

出力 FIFO に 1 つ以上のデータ項目（32 ビットワード）がある場合、出力 FIFO サービス割り込みがアサートされます。この割り込みは、有効な（32 ビット）ワードがなくなるまで出力 FIFO からデータを読み出すことによってクリアされます（つまり、この割り込みは OFNE（出力 FIFO が空でない）フラグの状態に従います）。

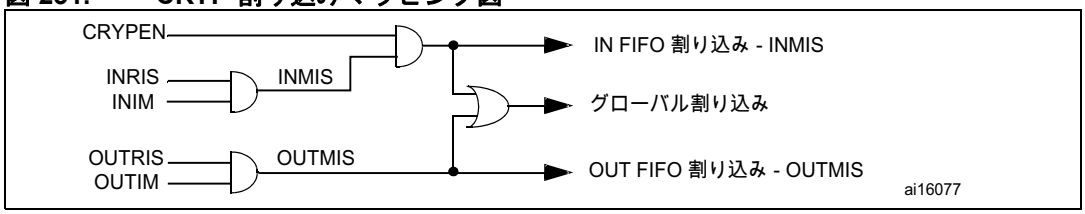
出力 FIFO サービス割り込み OUTMIS は、CRYP イネーブルビットでは有効になりません。結果として、出力 FIFO が空でない場合、CRYP を無効にしても OUTMIS 信号を強制的にローにすることはできません。

入力 FIFO サービス割り込み - INMIS

入力 FIFO が 4 ワード未満となった場合、入力 FIFO サービス割り込みがアサートされます。この割込みは、入力 FIFO に 4 ワード以上を保持するようになるまで書き込み操作を行うことによってクリアされます。

入力 FIFO サービス割り込み INMIS は、CRYP イネーブルビットで有効になります。結果として、CRYP を無効にすると、入力 FIFO が空であっても INMIS 信号がローになります。

図 231. CRYP 割り込みマッピング図



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

23.5 CRYP DMA インタフェース

暗号プロセッサには、DMA コントローラに接続するインタフェースが搭載されています。DMA 操作は CRYP DMA 制御レジスタである CRYP_DMACR を通して制御します。

バースト転送リクエスト信号とシングル転送リクエスト信号は、互いに排他的ではありません。それらは同時にアサートすることができます。たとえば、OUT FIFO で 6 ワードが利用可能な場合、バースト転送リクエストとシングル転送リクエストがアサートされます。4 ワードのバースト転送の後、残りの利用可能な 2 ワードを転送するにはシングル転送リクエストでなければアサートされません。これはストリーム内で受信する残りのワード数がバーストよりも少ないときに効果的です。

各リクエスト信号は、関連する DMA クリア信号がアサートされるまでアサートされたままとなります。リクエストクリア信号がネゲートされると、上述した条件に応じて、リクエスト信号を再びアクティブにすることができます。CRYP ペリフェラルが無効になるか、DMA イネーブルビットがクリアされると（CRYP_DMACR レジスタにおいて IN FIFO に対しては DIEN ビット、OUTFIFO に対しては DOEN ビット）、すべてのリクエスト信号がネゲートされます。

注： ***DMA コントローラを 4 ワード以下のバーストを実行するように設定する必要があります。さもないと、一部のデータが失われる場合があります。***

IN FIFO を一杯にする前に OUT FIFO を空にするよう DMA コントローラが動作するようにするには、OUTDMA チャネルの優先度が INDMA チャネルより高い必要があります。

23.6 CRYP レジスタ

暗号コアは、複数の制御およびステータスレジスタ、8 個のキーレジスタ、4 個の初期化ベクタレジスタと連動しています。

23.6.1 CRYP 制御レジスタ（CRYP_CR） STM32F405xx/07xx および STM32F415xx/17xx 用

アドレスオフセット：0x00

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CRYPEN	FFLUSH	予約済み				KEYSIZE		DATATYPE		ALGOMODE[2:0]			ALGODIR	予約済み	予約済み
rw	w					rw	rw	rw	rw	rw	rw	rw	rw		

ビット 31:18 予約済みであり、リセット値に保持する必要があります。

ビット 17:16 予約済みであり、リセット値に保持する必要があります。

ビット 15 **CRYPEN**：暗号プロセッサイネーブル

0：CRYP プロセッサは無効です。

1：CRYP プロセッサは有効です。

注： ***CRYPEN ビットは、キーの準備プロセスが終了するか（ALGOMODE=111b）、GCM_CCM 初期化フェーズになると自動的にハードウェアによってクリアされます。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 14 **FFLUSH**：FIFO フラッシュ

CRYPEN = 0 の場合、このビットに 1 を書き込むと IN および OUT FIFO が一掃されます（つまり、FIFO の読み出しおよび書き込みポインタがリセットされます）。このビットに 0 を書き込んでも影響はありません。

CRYPEN = 1 の場合、このビットに 0 や 1 を書き込んでも影響はありません。

このビットを読み出すと常に 0 が返されます。

ビット 13:10 予約済みであり、リセット値に保持する必要があります。

ビット 9:8 **KEYSIZE[1:0]**：キーサイズ選択（AES モードのみ）

このビットフィールドにより、AES 暗号コアに使用するキーのビット長を規定します。このビットフィールドは、DES またはトリプルDES モードでは意味を持ちません。

00：128 ビットのキー長

01：192 ビットのキー長

10：256 ビットのキー長

11：予約済み。この値は使用しないでください。

ビット 7:6 **DATATYPE[1:0]**：データ型選択

このビットフィールドによって、CRYP_DIN レジスタに入力されるデータのフォーマットを規定します（*セクション 23.3.3：データ型*参照）。

00 : 32 ビットデータ各ワードのスワッピング無し。IN FIFO に押し込まれる（またはOUT FIFO からはじき出される）最初のワードがデータブロックのビット 1 から 32 を形成し、2 番目のワードがビット 33 から 64 を形成します。

01：16 ビットデータまたはハーフワード。IN FIFO に押し込まれる（または OUT FIFO からはじき出される）各ワードは、相互スワッピングされた 2 つのハーフワードとみなされます。

10 : 8 ビットデータまたはバイト。IN FIFO に押し込まれる（または OUT FIFO からはじき出される）各ワードは、相互スワッピングされた 4 バイトとみなされます。

11：ビットデータまたはビット列。IN FIFO に押し込まれる（または OUT FIFO からはじき出される）各ワードは、相互スワッピングされた 32 ビット（位置 0 にあるビット列の最初のビット）とみなされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 5:3 **ALGOMODE[2:0]**：アルゴリズムモード

000：トリプルDES-ECB（トリプル DES Electronic codebook）：データブロック間にはフィードバックはありません。初期化ベクタ（CRYP_IV0(L/R)）は使用されず、3 つのキーベクタ（K1、K2、K3）が使用されます（K0 は使用されません）。

001：トリプルDES-CBC（トリプル DES 暗号ブロック連結）：出力ブロックは、それ以降に続く入力ブロックと排他的論理和がとられてから、アルゴリズムへ入力されます。初期化ベクタ（CRYP_IV0(L/R)）は初期化する必要があり、3 つのキーベクタ（K1、K2、K3）が使用されます（K0 は使用されません）。

010：DES-ECB（シンプル DES Electronic codebook）：データブロック間にはフィードバックはありません。初期化ベクタ（CRYP_IV0(L/R)）は使用されず、1 つのキーベクタ（K1）のみが使用されます（K0、K2、K3 は使用されません）。

011：DES-CBC（シンプル DES 暗号ブロック連結）：出力ブロックは、それ以降に続く入力ブロックと排他的論理和がとられてから、アルゴリズムへ入力されます。初期化ベクタ（CRYP_IV0L/R）は初期化する必要があります。1 つのキーベクタ（K1）のみが使用されます（K0、K2、K3 は使用されません）。

100：AES-ECB（AES Electronic codebook）：データブロック間にはフィードバックはありません。初期化ベクタ（CRYP_IV0L/R...1L/R）は使用されません。4 つのキーベクタはすべて（K0...K3）使用されます。

101：AES-CBC（AES 暗号ブロック連結）：出力ブロックは、それ以降に続く入力ブロックと排他的論理和がとられてから、アルゴリズムへ入力されます。初期化ベクタ（CRYP_IV0L/R...1L/R）は初期化する必要があります。4 つのキーベクタはすべて（K0...K3）使用されます。

110：AES-CTR（AES カウンタモード）：出力ブロックは、それ以降に続く入力ブロックと排他的論理和がとられてから、アルゴリズムへ入力されます。初期化ベクタ（CRYP_IV0L/R...1L/R）は初期化する必要があります。4 つのキーベクタはすべて（K0...K3）使用されます。コアが常に現在のカウンタブロックを暗号化して、入力におけるプレーンテキストや暗号と排他的論理和がとられるキーストリームを生成するので、CTR 復号化は CTR 暗号化と変わりません。したがって、ALGOMODE = 110b の場合は ALGODIR は意味を持たず、復号化用にキーを展開（準備）してはなりません。

111：復号化モード用の AES キーの準備です。CRYPEN = 1 の場合、この値を書き込むと、ただちにキー準備用の AES ラウンドが開始となります。秘密キーは、事前に K0...K3 レジスタにロードされている必要があります。CRYP_SR レジスタの BUSY ビットは、キー準備中にセットされます。キー処理の後、その結果生成されるキーが再び K0...K3 レジスタにコピーされ、BUSY ビットがクリアされます。

ビット 2 **ALGODIR**：アルゴリズムの方向

0：暗号化
1：復号化

ビット 1:0 予約済みであり、リセット値に保持する必要があります。

注： ***BUSY=1 である間に KEYSIZE、DATATYPE、ALGOMODE、ALGODIR ビットに書き込んでも何の影響もありません。これらのビットは、BUSY=0 のときにのみ設定できます。***
FFLUSH ビットは、BUSY=0 のときにのみセットする必要があります。さもないと、FIFO は一掃されますが処理中のブロックは一掃操作の直後に出力 FIFO に押し込まれ、FIFO が空でなくなることがあります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

23.6.2 CRYP 制御レジスタ（CRYP_CR）STM32F42xxx および STM32F43xxx用

アドレスオフセット：0x00

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み												ALGOMODE [3]	予約済み	GCM_CCMPH	
												rw		rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CRYPEN	FFLUSH	予約済み				KEYSIZE		DATATYPE		ALGOMODE[2:0]			ALGODIR	予約済み	
rw	w					rw	rw	rw	rw	rw	rw	rw	rw		

ビット 31:20 予約済み、ハードウェアによって 0 に固定されています。

ビット 18 予約済み、ハードウェアによって 0 に固定されています。

ビット 17:16 GCM_CCMPH[1:0]：「GCM または CCM アルゴリズム」がセットされていない場合、影響はありません。

00：GCM_CCM 初期化フェーズ
01：GCM_CCM ヘッダフェーズ
10：GCM_CCM ペイロードフェーズ
11：GCM_CCM 最終フェーズ

ビット 15 **CRYPEN**：暗号プロセッサイネーブル

0：CRYP プロセッサは無効です。
1：CRYP プロセッサは有効です。

*注： **CRYPEN ビットは、キーの準備プロセスが終了するか（ALGOMODE=111b）、GCM_CCM 初期化フェーズになると自動的にハードウェアによってクリアされます。***

ビット 14 **FFLUSH**：FIFO フラッシュ

CRYPEN = 0 の場合、このビットに 1 を書き込むと IN および OUT FIFO が一掃されます（つまり、FIFO の読み出しおよび書き込みポインタがリセットされます）。このビットに 0 を書き込んでも影響はありません。
CRYPEN = 1 の場合、このビットに 0 や 1 を書き込んでも影響はありません。
このビットを読み出すと常に 0 が返されます。

ビット 13:10 予約済み、ハードウェアによって 0 に固定されています。

ビット 9:8 **KEYSIZE[1:0]**：キーサイズ選択（AES モードのみ）

このビットフィールドにより、AES 暗号コアに使用するキーのビット長を規定します。
このビットフィールドは、DES またはトリプルDES モードでは意味を持ちません。

00：128 ビットのキー長
01：192 ビットのキー長
10：256 ビットのキー長
11：予約済み。この値は使用しないでください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 7:6 **DATATYPE[1:0]**：データ型選択

このビットフィールドによって、CRYP_DIN レジスタに入力されるデータのフォーマットを規定します（*セクション 23.3.3：データ型*参照）。

00：32 ビットデータ。各ワードのスワッピング無し。IN FIFO に入れられる（または OUT FIFO から出される）最初のワードがデータブロックのビット 1 から 32 を形成し、2 番目のワードがビット 33 から 64 を形成します。

01：16 ビットデータまたはハーフワード。IN FIFO に入れられる（または OUT FIFO から出される）各ワードは、相互スワッピングされた 2 つのハーフワードとみなされます。

10：8 ビットデータまたはバイト。IN FIFO に入れられる（または OUT FIFO から出される）各ワードは、相互スワッピングされた 4 バイトとみなされます。

11：ビットデータまたはビット列。IN FIFO に入れられる（または OUT FIFO から出される）各ワードは、相互スワッピングされた 32 ビット（位置 0 にあるビット列の最初のビット）とみなされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 19 および 5:3 **ALGOMODE[3:0]**：アルゴリズムモード

0000：トリプルDES-ECB（トリプル DES 電子コードブック）：データブロック間にはフィードバックはありません。初期化ベクタ（CRYP_IV0(L/R)）は使用されず、3 つのキーベクタ（K1、K2、K3）が使用されます（K0 は使用されません）。

0001：トリプルDES-CBC（トリプル DES 暗号ブロック連結）：出力ブロックは、それ以降に続く入力ブロックと排他的論理和がとられてから、アルゴリズムへ入力されます。初期化ベクタ（CRYP_IV0(L/R)）は初期化する必要があり、3 つのキーベクタ（K1、K2、K3）が使用されます（K0 は使用されません）。

0010：DES-ECB（シンプル DES 電子コードブック）：データブロック間にはフィードバックはありません。初期化ベクタ（CRYP_IV0(L/R)）は使用されず、1 つのキーベクタ（K1）のみが使用されます（K0、K2、K3 は使用されません）。

0011：DES-CBC（シンプル DES 暗号ブロック連結）：出力ブロックは、それ以降に続く入力ブロックと排他的論理和がとられてから、アルゴリズムへ入力されます。初期化ベクタ（CRYP_IV0L/R）は初期化する必要があります。1 つのキーベクタ（K1）のみが使用されます（K0、K2、K3 は使用されません）。

0100：AES-ECB（AES 電子コードブック）：データブロック間にはフィードバックはありません。初期化ベクタ（CRYP_IV0L/R...1L/R）は使用されません。4 つのキーベクタ（K0...K3）はすべて使用されます。

0101：AES-CBC（AES 暗号ブロック連結）：出力ブロックは、それ以降に続く入力ブロックと排他的論理和がとられてから、アルゴリズムへ入力されます。初期化ベクタ（CRYP_IV0L/R...1L/R）は初期化する必要があります。4 つのキーベクタ（K0...K3）はすべて使用されます。

0110：AES-CTR（AES カウンタモード）：出力ブロックは、それ以降に続く入力ブロックと排他的論理和がとられてから、アルゴリズムへ入力されます。初期化ベクタ（CRYP_IV0L/R...1L/R）は初期化する必要があります。4 つのキーベクタ（K0...K3）はすべて使用されます。コアが常に現在のカウンタブロックを暗号化して、入力におけるプレーンテキストや暗号と排他的論理和がとられるキーストリームを生成するので、CTR 復号化は CTR 暗号化と変わりません。したがって、ALGOMODE = 110b の場合は ALGODIR は意味を持たず、復号化用にキーを展開（準備）してはなりません。

0111：復号化モード用の AES キーの準備です。CRYPEN = 1 の場合、この値を書き込むと、ただちにキー準備用の AES ラウンドが開始となります。秘密キーは、事前に K0...K3 レジスタにロードされている必要があります。CRYP_SR レジスタの BUSY ビットは、キー準備中にセットされます。キー処理の後、その結果生成されるキーが再び K0...K3 レジスタにコピーされ、BUSY ビットがクリアされます。

1000：ガロアカウンタモード（GCM）です。このアルゴリズムモードは、GMAC アルゴリズムに対しても使用されます。

1001：CBC-MAC（CCM）のカウンタです。このアルゴリズムモードは、CMAC アルゴリズムに対しても使用されます。

ビット 2 **ALGODIR**：アルゴリズムの方向

0：暗号化

1：復号化

ビット 1:0 予約済みであり、0 に保持する必要があります。

注： ***BUSY=1 である間に KEYSIZE、DATATYPE、ALGOMODE、ALGODIR ビットに書き込んでも何の影響もありません。これらのビットは、BUSY=0 のときにのみ設定できます。***
FFLUSH ビットは、BUSY=0 のときにのみセットする必要があります。そうしないと、FIFO は一掃されますが処理中のブロックは一掃操作の直後に出力 FIFO に押し込まれ、FIFO が空でなくなることがあります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

23.6.3 CRYP ステータスレジスタ（CRYP_SR）

アドレスオフセット：0x04

リセット値：0x0000 0003

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み											BUSY	OFFU	OFNE	IFNF	IFEM
											r	r	r	r	r

ビット 31:5 予約済みであり、リセット値に保持する必要があります。

ビット 4 **BUSY**：ビジービット

0：CRYP コアは、いかなるデータも処理していません。理由は次のいずれかです。

– CRYP コアが無効になっており（CRYP_CR レジスタで CRYPEN=0）、最後の処理が完了している、または

– CRYP コアが入力 FIFO に十分なデータが入るまで待っている、または出力 FIFO に十分な空きが出来るまで待っている（つまり、それぞれ DES の場合で 2 ワード以上、AES の場合で 4 ワード以上）。

1：CRYP、コアが現在データブロックまたは（AES 復号化の）キー準備の処理をしています。

ビット 3 **OFFU**：出力 FIFO フル

0：出力 FIFO はフルではありません。

1：出力 FIFO はフルです。

ビット 2 **OFNE**：出力 FIFO ノットエンプティ

0：出力 FIFO は空です。

1：出力 FIFO は空ではありません。

ビット 1 **IFNF**：入力 FIFO ノットフル

0：入力 FIFO はフルです。

1：入力 FIFO はフルではありません。

ビット 0 **IFEM**：入力 FIFO エンプティ

0：入力 FIFO は空ではありません。

1：入力 FIFO は空です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

23.6.4 CRYP データ入力レジスタ（CRYP_DIN）

アドレスオフセット：0x08

リセット値：0x0000 0000

CRYP_DIN レジスタは、データ入力レジスタです。このレジスタは 32 ビット幅です。このレジスタを使用して、暗号化時、最大 4 つの 64 ビット（トリプルDES）または 2 つの 128 ビット（AES）プレーンテキストを、復号化時は、暗号テキストブロックを一度に 32 ビットワードずつ入力 FIFO に入力します。

最初に FIFO に書き込まれるワードは、入力ブロックの MSB です。入力ブロックの LSB は、最後に書き込まれます。データスワッピングを無視すると、次のようになります。

- DES/トリプルDES モード：ひとつのブロックは、ビット 1（左端のビット）からビット 64（右端のビット）まで番号が振られた一連のビットです。ビット 1 は FIFO に入力された最初のワードの MSB（ビット 31）に対応し、ビット 64 は FIFO に入力された 2 番目のワードの LSB（ビット 0）に対応します。
- AES モード：ひとつのブロックは、ビット 0（左端のビット）からビット 127（右端のビット）まで番号が振られた一連のビットです。ビット 0 は FIFO に書き込まれた最初のワードの MSB（ビット 31）に対応し、ビット 127 は FIFO に書き込まれた 4 番目のワードの LSB（ビット 0）に対応します。

さまざまなデータサイズに対応するため、CRYP_CR レジスタの DATATYPE ビットを設定することにより、CRYP_DIN レジスタに書き込まれたデータは、処理が行われる前にスワッピングすることができます。詳細については、*セクション 23.3.3：データ型（741 ページ）*を参照してください。

CRYP_DIN レジスタに書き込まれると、データは入力 FIFO に押し込まれます。DES/トリプルDES モードにおいて、少なくとも 2 つ以上の 32 ビットワード（AES モードでは 4 つ以上の 32 ビットワード）が入力 FIFO に押し込まれており、かつ出力 FIFO に少なくとも 2 ワード以上の空きがある場合、CRYP エンジンは暗号化または復号化プロセスを開始します。このプロセスは、各プロセスラウンドにつき DES/トリプルDES モードでは入力 FIFO から 2 つの 32 ビットワード（AES モードでは 4 つの 32 ビットワード）を取り込み、出力 FIFO に 2 つの 32 ビットワード（AES モードでは 4 つの 32 ビットワード）を引き渡します。

CRYP_DIN レジスタが読み出されると、

- CRYPEN = 0 の場合、FIFO が作動し、最も古いもの（最初の読み出し）から最新のもの（最後の読み出し）まで、入力 FIFO にあるデータが返されます。各読み出し操作の前に、IFEM フラグをチェックして FIFO が空でないことを確認する必要があります。
- CRYPEN = 1 の場合、未定義の値が返されます。

CRYP_DIN レジスタが1回以上読み出された後は、新しいデータを処理する前に FFLUSH ビットをセットして FIFO を一掃する必要があります。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DATAIN															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DATAIN															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0 **DATAIN**：データ入力

読み出し：CRYPEN = 0 の場合、入力 FIFO の内容を返し、それ以外の場合、未定義の値を返します。

書き込み：入力 FIFO に書き込まれます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

23.6.5 CRYP データ出力レジスタ（CRYP_DOUT）

アドレスオフセット：0x0C

リセット値：0x0000 0000

CRYP_DOUT レジスタは、データ出力レジスタです。読み出し専用で 32 ビット幅です。このレジスタを使用して、暗号化時、最大 4 つの 64 ビット（トリプルDES モード）または 2 つの 128 ビット（AES モード）の暗号テキストを、復号化時は、プレーンテキストブロックを一度に 32 ビットワードずつ出力 FIFO から取り出します。

入力データの場合と同様、出力 FIFO から最初に読み出されるワードが出力ブロックの MSB です。出力ブロックの LSB は、最後に読み出されます。データスワッピングを無視すると、次のようになります。

- DES/トリプルDES モード：ビット 1（左端のビット）は FIFO から読み出される最初のワードの MSB（ビット 31）に対応し、ビット 64（右端のビット）は FIFO から読み出される 2 番目のワードの LSB（ビット 0）に対応します。
- AES モード：ビット 0（左端のビット）は FIFO から読み出される最初のワードの MSB（ビット 31）に対応し、ビット 127（右端のビット）は FIFO から読み出される 4 番目のワードの LSB（ビット 0）に対応します。

さまざまなデータサイズに対応するため、CRYP_CR レジスタの DATATYPE ビットを設定することにより、データは、処理後にスワッピングすることができます。詳細については、*セクション 23.3.3：データ型（741 ページ）*を参照してください。

CRYP_DOUT レジスタを読み出すと、出力 FIFO に最後に入ったデータ（読み出しポインタが指すデータ）が返されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DATAOUT															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DATAOUT															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:0 **DATAOUT**：データ出力

読み出し：出力 FIFO の内容を返します。

書き込み：何の影響もありません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

23.6.6 CRYP DMA 制御レジスタ（CRYP_DMACR）

アドレスオフセット：0x10

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み														DOEN	DIEN
														rw	rw

ビット 31:2 予約済みであり、リセット値に保持する必要があります。

ビット 1 **DOEN**：DMA 出力イネーブル

0：送信データ転送用 DMA は無効です。
1：送信データ転送用 DMA は有効です。

ビット 0 **DIEN**：DMA 入力イネーブル

0：受信データ転送用 DMA は無効です。
1：受信データ転送用 DMA は有効です。

23.6.7 CRYP 割り込みマスクセット／クリアレジスタ（CRYP_IMSCR）

アドレスオフセット：0x14

リセット値：0x0000 0000

CRYP_IMSCR レジスタは、割り込みマスクセットまたはクリアのためのレジスタです。読み出し／書き込みレジスタです。読み出し操作時、このレジスタは、関連する割り込みの現在のマスク値を示します。特定のビットに 1 を書き込むとマスクがセットされ、割り込みが読み出せるようになります。このビットに 0 を書き込むと、該当するマスクがクリアされます。ペリフェラルがリセットされると、すべてのビットが 0 にクリアされます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み														OUTIM	INIM
														rw	rw

ビット 31:2 予約済みであり、リセット値に保持する必要があります。

ビット 1 **OUTIM**：出力 FIFO サービス割り込みマスク

0：出力 FIFO サービス割り込みはマスクされています。
1：出力 FIFO サービス割り込みはマスクされていません。

ビット 0 **INIM**：入力 FIFO サービス割り込みマスク

0：入力 FIFO サービス割り込みはマスクされています。
1：入力 FIFO サービス割り込みはマスクされていません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

23.6.8 CRYP raw 割り込みステータスレジスタ（CRYP_RISR)

アドレスオフセット：0x18

リセット値：0x0000 0001

CRYP_RISR レジスタは、raw 割り込みステータスレジスタです。読み出し専用レジスタです。読み出し時、このレジスタは、マスク前の該当する割り込みの現在の raw ステータスを示します。書き込み操作は何の影響もありません。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み														OUTRIS	INRIS
														r	r

ビット 31:2 予約済みであり、リセット値に保持する必要があります。

ビット 1 **OUTRIS**：出力 FIFO サービス raw 割り込みステータス
出力 FIFO サービス割り込みをマスクする前の raw 割り込みの状態を示します。
0：Raw 割り込みは保留中ではありません。
1：Raw 割り込みは保留中です。

ビット 0 **INRIS**：入力 FIFO サービス raw 割り込みステータス
入力 FIFO サービス割り込みをマスクする前の raw 割り込みの状態を示します。
0：Raw 割り込みは保留中ではありません。
1：Raw 割り込みは保留中です。

23.6.9 CRYP マスク済み割り込みステータスレジスタ（CRYP_MISR)

アドレスオフセット：0x1C

リセット値：0x0000 0000

CRYP_MISR レジスタは、マスク済み割り込みステータスレジスタです。読み出し専用レジスタです。読み出し時、このレジスタは、マスク前の該当する割り込みの現在のマスクのステータスを示します。書き込み操作は何の影響もありません。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み														OUTMIS	INMIS
														r	r

ビット 31:2 予約済みであり、リセット値に保持する必要があります。

ビット 1 **OUTMIS**：出力 FIFO サービスマスク済み割り込みステータス
出力 FIFO サービス割り込みマスク後の割り込みの状態を示します。
0：割り込みは保留中ではありません。
1：割り込みが保留中です。

ビット 0 **INMIS**：入力 FIFO サービスマスク済み割り込みステータス
入力 FIFO サービス割り込みマスク後の割り込みの状態を示します。
0：割り込みは保留中ではありません。
1：CRYPEN = 1 の場合、割り込みは保留中です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

23.6.10 CRYP キーレジスタ（CRYP_K0...3(L/R)R）

アドレスオフセット：0x20 から 0x3C

リセット値：0x0000 0000

これらのレジスタには、暗号キーが入っています。

トリプルDES モードでは、キーは 64 ビットのバイナリ値（左から右に番号が振られています。つまり左端のビットがビット 1 です。）であり、K1、K2、K3（K0 は使用しません）と名づけられています。また、各キーは 56 の情報ビットと 8 つのパリティビットで構成されています。パリティビットはエラー検出目的で予約されており、現在のブロックでは使用しません。このため、各 64 ビットのキー値 Kx[1:64] のビット 8、16、24、32、40、48、56、64 は使用されません。

AES モードでは、キーは 1 つの 128、192、256 ビット長のビット列 $k_0k_1k_2...k_{127/191/255}$（$k_0$ は左端のビット）とみなされます。AES キーは次のようにレジスタに入力されます。

- AES-128 の場合：$k_0..k_{127}$ は $b_{127}..b_0$ に対応（$b_{255}..b_{128}$ は使用しません）
- AES-192 の場合：$k_0..k_{191}$ は $b_{191}..b_0$ に対応（$b_{255}..b_{192}$ は使用しません）
- AES-256 の場合：$k_0..k_{255}$ は $b_{255}..b_0$ に対応

どの場合でも、b_0 が右端のビットです。

CRYP_K0LR（アドレスオフセット：0x20）

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
b255	b254	b253	b252	b251	b250	b249	b248	b247	b246	b245	b244	b243	b242	b241	b240
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
b239	b238	b237	b236	b235	b234	b233	b232	b231	b230	b229	b228	b227	b226	b225	b224
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w

CRYP_K0RR（アドレスオフセット：0x24）

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
b223	b222	b221	b220	b219	b218	b217	b216	b215	b214	b213	b212	b211	b210	b209	b208
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
b207	b206	b205	b204	b203	b202	b201	b200	b199	b198	b197	b196	b195	b194	b193	b192
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w

CRYP_K1LR（アドレスオフセット：0x28）

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
k1.1 b191	k1.2 b190	k1.3 b189	k1.4 b188	k1.5 b187	k1.6 b186	k1.7 b185	k1.8 b184	k1.9 b183	k1.10 b182	k1.11 b181	k1.12 b180	k1.13 b179	k1.14 b178	k1.15 b177	k1.16 b176
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
k1.17 b175	k1.18 b174	k1.19 b173	k1.20 b172	k1.21 b171	k1.22 b170	k1.23 b169	k1.24 b168	k1.25 b167	k1.26 b166	k1.27 b165	k1.28 b164	k1.29 b163	k1.30 b162	k1.31 b161	k1.32 b160
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

CRYP_K1RR（アドレスオフセット：0x2C）

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
k1.33 b159	k1.34 b158	k1.35 b157	k1.36 b156	k1.37 b155	k1.38 b154	k1.39 b153	k1.40 b152	k1.41 b151	k1.42 b150	k1.43 b149	k1.44 b148	k1.45 b147	k1.46 b146	k1.47 b145	k1.48 b144
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
k1.49 b143	k1.50 b142	k1.51 b141	k1.52 b140	k1.53 b139	k1.54 b138	k1.55 b137	k1.56 b136	k1.57 b135	k1.58 b134	k1.59 b133	k1.60 b132	k1.61 b131	k1.62 b130	k1.63 b129	k1.64 b128
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w

CRYP_K2LR（アドレスオフセット：0x30）

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
k2.1 b127	k2.2 b126	k2.3 b125	k2.4 b124	k2.5 b123	k2.6 b122	k2.7 b121	k2.8 b120	k2.9 b119	k2.10 b118	k2.11 b117	k2.12 b116	k2.13 b115	k2.14 b114	k2.15 b113	k2.16 b112
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
k2.17 b111	k2.18 b110	k2.19 b109	k2.20 b108	k2.21 b107	k2.22 b106	k2.23 b105	k2.24 b104	k2.25 b103	k2.26 b102	k2.27 b101	k2.28 b100	k2.29 b99	k2.30 b98	k2.31 b97	k2.32 b96
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w

CRYP_K2RR（アドレスオフセット：0x34）

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
k2.33 b95	k2.34 b94	k2.35 b93	k2.36 b92	k2.37 b91	k2.38 b90	k2.39 b89	k2.40 b88	k2.41 b87	k2.42 b86	k2.43 b85	k2.44 b84	k2.45 b83	k2.46 b82	k2.47 b81	k2.48 b80
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
k2.49 b79	k2.50 b78	k2.51 b77	k2.52 b76	k2.53 b75	k2.54 b74	k2.55 b73	k2.56 b72	k2.57 b71	k2.58 b70	k2.59 b69	k2.60 b68	k2.61 b67	k2.62 b66	k2.63 b65	k2.64 b64
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w

CRYP_K3LR（アドレスオフセット：0x38）

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
k3.1 b63	k3.2 b62	k3.3 b61	k3.4 b60	k3.5 b59	k3.6 b58	k3.7 b57	k3.8 b56	k3.9 b55	k3.10 b54	k3.11 b53	k3.12 b52	k3.13 b51	k3.14 b50	k3.15 b49	k3.16 b48
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
k3.17 b47	k3.18 b46	k3.19 b45	k3.20 b44	k3.21 b43	k3.22 b42	k3.23 b41	k3.24 b40	k3.25 b39	k3.26 b38	k3.27 b37	k3.28 b36	k3.29 b35	k3.30 b34	k3.31 b33	k3.32 b32
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w

CRYP_K3RR（アドレスオフセット：0x3C）

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
k3.33 b31	k3.34 b30	k3.35 b29	k3.36 b28	k3.37 b27	k3.38 b26	k3.39 b25	k3.40 b24	k3.41 b23	k3.42 b22	k3.43 b21	k3.44 b20	k3.45 b19	k3.46 b18	k3.47 b17	k3.48 b16
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
k3.49 b15	k3.50 b14	k3.51 b13	k3.52 b12	k3.53 b11	k3.54 b10	k3.55 b9	k3.56 b8	k3.57 b7	k3.58 b6	k3.59 b5	k3.60 b4	k3.61 b3	k3.62 b2	k3.63 b1	k3.64 b0
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w

注： ***暗号プロセッサがビジー（CRYP_SR レジスタで BUSY ビット = 1）のとき、これらのレジスタへの書き込みアクセスは無視されます。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

23.6.11 CRYP 初期化ベクタレジスタ（CRYP_IV0...1(L/R)R）

アドレスオフセット：0x40 から 0x4C

リセット値：0x0000 0000

CRYP_IV0...1(L/R)R は、初期化ベクタの左ワードレジスタおよび右ワードレジスタ（DES/トリプル DES の場合は 64 ビット、AES の場合は 128 ビット）であり、CBC（暗号ブロック連結）およびカウンタ（CTR）モードで使用します。トリプルDES または AES コアの各計算ラウンドの後、*セクション：DES およびトリプルDES 暗号ブロック連結（DES/トリプルDES-CBC）モード（727 ページ）*、*セクション：AES 暗号ブロック連結（AES-CBC）モード（731 ページ）*および *セクション：AES カウンタ（AES-CTR）モード（733 ページ）*で説明されているように、CRYP_IV0...1(L/R)R レジスタが更新されます。

IV0 は、初期化ベクトルの左端のビットであり、IV63（DES、トリプルDES）または IV127（AES）は右端のビットです。IV1(L/R)R は、AES でのみ使用します。

CRYP_IV0LR（アドレスオフセット：0x40）

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
IV0	IV1	IV2	IV3	IV4	IV5	IV6	IV7	IV8	IV9	IV10	IV11	IV12	IV13	IV14	IV15
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IV16	IV17	IV18	IV19	IV20	IV21	IV22	IV23	IV24	IV25	IV26	IV27	IV28	IV29	IV30	IV31
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

CRYP_IV0RR（アドレスオフセット：0x44）

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
IV32	IV33	IV34	IV35	IV36	IV37	IV38	IV39	IV40	IV41	IV42	IV43	IV44	IV45	IV46	IV47
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IV48	IV49	IV50	IV51	IV52	IV53	IV54	IV55	IV56	IV57	IV58	IV59	IV60	IV61	IV62	IV63
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

CRYP_IV1LR（アドレスオフセット：0x48）

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
IV64	IV65	IV66	IV67	IV68	IV69	IV70	IV71	IV72	IV73	IV74	IV75	IV76	IV77	IV78	IV79
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IV80	IV81	IV82	IV83	IV84	IV85	IV86	IV87	IV88	IV89	IV90	IV91	IV92	IV93	IV94	IV95
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

CRYP_IV1RR（アドレスオフセット：0x4C）

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
IV96	IV97	IV98	IV99	IV100	IV101	IV102	IV103	IV104	IV105	IV106	IV107	IV108	IV109	IV110	IV111
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IV112	IV113	IV114	IV115	IV116	IV117	IV118	IV119	IV120	IV121	IV122	IV123	IV124	IV125	IV126	IV127
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

注： ***DES/3DES モードでは、CRYP_IV0(L/R) のみを使用します。***

暗号プロセッサがビジー（CRYP_SR レジスタで BUSY ビット = 1）のとき、これらのレジスタへの書き込みアクセスは無視されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

23.6.12 STM32F42xxx および STM32F43xxx 用 CRYP コンテキストスワップレジスタ（CRYP_CSGCMCCM0..7R および CRYP_CSGCM0..7R）

アドレスオフセット：

- CRYP_CSGCMCCM0..7：0x050 から 0x06C：GCM/GMAC または CCM/CMAC アルゴリズムにのみ使用
- CRYP_CSGCM0..7：0x070 から 0x08C：GCM/GMAC アルゴリズムにのみ使用

リセット値：0x0000 0000

GCM/GMAC または CCM/CMAC アルゴリズムが選択された場合、CRYP プロセッサの内部レジスタステータスはすべてこれらのレジスタ内にあります。暗号プロセッサがすでに別のタスクによって使用されているとき、優先度の高いタスクが暗号プロセッサを必要とするためにコンテキストスワッピングを実行する必要がある場合に役立ちます。

そのような場合、CRYP_CSGCMCCM0..7R および CRYP_CSGCM0..7R（GCM/GMAC モード時）または CRYP_CSGCMCCM0..7R（CCM/CMAC モード時）レジスタを読み出し、取得した値をシステムメモリ空間に保存する必要があります。その後、優先権のあるタスクが暗号プロセッサを使用できるようになり、暗号計算が完了すると保存されたコンテキストをメモリから読み出し、該当するコンテキストスワップレジスタに書き戻すことができます。

注： ***これらのレジスタは、GCM/GMAC または CCM/CMAC アルゴリズムモードが選択されているときにのみ使用します。***

CRYP_CSGCMCCMxR（x=[7:0]）

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CRYP_CSGCMCCMxR															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CRYP_CSGCMCCMxR															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

CRYP_CSGCMxR（x=[7:0]）

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CRYP_CSGCMxR															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CRYP_CSGCMxR															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

23.6.13 CRYP レジスタマップ

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 113. STM32F405xx/07xx および STM32F415xx/17xx の CRYP レジスタマップとリセット値

オフセット	レジスタ名とリセット値	レジスタサイズ																													
		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	CRYP_CR	予約済み																CRYPEN	FFLUSH	予約済み				KEYSIZE		DATATYPE		ALGOMODE[2:0]			ALGODIR	予約済み	
	リセット値																	0	0					0	0	0	0	0	0	0	0		
0x04	CRYP_SR	予約済み																											BUSY	OFFU	OFNE	IFNF	IFEM
	リセット値																												0	0	0	1	1
0x08	CRYP_DIN	DATAIN																															
	リセット値																				0	0	0	0	0	0	0	0	0	0	0	0	0
0x0C	CRYP_DOUT	DATAOUT																															
	リセット値																				0	0	0	0	0	0	0	0	0	0	0	0	0
0x10	CRYP_DMACR	予約済み																														DOEN	DIEN
	リセット値																															0	0
0x14	CRYP_IMSCR	予約済み																														OUTIM	INIM
	リセット値																															0	0
0x18	CRYP_RISR	予約済み																														OUTRIS	INRIS
	リセット値																															0	1
0x1C	CRYP_MISR	予約済み																														OUTMIS	IN%IS
	リセット値																															0	0
0x20	CRYP_K0LR	CRYP_K0LR																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x24	CRYP_K0RR	CRYP_K0RR																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
...																																	
0x38	CRYP_K3LR	CRYP_K3LR																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x3C	CRYP_K3RR	CRYP_K3RR																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x40	CRYP_IV0LR	CRYP_IV0LR																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x44	CRYP_IV0RR	CRYP_IV0RR																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x48	CRYP_IV1LR	CRYP_IV1LR																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x4C	CRYP_IV1RR	CRYP_IV1RR																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 114. STM32F42xxx および STM32F43xxx の CRYP レジスタマップとリセット値

オフセット	レジスタ名 / リセット値	レジスタサイズ																													
		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	CRYP_CR	予約済み												ALGOMODE[3]	予約済み	GCM_CCMPH		CRYPEN	FFLUSH	予約済み				KEYSIZE		DATATYPE		ALGOMODE[2:0]			ALGODIR	予約済み	
	リセット値															0	0	0	0					0	0	0	0	0	0	0	0		
0x04	CRYP_SR	予約済み																											BUSY	OFFU	OFNE	IFNF	IFEM
	リセット値																												0	0	0	1	1
0x08	CRYP_DIN	DATAIN																															
	リセット値																				0	0	0	0	0	0	0	0	0	0	0	0	0
0x0C	CRYP_DOUT	DATAOUT																															
	リセット値																				0	0	0	0	0	0	0	0	0	0	0	0	0
0x10	CRYP_DMACR	予約済み																														DOEN	DIEN
	リセット値																															0	0
0x14	CRYP_IMSCR	予約済み																														OUTIM	ININ
	リセット値																															0	0
0x18	CRYP_RISR	予約済み																														OUTRIS	INRIS
	リセット値																															0	1
0x1C	CRYP_MISR	予約済み																														OUTMIS	IN%IS
	リセット値																															0	0
0x20	CRYP_K0LR	CRYP_K0LR																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x24	CRYP_K0RR	CRYP_K0RR																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
...																																	
0x38	CRYP_K3LR	CRYP_K3LR																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x3C	CRYP_K3RR	CRYP_K3RR																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x40	CRYP_IV0LR	CRYP_IV0LR																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x44	CRYP_IV0RR	CRYP_IV0RR																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x48	CRYP_IV1LR	CRYP_IV1LR																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x4C	CRYP_IV1RR	CRYP_IV1RR																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x50	CRYP_CSGCMCCMR	CRYP_CSGCMCCM0R																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x54	CRYP_CSGCMCCM1R	CRYP_CSGCMCCM1R																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 114. STM32F42xxx および STM32F43xxx の CRYP レジスタマップとリセット値（続き）

オフセット	レジスタ名 リセット値	レジスタサイズ																													
		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x58	CRYP_CSGCMCCM2R	CRYP_CSGCMCCM2R																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x5C	CRYP_CSGCMCCM3R	CRYP_CSGCMCCM3R																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x60	CRYP_CSGCMCCM4R	CRYP_CSGCMCCM4R																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x64	CRYP_CSGCMCCM5R	CRYP_CSGCMCCM5R																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x68	CRYP_CSGCMCCM6R	CRYP_CSGCMCCM6R																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x6C	CRYP_CSGCMCCM7R	CRYP_CSGCMCCM7R																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x70	CRYP_CSGCM0R	CRYP_CSGCM0R																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x74	CRYP_CSGCM1R	CRYP_CSGCM1R																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x78	CRYP_CSGCM2R	CRYP_CSGCM2R																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x7C	CRYP_CSGCM3R	CRYP_CSGCM3R																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x80	CRYP_CSGCM4R	CRYP_CSGCM4R																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x84	CRYP_CSGCM5R	CRYP_CSGCM5R																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x88	CRYP_CSGCM6R	CRYP_CSGCM6R																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x8C	CRYP_CSGCM7R	CRYP_CSGCM7R																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

レジスタ境界アドレスについては、*表 2（64 ページ）*を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

24 乱数発生器（RNG）

このセクションは、特に指定がない限り、STM32F4xx ファミリデバイス全体に適用されます。

24.1 RNG の概要

RNG プロセッサは、連続アナログ雑音に基づく乱数発生器であり、読出し時にホストに対し 32 ビットの乱数値を返します。

本 RNG は、成功比率 99% で FIPS PUB 140-2 の試験に合格しています（2001 年 10 月 10 日）。

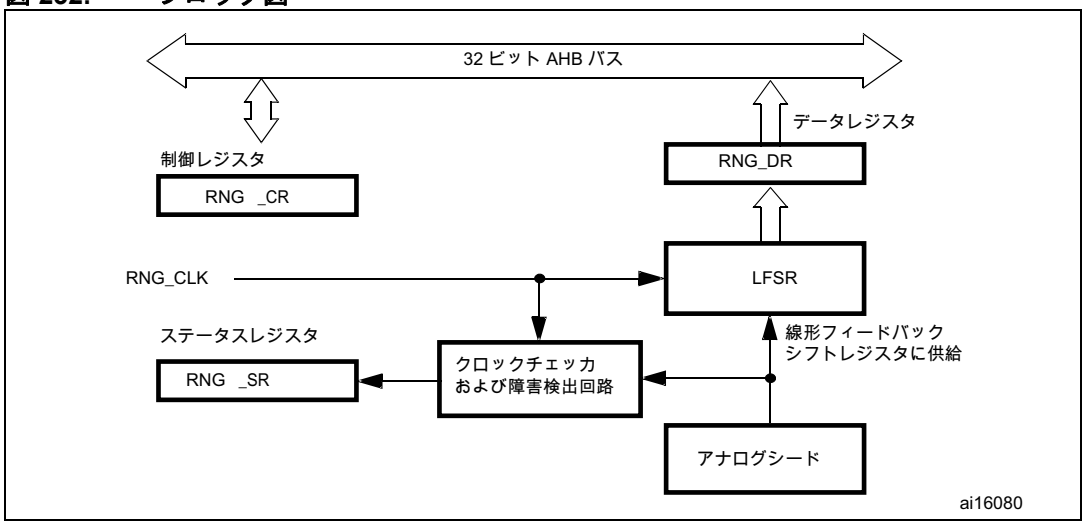
24.2 RNG の主な機能

- アナログ発生器によって生成される 32 ビットの乱数を発生します。
- 2 つの連続する乱数の間に必要な時間は、PLL48CLK クロック信号 40 周期分です。
- RNG エントロピーを監視して異常な動作（同一値の生成や値の同一シーケンスの生成など）を知らせます。
- 本機能を無効にして消費電力を低減することができます。

24.3 RNG 機能の詳細

図 232 に RNG のブロック図を示します。

図 232. ブロック図



乱数発生器には、アナログ回路を実装しています。この回路は、32 ビットの乱数を生成するため、線形フィードバックシフトレジスタ（RNG_LFSR）に送り込むシード（「元」）を生成します。

アナログ回路は複数のリングオシレータで構成されており、リングオシレータの出力の排他的論理和をとってこのシードを生成します。RNG_LFSR は、専用クロック（PLL48CLK）によって一定周波数で駆動されます。そのため、乱数の特性としては HCLK 周波数と無関係になります。十分な数のシードが RNG_LFSR に取り込まれると、RNG_LFSR の内容はデータレジスタ（RNG_DR）に転送されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

並行して、アナログシードと専用の PLL48CLK クロックが監視されます。シードで異常なシーケンスが発生したり、PLL48CLK クロックの周波数が低すぎる場合、ステータスビット（RNG_SR レジスタ内）がそれを示します。エラーが検出された場合、割り込みを生成することができます。

24.3.1 動作

RNG を実行するには、次のステップに従います。

1. 必要に応じて割り込みを有効にします（割り込みを有効にするには、RNG_CR レジスタの IE ビットをセットします）。乱数の準備ができたとき、またはエラーが発生したとき、割り込みが生成されます。
2. RNG_CR レジスタの RNGEN ビットをセットして、乱数発生を有効にします。これによってアナログ部分、RNG_LFSR およびエラー検出回路が作動します。
3. 各割り込み毎に、エラーが発生していないこと（RNG_SR レジスタの SEIS ビットおよび CEIS ビットが“0”）、乱数の準備ができていること（RING_SR レジスタの DRDY ビットが“1”）を確認します。RNG_DR レジスタの内容が読み出せるようになります。

FIPS PUB（Federal Information Processing Standard Publication）の 140-2 の要件に従い、RNGEN ビット設定後最初に生成された乱数は使用しないべきですが、次に生成される乱数との比較のため保存されます。後に生成される各乱数は、それぞれ前に生成された値と比較する必要があります。比較された 2 つの値が同一の場合、試験は不合格となります（連続乱数発生器試験）。

24.3.2 エラー管理

CEIS ビットが“1”として読み出された場合（クロックエラー）

クロックエラーの場合、PLL48CLK クロックが正しくないため、RNG は以降、乱数を発生することはできません。RNG クロックが供給されるようにクロックコントローラが正しく設定されていることを確認し、CEIS ビットをクリアします。CECS ビットが“0”になると、RNG が動作できるようになります。クロックエラーはその前に発生した乱数には影響しないため、RNG_DR レジスタの内容は使用できます。

SEIS ビットが“1”として読み出された場合（シードエラー）

シードエラーの場合、SECS ビットが“1”の間は乱数発生が中断します。RNG_DR レジスタにおける値が利用可能な場合であっても、エントロピーが十分でない可能性があるので使用することはできません。

ここでは、SEIS ビットをクリアした後、RNGEN ビットをクリアおよびセットし、RNG を再初期化および再起動します。

24.4 RNG レジスタ

RNG は、制御レジスタ、データレジスタ、ステータスレジスタと連動します。これらのレジスタは、ワード（32 ビット）単位でアクセスする必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

24.4.1 RNG 制御レジスタ (RNG_CR)

アドレスオフセット：0x00

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み												IE	RNGEN	予約済み	
												rw	rw		

ビット 31:4 予約済みであり、リセット値に保持する必要があります。

ビット 3 **IE**：割り込みイネーブル

0：RNG 割り込みは無効です。

1：RNG 割り込みは有効です。RNG_SR レジスタで DRDY=1、SEIS=1 または CEIS=1 になると、割り込みは直ちに保留となります。

ビット 2 **RNGEN**：乱数発生器イネーブル

0：乱数発生器は無効です。

1：乱数発生器は有効です。

ビット 1:0 予約済みであり、リセット値に保持する必要があります。

24.4.2 RNG ステータスレジスタ（RNG_SR）

アドレスオフセット：0x04

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み									SEIS	CEIS	予約済み		SECS	CECS	DRDY
									rc_w0	rc_w0			r	r	r

ビット 31:3 予約済みであり、リセット値に保持する必要があります。

ビット 6 **SEIS**：シードエラー割り込みステータス

このビットは SECS と同時にセットされ、0 を書き込むとクリアされます。

0：障害シーケンスは検出されませんでした。

1：次の障害シーケンスのうち 1 つが検出されました。

– 64 個以上のビットが連続して同じ値（0 または 1）

– 0 と 1 の繰り返し（0101010101...01）が 32 回以上連続

RNG_CR レジスタで IE=1 である場合、割り込みが保留となります。

ビット 5 **CEIS**：クロックエラー割り込みステータス

このビットは CECS と同時にセットされ、0 を書き込むとクリアされます。

0：PLL48CLK クロックが正しく検出されました。

1：PLL48CLK が正しく検出されませんでした（$f_{PLL48CLK} < f_{HCLK}/16$）。

RNG_CR レジスタで IE=1 である場合、割り込みが保留となります。

ビット 4:3 予約済みであり、リセット値に保持する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 2 **SECS**：シードエラーの現在のステータス

0：障害のあるシーケンスは現在のところ検出されていません。SEIS ビットがセットされている場合、これは障害のあるシーケンスが検出されたが、回復していることを意味します。

1：次の障害のあるシーケンスのうちの 1 つが検出されました。

– 64 個以上のビットが連続して同じ値（0 または 1）

– 0 と 1 の繰り返し（0101010101...01）が 32 回以上連続

ビット 1 **CECS**：クロックエラーの現在のステータス

0：PLL48CLK クロックが正しく検出されました。CEIS ビットがセットされている場合、これはクロックエラーが検出されたが、回復していることを意味します。

1：PLL48CLK が正しく検出されませんでした（$f_{PLL48CLK} < f_{HCLK}/16$）。

ビット 0 **DRDY**：データレディ

0：RNG_DR レジスタがまだ有効でなく、乱数データは利用できません。

1：RNG_DR レジスタに有効な乱数データが入っています。

注： ***RNG_CR レジスタで IE=1 である場合、割り込みが保留となります。***

RNG_DR レジスタがいったん読み出されると、新しい有効な値が計算されるまでこのビットは 0 に戻ります。

24.4.3 RNG データレジスタ（RNG_DR）

アドレスオフセット：0x08

リセット値：0x0000 0000

RNG_DR レジスタは読出し専用レジスタであり、読み出されると 32 ビットの乱数値を返します。いったん読み出されると、最長で PLL48CLK クロック 40 周期後にこのレジスタは新しい乱数値を引き渡せるようになります。ソフトウェアは、RNDATA 値を読み出す前に DRDY ビットがセットされていることを確認する必要があります。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RNDATA															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RNDATA															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:0 **RNDATA**：乱数データ

32 ビットの乱数データです。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

24.4.4 RNG レジスタマップ

表 115 に、RNG レジスタマップとリセット値を示します。

表 115. RNG レジスタマップとリセット値

オフセット	レジスタ名 リセット値	レジスタサイズ																													
		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	RNG_CR 0x0000000	予約済み																												IE	RNGEN	予約済み	
0x04	RNG_SR 0x0000000	予約済み																									SEIS	CEIS	予約済み		SECS	CECS	DRDY
0x08	RNG_DR 0x0000000	RNDATA[31:0]																															

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

25 ハッシュプロセッサ（HASH）

このセクションは、特に指定がない限り、STM32F4xx ファミリデバイス全体に適用されます。

25.1 HASH の概要

ハッシュプロセッサは、各種のアプリケーションに適したセキュアハッシュアルゴリズム（SHA-1、SHA-224、SHA-256）、MD5（メッセージダイジェストアルゴリズム 5）ハッシュアルゴリズムおよび HMAC（鍵付きハッシュメッセージ認証コード）アルゴリズムに完全に準拠した処理系となっています。最長（$2^{64} – 1$）ビットのメッセージに対して、メッセージダイジェスト（SHA-1 アルゴリズムは 160 ビット、SHA-256 アルゴリズムは 256 ビット、SHA-224 アルゴリズムは 224 ビット、MD5 アルゴリズムは 128 ビット）を生成し、さらに HMAC アルゴリズムによって、ハッシュ関数を用いたメッセージの認証を可能としています。HMAC アルゴリズムは、SHA-1、SHA-224、SHA-256 、MD5 のいずれかのハッシュ関数を 2 回呼び出すことを基本としています。

25.2 HASH の主な特徴

- 以下に準拠したデータ認証アプリケーションに好適
  - FIPS PUB 180-2（連邦情報処理規格公報 180-2）
  - セキュアハッシュ標準規格（SHA-1、SHA-224 および SHA-256）
  - IETF RFC 1321（インターネット技術タスクフォース RFC1321）仕様（MD5）
- SHA-1、SHA-224、SHA-256、および MD5（SHA-224 と SHA-256 は STM32F42xxx および STM32F43xxxでのみ利用可能）の高速計算
- AHB スレーブペリフェラル
- 入力データ用 32 ビットデータワード。ワード、ハーフワード、バイト、ビットのビット列表現をサポート。リトルエンディアンデータ表現のみ対応。
- リトルエンディアンの入力ビット列表現に対応し、ビックエンディアンの SHA1、SHA-224、SHA-256 計算標準に適合させるための自動スワッピング
- モジュロ 512（16 × 32 ビット）のメッセージダイジェスト計算に適合するよう入力ビット列を補完する自動パディング
- 出力メッセージダイジェスト用に STM32F405xx/07xx および STM32F415xx/17xx では 5 × 32 ビットワード（H0 から H5）、STM32F42xxx および STM32F43xxx では 8 × 32 ビットワード（H0 から H7）が再ロードでき、中断されたメッセージダイジェスト計算の続行が可能
- 連続するメッセージブロックから、対応する 32 ビットワードのダイジェストが相互に追加され、メッセージ全体のダイジェストを形成
- ダイレクトメモリアクセス（DMA）をサポートする自動データフロー制御

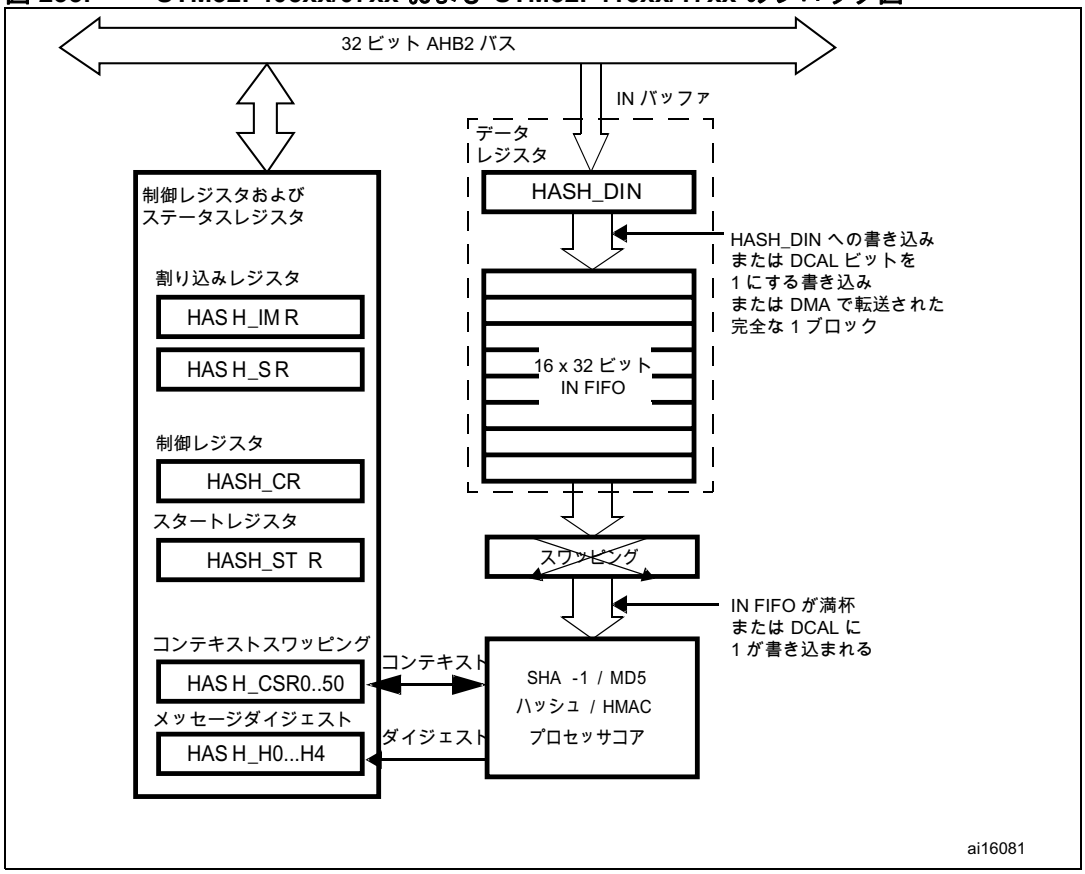
注： ***SHA-1、SHA-224、SHA-256 アルゴリズムで定義されているとおり、bx1 で 1 ビット付加し、続く bx0 で N ビット付加することで、512 で割ったときの余りが 448 になるようにメッセージの長さをパディング（拡張）します。このあと、元のメッセージ長のバイナリ表記である 64 ビット整数によって、メッセージが完成します。***
このハッシュプロセッサでは、メッセージ入力の最低必要量は 32 ビットワードですので、入力した 32 ビットワード内の有効ビット数を表す情報を、メッセージ入力の最後に追加する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

25.3 HASH 機能の説明

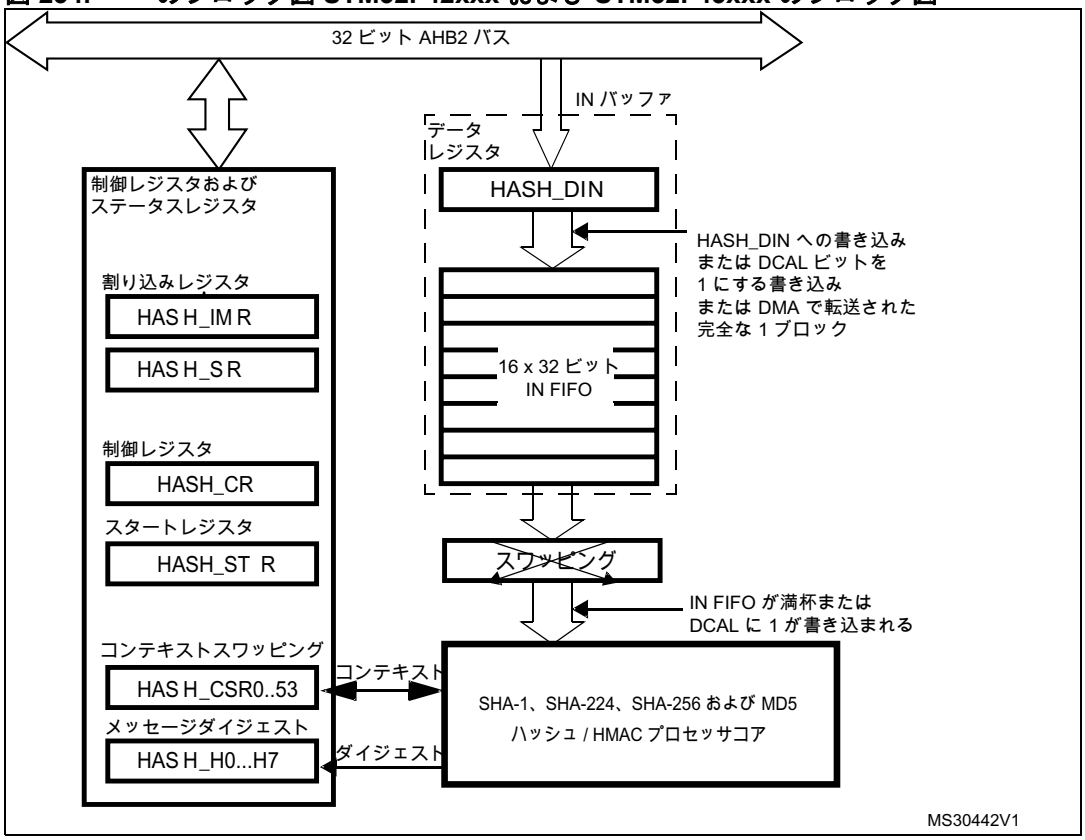
図 1 にハッシュプロセッサのブロック図を示します。

図 233. STM32F405xx/07xx および STM32F415xx/17xx のブロック図



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 234. のブロック図 STM32F42xxx および STM32F43xxx のブロック図



FIPS PUB 180-2 標準および IETF RFC 1321 公報では、メッセージまたはデータファイルの圧縮表記を生成するための SHA-1、SHA-224、SHA-256 および MD5 セキュアハッシュアルゴリズムが、それぞれ規定されています。入力メッセージの長さが 2^{64} ビット未満の場合、SHA-1、SHA-224、SHA-256 および MD5 は、メッセージダイジェストと呼ばれる 160 ビット、224 ビット、256 ビットおよび 128 ビットの出力文字列をそれぞれ生成します。その後、メッセージの署名を作成したり検証したりするため、メッセージダイジェストはデジタル署名アルゴリズムを使用して処理することができるようになります。メッセージ自体ではなくメッセージダイジェストに署名を行うことで、多くの場合処理効率が向上します。これは通常、メッセージダイジェストの方がメッセージよりもはるかにサイズが小さいからです。デジタル署名の検証者は、デジタル署名の作成者が使用したのと同じハッシュアルゴリズムを使用する必要があります。

SHA-1、SHA-224、SHA-256 および MD5 は「安全」であるとされています。それはあるメッセージダイジェストに対応するメッセージの発見、もしくは同じメッセージダイジェストを生成する 2 つの異なるメッセージの発見が計算上不可能だからです。メッセージの転送中に何らかの変更が加えられた場合、極めて高い確率で異なるメッセージダイジェストになり、その署名は検証を通過できません。SHA-1 または SHA-224 および SHA-256 アルゴリズムの詳細は FIPS PUB 180-2（連邦情報処理規格公報 180-2）2002 年 8 月 1 日版を参照してください。

この規格の現時点での実装はリトルエンディアン入力データ規則に従って動作します。例えば、C 言語文字列「abc」はメモリ内で 24 ビットの 16 進数値 0x434241 として表す必要があります。

ハッシュプロセッサで処理するメッセージやデータファイルはビット列とみなされます。メッセージ長は、メッセージのビット数（空メッセージは長さ 0）です。この 32 ビットのビット列が 32 ビットワードを形成するとみなすことができます。FIPS PUB 180-1 標準はビット列が左から右へ増える規則を採用しており、ビットの集まりをバイト（8 ビット）またはワード（32 ビット）にグループ化できることに注意してください（ただし、ハーフワード（16 ビット）を使用する場合もあれば、暗黙

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

的にビッグエンディアンのバイト順序（ハーフワード）を使用する実装もいくつかあります）。この規則は、主にパディングに重要です（*12 ページのセクション 1.3.4「メッセージのパディング」*を参照）。

25.3.1 処理時間

メッセージの中間ブロックの計算には次の時間が必要です。

- SHA-1 では 66 HCLK クロックサイクル
- SHA-224 では 50 HCLK クロックサイクル
- SHA-256 では 50 HCLK クロックサイクル
- MD5 では 50 HCLK クロックサイクル

これに中間ブロック（16 ワード）をプロセッサにロードするために必要な時間（512 ビットブロックに対して少なくとも 16 クロックサイクル）を追加する必要があります。

メッセージ（または HMAC のキー）の最終ブロックを処理するのに必要な時間はこれより長い場合があります。この時間は最終ブロックの長さとキー（HMAC モードの）の長さによって異なります。中間ブロックの処理と比べて以下の倍数増える場合があります。

- ハッシュメッセージは 1 から 2.5 倍
- HMAC 入力キーは約 2.5 倍
- HMAC メッセージは 1 から 2.5 倍
- ショートキーの場合のHMAC 出力キーは約 2.5 倍
- ロングキーの場合のHMAC 出力キーは約 3.5 から 5 倍

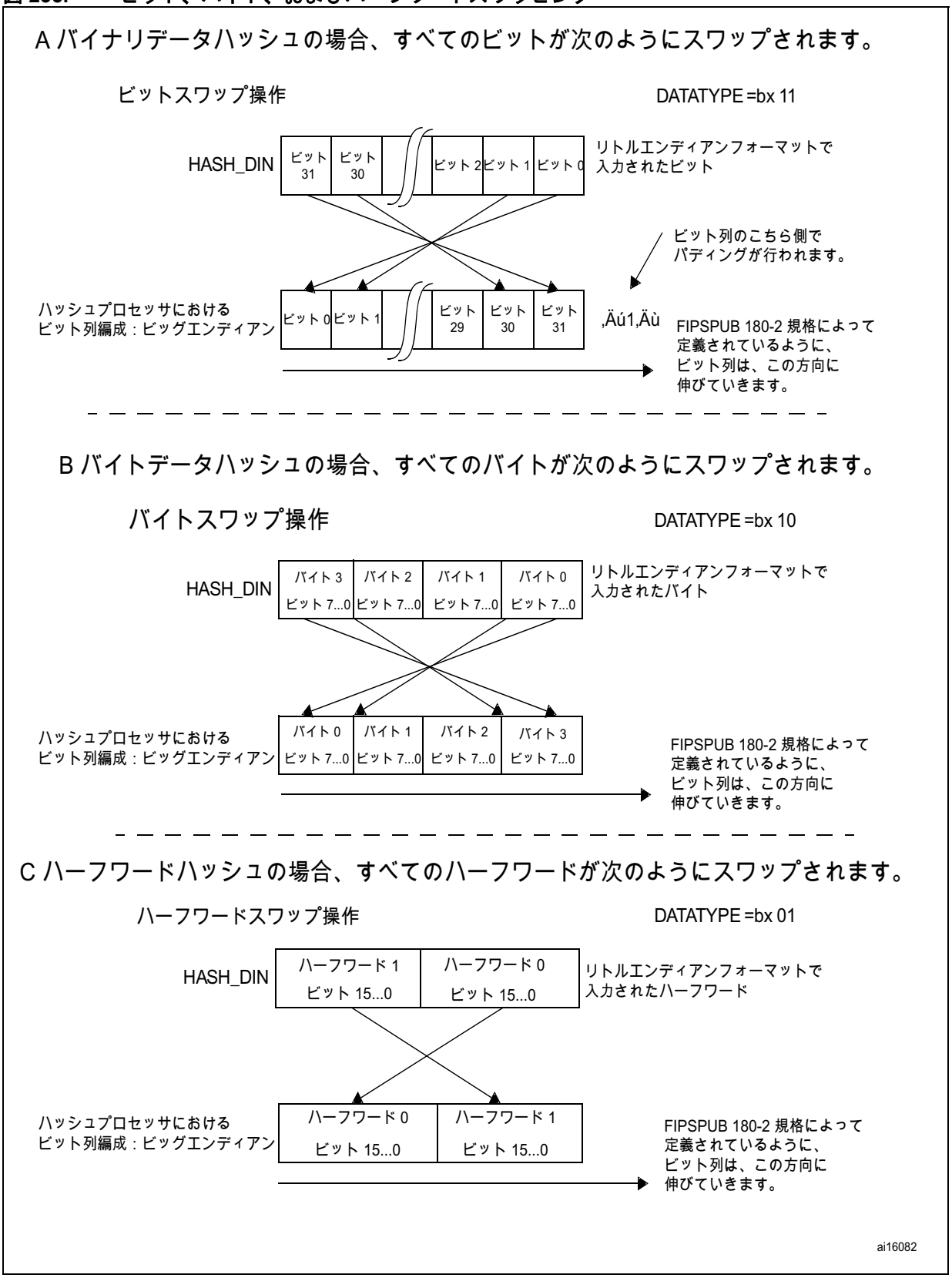
25.3.2 データ型

データは HASH_DIN レジスタに書き込むことにより 32 ビット（ワード）ごとにハッシュプロセッサに入力されます。しかし、元のビット列はバイト、ハーフワード、またはワード単位で構成することができ、ビットで表記することもできます。システムのメモリ構成はリトルエンディアンであるのに対して SHA1、SHA-224 と SHA-256 計算はビックエンディアンなので、ハッシュプロセッサは、元のビット列のグループ化方法により、ビット、バイト、またはハーフワードスワップ操作を自動的に行います。

処理するデータの種類は、HASH 制御レジスタ（HASH_CR）の DATATYPE ビットフィールドで設定します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 235. ビット、バイト、およびハーフワードスワッピング



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

メッセージの最下位ビットはハッシュプロセッサに入力される最初のワードの位置 0（右）でなければならず、ビット列の 32 番目のビットはハッシュプロセッサに入力される 2 番目のワードの位置 0 でなけらばなりません。それ以降は同様です。

25.3.3 メッセージダイジェストの計算

HASH は、メッセージダイジェストを計算する際に、512 ビットのブロックごとに順次処理します。したがって、DMA または CPU により 16 × 32 ビットワード（= 512 ビット）がハッシュプロセッサに書き込まれるごとに HASH は自動的にメッセージダイジェストの計算を開始します。この操作は、部分ダイジェスト計算として知られています。

処理するメッセージは、HASH_DIN レジスタに書き込まれる 32 ビットワード単位でペリフェラルに入力されます。HASH_DIN レジスタの現在の内容は、このレジスタに新しいデータが書き込まれるごとに、入力 FIFO（IN FIFO）に転送されます。HASH_DIN と入力 FIFO で、長さ 17 ワードの FIFO を形成します（IN バッファと呼びます）。

ブロックの処理はブロックの最終値が IN_FIFO に入力された後で初めて開始できます。ペリフェラルは、HASH_DIN レジスタにメッセージの最終ビットが含まれるか否かについての情報を得る必要があります。次の 2 つの場合があります。

- DMA を使用しない場合：
  - 部分ダイジェスト計算は、HASH_DIN レジスタに追加のワードを書き込むことによって行います（実際には次のブロックの最初のワードです）。その後ソフトウェアは、プロセッサが再びレディになるのを待ってから（DINIS=1 になるまで）、新しいデータを HASH_DIN に書き込む必要があります。
  - 最終ダイジェスト計算（入力された最終ブロック）は、DCAL ビットに 1 を書き込むことによって行います。
- DMA を使用する場合：

  HASH_DIN レジスタの内容は DMA コントローラから送られる情報により自動的に解釈されます。
  - 単一 DMA 転送の場合：STM32F42xxx および STM32F43xxx の多重 DMA 転送（MDMAT）ビットをクリアする必要があります。最終ブロックが DMA チャネル経由で HASH_DIN レジスタに転送されると、最終ダイジェスト計算を開始するため DCAL ビットが HASH_STR レジスタ内で自動的に 1 にセットされます。
  - 多重 DMA 転送（STM32F42xxx および STM32F43xxxでのみ使用可能）の場合：ハードウェアによって DCAL ビットが自動的にセットされないよう、多重 DMA 転送（MDMAT）ビットをソフトウェアによって 1 にセットする必要があります。この場合、DMA 転送要求の最後でハッシュおよび HMACの各フェーズに対する最終ダイジェスト計算は開始せず、プロセッサは新たな DMA 転送を受け取ることができます（HMAC フェーズの詳細は HMAC 操作のセクションを参照）。最終ブロックの最後で DCAL ビットを自動的にセットして最終ダイジェスト計算を開始するため、最終 DMA 転送の間に、ソフトウェアによって多重 DMA 転送（MDMAT）ビットをクリアする必要があります。
  - HASH_DIN レジスタの内容は DMA コントローラから送られる情報により自動的に解釈されます。

この処理、つまりデータ入力と部分ダイジェスト計算は、オリジナルメッセージの最後のビットが HASH_DIN レジスタに書き込まれるまで続きます。メッセージの長さ（ビット数）は任意の整数値をとることができるため、HASH プロセッサに書き込まれる最後のワードの有効ビット数は 1 から 32 まで可能です。最終メッセージダイジェスト計算の前にメッセージのパディングを正しく行うため、最終ワードの有効ビット数 NBLW を HASH_STR レジスタに書き込む必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

一旦これを行うと、HASH_STR に DCAL=1 を書き込むことによって、ハッシュプロセッサは最後に入力されたメッセージブロックの処理を開始します。この処理は次の項目で構成されています。

- メッセージパディング操作の自動実行 : この操作の目的は、パディングを行った後のメッセージ長が 512 の倍数になるようにすることです。HASH は、メッセージダイジェストを計算する際に、512 ビットのブロックごとに順次処理します。
- 最終メッセージダイジェストの計算

DMA が有効な場合、最終データワードが転送されるとき、ハッシュプロセッサに情報が提供されます。すると、DCAL に 1 が書き込まれたかのように、パッディングとダイジェスト計算が自動的に行われます。

25.3.4 メッセージのパディング

メッセージのパッディングは、もとのメッセージの最後に「1」を付加し、その後に m 個の「0」を付加して最後に 64 ビットの整数を付加することで成り立っており、長さ 512 のパディングされたメッセージブロックを作ります。HASH_DIN レジスタに対して最後に書き込まれたワードの中の NBLW ビットフィールドで定義された位置に、「1」が追加され、残りの上位ビットは「0」にクリアされます。

例 : オリジナルメッセージが ASCII バイナリコード形式の「abc」で、長さ L=24 であると仮定します。

```
バイト 0      バイト 1     バイト 2     バイト 3
01100001 01100010 01100011 UUUUUUUU
<-- HASH_DIN に書き込まれる最初のワード -->
```

NBLW に値 24 をロードする必要があります。ビット列のビット位置 24（上記ビット列で左から右へカウントします）に「1」が付加されます。これは HASH_DIN レジスタのビット 31 に対応します（リトルエンディアン規約）:

```
01100001 01100010 01100011 1UUUUUUU
```

L = 24 であるため、上記のビット列のビット数は 25 ビットであり、423 個の「0」が付加されて 448 ビットになります。その結果、ビッグエンディアン形式の 16 進数で以下のようになります。

```
61626380 00000000 00000000 00000000
00000000 00000000 00000000 00000000
00000000 00000000 00000000 00000000
00000000 00000000
```

2 ワード表記の L 値（00000000 00000018）が付加されます。したがってパディング処理により最終的に得られるメッセージは、16 進数で次のようになります。

```
61626380 00000000 00000000 00000000
00000000 00000000 00000000 00000000
00000000 00000000 00000000 00000000
00000000 00000000 00000000 00000028
```

HASH がリトルエンディアンバイト入力形式を使用するようプログラムされている場合、次の手順に従って上記メッセージを入力する必要があります。

1. HASH_DIN レジスタに 0xUU636261 を書き込みます（ここで、“U”は影響なしを意味します）。
2. HASH_STR レジスタに 0x18 を書き込みます（オリジナルメッセージの長さは 24 ビットなので HASH_DIN レジスタに最後に書き込まれるワードの有効ビット数は 24 です）。
3. HASH_STR レジスタに 0x10 を書き込んでメッセージのパッディング処理とダイジェスト計算を開始します。NBLW ≠ 0x00 の場合、メッセージのパッディング処理によって HASH_DIN レジスタの NBLW 値で指定される位置に「1」が書き込まれ、ビット位置 [31:(NBLW+1)] に「0」が挿入されます。NBLW == 0x00 の場合、メッセージのパッディング処理によって、値 0x0000

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

0001 の新しいワードが 1 つ挿入されます。その後、すべてゼロのワード（0x0000 0000）および 2 ワード表記のメッセージ長が付加され、16 x 32 ビットワードのブロックが得られます。

4. HASH 計算が行われ、HASH_Hx レジスタ（x = 0...4）に SHA-1 アルゴリズムに対するメッセージダイジェストが得られます。例：

```
H0 = 0xA9993E36
H1 = 0x4706816A
H2 = 0xBA3E2571
H3 = 0x7850C26C
H4 = 0x9CD0D89D
```

25.3.5 ハッシュ操作

HASH_CR の MODE ビットが“0”のとき HASH_CR レジスタの INIT ビットに“1”を書き込むとハッシュ機能（SHA-1、SHA-224、SHA-256 および MD5）が選択されます。同時に（INIT ビットがセットされている場合）ALGO ビットを使用してアルゴリズム（SHA-1、SHA-224、SHA-256 または MD5）が選択されます。

その後 HASH_DIN レジスタにワード単位で書き込むことによりメッセージを送ることができます。512 ビット（つまり 16 ワード）のブロックが書き込まれていれば、次のブロックの最初のデータを書き込むことによって、部分ダイジェスト計算が開始されます。ハッシュプロセッサは SHA-1 アルゴリズムでは 66 サイクル、MD5 アルゴリズム、SHA-224 アルゴリズムおよび SHA-256 アルゴリズムでは 50 サイクルの間ビジーになります。

この後、この処理はメッセージの最後のワードまで繰り返すことができます。DMA 転送を使用する場合は、*DMA によりデータをロードする手順*のセクションを参照してください。さもなければ、メッセージ長が 512 ビットの整数倍ではない場合、最終ダイジェストの計算を開始するため、HASH_STR レジスタに書き込みを行う必要があります。

いったん計算が行われれば、ダイジェストはSTM32F405xx/07xx および STM32F415xx/17xx では HASH_H0...HASH_H4 レジスタから（MD5 アルゴリズムでは HASH_H4 は無関係）、STM32F42xxx および STM32F43xxxでは HASH_H0...HASH_H7 レジスタから読み出すことができます。ここで、

MD5 アルゴリズムを選択した場合、HASH_H4..HASH_H7 は無関係です。

SHA-1 アルゴリズムを選択した場合、HASH_H5.. HASH_H7 は無関係です。

SHA-224 アルゴリズムを選択した場合、HASH_H7 は無関係です。

25.3.6 HMAC 操作

HMAC アルゴリズムは、処理するメッセージをユーザが選択したキーに対して不可逆的に紐づけすることによるメッセージ認証に使用します。HMAC の仕様については、「HMAC: keyed-hashing for message authentication」、1997 年 2 月、H. Krawczyk、M. Bellare、R. Canetti 著を参照してください。

基本的に、このアルゴリズムは 2 つのネストされたハッシュ関数で構成されています。

```
HMAC(message) = Hash[((key | pad) XOR 0x5C)
          | Hash(((key | pad) XOR 0x36) | message)]
```

ここで、

- pad はゼロの列で、基礎となるハッシュ関数データブロックの長さまでキーを拡張するために必要です（SHA-1、SHA224、SHA-256 および MD5 ハッシュアルゴリズムのいずれに対しても 512 ビットです）。
- | は連結演算子を表します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

HMAC を計算するには 4 つの異なるフェーズが必要です。

1. MODE ビットが「1」の状態で ALGO ビットを望みのアルゴリズムに対応する値にセットして INIT ビットに「1」を書き込むことによりブロックを初期化します。使用するキーが 64 バイトを超える場合、このフェーズでは LKEY ビットもセットする必要があります（この場合、HMAC 仕様は、実際のキーの代わりにそのキーのハッシュを使用する必要があることを想定しています）。
2. そして、内部ハッシュ関数に使用するキーをコアに与えます。この操作では、ハッシュ操作においてメッセージを送るのと同じ方法を取ります（つまり、HASH_DIN に書き込み、最後に HASH_STR に書き込みます）。
3. 最後のワードが入力され計算が開始されると、ハッシュプロセッサがキーを算出します。その後、ハッシュプロセッサはハッシュ操作でメッセージを送るために使用したのと同じ方法を使用してメッセージテキストを受け取ることができるようになります。
4. 最初のハッシュ処理終了後、ハッシュプロセッサは「レディ」を返して外部ハッシュ関数に使用するキーを受け取る用意ができたことを示します（通常、このキーは内部ハッシュ関数に使用するものと同じです）。キーの最後のワードが入力され計算が開始されるとSTM32F405xx/07xx および STM32F415xx/17xxでは HASH_H0...HASH_H4 レジスタ内で、STM32F42xxx および STM32F43xxx では HASH_H0...HASH_H7 レジスタ内で HMAC の計算結果が使用可能になります。

注： 1 HMAC 初期計算遅延はキーとメッセージの長さによって変わります。HMAC を同じキー長（ロングまたはショート）を持つ 2 つのネストされた基礎ハッシュ関数として使用できます。

25.3.7 コンテキストスワップング

ハッシュ／HMAC 処理を中断してより優先度の高い別の処理を行い、その処理が完了した後に中断した元の処理を完了することができます。これを行うには、中断した作業のコンテキストをハッシュレジスタからメモリに保存し、その後ハッシュレジスタからメモリに復元する必要があります。

データフローをソフトウェアまたは DMA によって制御する手順を以下に示します。

ソフトウェアによってデータをロードする手順

コンテキストは、現在処理しているブロックがないときにのみ保存することができます。つまり、DINIS=1（最終ブロックの処理が完了し FIFO が空の状態）または NBW ≠ 0（FIFO は満杯ではなく進行中の処理がない状態）を待つ必要があります。

- コンテキストの保存：

  次のレジスタの内容をメモリに保存します。

  – HASH_IMR
  – HASH_STR
  – HASH_CR
  – STM32F405xx/07xx および STM32F415xx/17xx の HASH_CSR0 から HASH_CSR50、および STM32F42xxx および STM32F43xxx の HASH_CSR0 から HASH_CSR53。

- コンテキストの復元：

  優先度の高いタスクが完了したときには、コンテキストを復元できます。以下のシーケンスの順序に従ってください。

  a) メモリに保存した値を HASH_IMR、HASH_STR および HASH_CR レジスタに書き込みます。
  b) HASH_CR レジスタの INIT ビットをセットすることによって、ハッシュプロセッサを初期化します。
  c) メモリに保存した値を、HASH_CSR0 から HASH_CSR50（STM32F405xx/07xx および STM32F415xx/17xx）、および HASH_CSR0 から HASH_CSR53（STM32F42xxx および STM32F43xxx）レジスタに書き込みます。

  これで、処理が中断したところから再開することができます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

DMA によってデータをロードする手順

この場合、DMA 転送が進行中なのか処理が継続中なのかを予測することができません。したがって、メッセージの処理を中断するためには、DMA 転送を停止し、HASH がレディになるまで待つ必要があります。

- 処理の中断：
  - DMAE ビットをクリアして DMA インタフェースを無効にします。
  - 現在の DMA 転送が完了するまで待ちます（HASH_SR レジスタ内で DMAES=0 になるのを待ちます）。ブロックが完全に HASH レジスタに転送されている場合と、そうでない場合があることに注意してください。
  - DMA コントローラの対応するチャネルを無効にします
  - ハッシュプロセッサがレディになるまで待ちます（処理中のブロックがない状態）。つまり、DINIS=1 になるのを待ちます。
- コンテキストの保存と復元フェーズは上記と同じです（*ソフトウェアによってデータをロードする手順*を参照）。

メッセージの端を転送するために DMA コントローラを再設定します。これで、DMAE ビットをセットすることにより処理が中断したところから再開することができます。

注： ***コンテキストスワッピングが HMAC 操作を伴わない場合、HASH_CSR38 から HASH_CSR50（STM32F405xx/07xx および STM32F415xx/17xx）および HASH_CSR38 から HASH_CSR53（STM32F42xxx および STM32F43xxx）のレジスタを保存し復元する必要はありません。***

コンテキストスワッピングが 2 つのブロック間で発生する場合（最終ブロックが完全に処理されつつも、次のブロックはまだ IN FIFO にプッシュされていない状態。HASH_CR レジスタの NBW=000）、HASH_CSR22 から HASH_CSR37 のレジスタを保存し復元する必要はありません。

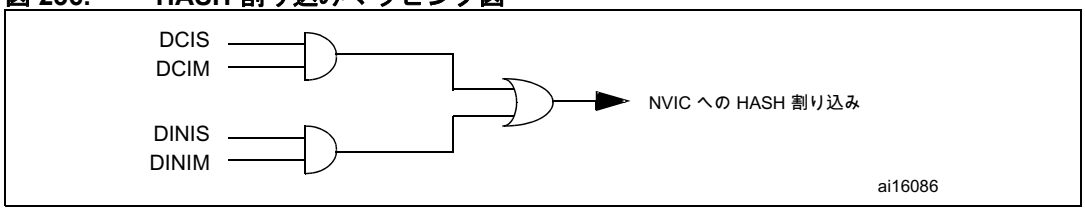
25.3.8 HASH 割り込み

HASH プロセッサによって生成され個別にマスク可能な 2 つの割り込みソースがあります。これらは、同じ割り込みベクタに接続されています。

HASH_IMR レジスタのマスクビットを変更することにより、これらの割り込みソースを個別に有効にしたり無効にしたりすることができます。適切なマスクビットを 1 にセットすることで、その割り込みが有効になります。

個別の割り込みソースのステータスは HASH_SR レジスタから読み出すことができます。

図 236. HASH 割り込みマッピング図



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

25.4 HASH レジスタ

HASH コアは、いくつかの制御レジスタ、ステータスレジスタ、および 5 つのメッセージダイジェストレジスタと連携しています。

これらのレジスタはすべてワード単位でのみアクセス可能です。さもなければ AHB エラーが発生します。

25.4.1 STM32F405xx/07xx および STM32F415xx/17xx 用 HASH 制御レジスタ（HASH_CR）

アドレスオフセット：0x00

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															LKEY
															rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み			DINNE	NBW				ALGO[0]	MODE	DATATYPE		DMAE	INIT	予約済み	
			r	r	r	r	r	rw	rw	rw	rw	rw	w		

ビット 31:17 予約済み、ハードウェアによって 0 に固定されています。

ビット 16 **LKEY**：ロングキー選択

このビットによって、HMAC モードにおけるショートキー（≤ 64 バイト）またはロングキー（> 64 バイト）を選択します。

0：ショートキー（≤ 64 バイト）

1：ロングキー（> 64 バイト）

注： この選択は、INIT ビットがセットされ MODE=1 の場合にのみ有効です。計算中にこのビットを変更しても影響はありません。

ビット 15:13 予約済み、ハードウェアによって 0 に固定されています。

ビット 12 **DINNE**：DIN ノットエンプティ

このビットは HASH_DIN レジスタに有効なデータがある場合（少なくとも 1 度は書き込まれたあと）にセットされます。このビットは INIT ビット（初期化）または DCAL ビット（前回のメッセージ処理の完了）のどちらかに 1 が書き込まれるとクリアされます。

0：データ入力バッファにデータがありません

1：入力バッファには少なくとも 1 ワードのデータがあります

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 11:8 **NBW**：既にプッシュされたワード数

このビットフィールドは、既に IN FIFO にプッシュされているメッセージ内のワード数を示します。

NBW は、DINNE=1 のときに HASH_DIN レジスタに書き込みアクセスが行われると値が増加（+1）します。

NBWは、INIT ビットに 1 が書き込まれたとき、またはダイジェスト計算が開始されたとき（DCAL に 1 が書き込まれたか DMA 転送終了時）に 0000 になります。

- DMA を使用しない場合：

0000 かつ DINNE=0 の場合：DIN バッファにプッシュされているワードはありません（バッファは空で、HASH_DIN レジスタと IN_FIFO の両方とも空）

0000 かつ DINNE=1 の場合：DIN バッファに 1 ワードがプッシュされています（HASH_DIN レジスタには 1 ワード有り、IN_FIFO は空）

0001 の場合：DIN バッファに 2 ワードがプッシュされています（HASH_DIN レジスタと IN_FIFO にそれぞれ 1 ワード有り）

...

1111の場合：DIN バッファに 16 ワードがプッシュされています

- DMA を使用している場合、NBW には IN FIFO にプッシュされている正確なワード数が格納されています。

ビット 7 **ALGO[1:0]**：アルゴリズム選択

これらのビットによって SHA-1 または MD5 のアルゴリズムを選択します。

0：SHA-1 アルゴリズムを選択

1：MD5 アルゴリズムを選択

注： この選択は、INIT ビットがセットされている場合にのみ有効です。計算中にこのビットを変更しても影響はありません。

ビット 6 **MODE**：モード選択

このビットによって、選択したアルゴリズムに対して HASH または HMAC モードを選択します。

0：ハッシュモードを選択します

1：HMAC モードを選択します。使用するキーが 64 バイトを超える場合、LKEY をセットする必要があります。

注： この選択は、INIT ビットがセットされている場合にのみ有効です。計算中にこのビットを変更しても影響はありません。

ビット 5:4 **DATATYPE**：データ型選択

HASH_DIN レジスタに入力したデータのフォーマットを定義します。

00：32 ビットデータ。HASH_DIN に書き込まれたデータは順序を変えずに直接 HASH 処理に使用されます。

01：16 ビットデータ、またはハーフワード。HASH_DIN に書き込まれたデータは 2 つのハーフワードとみなされ、HASH 処理に使用する前にスワップされます。

10：8 ビットデータ、またはバイト。HASH_DIN に書き込まれたデータは 4 バイトとみなされ、HASH 処理に使用する前にスワップされます。

11：ビットデータ、またはビット列。HASH_DIN に書き込まれたデータは 32 ビット（ビット位置 0 におけるデータ列の最初のビット）とみなされ、HASH 処理（ビット位置 31 におけるデータ列の最初のビット）に使用する前にスワップされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 3 **DMAE**：DMA イネーブル

0：DMA 転送は無効です

1：DMA 転送は有効です。DMA 要求は、HASH コアがデータを受け取る準備ができるとすぐに送られます。

注： 1：このビットは、メッセージの最後のデータを転送中に、DMA が DMA ターミナルカウント信号をアサートすると、ハードウェアによってクリアされます。このビットは、INIT ビットに 1 が書き込まれた場合、クリアされません。

2：すでに DMA に対して DMA 転送が要求されてからこのビットに 0 が書き込まれた場合は、DMAE はクリアされますが現在の転送は中断されません。その代わり、転送が完了するか INIT に 1 が書き込まれるまで、DMA インタフェースは内部的に有効になっています。

ビット 2 **INIT**：メッセージダイジェスト計算の初期化

このビットに 1 を書き込むとハッシュプロセッサコアがリセットされるので、HASH は新しいメッセージのメッセージダイジェストがを計算可能となります。

このビットに0を書き込んでも影響はありません。

このビットを読み出すと常に 0 が返ります。

ビット 1:0 予約済み、クリア状態を保持する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

25.4.2 STM32F42xxx および STM32F43xxx 用 HASH 制御レジスタ（HASH_CR）

アドレスオフセット：0x00

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み													ALGO[1]	予約済み	LKEY
													rw		rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み		MDMAT	DINNE	NBW				ALGO[0]	MODE	DATATYPE		DMAE	INIT	予約済み	
		rw	r	r	r	r	r	rw	rw	rw	rw	rw	w		

ビット 31:19 予約済み、ハードウェアによって 0 に固定されています。

ビット 17 予約済み、ハードウェアによって 0 に固定されています。

ビット 16 **LKEY**：ロングキー選択

このビットによって、HMAC モードにおけるショートキー（≤ 64 バイト）またはロングキー（> 64 バイト）を選択します。

0：ショートキー（≤ 64 バイト）

1：ロングキー（> 64 バイト）

注： この選択は、INIT ビットがセットされ MODE=1 の場合にのみ有効です。計算中にこのビットを変更しても影響はありません。

ビット 15:14 予約済み、ハードウェアによって 0 に固定されています。

ビット 13 **MDMAT**：多重 DMA 転送

多重 DMA 転送が必要な大容量のファイルをハッシングするときに、このビットをセットします。

0：DCAL は DMA 転送の最後に自動的にセットされます。

1：DCAL は DMA 転送の最後に自動的にはセットされません。

ビット 12 **DINNE**：DIN ノットエンプティ

このビットは HASH_DIN レジスタに有効なデータがある場合（少なくとも 1 度は書き込まれたあと）にセットされます。このビットは INIT ビット（初期化）または DCAL ビット（前回のメッセージ処理の完了）のどちらかに 1 が書き込まれるとクリアされます。

0：データ入力バッファにデータがありません

1：入力バッファには少なくとも 1 ワードのデータがあります

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 11:8 **NBW**：既にプッシュされたワード数

このビットフィールドは、既に IN FIFO にプッシュされているメッセージ内のワード数を示します。

NBW は、DINNE=1 のときに HASH_DIN レジスタに書き込みアクセスが行われると値が増加（+1）します。

NBWは、INIT ビットに 1 が書き込まれたとき、またはダイジェスト計算が開始されたとき（DCAL に 1 が書き込まれたか DMA 転送終了時）に 0000 になります。

- DMA を使用しない場合：

0000 かつ DINNE=0 の場合：DIN バッファにプッシュされているワードはありません（バッファは空で、HASH_DIN レジスタと IN_FIFO の両方とも空）

0000 かつ DINNE=1 の場合：DIN バッファに 1 ワードがプッシュされています（HASH_DIN レジスタには 1 ワード有り、IN_FIFO は空）

0001 の場合：DIN バッファに 2 ワードがプッシュされています（HASH_DIN レジスタと IN_FIFO にそれぞれ 1 ワード有り）

...

1111の場合：DIN バッファに 16 ワードがプッシュされています

- DMA を使用している場合、NBW には IN FIFO にプッシュされている正確なワード数が格納されています。

ビット 18 および ビット 7 **ALGO[1:0]**：アルゴリズム選択

これらのビットによって SHA-1、SHA-224、SHA256 または MD5 のアルゴリズムを選択します。

00：SHA-1 アルゴリズムを選択

01：MD5 アルゴリズムを選択

10：SHA224 アルゴリズムを選択

11：SHA256 アルゴリズムを選択

注： この選択は、INIT ビットがセットされている場合にのみ有効です。計算中にこのビットを変更しても影響はありません。

ビット 6 **MODE**：モード選択

このビットによって、選択したアルゴリズムに対して HASH または HMAC モードを選択します。

0：ハッシュモードを選択します

1：HMAC モードを選択します。使用するキーが 64 バイトを超える場合、LKEY をセットする必要があります。

注： この選択は、INIT ビットがセットされている場合にのみ有効です。計算中にこのビットを変更しても影響はありません。

ビット 5:4 **DATATYPE**：データ型選択

HASH_DIN レジスタに入力したデータのフォーマットを定義します。

00 : 32 ビットデータ。HASH_DIN に書き込まれたデータは順序を変えずに直接 HASH 処理に使用されます。

01 : 16 ビットデータ、またはハーフワード。HASH_DIN に書き込まれたデータは 2 つのハーフワードとみなされ、HASH 処理に使用する前にスワップされます。

10 : 8 ビットデータ、またはバイト。HASH_DIN に書き込まれたデータは 4 バイトとみなされ、HASH 処理に使用する前にスワップされます。

11 : ビットデータ、またはビット列。HASH_DIN に書き込まれたデータは 32 ビット（ビット位置 0 におけるデータ列の最初のビット）とみなされ、HASH 処理（ビット位置 31 におけるデータ列の最初のビット）に使用する前にスワップされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 3 **DMAE**：DMA イネーブル

0：DMA 転送は無効です

1：DMA 転送は有効です。DMA 要求は、HASH コアがデータを受け取る準備ができるとすぐに送られます。

注： 1：このビットは、メッセージの最後のデータを転送中に、DMA が DMA ターミナルカウント信号をアサートすると、ハードウェアによってクリアされます。このビットは、INIT ビットに 1 が書き込まれた場合、クリアされません。

2：すでに DMA に対して DMA 転送が要求されてからこのビットに 0 が書き込まれた場合は、DMAE はクリアされますが現在の転送は中断されません。その代わり、転送が完了するか INIT に 1 が書き込まれるまで、DMA インタフェースは内部的に有効になっています。

ビット 2 **INIT**：メッセージダイジェスト計算の初期化

このビットに 1 を書き込むとハッシュプロセッサコアがリセットされるので、HASH は新しいメッセージのメッセージダイジェストを計算可能となります。

このビットに0を書き込んでも影響はありません。

このビットを読み出すと常に 0 が返ります。

ビット 1:0 予約済み、クリア状態を保持する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

25.4.3 HASH データ入力レジスタ（HASH_DIN）

アドレスオフセット：0x04

リセット値：0x0000 0000

HASH_DIN はデータ入力レジスタです。このレジスタは 32 ビット幅です。このレジスタを使用して、512 ビットのブロック毎にメッセージを入力します。HASH_DIN レジスタに書き込みを行うと、AHB データバス上の値が HASH コアに「プッシュ」され、このレジスタには AHB データバス上の新しい値が入ります。正しいメッセージ表記を得るためには HASH_CR レジスタ内の DATATYPE ビットを事前に設定しておく必要があります。

HASH_DIN レジスタに 16 ワードのブロックが書き込まれると、以下のように中間ダイジェストの計算が開始されます。

- DMA を使用していない場合、HASH_DIN レジスタに新しいデータを書き込む（次のブロックの最初のワード）ことにより開始されます（中間ダイジェストの計算）
- DMA を使用している場合は自動的に開始されます

HASH_DIN レジスタに最後のブロックが書き込まれると、以下のように最終ダイジェストの計算（パディングを含む）が開始されます。

- HASH_STR レジスタの DCAL ビットに 1 を書き込むことにより開始されます（最終ダイジェストの計算）
- DMA を使用し、かつ MDMAT ビットが“0”に設定されている場合は自動的に開始されます。

ダイジェストの計算（中間または最終）が進行中の場合、HASH_DIN レジスタへの新たなアクセスはすべて HASH 計算が完了するまで（AHB バスにウェイトステートを挿入することにより）延長されます。

HASH_DIN レジスタが読み出されると、このアドレスに書き込まれた最後のワードがアクセスされます（リセット後はゼロ）。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DATAIN															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DATAIN															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0 **DATAIN**：データ入力

読み出し = レジスタの現在の内容を返します。
書き込み = レジスタの現在の内容が IN FIFO にプッシュされ、レジスタには AHB データバス上の新しい値が入ります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

25.4.4 HASH 開始レジスタ（HASH_STR）

アドレスオフセット：0x08

リセット値：0x0000 0000

HASH_STR レジスタには 2 つの機能があります。

- ハッシュプロセッサに入力されたメッセージの最後のワードにおける有効ビット数を定義します（HASH_DIN レジスタに書き込まれた最後のデータの有効最下位ビット数）。
- DCAL ビットに 1 を書き込むことによりメッセージの最後のブロックの処理を開始します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み							DCAL	予約済み			NBLW				
							w				rw	rw	rw	rw	rw

ビット 31:9 予約済み、ハードウェアによって 0 に固定されています。

ビット 8 **DCAL**：ダイジェスト計算

このビットに 1 を書き込むと以前書き込まれた NBLW の値を使用してメッセージのパッディングが開始され、INIT ビットに最後に 1 が書き込まれてから IN FIFO に書き込まれたすべてのデータワードを使用して最終メッセージダイジェストの計算が開始されます。

このビットを読み出すと 0 が返されます。

注

ビット 7:5 予約済み、ハードウェアによって 0 に固定されています。

ビット 4:0 **NBLW**：ハッシュプロセッサのビット列編成におけるメッセージの最終ワードの有効ビット数

これらのビットに書き込みが行われていて DCAL が“0”の場合、それらは AHB データバス上の値になります。

0x00：ハッシュプロセッサのビット列編成に書き込まれた最後のデータの全 32 ビット（データスワッピング後）は有効です。

0x01：ハッシュプロセッサのビット列編成に書き込まれた最後のデータのビット [31]（データスワッピング後）のみ有効です。

0x02：ハッシュプロセッサのビット列編成に書き込まれた最後のデータのビット [31:30]（データスワッピング後）のみ有効です。

0x03：ハッシュプロセッサのビット列編成に書き込まれた最後のデータのビット [31:29]（データスワッピング後）のみ有効です。

...

0x1F：ハッシュプロセッサのビット列編成に書き込まれた最後のデータのビット [0]（データスワッピング後）のみ有効です。

これらのビットに書き込みが行われ、DCAL が“1”の場合、ビットフィールドは変更されません。

それらを読み出すと最後に NBLW に書き込まれた値が返されます。

注：　これらのビットは DCAL ビットをセットする前に設定する必要があります。さもないと有効になりません。特に、NBLW と DCAL を同時に設定することはできません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

25.4.5 HASH ダイジェストレジスタ （HASH_HR0..4/5/6/7）

アドレスオフセット：0x0C から 0x1C （STM32F405xx/07xx および STM32F415xx/17xx）、および 0x310 から 0x32C（STM32F42xxx および STM32F43xxx）

リセット値：0x0000 0000

これらのレジスタには、次のように指定されたメッセージダイジェストの計算結果が入っています。

1. SHA1 アルゴリズム仕様上、それぞれ H0、H1、H2、H3、および H4
   この場合、HASH_H5 から HASH_H7 のレジスタは使われず、ゼロが読み出されることに注意してください。
2. MD5 アルゴリズム仕様上、それぞれ A、B、C および D
   この場合 HASH_H4から HASH_H7 のレジスタは使われず、ゼロが読み出されることに注意してください。
3. SHA224 アルゴリズム仕様上それぞれ H0 から H6
   この場合、HASH_H7 レジスタは使われず、ゼロが読み出されることに注意してください。
4. SHA256 アルゴリズム仕様上それぞれ H0 から H7

HASH コアが中間ダイジェストまたは最終メッセージダイジェストを計算している最中にこれらのいずれかのレジスタへの読み出しアクセスが発生すると（DCAL ビットに 1 が書き込まれたとき）、この読み出しは HASH 計算が完了するまで一時停止します。

注： ***H0、H1、H2、H3 および H4 のマッピングは 2 つの領域に複製されます。***

HASH_HR0

アドレスオフセット：0x0C および 0x310

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
H0															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
H0															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

HASH_HR1

アドレスオフセット：0x10 および 0x314

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
H1															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
H1															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

HASH_HR2

アドレスオフセット：0x14 および 0x318

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
H2															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
H2															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

HASH_HR3

アドレスオフセット：0x18 および 0x31C

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
H3															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
H3															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

HASH_HR4

アドレスオフセット：0x1C および 0x320

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
H4															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
H4															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

HASH_HR5

アドレスオフセット：0x324

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
H5															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
H5															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

HASH_HR6

アドレスオフセット：0x328

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
H6															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
H6															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

HASH_HR7

アドレスオフセット：0x32C

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
H7															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
H7															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

注： ***INIT ビットに 1 を書き込むことによって、新しいビットストリームのダイジェスト計算を開始するとき、これらのレジスタはリセット値をとります。***

25.4.6 HASH 割り込みイネーブルレジスタ（HASH_IMR）

アドレスオフセット：0x20

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み														DCIE	DINIE
														rw	rw

ビット 31:2 予約済み、ハードウェアによって 0 に固定されています。

ビット 1 **DCIE**：ダイジェスト計算完了割り込みイネーブル
0：ダイジェスト計算完了割り込みは無効です
1：ダイジェスト計算完了割り込みは有効です

ビット 0 **DINIE**：データ入力割り込みイネーブル
0：データ入力割り込みは無効です
1：データ入力割り込みは有効です

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

25.4.7 HASH ステータスレジスタ（HASH_SR）

アドレスオフセット：0x24

リセット値：0x0000 0001

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み												BUSY	DMAS	DCIS	DINIS
												r	r	rc_w0	rc_w0

ビット 31:4 予約済み、ハードウェアによって 0 に固定されています。

ビット 3 **BUSY**：ビジービット

0：現在処理中のブロックはありません。

1：ハッシュコアが処理中のデータブロックがあります。

ビット 2 **DMAS**：DMA ステータス

このビットから、DMA インタフェース動作に関する情報を得ることができます。このビットは DMAE と共にセットされ、DMAE=0、かつ DMA 転送中ではない場合にクリアされます。このビットに関連する割り込みはありません。

0：DMA インタフェースは無効（DMAE=0）、かつ転送中ではありません。

1：DMA インタフェースは有効（DMAE=1）、または転送中です。

ビット 1 **DCIS**：ダイジェスト計算完了割り込みステータス

このビットは、ダイジェストがレディーになったとき（メッセージ全体が処理済）、ハードウェアによってセットされます。このビットは、そこに 0 を書き込むか HASH_CR レジスタの INIT ビットに 1 を書き込むことによってクリアされます。

0：HASH_Hx レジスタに利用可能なダイジェストはありません。

1：ダイジェスト計算完了。HASH_Hx レジスタに利用可能なダイジェストがあります。HASH_IMR レジスタの DCIE ビットがセットされている場合、割り込みが生成されます。

ビット 0 **DINIS**：データ入力割り込みステータス

このビットは、入力バッファが新しいブロックを取得する準備ができたときにハードウェアによってセットされます（空き領域が16 か所）。このビットは、そこに 0 を書き込むか HASH_DIN レジスタに書き込みを行うことによってクリアされます。

0：入力バッファの空き領域は 16 か所未満です。

1：入力バッファに新しいブロックを取り込むことができます。HASH_IMR レジスタの DINIE ビットがセットされている場合、割り込みが生成されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

25.4.8 HASH コンテキストスワップレジスタ（HASH_CSRx）

アドレスオフセット：0x0F8 から 0x1C0

- HASH_CSR0 レジスタ：リセット値は 0x0000 0002
- 他のレジスタ：リセット値は 0x0000 0000、ただし、HASH_CSR2 レジスタのリセット値が 0x2000 0000 であるSTM32F42xxx および STM32F43xxxデバイスを除く

STM32F42xxx および STM32F43xxx では、0x1C1 から 0x1CC までの追加のレジスタが利用可能です。

- リセット値：0x0000 0000

これらのレジスタで、ハッシュプロセッサの内部レジスタの状態がすべて分かるため、別のタスクがすでにハッシュプロセッサを使用している間に、優先度の高いタスクがハッシュプロセッサを使用する必要があってコンテキストスワップを行う必要があるときに便利です。

そのような事象が起こった場合、HASH_CSRx レジスタを読み出し、その値をシステムメモリ空間のどこかに保存する必要があります。このようにして、優先権のあるタスクがハッシュプロセッサを使用することができ、ハッシュ計算が終了した時点で、保存したコンテキストをメモリから読み出し、HASH_CSRx レジスタに書き戻すことができます。

HASH_CSRx

アドレスオフセット：STM32F405xx/07xx および STM32F415xx/17xxで 0x0F8 から 0x1C0

アドレスオフセット：STM32F42xxx および STM32F43xxxで 0x0F8 から 0x1CC

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CSx															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CSx															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

25.4.9 HASH レジスタマップ

表 116 に HASH レジスタマップの概要およびリセット値を示します。

表 116. STM32F405xx/07xx および STM32F415xx/17xx の HASH レジスタマップおよびリセット値

オフセット	レジスタ名 リセット値	レジスタサイズ 31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	HASH_CR	予約済み															LKEY	予約済み			DINNE	NBW				ALGO[0]	MODE	DATATYPE		DMAE	INIT	予約済み	
	リセット値																0				0	0	0	0	0	0	0	0	0	0	0		
0x04	HASH_DIN	DATAIN																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x08	HASH_STR	予約済み																							DCAL	予約済み			NBLW				
	リセット値																								0				0	0	0	0	0
0x0C	HASH_HR0	H0																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x10	HASH_HR1	H1																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x14	HASH_HR2	H2																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x18	HASH_HR3	H3																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x1C	HASH_HR4	H4																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x20	HASH_IMR	予約済み																													DCIE	DINIE	
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x24	HASH_SR	予約済み																												BUSY	DMAS	DCIS	DINIS
	リセット値																													0	0	0	1
0xF8	HASH_CSR0	CSR0																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
...																																	
0x1C0	HASH_CSR50	CSR50																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
予約済み																																	
0x310	HASH_HR0	H0																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x314	HASH_HR1	H1																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x318	HASH_HR2	H2																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x31C	HASH_HR3	H3																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x320	HASH_HR4	H4																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 117. STM32F42xxx および STM32F43xxx の HASH レジスタマップおよびリセット値

オフセット	レジスタ名 リセット値	レジスタサイズ																														
		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	HASH_CR	予約済み													ALGO[1]	予約済み	LKEY	予約済み		MDMAT	DINNE	NBW				ALGO[0]	MODE	DATATYPE	DMAE	INIT	予約済み		
	リセット値														0		0			0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x04	HASH_DIN	DATAIN																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x08	HASH_STR	予約済み																							DCAL	予約済み			NBLW				
	リセット値																								0				0	0	0	0	0
0x0C	HASH_HR0	H0																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x10	HASH_HR1	H1																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x14	HASH_HR2	H2																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x18	HASH_HR3	H3																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x1C	HASH_HR4	H4																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x20	HASH_IMR	予約済み																													DCIE	DINIE	
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x24	HASH_SR	予約済み																												BUSY	DMAS	DCIS	DINIS
	リセット値																													0	0	0	1
0xF8	HASH_CSR0	CSR0																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
...																																	
0x1CC	HASH_CSR53	CSR53																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
予約済み																																	
0x310	HASH_HR0	H0																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x314	HASH_HR1	H1																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x318	HASH_HR2	H2																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x31C	HASH_HR3	H3																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x320	HASH_HR4	H4																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x324	HASH_HR5	H5																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x328	HASH_HR6	H6																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x32C	HASH_HR7	H7																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

26 リアルタイムクロック（RTC）

このセクションは、特に指定がない限り、STM32F4xx ファミリ全体に適用されます。

26.1 概要

本リアルタイムクロック（RTC）は、独立した BCD タイマ／カウンタです。この RTC には、時刻クロック／カレンダ、プログラム可能なアラーム割り込みを 2 本、割り込み機能を備えたプログラム可能な周期的ウェイクアップフラグを搭載しています。RTC には、低電力モードを管理する自動ウェイクアップユニットも搭載されています。

2 つの 32 ビットレジスタには、2 進化 10 進数形式（BCD）で表現した秒、分、時間（12 時間または 24 時間形式）、曜日、日、月、年が含まれています。サブセカンドの値もバイナリ形式で利用できます。

28 日、29 日（うるう年）、30日、31 日の補正は、自動的に行われます。サマータイム補正も行われます。

サブセカンド、秒、分、時、曜日、日付のプログラム可能なアラームを備えた 32 ビットレジスタが追加されています。

クリスタルオシレータ精度の偏差を補正するため、デジタル較正機能が利用可能です。

バックアップドメインリセット後、すべての RTC レジスタは、起こりうる不要な書き込みアクセスから保護されます。

供給電圧が動作範囲内にある間は、デバイスのステータス（実行モード、低電力モード、またはリセット中）に関係なく、RTC が停止することはありません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

26.2 RTC の主な機能

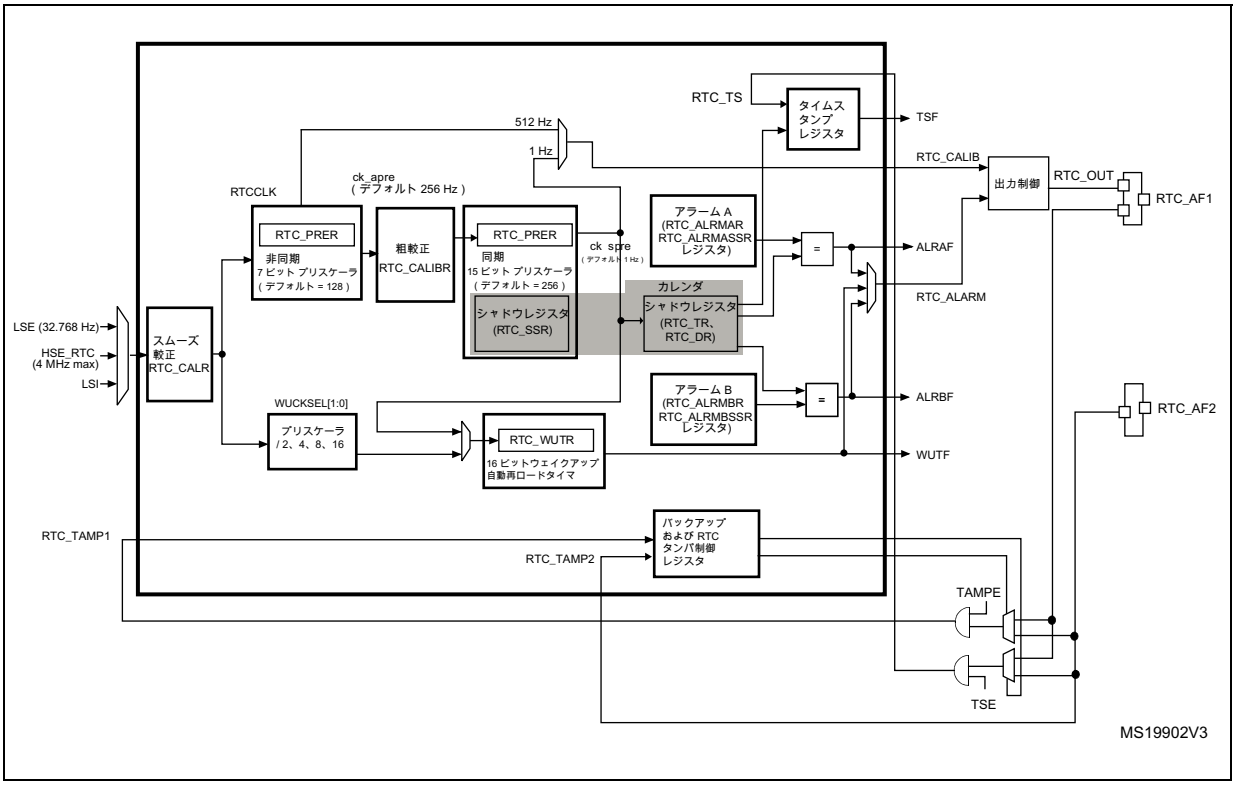
この RTC ユニットは次のような特長を備えています（*図 237：RTC のブロック図*を参照）。

- サブセカンド、秒、分、時（12 または 24 時間形式）、曜日、日、月、年に対応するカレンダ。
- ソフトウェアでプログラム可能なサマータイム補正。
- 割り込み機能を備えた2 本のプログラム可能なアラーム。アラームは、カレンダ項目のどの組み合わせでもトリガできます。
- 自動ウェイクアップ割り込みをトリガする周期的なフラグを生成する自動ウェイクアップユニット。
- 基準クロック検出：より正確な秒のクロック源（50 または 60 Hz）を使用すると、カレンダの精度を向上させることができます。
- サブセカンドシフト機能を使用する外部クロックとの正確な同期。
- マスク可能な割り込み／イベント：
  - アラーム A
  - アラーム B
  - ウェイクアップ割り込み
  - タイムスタンプ
  - タンパ検出
- デジタル較正回路（周期カウンタ修正）
  - 5 ppm の精度
  - 数秒の較正時間範囲で得られる 0.95 ppm の精度
- イベントを保存するタイムスタンプ機能（イベント 1 つ）
- タンパ検出：
  - 設定可能なフィルタおよび内部プルアップのある 2 つのタンパイベント。
  - 20 個のバックアップレジスタ（80 バイト）が利用可能。
- 次の 2 つの出力のうち 1 つを選択する代替機能出力 RTC-OUT：
  - RTC_CALIB：512 Hz または 1 Hz のクロック出力（LSE 周波数 32.768 kHz の場合）。
    この出力は、RTC_CR レジスタの COE[23] ビットをセットして有効にします。この出力はデバイスの RTC_AF1 機能に送られます。
  - RTC_ALARM（アラーム A、アラーム B またはウェイクアップ）
    この出力は、RTC_CR レジスタの OSEL[1:0] ビットを設定して選択します。この出力はデバイスの RTC_AF1 機能に送られます。
- RTC 代替機能入力：
  - RTC_TS：タイムスタンプイベント検出。デバイスの RTC_AF1 機能および RTC_AF2 機能に送られます。
  - RTC_TAMP1：TAMPER1 イベント検出。デバイスの RTC_AF1 機能および RTC_AF2 機能に送られます。
  - RTC_TAMP2：TAMPER2 イベント検出。
  - RTC_REFIN：基準クロック入力（通常は 50 または 60 Hz の商用電源）。

***セクション 8.3.15：RTC_AF1 および RTC_AF2 オルタネート機能の選択*を参照してください。**

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 237. RTC のブロック図



1. STM32F4xx デバイスでは、RTC_AF1 および RTC_AF2 の代替機能はそれぞれ PC13 および PI8 に接続されています。

26.3 RTC の機能詳細

26.3.1 クロックとプリスケーラ

RTC クロックソース（RTCCLK）は、LSE クロック、LSI オシレータクロック、HSE クロックのうちから、クロックコントローラを通じて選択されます。RTC クロックソース設定の詳細については、*セクション 7：リセットおよびクロック制御 STM32F405xx/07xx および STM32F415xx/17xx（RCC）*および *セクション 6：リセットおよびクロック制御 STM32F42xxx および STM32F43xxx（RCC）*を参照してください。

プログラム可能なプリスケーラステージで、カレンダの更新に使用する 1 Hz のクロックを生成します。消費電力を最少に抑えるため、プリスケーラは 2 つのプログラム可能なプリスケーラに分割されます（*図 237：RTC のブロック図*参照）：

- RTC_PRER レジスタの PREDIV_A ビットを通じて設定される 7 ビットの非同期プリスケーラ
- RTC_PRER レジスタの PREDIV_S ビットで設定される 15 ビットの同期プリスケーラ

注： ***両方のプリスケーラを使用する場合は、非同期プリスケーラを高い値に設定して消費を最低限に抑えることが推奨されます。***

LSE 周波数 32.768 kHz で 1 Hz (ck_spre) の内部クロック周波数を得るため、非同期プリスケーラ分周比は 128、同期分周比は 256 に設定されます。

最低分周比は 1、最大分周比は 2^{22} です。

これは、約 4 MHz の最大入力周波数に相当します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

f_{ck_apre} は、次の式で与えられます。

$$f_{CK_APRE} = \frac{f_{RTCCLK}}{PREDIV_A + 1}$$

ck_apre クロックは、サブセカンドダウンカウンタであるバイナリ RTC_SSR にクロックを供給するために使用されます。値がゼロになると、RTC_SSR は、PREDIV_S の内容で再ロードされます。

f_{ck_spre} は、次の式で与えられます。

$$f_{CK_SPRE} = \frac{f_{RTCCLK}}{(PREDIV_S + 1) \times (PREDIV_A + 1)}$$

ck_spre クロックは、カレンダの更新または 16 ビットウェイクアップ自動再ロードタイマのタイムベースとして使用できます。短いタイムアウト期間を得るため、16 ビットウェイクアップ自動再ロードタイマを、プログラム可能な 4 ビット非同期プリスケーラで分周した RTCCLK で動作させることもできます（詳細は*セクション 26.3.4：定期自動ウェイクアップ*を参照）。

26.3.2 リアルタイムクロックとカレンダ

RTC カレンダの時間および日付レジスタには、PCLK1（APB1 クロック）と同期するシャドウレジスタを通じてアクセスします。同期持続の待ち時間を避けるため、これらのレジスタに直接アクセスすることもできます。

- サブセカンド用 RTC_SSR
- 時間用 RTC_TR
- 日付用 RTC_DR

RTCCLK 2 周期ごとに現在のカレンダ値がシャドウレジスタにコピーされ、RTC_ISR レジスタの RSF ビットがセットされます（*セクション 26.6.4* 参照）。STOP モードおよび STANDBY モードでは、コピーは行われません。これらのモードが終了すると、RTCCLK 2 周期以内にシャドウレジスタが更新されます。

アプリケーションが、カレンダレジスタを読み出す際、実際にはシャドウレジスタの内容にアクセスします。RTC_CR レジスタの BYPSHAD 制御ビットをセットすることにより、カレンダレジスタに直接アクセスできます。デフォルトでは、このビットはクリアされており、ユーザはシャドウレジスタにアクセスします。

RTC_SSR、RTC_TR または RTC_DR レジスタを BYPSHAD=0 モードで読み出す際は、APB クロックの周波数 （f_{APB}）は、RTC クロック（f_{RTCCLK}）の周波数の 7 倍以上である必要があります。

シャドウレジスタは、システムリセットによってリセットされます。

26.3.3 プログラム可能なアラーム

本 RTC ユニットには、2 本のプログラム可能なアラームである、アラーム A およびアラーム B を搭載しています。

このプログラム可能なアラーム機能 は、RTC_CR レジスタの ALRAIE ビットおよび ALRBIE ビットを通じて有効にします。ALRAF および ALRBF フラグ は、カレンダのサブセカンド、秒、分、時、日または曜日がそれぞれアラームレジスタ RTC_ALRMASSR／RTC_ALRMAR および RTC_ALRMBSSR／RTC_ALRMBR にプログラムされている値と一致すると 1 にセットされます。各カレンダ項目は、RTC_ALRMAR および RTC_ALRMBR レジスタの MSKx ビット、および RTC_ALRMASSR および RTC_ALRMBSSR レジスタの MASKSSx ビットで個別に選択できます。ア

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ラーム割り込み は、RTC_CR レジスタの ALRAIE ビットおよび ALRBIE ビットを通じて有効にします。

アラーム A およびアラーム B（RTC_CR レジスタの OSEL[0:1] ビットで有効になっている場合）は、RTC_ALARM 出力に送ることができます。RTC_ALARM の極性は、RTC_CR レジスタの POL ビットを通じて設定できます。

注： **秒の項目が選択されている場合（RTC_ALRMAR または RTC_ALRMBRで MSK0 ビットがリセットされている）、正しい動作を保証するため、RTC_PRER レジスタでセットされる同期プリスケーラの分周比は 3 以上である必要があります。**

26.3.4 定期自動ウェイクアップ

定期ウェイクアップフラグは、16 ビットのプログラム可能な自動再ロードダウンカウンタによって生成されます。ウェイクアップタイマの範囲は 17 ビットまで拡張できます。

ウェイクアップ機能は、RTC_CR レジスタの WUTE ビットを通じて有効にします。

ウェイクアップタイマクロック入力には、次のものが使用できます。

- 2、4、8、または 16 分周した RTC クロック（RTCCLK）

  RTCCLK が LSE（32.768kHz）である場合、最小分解能 61µs で、ウェイクアップ割り込み周期を 122 µs から 32 s の範囲で設定できます。

- ck_spre（通常は 1 Hz の内部クロック）

  ck_spre 周波数が 1Hz の場合、1 秒の分解能でウェイクアップ時間を 1 s からおよそ 36 時間におよぶ範囲で設定できます。この大きくプログラム可能な時間範囲は、2 つの部分に分かれます。

  – WUCKSEL [2:1] = 10 の場合 1 から 18 時間、

  – そして WUCKSEL[2:1] = 11 の場合は約 18 時間から 36 時間です。後者の場合、16 ビットカウンタの現在値に 216 が加算されます。初期化シーケンスが完了すると（*ウェイクアップタイマのプログラム（807 ページ）*参照）、タイマがカウントダウンを開始します。ウェイクアップ機能が有効になっている場合、低電力モードでもカウントダウンはアクティブのままとなります。さらに、カウンタがゼロに到達すると、RTC_ISR レジスタの WUTF フラグがセットされ、ウェイクアップカウンタが再ロード値（RTC_WUTR レジスタ値）で自動的に再ロードされます。

その後、WUTF フラグはソフトウェアでクリアする必要があります。

RTC_CR2 レジスタの WUTIE ビットをセットして定期ウェイクアップ割り込みを有効にすると、デバイスは低電力モードを終了できます。

定期的なウェイクアップフラグは、RTC_CR レジスタの OSEL[0:1] ビットを通じて有効になっている場合に限り RTC_ALARM 出力に送ることができます。RTC_ALARM の極性は、RTC_CR レジスタの POL ビットを通じて設定できます。

低電力モード（SLEEP、STOP、STANDBY）と同様に、システムリセットもウェイクアップタイマには影響しません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

26.3.5 RTC の初期化と設定

RTC レジスタアクセス

RTC レジスタは、32 ビットのレジスタです。APB インターフェイスは、RTC レジスタアクセスに 2 ウェイトステートを挿入します。ただし、BYPSHAD=0 の際のカレンダシャドウレジスタへの読み出しアクセスは除きます。

RTC レジスタ書き込み保護

システムリセット後、RTC レジスタは PWR 電源制御レジスタ（PWR_CR）の DBP ビットへの不要な書き込みアクセスから保護されます。RTC レジスタ書き込みアクセスを可能にするには、DBP ビットをセットする必要があります。

バックアップドメインリセット後、すべての RTC レジスタは書き込み保護されます。RTC レジスタへの書き込みは、書き込み保護レジスタ RTC_WPR にキーを書き込むことにより有効になります。

RTC_ISR[13:8]、RTC_TAFCR、RTC_BKPxR を除くすべての RTC レジスタの書き込み保護を解除するには、次のステップが必要です。

1. RTC_WPR レジスタに“0xCA”を書き込みます。
2. RTC_WPR レジスタに“0x53”を書き込みます。

誤ったキーを書き込むと、書き込み保護が再度アクティブになります。

保護メカニズムは、システムリセットの影響を受けません。

カレンダの初期化と設定

時間形式やプリスケーラ設定を含む初期時間と日付カレンダ値をプログラムするには、次のシーケンスが必要です。

1. RTC_ISR レジスタで INIT ビットを 1 にセットして初期化モードに入ります。このモードでは、カレンダカウンタが停止し、値を更新できます。
2. RTC_ISR レジスタの INITF ビットをポーリングします。INITF が 1 にセットされると、初期化フェーズモードに入ります。これには RTCCLK クロック約 2 周期を必要とします（クロック同期のため）。
3. カレンダカウンタのための 1 Hz クロックを生成するには、まず RTC_PRER レジスタで同期プリスケーラ分周比をプログラムし、その後非同期プリスケーラ分周比をプログラムします。2 つの項目のうち 1 つだけを変更する必要がある場合でも、RTC_PRER レジスタに対し書き込みアクセスを 2 回に分けて行う必要があります。
4. シャドウレジスタ（RTC_TR および RTC_DR）に初期時間と日付値をロードし、RTC_CR レジスタの FMT ビットを通じて時間形式（12 時間または 24 時間）を設定します。
5. INIT ビットをクリアして初期化モードを終了します。実際のカレンダカウンタ値は、その後自動的にロードされ、RTCCLK クロック 4 周期後にカウントが再開します。

初期化シーケンスが完了すると、カレンダがカウントを開始します。

注： ***システムリセット後、アプリケーションは RTC_ISR レジスタの INITS フラグを読み出し、カレンダが初期化されたか否かを確認できるようになります。このフラグが 0 である場合、カレンダの年の項目が バックアップドメインリセットデフォルト値（0x00）にセットされているため初期化されていません。.***

初期化後にカレンダを読み出すには、まずソフトウェアで RTC_ISR レジスタの RSF フラグがセットされていることを確認する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

サマータイム

サマータイム管理は、RTC_CR レジスタの SUB1H ビット、ADD1H ビット、BKP ビットを使って行われます。

SUB1H または ADD1H を使用すると、ソフトウェアは初期化手順を踏まずに 1 度の操作で、カレンダから 1 時間引いたり足したりすることができます。

さらに、ソフトウェアは BKP ビットを使用してこの操作を記憶することができます。

アラームのプログラム

プログラム可能なアラーム（アラーム A またはアラーム B）をプログラムまたは更新するには、同様な手順を踏む必要があります。

1. RTC_CR の ALRAE または ALRBIE をクリアしてアラーム A またはアラーム B を無効にします。
2. RTC_ISR の ALRAWF または ALRBWF がセットされてアラームレジスタへのアクセスが許可されていることが確認できるまで、これらのビットをポーリングします。これには RTCCLK クロック約 2 周期を必要とします（クロック同期のため）。
3. アラーム A レジスタまたはアラーム B レジスタ（RTC_ALRMASSR/RTC_ALRMAR または RTC_ALRMBSSR/RTC_ALRMBR）をプログラムします。
4. RTC_CR レジスタで ALRAE または ALRBIE をセットしてアラーム A またはアラーム B を再び有効にします。

*注： **RTC_CR レジスタの各変更は、クロック同期のため RTCCLK クロック約 2 周期後に有効になります。***

ウェイクアップタイマのプログラム

ウェイクアップタイマ自動再ロード値（RTC_WUTR の WUT[15:0])の設定または変更には、次の手順が必要です。

1. RTC_CR の WUTE をクリアしてウェイクアップタイマを無効にします。
2. RTC_ISR の WUTWF がセットされ、ウェイクアップ自動再ロードカウンタおよび WUCKSEL[2:0] ビットへのアクセスが許可されていることが確認されるまで WUTWF をポーリングします。これには RTCCLK クロック約 2 周期を必要とします（クロック同期のため）。
3. ウェイクアップ自動再ロード値 WUT[15:0] およびウェイクアップクロック選択（RTC_CR の WUCKSEL[2:0] ビット）をプログラムします。RTC_CR で WUTE をセットしてタイマを再び有効にします。ウェイクアップタイマがカウントダウンをスタートします。

26.3.6 カレンダの読み出し

RTC_CR レジスタの BYPSHAD 制御ビットがクリアされている場合

RTC カレンダレジスタ（RTC_SSR、RTC_TR および RTC_DR）を正しく読み出すには、APB1 クロック周波数（f_{PCLK1}）が f_{RTCCLK} RTC クロック周波数の 7 倍以上である必要があります。これにより、同期メカニズムの安全な動作が保証されます。

APB1 クロック周波数が RTC クロック周波数の 7 倍未満である場合、ソフトウェアによってカレンダ時間と日付レジスタを 2 回読み出す必要があります。RTC_TR の 2 回目の読み出しが 1 回目の読み出しと同じ結果であれば、データが正しいことが保証されます。同じでない場合は、3 回目の読み出しアクセスを行う必要があります。どの場合も、APB1 クロック周波数は必ず RTC クロック周波数以上である必要があります。

RTC_ISR レジスタの RSF ビットは、カレンダレジスタがRTC_SSR、RTC_TR および RTC_DR シャドウレジスタにコピーされるたびにセットされます。コピーは、RTCCLK 2 周期ごとに行われます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

3 つの値における一貫性を保証するため、RTC_SSR または RTC_TR のどちらかを読み出すと、高次カレンダシャドウレジスタの値は RTC_DR が読み出されるまでロックされます。ソフトウェアが RTCCLK 2 周期未満の間隔でカレンダの読み出しアクセスを行う場合 : 最初のカレンダ読み出し後に RSF をソフトウェアでクリアする必要があり、その後ソフトウェアは、RSF ビットがセットされるまで待ってから、RTC_SSR、RTC_TR および RTC_DR レジスタを再読み出しする必要があります。

低電力モード（STOP または STANDBY）からのウェイクアップ後は、RSF をソフトウェアでクリアする必要があります。その後ソフトウェアは、いま一度 RSF がセットされるまで待ってから、RTC_SSR、RTC_TR および RTC_DR レジスタを再読み出しする必要があります。

RSF ビットは、ウェイクアップ後にクリアする必要がありますが、低電力モードに入る前には、その必要はありません。

注 : ***システムリセット後、ソフトウェアは RSF がセットされるまで待ってから、RTC_SSR、RTC_TR および RTC_DR レジスタを読み出す必要があります。実際、システムリセットがかかると、シャドウレジスタをデフォルト値にリセットします。***

初期化（カレンダの初期化と設定（806 ページ）参照）後 : ソフトウェアは RSF がセットされるまで待ってから、RTC_SSR、RTC_TR および RTC_DR レジスタを読み出す必要があります。

同期（セクション 26.3.8 : RTC 同期参照）後、ソフトウェアは RSF がセットされるまで待ってから、RTC_SSR、RTC_TR および RTC_DR レジスタを読み出す必要があります。

RTC_CR レジスタ（バイパスシャドウレジスタ）の BYPSHAD 制御ビットがセットされている場合

カレンダレジスタを読み出すと、カレンダカウンタの値が直接与えられるため、RSF ビットがセットされるのを待つ必要がありません。シャドウレジスタは低電力モード（STOP または STANDBY）では更新されないため、これは低電力モード終了後に特に有用です。

BYPSHAD ビットが 1 にセットされている場合、レジスタへの 2 回の読み出しアクセス間で RTCCLK エッジが発生した場合は、さまざまなレジスタ間で互いに不整合が起きる場合があります。さらに、読み出し操作中に RTCCLK エッジが発生した場合、レジスタの1 つが不正な値となる場合があります。ソフトウェアはすべてのレジスタを 2 回読み出し、結果を比較してデータが理にかなっていて正しいことを確認する必要があります。その代わり、ソフトウェアはカレンダレジスタの最下位の数値を 2 回比較するだけで構いません。

注 : ***BYPSHAD=1 の間、カレンダレジスタを読み出す命令が完了するには APB 1 周期余計に必要となります。***

26.3.7 RTC のリセット

カレンダシャドウレジスタ（RTC_SSR、RTC_TR、RTC_DR）および RTC ステータスレジスタ（RTC_ISR）の一部のビットは、利用可能なすべてのシステムリセットリソースによってデフォルト値にリセットされます。

逆に、次のレジスタはバックアップドメインリセットによってデフォルト値にリセットされますが、システムリセットの影響は受けません : RTC の現在のカレンダレジスタ、RTC 制御レジスタ（RTC_CR）、プリスケーラレジスタ（RTC_PRER）、RTC 較正レジスタ（RTC_CALIBR または RTC_CALR）、RTC シフトレジスタ（RTC_SHIFTR）、RTC タイムスタンプレジスタ（RTC_TSSSR、RTC_TSTR および RTC_TSDR）、RTC タンパおよび代替機能設定レジスタ（RTC_TAFCR）、RTC バックアップレジスタ（RTC_BKPxR）、ウェイクアップタイマレジスタ（RTC_WUTR）、アラーム A およびアラーム B レジスタ（RTC_ALRMASSR/RTC_ALRMAR および RTC_ALRMBSSR/RTC_ALRMBR）。

さらに、RTC はリセットソースがバックアップドメインリセットと異なっていれば、システムリセット中も動作し続けます。バックアップドメインリセットが発生すると、RTC は停止し、すべての RTC レジスタがリセット値にセットされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

26.3.8 RTC 同期

RTC は、高精度でリモートクロックと同期できます。サブセカンド項目（RTC_SSR または RTC_TSSSR）を読み出すと、リモートクロックによって維持されている時間と RTC 間の正確なオフセットが計算できます。その後、RTC_SHIFTR を使用してほんの一瞬クロックを「シフト」することによって RTC を調整し、このオフセットを取り除くことができます。

RTC_SSR には、同期プリスケーラのカウンタの値が入っています。これにより、RTC によって維持されている正確な時間を 1/(PREDIV_S + 1) 秒の分解能で計算することができます。その結果、同期プリスケーラ値（PREDIV_S[14:0]）を増加させることにより分解能を改善できます。許可されている最大分解能（32768 Hz クロックで 30.52 µs）は、PREDIV_S を 0x7FFF にセットすることにより得られます。

ただし、PREDIV_S を増加させるということは、同期プリスケーラの出力を 1 Hz に維持するため PREDIV_A を減らす必要があることを意味します。このように、非同期プリスケーラの出力周波数が増加すると、RTC の動的消費電力が増加する場合があります。

RTC は、RTC シフト制御レジスタ（RTC_SHIFTR）を使って微調整できます。RTC_SHIFTR に書き込むことにより、1/（PREDIV_S + 1）秒の分解能で、クロックを最大 1 秒シフト（遅れ／進み）させることができます。このシフト操作の本質は、同期プリスケーラカウンタ SS[15:0] に SUBFS[14:0] 値を加算するということです。この操作は、クロックを遅らすことになります。同時に ADD1S ビットがセットされた場合、1 秒追加すると同時に秒の小数部を差し引くことになるため、クロックを進めることになります。

注： **シフト操作を始める前に、ユーザーは SS[15] = 0 となっていることを確認し、オーバーフローが発生しないようにする必要があります。**

RTC_SHIFTR レジスタへの書き込みによってシフト操作が始まった直後に、ハードウェアによって SHPF フラグがセットされ、シフト操作が保留中であることを示します。このビットは、シフト操作が完了した直後に、ハードウェアによってクリアされます。

注： **この同期機能は、基準クロック検出機能とは両立できません。REFCKON=1 の場合、ファームウェアから RTC_SHIFTR に書き込むことはできません。**

26.3.9 RTC 基準クロック検出

RTC カレンダの更新は、基準クロックである RTC_REFIN に同期させることができます。通常は商用電源（50 または 60 Hz）です。RTC_REFIN 基準クロックには、32.768 kHz LSE クロックよりも高い精度が必要です。RTC_REFIN 検出が有効（RTC_CR の REFCKON ビットが 1 にセット）になると、カレンダは依然として LSE によって駆動されていますが、RTC_REFIN を使用してカレンダ更新周波数（1 Hz）の不正確さを補償します。

各 1 Hz クロックエッジは、一番近い基準クロックエッジ（所与の時間枠内に見つかった場合）と比較されます。ほとんどの場合、2 つのクロックエッジは正しく整列しています。LSE クロックが不正確なために 1 Hz のクロックがずれた場合、RTC は 1 Hz のクロックを少しずらしてその後の 1 Hz のクロックエッジが整列するようにします。このメカニズムのおかげで、カレンダは基準クロックと同様に正確になります。

RTC は、32.768 kHz クォーツから生成される 256 Hz クロック（ck_apre）を使用して、基準クロックソースがあるかどうかを検出します。検出は各カレンダ更新（1 秒ごと）程度の時間枠で行われます。最初の基準クロックエッジを検出する際、この時間枠は ck_apre 7 周期に等しくなります。その後のカレンダ更新では、ck_apre 3 周期より短い時間枠が使用されます。

基準クロックがこの枠内で検出されるたびに、ck_apre クロックを出力する非同期プリスケーラは強制的に再ロードされます。プリスケーラが同時に再ロードされるため、基準クロックおよび 1 Hz のクロックが整列するタイミングには影響しません。クロックが整列していない場合は、再ロードによって後の 1 Hz クロックエッジが少しずれ、基準クロックと整列するようになります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

基準クロックが停止した（ck_apre 3 周期の期間内で基準クロックエッジが発生しない）場合、カレンダは LSE クロックのみを基準にして更新が継続されます。その後 RTC は ck_spre エッジを中心として ck_apre 7 周期の広い検出ウィンドウを使って基準クロックを待ちます。

基準クロック検出を有効にした場合、PREDIV_A および PREDIV_S をデフォルト値にセットする必要があります。

- PREDIV_A = 0x007F
- PREDIV_S = 0x00FF

注： ***基準クロック検出は、STANDBY モードでは利用できません。***

注： **基準クロック検出機能は、簡易デジタル較正と併用することはできません。REFCKON = 1 の場合、RTC_CALIBR は 0x0000 0000 に保持する必要があります。**

26.3.10 RTC の簡易デジタル較正

デジタル較正手法には、簡易較正と高精度較正の 2 種類があります。簡易較正を実施するには、*セクション 26.6.7：RTC 較正レジスタ（RTC_CALIBR）*を参照してください。

これら 2 種類の較正方法は同時に使用することは想定されていませんので、アプリケーションは 2 種類の較正方法のうち、いずれかを選択する必要があります。簡易較正は、互換性を確保するために搭載されています。高精度較正を実施するには、*セクション 26.3.11：RTC の高精度デジタル較正* および *セクション 26.6.16：RTC 較正レジスタ（RTC_CALR）*を参照してください。

簡易デジタル較正を使用すると、非同期プリスケーラ（ck_apre）の出力でクロックサイクルを追加（正の較正）またはマスキング（負の較正）して、クリスタルの精度を補償することができます。

正および負の較正は、RTC_CALIBR レジスタの DCS ビットをそれぞれ“0”および“1”にセットして選択します。

正の較正が有効（DCS = “0”）の場合、2 x DC 分の間、毎分（ck_apre 約 15360 サイクル) ck_apre 2 サイクルが追加されます。これによりカレンダの更新更新速度が早くなり、それによって有効な RTC 周波数は少し高くなります。

負の較正が有効（DCS = “1”）の場合、2 x DC 分の間、毎分（ck_apre 約 15360 サイクル）ck_apre 1 サイクルが取り除かれます。これによりカレンダの更新速度が遅くなり、それによって有効な RTC 周波数は少し低くなります。

DC は RTC_CALIBR レジスタの DC[4:0] ビットで設定されます。この数値は 0 から 31 の範囲で設定可能であり、0 から 62 の範囲の時間間隔（2 × DC）に相当します。

簡易デジタル較正は、初期化モードの期間でのみ設定でき、INIT ビットがクリアされると設定した動作を開始します。較正サイクルは全体で64 分間続きます。64 分間のサイクルの最初の 2 × DC 分が、上記の設定のように変更されます。

負の較正は、約 2 ppm の分解能で実行できますが、正の較正は約 4ppm の分解能になります。最大較正範囲は、-63 ppm から 126 ppm です。

較正は LSE または HSE クロックのどちらに対してでも実行可能です。

注： **PREDIV_A < 6 の場合、デジタル較正が正しく動作しない場合があります。**

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

RTCCLK=32.768 kHz かつ PREDIV_A+1=128 の場合

次の説明は、ck_apre 周波数が、LSE クロックの公称周波数 32.768 kHz をもとに、PREDIV_A を 127（デフォルト値）にセットして得られた 256 Hz であることを前提としています。

ck_spre クロック周波数は、64 分間のサイクルの最初の 2 × DC 分間でのみ変更されます。たとえば、DC が 1 である場合、最初の 2 分のみが変更されます。つまり、各 ck_apre サイクルが 128 RTCCLK サイクル（PREDIV_A+1=128）に相当するならば、各 64 分サイクルの最初の 2 × DC 分に対して、毎分 1 回だけ、1 秒が RTCCLK 256 サイクル分短くなる、あるいは、RTCCLK 128 サイクル分長くなります。

したがって、各較正ステップには、125829120 RTCCLK サイクル（64 分 × 60 秒／分 × 32768 サイクル／秒）ごとに 512 オシレータサイクルを追加または 256 オシレータサイクルを差し引くという効果があります。これは、較正ステップにつき +4.069 ppm または -2.035 ppm と等価です。その結果、較正分解能は毎月 +10.5 秒または –5.27 秒となり、総較正範囲は毎月 +5.45 分から – 2.72 分となります。

クロック偏差を測定するため、較正用に 512 Hz クロックが出力されます。*セクション 26.3.14 : 較正されたクロックの出力*を参照してください。

26.3.11 RTC の高精度デジタル較正

RTC 周波数の精度は、-487.1 ppm から +488.5 ppm の範囲で、分解能約 0.954 ppm でデジタル的に較正できます。周波数の修正は、一連の微調整（個々の RTCCLK パルスの追加や削除）によって行われます。この調整は、短い期間で観測された場合でも RTC が十分に較正されるように広範に分散して行われます。

この高精度デジタル較正は、入力周波数が 32768 Hz の場合、RTCCLK 約 2^{20} パルスの周期または 32 秒の間で行われます。

高精度較正レジスタ（RTC_CALR）によって、32 秒周期中にマスクされる RTCCLK クロックサイクル数を指定します。

- ビット CALM[0] を 1 にセットすると、32 秒周期の中でちょうど 1 パルスがマスクされます。
- ビット CALM[1] を 1 にセットすると、さらに 2 サイクルがマスクされます。
- ビット CALM[2] を 1 にセットすると、さらに 4 サイクルがマスクされます。
- ビット CALM[8] を 1 にセットするまで続けると、256 クロックがマスクされます。

CALM では RTC 周波数を最大 487.1 ppm 負の方向に調整することができ、CALP ビットでは周波数を 488.5 ppm 正の方向に調整することができます。CALP を“1”にセットすることにより、RTCCLK 2^{11} 周期毎に RTCCLK パルスが、1 パルス追加で挿入されます。すなわち、各 32 秒周期ごとに 512 クロックが追加されることとなります。

CALM を CALP と合わせて使用すると、32 秒周期の間に RTCCLK -511 から +512 サイクルまでのオフセットが追加でき、これは約 0.954 ppm の分解能で較正範囲 -487.1 ppm から +488.5 ppm に換算されます。

入力周波数（F_{RTCCLK}）に対して有効較正周波数（F_{CAL}）を計算する式は、次のとおりです。

$$F_{CAL} = F_{RTCCLK} \times [1 + (CALP \times 512 - CALM) / (2^{20} + CALM - CALP \times 512)]$$

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

PREDIV_A<3 の場合の較正

非同期プリスケーラ値（RTC_PRER レジスタの PREDIV_A ビット）が 3 未満の場合、CALP ビットを 1 にセットすることはできません。CALP がすでに 1 にセットされていて PREDIV_A ビットが 3 未満の値にセットされた場合、CALP の設定値は無視され、CALP が 0 に設定された場合と同じように較正されます。

PREDIV_A が 3 未満の状態で較正を実施するには、各秒のカウントが RTCCLK 8 クロックサイクル分早められるように同期プリスケーラ値（PREDIV_S）を小さくします。これは 32 秒毎に 256 クロックサイクルを追加するのと等価です。結果として、CALM ビットのみを使用して 32 秒周期の間に 255 クロックパルスから 256 クロックパルス（243.3 から 244.1 ppm の較正範囲に相当)を追加することができます。

公称 RTCCLK 周波数が 32768 Hz で、PREDIV_A が 1（分周比 2）の場合、PREDIV_S を RTCCLK 周波数の 1/2 に相当する16383 ではなく 16379（4 少ない）にセットする必要があります。また、PREDIV_A が 0 の場合、PREDIV_S を RTCCLK 周波数の分円無しの場合に相当する32767 ではなく 32759（8 少ない）にセットする必要がありますので注意して下さい。

PREDIV_S をこのように減少させた場合、入力周波数（F_{RTCCLK}）に対して有効較正周波数（F_{CAL}）を計算する式は次のようになります。

$F_{CAL} = F_{RTCCLK} \times [1 + (256 - CALM) / (2^{20} + CALM - 256)]$

この場合、RTCCLK が正確に 32768.00 Hz であれば、CALM[8:0] が 0x100（CALM 設定範囲の中点）と等しくなるのが正しい設定です。

RTC 較正値のベリファイ

RTC の精度は、RTCCLK の正確な周波数を測定し、正しい CALM 値および CALP 値を計算することにより向上することができます。オプションの 1 Hz 出力が搭載されており、アプリケーションによって RTC 精度の測定とベリファイを行うことができます。

ある時間間隔で RTC の周波数を精密に測定すると、デジタル較正サイクルを測定周期とどのように合わせているかにより、測定期間中に最大 RTCCLK 2 クロックサイクルの測定誤差を生じます。

ただし、この測定誤差は、測定周期が較正サイクル周期と同じ長さであれば排除できます。この場合、観測される唯一の誤差はデジタル較正の分解能による誤差となります。

- デフォルトでは、較正サイクル周期は 32 秒です。

  このモードを使用して正確に 32 秒で 1 Hz 出力の精度を測定すると、その精度は 0.477 ppm（較正分解能の制限により 32 秒で RTCCLK 0.5 サイクル）以内となることが保証されます。

- RTC_CALR レジスタの CALW16 ビットを 1 にセットして、較正サイクル周期を強制的に 16 秒にすることができます。

  この場合、RTC 精度は最大誤差 0.954 ppm（16 秒で RTCCLK 0.5 サイクル）で 16 秒間で測定できます。ただし、較正分解能が下がるため、長期的な RTC 精度もまた 0.954 ppm に下がります。CALW16 が 1 にセットされると、CALM[0] ビットは 0 のままとなります。

- RTC_CALR レジスタの CALW8 ビットを 1 にセットして、較正サイクル周期を強制的に 8 秒にすることができます。

  この場合、RTC 精度は最大誤差 1.907 ppm（8 秒で RTCCLK 0.5 サイクル）で 8 秒で測定できます。長期的な RTC 精度もまた 1.907 ppm に下がります。CALW8 が 1 にセットされると、CALM[1:0] ビットは 00 のままとなります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

オンザフライ再較正

次の処理を使用することにより、RTC_ISR/INITF=0 の間でも、較正レジスタ（RTC_CALR）をオンザフライで更新できます。

1. RTC_ISR/RECALPF（再較正保留フラグ）をポーリングします。
2. このフラグが 0 にセットされている場合は、必要に応じて新しい値を RTC_CALR に書き込みます。RECALPF が自動的に 1 にセットされます。
3. RTC_CALR への書き込み操作後 ck_apre 3 サイクル以内に、新しい較正設定が有効になります。

26.3.12 タイムスタンプ機能

タイムスタンプは、RTC_CR レジスタの TSE ビットを 1 にセットすることにより有効になります。

TIMESTAMP にオルタネート機能が設定されているピンでタイムスタンプイベントが検出されると、タイムスタンプレジスタ（RTC_TSSSR、RTC_TSTR、RTC_TSDR）にカレンダが保存されます。また、タイムスタンプイベントが発生すると、RTC_ISR レジスタのタイムスタンプフラグビット（TSF）がセットされます。.

RTC_CR レジスタの TSIE ビットをセットすることにより、タイムスタンプイベントが発生したときに割り込みが生成されます。

タイムスタンプフラグ（TSF）がすでにセットされている間に新しいタイムスタンプイベントが検出された場合、タイムスタンプオーバーフローフラグ（TSOVF）がセットされ、タイムスタンプレジスタ（RTC_TSTR および RTC_TSDR）は、その前のイベントの結果を維持します。

注： ***同期処理のため、TSF はタイムスタンプイベント発生から ck_apre 2 サイクル後にセットされます。***

一方、TSOVF のセットに遅延はありません。これは、2 つのタイムスタンプイベントの発生したタイミングが近い場合、TSF がまだ“0”であっても TSOVF が“1”と検出される可能性があることを意味します。よって TSOVF をポーリングする場合には、TSF がセットされたことを検出した後、ポーリングすることを推奨されます。

注： **TSF ビットのクリア処理を行った直後にタイムスタンプイベントが発生した場合、TSF ビットおよび TSOVF ビットの両方がセットされます。同時に発生するタイムスタンプイベントのマスキングを回避するため、アプリケーションは TSF がすでに“1”と読み出されていない限り“0”クリアの処理を行ってはなりません。**

オプション機能として、タンパイベントによってタイムスタンプイベントを記録することもできます。TAMPTS 制御ビットの詳細については、*セクション 26.6.17 : RTC タンパおよびオルタネート機能設定レジスタ（RTC_TAFCR）*を参照してください。タイムスタンプイベントがフィルタモードで設定されているタンパイベントと同じピン上にある場合（TAMPFLT がゼロ以外の値にセットされている場合）、RTC_TAFCR レジスタの TAMPTS を”1”にセットすることにより、タンパ検出イベントモードにおけるタイムスタンプを選択する必要があります。

TIMESTAMP オルタネート機能

RTC_TAFCR レジスタの TSINSEL ビットの値により、TIMESTAMP オルタネート機能（RTC_TS）は、RTC_AF1 または RTC_AF2 にマッピングできます（*セクション 26.6.17 : RTC タンパおよびオルタネート機能設定レジスタ（RTC_TAFCR）*参照）。フィルタモードで RTC_AF1 が TAMPER として使用されている場合（TAMPFLT がゼロ以外の値にセットされている場合）、タイムスタンプイベントを RTC_AF2 にマッピングすることはできません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

26.3.13 タンパ検出

2 つのタンパ検出入力が利用できます。これらの入力は、フィルタを通してエッジ検出またはレベル検出のどちらにも設定できます。

RTC バックアップレジスタ

バックアップレジスタ（RTC_BKPxR）は、20 個の 32 ビットレジスタであり、80 バイトのユーザアプリケーションデータを保存できます。これらのレジスタは、V_{DD} 電源が遮断された場合にV_{BAT} によって電源が供給される、バックアップドメインに搭載されています。これらは、システムリセットや STANDBY モードからのウェイクアップではリセットされません。バックアップドメインリセットによりリセットされます。

バックアップレジスタは、タンパ検出イベント発生時にリセットされます（*セクション 26.6.20：RTC バックアップレジスタ（RTC_BKPxR）*および *タンパ検出の初期化（814 ページ）*参照）。

タンパ検出の初期化

各タンパ検出入力は、RTC_ISR2 レジスタのフラグ TAMP1F/TAMP2F に関連付けられています。各入力は、RTC_TAFCR レジスタにおいて該当する TAMP1E/TAMP2E ビットを 1 にセットすることにより有効にできます。

タンパ検出イベントが発生すると、すべてのバックアップレジスタ（RTC_BKPxR）がリセットされます。

RTC_TAFCR レジスタの TAMPIE ビットをセットすることにより、タンパ検出イベント発生時に割り込みが生成されます。

タンパイベント時のタイムスタンプ

TAMPTS を“1”にセットすると、すべてのタンパイベントがタイムスタンプイベントを発生させるようになります。この場合、通常のタイムイベント発生時と同様に TSF ビットまたは TSOVF ビットが RTC_ISR でセットされます。TSF または TSOVF がセットされるのと同時に、影響を受けるタンパフラグレジスタ（TAMP1F、TAMP2F）がセットされます。

タンパ入力でのエッジ検出

TAMPFLT ビットが“00”の場合、該当する TAMPxTRG ビットに応じて、立ち上りエッジまたは立ち下りエッジが観測されると TAMPER ピンがタンパ検出イベント（RTC_TAMP[2:1]）を生成します。エッジ検出を選択すると、TAMPER 入力ピンの内部プルアップ抵抗が無効になります。

注： **タンパ検出イベントを確実に検出するため、TAMPERx ピンが有効になる前にタンパ検出イベントが発生した場合でも検出できるよう、エッジ検出に使用される信号は TAMPxE と AND がとられます。**

- TAMPxTRG = 0 の場合：タンパ検出が有効になる（TAMPxE ビットが 1 にセットされる）前に TAMPERx オルタネート機能がすでにハイであれば、TAMPxE がセットされた後に TAMPERx に立ち上りエッジ入力がなくても TAMPERx が有効になった直後にタンパイベントが検出されます。
- TAMPxTRG = 1 の場合：タンパ検出が有効になる前に TAMPERx 代替機能がすでにローであれば、TAMPxE がセットされた後に TAMPERx に立ち下りエッジ入力がなくても TAMPERx が有効になった直後にタンパイベントが検出されます。

タンパイベントが検出されクリアされた後に、バックアップレジスタ（RTC_BKPxR）を再プログラムする場合には、事前に、TAMPERx オルタネート機能を無効にしてから再度有効に（TAMPxE を 1 にセット）する処理を行う必要があります。これによって、TAMPERx の値がタンパ検出を示している期間中に、アプリケーションがバックアップレジスタにデータを書き込むのを防ぎます。これは、TAMPERx オルタネート機能でのレベル検出と同じことです。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

注： ***タンパ検出は、V_{DD} 電源がオフのときでも有効です。バックアップレジスタの不必要なリセットを避けるには、TAMPER オルタネート機能が設定されているピンを外部で適切な信号レベルに接続しておく必要があります。***

タンパ入力でのフィルタを使ったレベル検出

フィルタリングを使ったレベル検出は、TAMPFLT を 0 以外の値にセットすることにより行われます。タンパ検出イベントは、2、4 または 8（TAMPFLT による）回のいずれかの連続したサンプルが TAMPxTRG ビット（TAMP1TRG/TAMP2TRG）で指定するレベルで観測されると発生されます。

TAMPER 入力は、TAMPPUDIS が 1 にセットされて無効な状態になっていない限り、その状態がサンプリングされる前に I/O の内部プルアップ抵抗でプリチャージされています。プリチャージで電荷の放電時間は TAMPPRCH ビットによって決定され、タンパ入力ピンにおけるより大きな容量を持たせることができます。

タンパ検出の遅延時間と、プルアップによる電力消費との間のトレードオフは、TAMPFREQ を使用してレベル検出のサンプリング周波数を決定することにより最適化できます。

注： ***プルアップ抵抗の電気的特性については、データシートを参照してください。***

TAMPER オルタネート機能検出

RTC_TAFCR レジスタの TAMP1INSEL ビットの値に応じて、TAMPER1 オルタネート機能（RTC_TAMP1）は、RTC_AF1（PC13）または RTC_AF2（P18）のどちらにでも設定できます（*セクション 26.6.17 : RTC タンパおよびオルタネート機能設定レジスタ (RTC_TAFCR)* 参照）。TAMPE ビットは、TAMP1INSEL が変更されたらクリアし、TAMPF の不要なセットを回避する必要があります。

TAMPER 2 オルタネート機能は、RTC_TAMP2 ピンに相当します。

26.3.14 較正されたクロックの出力

RTC_CR レジスタで COE ビットが 1 にセットされると、RTC_CALIB デバイス出力に基準クロックが供給されます。RTC_CR レジスタの COSEL ビットがリセットされ、PREDIV_A = 0x7F である場合、RTC_CALIB 周波数は $f_{RTCCLK/64}$ です。これは 32.768 kHz の RTCCLK 周波数に対する 512 Hz の較正出力に対応します。

RTC_CALIB 出力は、RTC_CALIBR レジスタでプログラムされる較正値に影響されません。RTC_CALIB 出力は、立ち下りエッジには、軽いジッタがあるため、デューティサイクルは不規則になります。したがって、立ち上りエッジの使用が推奨されます。

COSEL がセットされ、「PREDIV_S+1」が 0 以外の 256 の倍数である場合(PREDIV_S[7:0] = 0xFF など)、RTC_CALIB 周波数は fRTCCLK/(256 * (PREDIV_A+1)) となります。これは、RTCCLK 周波数が 32.768 kHz で、プリスケーラデフォルト値（PREDIV_A = 0x7F、PREDIV_S = 0xFF）に対する 1 Hz の較正出力に対応します。

較正クロック出力時の RTC_AF1 オルタネート機能

RTC_CR レジスタの COE ビットが 1 にセットされると、RTC_AF1 のオルタネート機能は、較正クロックの出力（RTC_CALIB）が有効になります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

26.3.15 アラーム出力

アラーム出力については、ALRAF、ALRBF、WUTF の 3 つの機能が選択できます。これらの機能は、RTC_ISR レジスタの該当するフラグの内容を反映します。

RTC_CR レジスタの OSEL[1:0] 制御ビットを使用して RTC_AF1 でアラームオルタネート機能出力（RTC_ALARM）を有効にし、RTC_ALARM の出力となる機能を選択します。

RTC_CR の POL 制御ビットは、POL が 1 にセットされているときに選択されたフラグビットの逆（ハイ / ロー）が出力されるよう、出力の極性を決定します。

アラームオルタネート機能出力

RTC_ALARM は、RTC_TAFCR レジスタの ALARMOUTTYPE 制御ビットを使用して、出力オープンドレインまたは出力プッシュプルを設定できます。

注： ***RTC_ALARM が有効になると、この設定は、RTC_CALIB（COE ビットは RTC_AF1 では無視）の設定よりも優先されます。***

RTC_CALIB または RTC_ALARM が選択されると、RTC_AF1 は自動的に出力に設定されます。

26.4 RTC と低電力モード

表 118. 低電力モードが RTC に与える影響

モード	説明
スリープ	影響しません。 RTC 割り込みによって、デバイスはスリープモードから復帰します。
ストップ	RTC クロックソースが LSE または LSI の場合、RTC はアクティブのままです。RTC アラーム、RTC タンパイベント、RTC タイムスタンプイベント、RTC ウェイクアップにより、デバイスはストップモードから復帰します。
スタンバイ	RTC クロックソースが LSE または LSI の場合、RTC はアクティブのままです。RTC アラーム、RTC タンパイベント、RTC タイムスタンプイベント、RTC ウェイクアップにより、デバイスはスタンバイモードから復帰します。

26.5 RTC 割り込み

すべての RTC 割り込みは、EXTI コントローラに接続されています。

RTC アラーム割り込みを有効にするには、次のシーケンスが必要です。

1. 割り込みモードで EXTI ライン 17 を設定して有効にし、立ち上りエッジ検出を選択します。
2. NVIC で RTC_Alarm IRQ チャネルを設定し、有効にします。
3. RTC が RTC アラーム（アラーム A またはアラーム B）を発生させるように設定します。

RTC ウェイクアップ割り込みを有効にするには、次のシーケンスが必要です。

1. 割り込みモードで EXTI ライン 22 を設定して有効にし、立ち上りエッジ検出を選択します。
2. NVIC で RTC_WKUP IRQ チャネルを設定し、有効にします。
3. RTC が RTC ウェイクアップタイマイベントを発生させるように設定します。

RTC タンパ割り込みを有効にするには、次のシーケンスが必要です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

1. 割り込みモードで EXTI ライン 21 を設定して有効にし、立ち上りエッジ検出を選択します。
2. NVIC で TAMP_STAMP IRQ チャネルを設定し、有効にします。
3. RTC が RTC タンパイベントを検出するように設定します。

RTC タイムスタンプ割り込みを有効にするには、次のシーケンスが必要です。

1. 割り込みモードで EXTI ライン 21 を設定して有効にし、立ち上りエッジ検出を選択します。
2. NVIC で TAMP_STAMP IRQ チャネルを設定し、有効にします。
3. RTC が RTC タイムスタンプイベントを検出するように設定します。

表 119. 割り込み制御ビット

割り込みイベント	イベントフラグ	イネーブル制御ビット	スリープモードの終了	ストップモードの終了	スタンバイモードの終了
アラーム A	ALRAF	ALRAIE	あり	あり(1)	あり(1)
アラーム B	ALRBF	ALRBIE	あり	あり(1)	あり(1)
ウェイクアップ	WUTF	WUTIE	あり	あり(1)	あり(1)
タイムスタンプ	TSF	TSIE	あり	あり(1)	あり(1)
タンパ 1 検出	TAMP1F	TAMPIE	あり	あり(1)	あり(1)
タンパ 2 検出(2)	TAMP2F	TAMPIE	あり	あり(1)	あり(1)

1. STOP モードおよび STANDBY モードからのウェイクアップは、RTC クロックソースが LSE または LSI のときのみ可能です。
2. RTC_TAMPER2 ピンが存在する場合。デバイスのデータシートのピンアウトを参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

26.6 RTC レジスタ

レジスタの説明で使用されている略語のリストについては、リファレンスマニュアルの *セクション 1.1*を参照してください。

ペリフェラルレジスタには、ワード（32 ビット）単位でアクセスすることができます。

26.6.1 RTC 時間レジスタ（RTC_TR）

RTC_TR は、カレンダ時間シャドウレジスタです。このレジスタは、必ず初期化モードで書き込む必要があります。*カレンダの初期化と設定（806 ページ）*および*カレンダの読み出し（807 ページ）*を参照してください。

アドレスオフセット：0x00

バックアップドメインリセット値：0x0000 0000

システムリセット：BYPSHAD = 0 の場合、0x0000 0000 BYPSHAD = 1 の場合、影響を受けません。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み									PM	HT[1:0]		HU[3:0]			
									rw	rw	rw	rw	rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み	MNT[2:0]			MNU[3:0]				予約済み	ST[2:0]			SU[3:0]			
	rw	rw	rw	rw	rw	rw	rw		rw	rw	rw	rw	rw	rw	rw

ビット 31-24 予約済み

ビット 23 予約済みであり、リセット値に保持する必要があります。

ビット 22 **PM**：AM/PM 表記
0：AM または 24 時間形式
1：PM

ビット 21:20 **HT[1:0]**：BCD 形式での時の十の位

ビット 19:16 **HU[3:0]**：BCD 形式での時の一の位

ビット 15 予約済みであり、リセット値に保持する必要があります。

ビット 14:12 **MNT[2:0]**：BCD 形式での分の十の位

ビット 11:8 **MNU[3:0]**：BCD 形式での分の一の位

ビット 7 予約済みであり、リセット値に保持する必要があります。

ビット 6:4 **ST[2:0]**：BCD 形式での秒の十の位

ビット 3:0 **SU[3:0]**：BCD 形式での秒の一の位

注： ***このレジスタは、書き込み保護されています。書き込みアクセスの手順は、RTC レジスタ書き込み保護（806 ページ）に説明されています。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

26.6.2 RTC 日付レジスタ（RTC_DR）

RTC_DR は、カレンダ日付シャドウレジスタです。このレジスタは、必ず初期化モードで書き込む必要があります。*カレンダの初期化と設定（806 ページ）*および*カレンダの読み出し（807 ページ）*を参照してください。

アドレスオフセット：0x04

電源オン時のリセット値：0x0000 2101

システムリセット：BYPSHAD = 0 の場合、0x0000 2101 BYPSHAD = 1 の場合、影響を受けません。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み								YT[3:0]				YU[3:0]			
								rw	rw	rw	rw	rw	rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
WDU[2:0]			MT	MU[3:0]				予約済み		DT[1:0]		DU[3:0]			
rw	rw	rw	rw	rw	rw	rw	rw			rw	rw	rw	rw	rw	rw

ビット 31-24 予約済み

ビット 23:20 **YT[3:0]**：BCD 形式での年の十の位

ビット 19:16 **YU[3:0]**：BCD 形式での年の一の位

ビット 15:13 **WDU[2:0]**：曜日

000：使用禁止
001：月曜日
...
111：日曜日

ビット 12 **MT**：BCD 形式での月の十の位

ビット 11:8 **MU**：BCD 形式での月の一の位

ビット 7:6 予約済みであり、リセット値に保持する必要があります。

ビット 5:4 **DT[1:0]**：BCD 形式での日の十の位

ビット 3:0 **DU[3:0]**：BCD 形式での日の一の位

注： ***このレジスタは、書き込み保護されています。書き込みアクセスの手順は、RTC レジスタ書き込み保護（806 ページ）に説明されています。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

26.6.3 RTC 制御レジスタ (RTC_CR)

アドレスオフセット：0x08

バックアップドメインリセット値：0x0000 0000

システムリセット：影響されません

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み								COE	OSEL[1:0]		POL	COSEL	BKP	SUB1H	ADD1H
								rw	rw	rw	rw	rw	rw	w	w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TSIE	WUTIE	ALRBIE	ALRAIE	TSE	WUTE	ALRBIE	ALRAE	DCE	FMT	BYPS HAD	REFCKON	TSEDGE	WUCKSEL[2:0]		
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:24 予約済みであり、リセット値に保持する必要があります。

ビット 23 **COE**：較正出力イネーブル

このビットは、RTC_CALIB 出力を有効にします。

0：較正出力は無効です。

1：較正出力は有効です。

ビット 22:21 **OSEL[1:0]**：出力選択

これらのビットは、RTC_ALARM 出力に送られるフラグの選択に使用します。

00：出力は無効です。

01：アラーム A 出力は有効です。

10：アラーム B 出力は有効です。

11：ウェイクアップ出力は有効です。

ビット 20 **POL**：出力極性

このビットは、RTC_ALARM 出力の極性設定に使用します。

0：ALRAF/ALRBF/WUTF がアサートされるとこのピンがハイになります（OSEL[1:0] に応じて）

1：ALRAF/ALRBF/WUTF がアサートされるとこのピンがローになります（OSEL[1:0] に応じて）

ビット 19 **COSEL**：較正出力選択

COE=1 のとき、このビットによって RTC_CALIB に出力される信号を選択します。

0：較正出力は 512 Hz です。

1：較正出力は 1 Hz です。

これらの周波数は、RTCCLK が 32.768 kHz で、プリスケーラがデフォルト値（PREDIV_A=127 および PREDIV_S=255）の場合に有効です。*セクション 26.3.14：較正されたクロックの出力* を参照してください。

ビット 18 **BKP**：バックアップ

このビットは、サマータイムの変更を実施したか否かを記憶しておくため、ユーザーが書き込むことができます。

ビット 17 **SUB1H**：1 時間差し引き（冬時間変更）

このビットを初期化モード以外のときにセットすると、現在時間が 0 でない場合にカレンダ時間から 1 時間を差し引きます。このビットは常に 0 として読み出されます。

現在時間が 0 のときにこのビットをセットしても、影響はありません。

0：影響ありません。

1：現在時間から 1 時間差し引きます。これは、冬時間変更に使用できます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 16 **ADD1H**：1 時間加算（サマータイム変更）

このビットを初期化モード以外のときにセットすると、現在時間が 0 でない場合にカレンダ時間に 1 時間加算します。このビットは常に 0 として読み出されます。

0：影響ありません。

1：現在時間に 1 時間加算します。これは、サマータイム変更に使用できます。

ビット 15 **TSIE**：タイムスタンプ割り込みイネーブル

0：タイムスタンプ割り込みは無効です。

1：タイムスタンプ割り込みは有効です。

ビット 14 **WUTIE**：ウェイクアップタイマ割り込みイネーブル

0：ウェイクアップタイマ割り込みは無効です。

1：ウェイクアップタイマ割り込みは有効です。

ビット 13 **ALRBIE**：アラーム B 割り込みイネーブル

0：アラーム B 割り込みは無効です。

1：アラーム B 割り込みは有効です。

ビット 12 **ALRAIE**：アラーム A 割り込みイネーブル

0：アラーム A 割り込みは無効です。

1：アラーム A 割り込みは有効です。

ビット 11 **TSE**：タイムスタンプイネーブル

0：タイムスタンプは無効です。

1：タイムスタンプは有効です。

ビット 10 **WUTE**：ウェイクアップタイマイネーブル

0：ウェイクアップタイマは無効です。

1：ウェイクアップタイマは有効です。

ビット 9 **ALRBE**：アラーム B イネーブル

0：アラーム B は無効です。

1：アラーム B は有効です。

ビット 8 **ALRAE**：アラーム A イネーブル

0：アラーム A は無効です。

1：アラーム A は有効です。

ビット 7 **DCE**：簡易デジタル較正イネーブル

0：デジタル較正は無効です。

1：デジタル較正は有効です。

PREDIV_A は 6 以上である必要があります。

ビット 6 **FMT**：時間形式

0：24 時間／日形式

1：AM／PM 時間形式

ビット 5 **BYPSHAD**：バイパスシャドウレジスタ

0：カレンダ値は（RTC_SSR、RTC_TR、RTC_DR から読み出す場合）、シャドウレジスタから取得され、これらは RTCCLK 2 サイクルごとに 1 回更新されます。

1：カレンダ値は（RTC_SSR、RTC_TR、RTC_DR から読み出す場合）、カレンダカウンタから直接取得されます。

注： APB1 クロックの周波数が RTCCLK の 7 倍未満である場合、BYPSHAD は“1”にセットする必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 4 **REFCKON**：基準クロック検出イネーブル（50 または 60 Hz）

0：基準クロック検出は無効です。

1：基準クロック検出は有効です。

注： PREDIV_S は 0x00FF である必要があります。

ビット 3 **TSEDGE**：タイムスタンプイベントアクティブエッジ

0：TIMESTAMP の立ち上りエッジによってタイムスタンプイベントを生成します。

1：TIMESTAMP の立ち下りエッジによってタイムスタンプイベントを生成します。

不要な TSF 設定を回避するため、TSEDGE が変化した場合には TSE をリセットする必要があります。

ビット 2:0 **WUCKSEL[2:0]**：ウェイクアップクロック選択

000：RTC/16 クロックが選択されます。

001：RTC/8 クロックが選択されます。

010：RTC/4 クロックが選択されます。

011：RTC/2 クロックが選択されます。

10x：ck_spre（通常は 1 Hz）クロックが選択されます。

11x：ck_spre（通常は 1 Hz）クロックが選択され、2^{16} が WUT カウンタ値に加算されます（下記注参照）

注： WUT = ウェイクアップユニットカウンタ値WUT = (0x0000 から 0xFFFF) + 0x10000 (WUCKSEL[2:1 = 11] の場合追加されます。)

初期化モードの場合（RTC_ISR/INITF = 1）のみ、このレジスタのビット 7、6、4 が書き込めます。

このレジスタのビット 2 から 0 は、RTC_CR WUTE ビット = 0 かつ RTC_ISR WUTWF ビット = 1 の場合にのみ書き込めます。

カレンダの時間項目のインクリメント中は時間を変更しないことが推奨されます。カレンダの時間項目のインクリメントがマスクされる可能性があるためです。

ADD1H および SUB1H の変更は、次の秒から有効になります。

このレジスタは、書き込み保護されています。書き込みアクセスの手順は、RTC レジスタ書き込み保護（806 ページ）に説明されています。

26.6.4 RTC 初期化とステータスレジスタ（RTC_ISR）

アドレスオフセット：0x0C

バックアップドメインリセット値：0x0000 0007

システムリセット値：0 にクリアされる INIT、INITF、RSF 以外は影響されません。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															RECALPF
															r

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み	TAMP 2F	TAMP 1F	TSOVF	TSF	WUTF	ALRBF	ALRAF	INIT	INITF	RSF	INITS	SHPF	WUT WF	ALRB WF	ALRA WF
	rc_w0	rc_w0	rc_w0	rc_w0	rc_w0	rc_w0	rc_w0	rw	r	rc_w0	r	r	r	r	r

ビット 31:17 予約済み

ビット 16 **RECALPF**：再較正保留フラグ

ソフトウェアによって RTC_CALR レジスタに書き込みが行われると、RECALPF ステータスフラグが自動的に“1”にセットされ、RTC_CALR レジスタがブロックされたことを示します。新たな較正設定が認識されると、このビットは“0”に戻ります。*セクション：オンザフライ再較正*を参照してください。

ビット 15 予約済み、リセット値に保持する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 14 **TAMP2F**：TAMPER2 検出フラグ

このフラグは、タンパ入力 2 にタンパ検出イベントが検出されたときに、ハードウェアによってセットされます。

ソフトウェアで 0 を書き込むことによってクリアされます。

ビット 13 **TAMP1F**：タンパ検出フラグ

このフラグは、タンパ検出イベントが検出されたときに、ハードウェアによってセットされます。

ソフトウェアで 0 を書き込むことによってクリアされます。

ビット 12 **TSOVF**：タイムスタンプオーバーフローフラグ

このフラグは、TSF が既にセットされている間にタイムスタンプイベントが発生したときに、ハードウェアによってセットされます。

このフラグは、ソフトウェアで 0 を書き込むことによってクリアされます。TSOVF は、TSF ビットをクリアした後、チェックしてからクリアすることが推奨されます。さもないと、TSF ビットがクリアされる直前にタイムスタンプイベントが発生した場合、オーバーフローを見逃す可能性があります。

ビット 11 **TSF**：タイムスタンプフラグ

このフラグは、タイムスタンプイベントが発生したときに、ハードウェアによってセットされます。

このフラグは、ソフトウェアで 0 を書き込むことによってクリアされます。

ビット 10 **WUTF**：ウェイクアップタイマフラグ

このフラグは、ウェイクアップ自動再ロードカウンタが 0 に到達したときに、ハードウェアによってセットされます。

このフラグは、ソフトウェアで 0 を書き込むことによってクリアされます。

このフラグは、WUTF が再び 1 にセットされる前、RTCCLK 1.5 周期以上前にソフトウェアでクリアする必要があります。

ビット 9 **ALRBF**：アラーム B フラグ

このフラグは、時間／日付レジスタ（RTC_TR および RTC_DR）がアラーム B レジスタ（RTC_ALRMBR）に一致したときにハードウェアによってセットされます。

このフラグは、ソフトウェアで 0 を書き込むことによってクリアされます。

ビット 8 **ALRAF**：アラーム A フラグ

このフラグは、時間／日付レジスタ（RTC_TR および RTC_DR）がアラーム A レジスタ（RTC_ALRMAR）に一致したときにハードウェアによってセットされます。

このフラグは、ソフトウェアで 0 を書き込むことによってクリアされます。

ビット 7 **INIT**：初期化モード

0：フリーランニングモード

1：時間と日付レジスタ（RTC_TR と RTC_DR）、およびプリスケーラレジスタ（RTC_PRER）のプログラムに使用する初期化モードです。INIT がリセットされると、カウンタは停止し、新しい値からカウントし始めます。

ビット 6 **INITF**：初期化フラグ

このビットが 1 にセットされると、RTC は初期化状態となり、時間、日付およびプリスケーラレジスタが更新できます。

0：カレンダレジスタを更新できません。

1：カレンダレジスタを更新できます。

ビット 5 **RSF**：レジスタ同期フラグ

このビットは、カレンダレジスタがシャドウレジスタ（RTC_SSRx、RTC_TRx および RTC_DRx）にコピーされるたびにハードウェアによってセットされます。このビットは、シフト操作が保留中（SHPF=1）に初期化モードで、またはバイパスシャドウレジスタモード（BYPSHAD=1）でハードウェアによってクリアされます。このビットは、ソフトウェアでクリアすることもできます。

0：カレンダシャドウレジスタはまだ同期していません。

1：カレンダシャドウレジスタは同期しています。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 4 **INITS**：初期化ステータスフラグ

このビットは、カレンダの年の項目が 0 ではないとき（バックアップドメインリセット値状態）にハードウェアによってセットされます。

0：カレンダは初期化されていません。

1：カレンダは初期化されています。

ビット 3 **SHPF**：シフト操作保留

0：保留中のシフト操作はありません。

1：保留中のシフト操作があります。

このフラグは、RTC_SHIFTR への書き込みによってシフト操作が開始された直後に、ハードウェアによってセットされます。該当のシフト操作が完了すると、ハードウェアによってクリアされます。SHPF への書き込みは無効です。

ビット 2 **WUTWF**：ウェイクアップタイマ書き込みフラグ

このビットは、RTC_CR で WUTE ビットが 0 にセットされた後、ウェイクアップタイマ値が変更可能な時にハードウェアによってセットされます。

0：ウェイクアップタイマ設定は更新できません。

1：ウェイクアップタイマ設定は更新できます。

ビット 1 **ALRBWF**：アラーム B 書き込みフラグ

このビットは、RTC_CR で ALRBIE ビットが 0 にセットされた後、アラーム B 値が変更可能な時にハードウェアによってセットされます。

初期化モードでハードウェアによってクリアされます。

0：アラーム B は更新できません。

1：アラーム B は更新できます。

ビット 0 **ALRAWF**：アラーム A 書き込みフラグ

このビットは、RTC_CR で ALRAE ビットが 0 にセットされた後、アラーム A 値が変更可能な時にハードウェアによってセットされます。

初期化モードでハードウェアによってクリアされます。

0：アラーム A は更新できません。

1：アラーム A は更新できます。

注： ***ALRAF、ALRBF、WUTF および TSF ビットは、0 にプログラムされてから 2 APB クロック サイクル後にクリアされます。***

このレジスタは、書き込み保護されています（RTC_ISR[13:8] ビットを除く）。書き込みアクセスの手順は、RTC レジスタ書き込み保護（806 ページ）に説明されています。

26.6.5 RTC プリスケーラレジスタ（RTC_PRER）

アドレスオフセット：0x10

バックアップドメインリセット値：0x007F 00FF

システムリセット：影響されません

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み									PREDIV_A[6:0]						
									rw	rw	rw	rw	rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み	PREDIV_S[14:0]														
	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 31:24 予約済み

ビット 23 予約済みであり、リセット値に保持する必要があります。

ビット 22:16 **PREDIV_A[6:0]**：非同期プリスケーラ分周比

非同期分周比です。
ck_apre 周波数 = RTCCLK 周波数／(PREDIV_A+1)

ビット 15 予約済みであり、リセット値に保持する必要があります。

ビット 14:0 **PREDIV_S[14:0]**：同期プリスケーラ分周比

同期分周比です。
ck_spre 周波数 = ck_apre 周波数／(PREDIV_S+1)

注： ***このレジスタは、必ず初期化モードで書き込む必要があります。初期化は、書き込みアクセスを 2 回に分けて行う必要があります。カレンダの初期化と設定（806 ページ）を参照してください。***

このレジスタは、書き込み保護されています。書き込みアクセスの手順は、RTC レジスタ書き込み保護（806 ページ）に説明されています。

26.6.6 RTC ウェイクアップタイマレジスタ（RTC_WUTR）

アドレスオフセット：0x14

バックアップドメインリセット値：0x0000 FFFF

システムリセット：影響されません

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
WUT[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:16 予約済み

ビット 15:0 **WUT[15:0]**：ウェイクアップ自動再ロード値ビット

ウェイクアップタイマが有効（WUTE が 1 にセット)のとき、(WUT[15:0] + 1）ck_wut サイクル毎に WUTF フラグがセットされます。ck_wut 周期は、RTC_CR レジスタの WUCKSEL[2:0] ビットで選択します。

WUCKSEL[2] = 1 のとき、ウェイクアップタイマは 17 ビットとなり、WUCKSEL[1] が事実上タイマに再ロードされる最上位ビットである WUT[16] となります。

注： ***WUTF の最初のアサートは、WUTE がセットされてから（WUT+1）ck_wut サイクル後に発生します。WUCKSEL[2:0] =011 (RTCCLK/2) のときに WUT[15:0] を 0x0000 にセットすることはできません。***

注： ***このレジスタは、RTC_ISR の WUTWF が 1 にセットされているときにのみ書き込めます。***

このレジスタは、書き込み保護されています。書き込みアクセスの手順は、RTC レジスタ書き込み保護（806 ページ）に説明されています。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

26.6.7 RTC 較正レジスタ（RTC_CALIBR）

アドレスオフセット：0x18

バックアップドメインリセット値：0x0000 0000

システムリセット：影響されません

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								DCS	予約済み		DC[4:0]				
								rw			rw	rw	rw	rw	rw

ビット 31:8 予約済み

ビット 7 **DCS**：デジタル較正符号

0：正較正：カレンダ更新頻度が増加します。
1：負較正：カレンダ更新頻度が減少します。

ビット 6:5 予約済みであり、リセット値に保持する必要があります。

ビット 4:0 **DC[4:0]**：デジタル較正

DCS = 0（正較正）
00000：+ 0 ppm
00001：+ 4 ppm（概数値）
00010：+ 8 ppm（概数値）
..
11111：+ 126 ppm（概数値）
DCS = 1（負較正）
00000：– 0 ppm
00001：– 2 ppm（概数値）
00010：– 4 ppm（概数値）
..
11111：– 63 ppm（概数値）
正確なステップ値については、*RTCCLK=32.768 kHz かつ PREDIV_A+1=128 の場合（811 ページ）*を参照してください。

注： ***このレジスタは、初期化モード（RTC_ISR/INITF ="1"）の場合のみ書き込めます。***

このレジスタは、書き込み保護されています。書き込みアクセスの手順は、RTC レジスタ書き込み保護（806 ページ）に説明されています。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

26.6.8 RTC アラーム A レジスタ（RTC_ALRMAR）

アドレスオフセット：0x1C

バックアップドメインリセット値：0x0000 0000

システムリセット：影響されません

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
MSK4	WDSEL	DT[1:0]		DU[3:0]				MSK3	PM	HT[1:0]		HU[3:0]			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MSK2	MNT[2:0]			MNU[3:0]				MSK1	ST[2:0]			SU[3:0]			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31 **MSK4**：アラーム A 日付マスク
0：日付／曜日が一致すると、アラーム A がセットされます。
1：アラーム A の比較では日付／曜日を無視します。

ビット 30 **WDSEL**：曜日選択
0：DU[3:0] は日付の一の位を表します。
1：DU[3:0] は曜日を表します。DT[1:0] は無視されます。

ビット 29:28 **DT[1:0]**：BCD 形式での日の十の位

ビット 27:24 **DU[3:0]**：BCD 形式での日の一の位または曜日

ビット 23 **MSK3**：アラーム A 時マスク
0：時が一致すると、アラーム A がセットされます。
1：アラーム A の比較では時を無視します。

ビット 22 **PM**：AM/PM 表記
0：AM または 24 時間形式
1：PM

ビット 21:20 **HT[1:0]**：BCD 形式での時の十の位

ビット 19:16 **HU[3:0]**：BCD 形式での時の一の位

ビット 15 **MSK2**：アラーム A 分マスク
0：分が一致すると、アラーム A がセットされます。
1：アラーム A の比較では分を無視します。

ビット 14:12 **MNT[2:0]**：BCD 形式での分の十の位

ビット 11:8 **MNU[3:0]**：BCD 形式での分の一の位

ビット 7 **MSK1**：アラーム A 秒マスク
0：秒が一致すると、アラーム A がセットされます。
1：アラーム A の比較では秒を無視します。

ビット 6:4 **ST[2:0]**：BCD 形式での秒の十の位

ビット 3:0 **SU[3:0]**：BCD 形式での秒の一の位

注： ***このレジスタは、RTC_ISR の ALRAWF が 1 にセットされた場合、または初期化モードの場合にのみ書き込めます。***

このレジスタは、書き込み保護されています。書き込みアクセスの手順は、RTC レジスタ書き込み保護（806 ページ）に説明されています。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

26.6.9 RTC アラーム B レジスタ（RTC_ALRMBR）

アドレスオフセット：0x20

バックアップドメインリセット値：0x0000 0000

システムリセット：影響されません

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
MSK4	WDSEL	DT[1:0]		DU[3:0]				MSK3	PM	HT[1:0]		HU[3:0]			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MSK2	MNT[2:0]			MNU[3:0]				MSK1	ST[2:0]			SU[3:0]			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31 **MSK4**：アラーム B 日付マスク
0：日付と曜日が一致すると、アラーム B がセットされます。
1：アラーム B の比較では日付と曜日を無視します。

ビット 30 **WDSEL**：曜日選択
0：DU[3:0] は日付の一の位を表します。
1：DU[3:0] は曜日を表します。DT[1:0] は無視されます。

ビット 29:28 **DT[1:0]**：BCD 形式での日の十の位

ビット 27:24 **DU[3:0]**：BCD 形式での日の一の位または曜日

ビット 23 **MSK3**：アラーム B 時マスク
0：時が一致すると、アラーム B がセットされます。
1：アラーム B の比較では時を無視します。

ビット 22 **PM**：AM/PM 表記
0：AM または 24 時間形式
1：PM

ビット 21:20 **HT[1:0]**：BCD 形式での時の十の位

ビット 19:16 **HU[3:0]**：BCD 形式での時の一の位

ビット 15 **MSK2**：アラーム B 分マスク
0：分が一致すると、アラーム B がセットされます。
1：アラーム B の比較では分を無視します。

ビット 14:12 **MNT[2:0]**：BCD 形式での分の十の位

ビット 11:8 **MNU[3:0]**：BCD 形式での分の一の位

ビット 7 **MSK1**：アラーム B 秒マスク
0：秒が一致すると、アラーム B がセットされます。
1：アラーム B の比較では秒を無視します。

ビット 6:4 **ST[2:0]**：BCD 形式での秒の十の位

ビット 3:0 **SU[3:0]**：BCD 形式での秒の一の位

注： ***このレジスタは、RTC_ISR の ALRBWF が 1 にセットされた場合、または初期化モードの場合にのみ書き込めます。***

このレジスタは、書き込み保護されています。書き込みアクセスの手順は、RTC レジスタ書き込み保護（806 ページ）に説明されています。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

26.6.10 RTC 書き込み保護レジスタ（RTC_WPR）

アドレスオフセット：0x24

バックアップドメインリセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								KEY							
								w	w	w	w	w	w	w	w

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **KEY**：書き込み保護キー

このバイトはソフトウェアで書き込まれます。

このバイトを読み出すと常に 0x00 が返されます。

RTC レジスタの書き込み保護解除方法については、*RTC レジスタ書き込み保護*を参照してください。

26.6.11 RTC サブセカンドレジスタ（RTC_SSR）

アドレスオフセット：0x28

バックアップドメインリセット値：0x0000 0000

システムリセット：BYPSHAD = 0 の場合、0x0000 0000。BYPSHAD = 1 の場合、影響を受けません。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SS[15:0]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:16 予約済み

ビット 15:0 **SS**：サブセカンド値

SS[15:0]は、同期プリスケーラのカウンタ内の値です。秒の小数部は、下の式によって与えられます。

秒の小数部 = (PREDIV_S - SS) / (PREDIV_S + 1)

注： ***SS は、シフト操作後に限り、PREDIV_S より大きな値となる場合があります。この場合、正確な時間／日付は、RTC_TR/RTC_DR で示される値よりも 1 秒少ない値となります。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

26.6.12 RTC シフト制御レジスタ（RTC_SHIFTR）

アドレスオフセット：0x2C

バックアップドメインリセット値：0x0000 0000

システムリセット：影響されません

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ADD1S	予約済み														
w	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み	SUBFS[14:0]														
r	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w

ビット 31 **ADD1S**：1 秒追加

0：影響ありません。

1：時計／カレンダに 1 秒加算します。

このビットは書き込み専用であり、常に 0 として読み出されます。シフト操作が保留中（RTC_ISR で SHPF=1）の場合、このビットに書き込んでも影響はありません。

この機能は、SUBFS（下記説明を参照）と共に使用されることを想定しており、ごく小さな操作で、効果的に時計に秒の小数部を加算することを目的としています。

ビット 30:15 予約済み

ビット 14:0 **SUBFS**：秒の小数部差し引き

このビットは書き込み専用であり、常に 0 として読み出されます。シフト操作が保留中（RTC_ISR で SHPF=1）の場合、このビットに書き込んでも影響はありません。

SUBFS に書き込まれた値は、同期プリスケーラのカウンタに加算されます。このカウンタはカウントダウンしていくので、この操作は、次の式を効果的に時計から差し引くこと(遅延)となります。

遅延（秒）= SUBFS / (PREDIV_S + 1)

ADD1S 機能が SUBFS と共に用いられた場合、秒の小数部を効果的に時計に加算する（時計を進める）ことができ、実際の時計の進みは、次の式のとおりとなります。

進み(秒) = (1 - (SUBFS / (PREDIV_S + 1)))

注： ***SUBFS に書き込むことにより RSF はクリアされます。その後、ソフトウェアが RSF=1 まで待つことにより、シャドウレジスタがシフトされた時間で更新されていることが確実なものとなります。***

セクション 26.3.8：RTC 同期 を参照してください。

注： ***このレジスタは、書き込み保護されています。書き込みアクセスの手順は、RTC レジスタ書き込み保護（806 ページ）に説明されています。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

26.6.13 RTC タイムスタンプ時刻レジスタ（RTC_TSTR）

アドレスオフセット：0x30

バックアップドメインリセット値：0x0000 0000

システムリセット：影響されません

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み									PM	HT[1:0]		HU[3:0]			
									r	r	r	r	r	r	r

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み	MNT[2:0]			MNU[3:0]				予約済み	ST[2:0]			SU[3:0]			
	r	r	r	r	r	r	r		r	r	r	r	r	r	r

ビット 31:23 予約済みであり、リセット値に保持する必要があります。

ビット 22 **PM**：AM/PM 表記
0：AM または 24 時間形式
1：PM

ビット 21:20 **HT[1:0]**：BCD 形式での時の十の位

ビット 19:16 **HU[3:0]**：BCD 形式での時の一の位

ビット 15 予約済みであり、リセット値に保持する必要があります。

ビット 14:12 **MNT[2:0]**：BCD 形式での分の十の位

ビット 11:8 **MNU[3:0]**：BCD 形式での分の一の位

ビット 7 予約済みであり、リセット値に保持する必要があります。

ビット 6:4 **ST[2:0]**：BCD 形式での秒の十の位

ビット 3:0 **SU[3:0]**：BCD 形式での秒の一の位

注： ***このレジスタの内容は、RTC_ISR で TSF が 1 にセットされている場合にのみ有効です。また、TSF ビットがリセットされるとクリアされます。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

26.6.14 RTC タイムスタンプ日付レジスタ（RTC_TSDR）

アドレスオフセット：0x34

バックアップドメインリセット値：0x0000 0000

システムリセット：影響されません

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
WDU[1:0]			MT	MU[3:0]				予約済み		DT[1:0]		DU[3:0]			
r	r	r	r	r	r	r	r			r	r	r	r	r	r

ビット 31:16 予約済みであり、リセット値を保持する必要があります。

ビット 15:13 **WDU[1:0]**：曜日

ビット 12 **MT**：BCD 形式での月の十の位

ビット 11:8 **MU[3:0]**：BCD 形式での月の一の位

ビット 7:6 予約済みであり、リセット値を保持する必要があります。

ビット 5:4 **DT[1:0]**：BCD 形式での日の十の位

ビット 3:0 **DU[3:0]**：BCD 形式での日の一の位

注： ***このレジスタの内容は、RTC_ISR で TSF が 1 にセットされている場合にのみ有効です。また、TSF ビットがリセットされるとクリアされます。***

26.6.15 RTC タイムスタンプサブセカンドレジスタ（RTC_TSSSR）

アドレスオフセット：0x38

バックアップドメインリセット値：0x0000 0000

システムリセット：影響されません

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SS[15:0]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:16 予約済み

ビット 15:0 **SS**：サブセカンド値

SS[15:0]は、タイムスタンプイベントが発生したときの同期プリスケーラのカウンタの値です。

注： ***このレジスタの内容は、RTC_ISR/TSF がセットされている場合にのみ有効です。また、RTC_ISR/TSF ビットがリセットされるとクリアされます。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

26.6.16 RTC 較正レジスタ（RTC_CALR）

アドレスオフセット：0x3C

バックアップドメインリセット値：0x0000 0000

システムリセット：影響されません

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CALP	CALW8	CALW16	予約済み				CALM[8:0]								
rw	rw	rw	r	r	r	r	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:16 予約済み

ビット 15 CALP：RTC 周波数を 488.5 ppm 増加

0：RTCCLK パルスは加えられません。

1：RTCCLK の 2^{11} パルスごとに 1 パルス効果的に挿入されます（周波数が 488.5 ppm 増加）。

この機能は、CALM と共に使用されることが想定されており、カレンダの周波数を高分解能で下げることができます。入力周波数が 32768 Hz の場合、32 秒枠の間に追加される RTCCLK パルスの数は次のように算出されます：(512 * CALP) - CALM

*セクション 26.3.11：RTC の高精度デジタル較正*を参照してください。

ビット 14 **CALW8**：8 秒較正サイクル期間の使用

CALW8 が“1”にセットされると、8 秒較正サイクル期間が選択されます。

CALW8=“1”の場合、CALM[1:0]は“00”に固定されます。

*セクション 26.3.11：RTC の高精度デジタル較正*を参照してください。

ビット 13 **CALW16**：16 秒較正サイクル期間の使用

CALW16 が“1”にセットされると、16 秒較正サイクル期間が選択されます。CALW8=1の場合、このビットを“1”にセットすることはできません。

注： CALW16=“1”の場合、CALM[0]は“0”に固定されます。

*セクション 26.3.11：RTC の高精度デジタル較正*を参照してください。

ビット 12:9 予約済み

ビット 8:0 **CALM[8:0]**：較正マイナス

RTCCLK 2^{20} パルス（入力周波数が 32768 Hz の場合 32 秒）の内の CALM をマスクすることによって、カレンダの周波数が下げられます。この方法により、カレンダの周波数を 0.9537 ppm の分解能で下げることができます。

カレンダの周波数を上げるには、この機能を CALP と共に使用する必要があります。

*セクション 26.3.11：RTC の高精度デジタル較正（811 ページ）*を参照してください。

注： このレジスタは、書き込み保護されています。書き込みアクセスの手順は、RTC レジスタ書き込み保護（806 ページ）に説明されています。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

26.6.17 RTC タンパおよびオルタネート機能設定レジスタ（RTC_TAFCR）

アドレスオフセット：0x40

バックアップドメインリセット値：0x0000 0000

システムリセット：影響されません

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み													ALARMOUT TYPE	TSIN SEL	TAMP1 INSEL
													rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAMP-PUDIS	TAMP-PRCH[1:0]		TAMPFLT[1:0]		TAMPFREQ[2:0]			TAMPTS	予約済み		TAMP2-TRG	TAMP2E	TAMPIE	TAMP1 TRG	TAMP1 E
rw	rw	rw	rw	rw	rw	rw	rw	rw			rw	rw	rw	rw	rw

ビット 31:19 予約済み。常に 0 が読み出されます。

ビット 18 **ALARMOUTTYPE**：RTC_ALARM 出力形式

0：RTC_ALARM はオープンドレイン出力になります。

1：RTC_ALARM はプッシュプル出力になります。

ビット 17 **TSINSEL**：TIMESTAMP マッピング

0：RTC_AF1 が TIMESTAMP として使用されます。

1：RTC_AF2 が TIMESTAMP として使用されます。

ビット 16 **TAMP1INSEL**：TAMPER1 マッピング

0：RTC_AF1 が TAMPER1 として使用されます。

1：RTC_AF2 が TAMPER1 として使用されます。

注： TAMP1E ビットは、TAMP1INSEL が変更されたらクリアし、TAMP1F の不要なセットを回避する必要があります。

ビット 15 **TAMPPUDIS**：TAMPER プルアップ無効

このビットにより、毎回のサンプリング前に各タンパピンをプリチャージするかどうか決定します。

0：サンプリング前にタンパピンをプリチャージします（内部プルアップを有効化）。

1：タンパピンのプリチャージを無効化します。

ビット 14:13 **TAMPPRCH[1:0]**：タンパプリチャージ持続時間

これらのビットにより、各サンプリング前にプルアップを有効化している時間を決定します。TAMPPRCH は、各タンパ入力に対して有効です。

0x0：1 RTCCLK サイクル

0x1：2 RTCCLK サイクル

0x2：4 RTCCLK サイクル

0x3：8 RTCCLK サイクル

ビット 12:11 **TAMPFLT[1:0]**：タンパフィルタカウント

これらのビットにより、タンパイベントをアクティブにするのに必要な指定のレベル（TAMP*TRG）での連続サンプリングの数を決定します。TAMPFLT は、各タンパ入力に対して有効です。

0x0：タンパ入力がアクティブレベル（タンパ入力における内部プルアップ無し）に変化するときのエッジで、タンパがアクティブになります。

0x1：アクティブレベルでの連続した 2 回のサンプリングの後、タンパがアクティブになります。

0x2：アクティブレベルでの連続した 4 回のサンプリングの後、タンパがアクティブになります。

0x3：アクティブレベルでの連続した 8 回のサンプリングの後、タンパがアクティブになります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 10:8 **TAMPFREQ[2:0]**：タンパサンプリング周波数

これらのビットにより、各タンパ入力がサンプリングされる周波数を決定します。

0x0：RTCCLK / 32768（RTCCLK = 32768 Hz の場合 1 Hz）

0x1：RTCCLK / 16384（RTCCLK = 32768 Hz の場合 2 Hz）

0x2：RTCCLK / 8192（RTCCLK = 32768 Hz の場合 4 Hz）

0x3：RTCCLK / 4096（RTCCLK = 32768 Hz の場合 8 Hz）

0x4：RTCCLK / 2048（RTCCLK = 32768 Hz の場合 16 Hz）

0x5：RTCCLK / 1024（RTCCLK = 32768 Hz の場合 32 Hz）

0x6：RTCCLK / 512（RTCCLK = 32768 Hz の場合 64 Hz）

0x7：RTCCLK / 256（RTCCLK = 32768 Hz の場合 128 Hz）

ビット 7 **TAMPTS**：タンパ検出イベントにおけるタイムスタンプの有効化

0：タンパ検出イベントがあっても、タイムスタンプは保存されません。

1：タンパ検出イベント時、タイムスタンプが保存されます。

RTC_CR レジスタで TSE=0 であっても TAMPTS は有効です。

ビット 6:5 予約済み。常に 0 が読み出されます。

ビット 4 **TAMP2TRG**：タンパ 2 のアクティブレベル

TAMPFLT != 00 の場合：

0：TAMPER2 がローのままのとき、タンパ検出イベントがトリガされます。

1：TAMPER2 がハイのままのとき、タンパ検出イベントがトリガされます。

TAMPFLT = 00 の場合：

0：TAMPER2 の立ち上りエッジでタンパ検出イベントがトリガされます。

1：TAMPER2 の立ち下りエッジでタンパ検出イベントがトリガされます。

ビット 3 **TAMP2E**：タンパ 2 検出イネーブル

0：タンパ 2 検出は無効です。

1：タンパ 2 検出は有効です。

ビット 2 **TAMPIE**：タンパ割り込みイネーブル

0：タンパ割り込みは無効です。

1：タンパ割り込みは有効です。

ビット 1 **TAMP1TRG**：タンパ 1 のアクティブレベル

TAMPFLT != 00 の場合

0：TAMPER1 がローのままのとき、タンパ検出イベントがトリガされます。

1：TAMPER1 がハイのままのとき、タンパ検出イベントがトリガされます。

TAMPFLT = 00 の場合:

0：TAMPER1 の立ち上りエッジでタンパ検出イベントがトリガされます。

1：TAMPER1 の立ち下りエッジでタンパ検出イベントがトリガされます。

注意： ***TAMPFLT = 0 の場合、TAMP1E ビットは、TAMP1TRG が変更されたらクリアし、TAMP1F の不要なセットを回避する必要があります。***

ビット 0 **TAMP1E**：タンパ 1 検出イネーブル

0：タンパ 1 検出は無効です。

1：タンパ 1 検出は有効です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

26.6.18 RTC アラーム A サブセカンドレジスタ（RTC_ALRMASSR）

アドレスオフセット：0x44

バックアップドメインリセット値：0x0000 0000

システムリセット：影響されません

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み				MASKSS[3:0]				予約済み							
r	r	r	r	rw	rw	rw	rw	r	r	r	r	r	r	r	r

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み	SS[14:0]														
r	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	w	rw	rw

ビット 31:28 予約済み

ビット 27:24 **MASKSS[3:0]**：このビットから始まる最上位ビットのマスク

0：アラーム A に対してサブセカンドを比較しません。このアラームは秒の位がインクリメントされたときにセットされます（他の項目が一致していることを前提として）。
1：アラーム A の比較では SS[14:1]を無視します。SS[0]のみ比較されます。
2：アラーム A の比較では SS[14:2]を無視します。SS[1:0]のみ比較されます。
3：アラーム A の比較では SS[14:3]を無視します。SS[2:0]のみ比較されます。
...
12：アラーム A の比較では SS[14:12]を無視します。SS[11:0]が比較されます。
13：アラーム A の比較では SS[14:13]を無視します。SS[12:0]が比較されます。
14：アラーム A の比較では SS[14]を無視します。SS[13:0]が比較されます。
15：アラームをアクティブにするには、15 の全ての SS ビットを比較し一致する必要があります。
同期カウンタのオーバーフロービット（ビット 15）が比較されることはありません。このビットは、シフト操作後に限り、0 でなくなる場合があります。

ビット 23:15 予約済み

ビット 14:0 **SS[14:0]**：サブセカンド値

この値が同期プリスケーラのカウンタの内容と比較され、アラーム A をアクティブ化するかどうかを決定します。ビット 0 から MASKSS-1 のビットだけが比較されます。

注： ***このレジスタは、RTC_CR レジスタの ALRAIE がリセットされた場合、または初期化モードの場合にのみ書き込めます。***

このレジスタは、書き込み保護されています。書き込みアクセスの手順は、RTC レジスタ書き込み保護（806 ページ）に説明されています。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

26.6.19 RTC アラーム B サブセカンドレジスタ（RTC_ALRMBSSR）

アドレスオフセット：0x48

バックアップドメインリセット値：0x0000 0000

システムリセット：影響されません

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み				MASKSS[3:0]				予約済み							
r	r	r	r	rw	rw	rw	rw	r	r	r	r	r	r	r	r

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み	SS[14:0]														
r	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	w	rw	rw

ビット 31:28 予約済み

ビット 27:24 **MASKSS[3:0]**：このビットから始まる最上位ビットのマスク

0x0：アラーム B に対してサブセカンドを比較しません。このアラームは秒の位がインクリメントされたときにセットされます（他の項目が一致していることを前提として）。
0x1：アラーム B の比較では SS[14:1]を無視します。SS[0]のみ比較されます。
0x2：アラーム B の比較では SS[14:2]を無視します。SS[1:0]のみ比較されます。
0x3：アラーム B の比較では SS[14:3]を無視します。SS[2:0]のみ比較されます。
...
0xC：アラーム B の比較では SS[14:12]を無視します。SS[11:0]が比較されます。
0xD：アラーム B の比較では SS[14:13]を無視します。SS[12:0]が比較されます。
0xE：アラーム B の比較では SS[14]を無視します。SS[13:0]が比較されます。
0xF：アラームをアクティブにするには、15 の全ての SS ビットを比較し一致する必要があります。
同期カウンタのオーバーフロービット（ビット 15）が比較されることはありません。このビットは、シフト操作後に限り、0 でなくなる場合があります。

ビット 23:15 予約済み

ビット 14:0 **SS[14:0]**：サブセカンド値

この値が同期プリスケーラのカウンタの内容と比較され、アラーム B をアクティブ化するかどうかを決定します。ビット 0 から MASKSS-1 のビットだけが比較されます。

注： ***このレジスタは、RTC_CR レジスタの ALRBIE がリセットされた場合、または初期化モードの場合にのみ書き込めます。***

このレジスタは書き込み保護されています。書き込みアクセス手順は、セクション：RTC レジスタ書き込み保護（783 ページ）に説明されています。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

26.6.20 RTC バックアップレジスタ（RTC_BKPxR）

アドレスオフセット：0x50 から 0x9C

バックアップドメインリセット値：0x0000 0000

システムリセット：影響されません

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
BKP[31:16]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BKP[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	w	rw	rw

ビット 31:0 BKP[31:0]

アプリケーションはこれらのレジスタへデータを書き込んだり読み出したりすることができます。
これらのレジスタは、V_{DD} がオフになった場合、V_{BAT} によって電源が供給されるため、システムリセットによりリセットされず、デバイスが低電力モードで動作する場合、レジスタの内容は有効なまま保持されます。
このレジスタは、TAMPxF=1 である限り、タンパ検出イベントでリセットされます。

26.6.21 RTC レジスタマップ

表 120. RTC レジスタマップとリセット値

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	RTC_TR	予約済み									PM	HT[1:0]		HU[3:0]				予約済み	MNT[2:0]			MNU[3:0]				予約済み	ST[2:0]			SU[3:0]			
	リセット値										0	0	0	0	0	0	0		0	0	0	0	0	0	0		0	0	0	0	0	0	0
0x04	RTC_DR	予約済み							YT[3:0]					YU[3:0]				WDU[2:0]			MT	MU[3:0]				予約済み	DT[1:0]		DU[3:0]				
	リセット値								0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	1		0	0	0	0	0	0	1
0x08	RTC_CR	予約済み							COE	OSEL[1:0]		POL	COSEL	BKP	SUB1H	ADD1H	TSIE	WUTIE	ALRBIE	ALRAIE	TSE	WUTE	ALRBE	ALRAE	DCE	FMT	BYPSHAD	REFCKON	TSEDGE	WCKSEL[2:0]			
	リセット値								0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0C	RTC_ISR	予約済み																TAMP2F	TAMP1F	TSOVF	TSF	WUTF	ALRBF	ALRAF	INIT	INITF	RSF	INITS	SHPF	WUTWF	ALRBWF	ALRAWF	
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	
0x10	RTC_PRER	予約済み									PREDIV_A[6:0]							予約済み	PREDIV_S[14:0]														
	リセット値										1	1	1	1	1	1	1		0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
0x14	RTC_WUTR	予約済み																WUT[15:0]															
	リセット値																	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
0x18	RTC_CALIBR	予約済み																								DCS	予約済み			DC[4:0]			
	リセット値																									0				0	0	0	0	0

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 120. RTC レジスタマップとリセット値（続き）

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x1C	RTC_ALRMAR	MSK4	WDSEL	DT [1:0]		DU[3:0]				MSK3	PM	HT [1:0]		HU[3:0]				MSK2	MNT[2:0]			MNU[3:0]				MSK1	ST[2:0]			SU[3:0]			
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x20	RTC_ALRMBR	MSK4	WDSEL	DT [1:0]		DU[3:0]				MSK3	PM	HT [1:0]		HU[3:0]				MSK2	MNT[2:0]			MNU[3:0]				MSK1	ST[2:0]			SU[3:0]			
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x24	RTC_WPR	予約済み																								KEY[7:0]							
	リセット値																									0	0	0	0	0	0	0	0
0x28	RTC_SSR	予約済み																SS[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x2C	RTC_SHIFTR	ADD1S	予約済み																SUBFS[14:0]														
	リセット値	0																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x30	RTC_TSTR	予約済み								PM	HT[1:0]			HU[3:0]				予約済み	MNT[2:0]			MNU[3:0]				予約済み	ST[2:0]			SU[3:0]			
	リセット値									0	0	0		0	0	0	0		0	0	0	0	0	0	0		0	0	0	0	0	0	0
0x38	RTC_TSSSR	予約済み																SS[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x3C	RTC_ CALR	予約済み																CALP	CALW8	CALW16	予約済み					CALM[8:0]							
	リセット値																	0	0	0						0	0	0	0	0	0	0	0
0x40	RTC_TAFCR	予約済み													ALARMOUTTYPE	TSINSEL	TAMP1INSEL	TAMPPUDIS	TAMPPRCH[1:0]		TAMPFLT[1:0]		TAMPFREQ[2:0]			TAMPTS	予約済み	TAMP2TRG	TAMP2E	TAMPIE	TAMP1ETRG	TAMP1E
	リセット値														0	0	0	0	0	0	0	0	0	0	0	0		0	0	0	0	0
0x44	RTC_ ALRMASSR	予約済み				MASKSS[3:0]				予約済み									SS[14:0]														
	リセット値					0	0	0	0										0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x48	RTC_ ALRMBSSR	予約済み				MASKSS[3:0]				予約済み									SS[14:0]														
	リセット値					0	0	0	0										0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x50 から 0x9C	RTC_BKP0R	BKP[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	RTC_BKP19R まで	BKP[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

レジスタ境界アドレスについては、*表 2（64 ページ）*を参照してください。

注： ***表 120*** **では、リセット値とはバックアップドメインリセット後の値です。レジスタの大部分は、システムリセットによる影響を受けません。詳細については、*セクション 26.3.7：RTC のリセット*を参照してください。**

この資料は、STMicroelectronics NV 並びにその子会社（以下 ST）が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

27 I²C（Inter-Integrated Circuit）インタフェース

このセクションは、特に指定がない限り、STM32F4xx ファミリ全体に適用されます。

27.1 I²Cの概要

I²C （inter-integrated circuit）バスインタフェースは、マイクロコントローラとシリアル I²C バスとの間のインタフェースとして機能します。このインタフェースはマルチマスタ機能を有し、すべてのI2C バス固有のシーケンス、プロトコル、アービトレーション、タイミングを制御することができます。標準（最大 100 kHz）モードと高速（最大 400 kHz）モードをサポートしています。また、SMBus 2.0 とも互換性を持っています。

このインタフェースは、CRC の生成と検証、SMBus（System Management Bus）、PMBus（Power Management Bus）など、さまざまな目的に使用できます。

デバイスの実装によっては、CPU の負荷を軽減するために DMA 機能を使用できます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

27.2 I²C の主な機能

- パラレルバス／I²C プロトコル間のコンバータ
- マルチマスタ機能：同じインタフェースがマスタまたはスレーブとして機能
- I²C マスタの機能：
  - クロック生成
  - START 信号、STOP 信号の生成
- I²C スレーブの機能：
  - プログラマブルな I²C アドレス検出
  - 2 つのスレーブアドレスを確認応答するデュアルアドレス機能
  - STOP ビット検出
- 7 ビット／10 ビットアドレッシングおよび同報（General Call）の生成と検出
- 複数の通信速度をサポート：
  - 標準モード （最大 100 kHz）
  - 高速モード（最大 400 kHz）
- STM32F42xxx および STM32F43xxxで使用可能なプログラマブルデジタルノイズフィルタ
- ステータスフラグ：
  - トランスミッタ／レシーバモードフラグ
  - 最終バイト送信フラグ
  - I²C ビジーフラグ
- エラーフラグ：
  - マスタモードのアービトレーションロスト条件
  - アドレス／データ送信後の確認応答障害
  - START／STOP コンディションの誤配置検出
  - クロック伸長（ストレッチ）が無効な場合のオーバーラン／アンダーラン
- 2 つの割り込みベクタ：
  - 正常なアドレス／データ通信用の割り込み
  - エラー条件用の割り込み
- クロック伸長オプション
- DMA 機能付きの 1 バイトバッファ
- 設定可能な PEC（Packet Error Checking）の生成／検証；
  - PEC 値は、送信モードで最終バイトとして送信可能
  - 最後の受信バイトの PEC エラーチェック
- SMBus 2.0 互換性：
  - クロックロータイムアウト遅延：25 ms
  - マスタのクロックロー累積延長時間：10 ms
  - スレーブのクロックロー累積延長時間：25 ms
  - ハードウェアによる PEC 生成/検証（ACK 制御付き）
  - ARP（アドレス解決プロトコル）のサポート
- PMBus 互換性

注： ***製品によっては、上記の機能の一部を使用できないことがあります。搭載されている I²C インタフェースによってサポートされる特定の機能については、製品のデータシートを参照してください。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

27.3 I²C 機能の詳細

データの送受信に加えて、このインタフェースは、データをシリアル形式からパラレル形式（およびその逆）に変換します。割り込みは、ソフトウェアによって有効または無効にできます。このインタフェースは、データピン（SDA）とクロックピン（SCL）によって I²C バスに接続されます。標準（最大 100 kHz）または高速（最大 400 kHz）の I²C バスと接続できます。

27.3.1 モード選択

このインタフェースは、次の 4 つのモードのいずれかで動作できます。

- スレーブトランスミッタ
- スレーブレシーバ
- マスタトランスミッタ
- マスタレシーバ

デフォルトでは、スレーブモードで動作します。このインタフェースは、START コンディションを生成した後はスレーブからマスタに、アービトレーションロスまたは STOP 生成が生じた場合はマスタからスレーブに、それぞれ自動的に切り替わることで、マルチマスタ機能を可能にします。

通信の流れ

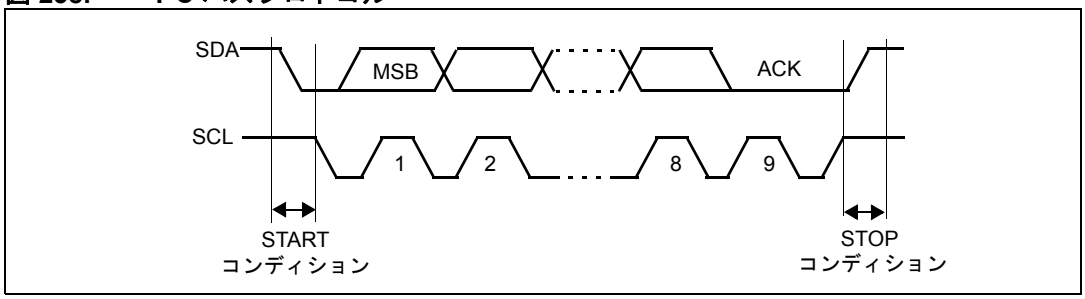
マスタモードでは、I²C インタフェースは、データ転送を開始し、クロック信号を生成します。シリアルデータ転送は、常に START コンディションで始まり、STOP コンディションで終わります。START および STOP コンディションは、マスタモードではソフトウェアによって生成されます。

スレーブモードでは、このインタフェースは、自己アドレス（7 または 10 ビット）と同報アドレスを認識できます。同報アドレスの検出は、ソフトウェアによって有効／無効にできます。

データとアドレスは、MSB ファーストの 8 ビットバイトとして転送されます。START コンディションの後に続く最初のバイト（7 ビットモードでは 1 バイト、10 ビットモードでは 2 バイト）にアドレスが含まれています。アドレスは、常にマスタモードで送信されます。

8 クロックサイクルのバイト転送の後には 9 番目のクロックパルスが続きます。その間に、レシーバはトランスミッタに確認応答ビットを送信する必要があります。*図 238*を参照してください。

図 238. I²C バスプロトコル

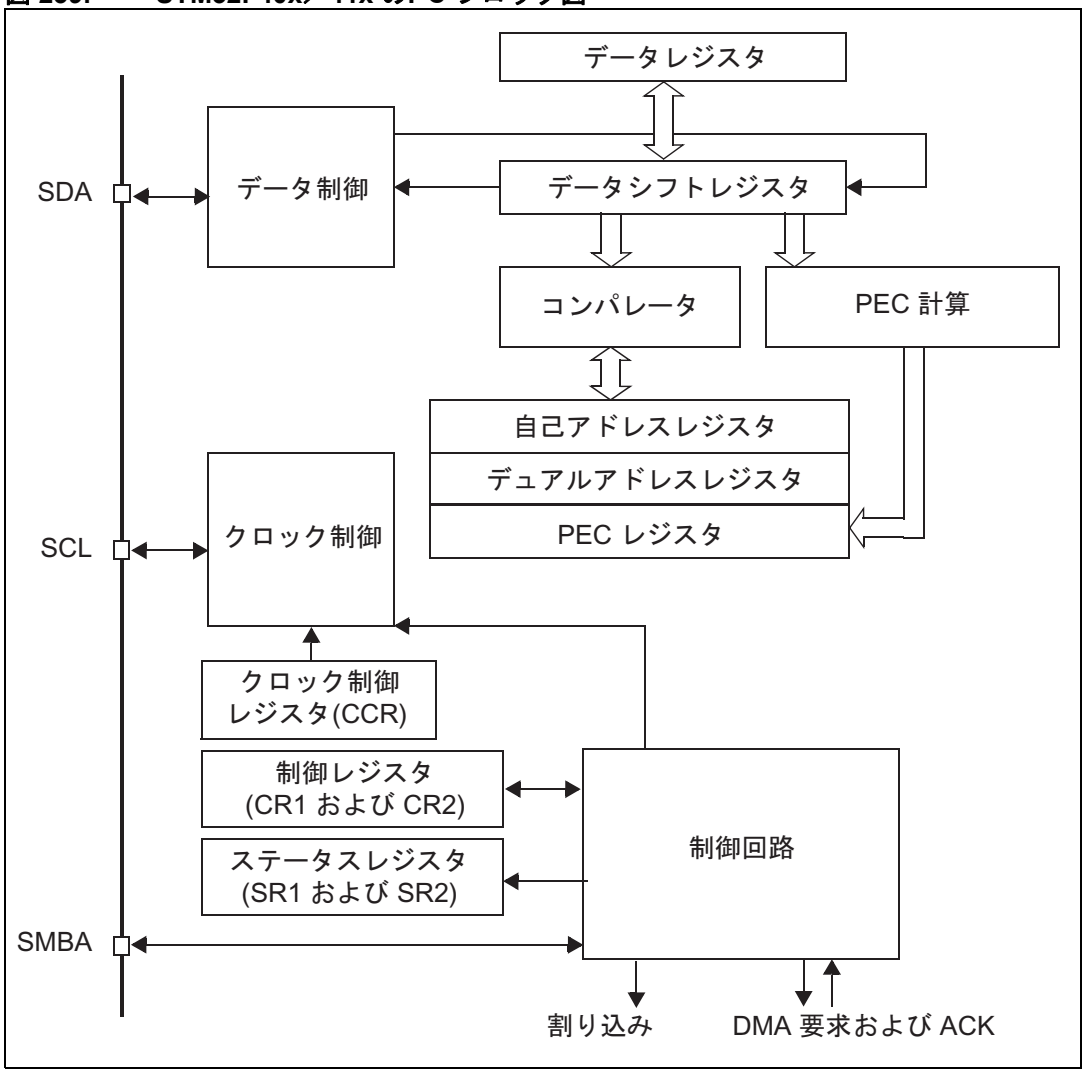


確認応答は、ソフトウェアによって有効／無効にできます。I²C インタフェースアドレス（デュアルアドレッシングの 7 ビット／10 ビットや同報アドレス）は、ソフトウェアによって選択できます。

I²C インタフェースのブロック図に*図 239* を示します。

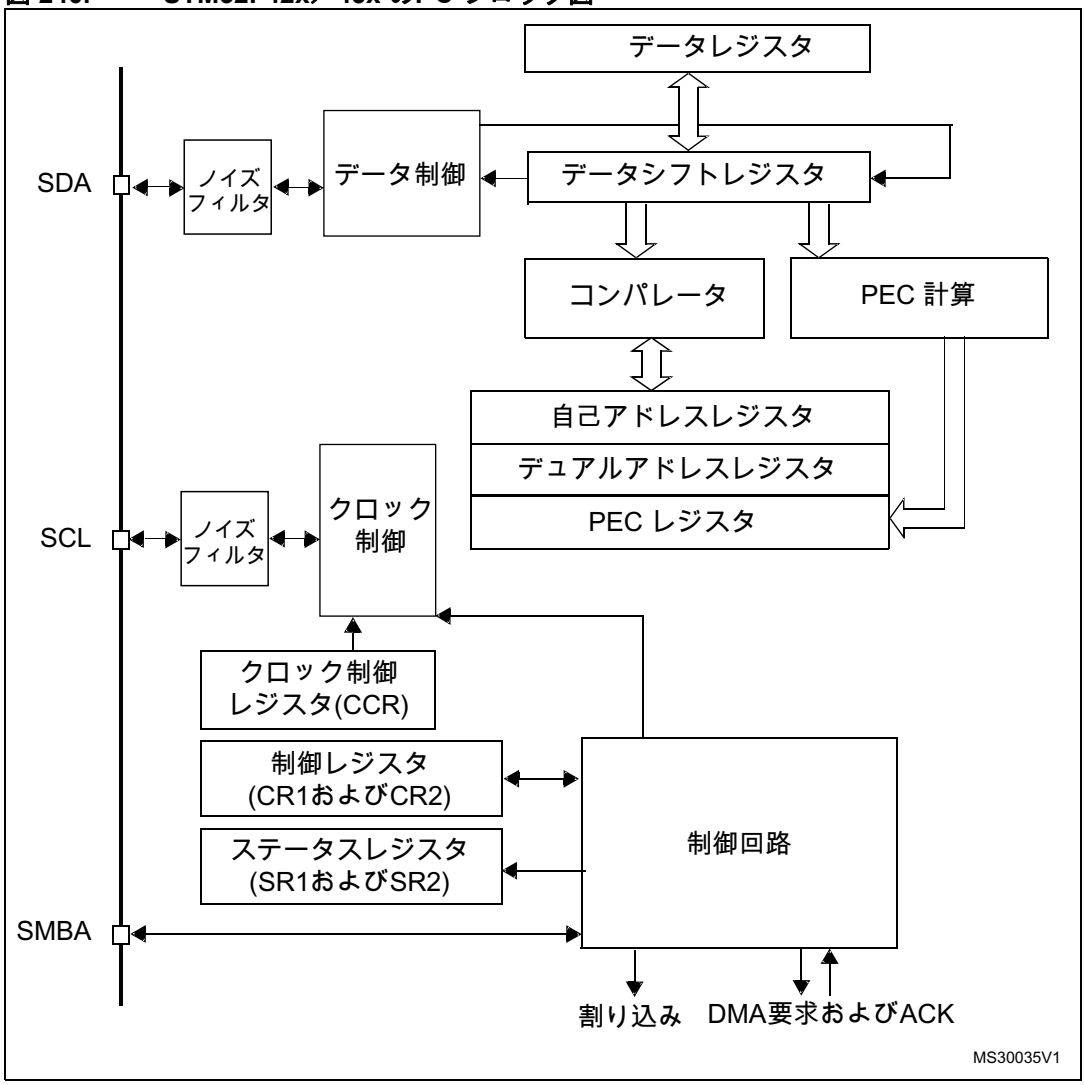
この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 239. STM32F40x／41x のI²C ブロック図



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 240. STM32F42x／43x のI²C ブロック図



1. SMBA は、SMBus モードでのオプション信号です。SMBus が無効な場合、この信号は適用されません。

27.3.2 I²C スレーブモード

デフォルトでは、I²C インタフェースはスレーブモードで動作します。デフォルトのスレーブモードからマスタモードに切り替えるには、START コンディションの生成が必要です。

正しいタイミングを生成するには、ペリフェラル入力クロックを I2C_CR2 レジスタにプログラミングする必要があります。ペリフェラル入力クロックは、少なくとも次の周波数以上でなければなりません。

- 標準モード：2 MHz
- 高速モード：4 MHz

START コンディションが検出されると、アドレスは、SDA ラインから受信されて、シフトレジスタに送信されます。その後、このアドレスはインタフェースのアドレス（OAR1）および OAR2（ENDUAL=1 の場合）または同報アドレス（ENGC = 1 の場合）と比較されます。

注： ***10 ビットアドレスモードでは、この比較にはヘッダシーケンス（11110xx0）が含まれます。ここで、xx はアドレスの上位 2 ビットを示します。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ヘッダまたはアドレスの不一致：インタフェースはこれを無視し、別の START コンディションを待ちます。

ヘッダー一致（10 ビットモードのみ）：インタフェースは、ACK ビットがセットされている場合は確認応答パルスを生成し、8 ビットのスレーブアドレスを待ちます。

アドレス一致：インタフェースは次の順序で動作します。

- ACK ビットがセットされている場合、確認応答パルスを生成します。
- ADDR ビットがハードウェアによってセットされ、ITEVFEN ビットがセットされている場合は割り込みが生成されます。
- ENDUAL=1 の場合、ソフトウェアは、DUALF ビットを読み出して、どのスレーブアドレスが確認応答されたかをチェックする必要があります。

10 ビットモードでは、アドレスシーケンスの受信後、スレーブは常にレシーバモードになります。スレーブがトランスミッタモードに入るのは、反復 START コンディションの後、一致するアドレスビットを持ち、最下位ビットがセットされた（11110xx1）ヘッダシーケンスを受信したときです。

TRA ビットは、スレーブがレシーバモードかトランスミッタモードかを示します。

スレーブトランスミッタ

アドレス受信に続いて、ADDR をクリアした後、スレーブは、内部シフトレジスタを介して、DR レジスタから SDA ラインにバイトを送信します。

スレーブは、ADDR がクリアされ、DR に送信データが書き込まれるまで、SCL のローレベルを伸長します（*図 241* 転送シーケンスの EV1 EV3 を参照）。

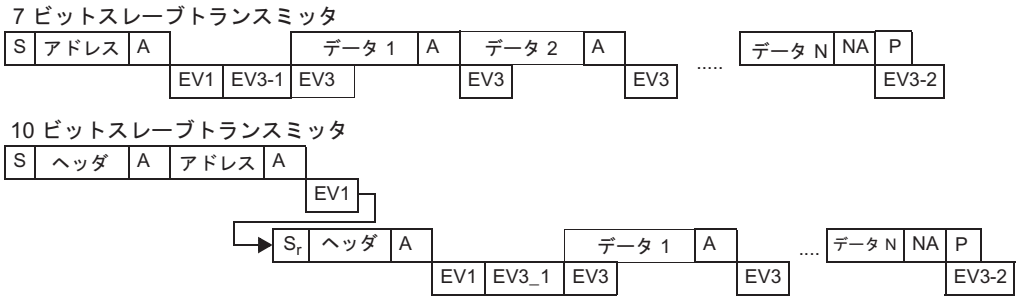
確認応答パルスが受信されると：

- TxE ビットがハードウェアによってセットされ、ITEVFEN および ITBUFEN ビットがセットされている場合は割り込みが生成されます。

TxE がセットされ、次のデータ送信の終わりまでに I2C_DR レジスタに一部のデータが書き込まれていない場合、BTF ビットがセットされ、インタフェースは、I2C_SR1 の読み出しと、それに続く I2C_DR レジスタへの書き込みによって BTF がクリアされるまで、SCL のローレベルを伸長して待ちます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 241. スレーブトランスミッタの転送シーケンス



凡例：S = START、Sr = 反復START、P = STOP、A = 確認応答、NA = 否定応答
EVx=イベント（ITEVFEN=1 の場合、割り込みが生成されます)

EV1: ADDR=1、SR1 の読み出しとそれに続く SR2 の読み出しによってクリアされます
EV3-1: TxE=1、シフトレジスタは空、データレジスタは空、DR にデータ 1 を書き込み
EV3: TxE=1、シフトレジスタは空ではない、データレジスタは空、DR の書き込みによってクリアされます
EV3-2: AF=1; AF は、SR1 レジスタの AF ビットに“0”を書き込むことによりクリアされます

ai18209

1. EV1 イベントおよび EV3-1 イベントは、対応するソフトウェアシーケンスの終わりまで SCL のローレベルを伸長します。
2. 次のバイト送信の終わりまでにソフトウェアシーケンスが完了しない場合、EV3 イベントは SCL のローレベルを伸長します。

スレーブレシーバ

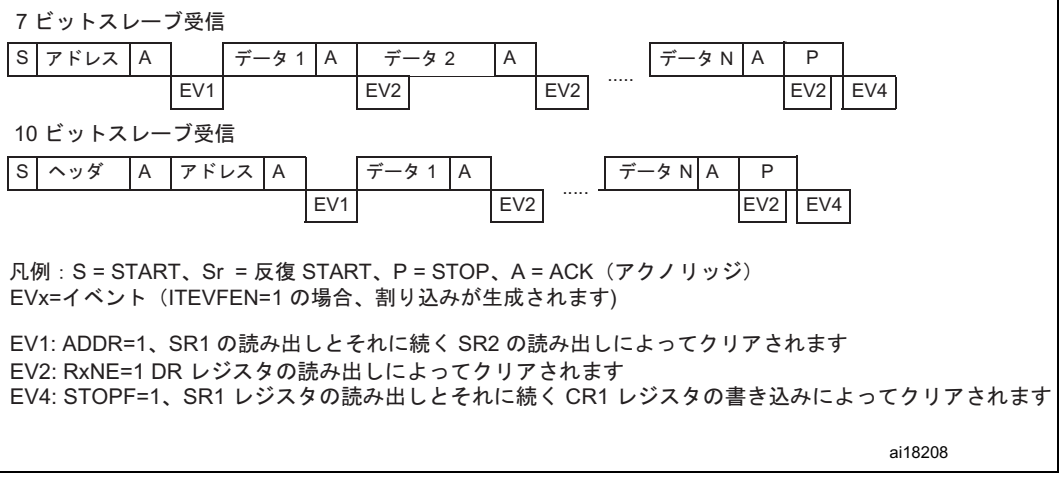
アドレス受信に続いて、ADDR がクリアされた後、スレーブは、SDA ラインからのバイトを内部シフトレジスタを介して DR レジスタに受信します。各バイトの後、インタフェースは以下のものを順に生成します。

- ACK ビットがセットされている場合、確認応答パルスを生成します。
- RxNE ビットがハードウェアによってセットされ、ITEVFEN および ITBUFEN ビットがセットされている場合は、割り込みが生成されます。

RxNE がセットされ、次のデータ受信の終わりまでに DR レジスタ内のデータが読み出されなかった場合、BTF ビットがセットされます。さらにインタフェースは、I2C_DRの読み出しによって BTF がクリアされるまで、SCL のローレベルを伸長して待ちます（*図 242* 転送シーケンスを参照）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 242. スレーブ受信の転送シーケンス図



1. EV1 イベントは、対応するソフトウェアシーケンスの終わりまで SCL のローレベルを伸長します。
2. 次のバイト受信の終わりまでにソフトウェアシーケンスが完了しない場合、EV2 イベントは SCL のローレベルを延長します。
3. SR1 レジスタの状態をチェックした後、ユーザは、セットされているフラグごとに、完全なクリアシーケンスを実行してください。
   すなわち、ADDR フラグと STOPF フラグに対し、I2C 割り込みルーチンの中に次のシーケンスを記述することが必要です。
   READ SR1
   if （ADDR == 1）{READ SR1; READ SR2}
   if （STOPF == 1）{READ SR1; WRITE CR1}
   これは、ADDR フラグと STOPF フラグがセットされていることが分かった場合、両方とも確実にクリアするための処理です。

スレーブ通信の終了

最後のデータバイトが転送された後、マスタは STOP コンディションを生成します。インタフェースは、STOP コンディションを検出して、次の動作を行います。

- STOPF ビットをセットし、ITEVFEN ビットがセットされている場合は割り込みを生成します。

STOPF は、SR1 レジスタの読み出しと、それに続く CR1 レジスタへの書き込みによってクリアされます（*図 242：スレーブ受信の転送シーケンス図* EV4 を参照）。

27.3.3 I²C マスタモード

マスタモードでは、I²C インタフェースは、データ転送を開始し、クロックを生成します。データ転送は、常に START コンディションで開始され、STOP コンディションで終わります。START ビットによってバス上に START コンディションが生成されると、マスタモードが選択されます。

次に、マスタモードで必要なシーケンスを示します。

- 正しいタイミングを生成するため、I2C_CR2 レジスタにペリフェラル入力クロックを設定します。
- クロック制御レジスタを設定します。
- 立ち上がり時間レジスタを設定します。
- I2C_CR1 レジスタを設定して、ペリフェラルを有効にします。
- I2C_CR1 レジスタの START ビットをセットして、START コンディションを生成します。

ペリフェラル入力クロックは、少なくとも次の周波数以上でなければなりません。

- 標準モード：2 MHz
- 高速モード：4 MHz

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

START コンディション

BUSY ビットがクリアされているときに START ビットをセットすると、インタフェースは、START コンディションを生成し、マスタモードに切り替わります（MSL ビットをセット）。

注： ***マスタモードで START ビットをセットすると、インタフェースは、現在のバイト転送の最後に RESTART コンディションを生成します。***

START コンディションが送信されると、以下のイベントが発生します。

- SB ビットがハードウェアによってセットされ、ITEVFEN ビットがセットされている場合は割り込みが生成されます。

次に、マスタは、SR1 レジスタの読み出しと、それに続く DR レジスタへのスレーブアドレスの書き込みを待ちます（*図 243*と*図 244*の転送シーケンスの EV5 を参照）。

スレーブアドレス 送信

次に、スレーブアドレスが内部シフトレジスタを介して SDA ラインに送信されます。

- 10 ビットアドレスモードでは、ヘッダシーケンスの送信によって、次のイベントが発生します。
  - ADD10 ビットがハードウェアによってセットされ、ITEVFEN ビットがセットされている場合は割り込みが生成されます。

  次に、マスタは SR1 レジスタの 読み出しと、それに続く DR レジスタへの 2 番目のアドレスバイトの書き込みを待ちます（*図 243*と*図 244* 転送シーケンスを参照）。
  - ADDR ビットがハードウェアによってセットされ、ITEVFEN ビットがセットされている場合は割り込みが生成されます。

  次にマスタは SR1 レジスタの読み出しと、それに続く SR2 レジスタの読み出しを待ちます（*図 243*と*図 244* 転送シーケンスを参照）。
- 7 ビットアドレスモードでは、1 個のアドレスバイトが送信されます。

  アドレスバイトが送信されると、以下のイベントが発生します。
  - ADDR ビットがハードウェアによってセットされ、ITEVFEN ビットがセットされている場合は割り込みが生成されます。

  次に、マスタは SR1 レジスタの読み出しと、それに続く SR2 レジスタの読み出しを待ちます（*図 243*と*図 244* 転送シーケンスを参照）。

マスタは、送信されたスレーブアドレスの LSB に応じて、トランスミッタモードに入るか、レシーバモードに入るかを決定できます。

- 7 ビットアドレスモードでは、
  - トランスミッタモードに入るには、マスタは、LSB をリセットしたスレーブアドレスを送信します。
  - レシーバモードに入るには、マスタは、LSB をセットしたスレーブアドレスを送信します。
- 10 ビットアドレスモードでは、
  - トランスミッタモードに入るには、マスタは、ヘッダ（11110xx0）を送信してから、スレーブアドレスを送信します（xx はアドレスの上位 2 ビットです）。
  - レシーバモードに入るには、マスタは、ヘッダ（11110xx0）を送信してから、スレーブアドレスを送信します。さらに、反復 START コンディションと、それに続いてヘッダ（11110xx1）を送信します（xx はアドレスの上位 2 ビットです）。

  TRA ビットは、マスタがレシーバモードにあるか、トランスミッタモードにあるかを示します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

マスタ送信

アドレス送信に続いて、ADDR がクリアされた後、マスタは、内部シフトレジスタを介して DR レジスタから SDA ラインにバイトを送信します。

マスタは、最初のデータバイトが I2C_DR に書き込まれるまで待ちます（*図 243*転送シーケンスの EV8_1 を参照）。

ACK（アクノリッジパルス）を受信すると、TxE ビットがハードウェアによってセットされ、ITEVFEN ビットおよび ITBUFEN ビットがセットされている場合は割り込みが生成されます。

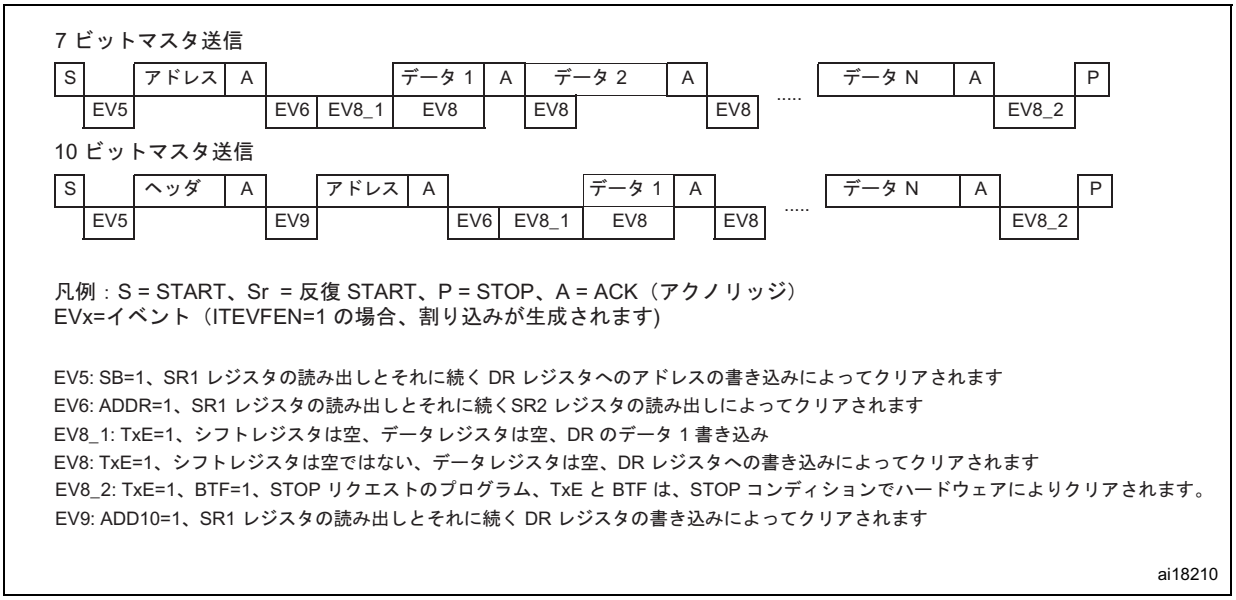
TxE がセットされていて、最後のデータ送信が終わるまでにデータバイトが DR レジスタに書き込まれなかった場合、BTF がセットされ、インタフェースは I2C_DR への書き込みによって BTF がクリアされるまで、SCL のローレベルを延長してウェイトします。

通信の終了

最後のバイトが DR レジスタに書き込まれた後、STOP ビットがソフトウェアによってセットされて STOP コンディションを生成します（*図 243* の転送シーケンスの EV8_2 を参照）。インタフェースは自動的にスレーブモードに戻ります（MSL ビットがクリアされます）。

注： ***STOP コンディションは、TxE または BTF ビットがセットされたとき、EV8_2 イベント時にプログラミングしてください。***

図 243. マスタ送信の転送シーケンス図



1. EV5、EV6、EV9、EV8_1、および EV8_2 の各イベントは、対応するソフトウェアシーケンスの終わりまで、SCL のローレベルを延長します。
2. 次のバイト送信の終わりまでにシーケンスが完了しない場合、EV8 イベントは SCL のローレベルを延長
3. します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

マスタ受信

アドレス送信に続いて ADDR がクリアされると、I²C インタフェースはマスタ受信モードに入ります。このモードでは、インタフェースは、SDA ラインから内部シフトレジスタを介して DR レジスタにバイトを受信します。各バイトの後、インタフェースは以下のイベントを順に生成します。

1. ACK ビットがセットされている場合、確認応答パルスを生成します。
2. RxNE ビットがセットされ、ITEVFEN および ITBUFEN ビットがセットされている場合は割り込みが生成されます（*図 244* 転送シーケンスの EV7 を参照）。

RxNE ビットがセットされ、最後のデータ受信の終わりまでに DR レジスタ内のデータが読み出されなかった場合、BTF ビットがハードウェアによってセットされ、インタフェースは、DR レジスタの読み出しによって BTF がクリアされるまで、SCL のローレベルを延長して待ちます。

通信の終了

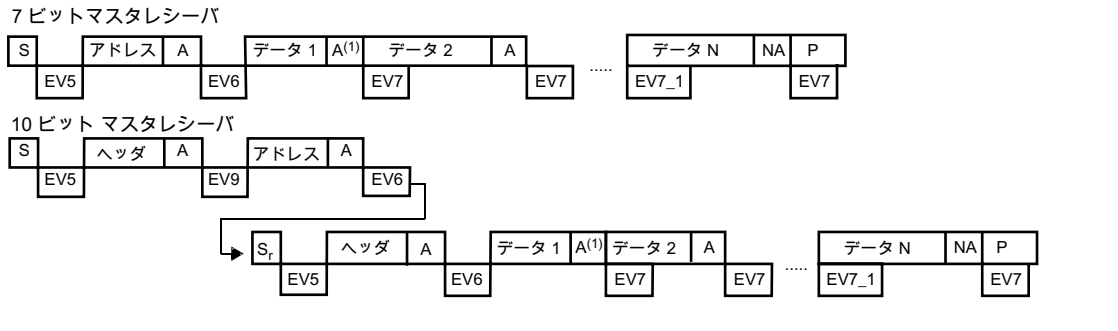
マスタは、スレーブから受信した最終バイトに対して NACK を送信します。この NACK を受信したスレーブは、SCL ラインと SDA ラインの制御を解除します。これによって、マスタは STOP／RESTART コンディションを送信できます。

1. 最後の受信データバイトの後で NACK パルスを生成するには、最後から 2 番目の RxNE イベントの後で最後から 2 番目のデータバイトの読み出し直後に、ACK ビットをクリアする必要があります。
2. STOP／RESTART コンディションを生成するには、ソフトウェアは、最後から 2 番目の RxNE イベントの後で最後から 2 番目のデータバイトの読み出し後に、STOP／START ビットをセットする必要があります。
3. 1 バイトを受信する必要がある場合は、EV6 の間（ADDR フラグがクリアされる前）に ACK（アクノリッジ）が無効化され、EV6 の後に STOP コンディションが生成されます。

STOP コンディションの生成後、インタフェースは自動的にスレーブモードに戻ります（MSL ビットがクリアされます）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 244. マスタ受信の転送 シーケンス図



凡例：S = START、Sr = 反復 START、P = STOP、A = アクノリッジ、NA = NACK
EVx=イベント (ITEVFEN=1 の場合、割り込みが生成されます)
EV5: SB=1、SR1 レジスタの読み出しとそれに続く DR レジスタの書き込みによってクリアされます
EV6: ADDR=1、SR1 レジスタの読み出しとそれに続く SR2 レジスタの読み出しによってクリアされます。
10 ビットマスタ受信モードでは、このシーケンスの後に CR2 に START=1 を書き込む必要があります。
1 バイト受信の場合は、EV6 イベントの間 (つまり ADDR フラグをクリアする前に)、確認応答をディセーブルする必要があります。
EV7: RxNE=1 DR レジスタの読み出しによってクリアされます
EV7_1: RxNE=1 DR レジスタの読み出し、ACK=0 のプログラム、および STOP リクエストによってクリアされます
EV9: ADD10=1、SR1 レジスタの読み出しとそれに続く DR レジスタの書き込みによってクリアされます

ai17540d

1. 1 バイトが受信された場合、無効となります。
2. EV5、EV6、および EV9 イベントは、対応するソフトウェアシーケンスの終わりまで、SCL のローレベルを延長します。
3. 次のバイト受信の終わりまでにソフトウェアシーケンスが完了しない場合、EV7 イベントは SCL のローレベルを延長します。
4. EV7 1 ソフトウェアシーケンスは、現在のバイト転送の ACK パルスより前に完了する必要があります。

現在のバイト転送の ACK パルスより前に EV7-1 ソフトウェアシーケンスが完了しない場合、以下の手順を推奨します。

以下の手順に従う必要があります。

- 最後のデータ受信が終わる前に、ACK ビットが遅れずにローにセットされる
- 最後のデータ受信の後、補助データの受信なしに STOP ビットがハイにセットされる。

2 バイト受信の場合：

- ADDR = 1 になるまで待ちます（ADDR フラグがクリアされるまで SCL のローレベルを延長します）。
- ACK をローにセットし、POS をハイにセットします。
- ADDR フラグをクリアします。
- BTF = 1 になるまで待ちます（DR にデータ 1、シフトレジスタにデータ 2、データ 1 が読み出されるまで SCL のローレベルを延長）。
- STOP をハイにセットします。
- データ 1 とデータ 2 を読み出します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

N > 2 バイト受信の場合（N-2 データ受信から）

- BTF = 1 になるまで待ちます（DR にデータ N-2、シフトレジスタにデータ N-1、データ N-2 が読み出されるまで SCL のローレベルを延長）。
- ACK をローにセットします。
- データ N-2 を読み出します。
- BTF = 1 になるまで待ちます（DR にデータ N-1、シフトレジスタにデータ N、データ N-1 が読み出されるまで SCL のローレベルを延長）。
- STOP をハイにセットします。
- データ N-1 とデータ N を読み出します。

27.3.4 エラー条件

以下は、通信エラーを引き起こす可能性のあるエラー条件です。

バスエラー（BERR）

このエラーは、I²Cインタフェースがアドレスやデータの転送中に外部の STOP または START コンディションを検出したときに発生します。このとき、以下のイベントが発生します。

- BERR ビットがセットされ、ITERREN ビットがセットされている場合は割り込みが生成されます。
- スレーブモードの場合：データは破棄され、バスはハードウェアによって解放されます。
  - START の誤配置である場合、スレーブはこれを RESTART とみなし、アドレスまたは STOP コンディションを待ちます。
  - STOP の誤配置である場合、スレーブは STOP コンディションの場合のように動作し、バスはハードウェアによって解放されます。
- マスタモードの場合：バスは解放されず、現在の送信の状態は影響を受けません。現在の送信を中止するかどうかは、ソフトウェアに依存します。

ACK（アクノリッジ）エラー（AF）

このエラーは、インタフェースが NACK ビットを検出したときに発生します。このとき、

- AF ビットがセットされ、ITERREN ビットがセットされている場合は割り込みが生成されます。
- NACK を受信したトランスミッタは、通信をリセットする必要があります。
  - スレーブの場合：バスはハードウェアによって解放されます。
  - マスタの場合：ソフトウェアが STOP または反復 START コンディションを 生成する必要があります。

アービトレーションロスト（ARLO）

このエラーは、I²C インタフェースがアービトレーションロスト状態を検出したときに発生します。このとき、

- ARLO ビットがハードウェアによってセットされます（ITERREN ビットがセットされている場合、割り込みが生成されます）。
- I²Cインタフェースは自動的にスレーブモードに戻ります（MSL ビットがクリアされます）。I²C がアービトレーションを失うと、同じ転送ではそのスレーブアドレスを ACK できませんが、通信を許可されたマスタからの反復 START 後に ACK できます。
- バスはハードウェアによって解放されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

オーバーラン／アンダーランエラー（OVR）

スレーブモードでオーバーランエラーが発生するのは、クロック伸長が無効であり、I²Cインタフェースがデータを受信しているときです。インタフェースがすでにバイトを受信し（RxNE=1）、インタフェースが次のバイトを受信するまでに DR 内のデータがまだ読み出されていません。このとき、

- 最後に受信されたバイトは失われます。
- オーバーランエラーが発生した場合、ソフトウェアで RxNE ビットをクリアし、トランスミッタで最後の受信バイトを再送信してください。

スレーブモードでアンダーランエラーが発生するのは、クロック伸長が無効であり、I²Cインタフェースがデータを送信しているときです。次のバイト送信用のクロックが現れるまでに、次に送信すべきデータがまだ DR レジスタに格納されていません（TxE=1）。このとき、

- DR レジスタ内の同じバイトが再送信されます。
- ユーザは、アンダーランエラー中にレシーバ側で受信されたデータが捨てられ、I²C バス規格で指定されたクロックロー時間内に次のバイトが書き込まれるようにしてください。

送信される最初のバイトに関しては、ADDR がクリアされてから最初の SCL 立ち上がりエッジまでに DR を書き込む必要があります。さもなければ、レシーバは最初のデータを破棄しなければなりません。

27.3.5 プログラマブルノイズフィルタ

プログラマブルノイズフィルタは STM32F42xxx および STM32F43xxx デバイスでのみ使用可能です。

高速 モードでは、I²C 標準により、SDA ラインおよび SCL ライン上のスパイク幅を 50 ns まで短くすることが求められています。

SDA および SCL I/O には、アナログノイズフィルタが内蔵されています。このフィルタはデフォルトで有効化されており、I2C_FLTR レジスタの ANOFF ビットをセットして無効化することができます。

DNF[3:0] ビットをゼロ以外の値に設定することにより、デジタルノイズフィルタを有効化することができます。このフィルタは、SDA 入力および SCL 入力のスパイク幅をDNF[3:0] * T_{PCLK1}まで抑えることができます。

デジタルノイズフィルタを有効化すると、SDA ホールド時間が （DNF[3:0] +1）* T_{PCLK}だけ長くなります。

I²C-バス仕様バージョン 2.1 （Thd:dat）の最大ホールド時間を満たすためには、アナログフィルタを無効化し、*表 121*に示す制約に従ってDNF ビットをプログラムする必要があります。

注： ***DNF[3:0] は、必ず I²C が無効化されているとき（PE = 0）に設定する必要があります。アナログフィルタも有効化した場合、デジタルフィルタがアナログフィルタに追加されます。***

表 121. Thd:dat（max）に準拠した最大 DNF[3:0] 値

PCLK1 周波数	最大 DNF 値	
	標準モード	高速 モード
2 <= F_{PCLK1} <= 5	2	0
5 < F_{PCLK1} <= 10	12	0
10 < F_{PCLK1} <= 20	15	1
20 < F_{PCLK1} <= 30	15	7

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 121. Thd:dat（max）に準拠した最大 DNF[3:0] 値（続き）

PCLK1 周波数	最大 DNF 値	
	標準モード	高速 モード
30 < F_{PCLK1} <= 40	15	13
40 < F_{PCLK1} <= 50	15	15

注： 各周波数範囲に対し、この制約は範囲の最小周波数である最悪ケースに基いて決められています。システムが最大ホールド時間を超えた対応が可能な場合は、DNF 値を大きくすることができます。

27.3.6 SDA/SCL ライン制御

- クロック伸長が有効な場合：
  - トランスミッタモード：TxE=1 および BTF=1 の場合：インタフェースは、送信の前にクロックラインをローレベルに保ち、マイクロコントローラが バイトをデータレジスタに書き込むのを待ちます（バッファとシフトレジスタは、いずれも空）。
  - レシーバモード：RxNE=1 および BTF=1 の場合：インタフェースは、受信後にクロックラインをローレベルに保ち、マイクロコントローラがデータレジスタ内のバイトを読み出すのを待ちます（バッファとシフトレジスタは、いずれも満杯）。
- スレーブモードでクロック伸長が無効な場合：
  - オーバーランエラー：RxNE=1 で、次のバイトが受信されるまでに DR が読み出されていない場合。最後に受信されたバイトは失われます。
  - アンダーランエラー：TxE=1 で、次のバイトを送信するまでに DR への書き込みが行われていない場合。同じバイトが再送信されます。
  - 書き込み衝突は管理されません。

27.3.7 SMBus

概要

システム管理バス（SMBus）は、さまざまなデバイスが互いに通信したり、残りのシステム部分と通信したりできる 2 線インタフェースです。これは I²Cの動作原理をベースにしています。SMBus により、システムおよびパワーマネジメント関連のタスク向けの制御バスが実現できます。システムが SMBus を使用することで、個々の制御ラインをトグルすることなく、デバイスとの間でメッセージをやり取りできます。

システム管理バス仕様では、3 種類のデバイスを規定しています。スレーブとは、コマンドを受信したり、コマンドに応答したりするデバイスです。マスタとは、コマンドを発行し、クロックを生成し、転送を終了させるデバイスです。ホストとは、システムの CPU にメインインタフェースを提供する特殊なマスタです。ホストは、マスタ／スレーブとすることができ、SMBus ホスト通知プロトコルをサポートする必要があります。システム内では、ただ 1 つのホストが許容されます。

SMBus と I2C の類似点

- 2 線バスプロトコル（1 クロック、1 データ）+ SMBus アラートライン（オプション）
- マスタ／スレーブ通信（マスタがクロックを供給します）
- マルチマスタ機能
- I²C7 ビットアドレスフォーマットに類似した SMBus データフォーマット（*図 238*）

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

SMBus と I2C の相違点

次の表に、SMBus と I²Cの相違点を示します。

表 122. SMBus 対 I²C

SMBus	I²C
最大速度：100 kHz	最大速度：400 kHz
最小クロック速度：10 kHz	最小クロック速度の規定なし
クロックロータイムアウト：35 ms	タイムアウトなし
論理レベルは固定	ロジックレベルはV_{DD}に依存
種々のアドレスタイプ（予約、ダイナミック、など）	7 ビット、10 ビット、および同報のスレーブアドレスタイプ
種々のバスプロトコル（クイックコマンド、プロセスコール、など）	バスプロトコルなし

SMBus アプリケーションの用途

SMBus を使用すれば、デバイスは、製造者情報を提供し、モデル／部品番号をシステムに通知し、サスペンドイベントに備えてその状態を保存し、種々のエラーを報告し、制御パラメータを受け付け、そのステータスを返すことができます。SMBus により、システムおよびパワーマネジメント関連のタスク向けの制御バスが実現できます。

デバイス識別

SMBus 上にスレーブとして存在するデバイスには、スレーブアドレスと呼ばれるユニークなアドレスがあります。予約済みのスレーブアドレスの一覧については、SMBus 仕様 ver. 2.0（*http://smbus.org/specs/*）を参照してください。

バスプロトコル

SMBus 仕様では、最大 9 種のプロトコルをサポートします。これらのプロトコルと SMBus アドレスタイプの詳細については、SMBus 仕様 ver. 2.0（*http://smbus.org/specs/*）を参照してください。これらのプロトコルは、ユーザのソフトウェアによって実装してください。

アドレス解決プロトコル（ARP）

SMBus スレーブアドレスの競合は、各スレーブデバイスに新しいユニークなアドレスを動的に割り当てることによって解決できます。アドレス解決プロトコル（ARP）には、以下の属性があります。

- アドレス割り当てには、標準の SMBus 物理層アービトレーション機構を使用します。
- 割り当てられたアドレスは、デバイスに電源が供給されている間は一定しています。デバイスの電源切断後もアドレスの保持が可能です。
- アドレス割り当ての後、新たな SMBus パケットのオーバーヘッドは生じません。（つまり、割り当てられたスレーブアドレスへのその後のアクセスでは、固定アドレスのデバイスへのアクセスと同じオーバーヘッドになります。）
- いずれの SMBus マスタも、バスの番号付けが可能です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ユニークデバイス識別子（UDID）

アドレス割り当てを目的として各デバイスを分離する仕組みを提供するために、各デバイスは一意デバイス識別子（UDID）を実装する必要があります。

128 ビット UDID と ARP の詳細については、SMBus 仕様 ver. 2.0（*http://smbus.org/specs/*）を参照してください。

SMBus アラートモード

SMBus アラートは、マスタ機能をピンに置き換えたいデバイス用の割り込みラインを持つオプション信号です。SMBA は、SCL 信号や SDA 信号と同じく、ワイヤード AND 信号です。SMBA は、SMBus 同報アドレスとともに使用されます。SMBus で呼び出されるメッセージの長さは 2 バイトです。

スレーブ専用デバイスは、I2C_CR1 レジスタの ALERT ビットをセットすることによって、ホストに接続したいことを SMBA を通じて通知できます。ホストは、割り込みを処理し、*アラート応答アドレス*（ARA と呼ばれ、値は 0001 100X）を通じて全 SMBA デバイスに同時にアクセスします。SMBA をローレベルに引き下げたデバイスのみが、アラート応答アドレスを確認応答します。このステータスは、I2C_SR1 レジスタの SMBALERT ステータスフラグを使用して識別されます。ホストは、モディファイド受信バイト動作を行います。スレーブ送信デバイスによって提供された 7 ビットのデバイスアドレスは、バイトの上位 7 ビットに置かれます。8 番目のビットは 0 または 1 にできます。

複数のデバイスが SMBA をローレベルに引き下げている場合、スレーブアドレス転送時の標準的なアービトレーションによって、最高優先順位（最小アドレス）のデバイスが通信権を獲得します。スレーブアドレスの確認応答後、デバイスは、その SMBA のプルダウンを解放する必要があります。メッセージ転送の完了時に、SMBA が依然としてローレベルであることにホストが気づいた場合、再び ARA の読み出しが行われます。
SMBA 信号を実装していないホストは、周期的に ARA にアクセスすることができます。

SMBus アラートモードの詳細については、SMBus 仕様 ver. 2.0（*http://smbus.org/specs/*）を参照してください。

タイムアウトエラー

I²Cと SMBus では、タイミング仕様に違いがあります。
SMBus では、クロックロータイムアウトとして 35 ms の TIMEOUT が定義されています。さらに SMBus では、スレーブデバイスのクロックロー累積延長時間として TLOW:SEXT を規定しています。また、マスタデバイスのクロックロー累積延長時間として TLOW:MEXT も規定しています。これらのタイムアウトの詳細については、SMBus 仕様 ver. 2.0 （*http://smbus.org/specs/*）を参照してください。

I2C_SR1 レジスタのステータスフラグ Timeout や Tlow Error は、この機能のステータスを示します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

SMBus モードでのインタフェースの使い方

I²Cモードから SMBus モードに切り替えるには、次のシーケンスを実行してください。

- I2C_CR1 レジスタの SMBus ビットをセットします。
- アプリケーションの必要に応じて、I2C_CR1 レジスタの SMBTYPE ビットと ENARP ビットを設定します。

デバイスをマスタとして設定したい場合、*セクション 27.3.3 : I2C マスタモード*に記載されている START コンディションの生成手順に従ってください。そうでない場合は、*セクション 27.3.2 : I2C スレーブモード*に記載されている手順に従ってください。

アプリケーションは、ソフトウェアによってさまざまな SMBus プロトコルを制御する必要があります。

- ENARP=1 および SMBTYPE=0 の場合 : SMB デバイスのデフォルトアドレスが確認応答されます。
- ENARP=1 および SMBTYPE=1 の場合 : SMB ホストヘッダが確認応答されます。
- SMBALERT=1 の場合 : SMB アラート応答アドレスが確認応答されます。

27.3.8 DMA リクエスト

DMA リクエストは、データ転送用にのみ生成されます（有効な場合）。DMA リクエストが生成されるのは、送信中にデータレジスタが空になったとき、および受信中にデータレジスタが満杯になったときです。I2C データ 転送の前に DMA を初期化して有効化する必要があります。ADDR イベントの前に I2C_CR2 レジスタで DMAEN ビットをセットする必要があります。マスタモードまたはスレーブモードにおいてクロック伸長を有効化した場合、ADDR フラグをクリアする前に ADDR イベント中に DMAEN ビットをセットすることもできます。DMA リクエストは、現在のバイト転送の終わりまでに処理される必要があります。対応する DMA ストリームにプログラミングされたデータ転送回数に達したとき、DMA コントローラは、I²Cインタフェースに転送終了（EOT）信号を送信し、転送完了割り込みを生成します（有効な場合）。

- マスタトランスミッタ : EOT 割り込み後の割り込みルーチンでは、DMA リクエストを無効にし、BTF イベントの発生を待ってから、STOP コンディションをプログラミングします。
- マスタレシーバ
  - 受信するバイト数が 2 以上であるとき、DMA コントローラは、最後から 2 番目のデータバイト（number_of_bytes - 1）に対応するハードウェア信号（EOT_1）を送信します。I2C_CR2 レジスタで LAST ビットがセットされた場合、I²Cは、EOT_1 に続く次のバイトの後に、自動的に NACK を送信します。ユーザは、DMA 転送完了割り込みルーチンで STOP コンディションを生成できます（有効な場合）。
  - 1 バイトを受信する必要がある場合 : EV6 イベント中に NACK をプログラムする必要があります。すなわち、ADDR フラグをクリアする前に ADDR=1 のときに ACK=0 をプログラムします。すると、ADDR フラグのクリア後、または DMA 転送完了割り込みルーチン内で、STOP コンディションをプログラムすることができます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

DMA を使用した送信

DMA モードの送信を有効にするには、I2C_CR2 レジスタの DMAEN ビットをセットします。データは、TxE ビットがセットされるたびに、DMA ペリフェラルを使用して設定されたメモリ領域（DMA 仕様を参照）から I2C_DR レジスタにロードされます。I²C 送信に DMA ストリーム x（ここで x はストリーム番号）を割り当てるには、次のシーケンスを実行します:

1. I2C_DR レジスタのアドレスを DMA_SxPAR レジスタにセットします。データは、毎回の TxE イベント後に、メモリからこのアドレスに移動されます。
2. DMA_SxMA0R レジスタに（およびダブルバッファモードの場合は DMA_SxMA1R レジスタ）メモリアドレスを設定します。データは、毎回の TxE イベント後に、このメモリから I2C_DR にロードされます。
3. 転送されるバイトの総数を DMA_SxNDTR レジスタに設定します。毎回の TxE イベント後に、この値はデクリメントされます。
4. DMA_SxCR レジスタの PL[0:1] ビットを使用して、DMA ストリームの優先順位を設定します。
5. DMA_SxCR レジスタの DIR ビットをセットし、アプリケーション条件に応じて 1/2 転送終了後または転送完了後に、割り込みを設定します。
6. DMA_SxCR レジスタの EN ビットをセットすることにより、ストリームを有効にします。

DMA コントローラのレジスタにプログラミングされたデータ転送回数に達したとき、DMA コントローラは、I²Cインタフェースに転送終了（EOT/EOT_1）信号を送信し、DMA は DMA チャネル割り込みベクタ上に割り込みを生成します（有効な場合）。

*注： **DMA が送信に使用される場合、I2C_CR2 レジスタの ITBUFEN ビットを有効にしないでください。***

DMA を使用した受信

DMA モードの受信を有効にするには、I2C_CR2 レジスタの DMAEN ビットをセットします。データは、データバイトが受信されるたびに、DMA ペリフェラルを使用して設定されたメモリ領域（DMA 仕様を参照）に I2C_DR レジスタからロードされます。I²C 受信に DMA ストリーム x （ここで x はストリーム番号）を割り当てるには、次のシーケンスを実行します:

1. I2C_DR レジスタのアドレスを DMA_SxPAR レジスタにセットします。データは、毎回の RxNE イベント後に、このアドレスからメモリに移動されます。
2. DMA_SxMA0R レジスタに（およびダブルバッファモードの場合は DMA_SxMA1R レジスタ）メモリアドレスを設定します。データは、毎回の RxNE イベント後に、I2C_DR レジスタからこのメモリ領域にロードされます。
3. 転送されるバイトの総数を DMA_SxNDTR レジスタに設定します。毎回の RxNE イベント後に、この値はデクリメントされます。
4. DMA_SxCR レジスタの PL[0:1] ビットを使用して、DMA ストリームの優先順位を設定します。
5. DMA_SxCR レジスタの DIR ビットをリセットし、アプリケーション条件に応じて 1/2 転送終了後または転送完了後に、割り込みを設定します。
6. DMA_SxCR レジスタの EN ビットをセットすることにより、ストリームを有効にします。

DMA コントローラのレジスタにプログラミングされたデータ転送回数に達したとき、DMA コントローラは、I²Cインタフェースに転送終了（EOT/EOT_1）信号を送信し、DMA は DMA チャネル割り込みベクタ上に割り込みを生成します（有効な場合）。

*注： **DMA が受信に使用される場合、I2C_CR2 レジスタの ITBUFEN ビットを有効にしないでください。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

27.3.9 パケットエラーチェック

通信の信頼性を高めるため、PEC 計算回路が実装されています。PEC の計算には、$C(x) = x^8 + x^2 + x + 1$ という CRC-8 多項式を各ビットに連続的に適用します。

- PEC 計算を有効にするには、I2C_CR1 レジスタの ENPEC ビットをセットします。PEC は、アドレスと R/W ビットを含むすべてのメッセージバイトに基づいて計算される CRC-8 コードです。
  - 送信時：最後のバイトに対応する TxE イベントの後、I2C_CR1 レジスタの PEC 転送ビットをセットします。PEC は、最後に送信されたバイトの後で転送されます。
  - 受信時：最後のバイトに対応する RxNE イベントの後、I2C_CR1 レジスタの PEC ビットをセットすることで、次に受信するバイトが内部的に計算した PEC と等しくない場合にレシーバが NACK を送信するようにします。マスタレシーバの場合、チェックの結果にかかわらず、PEC の後には NACK が続く必要があります。スレーブモードでは、CRC 受信の ACK の前に PEC をセットする必要があります。マスタモードでは、ACK がローにセットされたときにセットする必要があります。
- PECERR エラーフラグ／割り込みは、I2C_SR1 レジスタでも使用できます。
- DMA と PEC 計算機能がともに有効な場合：
  - 送信時：I²Cインタフェースが DMA コントローラから EOT 信号を受信すると、最終バイトの後で自動的に PEC を送信します。
  - 受信時：I²Cインタフェースが DMA コントローラから EOT_1 信号を受信すると、次のバイトを自動的に PEC とみなし、その検査を行います。PEC 受信後に DMA リクエストが生成されます。
- 中間での PEC 転送を可能にするため、I2C_CR2 レジスタには制御ビット（LAST ビット）が用意されており、本当に最後の DMA 転送かどうかを判定できます。マスタレシーバの最後の DMA リクエストである場合、最後に受信されたバイトの後で自動的に NACK が送信されます。
- PEC 計算は、アービトレーションロスによって損なわれます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

27.4 I²C 割り込み

次の表に、I²C 割り込みリクエストの一覧を示します。

表 123. I²C 割り込みリクエスト

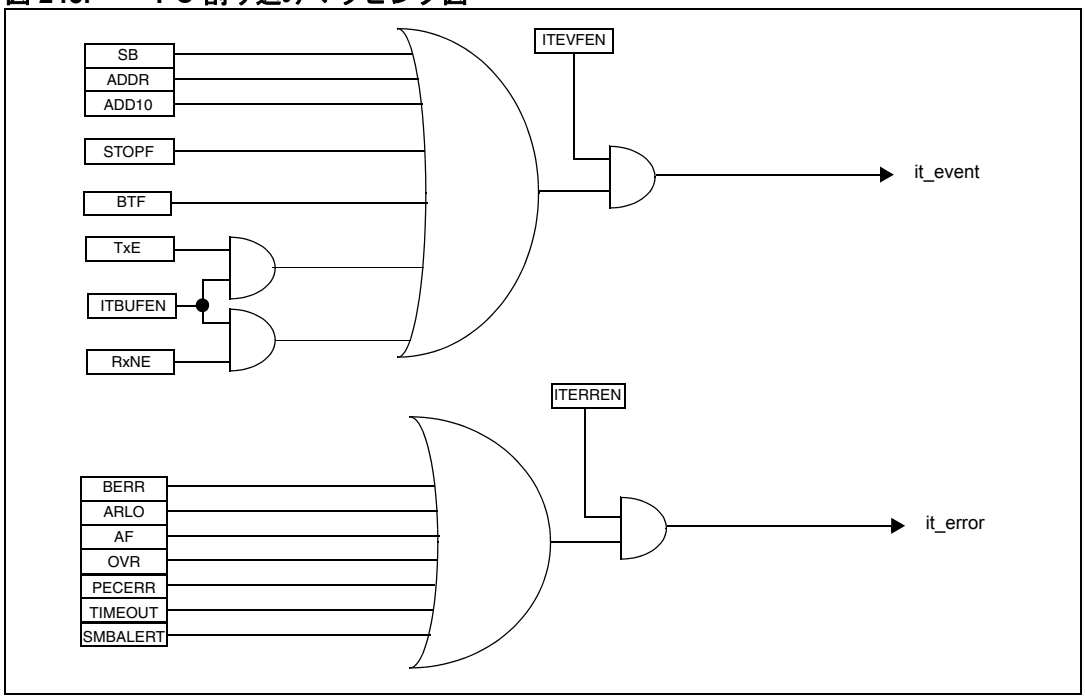
割り込みイベント	イベントフラグ	イネーブル制御ビット
START ビット送信（マスタ）	SB	ITEVFEN
アドレス送信（マスタ）またはアドレス一致（スレーブ）	ADDR	
10 ビットヘッダ送信（マスタ）	ADD10	
STOP 受信（スレーブ）	STOPF	
データバイト転送終了	BTF	
受信バッファノットエンプティ	RxNE	ITEVFEN および ITBUFEN
送信バッファエンプティ	TxE	
バスエラー	BERR	ITERREN
アービトレーションロスト（マスタ）	ARLO	
確認応答障害	AF	
オーバーラン／アンダーラン	OVR	
PEC エラー	PECERR	
タイムアウト／T lowエラー	TIMEOUT	
SMBus アラート	SMBALERT	

注： ***SB、ADDR、ADD10、STOPF、BTF、RxNE、および TxE の各ビットは、同じ割り込みチャネル上で論理和がとられます。***

BERR、ARLO、AF、OVR、PECERR、TIMEOUT、および SMBALERT の各ビットは、同じ割り込みチャネル上で論理和がとられます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 245. I²C 割り込みマッピング図



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

27.5 I²C デバッグモード

マイクロコントローラがデバッグモードに入ると（Cortex™-M4 with FPUコア停止）、DBG モジュールの DBG_I2Cx_SMBUS_TIMEOUT 設定ビットに応じて、SMBUS タイムアウトは、通常の動作を続行するか、あるいは停止します。詳細については、*セクション 38.16.2：タイマ、ウォッチドッグ、bxCAN、および I2C のデバッグサポート（1714 ページ）*を参照してください。

27.6 I²C レジスタ

レジスタの説明で使用されている略語のリストについては、*セクション 1.1（57 ページ）*を参照してください。

ペリフェラルレジスタには、ハーフワード（16 ビット）またはワード（32 ビット）単位でアクセスできます。

27.6.1 I²C 制御レジスタ 1 （I2C_CR1）

アドレスオフセット：0x00
リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SWRST	予約済み	ALERT	PEC	POS	ACK	STOP	START	NO STRETCH	ENGC	ENPEC	ENARP	SMB TYPE	予約済み	SMBUS	PE
rw		rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw		rw	rw

ビット 15 **SWRST**：ソフトウェアリセット

このビットがセットされると、I2C はリセット状態になります。このビットをリセットする前に、I2C ラインが解放されていて、バスが空いていることを確認してください。

0：I²C ペリフェラルはリセット状態ではありません。

1：I²C ペリフェラルはリセット状態です。

注： ***このビットを使って、エラー状態またはロック状態の後にペリフェラルを再初期化することができます。例えば、BUSY ビットがセットされ、バス上のグリッチのためにロックされたままになった場合、SWRST ビットを使ってこの状態から抜け出すことができます。***

ビット 14 予約済み、リセット値に保持する必要があります。

ビット 13 **ALERT**：SMBus アラート

このビットは、ソフトウェアによってセット／クリアされ、PE=0 のときにハードウェアによってクリアされます。

0：SMBA ピンをハイレベルに解放します。アラート応答アドレスヘッダの後には NACK が続きます。

1：SMBA ピンをローレベルに駆動します。アラート応答アドレスヘッダの後には ACK が続きます。

ビット 12 **PEC**：パケットエラーチェック

このビットは、ソフトウェアによってセット／クリアされ、PEC が転送されたとき、START/STOP コンディションが検出されたとき、または PE=0 のときにハードウェアによってクリアされます。

0：PEC は転送されません。

1：PEC が転送されます（送信または受信モード）。

注： ***PEC 計算は、アービトレーションロスによって損なわれます。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 11 **POS**：確認応答／PEC 位置（データ受信）

このビットは、ソフトウェアによってセット／クリアされ、PE=0 のときにハードウェアによってクリアされます。

0：ACK ビットは、シフトレジスタに受信されている現在のバイトの （N)ACK を制御します。PEC ビットは、シフトレジスタ内の現在のバイトが PEC であることを示します。

1：ACK ビットは、シフトレジスタに受信される次のバイトの （N)ACK を制御します。PEC ビットは、シフトレジスタ内の次のバイトが PEC であることを示します。

注： POS ビットは、マスタモードの 2 バイト受信設定でのみ使用する必要があります。また、セクション：マスタ受信（851 ページ）で推奨する 2 バイト受信手順に説明されているように、データ受信の開始前に設定する必要があります。

ビット 10 **ACK**：確認応答イネーブル

このビットは、ソフトウェアによってセット／クリアされ、PE=0 のときにハードウェアによってクリアされます。

0：確認応答は返されません。

1：バイトの受信後（アドレスまたはデータの一致）、確認応答が返されます。

ビット 9 **STOP**：STOP 生成

このビットは、ソフトウェアによってセット／クリアされ、STOP コンディションの検出時にハードウェアによってクリアされ、タイムアウトエラーの検出時にハードウェアによってセットされます。

マスタモード：

0：STOP は生成されません。

1：現在のバイト転送後、または現在の START コンディションの送信後に、STOP が生成されます。

スレーブモード：

0：STOP は生成されません。

1：現在のバイト転送に SCL ラインと SDA ラインを解放します。

ビット 8 **START**：START 生成

このビットは、ソフトウェアによってセット／クリアされ、START の送信時または PE=0 のときにハードウェアによってクリアされます。

マスタモード：

0：START は生成されません。

1：反復 START が生成されます。

スレーブモード：

0：START は生成されません。

1：バスが空いていれば、START が生成されます。

ビット 7 **NOSTRETCH**：クロック伸長ディセーブル（スレーブモード）

このビットは、スレーブモードで ADDR または BTF フラグがセットされているとき、ソフトウェアによってリセットされるまで、クロック伸長を無効にするために使用されます。

0：クロック伸長は有効です。

1：クロック伸長は無効です。

ビット 6 **ENGC**：同報イネーブル

0：同報は無効です。アドレス 00h は NACK されます。

1：同報は有効です。アドレス 00h は ACK されます。

ビット 5 **ENPEC**：PEC イネーブル

0：PEC 計算は無効です。

1：PEC 計算は有効です。

ビット 4 **ENARP**：ARP イネーブル

0：ARP は無効です。

1：ARP は有効です。

SMBTYPE=0 の場合、SMBus デバイスのデフォルトアドレスが認識されます。

SMBTYPE=1 の場合、SMBus ホストのアドレスが認識されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 3 **SMBTYPE**：SMBus タイプ
0：SMBus デバイス
1：SMBus ホスト

ビット 2 予約済み、リセット値に保持する必要があります。

ビット 1 **SMBUS**：SMBus モード
0：I²C モード
1：SMBus モード

ビット 0 **PE**：ペリフェラルイネーブル
0：ペリフェラルは無効です。
1：ペリフェラルは有効です。

注： 通信中にこのビットがリセットされた場合、現在の通信の最後にアイドル状態に戻ったとき、ペリフェラルは無効になります。
通信の最後には PE=0 になるので、すべてのビットがリセットされます。
マスタモードでは、通信が終るまで、このビットをリセットしてはなりません。

注： STOP、START、または PEC ビットがセットされると、このビットがハードウェアによってクリアされるまで、ソフトウェアは I2C_CR1 に書き込みアクセスを実行してはいけません。さもなければ、第 2 の STOP、START、または PEC リクエストを設定する危険性があります。

27.6.2 I²C 制御レジスタ 2 （I2C_CR2）

アドレスオフセット：0x04
リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み			LAST	DMA EN	ITBUFE N	ITEVTE N	ITERRE N	予約済み		FREQ[5:0]					
			rw	rw	rw	rw	rw			rw	rw	rw	rw	rw	rw

ビット 15:13 予約済み、リセット値に保持する必要があります。

ビット 12 **LAST**：DMA 最終転送
0：次の DMA EOT は最終転送ではありません。
1：次の DMA EOT は最終転送です。

注： このビットは、最後の受信データで の NACK の生成を可能にするために、マスタレシーバモードで使用されます。

ビット 11 **DMAEN**：DMA リクエストイネーブル
0：DMA リクエストは無効です。
1：TxE=1 または RxNE =1 のとき、DMA リクエストは有効です。

ビット 10 **ITBUFEN**：バッファ割り込みイネーブル
0：TxE = 1 または RxNE = 1 で、割り込みは生成されません。
1：TxE = 1 または RxNE = 1 で、イベント割り込みを生成します（DMAEN ビットの状態には依存しません）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 9 **ITEVTEN**：イベント割り込みイネーブル

0：イベント割り込みは無効です。
1：イベント割り込みは有効です。
この割り込みは、以下の場合に生成されます。

- SB = 1（マスタ）
- ADDR = 1（マスタ／スレーブ）
- ADD10 = 1（マスタ）
- STOPF = 1（スレーブ）
- BTF = 1（ただし、TxE または RxNE イベントが生成してしないとき）
- ITBUFEN = 1 で TxE イベントが 1 になったとき
- ITBUFEN = 1 で RxNE イベントが 1 になったとき

ITERREN：エラー割り込みイネーブル

0：エラー割り込みは無効です。
1：エラー割り込みは有効です。
この割り込みは、以下の場合に生成されます。

- BERR = 1
- ARLO = 1
- AF = 1
- OVR = 1
- PECERR = 1
- TIMEOUT = 1
- SMBALERT = 1

ビット 7:6 予約済み、リセット値に保持する必要があります。

ビット 5:0 **FREQ[5:0]**：ペリフェラルクロック周波数

ペリフェラルクロック周波数は、入力 APB クロック周波数（I2C ペリフェラルは APB に接続）を使用して設定する必要があります。最小許容周波数は 2 MHz であり、最大周波数は最大 APB 周波数（42 MHz）と本質的な制限（46 MHz）によって制約されます。

0b000000：設定禁止
0b000001：設定禁止
0b000010：2 MHz
...
0b101010：42 MHz
0b101010 を超える場合：設定禁止

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

27.6.3 I²C 自己アドレスレジスタ 1（I2C_OAR1）

アドレスオフセット：0x08
リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADD MODE	予約済み					ADD[9:8]		ADD[7:1]							ADD0
rw						rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15 **ADDMODE**：アドレスモード（スレーブモード）
0：7 ビットスレーブアドレス（10 ビットアドレスは確認応答されません）
1：10 ビットスレーブアドレス（7 ビットアドレスは確認応答されません）

ビット 14 ソフトウェアによって常に 1 に保持してください。

ビット 13:10 予約済み、リセット値に保持する必要があります。

ビット 9:8 **ADD[9:8]**：インタフェースアドレス
7 ビットアドレスモード：無視
10 ビットアドレスモード：アドレスのビット 9:8

ビット 7:1 **ADD[7:1]**：インタフェースアドレス
アドレスのビット 7:1

ビット 0 **ADD0**：インタフェースアドレス
7 ビットアドレスモード：無視
10 ビットアドレスモード：アドレスのビット 0

27.6.4 I²C 自己アドレスレジスタ 2（I2C_OAR2）

アドレスオフセット：0x0C
リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								ADD2[7:1]							ENDUAL
								rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:8 予約済み、リセット値に保持する必要があります。

ビット 7:1 **ADD2[7:1]**：インタフェースアドレス
デュアルアドレスモードでアドレスのビット 7:1

ビット 0 **ENDUAL**：デュアルアドレスモードイネーブル
0：7 ビットアドレスモードで、OAR1 のみが認識されます。
1：7 ビットアドレスモードで、OAR1 と OAR2 の両方が認識されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

27.6.5 I²C データレジスタ （I2C_DR）

アドレスオフセット：0x10
リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								DR[7:0]							
								rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:8 予約済み、リセット値に保持する必要があります。

ビット 7:0 **DR[7:0]** 8 ビットデータレジスタ

受信されたバイト、またはバスに送信されるバイト。

– トランスミッタモード：データレジスタにバイトが書き込まれると、バイト送信が自動的に始まります。送信が始まり（TxE=1）、次に送信されるデータがデータレジスタに書き込まれた場合、連続的な送信ストリームを維持できます。

– レシーバモード：受信したバイトはデータレジスタにコピーされます（RxNE=1）。データレジスタが読み出されてから次のデータバイトが受信された場合（RxNE=1）、連続的な送信ストリームを維持できます。

注： スレーブモードでは、アドレスはデータレジスタにコピーされません。

注： 書き込み衝突は管理されません（TxE=0 の場合、データレジスタは書き込み可能です）。

注： ACK パルスで ARLO イベントが発生した場合、受信したバイトはデータレジスタにコピーされないため、読み出しできません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

27.6.6 I²C ステータスレジスタ 1（I2C_SR1）

アドレスオフセット：0x14
リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMB ALERT	TIMEOUT	予約済み	PEC ERR	OVR	AF	ARLO	BERR	TxE	RxNE	予約済み	STOPF	ADD10	BTF	ADDR	SB
rc_w0	rc_w0		rc_w0	rc_w0	rc_w0	rc_w0	rc_w0	r	r		r	r	r	r	r

ビット 15 **SMBALERT**：SMBus アラート

SMBus ホストモードで、
0：SMBALERT はありません。
1：SMBALERT イベントがピンに発生しました。
SMBus スレーブモードで、
0：SMBALERT 応答アドレスヘッダはありません。
1：SMBALERT LOW への SMBALERT 応答アドレスヘッダを受信しました。

– ソフトウェアによって 0 を書き込んでクリアするか、PE=0 のときにハードウェアによってクリアされます。

ビット 14 **TIMEOUT**タイムアウトまたはタイマロー期間エラー

0：タイムアウトエラーは発生していません。
1：SCL は 25 ms の間ローレベルを維持しました（タイムアウト）。
または
マスタのクロックロー累積延長時間が 10 ms を超えました（Tlow:mext）。
または
スレーブのクロックロー累積延長時間が 25 ms を超えました（Tlow:sext）。

– スレーブモードに設定した場合：スレーブは通信をリセットし、ラインはハードウェアによって解放されます。
– マスタモードに設定した場合：STOP コンディションがハードウェアによって送信されます。
– ソフトウェアによって 0 を書き込んでクリアするか、PE=0 のときにハードウェアによってクリアされます。

注： この機能は SMBus モードでのみ使用できます。

ビット 13 予約済み、リセット値に保持する必要があります。

ビット 12 **PECERR**：受信時の PEC エラー

0：PEC エラーなし。レシーバは PEC 受信後に ACK を返します（ACK=1 の場合）。
1：PEC エラーあり。レシーバは PEC 受信後に NACK を返します（ACK は任意）。

– ソフトウェアによって 0 を書き込んでクリアするか、PE=0 のときにハードウェアによってクリアされます。
– 注：受信 CRC が正しくないとき、CRC 受信が終わる前に PEC 制御ビットがセットされない場合には、スレーブ モードでの PECERR はセットされません。しかしながら、PEC 値を読み出すと、受信 CRC が正しいか否かが分かります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 11 **OVR**：オーバーラン／アンダーラン

0：オーバーラン／アンダーランなし。

1：オーバーランまたはアンダーランあり。

– スレーブモードで NOSTRETCH=1 の場合、次の条件でハードウェアによってセットされます。

– 受信時、新しいバイト（ACK パルスを含む）が受信され、DR レジスタがまだ読み出されていないとき。新しい受信バイトは失われます。

– 送信時、新しいバイトを送信すべきときに、DR レジスタへの書き込みがまだ行われていないとき。同じバイトが 2 回送信されます。

– ソフトウェアによって 0 を書き込んでクリアするか、PE=0 のときにハードウェアによってクリアされます。

注： ***DR への書き込みが SCL の立ち上がりエッジのごく近くで行われた場合、送信されるデータは不定で、ホールドタイミングエラーが発生します。***

ビット 10 **AF**：確認応答障害

0：確認応答障害なし。

1：確認応答障害あり。

– 確認応答が返されないとき、ハードウェアによってセットされます。

– ソフトウェアによって 0 を書き込んでクリアするか、PE=0 のときにハードウェアによってクリアされます。

ビット 9 **ARLO**：アービトレーションロスト（マスタモード）

0：アービトレーションロストは検出されていません。

1：アービトレーションロストが検出されました。

インタフェースがバスのアービトレーションを他のマスタに開放したとき、ハードウェアによってセットされます。

– ソフトウェアによって 0 を書き込んでクリアするか、PE=0 のときにハードウェアによってクリアされます。

ARLO イベントの後、インタフェースは自動的にスレーブモード（MSL=0）に切り替わります。

注： ***SMBUS では、スレーブモードでのデータのアービトレーションは、データフェーズ中または確認応答の送信中にのみ行われます（アドレスの確認応答では行われません）。***

ビット 8 **BERR**：バスエラー

0：START または STOP コンディションの誤配置はありません。

1：START または STOP コンディションが誤配置されました。

– バイト転送中に SCL がハイである間、SDA の立ち上がりまたは立ち下がりエッジが有効でない位置に発生していることをインタフェースが検出したとき、ハードウェアによってセットされます。

– ソフトウェアによって 0 を書き込んでクリアするか、PE=0 のときにハードウェアによってクリアされます。

ビット 7 **TxE**：データレジスタエンプティ（トランスミッタ）

0：データレジスタは空ではありません。

1：データレジスタは空です。

– 送信中にデータレジスタが空になったときにセットされます。TxE はアドレスフェーズではセットされません。

– DR レジスタへのソフトウェア書き込みによってクリアされ、START/STOP コンディションの後または PE=0 のときにハードウェアによってクリアされます。

NACK が受信された場合、または次に送信されるバイトが PEC である場合（PEC=1）、TxE はセットされません。

注： ***送信される最初のデータを書き込んだり、BTF がセットされているときにデータを書き込んだりしても、TxE はクリアされません。いずれの場合も、データレジスタはまだ空だからです。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 6 **RxNE**：データレジスタノットエンプティ（レシーバ）

0：データレジスタは空です。
1：データレジスタは空ではありません。

– レシーバモードで、データレジスタが空でないときにセットされます。RxNE は、アドレスフェーズではセットされません。
– ソフトウェアで DR レジスタへの読み書きを行ってクリアするか、PE=0 のときにハードウェアによってクリアされます。

ARLO イベントの場合、RxNE はセットされません。

注： ***BTF がセットされているとき、データレジスタはまだ満杯であるため、データを読み出しても RxNE はクリアされません。***

ビット 5 予約済み、リセット値に保持する必要があります。

ビット 4 **STOPF**：STOP 検出（スレーブモード）

0：STOP コンディションは検出されていません。
1：STOP コンディションが検出されました。

– 確認応答後に、スレーブがバス上で STOP コンディションを検出したとき、ハードウェアによってセットされます（ACK=1 の場合）。
– ソフトウェアで SR1 レジスタを読み出し、続いて CR1 レジスタに書き込むとクリアされます。または、PE=0 のときにハードウェアによってクリアされます。

注： ***STOPF ビットは、NACK 受信後にはセットされません。***
STOPF がセットされた後、完全なクリアシーケンス（READ SR1、続いて WRITE CR1）を実行することを推奨します。図 242：スレーブ受信の転送シーケンス図（848 ページ）を参照してください。

ビット 3 **ADD10**：10 ビットヘッダの送信（マスタモード）

0：ADD10 イベントは発生していません。
1：マスタは最初のアドレスバイト（ヘッダ）を送信しました。

– マスタが 10 ビットアドレスモードで最初のバイトを送信すると、ハードウェアによってセットされます。
– ソフトウェアで SR1 レジスタを読み出し、続いて DR レジスタに 2 番目のアドレスバイトを書き込むとクリアされます。または、PE=0 のときにハードウェアによってクリアされます。

注： ***ADD10 ビットは、NACK 受信後にはセットされません。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 2 **BTF**：バイト転送終了

0：データバイト転送は完了していません。
1：データバイト転送が正常に終了しました。

– NOSTRETCH=0 の場合、次の条件でハードウェアによってセットされます。
– 受信時、新しいバイト（ACK パルスを含む）が受信され、DR レジスタがまだ読み出されていないとき（RxNE=1）。
– 送信時、新しいバイトを送信すべきときに、DR レジスタへの書き込みがまだ行われていないとき（TxE=1）。
– DR レジスタへの読み書きによりソフトウェアでクリアされます。または、送信時の START/STOP コンディションの後や PE=0 のときに、ハードウェアによってクリアされます。

注： ***BTF ビットは、NACK 受信後にはセットされません。***

BTF ビットは、次に送信されるバイトが PEC である場合（I2C_SR2 レジスタの TRA=1 かつ I2C_CR1 レジスタの PEC=1）、セットされません。

ビット 1 **ADDR**：アドレス送信（マスタモード）／アドレス一致（スレーブモード）

このビットは、ソフトウェアで SR1 レジスタを読み出し、続いて SR2 レジスタを読み出すことでクリアされます。または、PE=0 のときにハードウェアによってクリアされます。

アドレス一致（スレーブ）

0：アドレスは受信されていないか、一致しませんでした。
1：受信したアドレスが一致しました。

– 受信したスレーブアドレスが OAR レジスタの内容と一致したとき、あるいは同報／SMBus デバイスデフォルトアドレスまたは SMBus ホスト／SMBus アラートが認識されたとき、ハードウェアによってセットされます。（設定に応じて有効化されている場合）。

注： ***スレーブモードでは、ADDR がセットされた後、完全なクリアシーケンス（READ SR1、続いて READ SR2）を実行することを推奨します。図 242：スレーブ受信の転送シーケンス図 (848 ページ)を参照してください。***

アドレス送信（マスタ）

0：アドレス送信は終了していません。
1：アドレス送信は終了しました。

– 10 ビットアドレッシングでは、2 番目のバイトの ACK 後にビットがセットされます。
– 7 ビットアドレッシングでは、バイトの ACK 後にビットがセットされます。

注： ***ADDR は、NACK 受信後にはセットされません。***

ビット 0 **SB**：スタートビット（マスタモード）

0：START コンディションなし。
1：START コンディションが生成されました。

– START コンディションが生成されたときにセットされます。
– ソフトウェアで SR1 レジスタを読み出し、続いて DR レジスタへの書き込みを行うとクリアされます。または、PE=0 のときにハードウェアによってクリアされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

27.6.7 I²C ステータスレジスタ 2（I2C_SR2）

アドレスオフセット：0x18
リセット値：0x0000

注： ***たとえ I2C_SR1 の読み出し後に ADDR フラグがセットされた場合でも、I2C_SR1 の読み出し後に I2C_SR2 を読み出すと、ADDR フラグはクリアされます。したがって、I2C_SR1 の ADDR がセットされていると分かったとき、または STOPF ビットがクリアされているときにのみ、I2C_SR2 を読み出す必要があります。***

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PEC[7:0]								DUALF	SMB HOST	SMBDEF AULT	GEN CALL	予約済み	TRA	BUSY	MSL
r	r	r	r	r	r	r	r	r	r	r	r		r	r	r

ビット 15:8 **PEC[7:0]**：パケットエラーチェックレジスタ
ENPEC=1 のとき、このレジスタは内部 PEC を保持しています。

ビット 7 **DUALF**：デュアルフラグ（スレーブモード）
0：受信アドレスが OAR1 と一致
1：受信アドレスが OAR2 と一致
– STOP コンディションまたは反復 START コンディションの後、あるいは PE=0 のときに、ハードウェアによってクリアされます。

ビット 6 **SMBHOST**：SMBus ホストヘッダ（スレーブモード）
0：SMBus ホストアドレスは受信されていません。
1：SMBTYPE=1 かつ ENARP=1 のとき、SMBus ホストアドレスが受信されました。
– STOP コンディションまたは反復 START コンディションの後、あるいは PE=0 のときに、ハードウェアによってクリアされます。

ビット 5 **SMBDEFAULT**：SMBus デバイスデフォルトアドレス（スレーブモード）
0：SMBus デバイスデフォルトアドレスは受信されていません。
1：ENARP=1 のとき、SMBus デバイスデフォルトアドレスが受信されました。
– STOP コンディションまたは反復 START コンディションの後、あるいは PE=0 のときに、ハードウェアによってクリアされます。

ビット 4 **GENCALL**：同報アドレス（スレーブモード）
0：同報アドレスは受信されていません。
1：ENGC=1 のとき、同報アドレスが受信されました。
– STOP コンディションまたは反復 START コンディションの後、あるいは PE=0 のときに、ハードウェアによってクリアされます。

ビット 3 予約済み、リセット値に保持する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 2 **TRA**：トランスミッタ／レシーバ

0：データバイトが受信されました。

1：データバイトが送信されました。

このビットは、全アドレスフェーズの最後に、アドレスバイトの R/W ビットに応じてセットされます。

また、STOP コンディション（STOPF=1）、繰り返し START コンディション、バスアービトレーションロスト（ARLO=1）の検出後、または PE=0 のときに、ハードウェアによってクリアされます。

ビット 1 **BUSY**：バスビジー

0：バス上で通信は行われていません。

1：バス上で通信が行われています。

– SDA または SCL のローレベル検出時に、ハードウェアによってセットされます。

– STOP コンディションの検出時に、ハードウェアによってクリアされます。

バス上で通信が進行中であることを表示します。この情報は、インタフェースが無効である（PE=0）ときにも更新されます。

ビット 0 **MSL**：マスタ／スレーブ

0：スレーブモード

1：マスタモード

– インタフェースがマスタモードになると（SB=1）、ハードウェアによってセットされます。

– バス上での STOP コンディションまたはアービトレーションロスト（ARLO=1）を検出した後、または PE=0 のときに、ハードウェアによってクリアされます。

注： ***たとえ I2C_SR1 の読み出し後に ADDR フラグがセットされた場合でも、I2C_SR1 の読み出し後に I2C_SR2 を読み出すと、ADDR フラグはクリアされます。したがって、I2C_SR1 の ADDR がセットされていると分かったとき、または STOPF ビットがクリアされているときにのみ、I2C_SR2 を読み出す必要があります。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

27.6.8 I²C クロック制御レジスタ（I2C_CCR）

アドレスオフセット：0x1C
リセット値：0x0000

注： ***標準モード I²C 周波数を実現するためには、f_{PCLK1}は最小 2 MHz 以上である必要があります。高速モード I²C 周波数を実現するためには、最小 4 MHz 以上である必要があります。400 kHz の最大 I²C 高速 モードクロックに到達するためには、10MHz の整数倍である必要があります。***

CCR レジスタは、I2C が無効（PE=0）の場合にのみ設定する必要があります。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
F/S	DUTY	予約済み		CCR[11:0]											
rw	rw			rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15 **F/S**：I2C マスタモード選択
0：標準モード I2C
1：高速モード I2C

ビット 14 **DUTY**：高速モードデューティサイクル
0：高速 モード t_{low}/t_{high} = 2
1：高速 モード t_{low}/t_{high} = 16/9 （CCR を参照）

ビット 13:12 予約済み、リセット値に保持する必要があります。

ビット 11:0 **CCR[11:0]**：高速／標準モード（マスタモード）でのクロック制御レジスタ
マスタモードにおける SCL クロックを制御します。
標準モードまたは SMBus：
T_{high} = CCR * T_{PCLK1}
T_{low} = CCR * T_{PCLK1}
高速 モード：
DUTY = 0 の場合：
T_{high} = CCR * T_{PCLK1}
T_{low} = 2 * CCR * T_{PCLK1}
DUTY = 1 の場合：（400 kHz に到達するには）
T_{high} = 9 * CCR * T_{PCLK1}
T_{low} = 16 * CCR * T_{PCLK1}
例：標準モードで 100 kHz の SCL 周波数を生成するには、
FREQR = 08、T_{PCLK1} = 125 ns の場合、CCR には 0x28 をプログラムする必要があります。
（0x28 <=> 40d x 125 ns = 5000 ns）

注： ***1.最小許容値は 0x04 です。ただし、FAST DUTY モードでは最小許容値は 0x01 になります。***
2.これらのタイミングは、フィルタを通さないものです。
3.CCR レジスタは、I²Cが無効（PE=0）の場合にのみ設定する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

27.6.9 I²C TRISE レジスタ（I2C_TRISE）

アドレスオフセット：0x20
リセット値：0x0002

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み										TRISE[5:0]					
										rw	rw	rw	rw	rw	rw

ビット 15:6 予約済み、リセット値に保持する必要があります。

ビット 5:0 **TRISE[5:0]**：高速／標準モード（マスタモード）における最大立ち上がり時間

これらのビットには、I²C バス仕様で定められている SCL 最大立ち上がり時間より 1 だけ大きな値をプログラミングする必要があります。

例：標準モードで許容される SCL の最大立ち上がり時間は 1000 ns です。

I2C_CR2 レジスタの FREQ[5:0] ビットの値が 0x08 で、T_{PCLK1} = 125 ns である場合、TRISE[5:0] ビットには 09h をプログラミングする必要があります。

（1000 ns / 125 ns = 8 + 1）

フィルタ値も TRISE[5:0] に加算することができます。

結果が整数でない場合、t_{HIGH} パラメータを考慮して、その整数部を TRISE[5:0] にプログラミングする必要があります。

注： TRISE[5:0] は、I2C が無効（PE=0）の場合にのみ設定する必要があります。

27.6.10 I²C FLTR レジスタ（I2C_FLTR）

アドレスオフセット：0x24

リセット値：0x0000

I2C_FLTR は STM32F42xxx および STM32F43xxxでのみ使用可能です。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み											ANOFF	DNF[3:0]			
											rw	rw	rw	rw	rw

ビット 15:5 予約済み、リセット値に保持する必要があります。

ビット 4 **ANOFF**：アナログノイズフィルタ OFF

0：アナログノイズフィルタ有効
1：アナログノイズフィルタ無効

注： ANOFF は、I2C が無効（PE=0）の場合にのみ設定する必要があります。

ビット 3:0 **DNF[3:0]**：デジタルノイズフィルタ

これらのビットを使って、SDA 入力と SCL 入力のデジタルノイズフィルタを設定します。デジタルフィルタは、最大 DNF[3:0] * TPCLK1 の幅を持つスパイクを除去します。

0000：デジタルノイズフィルタを無効化
0001：デジタルノイズフィルタを有効化し、最大 1 * TPCLK1 の除去能力を持ちます
...
1111：デジタルノイズフィルタを有効化し、最大 15 * TPCLK1 の除去能力を持ちます

注： DNF[3:0] は、I2C が無効（PE=0）の場合にのみ設定する必要があります。アナログフィルタも有効化した場合、デジタルフィルタがアナログフィルタに追加されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

27.6.11 I²C レジスタマップ

次の表に、I²C のレジスタマップとリセット値を示します。

表 124. I²C レジスタマップとリセット値

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	I2C_CR1	予約済み																SWRST	予約済み	ALERT	PEC	POS	ACK	STOP	START	NOSTRETCH	ENGC	ENPEC	ENARP	SMBTYPE	予約済み	SMBUS	PE
	リセット値																	0		0	0	0	0	0	0	0	0	0	0	0		0	0
0x04	I2C_CR2	予約済み																			LAST	DMAEN	ITBUFEN	ITEVTEN	ITERREN	予約済み	FREQ[5:0]						
	リセット値																				0	0	0	0	0		0	0	0	0	0	0	0
0x08	I2C_OAR1	予約済み																ADDMODE	予約済み					ADD[9:8]		ADD[7:1]							ADD0
	リセット値																	0						0	0	0	0	0	0	0	0	0	0
0x0C	I2C_OAR2	予約済み																								ADD2[7:1]							ENDUAL
	リセット値																									0	0	0	0	0	0	0	0
0x10	I2C_DR	予約済み																								DR[7:0]							
	リセット値																									0	0	0	0	0	0	0	0
0x14	I2C_SR1	予約済み																SMBALERT	TIMEOUT	予約済み	PECERR	OVR	AF	ARLO	BERR	TxE	RxNE	予約済み	STOPF	ADD10	BTF	ADDR	SB
	リセット値																	0	0		0	0	0	0	0	0	0		0	0	0	0	0
0x18	I2C_SR2	予約済み																PEC[7:0]								DUALF	SMBHOST	SMBDEFAULT	GENCALL	予約済み	TRA	BUSY	MSL
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0		0	0	0
0x1C	I2C_CCR	予約済み																F/S	DUTY	予約済み	CCR[11:0]												
	リセット値																	0	0		0	0	0	0	0	0	0	0	0	0	0	0	0
0x20	I2C_TRISE	予約済み																										TRISE[5:0]					
	リセット値																											0	0	0	0	1	0
0x24	I2C_FLTR	予約済み																											ANOFF	DNF[3:0]			
	リセット値																												0	0	0	0	0

レジスタ境界アドレス表については、*表 2（64 ページ）*を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

28 シリアルペリフェラルインタフェース（SPI）

このセクションは、特に指定がない限り、STM32F4xx ファミリ全体に適用されます。

28.1 SPI の概要

SPI インタフェースは、SPI プロトコルまたは I^2S オーディオプロトコルをサポートする 2 つの主要機能に対応します。デフォルトで選択されているのは、SPI 機能です。ソフトウェアによって、インタフェースを SPI から I^2S に切り替えることができます。

SPI（シリアルペリフェラルインタフェース）では、外部デバイスとの半二重／全二重の同期シリアル通信が可能です。このインタフェースはマスタとして設定することも可能で、その場合、外部スレーブデバイスに通信クロック（SCK）を供給します。このインタフェースは、マルチマスタ設定で動作することもできます。

2 本のライン（双方向データラインを使用可能）での単方向同期転送や、CRC チェックを使用した信頼性の高い通信など、さまざまな目的に使用することができます。

I^2S もまた、同期シリアル通信インタフェースです。I^2S フィリップス標準、MSB/LSB 詰め標準、PCM 標準など、4 つのオーディオ標準に対応できます。全二重モード（4 ピン使用）または半二重モード（3 ピン使用）でマスタデバイスまたはスレーブデバイスとして動作することができます。I^2S が通信マスタとして設定されると、インタフェースは外部スレーブ部品にマスタクロックを供給できます。

警告： **SPI1 ピンと SPI3/I2S3 ピンは、JTAG インタフェース（SPI1_NSS は JTDI に、SPI3_NSS/I2S3_WS は JTDI に、SPI3_SCK/I2S3_CK は JTDO）に使用するいくつかのピンに割り当てることができるため、次のいずれでも可能です：**

- **SPI/I2S を他のピンに割り当てること**
- **JTAG を無効にして、SPI I/O として列挙されたピンを設定する前に SWD インタフェースを使用すること（アプリケーションのデバッグ時）、または、**
- **JTAG/SWD の両インタフェースを無効にすること（スタンドアロンアプリケーションの場合）**

JTAG/SWD インタフェースピンの設定の詳細については、*セクション 8.3.2 : I/O ピンマルチプレクサとマッピング*を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

28.2 SPI と I^2S の主な機能

28.2.1 SPI 機能

- 3 本のラインで全二重同期転送
- 2 本のラインで単方向同期転送（双方向データラインの有無にかかわらず）
- 8 または 16 ビットの転送フレームフォーマット選択
- マスタまたはスレーブ動作
- マルチマスタモード機能
- 8 個のマスタモードボーレートプリスケーラ（最大周波数：$f_{PCLK}/2$）
- スレーブモード周波数（最大周波数 $f_{PCLK}/2$）
- マスタとスレーブの両方で高速通信
- マスタとスレーブの両方に対するハードウェア／ソフトウェアによる NSS 管理：マスタ／スレーブ動作の動的切り替え
- クロックの極性と位相をプログラミング可能
- データ順序をプログラミング可能（MSB ファースト／LSB ファーストのシフト）
- 専用の送受信フラグ（割り込み機能付き）
- SPI バスビジーステータスフラグ
- SPI TI モード
- ハードウェア CRC 機能による信頼性の高い通信：
  - 送信モードでは CRC 値を最終バイトとして送信可能
  - 最終受信バイトに対する CRC エラーの自動チェック
- マスタモードの障害、オーバーラン、および CRC エラーの各フラグ（割り込み機能付き）
- 1 バイトの送受信バッファ（DMA 機能付き：送受信リクエスト）

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

28.2.2 I²S の機能

- 全二重通信
- 半二重通信（トランスミッタまたはレシーバのみ）
- マスタ動作またはスレーブ動作
- 正確なオーディオサンプリング周波数（8～192 kHz）を実現するプログラミング可能な 8 ビットのリニアプリスケーラ
- 16 ビット、24 ビット、または 32 ビットのデータフォーマット
- パケットフレームはオーディオチャネルによって 16 ビット（16 ビットデータフレーム）または 32 ビット（16 ビット、24 ビット、32 ビットデータフレーム）に固定
- プログラミング可能なクロック極性（定常状態）
- スレーブ送信モードのアンダーランフラグ、受信モード（マスタおよびスレーブ）のオーバーランフラグ、受信モードと送信モード（スレーブの場合のみ）のフレームエラーフラグ
- 送受信用の 16 ビットレジスタ（両チャネルサイドに対して 1 個のデータレジスタ）
- 次の I²S プロトコルをサポート：
  - I²S フィリップス標準
  - MSB 詰め標準（左詰め）
  - LSB 詰め標準（右詰め）
  - PCM 標準（16 ビットチャネルフレーム、または 32 ビットチャネルフレームに拡張された 16 ビットデータフレームでの、ショートおよびロングフレーム同期付き）
- データ方向は常に MSB ファースト
- 送受信（16 ビット幅）用の DMA 機能
- 外部オーディオコンポーネントを駆動するためのマスタクロックを出力可能。周波数比は 256 × F_S に固定（F_S はオーディオサンプリング周波数）
- 両 I²S（I2S2 と I2S3）には専用 PLL（PLLI2S）があり、さらにいっそう正確なクロックを生成
- I²S（I2S2 と I2S3）クロックは、I2S_CKIN ピンに割り当てられた外部クロックから取得可能

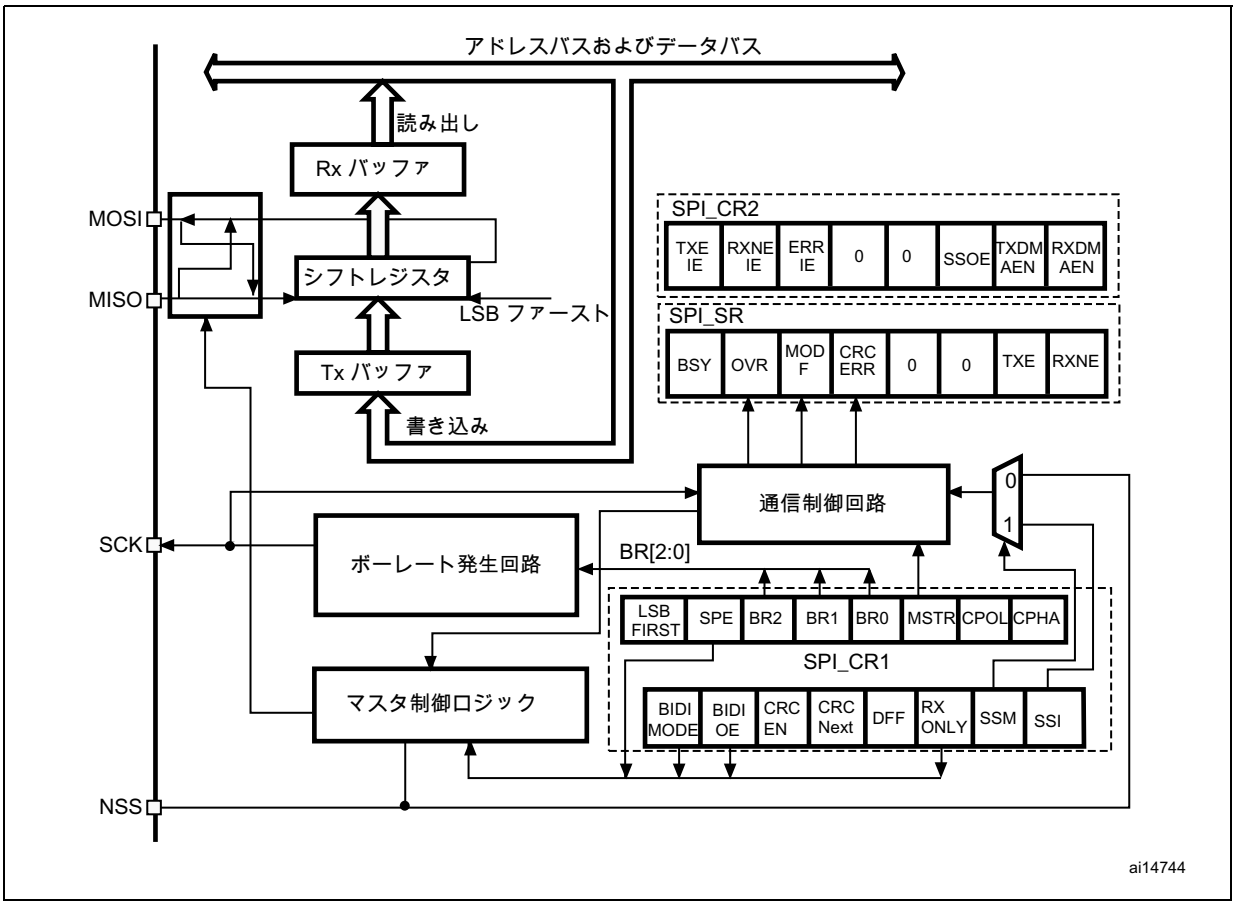
この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

28.3 SPI 機能詳細

28.3.1 概要

SPI のブロック図を*図 246* に示します。

図 246. SPI のブロック図



通常、SPI は 4 本のピンで外部デバイスに接続されます。

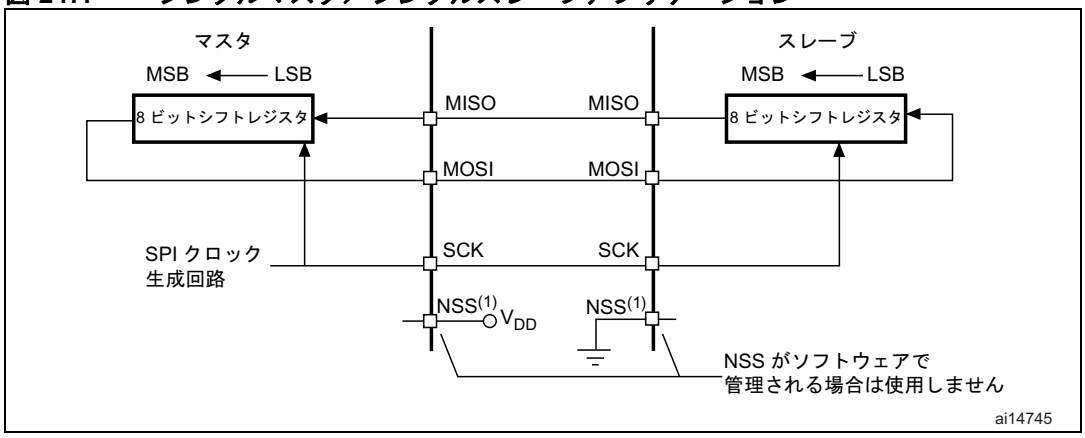
- MISO：マスターイン / スレーブアウトデータ。このピンは、マスタモードではデータの受信に、スレーブモードではデータの送信に使用できます。
- MOSI：マスターアウト / スレーブインデータ。このピンは、マスタモードではデータの送信に、スレーブモードではデータの受信に使用できます。
- SCK（シリアルクロック）：SPI マスタでは出力に、SPI スレーブでは入力に使用されます。
- NSS：スレーブ選択。これはスレーブデバイスを選択するためのオプションピンです。このピンが“チップセレクト”として機能することで、SPI マスタは複数のスレーブと個別に通信を行うことができ、データラインの競合を避けることができます。スレーブの NSS 入力は、マスタデバイスの標準入出力ポートによって駆動できます。NSS ピンは、SSOE ビットによって有効にされている場合は出力として使用することもでき、SPI がマスタ設定の場合はローレベルになります。このように、マスタの NSS ピンに接続されているデバイスからのすべての NSS ピンは、NSS ハードウェアモードに設定されている場合、ローレベルを受けてスレーブになります。NSS が入力として設定された状態で SPI がマスタモードに設定され（MSTR=1 および SSOE=0）、NSS がローレベルに引っぱられた場合、SPI はマスタモードフォールト状態に入ります。MSTR

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビットは自動的にクリアされ、デバイスはスレーブモードに設定されます（*セクション 28.3.10：エラーフラグ（903 ページ）*を参照）。

1 個のマスタと 1 個のスレーブの間の基本的な相互接続例を*図 247* に示します。

図 247. シングルマスタ／シングルスレーブアプリケーション



1. この例では、NSS ピンは入力として設定されています。

MOSI ピンと MISO ピンは、それぞれに相互接続されています。このようにして、データはマスタとスレーブの間を（MSB ファーストで）シリアルに転送されます。

通信は常にマスタによって開始されます。マスタデバイスが MOSI ピンを介してスレーブデバイスにデータを送信すると、スレーブデバイスは MISO ピンを介して応答します。このことは、データ出力とデータ入力がマスタデバイスから SCK ピンを介して供給される同じクロック信号に同期した全二重通信を意味します。

スレーブ選択（NSS）ピンの管理

ハードウェアまたはソフトウェアのスレーブ選択管理は、SPI_CR1 レジスタの SSM ビットを使用して設定することができます。

- ソフトウェア NSS 管理（SSM = 1）

  スレーブ選択情報は、SPI_CR1 レジスタの SSI ビット値に応じて内部的に反応します。外部 NSS ピンは他のアプリケーションで使用できます。

- ハードウェア NSS 管理（SSM = 0）

  NSS 出力設定（SPI_CR2 レジスタの SSOE ビット）に応じて 2 つの設定が可能です。

  – NSS 出力有効（SSM = 0、SSOE = 1）

    この設定は、デバイスがマスタモードで動作する場合にのみ使用されます。NSS 信号は、マスタが通信を開始したときにローレベルになり、SPI が無効化されるまでローレベルを保持します。

  – NSS 出力無効（SSM = 0、SSOE = 0）

    この設定により、マスタモードで動作するデバイスでマルチマスタ機能が可能になります。スレーブに設定されたデバイスでは、NSS ピンは従来型の NSS 入力として機能します（NSS がローレベルのときにスレーブが選択され、NSS がハイレベルのときに非選択）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

クロックの位相と極性

SPI_CR1 レジスタの CPOL ビットと CPHA ビットを使用することによって、4 つのタイミング関係をソフトウェアで選択できます。CPOL（クロック極性）ビットは、データが転送されていないときのクロックの定常値を制御します。このビットは、マスタモードとスレーブモードの両方に影響を与えます。CPOL がリセットされた場合、SCK ピンはローレベルのアイドル状態になります。CPOL がセットされた場合、SCK ピンはハイレベルのアイドル状態になります。

CPHA（クロック位相）ビットがセットされている場合、SCK ピンの 2 番目のエッジ（CPOL ビットがリセットされていれば立ち下がりエッジ、CPOL ビットがセットされていれば立ち上がりエッジ）が最上位ビットのキャプチャストローブです。データは、2 番目のクロック遷移でラッチされます。CPHA ビットがリセットされている場合、SCK ピンでの最初のエッジ（CPOL ビットがリセットされていれば立ち上がりエッジ、セットされていれば立ち下がりエッジ）が最上位ビットのキャプチャストローブです。データは、最初のクロック遷移でラッチされます。

CPOL（クロック極性）ビットと CPHA（クロック位相）ビットの組み合わせによって、データキャプチャのクロックエッジを選択できます。

図 248 は、CPHA ビットと CPOL ビットの 4 つの組み合わせによる SPI 転送を示しています。この図は、SCK ピン、MISO ピン、MOSI ピンがマスタ／スレーブデバイス間で直接接続されている場合のマスタまたはスレーブのタイミング図とみなすことができます。

注： ***CPOL/CPHA ビットを変更する前に、SPE ビットをリセットすることによって、SPI を無効にする必要があります。***

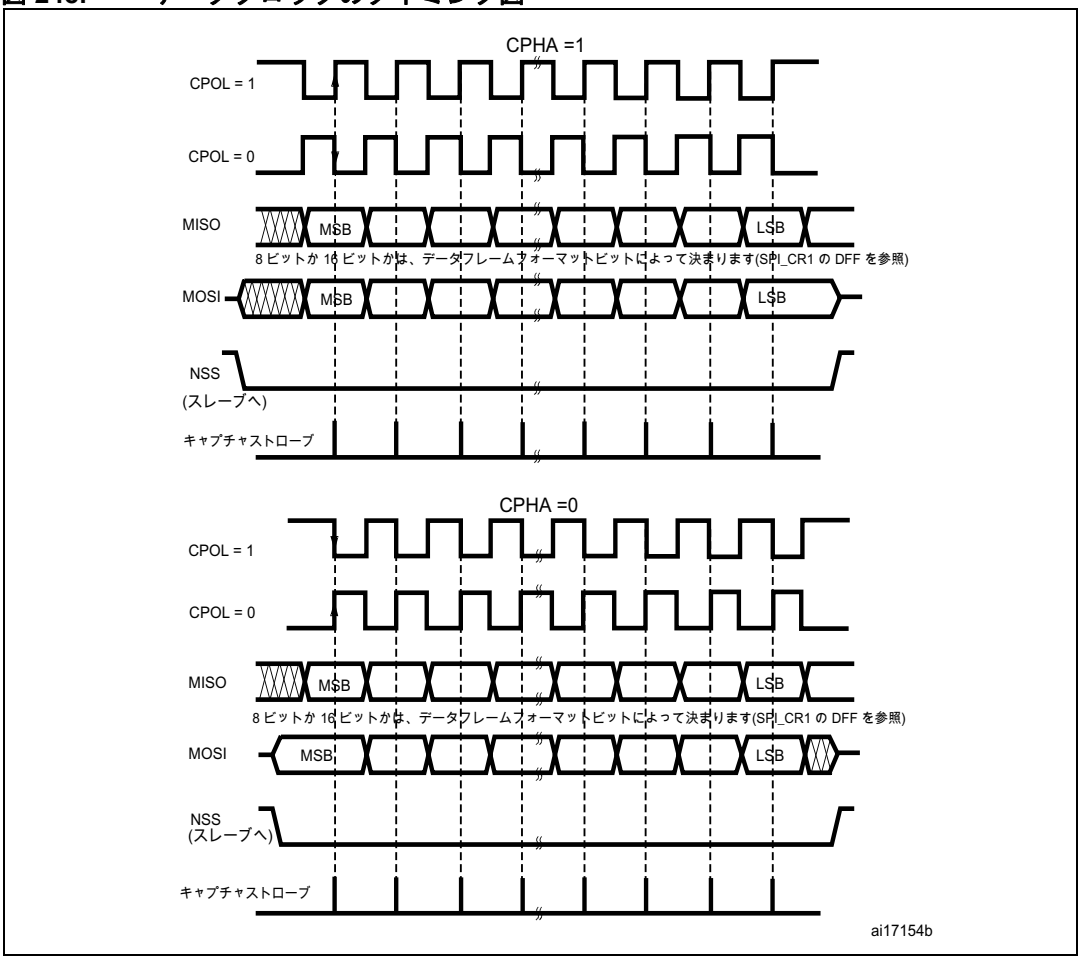
マスタとスレーブは、同じタイミングモードでプログラミングする必要があります。

SCK のアイドル状態は、SPI_CR1 レジスタで（CPOL=1 の場合は SCK のプルアップ、CPOL=0 の場合は SCK のプルダウンによって）選択された極性に一致する必要があります。

データフレームフォーマット（8 ビットまたは 16 ビット）は、SPI_CR1 レジスタの DFF ビットによって選択され、送受信時のデータ長を決定します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 248. データクロックのタイミング図



1. これらのタイミングは、SPI_CR1 レジスタの LSBFIRST ビットをリセットした状態で示されています。

データフレームフォーマット

データは、SPI_CR1 レジスタの LSBFIRST ビットの値に応じて、MSB ファーストまたは LSB ファーストでシフトアウトできます。

各データフレームの長さは、SPI_CR1 レジスタの DFF ビットを使用してプログラミングされたデータのサイズに応じて、8 または 16 ビットです。選択されたデータフレームフォーマットは、送受信に適用できます。

28.3.2 SPI のスレーブモード設定

スレーブ設定では、マスタデバイスからのシリアルクロックは SCK ピンで受信されます。SPI_CR1 レジスタの BR[2:0] ビットに設定された値は、データ転送速度に影響を与えません。

注： ***マスタがクロックを送信する前に、SPI スレーブを有効にすることを推奨します。さもなければ、望ましくないデータ送信が発生することがあります。スレーブのデータレジスタは、通信クロックの最初のエッジまたは現在の通信の終了より前に、準備ができている必要があります。スレーブとマスタを有効にする前に、通信クロックの極性を定常値に設定することが必要です。***

SPI をスレーブモードに設定するには、次の手順に従ってください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

手順

1. DFF ビットをセットして、8 または 16 ビットのデータフレームフォーマットを定義します。
2. CPOL ビットと CPHA ビットを選択して、データ転送とシリアルクロックの間の 4 つの関係のうちの 1 つを定義します（*図 248* を参照）。データを正しく転送するには、スレーブデバイスとマスタデバイスで CPOL ビットと CPHA ビットを同じに設定する必要があります。SPI_CR2 レジスタの FRF ビットにより TI モードを選択している場合、このステップは不要です。
3. フレームフォーマット（SPI_CR1 レジスタの LSBFIRST ビットの値に応じて、MSB ファーストまたは LSB ファースト）は、マスタデバイスと同じでなければなりません。TI モードを選択している場合、このステップは不要です。
4. ハードウェアモード（*スレーブ選択（NSS）ピンの管理（883 ページ）* を参照）では、バイト送信シーケンス全体を通じて、NSS ピンをローレベル信号に接続しておく必要があります。NSS ソフトウェアモードでは、SPI_CR1 レジスタの SSM ビットをセットし、SSI ビットをクリアします。TI モードを選択している場合、このステップは不要です。
5. SPI_CR2 レジスタの FRF ビットをセットして、シリアル通信の TI モードプロトコルを選択します。
6. ピンをオルタネート機能に割り当てるには、SPI_CR1 レジスタの MSTR ビットをクリアし、SPE ビットをセットします。

この設定では、MOSI ピンはデータ入力に、MISO ピンはデータ出力になります。

送信シーケンス

データバイトは、書き込みサイクル中に送信バッファにパラレルロードされます。

スレーブデバイスが MOSI ピンでクロック信号と、データの最上位ビットを受信すると、送信シーケンスが開始されます。残りのビット（8 ビットデータフレームフォーマットでは 7 ビット、16 ビットデータフレームフォーマットでは 15 ビット）はシフトレジスタにロードされます。送信バッファからシフトレジスタにデータが送信されると、SPI_SR レジスタの TXE フラグがセットされ、SPI_CR2 レジスタの TXEIE ビットがセットされている場合は、割り込みが生成されます。

受信シーケンス

レシーバの場合、データ転送が完了すると、

- シフトレジスタ内のデータが受信バッファに転送され、SPI_SR レジスタの RXNE フラグがセットされます。
- SPI_CR2 レジスタの RXNEIE ビットがセットされている場合、割り込みが生成されます。

最後のサンプリングクロックエッジの後、RXNE ビットがセットされ、シフトレジスタに受信されたデータバイトのコピーが受信バッファに移されます。SPI_DR レジスタが読み出されると、SPI ペリフェラルはこのバッファリングされた値を返します。

RXNE ビットのクリアは、SPI_DR レジスタを読み出すことによって行われます。

スレーブモードでの SPI TI プロトコル

スレーブモードでは、SPI インタフェースは TI プロトコルと互換性があります。SPI_CR2 レジスタの FRF ビットを使って、スレーブ SPI シリアル 通信をこのプロトコルに準拠させるように設定することができます。

SPI_CR1 レジスタに設定される値によらず、クロックの極性と位相は TI プロトコル要件に必ず適合します。NSS 管理も TI プロトコルに固有なものになります。これにより、SPI_CR1 レジスタと SPI_CR2 レジスタによる NSS 管理の設定（SSM、SSI、SSOE など）がユーザーに対して分かりやすくなります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

スレーブモード（*図 249：TI モード - スレーブモード、シングル転送*および*図 250：TI モード - スレーブモード、連続転送*）では、SPI ボーレートプリスケーラを使って MISO ピン状態がハイインピーダンスに変化するタイミングを制御します。任意のボーレートが使用できるため、このタイミングを非常に柔軟に決定することができます。ただし、ボーレートは一般に外部マスタクロックボーレートに設定されます。MISO 信号がハイインピーダンスになるために要する時間（$t_{release}$）は、内部再同期と SPI_CR1 レジスタの BR[2:0] で設定されたボーレート値によって変わります。これは次式で与えられます：

$$\frac{t_{baud_rate}}{2} + 4 \times t_{pclk} < t_{release} < \frac{t_{baud_rate}}{2} + 6 \times t_{pclk}$$

注： ***この機能はモトローラの SPI 通信には使用できません（FRF ビットを 0 に設定）。***

エラー割り込み（ERRIE = 1）を使ってスレーブトランスミッタ専用モードで TI フレームエラーを検出するには、SPI_CR1 レジスタで BIDIMODE と BIDIOE を 1 に設定して SPI を 2 線単方向モードに設定する必要があります。BIDIMODE を 0 に設定すると、OVR が 1 にセットされます。これは、データレジスタが読み出されることがなく、エラー割り込みが常に生成されるためです。これに対して BIDIMODE を 1 に設定すると、データが受信されないため、OVR はセットされません。

図 249. TI モード - スレーブモード、シングル転送

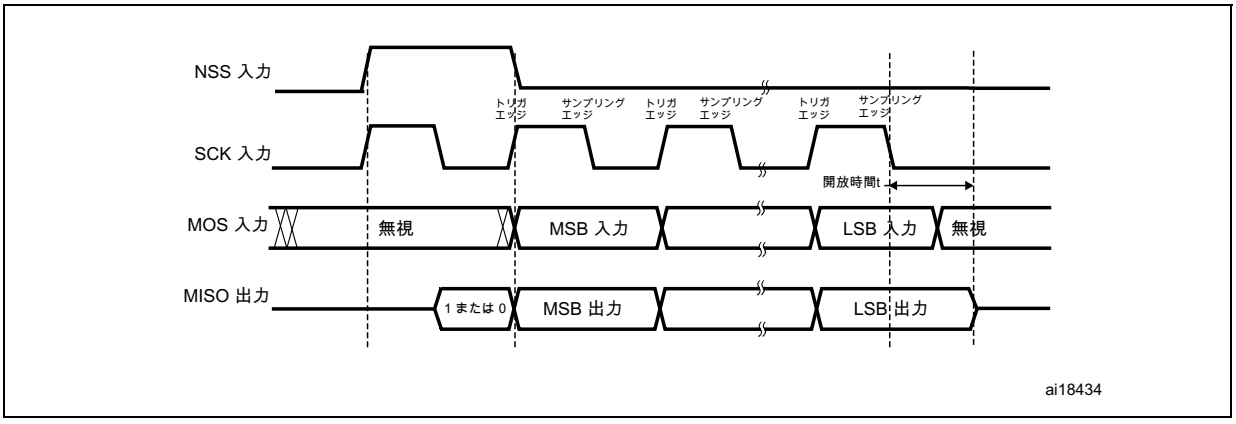
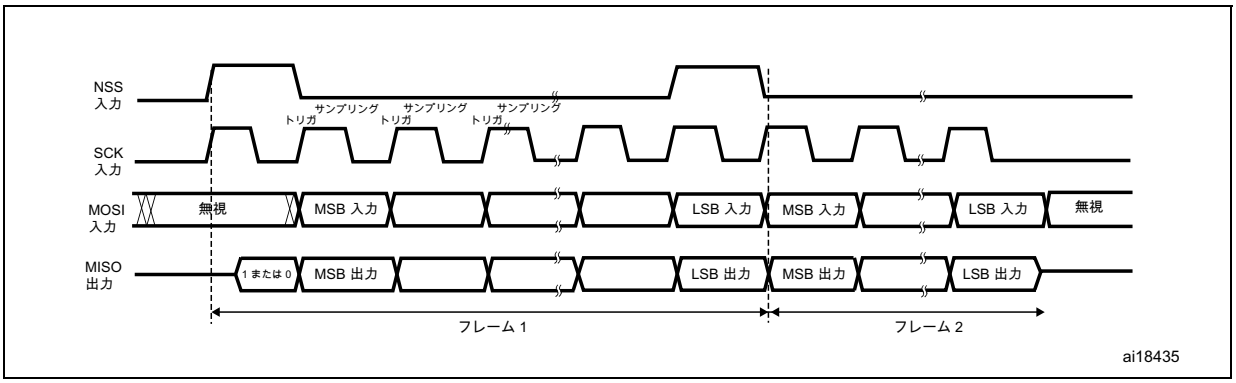


図 250. TI モード - スレーブモード、連続転送



この資料は、STMicroelectronics NV 並びにその子会社（以下 ST）が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

28.3.3 SPI のマスタモード設定

マスタ設定では、シリアルクロックは SCK ピンで生成されます。

手順

1. BR[2:0] ビットを選択して、シリアルクロックのボーレートを定義します（SPI_CR1 レジスタを参照）。
2. CPOL ビットと CPHA ビットを選択して、データ転送とシリアルクロックの間の 4 つの関係のうちの 1 つを定義します（*図 248* を参照）。TI モードを選択している場合、このステップは不要です。
3. DFF ビットをセットして、8 または 16 ビットのデータフレームフォーマットを定義します。
4. SPI_CR1 レジスタの LSBFIRST ビットを設定して、フレームフォーマットを定義します。TI モードを選択している場合、このステップは不要です。
5. 入力モードの NSS ピンが必要な場合、ハードウェアモードで、完全なバイト送信シーケンス中に NSS ピンをハイレベル信号に接続します。NSS ソフトウェアモードで、SPI_CR1 レジスタの SSM ビットと SSI ビットをセットします。出力モードの NSS ピンが必要な場合、SSOE ビットのみをセットします。TI モードを選択している場合、このステップは不要です。
6. SPI_CR2 の FRF ビットをセットして、シリアル通信の TI プロトコルを選択します。
7. MSTR ビットと SPE ビットをセットする必要があります（これらのビットは、NSS ピンがハイレベル信号に接続されている場合にのみ、セット状態を維持します）。

この設定では、MOSI ピンはデータ出力、MISO ピンはデータ入力になります。

送信シーケンス

送信シーケンスは、送信バッファにバイトが書き込まれたときに開始されます。

データバイトは、最初のビット送信中に内部バスからシフトレジスタに同時にロードされ、SPI_CR1 レジスタの LSBFIRST ビットに応じて MSB ファーストまたは LSB ファーストで、MOSI ピンにシリアルにシフトアウトされます。データが送信バッファからシフトレジスタに転送されると TXE フラグがセットされ、SPI_CR2 レジスタの TXEIE ビットがセットされている場合、割り込みが生成されます。

受信シーケンス

レシーバの場合、データ転送が完了すると、

- シフトレジスタのデータが受信バッファに転送され、RXNE フラグがセットされます。
- SPI_CR2 レジスタの RXNEIE ビットがセットされている場合、割り込みが生成されます。

最後のサンプリングクロックエッジで RXNE ビットがセットされ、シフトレジスタに受信されたデータバイトのコピーが受信バッファに移されます。SPI_DR レジスタが読み出されると、SPI ペリフェラルはこのバッファリングされた値を返します。

RXNE ビットのクリアは、SPI_DR レジスタを読み出すことで行われます。

送信が開始されると、次に送信されるデータが送信バッファに格納されていれば、連続した送信ストリームを維持できます。なお、送信バッファにデータを書き込むには、TXE フラグが 1 であることが必要です。

注： ***マスタが、送信と送信の間に選択解除する必要のある SPI スレーブと通信している場合、NSS ピンは GPIO として設定する必要があります。さもなければ、別の GPIO を使ってソフトウェアでオン・オフする必要があります。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

マスタモードでの SPI TI プロトコル

マスタモードでは、SPI インタフェースは TI プロトコルと互換性があります。SPI_CR2 レジスタの FRF ビットを使って、マスタ SPI シリアル 通信をこのプロトコルに準拠させるように設定することができます。

SPI_CR1 レジスタに設定される値によらず、クロックの極性と位相は TI プロトコル要件に必ず適合します。NSS 管理も TI プロトコルに固有なものになります。これにより、SPI_CR1 レジスタと SPI_CR2 レジスタによる NSS 管理の設定（SSM、SSI、SSOE など）がユーザーに対して分かりやすくなります。

図 251 : TI モード - マスタモード、シングル転送 および *図 252 : TI モード - マスタモード、連続転送*）に、マスタモードで TI モードを選択したときの SPI マスタ 通信波形を示します。

図 251. TI モード - マスタモード、シングル転送

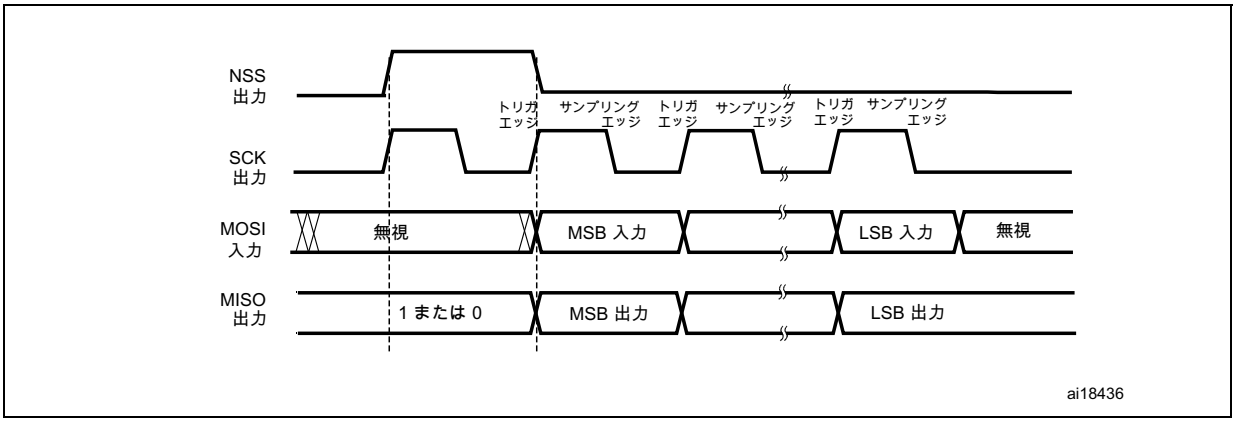
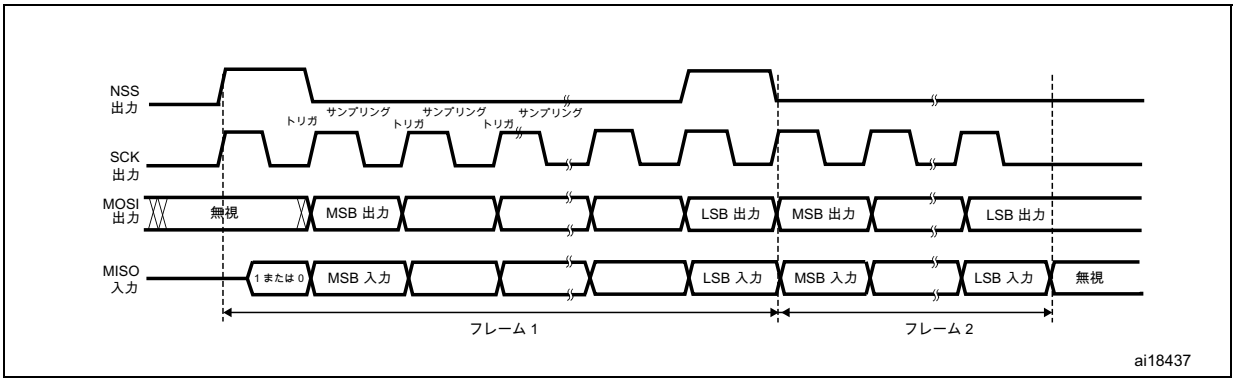


図 252. TI モード - マスタモード、連続転送



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

28.3.4 SPI の半二重通信設定

SPI は、次の 2 つの設定において半二重モードで動作できます。

- 1 本のクロック線と 1 本の双方向データ線
- 1 本のクロック線と 1 本のデータ線（受信専用または送信専用）

1 本のクロック線と 1 本の双方向データ線（BIDIMODE=1）

このモードを有効にするには、SPI_CR1 レジスタの BIDIMODE ビットをセットします。このモードでは、SCK ピンがクロックに使用され、マスタモードの MOSI ピンまたはスレーブモードの MISO ピンがデータ通信に使用されます。転送方向（入力／出力）は、SPI_CR1 レジスタの BIDIOE ビットによって選択されます。このビットが 1 の場合、データラインは出力です。そうでない場合、データラインは入力です。

1 本のクロック線と 1 本の単方向データ線（BIDIMODE=0）

このモードでは、アプリケーションは、SPI を送信専用モードまたは受信専用モードで使用できます。

- 送信専用モードは全二重モード（BIDIMODE=0、RXONLY=0）と似ています。データは送信ピン（マスタモードの MOSI ピンまたはスレーブモードの MISO ピン）で送信され、受信ピン（マスタモードの MISO ピンまたはスレーブモードの MOSI ピン）は汎用入出力として使用できます。この場合、アプリケーションは受信バッファを無視する必要があります（データレジスタに受信したデータ値は含まれていません）。
- 受信専用モードでは、アプリケーションは、SPI_CR2 レジスタの RXONLY ビットをセットすることによって、SPI 出力機能を無効にできます。この場合、送信 I/O ピン（マスタモードの MOSI ピンまたはスレーブモードの MISO ピン）が解放されるので、他の目的に使用できます。

受信専用モードで通信を開始するには、SPI を設定して有効にします。

- マスタモードでは、通信はただちに開始され、SPE ビットがクリアされて現在の受信が停止すると、通信は停止します。このモードでは、BSY フラグを読み出す必要はありません。SPI 通信が行われているときは、常にセットされています。
- スレーブモードでは、NSS がプルダウンされていて（または NSS ソフトウェアモードで SSI ビットがクリアされていて）、SCK が動作している限り、SPI は受信を続行します。

28.3.5 データの送受信手順

受信バッファと送信バッファ

受信の場合、受信されたデータは内部の受信バッファに格納されます。一方、送信の場合、データはまず内部の送信バッファに格納されてから、送信されます。

SPI_DR レジスタの読み出しアクセスでは、受信バッファに格納された値が返されます。一方、SPI_DR への書き込みアクセスでは、書き込まれたデータが送信バッファに格納されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

マスタモードでの開始シーケンス

- 全二重の場合（BIDIMODE=0 および RXONLY=0）
  - データが SPI_DR レジスタ（送信バッファ）に書き込まれると、シーケンスが開始されます。
  - その後、データは、最初のビット送信時に送信バッファから 8 ビットシフトレジスタに同時にロードされてから、MOSI ピンに連続的にシフトアウトされます。
  - 同時に、MISO ピンで受信されたデータは、8 ビットシフトレジスタに連続的にシフトインされてから、SPI_DR レジスタ（受信バッファ）に同時にロードされます。
- 単方向受信専用モードの場合（BIDIMODE=0 および RXONLY=1）
  - SPE=1 になると、このシーケンスはすぐに開始されます。
  - レシーバのみが有効になり、MISO ピンで受信されたデータは 8 ビットシフトレジスタに連続的にシフトインされてから、SPI_DR レジスタ（受信バッファ）に同時にロードされます。
- 双方向モードでの送信時（BIDIMODE=1 および BIDIOE=1）
  - データが SPI_DR レジスタ（送信バッファ）に書き込まれると、シーケンスが開始されます。
  - その後、データは、最初のビット送信時に送信バッファから 8 ビットシフトレジスタに同時にロードされてから、MOSI ピンに連続的にシフトアウトされます。
  - データは受信されません。
- 双方向モードでの受信時（BIDIMODE=1 および BIDIOE=0）
  - SPE=1 および BIDIOE=0 になると、このシーケンスはすぐに開始されます。
  - MOSI ピンで受信されたデータは、8 ビットシフトレジスタに連続的にシフトインされてから、SPI_DR レジスタ（受信バッファ）に同時にロードされます。
  - トランスミッタは有効にされず、MOSI ピンに連続的にシフトアウトされるデータはありません。

スレーブモードでの開始シーケンス

- 全二重モードの場合（BIDIMODE=0 およびRXONLY=0）
  - スレーブデバイスがクロック信号と、MOSI ピンでデータの最初のビットを受信すると、このシーケンスが開始されます。残りの 7 ビットは、シフトレジスタにロードされます。
  - 同時に、最初のビット送信時にデータは送信バッファから 8 ビットシフトレジスタに同時にロードされてから、MISO ピンに連続的にシフトアウトされます。SPI マスタデバイスが転送を開始する前に、ソフトウェアは送信すべきデータを書き込んでおく必要があります。
- 単方向受信専用モードの場合（BIDIMODE=0 および RXONLY=1）
  - スレーブデバイスがクロック信号と、MOSI ピンでデータの最初のビットを受信すると、このシーケンスが開始されます。残りの 7 ビットは、シフトレジスタにロードされます。
  - トランスミッタは有効にされず、MISO ピンに連続的にシフトアウトされるデータはありません。
- 双方向モードでの送信時（BIDIMODE=1 および BIDIOE=1）
  - スレーブデバイスがクロック信号を受信し、送信バッファの最初のビットが MISO ピンで送信されると、このシーケンスが開始されます。
  - その後、データは、最初のビット送信時に送信バッファから 8 ビットシフトレジスタに同時にロードされてから、MISO ピンに連続的にシフトアウトされます。SPI マスタデバイスが転送を開始する前に、ソフトウェアは送信すべきデータを書き込んでおく必要があります。
  - データは受信されません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

- 双方向モードでの受信時（BIDIMODE=1 および BIDIOE=0）
  - スレーブデバイスがクロック信号と、MISO ピンでデータの最初のビットを受信すると、このシーケンスが開始されます。
  - MISO ピンで受信されたデータは、8 ビットシフトレジスタに連続的にシフトインされてから、SPI_DR レジスタ（受信バッファ）にパラレルロードされます。
  - トランスミッタは有効にされず、MISO ピンに連続的にシフトアウトされるデータはありません。

データの送受信処理

データが送信バッファからシフトレジスタに転送されると、TXE フラグ（送信バッファエンプティ）がセットされます。これは、内部の送信バッファに次のデータをロードする準備ができていることを示します。SPI_CR2 レジスタの TXEIE ビットがセットされている場合は、割り込みを生成できます。TXE ビットのクリアは、SPI_DR レジスタへの書き込みによって行われます。

注： ***ソフトウェアは、送信バッファへの書き込みを行う前に、TXE フラグが 1 にセットされているのを確認する必要があります。さもなければ、以前に送信バッファに書き込まれたデータが上書きされます。***

データがシフトレジスタから受信バッファに転送されると、最後のサンプリングクロックエッジで RXNE フラグ（受信バッファノットエンプティ）がセットされます。これは、SPI_DR レジスタからデータを読み出す準備ができていることを示します。SPI_CR2 レジスタの RXNEIE ビットがセットされている場合は、割り込みを生成できます。RXNE ビットのクリアは、SPI_DR レジスタを読み出すことで行われます。

設定によっては、最後のデータ転送時に BSY フラグを使用して、転送の完了まで待つことができます。

マスタまたはスレーブモードでの全二重送受信手順（BIDIMODE=0 および RXONLY=0）

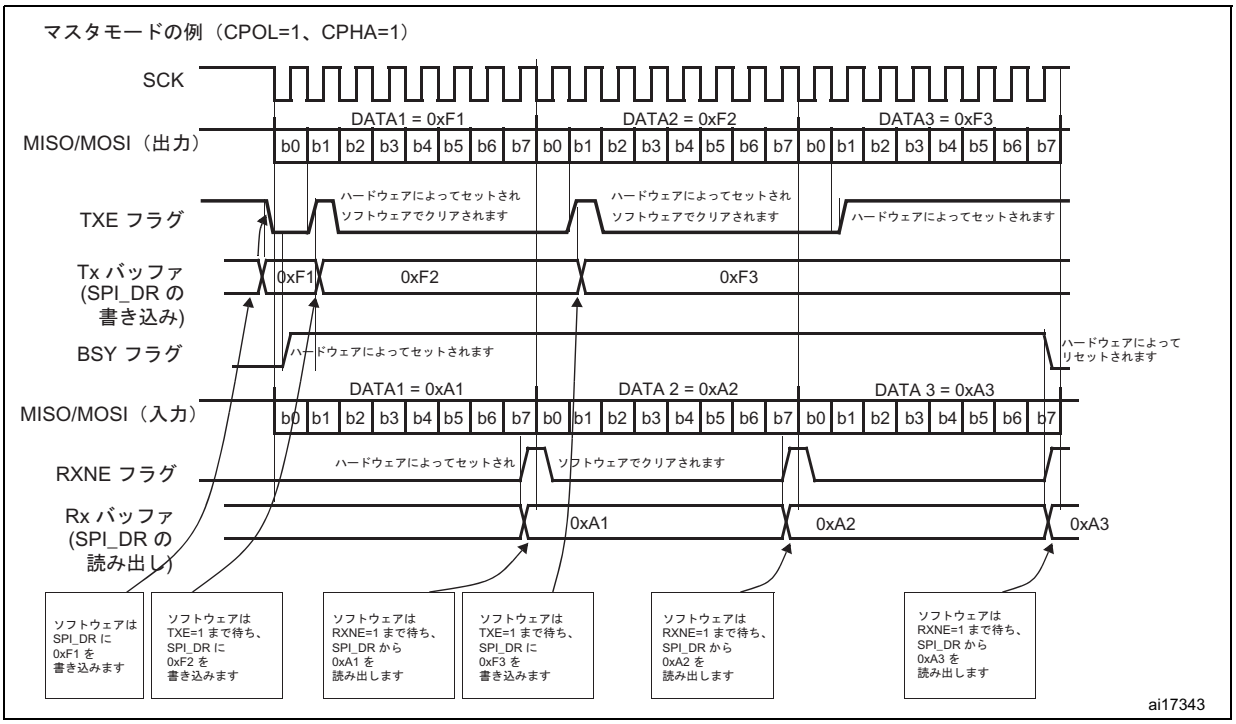
データを送受信するには、ソフトウェアは次の手順に従う必要があります（*図 253* および*図 254* を参照）：

1. SPE ビットを 1 にセットして、SPI を有効にします。
2. 送信する最初のデータ項目を SPI_DR レジスタに書き込みます（これによって TXE フラグがクリアされます）。
3. TXE=1 になるまで待ち、送信する 2 番目のデータ項目を書き込みます。その後、RXNE=1 になるまで待ち、SPI_DR を読み出して、最初の受信データ項目を取得します（これによって RXNE ビットがクリアされます）。n-1 個のデータを受信するまで、送受信するデータ項目ごとにこの操作を繰り返します。
4. RXNE=1 になるまで待ち、最後の受信データを読み出します。
5. TXE=1 になるまで待ち、BSY=0 になるまで待ってから、SPI を無効にします。

この手順は、RXNE または TXE フラグの立ち上がりエッジのたびに起動される専用の割り込みサブルーチンを使用しても実行できます。

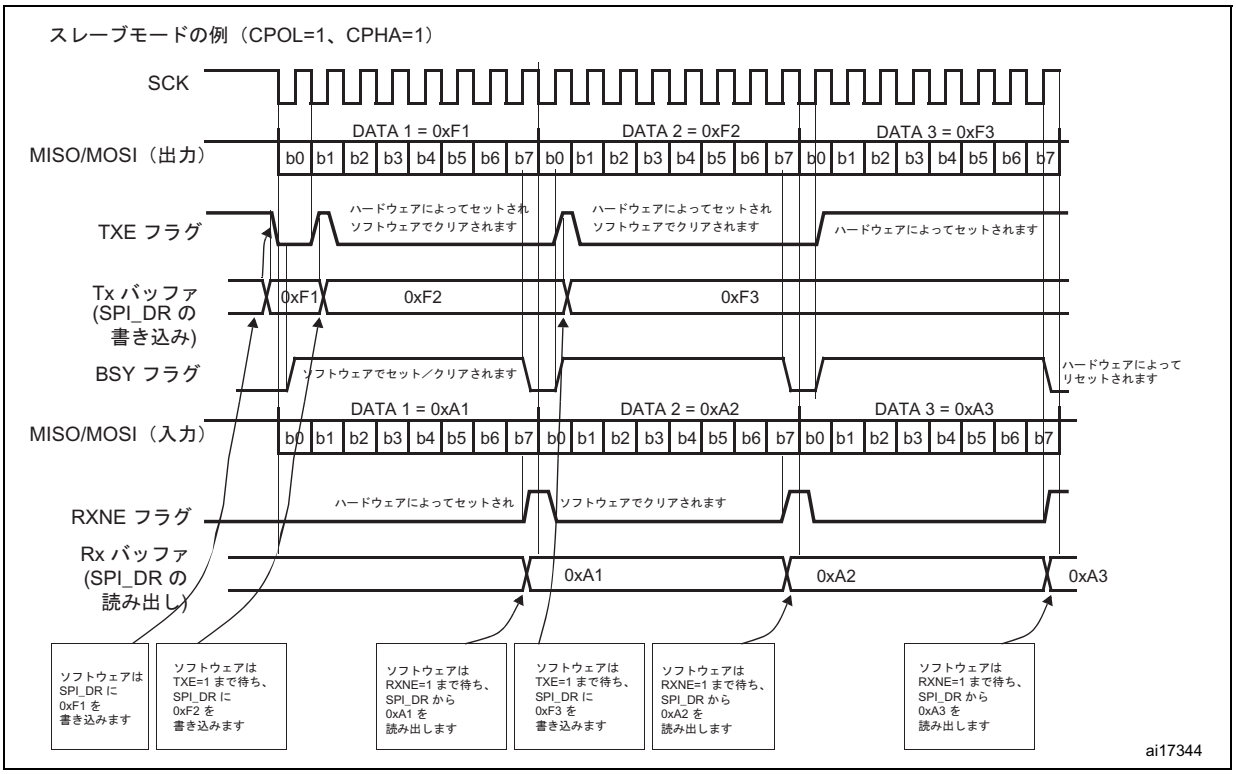
この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 253. マスタ／全二重モードでの TXE/RXNE/BSY 動作（BIDIMODE=0 および RXONLY=0）連続転送の場合



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 254. スレーブ／全二重モードでの TXE/RXNE/BSY 動作（BIDIMODE=0、RXONLY=0）連続転送の場合



送信専用手順（BIDIMODE=0、RXONLY=0）

このモードでは、手順は下記のように短縮でき、BSY ビットを使用して送信の完了まで待つことができます（*図 255* と *図 256*を参照）。

1. SPE ビットを 1 にセットして、SPI を有効にします。
2. 送信する最初のデータ項目を SPI_DR レジスタに書き込みます（これによって TXE ビットがクリアされます）。
3. TXE=1 になるまで待ち、送信する次のデータ項目を書き込みます。送信するデータ項目ごとに、このステップを繰り返します。
4. SPI_DR レジスタに最後のデータ項目を書き込んだ後、TXE=1 になるまで待ち、さらに BSY=0 になるまで待ちます。これは最後のデータの送信が完了したことを示します。

この手順は、TXE フラグの立ち上がりエッジのたびに起動される専用の割り込みサブルーチンを使用しても実行できます。

注： ***不連続通信時には、SPI_DR への書き込み動作と BSY ビットの設定の間に、APB の 2 クロック周期分の遅延があります。その結果、送信専用モードでは、最後のデータを書き込んだ後、まず TXE がセットされるまで待ち、さらに BSY がクリアされるまで待つ必要があります。***

2 つのデータ項目を送信専用モードで送信した後、受信データが読み出されることはないので、SPI_SR レジスタの OVR フラグがセットされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 255. マスタ送信専用モードでのTXE/BSY 動作（BIDIMODE=0 およびRXONLY=0）連続転送の場合

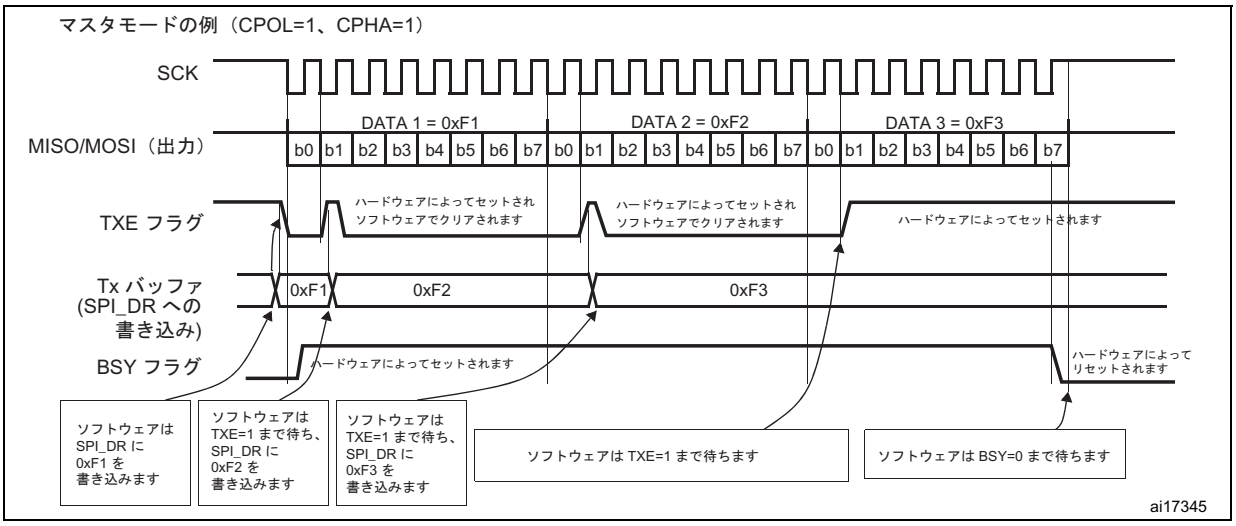
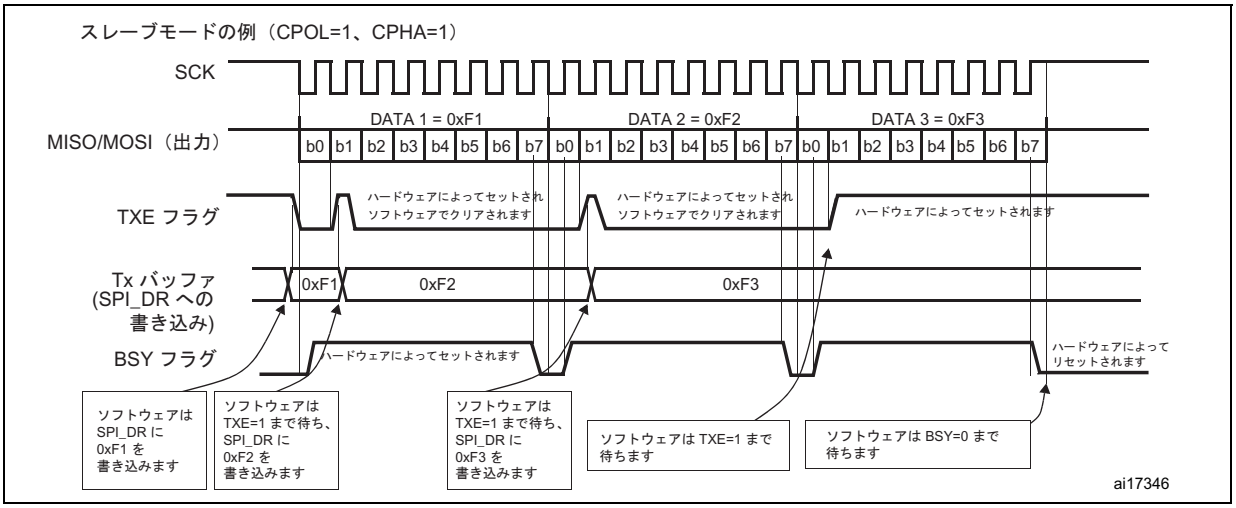


図 256. スレーブ送信専用モードでの TXE/BSY 動作（BIDIMODE=0 および RXONLY=0）連続転送の場合



双方向送信手順（BIDIMODE=1 および BIDIOE=1）

このモードでは、手順は送信専用モードの手順と似ていますが、SPI を有効にする前に、SPI_CR2 レジスタの BIDIMODE ビットと BIDIOE ビットをセットする必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

単方向受信専用手順（BIDIMODE=0 および RXONLY=1）

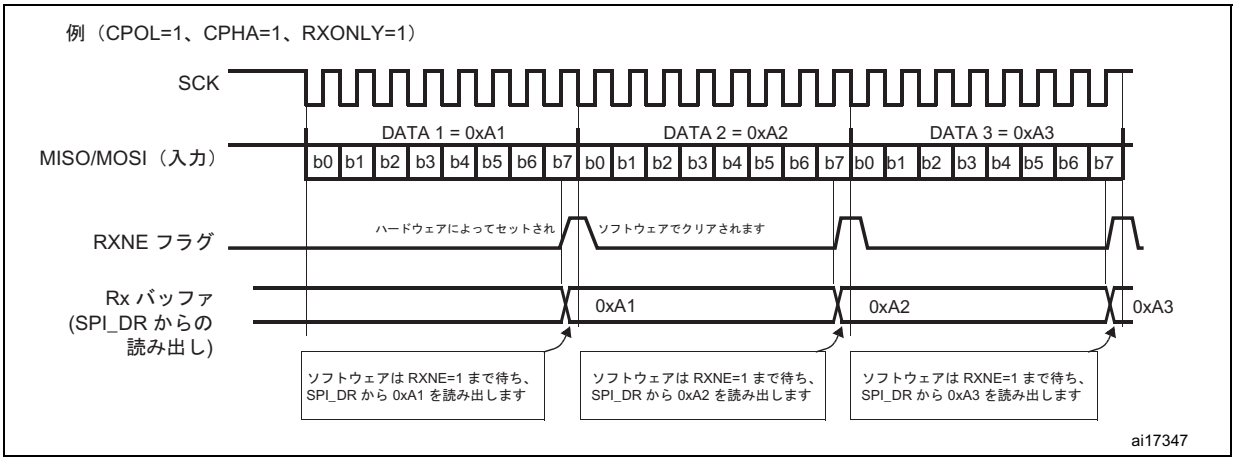
このモードでは、手順は下記のように短縮できます（*図 257* を参照）：

1. SPI_CR2 レジスタの RXONLY ビットをセットします。
2. SPE ビットを 1 にセットすることによって、SPI を有効にします：
   a) マスタモードでは、これによって SCK クロックの生成がすぐに有効になり、データは、SPI が無効にされる（SPE=0）まで連続的に受信されます。
   b) スレーブモードでは、SPI マスタデバイスが NSS をローレベルに駆動して SCK クロックを生成すると、データが受信されます。
3. RXNE=1 になるまで待ち、SPI_DR レジスタから受信データを読み出します（これによって RXNE ビットがクリアされます）。受信されるデータ項目ごとにこの操作を繰り返します。

この手順は、RXNE フラグの立ち上がりエッジのたびに起動される専用の割り込みサブルーチンを使用しても実行できます。

注： ***最後の転送の後に SPI を無効にする必要がある場合は、セクション 28.3.8 : SPI の無効化（900 ページ）に述べる推奨事項に従ってください。***

図 257. 受信専用モードでのRXNE 動作（BIDIRMODE=0 および RXONLY=1）連続転送の場合



双方向受信手順（BIDIMODE=1 および BIDIOE=0）

このモードでは、手順は受信専用モードの手順と似ていますが、SPI を有効にする前に、SPI_CR2 レジスタの BIDIMODE ビットをセットし、BIDIOE ビットをクリアする必要があります。

連続転送と不連続転送

マスタモードでデータを送信するとき、ソフトウェアが十分に高速であり、TXE（または TXE 割り込み）の各立ち上がりエッジを検出し、現在のデータ転送が完了する前に SPI_DR レジスタにすぐに書き込みできる場合、通信は連続的であると言われます。この場合、各データ項目間で SPI クロックを生成する際に不連続性はなく、各データ転送間で BSY ビットがクリアされることはありません。

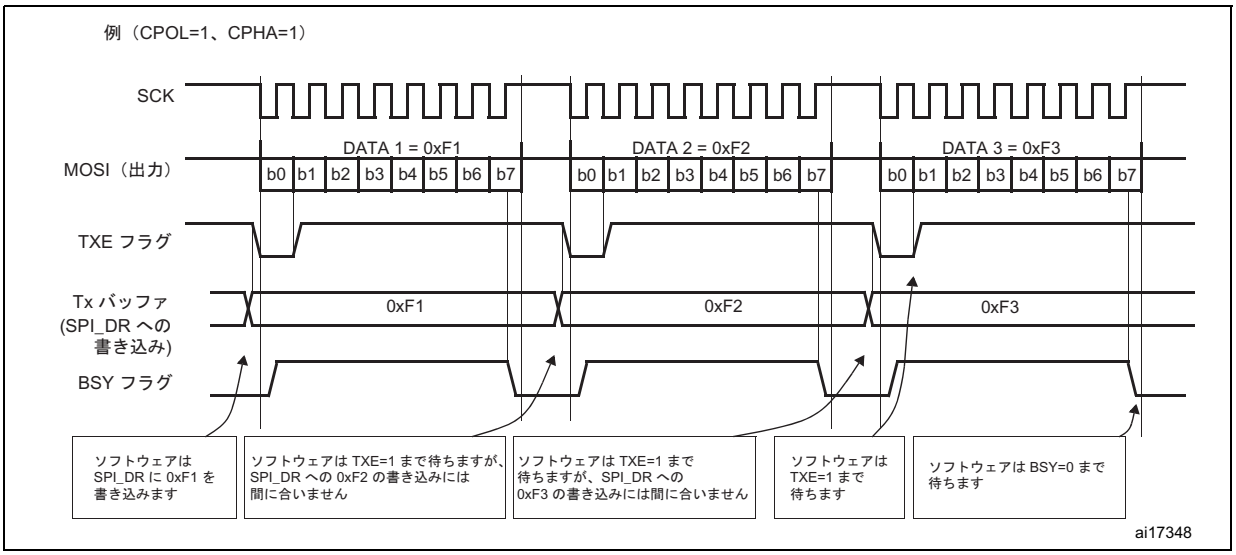
逆に、ソフトウェアが十分に高速でない場合、通信に若干の不連続性が生じることがあります。この場合、各データ送信間で BSY ビットがクリアされます（*図 258*を参照）。

マスタ受信専用モード（RXONLY=1）では、通信は常に連続的であり、BSY フラグは常に 1 で読み出されます。

この資料は、STMicroelectronics NV 並びにその子会社（以下 ST）が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

スレーブモードでは、通信の連続性は SPI マスタデバイスによって決定されます。いずれにしても、通信が連続的であっても、BSY フラグは、各転送間で SPI の 1 クロックサイクルという最小期間だけローレベルになります（*図 256*を参照）。

図 258. 送信時の TXE/BSY 動作（BIDIRMODE=0 および RXONLY=0）不連続転送の場合



28.3.6 CRC の計算

CRC 計算機は、信頼性の高い通信を実現するために実装されました。送信データと受信データに対して、別々の CRC 計算機が実装されています。CRC は、各ビットに対してプログラミング可能な多項式を連続的に使用して計算されます。CRC は、SPI_CR1 レジスタの CPHA ビットと CPOL ビットによって定義されるサンプリングクロックエッジで計算されます。

注： ***SPI が提供する 2 種類の CRC 計算基準は、送受信用に選択されたデータフレームフォーマットに直接依存します（8 ビットデータでは CR8、16 ビットデータでは CRC16）。***

CRC 計算は、SPI_CR1 レジスタの CRCEN ビットをセットすることによって有効になります。これによって CRC レジスタ（SPI_RXCRCR および SPI_TXCRCR）がリセットされます。全二重モードまたは送信専用モードでは、転送がソフトウェアで管理される場合（CPU モード）、送信される最後のデータが SPI_DR に書き込まれた直後に、CRCNEXT ビットを書き込む必要があります。この最終データ転送の終了時、SPI_TXCRCR の値が送信されます。

受信専用モードで転送がソフトウェアで管理される場合（CPU モード）、最後から 2 番目のデータが受信された後に CRCNEXT ビットを書き込む必要があります。最終データの受信後に CRC が受信された後、CRC チェックが実行されます。

転送中に内容の破壊が生じた場合、データと CRC の転送の最後に SPI_SR レジスタの CRCERR フラグがセットされます。

送信バッファにデータが存在する場合、CRC 値はデータバイトの送信後にのみ送信されます。CRC の送信時に、CRC 計算機はスイッチオフされ、レジスタの値は変化しません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

CRC を使用した SPI 通信は、次の手順によって可能になります。

1. CPOL、CPHA、LSBFirst、BR、SSM、SSI、および MSTR の値をプログラミングします。
2. SPI_CRCPR レジスタに多項式をプログラミングします。
3. SPI_CR1 レジスタの CRCEN ビットをセットして、CRC 計算を有効にします。これによって、SPI_RXCRCR レジスタと SPI_TXCRCR レジスタがクリアされます。
4. SPI_CR1 レジスタの SPE ビットをセットして、SPI を有効にします。
5. 通信を開始し、1 つを除いてすべてのバイトまたはハーフワードが送受信されるまで、通信を維持します。
   - 全二重モードまたは送信専用モードで、転送がソフトウェアで管理される場合、最後のバイトまたはハーフワードを Tx バッファに書き込んだときに、SPI_CR1 レジスタの CRCNEXT ビットをセットし、最終バイトの送信後に CRC が送信されることを示します。
   - 受信専用モードでは、最後から 2 番目のデータを受信した直後に CRCNEXT ビットをセットして、最終データの受信終了時に、SPI が CRC フェーズに入る準備を行います。CRC の転送中、CRC 計算は行われません。
6. 最終バイトまたはハーフワードの転送後、SPI は CRC 転送およびチェックのフェーズに入ります。全二重モードまたは受信専用モードでは、受信した CRC は SPI_RXCRCR 値と比較されます。値が一致しない場合、SPI_SR レジスタの CRCERR フラグがセットされ、SPI_CR2 レジスタの ERRIE ビットがセットされていれば、割り込みを生成できます。

注： ***SPI がスレーブモードのとき、CRC 計算を有効にするのは、クロックが安定している（つまり、クロックが定常状態にある）ときのみにしてください。そうしないと、CRC 計算を間違うことがあります。実際、SPE ビットの値に関係なく、CRCEN がセットされると、CRC はすぐに SCK スレーブ入力クロックの影響を受けます。***

高ビットレート周波数では、CRC の送信時に注意が必要です。CRC 転送フェーズで使用される CPU サイクル数は、できるだけ少なくする必要があります。したがって、最後のデータと CRC 受信におけるエラーを避けるために、CRC 送信シーケンスでソフトウェア関数を呼び出すことは禁止されています。つまり、CRCNEXT ビットには、最後のデータの送受信が終わるまでに書き込む必要があります。

ビットレートの高い周波数では、CPU アクセスが SPI 帯域幅に影響を与えることによる SPI 速度性能の低下を避けるため、DMA モードの使用をお勧めします。

デバイスがスレーブとして設定され、NSS ハードウェアモードが使用される場合、データフェーズと CRC フェーズの間で NSS ピンをローレベルに保持する必要があります。

CRC 機能を有効にした状態で SPI がスレーブモードに設定されると、NSS ピンにハイレベルが入力された場合でも、CRC 計算が行われます。これは、たとえば、通信マスタが複数のスレーブに交互に対処するマルチスレーブ環境の場合に起こることがあります。

スレーブの選択解除（NSS のハイレベル）と新しいスレーブの選択（NSS のローレベル）の間では、マスタとスレーブをそれぞれの CRC 計算用に再同期するために、マスタ側とスレーブ側の両方で CRC 値をクリアしてください。

CRC をクリアするには、次の手順に従います。

1. SPI を無効にします（SPE = 0）。
2. CRCEN ビットをクリアします。
3. CRCEN ビットをセットします。
4. SPI を有効にします（SPE = 1）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

28.3.7 ステータスフラグ

アプリケーションが SPI バスの状態を完全に監視できるように、4 つのステータスフラグが用意されています。

送信バッファエンプティフラグ（TXE）

このフラグがセットされると、送信バッファが空であり、次に送信するデータをバッファにロードできることを示します。TXE フラグは、SPI_DR レジスタへの書き込み時にクリアされます。

受信バッファノットエンプティ（RXNE）

このフラグがセットされると、受信バッファに有効な受信データがあることを示します。このフラグは SPI_DR の読み出し時にクリアされます。

ビジーフラグ（BSY）

この BSY フラグは、ハードウェアによってセット／クリアされます（このフラグへの書き込みは無効です）。BSY フラグは、SPI の通信の状態を示します。

BSY がセットされると、SPI が通信中でビジーであることを示します。マスタモード／双方向受信モード（MSTR=1、BDM=1、および BDOE=0）には 1 つの例外があり、BSY フラグは受信時にローレベルに保持されます。

ソフトウェアが SPI を無効にして停止モードに入りたい（またはペリフェラルクロックを無効にしたい）場合、BSY フラグは転送の終わりを検出するのに役立ちます。これによって、最後の転送データの破壊を回避します。このため、下記の手順を厳しく順守する必要があります。

BSY フラグは、マルチマスタシステムでの書き込み衝突の回避にも役立ちます。

BSY フラグは転送が開始されるとセットされます。ただし、マスタモード／双方向受信モード（MSTR=1、BDM=1、および BDOE=0）の場合を除きます。

BSY フラグは次の場合にクリアされます。

- 転送が終わったとき（通信が連続的である場合はマスタモードを除きます）
- SPI が無効にされたとき
- マスタモード障害が発生したとき（MODF=1）

通信が連続的でないとき、BSY フラグは各通信間でローレベルになります。

通信が連続的なとき：

- マスタモードでは、BSY フラグはすべての転送期間を通じてハイレベルに保持されます。
- スレーブモードでは、BSY フラグは、各転送間で SPI の 1 クロックサイクルの間ローレベルになります。

注： ***各データの送受信の処理には BSY フラグを使用しないでください。代わりに、TXE フラグと RXNE フラグを使用することをお勧めします。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

28.3.8 SPI の無効化

転送が終了すると、アプリケーションは SPI ペリフェラルを無効にすることによって、通信を停止することができます。これには SPE ビットをクリアします。

設定によっては、転送が行われているときに SPI を無効にして停止モードに入ると、現在の転送内容が破壊されたり、BSY フラグが信頼できなくなることがあります。

このような影響を回避するには、SPI を無効にするとき、以下の手順を順守することをお勧めします。

マスタまたはスレーブの全二重モード（BIDIMODE=0、RXONLY=0）

1. RXNE=1 になるまで待ってから、最後のデータを受信します。
2. TXE=1 になるまで待ちます。
3. 次に、BSY=0 になるまで待ちます。
4. SPI を無効にし（SPE=0）、結果的に停止モードに入ります（あるいは、ペリフェラルクロックを無効にします）。

マスタまたはスレーブの単方向送信専用モード（BIDIMODE=0、RXONLY=0）または双方向送信モード（BIDIMODE=1、BIDIOE=1）

SPI_DR レジスタに最後のデータが書き込まれた後：

1. TXE=1 になるまで待ちます。
2. 次に、BSY=0 になるまで待ちます。
3. SPI を無効にし（SPE=0）、結果的に停止モードに入ります（あるいは、ペリフェラルクロックを無効にします）。

マスタの単方向受信専用モード（MSTR=1、BIDIMODE=0、RXONLY=1）または双方向受信モード（MSTR=1、BIDIMODE=1、BIDIOE=0）

このケースは、SPI が新しい転送を開始しないように、特別の方法で管理する必要があります。次のシーケンスは SPI モトローラ設定に対してのみ有効です（FRF ビットに 0 を設定）：

1. RXNE=1（n–1）の最後から 2 番目の出現を待ちます。
2. ソフトウェアループを使用して SPI の 1 クロックサイクルの間待ってから、SPI を無効にします（SPE=0）。
3. 次に、最後の RXNE=1 になるまで待ってから、停止モードに入ります（あるいは、ペリフェラルクロックを無効にします）。

SPI が TI モードに設定されている場合（FRF ビット を 1 に設定）、次の手順を守り、SPI を無効化する際に NSS 上に不要なパルスが発生するのを防止する必要があります。

1. RXNE=1（n–1）の最後から 2 番目の出現を待ちます。
2. ソフトウェアループを使って、次のウインドウフレームで SPI を無効化します（SPE = 0）：
   - 少なくとも 1 SPI クロックサイクル経過後で、
   - LSB データ転送の開始前。

注： ***マスタの双方向受信モード（MSTR=1、BDM=1、および BDOE=0）では、BSY フラグは転送時にローレベルに保持されます。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

スレーブの受信専用モード（MSTR=0、BIDIMODE=0、RXONLY=1）または双方向受信モード（MSTR=0、BIDIMODE=1、BIDOE=0）

1. SPI はいつでも無効にできます（SPE=1 の書き込み）。現在の転送が完了してから、SPI は実質的に無効になります。
2. 次に、停止モードに入りたい場合は、まず BSY = 0 になるまで待ってから、停止モードに入ります（あるいは、ペリフェラルクロックを無効にします）。

28.3.9 DMA（Direct Memory Addressing）を使用する SPI 通信

SPI が最大速度で動作するには、SPI に送信用のデータを供給し、受信バッファに受信したデータを読み出してオーバランを回避する必要があります。転送を容易にするため、SPI は簡単なリクエスト／確認応答プロトコルを実現する DMA 機能を備えています。

SPI_CR2 レジスタのイネーブルビットを有効にすると、DMA アクセスがリクエストされます。送信バッファと受信バッファには、別個のリクエストを発行する必要があります（*図 259*と *図 260*を参照）。

- 送信では、TXE が 1 にセットされるたびに DMA リクエストが発行されます。その後、DMA は SPI_DR レジスタに書き込みます（これによって TXE フラグがクリアされます）。
- 受信では、RXNE が 1 にセットされるたびに DMA リクエストが発行されます。その後、DMA は SPI_DR レジスタを読み出します（これによって RXNE フラグがクリアされます）。

SPI がデータの送信にのみ使用される場合、SPI Tx DMA チャネルのみを有効にすることができます。この場合、受信されたデータは読み出されないため、OVR フラグがセットされます。

SPI がデータの受信にのみ使用される場合、SPI Rx DMA チャネルだけを有効にすることができます。

送信モードで、DMA が送信されるすべてのデータを書き込んだとき（DMA_ISR レジスタのフラグ TCIF がセットされます）、BSY フラグを監視することで SPI 通信の完了を確認できます。この操作は、SPI を無効にしたり STOP モードに入る前に、最後の送信内容の破壊を避けるために必要です。ソフトウェアは、まず TXE=1 になるまで待ってから、BSY=0 になるまで待つ必要があります。

注： ***不連続通信時には、SPI_DR への書き込み動作と BSY ビットの設定の間に、APB の 2 クロック周期分の遅延があります。結果として、最後のデータを書き込んだ後、まず TXE=1 になるまで待ち、さらに BSY=0 になるまで待つ必要があります。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 259. DMA を使用した送信

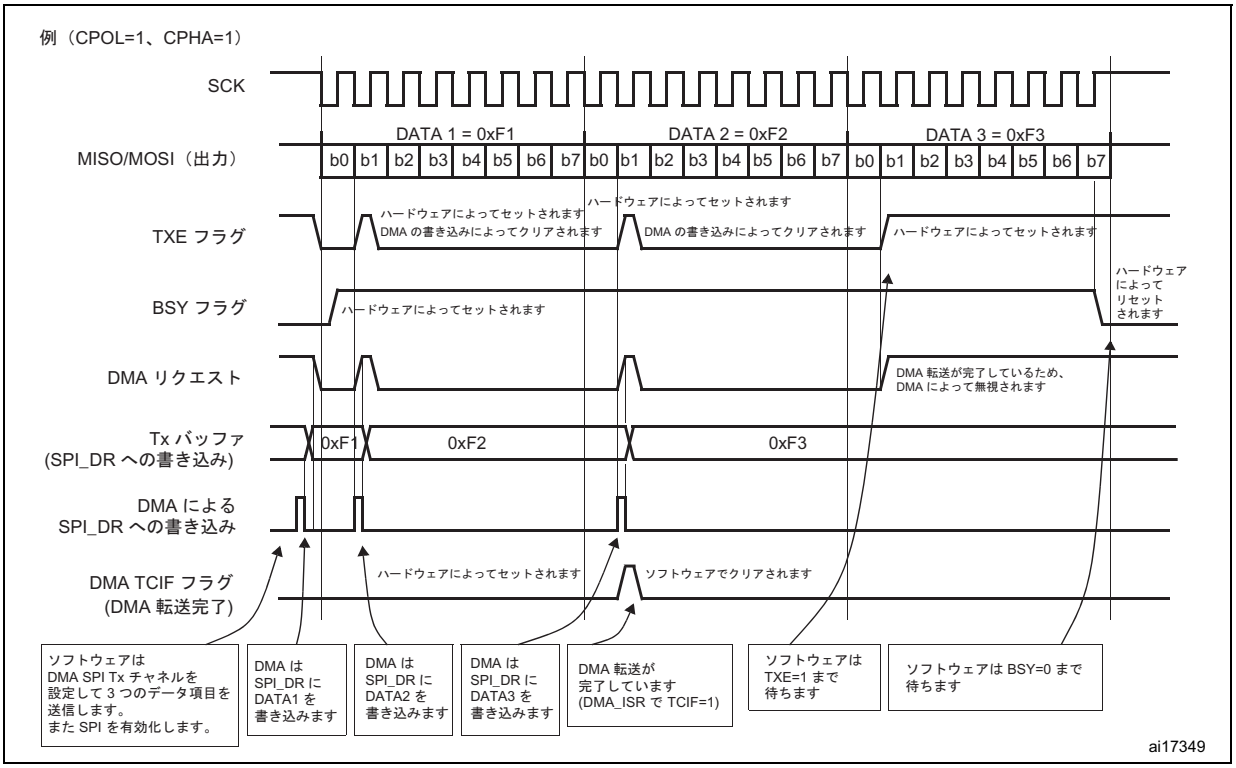
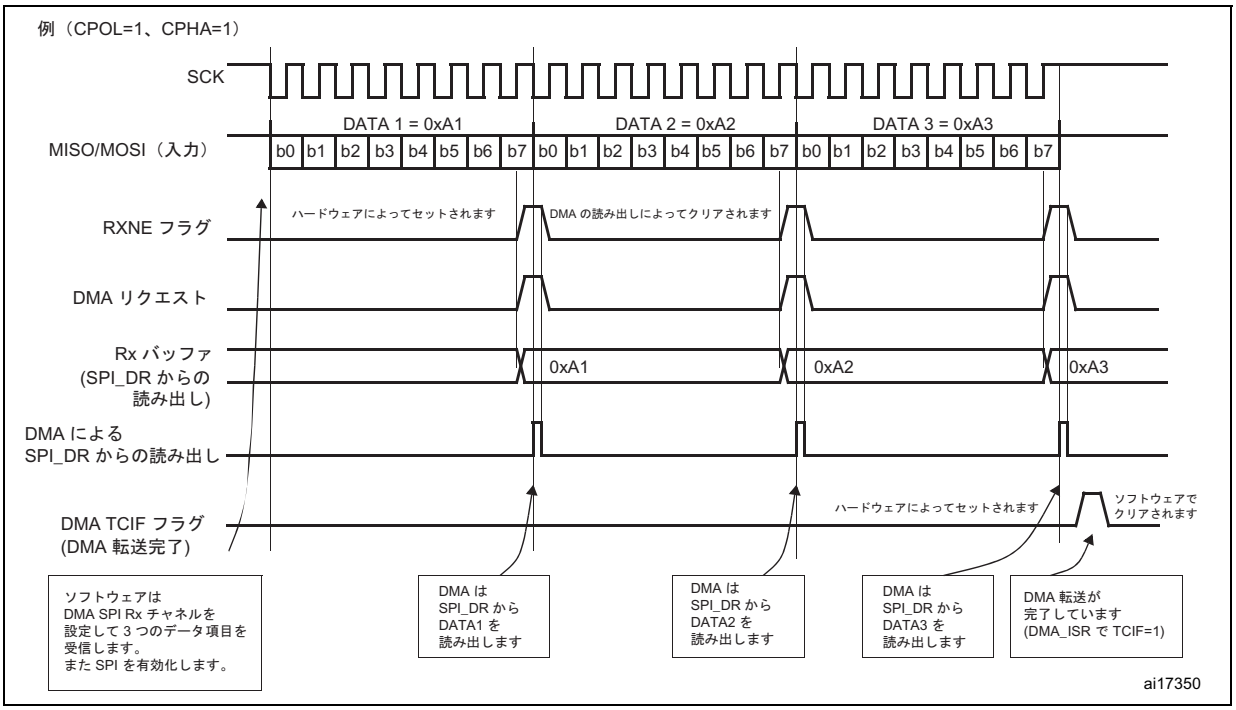


図 260. DMA を使用した受信



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

CRC 付きのDMA 機能

CRC 通信付きの DMA モードで SPI 通信が有効にされると、CRCNEXT ビットを使用することなく、通信の最後で CRC の送受信が自動的に行われます。CRC 受信後、SPI_DR レジスタから CRC を読み出し、RXNE フラグをクリアする必要があります。

転送中に内容の破壊が生じた場合、データと CRC の転送の最後に SPI_SR レジスタの CRCERR フラグがセットされます。

28.3.10 エラーフラグ

マスタモードフォールト （MODF）

マスタモードフォールトは、マスタデバイスが NSS ピンをローにしたとき（NSS ハードウェアモード）、または SSI ビットをローにしたとき（NSS ソフトウェアモード）に発生し、MODF ビットが自動的にセットされます。マスタモードフォールトは、SPI ペリフェラルに次のような影響を与えます。

- MODF ビットがセットされ、ERRIE ビットがセットされている場合は SPI 割り込みが生成されます。
- SPE ビットがクリアされます。これによって、デバイスからのすべての出力がブロックされ、SPI インタフェースが無効になります。
- MSTR ビットがクリアされ、デバイスは強制的にスレーブモードになります。

MODF ビットをクリアするには、次のソフトウェアシーケンスを実行します。

1. MODF ビットがセットされている間に、SPI_SR レジスタに読み出し／書き込みアクセスを行います。
2. 次に、SPI_CR1 レジスタに書き込みを行います。

複数の MCU で構成されるシステムでスレーブ間の競合を避けるには、MODF ビットをクリアするシーケンス中、NSS ピンをハイレベルにプルアップする必要があります。このクリアシーケンスの後、SPE ビットと MSTR ビットは、元の状態に戻すことができます。

安全のため、MODF ビットがセットされている間、ハードウェアは SPE ビットと MSTR ビットのセットを許可しません。

スレーブデバイスでは、MODF ビットをセットできません。ただし、マルチマスタ設定では、デバイスはこの MODF ビットをセットした状態でスレーブモードになることができます。この場合、MODF ビットは、システム制御に関してマルチマスタ競合が生じた可能性を示します。割り込みルーチンを使用して、リセットを行ったりデフォルト状態に復帰することによって、この状態からクリーンに回復できます。

オーバーラン条件

オーバラン条件が発生するのは、マスタデバイスがデータバイトを送信し、スレーブデバイスが以前に送信されたデータバイトに起因する RXNE ビットをクリアしなかった場合です。オーバーラン条件が発生すると、

- OVR ビットがセットされ、ERRIE ビットがセットされている場合は割り込みが生成されます。

この場合、レシーババッファは、マスタデバイスから新しく受信したデータによって更新されません。このバイトは、SPI_DR レジスタの読み出しによって返されます。その後に送信されたすべてのバイトは失われます。

OVR ビットのクリアは、SPI_DR レジスタを読み出した後に SPI_SR レジスタを読み出すことによって行われます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

CRC エラー

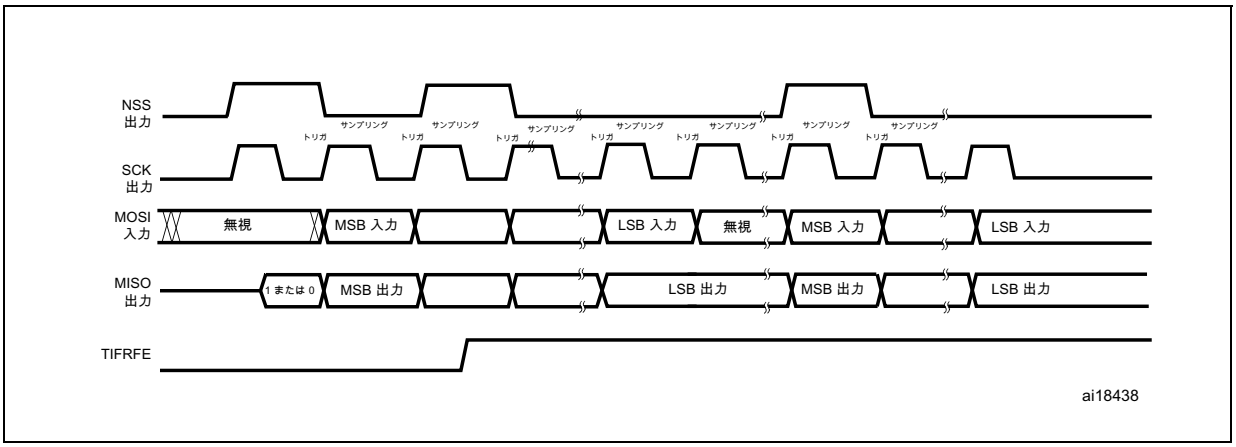
このフラグを使用して、SPI_CR1 レジスタの CRCEN ビットがセットされているときに受信された値の有効性を検証します。シフトレジスタに受信された値が、レシーバである SPI_RXCRCR の値と一致しなかった場合、SPI_SR レジスタの CRCERR フラグがセットされます。

TI モードフレームフォーマットエラー

SPI がスレーブモードとして機能し、かつ TI モードプロトコルに準拠した設定となっている場合、通信の進行中に NSS パルスが発生すると、TI モードフレームフォーマットエラーが検出されます。このエラー発生すると、SPI_SR レジスタの FRE フラグがセットされます。エラー発生時には SPI は無効にされずにこの NSS パルスは無視され、SPI は次の NSS パルスを待ってから新規の転送を開始します。このエラーの検出により 2 バイトのデータが失われるため、データは破損した可能性があります。

FRESPI_SR レジスタを読み出すと、FRE がクリアされます。ERRIE ビットがセットされていると、NSS エラー検出時に割り込みが生成されます。この場合、データの一貫性が保証されなくなるため、SPI を無効にする必要があり、またスレーブ SPI が再有効化された場合は、マスタによって通信を再起動する必要があります。

図 261. TI モードフレームフォーマットエラー検出



28.3.11 SPI 割り込み

表 125. SPI 割り込みリクエスト

割り込みイベント	イベントフラグ	イネーブル制御ビット
送信バッファエンプティフラグ	TXE	TXEIE
受信バッファノットエンプティフラグ	RXNE	RXNEIE
マスタモードフォールトイベント	MODF	ERRIE
オーバーランエラー	OVR	
CRC エラーフラグ	CRCERR	
TI フレームフォーマットエラー	FRE	ERRIE

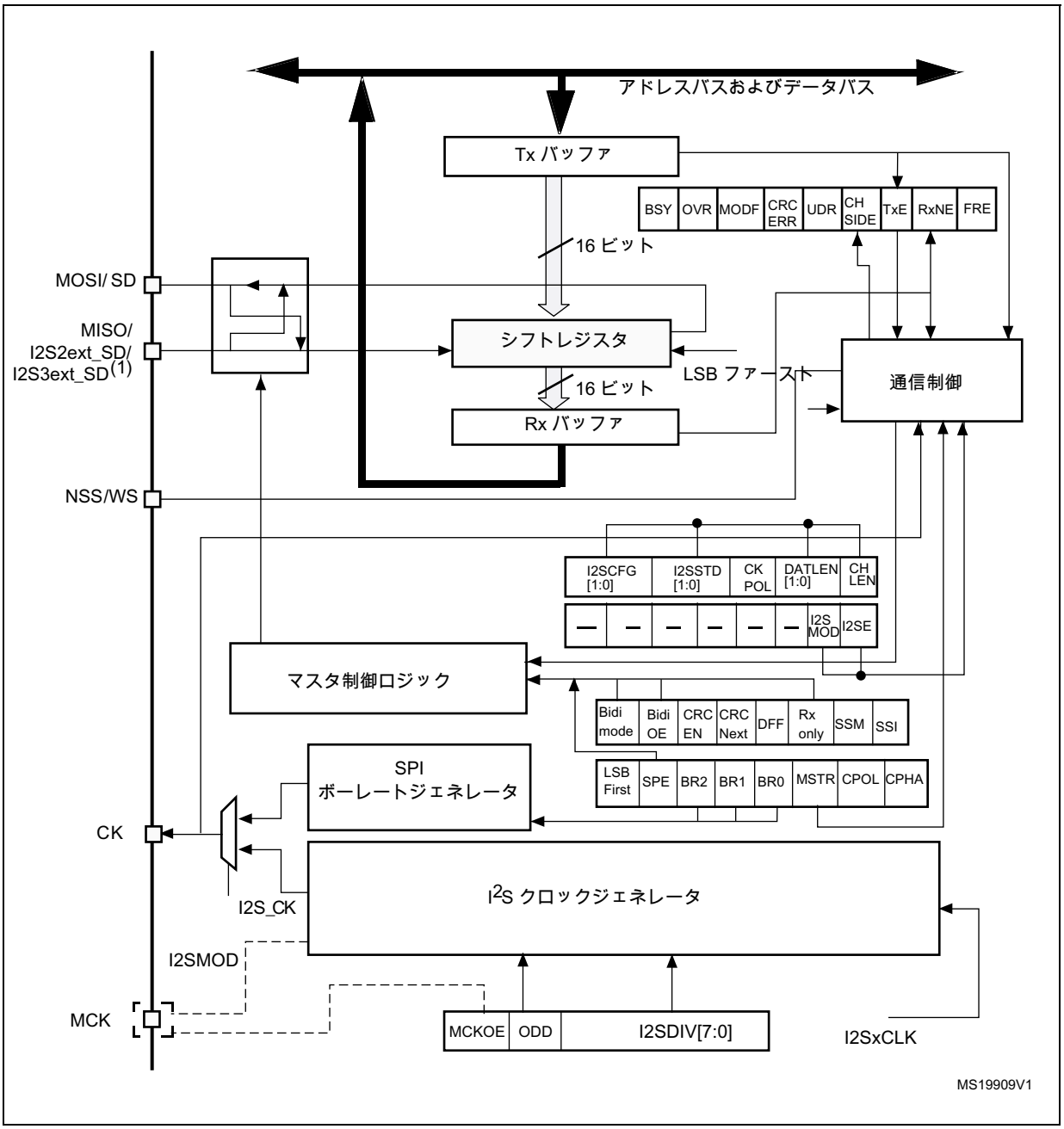
この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

28.4 I²S 機能の詳細

28.4.1 I²S の概要

図 262 に I²S のブロック図を示します。

図 262. I²S ブロック図



1. I2S2ext_SD と I2S3ext_SD は、I²S 全二重 モードを制御する拡張 SD ピンです。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

SPI_I2SCFGR レジスタの I2SMOD ビットをセットして I^2S 機能を有効にすると、SPI はオーディオ I^2S インタフェースとして機能することができます。このインタフェースは、SPI とほぼ同じピン、フラグ、および割り込みを使用します。

I^2S と SPI は、3 つのピンを共用します。

- SD（シリアルデータ）: MOSI ピンに配置され、2 つの時間多重化データチャネルを送受信します（半二重モードのみ）。
- WS（ワードセレクト）: NSS ピンに配置され、マスタモードではデータ制御信号の出力、スレーブモードでは入力です。
- CK（シリアルクロック）: SCK ピンに配置され、マスタモードではシリアルクロック出力、スレーブモードではシリアルクロック入力です。
- I2S2ext_SD および I2S3ext_SD : I^2S 全二重 モードを制御する追加ピン（MISO ピンに配置）。

外部オーディオデバイスにマスタクロック出力が必要な場合、追加のピンを使用できます。

- MCK（マスタクロック）: 別個に配置され、I^2S がマスタモードに設定され（かつ、SPI_I2SPR レジスタの MCKOE ビットがセットされ）ているとき、256 × F_S と等しい（F_S はオーディオサンプリング周波数）設定済みの周波数で生成されたこの追加クロックを出力するために使用されます。

I^2S は、マスタモードに設定されているとき、専用のクロックジェネレータを使用して通信クロックを発生させます。このクロックジェネレータは、マスタクロック出力のソースでもあります。I^2S モードでは、2 つの追加レジスタを使用できます。1 つはクロックジェネレータ設定 SPI_I2SPR にリンクされ、もう 1 つは汎用 I^2S 設定レジスタ SPI_I2SCFGR（オーディオ標準、スレーブ／マスタモード、データフォーマット、パケットフレーム、クロック極性など）です。

SPI_CR1 レジスタとすべての CRC レジスタは、I^2S モードでは使用されません。同様に、SPI_CR2 レジスタの SSOE ビットと SPI_SR の MODF および CRCERR ビットも使用されません。

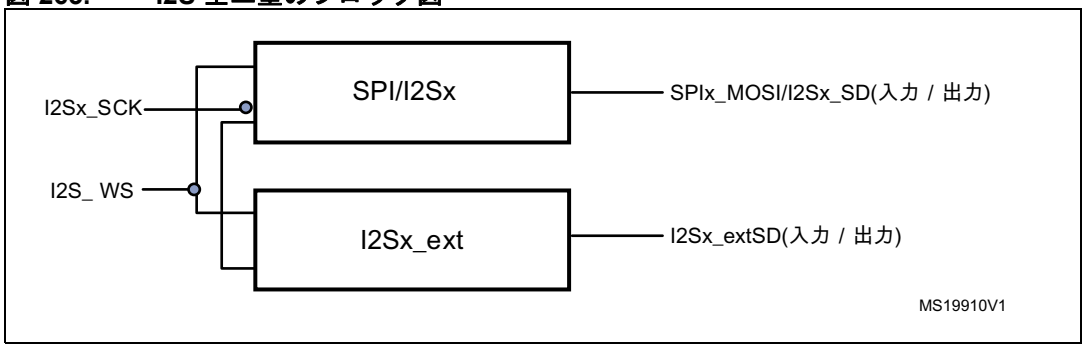
I^2S は、16 ビット幅モードでのデータ転送に同じ SPI レジスタ（SPI_DR）を使用します。

28.4.2 I2S 全二重

I2S 全二重 モードをサポートするため、I2S2 と I2S3 の他に拡張 I2S（I2S2_ext、I2S3_ext）と呼ぶ 2 つの追加 I^2S インスタンスが利用可能です（*図 263* を参照）。そのため、最初の I2S 全二重インタフェースは I2S2 と I2S2_ext に、2 つ目の全二重インタフェースは I2S3 と I2S3_ext に、それぞれ基づいています。

注： ***I2S2_ext と I2S3_ext は全二重モードでのみ使用されます。***

図 263. I2S 全二重のブロック図



1. x は 2 または 3 です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

I2Sx はマスタモードで動作することができます。その結果：

- 半二重モードでは、I2Sx だけが SCK と WS を出力することができます。
- 全二重モードでは、I2Sx だけが I2S2_ext と I2S3_ext への SCK と WS を供給することができます。

拡張 I2S（I2Sx_ext）は、全二重モードでのみ使用することができます。I2Sx_ext は、常にスレーブモードで動作します。

I2Sx と I2Sx_ext はどちらも、トランスミッタまたはレシーバとして設定することができます。

28.4.3 サポートされるオーディオプロトコル

4 線バスでは、一般に 2 つのチャネル（右チャネルと左チャネル）で時間多重化されたオーディオデータのみを処理する必要があります。しかしながら、送受信用には 1 つの 16 ビットレジスタしかありません。したがって、注目するチャネルサイドに対応する適切な値をデータレジスタに書き込んだり、データレジスタからデータを読み出して SPI_SR レジスタの CHSIDE ビットをチェックして対応するチャネルを識別したりすることは、ソフトウェアの責任です。左チャネルは常に最初に送信され、その後で右チャネルが送信されます（CHSIDE は PCM プロトコルには無関係です）。

4 つのデータおよびパケットフレームを使用できます。データは次のフォーマットで送信されます。

- 16 ビットフレームにパックされた 16 ビットデータ
- 32 ビットフレームにパックされた 16 ビットデータ
- 32 ビットフレームにパックされた 24 ビットデータ
- 32 ビットフレームにパックされた 32 ビットデータ

32 ビットパケットに拡張された 16 ビットデータを使用するとき、最初の 16 ビット（MSB）は上位ビットであり、LSB の 16 ビットは、ソフトウェア動作や DMA リクエストを必要とせずに（1 回の読み込み／書き込み動作のみで）強制的に 0 にされます。

24 ビットと 32 ビットのデータフレームは、SPI_DR との間で 2 つの CPU 読み出しまたは書き込み動作（あるいはアプリケーションにとって DMA が望ましい場合は 2 つの DMA 動作）を必要とします。24 ビットのデータフレームの場合、8 つの下位ビットはハードウェアによって 0 のビットで 32 ビットに拡張されます。

すべてのデータフォーマットと通信標準に対して、最上位ビットは常に最初に送信されます（MSB ファースト）。

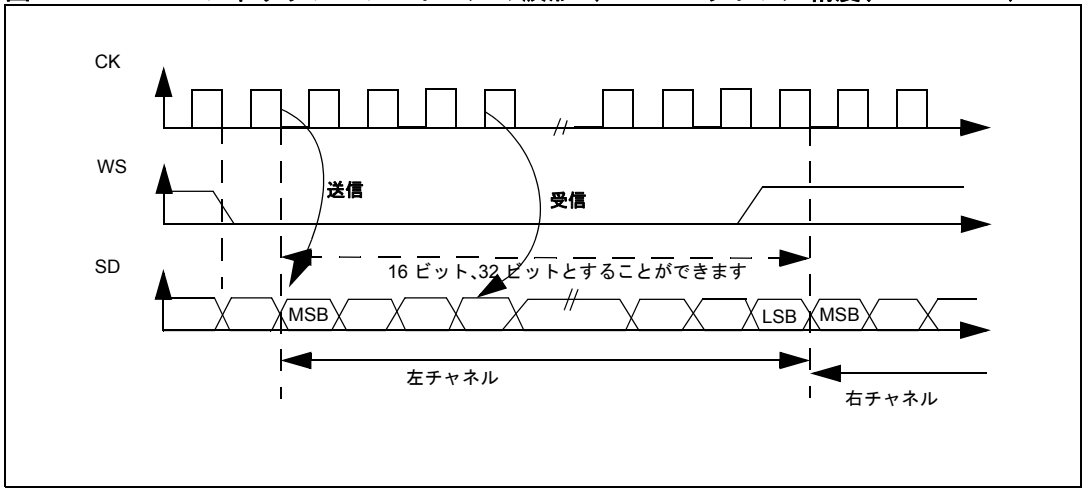
I^2S インタフェースは、SPI_I2SCFGR レジスタの I2SSTD[1:0] と PCMSYNC ビットを使用して設定可能な 4 つのオーディオ標準をサポートします。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

I²S フィリップス標準

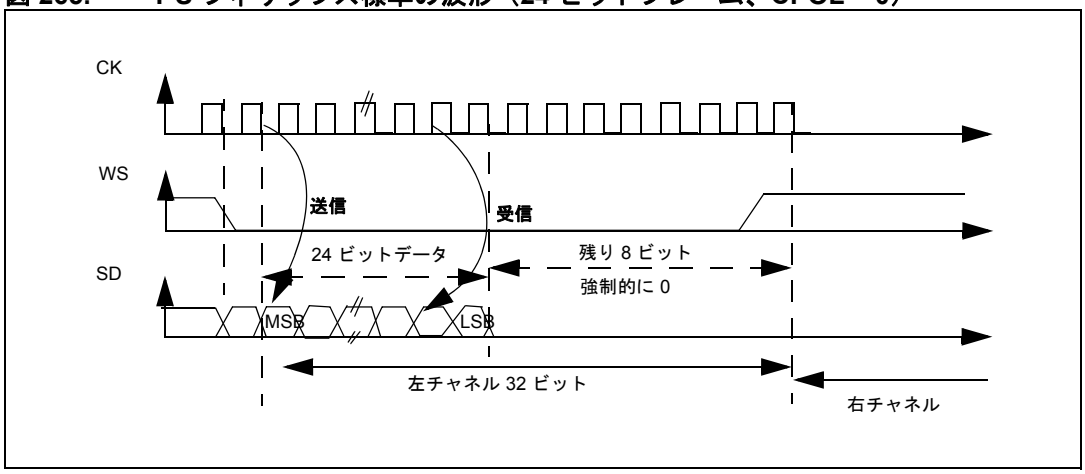
この標準では、どのチャネルが送信されているかを示すために WS 信号を使用します。この信号が有効になってから CK の 1 クロックサイクル後に最初のビット（MSB）が使用可能になります。

図 264. I²S フィリップスプロトコルの波形（16/32 ビットフル精度、CPOL = 0）



データは、CK の立ち下がりエッジでラッチされ（トランスミッタの場合）、立ち上がりエッジで読み出されます（レシーバの場合）。WS 信号も CK の立ち下がりエッジでラッチされます。

図 265. I²S フィリップス標準の波形（24 ビットフレーム、CPOL = 0）



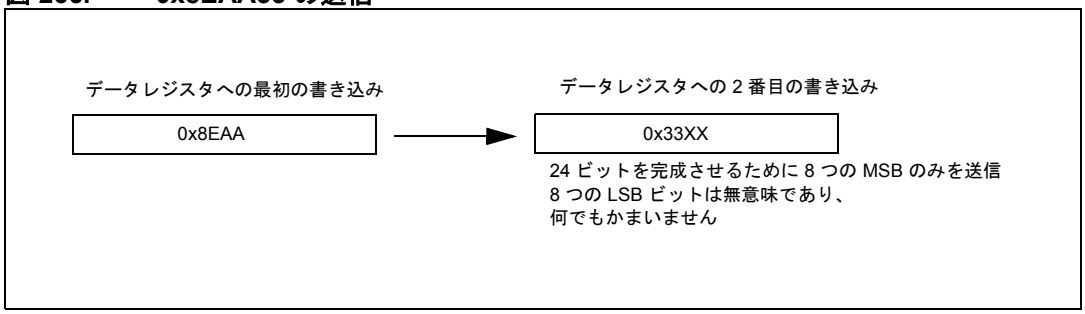
このモードでは、SPI_DR に対して 2 つの書き込みまたは読み出し動作が必要です。

- 送信モードでは：

  0x8EAA33 を送信する必要がある場合（24 ビット）：

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 266. 0x8EAA33 の送信



- 受信モードでは：
  データ 0x8EAA33 が受信される場合：

図 267. 0x8EAA33 の受信

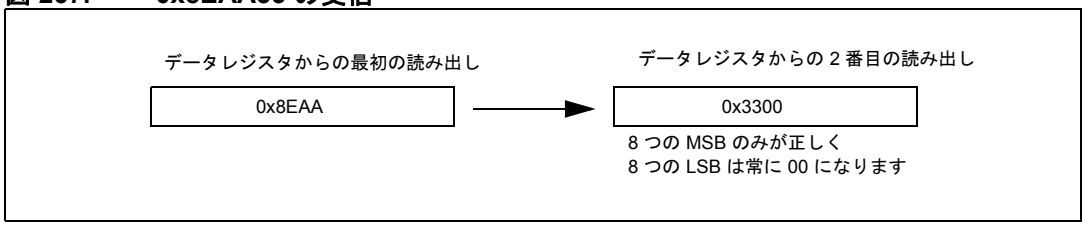
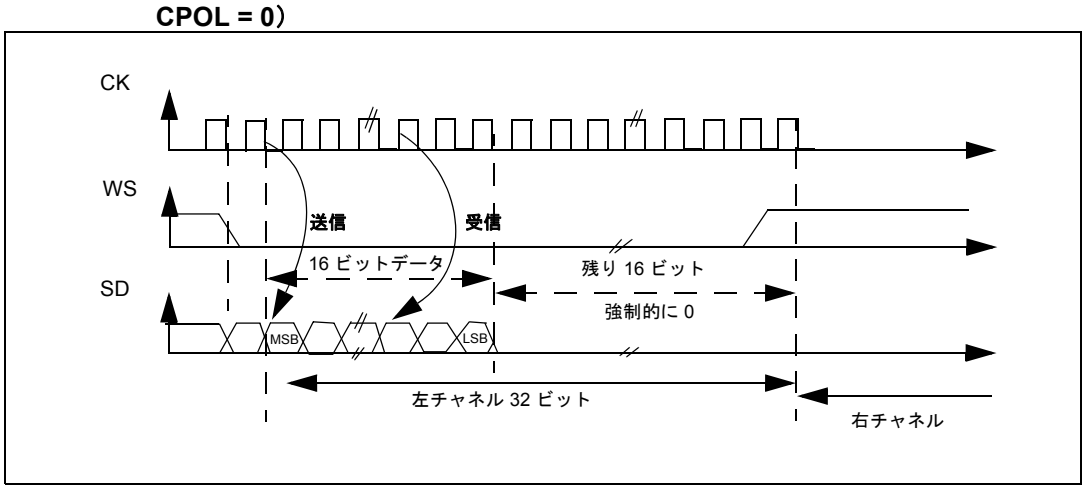


図 268. I²Sフィリップス標準（32 ビットパケットフレームに拡張された 16 ビット、CPOL = 0）

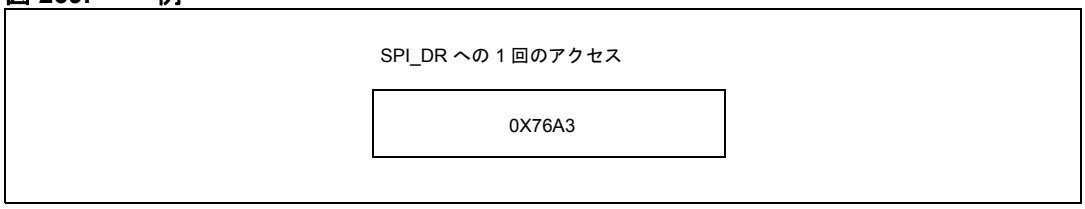


I²S 設定フェーズで、32 ビットチャネルフレームに拡張された 16 ビットデータフレームが選択されたとき、SPI_DR へのアクセスは 1 回のみ必要です。残りの 16 ビットは、データを 32 ビットフォーマットに拡張するために、ハードウェアによって強制的に 0x0000 にされます。

送信するデータまたは受信したデータが 0x76A3（32 ビットに拡張された 0x76A30000）であるとき、*図 269*に示す動作が要求されます。

この資料は、STMicroelectronics NV 並びにその子会社（以下 ST）が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 269. 例



送信では、SPI_DR に MSB が書き込まれるたびに、TXE フラグがセットされ、可能ならば、SPI_DR に新しい送信値をロードするために割り込みが生成されます。これはハードウェアによって行われるため、0x0000 がまだ送信されていなくても行われます。

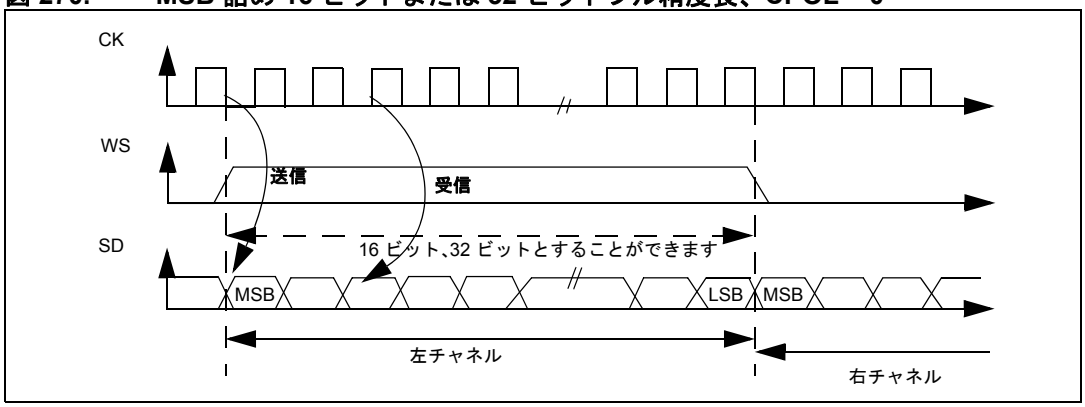
受信では、RXNE フラグがセットされ、可能ならば、最初の 16 MSB ハーフワードの受信時にその割り込みが生成されます。

このように、2 つの書き込みまたは読み出し動作の間にはより多くの時間が設けられるため、アンダーランまたはオーバーラン状態（データ転送の方向に依存）を避けられます。

MSB 詰め規格

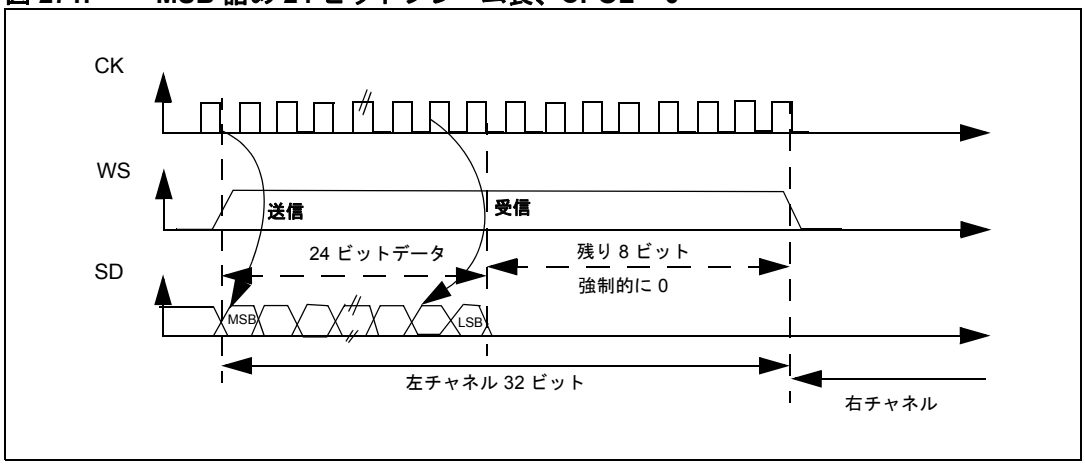
この規格では、WS 信号は最初のデータビット（最上位ビット）と同時に生成されます。

図 270. MSB 詰め 16 ビットまたは 32 ビットフル精度長、CPOL = 0



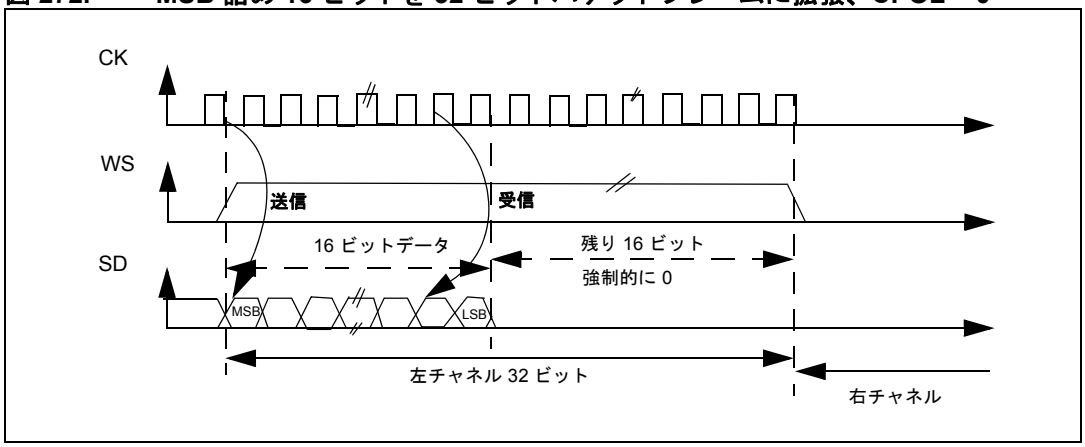
データは、CK の立ち下がりエッジでラッチされ（トランスミッタの場合）、立ち上がりエッジで読み出されます（レシーバの場合）。

図 271. MSB 詰め 24 ビットフレーム長、CPOL = 0



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

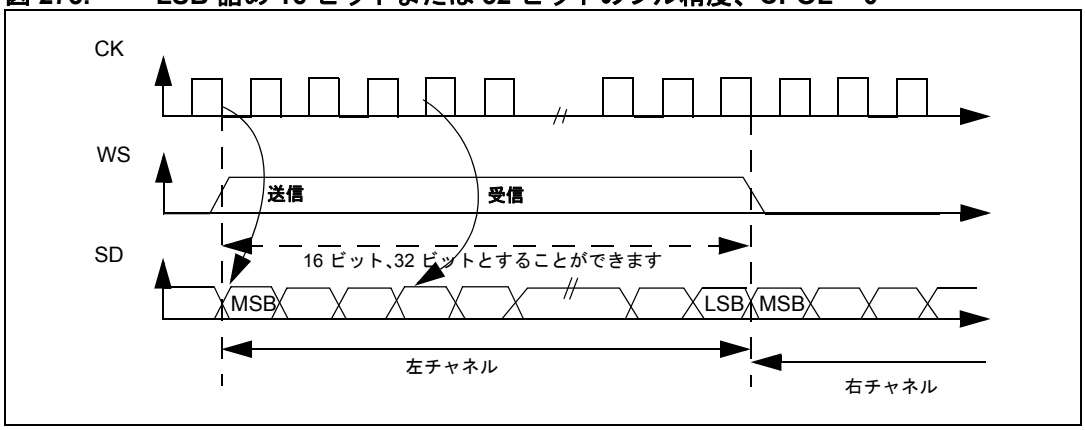
図 272. MSB 詰め 16 ビットを 32 ビットパケットフレームに拡張、CPOL = 0



LSB 詰め規格

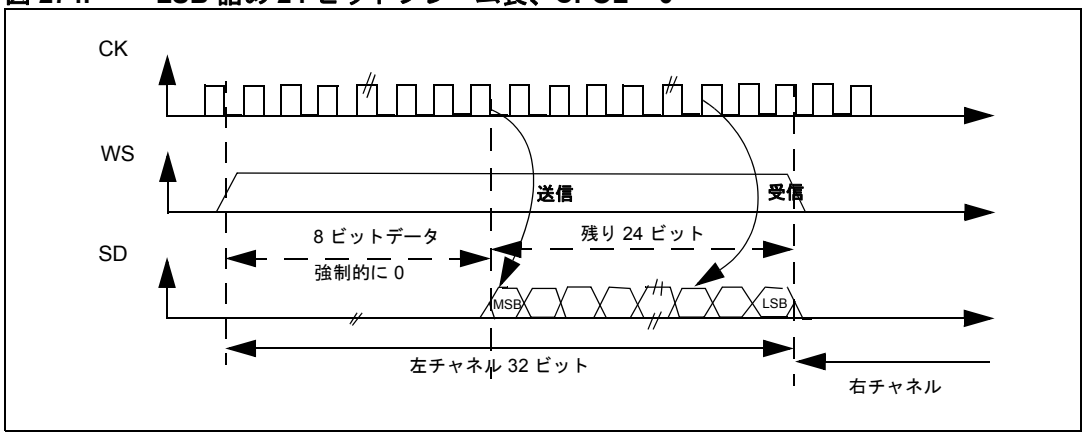
この規格は、MSB 詰め規格と似ています（16 ビットと 32 ビットのフル精度フレームフォーマットに違いはありません）

図 273. LSB 詰め 16 ビットまたは 32 ビットのフル精度、CPOL = 0



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

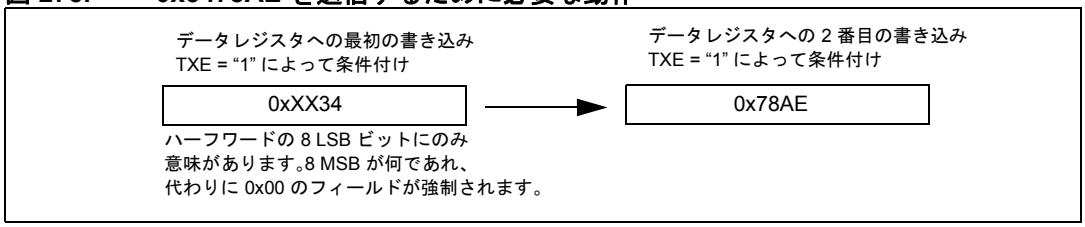
図 274. LSB 詰め 24 ビットフレーム長、CPOL = 0



- 送信モードでは：

  データ 0x3478AE を送信する必要がある場合、ソフトウェアまたは DMA によって SPI_DR レジスタへの 2 つの書き込み動作が必要です。この動作を次に示します。

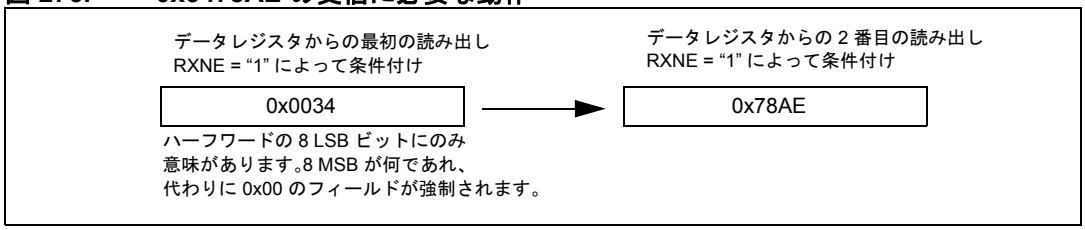
図 275. 0x3478AE を送信するために必要な動作



- 受信モードでは：

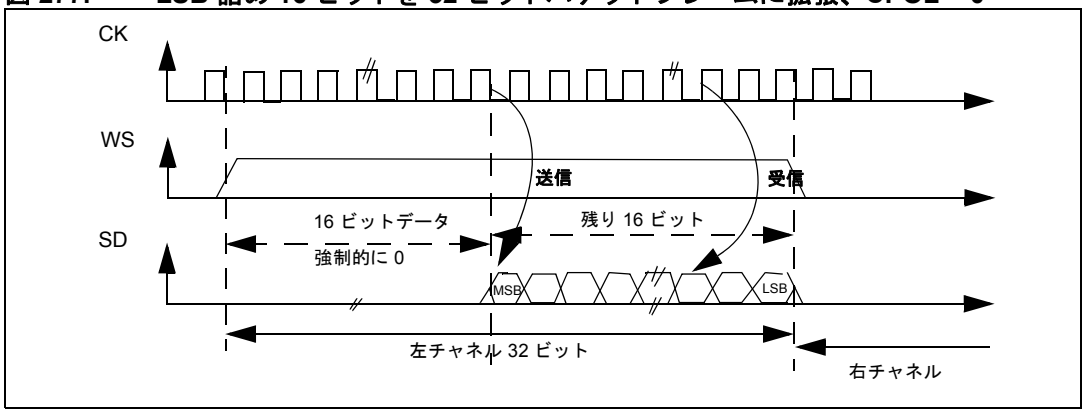
  データ 0x3478AE が受信される場合、RXNE イベントごとに SPI_DR から連続する 2 つの読み出し動作が必要です。

図 276. 0x3478AE の受信に必要な動作



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

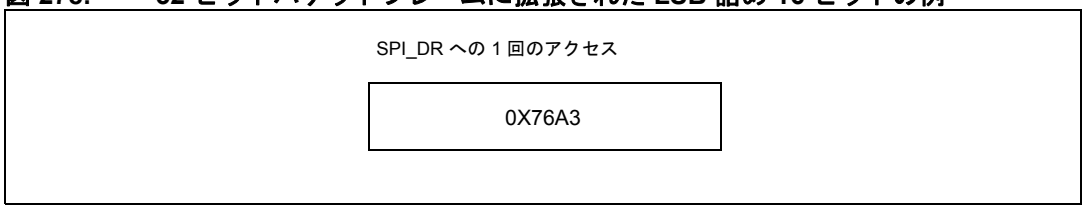
図 277. LSB 詰め 16 ビットを 32 ビットパケットフレームに拡張、CPOL = 0



I²S 設定フェーズで、32 ビットチャネルフレームに拡張された 16 ビットデータフレームが選択されたとき、SPI_DR へのアクセスは 1 回のみ必要です。残りの 16 ビットは、データを 32 ビットフォーマットに拡張するために、ハードウェアによって強制的に 0x0000 にされます。この場合、それはハーフワード MSB に相当します。

送信するデータまたは受信データが 0x76A3（32 ビットに拡張された 0x0000 76A3）である場合、*図 278* に示す動作が要求されます。

図 278. 32 ビットパケットフレームに拡張された LSB 詰め 16 ビットの例



送信モードでは、TXE がアサートされると、アプリケーションは送信するデータ（この場合は 0x76A3）を書き込む必要があります。0x000 フィールドが最初に送信されます（32 ビット拡張部）。有効なデータ（0x76A3）が SD に送信されると、すぐに TXE が再びアサートされます。

受信モードでは、0x0000 フィールドではない有効なハーフワードが受信されると、すぐに RXNE がアサートされます。

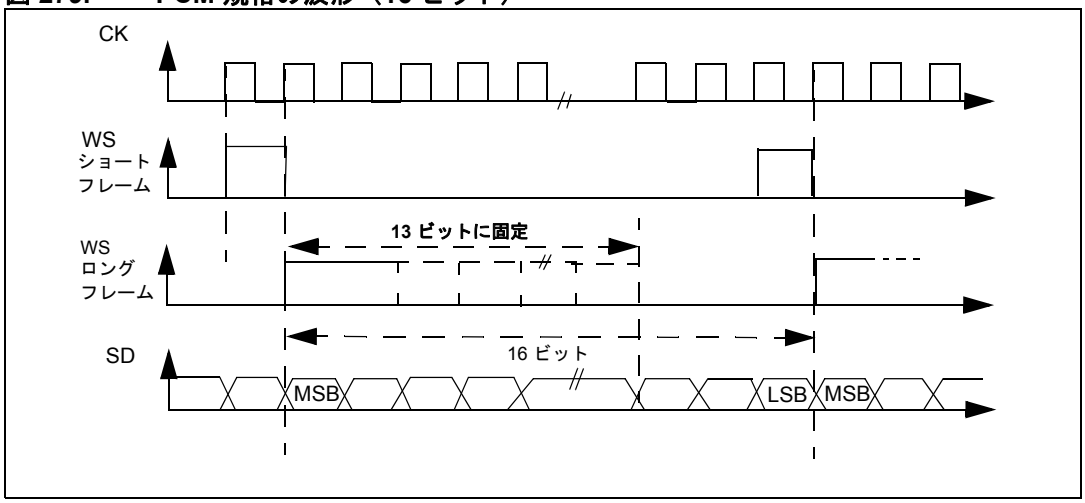
このように、アンダーランやオーバーランの状態を防ぐために、2 つの書き込みまたは読み出し動作の間には、より多くの時間が設けられています。

PCM 規格

PCM 規格では、チャネルサイド情報を使用する必要はありません。SPI_I2SCFGR の PCMSYNC ビットを使用して、2 つの PCM モード（ショートおよびロングフレーム）を使用し、設定することができます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

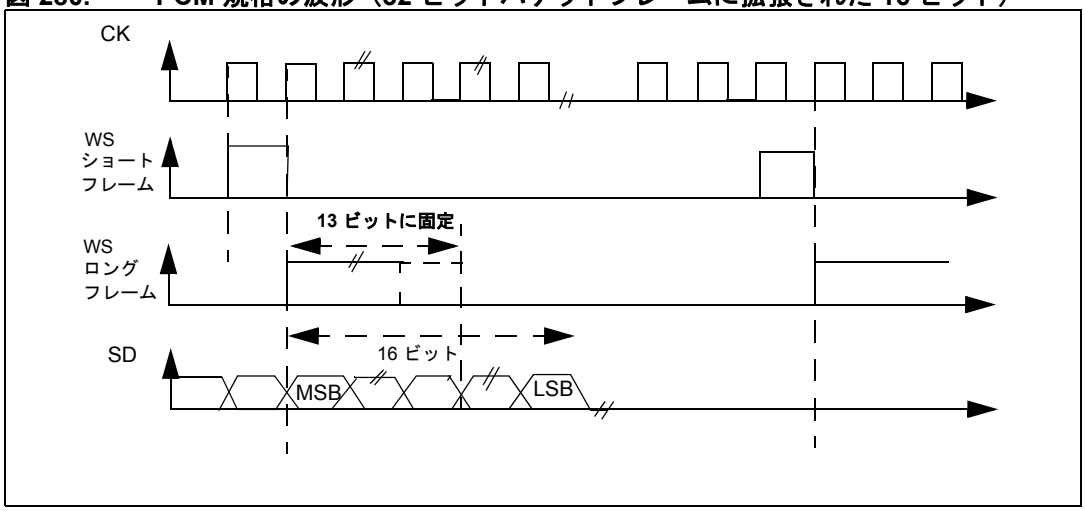
図 279. PCM 規格の波形（16 ビット）



ロングフレーム同期では、WS 信号のアサーション時間はマスタモードで 13 ビットに固定されています。

ショートフレーム同期では、WS 同期信号の長さは、わずか 1 サイクルです。

図 280. PCM 規格の波形（32 ビットパケットフレームに拡張された 16 ビット）



注： ***2 つのモード（マスタとスレーブ）と 2 つの同期（ショートとロング）に関しては、スレーブモードでも、連続した 2 つのデータ（したがって 2 つの同期信号）間のビット数を（SPI_I2SCFGR レジスタの DATLEN および CHLEN ビットで）指定する必要があります。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

28.4.4 クロックジェネレータ

I^2S ビットレートにより、I^2S データライン上のデータフローと I^2S クロック信号周波数が決まります。

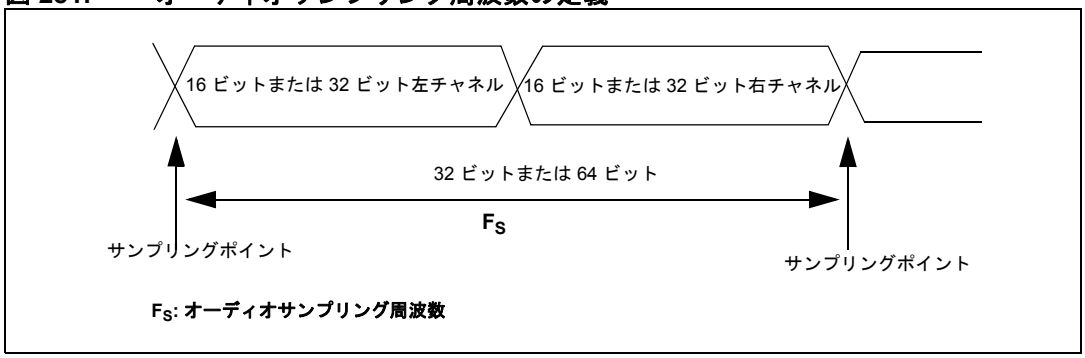
I^2S ビットレート = チャネルごとのビット数 × チャネル数 × オーディオサンプリング周波数

16 ビットオーディオ、左チャネル、および右チャネルでは、I^2S ビットレートは次のように計算されます。

I^2S ビットレート = 16 × 2 × F_S

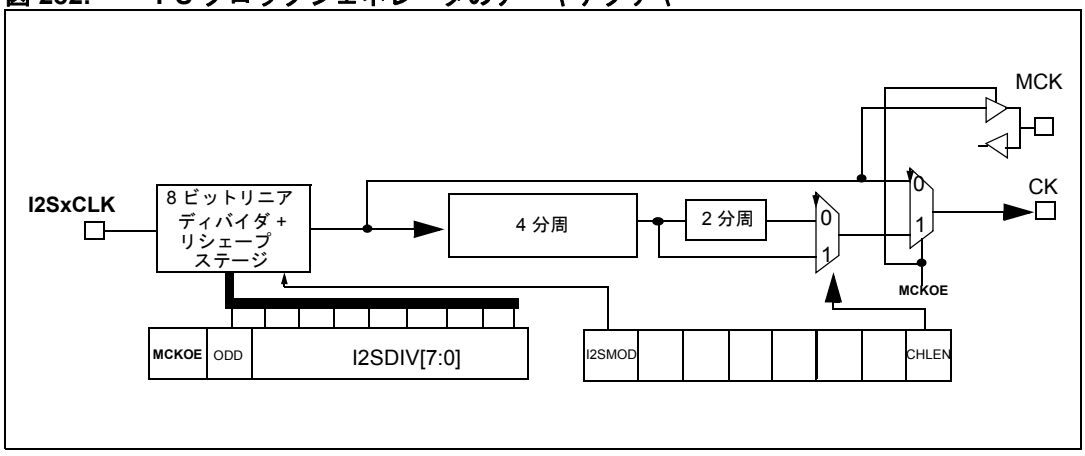
パケット長が 32 ビットの場合、I^2S ビットレート = 32 x 2 x F_S となります。

図 281. オーディオサンプリング周波数の定義



マスタモードが設定された場合、希望するオーディオ周波数で通信するために、特定の措置を講じてリニアディバイダを適切にプログラミングする必要があります。

図 282. I^2S クロックジェネレータのアーキテクチャ



1. x は 2 または 3 です。

図 282 に、通信クロックのアーキテクチャを示します。高品質のオーディオ性能を実現するため、I2SxCLK クロックソースとしては、PLLI2S 出力（R 分周比を使用）または外部クロック（I2S_CKIN ピンに割り付け）を使用することができます。

オーディオサンプリング周波数は、192 kHz、96 kHz、または 48 kHz が可能です。希望する周波数を達成するには、次の式に基づいてリニアディバイダのプログラミングを行う必要があります。

マスタクロックが生成される場合（SPI_I2SPR レジスタの MCKOE ビットをセット）:

F_S = I2SxCLK / [(16*2) *((2*I2SDIV)+ODD)*8)] …チャネルフレームが 16 ビット幅の場合

F_S = I2SxCLK / [(32*2) *((2*I2SDIV)+ODD)*4)] …チャネルフレームが 32 ビット幅の場合

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

マスタクロックが無効にされた場合（MCKOE ビットをクリア）：

F_S = I2SxCLK / [(16*2)*((2*I2SDIV)+ODD))] …チャネルフレームが 16 ビット幅の場合

F_S = I2SxCLK / [(32*2)*((2*I2SDIV)+ODD))] …チャネルフレームが 32 ビット幅の場合

表 126 に、さまざまなクロック設定に対する精度値の例を示します。

注： ***これ以外の設定でも、最適なクロック精度を実現することは可能です。***

表 126. オーディオ周波数精度（PLLM VCO = 1 MHz または 2 MHz の場合）(1)

マスタクロック	ターゲット f_S（Hz）	データフォーマット	PLLI2SN	PLLI2SR	I2SDIV	I2SODD	実際の f_S（Hz）	誤差
無効	8000	16 ビット	192	2	187	1	8000	0.0000 %
		32 ビット	192	3	62	1	8000	0.0000 %
	16000	16 ビット	192	3	62	1	16000	0.0000 %
		32 ビット	256	2	62	1	16000	0.0000 %
	32000	16 ビット	256	2	62	1	32000	0.0000 %
		32 ビット	256	5	12	1	32000	0.0000 %
	48000	16 ビット	192	5	12	1	48000	0.0000 %
		32 ビット	384	5	12	1	48000	0.0000 %
	96000	16 ビット	384	5	12	1	96000	0.0000 %
		32 ビット	424	3	11	1	96014.49219	0.0151 %
	22050	16 ビット	290	3	68	1	22049.87695	0.0006 %
		32 ビット	302	2	53	1	22050.23438	0.0011 %
	44100	16 ビット	302	2	53	1	44100.46875	0.0011 %
		32 ビット	429	4	19	0	44099.50781	0.0011 %
	192000	16 ビット	424	3	11	1	192028.9844	0.0151 %
		32 ビット	258	3	3	1	191964.2813	0.0186 %
有効	8000	無視	256	5	12	1	8000	0.0000 %
	16000	無視	213	2	13	0	16000.60059	0.0038 %
	32000	無視	213	2	6	1	32001.20117	0.0038 %
	48000	無視	258	3	3	1	47991.07031	0.0186 %
	96000	無視	344	2	3	1	95982.14063	0.0186 %
	22050	無視	429	4	9	1	22049.75391	0.0011 %
	44100	無視	271	2	6	0	44108.07422	0.0183 %

1. この表は、さまざまなクロック設定に対する値の例を示したものです。最適クロック精度を可能にするその他の設定も可能です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

28.4.5 I²S マスタモード

I²S は次のように設定することができます：

- 送信用または受信用のマスタモード（I2Sx を使用した半二重モード）
- 送受信用のマスタモード（I2Sx および I2Sx_ext を使用した全二重 モード）。

つまり、シリアルクロックは、ワードセレクト信号 WS だけでなく、CK ピン上でも生成されます。マスタクロック（MCK）は、SPI_I2SPR レジスタの MCKOE ビットで、出力にすることも、出力にしないこともできます。

手順

1. 適切なオーディオサンプル周波数に到達するシリアルクロックボーレートを定義するため、SPI_I2SPR レジスタの I2SDIV[7:0] ビットを選択します。SPI_I2SPR レジスタの ODD ビットも定義する必要があります。
2. 通信クロックの一定したレベルを定義するために、CKPOL ビットを選択します。外部の DAC/ADC オーディオ部品にマスタクロック MCK を供給する必要がある場合、SPI_I2SPR レジスタの MCKOE ビットをセットします（I2SDIV と ODD の値は、MCK 出力の状態に応じて計算する必要があります。詳細については、*セクション 28.4.4：クロックジェネレータ*を参照）。
3. SPI_I2SCFGR の I2SMOD ビットをセットして I²S 機能を有効にし、I2SSTD[1:0] と PCMSYNC ビットにより I²S 規格を、DATLEN[1:0] ビットによりデータ長を、CHLEN ビットを設定してチャネルごとのビット数を、それぞれ選択します。SPI_I2SCFGR レジスタの I2SCFG[1:0] ビットにより I²S マスタモードと方向（トランスミッタまたはレシーバ）も選択します。
4. 必要ならば、SPI_CR2 レジスタへの書き込みによって、可能性のあるすべての割り込みソースと DMA 機能を選択します。
5. SPI_I2SCFGR レジスタの I2SE ビットをセットする必要があります。

WS と CK は出力モードに設定されます。SPI_I2SPR の MCKOE ビットがセットされている場合、MCK も出力です。

送信シーケンス

送信シーケンスは、送信バッファにハーフワードが書き込まれたときに開始されます。

想定上、送信バッファに書き込まれる最初のデータは、左チャネルのデータに対応します。データが送信バッファからシフトレジスタに転送されると、TXE がセットされ、右チャネルに対応するデータを送信バッファに書き込む必要があります。CHSIDE フラグは、どのチャネルが送信されるかを示します。CHSIDE フラグは TXE がハイレベルになったときに更新されるため、このフラグは TXE フラグがセットされた場合に意味を持ちます。

完全なフレームとは、左チャネルのデータ送信と、それに続く右チャネルのデータ送信であるとみなす必要があります。左チャネルのみが送信される部分的フレームは実現できません。

データハーフワードは、最初のビット送信時に 16 ビットシフトレジスタに同時にロードされてから、MOSI/SD ピンに MSB ファーストで連続的にシフトアウトされます。TXE フラグは、送信バッファからシフトレジスタへの毎回の転送後にセットされ、SPI_CR2 レジスタの TXEIE ビットがセットされている場合は割り込みが生成されます。

選択された I²S 規格モードに依存する書き込み動作の詳細については、*セクション 28.4.3：サポートされるオーディオプロトコル*を参照してください。

連続したオーディオデータ送信を行うには、現在の送信が終了する前に、次の送信データを SPI_DR に書き込むことが必要です。

I2SE をクリアすることによって I²S をスイッチオフするには、TXE = 1 および BSY = 0 になるまで待つ必要があります。

この資料は、STMicroelectronics NV 並びにその子会社（以下 ST）が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

受信シーケンス

動作モードは、ポイント 3 を除いて、送信モードの場合と同じです。ポイント 3 では、I2SCFG[1:0] ビットを通じてマスタ受信モードを設定する必要があります（*セクション 28.4.5 : I2S マスタモード* に示す手順を参照）。

データやチャネルの長さに関係なく、オーディオデータは 16 ビットのパケットによって受信されます。つまり、受信バッファが満杯になるたびに RXNE フラグがセットされ、SPI_CR2 レジスタの RXNEIE ビットがセットされている場合は割り込みが生成されます。データ長とチャネル長の設定にもよりますが、受信バッファへの 1 回または 2 回の受信によって、オーディオ値が右チャネルまたは左チャネルに受信されることがあります。

RXNE ビットのクリアは、SPI_DR レジスタを読み出すことで行われます。

CHSIDE は毎回の受信後に更新されます。CHSIDE は、I^2S セルによって生成される WS 信号に反応します。

選択された I^2S 規格モードに依存する読み出し動作の詳細については、*セクション 28.4.3 : サポートされるオーディオプロトコル*を参照してください。

前の受信データがまだ読み出されていない間にデータが受信された場合、オーバーランが生成され、OVR フラグがセットされます。SPI_CR2 レジスタの ERRIE ビットがセットされている場合、割り込みが生成されてエラーを知らせます。

I^2S をスイッチオフするには、I^2S が新しいデータ転送を開始することなく転送サイクルを適切に完了できるように、特定の動作が要求されます。そのシーケンスは、データ長とチャネル長の設定、および選択したオーディオプロトコルモードに依存します。ケース別の説明 :

- 32 ビットチャネル長に拡張された 16 ビットデータ長（DATLEN = 00、CHLEN = 1）、LSB 詰めモードを使用（I2SSTD = 10）
  a) 最後から 2 番目の RXNE = 1（n – 1）を待ちます。
  b) 次に I^2S の 17 クロックサイクルを待ちます（ソフトウェアループを使用）。
  c) I^2S を無効にします（I2SE = 0）。
- 32 ビットチャネル長に拡張された 16 ビットデータ長（DATLEN = 00、CHLEN = 1）、MSB 詰め、I^2S、または PCM モード（それぞれ、I2SSTD = 00、I2SSTD = 01、または I2SSTD = 11）
  a) 最後の RXNE　を待ちます。
  b) 次に I^2S の 1 クロックサイクルを待ちます（ソフトウェアループを使用）。
  c) I^2S を無効にします（I2SE = 0）。
- DATLEN と CHLEN のその他すべての組み合わせについては、I2SSTD ビットを通じて選択したオーディオモードが何であれ、次のシーケンスを実行して I^2S をスイッチオフします。
  a) 最後から 2 番目の RXNE = 1（n – 1）を待ちます。
  b) 次に I^2S の 1 クロックサイクルを待ちます（ソフトウェアループを使用）。
  c) I^2S を無効にします（I2SE = 0）。

注 : ***転送時、BSY フラグはローレベルに保持されます。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

28.4.6 I²S スレーブモード

I²S は次のように設定することができます。

- 送信用または受信用のスレーブモード（I2Sx を使用した半二重モード）
- 送受信用のスレーブモード（I2Sx および I2Sx_ext を使用した全二重モード）。

動作モードは、主として I²S マスタ設定に関して述べたものと同じ規則に従います。スレーブモードでは、I²S インタフェースによって生成されるクロックはありません。クロックと WS 信号は、I²S インタフェースに接続された外部マスタから入力されます。したがって、ユーザがクロックを設定する必要はありません。

設定ステップを次に示します。

1. SPI_I2SCFGR レジスタの I2SMOD ビットをセットして I²S 機能にアクセスし、I2SSTD[1:0] ビットにより I²S 規格を選択し、DATLEN[1:0] ビットによりデータ長を選択し、CHLEN ビットを設定してフレームのチャネルごとのビット数を選択します。SPI_I2SCFGR レジスタの I2SCFG[1:0] ビットにより、スレーブのモード（送信または受信）も選択します。
2. 必要な場合は、SPI_CR2 レジスタに書き込むことによって、可能性のあるすべての割り込みソースと DMA 機能を選択します。
3. SPI_I2SCFGR レジスタの I2SE ビットをセットする必要があります。

送信シーケンス

送信シーケンスは、外部マスタデバイスがクロックを送信したときと、NSS_WS 信号がデータの転送を要求したときに開始されます。スレーブを有効にしなければ、外部マスタは通信を開始しません。I²S データレジスタにロードしなければ、マスタは通信を開始しません。

I²S、MSB 詰め、および LSB 詰めモードの場合、データレジスタに書き込まれる最初のデータは、左チャネルのデータに対応します。通信が開始されると、データは送信バッファからシフトレジスタに転送されます。次に、右チャネルのデータを I²S データレジスタに書き込むように要求するために、TXE フラグがセットされます。

CHSIDE フラグは、どのチャネルが送信されるかを示します。スレーブモードでは、マスタ送信モードに比べて、CHSIDE は外部マスタからの WS 信号に反応します。つまり、スレーブが最初のデータの送信準備をしなければ、マスタはクロックを生成できません。WS アサーションは、最初に送信される左チャネルに対応します。

注： ***I2SE は、マスタの最初のクロックが CK ラインに到達するよりも、少なくとも PCLK の 2 サイクル前に書き込まれる必要があります。***

データハーフワードは、最初のビット送信時に内部バスから 16 ビットシフトレジスタに同時にロードされてから、MOSI/SD ピンに MSB ファーストで連続的にシフトアウトされます。TXE フラグは、送信バッファからシフトレジスタへの毎回の転送後にセットされ、SPI_CR2 レジスタの TXEIE ビットがセットされている場合は割り込みが生成されます。

なお、送信バッファへの書き込みの前に、TXE フラグが 1 であることを確認する必要があります。

選択された I²S 規格モードに依存する書き込み動作の詳細については、*セクション 28.4.3：サポートされるオーディオプロトコル*を参照してください。

連続したオーディオデータ送信を行うには、現在の送信が終了する前に、次の送信データを SPI_DR レジスタに書きこむ必要があります。次のデータ通信の最初のクロックエッジよりも前にデータが SPI_DR レジスタに書き込まれない場合、アンダーランフラグがセットされ、割り込みが生成されることがあります。これによって、転送データに誤りがあることがソフトウェアに知らされます。SPI_CR2 レジスタの ERRIE ビットがセットされた場合、SPI_SR レジスタの UDR フラグがハイレベルになると割り込みが生成されます。この場合、I²S をスイッチオフし、左チャネルからデータ転送をリスタートする必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

I2SE ビットをクリアすることによって I²S をスイッチオフするには、TXE = 1 および BSY = 0 になるまで待つ必要があります。

受信シーケンス

動作モードは、ポイント 1 を除いて、送信モードの場合と同じです。ポイント 1 では、SPI_I2SCFGR レジスタの I2SCFG[1:0] ビットを使用してマスタ受信モードを設定する必要があります（*セクション 28.4.6 : I2S スレーブモード* に示す手順を参照）。

データやチャネルの長さに関係なく、オーディオデータは 16 ビットのパケットによって受信されます。つまり、受信バッファがフルになるたびに SPI_SR レジスタの RXNE フラグがセットされ、SPI_CR2 レジスタの RXNEIE ビットがセットされている場合は割り込みが生成されます。データ長とチャネル長の設定にもよりますが、受信バッファへの 1 回または 2 回の受信によって、オーディオ値が右チャネルまたは左チャネルに受信されることがあります。

CHSIDE フラグは、SPI_DR から読み出されるデータが受信されるたびに更新されます。このフラグは、外部マスタ部品によって管理される外部 WS ラインに反応します。

RXNE ビットのクリアは、SPI_DR レジスタを読み出すことで行われます。

選択された I²S 規格モードに依存する読み出し動作の詳細については、*セクション 28.4.3 : サポートされるオーディオプロトコル* を参照してください。

前の受信データがまだ読み出されていない間にデータが受信された場合、オーバーランが生成され、OVR フラグがセットされます。SPI_CR2 レジスタの ERRIE ビットがセットされた場合、エラーを示すために割り込みが生成されます。

受信モードで I²S をスイッチオフするには、最後の RXNE = 1 を受信した直後に I2SE をクリアする必要があります。

注 : ***外部マスタコンポーネントには、オーディオチャネルを介して 16 ビットまたは 32 ビットのパケットでデータを送受信する機能が必要です。***

28.4.7 ステータスフラグ

アプリケーションが I²S バスの状態を完全に監視できるように、3 つのステータスフラグが用意されています。

ビジーフラグ（BSY）

BSY フラグは、ハードウェアによってセット／クリアされます（このフラグへの書き込みは無効です）。このフラグは I²S の通信層の状態を示します。

BSY がセットされると、I²S が通信中でビジーであることを示します。マスタ受信モード（I2SCFG = 11）には 1 つの例外があり、BSY フラグは受信時にローレベルに保持されます。

ソフトウェアが I²S を無効にする必要がある場合、BSY フラグは転送の終わりを検出するために役立ちます。これによって、最後の転送データの破壊を回避します。このため、下記の手順を厳しく順守する必要があります。

BSY フラグは転送が開始されるとセットされます。ただし、I²S がマスタ受信モードにある場合を除きます。

BSY フラグは次の場合にクリアされます :

- 転送が完了したとき（ただし、マスタ送信モードの場合は通信は連続的であると考えられます）
- I²S が無効化されたとき

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

通信が連続的なとき：

- マスタ送信モードでは、BSY フラグはすべての転送期間を通じてハイレベルに保持されます。
- スレーブモードでは、BSY フラグは、各転送間で I^2S の 1 クロックサイクルの間ローレベルになります。

注： ***各データの送受信の処理には BSY フラグを使用しないでください。代わりに、TXE フラグと RXNE フラグを使用することをお勧めします。***

送信バッファエンプティフラグ（TXE）

このフラグがセットされると、送信バッファはエンプティ（空）であり、次に送信するデータをバッファにロードできることを示します。送信されるデータがすでに送信バッファに格納されているとき、TXE フラグはリセットされます。TXE フラグは、I^2S が無効にされている（I2SE ビットがリセット）ときにもリセットされます。

受信バッファノットエンプティ（RXNE）

このフラグがセットされると、受信バッファに有効な受信データがあることを示します。このフラグは、SPI_DR レジスタが読み出されるとリセットされます。

チャネルサイドフラグ（CHSIDE）

送信モードでは、このフラグは TXE がハイレベルになるとリフレッシュされます。このフラグは、SD 上の転送データが属するチャネルサイドを示します。スレーブ送信モードでアンダーランエラーイベントが発生した場合、このフラグは信頼できないため、通信を再開する前に、I^2S をスイッチオフし、さらにスイッチオンする必要があります。

受信モードでは、このフラグは SPI_DR にデータが受信されるとリフレッシュされます。このフラグは、どちらのチャネルサイドからデータが受信されたかを示します。なお、エラー（OVR など）が発生した場合、このフラグは無意味になるため、I^2S を無効にし、さらに有効にすることによってリセットする必要があります（変更が必要な場合は設定します）。

このフラグは、PCM 規格では意味を持ちません（ショートとロングフレームの両モード）。

SPI_SR の OVR または UDR フラグがセットされ、SPI_CR2 の ERRIE ビットもセットされると、割り込みが生成されます。この割り込みをクリアするには、割り込みソースをいったんクリアした後で、SPI_SR ステータスレジスタを読み出します。

28.4.8 エラーフラグ

I^2S には 3つのエラーフラグがあります。

アンダーランフラグ（UDR）

スレーブ送信モードでは、ソフトウェアが SPI_DR にまだ値をロードしていない間に、データ送信用の最初のクロックが現われると、このフラグがセットされます。このフラグは、SPI_I2SCFGR の I2SMOD ビットがセットされると使用できます。SPI_CR2 の ERRIE ビットがセットされた場合、割り込みが生成されることがあります。
UDR ビットは、SPI_SR レジスタの読み出し動作によってクリアされます。

オーバランフラグ（OVR）

このフラグがセットされるのは、データが受信され、前のデータが SPI_DR からまだ読み出されていないときです。結果として、受信データは失われます。SPI_CR2 の ERRIE ビットがセットされた場合、割り込みが生成されることがあります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

この場合、受信バッファの内容は、送信側のデバイスからの新しい受信データによって更新されません。SPI_DR レジスタへの読み出し動作によって、以前に正しく受信されたデータが返されます。それ以降に送信されたすべてのハーフワードは失われます。

OVR ビットをクリアするには、SPI_DR レジスタを読み出し、続けて SPI_SR レジスタに読み出しアクセスを行います。

フレームエラーフラグ（FRE）

このフラグは、I2S がスレーブモードに設定された場合にのみハードウェアによってセットすることができます。このフラグは、スレーブとして WS ラインの変化が想定されないときに外部マスタが WS ラインを変化させようとしている場合にセットされます。同期が失われた場合、この状態から回復し、外部マスタデバイスと I2S スレーブデバイスを再同期させるするためには、次のステップに従います。

1. I2S を無効化します。
2. 正しいレベルが WS ラインで検出されたとき（WS ラインは I2S モードではハイレベル、MSB 詰めまたは LSB 詰めモードあるいは PCM モードではローレベル）、再度有効化します。

マスタデバイスとスレーブデバイスの間の同期外れは、SCK 通信クロック上または WS フレーム同期ライン上のノイズの多い環境に起因する可能性があります。ERRIE ビットをセットすれば、エラー割り込みを生成させることができます。同期外れフラグ（FRE）は、ステータスレジスタを読み出すときに、ソフトウェアでクリアされます。

28.4.9 I^2S 割り込み

*表 127*に I^2S 割り込みのリストを示します。

表 127. I^2S 割り込みリクエスト

割り込みイベント	イベントフラグ	イネーブル制御ビット
送信バッファエンプティフラグ	TXE	TXEIE
受信バッファノットエンプティフラグ	RXNE	RXNEIE
オーバーランエラー	OVR	ERRIE
アンダーランエラー	UDR	
フレームエラーフラグ	FRE	ERRIE

28.4.10 DMA 機能

DMA は SPI モードとまったく同じように機能します。I^2S の場合も違いはありません。I^2S モードではデータ転送保護システムがないため、CRC 機能を使用できないだけです。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

28.5 SPI レジスタと I²S レジスタ

レジスタの説明で使用されている略語のリストについては、*セクション 1.1 (57 ページ)* を参照してください。

ペリフェラルレジスタには、ハーフワード（16 ビット）またはワード（32 ビット）単位でアクセスできます。

28.5.1 SPI 制御レジスタ 1（SPI_CR1）（I²S モードでは使用しません）

アドレスオフセット：0x00

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BIDI MODE	BIDI OE	CRC EN	CRC NEXT	DFF	RX ONLY	SSM	SSI	LSB FIRST	SPE	BR[2:0]			MSTR	CPOL	CPHA
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15 BIDIMODE：双方向データモードイネーブル

0：2 線単方向データモードを選択

1：1 線双方向データモードを選択

注： ***このビットは I²S モードでは使用しません。***

ビット 14 **BIDIOE**：双方向モードでの出力イネーブル

双方向モードでの転送方向は、このビットと BIDIMODE ビットを組み合わせて選択します。

0：出力無効（受信専用モード）

1：出力有効（送信専用モード）

注： ***このビットは I²S モードでは使用しません。***

MISO ピンがスレーブモードで使用されている間、マスタモードでは、MOSI ピンが使用されます。

ビット 13 **CRCEN**：ハードウェア CRC 計算イネーブル

0：CRC 計算は無効です。

1：CRC 計算は有効です。

注： ***正しい動作のためには、このビットへの書き込みは、SPI が無効（SPE = "0"）のときにのみ行います。***

I²S モードでは使用しません。

ビット 12 **CRCNEXT**：CRC 転送指示

0：データフェーズです（CRC フェーズはありません）。

1：次の転送は CRC です（CRC フェーズ）。

注： ***SPI が全二重モードまたは送信専用モードに設定されている場合、最後のデータが SPI_DR に書き込まれた直後に、CRCNEXT ビットを書き込む必要があります。***

SPI が受信専用モードに設定されている場合、最後から 2 番目のデータが受信された後に CRCNEXT ビットをセットする必要があります。

転送が DMA で管理される場合、このビットはクリアされた状態に保持する必要があります。

I²S モードでは使用しません。

ビット 11 **DFF**：データフレームフォーマット

0：送受信に 8 ビットデータフレームフォーマットが選択されます

1：送受信に 16 ビットデータフレームフォーマットが選択されます

注： ***正しい動作のためには、このビットへの書き込みは、SPI が無効（SPE = "0"）のときにのみ行います。***

I²S モードでは使用しません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 10 **RXONLY**：受信専用

2 線単方向モードでの転送方向は、このビットと BIDIMODE ビットを組み合わせて選択します。このビットはマルチスレーブシステムでも役立ちます。つまり、この特定のスレーブはアクセスされず、アクセスされたスレーブからの出力は破壊されません。

0：全二重（送受信）

1：出力無効（受信専用モード）

注： このビットは I^2S モードでは使用しません。

ビット 9 **SSM**：ソフトウェアスレーブ管理

SSM ビットがセットされているとき、NSS ピンの入力は SSI ビットからの値によって置き換えられます。

0：ソフトウェアスレーブ管理は無効です。

1：ソフトウェアスレーブ管理は有効です。

注： このビットは I^2S モードおよび SPI TI モードでは使用しません。

ビット 8 **SSI**：内部スレーブ選択

このビットは、SSM ビットがセットされているときにのみ有効です。このビットの値は NSS ピンに設定され、NSS ピンの IO 値は無視されます。

注： このビットは I^2S モードおよび SPI TI モードでは使用しません。

ビット 7 LSBFIRST：フレームフォーマット

0：MSB が最初に送信されます

1：LSB が最初に送信されます

注： このビットは、通信中には変更しないでください。
I^2S モードおよび SPI TI モードでは使用しません。

ビット 6 **SPE**：SPI イネーブル

0：ペリフェラルは無効です。

1：ペリフェラルは有効です。

注： このビットは I^2S モードでは使用しません。
SPI を無効化する場合は、セクション 28.3.8：SPI の無効化に記載された手順に従います。

ビット 5:3 **BR[2:0]**：ボーレート制御

000：$f_{PCLK}/2$　　100：$f_{PCLK}/32$

001：$f_{PCLK}/4$　　101：$f_{PCLK}/64$

010：$f_{PCLK}/8$　　110：$f_{PCLK}/128$

011：$f_{PCLK}/16$　　111：$f_{PCLK}/256$

注： これらのビットは、通信中には変更しないでください。
これらは I^2S モードでは使用しません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 2 **MSTR**：*マスタ選択*

0：スレーブ設定

1：マスタ設定

注：　このビットは、通信中には変更しないでください。

I^2S モードでは使用しません。

Bit1 **CPOL**：クロック極性

0：アイドル時に CK は 0 となります。

1：アイドル時に CK は 1 となります。

注：　このビットは、通信中には変更しないでください。

I^2S モードおよび SPI TI モードでは使用しません。

ビット 0 **CPHA**：クロック位相

0：最初のクロック遷移が最初のデータキャプチャエッジです。

1：2 番目のクロック遷移が最初のデータキャプチャエッジです。

注：　このビットは、通信中には変更しないでください。

I^2S モードおよび SPI TI モードでは使用しません。

28.5.2 SPI 制御レジスタ 2（SPI_CR2）

アドレスオフセット：0x04

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								TXEIE	RXNEIE	ERRIE	FRF	予約済み	*SSOE*	TXDMAEN	RXDMAEN
								rw	rw	rw	rw		rw	rw	rw

ビット 15:8 予約済みであり、リセット値に保持する必要があります。

ビット 7 **TXEIE**：送信バッファエンプティ割り込みイネーブル

0：TXE 割り込みはマスクされます。

1：TXE 割り込みはマスクされません。TXE フラグがセットされたとき、割り込みリクエストの生成に使用されます。

ビット 6 **RXNEIE**：受信バッファノットエンプティ割り込みイネーブル

0：RXNE 割り込みはマスクされます。

1：RXNE 割り込みはマスクされません。RXNE フラグがセットされたとき、割り込みリクエストの生成に使用されます。

ビット 5 **ERRIE**：エラー割り込みイネーブル

このビットは、エラー状態が発生したとき（SPI モードでは CRCERR、OVR、MODF；TI モードでは FRE；I^2S モードでは UDR、OVR、FRE）、割り込みの生成を制御します。

0：エラー割り込みはマスクされます。

1：エラー割り込みは有効です。

ビット 4 **FRF**：フレームフォーマット

0：SPI モトローラモード

1：SPI TI モード

注：　このビットは I^2S モードでは使用しません。

ビット 3 予約済み。ハードウェアによって 0 に固定されています。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 2 **SSOE**：SS 出力イネーブル

0：マスタモードで SS 出力は無効にされ、セルはマルチマスタ設定で機能できます。

1：マスタモードでセルが有効であるとき、SS 出力は有効です。セルはマルチマスタ環境では機能しません。

注： このビットは I^2S モードおよび SPI TI モードでは使用しません。

ビット 1 **TXDMAEN**：送信バッファ DMA イネーブル

このビットがセットされると、TXE フラグがセットされるたびに DMA リクエストが行われます。

0：送信バッファ DMA 無効

1：送信バッファ DMA 有効

ビット 0 **RXDMAEN**：受信バッファ DMA イネーブル

このビットがセットされると、RXNE フラグがセットされるたびに DMA リクエストが行われます。

0：受信バッファ DMA 無効

1：受信バッファ DMA 有効

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

28.5.3 SPI ステータスレジスタ（SPI_SR）

アドレスオフセット：0x08

リセット値：0x0002

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み							FRE	BSY	OVR	MODF	CRC ERR	UDR	CHSIDE	TXE	RXNE
							r	r	r	r	rc_w0	r	r	r	r

ビット 15:9 予約済み。ハードウェアによって 0 に固定されています。

ビット 8 FRE：フレームフォーマットエラー

0：フレームフォーマットエラーはありません。

1：フレームフォーマットエラーが発生しました。

このフラグは、ハードウェアによってセットされ、SPIx_SR レジスタを読み出すとソフトウェアでクリアされます。

注： このフラグは、SPI が TI スレーブモードまたは I2S スレーブモードで動作する場合に使用されます（セクション 28.3.10 を参照）。

ビット 7 ***BSY*** *：ビジーフラグ*

0：SPI（または I2S）はビジー状態ではありません。

1：SPI（または I2S）が通信ビジー状態であるか、または送信バッファが空ではありません。

このフラグはハードウェアによってセット／クリアされます。

注： BSY フラグの使用には注意が必要です（セクション 28.3.7：ステータスフラグ およびセクション 28.3.8：SPI の無効化 を参照）。

ビット 6 **OVR**：オーバーランフラグ

0：オーバーランは発生していません。

1：オーバーランが発生しました。

このフラグは、ハードウェアによってセットされ、ソフトウェアシーケンスによってリセットされます。ソフトウェアシーケンスについては、*セクション 28.4.8（921 ページ）*を参照してください。

ビット 5 **MODF**：モードフォールト

0：モードフォールトは発生していません。

1：モードフォールトが発生しました。

このフラグは、ハードウェアによってセットされ、ソフトウェアシーケンスによってリセットされます。ソフトウェアシーケンスについては*セクション 28.3.10（903 ページ）*を参照してください。

注： このビットは I^2S モードでは使用しません。

ビット 4 **CRCERR**：CRC エラーフラグ

0：受信した CRC 値が SPI_RXCRCR 値と一致します。

1：受信した CRC 値が SPI_RXCRCR 値と一致しません。

このフラグは、ハードウェアによってセットされ、ソフトウェアによって 0 を書き込むことでクリアされます。

注： このビットは I^2S モードでは使用しません。

ビット 3 **UDR**：アンダーランフラグ

0：アンダーランが発生しませんでした。

1：アンダーランが発生しました。

このフラグは、ハードウェアによってセットされ、ソフトウェアシーケンスによってリセットされます。ソフトウェアシーケンスについては*セクション 28.4.8（921 ページ）*を参照してください。

注： このビットは SPI モードでは使用しません。

この資料は、STMicroelectronics NV 並びにその子会社（以下 ST）が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 2 **CHSIDE**：チャネルサイド

0：左チャネルを送信する必要があるか、または受信が行われました。

1：右チャネルを送信する必要があるか、または受信が行われました。

注： このビットは、SPI モードに対しては使用しません。また、PCM モードでは意味を持ちません。

ビット 1 **TXE**：送信バッファエンプティ

0：送信バッファは空ではありません。

1：送信バッファは空です。

ビット 0 **RXNE**：受信バッファノットエンプティ

0：受信バッファは空です。

1：受信バッファは空ではありません。

28.5.4 SPI データレジスタ（SPI_DR）

アドレスオフセット：0x0C

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DR[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **DR[15:0]**：データレジスタ

受信されたデータ、または送信されるデータ。

データレジスタは 2 つのバッファに分割されます。一方は書き込み用（送信バッファ）であり、他方は読み出し用（受信バッファ）です。データレジスタへの書き込みは、送信バッファへの書き込みになります。データレジスタからの読み出しでは、受信バッファに保持されている値が返されます。

注： 次の注は SPI モードに適用されます：

送受信されるデータは、データフレームフォーマットの選択ビット（SPI_CR1 レジスタの DFF ビット）に応じて、8 ビットまたは 16 ビットになります。正しい動作のためには、この選択を行ってから、SPI を有効にする必要があります。

8 ビットデータフレームの場合、バッファは 8 ビットであり、レジスタの LSB（SPI_DR[7:0]）のみが送受信に使用されます。受信モードのとき、レジスタの MSB（SPI_DR[15:8]）は 0 に強制されます。

16 ビットデータフレームの場合、バッファは 16 ビットであり、レジスタ全体（SPI_DR[15:0]）が送受信に使用されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

28.5.5 SPI CRC 多項式レジスタ（SPI_CRCPR）（I²S モードでは使用しません）

アドレスオフセット：0x10

リセット値：0x0007

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CRCPOLY[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **CRCPOLY[15:0]**：CRC 多項式レジスタ

このレジスタは、CRC 計算用の多項式を内蔵します。

CRC 多項式（0007h）は、このレジスタのリセット値です。他の多項式は、必要に応じて設定することができます。

注： これらのビットは I²S モードでは使用しません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

28.5.6 SPI 受信用 CRC レジスタ（SPI_RXCRCR）（I²S モードでは使用しません）

アドレスオフセット：0x14

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RXCRC[15:0]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 15:0 **RXCRC[15:0]**：Rx CRC レジスタ

CRC 計算が有効なとき、RxCRC[15:0] ビットには、その後に受信したバイトから算出された CRC 値が格納されています。このレジスタは、SPI_CR1 レジスタの CRCEN ビットに 1 が書き込まれたときにリセットされます。CRC は、SPI_CRCPR レジスタにプログラミングされた多項式を使用して連続的に計算されます。

データフレームフォーマットが 8 ビットデータに設定された場合（SPI_CR1 の DFF ビットがクリア）、8 つの LSB ビットのみが考慮されます。CRC 計算は、任意の CRC8 規格に基づいて行われます。

16 ビットデータフレームフォーマットが選択された場合（SPI_CR1 レジスタの DFF ビットがセット）、このレジスタの 16 ビット全体が考慮されます。CRC 計算は、任意の CRC16 規格に基づいて行われます。

注： ***BSY フラグがセットされているときにこのレジスタを読み出すと、誤った値が返されることがあります。***

これらのビットは I²S モードでは使用しません。

28.5.7 SPI 送信用 CRC レジスタ（SPI_TXCRCR）（I²S モードでは使用しません）

アドレスオフセット：0x18

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TXCRC[15:0]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 15:0 **TXCRC[15:0]**：Tx CRC レジスタ

CRC 計算が有効なとき、TxCRC[7:0] ビットには、その後に送信されたバイトから算出された CRC 値が格納されます。このレジスタは、SPI_CR1 の CRCEN ビットに 1 が書き込まれたときにリセットされます。CRC は、SPI_CRCPR レジスタにプログラミングされた多項式を使用して連続的に計算されます。

データフレームフォーマットが 8 ビットデータに設定された場合（SPI_CR1 の DFF ビットがクリア）、8 つの LSB ビットのみが考慮されます。CRC 計算は、任意の CRC8 規格に基づいて行われます。

16 ビットデータフレームフォーマットが選択された場合（SPI_CR1 レジスタの DFF ビットがセット）、このレジスタの 16 ビット全体が考慮されます。CRC 計算は、任意の CRC16 規格に基づいて行われます。

注： ***BSY フラグがセットされているときにこのレジスタを読み出すと、誤った値が返されることがあります。***

これらのビットは I²S モードでは使用しません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

28.5.8 SPI_I²S 設定レジスタ（SPI_I2SCFGR）

アドレスオフセット：0x1C

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み				I2SMOD	I2SE	I2SCFG		PCM SYNC	予約済み	I2SSTD		CKPOL	DATLEN		CHLEN
				rw	rw	rw	rw	rw		rw	rw	rw	rw	rw	rw

ビット 15:12 予約済みであり、リセット値に保持する必要があります。

ビット 11 **I2SMOD**：I2S モード選択

0：SPI モードが選択されます。

1：I2S モードが選択されます。

注： このビットは、SPI または I²S が無効なときに設定してください。

ビット 10 **I2SE**：I2S イネーブル

0：I²S ペリフェラルは無効です。

1：I²S ペリフェラルは有効です。

注： このビットは SPI モードでは使用しません。

ビット 9:8 **I2SCFG**：I2S 設定モード

00：スレーブ - 送信

01：スレーブ - 受信

10：マスタ - 送信

11：マスタ - 受信

注： このビットは I²S が無効なときに設定してください。

SPI モードでは使用しません。

ビット 7 **PCMSYNC**：PCM フレーム同期

0：ショートフレーム同期

1：ロングフレーム同期

注： このビットは、I2SSTD = 11（PCM 規格使用）の場合にのみ意味を持ちます。

SPI モードでは使用しません。

ビット 6 予約済み：ハードウェアによって 0 に固定されています。

ビット 5:4 **I2SSTD**：I2S 規格選択

00：I²S フィリップス規格

01：MSB 詰め規格（左詰め）

10：LSB 詰め規格（右詰め）

11：PCM 規格

I²S 規格の詳細については、*セクション 28.4.3 (907 ページ)*を参照してください。*SPI モードでは使用しません。*

注： 正しい動作のためには、これらのビットは、I²S が無効のときに設定してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 3 **CKPOL**：定常状態クロック極性

0：I²S クロックの定常状態はローレベルです。

1：I²S クロックの定常状態はハイレベルです。

注： ***正しい動作のためには、このビットは、I²S が無効のときに設定してください。***
このビットは SPI モードでは使用しません。

ビット 2:1 **DATLEN**：転送されるデータ長

00：16 ビットデータ長

01：24 ビットデータ長

10：32 ビットデータ長

11：設定禁止。

注： ***正しい動作のためには、これらのビットは、I²S が無効のときに設定してください。***
このビットは SPI モードでは使用しません。

ビット 0 **CHLEN**：チャネル長（オーディオチャネルごとのビット数）

0：16 ビット幅

1：32 ビット幅

ビット書き込み動作は、DATLEN=00 のときにのみ意味を持ちます。そうでない場合、書き込まれた値とは無関係に、チャネル長はハードウェアによって 32 ビットに固定されます。*このビットはSPI モードでは使用しません。*

注： ***正しい動作のためには、このビットは、I²S が無効のときに設定してください。***

28.5.9 SPI_I²S プリスケーラレジスタ（SPI_I2SPR）

アドレスオフセット：0x20

リセット値：0000 0010（0x0002）

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み						MCKOE	ODD	I2SDIV							
						rw	rw	rw							

ビット 15:10 予約済みであり、リセット値に保持する必要があります。

ビット 9 **MCKOE**：マスタクロック出力イネーブル

0：マスタクロック出力は無効です。

1：マスタクロック出力は有効です。

注： ***このビットは I²S が無効なときに設定してください。このビットは、I²S がマスタモードのときにのみ使用されます。***
このビットは SPI モードでは使用しません。

ビット 8 **ODD**：プリスケーラの奇数分周比

0：真のディバイダ値 = I2SDIV *2

1：真のディバイダ値 = (I2SDIV * 2)+1

*セクション 28.4.4（915 ページ）*を参照してください。*このビットはSPI モードでは使用しません。*

注： ***このビットは I²S が無効なときに設定してください。このビットは、I²S がマスタモードのときにのみ使用されます。***

ビット 7:0 **I2SDIV**：I2S リニアプリスケーラ

I2SDIV [7:0] = 0 または I2SDIV [7:0] = 1 は禁止されている値です。

*セクション 28.4.4（915 ページ）*を参照してください。*このビットはSPI モードでは使用しません。*

注： ***これらのビットは、I²S が無効なときに設定してください。このビットは、I²S がマスタモードのときにのみ使用されます。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

28.5.10 SPI レジスタマップ

次の表に、SPI レジスタマップとリセット値を示します。

表 128. SPI レジスタマップとリセット値

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	SPI_CR1	予約済み																BIDIMODE	BIDIOE	CRCEN	CRCNEXT	DFF	RXONLY	SSM	SSI	LSBFIRST	SPE	BR[2:0]			MSTR	CPOL	CPHA
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x04	SPI_CR2	予約済み																								TXEIE	RXNEIE	ERRIE	FRF	予約済み	SSOE	TXDMAEN	RXDMAEN
	リセット値																									0	0	0	0		0	0	0
0x08	SPI_SR	予約済み																							FRE	BSY	OVR	MODF	CRCERR	UDR	CHSIDE	TXE	RXNE
	リセット値																								0	0	0	0	0	0	0	1	0
0x0C	SPI_DR	予約済み																DR[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x10	SPI_CRCPR	予約済み																CRCPOLY[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1
0x14	SPI_RXCRCR	予約済み																RxCRC[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x18	SPI_TXCRCR	予約済み																TxCRC[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x1C	SPI_I2SCFGR	予約済み																				I2SMOD	I2SE	I2SCFG		PCMSYNC	予約済み	I2SSTD		CKPOL	DATLEN		CHLEN
	リセット値																					0	0	0	0	0		0	0	0	0	0	0
0x20	SPI_I2SPR	予約済み																						MCKOE	ODD	I2SDIV							
	リセット値																							0	0	0	0	0	0	0	0	1	0

レジスタ境界アドレスについては、*表 2（64 ページ）*を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

29 シリアルオーディオインタフェース（SAI）

このセクションはSTM32F42xxx および STM32F43xxxファミリに適用されます。

29.1 概要

この SAI インタフェース（シリアルオーディオインタフェース）は、柔軟性があり幅広い構成が可能なため、多様なオーディオプロトコルに対応できます。多くのステレオまたはモノラルオーディオアプリケーションが対象になります。例えば、I2S 規格、LSB/MSB 詰め、PCM/DSP、TDM、AC'97 の各プロトコルに対応することができます。

このレベルの柔軟性と設定機能を実現するため、SAI は完全に独立した 2 つのオーディオサブブロックを内蔵しています。各オーディオサブブロックは、最大 4 本のピン（SD、SCK、FS、MCLK）に接続されています。この 2 つのサブブロックを同期するように指定すると、いくつかのピンを共用していくつかのピンを開放し、汎用 I/O として使用することができます。アプリケーション、デコーダ要件、オーディオブロックがマスタとして設定されているか否かによって、MCLK ピンを出力にしたり、それ以外にしたりすることができます。

この SAI は、マスタまたはスレーブの設定で動作することができます。このオーディオサブブロックはレシーバにもトランスミッタにもなることができ、他の一方に対して同期または非同期で動作することができます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

29.2 主な特長

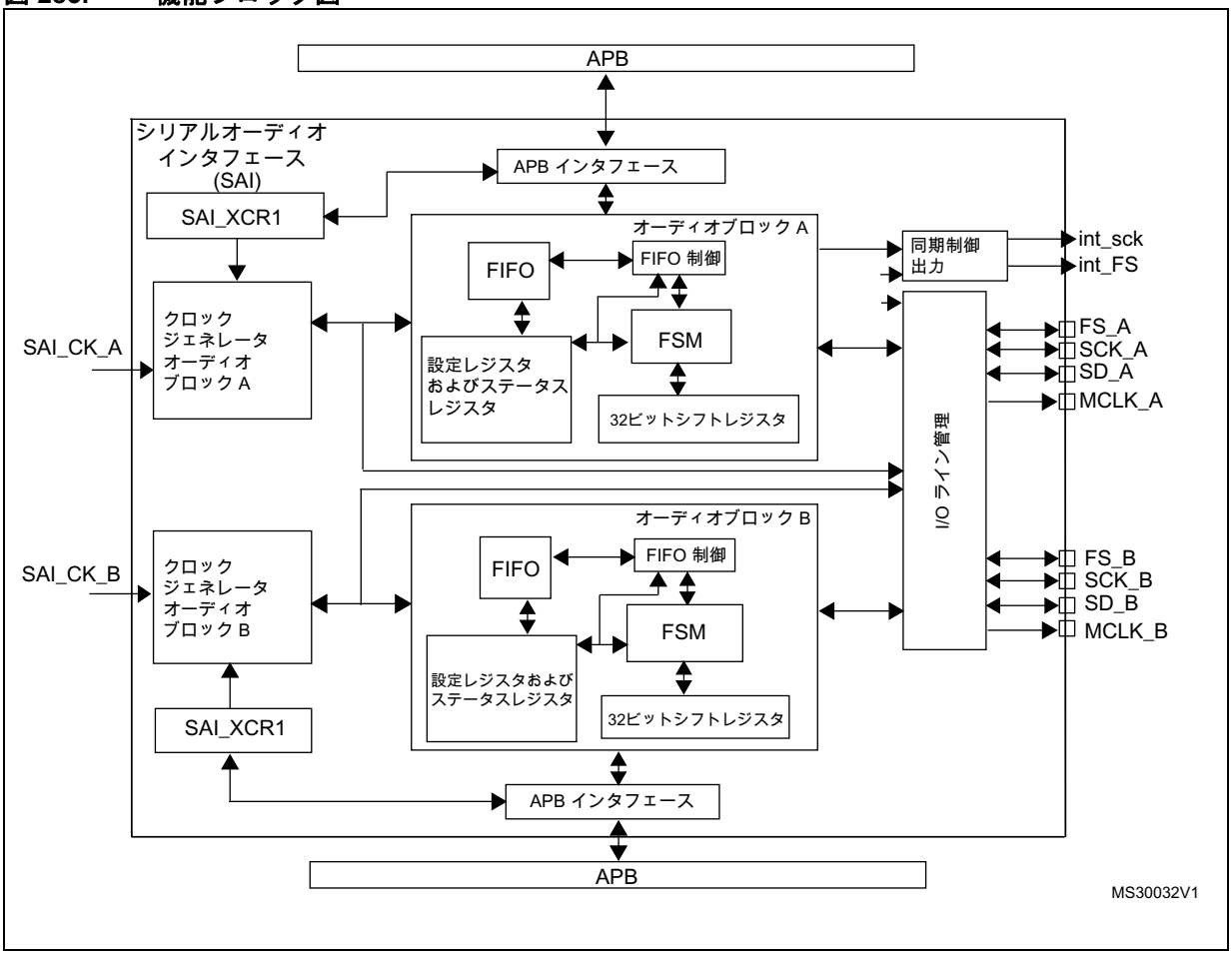
- 個別に FIFO を内蔵し、トランスミッタまたはレシーバとなることができる 2 つの独立したオーディオサブブロック。
- 各オーディオサブブロックに 8 ワード FIFO を内蔵。
- オーディオサブブロック間での同期モードまたは非同期モードが可能。
- 両オーディオサブブロックに対して独立してマスタ設定またはスレーブ設定が可能。
- 両オーディオサブブロックをマスタモードに設定した場合に、個別のオーディオサンプリング周波数に対応する各オーディオブロック用クロックジェネレータ。
- 設定可能なデータサイズ：8、10、16、20、24、32 ビット
- 例えば次のオーディオプロトコルに対応可能な、柔軟性と幅広い設定機能を備えたペリフェラル：I2S、LSB/MSB 詰め、PCM/DSP、TDM、AC'97
- オーディオフレーム内でアクティブな部分を選択でき、サイズ設定が可能な最大 16 個のスロットが利用可能。
- フレームごとのビット数が設定可能。
- フレーム同期アクティブレベルが設定可能（オフセット、ビット長、レベル）。
- スロット内の先頭アクティブビット位置が設定可能。
- データ転送における LSB ファーストまたは MSB ファーストが可能。
- ミュートモード。
- ステレオ／モノラルオーディオフレーム機能。
- 通信クロックストローブエッジが設定可能（SCK）。
- 対応する割り込み付きのエラーフラグ（それぞれイネーブル付き）
  - オーバーラン検出およびアンダーラン検出、
  - スレーブモードにおける予測フレーム同期信号検出、
  - スレーブモードにおけるレイトフレーム同期信号検出、
  - 受信時 AC'97 モードに対するコーデックノットレディ
- 割り込みソース（有効化時）：
  - エラー、
  - FIFO リクエスト。
- 各 SAI オーディオサブブロック専用の内蔵 FIFO に対するアクセスを処理する 2 つの専用チャンネルを備えた DMA インタフェース

29.3 機能ブロック図

*図 283*に SAI のブロック図を示します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 283. 機能ブロック図



この SAI は大部分が 2 つのオーディオサブブロックから構成されており、それぞれに固有のクロックジェネレータを装備しています。各オーディオブロックは、それぞれの機能ステートマシンによって制御される 32 ビットシフトレジスタを内蔵しています。データは、専用 FIFO に保存されたり、そこから読み出されたりします。FIFO は CPU からアクセスすることもできれば、通信時に CPU を開放するため DMA からアクセスすることもできます。各オーディオブロックは独立しています。互いに同期することもできます。

I/O ラインコントローラは、SAI 内の指定オーディオブロックに対する各専用ピンを管理します。2 つのブロックが同期する場合、このコントローラは使用する I/O の数を削減し、FS ピン、SCK ピン、MCLK ピンが開放して、これらを汎用 I/O として使用できるようにします。

この機能ステートマシンは、広範囲なオーディオプロトコルを処理するように設定することができます。所望のプロトコルを設定するため、いくつかのレジスタがあります（オーディオフレーム波形ジェネレータ）。

オーディオブロックは、マスタモードまたはスレーブモードでトランスミッタまたはレシーバになることができます。マスタモードでは、ビットクロックである SCK とフレーム同期信号が SAI で生成されますが、スレーブモードでは、これらの信号を別の外部マスタまたは内部マスタから受け取ります。FS 信号の方向がマスタモードまたはスレーブモードの定義に直接結びつかない特別なケースがあります。AC'97 プロトコルでは、SAI （リンクコントローラ）が SCK クロックを入力するように設定されている場合でも （つまりスレーブモードでも）、FS 信号は SAI の出力になります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

29.4 SAI の主要なモード

SAI の各オーディオサブブロックは、選択したオーディオブロックの SAI_xCR1 レジスタの MODE[0] ビットを使ってマスタまたはスレーブに設定することができます。

マスタモード：

- ビットクロックは、SAI 内でマスタに指定されたオーディオブロックに応じて SCK_A ピンまたは SCK_B ピンのクロックジェネレータを使って SAI で生成されます。
- 専用の SCK_x ピンは出力と見なされます。

スレーブモードでは：

- マスタを有効化する前にスレーブを有効化する必要があります。
- スレーブオーディオブロックの SCK クロック I/O ピンは、非同期モードに設定されている場合入力と見なされます。
- オーディオブロックが SAI 内の 2 つ目のオーディオブロックと同期するように指定された場合、SCK I/O ピンが開放されて汎用 I/O として使用することができ、本デバイスの SCK ピンに内部で接続されてこれに同期します。

各オーディオサブブロックは、該当するオーディオブロックにある SAI_xCR1 レジスタの MODE[1] ビットを使って独立にトランスミッタまたはレシーバに指定することができます。I/O ピンである SD は、それぞれ出力または入力に指定することができます。

同じ SAI 内で、異なる MCLK クロック周波数と SCK クロック周波数を持つ 2 つのマスタオーディオブロックを指定することができます（これらは非同期として指定する必要があります）。

SAI 内の各オーディオブロックは、SAI_xCR1 レジスタの SAIxEN ビットにより有効化されます。このビットがアクティブになると直ちに、トランスミッタまたはレシーバはスレーブモードでクロックライン、データライン、同期ラインの動作に反応するようになります。

マスタ TX モードでは、オーディオブロックを有効化すると直ちに、FIFO にデータがなくとも、外部スレーブに対するビットクロックを生成しますが、FS 信号の生成は、FIFO 内のデータの存在が条件となります。FIFO が先頭の送信データを受け取った後、このデータが外部スレーブに出力されます。FIFO に送信データがない場合、オーディオフレームにおいては 0 値が送信されて、アンダーランフラグが生成されます。

スレーブモードでは、オーディオブロックが有効化されて、フレームの開始が検出されたときに、オーディオフレームが開始されます。

スレーブ TX モードでは、オーディオブロックを有効化した後の最初のフレームでアンダーランイベントが生成されることはありません。理由は、次の動作シーケンスが必要となるためです。

1. ソフトウェアまたは DMA により SAI_xDR へ書き込みを行います。
2. FIFO 閾値（FLH）フラグが 000b（FIFO エンプテイ）でなくなるまで待ちます。
3. スレーブトランスミッタモードでオーディオブロックを有効化します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

29.5 SAI 同期モード

内部同期

オーディオブロックは、2 つ目のオーディオブロックと同期設定することができます。この場合、ビットクロック信号とフレーム同期信号が共用され、通信に使用する外部ピン数を少なくすることができます。他方のオーディオブロックと同期するように指定されたオーディオブロックでは、その SCK_x、FS_x、MCLK_x の各ピン開放し、GPIO として使用することができます。非同期と指定されたオーディオブロックが、FS_x、SCK_x、MCLK_x を I/O ピンとみなす方となります（このオーディオブロックをマスタと考えた場合）。

一般に、オーディオブロック同期モードを使って、SAI を全二重モードに設定することができます。2 つのオーディオブロックの内の一方をマスタに、他方をスレーブに、それぞれ設定することができます。あるいは両方をスレーブに設定して、一方のブロックを非同期にし（SAI_xCR1 の対応するビット SYNCEN[1:0] = 00）、他方を他のオーディオブロックと同期させること（SAI_xCR1 の対応するビット SYNCEN[1:0] = 01）ができます。

注： ***APB 周波数の PCLK は、ビットレートクロック周波数の 2 倍以上である必要があります（内部再同期ステージのため）。***

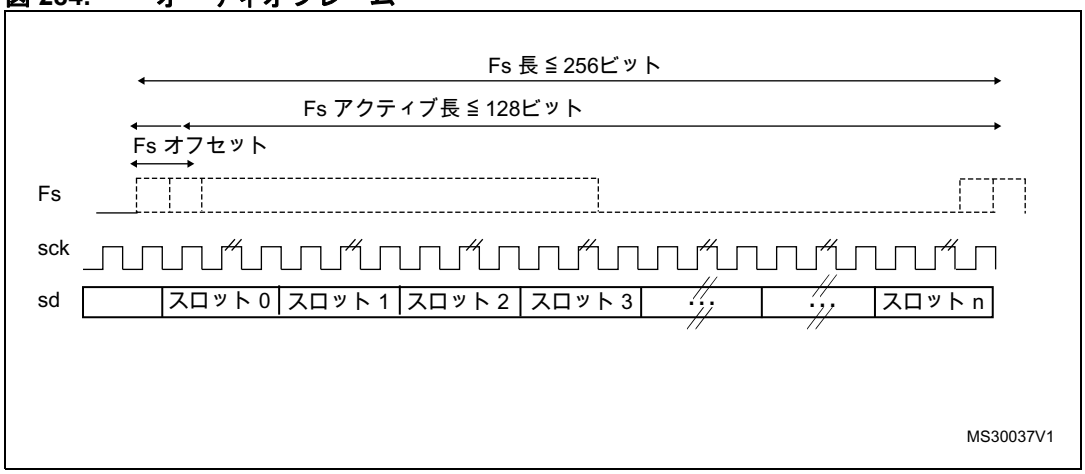
29.6 オーディオデータサイズ

オーディオフレームは、SAI_xCR1 レジスタの DS[2:0] ビットを設定することにより、様々なデータサイズを対象とすることができます。データサイズとしては、8、10、16、20、24、32 ビットが可能です。転送時、SAI_xCR1 レジスタの LSBFIRST ビットの設定によってデータの MSB を先頭にして送信することもできれば LSB を先頭にすることもできます。

29.7 フレーム同期

FS 信号は、オーディオフレームにおいてフレーム同期信号として機能します（フレーム開始）。この信号の波形は、このフレーム同期動作に関する独自の仕様を持つ様々なオーディオプロトコルに対応するため、全面的に設定可能となっています。この設定は SAI_xFRCR レジスタを使って実行することができます。*図 284* にこの柔軟性の概要を示します。

図 284. オーディオフレーム



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

AC’97 モード（SAI_xCR1 レジスタの PRTCFG[1:0] ビット = 10 ）では、フレーム同期波形はこれらのプロトコルに対応するように設定されます。SAI_xFRCR レジスタ値は無視されます。

各オーディオブロックは独立であるため、それぞれに固有の設定が必要となります。

29.7.1 フレーム長

- マスタモード : オーディオフレーム長は、SAI_xFRCR レジスタの FRL[7:0] ビットを設定して、最大 256 ビットクロックに設定することができます。フレーム長がフレームに対して指定されたスロット数より大きい場合、SAI_xCR2 レジスタの TRIS ビットの状態に応じて、残りの送信ビットが 0 で拡張されるか、または SD ラインがハイインピーダンス（HI-Z）になります （*セクション 29.12.4* を参照）。受信モードでは、残りのビットは無視されます。
- スレーブモード : オーディオフレーム長は主に、外部マスタから送信されるオーディオフレーム当たりのビットクロック数をスレーブに対して指定するために使用されます。また、処理中のオーディオフレームでマスタからの想定されるフレーム同期信号または遅延したフレーム同期信号の発生を検出するためにも使用されます。この場合、エラーが生成されます。詳細については、*セクション 29.13* を参照してください。

フレーム内のビット数は FRL[7:0] + 1 に等しくなります。

オーディオフレーム内で転送する最小ビット数は 8 です。これは、データサイズが 8 ビットで、かつ 1 スロットのみが SAI_xSLOTR レジスタの NBSLOT[3:0] で指定されている場合に該当します（スロット 0 に対して NBSLOT[3:0] = 0000 ）。

マスタモード :

- SAI_xCR1 レジスタの NODIV ビットがクリアされている場合、フレーム長は、8 から 256 のうちの 2 の累乗の数に調整する必要があります。これは、オーディオフレームがビットクロック当たり整数個の MCLK パルスを含むようにするためで、これによりデコーダ内部での外部 DAC/ADC の正しい動作が保証されます。FRL[7:0] にセットされた値がこの規則に従っていない場合、オーディオブロックが有効化されると WCKCFG フラグがセットされ、SAI_xIM レジスタで WCKCFGIE ビットがセットされている場合は割り込みが生成されます。SAI は自動的に無効化されます。
- SAI_xCR1 レジスタの NODIV ビットがセットされている場合、オーディオブロックの入力クロックはビットクロックと等しくなるはずであり、FRL[7:0] ビットは制約なしに任意の値をとることができます。出力できる MCLK_x クロックはありません。MCLK_x 出力パディングは自動的に無効化されます。

スレーブモードでは、SAI_xFRCR レジスタの FRL[7:0] ビット設定に制約はありません。

29.7.2 フレーム同期極性

SAI_xFRCR レジスタの FSPOL ビットにより、フレームが開始される FS ピンのアクティブ極性か設定されます。フレーム開始は、エッジに反応します。

スレーブモードにおいて、オーディオブロックは有効なフレームを待って、送信または受信を開始します。フレーム開始はこの信号に同期します。これは、現在進行中の通信ではフレーム開始が検出されず、予測のフレーム開始とみなされる場合にのみ有効です （*セクション 29.13* を参照）。

マスタモードでは、SAI_xCR1 レジスタの SAIxEN ビットがクリアされるまで、オーディオフレームが完了するごとにフレーム同期が毎回送信されます。前のオーディオフレームの終了時、FIFO にデータがない場合、アンダーラン状態は *セクション 29.13* の説明のように扱われますが、オーディオ通信フローが中断されることはありません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

29.7.3 フレーム同期アクティブレベル長

SAI_xFRCR レジスタの FSALL[6:0] ビットにより、フレーム同期信号のアクティブレベル長が設定されます。この長さは、SCK ビットクロック 1 から 128 に設定することができます。

例えば、I2S、LSB 詰めまたは MSB 詰めモードでは、アクティブ長をフレーム長の 1/2 にすることができます。また、PCM/DSP、TDM モードでは 1 ビット幅に、AC'97 では 16 ビット長に、それぞれ設定することができます。

29.7.4 フレーム同期オフセット

アプリケーションで対象とするオーディオプロトコルに応じて、オーディオフレームの最終ビットまたは先頭ビットを送信したときフレーム同期信号をアサートすることができます（例えば、それぞれ I2S 規格プロトコルおよび MSB 詰めプロトコルの場合）。SAI_xFRCR レジスタの FSOFF ビットで選択します。

29.7.5 FS 信号の機能

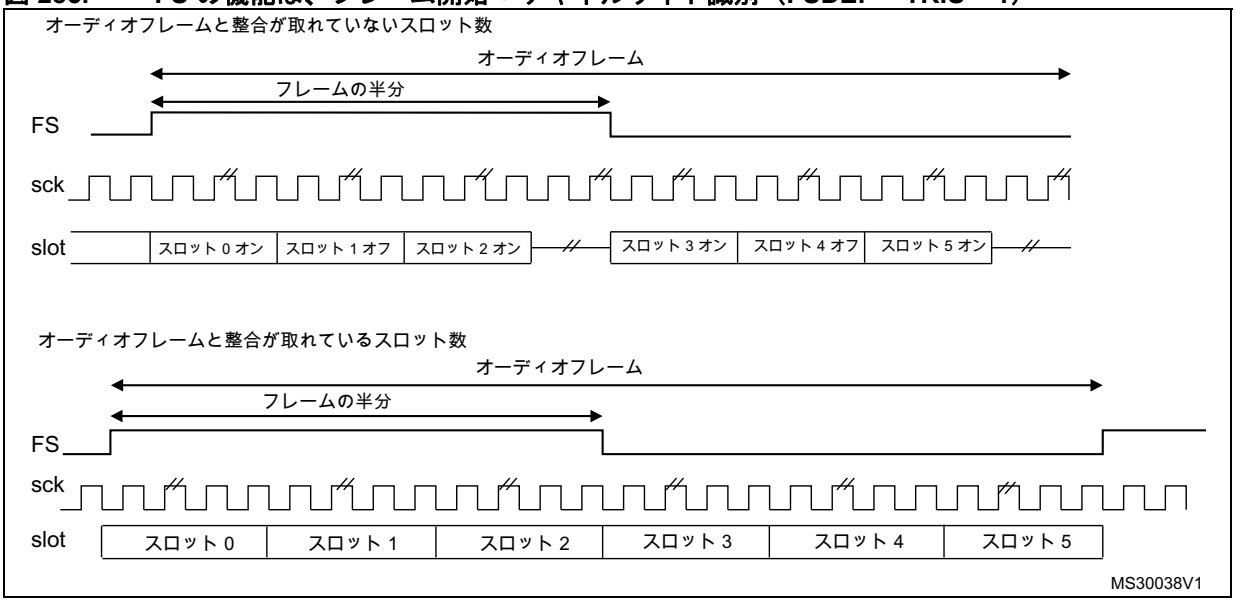
FS 信号には、FS の機能によって別の意味があります。SAI_xFRCR レジスタの FSDEF ビットによりどちらの意味を持たせるかを選択します。次のいずれかになります：

- 0：例えば PCM/DSP、TDM、AC'97 オーディオプロトコルのようなフレーム開始
- 1：例えば I2S、MSB 詰めまたは LSB 詰めプロトコルのような、オーディオフレーム内のチャネルサイド識別およびフレーム開始

FS 信号をフレーム開始およびフレーム内チャネルサイド識別と見なす場合、指定スロット数は半分を左チャネル用、もう半分を右チャネル用と見なす必要があります。ハーフオーディオフレームのビットクロック数がチャネルサイド専用スロット数より大きい場合、TRIS = 0 であれば、SAI_xCR2 レジスタの残りのビットクロックに対して 0 が送信され、TRIS = 1 であれば、SD ラインがハイインピーダンス（HI-Z）に開放されます。受信時、残りのビットクロックはチャネルサイドが変化するまで無視されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 285. FS の機能は、フレーム開始 + チャネルサイド識別（FSDEF = TRIS = 1）

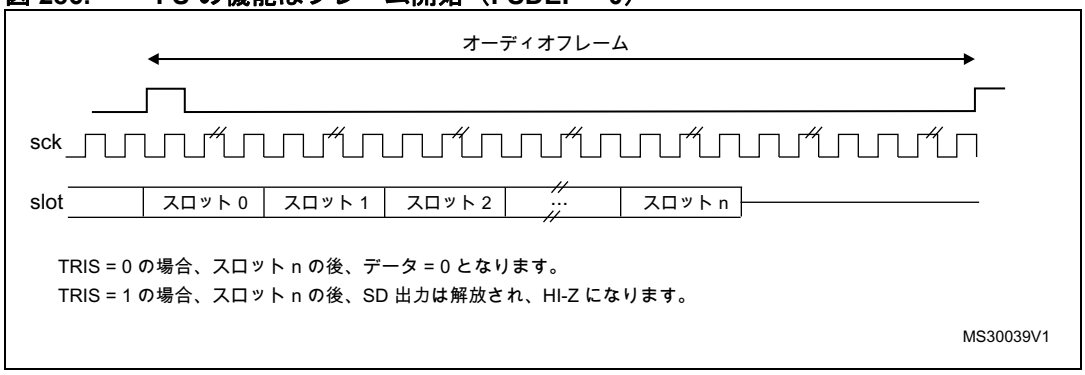


1. フレーム長は偶数である必要があります。

SAI_xFRCR の FSDEF ビットがクリアされたままの場合、FS 信号はフレーム開始に相当し、さらに SAI_xSLOTR の NBSLOT[3:0] ビットで指定されたスロット数に SAI_xSLOTR の SLOTSZ[1:0] ビットで設定された、スロット当たりのビット数を乗算した値が、フレームサイズ （SAI_xFRCR レジスタの FRL[7:0] ビット）より小さい場合、

- SAI_xCR2 レジスタで TRIS = 0 のとき、送信の場合はフレームの終わりまで、最終スロット後の残りのビットは全て 0 になります。
- TRIS = 1 のとき、これら残りのビットの転送中、ラインはハイインピーダンス（HI-Z）になります。受信モードでは、これらのビットは無視されます。

図 286. FS の機能はフレーム開始（FSDEF = 0）



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

29.8 スロット設定

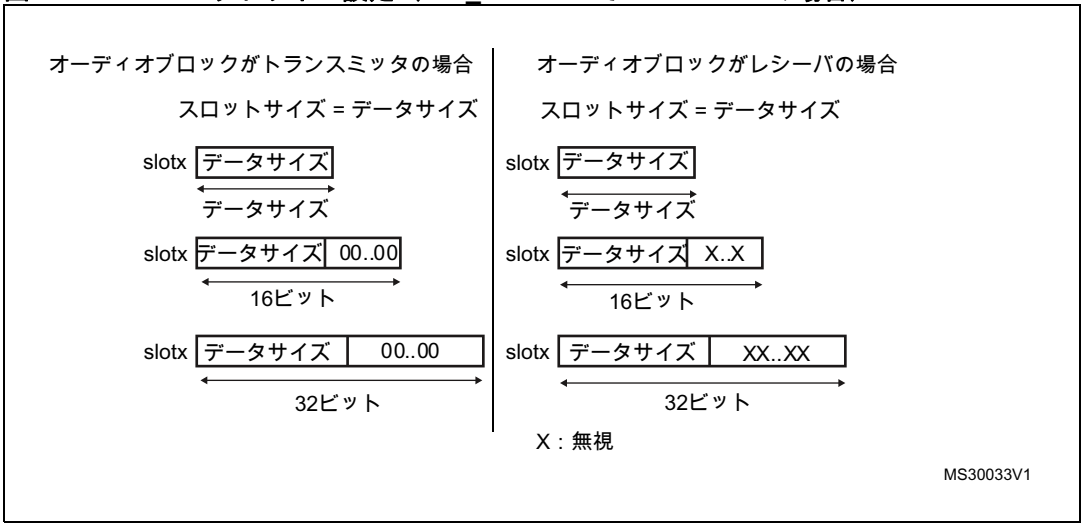
スロットは、オーディオフレームの基本要素です。オーディオフレーム内のスロット数は、SAI_xSLOTR レジスタの NBSLOT[3:0] ビットに設定された値 + 1 になります。
オーディオフレーム当たりの最大スロット数は 16 に固定されています。

AC'97 プロトコルに対しては（ビット PRTCFG[1:0] = 10の場合）、スロット数は、そのプロトコル仕様を対象とするよう自動的に設定され、NBSLOT[3:0] の値は無視されます。

各スロットは、SAI_xSLOTR レジスタの SLOTEN[15:0] ビットにより有効/無効を指定することができます。オーディオフレーム内で、無効なスロットの転送中、オーディオブロックがトランスミッタの場合、データラインに 0 値が出力される、または SD データラインが ハイインピーダンス（HI-Z）になり（*セクション 29.12.4* 参照）、あるいはこのスロットの終わり以降に受信された値は無視されます。結果として、FIFO アクセスがないため、このインアクティブなスロット状態にリンクした FIFO からの読み出しリクエストや FIFO への書き込みリクエストは起こりません。

また、スロットサイズも*図 287* に示すように設定可能です。スロットのサイズは、SAI_xSLOTR レジスタの SLOTSZ[1:0] ビットで選択することができます。サイズは、オーディオフレームの各スロットに同じように適用されます。

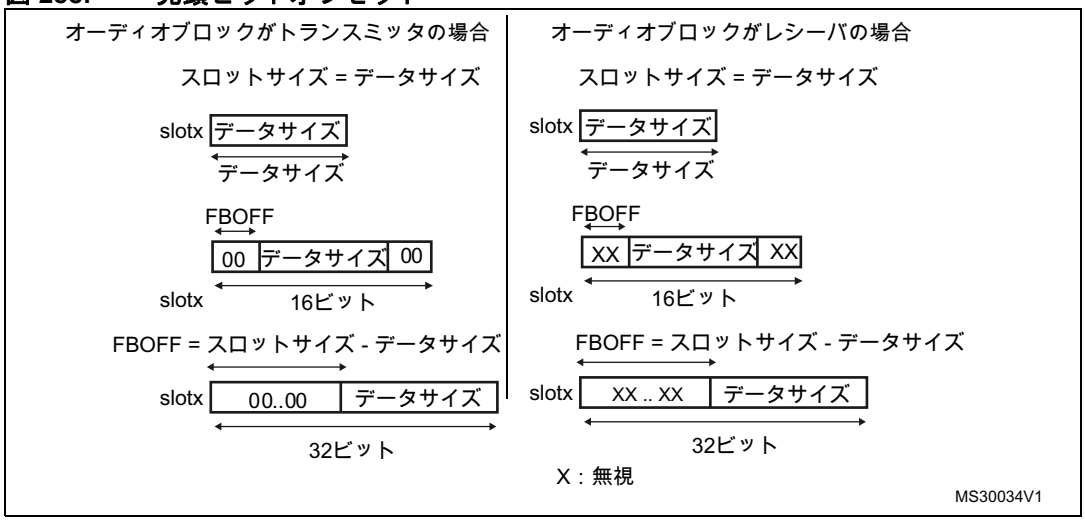
図 287. スロットサイズ設定（SAI_xSLOTR で FBOFF = 0 の場合）



スロット内で転送する先頭データビットの位置を選択することができ、このオフセットは、SAI_xSLOTR レジスタの FBOFF[5:0] ビットで設定します。トランスミッタモードでは、スロットの開始からこのオフセット位置に到達するまでの間 0 値が挿入されます。受信時、オフセットフェーズ内のビットは無視されます。この機能は LSB 詰めプロトコルを対象としています （オフセットが、スロットサイズ - データサイズに等しい場合）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 288. 先頭ビットオフセット



SAI の誤動作を避けるためには、次の条件を満足する必要があります：

FBOFF ≤ （SLOTSZ - DS）、

DS ≤ SLOTSZ、

NBSLOT x SLOTSZ ≤ FRL（フレーム長）、

SAI_xFRCR レジスタの FSDEF ビットがセットされている場合、スロット数は偶数である必要があります。

AC'97 （PRTCFG[1:0] ビット = 10）の場合、スロットサイズは、*セクション 29.11* に示されるように自動的に設定されます。

29.9 SAI クロックジェネレータ

各オーディオブロックには、固有のクロックジェネレータを搭載しており、これら 2 つのブロックを完全に独立させています。これら 2 つのクロックジェネレータの間には機能的な違いはありません。これらは完全に同じものです。

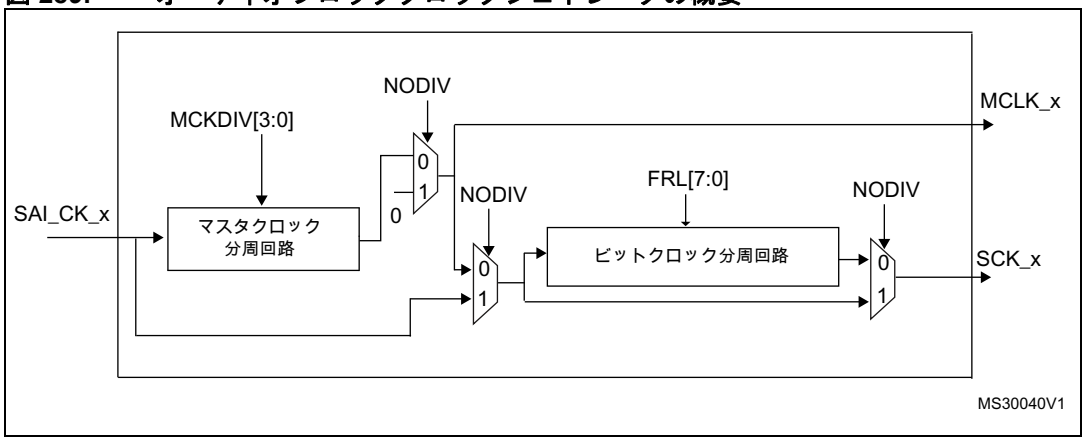
オーディオブロックをマスタに指定すると、クロックジェネレータは通信クロック（ビットクロック）と外部デコーダ用のマスタクロックを発生します。

オーディオブロックをスレーブに指定すると、クロックジェネレータは OFF になります。

図 289 に、オーディオブロッククロックジェネレータのアーキテクチャを示します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 289. オーディオブロッククロックジェネレータの概要



*注： **NoDiv が 1 に設定された場合で、このピンが GPIO ペリフェラル内で SAI ピンに設定されている場合 MCLK_x 信号は 0 レベルに設定されます。***

クロックジェネレータのクロックソースは、製品のクロックコントローラから来ます。SAI_CK_x クロックはマスタクロックに等しく、このクロックは MCKDIV[3:0] ビットを使って外部 デコーダ用に分周されます：

MCLK_x = SAI_CK_x / (MCKDIV[3:0] * 2)（MCKDIV[3:0] が 0000 に等しくない場合）

MCLK_x = SAI_CK_x（MCKDIV[3:0] = 0000 の場合）

MCLK_x 信号は TDMでのみ使用されます。

MCLK 出力と SCK_x クロックのデューティサイクルを 50% に維持するため、分周比は偶数である必要があります。MCKDIV[3:0] ビット = 0000 の場合、MCLK_x = SAI_CK_x を実現するため分周比 1 が使用されます。

SAI では、単純比 MCLK/FS = 256 とみなされます。多くの場合、*表 129* に示すように 3 つの周波数範囲を取り扱うことになります。

表 129. 考えられるオーディオサンプリング周波数範囲の例

入力 SAI_CK_x クロック周波数	最も一般的に使用されるオーディオサンプリング周波数	MCKDIV[3:0]
192 kHz x 256	192 kHz	MCKDIV[3:0] = 0000
	96 kHz	MCKDIV[3:0] = 0001
	48 kHz	MCKDIV[3:0] = 0010
	16 kHz	MCKDIV[3:0] = 0100
	8 kHz	MCKDIV[3:0] = 1000
44.1 kHz x 256	44.1 kHz	MCKDIV[3:0] = 0000
	22.05 kHz	MCKDIV[3:0] = 0001
	11.025 kHz	MCKDIV[3:0] = 0010
SAI_CK_x = MCLK(1)	MCLK	MCKDIV[3:0] = 0000

1. これは、製品クロックコントローラが PLL クロックの代わりに外部 クロックソースを選択した場合に発生することがあります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

SAI_xCR1 レジスタの NODIV ビット = 0 を設定し対応するオーディオブロックをマスタとして指定した場合、マスタクロックを外部デコーダ用に外部に向けて I/O パッド上に生成することができます。スレーブでは、クロックジェネレータが OFF で、かつ MCLK_x I/O ピンが汎用 I/O として開放されているため、この最終ビットに設定された値は無視されます。

ビットクロックはマスタクロックから生成されます。ビットクロック分周器は、ビットクロックである SCK_x とマスタクロックである MCLK_x との間の分周比を次式により設定します。

SCK_x = MCLK x (FRL[7:0] +1) / 256

ここで、

256 は、MCLK とオーディオサンプリング周波数間の固定比率です。

FRL[7:0] はオーディオフレーム内のビットクロック数 - 1 であり、SAI_xFRCR レジスタで設定されます。

マスタモードでは、ビットクロック当たり偶数個の MCLK_x パルスとなるよう、（FRL[7:0] + 1）が 2 の累乗値となる必要があります（*セクション 29.7* を参照）。50 % のデューティサイクルがビットクロックである SCK_x で保証されます。

SAI_CK_x クロックを、ビットクロック周波数に等しくすることもできます。この場合、SAI_xCR1 レジスタの NODIV ビットがセットされることになり、MCKDIV 分周器内の値とビットクロック分周器は無視されます。この場合、フレーム当たりのビット数は 2 の累乗である必要はなく自由に設定可能です。

SCK のビットクロックストローブエッジは、SAI_xCR1 レジスタの CKSTR ビットで設定することができます。

29.10 内部 FIFO

SAI 内の各オーディオブロックには固有の FIFO を搭載しています。そのブロックがトランスミッタに指定されるかレシーバに指定されるかによって、FIFO にはそれぞれ書き込まれたり読み出されたりします。したがって、SAI_xSR レジスタの FREQ ビットに対応した FIFO リクエストは 1 つしかありません。

SAI_xIM レジスタの FREQIE ビットが有効化されている場合、割り込みが生成されます。これは次の条件によって変わります：

- FIFO 閾値設定（SAI_CR2 の FLTH ビット）
- 通信方向：トランスミッタ／レシーバ（*セクション：送信モードでの割り込み生成*および*セクション：受信モードでの割り込み生成*を参照）

送信モードでの割り込み生成

送信モードでの割り込みの生成は、次のように FIFO の設定によって変わります：

- SAI_XCR2 レジスタの FIFO 閾値ビットが FIFO が空の状態（FTH[2:0] = 000b）に設定されている場合、SAI_xDR レジスタに有効なデータがない（SAI_xSR の FLTH[2:0] ビット < 001b）という条件で、割り込みが生成されます（SAI_XSR レジスタの FREQ ビットがハードウェアによって 1 にセットされます）。FIFO が空でない状態（SAI_xSR の FLTH[2:0] ビット≠000b）、すなわち FIFO に 1 個以上のデータが格納されている状態になると、この割り込み（SAI_XSR レジスタの FREQ ビット）はハードウェアによってクリアされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

- SAI_XCR2 レジスタの FIFO 閾値ビットが FIFO 満杯の 1/4（FTH[2:0] = 001b）に設定されている場合、データが FIFO の 1/4 より少ない（SAI_xSR の FLTH[2:0] ビット < 010b）という条件で、割り込みが生成されます（SAI_XSR レジスタの FREQ ビットがハードウェアによって 1 にセットされます）。FIFO の 1/4 以上にデータがある状態（SAI_xSR の FLTH[2:0] ビット≧010b）になると、この割り込み （SAI_XSR レジスタの FREQ ビット）はハードウェアによってクリアされます。
- SAI_XCR2 レジスタの FIFO 閾値ビットが FIFO 満杯の 1/2（FTH[2:0] = 010b）に設定されている場合、データが FIFO の 1/2 より少ない（SAI_xSR の FLTH[2:0] ビット < 011b）という条件で、割り込みが生成されます（SAI_XSR レジスタの FREQ ビットがハードウェアによって 1 にセットされます）。FIFO の 1/2 以上にデータがある状態（SAI_xSR の FLTH[2:0] ビット≧011b）になると、この割り込み （SAI_XSR レジスタの FREQ ビット）はハードウェアによってクリアされます。
- SAI_XCR2 レジスタの FIFO 閾値ビットが FIFO 満杯の 3/4（FTH[2:0] = 011b）に設定されている場合、データが FIFO の 3/4 より少ない（SAI_xSR の FLTH[2:0] ビット < 100b）という条件で、割り込みが生成されます（SAI_XSR レジスタの FREQ ビットがハードウェアによって 1 にセットされます）。FIFO の 3/4 以上にデータがある状態（SAI_xSR の FLTH[2:0] ビット≧100b）になると、この割り込み （SAI_XSR レジスタの FREQ ビット）はハードウェアによってクリアされます。
- SAI_XCR2 レジスタの FIFO 閾値ビットが FIFO 満杯（FTH[2:0] = 100b）に設定されている場合、FIFO が満杯でない（SAI_xSR の FLTH[2:0] ビット < 101b）という条件で、割り込みが生成されます（SAI_XSR レジスタの FREQ ビットがハードウェアによって 1 にセットされます）。FIFO データが満杯（SAI_xSR の FLTH[2:0] ビット = 101b）になると、この割り込み（SAI_XSR レジスタの FREQ ビット）はハードウェアによってクリアされます。

受信モードでの割り込み生成

受信モードでの割り込みの発生は、次のように FIFO の設定によって変わります：

- SAI_XCR2 レジスタの FIFO 閾値ビットが FIFO が空の状態（FTH[2:0] = 000b）に設定されている場合、SAI_xDR レジスタに 1 個以上のデータがある（SAI_xSR の FLTH[2:0] ビット = 001b）という条件で、割り込みが生成されます（SAI_XSR レジスタの FREQ ビットがハードウェアによって 1 にセットされます）。FIFO が空（SAI_xSR の FLTH[2:0] ビット = 000b）、すなわち FIFO にデータがなくなると、この割り込み（SAI_XSR レジスタの FREQ ビット）はハードウェアによってクリアされます。
- SAI_XCR2 レジスタの FIFO 閾値ビットが FIFO 満杯の 1/4（FTH[2:0] = 001b）に設定されている場合、FIFO データロケーションの 1/4 以上が使用可能（SAI_xSR の FLTH[2:0] ビット≧010b）という条件で、割り込みが生成されます（SAI_XSR レジスタの FREQ ビットがハードウェアによって 1 にセットされます）。使用可能な FIFO データロケーションが 1/4 未満（SAI_xSR の FLTH[2:0] ビット < 010b）になると、この割り込み（SAI_XSR レジスタの FREQ ビット）はハードウェアによってクリアされます。
- SAI_XCR2 レジスタの FIFO 閾値ビットが FIFO 満杯の 1/2（FTH[2:0] = 010b）に設定されている場合、FIFO データロケーションの 1/2 以上が使用可能（SAI_xSR の FLTH[2:0] ビット≧011b）という条件で、割り込みが生成されます（SAI_XSR レジスタの FREQ ビットがハードウェアによって 1 にセットされます）。使用可能な FIFO データロケーションが 1/2 未満（SAI_xSR の FLTH[2:0] ビット < 011b）になると、この割り込み（SAI_XSR レジスタの FREQ ビット）はハードウェアによってクリアされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

- SAI_XCR2 レジスタの FIFO 閾値ビットが FIFO 満杯の 3/4（FTH[2:0] = 011b）に設定されている場合、FIFO データロケーションの 3/4 以上が使用可能（SAI_xSR の FLTH[2:0] ビット≧100b）という条件で、割り込みが生成されます（SAI_XSR レジスタの FREQ ビットがハードウェアによって 1 にセットされます）。使用可能な FIFO データロケーションが 3/4 未満（SAI_xSR の FLTH[2:0] ビット < 100b）になると、この割り込み（SAI_XSR レジスタの FREQ ビット）はハードウェアによってクリアされます。
- SAI_XCR2 レジスタの FIFO 閾値ビットが FIFO 満杯（FTH[2:0] = 100b）に設定されている場合、FIFO が満杯（SAI_xSR の FLTH[2:0] ビット = 101b）という条件で、割り込みが生成されます（SAI_XSR レジスタの FREQ ビットがハードウェアによって 1 にセットされます）。FIFO データが満杯（SAI_xSR の FLTH[2:0] ビット < 101b）になると、この割り込み（SAI_XSR レジスタの FREQ ビット）はハードウェアによってクリアされます。

SAI_xCR1 レジスタの DMAEN ビットがセットされている場合、SAI は、割り込み生成と同様に DMA を使用することができます。FREQ ビットアサーションメカニズムは、上記 FREQIE について説明した割り込み生成メカニズムと同じです。

各 FIFO は 8 ワードの FIFO です。FIFO に対する書込み操作や読み出し操作は、そのアクセスサイズによらず、 1 回につき FIFO の 1 ワード分を対象とします。FIFO の 1 ワードには 1 オーディオフレームが格納されます。FIFO ポインタは、SAI_xDR レジスタに対する各アクセスの後に 1 ワードずつインクリメントされます。

SAI_xDR に書き込む際、データは右詰めである必要があります。

受信データは SAI_xDR で右詰めとなっています。

SAI_xCR2 レジスタの FFLUSH ビットをセットして SAI を無効化すると、FIFO ポインタを再初期化することができます。SAI が有効なときに FFLUSH をセットすると、FIFO 内にあるデータは自動的に失われます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

29.11 AC’97 リンクコントローラ

SAI は AC’97 リンクコントローラとしても機能することができます。このプロトコルの仕様は次のとおりです：

- スロット番号とスロットサイズは固定です。
- フレーム同期信号は完全に定義されており波形は固定です。

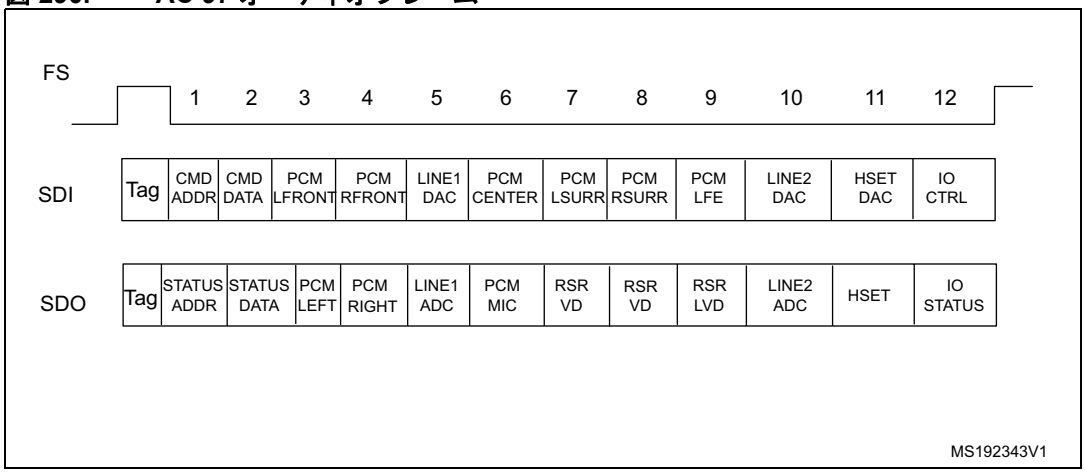
このプロトコルを選択するには、SAI_xCR1 レジスタの PRTCFG[1:0] ビットを 10 に設定します。AC’97 モードを選択した場合、使用可能なデータサイズは 16 ビットまたは 20 ビットのみであり、さもなければ SAI の動作は保証されません。

- したがって、NBSLOT[3:0] ビットと SLOTSZ[1:0] ビットは無視されます。
- スロット数は 13 スロットに固定されています。最初のスロットは 16 ビット幅で、他はすべて 20 ビット幅（データスロット）です。
- SAI_xSLOTR レジスタの FBOFF[5:0] ビットは無視されます。
- SAI_xFRCR レジスタは無視されます。

非同期指定されたブロックからの FS 信号は、自動的に出力として設定されます。これは、マスタ/スレーブの設定にかかわらず AC’97 コントローラリンクが FS 信号を駆動するためです。

図 290 に、AC’97 オーディオフレーム構造を示します。

図 290. AC’97 オーディオフレーム



注： ***AC’97 プロトコルでは、タグのビット 2 は予約済みです（常に 0）。したがって、SAI FIFO に書き込まれる値によらず、TAG のビット 2 は 0 レベルに固定されます。***

タグ 表示についての詳細は、AC’97 プロトコル 規格を参照してください。

1 つの SAI を AC’97 の 2 点間通信に的を絞って使用することができます。

受信モードでは、スロット 0 のコーデックレディビットがローにデコードされた場合、AC’97 リンクコントローラとして機能する SAI は、FIFO リクエストを必要としないため FIFO 内のデータストレージも不要です。SAI_xIM レジスタの CNRDYIE ビットが有効化された場合、SAI_xSR レジスタの CNRDY フラグがセットされ、割り込みが生成されます。このフラグは、AC’97 プロトコル専用です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

29.12 特有の機能

SAI には、選択したオーディオプロトコルに応じて役立つ幾つかの特定の機能があります。これらの機能は、SAI_xCR2 レジスタの特定ビットを使ってアクセスすることができます。

29.12.1 ミュートモード

ミュートモードは、オーディオブロックがトランスミッタまたはレシーバであるとき使用することができます。

トランスミッタ

送信モード時、ミュートモードはいつでも選択可能です。ミュートモードは、オーディオフレーム全体に対してアクティブです。処理中のフレーム内で SAI_xCR2 レジスタの MUTE ビットがでセットされると、ミュートモードがリクエストされます。

ミュートモードビットは、フレームの終わりでのみ認識されます。この時点でミュートモードビットがセットされた場合、ミュートモードは新しいオーディオフレームの先頭から次に来るフレームの終了までフレーム全体に対してアクティブになり、その後、このビットを認識し、次のフレームもミュートフレームか否かを決定します。

SAI_xSLOTR レジスタの NBSLOT[3:0] ビットに設定されたスロット数が 2 以下の場合、ミュートモード中に送信される値が 0 なのか、または各スロットの最後の値なのかを特定することができます。この選択は、SAI_xCR2 レジスタの MUTEVAL ビットを使って行います。

SAI_xSLOTR レジスタの NBSLOT[3:0] ビットに設定されたスロット数が 2 より大きい場合、各スロットの各ビットで 0 値が送信されるため、SAI_xCR2 の MUTEVAL ビットは無意味となります。

ミュートモード中、FIFO 内に存在したデータとミュートモードが要求されたデータが不要になるということが起こりつつも、FIFO ポインタのインクリメントは続きます。

レシーバ

受信モードでは、指定されかつ有効なオーディオフレームのすべてのスロットが、ある特定の連続した数のオーディオフレームに対して 0 を受信したとき、外部 トランスミッタから送信されたミュートモードを検出することが可能です（ SAI_xCR2 レジスタの MUTECNT[5:0] ビット）。

ミュートフレーム数が検出されると、SAI_xSR レジスタの MUTEDET フラグがセットされて、SAI_xCR2 の MUTEDETIE ビットがセットされている場合、割り込みを生成することができます。

オーディオブロックが無効化されたとき、または有効なスロットがオーディオフレーム内で 1 つ以上のデータを受信したとき、ミュートフレームカウンタがクリアされます。カウンタが MUTECNT[5:0] ビットに指定された値に到達すると、割り込みが 1 回だけ生成されます 次に、カウンタがクリアされると割り込みイベントが再度生成可能となります。

29.12.2 モノラル/ステレオ機能

送信モードでは、スロット数が 2 の場合（SAI_xSLOTR で NBSLOT[3:0] = 0001）、メモリ内でデータを前処理することなくモノラルモードを取り扱うことができますこのような場合、送信ではスロット 0 のデータがデータスロット 1 へ複製されるため、FIFO へのアクセスは半減されます。

モノ機能を選択するには、SAI_xCR1 レジスタの MONO ビットをセットします。

受信モードでは、MONO ビットをセットすることができますが、送信モードの場合と同様にスロット数が 2 のときだけ意味があります。このビットをセットした場合、スロット 0 のデータだけが FIFO に格納されます。この場合、前のスロットと同じと見なされるため、スロット 1 に属するデータは無視されます。受信時のデータの流れが左右でデータが異なり真のステレオオーディオフローである場

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

合、MONO ビットは意味を成しません。出力ステレオファイルから等価なモノラルファイルへの変換は、ソフトウェアで行われます。

注： ***モノラルモードを有効化するには、NBSLOT と SLOTEN は 2 である必要があり、MONO ビットを 1 に設定する必要があります。***

29.12.3 コンパンディングモード

通信アプリケーションでは、データコンパンディングアルゴリズムにより送信データまたは受信データの処理が必要となることがあります。

図 291 に示すように、SAI_xCR2 レジスタの COMP[1:0] ビットに応じて（TDM モードを選択した場合のみ使用）、SD シリアル出力ラインに送信する前に処理（圧縮）するか否か、あるいは SD シリアル入力ラインから受信した後にデータを処理（伸長）するか否かをソフトウェアで選択することができます。サポートされている 2 つのコンパンディングモードは μ-Law と A-Law(log) で、これらは CCITT G.711 勧告の一部となっています。

米国と日本で採用されているコンパンディング規格は、μ-Law であり、14 ビットのダイナミックレンジが確保できます（SAI_xCR2 レジスタで COMP[1:0] = 10）。

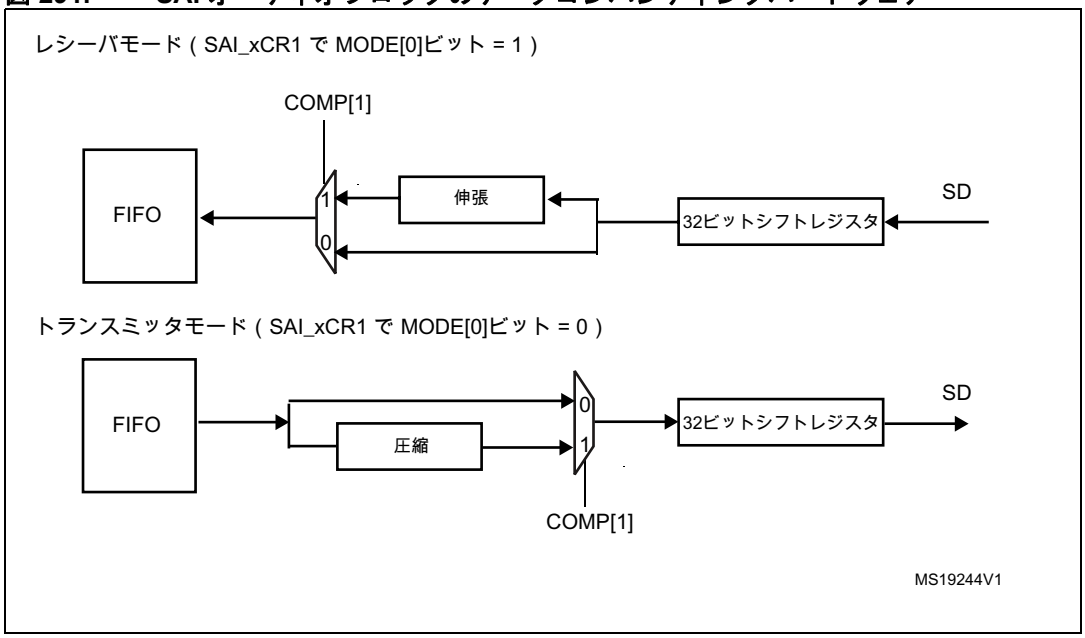
ヨーロッパのコンパンディング規格は A-Law であり、13 ビットのダイナミックレンジが確保できます（SAI_xCR2 レジスタで COMP[1:0] = 11）。

コンパンディング規格（μ-Law または A-Law）は、SAI_xCR2 レジスタの CPL ビットの設定に応じて、1 の補数表現または 2 の補数表現に基いて計算することができます。

μ-Law フォーマットと A-Law フォーマットでは、データを MSB 詰めの 8 ビットコードエレメントに符号化します。コンパンドされたデータは常に 8 ビット幅です。このため、SAI オーディオブロックが有効化されていて（SAI_xCR1 レジスタでビット SAIxEN = 1）、さらに、COMP[1:0] ビットによりこれら 2 つのコンパンディングモードの内の 1 つを選択している場合、SAI_xCR1 レジスタの DS[2:0] ビットは 010 に固定されます。

コンパンディングが不要な場合は、SAI_xCR2 レジスタの COMP[1:0] ビットをクリアしたままにします。

図 291. SAI オーディオブロックのデータコンパンディングハードウェア



注： ***AC'97 を選択した場合は適用されません。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

SAI 設定により、伸張モードまたは圧縮モードは自動的に選択されます。

- SAI オーディオブロックがトランスミッタに設定され、かつ SAI_xCR2 レジスタの COMP[1] ビットがセットされている場合、圧縮モードが適用されます。
- SAI オーディオブロックがレシーバに指定された場合、伸長アルゴリズムが適用されます。

29.12.4 インアクティブスロットでの出力データライン管理

送信モードでは、インアクティブスロットがデータラインに送信されたときに出力となっている SD ラインの動作を選択することができます（SAI が無効化されている場合は SAI_xCR2 レジスタの TRIS ビットを使用）。

- インアクティブスロットが送信されるとき、SAI が SD 出力ラインを 0 に固定することもできれば、
- 送信データの最終ビットの終わりでラインを HI-Z 状態にして、このノードに接続された他のトランスミッタへラインを開放することもできます。

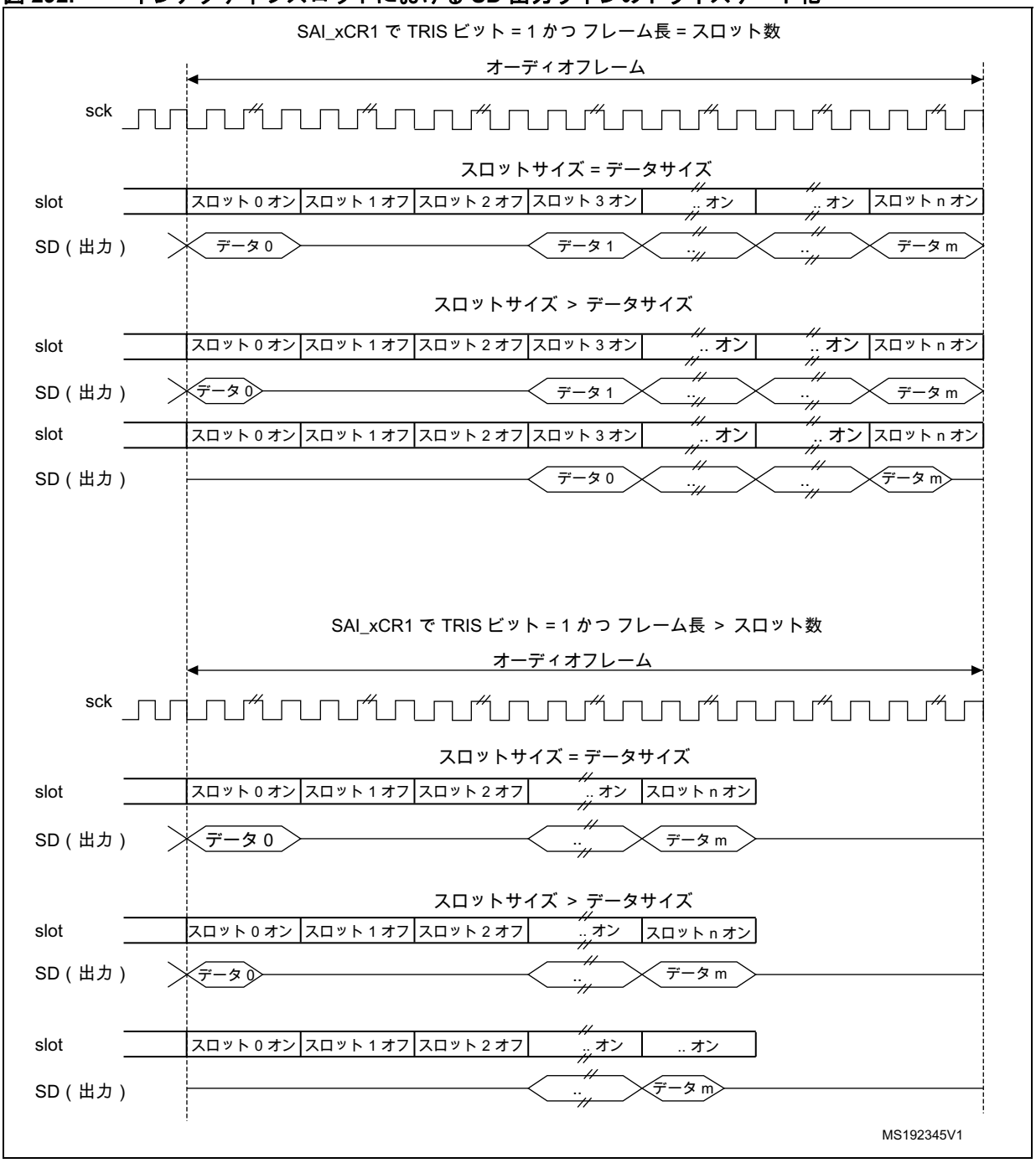
2 つのトランスミッタが同じ SD 出力ピンを同時に駆動しないように注意することが重要です。同時駆動した場合、短絡の原因となります。送信間の間隔を確保するため、データが 32 ビットより短い場合は、SAI_xSLOTR レジスタの SLOTSZ[1:0] ビット = 10 を設定することにより、データを 32 ビットに拡張することができます。すると、次のスロットがインアクティブに指定された場合、アクティブスロットの LSB の終わりで（データを 32 ビットに拡張するため 0 を詰めるフェーズで）SD 出力ピンがトライステートになります。

さらに、スロット数とスロットサイズの積がフレーム長より小さい場合、0 を詰めてオーディオフレームを完成させるときに SD 出力ラインがトライステートになります。

図 292 に、これらの動作を示します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

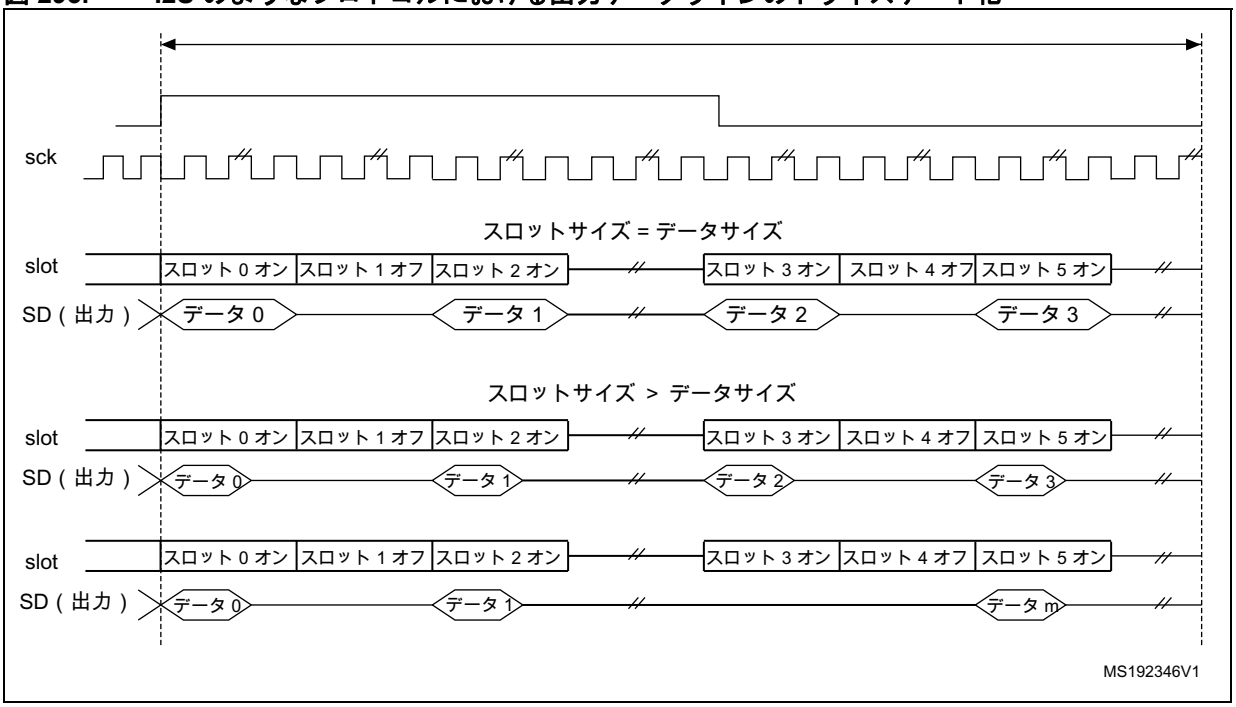
図 292. インアクティブスロットにおける SD 出力ラインのトライステート化



選択したオーディオプロトコルが FS 信号をフレーム開始とチャネルサイド識別として使用する場合（SAI_xFRCR レジスタでビット FSDEF = 1）、*図 293*に従ってトライステートモードが管理されます（この図では、SAI_xCR1 レジスタでビット TRIS = 1、FSDEF=1、ハーフフレーム長 > スロット数 /2、NBSLOT=6）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 293. I2S のようなプロトコルにおける出力データラインのトライステート化



SAI_xCR2 レジスタの TRIS ビットがクリアされている場合、*図 292* と *図 293* に示す SD 出力ライン上のすべての高インピーダンス状態は 0 値での駆動として置き換えます。

29.13 エラーフラグ

SAI には次のエラーフラグがあります：

- FIFO オーバーラン/アンダーラン、
- 予測フレーム同期検出、
- レイトフレーム同期検出、
- コーデックノットレディ（AC'97 専用）、
- マスタモードにおける不正クロック設定。

29.13.1 FIFO オーバーラン/アンダーラン（OVRUDR）

FIFO オーバーラン/アンダーランビットは、SAI_xSR レジスタで OVRUDR と名づけます。

オーディオブロックはレシーバまたはトランスミッタのいずれかであり、SAI 内の各オーディオブロックに固有の SAI_xSR レジスタを搭載しているため、オーバーランエラーとアンダーランエラーは、同じビットを使用しています。

オーバーラン

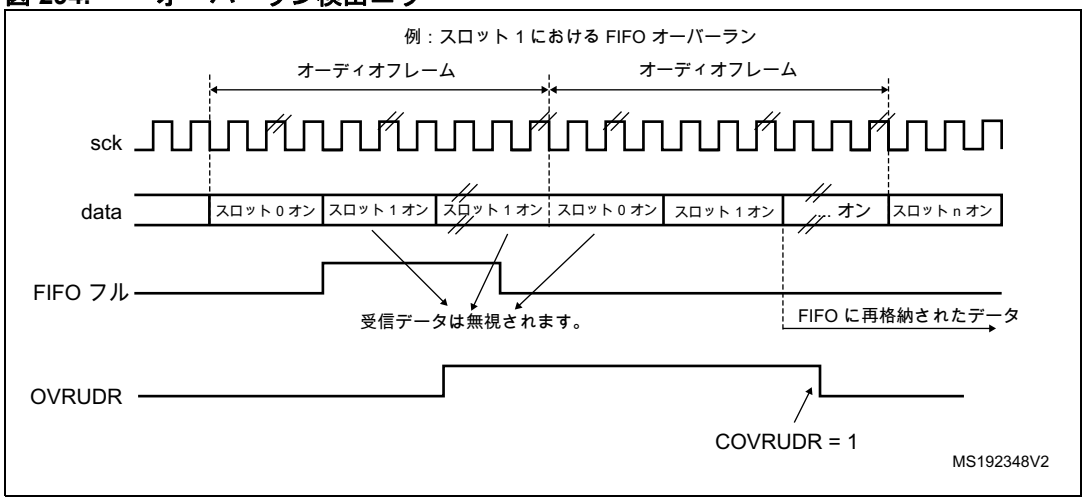
オーディオブロックがレシーバに設定されていて、FIFO が満杯で受信データを保存できないときにオーディオフレームでデータが受信された場合に、オーバーラン状態が発生します。この場合、受信データが失われ、SAI_xSR レジスタの OVRUDR フラグがセットされ、SAI_xIM レジスタの OVRUDRIE ビットがセットされている場合、割り込みが生成されます。オーバーランが発生したスロット番号が、内部に保存されます。FIFO が新しいデータを格納できるようになるまで、データは FIFO に保存されません。FIFO に 1 データ分以上の空きがある場合、SAI オーディオブロックレシー

この資料は、STMicroelectronics NV 並びにその子会社（以下 ST）が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

バは、オーバーラン状態が検出されたとき内部に保存されたスロット番号からの新しいデータ（新しいオーディオフレームの）を保存します。これにより、転送先メモリでのデータスロットの配置の狂いを回避します（*図 294* 参照）。

SAI_xCLRFR レジスタの COVRUDR ビットがセットされると、OVRUDR フラグがクリアされます。

図 294. オーバーラン検出エラー



アンダーラン

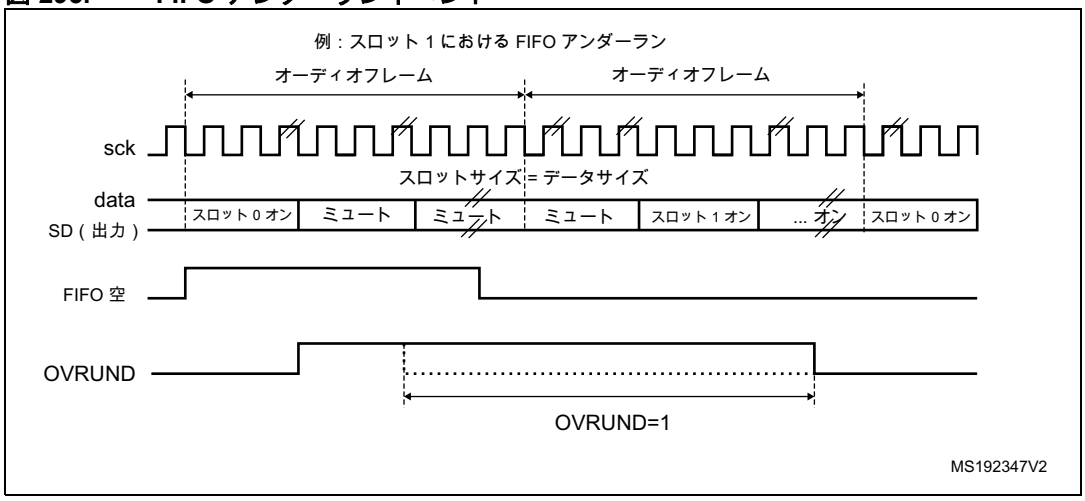
SAI 内のオーディオブロックがトランスミッタで、かつデータの送信が必要なとき FIFO が空の場合に、アンダーランが発生します（マスタ/スレーブのオーディオブロック設定は無関係）。アンダーランが検出された場合、ソフトウェアはデータとスロットを再同期させる必要があります。次のように実行します：

1. SAI_xCR1 レジスタの SAIEN ビットをリセットして、SAI ペリフェラルを無効化します。SAIEN ビットを読み出すことによって SAI が無効化されていることを確認します（SAIEN は 0 である必要があります）。
2. SAI_xCR2 レジスタの FFLUS ビットを使って Tx FIFO を一掃します。
3. 新しいフレームの先頭のアクティブスロットで送信する正しいデータに再割り当てします。
4. SAI ペリフェラルを再度有効化します（SAIEN ビットを 1 に設定）。

アンダーランイベントにより SAI_xSR レジスタの OVRUDR フラグがセットされ、SAI_xIM レジスタの OVRUDRIE ビットがセットされている場合、割り込みが生成されます。このフラグをクリアするには、SAI_xCLRFR レジスタの COVRUDR ビットをセットします。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 295. FIFO アンダーランイベント



29.13.2 予測フレーム同期検出（AFSDET）

この AFSDET フラグはスレーブモードでのみ使用されます。マスタモードでは、アサートされることはありません。フレーム長、フレーム極性、フレームオフセットが設定されていて既知であるため、このフラグにより予測より早くフレーム同期 （FS）検出を知ることができます。

早期に検出されると、SAI_xSR レジスタの AFSDET フラグがセットされます。

この検出は、現在のオーディオフレームに影響を与えません。現在のオーディオフレームは予測 FS に影響されません。つまり、現在のオーディオフレームを乱すことなく、FS 信号に関する「寄生」イベントフラグが立つということです。

SAI_xIM レジスタの AFSDETIE ビットがセットされている場合、割り込みが生成されます。AFSDET フラグをクリアするには、SAI_xCLRFR レジスタの CAFSDET ビットをセットする必要があります。

予測フレーム検出エラーの後でマスタと再同期させるには、次の 4 ステップに従う必要があります。

1. SAI_xCR1 レジスタの SAIEN ビットをリセットして SAI が無効化されていることを確認する必要があります。また、SAIEN ビットは 0 である必要があります（このビットを読み出します）。
2. SAI_xCR2 レジスタの FFLUS ビットを使って FIFO を一掃します。
3. SAI ペリフェラルを再度有効化し（SAIEN ビットを 1 に設定）、次いで SAI を有効化します。
4. SAI ブロックは FS のアサーションを待ってマスタとの同期を再開します。

注： ***このフラグは AC'97 ではアサートされません。これは SAI オーディオブロックがリンクコントローラとして機能し、スレーブと指定された場合でも FS 信号を生成するためです。***

29.13.3 レイトフレーム同期検出

SAI オーディオブロックをスレーブとして指定した場合のみ、SAI_xSR レジスタの LFSDET フラグをセットすることができます。フレーム長、フレーム極性、フレームオフセット設定は、SAI_xFRCR レジスタから知ることができます。

外部マスタが FS 信号を予想タイミングで送信しない（信号の発生が遅すぎる）場合、SAI_xSR レジスタの LFSDET フラグがセットされ、SAI_xIM レジスタの LFSDETIE ビットがセットされている場合、割り込みが生成されます。

SAI_xCLRFR レジスタの CLFSDET ビットがセットされると、このフラグがクリアされます。

この資料は、STMicroelectronics NV 並びにその子会社（以下 ST）が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

このエラーが検出されると、レイトフレーム同期検出フラグがセットされます。SAI はマスタと再同期する必要があります（上記 4 ステップに従う必要があります）。

この検出およびフラグアサーションにより、ノイズの多い環境で SCK クロック上のグリッチを検出することができます。グリッチはオーディオブロックのステートマシンにより検出されます。現在のオーディオフレーム内のある状態から SAI オーディオブロックステートマシンを不正にシフトさせることがあり、その場合はフレームが破損します。

外部マスタが連続モードでオーディオデータフレーム転送を管理していない場合は破壊は起こりませんが、ほとんどの場合、アプリケーションでこの様な使われ方はされません。大部分の利用目的に対する事例とは言えません。この場合、LFSDET フラグがセットされます。

注： ***このフラグは AC'97 モードではアサートされません。これは SAI オーディオブロックがリンクコントローラとして機能し、スレーブと指定された場合でも FS 信号を生成するためです。***

29.13.4 コーデックノットレディ（CNRDY AC'97）

SAI オーディオブロックが AC'97 モードで動作するように設定されている場合にのみ SAI_xSR レジスタの CNRDY フラグが関係します（SAI_xCR1 レジスタの PRTCFG[1:0] ビット = 10）。SAI_xIM レジスタの CNRDYIE ビットがセットされている場合、CNRDY フラグがセットされたとき、割り込みが生成されます。

AC'97 オーディオフレームのタグ 0（スロット 0）の受信中にコーデックが通信の準備ができていないとき、このフラグがアサートされます。この場合、コーデックが動作可能であることをタグ 0 が示すまではコーデックは動作可能状態にはないため、FIFO に自動的に保存されるデータはありません。コーデックが動作可能状態になると、SAI_xSLOTR レジスタで指定されたすべてのアクティブスロットがキャプチャされます。

このフラグをクリアするには、SAI_xCLRFR レジスタの CCNRDY ビットをセットする必要があります。

29.13.5 マスタモードでの不正なクロック設定（NODIV = 0 の場合）

オーディオブロックがマスタであり（SAI_xCR1 レジスタで MODE[1] = 0）、かつ SAI_xCR1 の NODIV ビットがクリアされると、SAI_xCR1 レジスタの SAIxEN ビットがセットされたときに、SAI_xFRCR の FRL[7:0] ビットに正しい値が設定されていない場合、WCKCFG フラグがセットされます。これは次の規則に従うためです：

$$(\mathrm{FRL}[7,0]) + 1 = 2^{n}$$

ここで、n の範囲は 3 から 8 です。

ビット WCKCFGIE がセットされている場合、SAI_xSR レジスタで WCKCFG フラグがセットされると、割り込みが生成されます。このフラグをクリアするには、SAI_xCLRFR レジスタの CWCKCFG ビットをセットします。

WCKCFG ビットがセットされると、オーディオブロックが自動的に無効化され、ハードウェアによって SAI_xCR1 レジスタの SAIxEN ビットがクリアされます。

上の式は、オーディオ音やアクイジションの品質を保証するため 50 % のデューティサイクルビットクロックを生成しつつ、オーディオフレームにおけるビットクロック当たりの MCLK 数が偶数であることを保証するよう意図したものです。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

29.14 割り込みソース

表 に示すように、SAI には利用可能な 7 つの割り込みソースがあります。

表 130. 割り込みソース

割り込みソース	割り込みグループ	オーディオブロックモード	割り込みイネーブル	割り込みクリア
FREQ	FREQ	マスタまたはスレーブ レシーバまたはトランスミッタ	SAI_xIM レジスタの FREQIE	次の設定に依存： - FIFO 閾値設定（SAI_CR2 の FLTH ビット） - 通信方向、トランスミッタまたはレシーバ 詳細は、内部 FIFO のセクションを参照してください。
OVRUDR	ERROR	マスタまたはスレーブ レシーバまたはトランスミッタ	SAI_xIM レジスタの OVRUDRIE	SAI_xCLRFR レジスタで COVRUDR = 1
AFSDET	ERROR	スレーブ （AC'97 モードでは使用しません）	SAI_xIM レジスタの AFSDETIE	SAI_xCLRFR レジスタで CAFSDET = 1
LFSDET	ERROR	スレーブ （AC'97 モードでは使用しません）	SAI_xIM レジスタの LFSDETIE	SAI_xCLRFR レジスタで CLFSDET = 1
CNRDY	ERROR	スレーブ （AC'97 モードの場合のみ）	SAI_xIM レジスタの CNRDYIE	SAI_xCLRFR レジスタで CCNRDY = 1
MUTEDET	MUTE	マスタまたはスレーブ 受信モード専用	SAI_xIM レジスタの MUTEDETIE	SAI_xCLRFR レジスタで CMUTEDET = 1
WCKCFG	ERROR	マスタ、SAI_xCR1 レジスタで NODIV = 0 の場合	SAI_xIM レジスタの WCKCFGIE	SAI_xCLRFR レジスタで CWCKCFG = 1

割り込みが発生したときに従う SAI 設定ステップを以下に示します。

1. SAI 割り込みを無効化します。
2. SAI を設定します。
3. SAI 割り込みソースを設定します。
4. SAI を有効化します。

29.15 SAI の無効化

SAI_xCR1 レジスタの SAIxEN ビットをクリアすることによって、SAI 内のオーディオブロックをいつでも無効化することができます。既に開始されているすべてのフレームが自動的に完了した後に、SAI が全停止します。現在のオーディオフレーム転送の最後に SAI が完全にオフするまで、SAI_xCR1 レジスタの SAIxEN ビットはハイを保持します。

他の SAI と同期している SAI 内にオーディオブロックがある場合、マスタになっている SAI を先に無効化する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

29.16 SAI DMA インタフェース

CPU を開放し、バスの帯域幅を最適化するため、各 SAI オーディオブロックには SAI_xDR レジスタ（内部 FIFO へのアクセス用）に対して読み書きを行うための独立した DMA インタフェースを搭載しています。オーディオブロック毎に 1 つの DMA チャネルがあり、基本 DMA リクエスト／確認応答プロトコルに従います。

DMA インタフェースを使った転送を行うようにオーディオブロックを設定するには、SAI_xCR1 レジスタの DMAEN ビットをセットします。DMA リクエストは、FIFO 閾値レベルに応じて FIFO コントローラによって直接管理されます（詳細は、内部 FIFO のセクションを参照してください）。DMA 方向は、SAI オーディオブロック設定と次の様に関連付けされています。

- オーディオブロックがトランスミッタの場合、オーディオブロックの FIFO コントローラが DMA リクエストを出力して SAI_xDR レジスタに書き込まれたデータを FIFO にロードします。
- オーディオブロックがレシーバの場合、DMA リクエストは SAI_xDR レジスタからの読み出し動作に関わります。

DMA を使用する際に従うべき SAI 設定ステップを次に示します。

1. SAI と FIFO 閾値レベルを設定します（DMA リクエストを開始するタイミングを指定するため）
2. SAI DMA チャネルを設定します
3. DMA を有効化します
4. SAI を有効化します

注： ***SAI ブロックを設定する前に、SAI DMA チャンネルを無効化する必要があります。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

29.17 SAI レジスタ

29.17.1 SAI x 設定レジスタ 1（SAI_xCR1）ここで x は A または B

アドレスオフセット：ブロック A：0x004

アドレスオフセット：ブロック B：0x024

リセット値：0x0000 0040

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み								MCKDIV[3:0]				NODIV	予約済み	DMAEN	SAIxEN
								rw	rw	rw	rw	rw		rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み		Out DRIV	MONO	SYNCEN[1:0]		CKSTR	LSB FIRST	DS[2:0]			予約済み	PRTCFG[1:0]		MODE[1:0]	
		rw	rw	rw	rw	rw	rw	rw	rw	rw		rw	rw	rw	rw

ビット 31:24 予約済み、常に 0 が読み出されます。

ビット 23:20 **MCKDIV[3:0]**：マスタクロック分周器。これらのビットは、ソフトウェアによってセット／クリアされます。

0000：分周比 1 のマスタクロック入力。

その他の場合、マスタクロック周波数は次式で計算されます。

MCLK_x = SAI_CK_x / （MCKDIV[3:0] * 2）

オーディオブロックがスレーブの場合、これらのビットに意味はありません。

オーディオブロックを無効化した場合、これらのビットを設定する必要があります。

ビット 19 **NODIV**：分周器なし。このビットは、ソフトウェアによってセット／クリアします。

0：マスタクロック分周器を有効化

1：クロックジェネレータで分周器を不使用（この場合、マスタクロック分周器ビットは無効）

ビット 18 予約済み、常に 0 として読み出されます。

ビット 17 **DMAEN**：DMA イネーブル。このビットは、ソフトウェアによってセット／クリアします。

0：DMA を無効化します。

1：DMA を有効化します。

注： オーディオブロックはリセット後にトランスミッタになるため（デフォルト設定）、受信モードでは MODE ビットを設定した後に、DMAEN ビットを設定して DMA リクエストを回避する必要があります。

ビット 16 **SAIxEN**：オーディオブロックイネーブル。ここで x は A または B です。このビットはソフトウェアでセットされます。ソフトウェアで無効化した後（このビットにローを書き込む）、ハードウェアによってこのビットはクリアされます。オーディオは完全に無効化されます（現在のフレームの終了を待ちます）。

0：オーディオブロックを無効化します。

1：オーディオブロックを有効化します：書き込み動作時にこのビットが 0 である場合にのみ、このビットをセットすることができます（つまり SAI を完全に無効化した後に再度有効化することを意味します）。

このビットを使って、オーディオブロックの状態を制御することができます。オーディオフレームの途中で無効化した場合、処理中の転送は完了し、このオーディオフレーム転送の最後でこのセル全体が完全に無効化されます。

注： SAIx ブロックをマスタモードに設定した場合、SAIxEN ビットをセットする前に SAI の入力にクロックが存在する必要があります。

ビット 15:14 予約済み、常に 0 として読み出されます。

ビット 13 **OUTDRIV**：出力駆動。このビットは、ソフトウェアによってセット／クリアします。

0：SAIEN がセットされたときオーディオブロック出力が駆動されます。

1：このビットをセットした直後にオーディオブロック出力が駆動されます。

注： このビットは、オーディオブロックを有効化する前で、かつオーディオブロックを設定した後にセットする必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 12 **MONO**：モノラルモード。このビットは、ソフトウェアによってセット／クリアします。
0：ステレオモード
1：モノラルモード
このビットはスロット数が 2 のときにのみ意味を持ちます。
モノラルモードを選択した場合、オーディオブロックがトランスミッタのとき、スロット 0 のデータがスロット 1 に複製されます。受信モードでは、スロット 1 は破棄され、スロット 0 から受け取ったデータのみが保存されます。
詳細については、*セクション 29.12.2* を参照してください。

ビット 11:10 **SYNCEN[1:0]：**同期イネーブル。このビットは、ソフトウェアによってセット／クリアします。
00：オーディオブロックは非同期になります。
01：オーディオブロックは他の内部オーディオブロックと同期します。この場合、オーディオブロックはスレーブモードに設定する必要があります。
10：予約済み。
11：未使用
オーディオブロックを無効化した場合、これらのビットを設定する必要があります。

ビット 9 **CKSTR：**クロックストローブエッジ。このビットは、ソフトウェアによってセット／クリアします。
0：データストローブエッジは SCK の立ち下がりエッジです
1：データストローブエッジは SCK の立ち上がりエッジです。
オーディオブロックを無効化した場合、このビットを設定する必要があります。

ビット 8 **LSBFIRST：**LSB ファースト。このビットは、ソフトウェアによってセット／クリアします。
0：データは MSB 先頭で転送されます
1：データは LSB 先頭で転送されます
オーディオブロックを無効化した場合、このビットを設定する必要があります。
AC’97 では、データは MSB 先頭で転送されるため、このビットは AC’97 オーディオプロトコルでは意味を持ちません。

ビット 7:5 **DS[2:0]：**データサイズ。これらのビットは、ソフトウェアによってセット／クリアされます。
000：未使用
001：未使用
010：8 ビット
011：10 ビット
100：16 ビット
101：20 ビット
110：24 ビット
111：32 ビット
コンパンディングモードを選択した場合（COMP[1:0] ビット）、データサイズはアルゴリズム自体によって 8 ビットモードに固定されているため、これら DS[1:0] は無視されます。
オーディオブロックを無効化した場合、これらのビットを設定する必要があります。

注： ***AC’97 モードを選択した場合、使用可能なデータサイズは 16 ビットまたは 20 ビットのみであり、その他の場合、SAI の動作は保証されません。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 4 予約済み、常に 0 として読み出されます。

ビット 3:2 **PRTCFG[1:0]**：プロトコル設定。これらのビットは、ソフトウェアによってセット／クリアされます。

00：フリープロトコル
01：未使用
10：AC'97 プロトコル
11：未使用
フリープロトコルを選択すると、オーディオブロックの強力な設定機能を使用し、大部分の設定レジスタビットとフレーム設定レジスタを設定して、特定のオーディオプロトコル（例えば、I2S、LSB/MSB 詰め、TDM、PCM/DSP）を処理することができます。
オーディオブロックを無効化した場合、これらのビットを設定する必要があります。

ビット 1:0 **MODE[1:0]**：オーディオブロックモード。これらのビットは、ソフトウェアによってセット／クリアされます。

00：マスタトランスミッタ
01：マスタレシーバ
10：スレーブトランスミッタ
11：スレーブレシーバ
オーディオブロックを無効化した場合、これらのビットを設定する必要があります。

注： マスタトランスミッタモードでは、オーディオブロックが FS とクロックの生成を開始します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

29.17.2 SAI x設定レジスタ 2（SAI_xCR2）ここで x は A または B

アドレスオフセット：ブロック A：0x008

アドレスオフセット：ブロック B：0x028

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
COMP[1:0]		CPL	MUTECNT[5:0]						MUTE VAL	MUTE	TRIS	FFLUS	FTH		
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:16 予約済み、常に 0 として読み出されます。

ビット 15:14 **COMP[1:0]**：コンパンディングモード。これらのビットは、ソフトウェアによってセット／クリアされます。

00：コンパンディングアルゴリズムなし

01：予約済み

10：μ-Law アルゴリズム

11：A-Law アルゴリズム

μ-Law と A-Law(log) は CCITT G.711 勧告の一部であり、使用される補数のタイプは *ComPLement ビット*によって決まります。

データ伸張かデータ圧縮かは、MODE[0] ビットの状態で決まります。

オーディオブロックがトランスミッタとして設定された場合、データ圧縮が適用されます。

オーディオブロックがレシーバとして設定された場合、自動的にデータ伸張が適用されます。

詳細については、*セクション 29.12.3* を参照してください。

注：　コンパンディングモードは、TDM が選択された場合にのみ適用されます。

ビット 13 **CPL**：補数ビット。このビットは、ソフトウェアによってセット／クリアします。

このビットにより、コンパンディングモードに使用される補数のタイプを指定します。

0：1 の補数表現。

1：2 の補数表現。

注：　コンパンディングモードがμ-Law アルゴリズムまたは A-Law アルゴリズムの場合にのみ、このビットは有効です。

ビット 12:7 **MUTECNT[5:0]**：ミュートカウンタ。これらのビットは、ソフトウェアによってセット／クリアされます。

これらのビットは受信モードでのみ使用されます。

これらのビットに設定された値は、受信で検出された連続ミュートフレーム数と比較されます。ミュートフレーム数がこの値と一致すると、MUTEDET フラグがセットされ、MUTEDETIE ビットがセットされている場合、割り込みが生成されます。

詳細については、*セクション 29.12.1* を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 6 **MUTEVAL**：ミュート値。このビットはソフトウェアによってセット／クリアされます。このビットを書き込んだ後にオーディオブロック（SAIxEN）を有効化する必要があります。

0：ミュートモード時にビット値 0 を送信します。

1：ミュートモード時に最後の値を送信します。

オーディオブロックがトランスミッタであり、スロット数が 2 以下で、かつ MUTE ビットがセットされている場合にのみ、このビットは意味を持ちます。

これより多くのスロットが指定された場合、ミュートモードでの送信時に送信されるビット値は、この MUTEVAL ビットの値とは無関係に 0 になります。

スロット数が 2 以下で MUTEVAL = 1 の場合、送信される各スロットのミュート値は、前のフレームで送信したものと同じになります。

詳細については、*セクション 29.12.1* を参照してください。

ビット 5 **MUTE**：ミュート。このビットは、ソフトウェアによってセット／クリアします。

0：ミュートモードではありません。

1：ミュートモードは有効です。

オーディオブロックがトランスミッタの場合にのみ、このビットは意味を持ちます。スロット数が 2 以下の場合、ミュート値は MUTEVAL 値に関連付けられますが、スロット数が 2 より大きい場合、ミュート値は 0 になります。

詳細については、*セクション 29.12.1* を参照してください。

ビット 4 **TRIS**：データラインのトライステート管理。このビットは、ソフトウェアによってセット／クリアします。

0：スロットがインアクティブのときでも、SD 出力ラインは SAI によって駆動されます。

1：次のスロットがインアクティブの場合、最終アクティブスロットの最終データビットの終わりで SD 出力ラインを開放（HI-Z）します。

オーディオブロックがトランスミッタとして設定されている場合にのみ、このビットは意味を持ちます。

このビットは SAI が無効なときに設定してください。

詳細については、*セクション 29.12.4* を参照してください。

ビット 3 **FFLUSH**：FIFO の一掃。このビットは、ソフトウェアによってセットされます。読み出すと常にローが返されます。

0：FIFO を一掃しません。

1：FIFO を一掃します。

このビットに 1 を書き込むと、FIFO の一掃が行われます。すべての内部 FIFO ポインタ（読み出しと書き込み）がクリアされます。

この場合、FIFO 内に残るデータは失われます（送信または受信データ以上のものは失われません）。

このビットは SAI が無効なときに設定してください。

SAI を一掃する前に、DMA ストリーム／割り込みを無効化する必要があります。

ビット 2:0 **FTH**：FIFO 閾値。このビットは、ソフトウェアによってセット／クリアします。

000：FIFO は空です

001：FIFO の ¼

010：FIFO の ½

011：FIFO の ¾

100：FIFO はフルです

101：予約済み

110：予約済み

111：予約済み

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

29.17.3 SAI x フレーム設定レジスタ（SAI_XFRCR）ここで x は A または B

アドレスオフセット：ブロック A：0x00C

アドレスオフセット：ブロック B：0x02C

リセット値：0x0000 0007

注：　このビットは、AC'97 オーディオプロトコルでは意味を持ちません。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み													FSOFF	FSPOL	FSDEF
													rw	rw	r

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み	FSALL[6:0]							FRL[7:0]							
	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:19　予約済み、常に 0 として読み出されます。

ビット 18　**FSOFF**：フレーム同期オフセット。このビットは、ソフトウェアによってセット／クリアします。
0：FS はスロット 0 の先頭ビットでアサートされます。
1：FS はスロット 0 の先頭ビットの 1 ビット前でアサートされます。
このビットは AC'97 オーディオブロック設定では意味を持たず、使用されません。
オーディオブロックを無効化した場合、このビットを設定する必要があります。

ビット 17　**FSPOL**：フレーム同期極性。このビットは、ソフトウェアによってセット／クリアされます。
0：FS はアクティブロー（立ち下がりエッジ）になります
1：FS はアクティブハイ（立ち上がりエッジ）になります
このビットを使って、FS 信号上のフレーム開始のレベルを設定します。
このビットは AC'97 オーディオブロック設定では意味を持たず、使用されません。
オーディオブロックを無効化した場合、このビットを設定する必要があります。

ビット 16　**FSDEF**：フレーム同期の定義。このビットは、ソフトウェアによってセット／クリアします。
0：FS 信号がフレーム開始信号になります
1：FS 信号がフレーム開始信号 + チャネルサイド識別子になります
このビットをセットした場合、SAI_ASLOTR レジスタで指定されるスロット数は偶数である必要があります。これは、このスロット数の半分を左チャネルに、残りのスロットを右チャンネルに、それぞれ割り当てることを意味します（例えば、このビットは、I2S プロトコルまたは MSB/LSB 詰めプロトコルなどに対応して設定する必要があります）。
このビットは AC'97 オーディオブロック設定では意味を持たず、使用されません。
オーディオブロックを無効化した場合、このビットを設定する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 15 予約済み、常に 0 として読み出されます。

ビット 14:8 **FSALL[6:0]**：フレーム同期アクティブレベル長。これらのビットは、ソフトウェアによってセット／クリアされます。

これらのビットに設定された値により、オーディオフレームにおける FS 信号のアクティブレベルの長さを、ビットクロック数（SCK）+ 1（FSALL[6:0] + 1）で、指定します。

これらのビットは AC'97 オーディオブロック設定では意味を持たず、使用されません。

オーディオブロックを無効化した場合、これらのビットを設定する必要があります。

ビット 7:0 **FRL[7:0]**：フレーム長。これらのビットは、ソフトウェアによってセット／クリアされます。

これらのビットにより、オーディオフレーム長を指定します。厳密に言うと、これらのビットにより、各オーディオフレームに対する SCK クロック数を指定します。

フレーム内のビット数は FRL[7:0] + 1 に等しくなります。

オーディオフレームで転送する最小ビット数は 8 でなければならず、その他の場合、オーディオブロックの動作は予測できません。これは、データサイズが 8 ビットで、SAI_ASLOTR レジスタの NBSLOT[4:0] でスロット 0 が 1 つだけ指定されている場合の例です（NBSLOT[3:0] = 0000 ）。

マスタモードでは、マスタクロック MCLK_x ピンが出力に設定された場合、フレーム長を 2 の累乗（8 から 256）に調整し、ビットクロック当たりの MCLK パルスを整数個となるようにオーディオフレームを維持して、デコーダ内の外部 DAC/ADC が正しく動作するようにする必要があります。

フレーム長は偶数である必要があります。

これらのビットは AC'97 オーディオブロック設定では意味を持たず、使用されません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

29.17.4 SAI x スロットレジスタ（SAI_xSLOTR）ここで x は A または B

アドレスオフセット：ブロック A：0x010

アドレスオフセット：ブロック B：0x030

リセット値：0x0000 0000

注：　このビットは、AC'97 オーディオプロトコルでは意味を持ちません。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
SLOTEN[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み				NBSLOT[3:0]				SLOTSZ[1:0]		予約済み	FBOFF[4:0]				
				rw	rw	rw	rw	rw	rw		rw	rw	rw	rw	rw

ビット 31:16 **SLOTEN[15:0]**：スロットイネーブル。これらのビットは、ソフトウェアによってセット／クリアされます。
SLOTEN ビットの各ビットにより 0 から 15 のスロット位置を指定します（最大 16 スロット）。
0：インアクティブスロット。
1：アクティブスロット。
オーディオブロックを無効化した場合、これらのビットを設定する必要があります。
これらのビットは、AC'97 モードでは無視されます。

ビット 15:12 予約済み、常に 0 として読み出されます。

ビット 11:8 **NBSLOT[3:0]**：オーディオフレーム内スロット数。これらのビットは、ソフトウェアによってセット／クリアされます。
これらのビットレジスタに設定された値は、オーディオフレーム内のスロット数 + 1 を表します（インアクティブスロット数を含む）。最大スロット数は 16 です。
SAI_AFRCR レジスタの FSDEF ビットがセットされている場合、スロット数は偶数である必要があります。
このサイズがデータサイズより大きい場合、SAI_xCR1 レジスタの TRIS ビットがクリアされていると、残りのビットは 0 に固定されます。それ以外では、次のスロットがアクティブであれば、残りのビットは 0 に固定されます。あるいは、次のスロットがインアクティブで、かつビット TRIS = 1 であれば、SD ラインが HI-Z になります。
オーディオブロックを無効化した場合、これらのビットを設定する必要があります。
これらのビットは、AC'97 モードでは無視されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 7:6 **SLOTSZ[1:0]**：スロットサイズ

このビットは、ソフトウェアによってセット／クリアされます。

00：スロットサイズをデータサイズ（SAI_ACR1 レジスタの DS[3:0] で指定）に一致させます。

01：16 ビット

10：32 ビット

11：予約済み

スロットサイズは、データサイズ以上である必要があります。この条件が満たされない場合、SAI の動作は不確定となります。

オーディオブロックを無効化した場合、これらのビットを設定する必要があります。

これらのビットは、AC'97 モードでは無視されます。

ビット 1 予約済み、常に 0 として読み出されます。

ビット 4:0 **FBOFF[4:0]**：先頭ビットオフセット

これらのビットは、ソフトウェアによってセット／クリアされます。

これらのビットに設定された値は、スロット内転送データの先頭ビット位置を表します。これはオフセット値となっています。このオフセットフェーズの間、送信モードのデータラインへは 0 値が送信されます。受信モードでは、オフセットフェーズ中に受信されたビットは無視されます。

オーディオブロックを無効化した場合、これらのビットを設定する必要があります。

これらのビットは、AC'97 モードでは無視されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

29.17.5 SAI x 割り込みマスクレジスタ 2（SAI_xIM）ここで x は A または B

アドレスオフセット：ブロック A：0x014

アドレスオフセット：ブロック B：0x034

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み									LFSDET IE	AFSDET IE	CNRDY IE	FREQ IE	WCKCFG IE	MUTE DETIE	OVRUDR IE
									rw	rw	rw	rw	rw	rw	rw

ビット 31:7 予約済み、常に 0 として読み出されます。

ビット 6 **LFSDETIE**：レイトフレーム同期検出割り込みイネーブル。このビットは、ソフトウェアによってセット／クリアします。

0：割り込みは無効です

1：割り込みは有効です

このビットをセットすると、SAI_ASR レジスタの LFSDET ビットがセットされている場合、割り込みが生成されます。

このビットは、AC'97 モードでは意味を持ちません。このビットは、オーディオブロックがマスタの場合も意味を持ちません。

ビット 5 **AFSDETIE**：予測フレーム同期検出割り込みイネーブル。このビットは、ソフトウェアによってセット／クリアします。

0：割り込みは無効です

1：割り込みは有効です

このビットをセットすると、SAI_ASR レジスタの AFSDET ビットがセットされている場合、割り込みが生成されます。

このビットは、AC'97 モードでは意味を持ちません。このビットは、オーディオブロックがマスタの場合も意味を持ちません。

ビット 4 **CNRDYIE**：コーデックノットレディ割り込みイネーブル（AC'97）。このビットは、ソフトウェアによってセット／クリアします。

0：割り込みは無効です

1：割り込みは有効です

割り込みを有効化すると、オーディオブロックは、AC'97 フレームのスロット 0（tag0）でこのラインに接続されているコーデックが動作可能状態（レディ）であるか否かを検出します。動作可能状態でない場合、SAI_ASR レジスタの CNRDY フラグがセットされ、割り込みが生成されます。

このビットは、AC97 モードが選択され（PRTCFG[1:0] ビット）、かつオーディオブロックがレシーバの場合にのみ意味を持ちます。

ビット 3 **FREQIE**：FIFO リクエスト割り込みイネーブル。このビットは、ソフトウェアによってセット／クリアします。

0：割り込みは無効です

1：割り込みは有効です

このビットをセットすると、SAI_ASR レジスタの FREQ ビットがセットされている場合、割り込みが生成されます。

受信モードでは、オーディオブロックがトランスミッタであるため（デフォルト設定）、MODE ビットを設定した後に FREQIE ビットを設定して、寄生割り込みを回避する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 2 **WCKCFGIE**:不正クロック設定割り込みイネーブル。このビットは、ソフトウェアによってセット／クリアします。

0：割り込みは無効です

1：割り込みは有効です

オーディオブロックがマスタとして設定され（SAI_ACR1 レジスタで MODE[1] = 0）、かつ SAI_xCR1 レジスタで NODIV ビット = 0 の場合にのみ、このビットが考慮されます。

SAI_ASR レジスタの WCKCFG フラグがセットされている場合、割り込みが生成されます。

注： TDM モードでのみこのビットが使用され、他のモードでは意味を持ちません。

ビット 1 **MUTEDETIE**：ミュート検出割り込みイネーブル。このビットは、ソフトウェアによってセット／クリアします。

0：割り込みは無効です

1：割り込みは有効です

このビットをセットすると、SAI_ASR レジスタの MUTEDET ビットがセットされている場合、割り込みが生成されます。

オーディオブロックが受信モードに設定されている場合にのみ、このビットは意味を持ちます。

ビット 0 **OVRUDRIE**：オーバーラン/アンダーラン割り込みイネーブル。このビットは、ソフトウェアによってセット／クリアします。

0：割り込みは無効です

1：割り込みは有効です

このビットをセットすると、SAI_ASR レジスタの OVRUDR ビットがセットされている場合、割り込みが生成されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

29.17.6 SAI x ステータスレジスタ（SAI_xSR）ここで x は A または B

アドレスオフセット：ブロック A：0x018

アドレスオフセット：ブロック B：0x038

リセット値：0x0000 0008

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み													FLTH		
													r	r	r

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み									LFSDET	AFSDET	CNRDY	FREQ	WCKCFG	MUTE DET	OVRUDR
									r	r	r	r	r	r	r

ビット 31:19 予約済み、常に 0 として読み出されます。

ビット 18:16 **FLTH**：FIFO レベル閾値。このビットは読み出し専用です。FIFO レベル閾値フラグはハードウェアにより管理され、その設定は SAI ブロックの設定（送信モードまたは受信モード）によって決まります。

SAI ブロックをトランスミッタとして設定した場合：

000：FIFO が空

001：FIFO ≦ ¼ ただし空ではない

010：¼ < FIFO ≦ ½

011：½ < FIFO ≦ ¾

100：¾ < FIFO ただしフルではない

101：FIFO がフル

SAI ブロックをレシーバとして設定した場合：

000：FIFO が空

001：FIFO < ¼ ただし空ではない

010：¼ ≦ FIFO < ½

011：½ ≦ FIFO < ¾

100：¾ ≦ FIFO ただしフルではない

101：FIFO がフル

ビット 15:7 予約済み、常に 0 として読み出されます。

ビット 6 **LFSDET**：レイトフレーム同期検出。このビットは読み出し専用です。

0：エラーなし。

1：フレーム同期信号が正しいタイミングで現れない。

オーディオブロックがスレーブモードに設定された場合のみ、このフラグはセットされることができます。

このフラグは AC'97 モードでは使用されません。

SAI_xIM レジスタの LFSDETIE ビットがセットされている場合、割り込みが生成されます。

ソフトウェアによって SAI_xCLRFR レジスタの CLFSDET ビットをセットすると、このフラグはクリアされます。

ビット 5 **AFSDET**：予測フレーム同期検出。このビットは読み出し専用です。

0：エラーなし。

1：予想より前にフレーム同期信号が検出されました。

オーディオブロックがスレーブモードに設定された場合のみ、このフラグはセットされることができます。

このフラグは AC'97 では使用されません。

SAI_xIM レジスタの AFSDETIE ビットがセットされている場合、割り込みが生成されます。

ソフトウェアによって SAI_xCLRFR レジスタの CAFSDET ビットをセットすると、このフラグはクリアされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 4 **CNRDY**：コーデックノットレディ。このビットは読み出し専用です。

0：外部 AC'97 コーデックが動作可能状態です

1：外部 AC'97 コーデックが動作可能状態ではありません

SAI_xCR1 レジスタで AC'97 オーディオプロトコルが選択され、かつ受信モードに設定された場合にのみ、このビットが使用されます。

SAI_xIM レジスタの CNRDYIE ビットがセットされている場合、割り込みが生成されます。

ソフトウェアによって SAI_xCLRFR レジスタの CCNRDY ビットをセットすると、このフラグはクリアされます。

ビット 3 **FREQ**：FIFO リクエスト。このビットは読み出し専用です。

0：FIFO リクエストはありません。

1：SAI_xDR に対する読み出しまたは書き込みの FIFO リクエストがあります。

このリクエストはオーディオブロック設定によって決まります。

送信に設定された場合、FIFO リクエストは SAI_xDR 内の書き込みリクエスト動作に関わります。

受信に設定された場合、FIFO リクエストは SAI_xDR 内の読み出しリクエスト動作に関わります。

SAI_xIM レジスタの FREQIE ビットがセットされている場合、このフラグにより割り込みが生成されます。

ビット 2 **WCKCFG**：不正クロック設定フラグ。このビットは読み出し専用です。

0：クロック設定は正常です

1：クロック設定が *セクション 29.7* で規定するフレーム長仕様に関する規則に準拠していません（SAI_x FRCR レジスタの FRL[7:0] ビットの設定）

オーディオブロックがマスタであり（SAI_xCR1 レジスタで MODE[1] = 0）、かつ SAI_xCR1 レジスタで NODIV = 0 の場合にのみこのビットが使用されます。

SAI_xIM レジスタの WCKCFGIE ビットがセットされている場合、割り込みが生成されます。

ソフトウェアによって SAI_xCLRFR レジスタの CWCKCFG ビットをセットすると、このフラグはクリアされます。

ビット 1 **MUTEDET**：ミュート検出。このビットは読み出し専用です。

0：SD 入力ラインでミュートは検出されません

1：指定数の連続オーディオフレームに対して SD 入力ラインでミュート値が検出されました（0 値）

連続するオーディオフレームに対してオーディオフレームの各スロットで連続する 0 値が受信された場合、このフラグがセットされます（SAI_xCR2 レジスタの MUTECNT ビットをセット）。

SAI_xIM レジスタの MUTEDETIE ビットがセットされている場合、割り込みが生成されます。

ソフトウェアによって SAI_xCLRFR レジスタの CMUTEDET ビットをセットすると、このフラグはクリアされます。

ビット 0 **OVRUDR**：オーバーラン/アンダーラン。このビットは読み出し専用です。

0：オーバーラン/アンダーランエラーはありません。

1：オーバーラン/アンダーランエラーが検出されました。

オーバーラン状態は、オーディオブロックが受信に設定された場合にのみ発生します。

アンダーラン状態は、オーディオブロックが送信に設定された場合にのみ発生します。

SAI_xIM レジスタの OVRUDRIE ビットがセットされている場合、割り込みが生成されます。

ソフトウェアによって SAI_xCLRFR レジスタの COVRUDR ビットをセットすると、このフラグはクリアされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

29.17.7 SAI x クリアフラグレジスタ（SAI_xCLRFR）ここで x は A または B

アドレスオフセット：ブロック A：0x01C

アドレスオフセット：ブロック B：0x03C

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み									CLFSDET	CAFSDET	CCNRDY	予約済み	CWCKCFG	CMUTEDET	COVRUDR
									rw	rw	rw		rw	rw	rw

ビット 31:7 予約済み、常に 0 として読み出されます。

ビット 6 **CLFSDET**：レイトフレーム同期検出フラグクリア。このビットは書き込み専用です。
このビットに 1 を書き込むと、SAI_xSR レジスタの LFSDET フラグがクリアされます。
このフラグは AC'97 では使用されません。
このビットを読み出すと、常に 0 値が返されます。

ビット 5 **CAFSDET**：予測フレーム同期検出フラグクリア。このビットは書き込み専用です。
このビットに 1 を書き込むと、SAI_xSR レジスタの AFSDET フラグがクリアされます。
このフラグは AC'97 では使用されません。
このビットを読み出すと、常に 0 値が返されます。

ビット 4 **CCNRDY**：コーデックノットレディフラグクリア。このビットは書き込み専用です。
このビットに 1 を書き込むと、SAI_xSR レジスタの CNRDY フラグがクリアされます。
SAI_xCR1 レジスタで AC'97 オーディオプロトコルが選択された場合にのみ、このビットが使用されます。
このビットを読み出すと、常に 0 値が返されます。

ビット 3 予約済み、常に 0 として読み出されます。

ビット 2 **CWCKCFG**：不正クロック設定フラグクリア。このビットは書き込み専用です。
このビットに 1 を書き込むと、SAI_xSR レジスタの WCKCFG フラグがクリアされます。
オーディオブロックがマスタとして設定され（SAI_ACR1 レジスタで MODE[1] = 0）、かつ SAI_xCR1 レジスタで NODIV ビット = 0 の場合にのみ、このビットが使用されます。
このビットを読み出すと、常に 0 値が返されます。

ビット 1 **CMUTEDET**：ミュート検出フラグクリア。このビットは書き込み専用です。
このビットに 1 を書き込むと、SAI_xSR レジスタの MUTEDET フラグがクリアされます。
このビットを読み出すと、常に 0 値が返されます。

ビット 0 **COVRUDR**：オーバーラン/アンダーランクリア。このビットは書き込み専用です。
このビットに 1 を書き込むと、SAI_xSR レジスタの OVRUDR フラグがクリアされます。
このビットを読み出すと、常に 0 値が返されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

29.17.8 SAI x データレジスタ（SAI_xDR）ここで x は A または B

アドレスオフセット：ブロック A：0x020

アドレスオフセット：ブロック B：0x040

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DATA[31:16]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DATA[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0 **DATA[31:0]**：データ

FIFO がフルでない場合、このレジスタへ書き込むと、FIFO への書き込みが行われます。

FIFO が空でない場合、このレジスタを読み出すと、FIFO からの読み出しが行われます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

29.17.9 SAI レジスタマップ

次の表に SAI レジスタの一覧を示します。

表 131. SAI レジスタマップとリセット値

オフセット	レジスタとリセット値	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x0004 または 0x0024	SAI_xCR1	予約済み								MCJDIV[3:0]				NODIV	予約済み	DMAEN	SAIxEN	予約済み。		OUTDRI	MONO	SYNCEN[1:0]		CKSTR	LSBFIRST	DS[2:0]			予約済み	PRTCFG[1:0]		MODE[1:0]	
	リセット値									0	0	0	0	0		0	0			0	0	0	0	0	0	0	1	0		0	0	0	0
0x0008 または 0x0028	SAI_xCR2	予約済み																COMP[1:0]		CPL	MUTECN[5:0]						MUTE VAL	MUTE	TRIS	FFLUS	FTH		
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x000C または 0x002C	SAI_xFRCR	予約済み													FSOFF	FSPOL	FSDEF	予約済み		FSALL[6:0]							FRL[7:0]						
	リセット値														0	0	0		0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1
0x0010 または 0x0030	SAI_xSLOTR	SLOTEN[15:0]																予約済み				NBSLOT[3:0]				SLOTSZ[1:0]		予約済み	FBOFF[4:0]				
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			0	0	0	0	0	0	0	0		0	0	0	0	0
0x0014 または 0x0034	SAI_xIM	予約済み																									LFSDET	AFSDETIE	CNRDYIE	FREQIE	WCKCFG	MUTEDET	OVRUDRIE
	リセット値																										0	0	0	0	0	0	0
0x0018 または 0x0038	SAI_xSR	予約済み													FLVL[2:0]			予約済み									LFSDET	AFSDET	CNRDY	FREQ	WCKCFG	MUTEDET	OVRUDR
	リセット値														0	0	0										0	0	0	0	1	0	0
0x001C または 0x003C	SAI_xCLRFR	予約済み																									LFSDET	CAFSDET	CNRDY	予約済み	WCKCFG	MUTEDET	OVRUDR
	リセット値																										0	0	0		0	0	0
0x0020 または 0x0040	SAI_xDR	DATA[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

レジスタ境界アドレスについては、*表 2（64 ページ）*を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

30 USART（Universal synchronous asynchronous receiver transmitter）

このセクションは、特に指定がない限り、STM32F4xx ファミリ全体に適用されます。

30.1 USART の概要

USART（Universal Synchronous Asynchronous Receiver Transmitter）を使用すると、業界標準の NRZ 非同期シリアルデータフォーマットを必要とする外部機器と柔軟に全二重データ交換を行うことができますUSART は、フラクショナルボーレートジェネレータを使用して、非常に広範囲のボーレートを提供します。

USART は、同期式単方向通信と半二重単線通信をサポートします。また、LIN（Local Interconnection Network）、スマートカードプロトコルおよび IrDA（infrared data association）SIR ENDEC 仕様、およびモデム動作（CTS/RTS）もサポートします。マルチプロセッサ通信も可能です。

また、マルチバッファ設定用の DMA を使用して、高速データ通信が可能です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

30.2 USART の主な機能

- 全二重、非同期通信
- NRZ 標準フォーマット（マーク／スペース）
- 16 倍または 8 倍に設定可能なオーバーサンプリング方式によって、速度とクロックの柔軟な許容誤差を実現
- フラクショナルボーレートジェネレータシステム
  - 共通のプログラム可能な送信および受信ボーレート（最大 APB 周波数におけるボーレート値については、データシートを参照）。
- プログラミング可能なデータワード長：8 または 9 ビット
- 設定可能なストップビット：1 個または 2 個のストップビットをサポート
- LIN マスタの同期ブレーク送信機能と LIN スレーブのブレーク検出機能
  - USART が LIN 用にハードウェア設定されている場合、13 ビットのブレーク生成と 10／11 ビットのブレーク検出
- 同期送信用のトランスミッタクロック出力
- IrDA SIR エンコーダデコーダ
  - 通常モード用に 3／16 ビット持続時間のサポート
- スマートカードエミュレーション機能
  - スマートカードインタフェースは、ISO 7816-3 規格で定義された非同期プロトコルのスマートカードをサポート
  - スマートカード動作用に 0.5 個、1.5 個のストップビット
- 単線半二重通信
- DMA（Direct Memory Access）を使用した設定可能なマルチバッファ通信
  - 集中型 DMA を使用して、送受信バイトを専用 SRAM にバッファリング
- トランスミッタとレシーバ用に別個の有効ビット
- 転送検出フラグ：
  - 受信バッファフル
  - 送信バッファエンプティ
  - 送信終了フラグ
- パリティ制御：
  - パリティビットの送信
  - 受信したデータバイトのパリティ検査
- 4 種のエラー検出フラグ
  - オーバーランエラー
  - ノイズ検出
  - フレームエラー
  - パリティエラー
- 10 種の割込みソース（フラグ付き）
  - CTS の変化
  - LIN ブレーク検出
  - 送信データレジスタエンプティ
  - 送信完了
  - 受信データレジスタフル

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

  - アイドルラインの受信
  - オーバーランエラー
  - フレーミングエラー
  - ノイズエラー
  - パリティエラー
- マルチプロセッサ通信：アドレス不一致の場合、ミュートモードに遷移
- ミュートモードからのウェイクアップ（アイドルライン検出またはアドレスマーク検出による）
- 2 種のレシーバウェイクアップモード:アドレスビット（MSB、9 番目のビット）、アイドルライン

30.3 USART 機能の説明

インタフェースは、3 個のピンによって他のデバイスに外部接続されます（*図 296* を参照）。USART 双方向通信では、少なくとも受信データ入力（RX）と送信データ出力（TX）の 2 個のピンが必要です。

RX：受信データ入力はシリアルデータ入力です。データ復旧にはオーバーサンプリング技術が使用され、有効な入力データとノイズを区別しています。

TX：送信データ出力です。トランスミッタが無効なときは、出力ピンは入出力ポート設定に戻ります。トランスミッタが有効で、送信すべきデータがないとき、TX ピンはハイレベルになります。単線モードとスマートカードモードでは、この入出力を使用してデータを送受信します（USART レベルでは、データは続いて SW_RX で受信されます）。

通常の USART モードでは、フレームは以下の部分で構成され、これらのピンを通じてシリアルデータが送受信されます。

- 送受信前のアイドルライン
- スタートビット
- データワード（8 または 9 ビット）、LSB ファースト
- フレームの完了を示す 0.5 個、1 個、1.5 個、2 個のストップビット
- このインタフェースはフラクショナルボーレートジェネレータを使用します - 12 ビットの整数部と 4 ビットの小数部
- ステータスレジスタ（USART_SR）
- データレジスタ（USART_DR）
- ボーレートレジスタ（USART_BRR）- 12 ビットの整数部と 4 ビットの小数部
- ガードタイムレジスタ（USART_GTPR）- スマートカードモードの場合

各ビットの定義については、*セクション 30.6 : USART レジスタ (1017 ページ)* を参照してください。

同期モードでのインタフェースには次のピンが必要になります。

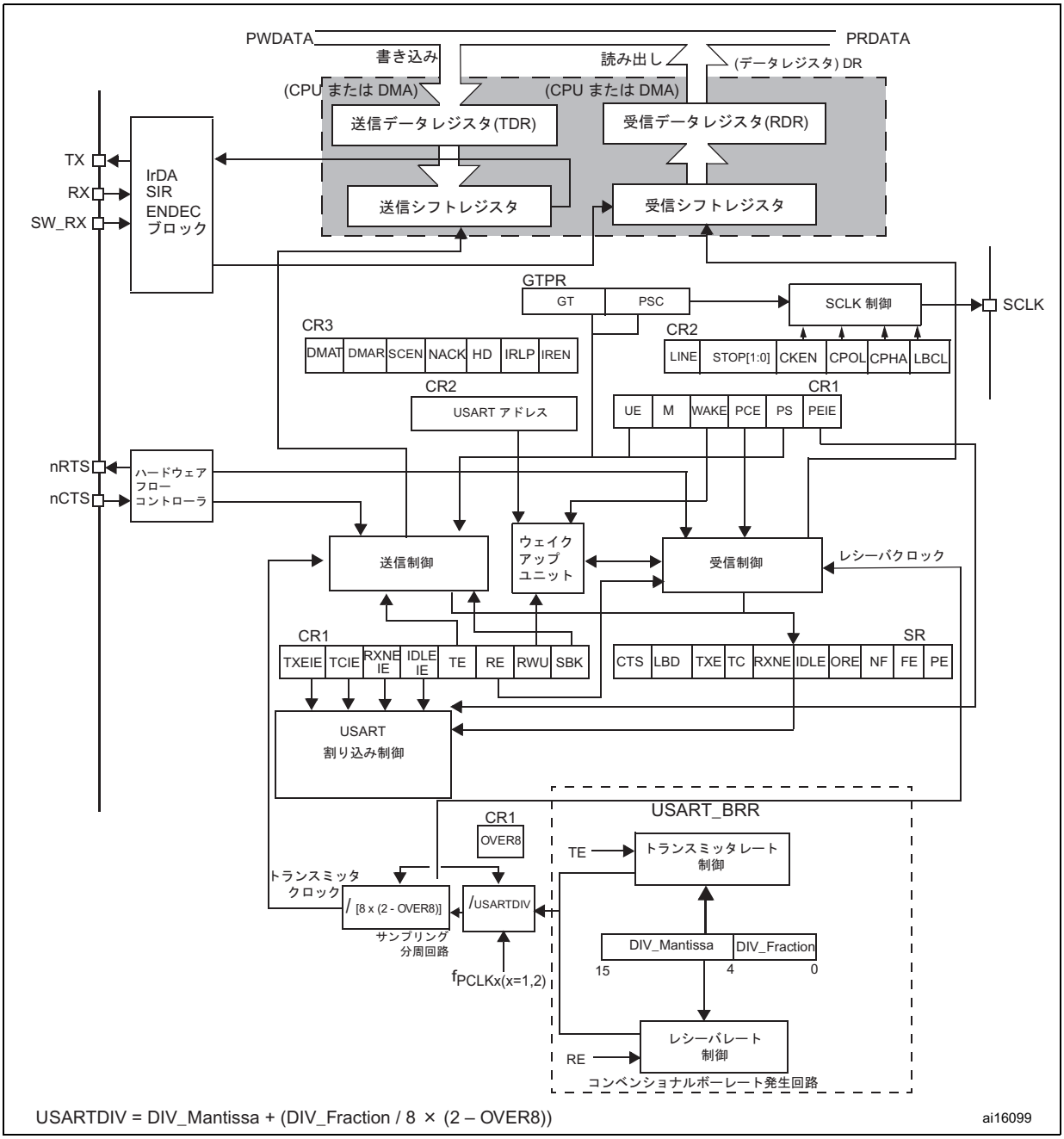
- **SCLK**：トランスミッタクロック出力。このピンは、SPI マスタモードに対応する同期送信用のトランスミッタデータクロックを出力します（スタートビットとストップビットのクロックパルスはなく、ソフトウェアオプションで最後のデータビットのクロックパルスを送信します）。これと並行して、RX でデータを同期受信できます。これを使用して、シフトレジスタを持つペリフェラル（例：LCD ドライバ）を制御できます。クロックの位相と極性は、ソフトウェアでプログラミングできます。スマートカードモードでは、SCLK はスマートカードへクロックを供給できます。

ハードウェアフロー制御モードでは次のピンが必要になります。

- **nCTS**：Clear To Send は、ハイレベルのとき、現在の転送の終わりにデータ送信をブロックします。
- nRTS：Request To Send は、ローレベルのとき、USART がデータを受信できることを示します。

この資料は、STMicroelectronics NV 並びにその子会社（以下 ST）が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 296. USART のブロック図



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

30.3.1 USART キャラクタの説明

ワード長は、USART_CR1 レジスタの M ビットをプログラミングすることによって、8 ビットまたは 9 ビットとして選択できます（*図 297* を参照）。

TX ピンは、スタートビットの処理中にはロー状態です。また、ストップビットの処理中にはハイ状態です。

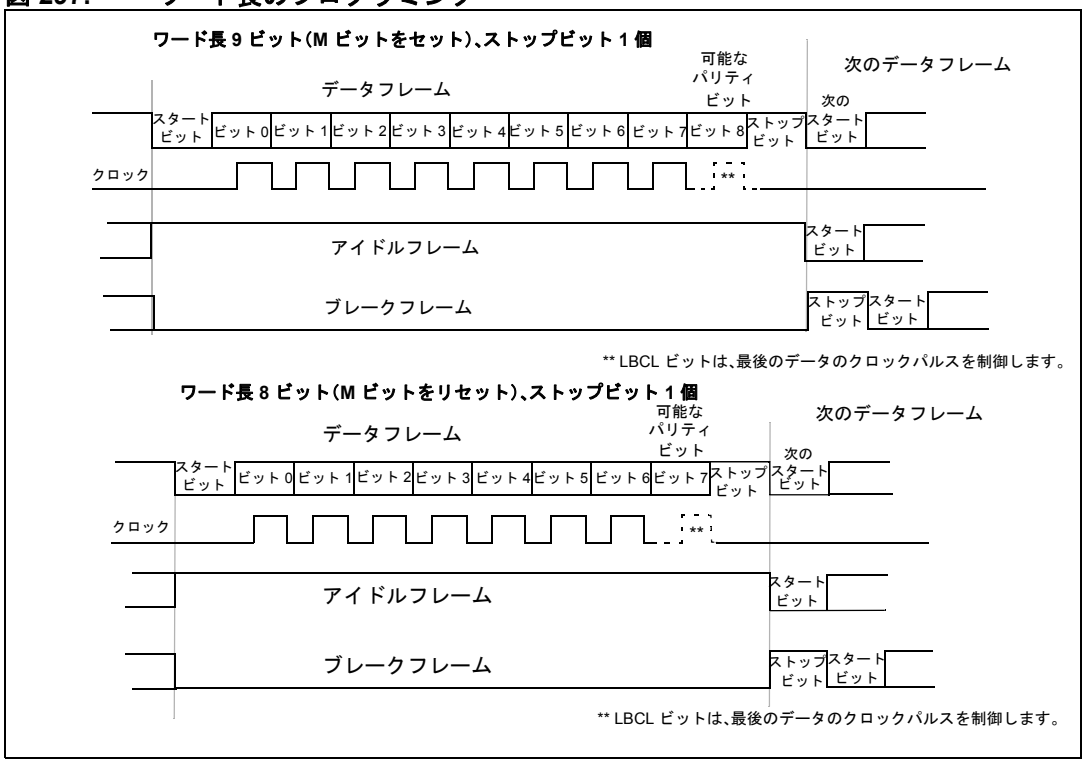
*アイドルキャラクタ*は、1 フレーム分の「1」であると解釈され、この後にデータが格納された次のフレームのスタートビットが続きます（「1」の数にはストップビットの数も含まれます）。

ブレークキャラクタは、フレーム周期中に「0」を受信することと解釈されます。トランスミッタは、ブレークフレームの終わりに 1 個または 2 個のストップビット（論理「1」ビット）を挿入して、スタートビットを承認します。

送信と受信は、共通のボーレートジェネレータによって駆動され、それぞれのクロックは、トランスミッタとレシーバの有効ビットがそれぞれセットされたときに生成されます。

各ブロックの詳細を次に示します。

図 297. ワード長のプログラミング



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

30.3.2 トランスミッタ

トランスミッタは、M ビットのステータスに応じて、8 または 9 ビットのデータワードを送信できます。送信有効ビット（TE）がセットされているとき、送信シフトレジスタ内のデータは TX ピンに出力され、対応するクロックパルスは SCLK ピンに出力されます。

キャラクタ送信

USART 送信時、データは LSB ファーストで TX ピンにシフトアウトされます。このモードでは、USART_DR レジスタは内部バスと送信シフトレジスタの間のバッファ（TDR）で構成されます（*図 296* を参照）。

各キャラクタの前には、スタートビット（1 ビット周期、論理レベルロー）があります。キャラクタは、設定可能な数のストップビットで終端されます。

USART では、0.5、1、1.5、および 2 個のストップビットがサポートされます。

注： ***データの送信中に TE ビットをリセットしないでください。送信中に TE ビットをリセットすると、ボーレートカウンタが凍結されるため、TX ピンのデータが破壊されます。送信中のデータは失われます。***

TE ビットが有効になると、アイドルフレームが送信されます。

設定可能なストップビット

各キャラクタとともに送信されるストップビットの数は、制御レジスタ 2 のビット 13、12 でプログラミングできます。

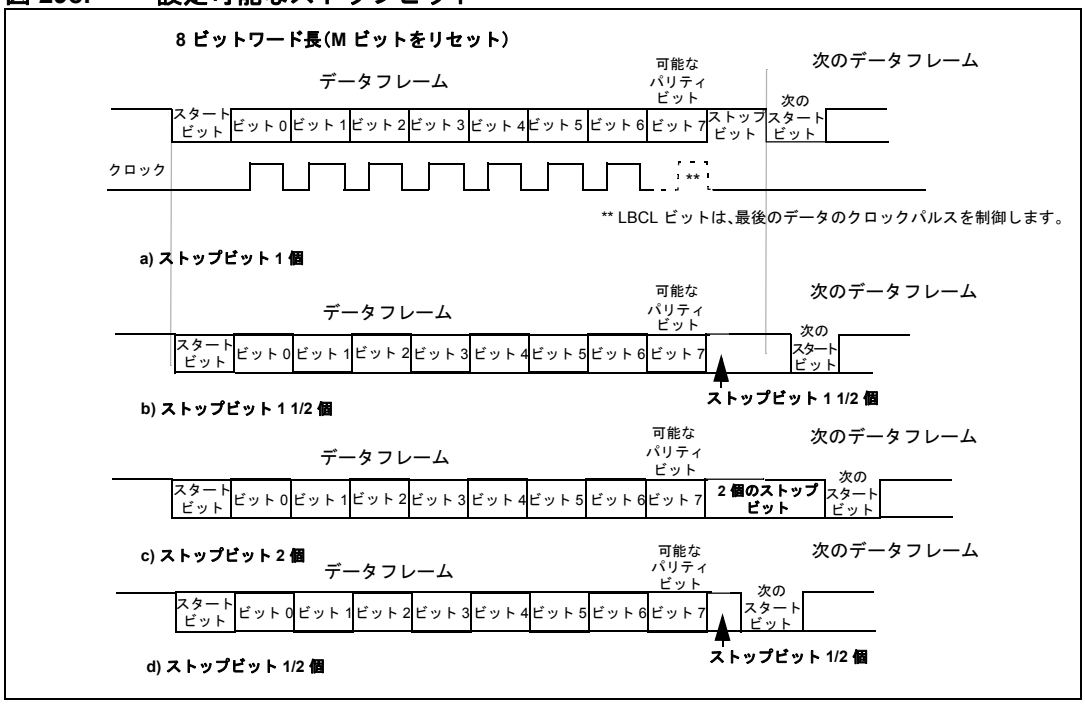
- ストップビット 1 個：ストップビット数のデフォルト値です。
- ストップビット 2 個：通常の USART モード、単線モード、およびモデムモードでサポートされます。
- ストップビット 0.5 個：スマートカードモードでのデータの受信に使用されます。
- ストップビット 1.5 個：スマートカードモードでのデータの送受信に使用されます。

アイドルフレームの送信にはストップビットが含まれます。

ブレーク送信では、10 個（m = 0 の場合）または 11 個（m = 1 の場合）のローレベルビットの後に、設定された数のストップビットが続きます。ローレベルビット 10／11 個を超える長いブレークを送信することはできません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 298. 設定可能なストップビット



手順：

1. USART_CR1 レジスタの UE ビットに 1 を書き込んで、USART を有効にします。
2. USART_CR1 の M ビットをプログラミングして、ワード長を定義します。
3. USART_CR2 レジスタでストップビットの数をプログラミングします。
4. マルチバッファ通信を行う場合は、USART_CR3 レジスタの DMA 有効（DMAT）を選択します。マルチバッファ通信の説明に基づいて、DMA レジスタを設定します。
5. USART_BRR レジスタを使用して、希望するボーレートを選択します。
6. USART_CR1 の TE ビットをセットして、最初の送信としてアイドルフレームを送信します。
7. 送信するデータを USART_DR レジスタに書き込みます（これによって TXE ビットがクリアされます）。シングルバッファの場合、送信される各データにこれを繰り返します。
8. USART_DR レジスタに最後のデータを書き込んだ後、TC=1 になるまで待ちます。これは、最後のフレームの送信が完了したことを示します。これは、たとえば最後の送信内容の破壊を避けるために、USART が無効になったり HALT モードに入ったりする場合に必要です。

1 バイト通信

TXE ビットは、常にデータレジスタへの書込みによってクリアされます。

TXE ビットは、ハードウェアによってセットされ、次を示します。

- データが TDR からシフトレジスタに移動し、データ送信が開始しています。
- TDR レジスタは空です。
- 次のデータを、前のデータに上書きすることなく、USART_DR レジスタに書き込めます。

TXEIE ビットがセットされている場合、このフラグは割込みを生成します。

送信が行われている場合、USART_DR レジスタへの書き込み命令によってデータが TDR レジスタに格納され、さらに、現在の送信の最後にシフトレジスタにコピーされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

送信が行われていないときには、USART_DR レジスタへの書き込み命令によってデータがシフトレジスタに直接格納され、データ送信が開始され、TXE ビットがただちにセットされます。

フレームが送信され（ストップビットの後）、TXE ビットがセットされると、TC ビットはハイレベルになります。USART_CR1 レジスタの TCIE ビットがセットされると、割込みが生成されます。

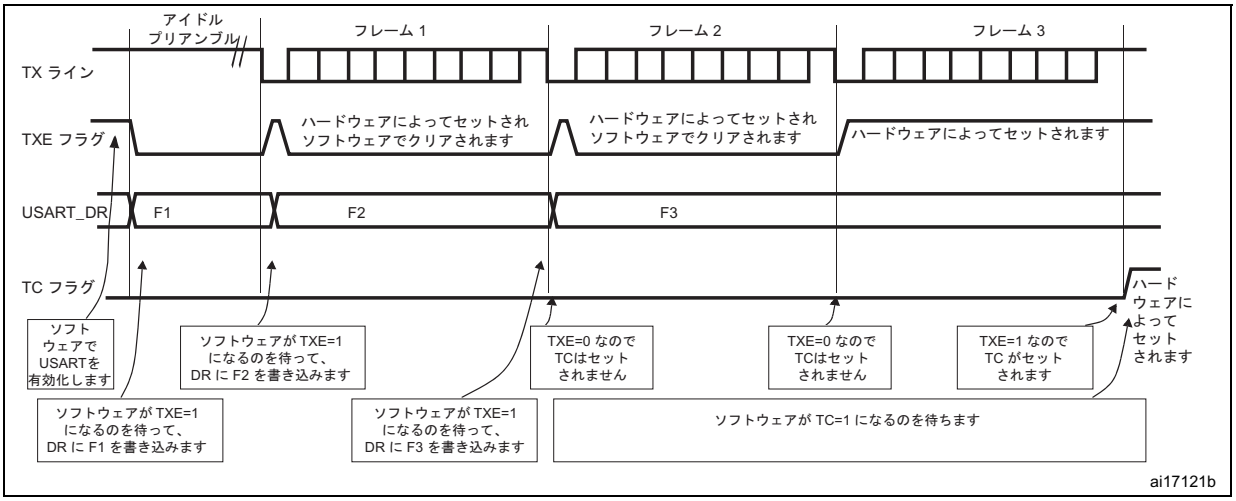
USART_DR レジスタに最後のデータを書き込んだ後は、USART を無効にしたり、マイクロコントローラを低電力モードにする前に TC=1 になるまで待つ必要があります（*図 299：送信時の TC／TXE の動作*を参照）。

TC ビットは、次のソフトウェアシーケンスによってクリアされます。

1. USART_SR レジスタからの読出し
2. USART_DR レジスタへの書込み

注： ***TC ビットは、”0”を書き込むことによってもクリアされます。このクリアシーケンスは、マルチバッファ通信の場合にのみ推奨されます。***

図 299. 送信時の TC／TXE の動作



ブレークキャラクタ

SBK ビットをセットすると、ブレークキャラクタが送信されます。ブレークフレーム長は、M ビットに依存します（*図 297* を参照）。

SBK ビットが“1”にセットされると、現在のキャラクタ送信が完了してから、TX ラインにブレークキャラクタが送信されます。このビットは、ブレークキャラクタが完了したとき（ブレークキャラクタのストップビット）、ハードウェアによってリセットされます。USART は、次のフレームのスタートビットが正しく認識されるように、最後のブレークフレームの終わりに論理 1 ビットを挿入します。

注： ***ソフトウェアがブレーク送信の開始前に SBK ビットをリセットすると、ブレークキャラクタは送信されません。2 つの連続したブレークの場合は、前のブレークのストップビットの後に SBK ビットをセットしてください。***

アイドルキャラクタ

TE ビットをセットすると、USART は、最初のデータフレームの前にアイドルフレームを送信します。

この資料は、STMicroelectronics NV 並びにその子会社（以下 ST）が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

30.3.3 レシーバ

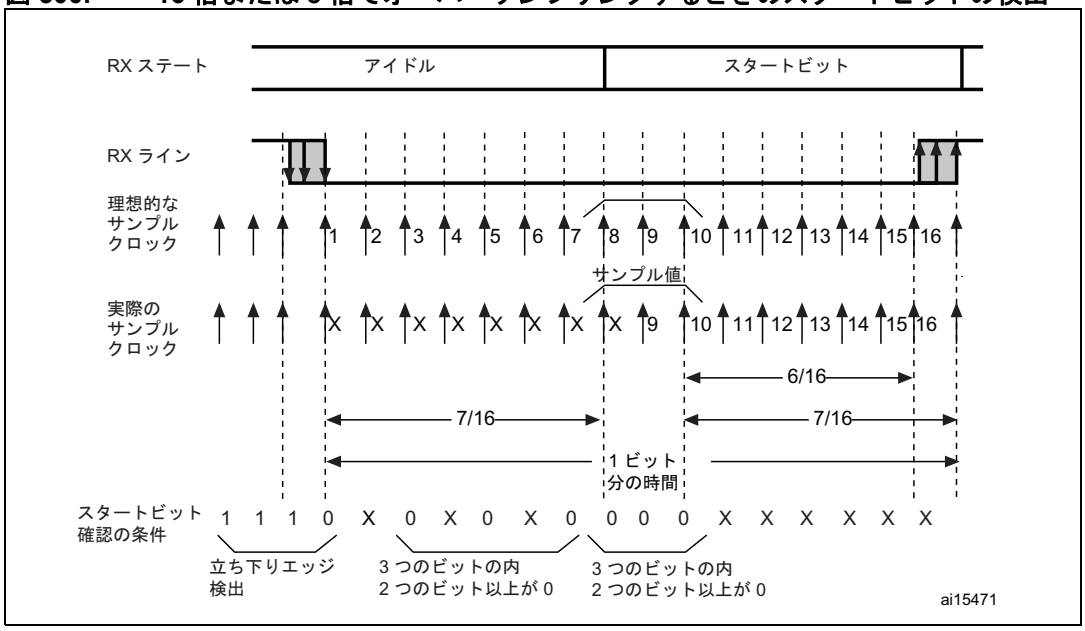
USART は、USART_CR1 レジスタの M ビットに応じて、8 ビットまたは 9 ビットのデータワードを受信できます。

スタートビットの検出

スタートビットの検出シーケンスは、16 倍または 8 倍でオーバーサンプリングするときと同じです。

USART では、サンプルの特定シーケンスが認識されると、スタートビットが検出されます。このシーケンスは、１１１０Ｘ０Ｘ０Ｘ０００００ です。

図 300. 16 倍または 8 倍でオーバーサンプリングするときのスタートビットの検出



注： ***シーケンスが完了していない場合、スタートビットの検出は中止され、レシーバはアイドル状態に戻って（フラグはセットされません）、立ち下がりエッジを待ちます。***

サンプリングされた 3 つのビットが 0 の場合（第 3、第 5、および第 7 ビットでの最初のサンプリングで 3 つのビットが 0 であり、第 8、第 9、および第 10 ビットでの 2 回目のサンプリングでも 3 つのビットが 0）、スタートビットが確認されます（RXNE フラグがセットされ、RXNEIE=1 の場合は割込みが生成されます）。

両方のサンプリングでサンプリングされた 3 つのビットのうち、少なくとも 2 つが 0 の場合（第 3、第 5、および第 7 ビットでのサンプリングと、第 8、第 9、および第 10 ビットでのサンプリング）、スタートビットは確認されますが（RXNE フラグがセットされ、RXNEIE=1 の場合は割込みが生成されます）、NE ノイズフラグがセットされます。この条件が満たされない場合、スタートビットの検出は中止され、レシーバはアイドル状態に戻ります（フラグはセットされません）。

いずれか一方のサンプリングで（第 3、第 5、および第 7 ビットでのサンプリングまたは第 8、第 9、および第 10 ビットでのサンプリング）、3 つのビットのうち 2 つが 0 の場合、スタートビットは確認されますが、NE ノイズフラグビットがセットされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

キャラクタの受信

USART の受信時には、データは RX ピンを通じて LSB ファーストでシフトインされます。このモードでは、USART_DR レジスタは、内部バスと受信シフトレジスタの間のバッファ（RDR）で構成されます。

手順：

1. USART_CR1 レジスタの UE ビットに 1 を書き込んで、USART を有効にします。
2. USART_CR1 の M ビットをプログラミングして、ワード長を定義します。
3. USART_CR2 レジスタでストップビットの数をプログラミングします。
4. マルチバッファ通信を行う場合には、USART_CR3 レジスタの DMA 有効（DMAR）を選択します。マルチバッファ通信の説明に基づいて、DMA レジスタを設定します。STEP 3
5. ボーレートレジスタ USART_BRR を使用して、希望するボーレートを選択します。
6. USART_CR1 レジスタの RE ビットをセットします。これによってレシーバが有効になり、スタートビットの検索を開始します。

キャラクタが受信されると、

- RXNE ビットがセットされます。これは、シフトレジスタの内容が RDR レジスタに転送されたことを示します。言い換えると、データは受信され、読出し可能です（関連するエラーフラグも同様です）。
- RXNEIE ビットがセットされると、割込みが生成されます。
- 受信時にフレームエラー、ノイズ、またはオーバーランエラーが検出された場合、エラーフラグをセットできます。
- マルチバッファでは、RXNE ビットはバイトを受信するたびにセットされ、データレジスタへの DMA 読出しによってクリアされます。
- シングルバッファモードでは、RXNE ビットは USART_DR レジスタへのソフトウェア読出しによってクリアされます。RXNE フラグは、0 を書き込むとクリアできます。オーバーランエラーを避けるには、次のキャラクタの受信が終了する前に、RXNE ビットをクリアする必要があります。

注： ***データの受信中には、RE ビットをリセットしないでください。受信中に RE ビットが無効にされた場合、現在のバイトの受信が中止されます。***

ブレークキャラクタ

ブレークキャラクタを受信すると、USART はブレークキャラクタをフレーミングエラーとして処理します。

アイドルキャラクタ

アイドルフレームが検出された場合、データ受信キャラクタと同じ手順があり、IDLEIE ビットがセットされている場合は割込みが生成されます。

オーバーランエラー

RXNE ビットがリセットされていないときにキャラクタを受信すると、オーバーランエラーが発生します。RXNE ビットがクリアされない限り、データをシフトレジスタから RDR レジスタに転送することはできません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

RXNE フラグは、バイトを受信するたびにセットされます。次のデータを受信したときに RXNE フラグがセットされていた場合、または前回の DMA リクエストがまだ処理されていない場合、オーバーランエラーが発生します。オーバーランエラーが発生すると、

- ORE ビットがセットされます。
- RDR の内容は失われません。USART_DR への読出しが行われると、前回のデータが読み出されます。
- シフトレジスタは上書きされます。その後、オーバーラン中に受信されたデータは失われます。
- RXNEIE ビットがセットされた場合、または EIE ビットと DMAR ビットの両方がセットされた場合は、割込みが生成されます。
- ORE ビットは、USART_SR レジスタの読出しと、それに続く USART_DR レジスタの読出し動作によってリセットされます。

注： ***ORE ビットがセットされた場合、少なくとも 1 個のデータが失われています。この場合、次の 2 つの可能性があります。***

- RXNE=1 の場合、有効な最後のデータは、受信レジスタ RDR に格納され、読出しが可能です。
- RXNE=0 の場合、有効な最後のデータはすでに読み出されているため、RDR レジスタに読み出すデータはありません。このケースは、有効な最後のデータが RDR で読み出されると同時に新しい（そして失われた）データが受信されると発生します。また、読み出しシーケンス中（USART_SR レジスタと USART_DR レジスタの読み出しアクセスの間）に新しいデータが受信された場合にも発生します。

適切なオーバーサンプリング方式の選択

レシーバは有効な受信データとノイズを区別して、データを復旧するユーザ設定可能なさまざまなオーバーサンプリング技術を実装しています（同期モードの場合を除く）。

オーバーサンプリング方式は、USART_CR1 レジスタの OVER8 ビットをプログラミングすると選択でき、ボーレートクロックの 16 倍または 8 倍とすることができます（*図 301* および*図 302*）。

アプリケーションに応じて、

- 高速（最大 $f_{PCLK}/8$）を達成するには 8 倍（OVER8=1）のオーバーサンプリングを選択します。この場合、クロック偏差に対するレシーバの最大許容誤差が減少します（*セクション 30.3.5 : クロック偏差に対する USART レシーバの許容誤差（999 ページ）*を参照）。
- クロック偏差に対するレシーバの許容誤差を増やすには 16 倍（OVER8=0）のオーバーサンプリングを選択します。この場合、最大速度は $f_{PCLK}/16$ に制限されます。

論理レベルの評価方法を選択するには、USART_CR3 レジスタの ONEBIT ビットをプログラミングします。これには 2 つのオプションがあります。

- 受信されたビットの中央にある 3 つのサンプルの多数決。この場合、多数決に使用された 3 つのサンプルが等しくないとき、NF ビットがセットされます。
- 受信されたビットの中央にある 1 つのサンプル。

  アプリケーションに応じて、

  – ノイズの多い環境で操作するときは 3 つのサンプルの多数決方式（ONEBIT=0）を選択します。そしてノイズが検出された場合（*図 132* を参照）は、サンプリング中にグリッチが発生していることになりますので、そのデータを除去します。

  – ラインがノイズフリーであるときは 1 つのサンプルによる方式（ONEBIT=1）を選択し、クロック偏差に対するレシーバの許容誤差を増やします（*セクション 30.3.5 : クロック偏差に対する USART レシーバの許容誤差（999 ページ）*を参照）。この場合、NF ビットはセットされません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

フレーム内でノイズが検出された場合：

- RXNE ビットの立上りエッジで、NF ビットがセットされます。
- 無効なデータがシフトレジスタから USART_DR レジスタへ転送されます。
- 1 バイト通信の場合、割込みは生成されません。ただし、このビットは、割込みを生成する RXNE ビットと同時に立ち上がります。マルチバッファ通信の場合、USART_CR3 レジスタの EIE ビットがセットされている場合に割込みが発行されます。

NF ビットは、USART_SR レジスタの読出し動作と、それに続く USART_DR レジスタの読出し動作によってリセットされます。

注： ***8 倍のオーバーサンプリングは、スマートカード、IrDA、および LIN の各モードでは使用できません。これらのモードでは、OVER8 ビットはハードウェアによって"0"に固定されています。***

図 301. データサンプリング（16 倍のオーバーサンプリング）



図 302. データサンプリング（8 倍のオーバーサンプリング）

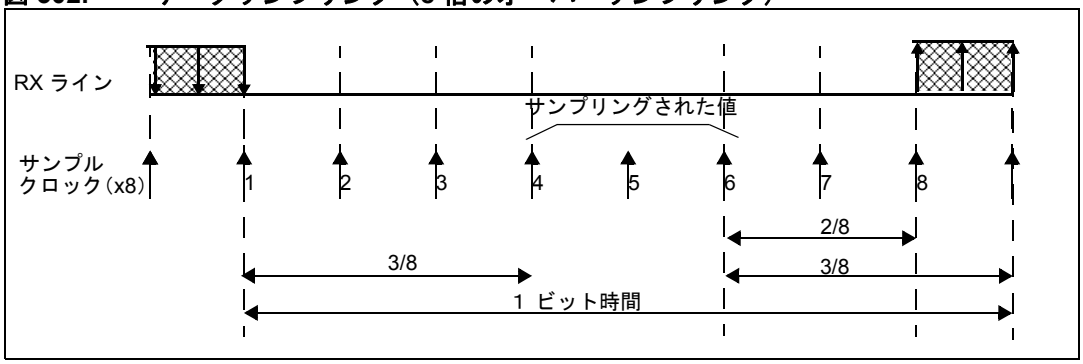


表 132. サンプリングされたデータからのノイズ検出

サンプリングされた値	NE ステータス	受信ビットの値
000	0	0
001	1	0
010	1	0
011	1	1
100	1	0
101	1	1

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 132. サンプリングされたデータからのノイズ検出（続き）

サンプリングされた値	NE ステータス	受信ビットの値
110	1	1
111	0	1

フレーミングエラー

フレーミングエラーは、次の場合に検出されます。

非同期化または過剰なノイズのため、受信時に予想されたタイミングでストップビットが認識されない場合。

フレーミングエラーが検出された場合：

- ハードウェアによって FE ビットがセットされます。
- 無効なデータがシフトレジスタから USART_DR レジスタへ転送されます。
- 1 バイト通信の場合、割込みは生成されません。ただし、このビットは、割込みを生成する RXNE ビットと同時に立ち上がります。マルチバッファ通信の場合、USART_CR3 レジスタの EIE ビットがセットされている場合に割込みが発行されます。

FE ビットは、USART_SR レジスタの読出し動作と、それに続く USART_DR レジスタの読出し動作によってリセットされます。

受信時の設定可能なストップビット

受信するストップビット数は、制御レジスタ 2 の制御ビットを通じて設定でき、通常モードでは 1 または 2、スマートカードモードでは 0.5 または 1.5 にできます。

1. 0.5 個のストップビット（スマートカードモードでの受信）: 0.5 個のストップビットでは、サンプリングは行われません。したがって、0.5 個のストップビットが選択されている場合、フレーミングエラーやブレークフレームは検出されません。
2. 1 個のストップビット：ストップビット 1 個のサンプリングは、8 番目、9 番目、および 10 番目のサンプルで行われます。
3. 1.5 個のストップビット（スマートカードモード）：スマートカードモードでの送信時は、デバイスは、データが正しく送信されたことをチェックする必要があります。したがって、レシーバブロックを有効にし（USART_CR1 レジスタの RE=1）、ストップビットをチェックして、スマートカードがパリティエラーを検出したかどうかをテストする必要があります。パリティエラーが発生した場合、スマートカードはサンプリング時のデータ信号を強制的にローレベルにします（これは、フレーミングエラーとしてフラグされる NACK 信号です）。その後、1.5 個のストップビットの最後に、RXNE ビットとともに FE フラグがセットされます。ストップビット 1.5 個のサンプリングは、16 番目、17 番目、および 18 番目のサンプルで（ストップビットの開始から 1 ボークロック周期後に）行われます。1.5 個のストップビットは、2 つの部分に分解できます。すなわち、何も起こらない 0.5 ボークロック周期と、途中でサンプリングが行われる通常の 1 ストップビット周期です。詳細については、*セクション 30.3.11：スマートカード（1008 ページ）*を参照してください。
4. 2 個のストップビット：ストップビット 2 個のサンプリングは、最初のストップビットの 8 番目、9 番目、および 10 番目のサンプルで行われます。最初のストップビットでフレーミングエラーが検出された場合、フレーミングエラーフラグがセットされます。2 番目のストップビットでは、フレーミングエラーの検査は行われません。RXNE フラグは、最初のストップビットの最後でセットされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

30.3.4 フラクショナルボーレート生成

レシーバとトランスミッタ（Rx と Tx）のボーレートには、USARTDIV の整数部と小数部にプログラミングされたものと同じ値が設定されます。

Equation 1：標準 USART のボーレート（SPI モードを含む）

$$\text{Tx/Rx ボー} = \frac{f_{CK}}{8 \times (2 - \text{OVER8}) \times \text{USARTDIV}}$$

Equation 2：スマートカード、LIN、および IrDA モードのボーレート

$$\text{Tx/Rx ボー} = \frac{f_{CK}}{16 \times \text{USARTDIV}}$$

USARTDIV は、符号なしの固定小数点数であり、USART_BRR レジスタでコード化されます。

- OVER8=0 のとき、小数部は 4 ビットでコード化され、USART_BRR レジスタの DIV_fraction[3:0] ビットによってプログラミングされます。
- OVER8=1 のとき、小数部は 3 ビットでコード化され、USART_BRR レジスタの DIV_fraction[2:0] ビットによってプログラミングされます。ビット DIV_fraction[3] はクリアされたままである必要があります。

注： ***ボーカウンタは、USART_BRR への書込み後、ボーレジスタの新しい値によって更新されます。したがって、通信中はボーレートレジスタの値を変更しないでください。***

OVER8=0 のとき、USART_BRR レジスタの値から USARTDIV を得る方法

例 1：

DIV_Mantissa = 0d27 かつ DIV_Fraction = 0d12（USART_BRR = 0x1BC）の場合、

整数部 (USARTDIV) = 0d27

小数部 (USARTDIV) = 12/16 = 0d0.75

したがって、USARTDIV = 0d27.75

例 2：

USARTDIV = 0d25.62 をプログラミングするには

次のようにします。

DIV_Fraction = 16*0d0.62 = 0d9.92

最も近い実数は 0d10 = 0xA

DIV_Mantissa = 整数部 (0d25.620) = 0d25 = 0x19

USART_BRR = 0x19A であるため、USARTDIV = 0d25.625

例 3：

USARTDIV = 0d50.99 をプログラミングするには

次のようにします。

DIV_Fraction = 16*0d0.99 = 0d15.84

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

最も近い実数は 0d16 = 0x10 => DIV_frac[3:0] のオーバーフロー => キャリーを整数部に加算する必要があります。

DIV_Mantissa = 整数部 (0d50.990 + キャリー) = 0d51 = 0x33

USART_BRR = 0x330 であるため、USARTDIV = 0d51.000

OVER8=1 のとき、USART_BRR レジスタの値から USARTDIV を得る方法

例 1 :

DIV_Mantissa = 0x27 かつ DIV_Fraction[2:0]= 0d6 (USART_BRR = 0x1B6) の場合、

整数部 (USARTDIV) = 0d27

小数部 (USARTDIV) = 6/8 = 0d0.75

したがって、USARTDIV = 0d27.75

例 2 :

USARTDIV = 0d25.62 をプログラミングするには

次のようにします。

DIV_Fraction = 8*0d0.62 = 0d4.96

最も近い実数は 0d5 = 0x5

DIV_Mantissa = 整数部 (0d25.620) = 0d25 = 0x19

これによって、USART_BRR = 0x195 => USARTDIV = 0d25.625

例 3 :

USARTDIV = 0d50.99 をプログラミングするには

次のようにします。

DIV_Fraction = 8*0d0.99 = 0d7.92

最も近い実数は 0d8 = 0x8 => DIV_frac[2:0] のオーバーフロー => キャリーを仮数部に加算する必要があります。

DIV_Mantissa = 整数部 (0d50.990 + キャリー) = 0d51 = 0x33

これによって、USART_BRR = 0x0330 => USARTDIV = 0d51.000

表 133. プログラミングされたボーレートの誤差計算（f_{PCLK} = 8 MHz または f_{PCLK} = 12 MHz）、16 倍のオーバーサンプリング(1)

16 倍のオーバーサンプリング（OVER8=0）							
ボーレート		f_{PCLK} = 8 MHz			f_{PCLK} = 12 MHz		
S.No	目標	実際	ボーレートレジスタにプログラミングされている値	誤差（%）= (計算値 - 目標値) B レート / 目標の B レート	実際	ボーレートレジスタにプログラミングされている値	誤差
1	1.2 KBps	1.2 KBps	416.6875	0	1.2 KBps	625	0
2	2.4 KBps	2.4 KBps	208.3125	0.01	2.4 KBps	312.5	0
3	9.6 KBps	9.604 KBps	52.0625	0.04	9.6 KBps	78.125	0

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 133. プログラミングされたボーレートの誤差計算（f_{PCLK} = 8 MHz または f_{PCLK} = 12 MHz）、16 倍のオーバーサンプリング(1)（続き）

16 倍のオーバーサンプリング（OVER8=0）							
ボーレート		f_{PCLK} = 8 MHz			f_{PCLK} = 12 MHz		
S.No	目標	実際	ボーレートレジスタにプログラミングされている値	誤差（%）= (計算値 - 目標値) B レート / 目標の B レート	実際	ボーレートレジスタにプログラミングされている値	誤差
4	19.2 KBps	19.185 KBps	26.0625	0.08	19.2 KBps	39.0625	0
5	38.4 KBps	38.462 KBps	13	0.16	38.339 KBps	19.5625	0.16
6	57.6 KBps	57.554 KBps	8.6875	0.08	57.692 KBps	13	0.16
7	115.2 KBps	115.942 KBps	4.3125	0.64	115.385 KBps	6.5	0.16
8	230.4 KBps	228.571 KBps	2.1875	0.79	230.769 KBps	3.25	0.16
9	460.8 KBps	470.588 KBps	1.0625	2.12	461.538 KBps	1.625	0.16
10	921.6 KBps	NA	NA	NA	NA	NA	NA
11	2 MBps	NA	NA	NA	NA	NA	NA
12	3 MBps	NA	NA	NA	NA	NA	NA

1. CPU クロック周波数が低いほど、ボーレートの精度も低下しますボーレートの達成可能な上限は、これらのデータによって決定できます。

表 134. プログラミングされたボーレートの誤差計算（f_{PCLK} = 8 MHz または f_{PCLK} = 12 MHz）、8 倍のオーバーサンプリング(1)

8 倍のオーバーサンプリング（OVER8=1）							
ボーレート		f_{PCLK} = 8 MHz			f_{PCLK} = 12 MHz		
S.No	目標	実際	ボーレートレジスタにプログラミングされている値	誤差（%）= (計算値 - 目標値) B レート / 目標の B レート	実際	ボーレートレジスタにプログラミングされている値	誤差
1	1.2 KBps	1.2 KBps	833.375	0	1.2 KBps	1250	0
2	2.4 KBps	2.4 KBps	416.625	0.01	2.4 KBps	625	0
3	9.6 KBps	9.604 KBps	104.125	0.04	9.6 KBps	156.25	0
4	19.2 KBps	19.185 KBps	52.125	0.08	19.2 KBps	78.125	0
5	38.4 KBps	38.462 KBps	26	0.16	38.339 KBps	39.125	0.16
6	57.6 KBps	57.554 KBps	17.375	0.08	57.692 KBps	26	0.16
7	115.2 KBps	115.942 KBps	8.625	0.64	115.385 KBps	13	0.16
8	230.4 KBps	228.571 KBps	4.375	0.79	230.769 KBps	6.5	0.16
9	460.8 KBps	470.588 KBps	2.125	2.12	461.538 KBps	3.25	0.16
10	921.6 KBps	888.889 KBps	1.125	3.55	923.077 KBps	1.625	0.16
11	2 MBps	NA	NA	NA	NA	NA	NA
12	3 MBps	NA	NA	NA	NA	NA	NA

1. CPU クロック周波数が低いほど、ボーレートの精度も低下しますボーレートの達成可能な上限は、これらのデータによって決定できます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 135. プログラミングされたボーレートの誤差計算（f_{PCLK} = 16 MHz または f_{PCLK} = 24 MHz）、16 倍のオーバーサンプリング(1)

16 倍のオーバーサンプリング（OVER8=0）							
ボーレート		f_{PCLK} = 16 MHz			f_{PCLK} = 24 MHz		
S.No	目標	実際	ボーレートレジスタにプログラミングされている値	誤差（%）= (計算値 - 目標値) B レート / 目標の B レート	実際	ボーレートレジスタにプログラミングされている値	誤差
1	1.2 KBps	1.2 KBps	833.3125	0	1.2	1250	0
2	2.4 KBps	2.4 KBps	416.6875	0	2.4	625	0
3	9.6 KBps	9.598 KBps	104.1875	0.02	9.6	156.25	0
4	19.2 KBps	19.208 KBps	52.0625	0.04	19.2	78.125	0
5	38.4 KBps	38.369 KBps	26.0625	0.08	38.4	39.0625	0
6	57.6 KBps	57.554 KBps	17.375	0.08	57.554	26.0625	0.08
7	115.2 KBps	115.108 KBps	8.6875	0.08	115.385	13	0.16
8	230.4 KBps	231.884 KBps	4.3125	0.64	230.769	6.5	0.16
9	460.8 KBps	457.143 KBps	2.1875	0.79	461.538	3.25	0.16
10	921.6 KBps	941.176 KBps	1.0625	2.12	923.077	1.625	0.16
11	2 MBps	NA	NA	NA	NA	NA	NA
12	3 MBps	NA	NA	NA	NA	NA	NA

1. CPU クロック周波数が低いほど、ボーレートの精度も低下しますボーレートの達成可能な上限は、これらのデータによって決定できます。

表 136. プログラミングされたボーレートの誤差計算（f_{PCLK} = 16 MHz または f_{PCLK} = 24 MHz）、8 倍のオーバーサンプリング(1)

8 倍のオーバーサンプリング（OVER8=1）							
ボーレート		f_{PCLK} = 16 MHz			f_{PCLK} = 24 MHz		
S.No	目標	実際	ボーレートレジスタにプログラミングされている値	誤差（%）= (計算値 - 目標値) B レート / 目標の B レート	実際	ボーレートレジスタにプログラミングされている値	誤差
1	1.2 KBps	1.2 KBps	1666.625	0	1.2 KBps	2500	0
2	2.4 KBps	2.4 KBps	833.375	0	2.4 KBps	1250	0
3	9.6 KBps	9.598 KBps	208.375	0.02	9.6 KBps	312.5	0
4	19.2 KBps	19.208 KBps	104.125	0.04	19.2 KBps	156.25	0
5	38.4 KBps	38.369 KBps	52.125	0.08	38.4 KBps	78.125	0
6	57.6 KBps	57.554 KBps	34.75	0.08	57.554 KBps	52.125	0.08
7	115.2 KBps	115.108 KBps	17.375	0.08	115.385 KBps	26	0.16
8	230.4 KBps	231.884 KBps	8.625	0.64	230.769 KBps	13	0.16
9	460.8 KBps	457.143 KBps	4.375	0.79	461.538 KBps	6.5	0.16
10	921.6 KBps	941.176 KBps	2.125	2.12	923.077 KBps	3.25	0.16

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 136. プログラミングされたボーレートの誤差計算（f_{PCLK} = 16 MHz または f_{PCLK} = 24 MHz）、8 倍のオーバーサンプリング(1)（続き）

8 倍のオーバーサンプリング（OVER8=1）							
ボーレート		f_{PCLK} = 16 MHz			f_{PCLK} = 24 MHz		
S.No	目標	実際	ボーレートレジスタにプログラミングされている値	誤差（%）= (計算値 - 目標値) B レート / 目標の B レート	実際	ボーレートレジスタにプログラミングされている値	誤差
11	2 MBps	2000 KBps	1	0	2000 KBps	1.5	0
12	3 MBps	NA	NA	NA	3000 KBps	1	0

1. CPU クロック周波数が低いほど、ボーレートの精度も低下しますボーレートの達成可能な上限は、これらのデータによって決定できます。

表 137. プログラミングされたボーレートの誤差計算（f_{PCLK} = 8 MHz または f_{PCLK} = 16 MHz）、16 倍のオーバーサンプリング(1)

16 倍のオーバーサンプリング（OVER8=0）							
ボーレート		f_{PCLK} = 8 MHz			f_{PCLK} = 16 MHz		
S.No	目標	実際	ボーレートレジスタにプログラミングされている値	誤差（%）= (計算値 - 目標値) B レート / 目標の B レート	実際	ボーレートレジスタにプログラミングされている値	誤差
1.	2.4 KBps	2.400 KBps	208.3125	0.00%	2.400 KBps	416.6875	0.00%
2.	9.6 KBps	9.604 KBps	52.0625	0.04%	9.598 KBps	104.1875	0.02%
3.	19.2 KBps	19.185 KBps	26.0625	0.08%	19.208 KBps	52.0625	0.04%
4.	57.6 KBps	57.554 KBps	8.6875	0.08%	57.554 KBps	17.3750	0.08%
5.	115.2 KBps	115.942 KBps	4.3125	0.64%	115.108 KBps	8.6875	0.08%
6.	230.4 KBps	228.571 KBps	2.1875	0.79%	231.884 KBps	4.3125	0.64%
7.	460.8 KBps	470.588 KBps	1.0625	2.12%	457.143 KBps	2.1875	0.79%
8.	896 KBps	NA	NA	NA	888.889 KBps	1.1250	0.79%
9.	921.6 KBps	NA	NA	NA	941.176 KBps	1.0625	2.12%
10.	1.792 MBps	NA	NA	NA	NA	NA	NA
11.	1.8432 MBps	NA	NA	NA	NA	NA	NA
12.	3.584 MBps	NA	NA	NA	NA	NA	NA
13.	3.6864 MBps	NA	NA	NA	NA	NA	NA
14.	7.168 MBps	NA	NA	NA	NA	NA	NA
15.	7.3728 MBps	NA	NA	NA	NA	NA	NA

1. CPU クロック周波数が低いほど、ボーレートの精度も低下しますボーレートの達成可能な上限は、これらのデータによって決定できます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 138. プログラミングされたボーレートの誤差計算（f_{PCLK} = 8 MHz または f_{PCLK} = 16 MHz）、8 倍のオーバーサンプリング(1)

8 倍のオーバーサンプリング（OVER8=1）							
ボーレート		f_{PCLK} = 8 MHz			f_{PCLK} = 16 MHz		
S.No	目標	実際	ボーレートレジスタにプログラミングされている値	誤差（%）= (計算値 - 目標値) B レート / 目標の B レート	実際	ボーレートレジスタにプログラミングされている値	誤差
1.	2.4 KBps	2.400 KBps	416.625	0.01%	2.400 KBps	833.375	0.00%
2.	9.6 KBps	9.604 KBps	104.125	0.04%	9.598 KBps	208.375	0.02%
3.	19.2 KBps	19.185 KBps	52.125	0.08%	19.208 KBps	104.125	0.04%
4.	57.6 KBps	57.557 KBps	17.375	0.08%	57.554 KBps	34.750	0.08%
5.	115.2 KBps	115.942 KBps	8.625	0.64%	115.108 KBps	17.375	0.08%
6.	230.4 KBps	228.571 KBps	4.375	0.79%	231.884 KBps	8.625	0.64%
7.	460.8 KBps	470.588 KBps	2.125	2.12%	457.143 KBps	4.375	0.79%
8.	896 KBps	888.889 KBps	1.125	0.79%	888.889 KBps	2.250	0.79%
9.	921.6 KBps	888.889 KBps	1.125	3.55%	941.176 KBps	2.125	2.12%
10.	1.792 MBps	NA	NA	NA	1.7777 MBps	1.125	0.79%
11.	1.8432 MBps	NA	NA	NA	1.7777 MBps	1.125	3.55%
12.	3.584 MBps	NA	NA	NA	NA	NA	NA
13.	3.6864 MBps	NA	NA	NA	NA	NA	NA
14.	7.168 MBps	NA	NA	NA	NA	NA	NA
15.	7.3728 MBps	NA	NA	NA	NA	NA	NA

1. CPU クロック周波数が低いほど、ボーレートの精度も低下しますボーレートの達成可能な上限は、これらのデータによって決定できます。

表 139. プログラミングされたボーレートの誤差計算（f_{PCLK} = 30 MHz または f_{PCLK} = 60 MHz）、16 倍のオーバーサンプリング(1)(2)

16 倍のオーバーサンプリング（OVER8=0）							
ボーレート		f_{PCLK} = 30 MHz			f_{PCLK} = 60 MHz		
S.No	目標	実際	ボーレートレジスタにプログラミングされている値	誤差（%）= (計算値 - 目標値) B レート / 目標の B レート	実際	ボーレートレジスタにプログラミングされている値	誤差
1.	2.4 KBps	2.400 KBps	781.2500	0.00%	2.400 KBps	1562.5000	0.00%
2.	9.6 KBps	9.600 KBps	195.3125	0.00%	9.600 KBps	390.6250	0.00%
3.	19.2 KBps	19.194 KBps	97.6875	0.03%	19.200 KBps	195.3125	0.00%
4.	57.6 KBps	57.582 KBps	32.5625	0.03%	57.582 KBps	65.1250	0.03%
5.	115.2 KBps	115.385 KBps	16.2500	0.16%	115.163 KBps	32.5625	0.03%
6.	230.4 KBps	230.769 KBps	8.1250	0.16%	230.769 KBps	16.2500	0.16%
7.	460.8 KBps	461.538 KBps	4.0625	0.16%	461.538 KBps	8.1250	0.16%

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 139. プログラミングされたボーレートの誤差計算（f_{PCLK} = 30 MHz または f_{PCLK} = 60 MHz）、16 倍のオーバーサンプリング(1)(2)（続き）

16 倍のオーバーサンプリング（OVER8=0）							
ボーレート		f_{PCLK} = 30 MHz			f_{PCLK} = 60 MHz		
S.No	目標	実際	ボーレートレジスタにプログラミングされている値	誤差（%）= (計算値 - 目標値) B レート / 目標の B レート	実際	ボーレートレジスタにプログラミングされている値	誤差
8.	896 KBps	909.091 KBps	2.0625	1.46%	895.522 KBps	4.1875	0.05%
9.	921.6 KBps	909.091 KBps	2.0625	1.36%	923.077 KBps	4.0625	0.16%
10.	1.792 MBps	1.1764 MBps	1.0625	1.52%	1.8182 MBps	2.0625	1.36%
11.	1.8432 MBps	1.8750 MBps	1.0000	1.73%	1.8182 MBps	2.0625	1.52%
12.	3.584 MBps	NA	NA	NA	3.2594 MBps	1.0625	1.52%
13.	3.6864 MBps	NA	NA	NA	3.7500 MBps	1.0000	1.73%
14.	7.168 MBps	NA	NA	NA	NA	NA	NA
15.	7.3728 MBps	NA	NA	NA	NA	NA	NA

1. CPU クロック周波数が低いほど、ボーレートの精度も低下しますボーレートの達成可能な上限は、これらのデータによって決定できます。
2. USART1 および USART6 だけが PCLK2 でクロック供給されます。他の USART は PCLK1 でクロック供給されます。PCLK1 および PCLK2 の最大値については、デバイスのデータシートを参照してください。

表 140. プログラミングされたボーレートの誤差計算（f_{PCLK} = 30 MHz または f_{PCLK} = 60 MHz）、8 倍のオーバーサンプリング(1) (2)

8 倍のオーバーサンプリング（OVER8=1）							
ボーレート		f_{PCLK} = 30 MHz			f_{PCLK} = 60 MHz		
S.No	目標	実際	ボーレートレジスタにプログラミングされている値	誤差（%）= (計算値 - 目標値) B レート / 目標の B レート	実際	ボーレートレジスタにプログラミングされている値	誤差
1.	2.4 KBps	2.400 KBps	1562.5000	0.00%	2.400 KBps	3125.0000	0.00%
2.	9.6 KBps	9.600 KBps	390.6250	0.00%	9.600 KBps	781.2500	0.00%
3.	19.2 KBps	19.194 KBps	195.3750	0.03%	19.200 KBps	390.6250	0.00%
4.	57.6 KBps	57.582 KBps	65.1250	0.16%	57.582 KBps	130.2500	0.03%
5.	115.2 KBps	115.385 KBps	32.5000	0.16%	115.163 KBps	65.1250	0.03%
6.	230.4 KBps	230.769 KBps	16.2500	0.16%	230.769 KBps	32.5000	0.16%
7.	460.8 KBps	461.538 KBps	8.1250	0.16%	461.538 KBps	16.2500	0.16%
8.	896 KBps	909.091 KBps	4.1250	1.46%	895.522 KBps	8.3750	0.05%
9.	921.6 KBps	909.091 KBps	4.1250	1.36%	923.077 KBps	8.1250	0.16%
10.	1.792 MBps	1.7647 MBps	2.1250	1.52%	1.8182 MBps	4.1250	1.46%
11.	1.8432 MBps	1.8750 MBps	2.0000	1.73%	1.8182 MBps	4.1250	1.36%
12.	3.584 MBps	3.7500 MBps	1.0000	4.63%	3.5294 MBps	2.1250	1.52%
13.	3.6864 MBps	3.7500 MBps	1.0000	1.73%	3.7500 MBps	2.0000	1.73%

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 140. プログラミングされたボーレートの誤差計算（f_{PCLK} = 30 MHz または f_{PCLK} = 60 MHz）、8 倍のオーバーサンプリング(1) (2)（続き）

8 倍のオーバーサンプリング（OVER8=1）							
ボーレート		f_{PCLK} = 30 MHz			f_{PCLK} = 60 MHz		
S.No	目標	実際	ボーレートレジスタにプログラミングされている値	誤差（%）= (計算値 - 目標値) B レート / 目標の B レート	実際	ボーレートレジスタにプログラミングされている値	誤差
14.	7.168 MBps	NA	NA	NA	7.5000 MBps	1.0000	4.63%
15.	7.3728 MBps	NA	NA	NA	7.5000 MBps	1.0000	1.73%

1. CPU クロック周波数が低いほど、ボーレートの精度も低下しますボーレートの達成可能な上限は、これらのデータによって決定できます。
2. USART1 および USART6 だけが PCLK2 でクロック供給されます。他の USART は PCLK1 でクロック供給されます。PCLK1 および PCLK2 の最大値については、デバイスのデータシートを参照してください。

表 141. プログラミングされたボーレートの誤差計算（f_{PCLK} = 42 MHz または f_{PCLK} = 84 Hz）、16 倍のオーバーサンプリング(1)(2)

16 倍のオーバーサンプリング（OVER8=0）							
ボーレート		f_{PCLK} = 42 MHz			f_{PCLK} = 84 MHz		
S.No	目標	実際	ボーレートレジスタにプログラミングされている値	誤差（%）= (計算値 - 目標値) B レート / 目標の B レート	実際	ボーレートレジスタにプログラミングされている値	誤差
1	1.2 KBps	1.2 KBps	2187.5	0	1.2 KBps	4375	0
2	2.4 KBps	2.4 KBps	1093.75	0	2.4 KBps	2187.5	0
3	9.6 KBps	9.6 KBps	273.4375	0	9.6 KBps	546.875	0
4	19.2 KBps	19.195 KBps	136.75	0.02	19.2 KBps	273.4375	0
5	38.4 KBps	38.391 KBps	68.375	0.02	38.391 KBps	136.75	0.02
6	57.6 KBps	57.613 KBps	45.5625	0.02	57.613 KBps	91.125	0.02
7	115.2 KBps	115.068 KBps	22.8125	0.11	115.226 KBps	45.5625	0.02
8	230.4 KBps	230.769 KBps	11.375	0.16	230.137 KBps	22.8125	0.11
9	460.8 KBps	461.538 KBps	5.6875	0.16	461.538 KBps	11.375	0.16
10	921.6 KBps	913.043 KBps	2.875	0.93	923.076 KBps	5.6875	0.93
11	1.792 MBps	1.826 MBps	1.4375	1.9	1.787 MBps	2.9375	0.27
12	1.8432 MBps	1.826 MBps	1.4375	0.93	1.826 MBps	2.875	0.93
13	3.584 MBps	N.A	N.A	N.A	3.652 MBps	1.4375	1.9
14	3.6864 MBps	N.A	N.A	N.A	3.652 MBps	1.4375	0.93
15	7.168 MBps	N.A	N.A	N.A	N.A	N.A	N.A
16	7.3728 MBps	N.A	N.A	N.A	N.A	N.A	N.A
18	9 MBps	N.A	N.A	N.A	N.A	N.A	N.A

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 141. プログラミングされたボーレートの誤差計算（f_{PCLK} = 42 MHz または f_{PCLK} = 84 Hz）、16 倍のオーバーサンプリング(1)(2)（続き）

16 倍のオーバーサンプリング（OVER8=0）							
ボーレート		f_{PCLK} = 42 MHz			f_{PCLK} = 84 MHz		
S.No	目標	実際	ボーレートレジスタにプログラミングされている値	誤差（%）= (計算値 - 目標値) B レート / 目標の B レート	実際	ボーレートレジスタにプログラミングされている値	誤差
20	10.5 MBps	N.A	N.A	N.A	N.A	N.A	N.A

1. CPU クロック周波数が低いほど、ボーレートの精度も低下しますボーレートの達成可能な上限は、これらのデータによって決定できます。
2. USART1 および USART6 だけが PCLK2 でクロック供給されます。他の USART は PCLK1 でクロック供給されます。PCLK1 および PCLK2 の最大値については、デバイスのデータシートを参照してください。

表 142. プログラミングされたボーレートの誤差計算（f_{PCLK} = 42 MHz または f_{PCLK} = 84 MHz）、8 倍のオーバーサンプリング(1)(2)

8 倍のオーバーサンプリング（OVER8=1）							
ボーレート		f_{PCLK} = 42 MHz			f_{PCLK} = 84 MHz		
S.No	目標	実際	ボーレートレジスタにプログラミングされている値	誤差（%）= (計算値 - 目標値) B レート / 目標の B レート	実際	ボーレートレジスタにプログラミングされている値	誤差
1.	1.2 KBps	1.2 KBps	4375	0	1.2 KBps	8750	0
2.	2.4 KBps	2.4 KBps	2187.5	0	2.4 KBps	4375	0
3.	9.6 KBps	9.6 KBps	546.875	0	9.6 KBps	1093.75	0
4.	19.2 KBps	19.195 KBps	273.5	0.02	19.2 KBps	546.875	0
5.	38.4 KBps	38.391 KBps	136.75	0.02	38.391 KBps	273.5	0.02
6.	57.6 KBps	57.613 KBps	91.125	0.02	57.613 KBps	182.25	0.02
7.	115.2 KBps	115.068 KBps	45.625	0.11	115.226 KBps	91.125	0.02
8.	230.4 KBps	230.769 KBps	22.75	0.11	230.137 KBps	45.625	0.11
9.	460.8 KBps	461.538 KBps	11.375	0.16	461.538 KBps	22.75	0.16
10.	921.6 KBps	913.043 KBps	5.75	0.93	923.076 KBps	11.375	0.93
11.	1.792 MBps	1.826 MBps	2.875	1.9	1.787 Mbps	5.875	0.27
12.	1.8432 MBps	1.826 MBps	2.875	0.93	1.826 MBps	5.75	0.93
13.	3.584 MBps	3.5 MBps	1.5	2.34	3.652 MBps	2.875	1.9
14.	3.6864 MBps	3.82 MBps	1.375	3.57	3.652 MBps	2.875	0.93
15.	7.168 MBps	N.A	N.A	N.A	7 MBps	1.5	2.34
16.	7.3728 MBps	N.A	N.A	N.A	7.636 MBps	1.375	3.57
18.	9 MBps	N.A	N.A	N.A	9.333 MBps	1.125	3.7
20.	10.5 MBps	N.A	N.A	N.A	10.5 MBps	1	0

1. CPU クロック周波数が低いほど、ボーレートの精度も低下しますボーレートの達成可能な上限は、これらのデータによって決定できます。
2. USART1 および USART6 だけが PCLK2 でクロック供給されます。他の USART は PCLK1 でクロック供給されます。PCLK1 および PCLK2 の最大値については、デバイスのデータシートを参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

30.3.5 クロック偏差に対する USART レシーバの許容誤差

USART の非同期レシーバが正しく機能するのは、クロックシステムの合計偏差が USART レシーバの許容誤差を下回る場合に限ります。合計偏差の要因は、次のとおりです。

- DTRA：トランスミッタの誤差に起因する偏差（トランスミッタのローカルオシレータの偏差も含みます）
- DQUANT：レシーバのボーレート量子化に起因する誤差
- DREC：レシーバのローカルオシレータの偏差
- DTCL：送信ラインに起因する偏差（一般には、ローからハイへの遷移タイミングとハイからローへの遷移タイミングの間に非対称性をもたらす可能性のあるトランシーバに起因）

DTRA + DQUANT + DREC + DTCL < USART レシーバの許容誤差

データを正しく受信するための USART レシーバの許容誤差は、許容される最大偏差と等しく、以下の選択に依存します。

- USART_CR1 レジスタの M ビットによって定義される 10 または 11 ビットのキャラクタ長
- USART_CR1 レジスタの OVER8 ビットによって定義される、8 倍または 16 倍のオーバーサンプリング
- フラクショナルボーレートを使用するかどうか
- データのサンプリングに 1 ビットを使用するか 3 ビットを使用するか（USART_CR3 レジスタの ONEBIT ビットの値に依存）

表 143. USART レシーバの許容誤差（DIV_Fraction が 0 の場合）

M ビット	OVER8 ビット = 0		OVER8 ビット = 1	
	ONEBIT=0	ONEBIT=1	ONEBIT=0	ONEBIT=1
0	3.75%	4.375%	2.50%	3.75%
1	3.41%	3.97%	2.27%	3.41%

表 144. USART レシーバの許容誤差（DIV_Fraction が 0 でない場合）

M ビット	OVER8 ビット = 0		OVER8 ビット = 1	
	ONEBIT=0	ONEBIT=1	ONEBIT=0	ONEBIT=1
0	3.33%	3.88%	2%	3%
1	3.03%	3.53%	1.82%	2.73%

注： ***表 143 と表 144 に示されている数値は、受信したフレームが正確に 10 ビット時間（M=0 の場合）または 11 ビット時間（M=1 の場合）のアイドルフレームを含んでいる場合、若干異なることがあります。***

この資料は、STMicroelectronics NV 並びにその子会社（以下 ST）が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

30.3.6 マルチプロセッサ通信

複数の USART をネットワークに接続すると、マルチプロセッサ通信を行える可能性があります。たとえば、1 つの USART をマスタとして、その TX 出力を別の USART の RX 入力に接続することができます。別の USART はスレーブであり、それぞれの TX 出力の論理積をとった上でマスタの RX 入力に接続します。

マルチプロセッサ設定では、多くの場合、メッセージの本来の受信者のみがメッセージ内容の全体を能動的に受信することが望ましく、これによって対象外の受信者に対する USART サービスの余分なオーバーヘッドを減らすことができます。

対象外のデバイスは、ミュート機能によってミュートモードにできます。ミュートモードでは、

- 受信ステータスビットはセットできません。
- すべての受信割込みが禁止されます。
- USART_CR1 レジスタの RWU ビットが 1 にセットされます。RWU ビットは、ハードウェアによって自動的に制御できますが、特定の条件下ではソフトウェアによる書込みが可能です。

USART は、USART_CR1 レジスタの WAKE ビットの設定に応じて、次のいずれかの方法でミュートモードに入ったり終了したりできます。

- WAKE ビットがリセットされている場合は、アイドルライン検出
- WAKE ビットがセットされている場合は、アドレスマーク検出

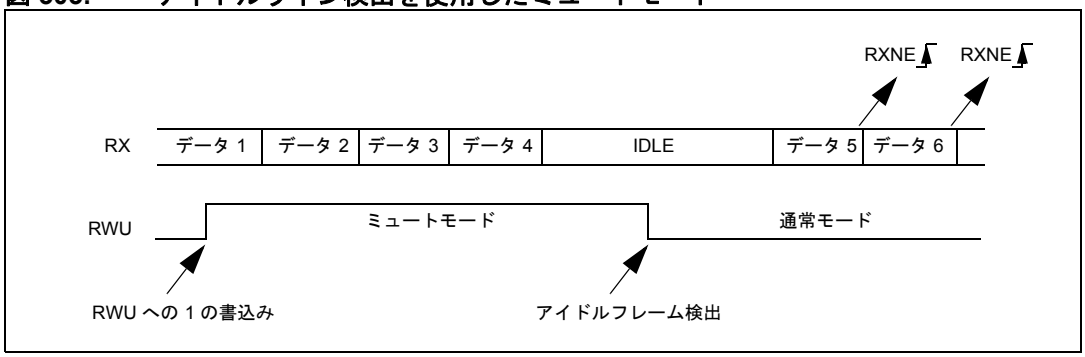
アイドルライン検出（WAKE=0）

RWU ビットに 1 が書き込まれると、USART はミュートモードに入ります。

USART は、アイドルフレームを検出するとウェイクアップします。その後、RWU ビットはハードウェアによってクリアされますが、USART_SR レジスタの IDLE ビットはセットされません。RWU ビットには、ソフトウェアによって 0 を書き込むこともできます。

アイドルライン検出を使用したミュートモードの動作例を*図 303* に示します。

図 303. アイドルライン検出を使用したミュートモード



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

アドレスマーク検出（WAKE=1）

このモードでは、MSB が“1”のバイトはアドレスとして、そうでないバイトはデータとして、それぞれ認識されます。アドレスバイトでは、ターゲットレシーバのアドレスは下位 4 ビットになります。レシーバは、この 4 ビットワードを、USART_CR2 レジスタの ADD ビットにプログラミングされている自分のアドレスと比較します。

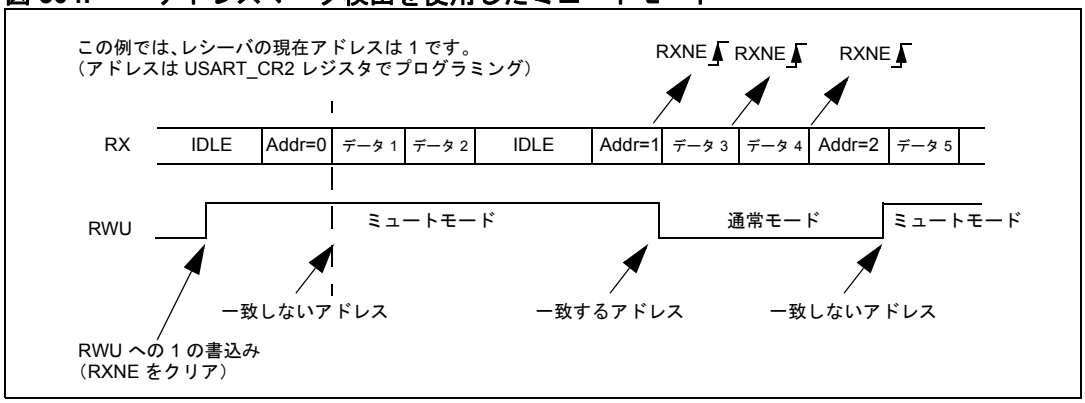
プログラミングされたアドレスと一致しないアドレスキャラクタを受信すると、USART はミュートモードに入ります。この場合、RWU ビットはハードウェアによってセットされます。USART はミュートモードに入っているので、このアドレスバイトに対して RXNE フラグはセットされず、割込みも DMA リクエストも発行されません。

プログラミングされたアドレスと一致するアドレスキャラクタを受信すると、USART はミュートモードを終了します。続いて RWU ビットがクリアされ、それ以降のバイトは通常どおりに受信されます。RWU ビットはクリアされているので、アドレスキャラクタに対して RXNE ビットがセットされます。

レシーババッファにデータが存在しない場合（USART_SR レジスタの RXNE=0）、RWU ビットに 0 または 1 を書き込むことができます。そうでない場合、書込みは無視されます。

アドレスマーク検出を使用したミュートモードの動作例を*図 304* に示します。

図 304. アドレスマーク検出を使用したミュートモード



30.3.7 パリティ制御

パリティ制御（送信中のパリティビット生成と受信中のパリティ検査）を有効にするには、USART_CR1 レジスタの PCE ビットをセットします。M ビットによって定義されるフレーム長に応じて、予想される USART フレームフォーマットを*表 145* に示します。

表 145. フレームフォーマット

M ビット	PCE ビット	USART フレーム(1)
0	0	| SB | 8 ビットデータ | STB |
0	1	| SB | 7 ビットデータ | PB | STB |
1	0	| SB | 9 ビットデータ | STB |
1	1	| SB | 8 ビットデータ | PB | STB |

1. 凡例：SB：スタートビット、STB：ストップビット、PB：パリティビット

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

偶数パリティ

下位 7 ビットまたは 8 ビット（M=0 または M=1 に応じて）とパリティビットから構成されるフレーム内で、「1」の数が偶数になるように、パリティビットが計算されます。

例：データ = 00110101、4 ビットがセット => 偶数パリティが選択された場合（USART_CR1 の PS=0）、パリティビットは 0 になります。

奇数パリティ

下位 7 ビットまたは 8 ビット（M=0 または M=1 に応じて）とパリティビットから構成されるフレーム内で、「1」の数が奇数になるように、パリティビットが計算されます。

例：データ = 00110101、4 ビットがセット => 奇数パリティが選択された場合（USART_CR1 の PS=1）、パリティビットは 1 になります。

受信中のパリティチェック

パリティチェックに失敗した場合、USART_SR レジスタの PE フラグがセットされ、USART_CR1 レジスタの PEIE ビットがセットされている場合は割込みが生成されます。PE フラグは、ソフトウェアシーケンスによってクリアされます（ステータスレジスタの読出しと、それに続く USART_DR データレジスタへの読出しまたは書込みアクセス）。

注： ***アドレスマークによるウェイクアップの場合、アドレス（パリティビットではありません）の特定にはデータの最上位ビットが考慮されます。そしてレシーバは、アドレスデータのパリティをチェックしません（パリティエラーの場合、PE はセットされません）。***

送信中のパリティ生成

USART_CR1 の PCE ビットがセットされている場合、データレジスタに書き込まれたデータの MSB ビットは送信されますが、パリティビットによって変更されます（偶数パリティが選択された場合（PS=0）は偶数個の「1」、奇数パリティが選択された場合（PS=1）は奇数個の「1」）。

注： ***送信を管理するソフトウェアルーチンは、PE フラグをクリアするソフトウェアシーケンス（ステータスレジスタの読出しに続くデータレジスタへの読出しまたは書込みアクセス）を起動できます。半二重モードでは、ソフトウェアによっては PE フラグが不意にクリアされることがあります。***

30.3.8 LIN（local interconnection network）モード

LIN モードを選択するには、USART_CR2 レジスタの LINEN ビットをセットします。LIN モードでは、次のビットをクリアされた状態に保つ必要があります。

- USART_CR2 レジスタの STOP[1:0] および CLKEN ビット
- USART_CR3 レジスタの SCEN、HDSEL、および IREN ビット

LIN 送信

LIN マスタの送信では、通常の USART 送信の手順ではなく、*セクション 30.3.2* で説明したものと同じ手順を適用する必要がありますが、次の点が異なります。

- 8 ビットのワード長を設定するには M ビットをクリアします。
- LIN モードに入るには LINEN ビットをセットします。この場合、SBK ビットをセットすると、13 個の“0”ビットがブレークキャラクタとして送信されます。その後、値“1”のビットが送信され、次の START 検出が可能になります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

LIN 受信

USART インタフェースにはブレーク検出回路が実装されています。この検出は、通常の USART レシーバとは完全に独立しています。アイドル状態時やフレームの処理中には、発生のたびにブレークが検出できます。

レシーバが有効になると（USART_CR1 レジスタの RE=1）、RX 入力の START 信号を探します。スタートビットの検出方法は、ブレークキャラクタやデータの検索方法と同じです。スタートビットが検出された後、データの場合とまったく同様に次のビットがサンプリングされます（8、9、および 10 番目のサンプル）。10 個（USART_CR2 レジスタの LBDL=0）または 11 個（USART_CR2 レジスタの LBDL=1）の連続した“0”ビットが検出され、その後にデリミタキャラクタが続く場合、USART_SR レジスタの LBD フラグがセットされます。LBDIE ビットが 1 の場合、割込みが生成されます。ブレークを確認する前に、RX ラインがハイレベルに戻ったことを知らせるデリミタが検査されます。

この 10 または 11 が発生する前に“1”がサンプリングされた場合、ブレーク検出回路は現在の検出をキャンセルし、再びスタートビットを検索します。

LIN モードが無効にされた場合（LINEN=0）、レシーバは、ブレーク検出を考慮することなく、通常の USART として機能し続けます。

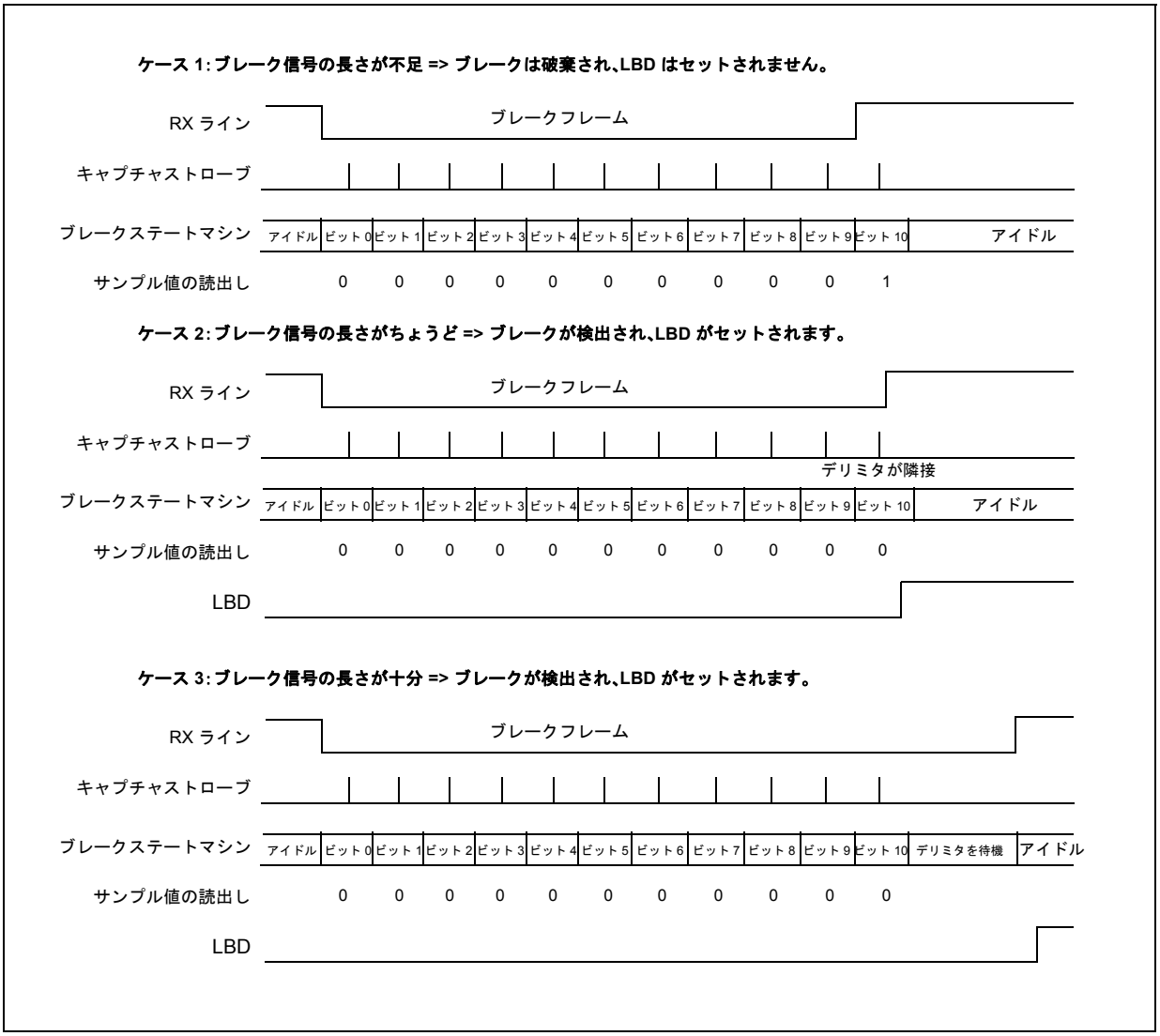
LIN モードが有効にされた場合（LINEN=1）、フレーミングエラーが発生（つまり、ブレークフレームの場合と同様に、“0”の位置でストップビットを検出）すると、レシーバは停止し、ブレーク検出回路が“1”（ブレークワードが完全でなかった場合）またはデリミタキャラクタ（ブレークが検出された場合）を受信するまで停止状態を維持します。

ブレーク検出回路ステートマシンの動作とブレークフラグを*図 305:LIN モードでのブレーク検出(11 ビットブレーク長、LBDL=1）（ページ）1004*に示します。

ブレークフレームの例を*図 306 : LIN モードでのブレーク検出とフレーミングエラー検出（ページ）1005* に示します。

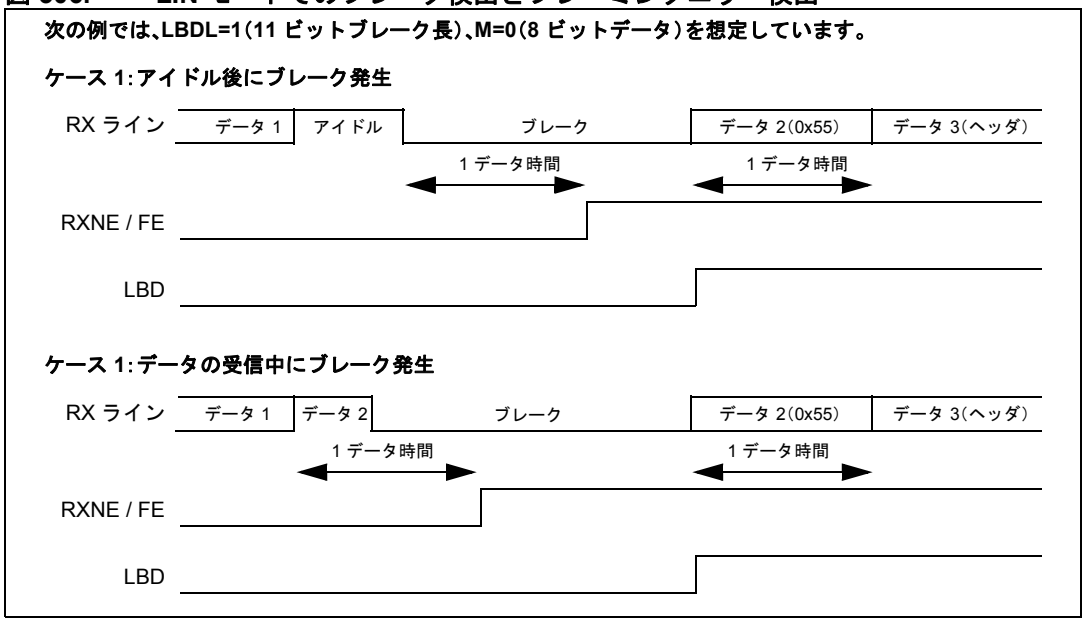
この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 305. LIN モードでのブレーク検出（11 ビットブレーク長、LBDL=1）



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 306. LIN モードでのブレーク検出とフレーミングエラー検出



30.3.9 USART 同期モード

同期モードを選択するには、USART_CR2 レジスタの CLKEN ビットに 1 を書き込みます。同期モードでは、次のビットをクリアされた状態に保つ必要があります。

- USART_CR2 レジスタの LINEN ビット
- USART_CR3 レジスタの SCEN、HDSEL、および IREN ビット

USART では、マスタモードで双方向の同期シリアル通信を制御できます。SCLK ピンは USART トランスミッタクロックの出力です。スタートビットとストップビットの処理中には、SCLK ピンにクロックパルスは送信されません。USART_CR2 レジスタの LBCL ビットの状態によっては、有効な最後のデータビット（アドレスマーク）の処理中にクロックパルスが生成されることもあります。USART_CR2 レジスタの CPOL ビットによってクロック極性を選択でき、同じレジスタの CPHA ビットによって外部クロックの位相を選択できます（*図 307*、*図 308* および *図 309* を参照）。

アイドル時、プリアンブル処理時、およびブレーク送信時には、外部 SCLK クロックは起動されません。

同期モードでは、USART トランスミッタは非同期モードの場合とまったく同じように機能します。しかし、CPOL と CPHA に基づいて SCLK が TX と同期すると、TX 上のデータが同期します。

このモードでは、USART レシーバは非同期モードの場合とは異なる動作をします。RE=1 の場合、データはオーバーサンプリングなしで、SCLK（CPOL と CPHA に応じて立上りまたは立下りエッジ）でサンプリングされます。このとき、ボーレート（1/16 ビット時間）に応じたセットアップ時間とホールド時間を守る必要があります。

この資料は、STMicroelectronics NV 並びにその子会社（以下 ST）が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

注： *SCLK ピンは TX ピンとともに機能します。したがって、クロックが供給されるのは、トランスミッタが有効であり（TE=1）、データが送信中（データレジスタ USART_DR への書込み）の場合に限られます。つまり、データ送信を行わずに同期データを受信することはできません。*

トランスミッタとレシーバが無効にされた場合（TE=RE=0）、クロックパルスが正常に機能するには、LBCL、CPOL、および CPHA の各ビットを選択する必要があります。これらのビットは、トランスミッタまたはレシーバが有効である間は、変更しないでください。

レシーバのセットアップ時間とホールド時間を最小限に抑えるため、TE ビットと RE ビットを同じ命令でセットすることをお勧めします。

USART は、マスタモードのみをサポートし、入力クロックに関連するデータを送受信することはできません（SCLK は常に出力です）。

図 307. USART の同期送信の例

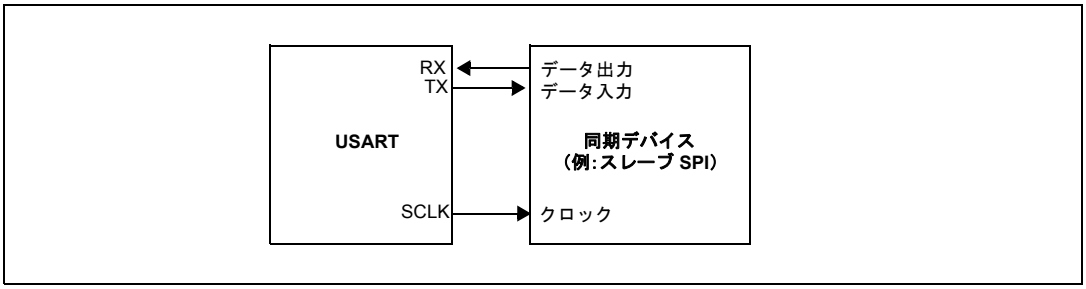
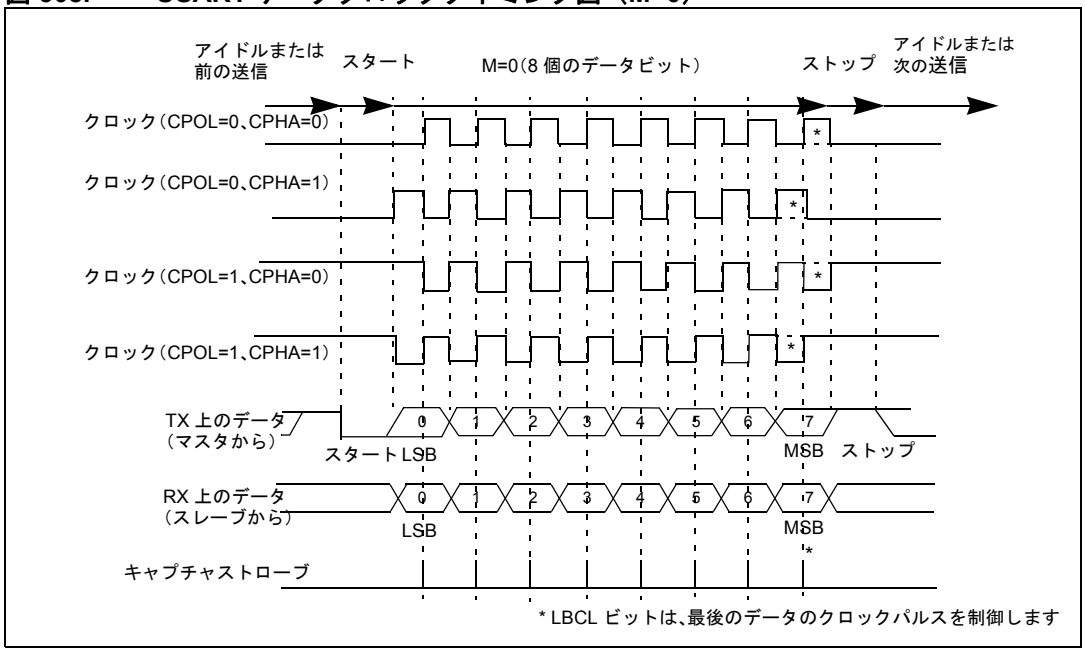


図 308. USART データクロックタイミング図（M=0）



この資料は、STMicroelectronics NV 並びにその子会社（以下 ST）が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 309. USART データクロックタイミング図（M=1）

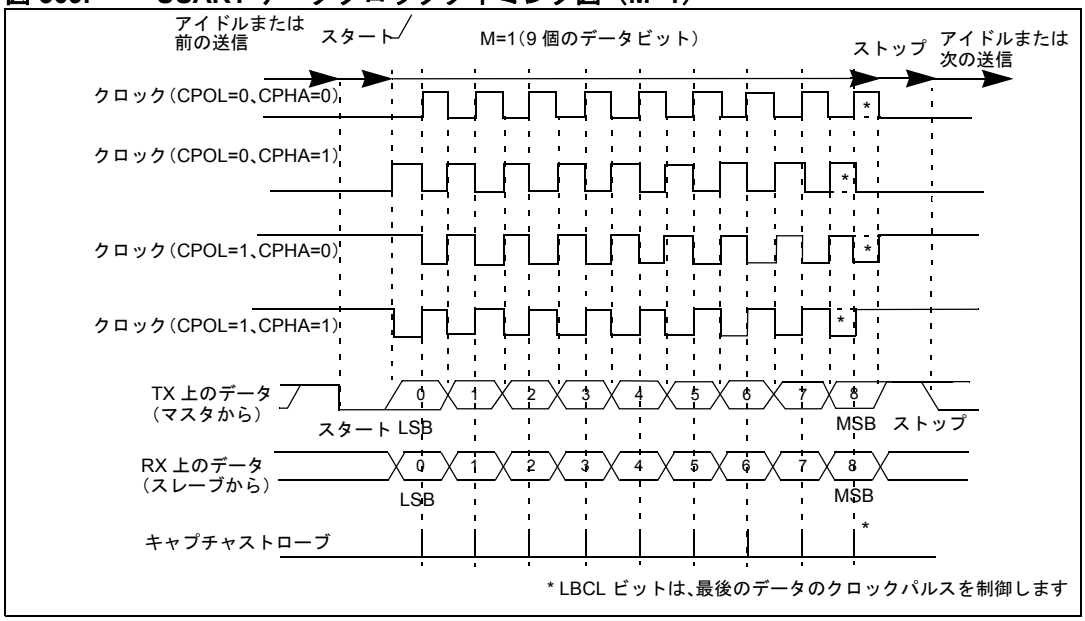
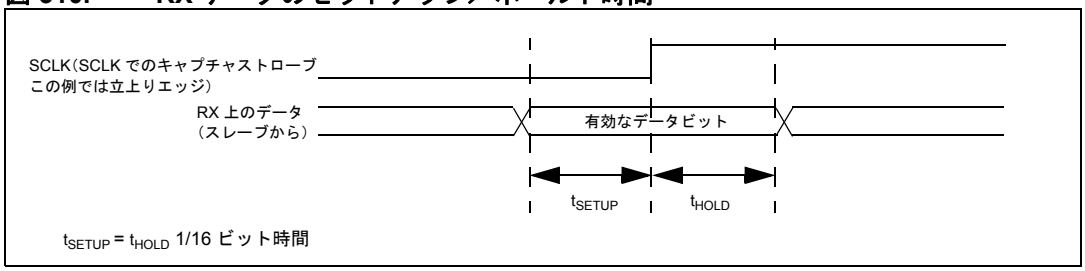


図 310. RX データのセットアップ／ホールド時間



注： スマートカードモードでは SCLK の機能が異なります。詳細については、スマートカードモードの章を参照してください。

30.3.10 単線半二重通信

単線半二重モードを選択するには、USART_CR3 レジスタの HDSEL ビットをセットします。このモードでは、次のビットをクリアされた状態に保つ必要があります。

- USART_CR2 レジスタの LINEN および CLKEN ビット
- USART_CR3 レジスタの SCEN および IREN ビット

USART は、単線半二重のプロトコルに従うように設定できます。この場合、TX ラインと RX ラインは内部接続されます。半二重通信と全二重通信の選択は、制御ビット“HALF DUPLEX SEL”（USART_CR3 レジスタの HDSEL）で行います。

HDSEL ビットに 1 が書き込まれると、

- TX ラインと RX ラインが内部接続されます。
- RX ピンは使用されなくなります。
- TX ピンは、データが送信されないときには常に解放されます。したがって、アイドル時や受信時には標準入出力として機能します。つまり、TX が USART によって駆動されないときはフローティング入力（または出力ハイのオープンドレイン）として設定されるように、入出力を設定する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

この点を除くと、通信は通常の USART モードの場合と同様です。ラインの競合はソフトウェアによって管理する必要があります（たとえば、集中型アービタを使用）。特に、TE ビットがセットされている間は、送信はハードウェアによってブロックされることはなく、データがデータレジスタに書き込まれると送信を続行します。

30.3.11 スマートカード

スマートカードモードを選択するには、USART_CR3 レジスタの SCEN ビットをセットします。スマートカードモードでは、次のビットをクリアされた状態に保つ必要があります。

- USART_CR2 レジスタの LINEN ビット
- USART_CR3 レジスタの HDSEL および IREN ビット

さらに、スマートカードにクロックを供給するために CLKEN ビットをセットすることもできます。

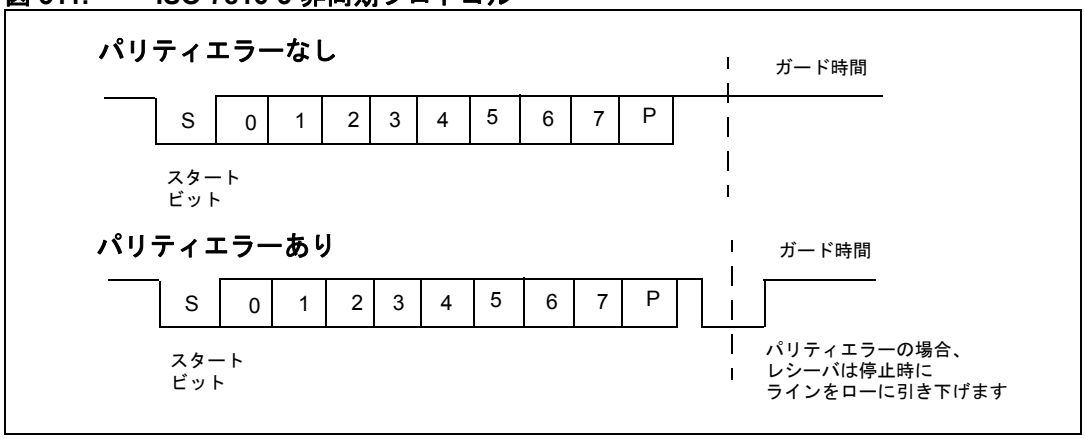
スマートカードインタフェースは、ISO 7816-3 標準で定義された非同期プロトコルスマートカードをサポートするように設計されています。USART は次のように設定してください。

- 8 ビット＋パリティ：USART_CR1 レジスタの M=1、PCE=1
- 送受信ではストップビット 1.5 個：USART_CR2 レジスタの STOP=11。

注： ***受信にはストップビット 0.5 個を選択することも可能ですが、2 つの設定間の切り替えを避けるために、送信と受信の両方にストップビット 1.5 個を使用することを推奨します。***

*図 311*は、パリティエラーの有無によるデータラインの状況の変化の例を示します。

図 311. ISO 7816-3 非同期プロトコル



スマートカードと接続されると、USART の TX 出力は、やはりスマートカードによって駆動される双方向ラインを駆動します。TX ピンは、オープンドレインとして設定される必要があります。

スマートカードは、単線半二重通信プロトコルです。

- 送信シフトレジスタからのデータの送信は、少なくとも 1/2 ボークロックの遅れが保証されます。通常動作では、満杯の送信シフトレジスタは、次のボークロックエッジでシフト動作を開始します。スマートカードモードでは、この送信は、保証された 1/2 ボークロック分だけさらに遅れます。
- ストップビット 0.5 または 1.5 周期でプログラミングされたフレームの受信時にパリティエラーが検出された場合、受信フレームの完了後 1 ボークロック周期間、送信ラインがローに引き下げられます。これは、USART に送信されたデータが正しく受信されなかったことをスマートカードに知らせるためです。この NACK 信号（1 ボークロックの間、送信ラインをローに引き下げ）は、1.5 個のストップビットが組み込まれたトランスミッタ側にフレーミングエラーを引き起こします。アプリケーションは、プロトコルに基づいて、データの再送信に対処できま

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

す。NACK 制御ビットがセットされている場合、パリティエラーはレシーバによって“NACK”されます。そうでない場合、NACK は送信されません。

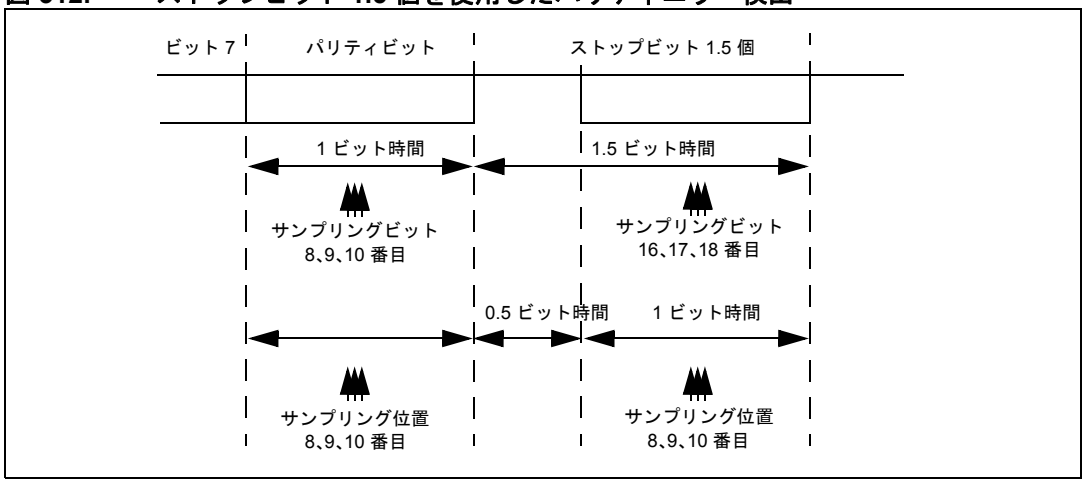
- TC フラグのアサーションは、ガードタイムレジスタのプログラミングによって遅らせることができます。通常動作では、TC がアサートされるのは、送信シフトレジスタが空であり、他に未処理の送信リクエストがない場合です。スマートカードモードでは、空の送信シフトレジスタは、ガードタイムカウンタをトリガして、ガードタイムレジスタにプログラミングされた値までカウントアップします。この間、TC は強制的にローレベルに保たれます。ガードタイムカウンタがプログラミングされた値に達すると、TC がハイにアサートされます。
- TC フラグのネゲートは、スマートカードモードの影響を受けません。
- レシーバからの NACK によってトランスミッタ端でフレーミングエラーが検出された場合、トランスミッタの受信ブロックは、この NACK をスタートビットとして検出しません。ISO プロトコルによれば、受信される NACK の期間は 1 または 2 ボークロック周期です。
- レシーバ側では、パリティエラーが検出されて NACK が送信された場合、レシーバはこの NACK をスタートビットとして検出しません。

注： ***スマートカードモードでは、ブレークキャラクタは意味を持ちません。フレーミングエラー発生時のデータ 0x00 は、ブレークではなくデータとして処理されます。***

TE ビットをトグルするとき、アイドルフレームは送信されません。アイドルフレームは、他の設定では定義されますが、ISO プロトコルでは定義されていません。

*図 312*に、USART による NACK 信号のサンプリング方法を示します。この例では、USART はデータを送信中であり、ストップビットが 1.5 個組み込まれています。データと NACK 信号の整合性を検査するために、USART のレシーバ部が有効にされます。

図 312. ストップビット 1.5 個を使用したパリティエラー検出



USART は、SCLK 出力を通じてスマートカードにクロックを供給できます。スマートカードモードでは、SCLK は通信に関係せず、5 ビットのプリスケーラを通じて単に内部のペリフェラル入力クロックから取得されます。この分周比は、プリスケーラレジスタ USART_GTPR で設定されます。ペリフェラル入力クロックの周波数を f_{CK} としたとき、SCLK の周波数は $f_{CK}/2$ から $f_{CK}/62$ の間でプログラミングできます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

30.3.12 IrDA SIR ENDEC ブロック

IrDA モードを選択するには、USART_CR3 レジスタの IREN ビットをセットします。IrDA モードでは、次のビットをクリアされた状態に保つ必要があります。

- USART_CR2 レジスタの LINEN、STOP、および CLKEN ビット
- USART_CR3 レジスタの SCEN および HDSEL ビット

IrDA SIR 物理層は、ロジック 0 を赤外光パルスとして表現する RZI（Return to Zero, Inverted）変調方式の使用を指定します（*図 313* を参照）。

SIR 送信エンコーダは、USART からの NRZ（Non Return to Zero）送信ビットストリーム出力を変調します。出力パルスストリームは、外部の出力ドライバと赤外線 LED に送信されます。SIR ENDEC の場合、USART は最大 115.2 Kbps のビットレートしかサポートしません。通常モードでは、送信されるパルス幅は、ビット周期の 3/16 と指定されます。

SIR 受信デコーダは、赤外線検出回路からの RZ（Return to Zero）ビットストリームを復調し、受信した NRZ シリアルビットストリームを USART に出力します。デコーダの入力は、アイドル状態のノーマルハイレベル（マーク状態）です。送信エンコーダの出力は、デコーダ入力とは逆の極性になっています。デコーダ入力がローレベルのとき、スタートビットが検出されます。

- IrDA は半二重通信プロトコルです。トランスミッタがビジーである（つまり、USART が IrDA エンコーダにデータを送信している）場合、IrDA デコーダは IrDA 受信ライン上にあるすべてのデータを無視します。レシーバがビジーである（USART がデコードされたデータを受信している）場合、IrDA は USART から IrDA への TX 上のデータをエンコードしません。データの受信中は、送信データの破壊を防ぐために、送信を避けてください。
- “0”はハイパルスとして送信され、“1”は“0”として送信されます。通常モードでは、パルスの幅は、選択されたビット周期の 3/16 と規定されます（*図 314* を参照）。
- SIR デコーダは、IrDA 準拠の受信信号を USART 用のビットストリームに変換します。
- SIR 受信ロジックは、ハイ状態を論理値 1 とみなし、ローパルスを論理値 0 とみなします。
- 送信エンコーダの出力は、デコーダ入力とは逆の極性になっています。SIR 出力は、アイドル時にロー状態になります。
- IrDA 仕様では、1.41 us より大きなパルスを受け入れる必要があります。受け入れられるパルス幅は、プログラミング可能です。レシーバ端のグリッチ検出回路は、PSC 2 周期（PSC は IrDA 低電力ボーレジスタ USART_GTPR にプログラミングされたプリスケーラ値）より小さな幅のパルスをフィルタします。PSC 1 周期より小さな幅のパルスは常に拒否されますが、1 周期以上 2 周期未満の幅のパルスは受け入れられることも、拒否されることもあります。2 周期より大きな幅のパルスは、パルスとして受け入れられます。PSC=0 のとき、IrDA エンコーダ/デコーダは機能しません。
- レシーバは、低電力トランスミッタと通信できます。
- IrDA モードでは、UART_CR2 レジスタのストップビットを「1 ストップビット」に設定する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

IrDA 低電力モード

トランスミッタ:

低電力モードでは、パルス幅はビット周期の 3/16 に維持されません。代わりに、パルス幅は低電力ボーレート（最小で 1.42 MHz）の 3 倍となります。一般に、この値は 1.8432 MHz（1.42 MHz < PSC < 2.12 MHz）です。低電力モードのプログラム可能な分周器は、この値を得るためにシステムクロックを分周します。

レシーバ:

低電力モードでの受信は、通常モードでの受信と同様です。グリッチ検出の場合、USART は 1/PSC よりも短いパルスを破棄する必要があります。有効なローレベルは、その期間が IrDA 低電力ボークロック（USART_GTPR の PSC 値）の 2 周期分を超える場合にのみ受け入れられます。

注： ***PSC 2 周期未満 1 周期以上の幅のパルスは、拒否されることも、拒否されないこともあります。***

レシーバのセットアップ時間は、ソフトウェアで管理してください。IrDA 物理層仕様では、送信と受信の間に最小 10 ms の遅延を指定しています（IrDA は半二重プロトコルです）。

図 313. IrDA SIR ENDEC- ブロック図

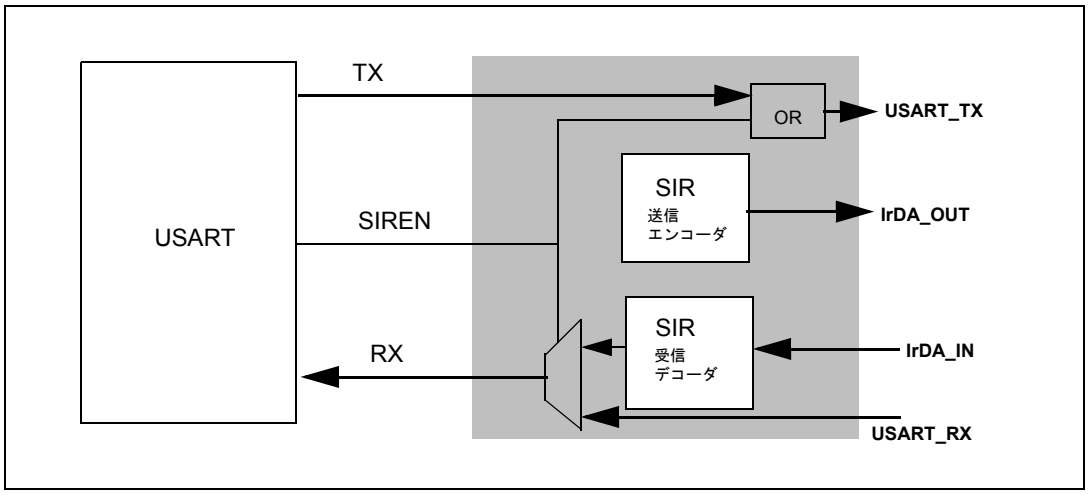
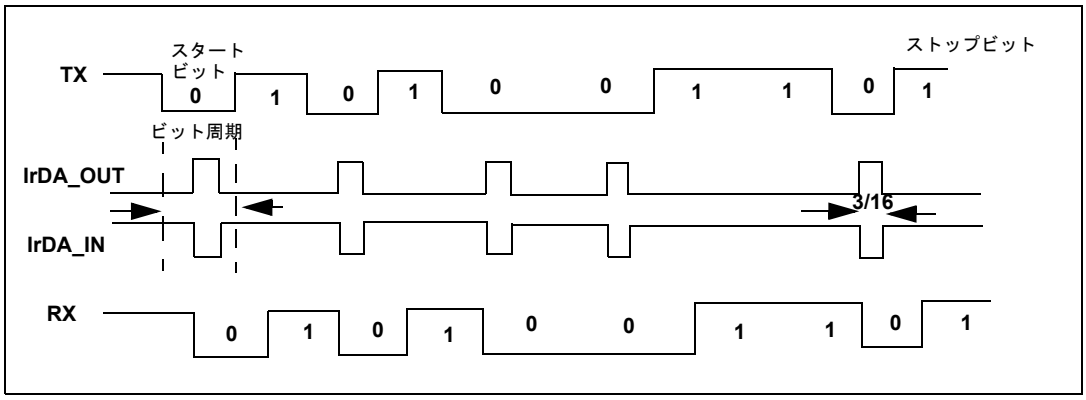


図 314. IrDA データ変調（3/16）- 通常モード



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

30.3.13 DMA を使用した連続通信

USART は、DMA を使用して通信を継続することができます。Rx バッファと Tx バッファに対する DMA リクエストは、それぞれ独立して生成できます。

DMA を使用した送信

DMA モードでの送信を有効にするには、USART_CR3 レジスタの DMAT ビットをセットします。TXE ビットがセットされるたびに、データは、DMA ペリフェラル（DMA 仕様を参照）を使用して設定された SRAM 領域から USART_DR レジスタにロードされます。DMA チャネルを USART 送信用に割り付けるには、次の手順を実行します（x はチャネル番号を示します）

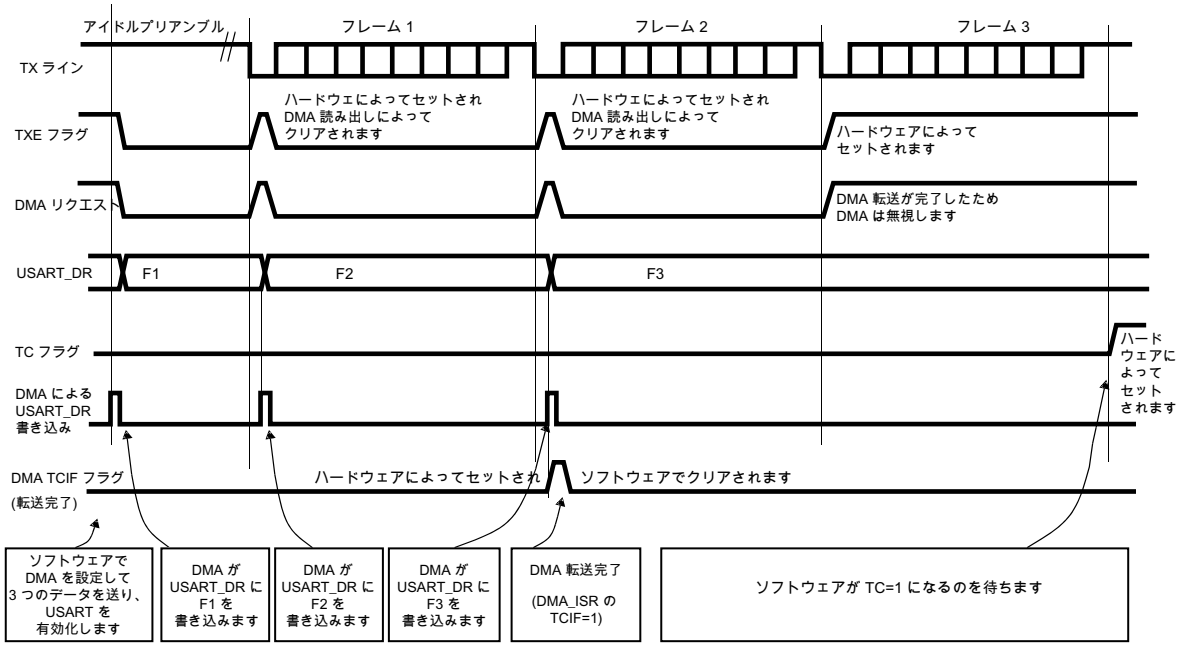
1. DMA 制御レジスタに USART_DR レジスタのアドレスを書き込み、これを転送先として設定します。データは、各 TXE イベント後にメモリからこのアドレスに移動されます。
2. DMA 制御レジスタにメモリアドレスを書き込み、これを転送元として設定します。データは、各 TXE イベント後に、このメモリ領域から USART_DR レジスタにロードされます。
3. 転送すべきバイト総数を DMA 制御レジスタに設定します。
4. チャネル優先順位を DMA レジスタに設定します。
5. アプリケーションで必要とされる 1/2 転送終了、転送完了後の DMA 割込み生成を設定します。
6. SR レジスタの TC ビットに 0 を書き込んでクリアします。
7. DMA レジスタのチャネルを有効にします。

DMA コントローラにプログラミングされたデータ転送数に達すると、DMA コントローラは、DMA チャネルの割込みベクタに基づいて割込みを生成します。

送信モードでは、送信すべきすべてのデータを DMA が書き込むと（DMA_ISR レジスタの TCIF フラグがセットされます）、TC フラグを観察して USART 通信の完了を確認することができます。これは、USART を無効にしたり STOP モードに入ったりする前に、最後の送信が壊れないようにするために必要です。ソフトウェアは、TC=1 になるまで待つ必要があります。TC フラグは、データ転送中はクリアされたままであり、最後のフレームの送信終了時にハードウェアによってセットされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 315. DMA を使用した送信



DMA を使用した受信

DMA モードでの受信を有効にするには、USART_CR3 レジスタの DMAR ビットをセットします。データは、データバイトが受信されるたびに、USART_DR レジスタから DMA ペリフェラル（DMA 仕様を参照）を使用して設定された SRAM 領域にロードされます。DMA チャネルを USART 受信用に割り付けるには、次の手順を実行します。

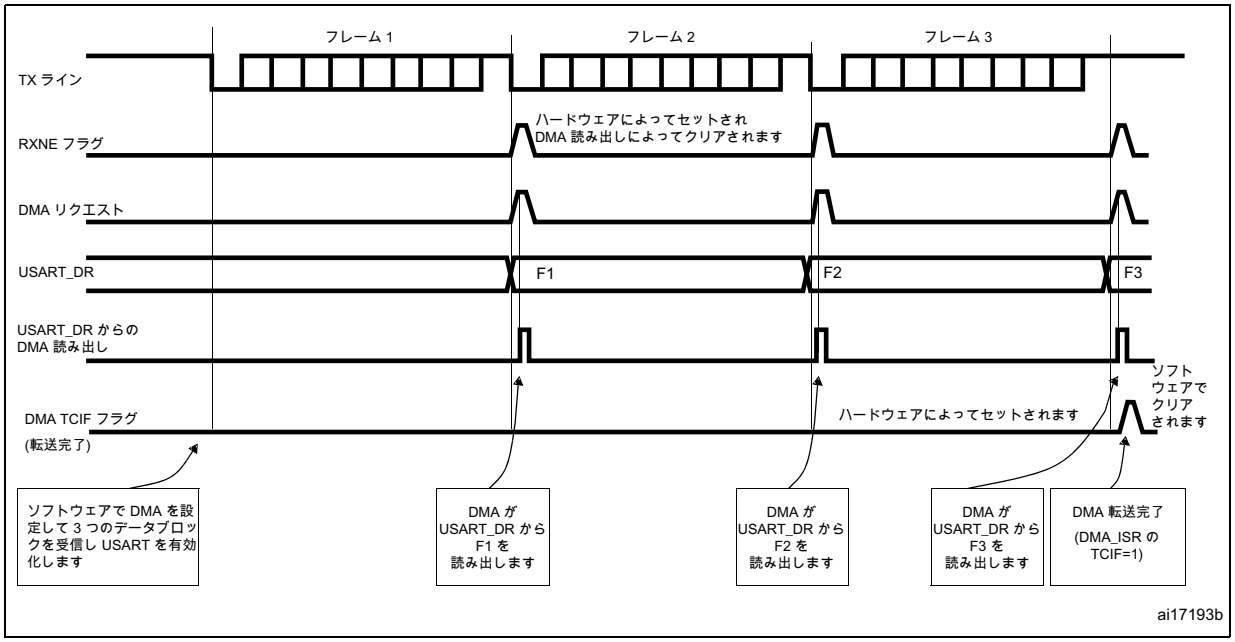
1. DMA 制御レジスタに USART_DR レジスタのアドレスを書き込み、これを転送元として設定します。データは、各 RXNE イベントの後に、このアドレスからメモリに移動されます。
2. DMA 制御レジスタにメモリアドレスを書き込み、これを転送先として設定します。データは、各 RXNE イベントの後に、USART_DR レジスタからこのメモリ領域にロードされます。
3. 転送すべきバイト総数を DMA 制御レジスタに設定します。
4. チャネル優先順位を DMA 制御レジスタで設定します。
5. アプリケーションで必要とされる 1/2 転送終了、転送完了後の割込み生成を設定します。
6. DMA 制御レジスタのチャネルを有効にします。

DMA コントローラにプログラミングされたデータ転送数に達すると、DMA コントローラは、DMA チャネルの割込みベクタに基づいて割込みを生成します。割込み処理サブルーチンでは、USART_CR3 レジスタの DMAR ビットをソフトウェアでクリアする必要があります。

注： DMA を受信に使用する場合は、RXNEIE ビットを有効にしないでください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 316. DMA を使用した受信



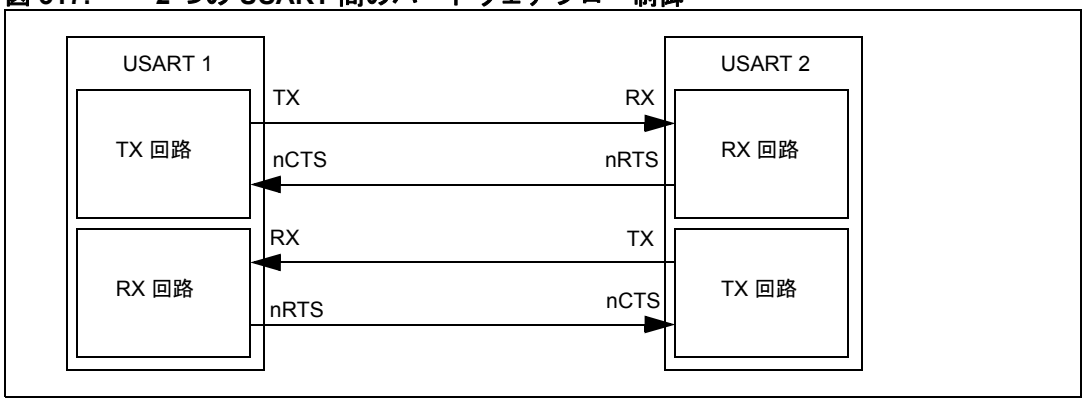
マルチバッファ通信における割込み生成とエラーフラグ

マルチバッファ通信でトランザクションの処理中にエラーが発生した場合、現在のバイトの後でエラーフラグがアサートされます。割込み有効フラグがセットされている場合、割込みが生成されます。1 バイト受信において RXNE とともにアサートされるフレーミングエラー、オーバーランエラー、およびノイズフラグに関しては、別個のエラーフラグ割込み有効ビット（USART_CR3 レジスタの EIE ビット）が用意されており、これがセットされている場合、いずれかのエラーを持つ現在のバイトの後で割込みが発行されます。

30.3.14 ハードウェアフロー制御

nCTS 入力と nRTS 出力を使用すると、2 つのデバイス間でシリアルデータフローを制御できます。*図 317* に、このモードで 2 つのデバイスを接続する方法を示します。

図 317. 2 つの USART 間のハードウェアフロー制御



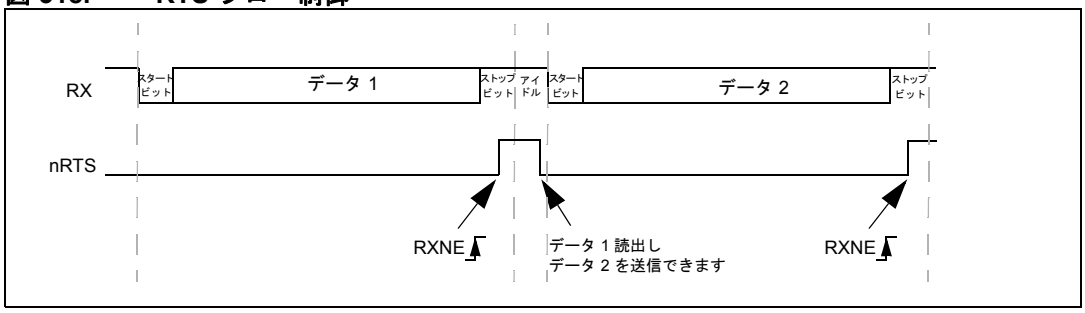
RTS と CTS のフロー制御は、USART_CR3 レジスタの RTSE ビットと CTSE ビットにそれぞれ 1 を書き込むことによって、個別に有効にできます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

RTS フロー制御

RTS フロー制御が有効な場合（RTSE=1）、USART レシーバが新しいデータを受信可能である限り、nRTS がアサートされます（ローレベル接続）。受信レジスタが満杯になると nRTS がネゲートされ、現在のフレームの終わりに送信が停止する予定であることを示します。*図 318* に、RTS フロー制御を有効にした通信の例を示します。

図 318. RTS フロー制御

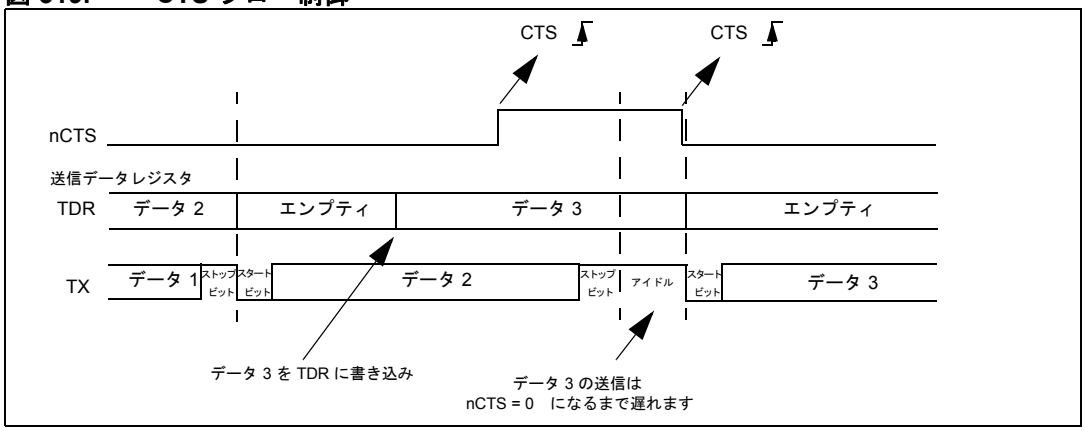


CTS フロー制御

CTS フロー制御が有効な場合（CTSE=1）、トランスミッタは、nCTS 入力を検査してから、次のフレームを送信します。nCTS がアサートされていれば（ローレベル接続）、次のデータが送信されます（データが送信されると想定、つまり TXE=0 の場合）。そうでない場合、送信は行われません。送信中に nCTS がネゲートされると、現在の送信が完了してから、トランスミッタが停止します。

CTSE=1 の場合、nCTS 入力がトグルすると、CTSIF ステータスビットはハードウェアによってただちに自動的にセットされます。このビットは、レシーバの通信準備ができているかどうかを示します。USART_CR3 レジスタの CTSIE ビットがセットされている場合、割込みが生成されます。次の図に、CTS フロー制御が有効な場合の通信例を示します。

図 319. CTS フロー制御



注： ***ブレークフレームの特殊な動作：CTS フローが有効になると、トランスミッタは、ブレークを送信するために nCTS 入力の状態をチェックしません。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

30.4 USART 割込み

表 146. USART 割込みリクエスト

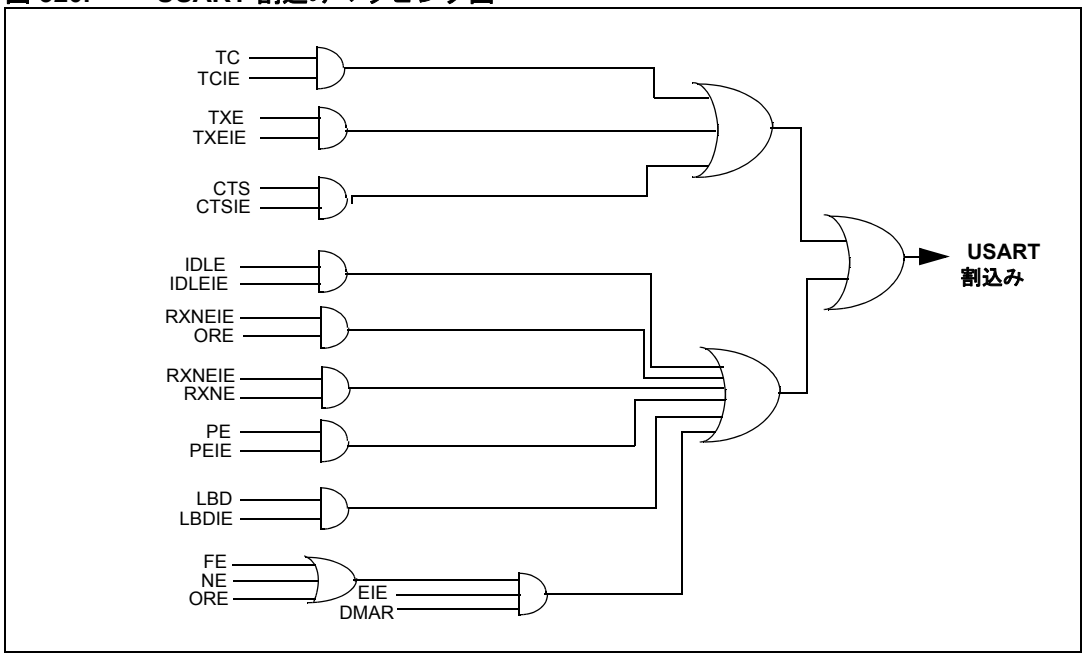
割込みイベント	イベントフラグ	有効制御ビット
送信データレジスタエンプティ	TXE	TXEIE
CTS フラグ	CTS	CTSIE
送信完了	TC	TCIE
受信データ読出し可能	RXNE	RXNEIE
オーバーランエラー検出	ORE	
アイドルライン検出	IDLE	IDLEIE
パリティエラー	PE	PEIE
ブレークフラグ	LBD	LBDIE
マルチバッファ通信におけるノイズフラグ、オーバーランエラー、およびフレーミングエラー	NF または ORE または FE	EIE

USART 割込みイベントは、同じ割込みベクタに接続されます（*図 320* を参照）。

- 送信時：送信完了割込み、CTS 割込み、または送信データレジスタエンプティ割込み
- 受信時：アイドルライン検出、オーバーランエラー、受信データレジスタノットエンプティ、パリティエラー、LIN ブレーク検出、ノイズフラグ（マルチバッファ通信時のみ）、およびフレーミングエラー（マルチバッファ通信時のみ）

これらのイベントは、対応する有効制御ビットがセットされている場合に割込みを生成します。

図 320. USART 割込みマッピング図



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

30.5 USART モード設定

表 147. USART モード設定(1)

USART モード	USART1	USART2	USART3	UART4	UART5	USART6
非同期モード	X	X	X	X	X	X
ハードウェアフロー制御	X	X	X	NA	NA	X
マルチバッファ通信（DMA）	X	X	X	X	X	X
マルチプロセッサ通信	X	X	X	X	X	X
同期	X	X	X	NA	NA	X
スマートカード	X	X	X	NA	NA	X
半二重（単線モード）	X	X	X	X	X	X
IrDA	X	X	X	X	X	X
LIN	X	X	X	X	X	X

1. X = サポート、NA = 該当せず

30.6 USART レジスタ

レジスタの説明で使用されている略語のリストについては、*セクション 1.1 (57 ページ)* を参照してください。

ペリフェラルレジスタには、ハーフワード（16 ビット）またはワード（32 ビット）単位でアクセスできます。

30.6.1 ステータスレジスタ（USART_SR）

アドレスオフセット：0x00

リセット値：0x00C0 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み						CTS	LBD	TXE	TC	RXNE	IDLE	ORE	NF	FE	PE
						rc_w0	rc_w0	r	rc_w0	rc_w0	r	r	r	r	r

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 31:10 予約済みであり、リセット値のままにしておかなければなりません。

ビット 9 **CTS**：CTS flag

このビットは、CTSE ビットがセットされていれば nCTS 入力が切り替えられるときにハードウェアによってセットされ、ソフトウェアによってクリアされます（0 を書き込む）。また、USART_CR3 レジスタで CTSIE=1 であれば、割り込みが生成されます。

0：nCTS ステータスラインでの変更はありません。

1：nCTS ステータスラインで変更がありました。

注： このビットは UART4 および UART5 では使用できません。

ビット 8 **LBD**：LIN ブレーク検出フラグ

このビットは、LIN ブレークが検出されると、ハードウェアによってセットされます。ソフトウェアで 0 を書き込むことによってクリアされます。USART_CR2 レジスタの LBDIE=1 である場合、割込みが生成されます。

0：LIN ブレークは検出されませんでした。

1：LIN ブレークが検出されました。

注： LBDIE=1 の場合、LBD=1 になると割込みが生成されます。

ビット 7 **TXE**：送信データレジスタエンプティ

このビットは、TDR レジスタの内容がシフトレジスタに転送されると、ハードウェアによってセットされます。USART_CT1 レジスタの TXEIE=1 である場合、割込みが生成されます。このビットは、USART_DR レジスタへの書込みによってクリアされます。

0：データはシフトレジスタに転送されていません。

1：データはシフトレジスタに転送されます。

注： このビットは、シングルバッファ送信時に使用されます。

ビット 6 **TC**：送信完了

データを含むフレームの送信が完了し、TXE がセットされている場合、このビットはハードウェアによってセットされます。USART_CR1 レジスタの TCIE=1 である場合、割込みが生成されます。このビットは USART_SR レジスタを読み出し、その後に USART_DR レジスタへの書き込みを行うソフトウェアシーケンスによってクリアされます。TC ビットは、“0”を書き込むことによってもクリアできます。このクリアシーケンスは、マルチバッファ通信の場合にのみ推奨されます。

0：送信は完了していません。

1：送信は完了しています。

ビット 5 **RXNE**：読出しデータレジスタノットエンプティ

このビットは、RDR シフトレジスタの内容が USART_DR レジスタに転送されると、ハードウェアによってセットされます。USART_CR1 レジスタの RXNEIE=1 の場合、割込みが生成されます。このビットは、USART_DR レジスタへの読出しによってクリアされます。RXNE フラグは、0 を書き込むとクリアできます。このクリアシーケンスは、マルチバッファ通信の場合にのみ推奨されます。

0：データは受信されていません。

1：受信データを読み出すことができます。

ビット 4 **IDLE**：アイドルライン検出

このビットは、アイドルラインが検出されたときに、ハードウェアによってセットされます。USART_CR1 レジスタの IDLEIE=1 である場合、割込みが生成されます。このビットは USART_SR レジスタを読み出し、その後に USART_DR レジスタを読み出すソフトウェアシーケンスによってクリアされます。

0：アイドルラインは検出されていません。

1：アイドルラインが検出されました。

注： RXNE ビットがセットされる（つまり、新しいアイドルラインが出現する）まで、IDLE ビットが再びセットされることはありません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 3 ORE：オーバーランエラー

このビットは、RXNE=1 のときに、シフトレジスタで現在受信中のワードを RDR レジスタに転送する準備ができたときに、ハードウェアによってセットされます。USART_CR1 レジスタの RXNEIE=1 の場合、割込みが生成されます。このビットは USART_SR レジスタを読み出し、その後に USART_DR レジスタを読み出すソフトウェアシーケンスによってクリアされます。

0：オーバーランエラーはありません。

1：オーバーランエラーが検出されました。

注： このビットがセットされると、RDR レジスタの内容は失われませんが、シフトレジスタは上書きされます。マルチバッファ通信で EIE ビットがセットされた場合、ORE フラグに基づいて割込みが生成されます。

ビット 2 NF：ノイズ検出フラグ

このビットは、受信フレームでノイズが検出されたるとハードウェアによってセットされます。このビットは USART_SR レジスタを読み出し、その後に USART_DR レジスタを読み出すソフトウェアシーケンスによってクリアされます。

0：ノイズは検出されていません。

1：ノイズが検出されました。

注： このビットは、割込みを生成する RXNE ビットと同時に出現するため、割込みを生成しません。マルチバッファ通信で EIE ビットがセットされている場合は、NF フラグに基づいて割込みが生成されます。

注： ラインがノイズフリーであるとき、NF フラグを無効にして、ONEBIT ビットに 1 をプログラミングして偏差に対する USART の許容誤差を増加させることができます（セクション 30.3.5：クロック偏差に対する USART レシーバの許容誤差（999 ページ）を参照）。

ビット 1 **FE**：フレーミングエラー

このビットは、非同期化、過度なノイズ、またはブレークキャラクタが検出されたときに、ハードウェアによってセットされます。このビットは USART_SR レジスタを読み出し、その後に USART_DR レジスタを読み出すソフトウェアシーケンスによってクリアされます。

0：フレーミングエラーは検出されていません。

1：フレーミングエラーまたはブレークキャラクタが検出されました。

注： このビットは、割込みを生成する RXNE ビットと同時に出現するため、割込みを生成しません。現在転送中のワードによってフレームエラーとオーバーランエラーが発生すると、そのワードが転送され、ORE ビットのみがセットされます。

マルチバッファ通信で EIE ビットがセットされている場合は、FE フラグに基づいて割込みが生成されます。

ビット 0 **PE**：パリティエラー

このビットは、レシーバモードでパリティエラーが発生したときに、ハードウェアによってセットされます。このビットはステータスレジスタを読み出し、その後に USART_DR データレジスタへの読出しまたは書込みアクセスを行うソフトウェアシーケンスによってクリアされます。ソフトウェアは、RXNE フラグがセットされるまで待たなければ、PE ビットをクリアできません。

USART_CR1 レジスタの PEIE=1 である場合、割込みが生成されます。

0：パリティエラーはありません。

1：パリティエラー。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

30.6.2 データレジスタ（USART_DR）

アドレスオフセット：0x04

リセット値：0xXXXX XXXX

ビット 31:9 予約済みであり、リセット値のままにしておかなければなりません。

ビット 8:0 **DR[8:0]**：データ値

読出しか書込みかに応じて、受信または送信のデータキャラクタが含まれます。
データレジスタは、送信用（TDR）と受信用（RDR）の 2 個のレジスタから構成されるため、2 つの機能（読出しと書込み）を実行します。
TDR レジスタは、内部バスと出力シフトレジスタとの間に並列インタフェースを提供します（図 1 を参照）。
RDR レジスタは、入力シフトレジスタと内部バスとの間に並列インタフェースを提供します。
パリティを有効にして（USART_CR1 レジスタの PCE ビットに 1 をセット）送信しているとき、MSB（データ長に応じてビット 7 または 8）に書き込まれた値は、パリティによって置き換えられるため、無効です。
パリティを有効にして受信する場合、MSB ビットで読み出される値が受信したパリティビットです。

30.6.3 ボーレートレジスタ（USART_BRR）

注： ***TE または RE ビットがそれぞれ無効になると、ボーカウンタはカウントを停止します。***

アドレスオフセット：0x08

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DIV_Mantissa[11:0]												DIV_Fraction[3:0]			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:16 予約済みであり、リセット値のままにしておかなければなりません。

ビット 15:4 DIV_Mantissa[11:0]：USARTDIV の整数部

これらの 12 ビットは、USART ディバイダ（USARTDIV）の整数部を定義します。

ビット 3:0 DIV_Fraction[3:0]：USARTDIV の小数部

これらの 4 ビットは、USART ディバイダ（USARTDIV）の小数部を定義します。OVER8=1 のとき、DIV_Fraction3 ビットは考慮されないため、クリアされた状態に保つ必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

30.6.4 制御レジスタ 1（USART_CR1）

アドレスオフセット：0x0C

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OVER8	予約済み	UE	M	WAKE	PCE	PS	PEIE	TXEIE	TCIE	RXNEIE	IDLEIE	TE	RE	RWU	SBK
rw	予約済み	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:16 予約済みであり、リセット値のままにしておかなければなりません。

ビット 15 OVER8：オーバーサンプリングモード

0：16 倍のオーバーサンプリング

1：8 倍のオーバーサンプリング

注： 8 倍のオーバーサンプリングは、スマートカード、IrDA、および LIN の各モードでは使用できません。SCEN=1、IREN=1、または LINEN=1 であるとき、OVER8 はハードウェアによって”0”に固定されます。

ビット 14 予約済みであり、リセット値のままにしておかなければなりません。

ビット 13 UE：USART 有効

このビットがクリアされると、USART プリスケーラと出力は
現在のバイト転送の最後に停止し、消費電力を減らします。このビットは、ソフトウェアによってセット／クリアされます。

0：USART プリスケーラと出力は無効です。

1：USART は有効です。

ビット 12 M：ワード長

このビットは、ワード長を決定します。ソフトウェアによってセット／クリアされます。

0：スタートビット 1 個、データビット 8 個、ストップビット n 個

1：スタートビット 1 個、データビット 9 個、ストップビット n 個

注： M ビットは、送受信のデータ転送中に変更することはできません。

ビット 11 **WAKE**：ウェイクアップ方法

このビットは、USART のウェイクアップ方法を決定し、ソフトウェアによってセット／クリアされます。

0：アイドルライン

1：アドレスマーク

ビット 10 PCE：パリティ制御有効

このビットは、ハードウェアのパリティ制御（生成と検出）を選択します。パリティ制御が有効なとき、算出されたパリティは MSB 位置（M=1 の場合はビット 9、M=0 の場合はビット 8）に挿入され、受信されたデータではパリティが検査されます。このビットは、ソフトウェアによってセット／クリアされます。このビットがセットされると、送受信において現在のバイトの後で PCE が有効になります。

0：パリティ制御は無効です。

1：パリティ制御は有効です。

ビット 9 **PS**：パリティ選択

このビットは、パリティの生成／検出が有効である（PCE ビットがセットされている）とき、奇数パリティ／偶数パリティを選択します。ソフトウェアによってセット／クリアされます。パリティは、現在のバイトの後で選択されます。

0：偶数パリティ

1：奇数パリティ

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 8 PEIE：PE 割込み有効

このビットは、ソフトウェアによってセット／クリアされます。

0：割込みは禁止です。

1：USART_SR レジスタで PE=1 の時に必ず USART 割込みが生成されます。

ビット 7 TXEIE：TXE 割込み有効

このビットは、ソフトウェアによってセット／クリアされます。

0：割込みは禁止です。

1：USART_SR レジスタで TXE=1 のときに必ず USART 割込みが生成されます。

ビット 6 TCIE：転送完了割込み有効

このビットは、ソフトウェアによってセット／クリアされます。

0：割込みは禁止です。

1：USART_SR レジスタで TC=1 のときに必ず USART 割込みが生成されます。

ビット 5 RXNEIE：RXNE 割込み有効

このビットは、ソフトウェアによってセット／クリアされます。

0：割込みは禁止です。

1：USART_SR レジスタで RXNE=1 または ORE=1 のときに必ず USART 割込みが生成されます。

ビット 4 IDLEIE：IDLE 割込み有効

このビットは、ソフトウェアによってセット／クリアされます。

0：割込みは禁止です。

1：USART_SR レジスタで IDLE=1 のときに必ず USART 割込みが生成されます。

ビット 3 TE：トランスミッタ有効

このビットは、トランスミッタを有効にします。ソフトウェアによってセット／クリアされます。

0：トランスミッタは無効です。

1：トランスミッタは有効です。

注： 1：スマートカードモードの場合を除いて、送信中に TE ビットに「0」パルスを与える（「0」に続けて「1」を書き込む）と、現在のワードの後にプリアンブル（アイドルライン）が送信されます。

2：TE がセットされると、送信が開始されるまでに 1 ビット時間の遅れが生じます。

ビット 2 RE：レシーバ有効

このビットは、レシーバを有効にします。ソフトウェアによってセット／クリアされます。

0：レシーバは無効です。

1：レシーバは有効であり、スタートビットの検索が開始されます。

ビット 1 **RWU**：レシーバウェイクアップ

このビットは、USART がミュートモードかどうかを決定します。ソフトウェアによってセット／クリアされ、ウェイクアップシーケンスが認識されるとハードウェアによってクリアできます。

0：レシーバはアクティブモードです。

1：レシーバはミュートモードです。

注： ミュートモードを選択する（RWU ビットをセットする）前に、USART はまずデータバイトを受信する必要があります。受信しない場合、ミュートモードでアイドルライン検出によるウェイクアップを伴う動作はできません。

2：アドレスマーク検出のウェイクアップ設定（WAKE=1）では、RXNE ビットがセットされている限り、ソフトウェアで RWU ビットを変更することはできません。

ビット 0 **SBK**：ブレーク送信

このビットは、ブレークキャラクタを送信するために使用されます。ソフトウェアによってセット／クリアできます。ソフトウェアによってセットされ、ブレークのストップビットの処理中にハードウェアによってリセットされます。

0：ブレークキャラクタは送信されません。

1：ブレークキャラクタは送信されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

30.6.5 制御レジスタ 2（USART_CR2）

アドレスオフセット：0x10

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み	LINEN	STOP[1:0]		CLKEN	CPOL	CPHA	LBCL	予約済み	LBDIE	LBDL	予約済み	ADD[3:0]			
	rw	rw	rw	rw	rw	rw	rw		rw	rw	rw	rw	rw	rw	rw

ビット 31:15 予約済みであり、リセット値のままにしておかなければなりません。

ビット 14 LINEN：LIN モード有効

このビットは、ソフトウェアによってセット／クリアされます。

0：LIN モードは無効です。

1：LIN モードは有効です。

LIN モードでは、USART_CR1 レジスタの SBK ビットを使用して LIN 同期ブレーク（下位 13 ビット）を送信し、LIN 同期ブレークを検出することができます。

ビット 13:12 **STOP**：STOP ビット

このビットは、ストップビットのプログラミングに使用します。

00：ストップビットが 1

01：ストップビットが 0.5

10：ストップビットが 2

11：ストップビットが 1.5

注： 0.5 のストップビットおよび 1.5 のストップビットは、UART4 および UART5 では使用できません。

ビット 11 **CLKEN**：クロック有効

このビットによって、SCLK ピンを有効にできます。

0：SCLK ピンは無効です。

1：SCLK ピンは有効です。

このビットは UART4 および UART5 では使用できません。

ビット 10 **CPOL**：クロック極性

このビットによって、同期モードにおける SCLK ピンのクロック出力の極性を選択できます。CPHA ビットと連携して動作し、希望するクロック／データ関係になるようにします。

0：送信ウィンドウの外で、SCLK ピンはローレベルを維持します。

1：送信ウィンドウの外で、SCLK ピンはハイレベルを維持します。

このビットは UART4 および UART5 では使用できません。

ビット 9 CPHA：クロック位相

このビットによって、同期モードにおける SCLK ピンのクロック出力の位相を選択できます。CPOL ビットと連携して動作し、希望するクロック／データ関係になるようにします（図 *308*～*309* を参照）。

0：最初のクロック遷移が最初のデータキャプチャエッジです。

1：2 番目のクロック遷移が最初のデータキャプチャエッジです。

注： このビットは UART4 および UART5 では使用できません。

ビット 8 **LBCL**：最終ビットのクロックパルス

このビットによって、同期モードで送信される最終データビット（MSB）に関連するクロックパルスを、SCLK ピンに出力する必要があるかどうかを選択します。

0：最終データビットのクロックパルスは、SCLK ピンに出力されません。

1：最終データビットのクロックパルスは、SCLK ピンに出力されます。

注： 1：最終ビットは、USART_CR1 レジスタの M ビットによって選択された 8 または 9 ビットフォーマットに応じて送信された 8 番目または 9 番目のデータビットです。

2：このビットは UART4 および UART5 では使用できません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 7 予約済みであり、リセット値のままにしておかなければなりません。

ビット 6 LBDIE：LIN ブレーク検出割込み有効

ブレーク割込みマスクです（ブレークデリミタを使用したブレーク検出）。

0：割込みは禁止です。

1：USART_SR レジスタで LBD=1 になるたび、割込みが生成されます。

ビット 5 LBDL：lin ブレーク検出長

このビットでは、10 ビットと 11 ビットのブレーク検出を選択します。

0：10 ビットブレーク検出

1：11 ビットブレーク検出

ビット 4 予約済みであり、リセット値のままにしておかなければなりません。

ビット 3:0 **ADD[3:0]**：USART ノードのアドレス

このビットフィールドは、USART ノードのアドレスを示します。

これは、ミュートモードでのマルチプロセッサ通信において、アドレスマーク検出によるウェイクアップに使用されます。

注： ***CPOL、CPHA、LBCL の 3 ビットには、トランスミッタが有効である間は書き込まないでください。***

30.6.6 制御レジスタ 3（USART_CR3）

アドレスオフセット：0x14

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み				ONEBIT	CTSIE	CTSE	RTSE	DMAT	DMAR	SCEN	NACK	HDSEL	IRLP	IREN	EIE
				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:12 予約済みであり、リセット値のままにしておかなければなりません。

ビット 11 ONEBIT：1 サンプルビット方式有効

このビットによって、サンプル方式を選択できます。1 サンプルビット方式が選択されると、ノイズ検出フラグ（NF）が無効になります。

0：3 サンプルビット方式

1：1 サンプルビット方式

ビット 10 **CTSIE：**CTS 割り込み有効

0：割り込みは禁止です。

1：USART_SR レジスタで CTS=1 になるたびに割り込みが生成されます。

注： ***このビットは UART4 および UART5 では使用できません。***

ビット 9 **CTSE：**CTS 有効

0：CTS ハードウェアフロー制御が無効です。

1：CTS モードが有効です。データは nCTS 入力がアサート（0 に関係）されている場合にのみ転送されます。データ転送中に nCTS 入力がネゲートされると、転送は停止前に完了します。nCTS がアサートされている間にデータがデータレジスタに書き込まれると、転送は nCTS がアサートされるまで延期されます。

注： ***このビットは UART4 および UART5 では使用できません。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 8 **RTSE**：RTS 有効

0：RTS ハードウェアフロー制御が無効です。

1：RTS 割り込みが有効です。データは受信バッファに空きがある場合にのみリクエストされます。現在の文字が転送された後、データの転送は停止すると期待されます。nRTS 出力は、データが受信可能な時にアサートされます（0 に関係）。

注： このビットは UART4 および UART5 では使用できません。

ビット 7 **DMAT**：DMA 有効トランスミッタ

このビットは、ソフトウェアでセット/リセットされます。

1：DMA モードが転送に有効です。

0：DMA モードが転送に無効です。

ビット 6 **DMAR**：DMA 有効レシーバ

このビットは、ソフトウェアでセット/リセットされます。

1：DMA モードが受信に有効です。

0：DMA モードが受信に無効です。

ビット 5 **SCEN**：スマートカードモード有効

このビットはスマートカードモードを有効にするために使用します。

0：スマートカードモードが無効です。

1：スマートカードモードが有効です。

注： このビットは UART4 および UART5 では使用できません。

ビット 4 **NACK**：スマートカード NACK 有効

0：パリティエラーの際の NACK 転送が無効です。

1：パリティエラー時の NACK 転送が有効です。

注： このビットは UART4 および UART5 では使用できません。

ビット 3 HDSEL：半二重選択

単線半二重モードの選択です。

0：半二重モードは選択されません。

1：半二重モードが選択されます。

ビット 2 IRLP：IrDA 低電力

このビットは、通常と低電力の IrDA モードの選択に使用されます。

0：通常モード

1：低電力モード

ビット 1 IREN：IrDA モード有効

このビットは、ソフトウェアによってセット／クリアされます。

0：IrDA は無効です。

1：IrDA は有効です。

ビット 0 EIE：エラー割込み有効

エラー割込み有効ビットは、マルチバッファ通信（USART_CR3 レジスタの DMAR=1）において、フレーミングエラー、オーバーランエラー、またはノイズフラグ（USART_SR レジスタの FE=1、ORE=1、または NF=1）の場合に割込み生成を有効にするために必要です。

0：割込みは禁止です。

1：USART_CR3 レジスタで DMAR=1 になるたび、および USART_SR レジスタで FE=1、ORE=1、または NF=1 になるたび、割込みが生成されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

30.6.7 ガード時間／プリスケーラレジスタ（USART_GTPR）

アドレスオフセット：0x18

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
GT[7:0]								PSC[7:0]							
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:16 予約済みであり、リセット値のままにしておかなければなりません。

ビット 15:8 **GT[7:0]：**ガード時間値

このビットフィールドは、ガード時間値をボークロック数で表示します。

これはスマートカードモードで使用し、このガード時間値の後は転送完了フラグがセットされます。

注： このビットは UART4 および UART5 では使用できません。

ビット 7:0 **PSC[7:0]**：プリスケーラ値

– **IrDA 低電力モード：**

PSC[7:0] = IrDA 低電力ボーレート

システムクロックを分周して低電力周波数を得るためのプリスケーラのプログラミングに使用します。

ソースクロックは、レジスタに与えられた値（上位 8 ビット）で分周されます。

00000000：予約済み - この値はプログラミングしないでください。

00000001：ソースクロックは 1 で分周されます。

00000010：ソースクロックは 2 で分周されます。

...

– IrDA 通常モード：PSC には 00000001 を設定する必要があります。

– スマートカードモード：

PSC[4:0]：プリスケーラ値

システムクロックを分周してスマートカードのクロックを提供するプリスケーラのプログラミングに使用します。

レジスタで指定された値（上位 5 ビット）を 2 倍して、ソースクロック周波数の分周比を求めます。

00000：予約済み - この値はプログラミングしないでください。

00001：ソースクロックは 2 で分周されます。

00010：ソースクロックは 4 で分周されます。

00011：ソースクロックは 6 で分周されます。

...

注： 1：スマートカードモードが使用される場合、ビット [7:5] は無効です。

2：このビットは UART4 および UART5 では使用できません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

30.6.8 USART レジスタマップ

次の表に、USART のレジスタマップとリセット値を示します。

表 148. USART レジスタマップとリセット値

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	USART_SR	予約済み																						CTS	LBD	TXE	TC	RXNE	IDLE	ORE	NF	FE	PE
	リセット値																							0	0	1	1	0	0	0	0	0	0
0x04	USART_DR	予約済み																							DR[8:0]								
	リセット値																								0	0	0	0	0	0	0	0	0
0x08	USART_BRR	予約済み																DIV_Mantissa[15:4]												DIV_Fraction [3:0]			
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0C	USART_CR1	予約済み																OVER8	予約済み	UE	M	WAKE	PCE	PS	PEIE	TXEIE	TCIE	RXNEIE	IDLEIE	TE	RE	RWU	SBK
	リセット値																	0		0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x10	USART_CR2	予約済み																	LINEN	STOP [1:0]		CLKEN	CPOL	CPHA	LBCL	予約済み	LBDIE	LBDL	予約済み	ADD[3:0]			
	リセット値																		0	0	0	0	0	0	0		0	0		0	0	0	0
0x14	USART_CR3	予約済み																				ONEBIT	CTSIE	CTSE	RTSE	DMAT	DMAR	SCEN	NACK	HDSEL	IRLP	IREN	EIE
	リセット値																					0	0	0	0	0	0	0	0	0	0	0	0
0x18	USART_GTPR	予約済み																GT[7:0]								PSC[7:0]							
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

レジスタ境界アドレスについては、*表 2（64 ページ）*を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

31 セキュアデジタル入力／出力インタフェース（SDIO）

このセクションは、特に指定がない限り、STM32F4xx ファミリデバイス全体に適用されます。

31.1 SDIO の主な機能

SD/SDIO MMC カードホストインタフェース（SDIO）は、APB2 ペリフェラルバスと MultiMediaCard（MMC）、SD メモリカード、SDIO カード、および CE-ATA デバイス間のインタフェースを提供します。

MMCA 技術委員会から発行された MultiMediaCard システム仕様書は、MultiMediaCard Association のウェブサイト www.mmca.org から入手できます。

SD メモリカードと SD I/O カードシステム仕様書は、SD card Association のウェブサイト www.sdcard.org から入手できます。

CE-ATA システム仕様書は、CE-ATA ワークグループのウェブサイト www.ce-ata.org から入手できます。

SDIO には以下の機能があります。

- MultiMediaCard System Specification Version 4.2 に完全準拠。3 種類の異なるデータバスモードのカードに対応：1 ビット（デフォルト）、4 ビットおよび 8 ビット
- 以前のバージョンの MultiMediaCards との完全互換（上位互換性）
- SD Memory Card Specifications Version 2.0 に完全準拠
- *SD I/O Card Specification Version 2.0* 完全準拠 : 2 種類の異なるデータバスモードのカードに対応：1 ビット（デフォルト）および 4 ビット
- CE-ATA 機能の完全サポート（CE-ATA digital protocol Rev1.1 に完全準拠）
- 8 ビットモードで最大 48 MHz のデータ転送
- 外部双方向ドライバを制御するデータおよびコマンド出力有効信号。

注： ***SDIO は SPI 互換の通信モードを備えていません。***

SD メモリカードプロトコルは、MultiMediaCard system specification V2.11 で定義されている MultiMediaCard プロトコルのスーパーセットです。SD メモリデバイスに必要なコマンドの中には、SD I/O 専用カードやコンボカードの I/O 部分ではサポートされないものもあります。消去コマンドなど、SD I/O デバイスで使用されないコマンドは、SDIO でサポートされません。また、コマンドの中には SD メモリカードと SD I/O カードで異なるものがあり、このようなコマンドは SDIO でサポートされません。詳細については、SD I/O card Specification Version 1.0 を参照してください。CE-ATA は、既存の MMC アクセスプリミティブを利用するプロトコルを使用して、MMC 電気接続によりサポートされます。インタフェースの電気信号定義は、MMC 基準で定義されているとおりです。

MultiMediaCard/SD バスは、カードをコントローラに接続します。

現行バージョンの SDIO は、1 度に 1 枚の SD/SDIO/MMC 4.2 カードと、MMC4.1 以前のスタックだけをサポートします。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

31.2 SDIO バストポロジ

バス上の通信は、コマンドとデータ転送に基づいて行われます。

MultiMediaCard/SD/SD I/O バス上の基本的なトランザクションは、コマンド/レスポンストランザクションです。これらの種類のバストランザクションでは、コマンドまたはレスポンス構造内で直接、情報を転送します。また、データトークンを持つ操作もあります。

SD/SDIO メモリカードに対するデータ転送は、データブロック単位で行われます。MMC に対するデータ転送は、データブロックまたはストリーム単位で行われます。CE-ATA デバイスに対するデータ転送は、データブロック単位で行われます。

図 321. SDIO「no response」と「no data」操作

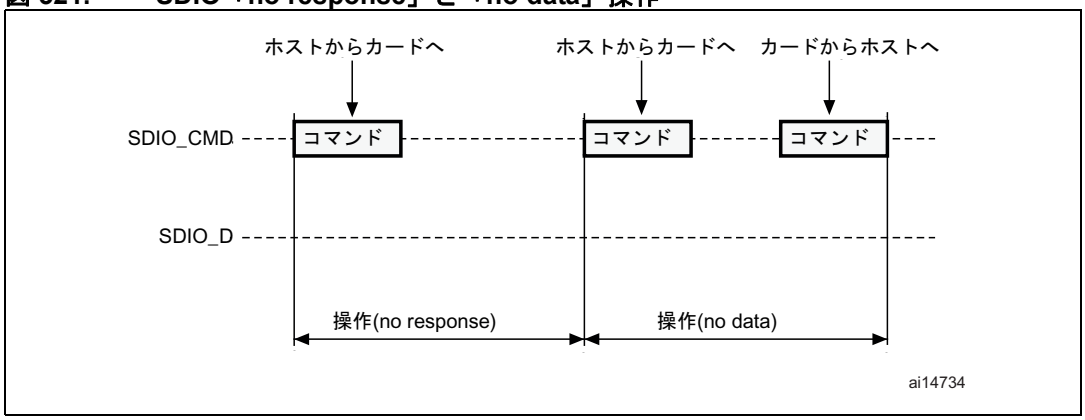
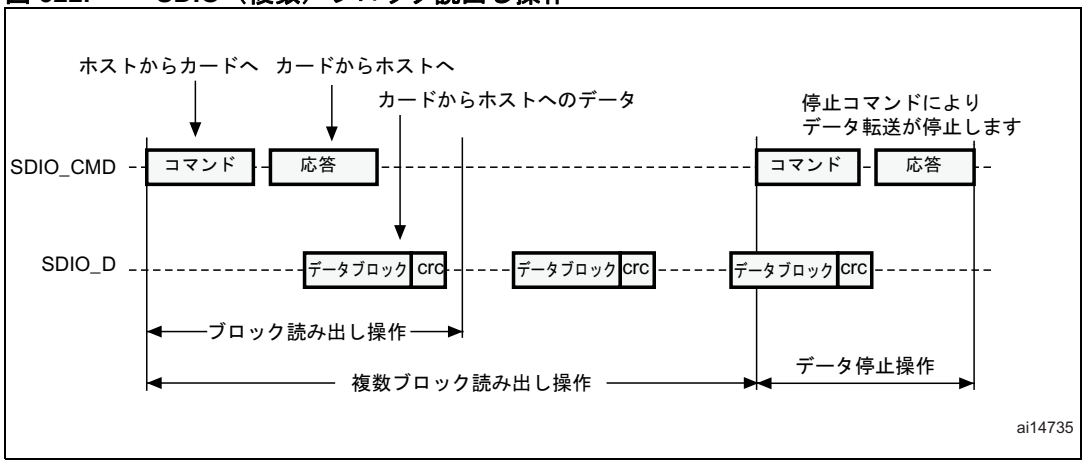
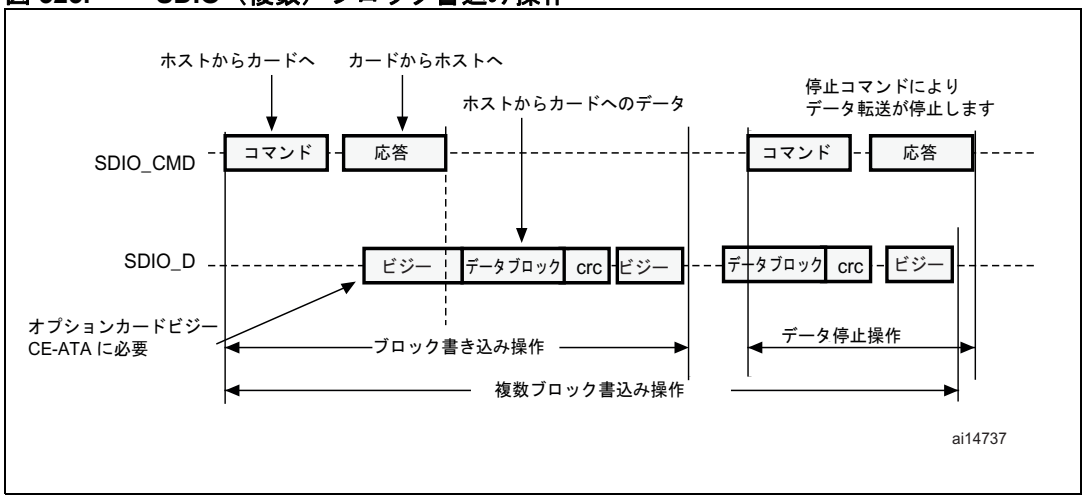


図 322. SDIO（複数）ブロック読出し操作



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 323. SDIO（複数）ブロック書込み操作



注： SDIO は、ビジー信号がアサートされている限り（SDIO_D0 をローへプル）、データを一切送信しません。

図 324. SDIO 順次読出し操作

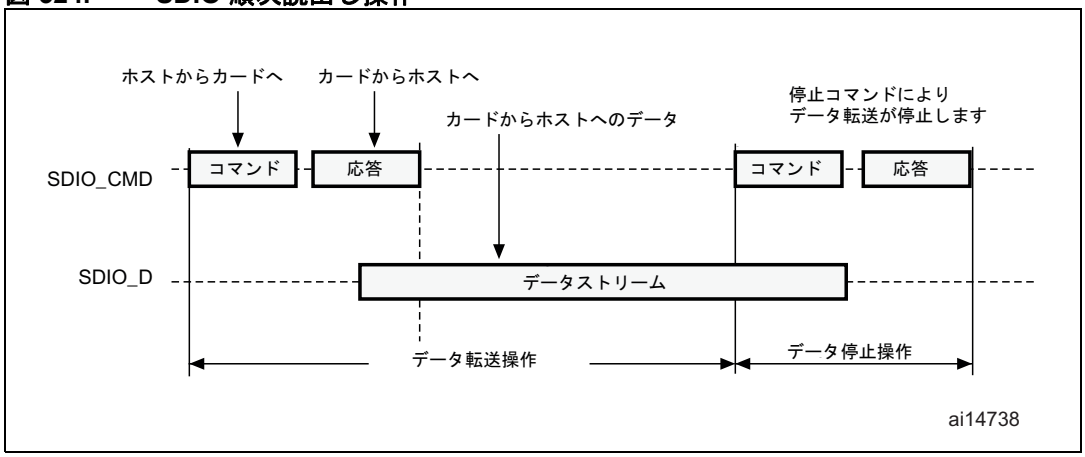
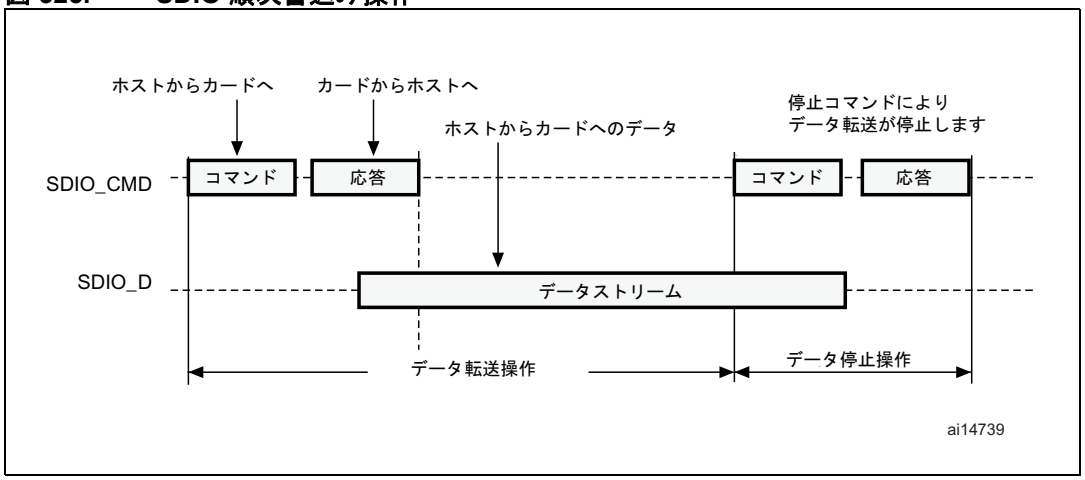


図 325. SDIO 順次書込み操作



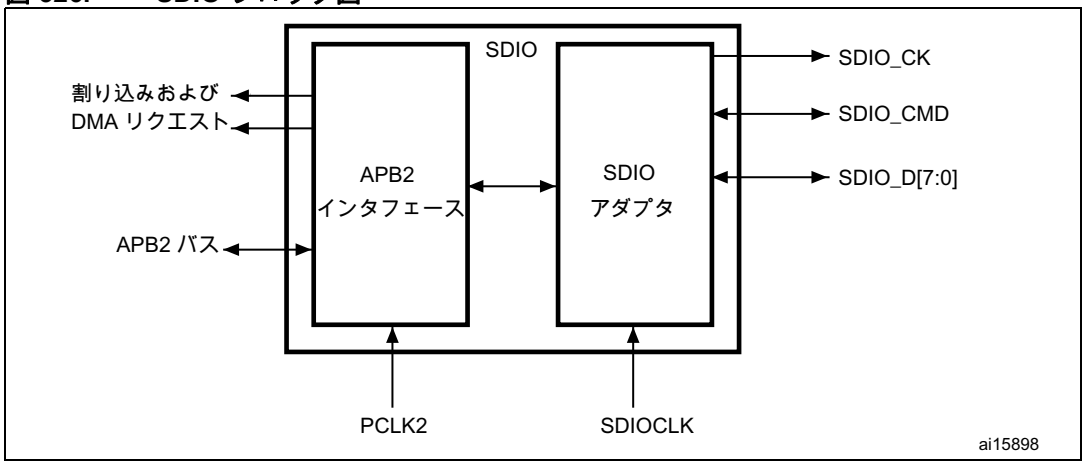
この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

31.3 SDIO の機能説明

SDIO は、2 つの部分で構成されています。

- SDIO アダプタブロックは、クロック生成ユニット、コマンドおよびデータ転送など、MMC/SD/SD I/O カードに固有のすべての機能を提供します。
- APB2 インタフェースは、SDIO アダプタレジスタにアクセスして、割込みおよび DMA リクエスト信号を生成します。

図 326. SDIO ブロック図



デフォルトでは、SDIO_D0 はデータ転送に使用されます。初期化後、ホストはデータバス幅を変更することができます。

MultiMediaCard がバスに接続されている場合、SDIO_D0、SDIO_D[3:0]、または SDIO_D[7:0] はデータ転送に使用できます。MMC V3.31 以前では、1 ビットのデータのみがサポートされるため、使用できるのは SDIO_D0 だけです。

SD または SD I/Oカードがバスに接続されている場合、ホストはデータ転送に SDIO_D0 または SDIO_D[3:0] を使用するように設定できます。すべてのデータラインはプッシュプルモードで動作します。

SDIO_CMD には、2 つの動作モードがあります。

- 初期化の場合は、オープンドレイン（MMCV3.31 以前）
- コマンド転送の場合は、プッシュプル（SD/SD I/O カード MMC4.2 は、初期化にもプッシュプルドライバを使用します）

SDIO_CK は、カードに供給されるクロックです。各クロックサイクルで、コマンドラインとデータラインの両方に 1 ビットが転送されます。クロック周波数は、MultiMediaCard V3.31の場合は 0 MHz から 20 MHz、MultiMediaCard V4.0/4.2 の場合は 0 から 48 MHz、SD/SD I/O カードの場合は 0 から 25 MHz の間で変化します。

SDIO は 2 つのクロック信号を使用します。

- SDIO アダプタクロック（SDIOCLK= 48 MHz）
- APB2 バスクロック（PCLK2）

PCLK2 および SDIO_CK クロック周波数は、次の条件を満足している必要があります。

$$\text{Frequenc(PCLK2)} \geq 3/8 \times \text{Frequency(SDIO_CK)}$$

表 149 に示す信号は、MultiMediaCard/SD/SD I/O カードバス上で使用されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

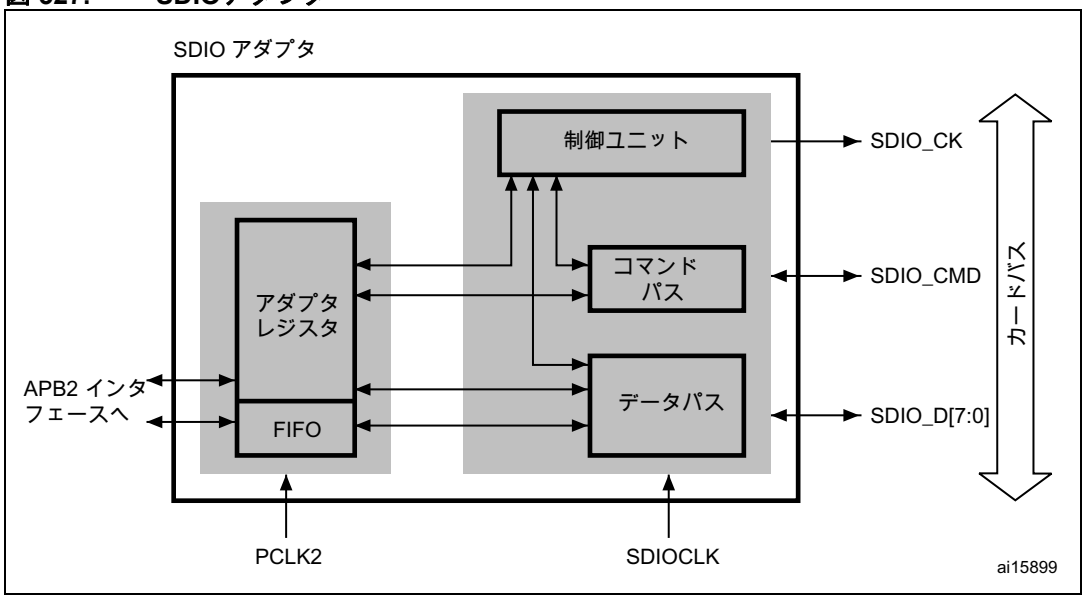
表 149. SDIO I/O 定義

ピン	方向	説明
SDIO_CK	出力	MultiMediaCard/SD/SDIO カードクロック。このピンは、ホストからカードへのクロックです。
SDIO_CMD	双方向	MultiMediaCard/SD/SDIO カードコマンド。このピンは、双方向のコマンド／レスポンス信号です。
SDIO_D[7:0]	双方向	MultiMediaCard/SD/SDIO カードデータ。これらのピンは、双方向データバスです。

31.3.1 SDIO アダプタ

図 327 は、SDIO アダプタの簡略化されたブロック図です。

図 327. SDIOアダプタ



SDIO アダプタは、マルチメディアカードスタックやセキュアデジタルメモリカードとのインタフェースを提供するマルチメディア／セキュアデジタルメモリカードバスマスタであり、次の 5 つのサブユニットで構成されています。

- アダプタレジスタブロック
- 制御ユニット
- コマンドパス
- データパス
- データ FIFO

注： アダプタレジスタと FIFO は、APB2 バスクロックドメイン (PCLK2) を使用します。制御ユニット、コマンドパス、およびデータパスは、SDIO アダプタクロックドメイン（SDIOCLK）を使用します。

アダプタレジスタブロック

アダプタレジスタブロックは、すべてのシステムレジスタを含んでいます。このブロックは、マルチメディアカードのスタティックフラグをクリアする信号も生成します。クリア信号は、SDIO クリアレジスタの対応するビット位置に 1 が書き込まれると生成されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

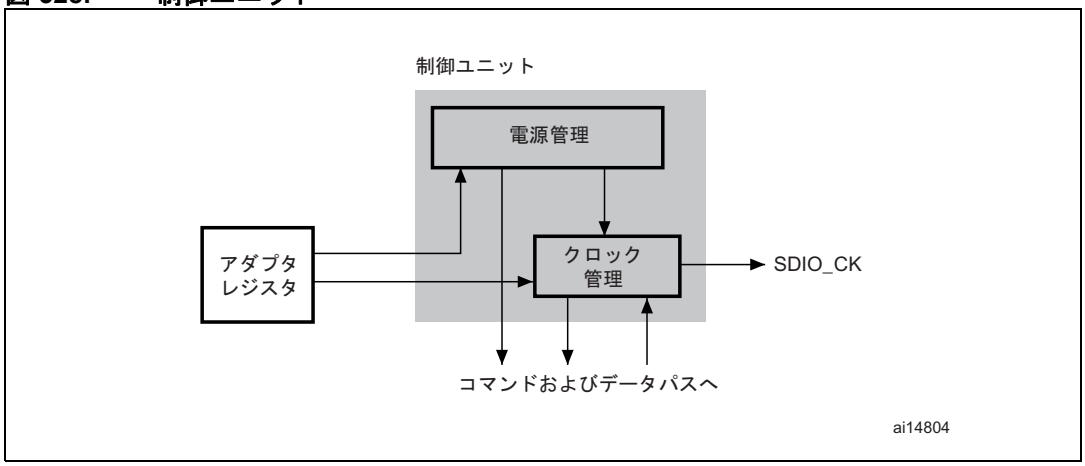
制御ユニット

制御ユニットには、電源管理機能とメモリカードクロックのクロック分周器が含まれています。

3 つの電源フェーズがあります。

- パワーオフ
- パワーアップ
- パワーオン

図 328. 制御ユニット



制御ユニットは、*図 328* に示されており、電源管理サブユニットとクロック管理サブユニットで構成されています。

電源管理サブユニットは、パワーオフおよびパワーアップフェーズの間、カードバス出力信号を無効にします。

クロック管理サブユニットは、SDIO_OK 信号を生成し、制御します。SDIO_CK 出力は、クロック分周またはクロックバイパスモードを使用することができます。クロック出力は、次の場合にインアクティブです。

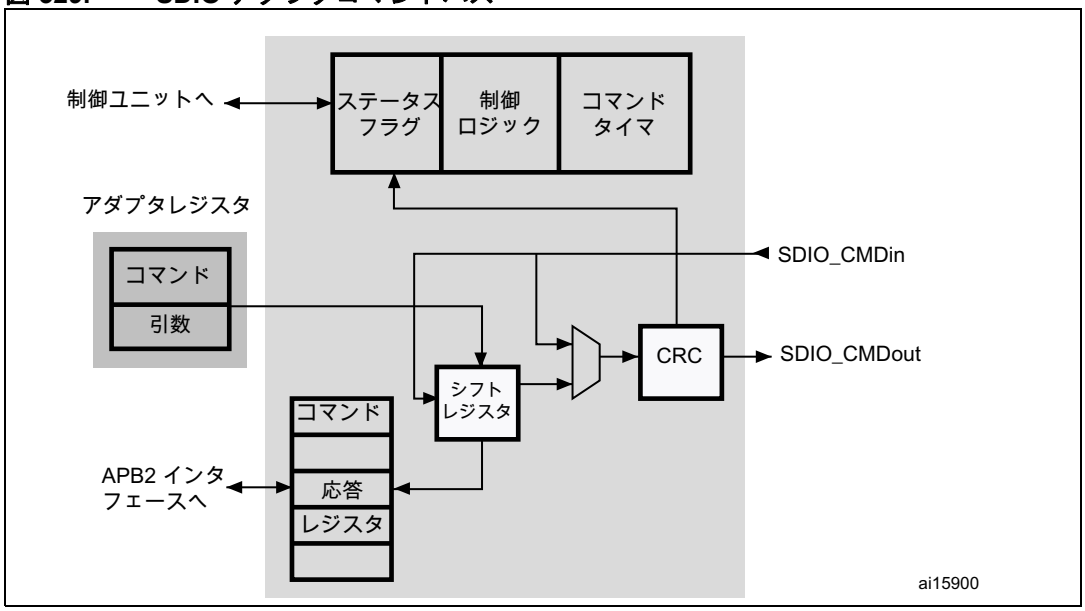
- リセット後
- パワーオフまたはパワーアップフェーズ中
- 節電モードが有効であり、カードバスがアイドル状態の場合（コマンドおよびデータパスサブユニットがアイドルフェーズに入ってから 8 クロック周期後）

コマンドパス

コマンドパスユニットは、カードにコマンドを送信し、カードからレスポンスを受信します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

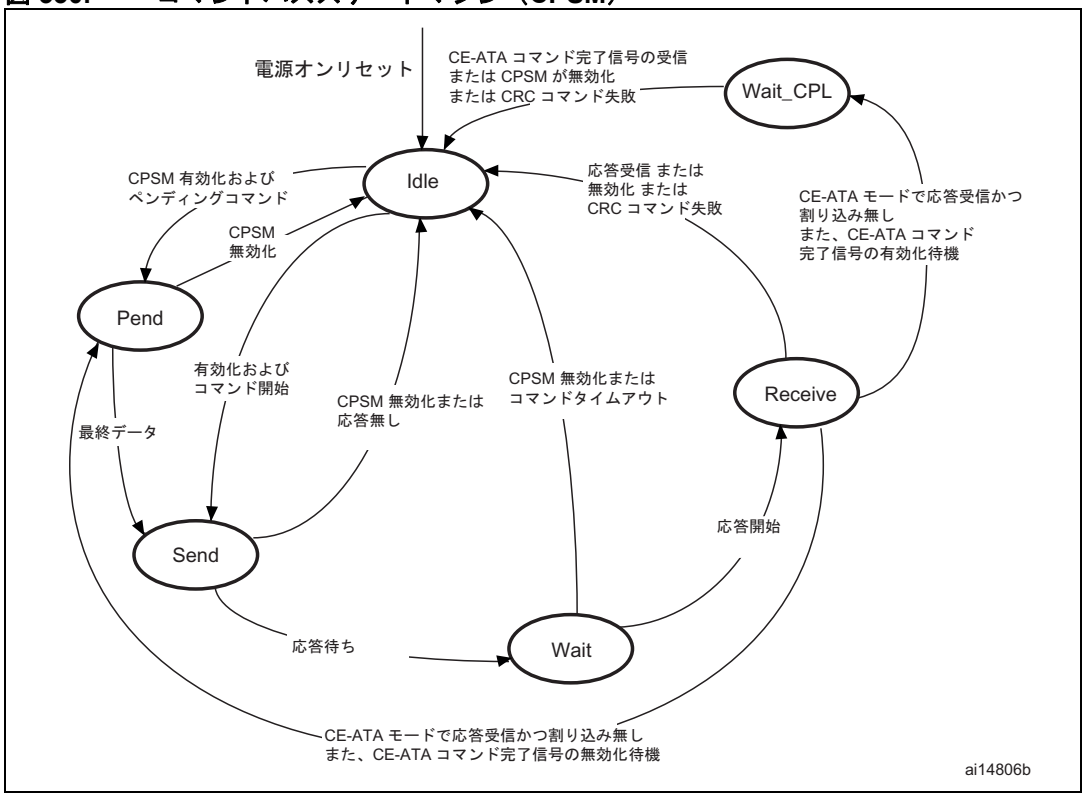
図 329. SDIO アダプタコマンドパス



- コマンドパスステートマシン（CPSM）
  - コマンドレジスタが書き込まれて、有効ビットがセットされると、コマンド転送が開始します。コマンドが送信されると、コマンドパスステートマシン（CPSM）は、ステータスフラグをセットし、レスポンスが不要な場合はアイドル状態になります。レスポンスが必要な場合は、レスポンスを待ちます（*図 330（1036 ページ）*を参照）。レスポンスが受信されると、受信した CRC コードと内部生成されたコードを比較して適切なステータスフラグをセットします。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 330. コマンドパスステートマシン（CPSM）



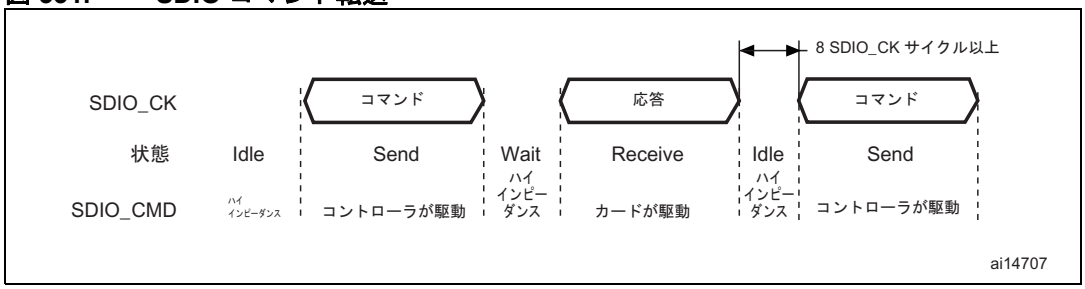
ウェイトステートに入ると、コマンドタイマが作動します。CPSM が受信状態になる前にタイムアウトに達した場合には、タイムアウトフラグがセットされ、アイドル状態に入ります。

注： ***コマンドタイムアウトは、64 SDIO_CK クロック周期の固定値です。***

コマンドレジスタの割込みビットがセットされると、タイマは無効になり、CPSM はカードの 1 枚からの割込みリクエストを待ちます。コマンドレジスタのペンディングビットがセットされると、CPSM はペンディング状態に入り、データパスサブユニットからの CmdPend 信号を待ちます。CmdPend が検出されると、CPSM は送信状態に移行します。これによって、停止コマンドの送信をトリガするデータカウンタが有効になります。

注： ***CPSM は、N_{CC} および N_{RC} タイミング制約を満たすために、少なくとも 8 SDIO_CK 周期の間、アイドル状態を保ちます。N_{CC} は、2 つのホストコマンド間の最小遅延であり、N_{RC} は、ホストコマンドとカードレスポンスの間の最小遅延です。***

図 331. SDIO コマンド転送



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

- コマンド・フォーマット
  - コマンド : コマンドは、動作を開始するトークンです。コマンドは、ホストから 1 枚のカード（アドレス付きコマンド）または接続されたすべてのカードに送信されます（ブロードキャストコマンドは MMCV3.31 以前で使用可能）。コマンドは、CMD ライン上で連続的に転送されます。すべてのコマンドは、固定長 48 ビットです。MultiMediaCard、SD メモリカード、および SDIO カードのコマンドトークンの一般的なフォーマットを *表 150* に示します。CE-ATA コマンドは、MMC コマンド V4.2 の拡張であり、同じフォーマットです。

    コマンドパスは、コマンドとレスポンスを送受信できるように半二重モードで動作します。CPSM が送信状態でない場合、SDIO_CMD 出力は *図 331（1036 ページ）* に示すようにハイインピーダンス状態になります。SDIO_CMD のデータは、SDIO_CK の立上りエッジと同期します。*表 150* に、コマンドフォーマットを示します。

表 150. コマンドフォーマット

ビット位置	幅	値	説明
47	1	0	スタートビット
46	1	1	送信ビット
[45:40]	6	-	コマンドインデックス
[39:8]	32	-	引数
[7:1]	7	-	CRC7
0	1	1	終了ビット

  - レスポンス : レスポンスは、以前に受信したコマンドへの応答として、アドレス指定されたカードから（MMC V3.31 以前の場合はすべてのカードから同期して）ホストに送信されるトークンです。レスポンスは、CMD ライン上で連続的に転送されます。

SDIO は、2 種類のレスポンスをサポートします。どちらも CRC エラーチェックを使用します。

- 48 ビットショートレスポンス
- 136 ビットロングレスポンス

*注 : **レスポンスが CRC を含まない場合（CMD1 レスポンス）、デバイスドライバは CRC 障害ステータスを無視する必要があります。***

表 151. ショートレスポンスフォーマット

ビット位置	幅	値	説明
47	1	0	スタートビット
46	1	0	送信ビット
[45:40]	6	-	コマンドインデックス
[39:8]	32	-	引数
[7:1]	7	-	CRC7（または 1111111）
0	1	1	終了ビット

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 152. ロングレスポンスフォーマット

ビット位置	幅	値	説明
135	1	0	スタートビット
134	1	0	送信ビット
[133:128]	6	111111	予約済み
[127:1]	127	-	CID または CSD（内部 CRC7 を含む）
0	1	1	終了ビット

コマンドレジスタは、コマンドインデックス（カードに送信される 6 ビット）とコマンドタイプを含みます。これらによって、コマンドがレスポンスを必要とするかどうかと、レスポンスが 48 ビット長か 136 ビット長かが決まります（*セクション 31.9.4（1072 ページ）* を参照）。コマンドパスは、*表 153* に示すようにステータスフラグを実装します。

表 153. コマンドパスステータスフラグ

フラグ	説明
CMDREND	レスポンス CRC が OK の場合にセットされます。
CCRCFAIL	レスポンス CRC が失敗した場合にセットされます。
CMDSENT	コマンド（レスポンスを必要としない）が送信されたときにセットされます。
CTIMEOUT	レスポンスタイムアウトです。
CMDACT	コマンド転送中です。

CRC 生成回路は、CRC コードの前のすべてのビットについて CRC チェックサムを計算します。これには、スタートビット、送信ビット、コマンドインデックス、およびコマンド引数（またはカードステータス）が含まれます。CRC チェックサムは、ロングレスポンスフォーマットの場合、CID または CSD の最初の 120 ビットについて計算されます。スタートビット、送信ビット、および 6 つの予約ビットは、CRC 計算では使用されませんので注意してください。

CRC チェックサムは 7 ビットの値です。

CRC[6:0] = 剰余 [(M(x) * x7) / G(x)]

$G(x) = x^7 + x^3 + 1$

M(x) = （スタートビット）* x^{39} + ...+ （CRC 前の最後のビット）* x^0、または

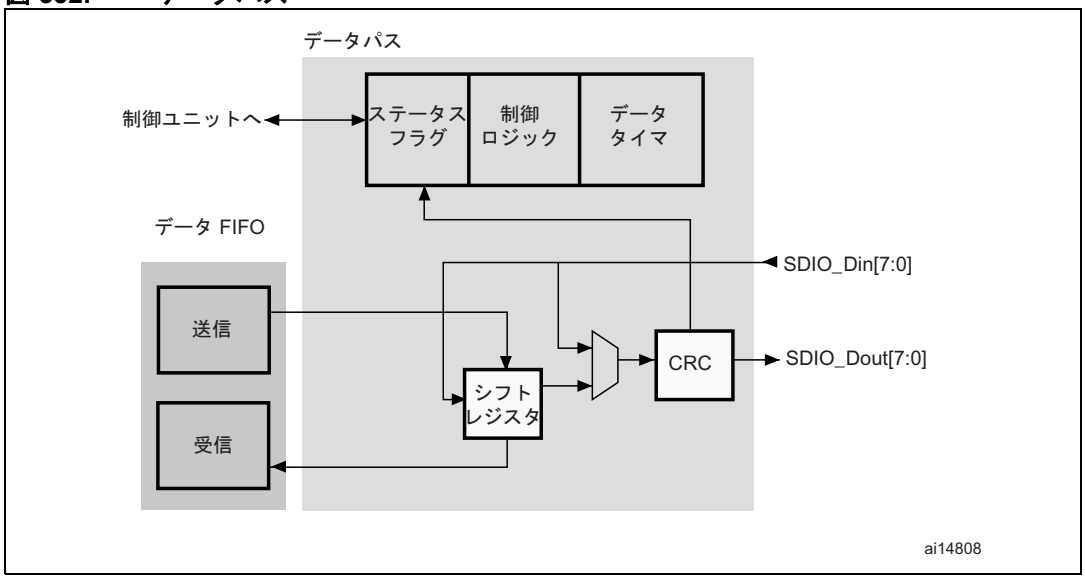
M(x) = （スタートビット）* x^{119} + ...+ （CRC 前の最後のビット）* x^0

データパス

データパスサブユニットは、カードとの間でデータ転送を行います。*図 332* に、データパスのブロック図を示します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 332. データパス



カードデータバス幅は、クロック制御レジスタを使用してプログラムできます。4 ビット幅バスモードが有効な場合、データは 4 つのデータ信号すべて（SDIO_D[3:0]）で、クロックサイクルごとに 4 ビットで転送されます。8 ビット幅バスモードが有効な場合、データは 8 つのデータ信号すべて（SDIO_D[7:0]）で、クロックサイクルごとに 8 ビットで転送されます。ワイドバスモードが有効でない場合は、SDIO_D0 上でクロックサイクルごとに 1 ビットだけが転送されます。

転送の方向（送信または受信）によって、データパスステートマシン（DPSM）は、有効になったときに Wait_S または Wait_R 状態へ移行します。

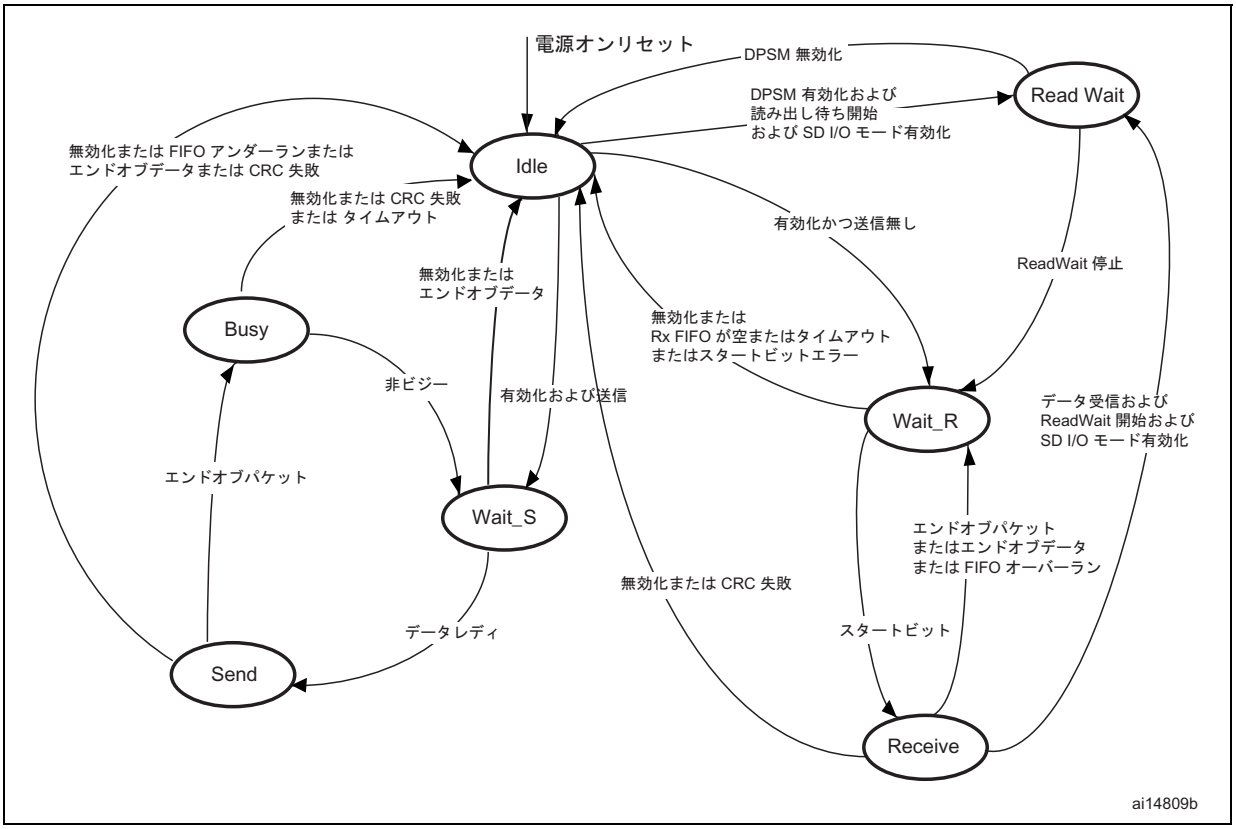
- 送信 : DPSM は Wait_S 状態へ移行します。送信 FIFO にデータがある場合、DPSM は送信状態へ移行し、データパスサブユニットはカードへのデータ転送を開始します。
- 受信 : DPSM は Wait_R 状態へ移行して、スタートビットを待ちます。スタートビットを受信すると、DPSM は受信状態へ移行し、データパスサブユニットはカードからのデータ受信を開始します。

データパスステートマシン（DPSM）

DPSM は、SDIO_CK 周波数で動作します。カードバス信号上のデータは、SDIO_CK の立上りエッジと同期しています。DPSM には、*図 333 : データパスステートマシン（DPSM）* に示す 6 つの状態があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 333. データパスステートマシン（DPSM）



- アイドル：データパスはインアクティブであり、SDIO_D[7:0] 出力はハイインピーダンスです。データ制御レジスタが書き込まれ、有効ビットがセットされると、DPSM はデータカウンタに新しい値をロードし、データ方向ビットに応じて Wait_S または Wait_R 状態へ移行します。
- Wait_R：データカウンタがゼロに等しい場合、DPSM は受信 FIFO が空になると、アイドル状態へ移行します。データカウンタがゼロでない場合、DPSM は SDIO_D 上のスタートビットを待ちます。タイムアウト前にスタートビットを受信した場合、DPSM は受信状態に移行し、データブロックカウンタをロードします。スタートビットを検出する前にタイムアウトに達した場合、またはスタートビットエラーが発生した場合には、アイドル状態へ移行して、タイムアウトステータスフラグをセットします。
- 受信：カードから受信したシリアルデータは数バイトにまとめられ、データ FIFO に書き込まれます。データ制御レジスタの転送モードビットに応じて、データ転送はブロックモードまたはストリームモードのいずれかとなります。
  - ブロックモードでは、データブロックカウンタがゼロに達すると、DPSM は CRC コードを受信するまで待ちます。受信したコードが内部生成された CRC コードと一致する場合、DPSM は Wait_R 状態へ移行します。そうでない場合、CRC 失敗ステータスフラグをセットして、DPSM はアイドル状態へ移行します。
  - ストリームモードでは、DPSM はデータカウンタがゼロでない間、データを受信します。カウンタがゼロになると、シフトレジスタ内の残りのデータがデータ FIFO に書き込まれ、DPSM は Wait_R 状態へ移行します。

  FIFO オーバーランエラーが発生した場合、DPSM は FIFO エラーフラグをセットして、アイドル状態へ移行します。
- Wait_S：データカウンタがゼロの場合、DPSM はアイドル状態へ移行します。そうでない場合は、データ FIFO エンプティフラグがネゲートされるまで待ってから、送信状態へ移行します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

注： ***DPSM は、N_{WR} タイミングの要件を満たすため、少なくとも 2 クロック周期の間、Wait_S 状態を保ちます。ここで、N_{WR} は、カードレスポンスの受信とホストからのデータ転送の開始との間のクロックサイクル数です。***

- 送信：DPSM はカードへのデータの送信を開始します。データ制御レジスタの転送モードビットに応じて、データ転送はブロックモードまたはストリームモードのいずれかとなります。
  - ブロックモードでは、データブロックカウンタがゼロに達すると、DPSM は内部生成された CRC コードと終了ビットを送信して、ビジー状態へ移行します。
  - ストリームモードでは、DPSM は、有効ビットがハイであり、データカウンタがゼロでない間、カードへデータを送信します。その後、アイドル状態へ移行します。

  FIFO アンダーランエラーが発生した場合、DPSM は FIFO エラーフラグをセットして、アイドル状態へ移行します。
- ビジー：DPSM は、CRC ステータスフラグを待ちます。
  - 良好な CRC ステータスを受信しなかった場合、DPSM はアイドル状態へ移行し、CRC 失敗ステータスフラグをセットします。
  - 良好な CRC ステータスを受信した場合、SDIO_D0 がローでない（カードがビジーでない）場合は Wait_S 状態へ移行します。

  DPSM がビジー状態の間にタイムアウトエラーが発生した場合には、DPSM はデータタイムアウトフラグをセットして、アイドル状態へ移行します。

  データタイマは、DPSMが Wait_R またはビジー状態のときに有効になり、以下の場合にデータタイムアウトを生成します。
  - データ送信中、DPSM がプログラムされたタイムアウト時間より長く、ビジー状態にとどまっていた場合。
  - データ受信中、データの終わりが真でなく、DPSM がプログラムされたタイムアウト時間より長く Wait_R 状態にとどまっていた場合、タイムアウトが発生します。
- **データ**：データは、カードからホストへ、またはホストからカードへ転送できます。データは、データラインを介して転送されます。32 ワードの FIFO に格納され、各ワードは 32 ビット幅です。

表 154. データトークンフォーマット

説明	スタートビット	データ	CRC 16	終了ビット
ブロックデータ	0	-	あり	1
ストリームデータ	0	-	なし	1

データ FIFO

データ FIFO（ファーストインファーストアウト）サブユニットは、送受信ユニットを持つデータバッファです。

FIFO には、32 ビット幅、32 ワードの深さのデータバッファと、送受信ロジックがあります。データ FIFO は APB2 クロックドメイン（PCLK2）で動作するため、SDIO クロックドメイン（SDIOCLK）のサブユニットからの信号はすべて再同期されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

TXACT および RXACT フラグに応じて、FIFO は無効、送信有効、または受信有効にできます。TXACT と RXACT は、データパスサブユニットによって駆動され、相互排他的となっています。

- 送信 FIFO は、TXACT がアサートされると、送信ロジックとデータバッファを参照します。
- 受信 FIFO は、RXACT がアサートされると、受信ロジックとデータバッファを参照します。

- 送信FIFO：

  データは、SDIO が送信有効なときに、APB2 インタフェースを通じて送信 FIFO に書き込むことができます。

  送信 FIFO は、32 個の連続アドレスを介してアクセス可能です。送信 FIFO には、読出しポインタが示すデータワードを保持するデータ出力レジスタが含まれています。データパスサブユニットがシフトレジスタをロードすると、読出しポインタがインクリメントされ、新しいデータが駆動されます。

  送信 FIFO が無効な場合、すべてのステータスフラグがネゲートされます。データパスサブユニットは、データを送信するときに TXACT をアサートします。

表 155. 送信 FIFO ステータスフラグ

フラグ	説明
TXFIFOF	32 個すべての送信 FIFO ワードが有効なデータを含んでいるとき、ハイにセットされます。
TXFIFOE	送信 FIFO が有効なデータを含んでいないとき、ハイにセットされます。
TXFIFOHE	8 個以上の送信 FIFO ワードが空のとき、ハイにセットされます。このフラグは DMA リクエストとして使用できます。
TXDAVL	送信 FIFO が有効なデータを含んでいるとき、ハイにセットされます。このフラグは、TXFIFIOE フラグの反転です。
TXUNDERR	アンダーランエラーが発生すると、ハイにセットされます。このフラグは、SDIO クリアレジスタへの書込みによってクリアされます。

- 受信 FIFO

  データパスサブユニットがワードデータを受信すると、書込みデータバス上にデータが出力されます。書込み操作が完了すると、書込みポインタがインクリメントされます。読出し側では、読出しポインタの現在値が示す FIFO ワードの内容が、読出しバス上に出力されます。受信 FIFO が無効な場合、すべてのステータスフラグがネゲートされ、読出しおよび書込みポインタがリセットされます。データパスサブユニットは、データを受信すると、RXACT をアサートします。*表 156* に、受信 FIFO ステータスフラグをリストします。受信 FIFO は、32 個の連続アドレスを介してアクセス可能です。

表 156. 受信 FIFO ステータスフラグ

フラグ	説明
RXFIFOF	32 個すべての受信 FIFO ワードが有効なデータを含んでいるとき、ハイにセットされます。
RXFIFOE	受信 FIFO が有効なデータを含んでいないとき、ハイにセットされます。
RXFIFOHF	8 個以上の受信 FIFO ワードが空のとき、ハイにセットされます。このフラグは DMA リクエストとして使用できます。
RXDAVL	受信 FIFO が空でないとき、ハイにセットされます。このフラグは RXFIFIOE フラグの反転です。
RXOVERR	オーバーランエラーが発生すると、ハイにセットされます。このフラグは、SDIO クリアレジスタへの書込みによってクリアされます。

この資料は、STMicroelectronics NV 並びにその子会社（以下 ST）が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

31.3.2 SDIO APB2 インタフェース

APB2 インタフェースは、割込みおよび DMA リクエストを生成し、SDIO アダプタレジスタとデータ FIFO にアクセスし、データパス、レジスタデコーダ、および割込み／DMA ロジックで構成されています。

SDIO 割込み

割込みロジックは、選択されたステータスフラグの少なくとも 1 つがハイのときにアサートされる割込みリクエスト信号を生成します。割込み生成条件が選択できるように、マスクレジスタが提供されています。ステータスフラグは、対応するマスクフラグがセットされている場合に割込みリクエストを生成します。

SDIO／DMA インタフェース - SDIO とメモリ間のデータ転送手順

次に示す例では、SDIO ホストコントローラから MMC に対して転送が行われます（CMD24（WRITE_BLOCK）を使用して 512 バイトを転送）。SDIO FIFO には、DMA コントローラを使用してメモリに格納されたデータが入力されます。

1. カード識別プロセスを行います。
2. SDIO_CK 周波数を上げます。
3. CMD7 を送信してカードを選択します。
4. 次のように DMA2 を構成します。
   a) DMA2 コントローラを有効にして、ペンディング中の割込みをすべてクリアします。
   b) DMA2_Stream3 または DMA2_Stream6 Channel4 ソースアドレスレジスタをメモリ位置のベースアドレスでプログラムし、DMA2_Stream3 または DMA2_Stream6 Channel4 デスティネーションアドレスレジスタを SDIO FIFO レジスタアドレスでプログラムします。
   c) DMA2_Stream3 または DMA2_Stream6 Channel4 制御レジスタをプログラムします（ペリフェラルインクリメントではなくメモリインクリメント、またペリフェラル幅とソース幅はワードサイズ）。
   d) DMA2_Stream3 または DMA2_Stream6 Channel4 をプログラムしてペリフェラルをフローコントローラとして選択します（DMA_S3CR または DMA_S6CR 設定レジスタの PFCTRL ビットをセットします）。
   e) DMA2_Stream3 または DMA2_Stream6 Channel4 で、インクリメンタルバースト転送を 4 ビート（最低でもペリフェラル側から）に設定します。
   f) DMA2_Stream3 または DMA2_Stream6 Channel4 を有効にします。
5. 次のように、CMD24（WRITE_BLOCK）を送信します。
   a) SDIO データ長レジスタをプログラムします（SDIO データタイマレジスタは、カード識別プロセスの前にすでにプログラムされている必要があります）。
   b) SDIO 引数レジスタに、データが転送されるカードのアドレス位置をプログラムします。
   c) SDIO コマンドレジスタを次のようにプログラムします：CmdIndex は 24（WRITE_BLOCK）に、WaitResp は”1”（SDIO カードホストはレスポンスを待つ）、CPSMEN は”1”（SDIO カードホストはコマンドの送信が可能）にプログラムします。他のフィールドはリセット値です。
   d) SDIO_STA[6] = CMDREND 割込みを待ち、SDIO データ制御レジスタを次のようにプログラムします：DTEN は”1”（SDIO カードホストはデータの送信が可能）、DTDIR は”0”（コントローラからカードへ）、DTMODE は”0”（ブロックデータ転送）、DMAEN は”1”（DMA 有効）、DBLOCKSIZE は 0x9 （512 バイト）にプログラムします。他のフィールドは無視します。
   e) SDIO_STA[10] = DBCKEND を待ちます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

6. DMA 有効チャネルステータスレジスタをポーリングして、有効になっているチャネルがまだないことを確認します。

31.4 カード機能詳細

31.4.1 カード識別モード

カード識別モードでは、ホストはすべてのカードをリセットし、動作電圧範囲を検証し、カードを識別し、バス上の各カードの相対カードアドレス（RCA）をセットします。カード識別モードでは、すべてのデータ通信にコマンドライン（CMD）のみを使用します。

31.4.2 カードリセット

GO_IDLE_STATE コマンド（CMD0）は、ソフトウェアリセットコマンドであり、MultiMediaCard と SD メモリをアイドル状態にします。IO_RW_DIRECT コマンド（CMD52）は、SD I/O カードをリセットします。パワーアップまたは CMD0 の後、すべてのカード出力バスドライバはハイインピーダンス状態となり、カードはデフォルトの相対カードアドレス（RCA=0x0001）とデフォルトのドライバステージレジスタ設定（最低速度、最高駆動電流）で初期化されます。

31.4.3 動作電圧範囲の検証

すべてのカードは、仕様範囲内の任意の動作電圧で SDIO カードホストと通信できます。サポートされる最小および最大 V_{DD} 値は、カード上の動作条件レジスタ（OCR）で定義されます。

ペイロードメモリにカード識別番号（CID）とカード固有データ（CSD）を格納するカードは、この情報をデータ転送 V_{DD} 条件下でのみ通信することができます。SDIO カードホストモジュールとカードの V_{DD} 範囲に互換性がないときには、カードは識別サイクルを完了できず、CSD データを送信できません。このため、SDIO カードホストに必要な V_{DD} 範囲に一致しないカードを識別して拒否するメカニズムとして、特殊なコマンド SEND_OP_COND（CMD1）、SD_APP_OP_COND（SDメモリ用 ACMD41）、および IO_SEND_OP_COND（SD I/O 用 CMD5）が用意されています。SDIO カードホストは、これらのコマンドのオペランドとして、必要な V_{DD} 電圧範囲を送信します。指定された範囲でデータ転送を行えないカードは、バスから切断され、インアクティブ状態になります。

電圧範囲をオペランドとして含めずにこれらのコマンドを使用すると、SDIO カードホストは各カードへの問い合わせを行い、共通の電圧範囲を判断した後に、範囲外のカードをインアクティブ状態にできます。この問い合わせは、SDIO カードホストが共通の電圧範囲を選択できるときや、カードが使用不可能であることをユーザに通知する必要があるときに使用されます。

31.4.4 カード識別プロセス

カード識別プロセスは、MultiMediaCard と SD カードで異なります。MultiMediaCard では、識別プロセスは F_{od} クロックレートで開始します。SDIO_CMD ライン出力ドライバはオープンドレインであり、このプロセス中は並行カード操作が可能です。登録プロセスは、次のように行われます。

1. バスがアクティベートされます。
2. SDIO カードホストは、SEND_OP_COND（CMD1）をブロードキャストして、動作条件を受信します。
3. レスポンスは、すべてのカードからの動作条件レジスタのワイヤード AND 操作です。
4. 互換性のないカードはインアクティブ状態となります。
5. SDIOカードホストは、すべてのアクティブカードに ALL_SEND_CID（CMD2）をブロードキャストします。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

6. アクティブカードは、それぞれの CID 番号をシリアルに同時送信します。発信 CID ビットがコマンドラインのビットと一致しないカードは、転送を停止して、次の識別サイクルを待たなければなりません。1 枚のカードが CID 全体を正常に SDIO カードホストに送信すると、識別状態へ移行します。
7. SDIO カードホストは、そのカードに SET_RELATIVE_ADDR（CMD3）を発行します。この新しいアドレスは相対カードアドレス（RCA）と呼ばれ、CID より短く、カードをアドレス指定します。これを割り当てられたカードはスタンバイ状態に遷移し、その後の識別サイクルには反応せず、出力はオープンドレインからプッシュプルへ切り替わります。
8. SDIO カードホストは、タイムアウト条件を受信するまで、ステップ 5～7 を繰り返します。

SD カードの場合、識別プロセスは F_{od} クロックレートで開始し、SDIO_CMD ライン出力ドライバはオープンドレインでなくプッシュプルドライバです。登録プロセスは、次のように行われます。

1. バスがアクティベートされます。
2. SDIO カードホストは SD_APP_OP_COND（ACMD41）をブロードキャストします。
3. カードは、それぞれの動作条件レジスタの内容で応答します。
4. 互換性のないカードは、インアクティブ状態へ移行されます。
5. SDIOカードホストは、すべてのアクティブカードに ALL_SEND_CID（CMD2）をブロードキャストします。
6. カードは、一意のカード識別番号（CID）を送り返し、識別状態に入ります。
7. SDIO カードホストは、アドレスのあるアクティブなカードに SET_RELATIVE_ADDR（CMD3）を発行します。この新しいアドレスは相対カードアドレス（RCA）と呼ばれ、CID より短く、カードをアドレス指定します。これを割り当てられたカードは、スタンバイ状態に遷移します。SDIO カードホストは、このコマンドを再発行して RCA を変更することができます。カードの RCA は、最後に割り当てられた値です。
8. SDIO カードホストは、すべてのアクティブなカードについて、ステップ 5～7 を繰り返します。

SD I/O カードの場合、登録プロセスは次のように行われます。

1. バスがアクティベートされます。
2. SDIO カードホストは IO_SEND_OP_COND（CMD5）を送信します。
3. カードは、それぞれの動作条件レジスタの内容で応答します。
4. 互換性のないカードは、インアクティブ状態に設定されます。
5. SDIO カードホストは、アドレスのあるアクティブなカードに SET_RELATIVE_ADDR（CMD3）を発行します。この新しいアドレスは相対カードアドレス（RCA）と呼ばれ、CID より短く、カードをアドレス指定します。これを割り当てられたカードは、スタンバイ状態に遷移します。SDIO カードホストは、このコマンドを再発行して RCA を変更することができます。カードの RCA は、最後に割り当てられた値です。

31.4.5 ブロック書込み

ブロック書込み（CMD24-27）では、1 つ以上のブロックデータがホストからカードに転送され、ホストによって各ブロックの最後に CRC が付加されます。ブロック書込みをサポートするカードは、WRITE_BL_LEN によって定義されたデータブロックを常に受け入れることができます。CRC が失敗した場合、カードは SDIO_D ライン上で失敗を示し、転送されたデータは破棄されて書き込まれず、それ以降に転送されたブロック（複数ブロック書込みモード時）はすべて無視されます。

ホストが、累積長がブロック長に合わない部分的なブロックを使用し、ブロックのミスアラインメントが許可されない場合（CSD パラメータ WRITE_BLK_MISALIGN がセットされていない）、カードはミスアラインされた最初のブロック開始前にブロックミスアラインメントエラーを検出します。（ステータスレジスタの ADDRESS_ERROR ビットがセットされます）。ホストが書込み保護された

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

エリアに書き込もうとした場合も、書込み操作がアボートされます。ただし、この場合、カードはWP_VIOLATION ビットをセットします。

CID および CSD レジスタをプログラムする場合、以前のブロック長設定は不要です。転送されるデータも、CRC 保護されます。CSD または CID レジスタの一部が ROM に格納される場合、この変更不能部分が受信バッファの対応する部分と一致しなければなりません。これが一致しない場合、カードはエラーを報告し、レジスタの内容を変更しません。一部のカードでは、ブロックデータの書込みに時間がかかり、その時間が予測不能なことがあります。ブロックデータの受信と CRC チェックの完了後、カードは書込みを開始し、書込みバッファがフルで新しい WRITE_BLOCK コマンドから新しいデータを受け入れられない場合には、SDIO_D ラインをローに保ちます。ホストは、SEND_STATUS コマンド（CMD13）でいつでもカードのステータスをポーリングでき、カードはそれぞれのステータスで応答します。READY_FOR_DATA ステータスビットは、カードが新しいデータを受け入れられるかどうか、または書込み動作がまだ進行中かどうかを示します。ホストは、カードを切断状態にする CMD7 を発行してカードの選択を解除し（別のカードを選択するため）、書込み操作を中断せずに SDIO_D ラインを解放することができます。カードを再び選択したときにプログラミングがまだ続行中であり、書込みバッファが使用できない場合には、SDIO_D をローにプルすることによって、ビジー表示を再びアクティブにします。

31.4.6 ブロック読出し

ブロック読出しモードでは、データ転送の基本単位はブロックであり、その最大サイズは CSD（READ_BL_LEN）で定義されます。READ_BL_PARTIAL がセットされると、開始アドレスと終了アドレスが 1 つの物理ブロック（READ_BL_LEN で定義）に完全に含まれる小さなブロックを送信することもできます。各ブロックの最後には CRC を付加して、データの整合性を確保します。CMD17（READ_SINGLE_BLOCK）は、ブロック読出しを開始し、転送完了後、カードは転送状態に戻ります。

CMD18（READ_MULTIPLE_BLOCK）は、複数の連続したブロックの転送を開始します。

ホストは、複数ブロック操作内においてはタイプに関係なく、いつでも読出しをアボートできます。トランザクションは、送信停止コマンドを送信してアボートします。

カードが複数ブロック読出し操作中にエラー（範囲外、アドレスのミスアラインメント、内部エラーなど）を検出した場合は、データ転送を停止して、データ状態に留まります。その場合、ホストは、送信停止コマンドを送信して操作をアボートする必要があります。読出しエラーは、送信停止コマンドに対するレスポンスで報告されます。

カードが事前定義されたブロック数による複数ブロック操作で、最後のブロックを送信した後でホストが送信停止コマンドを送信した場合には、カードがすでにデータ状態ではないため、不正なコマンドとして応答されます。ホストが、累積長がブロック長に合わない部分的なブロックを使用し、ブロックのミスアラインメントが許可されない場合、カードはミスアラインされた最初のブロック開始前にブロックミスアラインメントエラーを検出します（ステータスレジスタの ADDRESS_ERROR ビットがセットされます）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

31.4.7 ストリームアクセス、ストリーム書込み、およびストリーム読出し（MultiMediaCard のみ）

ストリームモードでは、データはバイト単位で転送され、各ブロックの最後に CRC は付加されません。

ストリーム書込み（MultiMediaCard のみ）

WRITE_DAT_UNTIL_STOP（CMD20）は、SDIO カードホストからカードへのデータ転送を指定されたアドレスで開始し、SDIO カードホストが停止コマンドを発行するまで続けます。部分的なブロックが許可される場合（CSD パラメータ WRITE_BL_PARTIAL がセットされている）、データストリームはカードアドレス空間内の任意のアドレスで開始および停止できます。そうでない場合は、ブロック境界でのみ開始と停止が可能です。転送データ量を事前に決めることができないため、CRC は使用できません。データ送信中にメモリ範囲の終わりに達し、SD カードホストから停止コマンドが送信されなかった場合、その後に転送されるデータは破棄されます。

ストリーム書込み操作の最大クロック周波数は、カード固有データレジスタの次の式で与えられます。

$$\text{Maximumspeed} = \text{MIN}(\text{TRANSPEED}, \frac{(8 \times 2^{\text{writebllen}})(-\text{NSAC})}{\text{TAAC} \times \text{R2WFACTOR}})$$

- Maximumspeed = 書込み最大周波数
- TRANSPEED = データ転送最大速度
- writebllen = 書込みデータブロック最大長
- NSAC = データ読出しアクセス時間 2（CLK サイクル数）
- TAAC = データ読出しアクセス時間 1
- R2WFACTOR = 書込み速度係数

ホストがより高い周波数を使用しようとすると、カードはデータを処理できずにプログラミングを停止し、ステータスレジスタの OVERRUN エラービットをセットすることがあります。この場合、それ以降のデータ転送は無視され、停止コマンドを待ちます（データ受信状態で）。ホストが書込み保護領域に書き込もうとした場合も、書込み操作がアボートされます。ただし、この場合、カードは WP_VIOLATION ビットをセットします。

ストリーム読出し（MultiMediaCard のみ）

READ_DAT_UNTIL_STOP（CMD11）は、ストリーム指向のデータ転送を制御します。

このコマンドは、SDIO カードホストが STOP_TRANSMISSION（CMD12）を送信するまで、指定されたアドレスからデータを送信するようにカードに指示します。停止コマンドには、シリアルコマンド送信による実行の遅延があり、データ転送は停止コマンドの終了ビット後に停止します。データ送信中にメモリ範囲の終わりに達し、SDIO カードホストから停止コマンドが送信されなかった場合、その後に転送されるデータは未定義と考慮されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ストリーム読出し操作の最大クロック周波数は次の式によって与えられ、カード固有データレジスタのフィールドを使用します。

$$\text{Maximumspeed} = \text{MIN}(\text{TRANSPEED}, \frac{(8 \times 2^{\text{readbllen}})(-\text{NSAC})}{\text{TAAC} \times \text{R2WFACTOR}})$$

- Maximumspeed = 読出し最大周波数
- TRANSPEED = データ転送最大速度
- readbllen = 読出しデータブロック最大長
- writebllen = 書込みデータブロック最大長
- NSAC = データ読出しアクセス時間 2（CLK サイクル数）
- TAAC = データ読出しアクセス時間 1
- R2WFACTOR = 書込み速度係数

ホストがより高い周波数を使用しようとすると、カードはデータ転送を維持できません。これが発生した場合、カードはステータスレジスタの UNDERRUN エラービットをセットし、送信をアボートし、データ状態で停止コマンドを待ちます。

31.4.8 消去：グループ消去とセクタ消去

MultiMediaCard の消去可能単位は、消去グループです。消去グループは、カードの基本的な書込み可能単位である書込みブロックで分けます。消去グループのサイズはカード固有のパラメータであり、CSD で定義されます。

ホストは連続した範囲の消去グループを消去することができます。消去プロセスは、3 ステップのシーケンスで開始します。

まずホストは、ERASE_GROUP_START（CMD35）コマンドを使用して範囲の開始アドレスを定義し、次に、ERASE_GROUP_END（CMD36）コマンドを使用して範囲の最後のアドレスを定義し、最後に、ERASE（CMD38）コマンドを発行して消去プロセスを開始します。消去コマンドのアドレスフィールドは、バイト単位の消去グループアドレスです。カードは、消去グループサイズ未満のすべての LSB を無視して、アドレスを効果的に消去グループの境界まで切り捨てます。

消去コマンドが誤った順序で受信されると、カードはステータスレジスタの ERASE_SEQ_ERROR ビットをセットし、シーケンス全体をリセットします。

シーケンス外（SEND_STATUS を除き、どちらの消去コマンドでもない）のコマンドを受信した場合、カードはステータスレジスタの ERASE_RESET ステータスビットをセットして消去シーケンスをリセットし、最後のコマンドを実行します。

消去範囲に書込み保護ブロックが含まれていると、それらのブロックは消去されず、保護されていないブロックだけが消去されます。ステータスレジスタの WP_ERASE_SKIP ステータスビットがセットされます。

カードは、SDIO_D をローに保持することによって、消去が進行中であることを示します。実際の消去時間はかなり長くなることがあり、ホストは CMD7 を発行して、カードを選択解除できます。

31.4.9 ワイドバス選択または選択解除

ワイドバス（4 ビットバス幅）操作モードは、SET_BUS_WIDTH（ACMD6）を使用して選択または選択解除されます。パワーアップ後または GO_IDLE_STATE （CMD0）後のデフォルトのバス幅は、1 ビットです。SET_BUS_WIDTH（ACMD6）は、転送状態でのみ有効です。すなわち、SELECT/DESELECT_CARD（CMD7）によって選択された後でなければバス幅を変更することはできません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

31.4.10 保護管理

SDIO カードホストモジュールでは、カードの書込み保護方法が 3 種類サポートされています。

1. 内部カード書込み保護（カード側の責任）
2. 機械的書込み保護スイッチ（SDIO カードホストモジュール側のみの責任）
3. パスワードで保護されたカードロック操作

内部カード書込み保護

カードデータは、書込みや消去から保護できます。CSD の永久的または一時的書込み保護ビットをセットすると、製造業者やコンテンツプロバイダによってカード全体を永久的に保護することができます。セクタのグループの書込み保護をサポートするカードの場合、CSD の WP_GRP_ENABLE ビットをセットするとデータの一部を保護することができ、書込み保護はアプリケーションによって変更できます。書込み保護は、CSD で指定された WP_GRP_SIZE セクタ単位です。SET_WRITE_PROT および CLR_WRITE_PROT コマンドは、アドレス指定されたグループの保護を制御します。SEND_WRITE_PROT コマンドは、1 ブロックの読出しコマンドと似ています。カードは、32 個の書込み保護ビット（指定されたアドレスから始まる 32 個の書込み保護グループを表す）に続いて、16 個の CRC ビットを含むデータブロックを送信します。書込み保護コマンドのアドレスフィールドは、バイト単位のグループアドレスです。

カードは、グループサイズ未満のすべての LSB を無視します。

機械的書込み保護スイッチ

カードの横にある機械的なスライドタブによって、カードの書込み保護をセット／クリアできます。スライドタブが開位置にあるときにはカードは書込み保護され、閉位置にあるときには、カードの内容を変更できます。ソケット側の対応するスイッチは、カードが書込み保護されていることを SDIO カードホストモジュールに示します。カードを保護するのは、SDIO カードホストモジュールです。書込み保護スイッチの位置は、カードの内部回路にはわかりません。

パスワード保護

パスワード保護機能によって、SDIO カードホストモジュールはカードをパスワードでロック／アンロックできます。パスワードは 128 ビットの PWD レジスタに格納され、そのサイズは 8 ビットの PWD_LEN レジスタで設定されます。これらのレジスタは不揮発性なため、パワーサイクルでは消去されません。ロックされたカードは、特定のコマンドに応答し、それを実行します。すなわち、SDIO カードホストモジュールは、リセット、初期化、選択、およびステータスの問い合わせを行うことはできますが、カード上のデータにアクセスすることはできません。パスワードが設定されると（PWD_LEN の値がゼロ以外）、カードはパワーアップ後に自動的にロックされます。CSD および CID レジスタの書込みコマンド同様、ロック／アンロックコマンドは転送状態でのみ使用できます。この状態では、コマンドはアドレス引数を含まず、カードは使用前に選択しなければなりません。カードロック／アンロックコマンドは、通常の 1 ブロック書込みコマンドの構造とバストランザクションタイプとなっています。転送されるデータブロックは、コマンドに必要なすべての情報（パスワード設定モード、PWD 自体、およびカードのロック／アンロック）を含みます。コマンドデータブロックサイズは、カードロック／アンロックコマンド送信前に、SDIO カードホストモジュールによって定義され、*表 170* に示す構造となっています。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット設定は、次のとおりです。

- ERASE：セットすると、強制的に消去操作が行われます。他のすべてのビットはゼロでなければならず、コマンドバイトだけが送信されます。
- LOCK_UNLOCK：セットすると、カードをロックします。LOCK_UNLOCK は、SET_PWD と同時にセットできますが、CLR_PWD と同時にはセットできません。
- CLR_PWD：セットすると、パスワードデータをクリアします。
- SET_PWD：セットすると、パスワードデータをメモリに保存します。
- PWD_LEN：パスワードの長さ（バイト数）を定義します。
- PWD：パスワード（コマンドに応じて、新しいパスワードまたは現在使用中のパスワード）

以下のセクションでは、パスワードのセット／リセット、カードのロック／アンロック、および強制消去のコマンドシーケンスを説明します。

パスワードの設定

1. まだカードが選択されていない場合は、カードを選択します（SELECT/DESELECT_CARD、CMD7）。
2. 送信するブロック長（SET_BLOCKLEN、CMD16）を定義します。8 ビットのカードロック／アンロックモード、8 ビットの PWD_LEN、および新しいパスワードのバイト数によって定義されます。パスワードの書き換えが完了すると、ブロックサイズでは古いパスワードと新しいパスワードの両方がコマンドとともに送信されることを考慮する必要があります。
3. 16 ビット のCRC を含めた、データライン上の適切なデータブロックサイズとともに LOCK/UNLOCK（CMD42）を送信します。データブロックは、モード（SET_PWD= 1）、長さ（PWD_LEN）、およびパスワード（PWD）自体を示します。パスワードの書き換えが完了すると、長さ値（PWD_LEN）には古いパスワードと新しいパスワードの両方の長さが含まれ、PWD フィールドには、古いパスワード（現在使用中）に続いて新しいパスワードが含まれます。
4. パスワードが一致すると、新しいパスワードとそのサイズがそれぞれ PWD と PWD_LEN フィールドに保存されます。送信された古いパスワードが予期されたパスワードとサイズや内容が一致しないときには、カードステータスレジスタの LOCK_UNLOCK_FAILED エラービットがセットされ、パスワードは変更されません。

パスワード長フィールド（PWD_LEN）は、パスワードが現在設定されているかどうかを示します。このフィールドがゼロ以外のときには、パスワードが設定されていて、カードはパワーアップ後に自身をロックします。LOCK_UNLOCK ビットをセットするか（パスワードの設定時に）、カードをロックする追加のコマンドを送信すると、現在のパワーセッションでただちにカードをロックすることが可能です。

パスワードのリセット

1. まだカードが選択されていない場合は、カードを選択します（SELECT/DESELECT_CARD、CMD7）。
2. 送信するブロック長（SET_BLOCKLEN、CMD16）を定義します。8 ビットのカードロック／アンロックモード、8 ビットのPWD_LEN、および現在使用中のパスワードのバイト数によって定義されます。
3. 16 ビット のCRC を含めた、データライン上の適切なデータブロックサイズとともに LOCK/UNLOCK（CMD42）を送信します。データブロックは、モード（CLR_PWD=1）、長さ（PWD_LEN）、およびパスワード（PWD）自体を示します。LOCK_UNLOCK ビットは無視されます。
4. パスワードが一致すると、PWD フィールドはクリアされ、PWD_LEN は 0 にセットされます。送信されたパスワードが予期されたパスワードとサイズや内容が一致しないときには、カードステータスレジスタの LOCK_UNLOCK_FAILED エラービットがセットされ、パスワードは変更されません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

カードのロック

1. まだカードが選択されていない場合は、カードを選択します（SELECT/DESELECT_CARD、CMD7）。
2. 送信するブロック長（SET_BLOCKLEN、CMD16）を定義します。8 ビットのカードロック／アンロックモード（*表 170* のバイト 0）、8 ビットの PWD_LEN、および現在のパスワードのバイト数で定義されます。
3. 16 ビット のCRC を含めた、データライン上の適切なデータブロックサイズとともに LOCK/UNLOCK （CMD42）を送信します。データブロックは、モード（LOCK_UNLOCK = 1）、長さ（PWD_LEN）、およびパスワード（PWD）自体を示します。
4. パスワードが一致すると、カードはロックされ、カードステータスレジスタの CARD_IS_LOCKED ステータスビットがセットされます。送信されたパスワードが予期されたパスワードとサイズや内容が一致しないときには、カードステータスレジスタの LOCK_UNLOCK_FAILED エラービットがセットされ、ロックは失敗します。

パスワードの設定とカードのロックは、同じシーケンスで行うことが可能です。この場合、SDIO カードホストモジュールは、パスワードの設定に必要なすべてのステップを実行します（*パスワードの設定（1050 ページ）* を参照）。ただし、新しいパスワードコマンドを送信するときには、ステップ 3 で LOCK_UNLOCK ビットをセットする必要があります。

パスワードが以前に設定されているときには（PWD_LEN が 0 でない）、カードは電源投入リセット後に自動的にロックされます。ロックされたカードをロックしようとしたり、パスワードが設定されていないカードをロックしようとすると、カードステータスレジスタの LOCK_UNLOCK_FAILED エラービットがセットされます。

カードのアンロック

1. まだカードが選択されていない場合は、カードを選択します（SELECT/DESELECT_CARD、CMD7）。
2. 送信するブロック長（SET_BLOCKLEN、CMD16）を定義します。8 ビットのカードロック／アンロックモード（*表 170* のバイト 0）、8 ビットの PWD_LEN、および現在のパスワードのバイト数によって定義されます。
3. 16 ビット のCRC を含めた、データライン上の適切なデータブロックサイズとともに LOCK/UNLOCK（CMD42）を送信します。データブロックは、モード（LOCK_UNLOCK = 0）、長さ（PWD_LEN）、およびパスワード（PWD）自体を示します。
4. パスワードが一致すると、カードはアンロックされ、カードステータスレジスタの CARD_IS_LOCKED ステータスビットがクリアされます。送信されたパスワードのサイズまたは内容が予期されたパスワードと一致しないときには、カードステータスレジスタの LOCK_UNLOCK_FAILED エラービットがセットされ、カードはロックされたままとなります。

アンロック機能は、現在のパワーセッションでのみ有効です。PWD フィールドがクリアされていないときには、カードは次のパワーアップ時に自動的にロックされます。

アンロックされたカードをアンロックしようとすると、アンロックは失敗し、カードステータスレジスタの LOCK_UNLOCK_FAILED エラービットがセットされます。

強制消去

ユーザがパスワード（PWD の内容）を忘れた場合は、カード上のすべてのデータをクリアした後で、カードにアクセスすることができます。この強制消去操作では、すべてのカードデータとすべてのパスワードデータが消去されます。

1. まだカードが選択されていない場合は、カードを選択します（SELECT/DESELECT_CARD、CMD7）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

2. ブロック長 （SET_BLOCKLEN、CMD16）を 1 バイトに設定します。8 ビットのカードロック／アンロックバイト（*表 170* のバイト 0）だけが送信されます。
3. 16 ビット のCRC を含めた、データライン上の適切なデータバイトとともに LOCK/UNLOCK（CMD42）を送信します。データブロックは、モード（ERASE = 1）を示します。他のすべてのビットはゼロでなければなりません。
4. ERASE ビットがデータフィールドでセットされた唯一のビットであるときには、PWD および PWD_LEN フィールドを含め、すべてのカード内容が消去され、カードはロックされなくなります。他にもセットされているビットがあるときには、カードステータスレジスタの LOCK_UNLOCK_FAILED エラービットがセットされ、カードはすべてのデータを保持し、ロックされたままとなります。

アンロックされたカードを強制消去しようすると、カードステータスレジスタの LOCK_UNLOCK_FAILED エラービットがセットされます。

31.4.11 カードステータスレジスタ

レスポンスフォーマット R1 には、カードステータスと呼ばれる 32 ビットのフィールドがあります。このフィールドは、カードステータス情報（ローカルステータスレジスタに格納可能）をホストに送信するためのものです。特に記載がない限り、ステータスエントリは、常に、以前に発行されたコマンドに関連するものとします。

表 157 に、さまざまなステータスエントリを示します。表中のタイプおよびクリア条件フィールドは、次のように略記されます。

タイプ：

- E：エラービット
- S：ステータスビット
- R：実際のコマンドレスポンスに対して検出され、セットされます。
- X：コマンド実行中に検出され、セットされます。SDIO カードホストは、ステータスコマンドを発行してカードにポーリングし、これらのビットを読み出します。

クリア条件：

- A：カードの現在の状態による。
- B:常に前のコマンドに関連。有効なコマンドを受信すると、クリアされます(1 コマンドの遅延)。
- C：読み出すとクリアされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 157. カードステータス

ビット	識別子	タイプ	値	説明	クリア条件
31	ADDRESS_OUT_OF_RANGE	ERX	"0"= エラーなし "1"= エラー	コマンドアドレス引数が、このカードの許容範囲を超えています。 複数ブロックまたはストリーム読出し／書込み操作は、有効なアドレスから開始していますが、カード容量を超える読込みまたは書込みをしようとしています。	C
30	ADDRESS_MISALIGN		"0"= エラーなし "1"= エラー	現在設定されているブロック長にしたがってコマンドアドレス引数が指している最初のデータブロックは、カードの物理ブロックに合っていません。 複数ブロックの読出し／書込み操作は、有効なアドレスから開始していますが、カードの物理ブロックに合っていないデータブロックの読込みまたは書込みをしようとしています。	C
29	BLOCK_LEN_ERROR		"0"= エラーなし "1"= エラー	SET_BLOCKLEN コマンドの引数がカードの許容する最大値を超えているか、以前に定義されたブロック長が現在のコマンドに対して無効です（ホストが書込みコマンドを発行し、現在のブロック長がカードの許容する最大値より小さく、部分的なブロックの書込みが許可されない場合など）。	C
28	ERASE_SEQ_ERROR		"0"= エラーなし "1"= エラー	消去コマンドのシーケンス中にエラーが発生しました。	C
27	ERASE_PARAM	EX	"0"= エラーなし "1"= エラー	消去に対して無効な消去グループが選択されました。	C
26	WP_VIOLATION	EX	"0"= エラーなし "1"= エラー	書込み保護されたブロックをプログラムしようとしました。	C
25	CARD_IS_LOCKED	SR	"0" = カードがアンロックされています。 "1" = カードがロックされています。	セットされると、カードがホストによってロックされていることを示します。	A
24	LOCK_UNLOCK_ FAILED	EX	"0"= エラーなし "1"= エラー	ロック／アンロックコマンドで、シーケンスエラーまたはパスワードエラーが発生したときにセットされます。	C
23	COM_CRC_ERROR	ER	"0"= エラーなし "1"= エラー	以前のコマンドの CRC チェックが失敗しました。	B
22	ILLEGAL_COMMAND	ER	"0"= エラーなし "1"= エラー	カードの状態に対して不正なコマンドです。	B
21	CARD_ECC_FAILED	EX	"0"= 成功 "1"= 失敗	カードの内部 ECC が適用されましたが、データの訂正に失敗しました。	C
20	CC_ERROR	ER	"0"= エラーなし "1"= エラー	（標準では定義されていません）ホストコマンドに関係ないカードエラーが発生しました。	C

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 157. カードステータス（続き）

ビット	識別子	タイプ	値	説明	クリア条件
19	ERROR	E X	"0"= エラーなし "1"= エラー	（標準では定義されていません）最後のホストコマンドの実行に関係した一般カードエラーが検出されました（読出しまたは書込みの失敗など）。	C
18	予約済み				
17	予約済み				
16	CID/CSD_OVERWRITE	E X	"0"=エラーなし "1"= エラー	次のいずれかのエラーです。 – CID レジスタはすでに書き込まれていて、上書きできません。 – CSD の読出し専用セクションが、カードの内容と一致しません。 – コピー（オリジナルとしてセット）、永久的な WP ビット（保護されない）を元に戻そうとしました。	C
15	WP_ERASE_SKIP	E X	"0"= 保護されていません "1"= 保護されています	**既存の書込みが理由で、部分的なアドレス空間だけが消去されたときにセットされます。**	C
14	CARD_ECC_DISABLED	S X	"0"= 有効 "1"= 無効	内部 ECC を使用せずに、コマンドが実行されました。	A
13	ERASE_RESET		"0"= クリア "1"= セット	シーケンス外の消去コマンド（CMD35、CMD36、CMD38、または CMD13 以外）が受信されたため、実行前に消去シーケンスがクリアされました。	C
12:9	CURRENT_STATE	S R	0 = Idle 1 = Ready 2 = Ident 3 = Stby 4 = Tran 5 = Data 6 = Rcv 7 = Prg 8 = Dis 9 = Btst 10-15 = 予約済み	コマンドを受信したときのカードの状態。コマンドの実行によってカードの状態が変化する場合、次のコマンドのレスポンスで、ホストに状態が知らされます。4 ビットは、0 から 15 までの2 進数として解釈されます。	B
8	READY_FOR_DATA	S R	"0"= 非レディ状態 "1"= レディ状態	バス上のバッファ空信号に対応します。	
7	SWITCH_ERROR	E X	"0"= エラーなし "1"=スイッチエラー	セットされた場合に、カードは SWICTH コマンドで要求された予期されたモードに切り替わりませんでした。	B
6	予約済み				
5	APP_CMD	S R	"0"= 無効 "1"= 有効	カードは ACMD を期待しているか、コマンドが ACMD として解釈されたという指示を期待します。	C
4	SD I/O カード用に予約済み				
3	AKE_SEQ_ERROR	E R	"0"= エラーなし "1"= エラー	認証プロセスのシーケンスにエラーがあります。	C

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 157. カードステータス（続き）

ビット	識別子	タイプ	値	説明	クリア条件
2	アプリケーション固有のコマンド用に予約済み。				
1	製造業者のテストモード用に予約済み。				
0					

31.4.12 SD ステータスレジスタ

SD ステータスは、SD メモリカード独自の機能に関連するステータスビットを含み、将来のアプリケーション固有の用途で使用できます。SD ステータスのサイズは、512 ビットのデータブロックです。このレジスタの内容は、ACMD13 が送信された場合に（CMD55 に続いて CMD13）、SDIO カードホストに送信されます。ACMD13 は、転送状態のカード（カードが選択されている）にのみ送信できます。

表 158 に、SD ステータスレジスタのさまざまなエントリを示します。表中のタイプおよびクリア条件フィールドは、次のように略記されます。

タイプ：

- E：エラービット
- S：ステータスビット
- R：実際のコマンドレスポンスに対して検出され、セットされます。
- X：コマンド実行中に検出され、セットされます。SDIO カードホストは、ステータスコマンドを発行してカードにポーリングし、これらのビットを読み出します。

クリア条件：

- A：カードの現在の状態による。
- B:常に前のコマンドに関連。有効なコマンドを受信すると、クリアされます（1 コマンドの遅延）。
- C：読み出すとクリアされます。

表 158. SD ステータス

ビット	識別子	タイプ	値	説明	クリア条件
511:510	DAT_BUS_WIDTH	S R	"00"= 1（デフォルト） "01"= 予約済み "10"= 4 ビット幅 "11"= 予約済み	SET_BUS_WIDTH コマンドによって定義された、現在定義されているバス幅を示します。	A
509	SECURED_MODE	S R	"0"= セキュアモードではありません。 "1"= セキュアモードです。	カードはセキュア操作モードになっています（「SD セキュリティ仕様」を参照）。	A
508:496	予約済み				
495:480	SD_CARD_TYPE	S R	"00xxh"= 物理仕様 Ver1.01-2.00 で定義された SD メモリカード（"x"= 無視） 現在定義されているカードは、次のとおりです。 "0000"= 通常の SD RD/WR カード "0001"= SD ROM カード	将来は、8 つの LSB を使用して、さまざまな種類の SD メモリカードを定義する予定です（各ビットは異なる SD タイプを定義します）。8 つの MSB は、現在の SD 物理レイヤ仕様に準拠しない SD カードを定義するために使用します。	A
479:448	SIZE_OF_PROTECTED_AREA	S R	保護領域のサイズ（下記を参照）	（下記を参照）	A

この資料は、STMicroelectronics NV 並びにその子会社（以下 ST）が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 158. SD ステータス（続き）

ビット	識別子	タイプ	値	説明	クリア条件
447:440	SPEED_CLASS	S R	カードの速度クラス （下記を参照）	（下記を参照）	A
439:432	PERFORMANCE_MOVE	S R	1 [MB/s] ステップが表す移動性能（下記を参照）	（下記を参照）	A
431:428	AU_SIZE	S R	AU のサイズ（下記を参照）（下記を参照）	（下記を参照）	A
427:424	予約済み				
423:408	ERASE_SIZE	S R	一度に消去される AU の数	（下記を参照）	A
407:402	ERASE_TIMEOUT	S R	UNIT_OF_ERASE_AU で指定された領域を消去する際のタイムアウト値	（下記を参照）	A
401:400	ERASE_OFFSET	S R	消去時間に追加される固定オフセット値	（下記を参照）	A
399:312	予約済み				
311:0	製造業者のために予約済み。				

SIZE_OF_PROTECTED_AREA

このフィールドの設定は、標準カードと大容量カードで異なります。標準容量のカードでは、保護領域の容量は次のように計算されます。

保護領域= SIZE_OF_PROTECTED_AREA_* MULT * BLOCK_LEN

SIZE_OF_PROTECTED_AREA は、MULT*BLOCK_LEN 単位で指定されます。

大容量のカードでは、保護領域の容量は、このフィールドで指定されます。

保護領域= SIZE_OF_PROTECTED_AREA

SIZE_OF_PROTECTED_AREA は、バイト単位で指定されます。

SPEED_CLASS

この 8 ビットフィールドは速度クラスを示し、値は、$P_W/2$ で求めることができます（P_W は書込み性能）。

表 159. 速度クラスコードフィールド

SPEED_CLASS	値の定義
00h	クラス 0
01h	クラス 2
02h	クラス 4
03h	クラス 6
04h – FFh	予約済み

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

PERFORMANCE_MOVE

この 8 ビットフィールドは、Pm（移動パフォーマンス）を示し、値は、1 [MB/sec] ステップで設定できます。カードが使用済みの RU（記録ユニット）を移動しない場合は、Pm を無限大であるとみなします。このフィールドを FFh にセットすると、無限を意味します。

表 160. 移動パフォーマンスフィールド

PERFORMANCE_MOVE	値の定義
00h	定義されません。
01h	1 [MB/sec]
02h	02h 2 [MB/sec]
---------	---------
FEh	254 [MB/sec]
FFh	無限

AU_SIZE

この 4 ビットフィールドは、AU サイズを示し、値は、16 KB から 2 の累乗で選択できます。

表 161. AU_SIZE フィールド

AU_SIZE	値の定義
00h	定義されません。
01h	16 KB
02h	32 KB
03h	64 KB
04h	128 KB
05h	256 KB
06h	512 KB
07h	1 MB
08h	2 MB
09h	4 MB
Ah – Fh	予約済み

最大 AU サイズはカード容量に依存し、*表 162* に示されています。カードは、RU サイズと最大 AU サイズの間の任意の AU サイズに設定できます。

表 162. 最大 AU サイズ

容量	16 MB-64 MB	128 MB-256 MB	512 MB	1 GB-32 GB
最大 AU サイズ	512 KB	1 MB	2 MB	4 MB

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ERASE_SIZE

この 16 ビットフィールドは、N_{ERASE} を示します。AU の N_{ERASE} 数が消去されるとき、タイムアウト値は ERASE_TIMEOUT によって指定されます（*ERASE_TIMEOUT* を参照）。ホストは、1 回の操作で消去される正しい AU の数を決定する必要があります。それにより、ホストは消去操作の進捗状況を表示することができます。このフィールドが 0 にセットされた場合、消去タイムアウト計算はサポートされません。

表 163. 消去サイズフィールド

ERASE_SIZE	値の定義
0000h	消去タイムアウトの計算はサポートされません。
0001h	1 AU
0002h	2 AU
0003h	3 AU
---------	---------
FFFFh	65535 AU

ERASE_TIMEOUT

この 6 ビットフィールドは、T_{ERASE} を示し、値は、ERASE_SIZE によって指定された複数の AU が消去されるときのオフセットからの消去タイムアウトを示します。ERASE_TIMEOUT の範囲は、63 秒までの間で定義でき、カード製造業者は実装に応じて、ERASE_SIZE と ERASE_TIMEOUT の任意の組み合わせを選ぶことができます。ERASE_TIMEOUT を決めると、ERASE_SIZE が決まります。

表 164. 消去タイムアウトフィールド

ERASE_TIMEOUT	値の定義
00	消去タイムアウトの計算はサポートされません。
01	1 [sec]
02	2 [sec]
03	3 [sec]
---------	---------
63	63 [sec]

ERASE_OFFSET

この 2 ビットフィールドは、T_{OFFSET} を示し、4 つの値から 1 つを選択できます。このフィールドは、ERASE_SIZE および ERASE_TIMEOUT フィールドが 0 にセットされている場合は意味を持ちません。

表 165. 消去オフセットフィールド

ERASE_OFFSET	値の定義
0h	0 [sec]
1h	1 [sec]
2h	2 [sec]
3h	3 [sec]

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

31.4.13 SD I/O モード

SD I/O 割込み

SD インタフェースのピンには、SD I/O カードから MultiMediaCard/SD モジュールへの割込みを可能にする割込み機能が用意されています。ピン 8 は、4 ビット SD モードで動作するときに SDIO_D1 として使用され、MultiMediaCard/SD モジュールへのカード割込みを示します。割込みの使用は、各カードまたはカード内の各機能でオプションとなっています。SD I/O 割込みはレベル対応であるため、割込みラインは MultiMediaCard/SD モジュールによって認識され、割込みが処理されるか、割込み期間の終了によってネゲートされるまで、アクティブ（ロー）に保たれる必要があります。MultiMediaCard/SD モジュールが割込み処理を終えると、SD I/O カードの内部レジスタの該当するビットへの I/O 書込みによって割込みステータスビットがクリアされます。すべての SD I/O カードの割込み出力はアクティブローであり、MultiMediaCard/SD モジュールはすべてのデータライン (SDIO_D[3:0]) 上に、外部プルアップ抵抗を提供する必要があります。MultiMediaCard/SD モジュールは、割込み期間に限って、割込み検出器にピン 8（SDIO_D/IRQ）のレベルをサンプリングします。その他の状況では、MultiMediaCard/SD モジュールはこの値を無視します。

割込み期間は、メモリと I/O の両方の操作に適用されます。単一ブロックの操作の割込み期間の定義は、複数ブロックのデータ転送の定義とは異なります。

SD I/O のサスペンドとレジューム

マルチファンクション SD I/O または I/O とメモリの両方の機能を持つカードでは、MMC/SD バスへのアクセスを共有する複数のデバイス（I/O とメモリ）があります。複数デバイス間で MMC/SD モジュールへのアクセスを共有するため、SD I/O およびコンボカードはオプションでサスペンド／レジュームの概念を実装します。カードがサスペンド／レジュームをサポートするときには、MMC/SD モジュールは 1 つの機能またはメモリへのデータ転送を一時的に中止（サスペンド）して、別の機能またはメモリへの、より優先順位の高い転送用にバスを解放できます。この優先順位の高い転送が完了すると、本来の転送がアボートした所から再開（リスタート）されます。サスペンド／レジュームのサポートは、カードごとのオプションです。MMC/SD バス上でサスペンド／レジューム操作を行うには、MMC/SD モジュールは以下の手順を実行します。

1. SDIO_D [3:0] ラインを現在使用している機能を特定します。
2. 優先順位が低いトランザクションや時間のかかるトランザクションをサスペンドするように要求します。
3. トランザクションのサスペンドの完了を待ちます。
4. 優先順位の高いトランザクションを開始します。
5. 優先順位の高いトランザクションの完了を待ちます。
6. サスペンドされたトランザクションをリストアします。

SD I/O ReadWait

オプションの ReadWait（RW）操作は、SD の 1 ビットおよび 4 ビットモードについてのみ定義されます。ReadWait 操作によって、MMC/SD モジュールは複数のレジスタを読み出していることをカードに知らせ（IO_RW_EXTENDED、CMD53）、データ転送を一時的にストールし、その間に MMC/SD モジュールは SD I/O デバイス内の機能にコマンドを送信できます。カードが ReadWait プロトコルをサポートしているかどうかを判断するには、MMC/SD モジュールが内部カードレジスタの機能ビットをテストする必要があります。ReadWait のタイミングは、割込み期間に基づいています。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

31.4.14 コマンドとレスポンス

アプリケーション固有コマンドと汎用コマンド

SD カードホストモジュールシステムは、さまざまな種類のアプリケーションに標準インタフェースを提供するように設計されています。この環境では、特定の顧客やアプリケーション機能へのニーズがあります。これらの機能を実装するために、この標準ではアプリケーション固有コマンド（ACMD）と汎用コマンド（GEN_CMD）の 2 種類のコマンドが定義されています。

APP_CMD（CMD55）コマンドを受信すると、カードは次のコマンドがアプリケーション固有コマンドであると予想します。ACMD は、通常の MultiMediaCard コマンドと同じ構造を持っており、同じ CMD 番号を持つことができます。カードは、APP_CMD（CMD55）の後に現れるコマンドを ACMD として認識します。APP_CMD（CMD55）のすぐ後に続くコマンドが定義済みのアプリケーション固有コマンドでないときには、標準コマンドが使用されます。たとえば、カードで SD_STATUS（ACMD13）が定義されているときに APP_CMD（CMD55）の直後に CMD13 を受信すると、これは SD_STATUS （ACMD13）であると解釈されます。ただし、カードが APP_CMD（CMD55）の直後に CMD7 を受信し、カードで ACMD7 が定義されていないときには、これは標準（SELECT/DESELECT_CARD）CMD7 であると解釈されます。

製造業者固有の ACMD の 1 つを使用するには、SD カードホストが以下の手順を実行する必要があります。

1. APP_CMD（CMD55）を送信します。
   カードは MultiMediaCard/SD モジュールに応答して、APP_CMD ビットがセットされていることと、ACMD が予期されていることを示します。
2. 必要な ACMD を送信します。
   カードは MultiMediaCard/SD モジュールに応答して、APP_CMD ビットがセットされていることと、受け取ったコマンドが ACMD として解釈されたことを示します。ACMD でないコマンドが送信されたときには、カードはそのコマンドを通常の MultiMediaCard コマンドとして扱い、カードステータスレジスタの APP_CMD ビットはクリアされたままとなります。

無効なコマンド（ACMD でも CMD でもない）が送信されたときには、標準の MultiMediaCard 不正コマンドエラーとして処理されます。

GEN_CMD のバストランザクションは、単一ブロックの読出しまたは書込みコマンド（WRITE_BLOCK、CMD24、または READ_SINGLE_BLOCK、CMD17）と同じです。この場合、引数はアドレスではなくデータ転送の方向を示し、データブロックはベンダ固有のフォーマットと意味を持ちます。

カードは、GEN_CMD（CMD56）を送信する前に選択されなければなりません（転送状態でなければなりません）。データブロックサイズは、SET_BLOCKLEN（CMD16）によって定義されます。GEN_CMD（CMD56）へのレスポンスは、R1b フォーマットです。

コマンドタイプ

アプリケーション固有コマンドと汎用コマンドは、どちらも、次の 4 つのタイプに分類されます。

- **ブロードキャストコマンド（BC）**：すべてのカードに送信されます。レスポンスは返されません。
- **レスポンス付きブロードキャストコマンド（BCR）**：すべてのカードに送信されます。レスポンスは、すべてのカードから同時に受信します。
- **アドレス指定（ポイントツーポイント）コマンド （AC）**：選択されたカードに送信されます。SDIO_D ライン上のデータ転送は含みません。
- **アドレス指定（ポイントツーポイント）データ転送コマンド （ADTC）**：選択されたカードに送信されます。SDIO_D ライン上のデータ転送を含みます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

コマンドフォーマット

コマンドフォーマットについては、*表 150（1037 ページ）*を参照してください。

MultiMediaCard/SD モジュール用コマンド

表 166. ブロック指向書込みコマンド

CMD インデックス	タイプ	引数	レスポンスフォーマット	略語	説明
CMD23	ac	[31:16] 0 にセット [15:0] ブロック数	R1	SET_BLOCK_COUNT	続く複数ブロック読出しまたは書込みコマンドで転送されるブロック数を定義します。
CMD24	adtc	[31:0] データアドレス	R1	WRITE_BLOCK	SET_BLOCKLEN コマンドによって選択されたサイズのブロックを書き込みます。
CMD25	adtc	[31:0] データアドレス	R1	WRITE_MULTIPLE_BLOCK	続く STOP_TRANSMISSION まで、または、要求されたブロック数を受信するまで、データのブロックを書き込み続けます。
CMD26	adtc	[31:0] スタッフビット	R1	PROGRAM_CID	カード識別レジスタのプログラミングです。このコマンドは、1 枚のカードにつき 1 度だけ発行する必要があります。カードには、最初のプログラミングの後にこの操作を防ぐためのハードウェアが含まれています。通常、このコマンドは製造業者用に予約されています。
CMD27	adtc	[31:0] スタッフビット	R1	PROGRAM_CSD	CSD のプログラマブルビットのプログラミングです。

表 167. ブロック指向書込み保護コマンド

CMD インデックス	タイプ	引数	レスポンスフォーマット	略語	説明
CMD28	ac	[31:0] データアドレス	R1b	SET_WRITE_PROT	カードに書込み保護機能がある場合、このコマンドはアドレス指定されたグループの書込み保護ビットをセットします。書込み保護のプロパティは、カード固有データ（WP_GRP_SZIE）でコード化されます。
CMD29	ac	[31:0] データアドレス	R1b	CLR_WRITE_PROT	カードが書込み保護機能を備えている場合、このコマンドはアドレス指定されたグループの書込み保護ビットをクリアします。
CMD30	adtc	[31:0] 書込み保護データアクセス	R1	SEND_WRITE_PROT	カードが書込み保護機能を備えている場合、このコマンドはカードに書込み保護ビットのステータスを送るように要求します。
CMD31	予約済み				

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 168. 消去コマンド

CMD インデックス	タイプ	引数	レスポンスフォーマット	略語	説明
CMD32 ... CMD34	予約済み。古いバージョンの MultiMediaCard との下位互換性を保つため、これらのコマンドインデックスは使用できません。				
CMD35	ac	[31:0] データアドレス	R1	ERASE_GROUP_START	消去対象として選択される範囲の最初の消去グループのアドレスを設定します。
CMD36	ac	[31:0] データアドレス	R1	ERASE_GROUP_END	消去対象として選択される連続した範囲内の最後の消去グループのアドレスを設定します。
CMD37	予約済み。古いバージョンの MultiMediaCard との下位互換性を保つため、これらのコマンドインデックスは使用できません。				
CMD38	ac	[31:0] スタッフビット	R1	ERASE	以前に選択されたすべての書込みブロックを消去します。

表 169. I/O モードコマンド

CMD インデックス	タイプ	引数	レスポンスフォーマット	略語	説明
CMD39	ac	[31:16] RCA [15:15] レジスタ書込みフラグ [14:8] レジスタアドレス [7:0] レジスタデータ	R4	FAST_IO	8 ビット（レジスタ）データフィールドの読出しおよび書込みに使用されます。このコマンドは、カードとレジスタをアドレス指定し、書込みフラグがセットされている場合は書込み用データを提供します。R4 レスポンスは、アドレス指定されたレジスタから読み出されたデータを含みます。このコマンドは、MultiMediaCard 標準で定義されていないアプリケーション依存レジスタにアクセスします。
CMD40	bcr	[31:0] スタッフビット	R5	GO_IRQ_STATE	システムを割込みモードにします。
CMD41	予約済み				

表 170. カードのロック

CMD インデックス	タイプ	引数	レスポンスフォーマット	略語	説明
CMD42	adtc	[31:0] スタッフビット	R1b	LOCK_UNLOCK	パスワードのセット／リセット、またはカードのロック／アンロックを行います。データブロックのサイズは、SET_BLOCK_LEN コマンドによって設定されます。
CMD43 ...CMD54	予約済み				

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 171. アプリケーション固有コマンド

CMD インデックス	タイプ	引数	レスポンスフォーマット	略語	説明
CMD55	ac	[31:16] RCA [15:0] スタッフビット	R1	APP_CMD	次のコマンドビットが標準コマンドでなく、アプリケーション固有コマンドであることをカードに示します。
CMD56	adtc	[31:1] スタッフビット [0]: RD/WR			汎用／アプリケーション固有コマンドに対し、データブロックをカードに転送するため、またはカードからデータを取得するために使用されます。データブロックのサイズは、SET_BLOCK_LEN コマンドによって設定されます。
CMD57 ...CMD59	予約済み。				
CMD60 ...CMD63	製造業者用に予約されています。				

31.5 レスポンスフォーマット

すべてのレスポンスは MCCMD コマンドライン SDIO_CMD 経由で送信されます。レスポンスの送信は、常に、レスポンスコードワードに対応するビット文字列の左のビットから始まります。コード長は、レスポンスのタイプに依存します。

レスポンスは、常にスタートビット（常に 0）から始まり、送信方向を示すビットが続きます（card=0）。下の表で x で示されている値は、可変エントリを示します。R3 レスポンスを除くすべてのレスポンスは、CRC によって保護されます。すべてのコマンドコードワードは、終了ビット（常に 1）で終わります。

レスポンスには 5 つのタイプがあります。フォーマットは、次のとおりです。

31.5.1 R1（ノーマルレスポンスコマンド）

コード長 = 48 ビット。45:40 ビットはレスポンスされるコマンドのインデックスを示します。この値は 2 進コード番号（0～63）として解釈されます。カードのステータスは 32 ビットにコード化されます。

表 172. R1 レスポンス

ビット位置	幅（ビット数）	値	説明
47	1	0	スタートビット
46	1	0	送信ビット
[45:40]	6	X	コマンドインデックス
[39:8]	32	X	カードステータス
[7:1]	7	X	CRC7
0	1	1	終了ビット

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

31.5.2 R1b

R1 と同じですが、オプションとしてデータライン上にビジー信号を出力します。カードは、コマンドを受信する前の状態に基づいて、これらのコマンドを受信した後、ビジーになることがあります。

31.5.3 R2（CID、CSD レジスタ）

コード長 = 136 ビット。CID レジスタの内容は、CMD2 および CMD10 コマンドのレスポンスとして送信されます。CSD レジスタの内容は、CMD9 のレスポンスとして送信されます。CID および CSD のビット [127. . . 1] だけが送信され、これらのレジスタの予約ビット [0] は、レスポンスの終了ビットで置き換えられます。カードは、MCDAT をローに維持することによって、消去が進行中であることを示します。実際の消去時間はかなり長くなることがあり、ホストは CMD7 を発行して、カードを選択解除できます。

表 173. R2 レスポンス

ビット位置	幅（ビット数）	値	説明
135	1	0	スタートビット
134	1	0	送信ビット
[133:128]	6	”111111”	コマンドインデックス
[127:1]	127	X	カードステータス
0	1	1	終了ビット

31.5.4 R3（OCR レジスタ）

コード長 : 48 ビット。OCR レジスタの内容は、CMD1 へのレスポンスとして送信されます。レベルのコーディングは、次のようになります。制限された電圧ウィンドウ＝ロー、カードビジー＝ロー。

表 174. R3 レスポンス

ビット位置	幅（ビット数）	値	説明
47	1	0	スタートビット
46	1	0	送信ビット
[45:40]	6	”111111”	予約済み
[39:8]	32	X	OCR レジスタ
[7:1]	7	”1111111”	予約済み
0	1	1	終了ビット

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

31.5.5 R4（高速 I/O）

コード長：48 ビット。引数フィールドは、アドレス指定されたカードの RCA、読出しまたは書込みレジスタアドレス、およびその内容を含みます。

表 175. R4 レスポンス

ビット位置		幅（ビット数）	値	説明
47		1	0	スタートビット
46		1	0	送信ビット
[45:40]		6	”100111”	CMD39
[39:8] 引数フィールド	[31:16]	16	X	RCA
	[15:8]	8	X	レジスタアドレス
	[7:0]	8	X	読出しレジスタの内容
[7:1]		7	X	CRC7
0		1	1	終了ビット

31.5.6 R4b

SD I/O のみ：CMD5 を受信した SDIO カードは、一意の SDIO レスポンス R4 で応答します。フォーマットは、次のとおりです。

表 176. R4b レスポンス

ビット位置		幅（ビット数）	値	説明
47		1	0	スタートビット
46		1	0	送信ビット
[45:40]		6	x	予約済み
[39:8] 引数フィールド	39	16	X	カードはレディ状態
	[38:36]	3	X	I/O 機能数
	35	1	X	現在のメモリ
	[34:32]	3	X	スタッフビット
	[31:8]	24	X	I/O ORC
[7:1]		7	X	予約済み
0		1	1	終了ビット

SD I/O カードが CMD5 を受信すると、カードの I/O 部分は、以降のすべてのコマンドに対して通常どおりに応答できるようになります。I/O カード内の機能のこの I/O 有効は、カードがリセット、パワーサイクル、または I/O リセットに書き込む CMD52 を受信するまで、セットされたままです。SD メモリ専用カードは、CMD5 に応答することがありますので注意してください。メモリ専用カードの正しいレスポンスは、現在のメモリ = 1 と I/O 機能数 = 0 です。SD メモリカード仕様 version 1.0 に準拠するように作られたメモリ専用カードは、CMD5 を不正なコマンドとして検出して、応答しません。I/O を認識できるホストは、CMD5 を送信します。カードがレスポンス R4 で応答した場合、ホストはレスポンス R4 に含まれるデータから、カードの構成を判断します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

31.5.7 R5（割込みリクエスト）

MultiMediaCard 専用です。コード長：48 ビット。ホストによってレスポンスが生成された場合、引数の RCA フィールドは 0x0 になります。

表 177. R5 レスポンス

ビット位置		幅（ビット数）	値	説明
47		1	0	スタートビット
46		1	0	送信ビット
[45:40]		6	”101000”	CMD40
[39:8] 引数フィールド	[31:16]	16	X	獲得したカードまたはホストの RCA [31:16]
	[15:0]	16	X	定義されていません。IRQ データに使われる場合があります。
[7:1]		7	X	CRC7
0		1	1	終了ビット

31.5.8 R6

SD I/O 専用です。メモリデバイスによる CMD3 への通常のレスポンスであり、*表 178* に示されています。

表 178. R6 レスポンス

ビット位置		幅（ビット数）	値	説明
47		1	0	スタートビット
46		1	0	送信ビット
[45:40]		6	”101000”	CMD40
[39:8] 引数フィールド	[31:16]	16	X	獲得したカードまたはホストの RCA [31:16]
	[15:0]	16	X	定義されていません。IRQ データに使われる場合があります。
[7:1]		7	X	CRC7
0		1	1	終了ビット

カード [23:8] ステータスビットは、CMD3 が I/O 専用カードに送信されると変更されます。この場合、レスポンスの 16 ビットは、SD I/O 専用の値です。

- ビット [15] COM_CRC_ERROR
- ビット [14] ILLEGAL_COMMAND
- ビット [13] ERROR
- ビット [12:0] 予約済み

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

31.6 SDIO I/O カード固有の操作

以下の機能は、SD I/O 固有の操作です。

- SDIO_D2 信号による SDIO 読出しウェイト操作
- クロックの停止による SDIO 読出しウェイト操作
- SDIO サスペンド／レジューム操作（書込みおよび読出しサスペンド）
- SDIO 割込み

SDIO は、SDIO_DCTRL[11] ビットがセットされている場合のみ、これらの機能をサポートします。ただし、特定のハードウェア実装を必要としない読出しサスペンドを除きます。

31.6.1 SDIO_D2 信号による SDIO I/O 読出しウェイト操作

最初のブロックが受信される前に読出しウェイトインターバルを開始することができます。データパスが有効（SDIO_DCTRL[0] ビットがセット）、SDIO 固有操作が有効（SDIO_DCTRL[11] ビットがセット）、読出しウェイト開始（SDI0_DCTRL[10] =0 および SDI_DCTRL[8] =1）、データ方向がカードから SDIO（SDIO_DCTRL[1] = 1）のとき、DPSM はアイドルから ReadWait へ直接移行します。ReadWait では、DPSM は 2 SDIO_CK クロックサイクル後に、SDIO_D2 を 0 に駆動します。この状態では、RWSTOP ビット（SDIO_DCTRL[9]）をセットすると、DPSM は、さらに 2 SDIO_CK クロックサイクルの間ウェイト状態にとどまり、1 クロックサイクルの間 SDIO_D2 を 1 に駆動します（SDIO 仕様に従う）。その後、DPSM はカードからデータを受信するまで再びウェイトを開始します。DPSM は、読出しウェイト開始がセットされている場合でも、ブロックを受信中は読出しウェイトインターバルを開始しません。読出しウェイトインターバルは、CRC の受信後に開始されます。新しい読出しウェイト操作を開始するには、RWSTOP ビットをクリアする必要があります。読出しウェイトインターバル中は、SDIO は SDIO_D1 上で SDIO 割込みを検出することができます。

31.6.2 SDIO_CK 停止による SDIO 読出しウェイト操作

SDIO カードが先の読出しウェイト方法をサポートしない場合、SDIO は SDIO_CK を停止することで（SDIO_DCTRL は *セクション 31.6.1* に記載される方法と同じようにセットされますが、SDIO_DCTRL[10] =1 です）読出しウェイトを実行することができます。DSPM は、現在受信しているブロックの終了ビット後 2 SDIO_CK サイクル後にクロックを停止し、読出しウェイトスタートビットがセットされた後に再びクロックを開始します。

SDIO_CK が停止されると、任意のコマンドをカードに発行できます。読出しウェイトインターバル中、SDIO は SDIO_D1 上の SDIO 割込みを検出できます。

31.6.3 SDIO サスペンド／レジューム操作

カードにデータを送信している間、SDIO は書込み操作をサスペンドできます。SDIO_CMD[11] ビットがセットされ、現在のコマンドがサスペンドコマンドであることを CPSM に示します。CPSM はレスポンスを解析し、カードから ACK を受信すると（サスペンドの受入れ）、現在のブロックの CRC トークンの受信後にアイドル状態となることを DPSM に知らせます。

ハードウェアは、サスペンド操作（レジューム）を完了させるために送信しなければならない残りの送信ブロック数を保存しません。

書込み操作は、カードからサスペンドコマンドの ACK を受信したときに、DPSM を無効にするだけで（SDIO_DCTRL[0] =0）、ソフトウェアによってサスペンドできます。その場合、DPSM はアイドル状態に入ります。

読出しをサスペンドするには、DPSM は Wait_r 状態でサスペンドされる機能が完全なパケットを送信するのを待ってから、データ処理を停止します。アプリケーションは、FIFO が空になって、DPSM が自動的にアイドル状態になるまで、RxFIFO の読出しを続けます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

31.6.4 SDIO 割込み

SDIO_DCTRL[11] ビットがセットされると、SDIO_D1 ライン上で SDIO 割込みが検出されます。

31.7 CE-ATA 固有の操作

以下の機能は、CE-ATA 固有の操作です。

- CE-ATA デバイスを無効にするコマンド完了信号の送信。
- CE-ATA デバイスからのコマンド完了信号の受信。
- ステータスビットや割込みを使用して、CE-ATA コマンドの完了を CPU に通知。

SDIO は、SDIO_CMD[14] がセットされた場合、CE-ATA CMD61 コマンドに対してのみ、これらの操作をサポートします。

31.7.1 コマンド完了信号無効

コマンド完了信号無効は、"CMD 完了有効" ビット（SDIO_CMD[12]）がセットされておらず、"非割込み有効" ビット（SDIO_CMD[13]）がセットされている場合に、short レスポンスの受信から 8 ビットサイクル後に送信されます。

CPSM は Pend 状態に入り、コマンドシフトレジスタに無効シーケンス「00001」をロードし、コマンドカウンタに 43 をロードします。8 サイクル後、トリガは CPSM を送信状態へ移行します。コマンドカウンタが 48 に達すると、CPSM は、待ち受けるレスポンスがないのでアイドル状態になります。

31.7.2 コマンド完了信号有効

"CMD 完了有効" ビット（SDIO_CMD[12]）がセットされ、"非割込み有効" ビット（SDIO_CMD[13]）がセットされた場合、CPSM は Waitcpl 状態でコマンド完了信号を待ちます。

CMD ライン上で "0" を受信すると、CPSM はアイドル状態に入ります。7 ビットサイクルの間、新しいコマンドを送信することはできません。7 サイクルのうちの最後の5 サイクルの間、CMD ラインはプッシュプルモードで "1" に駆動されます。

31.7.3 CE-ATA 割り込み

コマンド完了は、ステータスビット SDIO_STA[23] によって CPU に通知されます。この静的ビットは、クリアビット SDIO_ICR[23] によってクリアできます。

SDIO_STA[23] ステータスビットは、マスクビット SDIO_MASKx[23] に応じて、各割込みライン上に割込みを生成することができます。

31.7.4 CMD61 のアボート

コマンド完了無効信号が送信されておらず、CMD61 をアボートする必要がある場合には、コマンドステートマシンを無効にする必要があります。コマンドステートマシンはアイドル状態になり、CMD12 コマンドを送信できるようになります。操作中は、コマンド完了無効信号は送信されません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

31.8 HW フロー制御

HW フロー制御機能は、FIFO アンダーラン（TX モード）およびオーバーラン（RX モード）エラーを回避するために使用します。

この機能は、SDIO_CK を停止し、SDIO ステートマシンをフリーズします。FIFO を使用してデータを送受信できない間、データ転送がストールされます。SDIOCLK によってクロック供給されるステートマシンだけがフリーズし、APB2 インタフェースは動作を続けます。したがって、フロー制御がアクティブであっても、FIFO がいっぱいになったり、空になることがあります。

HW フロー制御を有効にするには、SDIO_CLKCR[14] レジスタビットを 1 にセットする必要があります。リセット後、フロー制御は無効になります。

31.9 SDIO レジスタ

デバイスは、APB2 経由でアクセス可能な 32 ビット幅の制御レジスタによってシステムと通信します。

ペリフェラルレジスタには、ワード（32 ビット）単位でアクセスする必要があります。

31.9.1 SDIO 電源制御レジスタ（SDIO_POWER）

アドレスオフセット：0x00

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																														PWRCTRL	
																														rw	rw

ビット 31:2 予約済みであり、リセット値のままにしておかなければなりません。

ビット 1:0 **PWRCTRL**：電源制御ビット

これらのビットは、カードクロックの現在の機能状態を定義するために使用されます。

00：パワーオフ：カードへのクロック供給は停止されます。

01：予約済み

10：予約済み、パワーアップ

11：パワーオン：カードにクロックが供給されます。

注： ***このレジスタへの各書込みアクセス間には、7 HCLK クロック周期以上が必要です。***

注： ***データ書込み後、3 SDIOCLK（48 MHz）クロック周期プラス 2 PCLK2 クロック周期間はデータをこのレジスタに書き込めません。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

31.9.2 SDI クロック制御レジスタ（SDIO_CLKCR）

アドレスオフセット：0x04

リセット値：0x0000 0000

SDIO_CLKCR レジスタは、SDIO_CK 出力クロックを制御します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																	HWFC_EN	NEGEDGE	WIDBUS		BYPASS	PWRSAV	CLKEN	CLKDIV							
																	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:15 予約済みであり、リセット値のままにしておかなければなりません。

ビット 14 **HWFC_EN**：HW フロー制御有効

0b：HW フロー制御は無効です。

1b：HW フロー制御は有効です。

HW フロー制御が有効なときの TXFIFOE および RXFIFOF 割込み信号の意味については、*セクション 31.9.11* の SDIO ステータスレジスタの定義を参照してください。

ビット 13 NEGEDGE：SDIO_CK 反位相選択ビット

0b：SDIO_CK は、マスタクロック SDIOCLK の立上りエッジで生成されます。

1b：SDIO_CK は、マスタクロック SDIOCLK の立下りエッジで生成されます。

ビット 12:11 **WIDBUS**：ワイドバスモード有効ビット

00：デフォルトバスモード：SDIO_D0 を使用します。

01：4 ワイドバスモード：SDIO_D[3:0] を使用します。

10：8 ワイドバスモード：SDIO_D[7:0] を使用します。

ビット 10 **BYPASS**：クロック分周器バイパス有効ビット

0：バイパス無効：SDIOCLK は、SDIO_CK 出力信号を駆動する前に、CLKDIV の値に従って分周されます。

1：バイパス有効：SDIOCLK は、SDIO_CK 出力信号を直接駆動します。

ビット 9 **PWRSAV**：節電構成ビット

節電のため、バスがアイドル状態のときには、PWRSAV をセットして SDIO_CK クロック出力を無効にできます。

0：SDIO_CK クロックは常に有効です。

1：SDIO_CK はバスがアクティブなときに限り有効です。

ビット 8 CLKEN：クロック有効ビット

0：SDIO_CK は無効です。

1：SDIO_CK は有効です。

ビット 7:0 **CLKDIV**：クロック分周ファクタ

このフィールドは、入力クロック（SDIOCLK）と出力クロック（SDIO_CK）の間の分周ファクタを定義します。SDIO_CK 周波数 = SDIOCLK / [CLKDIV + 2]

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

注： ***SD/SDIO カードまたは MultiMediaCard が識別モードのときには、SDIO_CK 周波数は 400 kHz 未満である必要があります。***

クロック周波数は、相対カードアドレスがすべてのカードに割り当てられているときには、最大カードバス周波数に変更できます。

データ書込み後、3 SDIOCLK（48 MHz）クロック周期プラス 2 PCLK2 クロック周期間はデータをこのレジスタに書き込めません。SDIO_CK は、SD I/O カードの読出しウェイトインターバルの間、停止することができます。この場合、SDIO_CLKCR レジスタは SDIO_CK を制御しません。

31.9.3 SDIO 引数レジスタ（SDIO_ARG）

アドレスオフセット：0x08

リセット値：0x0000 0000

SDIO_ARG レジスタは、コマンドメッセージの一部としてカードに送信される 32 ビットのコマンド引数を含みます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CMDARG																															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0 **CMDARG**：コマンド引数

コマンドメッセージの一部としてカードに送られるコマンド引数です。コマンドが引数を含む場合、コマンドをコマンドレジスタに書き込む前に、このレジスタにロードする必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

31.9.4 SDIO コマンドレジスタ（SDIO_CMD）

アドレスオフセット：0x0C

リセット値：0x0000 0000

SDIO_CMD レジスタは、コマンドインデックスおよびコマンドタイプビットを含みます。コマンドインデックスは、コマンドメッセージの一部としてカードに送信されます。コマンドタイプビットは、コマンドパスステートマシン（CPSM）を制御します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																	CE-ATACMD	nIEN	ENCMDcompl	SDIOSuspend	CPSMEN	WAITPEND	WAITINT	WAITRESP		CMDINDEX						
																	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:15 予約済みであり、リセット値のままにしておかなければなりません。

ビット 14 **ATACMD**：CE-ATA コマンド
ATACMD がセットされると、CPSM は CMD61 を転送します。

ビット 13 **nIEN**：非割込み有効
このビットが 0 の場合、CE-ATA の割込みが有効になります。

ビット 12 **ENCMDcompl**：CMD 完了有効
このビットがセットされると、コマンド完了信号が有効になります。

ビット 11 **SDIOSuspend**：SD I/O サスペンドコマンド
このビットがセットされると、送信されるコマンドはサスペンドコマンドです（SDIO カードでのみ使用されます）。

ビット 10 **CPSMEN**：コマンドパスステートマシン（CPSM）有効ビット
このビットがセットされると、CPSM が有効になります。

ビット 9 **WAITPEND**：CPSM のデータ転送終了待ち（CmdPend 内部信号）。
このビットがセットされると、CPSM は、データ転送の終了を待ってから、コマンドの送信を開始します。

ビット 8 **WAITINT**：CPSM の割込みリクエスト待ち
このビットがセットされると、CPSM は、コマンドタイムアウトを無効にして、割込みリクエストを待ちます。

ビット 7:6 **WAITRESP**：レスポンスビット待ち
これらは、CPSM がレスポンスを待つかどうか、および、待つ場合にはレスポンスの種類を設定するために使用されます。
00：レスポンスなし。CMDSENT フラグを待ちます。
01：ショートレスポンス。CMDREND または CCRCFAIL フラグを待ちます。
10：レスポンスなし。CMDSENT フラグを待ちます。
11：ロングレスポンス。CMDREND または CCRCFAIL フラグを待ちます。

ビット 5:0 **CMDINDEX**：レスポンスコマンドインデックス
コマンドインデックスは、コマンドメッセージの一部としてカードに送信されます。

注： ***データ書込み後、3 SDIOCLK（48 MHz）クロック周期プラス 2 PCLK2 クロック周期間はデータをこのレジスタに書き込めません。***

MultiMediaCards はショートレスポンス（48 ビット長）またはロングレスポンス（136 ビット長）の 2 種類のレスポンスを送信できます。SD カードと SD I/O カードはショートレスポンスのみ送信でき、引数はレスポンスのタイプによって異なることがあります。ソフトウェアは、送信されたコマン

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ドに応じてレスポンスのタイプを区別します。CE-ATA デバイスは、ショートレスポンスのみを送信します。

31.9.5 SDIO コマンドレスポンスレジスタ（SDIO_RESPCMD）

アドレスオフセット：0x10

リセット値：0x0000 0000

SDIO_RESPCMD レジスタは、最後に受信したコマンドレスポンスのコマンドインデックスフィールドを含みます。コマンドレスポンス送信にコマンドインデックスフィールドが含まれていない場合（ロングまたは OCR レスポンス）、RESPCMD フィールドは未知ですが、111111b（レスポンスの予約フィールドの値）が含まれている必要があります。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																										RESPCMD					
																										r	r	r	r	r	r

ビット 31:6 予約済みであり、リセット値のままにしておかなければなりません。

ビット 5:0 **RESPCMD**：レスポンスコマンドインデックス

読出し専用ビットフィールドです。最後に受信したコマンドレスポンスのコマンドインデックスを含みます。

31.9.6 SDIO レスポンス1..4 レジスタ（SDIO_RESPx）

アドレスオフセット：(0x10 + (4 × x)); x = 1..4

リセット値：0x0000 0000

SDIO_RESP0/1/2/3/4 レジスタは、受信したレスポンスの一部であるカードのステータスを含みます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CARDSTATUSx																															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:0 CARDSTATUSx：*表 179* を参照してください。

カードステータスサイズは、レスポンスのタイプによって 32 または 127 ビットです。

表 179. レスポンスタイプと SDIO_RESPx レジスタ

レジスタ	ショートレスポンス	ロングレスポンス
SDIO_RESP1	カードステータス [31:0]	カードステータス [127:96]
SDIO_RESP2	使用されない	カードステータス [95:64]
SDIO_RESP3	使用されない	カードステータス [63:32]
SDIO_RESP4	使用されない	カードステータス [31:1]0b

カードステータスの最上位ビットから先に受信します。SDIO_RESP3 レジスタ LSB は常に 0b です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

31.9.7 SDIO データタイマレジスタ（SDIO_DTIMER）

アドレスオフセット：0x24

リセット値：0x0000 0000

SDIO_DTIMER レジスタは、データタイムアウト期間（カードバスクロック周期単位）を含みます。

カウンタは SDIO_DTIMER レジスタから値をロードして、データパスステートマシン（DPSM）が Wait_R またはビジー状態に入ったときに、デクリメントを開始します。DPSM がこのどちらかの状態のときにタイマが 0 に達した場合、タイムアウトステータスフラグがセットされます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DATATIME																															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0 **DATATIME**：データタイムアウト期間

カードバスクロック周期で表されたデータタイムアウト期間です。

注： ***データ転送は、データ制御レジスタに書き込まれる前に、データタイマレジスタとデータ長レジスタに書き込まれなければなりません。***

31.9.8 SDIO データ長レジスタ（SDIO_DLEN）

アドレスオフセット：0x28

リセット値：0x0000 0000

SDIO_DLEN レジスタは、転送されるデータバイト数を含みます。値は、データ転送が開始されたときに、データカウンタにロードされます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み							DATALENGTH																								
							rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:25 予約済みであり、リセット値のままにしておかなければなりません。

ビット 24:0 **DATALENGTH**：データ長の値

転送されるデータバイト数です。

注： ***ブロックデータ転送では、データ長レジスタの値はブロックサイズの倍数である必要があります (SDIO_CTRL を参照してください)。データ転送は、データ制御レジスタに書き込まれる前に、データタイマレジスタとデータ長レジスタに書き込まれなければなりません。***

SDIO マルチバイト転送の場合、データ長レジスタ内の値は 1 から 512 までででなければなりません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

31.9.9 SDIO データ制御レジスタ（SDIO_DCTRL）

アドレスオフセット：0x2C

リセット値：0x0000 0000

SDIO_DCTRL レジスタは、データパスステートマシン（DPSM）を制御します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																				SDIOEN	RWMOD	RWSTOP	RWSTART	DBLOCKSIZE				DMAEN	DTMODE	DTDIR	DTEN
																				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:12 予約済みであり、リセット値のままにしておかなければなりません。

ビット 11 **SDIOEN**：SD I/O 有効機能

このビットがセットされると、DPSM は SD I/O カード固有の操作を実行します。

ビット 10 **RWMOD**：読出しウェイトモード

0：SDIO_D2 を停止する読出しウェイト制御です。
1：SDIO_CK を使用した読出しウェイト制御です。

ビット 9 **RWSTOP**：読出しウェイト停止

0：RWSTART ビットがセットされると、読出しウェイトが進行中となります。
1：RWSTART ビットがセットされると、読出しウェイト停止が有効になります。

ビット 8 **RWSTART**：読出しウェイト開始

このビットがセットされると、読出しウェイト操作が開始されます。

ビット 7:4 **DBLOCKSIZE**：データブロックサイズ

ブロックデータ転送モードが選択されているときのデータブロック長を定義します。

0000：（0 10 進）ロック長 = 2^0 = 1 バイト
0001：（1 10 進）ロック長 = 2^1 = 2 バイト
0010：（2 10 進）ロック長 = 2^2 = 4 バイト
0011：（3 10 進）ロック長 = 2^3 = 8 バイト
0100：（4 10 進）ロック長 = 2^4 = 16 バイト
0101：（5 10 進）ロック長 = 2^5 = 32 バイト
0110：（6 10 進）ロック長 = 2^6 = 64 バイト
0111：（7 10 進）ロック長 = 2^7 = 128 バイト
1000：（8 10 進）ロック長 = 2^8 = 256 バイト
1001：（9 10 進）ロック長 = 2^9 = 512 バイト
1010：（10 10 進）ロック長 = 2^{10} = 1024 バイト
1011：（11 10 進）ロック長 = 2^{11} = 2048 バイト
1100：（12 10 進）ロック長 = 2^{12} = 4096 バイト
1101：（13 10 進）ロック長 = 2^{13} = 8192 バイト
1110：（14 10 進）ロック長 = 2^{14} = 16384 バイト
1111：（15 10 進）予約済み

ビット 3 DMAEN：DMA 有効

0：DMA は無効です。
1：DMA は有効です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 2 **DTMODE**：データ転送モード選択 1：ストリームまたは SDIO マルチバイトデータ転送

0：ブロックデータ転送です。
1：ストリームまたは SDIO マルチバイトデータ転送です。

ビット 1 **DTDIR**：データ転送方向選択

0：コントローラからカードへ
1：カードからコントローラへ

ビット 0 **DTEN**：データ転送有効ビット

データ転送は、1b が DTEN ビットに書き込まれると開始します。方向ビット DTDIR に応じて、DPSM は Wait_S、Wait_R、または転送の始めにすぐに RW Start がセットされた場合には ReadWait へ移行します。データ転送の終わりに有効ビットをクリアする必要はありませんが、新しいデータ転送を有効にするには、SDIO_DCTRL を更新する必要があります。

注： ***データ書込み後、3 SDIOCLK（48 MHz）クロック周期プラス 2 PCLK2 クロック周期間はデータをこのレジスタに書き込めません。***

DTMODE ビットの意味は、SDIOEN ビットの値によって変化します。SDIOEN=0 および DTMODE=1 の場合、MultiMediaCard ストリームモードが有効になり、SDIOEN=1 および DTMODE=1 の場合、ペリフェラルが SDIO マルチバイト転送を有効にします。

31.9.10 SDIO データカウンタレジスタ（SDIO_DCOUNT）

アドレスオフセット：0x30

リセット値：0x0000 0000

SDIO_DCOUNT レジスタは、DPSM がアイドル状態から Wait_R または Wait_S 状態へ移行すると、データ長レジスタから値をロードします（SDIO_DLEN を参照してください）。データが転送されると、カウンタは 0 に達するまで値をデクリメントします。その後、DPSM はアイドル状態へ移行し、データステータス終了フラグ DATAEND がセットされます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み							DATACOUNT																								
							r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:25 予約済みであり、リセット値のままにしておかなければなりません。

ビット 24:0 **DATACOUNT**：データカウント値

このビットを読み出すと、残りの転送バイト数が返されます。書込み操作は何の影響も与えません。

注： ***このレジスタは、データ転送が完了したときだけ読み出してください。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

31.9.11 SDIO ステータスレジスタ（SDIO_STA）

アドレスオフセット：0x34

リセット値：0x0000 0000

SDIO_STA レジスタは、読出し専用レジスタであり、2 種類のフラグを含みます。

- スタティックフラグ（ビット [23:22,10:0]）：これらのビットは、SDIO 割込みクリアレジスタ（SDIO_ICR を参照）に書き込んでクリアされるまで、アサートされたままです。
- ダイナミックフラグ（ビット [21:11]）：これらのビットは、基礎回路の状態に応じて状態が変わります（例えば、FIFO フルおよびエンプティフラグは、データが FIFO に書き込まれるとアサートおよびネゲートされます）。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								CEATAEND	SDIOIT	RXDAVL	TXDAVL	RXFIFOE	TXFIFOE	RXFIFOF	TXFIFOF	RXFIFOHF	TXFIFOHE	RXACT	TXACT	CMDACT	DBCKEND	STBITERR	DATAEND	CMDSENT	CMDREND	RXOVERR	TXUNDERR	DTIMEOUT	CTIMEOUT	DCRCFAIL	CCRCFAIL
								r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:24 予約済みであり、リセット値のままにしておかなければなりません。

ビット 23 **CEATAEND**：CMD61 に対して CE-ATA コマンド完了信号が受信されました。

ビット 22 **SDIOIT**：SDIO 割込みが受信されました。

ビット 21 **RXDAVL**：受信 FIFO にデータがあります。

ビット 20 **TXDAVL**：送信 FIFO にデータがあります。

ビット 19 **RXFIFOE**：受信 FIFO が空です。

ビット 18 **TXFIFOE**：送信 FIFO が空です。
HW フロー制御が有効なとき、FIFO に 2 ワードが含まれると、TXFIFOE 信号がアクティブになります。

ビット 17 RXFIFOF：受信 FIFO がいっぱいです。
HW フロー制御が有効なとき、FIFO がいっぱいになる 2 ワード前に RXFIFOF 信号がアクティブになります。

ビット 16 TXFIFOF：送信 FIFO がいっぱいです。

ビット 15 **RXFIFOHF**：受信 FIFO がハーフフル状態です。FIFO には少なくとも 8 ワード入っています。

ビット 14 **TXFIFOHF**：送信 FIFO がハーフエンプティ状態です。FIFO には少なくとも 8 ワード書込み可能です。

ビット 13 **RXACT**：データ受信中です。

ビット 12 **TXACT**：データ送信中です。

ビット 11 **CMDACT**：コマンド転送中です。

ビット 10 **DBCKEND**：データブロック送受信（CRC 確認成功）しました。

ビット 9 **STBITERR**：ワイドバスモードで、すべてのデータ信号ではスタートビットが検出されませんでした。

ビット 8 **DATAEND**：データの終わり（データカウンタ SDIDCOUNT がゼロ）です。

ビット 7 **CMDSENT**：コマンドが送信されました（レスポンス不要）。

ビット 6 **CMDREND**：コマンドレスポンスが受信されました（CRC 確認成功）。

ビット 5 **RXOVERR**：FIFO オーバーランエラーを受信しました。

ビット 4 **TXUNDERR**：送信 FIFO アンダーランエラーです。

ビット 3 **DTIMEOUT**：データタイムアウトです。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 2 **CTIMEOUT**：コマンドレスポンスタイムアウトです。
コマンドタイムアウト期間は、固定値の 64 SDIO_CK クロック周期です。

ビット 1 **DCRCFAIL**：データブロック送受信（CRC 確認失敗）しました。

ビット 0 **DCRCFAIL**：コマンドレスポンス受信（CRC 確認失敗）しました。

31.9.12 SDIO 割込みクリアレジスタ（SDIO_ICR）

アドレスオフセット：0x38

リセット値：0x0000 0000

SDIO_ICR レジスタは、書込み専用レジスタです。ビットに 1b を書き込むと、SDIO_STA ステータスレジスタの対応するビットがクリアされます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								CEATAENDC	SDIOITC	予約済み											DBCKENDC	STBITERRC	DATAENDC	CMDSENTC	CMDRENDC	RXOVERRC	TXUNDERRC	DTIMEOUTC	CTIMEOUTC	DCRCFAILC	CCRCFAILC
								rw	rw												rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:24 予約済みであり、リセット値のままにしておかなければなりません。

ビット 23 **CEATAENDC**：CEATAEND フラグクリアビット
CEATAEND フラグをクリアするために、ソフトウェアによってセットされます。
0：CEATAEND はクリアされません。
1：CEATAEND はクリアされます。

ビット 22 **SDIOITC**：SDIOIT フラグクリアビット
SDIOIT フラグをクリアするために、ソフトウェアによってセットされます。
0：SDIOIT はクリアされません。
1：SDIOIT はクリアされます。

ビット 21:11 予約済みであり、リセット値のままにしておかなければなりません。

ビット 10 **DBCKENDC**：DBCKEND フラグクリアビット
DBCKEND フラグをクリアするために、ソフトウェアによってセットされます。
0：DBCKEND はクリアされません。
1：DBCKEND はクリアされます。

ビット 9 **STBITERRC**：STBITERR フラグクリアビット
STBITERR フラグをクリアするために、ソフトウェアによってセットされます。
0：STBITERR はクリアされません。
1：STBITERR はクリアされます。

ビット 8 **DATAENDC**：DATAEND フラグクリアビット
DATAEND フラグをクリアするために、ソフトウェアによってセットされます。
0：DATAEND はクリアされません。
1：DATAEND はクリアされます。

ビット 7 **CMDSENTC**：CMDSENT フラグクリアビット
CMDSENT フラグをクリアするために、ソフトウェアによってセットされます。
0：CMDSENT はクリアされません。
1：CMDSENT はクリアされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 6 **CMDRENDC**：CMDREND フラグクリアビット

CMDREND フラグをクリアするために、ソフトウェアによってセットされます。

0：CMDREND はクリアされません。

1：CMDREND はクリアされます。

ビット 5 **RXOVERRC**：RXOVERR フラグクリアビット

RXOVERR フラグをクリアするために、ソフトウェアによってセットされます。

0：RXOVERR はクリアされません。

1：RXOVERR はクリアされます。

ビット 4 **TXUNDERRC**：TXUNDERR フラグクリアビット

TXUNDERR フラグをクリアするために、ソフトウェアによってセットされます。

0：TXUNDERR はクリアされません。

1：TXUNDERR はクリアされます。

ビット 3 **DTIMEOUTC**：DTIMEOUT フラグクリアビット

DTIMEOUT フラグをクリアするために、ソフトウェアによってセットされます。

0：DTIMEOUT はクリアされません。

1：DTIMEOUT はクリアされます。

ビット 2 **CTIMEOUTC**：CTIMEOUT フラグクリアビット

CTIMEOUT フラグをクリアするために、ソフトウェアによってセットされます。

0：CTIMEOUT はクリアされません。

1：CTIMEOUT はクリアされます。

ビット 1 **DCRCFAILC**：DCRCFAIL フラグクリアビット

DCRCFAIL フラグをクリアするために、ソフトウェアによってセットされます。

0：DCRCFAIL はクリアされません。

1：DCRCFAIL はクリアされます。

ビット 0 **CCRCFAILC**：CCRCFAIL フラグクリアビット

CCRCFAIL フラグをクリアするために、ソフトウェアによってセットされます。

0：CCRCFAIL はクリアされません。

1：CCRCFAIL はクリアされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

31.9.13 SDIO マスクレジスタ（SDIO_MASK）

アドレスオフセット：0x3C

リセット値：0x0000 0000

割込みマスクレジスタは、対応するビットを 1b にセットすることによって、割込みリクエストを生成するステータスフラグを決めます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								CEATAENDIE	SDIOITIE	RXDAVLIE	TXDAVLIE	RXFIFOEIE	TXFIFOEIE	RXFIFOFIE	TXFIFOFIE	RXFIFOHFIE	TXFIFOHEIE	RXACTIE	TXACTIE	CMDACTIE	DBCKENDIE	STBITERRIE	DATAENDIE	CMDSENTIE	CMDRENDIE	RXOVERRIE	TXUNDERRIE	DTIMEOUTIE	CTIMEOUTIE	DCRCFAILIE	CCRCFAILIE
								rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:24　予約済みであり、リセット値のままにしておかなければなりません。

ビット 23　**CEATAENDIE**：CE-ATA コマンド完了信号受信割込み有効

CE-ATA コマンド完了信号を受信したときに生成される割込みを有効／無効にするために、ソフトウェアによってセット／クリアされます。

0：CE-ATA コマンド完了信号受信割込みは無効です。

1：CE-ATA コマンド完了信号受信割込みは有効です。

ビット 22　**SDIOITIE**：SDIO モード割込み受信割込み有効

SDIO モード割込みを受信したときに生成される割込みを有効／無効にするために、ソフトウェアによってセット／クリアされます。

0：SDIO モード割込み受信割込みは無効です。

1：SDIO モード割込み受信割込みは有効です。

ビット 21　**RXDAVLIE**：Rx FIFO データ有無割込み有効

Rx FIFO のデータの有無によって生成される割込みを有効／無効にするために、ソフトウェアによってセット／クリアされます。

0：Rx FIFO のデータの有無による割込みは無効です。

1：Rx FIFO のデータの有無による割込みは有効です。

ビット 20　**TXDAVLIE**：Tx FIFO データ有無割込み有効

Tx FIFO のデータの有無によって生成される割り込みを有効/無効にするために、ソフトウェアによってセット／クリアされます。

0：Tx FIFO のデータの有無による割込みは無効です。

1：Tx FIFO のデータの有無による割込みは有効です。

ビット 19　**RXFIFOEIE**：Rx FIFO エンプティ割込み有効

Rx FIFO が空になったときの割込みを有効／無効にするために、ソフトウェアによってセット／クリアされます。

0：Rx FIFO エンプティ割込みは無効です。

1：Rx FIFO エンプティ割込みは有効です。

ビット 18　**TXFIFOEIE**：Tx FIFO エンプティ割込み有効

Tx FIFO が空になったときに生成される割込みを有効／無効にするために、ソフトウェアによってセット／クリアされます。

0：Tx FIFO エンプティ割込みは無効です。

1：Tx FIFO エンプティ割込みは有効です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 17 **RXFIFOEIE**：Rx FIFO フル割込み有効

Rx FIFO が満杯になったときに生成される割込みを有効／無効にするために、ソフトウェアによってセット／クリアされます。

0：Rx FIFO フル割込みは無効です。

1：Rx FIFO フル割込みは有効です。

ビット 16 **TXFIFOEIE**：Tx FIFO フル割込み有効

Tx FIFO が満杯になったときに生成される割込みを有効／無効にするために、ソフトウェアによってセット／クリアされます。

0：Tx FIFO フル割込みは無効です。

1：Tx FIFO フル割込みは有効です。

ビット 15 **RXFIFOHFIE**：Rx FIFO ハーフフル割込み有効

Rx FIFO がハーフフル状態になったときに生成される割込みを有効／無効にするために、ソフトウェアによってセット／クリアされます。

0：Rx FIFO ハーフフル割込みは無効です。

1：Rx FIFO ハーフフル割込みは有効です。

ビット 14 **TXFIFOHEIE**：Tx FIFO ハーフエンプティ割込み有効

Tx FIFO がハーフエンプティ状態になったときに生成される割込みを有効／無効にするために、ソフトウェアによってセット／クリアされます。

0：Tx FIFO ハーフエンプティ割込みは無効です。

1：Tx FIFO ハーフエンプティ割込みは有効です。

ビット 13 **RXACTIE**：データ受信中割込み有効

データ受信中の割込みを有効／無効にするために、ソフトウェアによってセット／クリアされます。

0：データ受信中割込みは無効です。

1：データ受信中割込みは有効です。

ビット 12 **TXACTIE**：データ送信中割込み有効

データ送信中の割込みを有効／無効にするために、ソフトウェアによってセット／クリアされます。

0：データ送信中割込みは無効です。

1：データ送信中割込みは有効です。

ビット 11 **CMDACTIE**：コマンド動作中割込み有効

コマンド転送中の割込みを有効／無効にするために、ソフトウェアによってセット／クリアされます。

0：コマンド動作中割込みは無効です。

1：コマンド動作中割込みは有効です。

ビット 10 **DBCKENDIE**：データブロックエンド割込み有効

データブロックエンドによる割込みを有効／無効にするために、ソフトウェアによってセット／クリアされます。

0：データブロックエンド割込みは無効です。

1：データブロックエンド割込みは有効です。

ビット 9 **STBITERRIE**：スタートビットエラー割込み有効

スタートビットエラーによる割込みを有効／無効にするために、ソフトウェアによってセット／クリアされます。

0：スタートビットエラー割込みは無効です。

1：スタートビットエラー割込みは有効です。

ビット 8 **DATAENDIE**：データエンド割込み有効

データエンドによる割込みを有効／無効にするために、ソフトウェアによってセット／クリアされます。

0：データエンド割込みは無効です。

1：データエンド割込みは有効です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 7 **CMDSENTIE**：コマンド送信割込み有効

コマンド送信による割込みを有効／無効にするために、ソフトウェアによってセット／クリアされます。

0：コマンド送信割込みは無効です。

1：コマンド送信割込みは有効です。

ビット 6 **CMDRENDIE**：コマンドレスポンス受信割込み有効

コマンドレスポンスの受信による割込みを有効／無効にするために、ソフトウェアによってセット／クリアされます。

0：コマンドレスポンス受信割込みは無効です。

1：コマンドレスポンス受信割込みは有効です。

ビット 5 **RXOVERRIE**：Rx FIFO オーバーランエラー割込み有効

Rx FIFO オーバーランエラーによる割込みを有効／無効にするために、ソフトウェアによってセット／クリアされます。

0：Rx FIFO オーバーランエラー割込みは無効です。

1：Rx FIFO オーバーランエラー割込みは有効です。

ビット 4 **TXUNDERRIE**：Tx FIFO アンダーランエラー割込み有効

Tx FIFO アンダーランエラーによる割込みを有効／無効にするために、ソフトウェアによってセット／クリアされます。

0：Tx FIFO アンダーランエラー割込みは無効です。

1：Tx FIFO アンダーランエラー割込みは有効です。

ビット 3 **DTIMEOUTIE**：データタイムアウト割込み有効

データタイムアウトによる割込みを有効／無効にするために、ソフトウェアによってセット／クリアされます。

0：データタイムアウト割込みは無効です。

1：データタイムアウト割込みは有効です。

ビット 2 **CTIMEOUTIE**：コマンドタイムアウト割込み有効

コマンドタイムアウトによる割込みを有効／無効にするために、ソフトウェアによってセット／クリアされます。

0：コマンドタイムアウト割込みは無効です。

1：コマンドタイムアウト割込みは有効です。

ビット 1 **DCRCFAILIE**：データ CRC 失敗割込み有効

データ CRC 失敗による割込みを有効／無効にするために、ソフトウェアによってセット／クリアされます。

0：データ CRC 失敗割込みは無効です。

1：データ CRC 失敗割込みは有効です。

ビット 0 **CCRCFAILIE**：コマンド CRC 失敗割込み有効

コマンド CRC 失敗による割込みを有効／無効にするために、ソフトウェアによってセット／クリアされます。

0：コマンド CRC 失敗割込みは無効です。

1：コマンド CRC 失敗割込みは有効です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

31.9.14 SDIO FIFO カウンタレジスタ（SDIO_FIFOCNT）

アドレスオフセット：0x48

リセット値：0x0000 0000

SDIO_FIFOCNT レジスタは、FIFO に書き込まれるか、FIFO から読み出される残りのワード数を含みます。FIFO カウンタは、データ制御レジスタ（SDIO_DCTRL レジスタ）のデータ転送有効ビット DTEN がセットされていて、DPSM がアイドル状態のときに、データ長レジスタ（SDIO_DLEN を参照）から値をロードします。データ長がワード境界（4 の倍数）に合っていない場合、残りの 1～3 バイトは 1 ワードとみなされます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								FIFOCOUNT																							
								r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:24 予約済みであり、リセット値のままにしておかなければなりません。

ビット 23:0 **FIFOCOUNT**：FIFO に書き込まれるか、FIFO から読み出される残りのワード数

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

31.9.15 SDIO データ FIFO レジスタ（SDIO_FIFO）

アドレスオフセット：0x80

リセット値：0x0000 0000

受信および送信 FIFO は、32 ビット幅のレジスタとして読み書きできます。FIFO は、32 の連続したアドレスに 32 個のエントリを含みます。このため、CPU は複数のオペランドをロードおよび格納して、FIFO の読み書きを行うことができます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FIF0Data																															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0 **FIFOData**：受信および送信 FIFO データ

FIFO データは、次のアドレスから 32 ビットワードの 32 個のエントリを占有します。
SDIO ベース+ 0x080～SDIO ベース+ 0xFC

31.9.16 SDIO レジスタマップ

次の表は SDIO レジスタのまとめです。

表 180. SDIO レジスタマップ

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	SDIO_POWER	予約済み																															PWRCTRL
0x04	SDIO_CLKCR	予約済み																	HWFC_EN	NEGEDGE	WIDBUS	BYPASS	PWRSAV	CLKEN	CLKDIV								
0x08	SDIO_ARG	CMDARG																															
0x0C	SDIO_CMD	予約済み																	CE-ATACMD	nIEN	ENCMDcompl	SDIOSuspend	CPSMEN	WAITPEND	WAITINT	WAITRESP	CMDINDEX					
0x10	SDIO_RESPCMD	予約済み																															RESPCMD
0x14	SDIO_RESP1	CARDSTATUS1																															
0x18	SDIO_RESP2	CARDSTATUS2																															
0x1C	SDIO_RESP3	CARDSTATUS3																															
0x20	SDIO_RESP4	CARDSTATUS4																															
0x24	SDIO_DTIMER	DATATIME																															
0x28	SDIO_DLEN	予約済み																															
		DATALENGTH																															
0x2C	SDIO_DCTRL	予約済み																				SDIOEN	RWMOD	RWSTOP	RWSTART	DBLOCKSIZE				DMAEN	DTMODE	DTDIR	DTEN
0x30	SDIO_DCOUNT	予約済み																															
		DATACOUNT																															
0x34	SDIO_STA	予約済み								CEATAEND	SDIOIT	RXDAVL	TXDAVL	RXFIFOE	TXFIFOE	RXFIFOF	TXFIFOF	RXFIFOHF	TXFIFOHE	RXACT	TXACT	CMDACT	DBCKEND	STBITERR	DATAEND	CMDSENT	CMDREND	RXOVERR	TXUNDERR	DTIMEOUT	CTIMEOUT	DCRCFAIL	CCRCFAIL

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 180. SDIO レジスタマップ（続き）

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x38	SDIO_ICR	予約済み								CEATAENDC	SDIOITC	予約済み											DBCKENDC	STBITERRC	DATAENDC	CMDSENTC	CMDRENDC	RXOVERRC	TXUNDERRC	DTIMEOUTC	CTIMEOUTC	DCRCFAILC	CCRCFAILC
0x3C	SDIO_MASK	予約済み								CEATAENDIE	SDIOITIE	RXDAVLIE	TXDAVLIE	RXFIFOEIE	TXFIFOEIE	RXFIFOFIE	TXFIFOFIE	RXFIFOHFIE	TXFIFOHEIE	RXACTIE	TXACTIE	CMDACTIE	DBCKENDIE	STBITERRIE	DATAENDIE	CMDSENTIE	CMDRENDIE	RXOVERRIE	TXUNDERRIE	DTIMEOUTIE	CTIMEOUTIE	DCRCFAILIE	CCRCFAILIE
0x48	SDIO_FIFOCNT	予約済み								FIFOCOUNT																							
0x80	SDIO_FIFO	FIF0Data																															

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

32 コントローラエリアネットワーク（bxCAN）

このセクションは、特に指定がない限り、STM32F4xx ファミリデバイス全体に適用されます。

32.1 bxCAN の概要

Basic Extended CAN ペリフェラル（略称 bxCAN）は CAN ネットワークとのインタフェースで、CAN プロトコルバージョン 2.0A および B をサポートしています。この回路は小さな CPU 負荷で多くの受信メッセージを効率よく取り扱えるように設計されています。また、送信メッセージの優先順位に関する要件も満たしています。

安全性が重視されるアプリケーションの場合、CAN コントローラは、CAN タイムトリガ通信オプションをサポートするすべてのハードウェア機能を提供します。

32.2 bxCAN の主な機能

- CAN プロトコルバージョン 2.0 A、B Active のサポート
- ビットレート：最大 1 M ビット／秒
- タイムトリガ通信オプションのサポート

送信

- 3 つの送信メールボックス
- 設定可能な送信優先順位
- SOF 送信時のタイムスタンプ

受信

- 2 つの 3 ステージ受信 FIFO
- スケーラブルフィルタバンク：
  - 28 個のフィルタバンクを CAN1 と CAN2 で共有
- 識別子リスト機能
- 設定可能な FIFO オーバーラン
- SOF 受信時のタイムスタンプ

タイムトリガ通信オプション

- 自動再送信モードの無効化
- 16 ビットのフリーランニングタイマ
- タイムスタンプを最後の 2 データバイトで送信

管理

- マスク可能な割込み
- 固有のアドレス空間でのソフトウェア効率の高いメールボックス配置

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

デュアル CAN

- CAN1：スレーブ bxCAN と 512 バイトの SRAM メモリの間の通信を管理するマスタ bxCAN
- CAN2：スレーブ bxCAN。SRAM メモリへの直接アクセスなし。
- この 2 つの bxCAN セルは、512 バイトの SRAM メモリを共有します（*図 335：デュアル CAN ブロック図* を参照）。

32.3 bxCAN の概要

今日の CAN アプリケーションでは、ネットワークのノード数が増加し、複数のネットワークがゲートウェイを介してリンクされることもあります。一般に、システム内の（そして各ノードが扱う）メッセージ数は大幅に増加しています。アプリケーションメッセージに加えて、ネットワーク管理や診断のメッセージも導入されています。

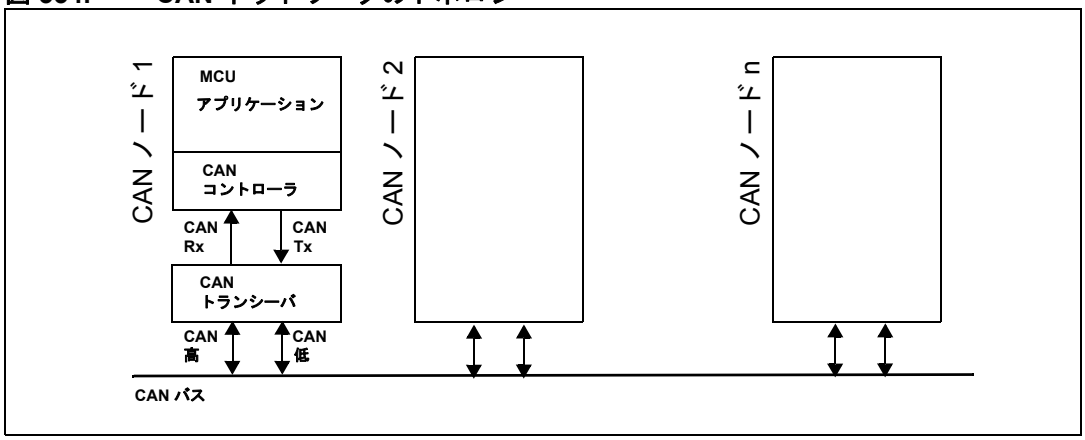
- 各種のメッセージを扱うには、高度なフィルタ機構が要求されます。

さらに、アプリケーションタスクはより多くの CPU 時間を必要とするため、メッセージ受信に起因するリアルタイム制約を減らす必要があります。

- 受信 FIFO 方式では、CPU は、メッセージを失うことなく長時間にわたってアプリケーションタスクに専念できます。

標準の CAN ドライバに基づく標準 HLP（Higher Layer Protocol：上位層プロトコル）は、CAN コントローラとの効率的なインタフェースを必要とします。

図 334. CAN ネットワークのトポロジ



32.3.1 CAN 2.0B アクティブコア

bxCAN モジュールは、CAN メッセージの送受信を完全に自律的に処理します。標準識別子（11 ビット）と拡張識別子（29 ビット）は、ハードウェアによって完全にサポートされています。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

32.3.2 制御レジスタ、ステータスレジスタ、設定レジスタ

アプリケーションは、これらのレジスタを以下の目的で使用します。

- CAN パラメータ（ボーレートなど）の設定
- 送信リクエスト
- 受信処理
- 割込み管理
- 診断情報の入手

32.3.3 Tx メールボックス

ソフトウェアがメッセージをセットアップするために、3 つの送信メールボックスが用意されています。最初に送信されるメールボックスは、送信スケジューラによって決定されます。

32.3.4 受信フィルタ

bxCAN は、着信メッセージからソフトウェアが必要なものを選び出し、他を破棄するために、28 個のスケーラブルで設定可能な識別子フィルタバンクを備えています。

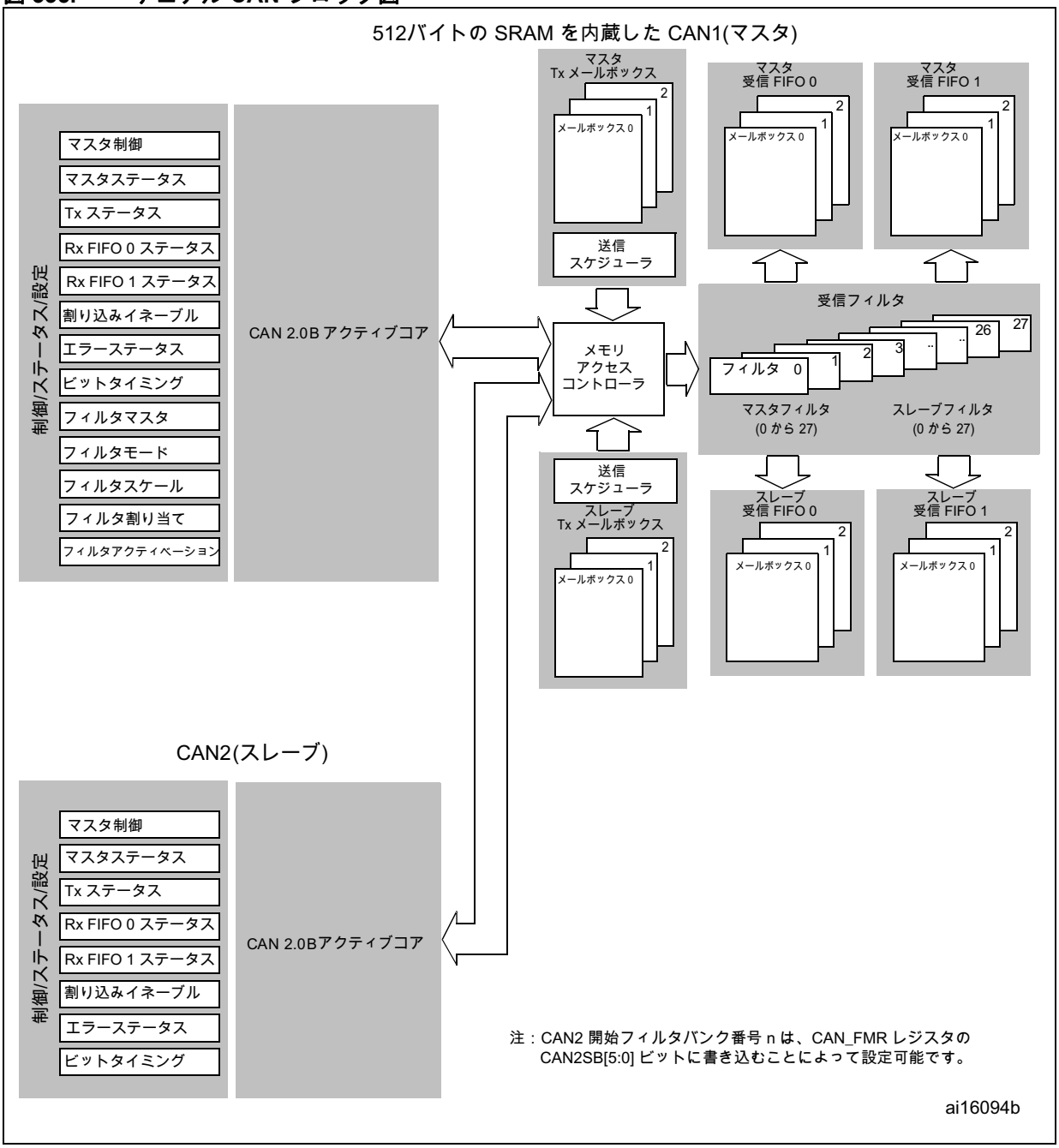
bxCAN は、着信メッセージからソフトウェアが必要なものを選び出し、他を破棄するために、28 個のスケーラブルで設定可能な識別子フィルタバンクを備えています。それ以外のデバイスには、14 個のスケーラブルで設定可能な識別子フィルタバンクが備わっています。

受信 FIFO

ハードウェアは、受信メッセージを格納するために 2 つの受信 FIFO を使用します。各 FIFO には、3 つの完全なメッセージを格納できます。FIFO の管理はすべてハードウェアによって行われます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 335. デュアル CAN ブロック図



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

32.4 bxCANの動作モード

bxCAN には、初期化、通常、およびスリープという 3 つの主な動作モードがあります。ハードウェアリセットの後、bxCAN は消費電力を低減するためにスリープモードに入り、CANTX では内部プルアップがアクティブとなります。ソフトウェアは、CAN_MCR レジスタの INRQ または SLEEP ビットをセットすることによって、b x CAN に**初期化**または**スリープ**モードに入るように要求します。いずれかのモードに入ると、bxCAN は、CAN_MSR レジスタの INAK または SLAK ビットをセットすることによってそれを確定し、内部プルアップは無効になります。INAK も SLAK もセットされていない場合、bxCAN は通常モードです。通常モードに入る前に、bxCAN は必ず CAN バスで同期する必要があります。同期のために、bxCAN は、CAN バスがアイドル状態になる（つまり、CANRX 上で 11 個の連続したリセッシブビットが観測される）のを待ちます。

32.4.1 初期化モード

ハードウェアが初期化モードにある間に、ソフトウェアの初期化も行うことができます。このモードに入るには、ソフトウェアは CAN_MCR レジスタの INRQ ビットをセットし、ハードウェアが CAN_MSR レジスタの INAK ビットをセットしてこのリクエストを確認するのを待ちます。

初期化モードから出るには、ソフトウェアで INRQ ビットをクリアします。INAK ビットがハードウェアによってクリアされると、bxCAN は初期化モードを終了します。

初期化モードでは、CAN バスとの間のすべてのメッセージ転送は停止し、CAN バス出力 CANTX のステータスはリセッシブ（ハイ）になります。

初期化モードに入っても、設定レジスタの内容は一切変化しません。

CAN コントローラを初期化するには、ソフトウェアでビットタイミング（CAN_BTR）および CAN オプション（CAN_MCR）レジスタの設定を行う必要があります。

CAN フィルタバンクに関連付けられたレジスタ（モード、スケール、FIFO 割当て、アクティベーション、およびフィルタ値）を初期化するには、ソフトウェアが FINIT ビット（CAN_FMR）をセットする必要があります。フィルタの初期化は、初期化モード以外でも行うことができます。

注： ***FINIT=1 のとき、CAN 受信は無効化されます。***

フィルタの値は、CAN_FA1R レジスタの関連するフィルタアクティベーションビットを無効にすることによっても変更できます。

フィルタバンクを使用しない場合は、これを非アクティブのままにしておく（対応する FACT ビットをクリアしておく）ことを推奨します。

32.4.2 通常モード

初期化が終了すると、ソフトウェアはハードウェアに対し、CAN バスで同期して送受信を開始できるように通常モードに入るように要求する必要があります。

この通常モードに入るリクエストは、CAN_MCR レジスタの INRQ ビットをクリアすることによって行われます。bxCAN は通常モードに入り、11 個の連続したリセッシブビットの発生（バスアイドル状態）を待って CAN バス上のデータ転送と同期すると、バス動作への参加準備完了となります。通常モードへの切り替えは、CAN_MSR レジスタの INAK ビットをクリアすることによって、ハードウェアによって確認されます。

フィルタ値の初期化は初期化モードとは別に行いますが、フィルタがアクティブでない（対応する FACTx ビットがクリアされている）ときに行う必要があります。フィルタのスケールとモードの設定は、通常モードに入る前に行う必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

32.4.3 スリープモード（低電力）

消費電力を低減するため、bxCAN にはスリープモードと呼ばれる低電力モードがあります。ソフトウェアのリクエストで CAN_MCR レジスタの SLEEP ビットをセットすると、このモードに入ります。このモードでは bxCAN のクロックは停止しますが、ソフトウェアから bxCAN のメールボックスにアクセスすることは可能です。

b x CAN が**スリープ**モードのときにソフトウェアが INRQ ビットをセットして**初期化**モードに入るように要求する場合には、SLEEP ビットもクリアする必要があります。

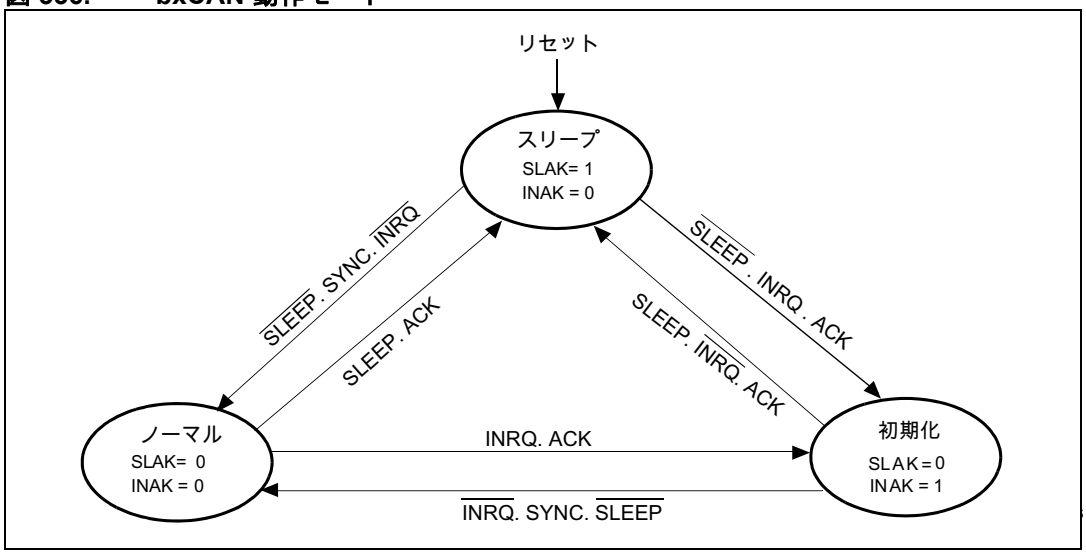
bxCAN がスリープモードからウェイクアップするには、ソフトウェアで SLEEP ビットをクリアするか、CAN バス動作を検出する必要があります。

CAN バス動作を検出すると、ハードウェアは、SLEEP ビットをクリアしてウェイクアップシーケンスを自動的に実行します（CAN_MCR レジスタの AWUM ビットがセットされている場合）。AWUM ビットがクリアされている場合、スリープモードから出るにはウェイクアップ割込み発生時にソフトウェアが SLEEP ビットをクリアする必要があります。

注： ***ウェイクアップ割込みが有効である（CAN_IER レジスタの WKUIE ビットがセットされている）場合には、bxCAN がウェイクアップシーケンスを自動的に実行する場合でも、CAN バス動作の検出時にウェイクアップ割込みが生成されます。***

SLEEP ビットがクリアされた後、bxCAN が CAN バスに同期するとスリープモードを終了します（*図 336 : bxCAN 動作モード* を参照）。SLAK ビットがハードウェアによってクリアされると、スリープモードを終了します。

図 336. bxCAN 動作モード



1. ACK = ハードウェアが CAN_MSR レジスタの INAK または SLAK ビットをセットすることによってリクエストを確認する待ち状態。
2. SYNC = CAN バスがアイドル状態になる（つまり、11 個の連続したリセッシブビットが CANRX で観測される）までの bxCAN の待ち状態。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

32.5 テストモード

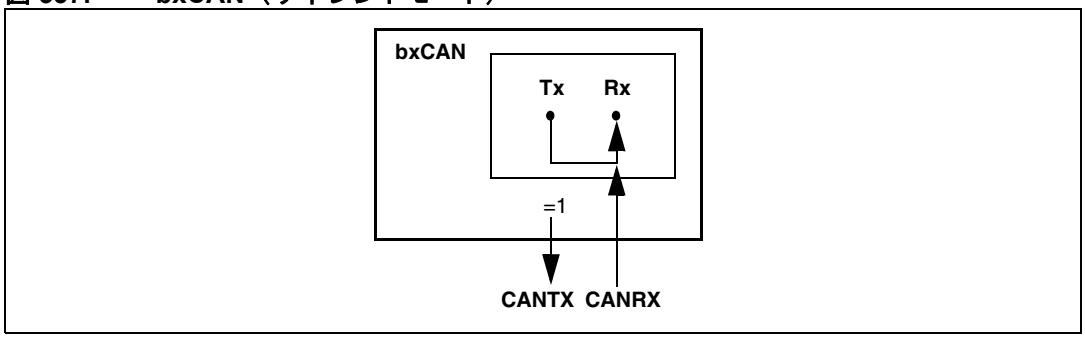
テストモードは、CAN_BTR レジスタの SILM ビットと LBKM ビットによって選択できます。これらのビットは、bxCAN が初期化モードにある間に設定する必要があります。テストモードが選択された後で通常モードに戻るには、CAN_MCR レジスタの INRQ ビットをリセットする必要があります。

32.5.1 サイレントモード

bxCAN をサイレントモードにするには、CAN_BTR レジスタの SILM ビットをセットします。

サイレントモードでは、bxCAN は有効なデータフレームやリモートフレームを受信できますが、CAN バスではリセッシブビットのみを送信するため、送信を開始することはできません。bxCAN がドミナントビット（ACK ビット、オーバロードフラグ、アクティブエラーフラグ）を送信する必要がある場合、CAN バスがリセッシブ状態にとどまることがあっても CAN コアがこのドミナントビットを監視できるように、このビットは内部でルート変更されます。サイレントモードを使用すると、ドミナントビット（ACK ビット、エラーフレーム）の送信による影響を受けずに、CAN バス上のトラフィックを解析できます。

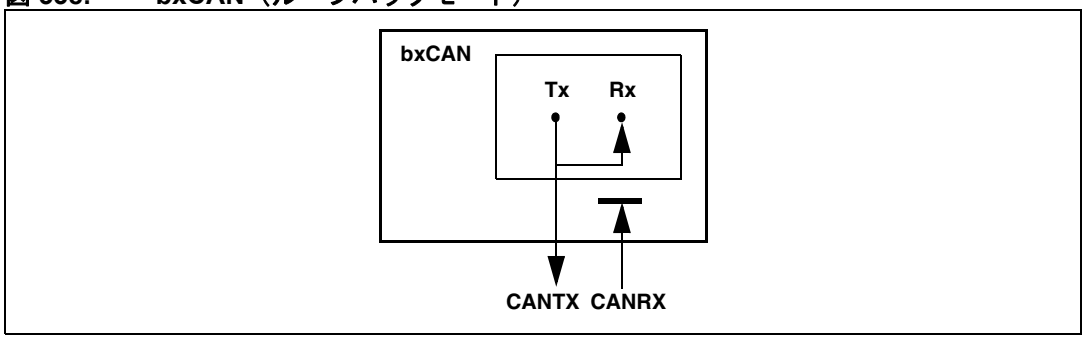
図 337. bxCAN（サイレントモード）



32.5.2 ループバックモード

bxCAN をループバックモードに設定するには、CAN_BTR レジスタの LBKM ビットをセットします。ループバックモードでは、bxCAN は自分が送信したメッセージを受信メッセージとして扱い、それらを受信メールボックスに格納します（受信フィルタを通過した場合）。

図 338. bxCAN（ループバックモード）



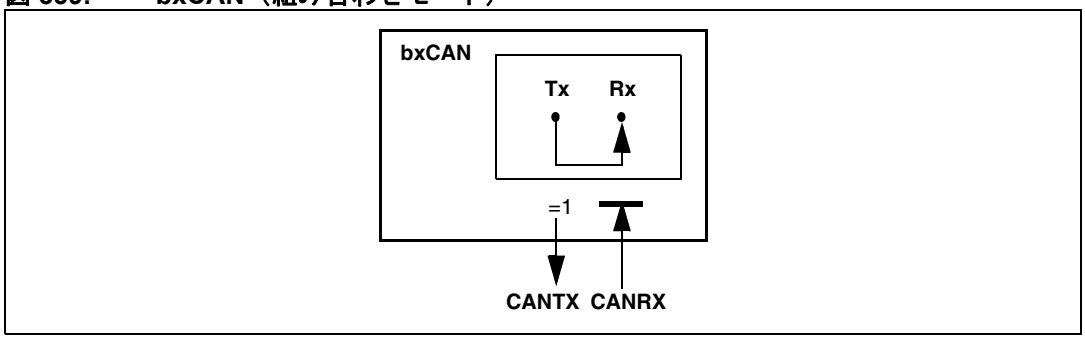
このモードは、セルフテスト機能のために用意されています。外部イベントから独立させるために、ループバックモードでは、CAN コアは ACK エラーを無視します（データ／リモートフレームの ACK スロットではドミナントビットはサンプリングされません）。このモードでは、bxCAN は Tx 出力から Rx 入力へ内部フィードバックを行います。bxCAN は、CANRX 入力ピンの実際の値を無視します。送信メッセージは CANTX ピンで監視できます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

32.5.3 サイレントモードとループバックモードの組み合わせ

CAN_BTR レジスタの LBKM ビットと SILM ビットをセットすることによって、ループバックモードとサイレントモードを組み合わせることもできます。このモードは「ホットセルフテスト」に使用できます。つまり、CANTX および CANRX ピンに接続されている実行中の CAN システムに影響を与えずに、ループバックモードと同様に bxCAN をテストできます。このモードでは、CANRX ピンは bxCAN から切断され、CANTX ピンはリセッシブに保持されます。

図 339. bxCAN（組み合わせモード）



32.6 デバッグモード

マイクロコントローラがデバッグモードになると（FPU 搭載 Cortex™-M4 コア停止）、次の状態に応じて、bxCAN は通常どおりに動作を続けるか、または停止します。

- DBG モジュールで CAN1 の場合は DBG_CAN1_STOP ビット、CAN2 の場合は DBG_CAN2_STOP ビット。詳細については、*セクション 38.16.2：タイマ、ウォッチドッグ、bxCAN、および I2C のデバッグサポート* を参照してください。
- CAN_MCR の DBF ビット。詳細については、*セクション 32.9.2：CAN 制御／ステータスレジスタ* を参照してください。

32.7 bxCAN 機能の説明

32.7.1 送信処理

メッセージを送信するには、アプリケーションは、**EMPTY** 状態の送信メールボックスを 1 つ選択し、識別子、データ長コード（DLC）、およびデータを設定してから、CAN_TIxR レジスタの対応する TXRQ ビットをセットすることによって、送信を要求する必要があります。メールボックスが EMPTY 状態でなくなると、ソフトウェアはこのメールボックスレジスタへの書込みができなくなります。TXRQ ビットがセットされると、メールボックスはただちに **PENDING** 状態になり、最高優先順位のメールボックスになるまで待機します。*送信優先順位*を参照してください。メールボックスの優先順位が最高になると、メールボックスは送信の **SCHEDULED** 状態になります。スケジュール済みメールボックスのメッセージの送信は、CAN バスがアイドル状態になると開始されます（**TRANSMIT** 状態になります）。メールボックスの内容が正常に送信されると、そのメールボックスは再び **EMPTY** 状態になります。ハードウェアは、CAN_TSR レジスタの RQCP ビットと TXOK ビットをセットして、送信が正常に終了したことを示します。

送信が失敗した場合、その原因がアービトレーションロストである場合は CAN_TSR レジスタの ALST ビットによって、または、送信エラー検出である場合は TERR ビットによって示されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

送信優先順位

識別子による優先順位

複数の送信メールボックスが保留中のときには、送信順序は、メールボックスに格納されているメッセージの識別子によって決まります。CAN プロトコルのアービトレーションに従って、識別子の値が最小のメッセージの優先順位が最高になります。識別子の値が同じ場合には、メールボックス番号の小さい方が優先的にスケジュールされます。

送信リクエストの順序による優先順位

送信メールボックスは、CAN_MCR レジスタの TXFP ビットをセットすることによって、送信 FIFO として設定できます。このモードでは、優先順位は送信リクエストの順序によって決まります。

このモードは分割送信の場合に非常に役立ちます。

アボート

ユーザは、CAN_TSR レジスタの ABRQ ビットをセットすることによって、送信リクエストをアボートできます。**PENDING** または **SCHEDULED** 状態では、メールボックスはただちにアボートされます。メールボックスが **TRANSMIT** 状態のときにアボートリクエストが出されると、次の 2 つの結果につながります。メールボックスの送信が正常に行われた場合、CAN_TSR レジスタの TXOK ビットがセットされ、メールボックスは **EMPTY** 状態になります。送信に失敗した場合、メールボックスは **SCHEDULED** 状態になり、送信がアボートされ、TXOK ビットがクリアされて、メールボックスは **EMPTY** 状態になります。いずれの場合にも、現在の送信が終了するとメールボックスは最低でも再び **EMPTY** 状態になります。

自動再送信禁止モード

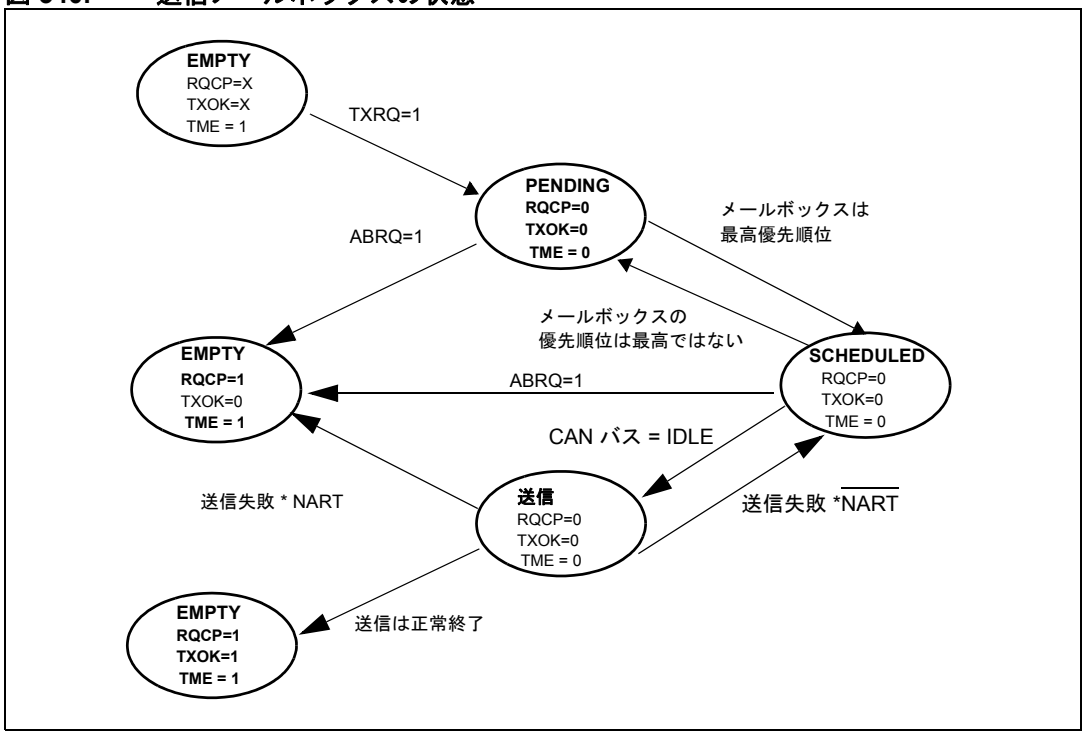
このモードは、CAN 規格のタイムトリガ通信オプションの要件を満たすために実装されています。ハードウェアをこのモードに設定するには、CAN_MCR レジスタの NART ビットをセットする必要があります。

このモードでは、個々の送信は一度だけ開始されます。最初の試みがアービトレーションロスやエラーのために失敗した場合、ハードウェアはメッセージ送信を自動的にリスタートしません。

最初の送信試行の終わりに、ハードウェアはそのリクエストが完了したものとみなし、CAN_TSR レジスタの RQCP ビットをセットします。送信の結果は、CAN_TSR レジスタの TXOK、ALST、および TERR ビットによって示されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 340. 送信メールボックスの状態



32.7.2 タイムトリガ通信モード

このモードでは、CAN ハードウェアの内部カウンタがアクティブになり、このカウンタを使用して受信／送信メールボックスの CAN_RDTxR／CAN_TDTxR レジスタに格納されるタイムスタンプ値を生成します。内部カウンタは、CAN ビット時間ごとにインクリメントされます（*セクション 32.7.7：ビットタイミング*を参照）。内部カウンタは、送受信ともに、フレーム開始（SOF）ビットのサンプルポイントでキャプチャされます。

32.7.3 受信処理

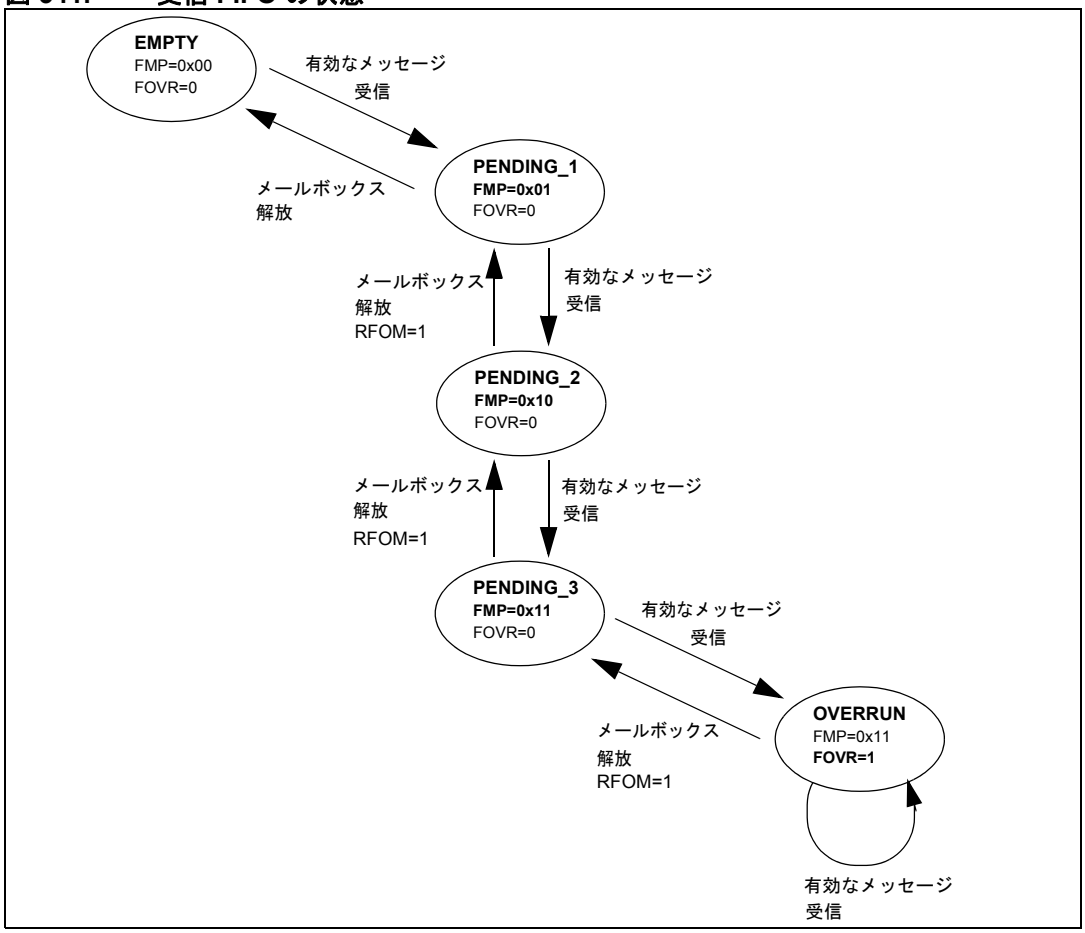
CAN メッセージの受信には、3 つのメールボックスが FIFO として用意されています。CPU 負荷を軽減し、ソフトウェアを単純化し、データの一貫性を保証するために、FIFO の管理はすべてハードウェアによって行われます。アプリケーションは、FIFO 出力メールボックスを通じて、FIFO に格納されたメッセージにアクセスします。

有効なメッセージ

受信したメッセージは、CAN プロトコルに従って正しく受信され（EOF フィールドの最後から 2 番目のビットまでエラーなし）、**かつ**、識別子フィルタリングを正常に通過した**場合**に、有効であるとみなされます（*セクション 32.7.4：識別子フィルタリング*を参照）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 341. 受信 FIFO の状態



FIFO 管理

EMPTY 状態から始まり、受信した最初の有効なメッセージが FIFO に格納されると、FIFO は **PENDING_1** 状態になります。ハードウェアは、CAN_RFR レジスタの FMP[1:0] ビットを値 01b に設定して、このイベントを通知します。このメッセージは FIFO 出力メールボックスからアクセスできます。ソフトウェアは、このメールボックスの内容を読み出し、CAN_RFR レジスタの RFOM ビットをセットすることによってメールボックスを解放します。FIFO は再び **EMPTY** 状態になります。その間に新しい有効なメッセージを受信すると、FIFO は **PENDING_1** 状態にとどまり、出力メールボックスから新しいメッセージにアクセスできます。

アプリケーションがメールボックスを解放しない場合には、次の有効なメッセージが FIFO に格納され、FIFO は **PENDING_2** 状態（FMP[1:0] = 0b10）になります。この格納プロセスは、次の有効なメッセージに対しても繰り返され、FIFO は PENDING_3 状態（FMP[1:0] = 11b）になります。この時点で、メールボックスが次の有効なメッセージを格納できるように、ソフトウェアは、RFOM ビットをセットして、出力メールボックスを解放する必要があります。解放しないと、受信した次の有効なメッセージが失われます。

*セクション 32.7.5 : メッセージストレージ*も参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

オーバーラン

FIFO が **PENDING_3** 状態（すなわち、3 個のメールボックスが満杯）になると、次の有効なメッセージの受信で **OVERRUN** 状態となり、メッセージが失われます。ハードウェアは、CAN_RFR レジスタの FOVR ビットをセットすることによって、オーバーラン状態を通知します。どのメッセージが失われるかは、FIFO の設定に依存します。

- FIFO ロック機能が無効（CAN_MCR レジスタの RFLM ビットがクリア）である場合、最後に FIFO に格納されたメッセージが新しい受信メッセージによって上書きされます。この場合、アプリケーションは常に最新のメッセージにアクセスできます。
- FIFO ロック機能が有効（CAN_MCR レジスタの RFLM ビットがセット）である場合、最新のメッセージが破棄され、ソフトウェアは FIFO 内にある 3 個の最も古いメッセージにアクセスできます。

受信関連の割込み

メッセージが FIFO に格納されると、FMP[1:0] ビットが更新され、割込みリクエストが生成されます（CAN_IER レジスタの FMPIE ビットがセットされている場合）。

FIFO が満杯になると（3 番目のメッセージが格納されると）、CAN_RFR レジスタの FULL ビットがセットされ、割込みが生成されます（CAN_IER レジスタの FFIE ビットがセットされている場合）。

オーバーラン状態になると、FOVR ビットがセットされ、割込みが生成されます（CAN_IER レジスタの FOVIE ビットがセットされている場合）。

32.7.4 識別子フィルタリング

CAN プロトコルでは、メッセージの識別子は、ノードのアドレスには関連付けられておらず、メッセージの内容に関連したものとなっています。したがって、トランスミッタは、そのメッセージをすべてのレシーバにブロードキャスト（一斉送信）します。メッセージを受信すると、受信ノードは、識別子の値に基づいてこのメッセージがソフトウェアに必要なものかどうかを判断します。このメッセージが必要な場合は、SRAM にコピーされます。そうでない場合、このメッセージは、ソフトウェアによる介入なしに破棄される必要があります。

この要件を満たすため、bxCAN コントローラは 28 個の設定可能でスケーラブルなフィルタバンク（27-0）をアプリケーションに提供します。それ以外のデバイスでは、ソフトウェアに必要なメッセージのみを受信できるように、bxCAN コントローラは 14 個の設定可能でスケーラブルなフィルタバンク（13-0）をアプリケーションに提供します。このハードウェアフィルタリングによって、ソフトウェアでフィルタリングを行う場合に必要となる CPU リソースを節約できます。各フィルタバンク x は、2 個の 32 ビットレジスタ（CAN_FxR0 と CAN_FxR1）で構成されています。

スケーラブルな幅

フィルタをアプリケーションニーズに合わせて最適化／適応するため、各フィルタバンクは個別に拡大／縮小できます。フィルタのスケールに応じて、フィルタバンクは以下のフィルタを提供します。

- 1 個の 32 ビットフィルタ：STDID[10:0]、EXTID[17:0]、IDE、および RTR ビット用。
- 2 個の 16 ビットフィルタ：STDID[10:0]、RTR、IDE、および EXTID[17:15] ビット用。

図 342 を参照してください。

さらに、これらのフィルタはマスクモードまたは識別子リストモードに設定できます。

マスクモード

マスクモードでは、識別子レジスタは、識別子のどのビットを「一致が必要」として扱い、どのビットを「無視」として扱うかを指定するマスクレジスタに関連付けられます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

識別子リストモード

識別子リストモードでは、マスクレジスタが識別子レジスタとして使用されます。このように、識別子とマスクを定義する代わりに、2 つの識別子を指定することで、単一識別子の数を倍にします。受信識別子のすべてのビットが、フィルタレジスタで指定されたビットと一致する必要があります。

フィルタバンクのスケールとモードの設定

フィルタバンクは、対応する CAN_FMR レジスタによって設定されます。フィルタバンクを設定するには、CAN_FAR レジスタの FACT ビットをクリアしてフィルタバンクを無効にする必要があります。フィルタのスケールは、CAN_FS1R レジスタの対応する FSCx ビットによって設定されます（*図 342*を参照）。対応するマスク／識別子レジスタの識別子リストまたは識別子マスクモードは、CAN_FMR レジスタの FBMx ビットによって設定されます。

識別子のグループをフィルタするには、マスクモードでマスク／識別子レジスタを設定します。

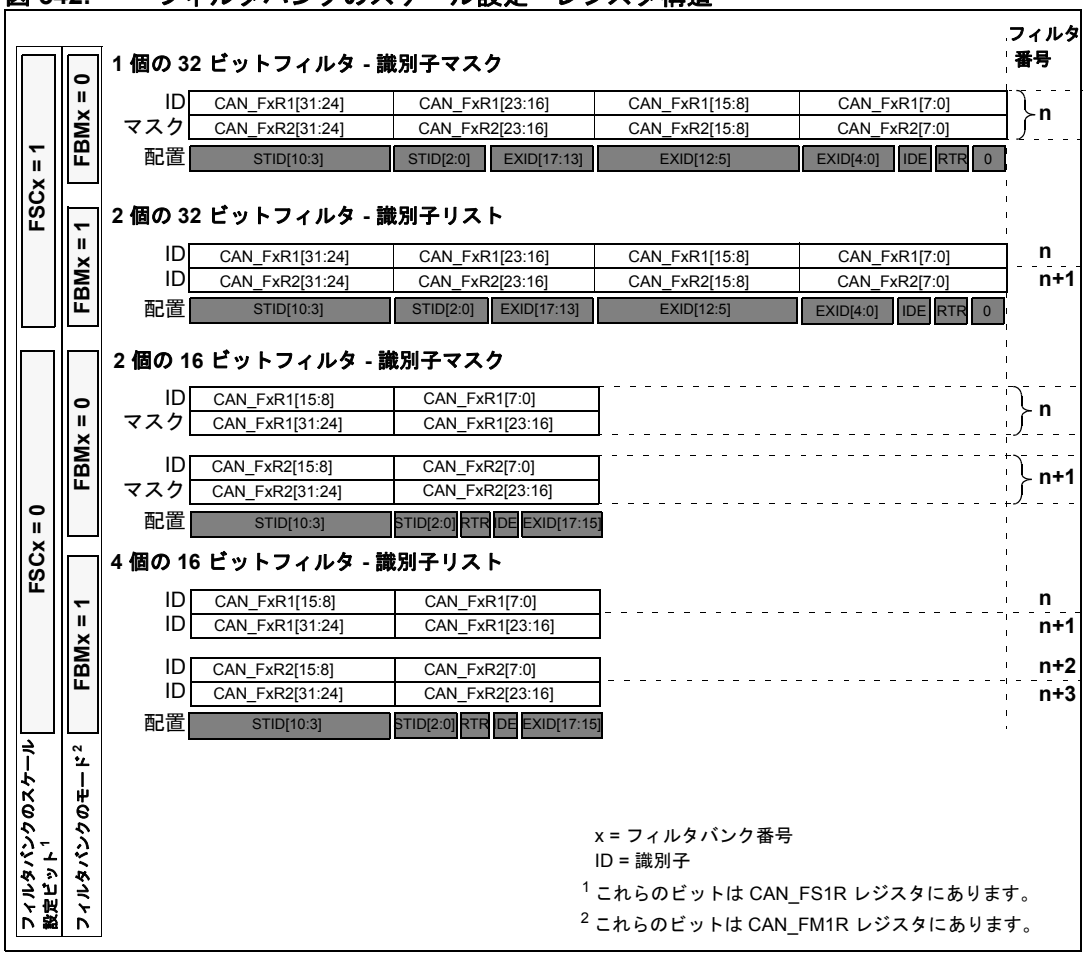
単一識別子を選択するには、識別子リストモードでマスク／識別子レジスタを設定します。

アプリケーションで使用されないフィルタは、非アクティブ効のままにしておきます。

フィルタバンク内の各フィルタには、各フィルタバンクのモードとスケールに応じて 0 から最大値までの番号（フィルタ番号）が付けられます。

フィルタの設定については *図 342*を参照してください。

図 342. フィルタバンクのスケール設定 - レジスタ構造



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

該当フィルタインデックス

メッセージは、FIFO で受信するとアプリケーションからアクセス可能になります。通常、アプリケーションのデータは SRAM のいずれかの位置にコピーされます。データを正しい位置にコピーするには、アプリケーションが識別子によってデータを識別する必要があります。この操作を省き、SRAM へのアクセスを容易にするために、CAN コントローラは該当フィルタインデックス（Filter Match Index）を搭載しています。

このインデックスは、フィルタの優先順位規則に従って、メッセージとともにメールボックスに格納されます。したがって、受信した各メッセージには関連付けられた該当フィルタインデックスがあります。

該当フィルタインデックスは、次の 2 つの方法で使用できます。

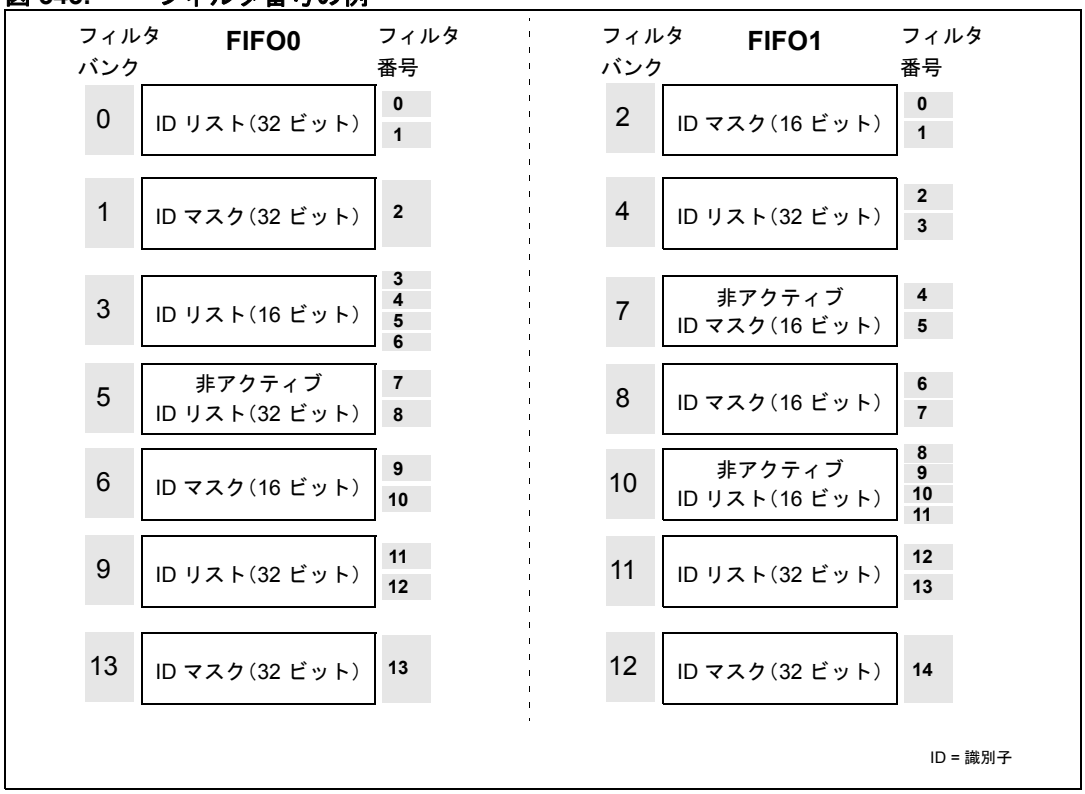
- 該当フィルタインデックスと予期される値のリストを比較します。
- 該当フィルタインデックスを配列のインデックスとして使用し、データの格納先にアクセスします。

マスクされていないフィルタについては、ソフトウェアが識別子を比較する必要はありません。

フィルタがマスクされている場合、ソフトウェアは、マスクされたビットのみを比較します。

フィルタ番号のインデックス値では、フィルタバンクのアクティブ状態を考慮に入れません。さらに、FIFO ごとに 1 つずつ、2 つの独立した番号付け方式を使用します。*図 343* の例を参照してください。

図 343. フィルタ番号の例



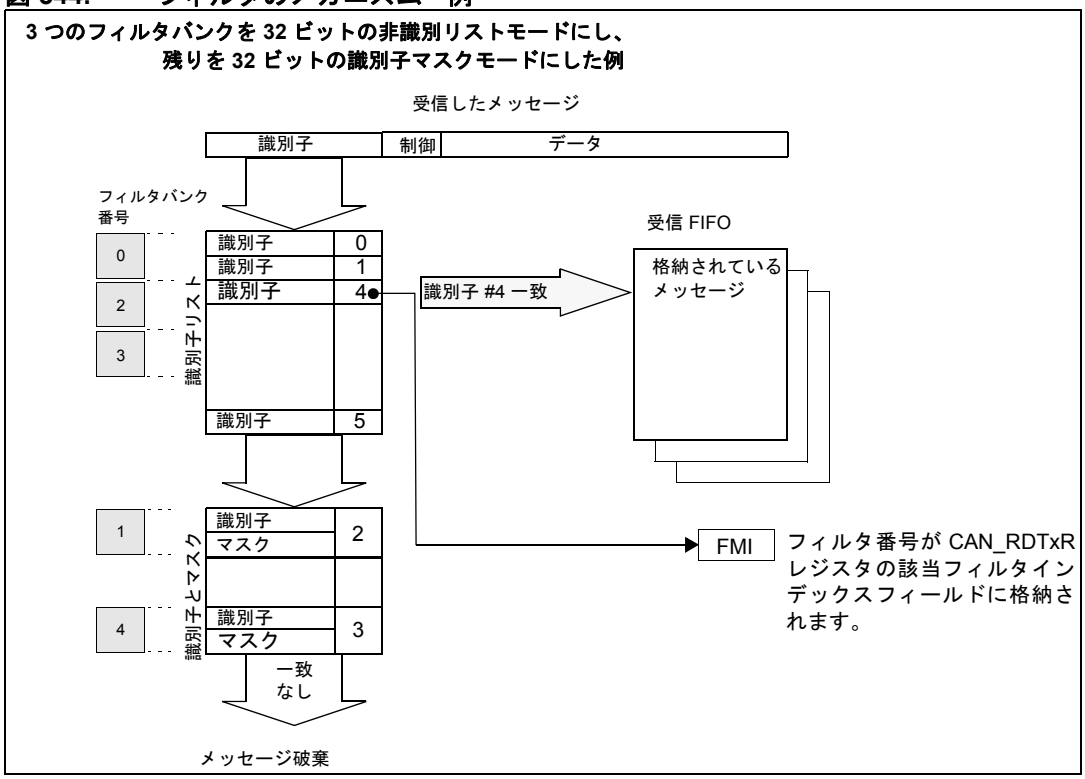
この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

フィルタの優先順位規則

フィルタの組み合わせによっては､1 つの識別子が複数のフィルタを正常に通過することがあります。この場合、受信メールボックスに格納される該当フィルタ値は、次の優先順位規則に基づいて選択されます。

- 32 ビットフィルタは 16 ビットフィルタよりも優先されます。
- 同じスケールのフィルタでは、識別子マスクモードよりも識別子リストモードが優先されます。
- スケールとモードが同じフィルタでは、フィルタ番号によって優先順位が与えられます（番号が小さいほど優先順位が高くなります）。

図 344. フィルタのメカニズム - 例



上の例は bxCAN のフィルタリングの原理を示しています。メッセージを受信すると、その識別子は、まず識別子リストモードで設定されたフィルタと比較されます。一致する項目があれば、メッセージは関連する FIFO に格納され、一致したフィルタのインデックスが該当フィルタインデックスに格納されます。この例では、識別子は識別子 #4 と一致するため、メッセージの内容と FMI 2 が FIFO に格納されます。

一致する項目がなければ、受信メッセージの識別子は、次にマスクモードで設定されたフィルタと比較されます。

この識別子がフィルタ内のどの識別子とも一致しない場合、メッセージはハードウェアによって破棄され、ソフトウェアが介入することはありません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

32.7.5 メッセージストレージ

CAN メッセージに関するソフトウェアとハードウェアのインタフェースは、メールボックスによって実装されます。メールボックスには、識別子、データ、制御、ステータス、タイムスタンプ情報など、メッセージに関するすべての情報が格納されます。

送信メールボックス

ソフトウェアは、送信しようとするメッセージを空の送信メールボックスにセットアップします。送信のステータスは、ハードウェアによって CAN_TSR レジスタに示されます。

表 181. 送信メールボックスの配置

送信メールボックスのベースアドレスのオフセット	レジスタ名
0	CAN_TIxR
4	CAN_TDTxR
8	CAN_TDLxR
12	CAN_TDHxR

受信メールボックス

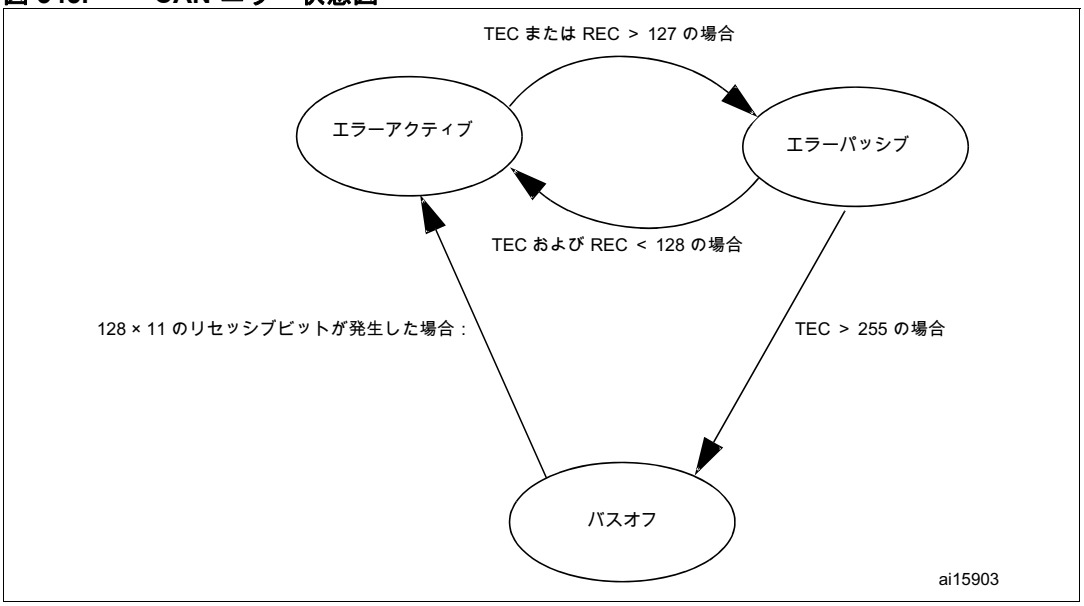
メッセージを受信すると、ソフトウェアは FIFO 出力メールボックスを通してそのメッセージにアクセスできます。ソフトウェアが読出しなどのメッセージの処理を終えると、ソフトウェアは、CAN_RFR レジスタの RFOM ビットによって FIFO 出力メールボックスを解放し、次の受信メッセージにアクセスできるようにする必要があります。該当フィルタインデックスは、CAN_RDTxR レジスタの MFMI フィールドに格納されます。16 ビットタイムスタンプの値は、CAN_RDTxR レジスタの TIME[15:0] フィールドに格納されます。

表 182. 受信メールボックスの配置

受信メールボックスのベースアドレスのオフセット（バイト）	レジスタ名
0	CAN_RIxR
4	CAN_RDTxR
8	CAN_RDLxR
12	CAN_RDHxR

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 345. CAN エラー状態図



32.7.6 エラー管理

CAN プロトコルに記述されているエラー管理は、エラー条件によってインクリメント／デクリメントされる送信エラーカウンタ（CAN_ESR レジスタの TEC 値）と受信エラーカウンタ（CAN_ESR レジスタの REC 値）を使用して、すべてハードウェアによって処理されます。TEC および REC の管理の詳細については、CAN 規格を参照してください。

ソフトウェアは、この 2 つのカウンタを読み出してネットワークの安定性を判断できます。さらに、CAN ハードウェアは、現在のエラーステータスに関する詳細な情報を CAN_ESR レジスタで提供します。CAN_IER レジスタ（ERRIE ビットなど）によって、ソフトウェアは、エラー検出時の割込み生成をきわめて柔軟に設定できます。

バスオフからの復帰

TEC が 255 を超えるとバスオフ状態になります。この状態は CAN_ESR レジスタの BOFF ビットによって示されます。バスオフ状態では、bxCAN はメッセージの送受信を行うことができません。

CAN_MCR レジスタの ABOM ビットに応じて、bxCAN は、自動的に、またはソフトウェアのリクエストに基づいて、バスオフ状態から復帰します（再びエラーアクティブになります）。しかし、いずれの場合も、bxCAN は、少なくとも CAN 規格で定められた復帰シーケンス（CANRX で観測される 11 個の連続したリセッシブビットの発生 128 回）の間は待機する必要があります。

ABOM がセットされると、bxCAN は、バスオフ状態に入った後で自動的に復帰シーケンスを開始します。

ABOM がクリアされている場合、ソフトウェアは、bxCAN に対して初期化モードに入って出るようにリクエストして、復帰シーケンスを開始する必要があります。

注： ***初期化モードでは、bxCAN は CANRX 信号を監視しないため、復帰シーケンスを完了できません。復帰するには、bxCAN は通常モードでなければなりません。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

32.7.7 ビットタイミング

ビットタイミング回路は、シリアルバスラインを監視し、スタートビットエッジでの同期と後続エッジでの再同期によって、サンプリングとサンプリングポイントの調整を行います。

この動作は、公称ビット時間を次のように 3 つのセグメントに分割するとわかりやすく説明できます。

- **同期セグメント（SYNC_SEG）**：この時間セグメント内にビット変化が生じることが想定されます。この時間の長さは 1 タイムクォンタム（1 x t_{CAN}）に固定されています。
- **ビットセグメント 1（BS1）**：サンプルポイントの位置を定義します。これには、CAN 規格の PROP_SEG と PHASE_SEG1 が含まれます。セグメントの時間は 1～16 タイムクォンタムの間でプログラミング可能ですが、ネットワークのさまざまなノード間の周波数の差に起因する正の位相ドリフトを補正するために、自動的に延長されることがあります。
- **ビットセグメント 2（BS2）**：送信ポイントの位置を定義します。これは、CAN 規格の PHASE_SEG2 に相当します。セグメントの時間は 1～8 タイムクォンタムの間でプログラミング可能ですが、負の位相ドリフトを補正するために、自動的に短縮されることもあります。

再同期ジャンプ幅（SJW）は、ビットセグメントの延長／短縮量の上限を定め、1～4 タイムクォンタムの間でプログラミング可能です。

有効なエッジとは、コントローラ自体はリセッシブビットを送信しないという条件で、あるビット時間において、ドミナントからリセッシブへのバスレベルの最初の遷移と定義されます。

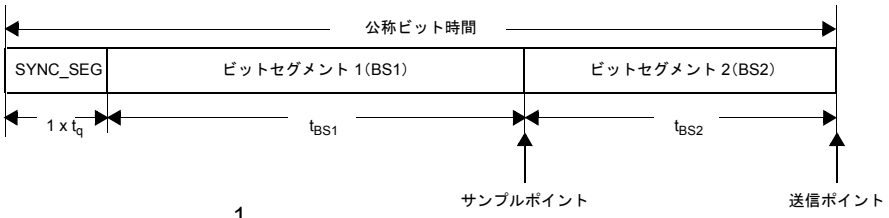
有効なエッジが SYNC_SEG ではなく BS1 で検出された場合、サンプルポイントが遅くなるように、BS1 は最大で SJW 延長されます。

逆に、有効なエッジが SYNC_SEG ではなく BS2 で検出された場合、送信ポイントが早くなるように、BS2 は最大で SJW 短縮されます。

プログラミングエラーに対する安全対策として、ビットタイミングレジスタ（CAN_BTR）は、デバイスが STANDBY モードの場合にのみ設定可能です。

注： ***CAN ビットタイミングと再同期メカニズムの詳細については、ISO11898 規格を参照してください。***

図 346. ビットタイミング



$$BaudRate = \frac{1}{NominalBitTime}$$

$$NominalBitTime = 1 \times t_q + t_{BS1} + t_{BS2}$$

ここで：

$t_{BS1} = t_q$ x (TS1[3:0] + 1)、

$t_{BS2} = t_q$ x (TS1[2:0] + 1)、

t_q = (BRP[9:0] + 1) x t_{PCLK}

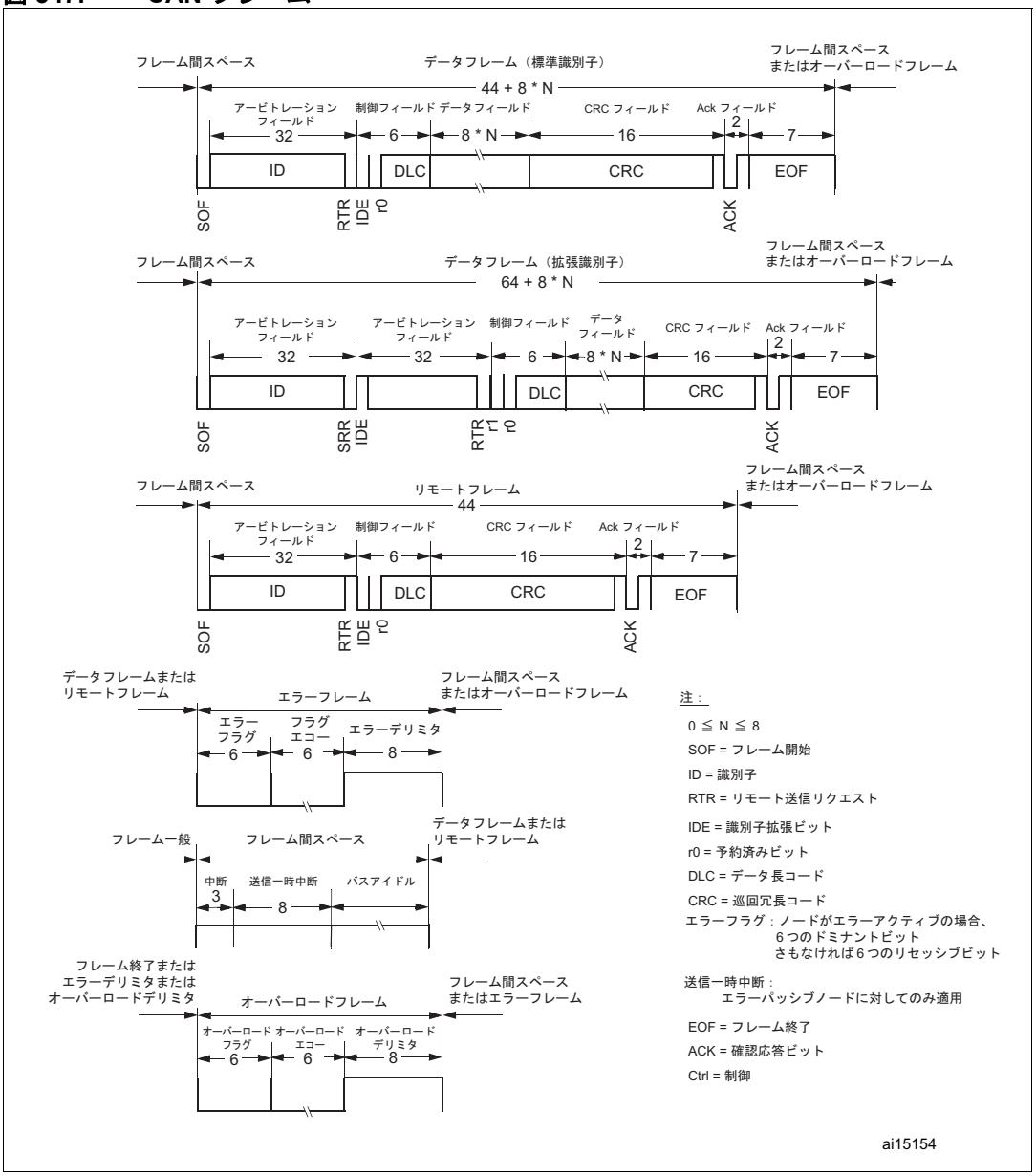
t_q はタイムクォンタムを表します。

t_{PCLK} = APB クロックの時間周期

BRP[9:0]、TS1[3:0]、および TS2[2:0] は、CAN_BTR レジスタで定義されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 347. CAN フレーム

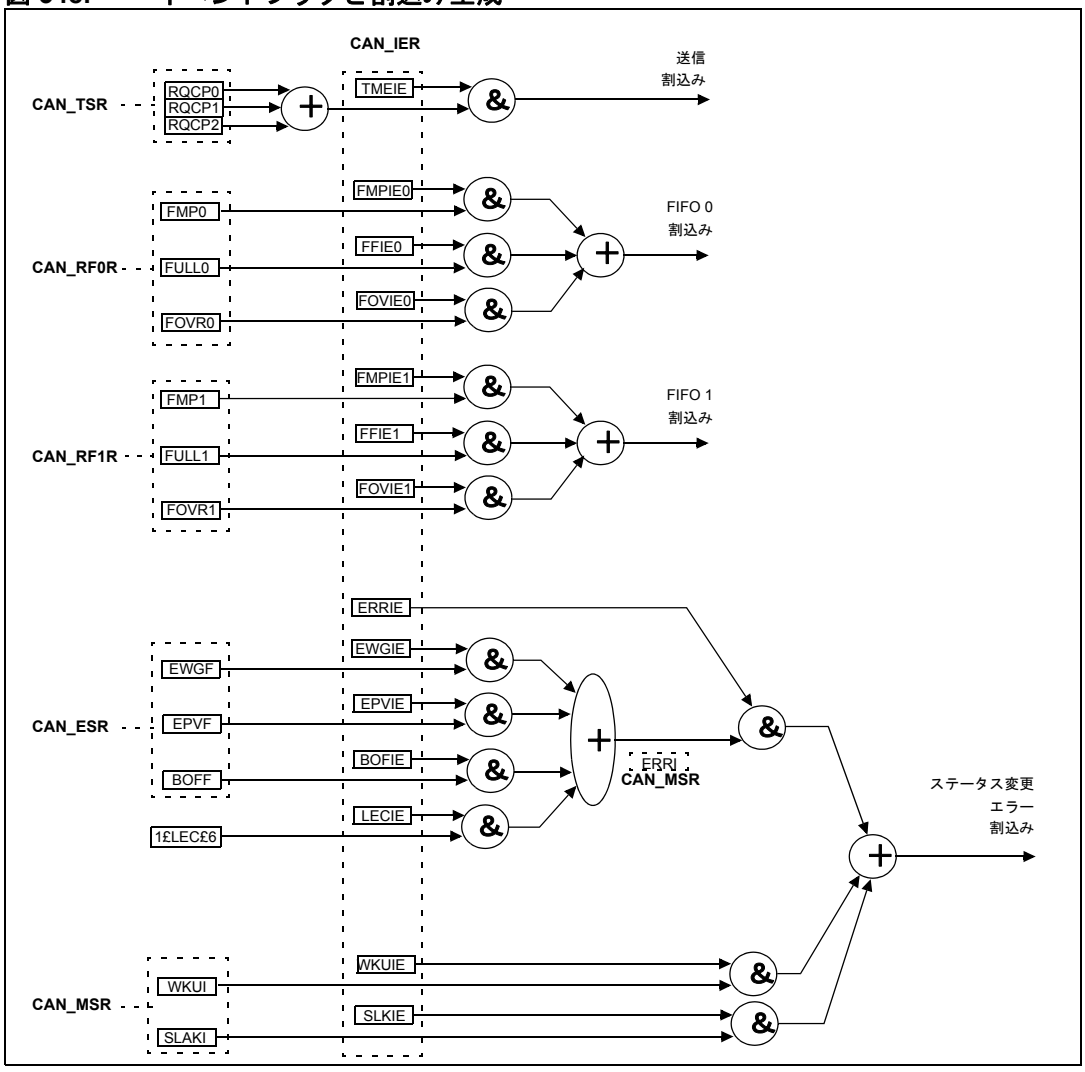


この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

32.8 bxCAN の割込み

bxCAN には 4 つの割込みベクタが確保されています。各割込みソースは、CAN 割込み有効レジスタ（CAN_IER）によって個別に有効／無効にできます。

図 348. イベントフラグと割込み生成



- 送信割込みは次のイベントによって生成できます。
  - 送信メールボックス 0 が空になり、CAN_TSR レジスタの RQCP0 ビットがセットされる。
  - 送信メールボックス 1 が空になり、CAN_TSR レジスタの RQCP1 ビットがセットされる。
  - 送信メールボックス 2 が空になり、CAN_TSR レジスタの RQCP2 ビットがセットされる。
- FIFO 0 割込みは次のイベントによって生成できます。
  - 新しいメッセージの受信、CAN_RF0R レジスタの FMP0 ビットが“00”ではない。
  - FIFO0 の満杯状態、CAN_RF0R レジスタの FULL0 ビットがセットされる。
  - FIFO0 のオーバーラン状態、CAN_RF0R レジスタの FOVR0 ビットがセットされる。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

- FIFO 1 割込みは次のイベントによって生成できます。
  - 新しいメッセージの受信、CAN_RF1R レジスタの FMP1 ビットが“00”ではない。
  - FIFO1 の満杯状態、CAN_RF1R レジスタの FULL1 ビットがセットされる。
  - FIFO1 のオーバーラン状態、CAN_RF1R レジスタの FOVR1 ビットがセットされる。
- エラー／ステータス変更割込みは次のイベントによって生成できます。
  - エラー条件：エラー条件の詳細については、CAN エラーステータスレジスタ（CAN_ESR）を参照してください。
  - ウェイクアップ条件：CAN Rx 信号で SOF が観測されたとき。
  - スリープモードへの遷移。

32.9 CAN レジスタ

ペリフェラルレジスタには、ワード（32 ビット）単位でアクセスする必要があります。

32.9.1 レジスタのアクセス保護

特定の設定レジスタに誤ったアクセスを行うと、ハードウェアが CAN ネットワーク全体の動作を一時的に妨害することがあります。このため、ソフトウェアが CAN_BTR レジスタを変更できるのは、CAN ハードウェアが初期化モードのときに限られます。

誤ったデータを送信しても CAN ネットワークレベルでは問題は生じませんが、アプリケーションには重大な影響を与える可能性があります。ソフトウェアが送信メールボックスを変更できるのは、メールボックスが EMPTY 状態のときに限られます。*図 340：送信メールボックスの状態* を参照してください。

フィルタ値を変更するには、関連するフィルタバンクを非アクティブにするか、FINIT ビットをセットします。さらに、CAN_FMxR、CAN_FSxR、および CAN_FFAR レジスタにあるフィルタ設定（スケール、モード、および FIFO 割当て）の変更は、CAN_FMR レジスタでフィルタ初期化モードがセットされている（FINIT = 1）場合に限られます。

32.9.2 CAN 制御／ステータスレジスタ

レジスタの説明で使用されている略語のリストについては、*セクション 1.1* を参照してください。

CAN マスタ制御レジスタ（CAN_MCR）

アドレスオフセット：0x00
リセット値：0x0001 0002

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															DBF
															rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESET	予約済み							TTCM	ABOM	AWUM	NART	RFLM	TXFP	SLEEP	INRQ
rs								rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:17 予約済みであり、リセット値のままにしておかなければなりません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 16 **DBF**：デバッグ凍結

0：デバッグ時に CAN が機能します。

1：デバッグ時に CAN の送受信機能が凍結されます。受信 FIFO は、まだ正常にアクセス／制御できます。

ビット 15 RESET：bxCAN ソフトウェアマスタリセット

0：通常動作

1：bxCAN のマスタリセットを強制します。リセット後は、スリープモードがアクティブになります（FMP ビットと CAN_MCR レジスタはリセット値に初期化されます）。このビットは自動的に 0 にリセットされます。

ビット 14:8 予約済みであり、リセット値のままにしておかなければなりません。

ビット 7 TTCM：タイムトリガ通信モード

0：タイムトリガ通信モードは無効です。

1：タイムトリガ通信モードは有効です。

注： ***タイムトリガ通信モードの詳細については、セクション 32.7.2：タイムトリガ通信モード を参照してください。***

ビット 6 **ABOM**：自動バスオフ管理

このビットは、バスオフ状態から出るときの CAN ハードウェアの動作を制御します。

0：11 個のリセッシブビットが 128 回観測され、ソフトウェアが CAN_MCR レジスタの INRQ ビットをまずセットし、クリアすると、ソフトウェアリクエストでバスオフ状態から出ます。

1：11 個のリセッシブビットが 128 回観測されると、ハードウェアによって自動的にバスオフ状態から出ます。

バスオフ状態の詳細については、*セクション 32.7.6：エラー管理* を参照してください。

ビット 5 AWUM：自動ウェイクアップモード

このビットは、スリープモードでのメッセージ受信時の CAN ハードウェアの動作を制御します。

0：ソフトウェアリクエストで CAN_MCR レジスタの SLEEP ビットをクリアしてスリープモードから出ます。

1：CAN メッセージの検出時にハードウェアによって自動的にスリープモードから出ます。

CAN_MCR レジスタの SLEEP ビットと CAN_MSR レジスタの SLAK ビットはハードウェアによってクリアされます。

ビット 4 NART：自動再送信禁止

0：CAN ハードウェアは、CAN 規格に基づいてメッセージを正常に送信するまで、メッセージを自動的に再送信します。

1：送信結果（正常、エラー、アービトレーションロスト）にかかわらず、メッセージは 1 回だけ送信されます。

ビット 3 RFLM：受信 FIFO ロックモード

0：受信 FIFO はオーバーラン時にロックされません。受信 FIFO が満杯になると、次の受信メッセージは前のメッセージに上書きされます。

1：受信 FIFO はオーバーランに対してロックされます。受信 FIFO が満杯になると、次の受信メッセージは破棄されます。

ビット 2 TXFP：送信 FIFO 優先順位

このビットは、複数のメールボックスが同時にペンディング状態のときの送信順序を制御します。

0：優先順位はメッセージの識別子によって決まります。

1：優先順位はリクエスト順に（時系列に）決まります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 1 SLEEP：スリープモードリクエスト

このビットは、CAN ハードウェアがスリープモードに入るように要求するために、ソフトウェアによってセットされます。現在の CAN 動作（CAN フレームの送受信）が完了すると、すぐにスリープモードに入ります。
ソフトウェアによってこのビットがクリアされると、スリープモードを終了します。
AWUM ビットがセットされていて、CAN Rx 信号で SOF ビットが検出されると、このビットはハードウェアによってクリアされます。
このビットはリセット後にセットされます。CAN はスリープモードで開始します。

ビット 0 INRQ：初期化リクエスト

ソフトウェアによってこのビットがクリアされると、ハードウェアが通常モードに切り替わります。Rx 信号で 11 個の連続したリセッシブビットが観測されると、CAN ハードウェアが同期し、送受信の準備ができます。ハードウェアは、CAN_MSR レジスタの INAK ビットをクリアすることによって、このイベントを通知します。
このビットは、CAN ハードウェアに初期化モードに入るようにリクエストするために、ソフトウェアによってセットされます。ソフトウェアが INRQ ビットをセットすると、CAN ハードウェアは現在の CAN 動作（送受信）が完了するのを待ってから、初期化モードに入ります。ハードウェアは、CAN_MSR レジスタの INAK ビットをセットすることによって、このイベントを通知します。

CAN マスタステータスレジスタ（CAN_MSR）

アドレスオフセット：0x04
リセット値：0x0000 0C02

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み。				RX	SAMP	RXM	TXM	予約済み			SLAKI	WKUI	ERRI	SLAK	INAK
				r	r	r	r				rc_w1	rc_w1	rc_w1	r	r

ビット 31:12 予約済みであり、リセット値のままにしておかなければなりません。

ビット 11 RX：CAN Rx 信号

CAN_RX ピンの実際の値を監視します。

ビット 10 SAMP：最終サンプルポイント

最後のサンプルポイントにおける RX の値（受信した現在のビット値）です。

ビット 9 RXM：受信モード

CAN ハードウェアは、現在はレシーバです。

ビット 8 TXM：送信モード

CAN ハードウェアは、現在はトランスミッタです。

ビット 7:5 予約済みであり、リセット値のままにしておかなければなりません。

ビット 4 SLAKI：スリープ確認割込み

SLKIE=1 の場合、このビットは、bxCAN がスリープモードに入ったことを通知するために、ハードウェアによってセットされます。CAN_IER レジスタの SLKIE ビットがセットされている場合にこのビットがセットされると、ステータス変更割込みが生成されます。
SLAK がクリアされると、このビットはソフトウェアまたはハードウェアによってクリアされます。

注： SLKIE=0 の場合、SLAKI ビットのポーリングはできません。この場合、SLAK ビットはポーリングできます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 3 WKUI：ウェイクアップ割込み

このビットは、CAN ハードウェアがスリープモードのときに SOF ビットが検出されたことを通知するために、ハードウェアによってセットされます。CAN_IER レジスタの WKUIE ビットがセットされている場合、このビットをセットするとステータス変更割込みが生成されます。
このビットはソフトウェアによってクリアされます。

ビット 2 ERRI：エラー割込み

エラー検出時に CAN_ESR のビットがセットされており、CAN_IER で対応する割込みが有効になっている場合、このビットはハードウェアによってセットされます。CAN_IER レジスタの ERRIE ビットがセットされている場合、このビットをセットするとステータス変更割込みが生成されます。
このビットはソフトウェアによってクリアされます。

ビット 1 SLAK：スリープ確認応答

このビットは、ハードウェアによってセットされ、CAN ハードウェアがスリープモードにあることをソフトウェアに知らせます。このビットは、ソフトウェアからのスリープモードリクエスト（CAN_MCR レジスタの SLEEP ビットをセット）に対する確認応答になります。
このビットは、CAN ハードウェアがスリープモードから出た（CAN バスで同期する）ときに、ハードウェアによってクリアされます。同期をとるため、ハードウェアは、CAN RX 信号で 11 個の連続したリセッシブビットを観測する必要があります。

注： CAN_MCR レジスタの SLEEP ビットがクリアされると、スリープモードから出るプロセスがトリガされます。SLEEP ビットのクリアについては、CAN_MCR レジスタの AWUM ビットの説明を参照してください。

ビット 0 INAK：初期化確認応答

このビットは、CAN ハードウェアが初期化モードにあることをソフトウェアに知らせるために、ハードウェアによってセットされます。このビットは、ソフトウェアからの初期化リクエスト（CAN_MCR レジスタの INRQ ビットをセット）に対する確認応答になります。
このビットは、CAN ハードウェアが初期化モードから出た（CAN バスで同期する）ときに、ハードウェアによってクリアされます。同期をとるため、ハードウェアは、CAN RX 信号で 11 個の連続したリセッシブビットを観測する必要があります。

CAN 送信ステータスレジスタ（CAN_TSR）

アドレスオフセット：0x08
リセット値：0x1C00 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
LOW2	LOW1	LOW0	TME2	TME1	TME0	CODE[1:0]		ABRQ2	予約済み			TERR2	ALST2	TXOK2	RQCP2
r	r	r	r	r	r	r	r	rs				rc_w1	rc_w1	rc_w1	rc_w1

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ABRQ1	予約済み 予約済み			TERR1	ALST1	TXOK1	RQCP1	ABRQ0	予約済み			TERR0	ALST0	TXOK0	RQCP0
rs				rc_w1	rc_w1	rc_w1	rc_w1	rs				rc_w1	rc_w1	rc_w1	rc_w1

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 31 LOW2：メールボックス 2 最低優先順位フラグ

複数のメールボックスが送信待ち状態であり、メールボックス 2 が最低優先順位のとき、このビットがハードウェアによってセットされます。

ビット 30 LOW1：メールボックス 1 最低優先順位フラグ

複数のメールボックスが送信待ち状態であり、メールボックス 1 が最低優先順位のとき、このビットがハードウェアによってセットされます。

ビット 29 LOW0：メールボックス 0 最低優先順位フラグ

複数のメールボックスが送信待ち状態であり、メールボックス 0 が最低優先順位のとき、このビットがハードウェアによってセットされます。

注： ペンディング状態のメールボックスが 1 つしかないとき、LOW[2:0] ビットは 0 にセットされます。

ビット 28 TME2：送信メールボックス 2 エンプティ

このビットは、メールボックス 2 に待ち状態となる送信リクエストがないとき、ハードウェアによってセットされます。

ビット 27 TME1：送信メールボックス 1 エンプティ

このビットは、メールボックス 1 に待ち状態となる送信リクエストがないとき、ハードウェアによってセットされます。

ビット 26 TME0：送信メールボックス 0 エンプティ

このビットは、メールボックス 0 に待ち状態となる送信リクエストがないとき、ハードウェアによってセットされます。

ビット 25:24 CODE[1:0]：メールボックスコード

少なくとも 1 個の送信メールボックスが空き状態の場合、このコード値は、次の空き状態の送信メールボックスの番号になります。
すべての送信メールボックスが待ち状態の場合、このコード値は、最低優先順位の送信メールボックスの番号になります。

ビット 23 ABRQ2：メールボックス 2 アボートリクエスト

対応するメールボックスへの送信リクエストをアボートするために、ソフトウェアによってセットされます。
メールボックスが空になると、ハードウェアによってクリアされます。
メールボックスが送信待ち状態にない場合は、このビットをセットしても何も影響しません。

ビット 22:20 予約済みであり、リセット値のままにしておかなければなりません。

ビット 19 TERR2：メールボックス 2 送信エラー

このビットは、前の送信（TX）がエラーによって失敗したときにセットされます。

ビット 18 ALST2：メールボックス 2 アービトレーションロスト

このビットは、前の送信（TX）がアービトレーションロストによって失敗したときにセットされます。

ビット 17 TXOK2：メールボックス 2 送信 OK

ハードウェアは、送信を試みた後で毎回このビットを更新します。
0：前回の送信は失敗しました。
1：前回の送信は成功しました。
このビットは、メールボックス 2 での送信リクエストが正常に完了したとき、ハードウェアによってセットされます。*図 340* を参照してください。

ビット 16 RQCP2：メールボックス 2 リクエスト完了

最後のリクエスト（送信またはアボート）が実行されたとき、ハードウェアによってセットされます。
ソフトウェアによって「1」を書き込むことで、または送信リクエスト時にハードウェアによってクリアされます（CAN_TMID2R レジスタの TXRQ2 ビットをセット）。
このビットをクリアすると、メールボックス 2 のすべてのステータスビット（TXOK2、ALST2、および TERR2）がクリアされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 15 ABRQ1：メールボックス 1 アボートリクエスト
対応するメールボックスへの送信リクエストをアボートするために、ソフトウェアによってセットされます。
メールボックスが空になると、ハードウェアによってクリアされます。
メールボックスが送信待ち状態にない場合は、このビットをセットしても何も影響しません。

ビット 14:12 予約済みであり、リセット値のままにしておかなければなりません。

ビット 11 TERR1：メールボックス 1 送信エラー
このビットは、前の送信（TX）がエラーによって失敗したときにセットされます。

ビット 10 ALST1：メールボックス 1 アービトレーションロスト
このビットは、前の送信（TX）がアービトレーションロストによって失敗したときにセットされます。

ビット 9 TXOK1：メールボックス 1 送信OK
ハードウェアは、送信を試みた後で毎回このビットを更新します。
0：前回の送信は失敗しました。
1：前回の送信は成功しました。
このビットは、メールボックス 1 での送信リクエストが正常に完了したとき、ハードウェアによってセットされます。*図 340* を参照してください。

ビット 8 RQCP1：メールボックス 1 リクエスト完了
最後のリクエスト（送信またはアボート）が実行されたとき、ハードウェアによってセットされます。
ソフトウェアによって「1」を書き込むことで、または送信リクエスト時にハードウェアによってクリアされます（CAN_TI1R レジスタの TXRQ1 ビットをセット）。
このビットをクリアするとメールボックス 1 のすべてのステータスビット（TXOK1、ALST1、および TERR1）がクリアされます。

ビット 7 ABRQ0：メールボックス 0 アボートリクエスト
対応するメールボックスへの送信リクエストをアボートするために、ソフトウェアによってセットされます。
メールボックスが空になると、ハードウェアによってクリアされます。
メールボックスが送信待ち状態にない場合は、このビットをセットしても何も影響しません。

ビット 6:4 予約済みであり、リセット値のままにしておかなければなりません。

ビット 3 TERR0：メールボックス 0 送信エラー
このビットは、前の送信（TX）がエラーによって失敗したときにセットされます。

ビット 2 ALST0：メールボックス 0 アービトレーションロスト
このビットは、前の送信（TX）がアービトレーションロストによって失敗したときにセットされます。

ビット 1 TXOK0：メールボックス 0 送信OK
ハードウェアは、送信を試みた後で毎回このビットを更新します。
0：前回の送信は失敗しました。
1：前回の送信は成功しました。
このビットは、メールボックス 1 での送信リクエストが正常に完了したとき、ハードウェアによってセットされます。*図 340* を参照してください。

ビット 0 RQCP0：メールボックス 0 リクエスト完了
最後のリクエスト（送信またはアボート）が実行されたとき、ハードウェアによってセットされます。
ソフトウェアによって「1」を書き込むことで、または送信リクエスト時にハードウェアによってクリアされます（CAN_TI0R レジスタの TXRQ0 ビットをセット）。
このビットをクリアするとメールボックス 0 のすべてのステータスビット（TXOK0、ALST0、および TERR0）がクリアされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

CAN 受信 FIFO 0 レジスタ（CAN_RF0R）

アドレスオフセット：0x0C
リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み										RFOM0	FOVR0	FULL0	予約済み	FMP0[1:0]	
										rs	rc_w1	rc_w1		r	r

ビット 31:6 予約済みであり、リセット値のままにしておかなければなりません。

ビット 5 RFOM0：FIFO 0 出力メールボックスの解放

FIFO の出力メールボックスを解放するために、ソフトウェアによってセットされます。出力メールボックスの解放は、FIFO 内で少なくとも 1 個のメッセージがペンディング状態のときにのみ可能です。FIFO が空のときにビットをセットしても何も起きません。FIFO 内で複数のメッセージがペンディング状態にある場合、ソフトウェアが次のメッセージにアクセスするには、出力メールボックスを解放する必要があります。
このビットは、出力メールボックスが解放されると、ハードウェアによってクリアされます。

ビット 4 FOVR0：FIFO 0 オーバーラン

このビットは、FIFO が満杯のときに新しいメッセージが受信され、フィルタを通過したときに、ハードウェアによってセットされます。
このビットはソフトウェアによってクリアされます。

ビット 3 FULL0：FIFO 0 フル

FIFO に 3 個のメッセージが格納されたときに、ハードウェアによってセットされます。
このビットはソフトウェアによってクリアされます。

ビット 2 予約済みであり、リセット値のままにしておかなければなりません。

ビット 1:0 FMP0[1:0]：FIFO 0 メッセージペンディング

これらのビットは、受信 FIFO 内でペンディング状態になっているメッセージの数を示します。
FMP は、ハードウェアが FIFO に新しいメッセージを格納するたびに増加します。FMP は、ソフトウェアが RFOM0 ビットをセットして出力メールボックスを解放するたびに減少します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

CAN 受信 FIFO 1 レジスタ（CAN_RF1R）

アドレスオフセット：0x10
リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み										RFOM1	FOVR1	FULL1	予約済み	FMP1[1:0]	
										rs	rc_w1	rc_w1		r	r

ビット 31:6 予約済みであり、リセット値のままにしておかなければなりません。

ビット 5 RFOM1：FIFO 1 出力メールボックスの解放

FIFO の出力メールボックスを解放するために、ソフトウェアによってセットされます。出力メールボックスの解放は、FIFO 内で少なくとも 1 個のメッセージがペンディング状態のときにのみ可能です。FIFO が空のときにビットをセットしても何も起きません。FIFO 内で複数のメッセージがペンディング状態にある場合、ソフトウェアが次のメッセージにアクセスするには、出力メールボックスを解放する必要があります。
このビットは、出力メールボックスが解放されると、ハードウェアによってクリアされます。

ビット 4 FOVR1：FIFO 1 オーバラン

このビットは、FIFO が満杯のときに新しいメッセージが受信され、フィルタを通過したときに、ハードウェアによってセットされます。
このビットはソフトウェアによってクリアされます。

ビット 3 FULL1：FIFO 1 フル

FIFO に 3 個のメッセージが格納されたときに、ハードウェアによってセットされます。
このビットはソフトウェアによってクリアされます。

ビット 2 予約済みであり、リセット値のままにしておかなければなりません。

ビット 1:0 FMP1[1:0]：FIFO 1 メッセージペンディング

これらのビットは、受信 FIFO1 内でペンディング状態になっているメッセージの数を示します。
FMP1 は、ハードウェアが FIFO1 に新しいメッセージを格納するたびに増加します。FMP1 は、ソフトウェアが RFOM1 ビットをセットして出力メールボックスを解放するたびに減少します。

CAN 割込み有効レジスタ（CAN_IER）

アドレスオフセット：0x14
リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み														SLKIE	WKUIE
														rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ERRIE	予約済み			LEC IE	BOF IE	EPV IE	EWG IE	予約済み	FOV IE1	FF IE1	FMP IE1	FOV IE0	FF IE0	FMP IE0	TME IE
rw				rw	rw	rw	rw		rw	rw	rw	rw	rw	rw	rw

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 31:18 予約済みであり、リセット値のままにしておかなければなりません。

ビット 17 SLKIE：スリープ割込み有効

0：SLAKI ビットがセットされると、割込みは生成されません。
1：SLAKI ビットがセットされると、割り込みが生成されます。

ビット 16 WKUIE：ウェイクアップ割込み有効

0：WKUI ビットがセットされると、割込みは生成されません。
1：WKUI ビットがセットされると、割込みが生成されます。

ビット 15 **ERRIE**：エラー割込み有効

0：CAN_ESR レジスタでエラー条件がペンディング状態のとき、割込みは生成されません。
1：CAN_ESR レジスタでエラー条件がペンディング状態のとき、割込みが生成されます。

ビット 14:12 予約済みであり、リセット値のままにしておかなければなりません。

ビット 11 **LECIE**：最終エラーコード割込み有効

0：エラー検出時にハードウェアによって LEC[2:0] にエラーコードがセットされるとき、ERRI ビットはセットされません。
1：エラー検出時にハードウェアによって LEC[2:0] にエラーコードがセットされると、ERRI ビットがセットされます。

ビット 10 BOFIE：バスオフ割込み有効

0：BOFF がセットされるとき、ERRI ビットはセットされません。
1：BOFF がセットされると、ERRI ビットがセットされます。

ビット 9 **EPVIE**：エラーパッシブ割込み有効

0：EPVF がセットされるとき、ERRI ビットはセットされません。
1：EPVF がセットされると、ERRI ビットがセットされます。

ビット 8 **EWGIE**：エラー警告割込み有効

0：EWGF がセットされるとき、ERRI ビットはセットされません。
1：EWGF がセットされると、ERRI ビットがセットされます。

ビット 7 予約済みであり、リセット値のままにしておかなければなりません。

ビット 6 FOVIE1：FIFO オーバーラン割込み有効

0：FOVR がセットされるとき、割込みは生成されません。
1：FOVR がセットされると、割込みが生成されます。

ビット 5 FFIE1：FIFO フル割込み有効

0：FULL ビットがセットされるとき、割込みは生成されません。
1：FULL ビットがセットされると、割込みが生成されます。

ビット 4 FMPIE1：FIFO メッセージペンディング割込み有効

0：FMP[1:0] ビットの状態が 00b でないとき、割込みは生成されません。
1：FMP[1:0] ビットの状態が 00b でないとき、割込みが生成されます。

ビット 3 FOVIE0：FIFO オーバーラン割込み有効

0：FOVR ビットがセットされるとき、割込みは生成されません。
1：FOVR ビットがセットされると、割込みが生成されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 2 FFIE0：FIFO フル割込み有効

0：FULL ビットがセットされるとき、割込みは生成されません。
1：FULL ビットがセットされると、割込みが生成されます。

ビット 1 FMPIE0：FIFO メッセージペンディング割込み有効

0：FMP[1:0] ビットの状態が 00b でないとき、割込みは生成されません。
1：FMP[1:0] ビットの状態が 00b でないとき、割込みが生成されます。

ビット 0 TMEIE：送信メールボックスエンプティ割込み有効

0：RQCPx ビットがセットされるとき、割込みは生成されません。
1：RQCPx ビットがセットされると、割込みが生成されます。

注： セクション 32.8：bxCAN の割込み を参照してください。

CAN エラーステータスレジスタ（CAN_ESR）

アドレスオフセット：0x18
リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
REC[7:0]								TEC[7:0]							
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								LEC[2:0]			予約済み	BOFF	EPVF	EWGF	
								rw	rw	rw		r	r	r	

ビット 31:24 **REC[7:0]**：受信エラーカウンタ

CAN プロトコルの障害隔離メカニズムの実装部です。受信時にエラーがあった場合、このカウンタは、CAN 規格に定められたエラー条件に応じて、1 または 8 だけインクリメントされます。受信が正常に行われるたびに、このカウンタは 1 だけデクリメントされます（カウンタの値が 128 を超えた場合は、120 にリセットされます）。カウンタ値が 127 を超えると、CAN コントローラはエラーパッシブ状態に入ります。

ビット 23:16 **TEC[7:0]**：9 ビット送信エラーカウンタの最下位バイト

CAN プロトコルの障害隔離メカニズムの実装部です。

ビット 15:7 予約済みであり、リセット値のままにしておかなければなりません。

ビット 6:4 **LEC[2:0]**：最終エラーコード

このフィールドはハードウェアによってセットされ、最後に CAN バスで検出されたエラーのエラー条件を示すコードを保持しています。メッセージがエラーなしで転送（受信または送信）されている場合には、このフィールドは”0”にクリアされます。
LEC[2:0] ビットは、ソフトウェアによって値 0b111 にセットできます。ビットはハードウェアによって更新され、現在の通信ステータスを示します。

000：エラーなし
001：スタッフエラー
010：フォームエラー
011：ACK エラー
100：ビットリセッシブエラー
101：ビットドミナントエラー
110：CRC エラー
111：ソフトウェアによってセットされます

ビット 3 予約済みであり、リセット値のままにしておかなければなりません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 2 **BOFF**：バスオフフラグ

このビットは、バスオフ状態に入るとハードウェアによってセットされます。バスオフ状態に入るのは、TEC オーバーフローのとき（255 を超えたとき）です。*セクション 32.7.6（1103 ページ）*を参照してください。

ビット 1 **EPVF**：エラーパッシブフラグ

このビットは、エラーパッシブ限界に達したときに（受信エラーカウンタまたは送信エラーカウンタ > 127）、ハードウェアによってセットされます。

ビット 0 **EWGF**：エラー警告フラグ

このビットは、警告限界に達したときに、ハードウェアによってセットされます（受信エラーカウンタまたは送信エラーカウンタ≥96）。

CAN ビットタイミングレジスタ（CAN_BTR）

アドレスオフセット：0x1C
リセット値：0x0123 0000

このレジスタは、CAN ハードウェアが初期化モードのときに、ソフトウェアによってのみアクセスできます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
SILM	LBKM	予約済み				SJW[1:0]		予約済み	TS2[2:0]			TS1[3:0]			
rw	rw					rw	rw		rw	rw	rw	rw	rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み						BRP[9:0]									
						rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31 SILM：サイレントモード（デバッグ用）

0：通常動作
1：サイレントモード

ビット 30 LBKM：ループバックモード（デバッグ用）

0：ループバックモードは無効です。
1：ループバックモードは有効です。

ビット 29:26 予約済みであり、リセット値のままにしておかなければなりません。

ビット 25:24 **SJW[1:0]**：再同期ジャンプ幅

これらのビットは、再同期を行うために CAN ハードウェアがビットを伸縮できる最大タイムクォンタム数を定義します。

$t_{RJW} = t_{CAN} \times (SJW[1:0] + 1)$

ビット 23 予約済みであり、リセット値のままにしておかなければなりません。

ビット 22:20 TS2[2:0]：時間セグメント 2

これらのビットは、時間セグメント 2 に含まれるタイムクォンタム数を定義します。

$t_{BS2} = t_{CAN} \times (TS2[2:0] + 1)$

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 19:16 TS1[3:0]：時間セグメント 1

これらのビットは、時間セグメント 1 に含まれるタイムクォンタム数を定義します。

$t_{BS1} = t_{CAN} \times (TS1[3:0] + 1)$

ビットタイミングの詳細については、*セクション 32.7.7：ビットタイミング（1104 ページ）*を参照してください。

ビット 15:10 予約済みであり、リセット値のままにしておかなければなりません。

ビット 9:0 **BRP[9:0]**：ボーレートプリスケーラ

これらのビットは、タイムクォンタムの長さを定義します。

$t_q = (BRP[9:0]+1) \times t_{PCLK}$

32.9.3 CAN メールボックスレジスタ

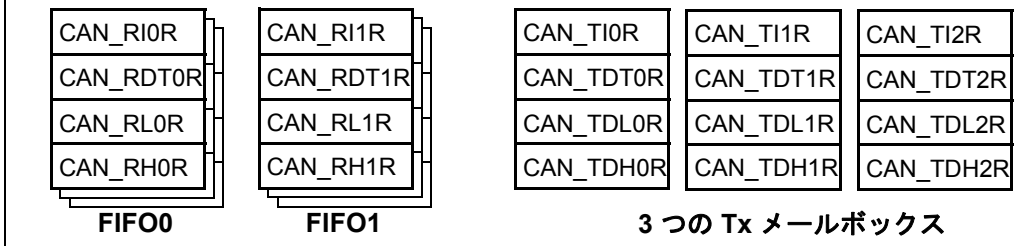
ここでは、送受信メールボックスのレジスタについて説明します。詳細なレジスタ配置については、*セクション 32.7.5：メッセージストレージ（1102 ページ）*を参照してください。

送信メールボックスと受信メールボックスのレジスタは同じですが、次の点が異なっています。

- CAN_RDTxR レジスタの FMI フィールド。
- 受信メールボックスは常に書込み保護されます。
- 送信メールボックスは空のとき（CAN_TSR レジスタの対応する TME ビットがセットされているとき）のみ、書込み可能です。

送信メールボックスは 3 つ、受信メールボックスは 2 つあります。各受信メールボックスでは、3 種類の深さのレベルの FIFO にアクセスでき、FIFO 内の最も古い受信メッセージにのみアクセスできます。

各メールボックスは 4 つのレジスタから構成されています。



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

CAN 送信メールボックス識別子レジスタ（CAN_TIxR）（x=0..2）

アドレスオフセット：0x180、0x190、0x1A0
リセット値：0xXXXX XXXX （ただし、ビット 0、TXRQ = 0)

メールボックスが送信待ち（TMEx リセット）のとき、すべての送信レジスタは書込み保護されます。

このレジスタは、送信リクエスト制御（ビット 0、リセット値 0）も実装します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
STID[10:0]/EXID[28:18]											EXID[17:13]				
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EXID[12:0]													IDE	RTR	TXRQ
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:21 STID[10:0]/EXID[28:18]：標準識別子または拡張識別子
IDE ビットの値に応じて、標準識別子、または拡張識別子の最上位ビットです。

ビット 20:3 **EXID[17:0]**：拡張識別子
拡張識別子の最下位ビットです。

ビット 2 IDE：識別子拡張
このビットは、メールボックス内のメッセージの識別子のタイプを定義します。
0：標準識別子。
1：拡張識別子。

ビット 1 **RTR**：リモート送信リクエスト
0：データフレーム
1：リモートフレーム

ビット 0 **TXRQ**：送信メールボックスリクエスト
対応するメールボックスに送信を要求するために、ソフトウェアによってセットされます。
メールボックスが空になると、ハードウェアによってクリアされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

CAN メールボックスデータ長制御／タイムスタンプレジスタ（CAN_TDTxR）（x=0..2）

メールボックスが空の状態でない場合、このレジスタのすべてのビットは書込み保護されます。

アドレスオフセット：0x184、0x194、0x1A4
リセット値：0xXXXX XXXX

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TIME[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み							TGT	予約済み				DLC[3:0]			
							rw					rw	rw	rw	rw

ビット 31:16 TIME[15:0]：メッセージタイムスタンプ
このフィールドは、SOF 送信時にキャプチャされた 16 ビットタイマの値を含みます。

ビット 15:9 予約済みであり、リセット値のままにしておかなければなりません。

ビット 8 **TGT**：送信グローバルタイム
このビットは、ハードウェアがタイムトリガ通信モードにある（CAN_MCR レジスタの TTCM ビットがセットされている）ときにのみアクティブとなります。
0：タイムスタンプ TIME[15:0] は送信されません。
1：タイムスタンプ TIME[15:0] の値は、8 バイトメッセージの最後の 2 データバイトで送信されます。このとき、データバイト 7 の TIME[7:0] とデータバイト 6 の TIME[15:8] は、CAN_TDHxR[31:16] レジスタ（DATA6[7:0]、DATA7[7:0]）に書き込まれたデータを置換します。これらの 2 バイトを CAN バス経由で送信するには、DLC を 8 としてプログラミングする必要があります。

ビット 7:4 予約済みであり、リセット値のままにしておかなければなりません。

ビット 3:0 DLC[3:0]：データ長コード
このフィールドは、データフレーム内のデータバイト数、またはリモートフレームリクエストのデータバイト数を定義します。
メッセージは、DLC フィールドの値に応じて、0～8 個のデータバイトを含むことができます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

CAN メールボックスデータ下位レジスタ（CAN_TDLxR）（x=0..2）

メールボックスが空の状態でない場合、このレジスタのすべてのビットは書込み保護されます。

アドレスオフセット：0x188、0x198、0x1A8
リセット値：0xXXXX XXXX

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DATA3[7:0]								DATA2[7:0]							
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DATA1[7:0]								DATA0[7:0]							
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:24 DATA3[7:0]：データバイト 3
メッセージのデータバイト 3 です。

ビット 23:16 DATA2[7:0]：データバイト 2
メッセージのデータバイト 2 です。

ビット 15:8 DATA1[7:0]：データバイト 1
メッセージのデータバイト 1 です。

ビット 7:0 DATA0[7:0]：データバイト 0
メッセージのデータバイト 0 です。
メッセージは、0～8 個のデータバイトを含むことができ、バイト 0 から始まります。

CAN メールボックスデータ上位レジスタ（CAN_TDHxR）（x=0..2）

メールボックスが空の状態でない場合、このレジスタのすべてのビットは書込み保護されます。

アドレスオフセット：0x18C、0x19C、0x1AC
リセット値：0xXXXX XXXX

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DATA7[7:0]								DATA6[7:0]							
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DATA5[7:0]								DATA4[7:0]							
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:24 DATA7[7:0]：データバイト 7
メッセージのデータバイト 7 です。
注： このメッセージの TGT と TTCM がアクティブな場合、DATA7 と DATA6 はタイムスタンプ値で置換されます。

ビット 23:16 DATA6[7:0]：データバイト 6
メッセージのデータバイト 6 です。

ビット 15:8 DATA5[7:0]：データバイト 5
メッセージのデータバイト 5 です。

ビット 7:0 DATA4[7:0]：データバイト 4
メッセージのデータバイト 4 です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

CAN 受信 FIFO メールボックス識別子レジスタ（CAN_RIxR）（x=0..1）

アドレスオフセット：0x1B0、0x1C0
リセット値：0xXXXX XXXX

すべての受信レジスタは書込み保護されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
STID[10:0]/EXID[28:18]											EXID[17:13]				
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EXID[12:0]													IDE	RTR	予約済み
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	

ビット 31:21 STID[10:0]/EXID[28:18]：標準識別子または拡張識別子
IDE ビットの値に応じた、標準識別子または拡張識別子の最上位ビットです。

ビット 20:3 **EXID[17:0]**：拡張識別子
拡張識別子の最下位ビットです。

ビット 2 IDE：識別子拡張
このビットは、メールボックス内のメッセージの識別子のタイプを定義します。
0：標準識別子。
1：拡張識別子。

ビット 1 **RTR**：リモート送信リクエスト
0：データフレーム
1：リモートフレーム

ビット 0 予約済みであり、リセット値のままにしておかなければなりません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

CAN 受信 FIFO メールボックスデータ長制御／タイムスタンプレジスタ（CAN_RDTxR）（x=0..1）

アドレスオフセット：0x1B4、0x1C4
リセット値：0xXXXX XXXX

すべての受信レジスタは書込み保護されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TIME[15:0]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FMI[7:0]								予約済み				DLC[3:0]			
r	r	r	r	r	r	r	r					r	r	r	r

ビット 31:16 TIME[15:0]：メッセージタイムスタンプ
このフィールドは、SOF 検出時にキャプチャされた 16 ビットタイマの値を含みます。

ビット 15:8 **FMI[7:0]**：該当フィルタインデックス
このレジスタは、メールボックスに格納されたメッセージが通過したフィルタの索引を含みます。識別子フィルタリングの詳細については、*セクション 32.7.4：識別子フィルタリング（1098 ページ）*-**該当フィルタインデックス**の項を参照してください。

ビット 7:4 予約済みであり、リセット値のままにしておかなければなりません。

ビット 3:0 DLC[3:0]：データ長コード
このフィールドは、データフレームに格納されるデータバイト数（0～8）を定義します。リモートフレームリクエストの場合、このフィールドは 0 です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

CAN 受信 FIFO メールボックスデータ下位レジスタ（CAN_RDLxR）（x=0..1）

メールボックスが空の状態でない場合、このレジスタのすべてのビットは書込み保護されます。

アドレスオフセット：0x1B8、0x1C8
リセット値：0xXXXX XXXX

すべての受信レジスタは書込み保護されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DATA3[7:0]								DATA2[7:0]							
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DATA1[7:0]								DATA0[7:0]							
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:24 DATA3[7:0]：データバイト 3
メッセージのデータバイト 3 です。

ビット 23:16 DATA2[7:0]：データバイト 2
メッセージのデータバイト 2 です。

ビット 15:8 DATA1[7:0]：データバイト 1
メッセージのデータバイト 1 です。

ビット 7:0 DATA0[7:0]：データバイト 0
メッセージのデータバイト 0 です。
メッセージは、0～8 個のデータバイトを含むことができ、バイト 0 から始まります。

CAN 受信 FIFO メールボックスデータ上位レジスタ（CAN_RDHxR）（x=0..1）

アドレスオフセット：0x1BC、0x1CC
リセット値：0xXXXX XXXX

すべての受信レジスタは書込み保護されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DATA7[7:0]								DATA6[7:0]							
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DATA5[7:0]								DATA4[7:0]							
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:24 DATA7[7:0]：データバイト 7
メッセージのデータバイト 3 です。

ビット 23:16 DATA6[7:0]：データバイト 6
メッセージのデータバイト 2 です。

ビット 15:8 DATA5[7:0]：データバイト 5
メッセージのデータバイト 1 です。

ビット 7:0 DATA4[7:0]：データバイト 4
メッセージのデータバイト 0 です。

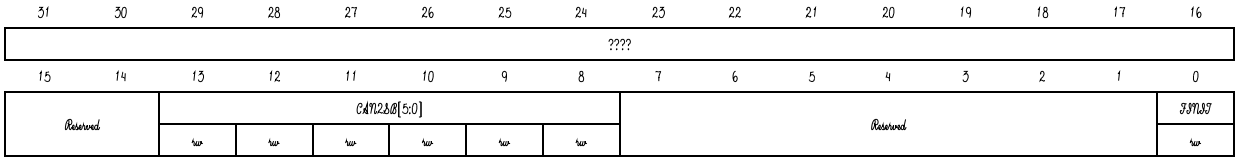
この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

32.9.4 CAN フィルタレジスタ

CAN フィルタマスタレジスタ（CAN_FMR）

アドレスオフセット：0x200
リセット値：0x2A1C 0E01

このレジスタのすべてのビットは、ソフトウェアによってセット／クリアされます。



ビット 31：14 予約済みであり、リセット値のままにしておかなければなりません。

ビット 13:8 **CAN2SB[5:0]**：CAN2 開始バンク

これらのビットは、ソフトウェアによってセット／クリアされ、CAN2 インタフェース（スレーブ）の開始バンクを 0 から 27 の範囲で定義します。

注： CAN2SB[5:0]= 28d のときは、CAN1 へのすべてのフィルタが使用できます。
CAN2SB[5:0] が 0 にセットされているときは、CAN1 にはフィルタは割り当てられません。

ビット 7:1 予約済みであり、リセット値のままにしておかなければなりません。

ビット 0 FINIT：フィルタ初期化モード

フィルタバンクの初期化モード
0：アクティブフィルタモード。
1：フィルタの初期化モード。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

CAN フィルタモードレジスタ（CAN_FM1R）

アドレスオフセット：0x204
リセット値：0x0000 0000

このレジスタへの書込みはフィルタ初期化モード（CAN_FMR レジスタの FINIT = 1）のときのみ可能です。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み				FBM27	FBM26	FBM25	FBM24	FBM23	FBM22	FBM21	FBM20	FBM19	FBM18	FBM17	FBM16
				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FBM15	FBM14	FBM13	FBM12	FBM11	FBM10	FBM9	FBM8	FBM7	FBM6	FBM5	FBM4	FBM3	FBM2	FBM1	FBM0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

注： ***図 342：フィルタバンクのスケール設定 - レジスタ構造（1099 ページ）を参照してください。***

ビット 31:28　予約済みであり、リセット値のままにしておかなければなりません。

ビット 27:0　**FBM*x***：フィルタモード

フィルタ x のレジスタのモードです。
0：フィルタバンク x の 2 つの 32 ビットレジスタは識別子マスクモードになっています。
1：フィルタバンク x の 2 つの 32 ビットレジスタは識別子リストモードになっています。

CAN フィルタスケールレジスタ（CAN_FS1R）

アドレスオフセット：0x20C
リセット値：0x0000 0000

このレジスタへの書込みはフィルタ初期化モード（CAN_FMR レジスタの FINIT = 1）のときのみ可能です。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み				FSC27	FSC26	FSC25	FSC24	FSC23	FSC22	FSC21	FSC20	FSC19	FSC18	FSC17	FSC16
				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FSC15	FSC14	FSC13	FSC12	FSC11	FSC10	FSC9	FSC8	FSC7	FSC6	FSC5	FSC4	FSC3	FSC2	FSC1	FSC0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:28　予約済みであり、リセット値のままにしておかなければなりません。

ビット 27:0　**FSCx**：フィルタスケール設定

これらのビットは、フィルタ 13 - 0 のスケール設定を定義します。
0：デュアル 16 ビットスケール設定
1：シングル 32 ビットスケール設定

注： ***図 342：フィルタバンクのスケール設定 - レジスタ構造（1099 ページ）を参照してください。***

CAN フィルタ FIFO 割当てレジスタ（CAN_FFA1R）

アドレスオフセット：0x214
リセット値：0x0000 0000

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

このレジスタへの書込みはフィルタ初期化モード（CAN_FMR レジスタの FINIT = 1）のときのみ可能です。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み				FFA27	FFA26	FFA25	FFA24	FFA23	FFA22	FFA21	FFA20	FFA19	FFA18	FFA17	FFA16
				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FFA15	FFA14	FFA13	FFA12	FFA11	FFA10	FFA9	FFA8	FFA7	FFA6	FFA5	FFA4	FFA3	FFA2	FFA1	FFA0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:28 予約済みであり、リセット値のままにしておかなければなりません。

ビット 27:0 **FFA*x***：フィルタ x のフィルタ FIFO 割り当て

このフィルタを通過するメッセージは、特定の FIFO に保存されます。
0：フィルタが FIFO 0 に割り当てられます。
1：フィルタが FIFO 1 に割り当てられます。

CAN フィルタアクティベーションレジスタ（CAN_FA1R）

アドレスオフセット：0x21C
リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み				FACT27	FACT26	FACT25	FACT24	FACT23	FACT22	FACT21	FACT20	FACT19	FACT18	FACT17	FACT16
				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FACT15	FACT14	FACT13	FACT12	FACT11	FACT10	FACT9	FACT8	FACT7	FACT6	FACT5	FACT4	FACT3	FACT2	FACT1	FACT0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:28 予約済みであり、リセット値のままにしておかなければなりません。

ビット 27:0 **FACT*x***：アクティブなフィルタ

ソフトウェアがこのビットをセットしてフィルタ x をアクティブにします。フィルタ x レジスタ（CAN_FxR[0:7]）を変更するには、FACTx ビットをクリアするか、CAN_FMR レジスタの FINIT ビットをセットする必要があります。
0：フィルタ x はアクティブではありません。
1：フィルタ x はアクティブです。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

CAN フィルタバンク i レジスタ x（CAN_FxR[1:0]）（i=0..27、x=1、2）

アドレスオフセット：0x240..0x31C
リセット値：0xXXXX XXXX

28 個のフィルタバンク（x = 0..27）が存在します。各フィルタバンク i は、2 個の 32 ビットレジスタ（CAN_FiR[2:1]）から構成されています。

このレジスタを変更できるのは、CAN_FAxR レジスタの FACTx ビットがクリアされている場合か、CAN_FMR レジスタの FINIT ビットがセットされている場合に限られます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
FB31	FB30	FB29	FB28	FB27	FB26	FB25	FB24	FB23	FB22	FB21	FB20	FB19	FB18	FB17	FB16
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FB15	FB14	FB13	FB12	FB11	FB10	FB9	FB8	FB7	FB6	FB5	FB4	FB3	FB2	FB1	FB0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

すべての設定において：

ビット 31:0 FB[31:0]：フィルタビット

識別子
レジスタの各ビットは、予期される識別子の対応するビットのレベルを指定します。
0：ドミナントビットが予期されます。
1：リセッシブビットが予期されます。

マスク
レジスタの各ビットは、関連する識別子レジスタのビットが、予期される識別子の対応するビットに一致する必要があるかどうかを指定します。
0：無視（このビットは比較に使用されません）
1：一致が必要（受信識別子のビットのレベルは、フィルタの対応する識別子レジスタで指定されたレベルと同じでなければなりません）

注： ***フィルタのスケールとモードの設定に応じて、各レジスタの機能は異なることがあります。フィルタ配置、機能の説明、およびマスクレジスタの関連については、セクション 32.7.4：識別子フィルタリング（1098 ページ）を参照してください。***

マスクモードにおけるマスク／識別子レジスタのビット配置は、**識別子リスト**モードの場合と同じです。

フィルタバンクのレジスタ配置／アドレスについては、表 183（1129 ページ）を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

32.9.5 bxCAN レジスタマップ

レジスタ境界アドレスについては、*表 2（64 ページ）*を参照してください。オフセット 0x200 から 31C までのレジスタは、CAN1 にのみ存在します。

表 183. bxCAN レジスタマップとリセット値

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x000	CAN_MCR	予約済み															DBF	リセット	予約済み							TTCM	ABOM	AWUM	NART	RFLM	TXFP	SLEEP	INRQ
	リセット値																1	0								0	0	0	0	0	0	1	0
0x004	CAN_MSR	予約済み																				RX	SAMP	RXM	TXM	予約済み			SLAKI	WKUI	ERRI	SLAK	INAK
	リセット値																					1	1	0	0				0	0	0	1	0
0x008	CAN_TSR	LOW[2:0]			TME[2:0]			CODE[1:0]		ABRQ2	予約済み			TERR2	ALST2	TXOK2	RQCP2	ABRQ1	予約済み			TERR1	ALST1	TXOK1	RQCP1	ABRQ0	予約済み			TERR0	ALST0	TXOK0	RQCP0
	リセット値	0	0	0	1	1	1	0	0	0				0	0	0	0	0				0	0	0	0	0				0	0	0	0
0x00C	CAN_RF0R	予約済み																										RFOM0	FOVR0	FULL0	予約済み	FMP0[1:0]		
	リセット値																											0	0	0		0	0
0x010	CAN_RF1R	予約済み																										RFOM1	FOVR1	FULL1	予約済み	FMP1[1:0]		
	リセット値																											0	0	0		0	0
0x014	CAN_IER	予約済み														SLKIE	WKUIE	ERRIE	予約済み			LECIE	BOFIE	EPVIE	EWGIE	予約済み	FOVIE1	FFIE1	FMPIE1	FOVIE0	FFIE0	FMPIE0	TMEIE
	リセット値															0	0	0				0	0	0	0		0	0	0	0	0	0	0
0x018	CAN_ESR	REC[7:0]								TEC[7:0]									予約済み								LEC[2:0]			予約済み	BOFF	EPVF	EWGF
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0									0	0	0		0	0	0
0x01C	CAN_BTR	SILM	LBKM	予約済み				SJW[1:0]		予約済み	TS2[2:0]			TS1[3:0]					予約済み							BRP[9:0]							
	リセット値	0	0					0	0		0	1	0	0	0	1	1									0	0	0	0	0	0	0	0	0
0x020-0x17F	予約済み																																
0x180	CAN_TI0R	STID[10:0]/EXID[28:18]												EXID[17:0]																	IDE	RTR	TXRQ
	リセット値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0
0x184	CAN_TDT0R	TIME[15:0]																	予約済み						TGT	予約済み				DLC[3:0]			
	リセット値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x								x					x	x	x	x
0x188	CAN_TDL0R	DATA3[7:0]								DATA2[7:0]									DATA1[7:0]											DATA0[7:0]			
	リセット値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 183. bxCAN レジスタマップとリセット値（続き）

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x18C	CAN_TDH0R	DATA7[7:0]								DATA6[7:0]								DATA5[7:0]								DATA4[7:0]							
	リセット値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x
0x190	CAN_TI1R	STID[10:0]/EXID[28:18]								EXID[17:0]																					IDE	RTR	TXRQ
	リセット値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0
0x194	CAN_TDT1R	TIME[15:0]																予約済み							TGT	予約済み					DLC[3:0]			
	リセット値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x								x						x	x	x	x
0x198	CAN_TDL1R	DATA3[7:0]								DATA2[7:0]								DATA1[7:0]								DATA0[7:0]							
	リセット値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x
0x19C	CAN_TDH1R	DATA7[7:0]								DATA6[7:0]								DATA5[7:0]								DATA4[7:0]							
	リセット値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x
0x1A0	CAN_TI2R	STID[10:0]/EXID[28:18]								EXID[17:0]																					IDE	RTR	TXRQ
	リセット値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0
0x1A4	CAN_TDT2R	TIME[15:0]																予約済み							TGT	予約済み					DLC[3:0]			
	リセット値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x								x						x	x	x	x
0x1A8	CAN_TDL2R	DATA3[7:0]								DATA2[7:0]								DATA1[7:0]								DATA0[7:0]							
	リセット値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x
0x1AC	CAN_TDH2R	DATA7[7:0]								DATA6[7:0]								DATA5[7:0]								DATA4[7:0]							
	リセット値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x
0x1B0	CAN_RI0R	STID[10:0]/EXID[28:18]								EXID[17:0]																					IDE	RTR	予約済み
	リセット値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	
0x1B4	CAN_RDT0R	TIME[15:0]																FMI[7:0]								予約済み					DLC[3:0]			
	リセット値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x						x	x	x	x
0x1B8	CAN_RDL0R	DATA3[7:0]								DATA2[7:0]								DATA1[7:0]								DATA0[7:0]							
	リセット値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x
0x1BC	CAN_RDH0R	DATA7[7:0]								DATA6[7:0]								DATA5[7:0]								DATA4[7:0]							
	リセット値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x
0x1C0	CAN_RI1R	STID[10:0]/EXID[28:18]								EXID[17:0]																					IDE	RTR	予約済み
	リセット値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 183. bxCAN レジスタマップとリセット値（続き）

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x1C4	CAN_RDT1R	TIME[15:0]																FMI[7:0]								予約済み				DLC[3:0]			
	リセット値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x					x	x	x	x
0x1C8	CAN_RDL1R	DATA3[7:0]								DATA2[7:0]								DATA1[7:0]								DATA0[7:0]							
	リセット値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x
0x1CC	CAN_RDH1R	DATA7[7:0]								DATA6[7:0]								DATA5[7:0]								DATA4[7:0]							
	リセット値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x
0x1D0-0x1FF	予約済み																																
0x200	CAN_FMR	予約済み																		CAN2SB[5:0]						予約済み							FINIT
	Reset value																			0	0	1	1	1	0								1
0x204	CAN_FM1R	予約済み				FBM[27:0]																											
	リセット値					0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x208	予約済み																																
0x20C	CAN_FS1R	予約済み				FSC[27:0]																											
	リセット値					0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x210	予約済み																																
0x214	CAN_FFA1R	予約済み				FFA[27:0]																											
	リセット値					0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x218	予約済み																																
0x21C	CAN_FA1R	予約済み				FACT[27:0]																											
	リセット値					0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x220	予約済み																																
0x224-0x23F	予約済み																																
0x240	CAN_F0R1	FB[31:0]																															
	リセット値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x
0x244	CAN_F0R2	FB[31:0]																															
	リセット値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x
0x248	CAN_F1R1	FB[31:0]																															
	リセット値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 183. bxCAN レジスタマップとリセット値（続き）

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x24C	CAN_F1R2	FB[31:0]																															
	リセット値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x
. . . .	. . . .	.																															
0x318	CAN_F27R1	FB[31:0]																															
	リセット値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x
0x31C	CAN_F27R2	FB[31:0]																															
	リセット値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

33 イーサネット（ETH）：メディアアクセス制御（MAC）、DMA コントローラ付き

このセクションは、特に指定がない限り、STM32F4xx ファミリ全体に適用されます。

33.1 イーサネットの概要

Portions Copyright （c）2004, 2005 Synopsys, Inc. All rights reserved.掲載許可取得済み。

イーサネットペリフェラルでは、STM32F4xxは、IEEE 802.3-2002 標準に準拠したイーサネット経由でデータを送受信できます。

イーサネットは、さまざまなアプリケーションやユーザのニーズを満たす、設定可能で柔軟なペリフェラルを提供します。イーサネットは、外部物理層（PHY）に対して 2 つの業界標準インタフェース、すなわち IEEE 802.3 で定義されているデフォルトのメディア独立インタフェース（MII）と、減少メディア独立インタフェース（RMII）をサポートしています。スイッチ、ネットワークインタフェースカードなど、多くのアプリケーションで使用できます。

イーサネットは、以下の標準に準拠しています。

- IEEE 802.3-2002（イーサネット MAC）
- 高精度ネットワーク化クロック同期のIEEE 1588-2008標準
- AMBA 2.0（AHB マスタ／スレーブポート）
- RMII 仕様（RMII コンソーシアム）

33.2 イーサネットの主な機能

イーサネット（ETH）ペリフェラルは、次のような機能を備えています（カテゴリ別）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

33.2.1 MAC コア機能

- 外部 PHY インタフェースで 10/100 Mbit/s のデータ転送速度をサポートします。
- IEEE 802.3 準拠の MII インタフェースで、外部ファストイーサネット PHY と通信します。
- 全二重と半二重の両方の動作をサポートします。
  - 半二重動作では CSMA/CD プロトコルをサポートします。
  - 全二重動作では、IEEE 802.3x フロー制御をサポートします。
  - 全二重動作では、受信したポーズ制御フレームをユーザアプリケーションに転送するオプションを備えています。
  - 半二重動作でのバックプレッシャサポート。
  - 全二重動作では、フロー制御入力のネゲート時に、ゼロクォンタムポーズフレームを自動送信。
- プリアンブルとフレーム開始データ（SFD）を送信パスに挿入し、受信パスで削除。
- フレームごとに制御可能な CRC とパッドの自動生成。
- 受信フレームでの自動パッド／CRC ストリッピングのためのオプション。
- 最大 16 KB までのサイズの標準フレームをサポートするプログラマブルなフレーム長。
- プログラマブルなフレーム間ギャップ（40～96 ビット時間、8 ビット時間単位で）。
- 以下のような柔軟なアドレスフィルタリングをサポート。
  - 各バイトのマスク付きで、最大 4 つの 48 ビット完全アドレス（DA）フィルタ
  - 各バイトのマスク付きで、最大 3 つの 48 ビット SA アドレス比較チェック
  - マルチキャストおよびユニキャスト（DA）アドレス用 64 ビットハッシュフィルタ（オプション）
  - すべてのマルチキャストアドレスフレームを通過させるオプション
  - ネットワーク監視にフィルタリングを使用せず、すべてのフレームを通過させるプロミスキュアスモードをサポート。
  - ステータスレポート付きで、すべての受信パケットを（フィルタに従って）通過させます。
- 送信および受信パケットについて、個別の 32 ビットステータス情報を返します。
- 受信フレームの IEEE 802.1Q VLAN タグ検出をサポートします。
- アプリケーションへの、個別の送信、受信、および制御インタフェース。
- RMON/MIB カウンタ（RFC2819/RFC2665）による強制ネットワーク統計をサポート。
- PHY デバイスの設定と管理のための MDIO インタフェース。
- LAN ウェイクアップフレームおよび AMD Magic Packet™ フレームの検出。
- イーサネットフレームによってカプセル化された受信 IPv4 および TCP パケットのチェックサムオフロード受信機能。
- IPv4 ヘッダチェックサムと、IPv4 または IPv6 データグラムにカプセル化された TCP、UDP、または ICMP チェックサムをチェックする拡張受信機能。
- IEEE 1588-2008準拠のイーサネットフレームタイムスタンプをサポート。各フレームの送信または受信ステータスに 64 ビットのタイムスタンプが付加されます。
- 2 セットの FIFO：閾値を設定できる 2 KB の送信 FIFO と、閾値を設定できる（デフォルトは 64 バイト）2 KB の受信 FIFO。
- EOF 転送後に受信ステータスベクタが受信 FIFO に挿入されるので、別の FIFO を必要とせずに、受信 FIFO 内の複数フレームストレージにそれらのフレームの受信ステータスを格納できます。
- ストアアンドフォワードモードで、受信時にすべてのエラーフレームをフィルタして、アプリケーションに転送しないオプション

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

- アンダーサイズの良好フレームを転送するオプション
- 受信 FIFO で（オーバーフローにより）ドロップまたは破損したフレームについて、パルスを生成することにより統計をサポート。
- MAC コアへの送信について、ストアアンドフォワードメカニズムをサポート。
- 受信 FIFO フィルレベル（閾値を設定可能）に基づいて、MAC コアへのポーズフレーム制御またはバックプレッシャ信号を自動生成。
- 送信について、コリジョンフレームの自動再送信を処理します。
- レイトコリジョン、過剰コリジョン、過剰遅延、およびアンダーラン条件時にフレームを破棄します。
- Tx FIFO をフラッシュするためのソフトウェア制御
- ストアアンドフォワードモードで送信されたフレームに、IPv4　ヘッダチェックサムと　TCP、UDP、または ICMP チェックサムを計算して挿入します。
- デバッグのための MII での内部ループバックをサポートします。

33.2.2 DMA 機能

- AHB スレーブインタフェースですべての AHB バーストタイプをサポートします。
- ソフトウェアは、AHB マスタインタフェースの AHB バーストのタイプ（固定または無限バースト）を選択できます。
- AHB マスタポートからアドレス整列バーストを選択するオプション。
- フレームデリミタ付きパケット指向 DMA 転送の最適化
- データバッファサポートのためのバイト整列アドレッシング
- デュアルバッファ（リング）またはリンクリスト（チェイン）ディスクリプタチェイニング
- 最小の CPU 介入で大きなデータブロックの転送を可能にするディスクリプタアーキテクチャ。
- 各ディスクリプタは最大 8 KB のデータを転送できます。
- 正常動作とエラー転送についての包括的ステータスレポート
- 最適なホストバス利用のために、送信および受信 DMA エンジンのバーストサイズを個別にプログラム可能。
- さまざまな動作条件に対応するプログラマブルな割り込みオプション。
- フレームごとの送信／受信完了割り込み制御。
- 受信エンジンと送信エンジン間のラウンドロビン方式または固定優先順位のアービトレーション
- 開始／停止モード
- ステータスレジスタとしての現在の Tx/Rx バッファポインタ
- ステータスレジスタとしての現在の Tx/Rx ディスクリプタポインタ

33.2.3 PTP 機能

- 受信および送信フレームのタイムスタンピング
- 粗密補正法
- システム時間が目標時間を超えたときに割り込みをトリガ
- 1 秒あたりのパルス出力（製品代替機能出力）

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

33.3 イーサネットピン

表 184 に、MAC 信号と MII/RMII 信号の対応を示します。すべての MAC 信号は AF11 にマップされ、いくつかの信号は異なる I/O ピンにマップされて、別の機能モードに設定されます（詳細については、*セクション 8.3.2 : I/O ピンマルチプレクサとマッピング* を参照してください）。

表 184. オルタネート機能との対応

ポート	AF11
	ETH
PA0-WKUP	ETH_MII_CRS
PA1	ETH_MII _RX_CLK / ETH_RMII _REF_CLK
PA2	ETH _MDIO
PA3	ETH _MII_COL
PA7	ETH_MII _RX_DV / ETH_RMII _CRS_DV
PB0	ETH _MII_RXD2
PB1	ETH _MII_RXD3
PB5	ETH _PPS_OUT
PB8	ETH _MII_TXD3
PB10	ETH_ MII_RX_ER
PB11	ETH _MII_TX_EN / ETH _RMII_TX_EN
PB12	ETH _MII_TXD0 / ETH _RMII_TXD0
PB13	ETH _MII_TXD1 / ETH _RMII_TXD1
PC1	ETH _MDC
PC2	ETH _MII_TXD2
PC3	ETH _MII_TX_CLK
PC4	ETH_MII_RXD0 / ETH_RMII_RXD0
PC5	ETH _MII_RXD1/ ETH _RMII_RXD1
PE2	ETH_MII_TXD3
PG8	ETH_PPS_OUT
PG11	ETH _MII_TX_EN / ETH _RMII_TX_EN
PG13	ETH _MII_TXD0 / ETH _RMII_TXD0
PG14	ETH _MII_TXD1 / ETH _RMII_TXD1
PH2	ETH _MII_CRS
PH3	ETH _MII_COL
PH6	ETH _MII_RXD2
PH7	ETH _MII_RXD3
PI10	ETH _MII_RX_ER

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

33.4 イーサネット機能説明：SMI、MII、RMII

イーサネットペリフェラルは、専用 DMA コントローラ付きの MAC 802.3（メディアアクセス制御）で構成されます。デフォルトのメディア独立インタフェース（MII）と減少メディア独立インタフェース（RMII）をサポートし、選択ビットを使っていずれかを選択することができます（SYSCFG_PMC レジスタを参照）。

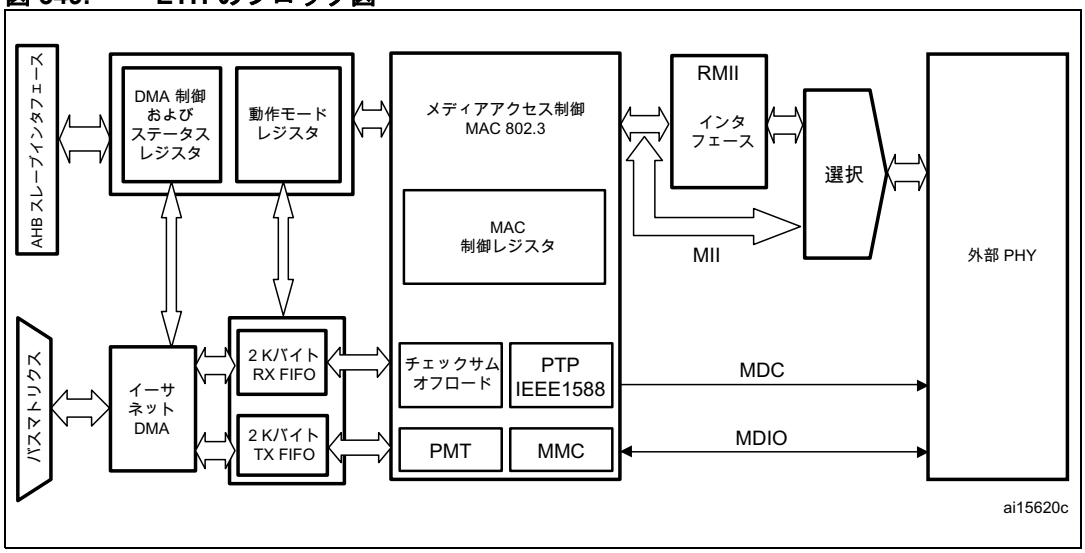
DMA コントローラは、AHB マスタおよびスレーブインタフェースを通じて、コアおよびメモリとインタフェースします。AHB マスタインタフェースはデータ転送を制御し、AHB スレーブインタフェースは制御およびステータスレジスタ（CSR）スペースにアクセスします。

送信 FIFO（Tx FIFO）は、MAC コアによる送信の前に、DMA によってシステムメモリから読み出されたデータをバッファします。同様に、受信 FIFO（Rx FIFO）は、ラインから受信したイーサネットフレームを、DMA によってシステムメモリに転送されるまで格納します。

イーサネットペリフェラルは、外部 PHY と通信するための SMI も含んでいます。一連の設定レジスタによって、ユーザは、MAC および DMA コントローラの動作モードと機能を選択することができます。

注： ***イーサネットが使用されるときには、AHB クロック周波数は少なくとも 25 MHz でなければなりません。***

図 349. ETH のブロック図



1. AHB 接続については、*図 1：システムアーキテクチャ（STM32F405xx/07xx および STM32F415xx/17xx デバイス）*と *図 2：システムアーキテクチャ（STM32F42xxx および STM32F43xxx デバイス）*を参照してください。

33.4.1 ステーション管理インタフェース：SMI

ステーション管理インタフェース（Station Management Interface ：SMI）によって、アプリケーションは、2 線のクロックおよびデータラインを通じて任意の PHY にアクセスできます。インタフェースは、最大 32 の PHY へのアクセスをサポートします。

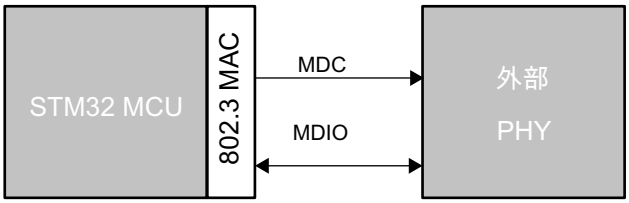
アプリケーションは、32 の PHY のうちの 1 つと、PHY 内の 32 のレジスタのうちの 1 つを選択して、制御データを送信したり、ステータス情報を受信することができます。一度にアドレス指定できるのは、1 つの PHY 内の 1 つのレジスタだけです。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

MDC クロックラインと MDIO データラインの両方が、マイクロコントローラ内の代替機能として実装されています。

- MDC：最大周波数 2.5 MHz でデータを転送するために必要な基準タイミングを供給する周期的クロック。MDC のハイ／ロー時間の最小値は、それぞれ 160 ns でなければならず、MDC の最小周期は 400 ns でなければなりません。アイドル状態では、SMI 管理インタフェースは MDC クロック信号をローに駆動します。
- MDIO : PHY との間のステータス情報の転送を MDC クロック信号と同期して行うデータ入力／出力ストリーム。

図 350. SMI インタフェース信号



SMI フレームのフォーマット

読み出しおよび書き込み動作に関連するフレーム構造を 表 13 に示します。ビット送信の順序は、左から右でなければなりません。

表 185. 管理フレームのフォーマット

	管理フレームのフィールド							
	プリアンブル（32 ビット）	Start	動作	PADDR	RADDR	TA	データ（16 ビット）	アイドル
読み出し	1...1	01	10	ppppp	rrrrr	Z0	dddddddddddddddd	Z
書き込み	1...1	01	01	ppppp	rrrrr	10	dddddddddddddddd	Z

管理フレームは、8 つのフィールドで構成されます。

- **プリアンブル**：各トランザクション（読み出しまたは書き込み）は、MDC 上の 32 の対応するサイクルで、MDIO ライン上の 32 の連続する論理 1 ビットに対応するプリアンブルフィールドで開始できます。このフィールドは、PHY デバイスとの同期を確立するために使用されます。
- **開始**：フレームの開始は、ライン上のデフォルトの論理 1 状態から 0 へ、そして 1 へ戻るという遷移を確認する <01> パターンによって定義されます。
- **動作**：進行中のトランザクションのタイプ（読み出しまたは書き込み）を定義します。
- **PADDR** : 5 ビットの PHY アドレスであり、32 の一意な PHY アドレスを指定できます。アドレスの MSB ビットが最初に送受信されます。
- **RADDR** : 5 ビットのレジスタアドレスであり、選択された PHY デバイス内の 32 の個別のレジスタをアドレス指定できます。アドレスの MSB ビットが最初に送受信されます。
- **TA**：ターンアラウンドフィールドは、読み出しトランザクション時の競合を避けるために、RADDR フィールドと DATA フィールドの間の 2 ビットのパターンを定義します。読み出しトランザクションの場合、MAC コントローラは、TA の 2 ビットに対して MDIO ライン上でハイインピーダンスを駆動します。PHY デバイスは、TA の最初のビットでハイインピーダンス状態を、2 番目のビットでゼロを駆動しなければなりません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

書き込みトランザクションの場合、MAC コントローラは、TA フィールド時に <10> パターンを駆動します。PHY デバイスは、TA の 2 ビットに対してハイインピーダンス状態を駆動しなければなりません。

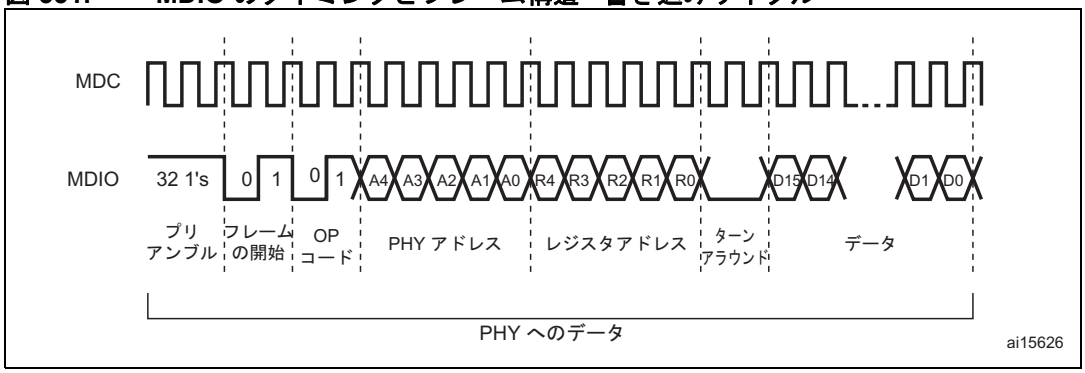
- **データ**：データフィールドは 16 ビットです。送受信される最初のビットは、ETH_MIID レジスタのビット 15 でなければなりません。
- **アイドル**：MDIO ラインはハイインピーダンス状態に駆動されます。すべてのトライステートドライバが無効でなければならず、PHY のプルアップ抵抗はラインを論理 1 に保ちます。

SMI 書き込み動作

アプリケーションが MII 書き込みビットおよびビジービット（*イーサネット MAC MII アドレスレジスタ（ETH_MACMIIAR）*）をセットすると、SMI は、PHY アドレス、PHY 内のレジスタアドレス、および書き込みデータ（*イーサネット MAC MII データレジスタ（ETH_MACMIIDR）*）を送信することによって、PHY レジスタへの書き込み動作を開始します。アプリケーションは、トランザクションの進行中は、MII アドレスレジスタの内容や MII データレジスタを変更しないでください。この期間中の MII アドレスレジスタまたは MII データレジスタへの書き込み動作は無視され（ビジービットがハイ）、トランザクションはエラーなく完了します。書き込み動作が完了した後、SMI は、ビジービットをリセットすることによって、これを示します。

図 351 に、書き込み動作の場合のフレームフォーマットを示します。

図 351. MDIO のタイミングとフレーム構造 - 書き込みサイクル



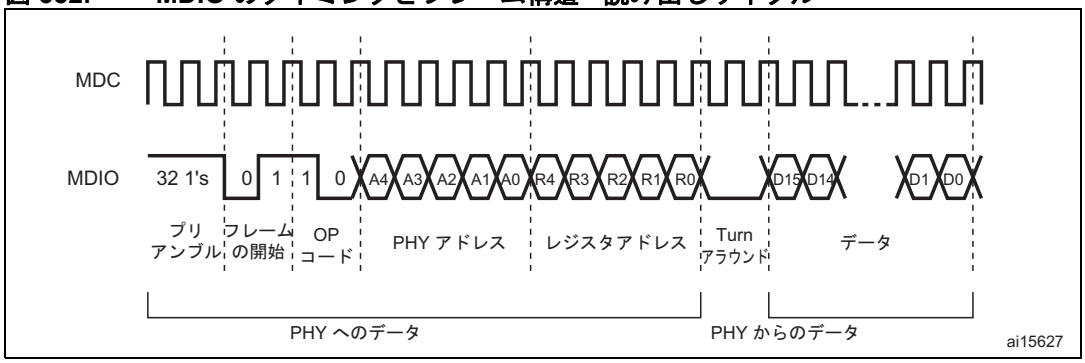
SMI 読み出し動作

ユーザが MII 書き込みビットが 0 にセットされたイーサネット MAC MII アドレスレジスタ（ETH_MACMIIAR）の MII ビジービットをセットすると、SMI は、PHY アドレスと PHY 内のレジスタアドレスを転送することによって、PHY レジスタの読み出し動作を開始します。アプリケーションは、トランザクションの進行中は、MII アドレスレジスタの内容や MII データレジスタを変更しないでください。この期間中の MII アドレスレジスタまたは MII データレジスタへの書き込み動作は無視され（ビジービットがハイ）、トランザクションはエラーなく完了します。読み出し動作が完了した後、SMI は、ビジービットをリセットし、PHY から読み出したデータで MII データレジスタを更新します。

図 352 に、読み出し動作の場合のフレームフォーマットを示します。

この資料は、STMicroelectronics NV 並びにその子会社（以下 ST）が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 352. MDIO のタイミングとフレーム構造 - 読み出しサイクル



SMI クロックの選択

MAC は、書き込み／読み出し動作の管理を開始します。SMI クロックは、アプリケーションクロック（AHB クロック）を分周したクロックです。分周比は、MII アドレスレジスタのクロック範囲設定に依存します。

表 186 に、クロック範囲の設定方法を示します。

表 186. クロック範囲

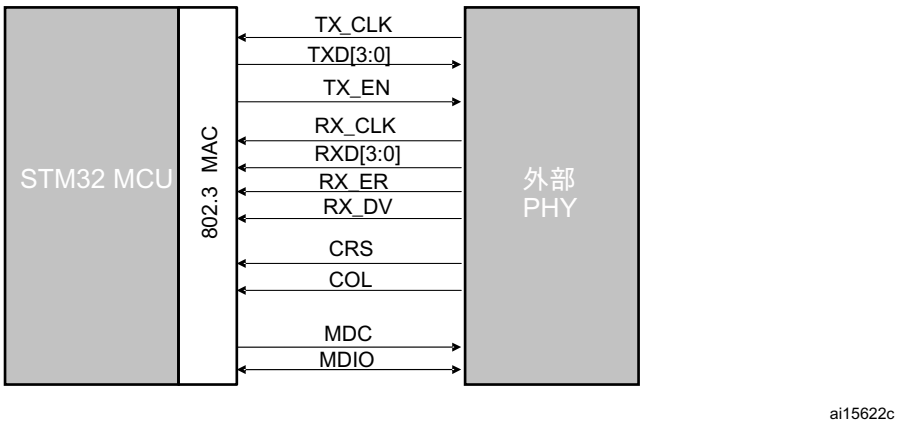
選択	HCLK クロック	MDC クロック
000	60-100 MHz	AHB clock / 42
001	100-168 MHz	AHB clock / 62
010	20-35 MHz	AHB clock / 16
011	35-60 MHz	AHB clock / 26
100, 101, 110, 111	予約済み	-

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

33.4.2 メディア独立インタフェース：MII

メディア独立インタフェース（MII）は、10 Mbit/s および 100 Mbit/s でのデータ転送における MAC サブレイヤと PHY 間の相互接続を定義します。

図 353. メディア独立インタフェース信号



- MII_TX_CLK：TX データ転送の基準タイミングを供給する連続クロックです。公称周波数：10 Mbit/s 速度で 2.5 MHz ; 100 Mbit/s 速度で 25 MHz。
- MII_RX_CLK：RX データ転送の基準タイミングを供給する連続クロックです。公称周波数：10 Mbit/s 速度で 2.5 MHz ; 100 Mbit/s 速度で 25 MHz。
- MII_TX_EN：送信イネーブルは、MAC が送信のために MII 上にニブルを提示していることを示します。プリアンブルの最初のニブル（MII_TX_CLK）に同期してアサートされなければならず、送信されるすべてのニブルが MII に提示されるまで、アサート状態が維持されなければなりません。
- MII_TXD[3:0]：送信データは、MAC サブレイヤによって同期して駆動される 4 つのデータ信号の束であり、MII_TX_EN 信号のアサーションによって有効なデータと認められます。MII_TXD[0] は最下位ビットであり、MII_TXD[3] が最上位ビットです。MII_TX_EN がネゲートされている場合、送信データは PHY に何の影響も与えません。
- MII_CRS：キャリアセンスは、送信または受信メディアがアイドルでないとき、PHY によってアサートされます。送信メディアと受信メディアの両方ともアイドルのときには、PHY によってネゲートされなければなりません。PHY は、コリジョン条件の全期間を通じて、MII_CS 信号がアサートされたままであることを保証する必要があります。この信号は、TX および RX クロックに同期して遷移する必要はありません。全二重モードでは、この信号の状態は MAC サブレイヤに影響を与えません。
- MII_COL：メディア上でコリジョンが検出された場合、PHY によってコリジョン検出がアサートされなければならず、コリジョン条件が続いている間、アサート状態が保たれなければなりません。この信号は、TX および RX クロックに同期して遷移する必要はありません。全二重モードでは、この信号の状態は MAC サブレイヤに影響を与えません。
- MII_RXD[3:0]：受信データは、PHY によって同期して駆動される 4 つのデータ信号の束であり、MII_RX_DV 信号のアサーションによって有効なデータと認められます。MII_RXD[0] は最下位ビットであり、MII_RXD[3] が最上位ビットです。MII_RX_EN がネゲートされ、MII_RX_ER がアサートされている間、PHY から特定の情報を転送するために特定の MII_RXD[3:0] 値が使用されます（*表 188* を参照）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

- MII_TX_EN：受信データ有効ビットは、PHY が MII 上に受信のために回収され、デコードされたニブルを提示していることを示します。フレームの最初の回収ニブルと同期してアサートされなければならず（MII_RX_CLK）、最後の回収ニブルまでアサート状態を維持しなければなりません。最後のニブル後の最初のクロックの前にネゲートされなければなりません。フレームを正しく受信するためには、MII_RX_DV 信号は、SFD フィールドよりも遅れることなく開始して、フレームを取り込む必要があります。
- MII_RX_ER：受信エラービットは、フレーム内のどこかでエラーが検出されたことを MAC サブレイヤに示すために、1 つまたは複数のクロック周期（MII_RX_CLK）の間、アサートされなければなりません。このエラー条件は、*表 188* での説明のように、MII_RX_DV ビットのアサートにより有効とされなければなりません。

表 187. TX インタフェース信号のエンコーディング

MII_TX_EN	MII_TXD[3:0]	説明
0	0000 から 1111 まで	通常のフレーム間
1	0000 から 1111 まで	通常のデータ送信

表 188. RX インタフェース信号のエンコーディング

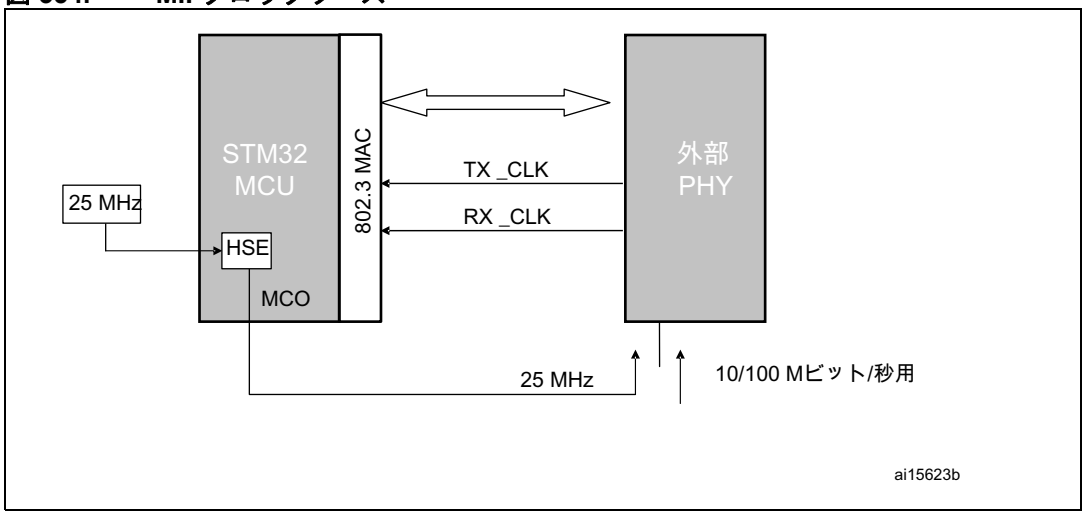
MII_RX_DV	MII_RX_ERR	MII_RXD[3:0]	説明
0	0	0000 から 1111 まで	通常のフレーム間
0	1	0000	通常のフレーム間
0	1	0001 から 1101 まで	予約済み
0	1	1110	不正キャリアの表示
0	1	1111	予約済み
1	0	0000 から 1111 まで	通常のデータ受信
1	1	0000 から 1111 まで	データ受信エラー

MII クロックソース

TX_CLK と RX_CLK の両方のクロック信号を生成するには、に示されているように、外部 PHY を外部の 25 MHz クロックソースで駆動する必要があります。*図 354* このクロックを供給するために外部の 25 MHz クォーツを使用する代わりに、STM32F4xxマイクロコントローラは、MCO ピンに出力することができます。この場合、PLL マルチプライヤを 25 MHz の外部クォーツから MCO ピン上に必要な周波数を出力するように設定する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 354. MII クロックソース



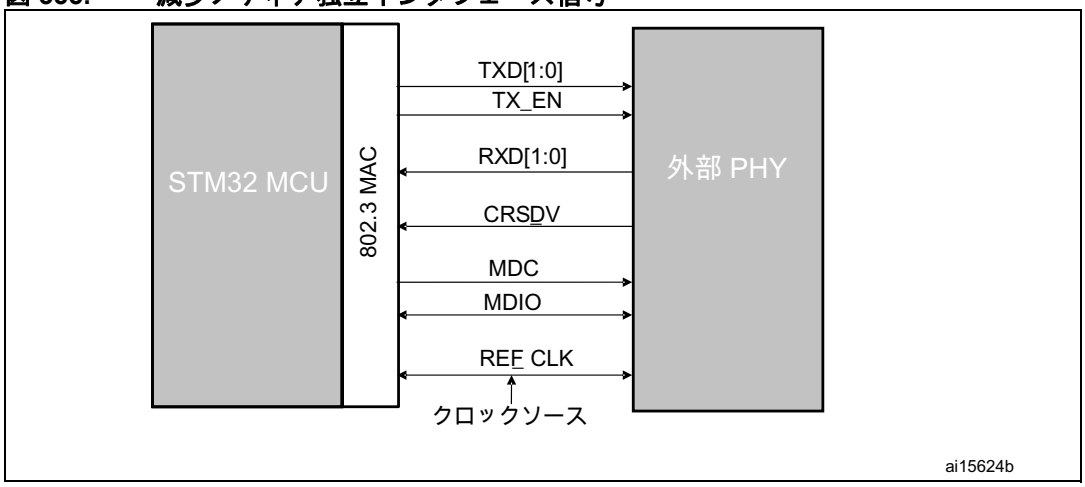
33.4.3 減少メディア独立インタフェース：RMII

減少メディア独立インタフェース（RMII）仕様は、マイクロコントローライーサネットペリフェラルと 10/100 Mbit/s の外部イーサネット間のピン数を削減します。IEEE 802.3u 標準に従って、MII は、データおよび制御のために 16 本のピンを備えています。RMII 仕様は、ピン数を 7 本に減らす（ピン数を 62.5% 減らす）ことを目的としています。

RMII は、MAC と PHY の間でインスタンス化されます。これは、MAC の MII を RMII に変換するのに役立ちます。RMII ブロックは、次のような特性を備えています。

- 10 Mbit/s と 100 Mbit/s の動作速度をサポートします。
- 基準クロックは 50 MHz（2 倍）に高められなければなりません。
- 同じ基準クロックが MAC と外部イーサネット PHY の両方に供給されなければなりません。
- 独立した 2 ビット幅（双ビット）の送信および受信データパスを提供します。

図 355. 減少メディア独立インタフェース信号

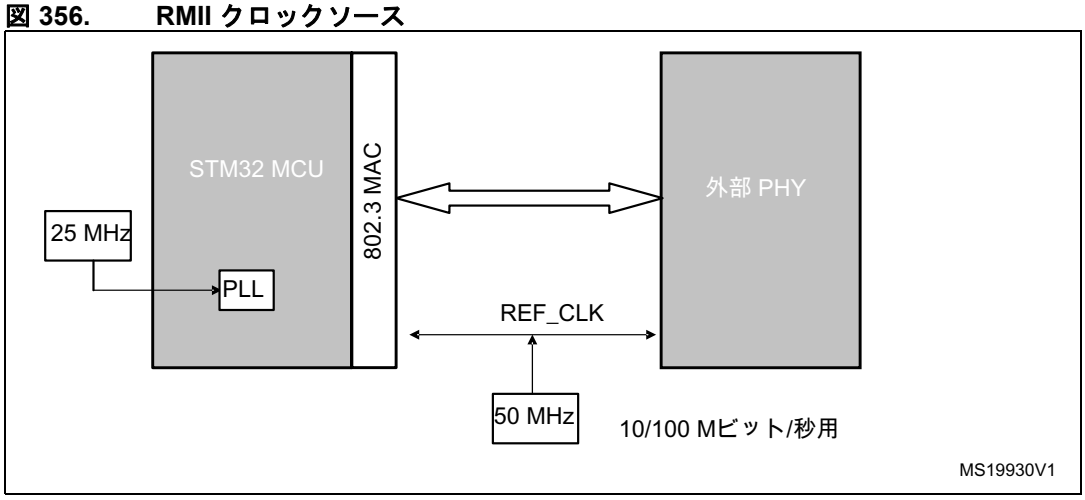


この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

RMII クロックソース

外部50 MHz クロックで PHY を駆動するか、または PHY と内蔵PLL の組み合わせを使って 50 MHz 周波数を発生します。

図 356. RMII クロックソース



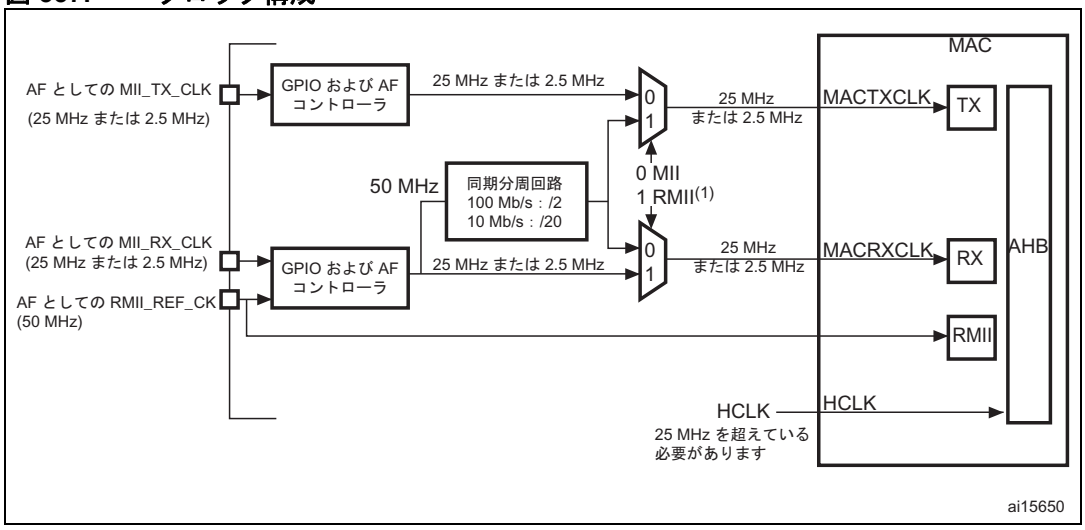
33.4.4 MII/RMII の選択

MII モードまたは RMII モードは、SYSCFG_PMCの設定ビット 23（MII_RMII_SEL）を使用して選択されます。アプリケーションは、イーサネットコントローラがリセット状態にあるとき、またはクロックを有効にする前に、MII/RMII モードを設定する必要があります。

MII/RMII 内部クロック構成

MII と RMII の両方、ならびに 10 および 100 Mbit/s 動作をサポートするために必要なクロック構成を *図 357*に示します。

図 357. クロック構成



1. MII/RMII 選択は、SYSCFG_PMCレジスタのビット 23（MII_RMII_SEL）を通じて制御されます。

ピン数を節約するために、2 つの入力クロック信号、RMII_REF_CK と MII_RX_CLK が同じ GPIO ピンで多重化されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

33.5 イーサネット機能の説明：MAC 802.3

ローカルエリアネットワーク（LAN）に関する IEEE 802.3 国際標準では、アクセス方式として CSMA/CD（Carrier Sense Multiple Access with Collision Detection）を採用しています。

イーサネットペリフェラルは、メディア独立インタフェース（MII）と専用 DMA コントローラ付きの MAC 802.3（メディアアクセス制御）で構成されます。

MAC ブロックは、ベースバンドシステムとブロードバンドシステムに対して 10 Mbit/s と 100 Mbit/s のデータレートを持つシステムファミリに対する LAN CSMA/CD サブレイヤを内蔵しています。半二重および全二重動作がサポートされます。コリジョン検出アクセス方式は、半二重動作モードにのみ適用されます。MAC 制御フレームサブレイヤがサポートされます。

MAC サブレイヤは、データリンク制御プロシージャに関連する以下の機能を実行します。

- データのカプセル化（送受信）
  - フレーミング（フレーム境界区切り、フレーム同期）
  - アドレッシング（ソースおよびデスティネーションアドレスの処理）
  - エラー検出
- メディアアクセス管理
  - メディア割り当て（コリジョン回避）
  - 衝突解決（コリジョン処理）

基本的に、MAC サブレイヤには 2 つの動作モードがあります。

- 半二重モード : ステーションは CSMA/CD アルゴリズムを使用して、物理的メディアの使用を競います。
- 全二重モード : 以下の条件がすべて満たされているときには、競合解決を行うことなく同時送受信が可能です（CSMA/CD アルゴリズムは不要です）。
  - 物理メディアが同時送受信機能をサポート可能。
  - LAN に 2 つのステーションだけが接続されている。
  - どちらのステーションも全二重動作に設定されている。

33.5.1 MAC 802.3 フレームフォーマット

MAC ブロックは、IEEE 802.3-2002 標準で規定されている MAC サブレイヤとオプションの MAC 制御サブレイヤ（10/100 Mbit/s）を実装します。

CSMA/CD MAC を使用したデータ通信システムについては、2 つのフレームフォーマットが規定されています。

- 基本 MAC フレームフォーマット
- タグ付き MAC フレームフォーマット（基本 MAC フレームフォーマットの拡張）

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 359 と *図 360* は、以下のフィールドを含むフレーム構造（タグなしとタグ付き）を示します。

- プリアンブル：同期目的で使用される 7 バイトのフィールド （PLS 回路）

  16進値：55-55-55-55-55-55-55

  ビットパターン：01010101 01010101 01010101 01010101 01010101 01010101 01010101（右から左へビット転送）

- 開始フレームデリミッタ（SFD）：フレームの開始を示すために使用される 1 バイトのフィールド。16進値：D5

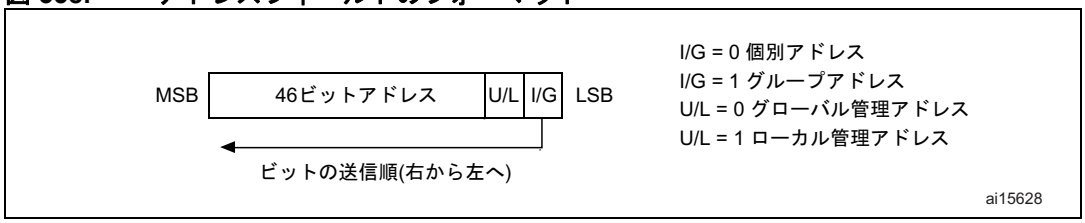
  ビットパターン：11010101 （右から左へビット転送）

- デスティネーションおよびソースアドレスフィールド：以下のようなデスティネーションおよびソースステーションアドレスを示す 6 バイトのフィールド（*図 358* を参照）。
  - 各アドレスは 48 ビット長です。
  - デスティネーションアドレスフィールドの最初の LSB ビット（I/G）は、個別のアドレス（I/G = 0）またはグループアドレス（I/G = 1）を示すために使用されます。グループアドレスは、LAN に接続されている 0 個、1 個以上、またはすべてのステーションを識別できます。ソースアドレスの最初のビットは予約済みであり、0 にリセットされます。
  - 2 番目のビット（U/L）は、ローカル管理アドレス（U/L = 1）とグローバル管理アドレス（U/L = 0）を区別します。ブロードキャストアドレスの場合は、このビットも 1 にセットされます。
  - 各アドレスフィールドの各バイトは、最下位ビットから送信されなければなりません。

アドレスの割り当ては、以下のタイプに基づきます。

- 個別アドレス：これは、ネットワーク上の特定のステーションに関連する物理アドレスです。
- グループアドレス：特定のネットワーク上の 1 つまたは複数のステーションに関連づけられたマルチデスティネーションアドレス。マルチキャストアドレスには 2 種類あります。
  - マルチキャストグループアドレス：論理的に関連するステーションのグループに関連づけられたアドレス。
  - ブロードキャストアドレス：常に特定の LAN 上のすべてのステーションを表し、他と区別され、事前定義されたマルチキャストアドレス（デスティネーションアドレスフィールドがすべて 1）。

図 358. アドレスフィールドのフォーマット



- QTag プリフィック：ソースアドレスフィールドと MAC クライアント長／タイプフィールドの間に挿入される 4 バイトのフィールド。このフィールドは、タグ付き MAC フレームを得るための基本フレーム（タグなし）の拡張です。タグなし MAC フレームには、このフィールドはありません。タグ付けのための拡張は、次のとおりです。
  - 2 バイト定数である長さ／タイプフィールドの値は、802.1Q タグプロトコルタイプ（16 進数の 0x8100）の値に等しいタイプ解釈（0x0600 より大きい）に一致します。この定数フィールドは、MAC フレームがタグ付きか、タグなしかを区別するために使用されます。
  - タグ制御情報を含む 2 バイトのフィールドは、3 ビットのユーザ優先順位、正純フォーマットインジケータ（CFI）、および 12 ビットの VLAN 識別子に分けられます。タグ付き MAC フレームの長さは、QTag プレフィックスによって 4 バイトだけ拡張されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

- MAC クライアント長／タイプ：値によって異なる意味（相互排他的）を持つ 2 バイトのフィールド。
  - 値が maxValidFrame（0d1500）以下の場合、このフィールドは、後続の 802.3 フレームのデータフィールドに含まれる MAC クライアントデータバイトの数を示します（長さ解釈）。
  - 値が MinTypeValue（10 進数の 0d1536、0x0600）以上の場合、このフィールドは、イーサネットフレームに関する MAC クライアントプロトコルの性質を示します（タイプ解釈）。

  長さ／タイプフィールドの解釈に関係なく、データフィールドの長さがプロトコルの正常動作に必要な最小値より小さい場合は、データフィールドと FCS（フレームチェックシーケンス）フィールドの間に、PAD フィールドが追加されます。長さ／タイプフィールドは、上位バイトから送受信されます。

  maxValidLength から minTypeValue までの範囲（境界は除く）の長さ／タイプフィールドの値の場合、MAC サブレイヤの動作は規定されていません。すなわち、MAC サブレイヤを通過することもあれば、通過しないこともあります。
- データおよび PAD フィールド：n バイトのデータフィールド。完全なデータ透過性が提供されます。これは、データフィールドには、バイト値が任意の順序で現われてもよいことを意味しています。PAD（ある場合）のサイズは、データフィールドのサイズによって決まります。データおよび PAD フィールドの最大長と最小長は、次のとおりです。
  - 最大長 = 1500 バイト
  - タグなし MAC フレームの最小長 = 46 バイト
  - タグ付き MAC フレームの最小長 = 42 バイト

  データフィールド長が必要な最小値より短い場合、その最小値（タグ付きフレームの場合は 42 バイト、タグなしフレームの場合は 46 バイト）になるように、PAD フィールドが追加されます。
- フレームチェックシーケンス：巡回冗長検査（CRC）の値を含む 4 バイトのフィールド。CRC の計算は、ソースアドレス、デスティネーションアドレス、QTag プレフィックス、長さ／タイプ、LLC データおよび PAD フィールドに基づきます（すなわち、プリアンブル、SFD 以外のすべてのフィールド）。計算多項式は、以下のように与えられます。

$$G(x) = x^{32} + x^{26} + x^{23} + x^{22} + x^{16} + x^{12} + x^{11} + x^{10} + x^8 + x^7 + x^5 + x^4 + x^2 + x + 1$$

フレームの CRC 値は、次のように計算されます。

- フレームの最初の 2 ビットの補数が取られます。
- フレームの n ビットは、（n - 1）次の多項式 M(x) の係数です。デスティネーションアドレスの最初のビットは x^{n-1} 項に対応し、データフィールドの最後のビットは x^0項に対応します。
- M(x) に x^{32} が乗算され、G(x) で除算されて、≤31 次の剰余 R(x) が求められます。
- R(x) の係数は、32 ビットのシーケンスとみなされます。
- このビットシーケンスの補数が CRC になります。
- 32 ビットの CRC 値は、フレームチェックシーケンスに置かれます。x^{32}項が最初に送信され、x^0項が最後に送信されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 359. MAC フレームフォーマット

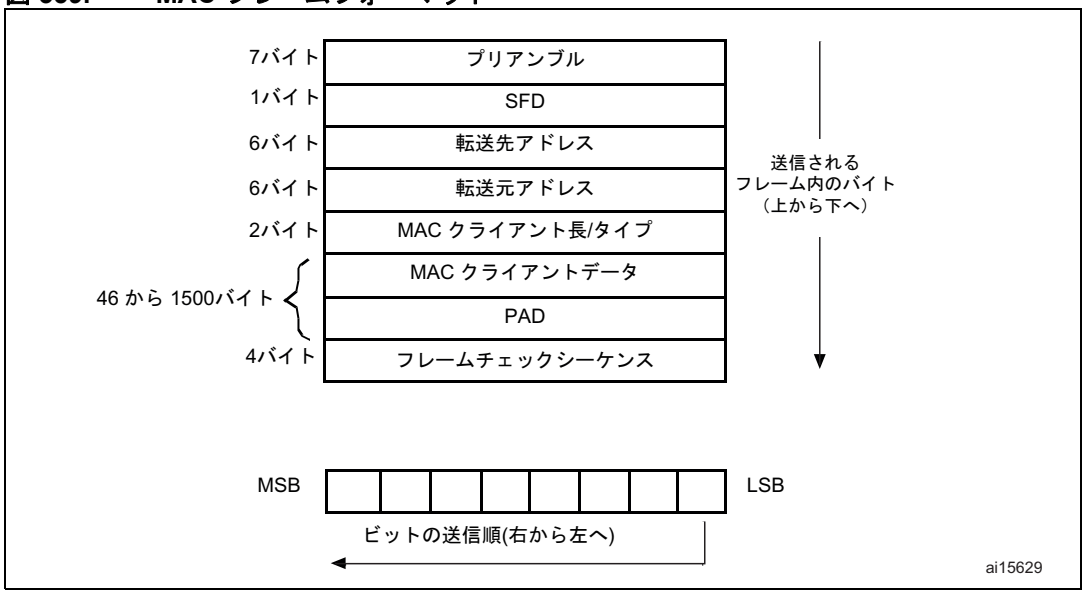
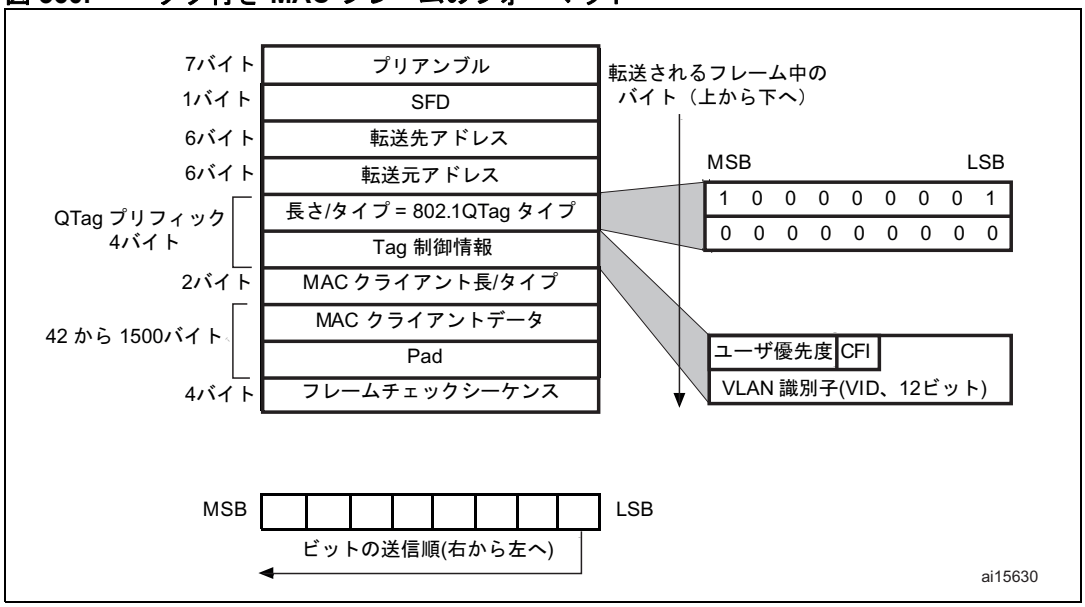


図 360. タグ付き MAC フレームのフォーマット



MAC フレームの各バイトは、FCS フィールドを除き、下位ビットから送信されます。

無効な MAC フレームは、次の条件の 1 つによって定義されます。

- フレーム長が、長さ／タイプフィールドで指定された期待値に一致しない。長さ／タイプフィールドがタイプの値を含んでいる場合、フレーム長はこのフィールドに一致している（無効なフレームではない）とみなされます。
- フレーム長が整数のバイト数でない（エキストラビット）。
- 受信したフレームについて計算された CRC 値が、フレームに含まれている FCS に一致しない。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

33.5.2 MAC フレームの送信

DMA は、送信パスのすべてのトランザクションを制御します。システムメモリから読み出されたイーサネットフレームは、DMA によって FIFO にプッシュされます。その後、フレームは、ポップアウトされて、MAC コアに転送されます。フレームの終わり（End-of-frame）が転送されると、送信ステータスが MAC コアから取り出されて、DMA に返送されます。送信 FIFO の深さは 2 KB です。FIFO のフィルレベルは DMA に示されるので、DMA は、AHB インタフェースを使用して、要求されたバーストでシステムメモリからのデータフェッチを開始できます。AHB マスタインタフェースからのデータが、FIFO にプッシュされます。

SOF が検出されると、MAC はデータを受け入れて、MII への送信を開始します。アプリケーションが送信を開始した後、MII にフレームデータを送信するのに必要な時間は、IFG 遅延、プリアンブル／SFD の送信時間、半二重モードでのバックオフ遅延などの遅延要素に依存して変わります。EOF が MAC コアに転送されると、コアは通常送信を完了して、DMA に送信ステータスを返送します。送信中に通常のコリジョン（半二重モード）が発生した場合、MAC コアは、送信ステータスを有効にして、次の SOF を受信するまで、その後のすべてのデータを受け入れてドロップします。MAC から再試行リクエストがあったときには（ステータス内で）、同じフレームが SOF から再送信されなければなりません。送信中にデータが連続的に供給されなかった場合、MAC は、アンダーフローステータスを発行します。フレームの通常転送中に、MAC が前のフレームの EOF を受信していないのに SOF を受信した場合、SOF は無視され、新しいフレームが前のフレームの続きとみなされます。

MAC コアへのデータのポッピングには、2 つの動作モードがあります。

- 閾値モードでは、FIFO 内のバイトの数が設定された閾値レベルを超えると（または、閾値を超える前にフレームの終わりが書き込まれたとき）、データをポップアウトして、MAC コアに転送できます。閾値レベルは、ETH_DMABMR の TTC ビットを使用して設定されます。
- ストアアンドフォワードモードでは、FIFO に完全なフレームが格納された後でのみ、フレームは MAC コアに向けてポップ可能になります。Tx FIFO のサイズが、送信されるイーサネットフレームより小さい場合、Tx FIFO がほぼ満杯になったとき、フレームは MAC コアに向けてポップされます。

アプリケーションは、FTF ビット（ETH_DMAOMR レジスタ [20]）をセットすることによって、送信 FIFO のすべての内容をフラッシュできます。このビットは自動的にクリアされ、FIFO ポインタをデフォルト状態に初期化します。MAC コアへのフレーム転送中に FTF ビットがセットされた場合、FIFO はエンプティであるとみなされるので、転送は停止されます。したがって、MAC トランスミッタでアンダーフローイベントが発生し、対応するステータスワードが DMA に転送されます。

CRC およびパッドの自動生成

アプリケーションから受信したバイト数が 60 （DA+SA+LT+ データ）未満のときには、データ長を正確に 46 バイトにして、IEEE 802.3 の最小データフィールド要件を満たすために、送信フレームにゼロが付加されます。MAC は、パディングを付加しないようにプログラムできます。フレームチェックシーケンス（FCS）フィールドの巡回冗長検査（CRC）が計算され、送信データに付加されます。MAC がイーサネットフレームの最後に CRC 値を付加しないようにプログラムされているときには、計算された CRC は送信されません。このルールの例外として、MAC が 60 バイト未満のフレーム（DA+SA+LT+ データ）にパッドを付加するようにプログラムされているときには、パッドが付加されたフレームの最後に CRC が付加されます。

CRC ジェネレータは、イーサネットフレームの FCS フィールドの 32 ビットの CRC を計算します。エンコードは、次の多項式によって定義されます。

$$G(x) = x^{32} + x^{26} + x^{23} + x^{22} + x^{16} + x^{12} + x^{11} + x^{10} + x^8 + x^7 + x^5 + x^4 + x^2 + x + 1$$

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

送信プロトコル

MAC は、イーサネットフレームの送信動作を制御します。IEEE 802.3/802.3z 仕様を満たすために、以下の機能を実行します。MAC は、

- プリアンブルと SFD を生成します。
- 半二重モードでジャムパターンを生成します。
- ジャバタイムアウトを制御します。
- 半二重モードのフローを制御します（バックプレッシャ）。
- 送信フレームのステータスを生成します。
- IEEE 1588 に従って、タイムスタンプスナップショットロジックを含んでいます。

新しいフレーム送信が要求されると、MAC は、プリアンブルと SFD を送出してから、データを送出します。プリアンブルは、7 バイトの 0b10101010 パターンとして定義され、SFD は、1 バイトの 0b10101011 パターンとして定義されます。コリジョンウィンドウは、1 スロット時間として定義されます（10/100 Mbit/s イーサネットの場合、512 ビット時間）。ジャムパターンの生成は、半二重モードにのみ適用され、全二重モードには適用されません。

MII モードでは、フレームの開始から CRC フィールドの終わりまでの任意の時点でコリジョンが発生した場合、MAC は、MII で 32 ビットの 0x5555 5555 ジャムパターンを送信して、コリジョンが発生したステーション以外のすべてのステーションに通知します。プリアンブル送信フェーズ中にコリジョンが検出された場合、MAC は、プリアンブルと SFD の送信を完了した後、ジャムパターンを送信します。

2048 バイト（デフォルト）を超えるフレームを転送する必要がある場合、イーサネットフレームの送信を中断するために、ジャバタイマが保持されます。MAC は、半二重モードでは、フロー制御のための遅延メカニズム（バックプレッシャ）を使用します。アプリケーションがフレームの受信を停止するように要求すると、MAC は、フレームの受信を検出したときに 32 バイトのジャムパターンを送信します。ただし、送信フロー制御が有効な場合に限ります。これによりコリジョンが発生し、リモートステーションがバックオフします。アプリケーションは、ETH_MACFCR レジスタの BPA ビット（ビット 0）をセットすることによって、フロー制御を要求します。アプリケーションがフレームの送信を要求した場合、バックプレッシャが有効なときでも、送信がスケジュールされ、実行されます。バックプレッシャが長時間有効なままの場合（および 16 を超えるコリジョンイベントが連続して発生した場合）、リモートステーションは過剰コリジョンのために送信を中止します。送信フレームに対して IEEE 1588 タイムスタンピングが有効な場合、このブロックは SFD が送信 MII バスに送出されたときにシステム時間のスナップショットをとります。

送信スケジューラ

MAC は、MII でのフレーム送信のスケジュールを処理します。2 つの送信フレームの間にフレーム間ギャップを維持し、半二重モードでは、TBEB （Truncated Binary Exponential Backoff）アルゴリズムに従います。MAC は、IFG およびバックオフ遅延を満たした後、送信を有効にします。任意の 2 つの送信フレーム間に設定されたフレーム間ギャップ（ETH_MACCR レジスタの IFG ビット）のアイドル期間を維持します。送信フレームが、設定された IFG 時間より早く到着した場合、MII は、MAC からのイネーブル信号を待ってから、送信を開始します。MAC は、MII のキャリア信号が無効に移行すると、IFG カウンタを開始します。プログラムされた IFG 値の最後で、MAC は、全二重モードでの送信を有効にします。半二重モードで IFG が 96 ビット時間に設定されている場合、MAC は、IEEE 802.3 仕様のセクション 4.2.3.2.1 で規定されている準拠規則に従います。MAC は、IFG インターバルの最初の 3 分の 2 の期間（すべての IFG 値の 64 ビット時間）にキャリアが検出された場合、IFG カウンタをリセットします。IFG インターバルの最後の 3 分の 1 の期間にキャリアが検出された場合、MAC は、IFG カウントを続行して、IFG インターバル後にトランスミッタを有効にします。MAC は、半二重モードで動作するときには、TBEB アルゴリズムを実行します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

送信フロー制御

送信フロー制御イネーブルビット（ETH_MACFCR レジスタの TFE ビット）がセットされると、MAC は、ポーズフレームを生成して、必要に応じて全二重モードで送信します。ポーズフレームは、計算された CRC が付加されて送信されます。ポーズフレームの生成は 2 つの方法で開始できます。

ポーズフレームは、アプリケーションが ETH_MACFCR レジスタの FCB ビットをセットしたときか、受信 FIFO が満杯（パケットバッファ）になったときに送信されます。

- アプリケーションが ETH_MACFCR レジスタの FCB ビットをセットすることによってフロー制御を要求した場合、MAC は、1 つのポーズフレームを生成して、送信します。生成されたフレーム内の一時停止時間の値は、ETH_MACFCR でプログラムされた一時停止時間の値を含みます。一時停止時間を延長したり、前に送信されたポーズフレームで指定された時間の前に一時停止を終了するには、アプリケーションは、一時停止時間の値（ETH_MACFCR レジスタの PT）をプログラムしてから、適切な値を持つ別のポーズフレームの送信を要求する必要があります。
- 受信 FIFO が満杯状態のときにアプリケーションがフロー制御を要求した場合、MAC は、ポーズフレームを生成して、送信します。生成されたフレーム内の一時停止時間の値は、ETH_MACFCR でプログラムされた一時停止時間の値です。受信 FIFO が、この一時停止時間が経過する前に、設定可能なスロット時間数（ETH_MACFCR の PLT ビット）の間、満杯状態のままだった場合、2 番目のポーズフレームが送信されます。このプロセスは、受信 FIFO が満杯である限り繰り返されます。サンプリング時間の前に、この条件が満たされなくなった場合、MAC は、一時停止時間がゼロのポーズフレームを送信して、受信バッファが新しいデータフレームを受け取る準備ができたことをリモートエンドに知らせます。

シングルパケット送信動作

送信動作の一般的なイベントシーケンスは、以下のとおりです。

1. システムが送信すべきデータを持っている場合、DMA コントローラは、それらを AHB インタフェースを通じてメモリからフェッチして、FIFO への転送を開始します。フレームの終わりが転送されるまで、データの受信を続けます。
2. 閾値レベルを超えたとき、または完全なデータパケットが FIFO に受信されたとき、フレームデータはポップされ、MAC コアに送られます。DMA は、完全なパケットが MAC に転送されるまで、FIFO からのデータの転送を続けます。フレームの完了時、DMA コントローラには、MAC からのステータス情報で通知されます。

送信動作 — バッファに 2 つのパケットがある場合

1. DMA はホストに制御を渡す前にディスクリプタのステータスを更新しなければならないので、送信 FIFO に 2 つのフレームが存在することがあります。2 番目のフレームは、OSF（Operate on Second Frame）ビットがセットされている場合にのみ、DMA によってフェッチされて、FIFO に格納されます。このビットがセットされていない場合、次のフレームは、MAC がフレームを完全に処理して、DMA がディスクリプタをリリースした後でのみ、メモリからフェッチされます。
2. OSF ビットがセットされている場合、DMA は、最初のフレームの FIFO への転送を完了した直後に、2 番目のフレームのフェッチを開始します。この場合、ステータスの更新を待ちません。すなわち、最初のフレームの送信中に、2 番目のフレームが FIFO に受信されます。最初のフレームが転送され、MAC からステータスが受信されると、DMA にプッシュされます。DMA が FIFO への 2 番目のパケットの送信をすでに完了している場合、2 番目の送信は、最初のパケットのステータスを待ってから、次のフレームに進む必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

衝突時の再送信

半二重モードでは、フレームが MAC に転送されているときに、MAC ラインインタフェースでコリジョンイベントが発生することがあります。その場合、MAC は、フレームの終わりが受信される前でも、ステータスを与えることによって、再試行を示します。再送信が有効になり、FIFO からフレームが再びポップアウトされます。MAC コアに対して 96 バイトを超えるデータがポップアウトされた後、FIFO コントローラは、そのスペースを解放して、DMA がさらにデータをプッシュできるようにします。これは、この閾値を越えるか、MAC コアがレイトコリジョンイベントを示したときには、再送信ができないことを意味します。

送信 FIFO のフラッシュ動作

MAC は、動作モードレジスタのビット 20 を使用して、送信 FIFO をフラッシュするための制御をソフトウェアに与えます。フラッシュ動作はただちに実行され、Tx FIFO と対応するポインタは、Tx FIFO が MAC コアへのフレームの転送中でも、初期状態にクリアされます。これにより、MAC トランスミッタにアンダーフローイベントが発生し、フレームの送信は中止されます。このようなフレームのステータスは、アンダーフローとフレームフラッシュの両方のイベント（TDES0 ビットの 13 および 1）でマークされます。フラッシュ動作中は、アプリケーション（DMA）から FIFO へのデータ移動は行われません。フラッシュされたフレーム数（部分的フレームも含む）を示す転送送信ステータスワードがアプリケーションに転送されます。完全にフラッシュされたフレームは、フレームフラッシュステータスビット（TDES0 ビットの 13）がセットされます。フラッシュ動作は、アプリケーション（DMA）が、フラッシュされたフレームのすべてのステータスワードを受け取ったときに完了します。次に、送信 FIFO フラッシュ制御レジスタのビットがクリアされます。この時点で、アプリケーション（DMA）から新しいフレームが受け取られます。フラッシュ動作後に残っている送信データは、SOF マーカーで始まっていない限り、すべて破棄されます。

送信ステータスワード

MAC コアへのイーサネットフレーム転送の最後と、コアがフレームの送信を完了した後に、送信ステータスがアプリケーションに送られます。送信ステータスの詳細な説明は、TDES0 のビット [23:0] と同じです。IEEE 1588 タイムスタンピングが有効な場合、特定のフレームの 64 ビットのタイムスタンプが送信ステータスとともに返されます。

送信チェックサムオフロード

TCP や UDP などの通信プロトコルは、ネットワーク経由で送信されたデータの完全性を確認できるチェックサムフィールドを実装しています。最も広く利用されているイーサネットの用途は、IP データグラムによる TCP や UDP のカプセル化なので、イーサネットコントローラは、チェックサム計算と送信パスへの挿入、および受信パスでのエラー検出をサポートする送信チェックサムオフロード機能を備えています。このセクションでは、送信フレームのチェックサムオフロード機能の動作について説明します。

注： ***TCP、UDP、または ICMP のチェックサムは、完全なフレームに対して計算された後、対応するヘッダフィールドに挿入されます。この要件のため、この機能は、送信 FIFO がストアアンドフォワードモードに設定されているとき（すなわち、ETH_ETH_DMAOMR レジスタの TSF ビットがセットされているとき）のみ有効です。コアが閾値（カットスルー）モードに設定されている場合、送信チェックサムオフロードはバイパスされます。***

ユーザは、フレームが MAC コアトランスミッタに転送される前に、送信 FIFO が完全なフレームを格納できる十分な深さであることを確認する必要があります。FIFO の深さが入力されたイーサネットフレームのサイズより小さい場合、ストアアンドフォワードモードでも、ペイロード（TCP/UDP/ICMP）チェックサム挿入機能はバイパスされ、フレームの IPv4 ヘッダのチェックサムのみが変更されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

送信チェックサムオフロードは、2 種類のチェックサム計算および挿入をサポートします。チェックサムは、CIC ビット（*TDES1：送信ディスクリプタワード 1（1188 ページ）*で説明されている TDES1 のビット 28:27）をセットすることによって、フレームごとに制御できます。

IPv4、TCP、UDP、ICMP、IPv6、および ICMPv6 パケットヘッダの仕様については、パケットヘッダの仕様については、IETF 仕様の RFC 791、RFC 793、RFC 768、RFC 792、RFC 2460、および RFC 4443 をそれぞれ参照してください。

- IP ヘッダのチェックサム

  IPv4 データグラムでは、ヘッダフィールドの完全性は、16 ビットのヘッダチェックサムフィールド（IPv4 データグラムの 11 番目と 12 番目のバイト）によって示されます。チェックサムオフロードは、イーサネットフレームのタイプフィールドの値が 0x0800 であり、IP データグラムのバージョンフィールドの値が 0x4 のときに、IPv4 データグラムを検出します。入力フレームのチェックサムフィールドは、計算時には無視され、計算された値に置き換えられます。IPv6 ヘッダにはチェックサムフィールドがないので、チェックサムオフロードは IPv6 ヘッダフィールドを変更しません。この結果、IP ヘッダチェックサムの計算結果は、送信ステータス（ビット 16）の IP ヘッダエラーステータスビットによって示されます。このステータスビットは、イーサネットタイプフィールドと IP ヘッダのバージョンフィールドの値が一致しないとき、またはイーサネットフレームに十分なデータがない（ IP ヘッダの長さフィールドによって示されます）ときにセットされます。言い換えると、このビットは、IP ヘッダエラーが以下のような状況でアサートされたときにセットされます。

  a) IPv4 データグラムの場合：

  – 受信したイーサネットのタイプは 0x0800 であるが、IP ヘッダのバージョンフィールドが 0x4 に等しくないとき。

  – IPv4 ヘッダ長フィールドが 0x5（20 バイト）未満の値を示しているとき。

  – 合計フレーム長が IPv4 ヘッダ長フィールドで指定された値より小さいとき。

  b) Pv6 データグラムの場合：

  – イーサネットのタイプは 0x86DD だが、IP ヘッダのバージョンフィールドが 0c6 に等しくないとき。

  – IPv6 ヘッダ（40 バイト）または拡張ヘッダ（拡張ヘッダ内の対応するヘッダ長フィールドで指定）が完全に受信される前にフレームが終了したとき。チェックサムオフロードがこのような IP ヘッダエラーを検出したときでも、イーサネットタイプフィールドが IPv4 ペイロードを示している場合は、IPv4 ヘッダチェックサムを挿入します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

- TCP/UDP/ICMP チェックサム

  TCP/UDP/ICMP チェックサムは、IPv4 または IPv6 ヘッダ（拡張ヘッダを含む）を処理して、カプセル化されたペイロードが TCP、UDP、ICMP のいずれかを判断します。

  以下のことに注意してください。

  a) 非 TCP、非 UDP、または非 ICMP/ICMPv6 ペイロードの場合、このチェックサムはバイパスされ、フレームには何の変更も加えられません。

  b) 断片化された IP フレーム（IPv4 または IPv6）、セキュリティ機能を持つ IP フレーム（認証ヘッダやカプセル化されたセキュリティペイロードなど）、およびルーティングヘッダを持つ IPv6 フレームは、バイパスされ、チェックサムによる処理は行われません。

  TCP、UDP、または ICMP ペイロードのチェックサムが計算され、ヘッダ内の対応するフィールドに挿入されます。チェックサムは次の 2 つのモードで動作します。

  – 最初のモードでは、TCP、UDP、または ICMPv6 擬似ヘッダは、チェックサムの計算に含まれず、入力フレームのチェックサムフィールドに存在するとみなされます。チェックサムフィールドはチェックサムの計算に含まれ、最終的に計算されたチェックサムで置き換えられます。

  – 第 2 のモードでは、チェックサムフィールドは無視され、TCP、UDP、または ICMPv6 擬似ヘッダデータはチェックサムの計算に含まれ、チェックサムフィールドは最終的な計算値で上書きされます。

  以下のことに注意してください。ICMP-over-IPv4 パケットの場合、擬似ヘッダは定義されていないので、ICMP パケット内のチェックサムフィールドは、どちらのモードでも常に 0x0000 でなければなりません。0x0000 に等しくない場合、正しくないチェックサムがパケットに挿入される可能性があります。

  この操作の結果は、送信ステータスベクタのペイロードチェックサムエラーステータスビット（ビット 12）によって示されます。ペイロードチェックサムエラーステータスビットは、次のどちらかが検出されたときにセットされます。

  – フレームがストアアンドフォワードモードで MAC トランスミッタに転送されたが、フレームの終わりが FIFO に書き込まれなかったとき。

  – IP ヘッダのペイロード長フィールドによって示されているバイト数が受信される前に、パケットが終了したとき。

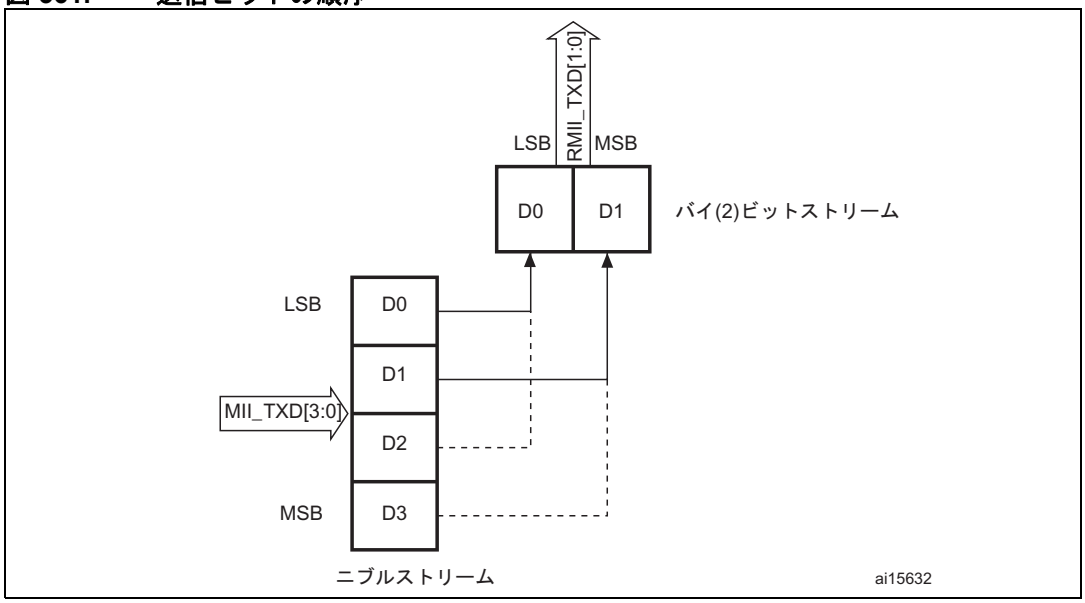
  パケットが、示されているペイロード長よりも長いときには、バイトはスタッフバイトとして無視され、エラーは報告されません。最初のタイプのエラーが検出されたとき、TCP、UDP、または ICMP ヘッダは変更されません。2 番目のタイプのエラーの場合、計算されたチェックサムが、対応するヘッダフィールドに挿入されます。

MII/RMII 送信ビットの順序

MII からの各ニブルは、RMII で一度に 2 ビット（双ビット）づつ、*図 361* に示されている双ビット送信の順序で送信されます。下位ビット（D1 と D0）が最初に送信され、次に上位ビット（D2 と D3）が送信されます。

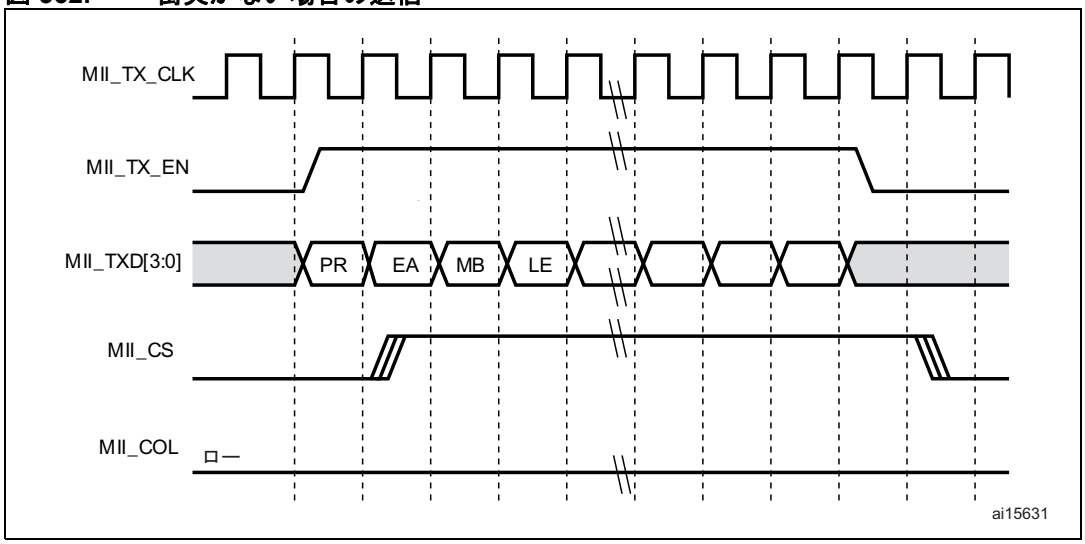
この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 361.　送信ビットの順序



MII/RMII 送信タイミング図

図 362.　衝突がない場合の送信



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 363. 衝突がある場合の送信

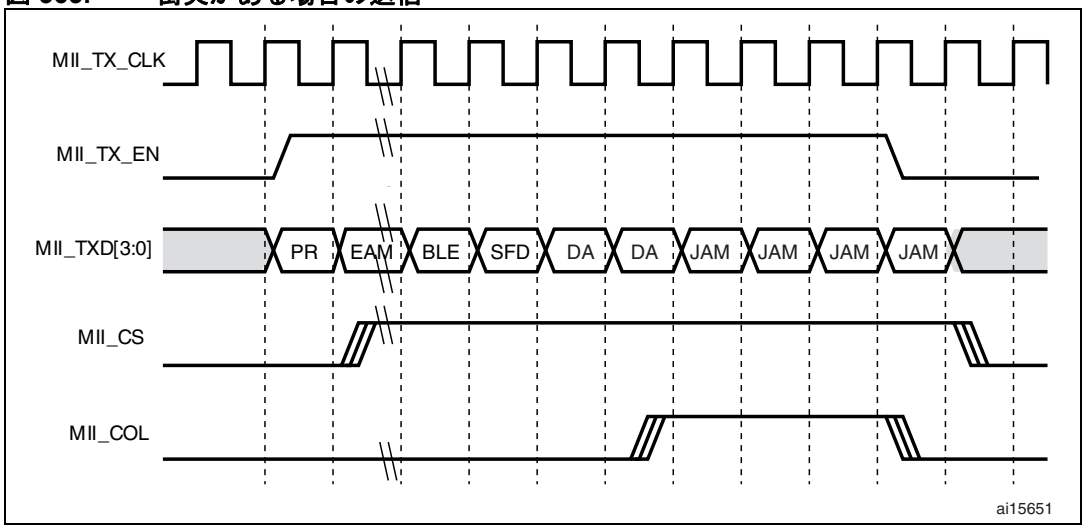
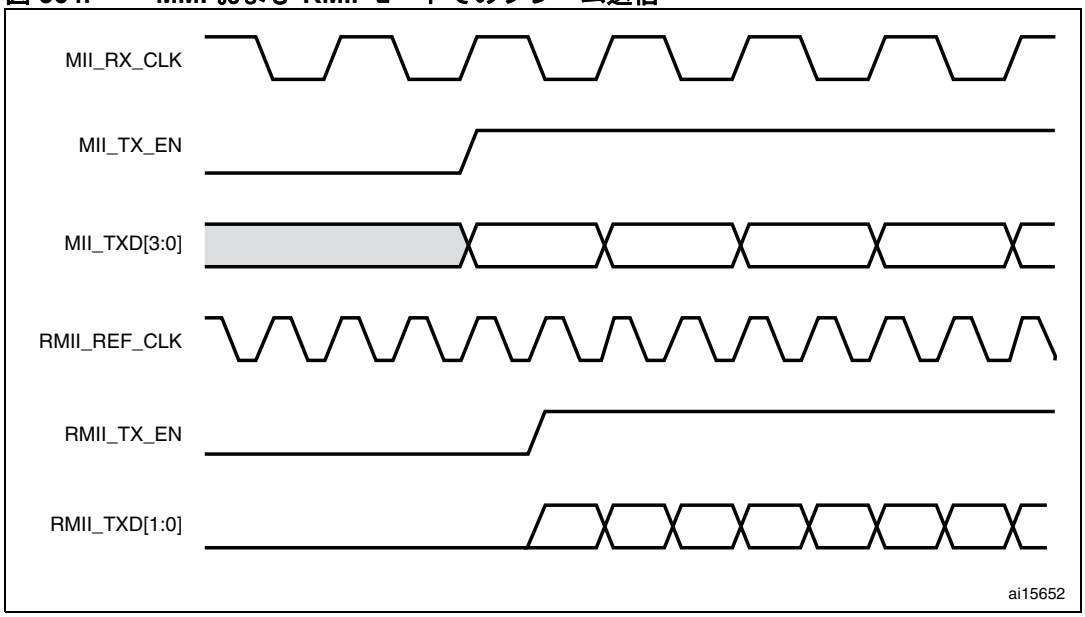


図 364 に、MII および RMII でのフレーム送信を示します。

図 364. MMI および RMII モードでのフレーム送信



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

33.5.3 MAC フレームの受信

MAC が受信したフレームは、Rx FIFO にプッシュされます。この FIFO のステータス（フィルレベル）が設定された受信閾値（ETH_DMAOMR レジスタの RTC）を超えると、そのことが DMA に示されるので、DMA は、AHB インタフェースに対して、事前設定されたバースト転送を開始できます。

デフォルトのカットスルーモードでは、64 バイト（ETH_DMAOMR レジスタの RTC フィールドで設定）またはデータパケット全体がが FIFO に受信されたときに、データがポップアウトされ、データが使用可能になったことが DMA に通知されます。DMA が AHB インタフェースへの転送を開始すると、FIFO からのデータ転送は、完全なパケットが転送されるまで続けられます。EOF フレームの転送が完了すると、ステータスワードがポップアウトされて、DMA コントローラに送信されます。

Rx FIFO のストアアンドフォワードモード（ETH_DMAOMR レジスタの RSF ビットで設定）では、フレームは、受信 FIFO に完全に書き込まれた後にのみ読み出されます。このモードでは、すべてのエラーフレームがドロップされるので（そのようにコアが設定されている場合）、有効なフレームのみが読み出されて、アプリケーションに転送されます。カットスルーモードでは、エラーステータスはフレームの最後に受信され、その時点では、フレームの最初の部分がすでに FIFO から読み出されてしまっているので、一部のエラーフレームはドロップされません。

受信動作は、MAC が MII で SFD を検出したときに開始されます。コアは、フレームの処理を進める前に、プリアンブルと SFD を削除します。フレームの CRC を確認するために、使用されたフィルタリングと FCS フィールドがヘッダフィールドでチェックされます。アドレスフィルタでエラーが発生した場合、そのフレームはコアでドロップされます。

受信プロトコル

受信フレームのプリアンブルと SFD は削除されます。SFD が検出されると、MAC は、イーサネットフレームデータの受信 FIFO への送信を、最初のバイトから始めて、次に SFD（デスティネーションアドレス）という順序で開始します。IEEE タイムスタンピングが有効な場合、任意のフレームの SFD が MII で検出されたとき、システム時間のスナップショットがとられます。MAC がフレームをフィルタリングしてドロップしない限り、このタイムスタンプはアプリケーションに渡されます。

受信フレームの長さ／タイプフィールドが 0x600 未満の場合と、MAC の自動 CRC／パッドストリッピングオプションがプログラムされていた場合には、MAC は、フレームのデータを長さ／タイプフィールドで指定されたカウントまで Rx FIFO に送信してから、バイトのドロッピング（FCS フィールドを含む）を開始します。長さ／タイプフィールドが 0x600 以上の場合、MAC は、プログラムされた自動 CRC ストリップオプションの値に関係なく、受信したすべてのイーサネットフレームデータを Rx FIFO に送信します。MAC ウォッチドッグタイマは、デフォルトで有効なので、2048 バイト以上のフレーム（DA + SA + LT + データ + パッド + FCS）は切り捨てられます。この機能は、MAC 設定レジスタのウォッチドッグディセーブル（WD）ビットをプログラムすることによって無効にできます。ただし、ウォッチドッグタイマが無効な場合でも、サイズが 16 KB を超えるフレームは切り捨てられ、ウォッチドッグタイムアウトステータスが与えられます。

受信 CRC：自動 CRC およびパッドストリッピング

MAC は、受信フレームの CRC エラーをチェックします。デスティネーションアドレスフィールドから FCS フィールドまでを含めて、受信フレームの 32 ビットの CRC を計算します。エンコードは、次の多項式によって定義されます。

$$G(x) = x^{32} + x^{26} + x^{23} + x^{22} + x^{16} + x^{12} + x^{11} + x^{10} + x^{8} + x^{7} + x^{5} + x^{4} + x^{2} + x + 1$$

自動パッド／CRC ストリップに関係なく、MAC は、フレーム全体を受信して、受信フレームの CRC チェックを計算します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

受信チェックサムオフロード

データの完全性チェックのために、受信イーサネットフレームの IPv4 または IPv6 が検出され、処理されます。受信チェックサムオフロード機能は、ETH_MACCR レジスタの IPCO ビットをセットすることによって有効にできます。MAC レシーバは、受信した　イーサネットフレームのタイプフィールドの値が 0x0800 か 0x86DD かをチェックすることによって、そのフレームが IPv4 か IPv6 かを識別します。この識別は、VLAN タグ付きフレームにも適用されます。受信チェックサムオフロードは、IPv4 ヘッダのチェックサムを計算して、受信した IPv4 ヘッダのチェックサムと一致するかどうかを確認します。示されているペイロードタイプ（イーサネットタイプフィールド）と IP ヘッダバージョン間に不一致があった場合、または、受信フレームのバイト数が、IPv4 ヘッダの長さフィールドで示されているバイト数より少ないとき（または、IPv4 または IPv6 ヘッダで使用可能なスペースが 20 バイト未満のとき）には、IP ヘッダエラービットがセットされます。受信チェックサムオフロードは、受信した IP データグラム（IPv4 または IPv6）のペイロードが TCP、UDP、または ICMP のいずれであるかも識別して、TCP、UDP、または ICMP 仕様での定義に従って、それぞれのペイロードのチェックサムを計算します。チェックサムの計算には、TCP/UDP/ICMPv6 擬似ヘッダバイトも含まれ、受信したチェックサムフィールドの値が計算値に一致するかどうかをチェックします。この操作の結果は、受信ステータスワードのペイロードチェックサムエラービットとして与えられます。このステータスビットは、TCP、UDP、または ICMP ペイロードが IP ヘッダで示された期待されたペイロード長に一致しない場合にもセットされます。*TCP/UDP/ICMP チェックサム（1154 ページ）*で述べたように、受信チェックサムオフロードは、断片化した IP データグラム、セキュリティ機能付き IP データグラム、IPv6 ルーティングヘッダ、および TCP、UDP、または ICMP 以外のペイロードをバイパスします。この情報（チェックサムがバイパスされるかどうか）は、*RDES0：受信ディスクリプタワード 0*セクションで説明されているように、受信ステータスで与えられます。この設定では、コアは、受信したイーサネットフレームにペイロードチェックサムバイトを付加しません。

*RDES0：受信ディスクリプタワード 0（1194 ページ）*で説明されているように、特定のレジスタビットの意味は、*表 189* のように変わります。

表 189.　フレームのステータス

ビット 18：イーサネットフレーム	ビット 27：ヘッダチェックサムエラー	ビット 28：ペイロードチェックサムエラー	フレームステータス
0	0	0	フレームは IEEE 802.3 フレームです（長さフィールドの値が 0x0600 未満）。
1	0	0	チェックサムエラーが検出されない IPv4/IPv6 タイプのフレーム。
1	0	1	ペイロードチェックサムエラー（PCE の説明と同様）が検出される IPv4/IPv6 タイプのフレーム。
1	1	0	IP ヘッダチェックサムエラー（IPCO HCE の説明と同様）が検出される IPv4/IPv6 タイプのフレーム。
1	1	1	PCE と IPCO HCE の両方が検出される IPv4/IPv6 タイプのフレーム。
0	0	1	IP HCE がなく、サポートされていないペイロードであるためにペイロードチェックがバイパスされる IPv4/IPv6 タイプのフレーム。
0	1	1	IPv4 でも IPv6 でもないタイプのフレーム（チェックサムオフロードはチェックサムのチェックを完全にバイパスします）。
0	1	0	予約済み

この資料は、STMicroelectronics NV 並びにその子会社（以下 ST）が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

受信フレームコントローラ

MAC CSR フレームフィルタレジスタの RA ビットがリセットされた場合、MAC は、デスティネーション／ソースアドレスに基づいて、フレームフィルタリングを行います（その場合でも、アプリケーションは、ラントフレームや CRC エラーフレームなどの不良フレームを受信しないと決めた場合、別のレベルのフィルタリングを実行する必要があります）。フィルタ失敗が検出されると、フレームはドロップされ、アプリケーションに転送されません。フィルタリングパラメータが動的に変更されたときと、（DA-SA）フィルタ失敗の場合、フレームの残りはドロップされ、Rx ステータスワードがただちに更新されて（ゼロフレーム長、CRC エラー、およびラントエラービットがセットされます）、フィルタ失敗を示します。イーサネットパワーダウンモードでは、受信されたすべてのフレームがドロップされ、アプリケーションに転送されません。

受信フロー制御

MAC は、ポーズフレームの受信を検出して、受信したポーズフレームで指定された遅延時間の間、フレーム送信を一時停止します（全二重モードの場合のみ）。ポーズフレーム検出機能は、ETH_MACFCR レジスタの RFCE ビットで有効または無効にできます。受信フロー制御が有効にされると、受信フレームのデスティネーションアドレスの監視が開始され、制御フレームのマルチキャストアドレス（0x0180 C200 0001）と一致しているかどうかが確認されます。一致が検出された場合（受信フレームのデスティネーションアドレスが受信制御フレームのデスティネーションアドレスと一致）、MAC は、ETH_MACFFR レジスタの PCF ビットのレベルに基づいて、受信した制御フレームをアプリケーションに転送するかどうかを決定します。

MAC は、受信した制御フレームのタイプ、OP コード、およびポーズタイマフィールドのデコードも行います。ステータスのバイトカウントが 64 バイトを示している場合と、CRC エラーがない場合、MAC トランスミッタは、デコードしたポーズ時間の値にスロット時間（10/100 Mbit/s の両方のモードについて 64 バイト時間）を掛けた時間の間、フレーム送信を一時停止します。一方、ポーズ時間値がゼロの別のポーズフレームが検出された場合には、MAC は、ポーズ時間をリセットして、この新しいポーズリクエストを管理します。

受信した制御フレームがタイプフィールド（0x8808）、OP コード（0x00001）、またはバイト長（64 バイト）のいずれにも一致しなかった場合、MAC はポーズを生成しません。

マルチキャストデスティネーションアドレスを持つポーズフレームの場合、MAC は、アドレスの一致に基づいてフレームをフィルタします。

ユニキャストデスティネーションアドレスを持つポーズフレームの場合、MAC のフィルタリングは、DA が MAC アドレス 0 レジスタの内容に一致しているかどうか、および ETH_MACFCR レジスタの UPDF ビットがセットされている（ユニキャストデスティネーションアドレスを持つポーズフレームでも検出する）かどうかに依存します。PCF レジスタビット（ETH_MACFFR レジスタのビット[7:6]）は、アドレスフィルタリングに加えて、制御フレームのフィルタリングを制御します。

受信動作におけるマルチフレームの処理

ステータスはデータの直後に使用可能なので、FIFO は、満杯でない限り、任意のフレーム数を格納できます。

この資料は、STMicroelectronics NV 並びにその子会社（以下 ST）が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

エラー処理

MAC から EOF データを受信する前に Rx FIFO が満杯になった場合は、オーバーフローが宣言され、フレーム全体がドロップされて、ETH_DMAMFBOCR レジスタのオーバーフローカウンタがインクリメントされます。ステータスは、オーバーフローによる部分的フレームであることを示します。Rx FIFO は、（ETH_DMAOMR レジスタの FEF および FUGF ビットを使用して）有効にされた場合、エラーおよびアンダサイズのフレームをフィルタできます。
受信 FIFO がストアアンドフォワードモードで動作するように設定されている場合、すべてのエラーフレームがフィルタされ、ドロップされます。
カットスルーモードでは、フレームの SOF が Rx FIFO から読み出されたときにフレームのステータスおよび長さが使用可能な場合、エラーフレームを完全にドロップすることができます。DMA は、受信フレームフラッシュビットを有効にすることによって、FIFO から読み出したエラーフレームをフラッシュできます。アプリケーション（DMA）へのデータ転送は停止し、フレームの残りが内部で読み出されて、ドロップされます。使用可能な場合、次のフレーム転送を開始できます。

受信ステータスワード

イーサネットフレーム受信の最後に、MAC は、アプリケーション（DMA）に対して受信ステータスを出力します。受信ステータスの詳細な説明は、RDSE0 のビット [31:0] の説明と同じです。*RDES0：受信ディスクリプタワード 0（1194 ページ）*を参照してください。

フレーム長インタフェース

スイッチアプリケーションの場合、アプリケーションと MAC の間でのデータの送受信は、完全なフレーム転送として発生します。アプリケーションレイヤは、フレームを出力ポートに転送するために、入力ポートから受信したフレームの長さを認識する必要があります。MAC コアは、各フレームの受信の最後のステータス内で、受信した各フレームのフレーム長を示します。

注： ***オーバーフローにより、Rx FIFO に書き込まれた部分フレームについては、フレーム長の値として 0 が与えられます。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

MII/RMII 受信ビットの順序

各ニブルは、RMII から受信した双ビットから MII に、*図 365* に示されているニブル送信順序で送信されます。下位ビット（D1 と D0）が最初に受信され、次に上位ビット（D2 と D3）が受信されます。

図 365.　受信ビットの順序

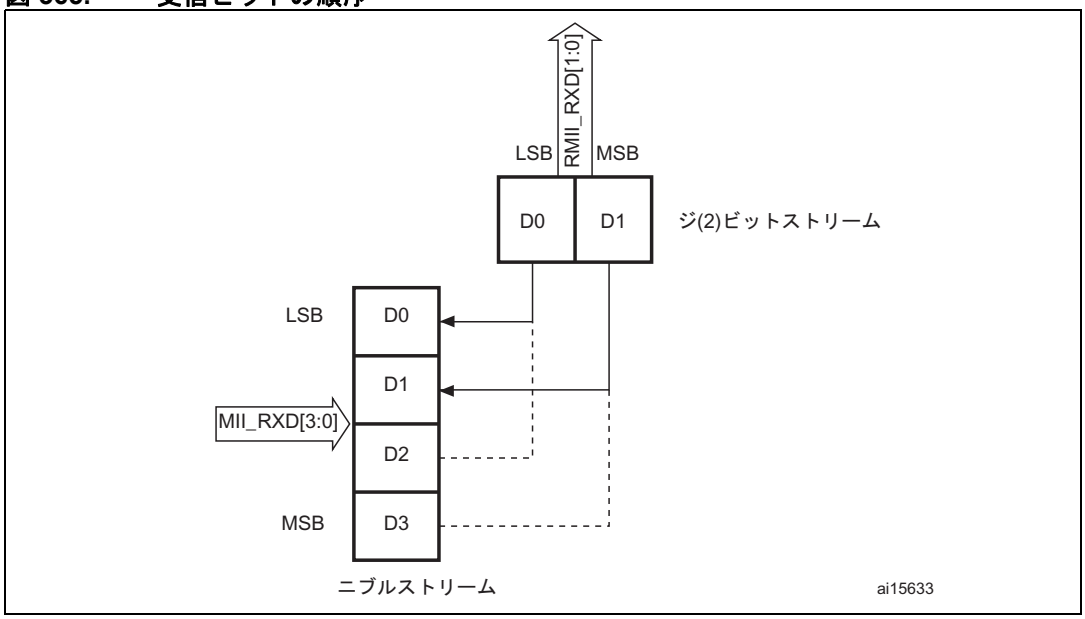
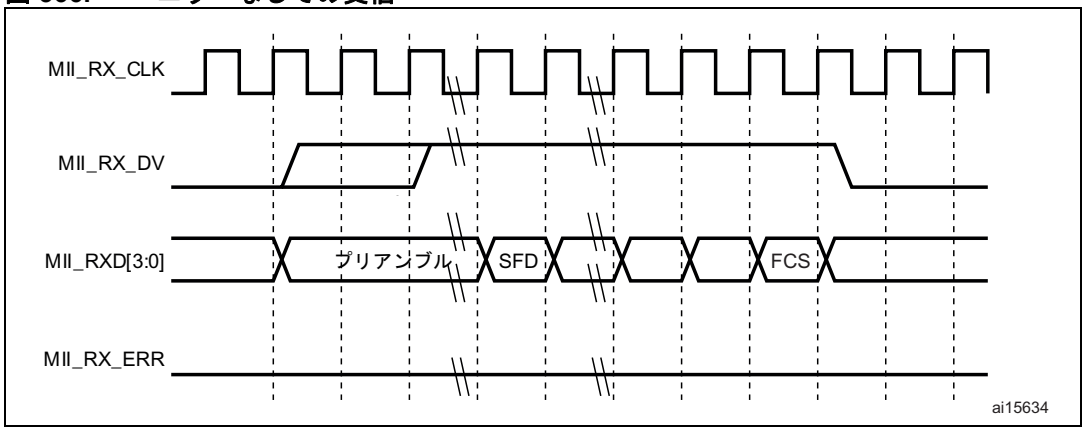


図 366.　エラーなしでの受信



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 367. エラーありでの受信

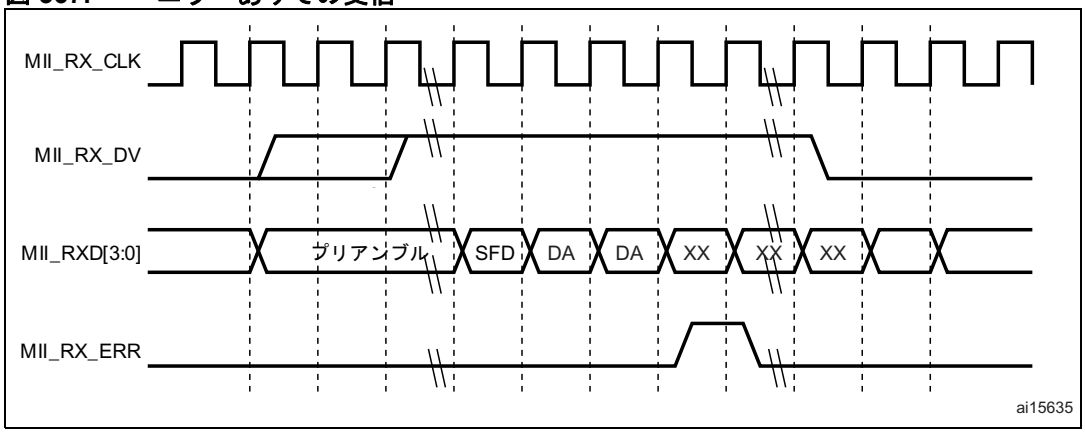
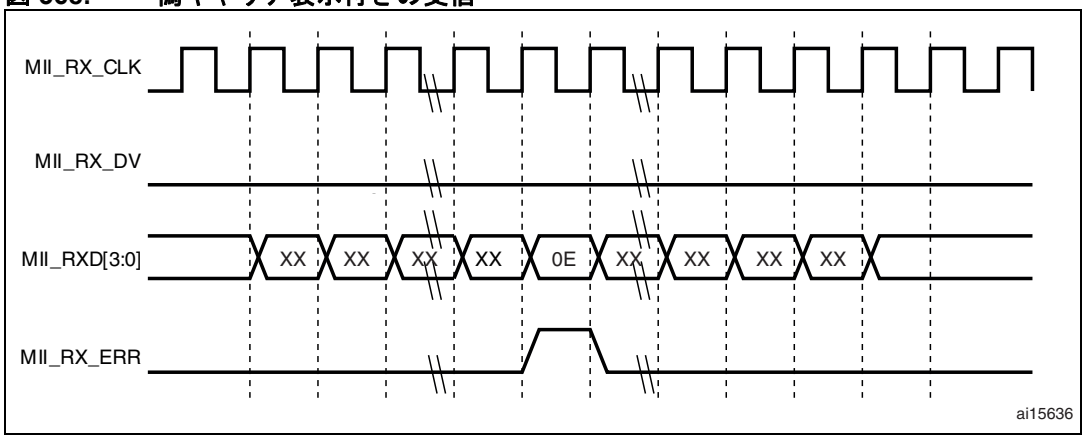


図 368. 偽キャリア表示付きの受信



33.5.4 MAC 割り込み

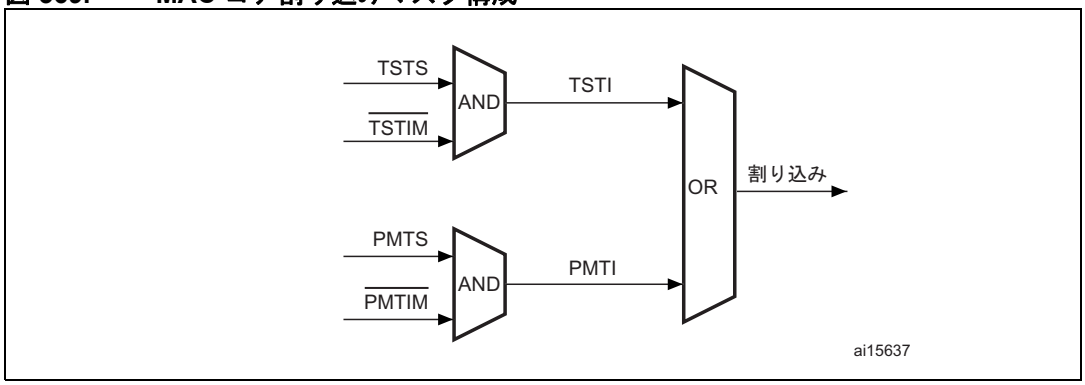
さまざまなイベントの結果として、MAC コアから割り込みが生成されることがあります。

ETH_MACSR レジスタは、MAC コアからの割り込みの原因となるベントを記述します。割り込みマスクレジスタの対応するマスクビットをセットすることによって、各イベントが割り込みをアサートしないようにすることができます。

割り込みレジスタビットは、イベントが報告されるブロックを示すだけです。割り込みをクリアするには、対応するステータスレジスタと他のレジスタを読み出す必要があります。たとえば、割り込みレジスタのビット 3 がハイにセットされているときには、パワーダウンモードでマジックパケットまたは Wake-on-LAN フレームが受信されたことを示します。この割り込みをクリアするには、ユーザは ETH_MACPMTCSR レジスタを読み出す必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 369. MAC コア割り込みマスク構成



33.5.5 MAC フィルタリング

アドレスフィルタリング

アドレスフィルタリングは、受信したすべてのフレームのデスティネーションアドレスとソースアドレスをチェックして、それに応じてアドレスフィルタリングステータスが報告されます。アドレスチェックは、アプリケーションによって選択されたさまざまなパラメータ（フレームフィルタレジスタ）に基づきます。フィルタされるフレームも、マルチキャストかブロードキャストかが識別されます。

アドレスフィルタリングでは、ステーションの物理（MAC）アドレスとマルチキャストハッシュテーブルがアドレスチェックに使用されます。

ユニキャストデスティネーションアドレスフィルタ

MAC は、ユニキャストの完全なフィルタリングのために、最大 4 つの MAC アドレスをサポートします。完全フィルタリングが選択された場合（フレームフィルタレジスタの HU ビットがリセット）、MAC は、受信したユニキャストアドレスの 48 ビットすべてを、プログラムされた MAC アドレスと比較して、一致しているかどうかを確認します。デフォルトの MacAddr0 は常に有効であり、その他のアドレス（MacAddr1～MacAddr3）は、個別のイネーブルビットで選択されます。その他のアドレス（MacAddr1～MacAddr3）の各バイトは、レジスタの対応するマスクバイト制御ビットをセットすることによって、対応する受信 DA バイトとの比較時にマスクできます。これは、DA のグループアドレスフィルタリングに役立ちます。ハッシュフィルタリングモード（HU ビットがセットされているとき）では、MAC は、64 ビットのハッシュテーブルを使用して、ユニキャストアドレスの不完全フィルタリングを実行します。ハッシュフィルタリングの場合、MAC は、受信したデスティネーションアドレスの CRC の上位 6 ビットを使用して（下記の注 1 を参照）、ハッシュテーブルの内容をインデックスします。値 000000 は、選択されたレジスタのビット 0 を選択し、値 111111 は、ハッシュテーブルレジスタのビット 63 を選択します。対応するビット（6 ビット CRC によって示される）が 1 にセットされた場合、ユニキャストフレームはハッシュフィルタを通過したとみなされ、そうでない場合、フレームはハッシュフィルタ通過できなかったとみなされます。

注： ***この CRC は、次の多項式によって符号化された 32 ビット値です（詳細については、セクション 33.5.3：MAC フレームの受信を参照してください）。***

$$G(x) = x^{32} + x^{26} + x^{23} + x^{22} + x^{16} + x^{12} + x^{11} + x^{10} + x^8 + x^7 + x^5 + x^4 + x^2 + x + 1$$

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

マルチキャストデスティネーションアドレスフィルタ

MAC は、フレームフィルタレジスタの PAM ビットをセットすることによって、すべてのマルチキャストフレームを通過させるようにプログラムできます。PAM ビットがリセットされた場合、MAC は、フレームフィルタレジスタの HM ビットに基づいて、マルチキャストアドレスのフィルタリングを実行します。完全フィルタリングモードでは、マルチキャストアドレスが、プログラムされた MAC デスティネーションアドレスレジスタ（1-3）と比較されます。グループアドレスフィルタリングもサポートされています。ハッシュフィルタリングモードでは、MAC は、64 ビットのハッシュテーブルを使用して、不完全フィルタリングを実行します。ハッシュフィルタリングの場合、MAC は、受信したマルチキャストアドレスの CRC の上位 6 ビット（下記の注 1 を参照）を使用して、ハッシュテーブルの内容をインデックスします。値 000000 は選択されたレジスタのビット 0 を、値 111111 はハッシュテーブルレジスタのビット 63 を選択します。対応するビットが 1 にセットされた場合は、マルチキャストフレームがハッシュフィルタを通過したことを示し、そうでない場合は、フレームがハッシュフィルタを通過できなかったことを示します。

注： ***この CRC は、次の多項式によって符号化された 32 ビット値です（詳細については、セクション 33.5.3：MAC フレームの受信を参照してください）。***

$$G(x) = x^{32} + x^{26} + x^{23} + x^{22} + x^{16} + x^{12} + x^{11} + x^{10} + x^8 + x^7 + x^5 + x^4 + x^2 + x + 1$$

ハッシュまたは完全アドレスフィルタ

DA フィルタは、フレームフィルタレジスタの HPF ビットをセットし、対応する HU または HM ビットをセットすることによって、DA がハッシュフィルタまたは完全フィルタに一致するときにはフレームを通過させるように設定できます。この設定は、ユニキャストフレームとマルチキャストフレームの両方に適用されます。HPF ビットがリセットされた場合は、1 つのフィルタ（ハッシュまたは完全）だけが受信フレームに適用されます。

ブロードキャストアドレスフィルタ

デフォルトモードでは、MAC は、ブロードキャストフレームをフィルタしません。ただし、フレームフィルタレジスタの BFD ビットをセットすることによって、すべてのブロードキャストフレームを拒絶するように MAC がプログラムされた場合は、ブロードキャストフレームはドロップされます。

ユニキャストソースアドレスフィルタ

MAC は、受信フレームのソースアドレスフィールドに基づいて、完全フィルタリングを実行することもできます。デフォルトでは、MAC は、SA フィールドを、SA レジスタでプログラムされた値と比較します。MAC アドレスレジスタ [1:3] は、対応するレジスタのビット 30 をセットすることによって、比較のために DA の代わりに SA を含めるように設定することができます。SA によるグループフィルタリングもサポートされています。フレームフィルタレジスタの SAF ビットがセットされている場合、SA フィルタを通過できなかったフレームは、MAC によってドロップされます。そうでない場合、SA フィルタの結果は、受信ステータスワード内のステータスビットとして与えられます（*RDES0：受信ディスクリプタワード 0*を参照）。

SAF ビットがセットされた場合、SA フィルタと DA フィルタの結果が AND（論理積）されて、フレームを転送する必要があるかどうかが決まります。これは、どちらかのフィルタの通過に失敗したフレームはドロップされることを意味します。フレームがアプリケーションに転送されるためには、両方のフィルタを通過する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社（以下 ST）が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

逆フィルタリング動作

デスティネーションおよびソースアドレスフィルタリングの両方について、最終出力でフィルター致結果を反転できるオプションがあります。これらは、それぞれフレームフィルタレジスタの DAIF および SAIF ビットによって制御されます。DAIF ビットは、ユニキャストとマルチキャストの両方の DA フレームに適用可能です。このモードでは、ユニキャスト／マルチキャストデスティネーションアドレスフィルタの結果が反転されます。同様に、SAIF ビットがセットされると、ユニキャスト SA フィルタの結果が反転されます。*表 190* と*表 191* に、受信フレームのタイプに基づくデスティネーションアドレスとソースアドレスのフィルタリングを示します。

表 190. デスティネーションアドレスフィルタリング

フレームタイプ	PM	HPF	HU	DAIF	HM	PAM	DB	DA フィルタ動作
ブロードキャスト	1	X	X	X	X	X	X	成功
	0	X	X	X	X	X	0	成功
	0	X	X	X	X	X	1	失敗
ユニキャスト	1	X	X	X	X	X	X	すべてのフレームをパス
	0	X	0	0	X	X	X	完全／グループフィルター致で成功
	0	X	0	1	X	X	X	完全／グループフィルター致で失敗
	0	0	1	0	X	X	X	ハッシュフィルター致で成功
	0	0	1	1	X	X	X	ハッシュフィルター致で失敗
	0	1	1	0	X	X	X	ハッシュまたは完全／グループフィルター致で成功
	0	1	1	1	X	X	X	ハッシュまたは完全／グループフィルター致で失敗
マルチキャスト	1	X	X	X	X	X	X	すべてのフレームをパス
	X	X	X	X	X	1	X	すべてのフレームをパス
	0	X	X	0	0	0	X	完全／グループフィルター致で成功、PCF = 0x の場合はポーズ制御フレームをドロップ。
	0	0	X	0	1	0	X	ハッシュフィルター致で成功、PCF = 0x の場合はポーズ制御フレームをドロップ。
	0	1	X	0	1	0	X	ハッシュまたは完全／グループフィルター致で成功、PCF = 0x の場合はポーズ制御フレームをドロップ。
	0	X	X	1	0	0	X	完全／グループフィルター致で失敗、PCF = 0x の場合はポーズ制御フレームをドロップ。
	0	0	X	1	1	0	X	ハッシュフィルター致で失敗、PCF = 0x の場合はポーズ制御フレームをドロップ。
	0	1	X	1	1	0	X	ハッシュまたは完全／グループフィルター致で失敗、PCF = 0x の場合はポーズ制御フレームをドロップ。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 191. ソースアドレスフィルタリング

フレームタイプ	PM	SAIF	SAF	SA フィルタ動作
ユニキャスト	1	X	X	すべてのフレームをパス
	0	0	0	完全／グループフィルター致で成功ステータスだが、失敗したフレームをドロップしない。
	0	1	0	完全／グループフィルター致で失敗ステータスだが、フレームをドロップしない。
	0	0	1	完全／グループフィルター致で成功、失敗したフレームをドロップする。
	0	1	1	完全／グループフィルター致で失敗、失敗したフレームをドロップする。

33.5.6 MAC ループバックモード

MAC は、送信したフレームのレシーバへのループバックをサポートします。デフォルトでは、MAC のループバック機能は無効ですが、MAC ETH_MACCR レジスタのループバックビットをプログラムすることによって有効にできます。

33.5.7 MAC管理カウンタ：MMC

MAC 管理カウンタ（MMC）は、受信および送信フレームの統計を集めるために、一連のレジスタを維持します。これらのレジスタとしては、レジスタの動作を制御する制御レジスタ、生成された割り込み（受信および送信）を含む 2 つの 32 ビットレジスタ、および割り込みレジスタ（受信および送信）のマスクを含む 2 つの 32 ビットレジスタがあります。これらのレジスタには、アプリケーションからアクセスできます。各レジスタは 32 ビット幅です。

*セクション 33.8：イーサネットレジスタの説明*では、さまざまなカウンタについて説明し、統計カウンタのそれぞれのアドレスを示します。このアドレスは、目的の送信／受信カウンタへの読み出し／書き込みアクセスのために使用されます。

受信 MMC カウンタは、アドレスフィルタリングをパスしたフレームについて更新されます。ドロップされたフレームの統計は、ドロップされたフレームが 6 バイト未満のラントフレーム（DA バイトが完全には受信されていない）でない限り、更新されません。

良好な送信および受信フレーム

送信されたフレームは、正常に送信された場合、「良好」とみなされます。言い換えると、送信されたフレームは、フレーム送信が以下のいずれかのエラーによって中止されなければ、良好なフレームです。

+ ジャバタイムアウト
+ キャリヤがない／キャリヤの喪失
+ レイトコリジョン
+ フレームアンダーフロー
+ 過剰遅延
+ 過剰コリジョン

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

受信フレームは、以下のエラーが 1 つもなかった場合に「良好」とみなされます。

+ CRC エラー
+ ラントフレーム（64 バイト未満）
+ アライメントエラー（10/100 Mbit/s のみ）
+ 長さエラー（非型フレームのみ）
+ 範囲外（非型フレームのみ、最大サイズより長い）
+ MII_RXER 入力エラー

最大フレームサイズは、次のように、フレームのタイプに依存します。

+ タグなしフレームの最大サイズ = 1518
+ VLAN フレームの最大サイズ = 1522

33.5.8 電源管理：PMT

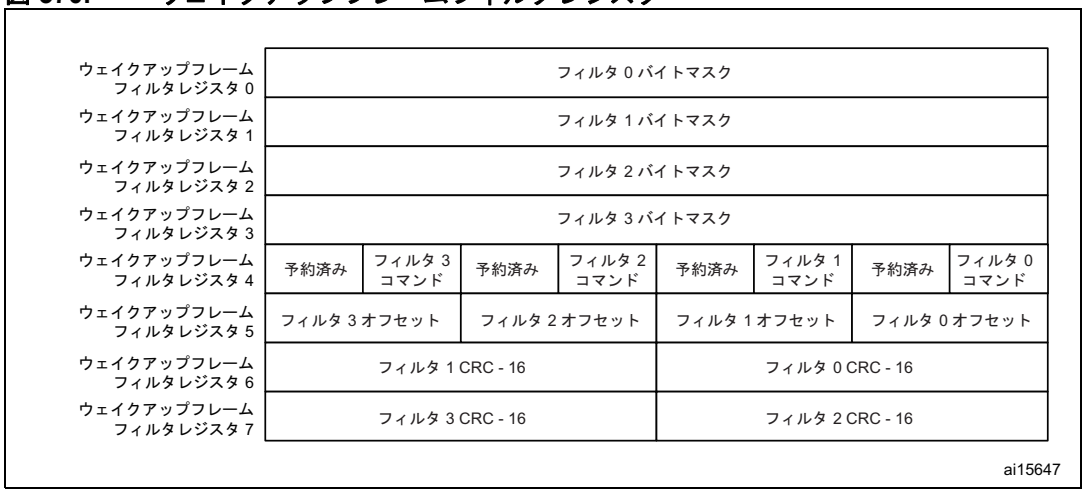
このセクションでは、MAC によってサポートされる電源管理（PMT）のメカニズムについて説明します。PMT は、ネットワーク（リモート）ウェイクアップフレームとマジックパケットフレームの受信をサポートします。PMT は、MAC によって受信されたウェイクアップフレームおよびマジックパケットに対して割り込みを生成します。PMT ブロックは、リモートウェイクアップフレームイネーブルとマジックパケットイネーブルで有効にされます。これらのイネーブルビット（WFE および MPE）は、ETH_MACPMTCSR レジスタにあり、アプリケーションによってプログラムされます。PMT でパワーダウンモードが有効になると、すべての受信フレームが MAC によってドロップされ、アプリケーションに転送されません。MAC は、マジックパケットまたはリモートウェイクアップフレームが受信され、対応する検出機能が有効なときのみ、パワーダウンモードから抜けます。

リモートウェイクアップフレームフィルタレジスタ

8 つのウェイクアップフレームフィルタレジスタがあります。各レジスタに書き込むには、ウェイクアップフレームフィルタレジスタに値を 1 つずつロードします。ウェイクアップフレームフィルタレジスタに 8 回、順にロードすることによって、ウェイクアップフレームフィルタの望ましい値がロードされます。読み出し操作は、書き込み動作と同じです。8 つの値を読み出すには、ウェイクアップフレームフィルタレジスタを 8 回、最後のレジスタまで読み出す必要があります。各読み出し／書き込みは、ウェイクアップフレームフィルタレジスタを次のフィルタレジスタに向けさせます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 370. ウェイクアップフレームフィルタレジスタ



- フィルタ i バイトマスク

  このレジスタは、フレームがウェイクアップフレームであるかどうかを判定するために、フィルタ i（0、1、2、および 3）によって調べられるフレームのバイトを定義します。MSB（31 番目のビット）はゼロでなければなりません。ビット j [30:0] はバイトマスクです。バイトマスクのビット j（バイト数）がセットされた場合、受信フレームのフィルタ i オフセット + j が CRC ブロックによって処理されます。そうでない場合、フィルタ i オフセット + j は無視されます。

- フィルタ i コマンド

  この 4 ビットのコマンドは、フィルタ i 動作を制御します。ビット 3 は、アドレスタイプを指定し、パターンのデスティネーションアドレスタイプを定義します。このビットがセットされると、パターンはマルチキャストフレームにのみ適用されます。このビットがリセットされると、パターンはユニキャストフレームにのみ適用されます。ビット 2 とビット 1 は予約済みです。ビット 0 はフィルタ i のイネーブルビットです。ビット 0 がセットされていない場合、フィルタは無効です。

- フィルタ i オフセット

  このレジスタは、フレームがフィルタ i によって調べられる（フレーム内の）オフセットを定義します。この 8　ビットパターンのオフセットは、フィルタ i によって調べられる最初のバイトのオフセットです。許される最小値は 12 であり、フレームの 13 番目のバイトを指します（オフセット値 0 は、フレームの最初のバイトを指します）。

- フィルタ i CRC-16

  このレジスタは、パターンから計算された CRC-16 値に加えて、ウェイクアップフィルタレジスタブロックに対してプログラムされたバイトマスクを含みます。

リモートウェイクアップフレームの検出

MAC がスリープモードであり、ETH_MACPMTCSR レジスタのリモートウェイクアップビットが有効なときには、リモートウェイクアップフレームの受信後、通常の動作が再開されます。アプリケーションは、ウェイクアップフレームフィルタレジスタアドレスへの逐次書き込みを行うことによって、8 つのウェイクアップフィルタレジスタのすべてに書き込みます。アプリケーションは、ETH_MACPMTCSR レジスタのビット 2 に 1 を書き込むことによって、リモートウェイクアップを有効にします。PMT は、さまざまな受信フレームパターンを提供する 4 つのプログラマブルフィルタをサポートします。受信フレームがフィルタコマンドのアドレスフィルタリングをパスし、フィルタ CRC-16 が、チェック対象の受信パターンに一致した場合、ウェイクアップフレームは受信されます。Filter_offset（最小値は、フレームの 13 番目のバイトを指す 12）は、フレームをチェックするオフセット値を指定します。フィルタバイトマスクは、チェックするフレームのバイトを指定します。バイトマスクの 31 番目のビットは、ゼロにセットされなければなりません。ウェイクアップフレー

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ムは、ラントフレームではないことを確認するために、長さエラー、FCS エラー、ドリブルビットエラー、MII エラー、コリジョンのみがチェックされます。ウェイクアップフレームの長さが 512 バイトを超える場合でも、フレームの CRC 値が有効な場合は、有効とみなされます。ウェイクアップフレームの検出は、リモートウェイクアップフレームが受信されるたびに、ETH_MACPMTCSR レジスタで更新されます。有効な場合は、PMT 割り込みが生成され、リモートウェイクアップフレームの受信を示します。

マジックパケットの検出

マジックパケットフレームは、Advanced Micro Device 社の Magic Packet テクノロジを使用する方法に基づき、ネットワーク上のスリープ状態のデバイスを起動します。MAC は、ネットワーク上の特定のノードに宛てたマジックパケットと呼ばれる特定のパケット情報を受信します。デバイスまたはブロードキャストアドレスに宛てられたマジックパケットのみが、ウェイクアップ要件を満たしているかどうかがチェックされます。アドレスフィルタリング（ユニキャストまたはブロードキャスト）をパスしたマジックパケットは、すべて 1 の 6 バイトの後に MAC アドレスが 16 回現われるというリモート Wake-on-LAN データフォーマットを満たしているかどうかがチェックされます。アプリケーションは、ETH_MACPMTCSR レジスタのビット 1 に 1 を書き込むことによって、マジックパケットウェイクアップを有効にします。PMT ブロックは、ノードに宛てられた各フレームが特定のマジックパケットパターンを持っているかどうかを常時監視します。受信された各フレームは、デスティネーションおよびソースアドレスフィールドの後に 0xFFFF FFFF FFFF というパターンが続くかどうかがチェックされます。次に、PMT ブロックは、フレーム内の MAC アドレスが、中断や途切れがなく、16 回繰り返されているかどうかをチェックします。アドレスの 16 回の繰り返しの途中で中断がある場合、受信フレームに 0xFFFF FFFF FFFF パターンが含まれているかどうかが再度チェックされます。16 回の繰り返しはフレーム内のどこにあっても構いませんが、同期ストリーム（0xFFFF FFFF FFFF）の後でなければなりません。デバイスは、MAC アドレスの 16 回の繰り返しが検出される限り、マルチキャストフレームも受け入れます。ノードの MAC アドレスが 0x0011 2233 4455 である場合は、MAC は、データシーケンスをスキャンします。

デスティネーションアドレスとソースアドレス……..FFFF FFFF FFFF
0011 2233 4455 0011 2233 4455 0011 2233 4455 0011 2233 4455
0011 2233 4455 0011 2233 4455 0011 2233 4455 0011 2233 4455
0011 2233 4455 0011 2233 4455 0011 2233 4455 0011 2233 4455
0011 2233 4455 0011 2233 4455 0011 2233 4455 0011 2233 4455
…CRC

マジックパケットの検出は、受信されたマジックパケットの ETH_MACPMTCSR レジスタで更新されます。有効な場合、PMT 割り込みが生成され、マジックパケットの受信を示します。

パワーダウン時のシステムに関する考慮事項

イーサネット PMT ブロックは、システムがストップモードのときでもフレームを検出できます。ただし、EXIT ライン 19 が有効な場合に限ります。

MAC レシーバステートマシンは、パワーダウンモード中も有効なままでなければなりません。これは、マジックパケット／Wake-on-LAN フレームの検出に関係するので、ETH_MACCR レジスタの RE ビットがセットされたままでなければならないことを意味します。ただし、送信ステートマシンは、パワーダウンモード時には、ETH_MACCR レジスタの TE ビットをクリアすることによってオフされなければなりません。さらに、マジックパケット／Wake-on-LAN フレームを SRAM にコピーする必要はないので、イーサネット DMA は、パワーダウンモード中は無効でなければなりません。イーサネット DMA を無効にするには、ETH_DMAOMR レジスタの ST ビットと SR ビット（それぞれ、送信 DMA と受信 DMA に対応）をクリアします。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

推奨されるパワーダウンおよびウェイクアップシーケンスは、次のとおりです。

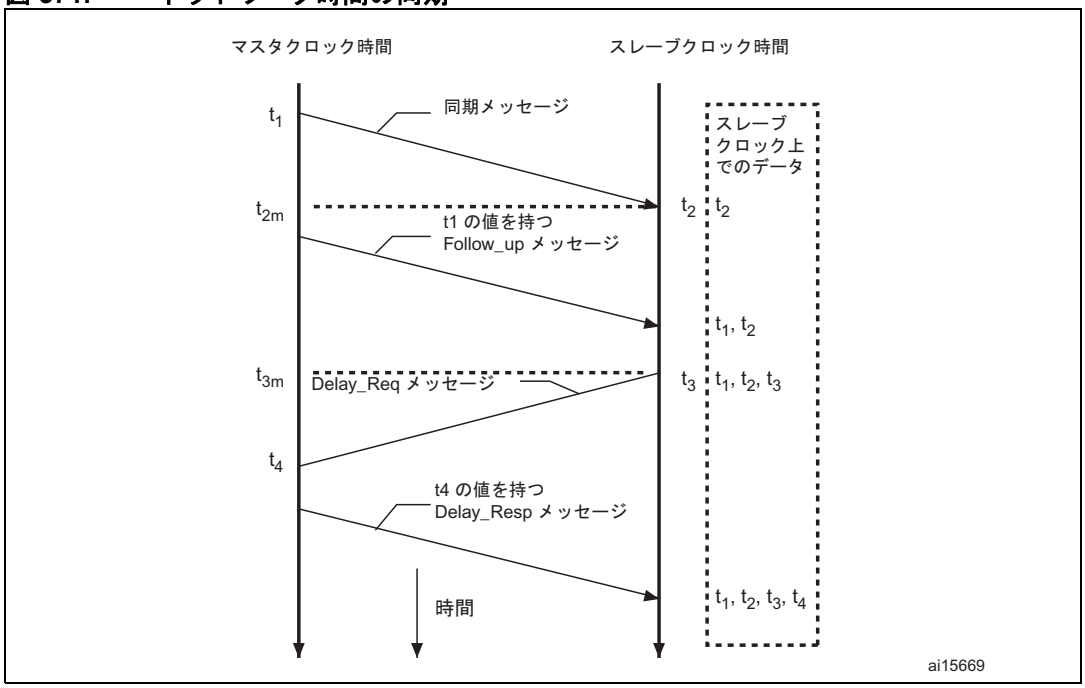
1. 送信 DMA を無効にして、前のフレーム送信の完了を待ちます。送信完了は、ETH_DMASR レジスタ [0] の送信割り込みが受信されると検出できます。
2. ETH_MACCR 設定レジスタの RE および TE ビットをクリアすることによって、MAC トランスミッタと MAC レシーバを無効にします。
3. 受信 DMA が Rx FIFO 内のすべてのフレームを空にするのを待ちます。
4. 受信 DMA を無効にします。
5. EXIT ライン 19 を、イベントまたは割り込みを生成するように設定して、有効にします。
6. 割り込みを生成するように EXIT ライン 19 を設定した場合は、ETH_WKUP_IRQ ハンドラ機能も正しく設定して、EXIT ライン 19 のペンディングビットをクリアする必要があります。
7. ETH_MACPMTCSR レジスタの MFE/WFE ビットをセットすることによって、マジックパケット／Wake-on-LAN フレーム検出を有効にします。
8. ETH_MACPMTCSR レジスタの PD ビットをセットすることによって、MAC パワーダウンモードを有効にします。
9. ETH_MACCR レジスタの RE ビットをセットすることによって、MAC レシーバを有効にします。
10. システムをストップモードにします（詳細については、*セクション 5.3.4：STOP モード（STM32F405xx/07xx および STM32F415xx/17xx）*を参照）。
11. 有効なウェイクアップフレームを受信すると、イーサネットペリフェラルはパワーダウンモードから抜けます。
12. ETH_MACPMTCSR レジスタを読み出して、電力管理イベントフラグをクリアし、MAC トランスミッタステートマシンと受信および送信 DMA を有効にします。
13. システムクロックを設定します。すなわち、HSE を有効にして、クロックをセットします。

33.5.9 高精度時間プロトコル（IEEE1588 PTP）

IEEE 1588 標準は、ネットワーク通信、ローカルコンピューティング、分散オブジェクトなどのテクノロジで実装される計測および制御システムでの高精度なクロック同期を可能にするプロトコルを定義しています。このプロトコルは、イーサネットをはじめとして（ただし、これに限られず）、マルチキャストメッセージングをサポートするローカルエリアネットワークによって通信するシステムに適用されます。このプロトコルは、固有精度、解像度、および安定性が異なるクロックを含む異種混合システムの同期に使用されます。このプロトコルは、最小限のネットワークおよびローカルクロック計算リソースを使用して、サブマイクロ秒範囲のシステム全体の正確な同期をサポートします。高精度時間プロトコル（PTP）と呼ばれるメッセージベースのプロトコルは、UDP/IP 経由で転送されます。システムまたはネットワークは、タイミング／クロック情報を分配するために、マスタノードとスレーブノードに分類されます。PTP メッセージを交換することによってスレーブノードをマスタノードに同期するこのプロトコルの技法を*図 371* に示します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 371. ネットワーク時間の同期



1. マスタは、PTP 同期メッセージをすべてのノードにブロードキャストします。同期メッセージは、マスタの基準時間情報を含んでいます。このメッセージがマスタのシステムから送信された時間が、t_1です。イーサネットポートの場合、この時間は、MII でキャプチャされなければなりません。
2. スレーブは、同期メッセージを受信し、その基準時間を使用して、正確な時間 t_2をキャプチャします。
3. マスタは、次に、後で使用する t_1 情報を含んだ Follow_up メッセージをスレーブに送信します。
4. スレーブは、マスタに Delay_Req メッセージを送信して、このフレームが MII を離れた正確な時間 t_3を知らせます。
5. マスタは、このメッセージを受信して、メッセージがシステムに着信した正確な時間 t_4をキャプチャします。
6. マスタは、Delay_Resp メッセージで t_4 情報をスレーブに送信します。
7. スレーブは、t_1、t_2、t_3、およびt_4 の 4 つの値を使用して、ローカル基準時間をマスタの基準時間に同期します。

プロトコル実装のほとんどは、UDP レイヤの上のソフトウェアで行われます。ただし、すでに述べたように、特定の PTP パケットが MII のイーサネットポートで送受信された正確な時間をキャプチャするには、ハードウェアサポートが必要です。PTP の正しく高精度な実装のためには、このタイミング情報がキャプチャされて、ソフトウェアに返されなければなりません。

基準タイミングソース

時間のスナップショットを得るために、コアは、IEEE 1588 仕様での定義に従って、64 ビットフォーマット（2 つの 32 ビットチャネルに分け、上位 32 ビットは時間を秒単位で、下位 32 ビットは時間をマイクロ秒で示す）の基準時間を必要とします。

PTP 基準クロック入力は、基準時間（システム時間とも呼ばれます）を内部で生成し、タイムスタンプをキャプチャするために使用されます。この基準クロックの周波数は、タイムスタンプカウンタの解像度以上でなければなりません。マスタノードとスレーブ間の同期精度の目標は、約 100 ns です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

システム時間の生成、更新、および変更については、*セクション ：システム時間の補正方法*で説明されています。

精度は、PTP 基準クロック入力の周期、オシレータの特性（ドリフト）、および同期プロシージャの頻度などに依存します。

Tx および Rx クロック入力ドメインから PTP 基準クロックドメインへの同期により、ラッチされたタイムスタンプの値の不確定さは、1 基準クロック周期分となります。解像度による不確定さを追加した場合、タイムスタンピングに対して半周期を追加することになります。

PTP 機能を使用したフレームの送信

フレームの SFD が MII に出力されると、タイムスタンプがキャプチャされます。タイムスタンプのキャプチャが必要なフレームは、フレームごとに制御可能です。言い換えると、そのフレームのタイムスタンプをキャプチャする必要があるかどうかを、送信フレームごとにマークできます。送信フレームは、PTP フレームを識別するために処理されません。フレーム制御は、送信ディスクリプタの制御ビットを通じて行われます。キャプチャされたタイムスタンプは、フレームのステータスが返されるときと同じ方法で、アプリケーションに返されます。タイムスタンプは、対応する送信ディスクリプタ内のフレームの送信ステータスとともに送り返されるので、タイムスタンプは特定の PTP フレームに自動的に接続されます。64 ビットのタイムスタンプ情報は、TDES2 および TDES3 フィールドに書き戻されます。TDES2 は、タイムスタンプの下位 32 ビットを保持します。

PTP 機能を使用したフレームの受信

IEEE 1588 タイムスタンピング機能が有効なときには、イーサネット MAC は、MII で受信したすべてのフレームのタイムスタンプをキャプチャします。MAC は、フレームの受信が完了すると、タイムスタンプを与えます。キャプチャされたタイムスタンプは、フレームのステータスが返されるときと同じ方法で、アプリケーションに返されます。タイムスタンプは、対応する受信ディスクリプタ内のフレームの受信ステータスとともに送り返されます。64 ビットのタイムスタンプ情報は、RDES2 および RDES3 フィールドに書き戻されます。RDES2 は、タイムスタンプの下位 32 ビットを保持します。

システム時間の補正方法

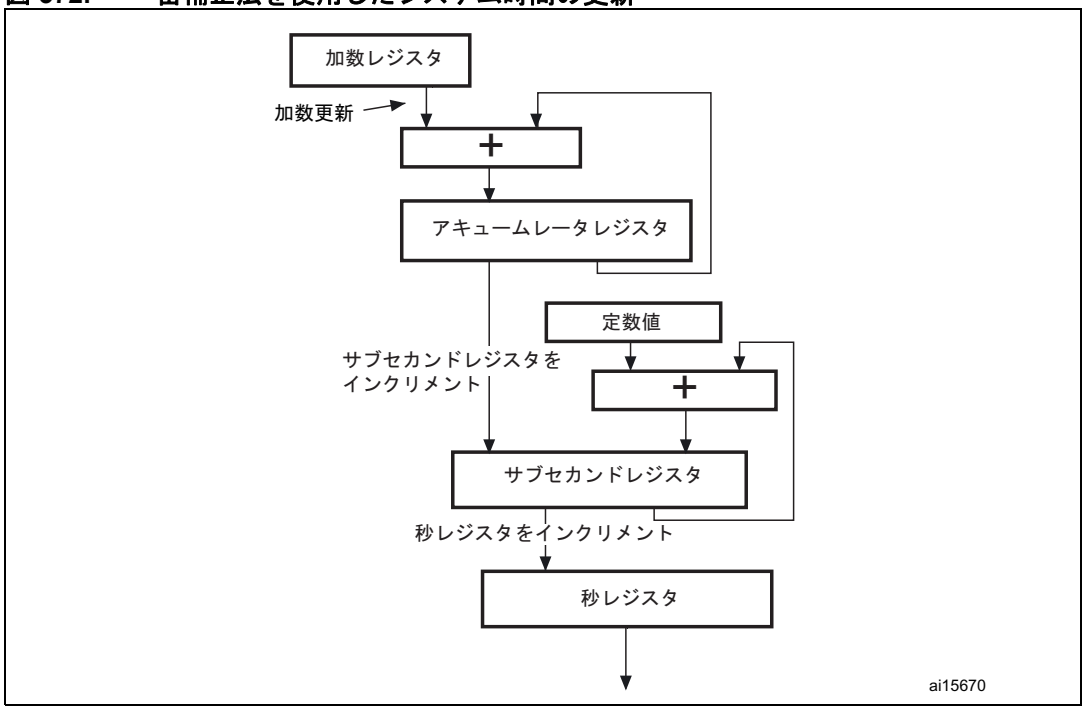
64 ビットの PTP 時間は、PTP 入力基準クロック HCLK を使用して更新されます。この PTP 時間は、MII で送受信されるイーサネットフレームのスナップショット（タイムスタンプ）をとるためのソースとして使用されます。システム時間カウンタは、粗密補正法を使用して初期化または補正できます。

粗補正法では、初期値またはオフセット値がタイムスタンプ更新レジスタ（*セクション 33.8.3 : IEEE 1588 タイムスタンプレジスタ（1229 ページ）*を参照）に書き込まれます。初期化の場合は、システムタイムカウンタにタイムスタンプ更新レジスタの値が書き込まれますが、システム時間の補正の場合は、オフセット値（タイムスタンプ更新レジスタ）がシステム時間に加算または減算されます。

密補正法では、マスタクロックに対するスレーブクロック（基準クロック）の周波数ドリフト（IEEE 1588 で定義）が、一定時間にわたって補正されますが、粗密補正法では、補正は 1 クロックサイクルで行われます。補正時間が長いほど、リニア時間を維持しやすく、PTP 同期メッセージインターバル間の基準時間に大きな変化（または大きなジッタ）が生じません。この方法では、*図 372* に示されるように、加算器が加数レジスタの内容を累積します。加算器が生成する桁上げは、システム時間カウンタをインクリメントするためのパルスとして使用されます。加算器と加数レジスタは、32 ビットのレジスタです。したがって、加算器は、高精度な周波数逓倍器または分周器として動作します。*図 372* に、このアルゴリズムを示します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 372.　密補正法を使用したシステム時間の更新



システム時間更新ロジックは、20 ns の精度を達成するために 50 MHz のクロック周波数を必要とします。周波数分周比は、必要なクロック周波数に対する基準周波数の比です。したがって、基準クロック（HCLK）が、たとえば 66 MHz の場合、分周比は 66 MHz/50 MHz = 1.32 になります。したがって、レジスタで設定するデフォルトの加数値は、2^{32}/1.32、すなわち 0xC1F0 7C1F です。

基準クロックが低周波数側にドリフトして、たとえば 65 MHz になった場合、分周比は 65/50、すなわち 1.3 となり、加数レジスタで設定する値は 2^{32}/1.30、すなわち 0xC4EC 4EC4 です。基準クロックが高周波数側にドリフトして、たとえば 67 MHz になった場合は、加数レジスタを 0xBF0 B7672 に設定する必要があります。クロックのドリフトがゼロのときには、デフォルトの加数値として 0xC1F0 7C1F （2^{32}/1.32）をプログラムする必要があります。

図 372 では、サブセカンドレジスタをインクリメントするために使用される定数値は、0d43 です。これにより、システム時間は 20 ns の精度になります（言い換えると、20 ns 単位でインクリメントされます）。

ソフトウェアは、同期メッセージに基づいて周波数のドリフトを計算し、それに応じて加数レジスタを更新する必要があります。最初に、スレーブクロックは加数レジスタで FreqCompensationValue0 で設定されます。この値は、次のとおりです。

FreqCompensationValue0 = 2^{32}/ FreqDivisionRatio

MasterToSlaveDelay が連続した同期メッセージで同じであると仮定した場合、以下のアルゴリズムが適用されなければなりません。数サイクルの同期サイクル後、周波数ロックが発生します。スレーブクロックは、正確な MasterToSlaveDelay 値を決定して、新しい値を使用してマスタと再同期します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

アルゴリズムは、次のとおりです。

- MasterSyncTime (n) の時点で、マスタはスレーブクロックに同期メッセージを送信します。スレーブは、ローカルクロックが SlaveClockTime (n) のときに、このメッセージを受信して、MasterClockTime (n) を次のように計算します。

  MasterClockTime (n) = MasterSyncTime (n) + MasterToSlaveDelay (n)

- 現在の同期サイクルのマスタクロックカウント、MasterClockCount (n) は、次の式で求められます。

  MasterClockCount （n）= MasterClockTime （n）– MasterClockTime （n – 1）
  （MasterToSlaveDelay が同期サイクル n と n -1 で同じであると仮定）

- 現在の同期サイクルのスレーブクロックカウント、SlaveClockCount (n) は、次の式で求められます。

  SlaveClockCount (n) = SlaveClockTime (n) – SlaveClockTime (n – 1)

- 現在の同期サイクルのマスタとクロックのクロックカウントの差、MasterClockCount (n) は、次の式で求められます。

  ClockDiffCount (n) = MasterClockCount (n) – SlaveClockCount (n)

- スレーブクロックの周波数スケーリングファクタ、FreqScaleFactor (n) は、次の式で求められます。

  FreqScaleFactor (n) = （MasterClockCount (n) + ClockDiffCount (n)) / SlaveClockCount (n)

- 加数レジスタの周波数補正値、FreqCompensationValue (n) は、次の式で求められます。

  FreqCompensationValue (n) = FreqScaleFactor (n) × FreqCompensationValue (n – 1)

理論的には、このアルゴリズムは 1 同期サイクルでロックを達成しますが、ネットワークの伝搬遅延と動作条件の変動のために、数サイクルかかる場合もあります。

このアルゴリズムは自己補正型です。すなわち、何らかの理由で、最初にスレーブクロックが正しくないマスタからの値に設定された場合でも、アルゴリズムは同期サイクルを数サイクル費やして、それを補正します。

システム時間生成初期化のプログラミング手順

タイムスタンピング機能は、タイムスタンプ制御レジスタ（ETH_PTPTSCR）のビット 0 をセットすることによって有効にできます。ただし、タイムスタンプ動作を開始するには、このビットをセットした後、タイムスタンプカウンタを初期化する必要があります。正しいシーケンスは、次のとおりです。

1. MACIMR レジスタのビット 9 をセットすることによって、タイムスタンプトリガ割り込みをマスクします。
2. タイムスタンプレジスタのビット 0 をプログラムして、タイムスタンピングを有効にします。
3. PTP クロック周波数に基づいて、サブセカンドインクリメントレジスタをプログラムします。
4. 密補正法を使用する場合は、タイムスタンプ加数レジスタをプログラムし、タイムスタンプ制御レジスタのビット 5 （加数レジスタの更新）をセットします。
5. ビット 5 がクリアされるまで、タイムスタンプ制御レジスタにポーリングします。
6. 密補正法を選択するには（必要な場合）、タイムスタンプ制御レジスタのビット 1 をプログラムします。
7. タイムスタンプハイ更新およびタイムスタンプロー更新レジスタを適切な時間値でプログラムします。
8. タイムスタンプ制御レジスタのビット 2（タイムスタンプ初期化）をセットします。
9. タイムスタンプカウンタは、タイムスタンプ更新レジスタに書き込まれた値で初期化されると、動作を開始します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

10. 適切なタイムスタンピングのためには、MAC レシーバおよびトランスミッタを有効にします。

注： ***ETH_PTPTSCR レジスタのビット 0 をクリアすることによってタイムスタンプ動作が無効にされた場合、タイムスタンプ動作をリスタートするには、上記の手順を繰り返す必要があります。***

粗補正法でのシステム時間更新のプログラミング手順

システム時間をワンプロセスで同期または更新するには（粗補正法）、以下の手順を実行します。

1. タイムスタンプ更新ハイおよびローレジスタにオフセットを書き込みます（正または負）。
2. タイムスタンプ制御レジスタのビット 3（TSSTU）をセットします。
3. TSSTU ビットがクリアされると、タイムスタンプ更新レジスタの値がシステム時間に加えられるか、差し引かれます。

密補正法でのシステム時間更新のプログラミング手順

システム時間を同期または更新して、システム時間のジッタを減らすには（密補正法）、以下の手順を実行します。

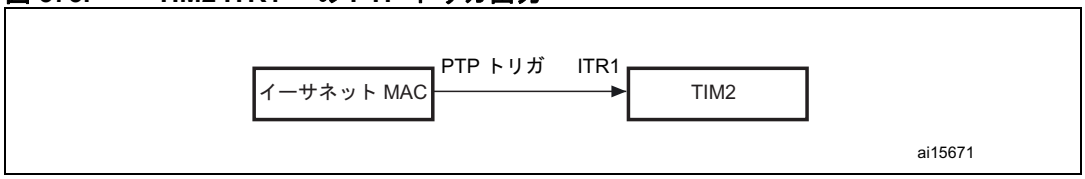
1. *セクション ： システム時間の補正方法*で説明されているアルゴリズムを使用して、システム時間のインクリメントをスピードアップまたはスローダウンさせる割合を計算します。
2. タイムスタンプを更新します。
3. 加数レジスタの新しい値として有効にしたい時間まで待ちます。このためには、システム時間が目標値に達した後、タイムスタンプトリガ割り込みを有効にします。
4. 目標時間ハイおよびローレジスタで、必要な目標時間をプログラムします。ETH_MACIMR レジスタのビット 9 をクリアすることによって、タイムスタンプ割り込みマスクを解除します。
5. タイムスタンプ制御レジスタのビット 4（TSARU）をセットします。
6. このトリガによって割り込みが発生したときには、ETH_MACSR レジスタを読み出します。
7. タイムスタンプ加数レジスタを元の値で再プログラムし、ETH_TPTSCR レジスタのビット 5 を再びセットします。

TIM2 と PTP トリガの内部接続

MAC は、システム時間が目標時間を超えたときにトリガ割り込みを行います。割り込みを使用すると、既知の遅延に加えて、コマンド実行時間の不確定性が導入されます。

この不確定性を避けるために、システム時間が目標時間より大きいときには、PTP トリガ出力信号はハイにセットされます。割り込みは、内部的に TIM2 入力トリガに接続されます。この信号により、入力キャプチャ機能、出力比較機能、およびタイマ波形が、同期された PTP システム時間のトリガによって使用可能になります。タイマ （PCLK1：TIM2 APB1 クロック）のクロックと PTP 基準クロック （HCLK）は同期しているため、不確定性は生じません。
この PTP トリガ信号は、ソフトウェアによって選択可能な TIM2 ITR1 入力に接続されます。接続は、TIM2 オプションレジスタ（TIM2_OR）のビット 11 とビット 10 を使って有効化されます。*図 373* に、この接続を示します。

図 373. TIM2 ITR1 への PTP トリガ出力



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

PTP の PPS（Pulse-per-second）出力信号

この PTP パルス出力は、ネットワーク内のすべてのノード間の同期をチェックするために使用されます。ローカルスレーブクロックとマスタ基準クロック間の違いをテストできるように、両方のクロックに、必要に応じてオシレータに接続可能な PPS（Pulse-per-second）出力信号が与えられています。したがって、2 つの信号間の偏差を測定することができます。PPS 出力のパルス幅は 125 ms です。

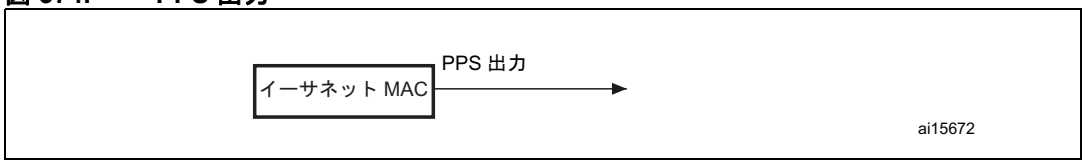
PPS 出力は、TIM2 オプションレジスタ（TIM2_OR）のビット 11 とビット 10 を使って有効化されます。

PPS 出力のデフォルト周波数は 1 Hz です。PPSFREQ[3:0]（ETH_PTPPPSCR）を使って PPS 出力の周波数を $2^{PPSFREQ}$ Hz に設定することができます。

1 Hz に設定すると、PPS パルス幅は、バイナリロールオーバー（TSSSR=0、ETH_PTPTSCR のビット 9）で 125 ms に、ジタルロールオーバー（TSSSR=1）で 100 ms に、それぞれなります。2 Hz 以上に設定すると、PPS 出力のデューティサイクルはバイナリロールオーバーで 50% です。

デジタルロールオーバー（TSSSR=1）では、1 Hz 以外の周波数を持つ PPS 出力を使用しないことが推奨されます。これは、異常な波形を持つためです （平均周波数は任意の 1秒ウインドウ内で常に正しいのですが）。

図 374. PPS 出力



33.6 イーサネット機能の説明：DMA コントローラ動作

DMA には、独立した送信および受信エンジンと CSR スペースがあります。送信エンジンは、データをシステムメモリから Tx FIFO に転送し、受信エンジンは、データを Rx FIFO からシステムメモリに転送します。コントローラは、ディスクリプタを利用して、データをソースからデスティネーションに最小限の CPU 介入によって効率的に移動します。DMA は、イーサネットのフレームなど、パケット指向のデータ転送を行うように設計されています。コントローラは、フレーム送受信完了やその他の正常／エラー条件発生の場合に CPU に割り込むようにプログラムすることができます。DMA と STM32F4xxは、次の 2 つのデータ構造を使用して通信します。

- 制御およびステータスレジスタ（CSR）
- ディスクリプタのリストおよびデータバッファ

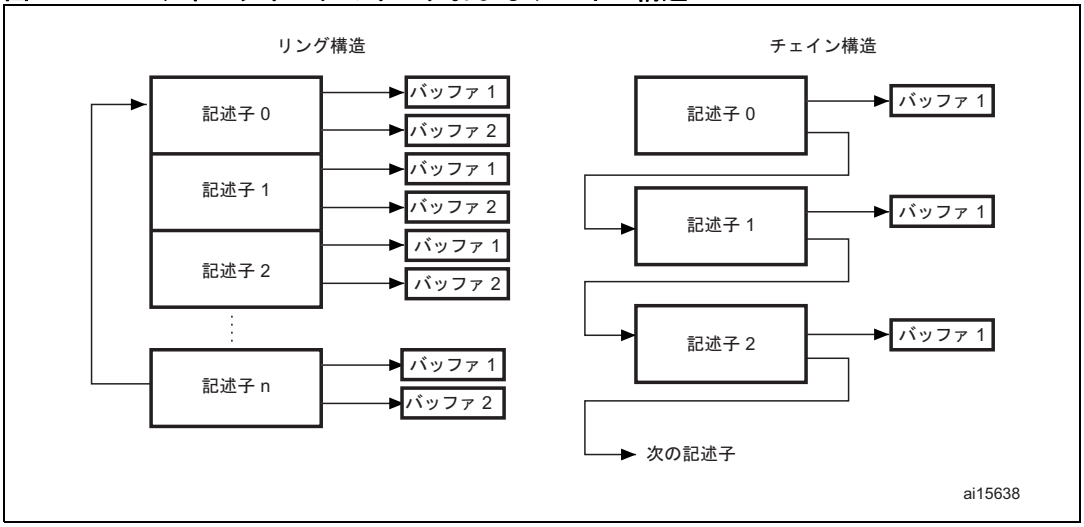
制御およびステータスレジスタについては、*セクション 33.8（1204 ページ）*で詳しく説明されています。ディスクリプタについては、*セクション（1184 ページ）*で詳しく説明されています。

DMA は、受信したデータフレームをSTM32F4xx メモリ内の受信バッファに転送し、データフレームを STM32F4xx メモリ内の送信バッファから転送します。STM32F4xx メモリ内に存在するディスクリプタは、これらのバッファのポインタとして機能します。ディスクリプタリストには、受信用と送信用の 2 つのリストがあります。各リストのベースアドレスは、それぞれ DMA レジスタ 3 および 4 に書き込まれます。ディスクリプタリストは、転送リンクリスト片方向連結リストです（暗黙的または明示的）。最後のディスクリプタから最初のディスクリプタにポイントバックして、リング構造を作ることができます。ディスクリプタの明示的な連鎖は、受信および送信ディスクリプタ（RDES1[14] および TDES0[20]）の両方で連鎖した第 2 のアドレスを設定することによって達成されます。ディスクリプタリストは、ホストの物理メモリ空間に置かれます。各ディスクリプタは、最大 2 つのバッファを指し示すことができます。これにより、メモリ内の隣接した 2 つのバッファではなく、物理的

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

にアドレス指定された 2 つのバッファを使用できます。データバッファは、ホストの物理メモリ空間に置かれ、フレーム全体または一部で構成されますが、1 フレームの長さを超えることはできません。バッファは、データのみを含みます。バッファのステータスは、ディスクリプタ内に保持されます。データ連結とは、複数のデータバッファにまたがるフレームを指します。ただし、1 つのディスクリプタが複数のフレームにまたがることはできません。DMA は、フレームの終わりが検出されると、次のフレームバッファにスキップします。データチェイニングは、有効または無効にすることができます。ディスクリプタのリングおよびチェイン構造を*図 375* に示します。

図 375. ディスクリプタのリングおよびチェイン構造



33.6.1 DMA を使用した転送の初期化

MAC の初期化は、次のとおりです。

1. ETH_DMABMR レジスタに書き込んで、STM32F4xxのバスアクセスパラメータを設定します。
2. ETH_DMAIER レジスタに書き込んで、不要な割り込みの原因をマスクします。
3. ソフトウェアドライバは、送信および受信ディスクリプタリストを作成します。次に、ETH_DMARDLAR および ETH_DMATDLAR レジスタの両方に書き込んで、各リストの開始アドレスを指定します。
4. MAC レジスタ 1、2、および 3 に書き込んで、望ましいフィルタリングオプションを選択します。
5. MAC ETH_MACCR レジスタに書き込んで、送信および受信動作モードを設定し、有効にします。PS および DM ビットは、自動ネゴシエーションの結果（PHY からの読み出し）に基づいてセットされます。
6. ETH_DMAOMR レジスタに書き込んで、ビット 13 および 1 をセットし、送信および受信を開始します。
7. 送信および受信エンジンは動作状態に入り、それぞれのディスクリプタリストからディスクリプタの取得を試みます。続いて、受信および送信エンジンは、受信および送信動作の処理を開始します。送信および受信のプロセスは互いに独立していて、個別に開始または停止できます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

33.6.2 ホストバスバーストアクセス

DMA は、そのように設定された場合（ETH_DMABMR レジスタの FB ビット）、AHB マスタインタフェース上で固定長のバースト転送の実行を試みます。最大バースト長は、PBL フィールド（ETH_DMABMR [13:8]）によって示され、制限されます。受信および送信ディスクリプタは、16 バイトが読み出されるように、常に可能な最大サイズでアクセスされます（PBL によって制限されます）。

送信 DMA は、送信 FIFO に、フレームの終わりまで、設定されたバーストまたはバイト数を収容できる十分なスペースがあるとき（設定されたバースト長以下であるとき）のみ、データ転送を開始します。DMA は、開始アドレスと要求された転送数を AHB マスタインタフェースに対して示します。AHB インタフェースが固定長バーストに設定されているときには、INCR4、INCR8、INCR16、および SINGLE トランザクションの最良の組み合わせを使用してデータを転送します。固定長バーストでない場合は、INCR（未定義の長さ）および SINGLE トランザクションを使用してデータを転送します。

受信 DMA は、設定されたバースト長に対して十分なスペースが受信 FIFO にあるとき、またはフレームの終わり（設定されたバースト長未満であるとき）が受信 FIFO 内で検出されたときのみ、データ転送を開始します。DMA は、開始アドレスと要求された転送数を AHB マスタインタフェースに対して示します。AHB インタフェースが固定長バーストに設定されているときには、INCR4、INCR8、INCR16、および SINGLE トランザクションの最良の組み合わせを使用してデータを転送します。AHB インタフェース上で固定長バーストが終了する前にフレームの終わりに達した場合、固定長バーストを完了するためにダミー転送が実行されます。そうでない場合（ETH_DMABMR の FB ビットがリセットされているとき）、INCR（未定義の長さ）および SINGLE トランザクションを使用してデータを転送します。

AHB インタフェースがアドレスアラインドビート用に設定されているときには、両方の DMA エンジンは、AHB が開始する最初のバースト転送が、設定された PBL のサイズ以下であることを確認します。したがって、後続のビートはすべて、設定された PBL に整列されたアドレスで開始します。AHB インタフェースは INCR16 以上をサポートしていないので、DMA は、最大サイズ 16 までのビートについてのみ（PBL > 16）、アドレスを整列できます。

33.6.3 ホストデータバッファ整列

送信および受信データバッファには、開始アドレスの整列について制約はありません。32 ビットメモリを持つシステムでは、バッファの開始アドレスは 4 つのバイトのいずれにも整列できます。ただし、DMA は常に、要求されなかったバイトレーンについては、ダミーデータでバス幅に揃えたアドレスで転送を開始します。これは、通常、イーサネットフレームの始めまたは終わりの転送時に発生します。

- バッファ読み出しの例：

  送信バッファアドレスが 0x0000 0FF2 であり、15 バイトの転送が必要な場合、DMA は、アドレス 0x0000 0FF0 から 5 つの完全なワードを読み出しますが、送信 FIFO へのデータ転送時に、余分なバイト（最初の 2 バイト）がドロップまたは無視されます。同様に、最後の転送の最後の 3 バイトも無視されます。DMA は、フレームの終わりでない限り、常に、完全な 32 ビットデータを送信 FIFO に転送することを保証します。

- バッファ書き込みの例：

  受信バッファアドレスが 0x0000 0FF2 であり、受信したフレームの 16 バイトを転送する必要がある場合、DMA は、5 つの完全な 32 ビットデータアイテムをアドレス 0x0000 0FF0 から書き込みます。ただし、最初の転送の最初の 2 バイトと 3 番目の転送の最後の 2 バイトはダミーデータとなります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

33.6.4 バッファサイズの計算

DMA は、送信および受信ディスクリプタのサイズフィールドを更新しません。DMA は、ディスクリプタのステータスフィールド（xDES0）のみを更新します。ドライバはサイズを計算する必要があります。送信 DMA は、MAC コアに向けて正確なバイト数（TDES1 のバッファサイズフィールドによって示される）を転送します。ディスクリプタが最初としてマークされている場合（TDES0 の FS ビットがセットされている場合）、DMA は、バッファからの最初の転送をフレームの開始としてマークします。ディスクリプタが最後としてマークされている場合（TDES0 の LS ビットがセットされている場合）、DMA は、データバッファからの最後の転送をフレームの終わりとしてマークします。受信 DMA は、バッファが満杯になるか、フレームの終わりを受信するまで、バッファにデータを転送します。ディスクリプタが最後としてマークされていない場合（RDES0 の LS ビット）、そのディスクリプタに対応するバッファは満杯であり、バッファ内の有効データの量は、ディスクリプタの FS ビットがセットされているとき、バッファサイズフィールドからデータバッファポインタオフセットを差し引いた値で正確に示されます。データバッファポインタがデータバス幅に整列されている場合、オフセットはゼロです。ディスクリプタが最後としてマークされている場合、バッファは満杯ではない可能性があります（RDES1 のバッファサイズによって示される）。この最終バッファ内の有効データの量を計算するには、ドライバは、フレーム長（RDES0[29:16] の FL ビット）を読み出して、その値からこのフレーム内の先行バッファのサイズの合計を差し引く必要があります。受信 DMA は、常に、次のフレームの開始を新しいディスクリプタで転送します。

注： ***受信バッファの開始アドレスがシステムデータバス幅に整列されていない場合でも、システムは、システムのバス幅に整列されたサイズの受信バッファを割り当てる必要があります。たとえば、システムがアドレス 0x1000 から始まる 1024 バイト（1 KB）の受信バッファを割り当てた場合、ソフトウェアは、受信ディスクリプタ内のバッファ開始アドレスを 0x1002 のオフセットを持つようにプログラムできます。受信 DMA は、最初の 2 つの位置（0x1000 と 0x1001）にダミーデータを持つフレームをこのバッファに書き込みます。実際のフレームは 0x1002 の位置から書き込まれます。したがって、このバッファ内の実際に使用可能なスペースは、バッファサイズが 1024 バイトとしてプログラムされた場合でも、開始アドレスのオフセットにより、1022 バイトです。***

33.6.5 DMA アービタ

DMA 内のアービタは、AHB マスタインタフェースの送信チャネルアクセスと受信チャネルアクセスの間の調停を行います。ラウンドロビンと固定優先度の 2 種類の調停が可能です。ラウンドロビン調停が選択された場合（ETH_DMABMR レジスタの DA ビットがリセット）、アービタは、送信 DMA と受信 DMA の両方が同時にアクセスを要求したとき、ETH_DMABMR レジスタの PM ビットによってセットされた割合でデータバスを割り当てます。DA ビットがセットされたときには、受信 DMA は、データアクセスの際、常に送信 DMA より優先されます。

33.6.6 DMA へのエラー応答

DMA チャネルによって開始されたデータ転送で、スレーブがエラー応答を返した場合、DMA は、すべての動作を停止して、ステータスレジスタ（ETH_DMASR レジスタ）のエラービットと致命的バスエラービットを更新します。その DMA コントローラは、ペリフェラルのソフトまたはハードリセットと DMA の再初期化の後でのみ、動作を再開できます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

33.6.7 Tx DMA の設定

TxDMA の動作：デフォルト（非 OSF）モード

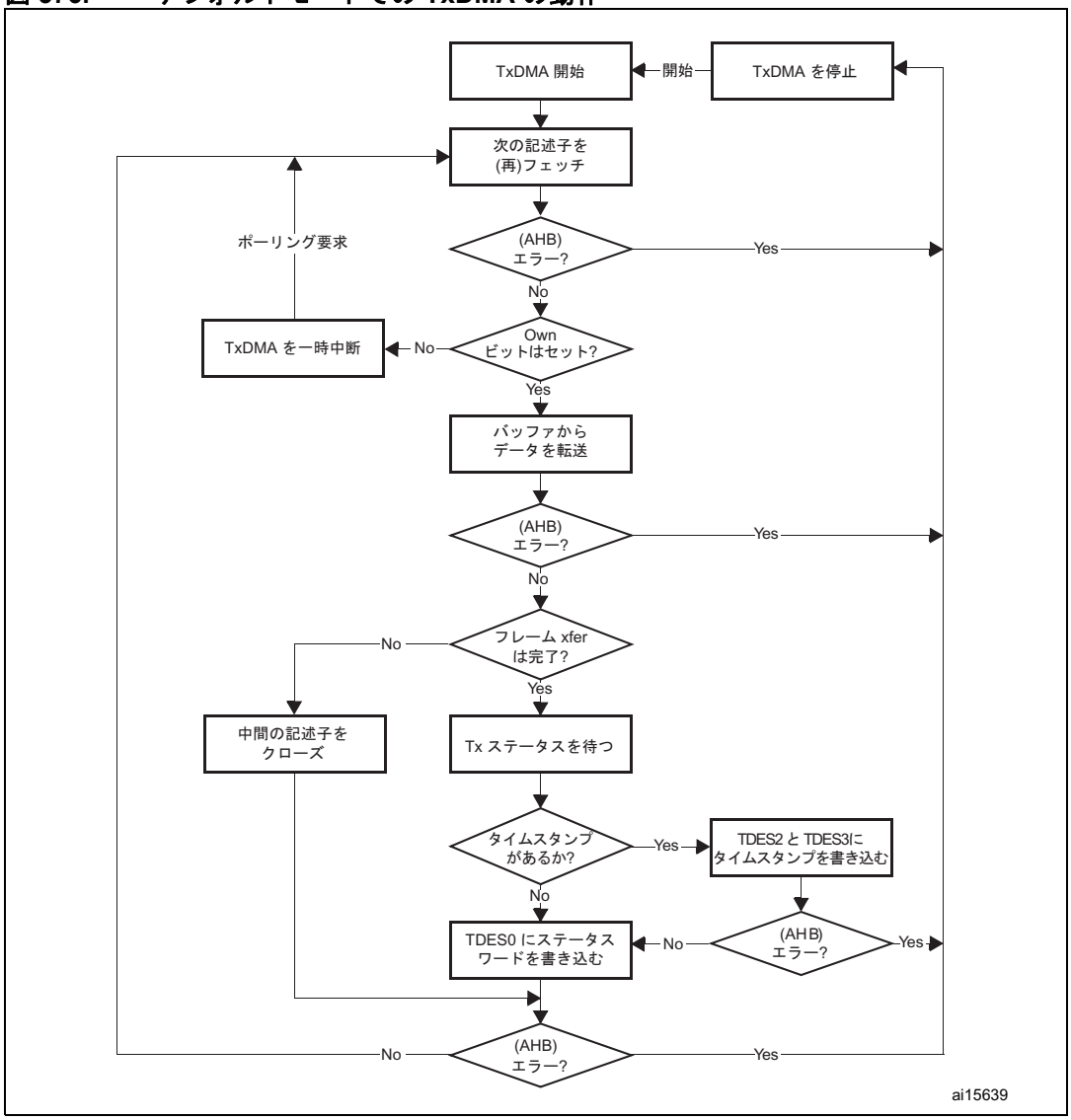
デフォルトモードの送信 DMA エンジンは、次のように動作します。

1. ユーザは、送信ディスクリプタ（TDES0～TDES3）をセットアップし、対応するデータバッファをイーサネットフレームデータでセットアップした後、OWN ビット（TDES0[3:1]）をセットします。
2. ST ビット（ETH_DMAOMR レジスタの [13]）がセットされると、DMA は実行状態に入ります。
3. 実行状態の間、DMA は、送信が必要なフレームの送信ディスクリプタリストをポーリングします。ポーリングの開始後は、シーケンシャルディスクリプタリング順またはチェイン順でポーリングを続行します。DMA が CPU に所有されているというフラグが立てられたディスクリプタを検出するか、エラー条件が発生した場合には、送信は中断され、送信バッファ使用不可ビット（ETH_DMASR レジスタの [2]）と正常割り込み要約ビット（ETH_DMASR レジスタの [16]）がセットされます。送信エンジンは手順 9 へ進みます。
4. 取得したディスクリプタに DMA の所有であるというフラグが立てられていた場合（TDES0[31] がセットされている）、DMA は、取得したディスクリプタから送信データバッファアドレスをデコードします。
5. DMA は、STM32F4xx メモリから送信データをフェッチして、データを転送します。
6. イーサネットフレームが複数のディスクリプタのデータバッファ経由で格納された場合、DMA は、中間のディスクリプタをクローズして、次のディスクリプタをフェッチします。イーサネットフレームデータの終わりが転送されるまで、手順 3、4、および 5 が繰り返されます。
7. フレーム送信が完了すると、IEEE 1588 タイムスタンピングがそのフレームに対して有効な場合（送信ステータスに示される）、タイムスタンプの値がフレーム終わりバッファを含む送信ディスクリプタ（TDES2 および TDES3）に書き込まれます。次に、ステータス情報がこの送信ディスクリプタ（TDES0）に書き込まれます。この手順の間に OWN ビットがクリアされるので、CPU がこのディスクリプタを所有することになります。タイムスタンピングがこのフレームに対して有効でない場合、DMA は TDES2 と TDES3 の内容を変更しません。
8. 最後のディスクリプタで完了時割り込み（TDES1[31]）がセットされているフレームの送信を完了した後、送信割り込み（ETH_DMASR レジスタの [0]）がセットされます。DMA エンジンは手順 3 戻ります。
9. サスペンド状態では、DMA は送信ポーリング要求を受け取ると、ディスクリプタの再取得を試み（その結果、手順 3 に戻り）、アンダーフロー割り込みステータスビットがクリアされます。

図 376 に、デフォルトモードでの TxDMA 送信フローを示します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 376. デフォルトモードでの TxDMA の動作



TxDMA 動作：OSF モード

実行状態では、送信プロセスは、最初のフレームのステータスディスクリプタをクローズしなくても、同時に 2 つのフレームを取得することができます（ETH_DMAOMR レジスタ [2] の OSF ビットがセットされている場合）。送信プロセスが最初のフレームの転送を終了すると、ただちに 2 番目のフレームの送信ディスクリプタリストをポーリングします。2 番目のフレームが有効な場合、送信プロセスは、最初のフレームのステータス情報を書き込む前に、このフレームを転送します。OSF モードでは、実行状態の送信 DMA は、以下のシーケンスに従って動作します。

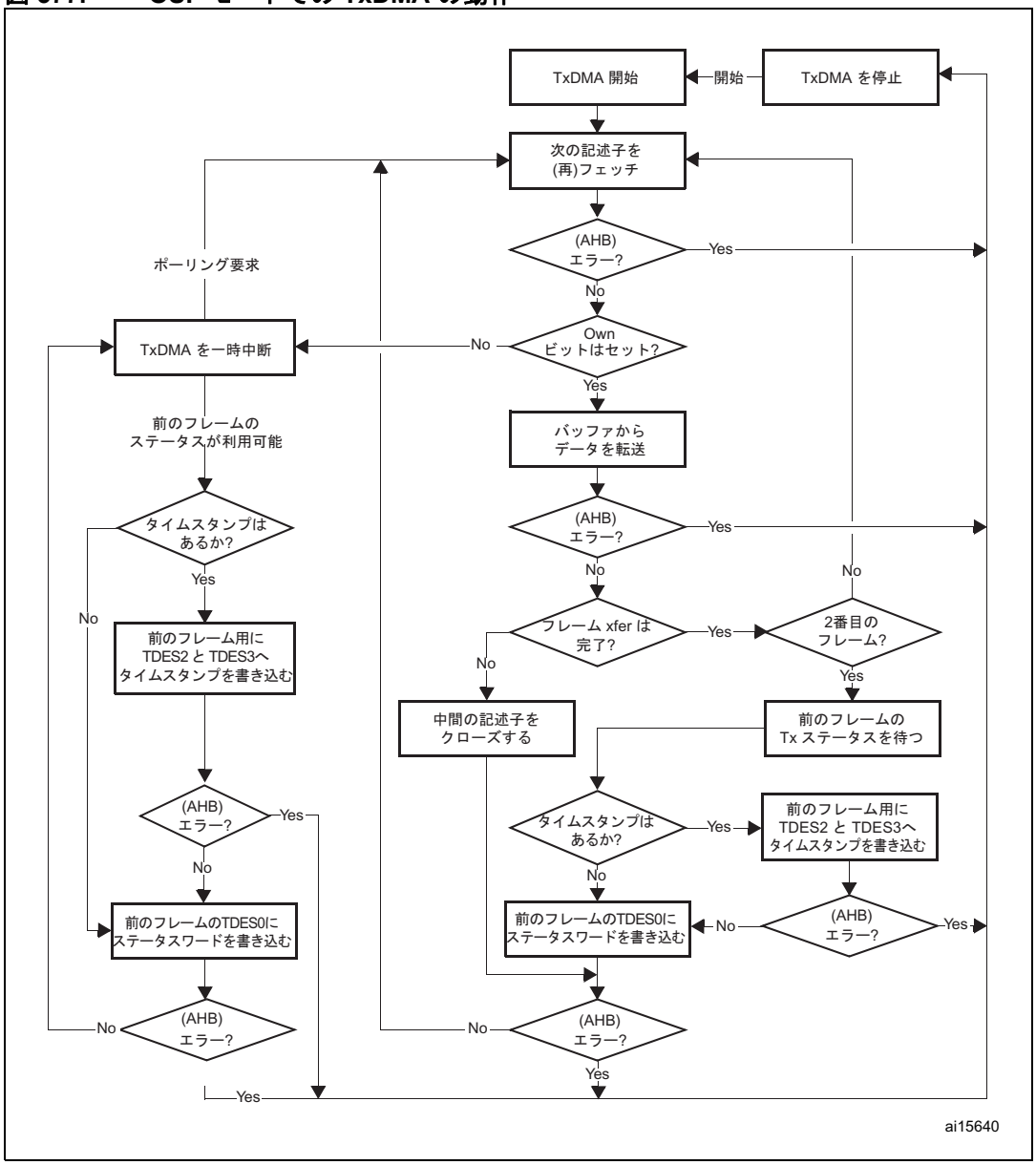
この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

1. DMA は、TxDMA の手順 1～6 で説明されているように動作します（デフォルトモード）。
2. 前のフレームの最後のディスクリプタをクローズせずに、DMA は、次のディスクリプタをフェッチします。
3. DMA が取得したディスクリプタを所有している場合、DMA は、このディスクリプタ内の送信バッファアドレスをデコードします。DMA がディスクリプタを所有していない場合、DMA は、サスペンドモードに入り、手順 7 へスキップします。
4. DMA は、STM32F4xx メモリから送信フレームをフェッチして、フレームデータの終わりが転送されるまで、フレームを転送し、このフレームが複数のディスクリプタに分割されている場合は、中間のディスクリプタをクローズします。
5. DMA は、前のフレームの送信ステータスとタイムスタンプを待ちます。ステータスが入手可能なときには、DMA は、タイムスタンプがキャプチャされていた場合は（ステータスビットで示されます）、タイムスタンプを TDES2 と TDES3 に書き込みます。DMA は、次に、OWN ビットがクリアされたステータスを、対応する TDES0 に書き込み、ディスクリプタをクローズします。タイムスタンピングが前のフレームに対して有効でなかった場合、DMA は、TDES2 と TDES3 の内容を変更しません。
6. 有効な場合は、送信割り込みがセットされ、DMA は、次のディスクリプタをフェッチしてから、手順 3 へ進みます（ステータスが正常な場合）。前の送信ステータスがアンダーフローエラーを示している場合、DMA はサスペンドモードに移行します（手順 7）。
7. サスペンドモードでは、DMA がペンディングステータスとタイムスタンプを受け取った場合、DMA はタイムスタンプを TDES2 と TDES3 に書き込み（現在のフレームに対して有効な場合）、次に、対応する TDES0 にステータスを書き込みます。次に、該当する割り込みをセットして、サスペンドモードに戻ります。
8. DMA は、送信ポーリング要求（ETH_DMATPDR レジスタ）を受け取った後にのみ、サスペンドモードから抜けて、実行状態に入ることができます（ペンディングステータスに応じて、手順 1 または手順 2 へ移行します）。

図 377 に、OSF モードでの基本的なフローチャートを示します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 377. OSF モードでの TxDMA の動作



送信フレームの処理

送信 DMA は、データバッファが、プリアンブル、パッドバイト、および FCS フィールドを除く完全なイーサネットフレームを含んでいることを期待しています。DA、SA、およびタイプ／長さフィールドは、有効なデータを含んでいます。送信ディスクリプタが、MAC コアが CRC またはパッド挿入を無効にする必要があることを示している場合、バッファは、CRC バイトも含めて、完全なイーサネットフレーム（プリアンブルは除外）を持っていなければなりません。フレームは、データチェインであったり、複数のバッファにまたがっていることがあります。フレームは、最初のディスクリプタ（TDES0[28]）と最後のディスクリプタ（TDES0[29]）によって区切られなければなりません。送信が始まると、最初のディスクリプタの TDES0[28] がセットされなければなりません。これが発生すると、フレームデータがメモリバッファから送信 FIFO に転送されます。同時に、現在のフレームの最後のディスクリプタ（TDES0[29]）がクリアされた場合、送信プロセスは、次のディスクリプタの取得を試みます。送信プロセスは、このディスクリプタ内の TDES0[28] がクリアされることを期

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

待します。TDES0[29] がクリアされた場合、中間バッファであることを示します。TDES0[29] がセットされた場合、フレームの最後のバッファであることを示します。フレームの最後のバッファが送信された後、DMA は、送信ディスクリプタ 0（TDES0[29]）で最後のセグメントがセットされたディスクリプタの送信ディスクリプタ 0（TDES0）ワードに最終ステータス情報を書き戻します。この時点で、完了時割り込み （TDES0[30]）がセットされている場合は、送信割り込み（ETH_DMASR レジスタ [0]）がセットされ、次のディスクリプタがフェッチされ、プロセスが繰り返されます。実際のフレーム送信は、送信 FIFO がプログラマブル送信閾値（ETH_DMAOMR レジスタ [16:14]）に達するか、FIFO に完全なフレームが格納された後、開始されます。ストアアンドフォワードモード（ETH_DMAOMR レジスタ [21]）のオプションもあります。DMA がフレームの転送を終了すると、ディスクリプタはリリースされます（TDES0[31] の OWN ビットがクリアされます）。

送信ポーリングのサスペンド

送信ポーリングは、以下の条件のいずれかによって中断できます。

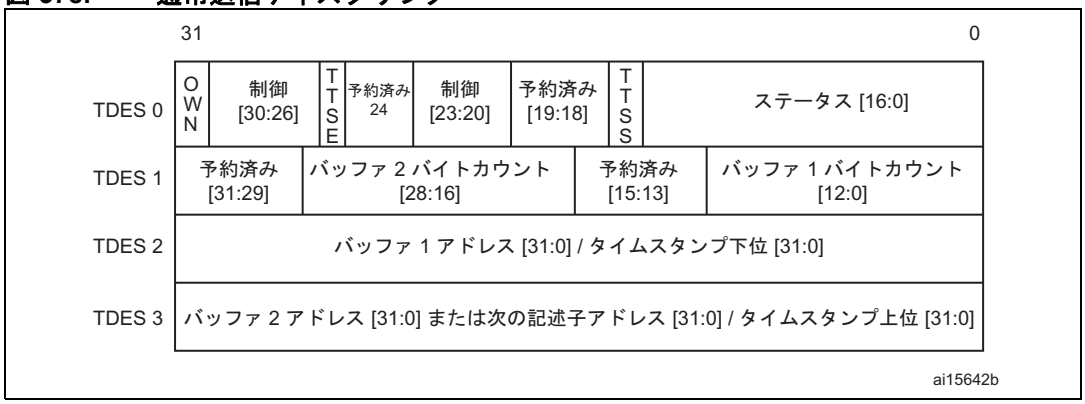
- DMA が CPU によって所有されるディスクリプタ（TDES0[31] =0）を検出したときと、送信バッファ使用不可フラグがセットされたとき（ETH_DMASR レジスタ [2]）。再開するには、ドライバは、ディスクリプタの所有権を DMA に与えた後、ポーリング要求コマンドを発行する必要があります。
- アンダーフローによる送信エラーが検出されると、フレーム送信は中止されます。適切な送信ディスクリプタ 0 （TDES0）ビットがセットされます。2 番目の条件が発生した場合、異常割り込み要約ビット（ETH_DMASR レジスタ [15]）と送信アンダーフロービット（ETH_DMASR レジスタ [5]）の両方がセットされ、情報が送信ディスクリプタ 0 に書き込まれて、送信は中断されます。DMA が最初の条件のためにサスペンド状態に移行した場合、正常割り込み要約ビットビット（ETH_DMASR レジスタ [16]）と送信バッファ使用不可ビット（ETH_DMASR レジスタ [2]）の両方がセットされます。どちらの場合も、送信リスト内の位置は維持されます。維持される位置は、DMA によってクローズされた最後のディスクリプタに続くディスクリプタの位置です。ドライバは、中断の原因を修正した後、送信ポーリング要求コマンドを明示的に発行しなければなりません。

通常Tx DMAディスクリプタ

通常送信ディスクリプタの構造は、*図 378* に示されているように、4 つの 32 ビットワードで構成されます。TDES0、TDES1、TDES2、および TDES3 のビットの説明を以下に示します。

タイムスタンピングがアクティブの場合 （ETH_PTPTSCR ビット 0、TSE=1）、または IPv4 チェックサムオフロードがアクティブの場合 （ETH_MACCR ビット 10、IPCO=1）、拡張ディスクリプタを使う必要があることに注意してください。

図 378. 通常送信ディスクリプタ



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

- **TDES0：送信ディスクリプタワード 0**

  アプリケーションソフトウェアは、ディスクリプタの初期化の際に、制御ビット [30:26]+[23:20] に加えて、OWN ビット [31] もプログラムする必要があります。DMA がディスクリプタを更新する（または書き戻す）ときには、すべての制御ビットに加えて OWN ビットもリセットして、ステータスビットのみを報告します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
OWN	IC	LS	FS	DC	DP	TTSE	予約済み	CIC		TER	TCH	予約済み		TTSS	IHE
rw	rw	rw	rw	rw	rw	rw		rw	rw	rw	rw			rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ES	JT	FF	IPE	LCA	NC	LCO	EC	VF	CC				ED	UF	DB
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31 **OWN**：オウンビット

セットされた場合、このビットは、ディスクリプタが DMA によって所有されていることを示します。このビットがリセットされた場合、ディスクリプタが CPU によって所有されていることを示します。DMA は、フレーム送信を完了したとき、またはディスクリプタの中で割り当てられたバッファが完全に読み出されたときに、このビットをクリアします。フレームの最初のディスクリプタの所有権ビットは、同じフレームに属するすべての後続ディスクリプタがセットされた後にセットされなければなりません。

ビット 30 **IC**：完了割り込み

セットされると、このビットは、現在のフレームが送信された後、送信割り込みビット（レジスタ 5[0]）をセットします。

ビット 29 **LS**：最終セグメント

セットされた場合、このビットは、バッファがフレームの最後のセグメントを含んでいることを示します。

ビット 28 **FS**：先頭セグメント

セットされた場合、このビットは、バッファがフレームの最初のセグメントを含んでいることを示します。

ビット 27 **DC**：CRC を無効化

このビットがセットされると、MAC は、送信フレームの最後に巡回冗長検査コード（CRC）を付加しません。これは、最初のセグメント（TDES0[28]）がセットされたときのみ有効です。

ビット 26 **DP**：パッドを無効化

このビットがセットされると、MAC は、64 バイトより短いフレームにはパッドを自動的に追加しません。このビットがリセットされると、DMA は、64 バイトより短いフレームに自動的にパッドと CRC を追加し、DC（TDES0[27]）ビットの状態に関係なく、CRC フィールドが追加されます。これは、最初のセグメント（TDES0[28]）がセットされたときのみ有効です。

ビット 25 **TTSE**：送信タイムスタンプ有効化

TTSE がセットされ、TSE がセットされると（ETH_PTPTSCR ビット 0）、ディスクリプタによって記述された送信フレームに対して、IEEE 1588 ハードウェアタイムスタンピングが有効になります。このフィールドは、最初のセグメント制御ビット（TDES0[28]）がセットされたときのみ有効で。

ビット 24 予約済みであり、リセット値に保持する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 23:22 **CIC**：チェックサム挿入制御

これらのビットは、チェックサムの計算と挿入を制御します。ビットエンコーディングは、以下のとおりです。

00：チェックサム挿入を無効化

01：IP ヘッダチェックサムのみ計算と挿入を有効化

IP ヘッダチェックサムとペイロードチェックサムの計算と挿入が有効ですが、擬似ヘッダチェックサムはハードウェアでは計算されません。

IP ヘッダチェックサムとペイロードチェックサムの計算と挿入が有効であり、擬似ヘッダチェックサムはハードウェアで計算されます。

ビット 21 **TER**：送信リングの終わり

セットされた場合、このビットは、ディスクリプタリストが最後のディスクリプタに達したことを示します。DMA は、リストのベースアドレスに戻り、ディスクリプタリングを形成します。

ビット 20 **TCH**：セカンドアドレス連鎖

セットされると、このビットは、ディスクリプタ内の 2 番目のアドレスは 2 番目のバッファアドレスではなく、次のディスクリプタのアドレスであることを示します。TDES0[20] がセットされると、TBS2（TDES1[28:16]）の値は「don't care 」値です。TDES0[21] は、TDES0[20] に優先します。

ビット 19:18 予約済みであり、リセット値に保持する必要があります。

ビット 17 **TTSS**：送信タイムスタンプステータス

このフィールドは、記述された送信フレームのタイムスタンプがキャプチャされたことを示すためのステータスビットとして使用されます。このビットがセットされると、TDES2 と TDES3 は、送信フレームに対してキャプチャされたタイムスタンプの値を持ちます。このフィールドは、ディスクリプタの最後のセグメント制御ビット（TDES0[29]）がセットされたときのみ有効です。

拡張ディスクリプタを有効にした場合 （ETH_DMABMR で EDFE=1）、TTSS=1 は TDES6 と TDES7 がタイムスタンプ値を持つことを表示することに注意してください。

ビット 16 **IHE**：IP ヘッダエラー

セットされた場合、このビットは、MAC トランスミッタが IP データグラムヘッダにエラーを検出したことを示します。トランスミッタは、IPv4 パケットのヘッダ長とアプリケーションから受信したヘッダバイト数を比較照合して、不一致があった場合はエラーステータスを示します。IPv6 フレームの場合、ヘッダエラーは、メインヘッダ長が 40 バイトでない場合に報告されます。さらに、IPv4 または IPv6 フレームのイーサネットの長さ／タイプフィールドの値は、パケットとともに受信された IP ヘッダのバージョンに一致しなければなりません。IPv4 フレームの場合は、ヘッダ長フィールドの値が 0x5 未満の場合にも、エラーステータスが示されます。

ビット 15 **ES**：エラー一覧

以下のビットの論理 OR を示します。

TDES0[14]：ジャバタイムアウト

TDES0[13]：フレームフラッシュ

TDES0[11]：キャリア喪失

TDES0[10]：キャリアなし

TDES0[9]：レイトコリジョン

TDES0[8]：過剰コリジョン

TDES0[2]：過剰遅延

TDES0[1]：アンダーフローエラー

TDES0[16]：IP ヘッダエラー

TDES0[12]：IP ペイロードエラー

ビット 14 **JT**：ジャバタイムアウト

セットされた場合、このビットは、MAC トランスミッタがジャバタイムアウトを検出しことを示します。このビットは、MAC 設定レジスタの JD ビットがセットされていないときのみ有効です。

ビット 13 **FF**：フレームフラッシュ

セットされた場合、このビットは、DMA/MTL が、CPU によって与えられたソフトウェアフラッシュコマンドにより、フレームをフラッシュしたことを示します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 12 **IPE**：IP ペイロードエラー

セットされた場合、このビットは、MAC トランスミッタが TCP、UDP、または ICMP IP データグラムペイロード内でエラーを検出したことを示します。トランスミッタは、IPv4 または IPv6 ヘッダで受信したペイロード長を、アプリケーションから受信した TCP、UDP、または ICMP パケットバイトの実際の数と比較照合して、不一致があった場合はエラーステータスを発行します。

ビット 11 **LCA**：キャリア喪失

セットされた場合、このビットは、フレーム送信中にキャリヤの喪失が発生した（すなわち、フレーム送信中に 1 または 2 送信クロック周期の間、MII_CRS 信号が無効であった）ことを示します。このビットは、MAC が半二重モードで動作しているとき、コリジョンなしで送信されたフレームについてのみ有効です。

ビット 10 **NC**：キャリア喪失

セットされた場合、このビットは、送信中に PHY からのキャリヤセンス信号がアサートされなかったことを示します。

ビット 9 **LCO**：レイトコリジョン

セットされた場合、このビットは、コリジョンウィンドウ（MII モードで、プリアンブルを含めて 64 バイト時間）の後でコリジョンが発生したためにフレーム送信が中止されたことを示します。このビットは、アンダーフローエラーがセットされた場合は無効です。

ビット 8 **EC**：過剰コリジョン

セットされた場合、このビットは、現在のフレームの送信を試みている間に 16 の連続したコリジョンが発生した後、送信が中止されたことを示します。MAC 設定レジスタの RD（再試行ディセーブル）ビットがセットされている場合、このビットが最初のコリジョン後にセットされて、フレームの送信が中止されます。

ビット 7 **VF**：VLAN フレーム

セットされた場合、このビットは、送信されたフレームは VLAN タイプであったことを示します。

ビット 6:3 **CC**：コリジョンカウント

この 4 ビットのカウンタの値は、フレームが送信される前に発生したコリジョンの回数を示します。このカウントは、過剰コリジョンビット（TDES0[8]）がセットされているときには無効です。

ビット 2 **ED**：過剰遅延

セットされた場合、このビットは、MAC 制御レジスタの遅延チェック（DC）ビットがハイにセットされている場合、24,288 ビット時間を超える過剰遅延があったために送信が終了したことを示します。

ビット 1 **UF**：アンダーフローエラー

セットされた場合、このビットは、RAM メモリからのデータが遅れて到着したために、MAC がフレーム送信を中止したことを示します。アンダーフローエラーは、DMA がフレーム送信中に空の送信バッファを検出したことを示します。送信プロセスはサスペンド状態に移行し、送信アンダーフロービット（レジスタ 5[5]）と送信割り込みビット（レジスタ 5[0]）の両方をセットします。

ビット 0 **DB**：遅延ビット

セットされた場合、このビットは、キャリヤの存在のために MAC がフレーム送信を延期したことを示します。このビットは、半二重モードでのみ有効です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

- **TDES1：送信ディスクリプタワード 1**

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み			TBS2													予約済み			TBS1												
			rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

31:29 予約済みであり、リセット値に保持する必要があります。

28:16 **TBS2**：送信バッファ 2 サイズ

これらのビットは、第 2 のデータバッファのサイズをバイト数で示します。このフィールドは、TDES0 [20] がセットされた場合は無効です。

15:13 予約済みであり、リセット値に保持する必要があります。

12:0 **TBS1**：送信バッファ 1 サイズ

これらのビットは、第 1 のデータバッファのサイズをバイト数で示します。このフィールドが 0 の場合、DMA は、このバッファを無視して、TCH（TDES0[20]）の値に応じて、バッファ 2 または次のディスクリプタを使用します。

- **TDES2：送信ディスクリプタワード 2**

TDES2 は、ディスクリプタの最初のバッファのアドレスポインタ、またはタイムスタンプデータを含みます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TBAP1/TBAP/TTSL																															
rw																															

ビット 31:0 **TBAP1**：送信バッファ 1 アドレスポインタ／送信フレームタイムスタンプロー

これらのビットは、メモリ内のデータのロケーションを DMA に知らせること、および全データ転送後に、DMA はこれらのビットを使ってタイムスタンプデータを返すという 2 つの機能を持ちます。

TBAP：ソフトウェアがこのディスクリプタを DMA から使用可能にすると（TDES0 の OWN ビットが 1 にセットされたとき）、これらのビットは、バッファ 1 の物理アドレスを示します。バッファアドレスの整列に関する制約はありません。バッファアドレスの整列の詳細については、*ホストデータバッファ整列（1178 ページ）を参照してください。*

TTSL：TDES0 の OWN ビットをクリアする前に、DMA は、対応する送信フレームについてキャプチャされたタイムスタンプの下位 32 ビットでこのフィールドを更新します（TBAP1 の値を上書きします）。このフィールドは、このフレームについてタイムスタンピングが有効であり（TTSE、TDES0 ビット 25 を参照）、ディスクリプタの最後のセグメント制御ビット（LS）がセットされている場合のみ、タイムスタンプの値を含みます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

- **TDES3：送信ディスクリプタワード 3**

  TDES3 は、ディスクリプタまたは次のディスクリプタの第 2 のバッファのアドレスポインタ、またはタイムスタンプデータを含みます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TBAP2/TBAP2/TTSH																															
rw																															

ビット 31:0 **TBAP2 :** 送信バッファ 2 アドレスポインタ（次のディスクリプタアドレス）/送信フレームタイムスタンプハイ

これらのビットは、メモリ内のデータのロケーションを DMA に知らせること、および全データ転送後に、DMA はこれらのビットを使ってタイムスタンプデータを返すという 2 つの機能を持ちます。

TBAP2：ソフトウェアがこのディスクリプタを DMA から使用可能にすると（TDES0 の OWN ビットが 1 にセットされたとき）、これらのビットは、ディスクリプタリング構造が使用されるとき、バッファ 1 の物理アドレスを示します。セカンドアドレス連鎖（TDES1 [24]）ビットがセットされた場合、このアドレスは、次のディスクリプタが存在する物理メモリのポインタを含みます。バッファアドレスポインタは、TDES1 [24] がセットされているときのみ、バス幅に整列されなければなりません。（LSB は内部で無視されます。）

TTSH：TDES0 の OWN ビットをクリアする前に、DMA は、対応する送信フレームのタイムスタンプの上位 32 ビットでこのフィールドを更新します（TBAP2 の値を上書きします）。このフィールドは、このフレームについてタイムスタンピングが有効であり（TTSE、TDES0 ビット 25 を参照）、ディスクリプタの最後のセグメント制御ビット（LS）がセットされている場合のみ、タイムスタンプの値を含みます。

拡張 Tx DMAディスクリプタ

タイムスタンピングがアクティブの場合（TSE=1、ETH_PTPTSCR ビット 0）、または IPv4 チェックサムオフロードがアクティブの場合 （IPCO=1、ETH_MACCR ビット 10）、拡張ディスクリプタ（EDFE=1、ETHDMABMR ビット 7 で有効化）を使う必要があります。

拡張ディスクリプタは 8 個の 32 ビットワードから構成され、通常ディスクリプタサイズの 2 倍です。TDES0、TDES1、TDES2 、TDES3 の定義は、通常送信ディスクリプタと同じです （*通常Tx DMA ディスクリプタ*参照）。TDES6 と TDES7 はタイムスタンプを保持します。TDES4、TDES5、TDES6、TDES7 は次のように定義されます。

拡張ディスクリプタモードを選択する場合、ソフトウェアは 32 バイトのメモリ （8 DWORDS）を各ディスクリプタに割り当てる必要があります。タイムスタンピングまたは IPv4 チェックサムオフロードを使用しない場合は、拡張ディスクリプタフォーマットを無効化でき、ソフトウェアは 16 バイトのデフォルトサイズを持つ通常ディスクリプタを使うことができます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 379. 拡張送信ディスクリプタ



- TDES4：送信ディスクリプタワード 4

  予約済み

- TDES5：送信ディスクリプタワード 5

  予約済み

- **TDES6：送信ディスクリプタワード 6**

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TTSL																															
rw																															

ビット 31:0 **TTSL**：送信フレームタイムスタンプロー

このフィールドは、DMA によって、対応する送信フレームについてキャプチャされたタイムスタンプの下位 32 ビットで更新されます。このフィールドは、ディスクリプタの最後のセグメント制御ビット（LS）がセットされている場合にのみ、タイムスタンプの値を持ちます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

- **TDES7：送信ディスクリプタワード 7**

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TTSH																															
rw																															

ビット 31:0 **TTSH**：送信フレームタイムスタンプハイ

このフィールドは、DMA によって、対応する送信フレームについてキャプチャされたタイムスタンプの上位 32 ビットで更新されます。このフィールドは、ディスクリプタの最後のセグメント制御ビット（LS）がセットされている場合にのみ、タイムスタンプの値を持ちます。

33.6.8 Rx DMA の設定

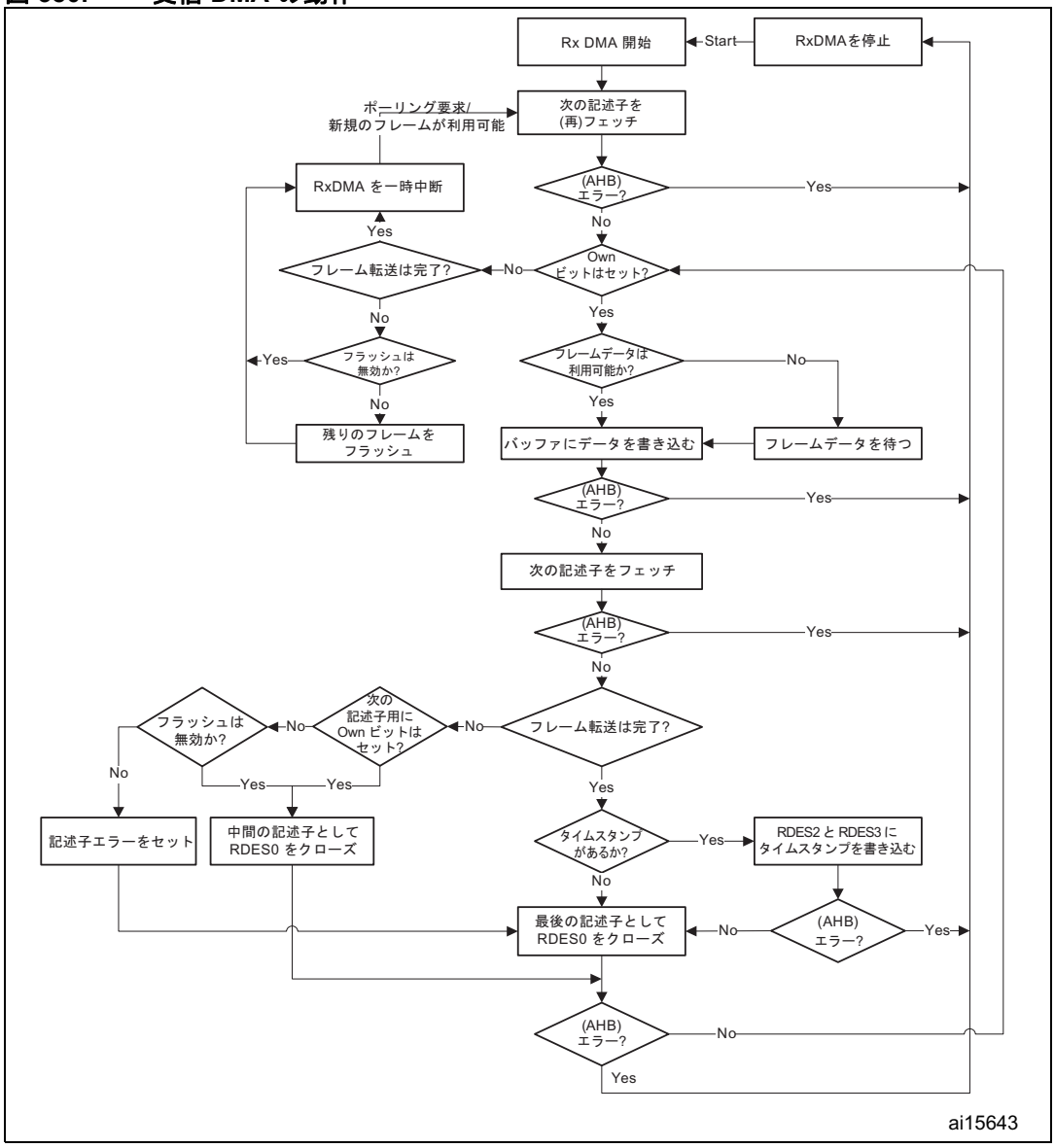
受信 DMA エンジンの受信シーケンスを*図 380* に示し、以下で説明します。

1. CPU は、受信ディスクリプタ（RDES0-RDES3）をセットアップし、OWN ビット（RDES0[31]）をセットします。
2. SR ビット（ETH_DMAOMR レジスタの [13]）がセットされると、DMA は実行状態に入ります。実行状態の間、DMA は、受信ディスクリプタリストをポーリングして、未使用のディスクリプタの取得を試みます。フェッチされたディスクリプタが未使用でない（CPU に所有されている）場合、DMA はサスペンド状態に入り、手順 9 へジャンプします。
3. DMA は、取得したディスクリプタから受信データバッファアドレスをデコードします。
4. 受信フレームは処理され、取得されたディスクリプタのデータバッファに格納されます。
5. バッファが満杯になるか、フレーム転送が完了すると、受信エンジンは次のディスクリプタをフェッチします。
6. 現在のフレーム転送が完了した場合、DMA は手順 7 に進みます。DMA がフェッチされた次のディスクリプタを所有せず、フレーム転送が完了していない（EOF がまだ転送されていない）場合、DMA は、RDES0 のディスクリプタエラービットをセットします（フラッシュが無効にされていない場合）。DMA は現在のディスクリプタをクローズし（OWN ビットをクリア）、RDES1 値の最後のセグメント（LS）ビットをクリアすることによって、中間ディスクリプタとしてマークした後（フラッシュが無効にされていない場合は最後のディスクリプタとしてマーク）、手順 8 に進みます。DMA が次のディスクリプタを所有しているが、現在のフレーム転送をまだ完了していない場合、DMA は現在のディスクリプタを中間ディスクリプタとしてクローズして、手順 4 に戻ります。
7. IEEE 1588 タイムスタンピングが有効な場合、DMA は、現在のディスクリプタの RDES2 と RDES3 にタイムスタンプ（入手可能な場合）を書き込みます。DMA は、次に、受信したフレームのステータスを取り出し、そのステータスワードを、OWN ビットがクリアされ、最後のセグメントビット（LS）がセットされている現在のディスクリプタの RDES0 に書き込みます。
8. 受信エンジンは、最新のディスクリプタの OWN ビットをチェックします。CPU がディスクリプタを所有している場合（OWN ビットが 0）、受信バッファ使用不可ビット（ETH_DMASR レジスタ [7]）がセットされ、DMA 受信エンジンはサスペンド状態に入ります（手順 9）。DMA がディスクリプタを所有している場合、エンジンは手順 4 に戻り、次のフレームを待ちます。
9. 受信エンジンがサスペンド状態に入る前に、部分フレームは受信 FIFO からフラッシュされます（フラッシュは、TH_DMAOMR レジスタのビット 24 を使用して制御できます）。
10. 受信 DMA は、ポーリング受信要求が与えられたとき、または受信 FIFO から次のフレームの始めが入手可能となったときに、サスペンド状態から抜けます。エンジンは手順 2 に進み、次のディスクリプタを再びフェッチします。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

DMA は、タイムスタンプの書き戻しを完了して、ディスクリプタのステータスの書き戻しを実行する用意ができるまで、スタータスの受け取りを確認応答しません。ソフトウェアが CSR を通じてタイムスタンピングを有効にした場合、フレームの有効なタイムスタンプの値が入手できないときは（たとえば、タイムスタンプの書き込みが完了する前に受信 FIFO が満杯になったときなど）、DMA は RDES2 と RDES3 にすべて 1 を書き込みます。そうでない場合（すなわち、タイムスタンピングが有効でない場合）、RDES2 と RDES3 は変更なく維持されます。

図 380. 受信 DMA の動作



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

受信ディスクリプタの取得

受信エンジンは、常に、受信フレームを期待して、ディスクリプタをさらに取得しようと試みます。以下の条件のいずれかが満たされた場合、ディスクリプタの取得が試みられます。

- DMA が実行状態に入った直後に、受信スタート／ストップビット（ETH_DMAOMR レジスタ [1]）がセットされた。
- 現在のディスクリプタのデータバッファが、現在転送中のフレームの終わりの前に満杯である。
- コントローラがフレームの受信を完了したが、現在の受信ディスクリプタがまだクローズされていない。
- CPU 所有のバッファ（RDES0[31] = 0）のために受信プロセスが中断され、新しいフレームが受信された。
- 受信ポーリング要求が発行された。

受信フレームの処理

MAC は、フレームがアドレスフィルタを通過し、フレームサイズが受信 FIFO に対して設定された設定可能な閾値バイト以上であるか、完全なフレームがストアアンドフォワードモードで FIFO に書き込まれたときにのみ、受信したフレームを STM32F4xxメモリに転送します。フレームがアドレスフィルタを通過できなかった場合は、MAC ブロック自身の中でドロップされます（すべて受信ビット（ETH_MACFFR [31]）がセットされている場合を除きます）。コリジョンや早すぎる終了のために 64 バイトより短くなったフレームは、受信 FIFO から消去されます。64 バイト（設定可能な閾値）が受信された後、DMA ブロックは、現在のディスクリプタによって示される受信バッファへのフレームデータの転送を開始します。DMA は、DMA AHB インタフェースがデータ転送を受け取る準備ができた後（DMA がメモリから送信データをフェッチしていない場合）、最初のディスクリプタ（RDES0[9]）をセットして、フレームを区切ります。ディスクリプタは、データバッファが満杯になるか、フレームの最後のセグメントが受信バッファに転送されたことによって、OWN （RDES0[31]）ビットが 0 にリセットされると、リリースされます。フレームが単一のディスクリプタに含まれている場合、最後のディスクリプタ（RDES0[8]）ビットと最初のディスクリプタ（RDES0[9]）ビットの両方がセットされます。DMA は次のディスクリプタをフェッチし、最後のディスクリプタ（RDES0[8]）ビットをセットし、前のフレームディスクリプタの RDES0 ステータスビットをリリースします。次に、DMA は、受信割り込みビット（ETH_DMASR レジスタ [6]）をセットします。DMA が CPU によって所有されているというフラグが立てられているディスクリプタを検出しない限り、同じプロセスが繰り返されます。これが発生した場合、受信プロセスは受信バッファ使用不可ビット（ETH_DMASR レジスタ [7]）をセットした後、サスペンド状態に入ります。受信リスト内の位置は維持されます。

中断された受信プロセス

受信プロセスがサスペンド状態にある間に新しい受信フレームが到着した場合、DMA は、STM32F4xx メモリ内の現在のディスクリプタを再フェッチします。現在、ディスクリプタが DMA によって所有されている場合、受信プロセスは再び実行状態に入り、フレーム受信を開始します。.ディスクリプタが依然としてホストによって所有されている場合、デフォルトでは、DMA は、Rx FIFO の最上部にある現在のフレームを破棄して、欠落フレームカウンタをインクリメントします。Rx FIFO 内に複数のフレームが格納されている場合、このプロセスが繰り返されます。Rx FIFO の最上部にあるフレームの破棄またはフラッシュは、DMA 動作モードレジスタのビット 24（DFRF）をセットすることによって回避できます。このような条件では、受信プロセスは、受信バッファ使用不可ステータスビットをセットして、サスペンド状態に戻ります。

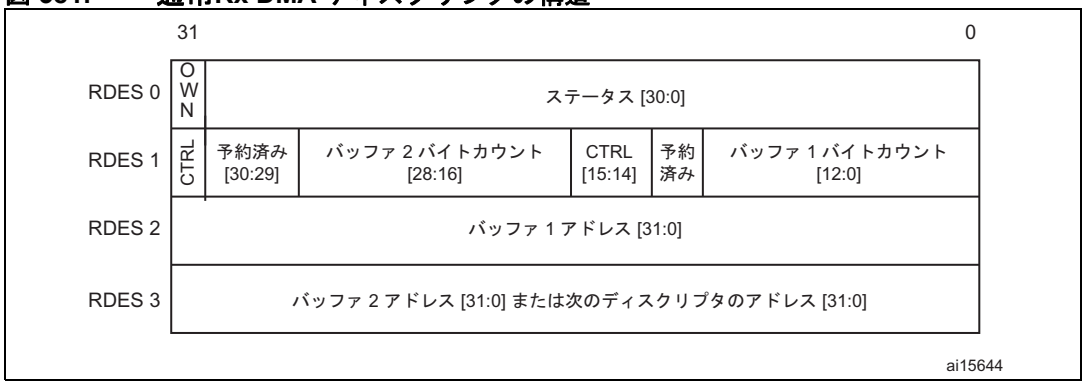
この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

通常Rx DMAディスクリプタ

通常受信ディスクリプタの構造は、4 つの 32 ビットワード（16 バイト）で構成されます。これらを *図 381* に示します。RDES0、RDES1、RDES2、および RDES3 のビットの説明は、以下のとおりです。

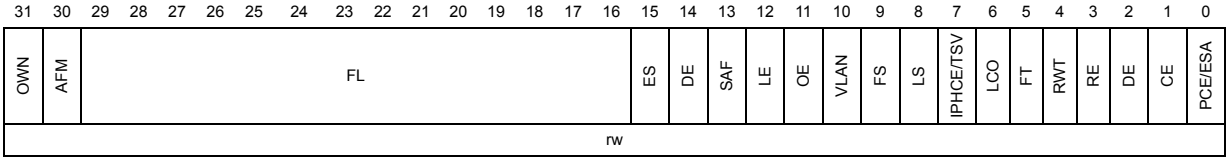
タイムスタンピングがアクティブの場合（TSE=1、ETH_PTPTSCR ビット 0）、または IPv4 チェックサムオフロードがアクティブの場合 （IPCO=1、ETH_MACCR ビット 10）、拡張ディスクリプタを使う必要があることに注意してください。

図 381. 通常Rx DMA ディスクリプタの構造



- **RDES0：受信ディスクリプタワード 0**

  RDSE0 は、受信フレームステータス、フレーム長、およびディスクリプタの所有権情報を含んでいます。



ビット 31 **OWN**：オウンビット

セットされた場合、このビットは、ディスクリプタが MAC サブシステムの DMA によって所有されていることを示します。このビットがリセットされた場合は、ディスクリプタがホストによって所有されていることを示します。DMA は、フレーム受信を完了したとき、または、このディスクリプタに関連するバッファが満杯になったときに、このビットをクリアします。

ビット 30 **AFM**：デスティネーションアドレスフィルタ失敗

セットされた場合、このビットは、フレームが MAC コアで DA フィルタの通過に失敗したことを示します。

ビット 29:16 **FL**：フレーム長

これらのビットは、ホストメモリに転送された受信フレームのバイト長（CRC を含む）を示します。このフィールドは、最後のディスクリプタ（RDES0[8]）がセットされ、ディスクリプタエラー（RDES0[14]）がリセットされたときのみ有効です。

このフィールドは、最後のディスクリプタ（RDES0[8]）がセットされたときに有効です。最後のディスクリプタビットとエラー要約ビットがセットされていない場合、このフィールドは、現在のフレームで転送された累積バイト数を示します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 15 **ES**：エラー一覧

以下のビットの論理 OR を示します。
RDES0[1]：CRC エラー
RDES0[3]：受信エラー
RDES0[4]：ウォッチドッグタイムアウト
RDES0[6]：レイトコリジョン
RDES0[7]：ジャイアントフレーム（これは RDES0[7] が IPv4 ヘッダチェックサムエラーを示しているときは適用されません）。
RDES0[11]：オーバーフローエラー
RDES0[14]：ディスクリプタエラー。
このフィールドは、最後のディスクリプタ（RDES0[8]）がセットされたときにのみ有効です。

ビット 14 **DE**：ディスクリプタエラー

セットされた場合、このビットは、フレームが現在のディスクリプタバッファに入りきらず、DMA が次のディスクリプタを所有していないために、フレームが切り詰められることを示します。フレームは切り詰められます。このフィールドは、最後のディスクリプタ（RDES0[8]）がセットされたときにのみ有効です。

ビット 13 **SAF**：ソースアドレスフィルタ失敗

セットされた場合、このビットは、フレームの SA フィールドが MAC コアの SA フィルタを通過できなかったことを示します。

ビット 12 **LE**：長さエラー

セットされた場合、このビットは、受信フレームの実際の長さが、長さ／タイプフィールドの値に一致しないことを示します。このビットは、フレームタイプ（RDES0[5]）ビットがリセットされたときにのみ有効です。

ビット 11 **OE**：オーバーフローエラー

セットされた場合、このビットは、受信フレームがバッファオーバーフローのために破損したことを示します。

ビット 10 **VLAN**：VLAN タグ

セットされた場合、このビットは、このディスクリプタによって示されるフレームが MAC コアによってタグ付けされた VLAN フレームであることを示します。

ビット 9 **FS**：先頭ディスクリプタ

セットされた場合、このビットは、このディスクリプタがフレームの最初のバッファを含んでいることを示します。最初のバッファのサイズが 0 の場合、2 番目のバッファがフレームの始めを含みます。2 番目のバッファのサイズも 0 の場合、次のディスクリプタがフレームの始めを含みます。

ビット 8 **LS**：最終ディスクリプタ

セットされた場合、このビットは、このディスクリプタによって示されるバッファがフレームの最後のバッファであることを示します。

ビット 7 **IPHCE/TSV**：IPv ヘッダチェックサムエラー ／タイムスタンプ有効

IPHCE がセットされた場合は、IPv4 または IPv6 ヘッダにエラーがあることを示します。このエラーの原因は、イーサネットタイプフィールドと IP ヘッダバージョンフィールドの不一致、IPv4 でのヘッダチェックサムの不一致、またはイーサネットフレームが期待される数の IP ヘッダバイトを欠いていることなどが考えられます。このビットは、*表 192* で規定するように特別な意味を持つことができます。
拡張ディスクリプタフォーマットが有効な場合 （EDFE=1、ETH_DMABMR のビット 7）、このビットは TSV 機能を持ちます（その他の場合は IPHCE）。TSV がセットされた場合、タイムスタンプのスナップショットがディスクリプタワード 6 （RDES6）と 7 （RDES7）に書き込まれたことを表示します。TSV は、最終ディスクリプタビット（RDES0[8]）がセットされた場合にのみ有効です。

ビット 6 **LCO**：レイトコリジョン

セットされた場合、このビットは、半二重モードでフレームを受信中に、レイトコリジョンが発生したことを示します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 5 **FT**：フレームタイプ

セットされた場合、このビットは、受信フレームがイーサネットタイプフレーム（LT フィールドが 0x0600 以上）であることを示します。このビットがリセットされているときは、受信フレームが IEEE802.3 フレームであることを示します。このビットは、14 バイト未満のラントフレームについては無効です。通常ディスクリプタフォーマットを使用する場合（ETH_DMABMR EDFE=0）、FT は*表 192* に規定される特別な意味を持つことができます。

ビット 4 **RWT**：受信ウォッチドッグタイムアウト

セットされた場合、このビットは、現在のフレームの受信中に受信ウォッチドッグタイマが時間切れになり、ウォッチドッグタイムアウト後に現在のフレームが切り詰められることを示します。

ビット 3 **RE**：受信エラー

セットされた場合、このビットは、フレーム受信時に RX_DV がアサートされているときに、RX_ERR 信号がアサートされたことを示します。

ビット 2 **DE**：ドリブルビットエラー

セットされた場合、このビットは、受信フレームのバイト数が非整数倍（奇数ニブル）であることを示します。このビットは、MII モードでのみ有効です。

ビット 1 **CE**：CRC エラー

セットされると、このビットは、受信フレームで巡回冗長検査（CRC）エラーが発生したことを示します。このフィールドは、最後のディスクリプタ（RDES0[8]）がセットされたときにのみ有効です。

ビット 0 **PCE/ESA**：ペイロードチェックサムエラー ／拡張ステータス使用可能

セットされた場合、このビットは、コアが計算した TCP、UDP、または ICMP チェックサムが、受信したカプセル化 TCP、UDP、または ICMP セグメントのチェックサムフィールドに一致しないことを示します。このビットは、受信したペイロードのバイト数が、受信したイーサネットフレームのカプセル化された IPv4 または IPv6 データグラムの長さフィールドの値と一致しないときにもセットされます。このビットは、*表 192* で規定するように特別な意味を持つことができます。

拡張ディスクリプタフォーマットが有効な場合 （EDFE=1、ETH_DMABMR のビット 7）、このビットは TSV 機能を持ちます（その他の場合は PCE）。ESA をセットした場合、拡張ステータスがディスクリプタワード 4 （RDES4）で使用可能なことを表示します。ESA は、最終ディスクリプタビット（RDES0[8]）がセットされた場合にのみ有効です。

ビット 5、7、および 0 は、*表 192* に示されている条件を反映します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 192. 受信ディスクリプタ 0 - ビット7、5、0 のエンコーディング （通常ディスクリプタ
フォーマット、EDFE=0）

ビット 5：フレームタイプ	ビット 7：IPC チェックサムエラー	Bit 0：ペイロードチェックサムエラー	フレームステータス
0	0	0	IEEE 802.3 タイプフレーム（長さフィールドの値が 0x0600 未満）。
1	0	0	チェックサムエラーが検出されない IPv4/IPv6 タイプのフレーム。
1	0	1	ペイロードチェックサムエラーが検出される IPv4/IPv6 タイプのフレーム（PCE の説明と同様）。
1	1	0	IP ヘッダチェックサムエラーが検出される IPv4/IPv6 タイプのフレーム（IPC CE の説明と同様）。
1	1	1	IP ヘッダとペイロードの両方のチェックサムエラーが検出される IPv4/IPv6 タイプのフレーム。
0	0	1	IP ヘッダチェックサムエラーはないが、サポートされないペイロードであるため、ペイロードチェックがバイパスされる IPv4/IPv6 タイプのフレーム。
0	1	1	IPv4 でも IPv6 でもないタイプのフレーム（チェックサムオフロードエンジンはチェックサムを完全にバイパスします）。
0	1	0	予約済み

- **RDES1：受信ディスクリプタワード 1**

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DIC	RBS2		RBS2													RER	RCH	予約済み	RBS												
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw		rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31 **DIC**：完了時割り込みディセーブル

セットされた場合、このビットは、このディスクリプタによって示されたバッファで終わる受信フレームについて、ステータスレジスタの RS ビット（CSR5[6]）がセットされるのを防ぎます。これにより、そのフレームの RS によるホストへの割り込みのアサートが無効になります。

ビット 30:29 予約済みであり、リセット値に保持する必要があります。

ビット 28:16 **RBS2**：受信バッファ 2 サイズ

これらのビットは、第 2 のデータバッファのサイズをバイト数で示します。バッファサイズは、RDES3（バッファ 2 アドレスポインタ）がバス幅に整列されていない場合でも、バス幅（32、64、または 128 ビット）に応じて、それぞれ 4、8、または 16 の倍数でなければなりません。バッファサイズが 4、8、または 16 の適切な倍数でない場合、結果としての動作は未定義です。このフィールドは、RDES1 [14] がセットされた場合は無効です。

ビット 15 **RER**：送信リングの終わり

セットされた場合、このビットは、ディスクリプタリストが最後のディスクリプタに達したことを示します。DMA は、リストのベースアドレスに戻り、ディスクリプタリングを形成します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 14 **RCH**：セカンドアドレス連鎖

セットされると、このビットは、ディスクリプタ内の 2 番目のアドレスは 2 番目のバッファアドレスではなく、次のディスクリプタのアドレスであることを示します。このビットがセットされると、RBS2（RDES1[28:16]）の値は「don't care 」になります。RDES1[15] は RDES1[14] より優先されます。

ビット 13 予約済みであり、リセット値に保持する必要があります。

ビット 12:0 **RBS1**：受信バッファ 1 サイズ

第 1 のデータバッファのサイズをバイト数で示します。バッファサイズは、RDES2（バッファ 1 アドレスポインタ）がバス幅に整列されていない場合でも、バス幅（32、64、または 128 ビット）に応じて、それぞれ 4、8、または 16 の倍数でなければなりません。バッファサイズが 4、8、または 16 の倍数でない場合、結果としての動作は未定義です。このフィールドが 0 の場合、DMA は、このバッファを無視して、RCH（ビット[14]）の値に応じて、バッファ 2 または次のディスクリプタを使用します。

- **RDES2：受信ディスクリプタワード 2**

RDES2 は、ディスクリプタの最初のデータバッファのアドレスポインタ、またはタイムスタンプデータを含みます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RBP1 / RTSL																															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0 **RBAP1 / RTSL**：受信バッファ 1 アドレスポインタ ／受信フレームタイムスタンプロー

これらのビットは、2 つの機能で使用されます。アプリケーションは、これらのビットを使用して、データを書き込むべきメモリ内の位置を DMA に知らせて、すべてのデータを転送した後、DMA は、これらのビットを使用して、タイムスタンプデータを返送できます。

RBAP1：ソフトウェアがこのディスクリプタを DMA から使用可能にすると（RDES0 の OWN ビットが 1 にセットされたとき）、これらのビットは、バッファ 1 の物理アドレスを示します。バッファアドレスの配列には制約がありませんが、以下の条件を除きます。すなわち、DMA は、RDES2 の値がフレームの始めを格納するために使用されるときには、そのアドレス生成のために設定された値を使用します。DMA は、フレームの始めの転送時には、RDES2[3/2/1:0] ビットを 0 として書き込み動作を実行しますが、フレームデータは実際のバッファアドレスポインタに従ってシフトされることに注意してください。DMA は、アドレスポインタがフレームの中間または最後の部分が格納されるバッファを示している場合、RDES2[3/2/1:0]（128/64/32 のバス幅に対応）を無視します。

RTSL：RDES0 の OWN ビットをクリアする前に、DMA は、対応する受信フレームについてキャプチャされたタイムスタンプの下位 32 ビットでこのフィールドを更新します（RBAP1 の値を上書きします）。このフィールドは、このフレームについてタイムスタンピングが有効であり、ディスクリプタの最後のセグメント制御ビット（LS）がセットされている場合のみ、タイムスタンプの値を含みます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

- **RDES3：受信ディスクリプタワード 3**

  RDES3 は、ディスクリプタ内の第 2 のデータバッファまたは次のディスクリプタのいずれかのアドレスポインタ、またはタイムスタンプデータを含みます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RBP2 / RTSH																															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0 **RBAP2 / RTSH**：受信バッファ 2 アドレスポインタ（次のディスクリプタのアドレス）／受信フレームタイムスタンプハイ

これらのビットは、2 つの機能で使用されます。アプリケーションは、これらのビットを使用して、データを書き込むべきメモリ内の位置を DMA に知らせて、すべてのデータを転送した後、DMA は、これらのビットを使用して、タイムスタンプデータを返送できます。

RBAP1：ソフトウェアがこのディスクリプタを DMA から使用可能にすると（RDES0 の OWN ビットが 1 にセットされたとき）、これらのビットは、ディスクリプタリング構造が使用されるとき、バッファ 2 の物理アドレスを示します。セカンドアドレス連鎖（RDES1 [24]）ビットがセットされた場合、このアドレスは、次のディスクリプタが存在する物理メモリのポインタを含みます。RDES1 [24] がセットされた場合、バッファ（次のディスクリプタ）アドレスポインタは、128、64、または 32 のバス幅に応じて、RDES3[3、2、または 1:0] = 0）、バス幅に整列されていなければなりません。（LSB は内部的に無視されます。）ただし、RDES1 [24] がリセットされた場合、RDES3 の値には制約がありませんが、以下の条件を除きます。すなわち、DMA は、RDES3 の値がフレームの始めを格納するために使用されるときには、そのアドレス生成のために設定された値を使用します。DMA は、アドレスポインタがフレームの中間または最後の部分が格納されるバッファを示している場合、RDES3[3、2、または 1:0]（128、64、32 のバス幅に対応）を無視します。

RTSH：RDES0 の OWN ビットをクリアする前に、DMA は、対応する受信フレームについてキャプチャされたタイムスタンプの上位 32 ビットでこのフィールドを更新します（RBAP2 の値を上書きします）。このフィールドは、このフレームについてタイムスタンピングが有効であり、ディスクリプタの最後のセグメント制御ビット（LS）がセットされている場合のみ、タイムスタンプの値を含みます。

IEEE1588 タイムスタンプを持つ Rx DMA ディスクリプタのフォーマット

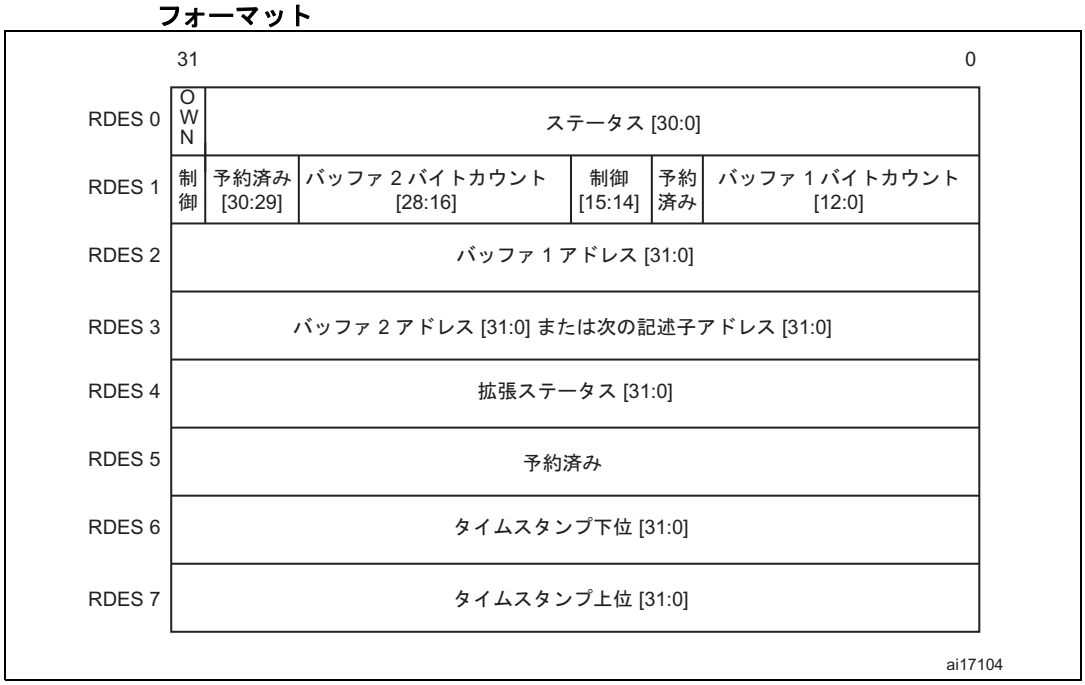
タイムスタンピングがアクティブの場合（TSE=1、ETH_PTPTSCR ビット 0）、または IPv4 チェックサムオフロードがアクティブの場合 （IPCO=1、ETH_MACCR ビット 10）、拡張ディスクリプタ（EDFE=1、ETHDMABMR ビット 7 で有効化）を使う必要があります。

拡張ディスクリプタは 8 個の 32 ビットワードから構成され、通常ディスクリプタサイズの 2 倍です。RDES0、RDES1、RDES2 、RDES3 の定義は、通常受信ディスクリプタと同じです （*通常Rx DMA ディスクリプタ*参照）。RDES4 は拡張ステータスを、RDES6 とRDES7 はタイムスタンプをそれぞれ保持します。RDES4、RDES5、RDES6、RDES7 は次のように定義されます。

拡張ディスクリプタモードを選択する場合、ソフトウェアは 32 バイトのメモリ （8 DWORDS）を各ディスクリプタに割り当てる必要があります。タイムスタンピングまたは IPv4 チェックサムオフロードを使用しない場合は、拡張ディスクリプタフォーマットを無効化でき、フトウェアは 16 バイトのデフォルトサイズを持つ通常ディスクリプタを使うことができます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 382. IEEE1588 タイムスタンプが有効な拡張受信ディスクリプタフィールドのフォーマット



- RDES4：受信ディスクリプタワード 4

下に示す拡張ステータスは、IPv4 チェックサムに関係するステータスまたは RDES0 のビット 0 で指定されるタイムスタンプが存在する場合にのみ有効です。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																		PV	PFT	PMT				IPV6PR	IPV4PR	IPCB	IPPE	IPHE	IPPT		
																		rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:14 予約済みであり、リセット値に保持する必要があります。

ビット 13 **PV**：PTP バージョン

セットされている場合、受信 PTP メッセージは IEEE 1588 バージョン 2 フォーマットを使用していることを表示します。クリアされている場合は、バージョン 1 フォーマットを使用していることを表示します。これは、メッセージタイプが非ゼロの場合のみ有効です。

ビット 12 **PFT**：PTP フレームタイプ

セットされている場合、このビットは PTP メッセージがイーサネットを介して直接送信されることを表示します。このビットがクリアされていて、かつメッセージタイプが非ゼロの場合、PTP メッセージが UDP-IPv4 または UDP-IPv6 を使用して送信されることを表示します。IPv4 または IPv6 の情報は、ビット 6 とビット 7 から取得することができます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 11:8 **PMT**：PTP メッセージタイプ

これらのビットは、受信メッセージのタイプを表すようにエンコードされます。

– 0000：受信 PTP メッセージなし
– 0001：SYNC （全クロックタイプ）
– 0010：Follow_Up （全クロックタイプ）
– 0011：Delay_Req （全クロックタイプ）
– 0100：Delay_Resp （全クロックタイプ）
– 0101：Pdelay_Req （ピア・ツー・ピアトランスペアレントクロック）またはアナウンス （通常または境界クロック）
– 0110：Pdelay_Resp （ピア・ツー・ピアトランスペアレントクロック）または管理（通常または境界クロック）
– 0111：Pdelay_Resp_Follow_Up （ピア・ツー・ピアトランスペアレントクロック）またはシグナリング（通常または境界クロック）
– 1xxx - 予約済み

ビット 7 **IPV6PR**：IPv6 受信パケット

セットされている場合、このビットは受信パケットが IPv6 パケットであることを表示します。

ビット 6 **IPV4PR**：IPv4 受信パケット

セットされている場合、このビットは受信パケットが IPv4 パケットであることを表示します。

ビット 5 **IPCB**：IP チェックサムのバイパス

セットされている場合、このビットはチェックサムオフロードエンジンがバイパスされていることを表示します。

ビット 4 **IPPE**：IP ペイロードエラー

セットされている場合、このビットは、コアが計算した 16 ビット IP ペイロードチェックサム（すなわち、TCP、UDP、または ICMP チェックサム）が、受信セグメント内の対応するチェックサムフィールドに一致しないことを表示します。これは、TCP、UDP、またはICMP セグメント長が IP ヘッダフィールド内のペイロード長に一致しない場合にも送信されます。

ビット 3 **IPHE**：IP ヘッダエラー

セットされている場合、このビットは、アが計算した 16 ビット IPv4 ヘッダチェックサムが受信チェックサムバイトに一致しないこと、または IP データグラムバージョンがイーサネットタイプ値と矛盾することを表示します。

ビット 2:0 **IPPT**：IP ペイロードタイプ

IPv4 チェックサムオフロードがアクティブの場合 （IPCO=1、ETH_MACCR ビット 10）、これらのビットは、IP データグラム内のペイロードのタイプを表示します。IP ヘッダエラーまたはフラグメント化した IP が存在する場合にこれらのビットは "00" になります。

– 000：未知または IP ペイロードの処理なし
– 001：UDP
– 010：TCP
– 011：ICMP
– 1xx：予約済み

- RDES5：受信ディスクリプタワード 5

  予約済み。

- **RDES6：受信ディスクリプタワード 6**

  受信ディスクリプタがクローズされ、タイムスタンピングが有効なとき、RDES6 に対して異なる意味を持つフィールドを次の表に示します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RTSL																															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0 **RTSL**：受信フレームタイムスタンプロー

DMA は、このフィールドを、対応する受信フレームについてキャプチャされたタイムスタンプの下位 32 ビットで更新します。DMA は、最後のディスクリプタのステータスビット（RDES0[8]）によって示された受信フレームの最後のディスクリプタについてのみ、このフィールドを更新します。このフィールドと RDES7 の RTSH フィールドがすべて 1 を示している場合、タイムスタンプは破損しているものとして扱われなければなりません。

- **RDES7：受信ディスクリプタワード 7**

  受信ディスクリプタがクローズされ、タイムスタンピングが有効なとき、RDES7 に対して異なる意味を持つフィールドを次の表に示します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RTSH																															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0 **RTSH**：受信フレームタイムスタンプハイ

DMA は、このフィールドを、対応する受信フレームについてキャプチャされたタイムスタンプの上位 32 ビットで更新します。DMA は、最後のディスクリプタのステータスビット（RDES0[8]）によって示された受信フレームの最後のディスクリプタについてのみ、このフィールドを更新します。

このフィールドと RDES7 の RTSL フィールドがすべて 1 を示している場合、タイムスタンプは破損しているものとして扱われなければなりません。

33.6.9 DMA 割り込み

さまざまなイベントの結果として、割り込みが生成されることがあります。ETH_DMASR レジスタは、割り込みの原因となる可能性があるすべてのビットを含んでいます。ETH_DMAIER レジスタは、割り込みの原因になりえる各イベントのイネーブルビットを含んでいます。

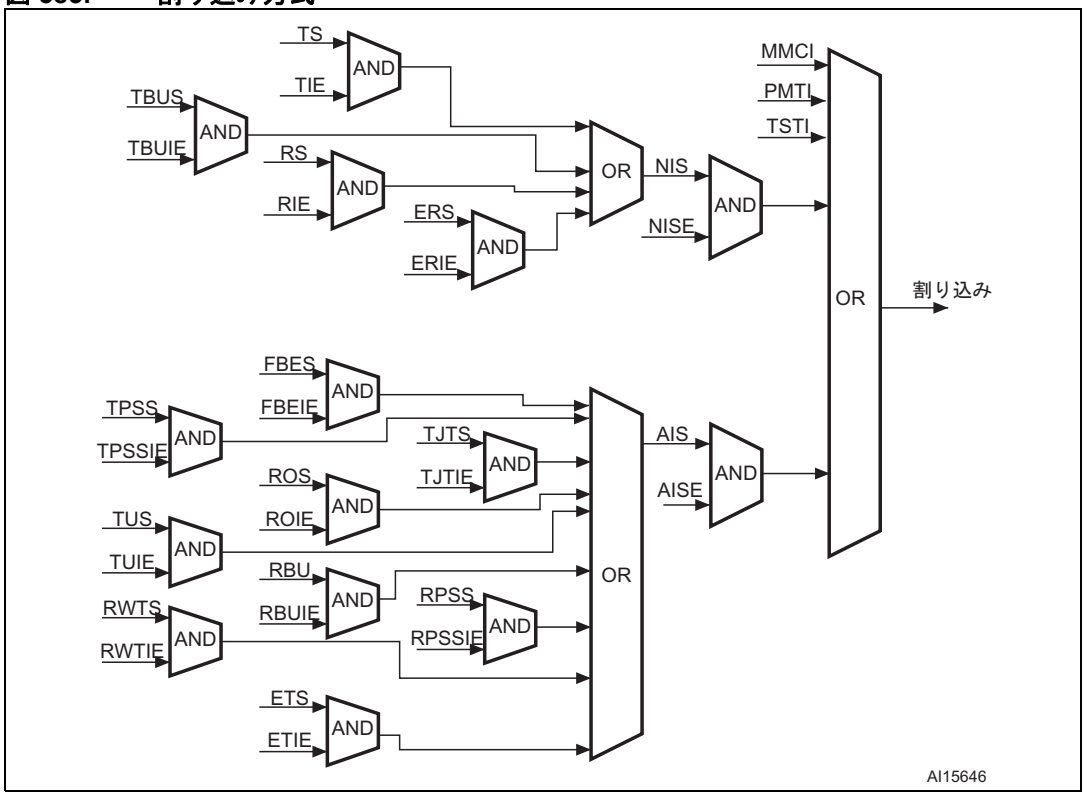
割り込みには、ETH_DMASR レジスタで説明されているように、正常と異常の 2 つのグループがあります。割り込みは、対応するビット位置に 1 を書き込むことによってクリアされます。有効にされていたグループ内のすべての割り込みがクリアされると、対応する要約ビットがクリアされます。MAC コアが割り込みアサートの原因である場合、ETH_DMASR レジスタの TSTS または PMTS ビットのいずれかがハイにセットされます。

割り込みは待ち行列を作らないので、ドライバが割り込みに応答する前に別の割り込みイベントが発生した場合、追加の割り込みは生成されません。たとえば、受信割り込みビット（ETH_DMASR レジスタ [6]）が STM32F4xxバッファに 1 つまたは複数のフレームが転送されたことを示したとします。ドライバは、最後に記録された位置から DMA によって所有される最初のディスクリプタまで、すべてのディスクリプタをスキャンする必要があります。

割り込みは、同時に発生した複数のイベントについて 1 つしか生成されません。ドライバは、ETH_DMASR レジスタをスキャンして、割り込みの原因を調べなければなりません。ドライバが ETH_DMASR レジスタの適切なビットをクリアした後は、新しい割り込みイベントが発生しない限り、割り込みが再び生成されることはありません。たとえば、コントローラが受信割り込み（ETH_DMASR レジスタ [6]）を生成して、ドライバが ETH_DMASR レジスタの読み出しを開始したとします。次に、受信バッファ使用不可ビット（ETH_DMASR レジスタ [7]）がセットされます。ドライバは、受信割り込みをクリアします。その場合でも、有効状態またはペンディング中の受信バッファ使用不可割り込みにより、新しい割り込みが生成されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 383. 割り込み方式



33.7 イーサネット割り込み

イーサネットコントローラには、2 つの割り込みベクタがあります。1 つは、通常のイーサネット動作用であり、もう 1 つは EXTI ライン 19 に配置されたときにイーサネットウェイクアップイベント（ウェイクアップフレームまたはマジックパケット検出時）にのみ使用されます。

最初のイーサネットベクタは、*MAC 割り込み*および*DMA 割り込み*のセクションにリストされているような、MAC および DMA によって生成される割り込みのために確保されています。

2 番目のベクタは、ウェイクアップイベント時に PMT によって生成される割り込みのために確保されています。EXTI ライン 19 上のウェイクアップイベントのマッピングは、STM32F4xxを低電力モードから抜け出させ、割り込みを生成します。

EXTI ライン 19 上でイーサネットウェイクアップイベントのマッピングが発生し、MAC PMT 割り込みが有効にされ、立ち上がりエッジでの検出が指定された EXTI ライン 19 割り込みも有効にされると、両方の割り込みが生成されます。

RS ビット（ETH_DMASR レジスタ）の柔軟な制御のために、ウォッチドッグタイマ（ETH_DMARSWTR レジスタを参照）が用意されています。このウォッチドッグタイマがゼロでない値でプログラムされると、対応する受信ディスクリプタ（RDES1 [31]）では有効でないため、RxDMA が受信ステータスをアサートせずに、受信フレームのシステムメモリへの転送を完了すると、ウォッチドッグタイマが起動します。このタイマがプログラムされた値に従ってタイムアウトになると、RS ビットがセットされ、ETH_DMAIER レジスタで対応する RIE が有効な場合、割り込みがアサートされます。このタイマは、フレームがメモリに転送されるとき、そのディスクリプタに対して有効にされているために RS がセットされると、タイムアウトになる前に無効にされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

注： ***PMT 制御およびステータスレジスタが読み出されると、ウェイクアップフレーム受信割り込みフラグとマジックパケット受信割り込みフラグが自動的にクリアされます。ただし、これらのフラグのレジスタは CLK_RX ドメインにあるので、この更新がファームウェアから見えるようになるまでに、かなりの時間がかかることがあります。この遅延は、RX クロックが遅く（10 Mbit モード）、AHB バスが高周波のときに、特に長くなります。***
PMT から CPU への割り込みリクエストは CLK_RX ドメイン内の同じレジスタに基づくので、CPU は PMT_CSR を読み出した後でも、誤って、割り込みルーチンを再び呼び出すことがあります。したがって、ファームウェアは、ウェイクアップフレーム受信ビットおよ、ジックパケット受信ビットにポーリングして、それらが "0" であることを確認したときにのみ、割り込みサービスルーチンから抜ける必要があります。

33.8 イーサネットレジスタの説明

ペリフェラルレジスタには、バイト（8 ビット）、ハーフワード（16 ビット）、またはワード（32 ビット）単位でアクセスできます。

33.8.1 MAC レジスタの説明

イーサネット MAC設定レジスタ（ETH_MACCR）

アドレスオフセット：0x0000

リセット値：0x0000 8000

MAC 設定レジスタは、MAC の動作モードレジスタです。受信および送信動作モードを確立します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み						CSTF	予約済み	WD	JD	予約済み		IFG			CSD	予約済み	FES	ROD	LM	DM	IPCO	RD	予約済み	APCS	BL		DC	TE	RE	予約済み	
						rw		rw	rw			rw			rw		rw	rw	rw	rw	rw	rw		rw	rw		rw	rw	rw		

ビット 31:26 予約済みであり、リセット値に保持する必要があります。

ビット 25 **CSTF:** タイプフレーム用 CRC ストリッピング
セットすると、フレームをアプリケーションに転送する前に Ether タイプ（0x0600 より大きいタイプフィールド）の全フレームの最後の 4 バイト（FCS）が排除され、ドロップされます。

ビット 24 予約済みであり、リセット値に保持する必要があります。

ビット 23 **WD**：ウォッチドッグディセーブル
このビットがセットされているときは、MAC は、レシーバのウォッチドッグタイマを無効にし、最大 16,384 バイトまでフレームを受信できます。
このビットがリセットされると、MAC は 2,048 バイト以上のフレームは受信できず、それ以降の受信バイトを切り捨てます。

ビット 22 **JD**：**ジャバディセーブル**
このビットがセットされているときは、MAC は、トランスミッタのジャバタイマを無効にして、最大 16,384 バイトまでフレームを転送できます。
このビットがリセットされているときには、MAC は、アプリケーションが送信時に 2,048 バイトを超えて送信した場合、トランスミッタをオフにします。

ビット 21:20 予約済みであり、リセット値に保持する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 19:17 **IFG**：フレーム間ギャップ

これらのビットは、送信時のフレーム間ギャップの最小時間を制御します。

000：96 ビット時間

001：88 ビット時間

010：80 ビット時間

….

111：40 ビット時間

注：　半二重モードでは、最小 IFG は、64 ビット時間（IFG = 100）についてのみ設定できます。それより小さな値は考慮されません。

ビット 16 **CSD**：キャリヤセンスディセーブル

このビットがハイにセットされると、MAC トランスミッタは、半二重モードでのフレーム送信時に MII CRS 信号を無視します。そのような送信時には、キャリヤの喪失やキャリヤなしによるエラーは生成されません。

このビットがローにセットされると、MAC トランスミッタは、キャリヤセンスによるエラーを生成し、送信を中止します。

ビット 15 予約済みであり、リセット値に保持する必要があります。

ビット 14 **FES**：ファストイーサネット速度

ファストイーサネット（MII）モードの速度を示します。

0：10 Mbit/s

1：100 Mbit/s

ビット 13 **ROD**：自己受信ディセーブル

このビットがセットされた場合、MAC は、半二重モードでのフレームの受信を無効にします。

このビットがリセットされた場合、MAC は、送信中に PHY によって与えられるすべてのパケットを受け取ります。

このビットは、MAC が全二重モードで動作している場合は適用されません。

ビット 12 **LM**：ループバックモード

このビットがセットされた場合、MAC は、MII でループバックモードで動作します。送信クロックは内部でループバックされないので、ループバックが正しく機能するためには、MII 受信クロック入力（RX_CLK）が必要です。

ビット 11 **DM**：全二重モード

このビットがセットされた場合、MAC は全二重モードで動作し、送信と受信を同時に行うことができます。

ビット 10 **IPCO**：IPv4 チェックサムオフロード

セットされた場合、このビットは、IPv4 チェックサムによる受信フレームペイロードの TCP/UDP/ICMP ヘッダのチェックを有効にします。このビットがリセットされた場合、レシーバでのチェックサムオフロード機能は無効にされ、対応する PCE および IP HCE ステータスビット（*表 189（1158 ページ）*を参照）は常にクリアされます。

ビット 9 **RD**：リトライディセーブル

このビットがセットされると、MAC は送信を 1 回だけ試みます。MII でコリジョンが発生すると、MAC は現在のフレーム送信を無視して、送信フレームステータスで過剰コリジョンエラーによるフレーム中止を報告します。

このビットがリセットされた場合、MAC は、BL の設定に基づいて再試行を行います。

注：　このビットは、半二重モードでのみ適用されます。

ビット 8 予約済みであり、リセット値に保持する必要があります。

ビット 7 **APCS**：自動パッド／CRC ストリッピング

このビットがセットされた場合、MAC は、受信フレームの長さフィールドの値が 1,500 バイト以下の場合のみ、フレームからパッド／FCS フィールドを削除します。長さフィールドが 1,501 バイト以上の受信フレームは、パッド／FCS フィールドを削除せずに、そのままアプリケーションに渡されます。

このビットがリセットされると、MAC は、着信するすべてのフレームをそのまま通過させます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 6:5 **BL**：バックオフリミット

バックオフリミットは、コリジョンの後、再試行時に送信の試みを再スケジュールする前に、MAC が待機するスロット時間遅延（1000 Mbit/s の場合は 4,096 ビット時間、10/100 Mbit/s の場合は 512 ビット時間）のランダム整数値（r）を指定します。

注： このビットは、半二重モードでのみ適用されます。

00：k = min (n, 10)

01：k = min (n, 8)

10：k = min (n, 4)

11：k = min (n, 1),

ここで、n = 再送信試行回数。ランダム整数値 r は、$0 \leq r < 2k$ の範囲の値をとります。

ビット 4 **DC**：遅延チェック

このビットがセットされた場合、MAC の遅延チェック機能が有効になります。MAC は、送信ステートマシンが 10/100 Mbit/s モードで 24,288 ビット時間以上遅延した場合、フレーム中止ステータスを発行して、送信フレームステータスの過剰遅延エラービットをセットします。遅延は、トランスミッタの送信準備ができたときに開始しますが、MII 上に有効な CRS（キャリヤセンス）信号があるときには開始されません。遅延時間は累積されません。トランスミッタが 10,000 ビット時間遅延した後、送信を行い、コリジョンが発生し、バックオフし、さらにバックオフの完了後に再び遅延した場合、遅延タイマは 0 にリセットされ、再スタートします。

このビットがリセットされた場合、遅延チェック機能は無効であり、MAC は CRS 信号が無効になるまで遅延します。このビットは、半二重モードでのみ適用されます。

ビット 3 **TE**：トランスミッタイネーブル

このビットがセットされた場合、MAC の送信ステートマシンは、MII 上で送信を行うために有効になります。このビットがリセットされた場合、MAC の送信ステートマシンは、現在のフレームの送信完了後に無効になり、それ以上のフレームは送信されません。

ビット 2 **RE**：レシーバイネーブル

このビットがセットされた場合、MAC の受信ステートマシンは、MII からフレームを受信するために有効になります。このビットがリセットされた場合、MAC の受信ステートマシンは、現在のフレームの受信完了後に無効になり、MII からそれ以上のフレームを受信しません。

ビット 1:0 予約済みであり、リセット値に保持する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

イーサネット MAC フレームフィルタレジスタ（ETH_MACFFR）

アドレスオフセット：0x0004
リセット値：0x0000 0000

MAC のフレームフィルタレジスタは、フレームを受信するためのフィルタ制御ビットを含みます。このレジスタの制御の一部は、MAC のアドレスチェックブロックに渡されて、アドレスフィルタリングの最初のレベルを実行します。フィルタリングの第 2 のレベルは、不良フレームのパスや制御フレームのパスなど、その他の制御に基づいて、着信フレームに対して実行されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RA	予約済み																				HPF	SAF	SAIF	PCF		BFD	PAM	DAIF	HM	HU	PM
rw																					rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31 **RA**：すべてを受信

このビットがセットされた場合、MAC レシーバは、アドレスフィルタをパスしたかどうかに関係なく、すべての受信フレームをアプリケーションに渡します。SA/DA フィルタリングの結果は、受信ステータスワードの対応するビットで更新されます。このビットがリセットされた場合、MAC レシーバは、SA/DA アドレスフィルタをパスしたフレームのみをアプリケーションに渡します。

ビット 30:11 予約済みであり、リセット値に保持する必要があります。

ビット 10 **HPF**：ハッシュまたは完全フィルタ

このビットがセットされ、HM または HU ビットがセットされている場合、アドレスフィルタは、完全フィルタリングまたはハッシュフィルタリングのいずれかに一致したフレームを通過させます。
このビットがクリアされ、HU または HM ビットがセットされている場合、ハッシュフィルタに一致したフレームのみがアプリケーションに渡されます。

ビット 9 **SAF**：ソースアドレスフィルタ

MAC コアは、受信したフレームの SA フィールドと、有効な SA レジスタでプログラムされた値とを比較します。比較結果が一致した場合、RxStatus ワードの SAMatch ビットがハイにセットされます。このビットがハイにセットされ、SA フィルタが失敗した場合、MAC はフレームをドロップします。
このビットがリセットされた場合、MAC コアは、受信したフレームをアプリケーションに転送します。また、SA アドレス比較に応じて、RxStatus の更新した SA Match ビットも転送します。

ビット 8 **SAIF**：ソースアドレス逆フィルタリング

このビットがセットされた場合、アドレスチェックブロックは、SA アドレス比較の際に逆フィルタリングモードで動作します。SA が SA レジスタと一致するフレームは、SA アドレスフィルタで失敗したものとしてマークされます。
このビットがリセットされた場合、SA が SA レジスタと一致しないフレームが、SA アドレスフィルタで失敗したものとしてマークされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 7:6 **PCF**：制御フレームパス

これらのビットは、すべての制御フレーム（ユニキャストおよびマルチキャスト PAUSE フレームを含む）の転送を制御します。PAUSE 制御フレームの処理は、フロー制御レジスタ [2] の RFCE にのみ依存することに注意してください。

00：MAC は、すべての制御フレームがアプリケーションに届くのを妨げます。

01：MAC はポーズ制御フレーム以外のすべての制御フレームをアプリケーションへ転送します。

10：MAC は、アドレスフィルタに失敗した場合もすべての制御フレームをアプリケーションへ転送します。

11：MAC は、アドレスフィルタをパスする制御フレームを転送します。

これらのビットは、すべての制御フレーム（ユニキャストおよびマルチキャスト PAUSE フレームを含む）の転送を制御します。PAUSE 制御フレームの処理は、フロー制御レジスタ [2] の RFCE にのみ依存することに注意してください。

00 または 01：MAC は、すべての制御フレームがアプリケーションに届くのを妨げます。

10：MAC は、アドレスフィルタに失敗した場合もすべての制御フレームをアプリケーションへ転送します。

11：MAC は、アドレスフィルタをパスする制御フレームを転送します。

ビット 5 **BFD**：ブロードキャストフレームディセーブル

このビットがセットされると、アドレスフィルタは、着信するすべてのブロードキャストフレームをフィルタします。

このビットがリセットされると、アドレスフィルタは、受信したすべてのブロードキャストフレームを通過させます。

ビット 4 **PAM**：すべてのマルチキャストをパス

セットされた場合、このビットは、マルチキャストデスティネーションアドレス（デスティネーションアドレスフィールドの最初のビットが "1"）を持つすべての受信フレームがパスされることを示します。リセットされた場合、マルチキャストフレームのフィルタリングは、HM ビットに依存します。

ビット 3 **DAIF**：デスティネーションアドレス逆フィルタリング

このビットがセットされた場合、アドレスチェックブロックは、ユニキャストおよびマルチキャストフレームの両方について、DA アドレス比較の際に逆フィルタリングモードで動作します。

リセットされた場合、通常のフレームフィルタリングが行われます。

ビット 2 **HM**：ハッシュマルチキャスト

セットされた場合、MAC は、ハッシュテーブルに従って、受信したマルチキャストフレームのデスティネーションアドレスフィルタリングを実行します。

リセットされた場合、MAC は、マルチキャストフレームについて完全デスティネーションアドレスフィルタリングを実行します。すなわち、DA フィールドを DA レジスタでプログラムされた値と比較します。

ビット 1 **HU**：ハッシュユニキャスト

セットされた場合、MAC は、ハッシュテーブルに従って、ユニキャストフレームのデスティネーションアドレスフィルタリングを実行します。

リセットされた場合、MAC は、ユニキャストフレームについて完全デスティネーションアドレスフィルタリングを実行します。すなわち、DA フィールドを DA レジスタでプログラムされた値と比較します。

ビット 0 **PM**：プロミスキュアスモード

このビットがセットされると、アドレスフィルタは、デスティネーションまたはソースアドレスに関係なく、着信するすべてのフレームを通過させます。PM がセットされると、受信ステータスワードの SA/DA フィルタ失敗ステータスビットが常にクリアされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

イーサネット MAC ハッシュテーブルハイレジスタ（ETH_MACHTHR）

アドレスオフセット：0x0008

リセット値：0x0000 0000

64 ビットのハッシュテーブルは、グループアドレスフィルタリングに使用されます。ハッシュフィルタリングの場合、着信フレームのデスティネーションアドレスの内容は、CRC ロジックを通してパスされ、CRC レジスタの上位 6 ビットがハッシュテーブルの内容のインデックスに使用されます。この CRC は、次の多項式によって符号化された 32 ビット値です（詳細については、*セクション 33.5.3：MAC フレームの受信*を参照してください）。

$$G(x) = x^{32} + x^{26} + x^{23} + x^{22} + x^{16} + x^{12} + x^{11} + x^{10} + x^8 + x^7 + x^5 + x^4 + x^2 + x + 1$$

最上位ビットは、使用されるレジスタ（ハッシュテーブルハイ／ハッシュテーブルロー）を決め、その他の 5 ビットは、レジスタ内のビットを決めます。ハッシュ値 0b00000 は、選択されたレジスタのビット 0 を、値 0b11111 は、選択されたレジスタのビット 31 を選択します。

たとえば、着信フレームの DA が 0x1F52 419C B6AF として受信された場合（0x1F は MII インタフェースで受信された最初のバイトです）、内部で計算される 6 ビット、ッシュ値は 0x2C であり、HTH レジスタのビット [12] がフィルタリングのためにチェックされます。着信フレームの DA が 0xA00A 9800 0045 として受信された場合、計算される 6 ビット、ッシュ値は 0x07 であり、HTL レジスタのビット [7] がフィルタリングのためにチェックされます。

レジスタの対応するビット値が 1 の場合、フレームは受け入れられます。そうでない場合は、拒否されます。ETH_MACFFR レジスタの PAM（すべてのマルチキャストをパス）ビットがセットされている場合、マルチキャストハッシュ値に関係なく、すべてのマルチキャストフレームが受け入れられます。

ハッシュテーブルハイレジスタは、マルチキャストハッシュテーブルの上位 32 ビットを含みます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HTH																															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0 **HTH**：ハッシュテーブルハイ
このフィールドは、ハッシュテーブルの上位 32 ビットを含みます。

イーサネット MAC ハッシュテーブルローレジスタ（ETH_MACHTLR）

アドレスオフセット：0x000C

リセット値：0x0000 0000

ハッシュテーブルローレジスタは、マルチキャストハッシュテーブルの下位 32 ビットを含みます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HTL																															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0 **HTL**：ハッシュテーブルロー
このフィールドは、ハッシュテーブルの下位 32 ビットを含みます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

イーサネット MAC MII アドレスレジスタ（ETH_MACMIIAR）

アドレスオフセット：0x0010

リセット値：0x0000 0000

MII アドレスレジスタは、管理インタフェースを通じて外部 PHY の管理サイクルを制御します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																PA					MR					予約済み	CR			MW	MB
																rw	rw	rw	rw	rw	rw	rw	rw	rw	rw		rw	rw	rw	rw	rc_w1

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15:11 **PA**：PHY アドレス

このフィールドは、可能な 32 の PHY デバイスのどれがアクセスされているかを示します。

ビット 10:6 **MR**：MII レジスタ

これらのビットは、選択された PHY デバイスの望ましい MII レジスタを選択します。

ビット 5 予約済みであり、リセット値に保持する必要があります。

ビット 4:2 **CR**：クロック範囲

CR クロック範囲選択ビットは、HCLK の周波数を決め、MDC クロックの周波数を決定するために使用されます。

HCLK MDC クロック選択

000 60-100 MHz HCLK/42

001 100-150 MHzHCLK/62

010 20-35 MHz HCLK/16

011 35-60 MHz HCLK/26

100 150-168 MHz HCLK/102

101、110、111 予約済み-

ビット 1 **MW**：MII 書き込み

セットされた場合、このビットは、これが MII データレジスタを使用した書き込み動作であることを PHY に知らせます。このビットがセットされていない場合、これは、MII データレジスタにデータを入れる読み出し動作です。

ビット 0 **MB**：MII ビジー

このビットは、ETH_MACMIIAR および ETH_MACMIIDR に書き込む前は、論理 0 として読み出されます。このビットは、ETH_MACMIIAR への書き込み時に 0 にリセットされる必要があります。PHY レジスタへのアクセス時には、このビットはアプリケーションによって 0b1 にセットされて、読み出しまたは書き込みアクセスが進行中であることを示します。ETH_MACMIIDR（MII データ）は、このビットが PHY 書き込み動作時に MAC によってクリアされるまで、有効に保たれなければなりません。ETH_MACMIIDR は、このビットが PHY 読み出し動作時に MAC によってクリアされるまで、無効です。ETH_MACMIIAR（MII アドレス）には、このビットがクリアされるまで書き込むことができません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

イーサネット MAC MII データレジスタ（ETH_MACMIIDR）

アドレスオフセット：0x0014

リセット値：0x0000 0000

MAC MII データレジスタは、ETH_MACMIIAR で指定されたアドレスにある PHY レジスタに書き込むデータを格納します。ETH_MACMIIDR は、ETH_MACMIIAR によって指定されたアドレスにある PHY レジスタから読み出されたデータも格納します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																MD															
																rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15:0 **MD**：MII データ

これは、管理読み出し動作の後で PHY から読み出された 16 ビットのデータ、または管理書き込み動作の前に PHY に書き込まれる 16 ビットデータを含みます。

イーサネット MAC フロー制御レジスタ（ETH_MACFCR）

アドレスオフセット：0x0018

リセット値：0x0000 0000

フロー制御レジスタは、MAC による制御フレーム（ポーズコマンド）の生成と受信を制御します。ビジービットが "1" にセットされているレジスタに書き込むと、MAC はポーズ制御フレームを生成します。制御フレームのフィールドは、802.3x 仕様での規定に従って選択され、このレジスタのポーズ時間の値が制御フレームのポーズ時間フィールドで使用されます。ビジービットは、制御フレームがケーブルに転送されるまでセット状態を維持します。ホストは、レジスタに書き込む前に、ビジービットがクリアされていることを確認する必要があります。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PT																予約済み								ZQPD	予約済み	PLT		UPFD	RFCE	TFCE	FCB/BPA
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw									rw		rw	rw	rw	rw	rw	rc_w1/rw

ビット 31:16 **PT**：ポーズ時間

このフィールドは、送信制御フレームのポーズ時間フィールドで使用される値を保持します。ポーズ時間ビットが MII クロックドメインに二重同期されるように設定されている場合、このレジスタへの連続書き込みは、デスティネーションクロックドメインの少なくとも 4 クロックサイクル後にのみ実行されなければなりません。

ビット 15:8 予約済みであり、リセット値に保持する必要があります。

ビット 7 **ZQPD**：ゼロクォンタムポーズディセーブル

セットされた場合、このビットは、FIFO レイヤからのフロー制御信号のネゲート時の、ゼロクォンタムポーズ制御フレームの自動生成を無効にします。

このビットがリセットされた場合、ゼロクォンタムポーズ制御フレームの自動生成を伴う通常動作が有効になります。

ビット 6 予約済みであり、リセット値に保持する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 5:4 **PLT**：ポーズロー閾値

このフィールドは、ポーズフレームが自動的に再送信されるポーズタイマの閾値を設定します。この閾値は、常に、ビット [31:16] で設定されたポーズ時間未満でなければなりません。たとえば、PT = 100H（256 スロット時間）であり、PLT = 01 の場合、最初のポーズフレームの送信後、228（256 - 28）スロット時間の時点で、第 2 のポーズフレームが自動的に送信されます。

閾値選択

00 ポーズ時間 - 4 スロット時間

01 ポーズ時間 - 28 スロット時間

10 ポーズ時間 - 144 スロット時間

11 ポーズ時間 - 256 スロット時間

スロット時間は、MII インタフェース上で 512 ビット（64 バイト）を送信するための所要時間として定義されます。

ビット 3 **UPFD**：ユニキャストポーズフレーム検出

このビットがセットされた場合、MAC は、一意なマルチキャストアドレスを持つポーズフレームの検出に加えて、ETH_MACA0HR および ETH_MACA0LR レジスタで指定されたステーションのユニキャストアドレスを持つポーズフレームも検出します。

このビットがリセットされた場合、MAC は、802.3x 標準で規定されている一意なマルチキャストアドレスを持つポーズフレームのみを検出します。

ビット 2 **RFCE**：受信フロー制御イネーブル

このビットがセットされた場合、MAC は、受信したポーズフレームをデコードして、指定された時間（ポーズ時間）の間、トランスミッタを無効にします。

このビットがリセットされた場合、ポーズフレームのデコード機能は無効です。

ビット 1 **TFCE**：送信フロー制御イネーブル

全二重モードでは、このビットがセットされた場合、MAC は、ポーズフレームを送信するためにフロー制御を有効にします。このビットがリセットされた場合、MAC のフロー制御動作は無効になり、MAC はポーズフレームを送信しません。

半二重モードでは、このビットがセットされた場合、MAC はバックプレッシャ機能を有効にします。このビットがリセットされた場合、バックプレッシャ機能は無効です。

ビット 0 **FCB/BPA**：フロー制御ビジー／バックプレッシャ有効

このビットは、全二重モードで、一ズ制御フレームを開始し、半二重モードでは、TFCE ビットがセットされている場合、バックプレッシャ機能を有効にします。

全二重モードでは、フロー制御レジスタに書き込む前に、このビットが 0 として読み出されなければなりません。ポーズ制御フレームを開始するには、アプリケーションはこのビットを 1 にセットする必要があります。制御フレームの転送時、このビットは、フレーム送信が進行中であることを示すために、セットされたままです。ポーズ制御フレームの送信完了後、MAC はこのビットを 0 にリセットします。フロー制御レジスタは、このビットがクリアされるまで書き込みが禁止されます。

半二重モードでは、このビットがセットされ（TFCE もセットされ）た場合、MAC コアによってバックプレッシャがアサートされます。バックプレッシャ時、MAC が新しいフレームを受信すると、トランスミッタは、JAM パターンの送出を開始し、結果としてコリジョンが発生します。MAC が全二重モードに設定されると、BPA は自動的に無効になります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

イーサネット MAC VLAN タグレジスタ（ETH_MAVLANTR）

アドレスオフセット：0x001C

リセット値：0x0000 0000

VLAN タグレジスタは、VLAN フレームを識別する IEEE 802.1Q VLAN タグを含んでいます。MAC は受信フレームの 13 番目と 14 番目のバイト（長さ／タイプ）を 0x8100 と比較して、次の 2 バイトを VLAN タグと比較します。一致した場合は、受信フレームステータスの VLAN ビットがセットされます。フレームの有効長は、1518 バイトから 1522 バイトに増やされます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															VLANTC	VLANTI															
															rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:17　予約済みであり、リセット値に保持する必要があります。

ビット 16　**VLANTC**：12 ビット VLAN タグの比較

このビットがセットされた場合、比較およびフィルタリングには、完全な 16 ビット VLAN タグの代わりに 12 ビット VLAN 識別子が使用されます。VLAN タグのビット [11:0] が、受信した VLAN タグ付きフレーム内の対応するフィールドと比較されます。

このビットがリセットされた場合、受信した VLAN フレームの 15 番目と 16 番目のバイトが比較に使用されます。

ビット 15:0　**VLANTI**：VLAN タグ識別子（受信フレーム用）

これは、VLAN フレームを識別するための 802.1Q VLAN タグを含み、VLAN フレームのために受信されるフレームの 15 および 16 番目のバイトと比較されます。ビット [15:13] はユーザの優先度であり、ビット [12] は正規フォーマットインジケータ（CFI）であり、ビット [11:0] は VLAN タグの VLAN 識別子（VID）フィールドです。VLANTC ビットがセットされると、VID（ビット [11:0]）のみが比較に使用されます。

VLANTI（VLANTC がセットされている場合、VLANTI [11:0]）がすべてゼロの場合、MAC は、VLAN タグの比較のために 15 および 16 番目のバイトをチェックせず、タイプフィールドの値が 0x8100 のすべてのフレームを VLAN フレームとして宣言します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

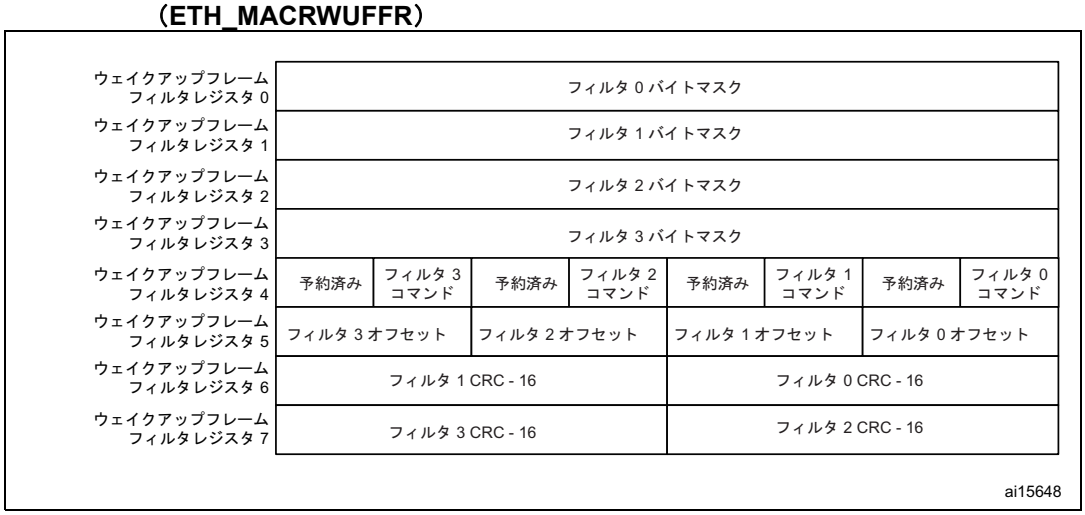
イーサネット MAC リモートウェイクアップフレームフィルタレジスタ（ETH_MACRWUFFR）

アドレスオフセット：0x0028

リセット値：0x0000 0000

これは、リモートウェイクアップフレームフィルタレジスタがアプリケーションによって読み書きされるアドレスです。ウェイクアップフレームフィルタレジスタは、実際には、そのような（トランスペアレントではない）8 つのフレームフィルタレジスタのポインタです。オフセット（0x0028）を持つこのレジスタへの 8 回の連続書き込み動作によって、すべてのウェイクアップフレームフィルタレジスタに書き込まれます。オフセット（0x0028）を持つこのレジスタへの 8 回の連続読み出し動作によって、すべてのウェイクアップフレームフィルタレジスタが読み出されます。このレジスタは 7 番目の MAC アドレスの上位 16 ビットを含みます。詳細については、*リモートウェイクアップフレームフィルタレジスタ*のセクションを参照してください。

図 384. イーサネット MAC リモートウェイクアップフレームフィルタレジスタ（ETH_MACRWUFFR）



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

イーサネット MAC PMT 制御およびステータスレジスタ（ETH_MACPMTCSR）

アドレスオフセット：0x002C

リセット値：0x0000 0000

ETH_MACPMTCSR は、ウェイクアップイベントのリクエストをプログラムし、ウェイクアップイベントを監視します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
WFFRPR	予約済み																					GU	予約済み		WFR	MPR	予約済み		WFE	MPE	PD
rs	予約済み																					rw			rc_r	rc_r			rw	rw	rs

ビット 31 **WFFRPR**：ウェイクアップフレームフィルタレジスタポインタのリセット

セットされた場合、リモートウェイクアップフレームフィルタレジスタのポインタを 0b000 にリセットします。1 クロックサイクル後に自動的にクリアされます。

ビット 30:10 予約済みであり、リセット値に保持する必要があります。

ビット 9 **GU**：グローバルユニキャスト

セットされた場合、MAC（DAF）アドレス認識によってフィルタリングされたすべてのユニキャストパケットをウェイクアップフレームとして有効にします。

ビット 8:7 予約済みであり、リセット値に保持する必要があります。

ビット 6 **WFR**：ウェイクアップフレームを受信

セットされた場合、このビットは、ウェイクアップフレームの受信により、電源管理イベントが生成されたことを示します。このビットは、このレジスタの読み出しによってクリアされます。

ビット 5 **MPR**：マジックパケットを受信

セットされた場合、このビットは、マジックパケットの受信により、電源管理イベントが生成されたことを示します。このビットは、このレジスタの読み出しによってクリアされます。

ビット 4:3 予約済みであり、リセット値に保持する必要があります。

ビット 2 **WFE**：ウェイクアップフレームイネーブル

セットされた場合、このビットは、ウェイクアップフレームの受信による電源管理イベントの生成を有効にします。

ビット 1 **MPE**：マジックパケットイネーブル

セットされた場合、このビットは、マジックパケットの受信による電源管理イベントの生成を有効にします。

ビット 0 **PD**：パワーダウン

このビットがセットされると、すべての受信フレームがドロップされます。このビットは、マジックパケットまたはウィクアップフレームが受信されると自動的にクリアされ、パワーダウンモードが無効になります。このビットがクリアされた後で受信されたフレームは、アプリケーションに転送されます。このビットは、マジックパケットイネーブルビットまたはウェイクアップフレームイネーブルビットがハイにセットされているときのみ、セットされなければなりません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

イーサネット MAC デバッグレジスタ（ETH_MACDBGR）

アドレスオフセット：0x0034

リセット値：0x0000 0000

このデバッグレジスタは、送信および受信データパスと FIFO のすべてのメインモジュールのステータスを提供します。すべてゼロのステータスは、MAC コアがアイドル状態にあり（さらに FIFO がエンプティ）であるため、データパスには動きがないことを表示します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み						TFF	TFNE	予約済み	TFWA	TFRS		MTP	MTFCS		MMTEA	予約済み						RFFL		予約済み	RFRCS		RFWRA	予約済み	MSFRWCS		MMRPEA
						ro	ro		ro	ro	ro	ro	ro	ro	ro							ro	ro		ro	ro	ro		ro	ro	ro

ビット 31:26 予約済みであり、リセット値に保持する必要があります。

ビット 25 **TFF**：Tx FIFO フル

ハイの場合、Tx FIFO がフルであるため、転送するフレームをさらに受付けできないことを表示します。

ビット 24 **TFNE**：Tx FIFO非エンプティ

ハイの場合、TxFIFO が非エンプティであるため、転送するデータが残っていることを表示します。

ビット 23 予約済みであり、リセット値に保持する必要があります。

ビット 22 **TFWA**：Tx FIFO 書き込みアクティブ

ハイの場合、TxFIFO 書き込みコントローラがアクティブであり、データを TxFIFO へ転送中であることを示します。

ビット 21:20 **TFRS**：Tx FIFO読み出しステータス

TxFIFO読み出しコントローラの状態を表示します：
00：アイドル状態
01：読み出し状態（データを MAC トランスミッタへ転送中）
10：MAC トランスミッタからの Tx ステータ待ち
11：受信 Tx ステータスの書き込み中、または TxFIFO フラッシング中

ビット 19 **MTP**：MAC トランスミッタ停止中

ハイの場合、MAC トランスミッタがポーズ状態（全二重モードの場合）であるため、転送フレームをスケジュールしないことを表示します。

ビット 18:17 **MTFCS**：MAC送信フレームコントローラステータス

MAC送信フレームコントローラの状態を表示します：
00：アイドル
01：前のフレームのステータスまたは IFG／バックオフ時間の経過待ち
10：ポーズ制御フレーム（全二重モード）の生成と送信
11：送信用に入力フレームを転送

ビット 16 **MMTEA**：MAC MII送信エンジンアクティブ

ハイの場合、MAC MII送信プロトコルエンジンがアクティブにデータを送信しているため、アイドル状態にないことを表示します。

ビット 15:10 予約済みであり、リセット値に保持する必要があります。

ビット 9:8 **RFFL**：Rx FIFO フィルレベル

Rx FIFO フィルレベルのステータスを表します：
00：RxFIFO エンプティ
01：RxFIFO フィルレベルがフロー制御停止閾値より下
10：RxFIFO フィルレベルがフロー制御開始閾値より上
11：RxFIFO フル

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 7 予約済みであり、リセット値に保持する必要があります。

ビット 6:5 **RFRCS**：Rx FIFO読み出しコントローラステータス

Rx FIFO読み出しコントローラのステータスを表します：
00：アイドル状態
01：フレームデータ読み出し中
10：フレームステータス（またはタイムスタンプ）読み出し中
11：フレームデータとステータをスフラッシュ中

ビット 4 **RFWRA**：Rx FIFO 書き込みコントローラアクティブ

ハイの場合、Rx FIFO 書き込みコントローラがアクティブであり、受信したフレームを FIFO へ転送中であることを表示します。

ビット 3 予約済みであり、リセット値に保持する必要があります。

ビット 2:1 **MSFRWCS**：MAC スモール FIFO読み出し／書き込みコントローラステータス

ハイの場合、これらのビットは、MAC 受信フレームコントローラモジュールのスモール FIFO読み出しおよび書き込みコントローラのそれぞれのアクティブ状態を表示します。

ビット 0 **MMRPEA**：MAC MII 受信プロトコルエンジンアクティブ

ハイの場合、MAC MII 受信プロトコルエンジンがアクティブにデータを受信しているため、アイドル状態にないことを表示します。

イーサネット MAC 割り込みステータスレジスタ（ETH_MACSR）

アドレスオフセット：0x0038

リセット値：0x0000 0000

ETH_MACSR レジスタの内容は、割り込みを生成できる MAC のイベントを識別します。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み						TSTS	予約済み		MMCTS	MMCRS	MMCS	PMTS	予約済み		
						rc_r			r	r	r	r			

ビット 15:10 予約済みであり、リセット値に保持する必要があります。

ビット 9 **TSTS**：タイムスタンプトリガステータス

このビットは、システム時間の値が 目標時間ハイおよびローレジスタで指定された値以上のときに、ハイにセットされます。このビットは、このレジスタの読み出しによってクリアされます。

ビット 8:7 予約済みであり、リセット値に保持する必要があります。

ビット 6 **MMCTS**：MMC送信ステータス

このビットは、ETH_MMCTIR レジスタで割り込みが発生されると、セットされます。このビットは、この割り込みレジスタ（ETH_MMCTIR）のすべてのビットがクリアされたときにリクリアされます。

ビット 5 **MMCRS**：MMC 受信ステータス

このビットは、ETH_MMCRIR レジスタで割り込みが生成されると、ハイにセットされます。このビットは、この割り込みレジスタ（ETH_MMCRIR）のすべてのビットがクリアされたときにクリアされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 4 **MMCS**：MMC ステータス

このビットは、ビット 6:5 のいずれかがハイにセットされたときに、ハイにセットされます。両方のビットがローのときのみクリアされます。

ビット 3 **PMTS**：PMT ステータス

このビットは、パワーダウンモード、ジックパケットまたは Wake-on-LAN フレームが受信されたとき、セットされます（ETH_MACPMTCSR レジス、ビット 5 と 6 を参照*イーサネット MAC PMT 制御およびステータスレジスタ（ETH_MACPMTCSR）(1215 ページ)*）。このビットは、この最後のレジスタのビット [6:5] の両方が ETH_MACPMTCSR レジスタの読み出し動作のためにクリアされたときにクリアされます。

ビット 2:0 予約済みであり、リセット値に保持する必要があります。

イーサネット MAC 割り込みマスクレジスタ（ETH_MACIMR）

アドレスオフセット：0x003C

リセット値：0x0000 0000

ETH_MACIMR レジスタのビットによって、ETH_MACSR レジスタの対応するイベントによる割り込み信号をマスクできます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み						TSTIM	予約済み					PMTIM	予約済み		
						rw						rw			

ビット 15:10 予約済みであり、リセット値に保持する必要があります。

ビット 9 **TSTIM**：タイムスタンプトリガ割り込みマスク

セットされた場合、このビットは、タイムスタンプ割り込みの生成を無効にします。

ビット 8:4 予約済みであり、リセット値に保持する必要があります。

ビット 3 **PMTIM**：PMT 割り込みマスク

セットされた場合、このビットは、ETH_MACSR の PMT ステータスビットのセットによる割り込み信号のアサートを無効にします。

ビット 2:0 予約済みであり、リセット値に保持する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

イーサネット MAC アドレス 0 ハイレジスタ（ETH_MACA0HR）

アドレスオフセット：0x0040

リセット値：0x8000 FFFF

MAC アドレス 0 ハイレジスタは、ステーションの最初の MAC アドレス 6 バイトのうち上位 16 ビットを保持します。MII インタフェース上で受信された最初の DA バイトは、MAC アドレスローレジスタの LS バイト（ビット [7:0]）に対応することに注意してください。たとえば、MII 上でデスティネーションアドレスとして 0x1122 3344 5566 が受信された場合、MAC アドレス 0 レジスタ [47:0] は 0x6655 4433 2211 と比較されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MO	予約済み															MACA0H															
1																rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31 **MO**：常に 1。

ビット 30:16 予約済みであり、リセット値に保持する必要があります。

ビット 15:0 **MACA0H**：MAC アドレス 0 ハイ [47:32]

このフィールドは、6 バイトの MAC アドレス 0 の上位 16 ビット（47:32）を含みます。これは、受信フレームのフィルタリングのためと、送信フロー制御（ポーズ）フレームに MAC アドレスを挿入するために、MAC によって使用されます。

イーサネット MAC アドレス 0 ローレジスタ（ETH_MACA0LR）

アドレスオフセット：0x0044

リセット値：0xFFFF FFFF

MAC アドレス 0 ローレジスタは、ステーションの最初の MAC アドレス 6 バイトのうち下位 32 ビットを保持します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MACA0L																															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0 **MACA0L**：MAC アドレス 0 ロー [31:0]

このフィールドは、6 バイトの MAC アドレス 0 の下位 32 ビットを含みます。これは、受信フレームのフィルタリングのためと、送信フロー制御（ポーズ）フレームに MAC アドレスを挿入するために、MAC によって使用されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

イーサネット MAC アドレス 1 ハイレジスタ（ETH_MACA1HR）

アドレスオフセット：0x0048

リセット値：0x0000 FFFF

MAC アドレス 1 ハイレジスタは、ステーションの 2 番目の MAC アドレス 6 バイトの上位 16 ビットを保持します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AE	SA	MBC						予約済み								MACA1H															
rw	rw	rw	rw	rw	rw	rw	rw									rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31 **AE**：アドレスイネーブル

このビットがセットされると、アドレスフィルタは、完全フィルタリングに MAC アドレス 1 を使用します。このビットがクリアされると、アドレスフィルタは、フィルタリングについてアドレスを無視します。

ビット 30 **SA**：ソースアドレス

このビットがセットされると、受信フレームの SA フィールドとの比較に MAC アドレス 1 [47:0] が使用されます。
このビットがクリアされると、受信フレームの DA フィールドとの比較に MAC アドレス 1 [47:0] が使用されます。

ビット 29:24 **MBC**：マスクバイト制御

これらのビットは、MAC アドレス 1 の各バイトの比較のためのマスク制御ビットです。これらがハイにセットされると、MAC コアは、受信した DA/SA の対応するバイトと MAC アドレス 1 レジスタの内容とを比較しません。各ビットは、以下のようにバイトのマスキングを制御します。

– ビット 29：ETH_MACA1HR [15:8]
– ビット 28：ETH_MACA1HR [7:0]
– ビット 27：ETH_MACA1LR [31:24]

…

– ビット 24：ETH_MACA1LR [7:0]

ビット 23:16 予約済みであり、リセット値に保持する必要があります。

ビット 15:0 **MACA1H**：MAC アドレス 1 ハイ [47:32]

このフィールドは、2 番目の MAC アドレスの 6 バイトのうち上位 16 ビット（47:32）を含みます。

イーサネット MAC アドレス 1 ローレジスタ（ETH_MACA1LR）

アドレスオフセット：0x004C

リセット値：0xFFFF FFFF

MAC アドレス 1 ローレジスタは、ステーションの 2 番目の MAC アドレス 6 バイトのうち下位 32 ビットを保持します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MACA1L																															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0 **MACA1L**：MAC アドレス 1 ロー [31:0]

このフィールドは、6 バイトの MAC アドレス 1 の下位 32 ビットを含みます。このフィールドの内容は、初期化プロセスの後、アプリケーションによってロードされるまで未定義です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

イーサネット MAC アドレス 2 ハイレジスタ（ETH_MACA2HR）

アドレスオフセット：0x0050

リセット値：0x0000 FFFF

MAC アドレス 2 ハイレジスタは、ステーションの 2 番目の MAC アドレス 6 バイトの上位 16 ビットを保持します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AE	SA	MBC						予約済み								MACA2H															
rw	rw	rw	rw	rw	rw	rw	rw									rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31 **AE**：アドレスイネーブル

このビットがセットされると、アドレスフィルタは、完全フィルタリングに MAC アドレス 2 を使用します。このビットがリセットされると、アドレスフィルタは、フィルタリングについてアドレスを無視します。

ビット 30 **SA**：ソースアドレス

このビットがセットされると、受信フレームの SA フィールドとの比較に MAC アドレス 2 [47:0] が使用されます。

このビットがクリアされると、受信フレームの DA フィールドとの比較に MAC アドレス 2 [47:0] が使用されます。

ビット 29:24 **MBC**：マスクバイト制御

これらのビットは、MAC アドレス 2 の各バイトの比較のためのマスク制御ビットです。これらのビットがハイにセットされると、MAC コアは、受信した DA/SA の対応するバイトと MAC アドレス 2 レジスタの内容とを比較しません。各ビットは、以下のようにバイトのマスキングを制御します。

– ビット 29：ETH_MACA2HR [15:8]
– ビット 28：ETH_MACA2HR [7:0]
– ビット 27：ETH_MACA2LR [31:24]

…

– ビット 24：ETH_MACA2LR [7:0]

ビット 23:16 予約済みであり、リセット値に保持する必要があります。

ビット 15:0 **MACA2H**：MAC アドレス 2 ハイ [47:32]

このフィールドは、MAC アドレス 2 の 6 バイトの上位 16 ビット（47:32）を含みます。

イーサネット MAC アドレス 2 ローレジスタ（ETH_MACA2LR）

アドレスオフセット：0x0054

リセット値：0xFFFF FFFF

MAC アドレス 2 ローレジスタは、ステーションの 2 番目の MAC アドレス 6 バイトのうち下位 32 ビットを保持します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MACA2L																															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0 **MACA2L**：MAC アドレス 2 ロー [31:0]

このフィールドは、6 バイトの MAC アドレス 2 の下位 32 ビットを含みます。このフィールドの内容は、初期化プロセスの後、アプリケーションによってロードされるまで未定義です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

イーサネット MAC アドレス 3 ハイレジスタ（ETH_MACA3HR）

アドレスオフセット：0x0058

リセット値：0x0000 FFFF

MAC アドレス 3 ハイレジスタは、ステーションの 2 番目の MAC アドレス 6 バイトの上位 16 ビットを保持します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AE	SA	MBC						予約済み								MACA3H															
rw	rw	rw	rw	rw	rw	rw	rw									rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31 **AE**：アドレスイネーブル

このビットがセットされると、アドレスフィルタは、完全フィルタリングに MAC アドレス 3 を使用します。このビットがクリアされると、アドレスフィルタは、フィルタリングについてアドレスを無視します。

ビット 30 **SA**：ソースアドレス

このビットがセットされると、受信フレームの SA フィールドとの比較に MAC アドレス 3 [47:0] が使用されます。

このビットがクリアされると、受信フレームの DA フィールドとの比較に MAC アドレス 3 [47:0] が使用されます。

ビット 29:24 **MBC**：マスクバイト制御

これらのビットは、MAC アドレス 3 の各バイトの比較のためのマスク制御ビットです。これらのビットがハイにセットされると、MAC コアは、受信した DA/SA の対応するバイトと MAC アドレス 3 レジスタの内容とを比較しません。各ビットは、以下のようにバイトのマスキングを制御します。

– ビット 29：ETH_MACA3HR [15:8]
– ビット 28：ETH_MACA3HR [7:0]
– ビット 27：ETH_MACA3LR [31:24]

…

– ビット 24：ETH_MACA3LR [7:0]

ビット 23:16 予約済みであり、リセット値に保持する必要があります。

ビット 15:0 **MACA3H**：MAC アドレス 3 ハイ [47:32]

このフィールドは、6 バイトの MAC アドレス 3 の上位 16 ビット（47:32）を含みます。

イーサネット MAC アドレス 3 ローレジスタ（ETH_MACA3LR）

アドレスオフセット：0x005C

リセット値：0xFFFF FFFF

MAC アドレス 3 ローレジスタは、ステーションの 2 番目の MAC アドレス 6 バイトのうち下位 32 ビットを保持します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MACA3L																															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0 **MACA3L**：MAC アドレス 3 ロー [31:0]

このフィールドは、6 バイトの MAC アドレス 3 の下位 32 ビットを含みます。このフィールドの内容は、初期化プロセスの後、アプリケーションによってロードされるまで未定義です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

33.8.2 MMC レジスタの説明

イーサネット MMC 制御レジスタ（ETH_MMCCR）

アドレスオフセット：0x0100

リセット値：0x0000 0000

イーサネット MMC 制御レジスタは、管理カウンタの動作モードを確立します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																										MCFHP	MCP	MCF	ROR	CSR	CR
																										rw	rw	rw	rw	rw	rw

ビット 31：6 予約済みであり、リセット値に保持する必要があります。

ビット 5 **MCFHP:** MMC カウンタフルハーフプリセット

MCFHP がローでビット 4 がセットされた場合、すべての MMC カウンタがほぼハーフ値にプリセットされます。また、すべてのフレームカウンタが 0x7FFF_FFF0（ハーフ - 16）にプリセットされます。MCFHP がハイでビット 4 がセットされた場合、すべての MMC カウンタがほぼフル値にプリセットされます。また、すべてのフレームカウンタは 0xFFFF_FFF0（フル - 16）にプリセットされます。

ビット 4 **MCP:** MMC カウンタプリセット

セットされた場合、上記のビット 5 のようにすべてのカウンタがほぼフルまたはほぼハーフに初期化またはプリセットされます。このビットは、1 クロックサイクル後に自動的にクリアされます。ビット 5 と共に、このビットは MMC カウンタがハーフフルまたはフルになっているために発生する割り込みのアサーションのデバッグやテストに有用です。

ビット 3 **MCF**：MMC カウンタフリーズ

セットされた場合、このビットは、すべての MMC カウンタを現在の値に凍結します。（このビットが 0 にクリアされるまで、どの MMC カウンタも、送信または受信フレームによって更新されません。MMC カウンタのいずれかが読み出し時リセットビットがセットされた状態で読み出された場合、そのカウンタはこのモードでクリアされます。）

ビット 2 **ROR**：読み出し時リセット

このビットがセットされた場合、MMC カウンタは、読み出し後にゼロにリセットされます（リセット後、自動クリア）。カウンタは、最下位バイトレーン（ビット [7:0]）が読み出されると、クリアされます。

ビット 1 **CSR**：カウンタストップロールオーバー

このビットがセットされた場合、カウンタは、最大値に達した後もゼロにロールオーバーしません。

ビット 0 **CR**：カウンタリセット

セットされた場合、すべてのカウンタがリセットされます。このビットは、1 クロックサイクル後に自動的にクリアされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

イーサネット MMC 受信割り込みレジスタ（ETH_MMCRIR）

アドレスオフセット：0x0104

リセット値：0x0000 0000

イーサネット MMC 受信割り込みレジスタは、受信統計カウンタが最大値の半分に達したときに生成される割り込みを保持します。（カウンタの MSB がセットされます。）32 ビット幅のレジスタです。割り込みビットは、割り込みの原因となったそれぞれの MMC カウンタが読み出されたときにクリアされます。割り込みビットをクリアするには、それぞれのカウンタの最下位バイトレーン（ビット [7:0]）が読み出されなければなりません。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み														RGUFS	予約済み										RFAES	RFCES	予約済み				
														rc_r											rc_r	rc_r					

ビット 31:18 予約済みであり、リセット値に保持する必要があります。

ビット 17 **RGUFS**：受信良好ユニキャストフレームステータス

このビットは、受信された良好なユニキャストフレームのカウンタが最大値の半分に達したときにセットされます。

ビット 16:7 予約済みであり、リセット値に保持する必要があります。

ビット 6 **RFAES**：受信フレームアライメントエラーステータス

このビットは、アライメントエラーのある受信フレームのカウンタが最大値の半分に達したときにセットされます。

ビット 5 **RFCES**：受信フレーム CRC エラーステータス

このビットは、CRC エラーがある受信フレームのカウンタが最大値の半分に達したときにセットされます。

ビット 4:0 予約済みであり、リセット値に保持する必要があります。

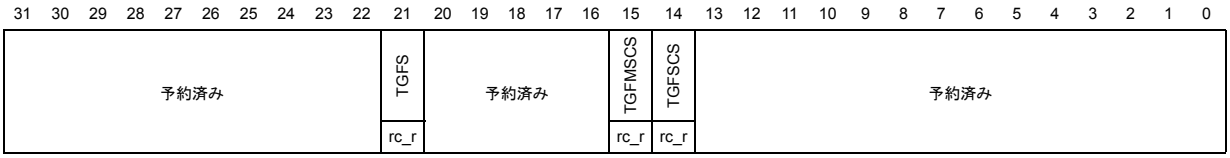
この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

イーサネット MMC送信割り込みレジスタ（ETH_MMCTIR）

アドレスオフセット：0x0108

リセット値：0x0000 0000

イーサネット MMC 送信割り込みレジスタは、送信統計カウンタが最大値の半分に達したときに生成される割り込みを保持します。（カウンタの MSB がセットされます。）32 ビット幅のレジスタです。割り込みビットは、割り込みの原因となったそれぞれの MMC カウンタが読み出されたときにクリアされます。割り込みビットをクリアするには、それぞれのカウンタの最下位バイトレーン（ビット [7:0]）が読み出されなければなりません。



ビット 31:22 予約済みであり、リセット値に保持する必要があります。

ビット 21 **TGFS**：送信良好フレームステータス

このビットは、送信された良好なフレームのカウンタが最大値の半分に達したときにセットされます。

ビット 20:16 予約済みであり、リセット値に保持する必要があります。

ビット 15 **TGFMSCS**：複数のコリジョン後に送信された良好フレームのステータス

このビットは、複数のコリジョン後に送信された良好なフレームのカウンタが最大値の半分に達したときにセットされます。

ビット 14 **TGFSCS**：1 回のコリジョン後に送信された良好フレームのステータス

このビットは、1 回のコリジョン後に送信された良好なフレームのカウンタが最大値の半分に達したときにセットされます。

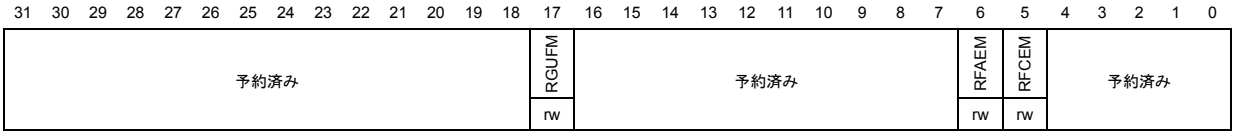
ビット 13:0 予約済みであり、リセット値に保持する必要があります。

イーサネット MMC 受信割り込みマスクレジスタ（ETH_MMCRIMR）

アドレスオフセット：0x010C

リセット値：0x0000 0000

イーサネット MMC 受信割り込みマスクレジスタは、受信統計カウンタが最大値の半分に達したときに生成される割り込みのマスクを保持します。（カウンタの MSB がセットされます。）32 ビット幅のレジスタです。



ビット 31:18 予約済みであり、リセット値に保持する必要があります。

ビット 17 **RGUFM**：受信良好ユニキャストフレームマスク

このビットをセットすると、受信された良好なユニキャストフレームのカウンタが最大値の半分に達したときに割り込みをマスクします。

ビット 16:7 予約済みであり、リセット値に保持する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 6 **RFAEM**：受信フレームアライメントエラーマスク

このビットをセットすると、アライメントエラーがある受信フレームのカウンタが最大値の半分に達したときに割り込みをマスクします。

ビット 5 **RFCEM**：受信フレーム CRC エラーマスク

このビットをセットすると、CRC エラーがある受信フレームのカウンタが最大値の半分に達したときに割り込みをマスクします。

ビット 4:0 予約済みであり、リセット値に保持する必要があります。

イーサネット MMC送信割り込みマスクレジスタ（ETH_MMCTIMR）

アドレスオフセット：0x0110

リセット値：0x0000 0000

イーサネット MMC 送信割り込みマスクレジスタは、送信統計カウンタが最大値の半分に達したときに生成される割り込みのマスクを保持します。（カウンタの MSB がセットされます。）32 ビット幅のレジスタです。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み										TGFM	予約済み					TGFMSCM	TGFSCM	予約済み													
										rw						rw	rw														

ビット 31:22 予約済みであり、リセット値に保持する必要があります。

ビット 21 **TGFM**：送信良好フレームマスク

このビットをセットすると、送信された良好なフレームのカウンタが最大値の半分に達したときに割り込みをマスクします。

ビット 20:16 予約済みであり、リセット値に保持する必要があります。

ビット 15 **TGFMSCM**：複数のコリジョン後に送信された良好フレームのマスク

このビットをセットすると、複数のコリジョン後に送信された良好なフレームのカウンタが最大値の半分に達したときに割り込みをマスクします。

ビット 14 **TGFSCM**：1 回のコリジョン後に送信された良好フレームのマスク

このビットをセットすると、1 回のコリジョン後に送信された良好なフレームのカウンタが最大値の半分に達したときに割り込みをマスクします。

ビット 13:0 予約済みであり、リセット値に保持する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

1 回のコリジョン後に送信されたイーサネット MMC 良好フレームカウンタレジスタ（ETH_MMCTGFSCCR）

アドレスオフセット：0x014C

リセット値：0x0000 0000

このレジスタは、半二重モードで 1 回のコリジョン後に正常に送信されたフレームの数を含みます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TGFSCC																															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:0 **TGFSCC**：1 回のコリジョン後に送信された良好フレームのカウンタ
1 回のコリジョン後に送信された良好フレームのカウンタ。

複数のコリジョン後に送信されたイーサネット MMC 良好フレームカウンタレジスタ（ETH_MMCTGFMSCCR）

アドレスオフセット：0x0150

リセット値：0x0000 0000

このレジスタは、半二重モードで複数のコリジョン後に正常に送信されたフレームの数を含みます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TGFMSCC																															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:0 **TGFMSCC**：複数のコリジョン後に送信された良好フレームのカウンタ
複数のコリジョン後に送信された良好フレームのカウンタ

イーサネット MMC 送信良好フレームカウンタレジスタ（ETH_MMCTGFCR）

アドレスオフセット：0x0168

リセット値：0x0000 0000

このレジスタは、送信された良好フレームの数を含みます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TGFC																															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:0 **TGFC**：送信良好フレームカウンタ

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

CRC エラーのあるイーサネット MMC 受信フレームカウンタレジスタ（ETH_MMCRFCECR）

アドレスオフセット：0x0194

リセット値：0x0000 0000

このレジスタは、CRC エラーがある受信フレームの数を含みます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RFCEC																															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:0 **RFCEC**：受信フレーム CRC エラーカウンタ
CRC エラーのある受信フレームのカウンタ

CRC エラーのあるイーサネット MMC 受信フレームアライメントエラーカウンタレジスタ（ETH_MMCRFAECR）

アドレスオフセット：0x0198

リセット値：0x0000 0000

このレジスタは、整列（ドリブル）エラーのある受信フレームの数を含みます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RFAEC																															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:0 **RFAEC**：受信フレームアライメントエラーカウンタ
アライメントエラーのある受信フレームのカウンタ

MMC 受信良好ユニキャストフレームカウンタレジスタ（ETH_MMCRGUFCR）

アドレスオフセット：0x01C4

リセット値：0x0000 0000

このレジスタは、受信された良好なユニキャストフレームの数を含みます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RGUFC																															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:0 **RGUFC**：受信良好ユニキャストフレームカウンタ

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

33.8.3 IEEE 1588 タイムスタンプレジスタ

このセクションでは、IEEE 1588 標準に基づいて高精度なネットワーククロック同期機能をサポートするために必要なレジスタについて説明します。

イーサネット PTP タイムスタンプ制御レジスタ（ETH_PTPTSCR）

アドレスオフセット：0x0700

リセット値：0x0000 00002000

このレジスタは、タイムスタンプの生成および更新ロジックを制御します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み													TSPFFMAE	TSCNT		TSSMRME	TSSEME	TSSIPV4FE	TSSIPV6FE	TSSPTPOEFE	TSPTPPSV2E	TSSSR	TSSARFE	予約済み		TTSARU	TSITE	TSSTU	TSSTI	TSFCU	TSE
													rw	rw		rw	rw	rw	rw	rw	rw	rw	rw			rw	rw	rw	rw	rw	rw

ビット 31:19 予約済みであり、リセット値に保持する必要があります。

ビット 18 **TSPFFMAE**：タイムスタンプ PTP フレームフィルタリング MAC アドレスイネーブル
セットされている場合、PTP をイーサネットで直接送信する際に、このビットは MAC アドレス（MAC アドレス 0 以外）を使って PTP フレームをフィルタします。

ビット 17:16 **TSCNT**：タイムスタンプクロックノードタイプ
次にクロックノードの使用可能なタイプを示します：
00：通常クロック
01：境界クロック
10：エンドツーエンドトランスペアレントクロック
11：ピア・ツー・ピアトランスペアレントクロック

ビット 15 **TSSMRME**：マスタイネーブルに関係するメッセージのタイムスタンプスナップショット
このビットがセットされている場合、マスタノードのみに関係するメッセージのスナップショットがとられます。クリアされている場合は、スレーブノードのみに関係するメッセージのスナップショットがとられます。これは、通常クロックノードと境界クロックノードに対してのみ有効です。

ビット 14 **TSSEME**：イベントメッセージイネーブルのタイムスタンプスナップショット
このビットがセットされている場合、イベントメッセージのみ （SYNC、Delay_Req、Pdelay_Req またはPdelay_Resp）のタイムスタンプスナップショットが取られます。クリアされている場合は、アナウンス、管理、シグナリング以外の全メッセージのスナップショットがとられます。

ビット 13 **TSSIPV4FE**：IPv4 フレームイネーブルのタイムスタンプスナップショット
このビットがセットされている場合、IPv4 フレームのタイムスタンプスナップショットが取られます。

ビット 12 **TSSIPV6FE**：IPv6 フレームイネーブルのタイムスタンプスナップショット
このビットがセットされている場合、IPv6 フレームのタイムスタンプスナップショットが取られます。

ビット 11 **TSSPTPOEFE**：PTP オーバーイーサネットフレームイネーブルのタイムスタンプスナップショット
このビットがセットされている場合、ーサネットフレーム内に PTP メッセージを持つフレーム （PTP オーバーイーサネット）のタイムスタンプスナップショットもとられます。デフォルトでは、UDP-IP イーサネット PTP パケットのスナップショットがとられます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 10 **TSPTPPSV2E**：バージョン 2 フォーマットイネーブルのタイムスタンプ PTP パケットスヌーピング

このビットがセットされている場合、バージョン 2 フォーマットを使って PTP パケットがスヌープされます。このビットがクリアされている場合、バージョン 1 フォーマットを使って PTP パケットがスヌープされます。

注： IEEE 標準 1588-2008 で指定される IEEE 1588 バージョン 1 およびバージョン 2 フォーマット（レビジョン IEEE STD.1588-2002）.

ビット 9 **TSSSR**：タイムスタンプサブセカンドロールオーバー：デジタルまたはバイナリロールオーバー制御

このビットがセットされている場合、サブセカンドカウンタが値 0x3B9A C9FF（10進で 999 999 999）に到達したときタイムスタンプローレジスタがロールオーバーし、タイムスタンプ（ハイ）セカンドをインクリメントさせます。

クリアされると、サブセカンドレジスタのロールオーバー値が 0x7FFF FFFF に到達します。サブセカンドのインクリメントは、PTP の基準クロック周波数とこのビット値に応じて正しく設定される必要があります。

ビット 8 **TSSARFE**：全受信フレームイネーブルのタイムスタンプスナップショット

このビットがセットされている場合、コアが受信する全フレームに対してタイムスタンプスナップショットが有効化されます。

ビット 7:6 予約済みであり、リセット値に保持する必要があります。

ビット 5 **TSARU**：タイムスタンプ仮数レジスタ更新

このビットがセットされた場合、タイムスタンプ加数レジスタの内容が、微調整のために PTP ブロックに更新されます。このビットは、更新が完了するとクリアされます。このレジスタビットの読み出し値がゼロでなければ、セットできません。

ビット 4 **TSITE**：タイムスタンプ割り込みトリガイネーブル

このビットがセットされた場合、システム時間が目標時間レジスタに書き込まれた値を超えると、タイムスタンプ割り込みが発生されます。タイムスタンプトリガ割り込みが発生されると、このビットはクリアされます。

ビット 3 **TSSTU**：タイムスタンプシステム時間更新

このビットがセットされた場合、システム時間は、タイムスタンプハイ更新およびタイムスタンプロー更新レジスタで指定された値で更新されます（加算または減算されます）。TSSTU ビットと TSSTI ビットの両方の読み出し値がゼロでなければ、このビットをセットできません。ハードウェアで更新が完了すると、このビットはクリアされます。

ビット 2 **TSSTI**：タイムスタンプシステム時間初期化

このビットがセットされた場合、システム時間は、タイムスタンプハイ更新およびタイムスタンプロー更新レジスタで指定された値で初期化されます（上書きされます）。このビットの読み出し値がゼロでなければ、セットできません。初期化が完了すると、このビットはクリアされます。

ビット 1 **TSFCU**：タイムスタンプ粗密更新

セットされた場合、このビットは、システムタイムスタンプが密更新法を使用して更新されることを示します。クリアされた場合、このビットは、システムタイムスタンプが粗更新法を使用して更新されることを示します。

ビット 0 **TSE**：タイムスタンプイネーブル

このビットがセットされると、送信および受信フレームのタイムスタンプが有効になります。このビットがクリアされると、タイムスタンプ機能は中断され、送信および受信フレームにタイムスタンプが追加されなくなります。維持されていたシステム時間が中断されるので、このビットをハイにセットした後は必ず、タイムスタンプ機能（システム時間）の初期化を行う必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

下の表に、クロック、イネーブルマスタ、イネーブルスナップショットのイベントメッセージレジスタ設定値に応じてスナップショットをとるメッセージを示します。

表 193. タイムスタンプスナップショットのレジスタビットに対する依存性

TSCNT（ビット 17:16）	TSSMRME（ビット 15）(1)	TSSEME（ビット 14）	スナップショットをとるメッセージ
00 または 01	X(2)	0	SYNC、Follow_Up、Delay_Req、Delay_Resp
00 または 01	1	1	Delay_Req
00 または 01	0	1	SYNC
10	N/A	0	SYNC、Follow_Up、Delay_Req、Delay_Resp
10	N/A	1	SYNC、Follow_Up
11	N/A	0	SYNC、Follow_Up、Delay_Req、Delay_Resp、Pdelay_Req、Pdelay_Resp
11	N/A	1	SYNC、Pdelay_Req、Pdelay_Resp

1. N/A = 該当なし。
2. X = don't care.

イーサネット PTP サブセカンドインクリメントレジスタ（ETH_PTPSSIR）

アドレスオフセット：0x0704

リセット値：0x0000 0000

このレジスタは、サブセカンドレジスタがインクリメントされる 8 ビット値を含みます。粗更新モードでは（ETH_PTPTSCR レジスタの TDFCU ビット）、HCLK クロックサイクルごとに、このレジスタの値がシステム時間に加算されます。密更新モードでは、アキュムレータがオーバーフローするたびに、このレジスタの値がシステム時間に加算されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																								STSSI							
																								rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **STSSI**：システム時間サブセカンドインクリメント

このレジスタでプログラムされた値が、更新のたびに、システム時間のサブセカンド値の内容に加算 されます。

たとえば、20 ns の精度を得るには、この値は 20 / 0.467 = ~ 43 （すなわち 0x2A）となります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

イーサネット PTP タイムスタンプハイレジスタ（ETH_PTPTSHR）

アドレスオフセット：0x0708

リセット値：0x0000 0000

このレジスタは、上位 32 時間ビットを含みます。この読み出し専用レジスタは、システム時間の秒の値を含んでいます。タイムスタンプハイレジスタは、タイムスタンプローレジスタとともに、MAC によって維持されているシステム時間の現在値を示します。ただし、このレジスタは常時更新されています。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
STS																															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:0 **STS**：システム時間の秒

このフィールドの値は、コアによって維持されているシステム時間の現在値を秒で示します。

イーサネット PTP タイムスタンプローレジスタ（ETH_PTPTSLR）

アドレスオフセット：0x070C

リセット値：0x0000 0000

このレジスタは、下位の 32 時間ビットを含んでいます。この読み出し専用レジスタは、システム時間のサブセカンドの値を含んでいます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
STPNS	STSS																														
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31 **STPNS**：システム時間正または負符号

このビットは、正または負の時間値を示します。セットされた場合、このビットは、時間表示が負であることを示します。クリアされた場合は、時間表示が正であることを示します。システム時間は常に正であるべきなので、このビットは通常ゼロです。

ビット 30:0 **STSS**：システム時間サブセカンド

このフィールドの値は、0.46 ns 精度のサブセカンド表示です。

イーサネット PTP タイムスタンプハイ更新レジスタ（ETH_PTPTSHUR）

アドレスオフセット：0x0710

リセット値：0x0000 0000

このレジスタは、システム時間値に書き込まれる時間、または加算あるいは減算される時間の上位 32 ビットを含みます。タイムスタンプハイ更新レジスタは、タイムスタンプ更新ローレジスタとともに、MAC によって維持されているシステム時間を初期化または更新します。これらのレジスタは両方とも、タイムスタンプ制御レジスタの TSSTI または TSSTU ビットをセットする前に書き込む必要があります。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TSUS																															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 31:0 **TSUS**：タイムスタンプ更新の秒

このフィールドの値は、システム時間が初期化される時間、またはシステム時間に加算される時間を秒で示します。

イーサネット PTP タイムスタンプロー更新レジスタ（ETH_PTPTSLUR）

アドレスオフセット：0x0714

リセット値：0x0000 0000

このレジスタは、システム時間値に書き込まれる時間、または加算あるいは減算される時間の下位 32 ビットを含みます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TSUPNS	TSUSS																														
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31 **TSUPNS**：タイムスタンプ更新正または負符号

このビットは、正または負の時間値を示します。セットされた場合、このビットは、時間表示が負であることを示します。クリアされた場合は、時間表示が正であることを示します。TSSI がセットされた場合（システム時間の初期化）、このビットはゼロでなければなりません。TSSTU がセットされているときに、このビットがセットされた場合、タイムスタンプ更新レジスタの値がシステム時間から減算されます。そうでない場合は、システム時間に加算されます。

ビット 30:0 **TSUSS**：タイムスタンプ更新サブセカンド

このフィールドの値は、システム時間が初期化されるサブセカンド時間、またはシステム時間に加算されるサブセカンド時間を示します。この値の精度は 0.43 ns です（言い換えると、値 0x0000_0001 は 0.46 ns です）。

イーサネット PTP タイムスタン加数レジスタ（ETH_PTPTSAR）

アドレスオフセット：0x0718

リセット値：0x0000 0000

このレジスタは、クロック周波数をマスタクロック周波数に合わせて直線的に再調整するために、ソフトウェアによって使用されます。このレジスタ値は、システム時間が密更新モード（ETH_PTPTSCR の TSFCU ビット）で設定されているときにのみ使用されます。このレジスタの内容は、クロックサイクルごとに 32 ビットのアキュムレータに加算され、アキュムレータがオーバーフローするたびにシステム時間が更新されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TSA																															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0 **TSA**：タイムスタンプ加数

このレジスタは、時間同期を達成するために、アキュムレータレジスタに加算される 32 ビットの時間値を示します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

イーサネット PTP目標時間ハイレジスタ（ETH_PTPTTHR）

アドレスオフセット：0x071C

リセット値：0x0000 0000

このレジスタは、割り込みイベントの生成のためにシステム時間と比較される時間の上位 32 ビットを含みます。目標時間ハイレジスタは、目標時間ローレジスタとともに、システム時間がこれらのレジスタでプログラムされた値を超えたときに割り込みイベント（ETH_PTPTSCR の TSARU ビット）をスケジュールするために使用されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TTSH																															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0 **TTSH**：目標タイムスタンプハイ

このレジスタは、時間値を秒単位で格納します。タイムスタンプの値が両方の目標タイムスタンプレジスタの値に等しいか、超えたとき、MAC は割り込みを生成します（有効な場合）。

イーサネット PTP目標時間ローレジスタ（ETH_PTPTTLR）

アドレスオフセット：0x0720

リセット値：0x0000 0000

このレジスタは、割り込みイベントの生成のためにシステム時間と比較される時間の下位 32 ビットを含みます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TTSL																															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0 **TTSL**：目標タイムスタンプロー

このレジスタは、時間値を（符号付き）ナノ秒単位で格納します。タイムスタンプの値が両方の目標タイムスタンプレジスタの値に等しいか、超えたとき、MAC は割り込みを生成します（有効な場合）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

イーサネット PTP タイムスタンプステータスレジスタ（ETH_PTPTSSR）

アドレスオフセット：0x0728

リセット値：0x0000 0000

このレジスタはタイムスタンプステータスレジスタを含みます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																														TSTTR	TSSO
																														rc	rc

ビット 31:2 予約済みであり、リセット値に保持する必要があります。

ビット 1 **TSTTR**：タイムスタンプ目標時間に到達

セットされている場合、このビットは、システム時間の値が目標時間ハイおよびローレジスタで指定される値以上であることを表示します。ETH_PTPTSSR レジスタが読み出されると、このビットはクリアされます。

ビット 0 **TSSO**：タイムスタンプセカンドオーバーフロー

セットされている場合、このビットは、タイムスタンプの秒値が 0xFFFF FFFF を超えてオーバーフローしたことを表示します。

イーサネット PTP PPS 制御レジスタ（ETH_PTPPPSCR）

アドレスオフセット：0x072C

リセット値：0x0000 0000

このレジスタは、PPS 出力周波数を制御します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																														TSTTR	TSSO
																														rc	rc

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 31:4 予約済みであり、リセット値に保持する必要があります。

ビット 3:0 **PPSFREQ**：PPS 周波数選択

PPS 出力周波数を $2^{PPSFREQ}$ Hz に設定します。

0000：1 Hz、バイナリロールオーバーに対してパルス幅 125 ms、デジタルロールオーバーに対して 100 ms

0001：2 Hz、バイナリロールオーバーに対して 50% デューティサイクル（デジタルロールオーバーは推奨されません）

0010：4 Hz、バイナリロールオーバーに対して 50% デューティサイクル（デジタルロールオーバーは推奨されません）

0011：8 Hz、バイナリロールオーバーに対して 50% デューティサイクル（デジタルロールオーバーは推奨されません）

0100：16 Hz、バイナリロールオーバーに対して 50% デューティサイクル（デジタルロールオーバーは推奨されません）

...

1111：32768 Hz、バイナリロールオーバーに対して 50% デューティサイクル（デジタルロールオーバーは推奨されません）

注： デジタルロールオーバーを使う場合（TSSSR=1、ETH_PTPTSCR のビット 9）、1 Hz 以外の周波数の PPS 出力を使用しないことを推奨します。その他の場合、デジタルロールオーバーでは、高い周波数で PPS 出力の波形が異常になります（ただし、1秒ウインドウでの平均周波数は常に正しい）。

33.8.4 DMA レジスタの説明

このセクションでは、各 DMA レジスタのビットを定義します。アドレスがワード整列されている限り、非 32 ビットアクセスが許されます。

イーサネット DMA バスモードレジスタ（ETH_DMABMR）

アドレスオフセット：0x1000

リセット値：0x0002 0101

このバスモードレジスタは、DMA のバス動作モードを確立します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み					MB	AAB	FPM	USP	RDP						FB	PM		PBL						EDFE	DSL					DA	SR
					rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rs

ビット 31:27 予約済みであり、リセット値に保持する必要があります。

ビット 26 **MB:** 混合バースト

このビットがハイにセットされ、FB ビットがローの場合、AHB マスタインタフェースは INCR（未定義バースト）で長さが 16 を超えるすべてのバーストを開始します。このビットがクリアされると、バースト長 16 以下の固定のバースト転送（INCRx および SINGLE）に戻ります。

ビット 25 **AAB**：アドレス整列ビット

このビットがハイにセットされ、FB ビットが 1 の場合、AHB インタフェースは、すべてのバーストを開始アドレスの LS ビットに整列して生成します。FB ビットが 0 に等しい場合、最初のバースト（データバッファの開始アドレスにアクセスする）は整列されませんが、それ以降のバーストはアドレスに整列されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 24 **FPM**：4xPBL モード

セットされた場合、このビットは、プログラムされた PBL 値（ビット [22:17] およびビット [13:8]）を 4 倍にします。したがって、DMA は、PBL の値に応じて、最大 4、8、16、32、64、および 128 ビートでデータを転送します。

ビット 23 **USP**：個別 PBL の使用

ハイにセットされた場合、ビット [22:17] で設定された値を PBL として使用するように RxDMA が設定され、ビット [13:8] の PBL 値は TxDMA の動作にのみ適用されます。このビットがクリアされると、ビット [13:8] の PBL 値は両方の DMA エンジンに対して適用されます。

ビット 22:17 **RDP**：Rx DMA PBL

これらのビットは、1 回の RxDMA トランザクションで転送される最大ビート数を示します。これは、1 回のブロック読み出し／書き込み動作で使用される最大値です。RxDMA は、常に、ホストバス上でバースト転送を開始するたびに、RDP での指定に従ってバーストを試みます。RDP は、1、2、4、8、16、および 32 の許された値でプログラムできます。その他の値は、未定義の動作をもたらします。
これらのビットは、USP がハイにセットされた場合にのみ有効であり、適用されます。

ビット 16 **FB**：固定バースト

このビットは、AHB マスタインタフェースが固定バースト転送を行うかどうかを制御します。このビットがセットされると、AHB は、通常のバースト転送の開始時に、SINGLE、INDR4、INDR8、または INCR16 のみを使用します。このビットがリセットされると、AHB は、SINGLE および INCR バースト転送動作を使用します。

ビット 15:14 **PM**：Rx Tx 優先比率

RxDMA リクエストには、TxDMA リクエストに対して、以下の比率、先度が与えられます。

00：1:1
01：2:1
10：3:1
11：4:1

これは、DA ビットがクリアされているときのみ有効です。

ビット 13:8 **PBL**：プログラマブルバースト長

これらのビットは、1 回の DMA トランザクションで転送される最大ビート数を示します。これは、1 回のブロック読み出し／書き込み動作で使用される最大値です。DMA は、常に、ホストバス上でバースト転送を開始するたびに、PBL での指定に従ってバーストを試みます。PBL は、1、2、4、8、16、および 32 の許された値でプログラムできます。その他の値は、未定義の動作をもたらします。USP がセットされると、この PBL 値は、TxDMA トランザクションにのみ適用されます。
PBL 値には、以下のような制約があります。

– 可能な最大ビート数（PBL）は、Tx FIFO および Rx FIFO のサイズによって制限されます。
– FIFO には、サポートされる最大ビート数が FIFO の深さの半分であるという制約があります。
– PBL が送信 DMA と受信 DMA の両方に共通の場合、Rx FIFO と Tx FIFO の最小深さを考慮する必要があります。
– 範囲外の PBL 値をプログラムしないでください。システムが正常に動作しなくなる可能性があります。

ビット 7 **EDFE**：拡張ディスクリプタフォーマット有効

このビットがセットされると、拡張ディスクリプタフォーマットが有効になり、ディスクリプタサイズが 32バイト（8 個のダブルワード）に増加します。これはタイムスタンプがアクティブになったとき（TSE=1、ETH_PTPTSCR ビット 0）または IPv4 チェックサムオフロードがアクティブになったとき（IPCO=1、ETH_MACCR ビット10）に必要になります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 6:2 **DSL**：ディスクリプタスキップ長

このビットは、2 つの連結されていないディスクリプタ間でスキップするワード数を指定します。アドレススキッピングは、現在のディスクリプタの終わりから始まり、次のディスクリプタの始めまでです。DSL の値がゼロの場合、ディスクリプタテーブルは DMA によって連続的である、すなわち、リングモードであると解釈されます。

ビット 1 **DA**：DMA アービトレーション

0：ビット [15:14] で与えられた Rx と Tx の優先比率によるラウンドロビン方式。

1：Rx が Tx に優先します。

ビット 0 **SR**：ソフトウェアリセット

このビットがセットされると、MAC DMA コントローラは、すべての MAC サブシステムの内部レジスタとロジックをリセットします。コアのクロックドメインのすべてでリセット操作が完了した後、自動的にクリアされます。コアのレジスタを再プログラムする前に、このビットの値は 0 でなければなりません。

イーサネット DMA送信ポール要求レジスタ（ETH_DMATPDR）

アドレスオフセット：0x1004

リセット値：0x0000 0000

このレジスタは、送信ディスクリプタリストのポーリングを DMA に指示するために、アプリケーションによって使用されます。送信ポーリング要求レジスタによって、送信 DMA は、現在のディスクリプタが DMA によって所有されているかどうかを確認できます。送信ポーリング要求コマンドは、TxDMA がサスペンドモードの場合に、TxDMA をウェイクアップするために与えられます。TxDMA は、送信フレームにアンダーフローエラーがあった場合、または送信 DMA が所有するディスクリプタが使用不能であった場合、サスペンドモードに移行します。このコマンドはいつでも発行することができ、TxDMA はホストメモリからの現在のディスクリプタの再フェッチを開始すると、リセットします。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TPD																															
rw_wt																															

ビット 31:0 TPD：送信ポール要求

これらのビットに値が書き込まれると、DMA は、ETH_DMACHTDR レジスタによって示される現在のディスクリプタを読み出します。そのディスクリプタが使用できない（ホストによって所有されている）場合、送信はサスペンド状態に戻り、ETH_DMASR レジスタのビット 2 がアサートされます。ディスクリプタが使用可能な場合は、送信が再開されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

EHERNET DMA 受信ポール要求レジスタ（ETH_DMARPDR）

アドレスオフセット：0x1008

リセット値：0x0000 0000

このレジスタは、受信ディスクリプタリストをポーリングするように DMA に指示するために、アプリケーションによって使用されます。受信ポーリング要求レジスタによって、受信 DMA は新しいディスクリプタを確認できます。このコマンドは、RxDMA をサスペンド状態からウェイクアップするために与えられます。RxDMA は、所有するディスクリプタが使用できない場合にのみ、サスペンドモードに移行することができます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RPD																															
rw_wt																															

ビット 31:0 **RPD**：受信ポール要求

これらのビットに値が書き込まれると、DMA は、ETH_DMACHRDR レジスタによって示される現在のディスクリプタを読み出します。そのディスクリプタが使用できない（ホストによって所有されている）場合、受信はサスペンド状態に戻り、ETH_DMASR レジスタのビット 7 はアサートされません。ディスクリプタが使用可能な場合、受信 DMA は有効状態に戻ります。

イーサネット DMA 受信ディスクリプタリストアドレスレジスタ（ETH_DMARDLAR）

アドレスオフセット：0x100C

リセット値：0x0000 0000

受信ディスクリプタリストアドレスレジスタは、受信ディスクリプタリストの開始アドレスを示します。ディスクリプタリストはSTM32F4xxの物理メモリ空間にあり、ワード整列されていなければなりません。DMA は、対応する LS ビットをローにセットすることによって、内部でバス幅で整列されたアドレスに変換します。ETH_DMARDLAR レジスタへの書き込みは、受信が停止されたときにのみ許されます。受信が停止された場合、受信開始コマンドが与えられる前に、ETH_DMARDLAR レジスタに書き込まなければなりません。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SRL																															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0 **SRL**：受信リストの開始

このフィールドは、受信ディスクリプタリストの最初のディスクリプタのベースアドレスを含みます。LSB ビット（32/64/128 ビットバス幅に対して [1/2/3:0] ビット）は、内部的に無視され、DMA によってすべてゼロとして扱われます。したがって、これらの LSB ビットは読み出し専用です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

イーサネット DMA送信ディスクリプタリストアドレスレジスタ（ETH_DMATDLAR）

アドレスオフセット：0x1010

リセット値：0x0000 0000

送信ディスクリプタリストアドレスレジスタは、送信ディスクリプタリストの開始アドレスを示します。ディスクリプタリストはSTM32F4xxの物理メモリ空間にあり、ワード整列されていなければなりません。DMA は、対応する LSB をローにセットすることによって、内部でバス幅で整列されたアドレスに変換します。ETH_DMATDLAR レジスタへの書き込みは、送信が停止されたときにのみ許されます。送信が停止されると、送信開始コマンドが与えられる前に、ETH_DMATDLAR レジスタへの書き込みが可能になります。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
STL																															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0 **STL**：送信リストの開始

このフィールドは、送信ディスクリプタリストの最初のディスクリプタのベースアドレスを含みます。LSB ビット（32/64/128 ビットバス幅に対して [1/2/3:0] ビット）は、内部的に無視され、DMA によってすべてゼロとして扱われます。したがって、これらの LSB ビットは読み出し専用です。

イーサネット DMA ステータスレジスタ（ETH_DMASR）

アドレスオフセット：0x1014

リセット値：0x0000 0000

ステータスレジスタは、DMA がアプリケーションに報告するすべてのステータスビットを含んでいます。ETH_DMASR レジスタは、通常、割り込みサービスルーチンまたはポーリング中にソフトウェアドライバによって読み出されます。このレジスタのフィールドのほとんどは、ホストに割り込みます。ETH_DMASR レジスタのビットは、読み出されてもクリアされません。ETH_DMASR レジスタ [16:0] の（予約されていない）ビットに 1 を書き込むと、それらがクリアされますが、0 を書き込んでも効果はありません。各フィールド（ビット [16:0]）は、ETH_DMAIER レジスタの適切なビットをマスクすることによってマスクできます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み		TSTS	PMTS	MMCS	予約済み	EBS			TPS			RPS			NIS	AIS	ERS	FBES	予約済み		ETS	RWTS	RPSS	RBUS	RS	TUS	ROS	TJTS	TBUS	TPSS	TS
		r	r	r		r	r	r	r	r	r	r	r	r	rc-w1	rc-w1	rc-w1	rc-w1			rc-w1	rc-w1	rc-w1	rc-w1	rc-w1	rc-w1	rc-w1	rc-w1	rc-w1	rc-w1	rc-w1

ビット 31:30 予約済みであり、リセット値に保持する必要があります。

ビット 29 **TSTS**：タイムスタンプトリガステータス

このビットは、MAC コアのタイムスタンプジェネレータブロックの割り込みイベントを示します。ソフトウェアは、MAC コアのステータスレジスタを読み出して、ソース（ビット 9）をクリアすることによって、このビットを 0 にリセットする必要があります。このビットがハイのときには、割り込みが生成されます（有効な場合）。

ビット 28 **PMTS**：PMT ステータス

このビットは、MAC コアの PMT のイベントを示します。ソフトウェアは、MAC 内の対応するレジスタを読み出して、割り込みの正確な原因を調べ、ソースをクリアすることによって、このビットを 0 にリセットする必要があります。このビットがハイのとき、割り込みが生成されます（有効な場合）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 27 **MMCS**：MMC ステータス

このビットは、MAC コアの MMC のイベントを反映します。ソフトウェアは、MAC 内の対応するレジスタを読み出して、割り込みの正確な原因を調べ、割り込みのソースをクリアすることによって、このビットを 0 にする必要があります。このビットがハイのとき、割り込みが生成されます（有効な場合）。

ビット 26 予約済みであり、リセット値に保持する必要があります。

ビット 25:23 **EBS**：エラービットステータス

これらのビットは、バスエラー（AHB インタフェース上のエラー応答）の原因となったエラーのタイプを示します。致命的バスエラービット（ETH_DMASR レジスタ [13]）がセットされたときのみ有効です。このフィールドは割り込みを生成しません。

ビット 231 TxDMA によるデータ転送中のエラー

0 RxDMA によるデータ転送中のエラー

ビット 24 1 読み出し転送中のエラー

0 書き込み転送中のエラー

ビット 25 1 ディスクリプタアクセス中のエラー

0 データバッファアクセス中のエラー

ビット 22:20 **TPS**：送信処理状態

これらのビットは、送信 DMA FSM の状態を示します。このフィールドは割り込みを生成しません。

000：停止。送信リセットまたは送信停止コマンドが発行されました。

001：実行中。送信転送ディスクリプタをフェッチしています。

010：実行中。ステータスを待っています。

011：実行中。ホストメモリバッファからデータを読み出して、送信バッファ（TxFIFO）のキューに入れています。

100, 101：将来の使用のために予約済み。

110：中断。送信ディスクリプタが使用できないか、送信バッファがアンダーフローしています。

111：実行中。送信ディスクリプタをクローズしています。

ビット 19:17 **RPS**：受信処理状態

これらのビットは、受信 DMA FSM の状態を示します。このフィールドは割り込みを生成しません。

000：停止。受信リセットまたは受信停止コマンドが発行されました。

001：実行中。受信転送ディスクリプタをフェッチしています。

010：将来の使用のために予約済み。

011：実行中。受信パケットを待っています。

100：停止中：受信ディスクリプタが使用不可。

101：実行中。受信ディスクリプタをクローズしています。

110：将来の使用のために予約済み。

111：受信パケットデータを受信バッファからホストメモリへ転送しています。

ビット 16 **NIS**：通常割り込み要約

正常割り込み要約ビットの値は、ETH_DMAIER レジスタで対応する割り込みビットが有効なとき、以下の論理 OR です。

– ETH_DMASR [0]：送信割り込み
– ETH_DMASR [2]：送信バッファ使用不可
– ETH_DMASR [6]：受信割り込み
– ETH_DMASR [14]：アーリー受信割り込み

マスクされていないビットのみが正常割り込み要約ビットに影響します。

これはスティッキービットであり、NIS をセット状態にする対応ビットがクリアされるたびに、クリアされなければなりません（このビットに 1 を書き込むことによって）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 15 **AIS**：異常割り込み要約

異常割り込み要約ビットの値は、ETH_DMAIER レジスタで対応する割り込みビットが有効なとき、以下の論理 OR です。

– ETH_DMASR [1]：送信プロセスが停止されました。
– ETH_DMASR [3]：送信ジャバタイマムアウト
– ETH_DMASR [4]：受信 FIFO オーバーフロー
– ETH_DMASR [5]：送信アンダーフロー
– ETH_DMASR [7]：受信バッファ使用不可
– ETH_DMASR [8]：受信処理停止
– ETH_DMASR [9]：受信ウォッチドッグタイムアウト
– ETH_DMASR [10]：アーリー送信割り込み
– ETH_DMASR [13]：致命的バスエラー

マスクされていないビットのみが異常割り込み要約ビットに影響します。
これはスティッキービットであり、AIS をセット状態にする対応ビットがクリアされるたびにクリアされなければなりません。

ビット 14 **ERS**：アーリー受信ステータス

このビットは、DMA が最初のデータバッファをパケットで一杯にしたことを示します。受信割り込み ETH_DMASR [6] は、このビットを自動的にクリアします。

ビット 13 **FBES**：致命的バスエラーステータス

このビットは、[25:23] で詳細が示されるバスエラーが発生したことを示します。このビットがセットされると、対応する DMA エンジンは、すべてのバスアクセスを無効にします。

ビット 12:11 予約済みであり、リセット値に保持する必要があります。

ビット 10 **ETS**：アーリー送信ステータス

このビットは、送信フレームが完全に送信 FIFO に転送されたことを示します。

ビット 9 **RWTS**：受信ウォッチドッグタイムアウトステータス

このビットは、2,048 バイトより長いフレームが受信されたときにアサートされます。

ビット 8 **RPSS**：受信処理停止ステータス

このビットは、受信プロセスが停止状態に入ったときにアサートされます。

ビット 7 **RBUS**：受信バッファ使用不可ステータス

このビットは、受信リスト内の次のディスクリプタがホストによって所有されいて、DMA は取得できないことを示します。受信プロセスは中断されます。受信ディスクリプタの処理を再開するには、ホストは、ディスクリプタの所有権を変更して、受信ポーリング要求コマンドを発行しなければなりません。受信ポーリング要求が発行されなかった場合、受信プロセスは、認識可能な次の着信フレームが受信されたときに再開されます。ETH_DMASR [7] は、前の受信ディスクリプタが DMA によって所有されていたときにのみセットされます。

ビット 6 **RS**：受信ステータス

このビットは、フレームの受信が完了したことを示します。特定のフレームステータス情報がディスクリプタでポストされました。受信は実行中状態のままです。

ビット 5 **TUS**：送信アンダーフローステータス

このビットは、フレーム送信中に送信バッファがアンダーフローしたことを示します。送信は中断され、アンダーフローエラー TDES0[1] がセットされます。

ビット 4 **ROS**：受信オーバーフローステータス

このビットは、フレーム受信中に受信バッファ、ーバーフローしたことを示します。部分的なフレームがアプリケーションに転送された場合、RDES0[1] でオーバーフローステータスがセットされます。

ビット 3 **TJTS**：送信ジャバタイムアウトステータス

このビットは、送信ジャバタイマが時間切れになったことを示し、トランスミッタが過剰にアクティブであることを意味します。送信プロセスは中止され、停止状態になります。これにより、送信ジャバタイムアウト TDES0[14] フラグがアサートされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 2 **TBUS**：送信バッファ使用不可ステータス

このビットは、送信リスト内の次のディスクリプタがホストによって所有されていて、DMA は取得できないことを示します。送信は中断されます。ビット [22:20] は、送信プロセス状態の遷移の理由を示します。送信ディスクリプタの処理を再開するには、ホストは、ディスクリプタのビットの所有権を変更して、送信ポーリング要求コマンドを発行しなければなりません。

ビット 1 **TPSS**：送信処理停止ステータス

このビットは、送信が停止されたときにセットされます。

ビット 0 **TS**：送信ステータス

このビットは、フレーム送信が終了し、TDES1[31] が最初のディスクリプタでセットされたことを示します。

イーサネット DMA 動作モードレジスタ（ETH_DMAOMR）

アドレスオフセット：0x1018

リセット値：0x0000 0000

動作モードレジスタは、送信および受信動作モードとコマンドを確立します。ETH_DMAOMR レジスタは、DMA 初期化の一部として書きこまれる最後の CSR でなければなりません。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み					DTCEFD	RSF	DFRF	予約済み		TSF	FTF	予約済み			TTC			ST	予約済み					FEF	FUGF	予約済み	RTC		OSF	SR	予約済み
					rw	rw	rw			rw	rs				rw	rw	rw	rw						rw	rw		rw	rw	rw	rw	

ビット 31:27 予約済みであり、リセット値に保持する必要があります。

ビット 26 **DTCEFD**：TCP/IP チェックサムエラーフレームのドロッピングディセーブル

このビットがセットされた場合、コアは、受信チェックサムオフロードエンジンによって検出されたエラーだけがあるフレームをドロップしません。そのようなフレームは、MAC によって受信され、イーサネットフレームにはエラー（FCS エラーも含む）がなく、カプセル化されたペイロードにのみエラーがあります。このビットがクリアされると、FEF ビットがリセットされていた場合、すべてのエラーフレームがドロップされます。

ビット 25 **RSF**：受信ストアアンドフォワード

このビットがセットされた場合、完全なフレームが書き込まれた後、Rx FIFO からフレームが読み出され、RTC ビットは無視されます。このビットがクリアされると、Rx FIFO は、RTC ビットで指定された閾値に従って、カットスルーモードで動作します。

ビット 24 **DFRF**：受信フレームフラッシュディセーブル

このビットがセットされた場合、RxDMA は、受信ディスクリプタ／バッファの使用不可によるフレームのフラッシュを行いません。このビットがクリアされると、通常はフラッシュが行われます。（*中断された受信プロセス（1193 ページ）*を参照）

ビット 23:22 予約済みであり、リセット値に保持する必要があります。

ビット 21 **TSF**：送信ストアアンドフォワード

このビットがセットされると、完全なフレームが送信 FIFO に存在しているときに送信が開始されます。このビットがセットされると、ETH_DMAOMR レジスタのビット [16:14] によって指定された TTC の値は無視されます。

このビットがクリアされると、ETH_DMAOMR レジスタのビット [16:14] によって指定された TTC の値が考慮されます。

このビットは、送信が停止されたときにのみ変更されなければなりません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 20 **FTF**：フラッシュ送信 FIFO

このビットがセットされた場合、送信 FIFO コントローラロジックはデフォルト値にリセットされ、Tx FIFO 内のすべてのデータが消去されます。このビットは、フラッシュ動作が完了したときに内部的にクリアされます。動作モードレジスタは、このビットがクリアされるまで書き込みが禁止されます。

ビット 19:17 予約済みであり、リセット値に保持する必要があります。

ビット 16:14 **TTC**：送信閾値制御

この 3 つのビットは、送信 FIFO の閾値レベルを制御します。送信は、送信 FIFO 内のフレームサイズが閾値より大きいときに開始されます。さらに、閾値より短い完全なフレームも送信されます。これらのビットは、TSF ビット（ビット 21）がクリアされたときのみ使用されます。

000：64
001：128
010：192
011：256
100：40
101：32
110：24
111：16

ビット 13 **ST**：送信開始／停止

このビットがセットされた場合、送信は実行中状態に置かれ、DMA は、送信フレームの現在位置での送信リストをチェックします。ディスクリプタの取得は、リスト内の現在位置（ETH_DMATDLAR レジスタによって設定された送信リストのベースアドレス）から、または、以前に送信が停止されたときに保持された位置から試みられます。現在のディスクリプタが DMA によって所有されていない場合、送信はサスペンド状態に入り、送信バッファ使用不可ビット（ETH_DMASR [2]）がセットされます。送信開始コマンドは、送信が停止されたときにのみ有効となります。DMA ETH_DMATDLAR レジスタをセットする前にコマンドが発行された場合、DMA の動作は予想できません。

このビットがクリアされると、送信プロセスは現在のフレームの送信を終了した後、停止状態に置かれます。送信リスト内の次のディスクリプタの位置が保存され、送信がリスタートされるときに現在位置となります。送信停止コマンドは、現在のフレームの送信が完了したとき、または送信がサスペンド状態にあるときにのみ有効です。

ビット 12:8 予約済みであり、リセット値に保持する必要があります。

ビット 7 **FEF**：エラーフレーム転送

このビットがセットされた場合、ラントエラーフレームを除くすべてのフレームが DMA に転送されます。

このビットがクリアされると、Rx FIFO は、エラーステータス（CRC エラー、コリジョンエラー、ジャイアントフレーム、ウォッチドッグタイムアウト、オーバーフロー）のフレームをドロップします。ただし、フレームの開始バイト（書き込み）ポインタが読み出しコントローラ側にすでに転送されている場合（閾値モードで）、フレームはドロップされません。Rx FIFO は、そのフレームの開始バイトが ARI バスで転送（出力）されていない場合、エラーフレームをドロップします。

ビット 6 **FUGF**：アンダーサイズの良好フレームの転送

このビットがセットされた場合、Rx FIFO は、アンダーサイズのフレーム（エラーがなく、パッドバイトと CRC を含めて長さが 64 バイト未満のフレーム）を転送します。

このビットがクリアされると、Rx FIFO は、受信閾値より低い値であるために（RTC = 10 など）、フレームがすでに転送されていない限り、64 バイト未満のすべてのフレームをドロップします。

ビット 5 予約済みであり、リセット値に保持する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 4:3 **RTC**：受信閾値制御

この 2 つのビットは、受信 FIFO の閾値レベルを制御します。DMA への転送（リクエスト）は、受信 FIFO 内のフレームサイズが閾値より大きいときに開始されます。さらに、長さが閾値より短い完全なフレームは自動的に転送されます。

注： 設定された受信 FIFO のサイズが 128 バイトの場合、値 11 は適用されないことに注意してください。

注： これらのビットは、RSF ビットがゼロのときにのみ有効であり、RSF ビットが 1 にセットされたときは無視されます。

00：64

01：32

10：96

11：128

ビット 2 **OSF**：2 番目のフレームに対する動作

このビットがセットされた場合、このビットは、最初のフレームのステータスが取得される前でも、DMA に送信データの 2 番目のフレームを処理するように指示します。

ビット 1 **SR**：受信開始／停止

このビットがセットされると、受信プロセスは実行中状態に置かれます。DMA は、受信リストからのディスクリプタの取得を試みて、受信フレームを処理します。ディスクリプタの取得は、リスト内の現在位置（ETH_DMATDLAR レジスタによって設定されたアドレス）から、または、以前に受信プロセスが停止されたときに保持された位置から試みられます。DMA によって所有されているディスクリプタがない場合、受信は中断され、受信バッファ使用不可ビット（ETH_DMASR [7]）がセットされます。受信開始コマンドは、受信が停止されているときにのみ有効です。DMA ETH_DMARDLAR レジスタをセットする前にコマンドが発行された場合、DMA の動作は予想できません。

このビットがクリアされると、RxDMA の動作は、現在のフレームの転送後に停止されます。受信リスト内の次のディスクリプタの位置が保存され、受信プロセスがリスタートされるときに現在位置となります。受信停止コマンドは、受信プロセスが実行中（受信パケットを待機中）またはサスペンド状態にあるときにのみ有効です。

ビット 0 予約済みであり、リセット値に保持する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

イーサネット DMA 割り込みイネーブルレジスタ（ETH_DMAIER）

アドレスオフセット：0x101C

リセット値：0x0000 0000

割り込みイネーブルレジスタは、ETH_DMASR によって報告された割り込みを有効にします。ビットを 1 にセットすると、対応する割り込みが有効になります。すべての割り込みは、ハードウェアまたはソフトウェアリセット後に無効になります。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															NISE	AISE	ERIE	FBEIE	予約済み		ETIE	RWTIE	RPSIE	RBUIE	RIE	TUIE	ROIE	TJTIE	TBUIE	TPSIE	TIE
															rw	rw	rw	rw			rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:17 予約済みであり、リセット値に保持する必要があります。

ビット 16 **NISE**：通常割り込み要約イネーブル

このビットがセットされた場合、正常割り込みが有効になります。このビットがクリアされた場合、正常割り込みは無効です。このビットは、以下のビットを有効にします。

- ETH_DMASR [0]：送信割り込み
- ETH_DMASR [2]：送信バッファ使用不可
- ETH_DMASR [6]：受信割り込み
- ETH_DMASR [14]：アーリー受信割り込み

ビット 15 **AISE**：異常割り込み要約イネーブル

このビットがセットされると、異常割り込みが有効にされます。このビットがクリアされると、異常割り込みは無効です。このビットは、以下のビットを有効にします。

- ETH_DMASR [1]：送信処理停止
- ETH_DMASR [3]：送信ジャバタイムアウト
- ETH_DMASR [4]：受信オーバーフロー
- ETH_DMASR [5]：送信アンダーフロー
- ETH_DMASR [7]：受信バッファ使用不可
- ETH_DMASR [8]：受信処理停止
- ETH_DMASR [9]：受信ウォッチドッグタイムアウト
- ETH_DMASR [10]：アーリー送信割り込み
- ETH_DMASR [13]：致命的バスエラー

ビット 14 **ERIE**：アーリー受信割り込みイネーブル

このビットが、正常割り込み要約イネーブルビット（ETH_DMAIER レジスタ [16]）とともにセットされると、アーリー受信割り込みが有効になります。
このビットがクリアされると、アーリー受信割り込みは無効です。

ビット 13 **FBEIE**：致命的バスエラー割り込みイネーブル

このビットが、異常割り込み要約イネーブルビット（ETH_DMAIER レジスタ [15]）とともにセットされると、致命的バスエラー割り込みが有効になります。
このビットがクリアされると、致命的バスエラー割り込みは無効です。

ビット 12:11 予約済みであり、リセット値に保持する必要があります。

ビット 10 **ETIE**：アーリー送信割り込みイネーブル

このビットが、異常割り込み要約イネーブルビット（ETH_DMAIER register[15]）とともにセットされると、アーリー送信割り込みが有効になります。
このビットがクリアされると、アーリー送信割り込みは無効です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 9 **RWTIE**：受信ウォッチドッグタイムアウト割り込みイネーブル

このビットが、異常割り込み要約イネーブルビット（ETH_DMAIER レジスタ [15]）とともにセットされると、受信ウォッチドッグタイムアウト割り込みが有効になります。

このビットがクリアされると、受信ウォッチドッグタイムアウト割り込みは無効です。

ビット 8 **RPSIE**：受信処理停止割り込みイネーブル

このビットが、異常割り込み要約イネーブルビット（ETH_DMAIER レジスタ [15]）とともにセットされると、受信プロセス停止割り込みが有効になります。このビットがクリアされると、受信プロセス停止割り込みは無効です。

ビット 7 **RBUIE**：受信バッファ使用不可割り込みイネーブル

このビットが、異常割り込み要約イネーブルビット（ETH_DMAIER レジスタ [15]）とともにセットされた場合、受信バッファ使用不可割り込みが有効になります。

このビットがクリアされると、受信バッファ使用不可割り込みは無効です。

ビット 6 **RIE**：受信割り込みイネーブル

このビットが正常割り込み要約イネーブルビット（ETH_DMAIER レジスタ [16]）とともにセットされた場合、受信割り込みが有効になります。

このビットがクリアされると、受信割り込みは無効です。

ビット 5 **TUIE**：アンダーフロー割り込みイネーブル

このビットが異常割り込み要約イネーブルビット（ETH_DMAIER レジスタ [15]）とともにセットされた場合、送信アンダーフロー割り込みが有効になります。

このビットがクリアされると、アンダーフロー割り込みは無効です。

ビット 4 **ROIE**：オーバーフロー割り込みイネーブル

このビットが異常割り込み要約イネーブルビット（ETH_DMAIER レジスタ [15]）とともにセットされた場合、受信オーバーフロー割り込みが有効になります。

このビットがクリアされると、オーバーフロー割り込みは無効です。

ビット 3 **TJTIE**：送信ジャバタイムアウト割り込みイネーブル

このビットが異常割り込み要約イネーブルビット（ETH_DMAIER レジスタ [15]）とともにセットされた場合、送信ジャバタイムアウト割り込みが有効になります。

このビットがクリアされると、送信ジャバタイムアウト割り込みは無効です。

ビット 2 **TBUIE**：送信バッファ使用不可割り込みイネーブル

このビットが正常割り込み要約イネーブルビット（ETH_DMAIER レジスタ [16]）とともにセットされた場合、送信バッファ使用不可割り込みが有効になります。

このビットがクリアされると、送信バッファ使用不可割り込みは無効です。

ビット 1 **TPSIE**：送信処理停止割り込みイネーブル

このビットが異常割り込み要約イネーブルビット（ETH_DMAIER レジスタ [15]）とともにセットされた場合、送信プロセス停止割り込みが有効になります。

このビットがクリアされると、送信停止割り込みは無効です。

ビット 0 **TIE**：送信割り込みイネーブル

このビットが正常割り込み要約イネーブルビット（ETH_DMAIER レジスタ [16]）とともにセットされた場合、送信割り込みが有効になります。

このビットがクリアされると、送信割り込みは無効です。

イーサネット割り込みは、DMA ステータスレジスタの TSTS または PMTS ビットがアサートされ、対応する割り込みのマスクが解除されたとき、または、NIS/AIS ステータスビットがアサートされ、対応する割り込みイネーブルビット（NISE/AISE）が有効にされたときにのみ生成されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

イーサネット DMA 欠落フレームおよびバッファオーバーフローカウンタレジスタ（ETH_DMAMFBOCR）

アドレスオフセット：0x1020

リセット値：0x0000 0000

DMA は、受信中に欠落フレームの数を追跡する 2 つのカウンタを維持します。このレジスタは、カウンタの現在値を報告します。カウンタは、診断目的で使用されます。ビット [15:0] はSTM32F4xx バッファが使用できない（使用できる受信ディスクリプタがない）ことによる欠落フレームを示します。ビット [27:17] は、Rx FIFO オーバーフロー条件およびラントフレーム（64 バイト未満の良好フレーム）による欠落フレームを示します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み			OFOC	MFA											OMFC	MFC															
			rc_r	rc_r	rc_r	rc_r	rc_r	rc_r	rc_r	rc_r	rc_r	rc_r	rc_r	rc_r	rc_r	rc_r	rc_r	rc_r	rc_r	rc_r	rc_r	rc_r	rc_r	rc_r	rc_r	rc_r	rc_r	rc_r	rc_r	rc_r	rc_r	rc_r

ビット 31:29 予約済みであり、リセット値に保持する必要があります。

ビット 28 **OFOC**：FIFO オーバーフローカウンタのオーバーフロービット

ビット 27:17 **MFA**：アプリケーションによる欠落フレーム
アプリケーションによる欠落フレームの数を示します。

ビット 16 **OMFC**：欠落フレームカウンタのオーバーフロービット

ビット 15:0 **MFC**：コントローラによる欠落フレーム
ホスト受信バッファが使用できないためにコントローラによって欠落されたフレームの数を示します。このカウンタは、DMA が着信フレームを破棄するたびにインクリメントされます。

イーサネット DMA 受信ステータスウォッチドッグタイマレジスタ（ETH_DMARSWTR）

アドレスオフセット：0x1024

リセット値：0x0000 0000

このレジスタに非ゼロ値を書き込むと、受信ステータス（RS、ETH_DMASR[6]）のウォッチドッグタイマが有効化されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																								RSWTC							
																								rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **RSWTC**：受信ステータス（RS）ウォッチドッグタイマカウント
ウォッチドッグタイマが設定される、HCLK クロックサイクル、256 との積を表示します。対応するディスクリプタ内の RDES1[31] 設定値のために RS ステータスビットが設定されないフレームの転送を RxDMA が完了した後の設定値でウォッチドッグタイマがトリガされます。ウォッチドッグタイマがタイムアウトすると、RS ビットがセットされ、タイマが停止します。受信フレームの RDES1[31] に従う RS の自動設定のために RS ビットがハイに設定されたとき、ウォッチドッグタイマはリセットされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

イーサネット DMA現在のホスト送信ディスクリプタレジスタ（ETH_DMACHTDR）

アドレスオフセット：0x1048

リセット値：0x0000 0000

現在のホスト送信ディスクリプタレジスタは、DMA によって読み出された現在の送信ディスクリプタの開始アドレスを示します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HTDAP																															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:0 **HTDAP**：ホスト送信ディスクリプタアドレスポインタ
クリア。ポインタは動作中に DMA によって更新されます。

イーサネット DMA現在のホスト受信ディスクリプタレジスタ（ETH_DMACHRDR）

アドレスオフセット：0x104C

リセット値：0x0000 0000

現在のホスト受信ディスクリプタレジスタは、DMA によって読み出された現在の受信ディスクリプタの開始アドレスを示します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HRDAP																															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:0 **HRDAP**：ホスト受信ディスクリプタアドレスポインタ
リセット時にクリアされます。ポインタは動作中に DMA によって更新されます。

イーサネット DMA 現在のホスト送信バッファアドレスレジスタ（ETH_DMACHTBAR）

アドレスオフセット：0x1050

リセット値：0x0000 0000

現在のホスト送信バッファアドレスレジスタは、DMA によって読み出されている現在の送信バッファを示します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HTBAP																															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:0 **HTBAP**：ホスト送信バッファアドレスポインタ
リセット時にクリアされます。ポインタは動作中に DMA によって更新されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

イーサネット DMA現在のホスト受信バッファアドレスレジスタ（ETH_DMACHRBAR）

アドレスオフセット：0x1054

リセット値：0x0000 0000

現在のホスト受信バッファアドレスレジスタは、DMA によって読み出されている現在の受信バッファを示します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HRBAP																															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:0 **HRBAP**：ホスト受信バッファアドレスポインタ

リセット時にクリアされます。ポインタは動作中に DMA によって更新されます。

33.8.5 イーサネットレジスタマップ

表 194 に、ETH レジスタマップとリセット値を示します。

表 194. イーサネットレジスタマップとリセット値

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	ETH_MACCR	予約済み						CSTF	予約済み	WD	JD	予約済み		IFG			CSD	予約済み	FES	ROD	LM	DM	IPCO	RD	予約済み	APCS	BL		DC	TE	RE	予約済み	
	Reset value							0		0	0			0	0	0	0		0	0	0	0	0	0		0	0	0	0	0	0		
0x04	ETH_MACFFR	RA	予約済み																				HPF	SAF		PCF		BFD	PAM	DAIF	HM	HU	PM
	Reset value	0																					0	0	0	0	0	0	0	0	0	0	0
0x08	ETH_MACHTHR	HTH[31:0]																															
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0C	ETH_MACHTLR	HTL[31:0]																															
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x10	ETH_MACMIIAR	予約済み																PA					MR						CR			MW	MB
	Reset value																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x14	ETH_MACMIIDR	予約済み																MD															
	Reset value																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x18	ETH_MACFCR	PT																予約済み								ZQPD	予約済み	PLT		UPFD	RFCE	TFCE	FCB/BPA
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0									0		0	0	0	0	0	0
0x1C	ETH_MACVLANTR	予約済み															VLANTC	VLANTI															
	Reset value																0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x28	ETH_MACRWUFFR	Frame filter reg0\Frame filter reg1\Frame filter reg2\Frame filter reg3\Frame filter reg4\...\Frame filter reg7																															
	Reset value	0																															
0x2C	ETH_MACPMTCSR	WFFRPR	予約済み																					GU	予約済み	WFR	MPR	予約済み			WFE	MPE	PD
	Reset value	0																						0		0	0				0	0	0
0x34	ETH_MACDBGR	予約済み						TFF	TFNEGU	予約済み	TFWA	TFRS		MTP	MTFCS	MMTEA	予約済み							RFFL	予約済み	RFRCS		RFWRA	予約済み		MSFRWCS		MMRPEA
	Reset value							0	0		0	0	0	0	0	0								0		0	0	0				0	0

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 194. イーサネットレジスタマップとリセット値（続き）

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x38	ETH_MACSR																	予約済み						TSTS	予約済み		MMCTS	MMCRS	MMCS	PMTS	予約済み		
	Reset value																							0			0	0	0	0			
0x3C	ETH_MACIMR																	予約済み						TSTIM	予約済み					PMTIM	予約済み		
	Reset value																							0						0			
0x40	ETH_MACA0HR	MO	予約済み															MACA0H															
	Reset value	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
0x44	ETH_MACA0LR	MACA0L																															
	Reset value	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
0x48	ETH_MACA1HR	AE	SA	MBC[6:0]						予約済み								MACA1H															
	Reset value	0	0	0	0	0	0	0	0									1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
0x4C	ETH_MACA1LR	MACA1L																															
	Reset value	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
0x50	ETH_MACA2HR	AE	SA	MBC						予約済み								MACA2H															
	Reset value	0	0	0	0	0	0	0	0									1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
0x54	ETH_MACA2LR	MACA2L																															
	Reset value	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
0x58	ETH_MACA3HR	AE	SA	MBC						予約済み								MACA3H															
	Reset value	0	0	0	0	0	0	0	0									1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
0x5C	ETH_MACA3LR	MACA3L																															
	Reset value	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
0x100	ETH_MMCCR	予約済み																										MCFHP	MCP	MCF	ROR	CSR	CR
	Reset value																											0	0	0	0	0	0
0x104	ETH_MMCRIR	予約済み														RGUFS	予約済み										RFAES	RFCES	予約済み				
	Reset value															0											0	0					
0x108	ETH_MMCTIR	予約済み										TGFS	予約済み					TGFMSCS	TGFSCS	予約済み													
	Reset value											0						0	0														
0x10C	ETH_MMCRIMR	予約済み														RGUFM	予約済み										RFAEM	RFCEM	予約済み				
	Reset value															0											0	0					
0x110	ETH_MMCTIMR	予約済み										TGFM	予約済み					TGFMSCM	TGFSCM	予約済み													
	Reset value											0						0	0														
0x14C	ETH_MMCTGFSCCR	TGFSCC																															
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x150	ETH_MMCTGFMSCCR	TGFMSCC																															
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x168	ETH_MMCTGFCR	TGFC																															
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x194	ETH_MMCRFCECR	RFCEC																															
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x198	ETH_MMCRFAECR	RFAEC																															
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x1C4	ETH_MMCRGUFCR	RGUFC																															
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 194. イーサネットレジスタマップとリセット値（続き）

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x700	ETH_PTPTSCR	予約済み													TSPFFMAE	TSCNT		TSSMRME	TSSEME	TSSIPV4FE	TSSIPV6FE	TSSPTPOEFE	TSPTPPSV2E	TSSSR	TSSARFE	予約済み		TTSARU	TSITE	TSSTU	TSSTI	TSFCU	TSE
	Reset value														0	0	0	0	0	1	0	0	0	0	0			0	0	0	0	0	0
0x704	ETH_PTPSSIR	予約済み																								STSSI							
	Reset value																									0	0	0	0	0	0	0	0
0x708	ETH_PTPTSHR	STS[31:0]																															
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x70C	ETH_PTPTSLR	STPNS	STSS																														
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x710	ETH_PTPTSHUR	TSUS																															
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x714	ETH_PTPTSLUR	TSUPNS	TSUSS																														
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x718	ETH_PTPTSAR	TSA																															
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x71C	ETH_PTPTTHR	TTSH																															
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x720	ETH_PTPTTLR	TTSL																															
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x728	ETH_PTPTSSR	予約済み																														TSTTR	TSSO
	Reset value																															0	0
0x1000	ETH_DMABMR	予約済み					MB	AAB	FPM	USP	RDP						FB	PM	PBL						EDFE	DSL						DA	SR
	Reset value						0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	1
0x1004	ETH_DMATPDR	TPD																															
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x1008	ETH_DMARPDR	RPD																															
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x100C	ETH_DMARDLAR	SRL																															
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x1010	ETH_DMATDLAR	STL																															
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x1014	ETH_DMASR	予約済み	TSTS	PMTS	MMCS	予約済み	EBS			TPS			RPS			NIS	AIS	ERS	FBES	予約済み		ETS	RWTS	RPSS	RBUS	RS	TUS	ROS	TJTS	TBUS	TPSS	TS	
	Reset value		0	0	0		0	0	0	0	0	0	0	0	0	0	0	0	0			0	0	0	0	0	0	0	0	0	0	0	0
0x1018	ETH_DMAOMR	予約済み				DTCEFD	RSF	DFRF	予約済み		TSF	FTF	予約済み			TTC			ST	予約済み					FEF	FUGF	予約済み	RTC		OSF	SR	予約済み	
	Reset value					0	0	0			0	0				0	0	0	0						0	0		0	0	0	0		
0x101C	ETH_DMAIER	予約済み														NISE	AISE	ERIE	FBEIE	予約済み		ETIE	RWTIE	RPSIE	RBUIE	RIE	TUIE	ROIE	TJTIE	TBUIE	TPSIE	TIE	
	Reset value															0	0	0	0			0	0	0	0	0	0	0	0	0	0	0	0
0x1020	ETH_DMAMFBOCR	予約済み			OFOC	MFA									OMFC	MFC																	
	Reset value				0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x1024	ETH_DMARSWTR	予約済み																								RSWTC							
	Reset value																									0	0	0	0	0	0	0	0
0x1048	ETH_DMACHTDR	HTDAP																															
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 194. イーサネットレジスタマップとリセット値（続き）

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x104C	ETH_ DMACHRDR	HRDAP																															
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x1050	ETH_ DMACHTBAR	HTBAP																															
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x1054	ETH_ DMACHRBAR	HRBAP																															
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

レジスタ境界アドレスについては、*表 2（64 ページ）*を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

34 USB On-The-Go FS（OTG_FS）

このセクションは、特に指定がない限り、STM32F4xx ファミリ全体に適用されます。

34.1 OTG_FSの概要

Portions Copyright (c) 2004, 2005 Synopsys, Inc. All rights reserved.掲載許可取得済み。

このセクションでは、OTG_FS コントローラのアーキテクチャとプログラミングモデルについて説明します。

このセクションでは、次の略記が使用されます。

FS	Full-Speed（フルスピード）
LS	Low-Speed（ロースピード）
MAC	Media Access Controller（メディアアクセスコントローラ）
OTG	On-The-Go（オンザゴー、簡便な）
PFC	Packet FIFO Controller（パケット FIFO コントローラ）
PHY	Physical Layer（物理層）
USB	Universal Serial Bus（ユニバーサルシリアルバス）
UTMI	USB 2.0 transceiver macrocell interface (UTMI)

このセクションでは、参照文献として以下の文書が使用されています。

- USB On-The-Go Supplement, Revision 1.3
- Universal Serial Bus Revision 2.0 Specification

OTG_FS はデバイスとホストの両方の機能をサポートするデュアルロールデバイス（DRD）コントローラであり、On-The-Go Supplement to the USB 2.0 Specification に完全に準拠しています。OTG_FS は、USB 2.0 Specification に完全に準拠したホスト専用またはデバイス専用のコントローラとして設定することも可能です。ホストモードの場合、OTG_FS はフルスピード（FS、12 Mbits/s）とロースピード（LS、1.5 Mbits/s）の両方の転送をサポートしますが、デバイスモードの場合は、フルスピード転送（FS、12 Mbits/s）のみをサポートします。OTG_FS は HNP と SRP の両方をサポートします。必要な外部デバイスは、ホストモードで使用される V_{BUS}用のチャージポンプのみです。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

34.2 OTG_FS の主な機能

主な機能は、一般的機能、ホストモード機能、およびデバイスモード機能の 3 つのカテゴリに分けて考えることができます。

34.2.1 一般的機能

OTG_FSインタフェースの機能概要を次に示します:

- Universal Serial Bus Specification Rev 2.0 に準拠した USB-IF です。
- On-The-Go Supplement Rev 1.3 仕様に詳細が規定されているオプションの On-The-Go（OTG）プロトコルの完全サポート（PHY）を含みます。
  - A-B Device Identification（ID ライン）をサポートしています。
  - Host Negotiation Protocol（HNP）および Session Request Protocol（SRP）をサポートしています。
  - OTG アプリケーションでバッテリを節約するために、ホストで V_{BUS} をオフすることができます。
  - 内部コンパレータによって OTG に V_{BUS}のレベルを監視させることができます。
  - ホスト-ペリフェラルのダイナミックな役割切り替えをサポートします。
- 以下の動作を行うようにソフトウェアでの設定が可能です。
  - SRP 対応の USB FS ペリフェラル（B デバイス）
  - SRP 対応の USB FS/LS ホスト（A デバイス）
  - USB On-The-Go フルスピードデュアルロールデバイス
- 以下の要素により FS SOF および LS Keep-alive をサポートします。
  - SOF パルス PAD 接続性
  - タイマ 2（TIM2）との SOF パルス内部接続
  - 設定可能なフフレーミング周期
  - 設定可能なエンドオブフレーム割り込み
- USB サスペンド中のシステム停止、デジタルコア、PHY、および DFIFO パワー管理回路内部のクロックドメインの電源オフなど、節電機能を含んでいます。
- 以下のような高度な FIFO 制御を備えた専用の 1.25 KB RAM を備えています。
  - RAM 空間を複数の FIFO に分割して、RAM を柔軟かつ効率的に使用できます。
  - 各 FIFO は複数のパケットを保持できます。
  - 動的なメモリ割り当て
  - FIFO を 2 のべき乗でないサイズに設定して、連続的なメモリ位置の使用が可能です。
- システムの介入なしで、最大 1 フレーム（1ms）の間、最大 USB バンド幅を保証します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

34.2.2 ホストモード機能

ホストモードでのOTG_FSインタフェースの主な機能と条件は次の通りです:

- V_{BUS}電圧発生用の外部チャージポンプが必要
- 最大 8ホストチャンネル （パイプ）: 任意タイプのUSB転送を割り当て可能にするため各チャンネルを動的に再設定可能。
- 次を保持するハードウェアスケスケジューラを内蔵:
  - 最大 8 つの割り込みに加えて、周期的ハードウェアキュー内でのアイソクロナス転送リクエスト
  - 最大 8 つの制御に加えて、非周期的ハードウェアキュー内でのバルク転送リクエスト
- USB データ RAM の効率的な使用のために、共有 RX FIFO、周期的 TX FIFO、および非周期的 TX FIFO を管理します。

34.2.3 ペリフェラルモードの機能

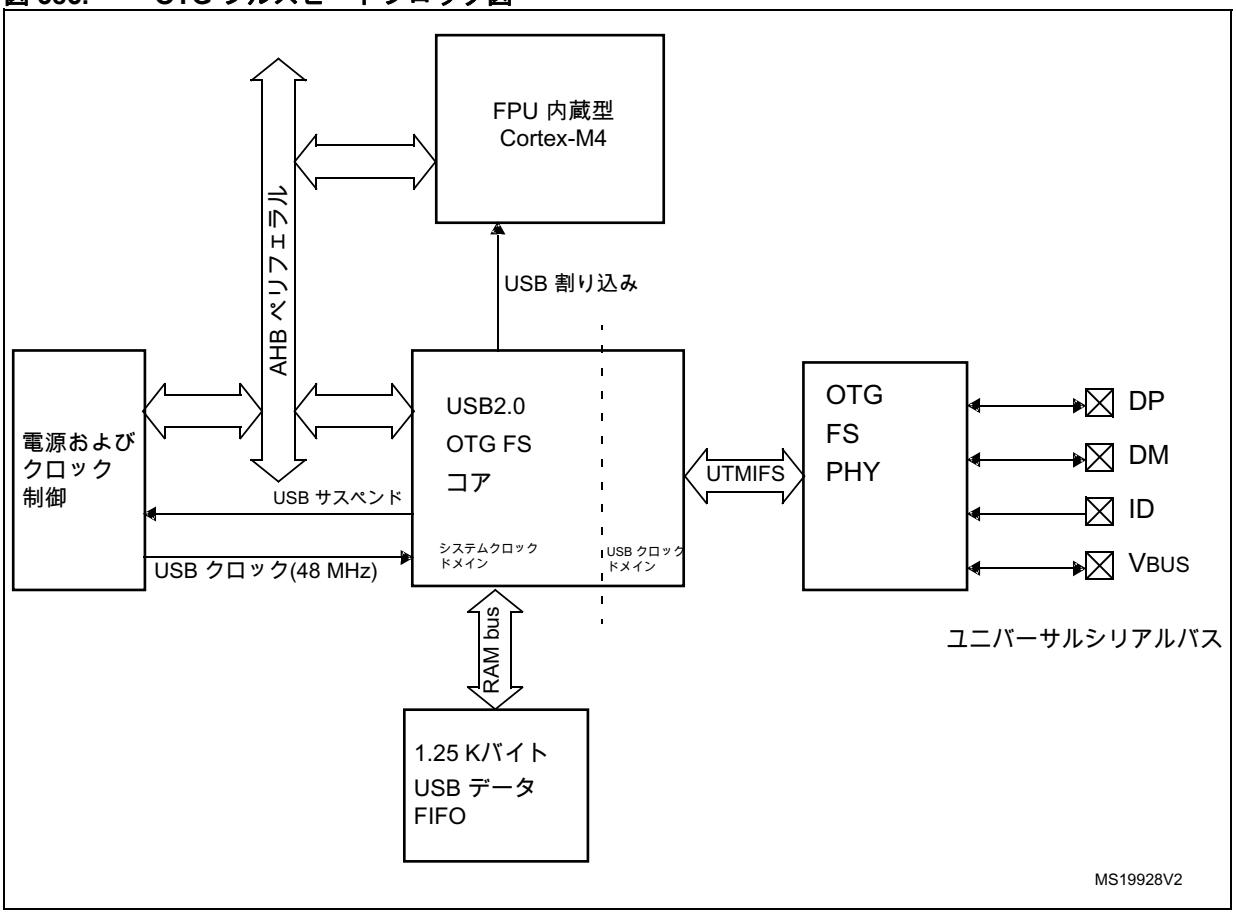
ペリフェラルモードでのOTG_FSインタフェースの主要機能を次に示します:

- 1 つの双方向コントロールエンドポイント 0 を持っています。
- バルク、割り込み、またはアイソクロナス転送をサポートするために、設定可能な 3 つの IN エンドポイント（EP）を持っています。
- バルク、割り込み、またはアイソクロナス転送をサポートするために、設定可能な 3 つの OUT エンドポイント（EP）を持っています。
- USB データ RAM の効率的な使用のために、共有 RX FIFO と Tx-OUT FIFO を管理します。
- アプリケーションの負荷を軽減するために、最大 4 つの専用 Tx-IN FIFO（有効な IN EP に対して 1 つずつ）を管理します。
- ソフト切断機能をサポートしています。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

34.3 OTG_FSの機能説明

図 385. OTG フルスピードブロック図



34.3.1 OTG フルスピードコア

USB OTG FS は、外部水晶発振器を通じて、リセットおよびクロックコントローラ（RCC）から 48 MHz ±0.25% のクロックを受け取ります。USB クロックは、フルスピード（12 Mbit/s）で 48 MHz ドメインを駆動するために使用され、OTG_FS コアを設定する前に有効にされなければなりません。

CPU は AHB ペリフェラルバスを通じて OTG FS Core レジスタの読み書きを行います。これは、（*セクション 34.15 : OTG_FS 割り込み*）で説明されている単一の USB OTG 割り込みを介して USB イベントとして通知されます。

CPU は、専用の OTG_FS 位置（プッシュレジスタ）に 32 ビットのワードを書き込むことによって、USB を介してデータを提供します。データは USB データ RAM 内に設定された Tx データ FIFO に自動的に格納されます。各 IN エンドポイント（ペリフェラルモードの場合）または OUT チャネル（ホストモードの場合）に対して 1 つの Tx FIFO プッシュレジスタがあります。

CPU は、専用の OTG_FS アドレス（ポップレジスタ）から 32 ビットのワードを読み出すことによって、USB からデータを受け取ります。データは、1.25 KB の USB データ RAM 内に設定された共有 Rx FIFO から自動的に取得されます。各 OUT エンドポイントまたは IN チャネルに対して 1 つの Rx FIFO ポップレジスタがあります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

USB プロトコル層は、シリアルインタフェースエンジン（SIE）によって駆動され、オンチップ物理層（PHY）内のフルスピード／ロースピードトランシーバモジュールによって USB 上で直列化（シリアライズ）されます。

34.3.2 フルスピードOTG PHY

組み込みのフルスピード OTG PHY は、OTG FS コアによって制御され、UTMI+ バス（UTMIFS）のフルスピードサブセットを通じて USB 制御信号およびデータ信号を運びます。USB 接続の物理サポートを提供します。
フルスピード OTG PHY には、以下のコンポーネントが含まれます。

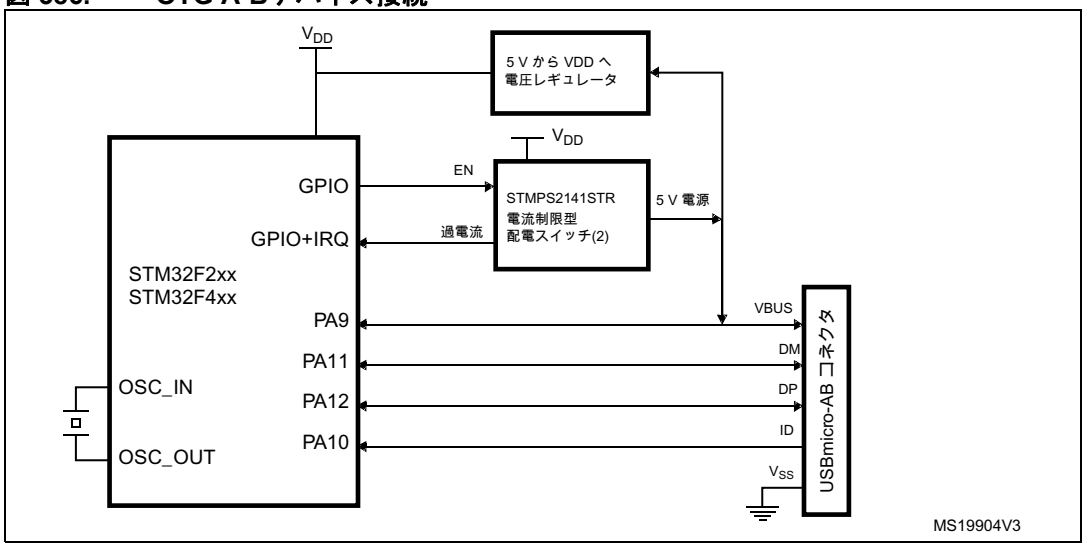
- ホストとデバイスの両方で使用される FS/LS トランシーバモジュール。シングルエンド USB ライン上で送受信を直接駆動します。
- A/B デバイス識別のための ID ラインをサンプリングするために使用される ID プルアップ抵抗。
- デバイスの現在の役割に依存して OTG_FS コアによって制御される DP/DM 内蔵プルアップおよびプルダウン抵抗。ペリフェラルとして、V_{BUS} が有効なレベルであると判断されると、DP プルアップ抵抗を有効にして、フルスピードペリフェラルを知らせます（B セッションが有効な場合）。ホストモードでは、DP/DM の両方でプルダウン抵抗が有効にされます。プルアップ抵抗とプルダウン抵抗は、デバイスの役割がホストネゴシエーションプロトコル（HNP）を通じて変更されたとき、動的に切り替えられます。
- プルアップ／プルダウン抵抗 ECN 回路。DP プルアップ回路は、USB Rev2.0 に適用される抵抗の技術変更通知（Enginering Change Notice）に従って、OTG_FS から個別に制御される 2 つの抵抗で構成されます。DP プルアップの動的なトリミングは、ノイズの低減と Tx/Rx 信号品質の向上を可能にします。
- V_{BUS} の有効性、A-B セッションの有効性、およびセッション終了電圧閾値を検出するために使用されるヒステリシスを持つ V_{BUS} レベル検出用コンパレータ。これらは、セッションリクエストプロトコル（SRP）の駆動、有効な起動およびセッション終了条件の検出、および USB 操作中の V_{BUS} 電源の定常的な監視のために使用されます。
- SRP 中に抵抗を通じて V_{BUS} を充電／放電するための V_{BUS} パルス駆動回路（弱駆動）。

注： ***USB OTG FSペリフェラルの正常動作を保証するためには、AHB 周波数を14.2 MHzより高くする必要があります。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

34.4 OTG デュアルロールデバイス（DRD）

図 386. OTG A-Bデバイス接続



1. V_{BUS} で電源が供給されるデバイスを設定するときだけ必要な外部電圧レギュレータ
2. アプリケーションが V_{BUS} で電源が供給されるデバイスをサポートしなければならない場合のみ必要な STMPS2141STR。アプリケーションボード上で 5 V が使用可能な場合、基本的なパワースイッチを使用することができます。

34.4.1 ID ラインの検出

ホストかペリフェラル（デフォルト）かの役割は、ID 入力ピンに応じて割り当てられます。ID ラインのステータスは、USB 端子への挿入時に、USB ケーブルのどちら側がマイクロ AB レセプタクルに接続されたかによって決まります。

- USB ケーブルの B 側がフローティング ID ワイヤに接続された場合、内蔵プルアップ抵抗が ID ラインのハイレベルを検出して、デフォルトのペリフェラルの役割が確立されます。この構成では、OTG_FSはセクション6.8.2で説明する標準 FSM、すなわちUSB2.0に対するOn-The-Go 仕様 Rev1.3補足のOn-The-Go Bデバイスに準拠しています。
- USB ケーブルの A 側がアース付き ID ラインに接続された場合、OTG_FS は、ホストのソフトウェア初期化のために ID ラインステータス変化割り込み（OTG_FS_GINTSTS の CIDSCHG ビット）を発行して、自動的にホストの役割に切り替わります。この構成では、OTG_FSはセクション6.8.1で説明する標準 FSM、すなわちUSB2.0に対するOn-The-Go 仕様 Rev1.3補足のOn-The-Go Aデバイスに準拠しています。

34.4.2 HNP デュアルロールデバイス

グローバル USB 設定レジスタの HNP 対応ビット（OTG_FS_ GUSBCFG の HNPCAP ビット）は、OTG_FS コアがホストネゴシエーションプロトコル（HNP）に従って、役割を A ホストから A ペリフェラルに（またその逆）、または B ペリフェラルから B ホスト（またその逆）に動的に変更できるようにします。現在のデバイスのステータスは、グローバル OTG 制御およびステータスレジスタのコネクタ ID ステータスビット（OTG_FS_GOTGCTL の CIDSTS ビット）とグローバル割り込みおよびステータスレジスタの現在の動作モードビット（OTG_FS_GINTSTS の CMOD ビット）の値の組み合わせによって読み出すことができます。

HNP プログラムモデルの詳細は*セクション 34.17 : OTG_FS プログラミングモデル*で説明されています。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

34.4.3 SRP デュアルロールデバイス

グローバル USB 設定レジスタの SRP 対応ビット（OTG_FS_ GUSBCFG の SRPCAP ビット）は、OTG_FS コアが A デバイスの節電のために V_{BUS} の生成を停止できるようにします。A デバイスは OTG_FS の役割がホストかペリフェラルかに関係なく、常に、V_{BUS} を駆動する役割を持っていることに注意してください。

SRP A/B デバイスプログラムモデルの詳細は*セクション 34.17：OTG_FS プログラミングモデル*で説明されています。

34.5 USBペリフェラル

このセクションでは、USB ペリフェラルモードでの OTG_FS の機能について説明します。OTG_FS は、以下の環境で USB ペリフェラルとして機能します。

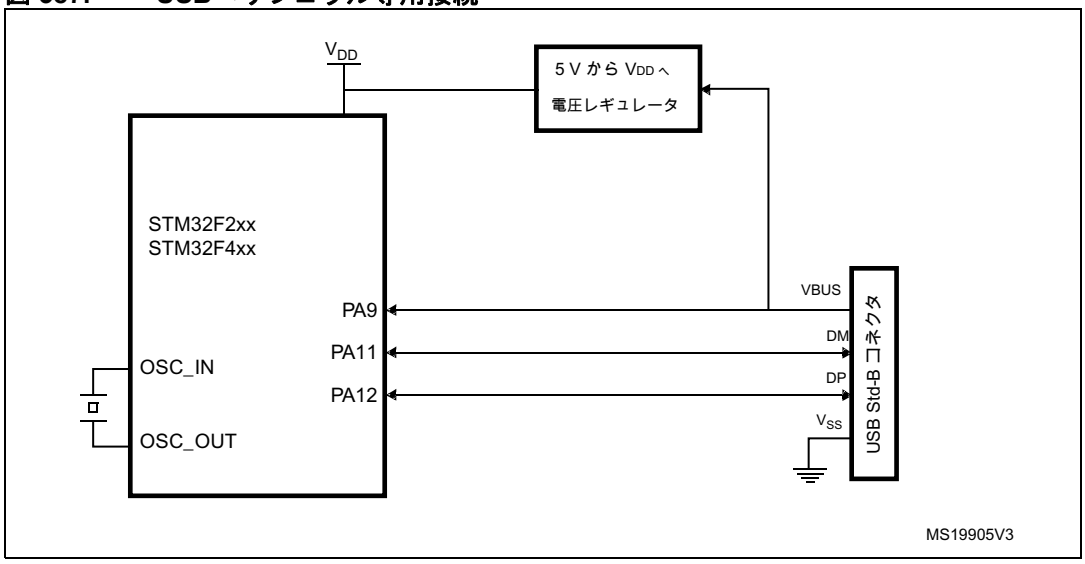
- OTG B ペリフェラル
  - USB ケーブルの B 側が挿入された場合の OTG B デバイスのデフォルトの状態
- OTG A ペリフェラル
  - HNP が OTG_FS の役割をペリフェラルに切り替えた後の OTG A デバイスの状態
- Bデバイス
  - ID ラインが存在し、機能していて、USB ケーブルの B 側に接続され、かつ、グローバル USB 設定レジスタの HNP 対応ビット（OTG_FS_GUSBCFG の HNPCAP ビット）がクリアされている場合（On-The-Go Rev1.3 par. 6.8.3 を参照）。
- ペリフェラル専用（*図 387：USBペリフェラル専用接続*を参照）
  - グローバル USB 設定レジスタの強制デバイスモードビット（OTG_FS_GUSBCFG の FDMOD）が 1 にセットされると、OTG_FS コアは強制的に USB ペリフェラル専用として機能します（On-The-Go Rev1.3 par. 6.8.3 を参照）。この場合、ID ラインは、USB コネクタ上に存在していても無視されます。

注： ***B デバイスまたはペリフェラル専用設定の場合に電源がバスから供給されるデバイスを実装するには、V_{BUS} から V_{DD} チップ供給を生成する外部トリガ回路を追加する必要があります。***

V_{BUS} センシングオプションを無効化することにより、V_{BUS} ピンを開放することができます。このためには、OTG_FS_GCCFG レジスタの NOVBUSSENS ビットをセットします。この場合、V_{BUS} は内部で常に V_{BUS} の有効レベル（5 V）にあると見なされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 387. USBペリフェラル専用接続



1. バスから電源が供給されるデバイスを構築するには、レギュレータを使用します。

34.5.1 SRP 対応ペリフェラル

グローバル USB 設定レジスタの SRP 対応ビット（OTG_FS_ GUSBCFG の SRPCAP ビット）は、OTG_FS コアがセッションリクエストプロトコル（SRP）をサポートできるようにします。この方法により、USB セッションがサスペンド状態にある間、V_{BUS} の供給を停止して、リモート A デバイスの消費電力を節約できます。

SRP ペリフェラルモードプログラムモデルの詳細は *B デバイスセッションリクエストプロトコル* のセクションで説明されています。

34.5.2 ペリフェラルの状態

電源が供給された状態

V_{BUS} 入力は、USB ペリフェラルが電源供給状態に入ることが許される B セッション有効電圧を検出します（USB2.0 par9.1 を参照）。その場合、OTG_FS は、DP プルアップ抵抗を自動的に接続して、フルスピードデバイス接続をホストに知らせ、セッションリクエスト割り込みを生成して（OTG_FS_GINTSTS の SRQINT ビット）、電源供給状態を通知します。

V_{BUS} 入力は、また、USB 動作中にホストによって適切な V_{BUS} レベルが供給されることを保証します。V_{BUS} 電源が B セッションの有効値以下に低下したことが検出された場合（たとえば、電源の変動があった場合や、ホストポートの電源がオフとなった場合など）、OTG_FS は自動的に切断され、セッション終了検出割り込み（OTG_FS_GOTGINT の SEDET ビット）が生成されて、OTG_FS が電源供給状態でなくなったことを通知します。

電源供給状態では、OTG_FS は、ホストからリセットシグナリングを受け取ることを期待しています。他の USB 操作を実行することはできません。リセットシグナリングを受け取ると、リセット検出割り込み（OTG_FS_GINTSTS の USBRST ビット）が生成されます。リセットシグナリングが完了すると、エミュレーション終了割り込み（OTG_FS_GINTSTS の ENUMDNE ビット）が生成され、OTG_FS はデフォルト状態に入ります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ソフト切断

電源供給状態は、ソフト切断機能によってソフトウェアで終了させることができます。DP プルアップ抵抗は、デバイス制御レジスタのソフト切断ビット（OTG_FS_DCTL の SDIS ビット）をセットすることによって取り除かれ、USB ケーブルが実際にはホストポートから取り除かれていなくても、ホスト側にデバイス切断検出割り込みを生成します。

デフォルト状態

デフォルト状態では、OTG_FS はホストから SET_ADDRESS コマンドを受け取ることを期待しています。他の USB 操作を実行することはできません。有効な SET_ADDRESS コマンドが USB 上でデコードされると、アプリケーションは対応する番号をデバイス設定レジスタのデバイスアドレスフィールドに書き込みます（OTG_FS_DCFG の DAD ビット）。その場合、OTG_FS アドレス状態に入り、設定された USB アドレスでホストトランザクションに応答する準備が整います。

サスペンド状態

OTG_FS ペリフェラルは、USB の活動状態を定常的に監視します。USB のアイドル状態が 3 ms 続くと、アーリーサスペンド割り込み（OTG_FS_GINTSTS の ESUSP ビット）が発行され、適切な場合は 3 ms 後にサスペンド割り込み（OTG_FS_GINTSTS の USBSUSP ビット）によって確認されます。その場合、デバイスステータスレジスタのデバイスサスペンドビット（OTG_FS_DSTS の SUSPSTS ビット）が自動的にセットされ、OTG_FS はサスペンド状態に入ります。

サスペンド状態は、デバイス自身によって終了することもできます。この場合、アプリケーションはデバイス制御レジスタのリモートウェイクアップシグナリングビット（OTG_FS_DCTL の RWUSIG ビット）をセットし、1～15 ms 後にクリアします。

ホストからレジュームシグナリングが検出されると、レジューム割り込み（ OTG_FS_GINTSTS の WKUPINT ビット）が発生され、デバイスサスペンドビットは自動的にクリアされます。

34.5.3 ペリフェラルエンドポイント

OTG_FS コアは、以下の USB エンドポイントをインスタンス化します。

- コントロールエンドポイント 0 :
  - 双方向であり、制御メッセージのみを取り扱います。
  - 入力および出力トランザクションを処理する個別のレジスタセットを備えています。
  - 固有の制御レジスタ（OTG_FS_DIEPCTL0/OTG_FS_DOEPCTL0）、転送設定レジスタ（OTG_FS_DIEPTSIZ0/OTG_FS_DOEPTSIZ0）、およびステータス割り込みレジスタ（OTG_FS_DIEPINTx/OTG_FS_DOEPINT0）を備えています。制御および転送サイズレジスタ内で使用可能なビットのセットは、他のエンドポイントとは少し違います。
- 3 つの IN エンドポイント
  - それぞれ、アイソクロナス転送、バルク転送、または割り込み転送タイプをサポートするように設定できます。
  - それぞれ、固有の制御レジスタ（OTG_FS_DIEPCTL*x*）、転送設定レジスタ（OTG_FS_DIEPTSIZ*x*）、およびステータス割り込みレジスタ（OTG_FS_DIEPINT*x*）を備えています。
  - デバイス IN エンドポイント共通割り込みマスクレジスタ（OTG_FS_DIEPMSK）を使用して、すべての IN エンドポイント（EP0 も含む）上で 1 種類のエンドポイント割り込みソースを有効／無効にできます。
  - 現在のフレーム内で転送が完了していないアイソクロナス IN エンドポイントが少なくとも 1 つあるときにアサートされる、不完全アイソクロナス IN 転送割り込み（OTG_FS_GINTSTS の IISOIXFR ビット）をサポートします。この割り込みは、周期的フレーム割り込み（OTG_FS_GINTSTS/EOPF）の終わりとともにアサートされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

- 3 つの OUT エンドポイント
  - それぞれ、アイソクロナス転送、バルク転送、または割り込み転送タイプをサポートするように設定できます。
  - それぞれ、固有の制御レジスタ（OTG_FS_DOEPCTL*x*）、転送設定レジスタ（OTG_FS_DOEPTSIZ*x*）、およびステータス割り込みレジスタ（OTG_FS_DOEPINT*x*）を備えています。
  - デバイス OUT エンドポイント共通割り込みマスクレジスタ（OTG_FS_DOEPMSK）を使用して、すべての OUT エンドポイント（EP0 も含む）上で 1 種類のエンドポイント割り込みソースを有効／無効にすることができます。
  - 現在のフレーム内で転送が完了していないアイソクロナス OUT エンドポイントが少なくとも 1 つあるときにアサートされる、不完全アイソクロナス OUT 転送割り込み（OTG_FS_GINTSTS の INCOMPISOOUT ビット）をサポートします。この割り込みは、周期的フレーム割り込み（OTG_FS_GINTSTS/EOPF）の終わりとともにアサートされます。

エンドポイント制御

- 以下のエンドポイント制御は、デバイスエンドポイント x IN/OUT 制御レジスタ（DIEPCTL*x*/DOEPCTL*x*）を通じて、アプリケーションから使用できます。
  - エンドポイントイネーブル／ディセーブル
  - 現在の設定でのエンドポイントのアクティブ化
  - USB 転送タイプ（アイソクロナス、バルク、割り込み）のプログラミング
  - サポートされるパケットサイズのプログラミング
  - IN エンドポイントに関連する Tx FIFO 番号のプログラミング
  - 期待される、または送信されるデータ 0／データ 1 PID（バルク／割り込みのみ）のプログラミング
  - トランザクションが送受信される偶数／奇数フレームのプログラミング（アイソクロナス転送のみ）
  - オプションで、FIFO のステータスに関係なく、常にホストに否定応答する NAK ビットのプログラミング
  - オプションで、エンドポイントに対するホストトークンを常に停止する STALL ビットのプログラミング
  - オプションで、OUT エンドポイントが受信データの CRC フィールドをチェックしないようにする SNOOP モードのプログラミング

エンドポイント転送

アプリケーションは、デバイスエンドポイント x 転送サイズレジスタ（DIEPTSIZ*x*/DOEPTSIZ*x*）を使用して、転送サイズパラメータをプログラムし、転送ステータスを読み出すことができます。エンドポイント制御レジスタのエンドポイントイネーブルビットをセットする前にプログラミングを行う必要があります。エンドポイントが有効になると、これらのフィールドは、OTG_FS コアが現在の転送ステータスで更新すると、読み出し専用になります。

以下の転送パラメータがプログラム可能です。

- 転送サイズ（バイト単位）
- 全体の転送サイズを構成するパケットの数

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

エンドポイントのステータス／割り込み

デバイスエンドポイント x 割り込みレジスタ（DIEPINT*x*/DOPEPINT*x*）は、USB および AHB 関連イベントに関するエンドポイントのステータスを示します。アプリケーションは、コア割り込みレジスタの OUT エンドポイント割り込みビットまたは IN エンドポイント割り込みビット（OTG_FS_GINTSTS の OEPINT ビット、または OTG_FS_GINTSTS の IEPINT ビット）がセットされたとき、これらのレジスタを読み出さなければなりません。アプリケーションがこれらのレジスタを読み出すためには、まず、デバイスオールエンドポイント割り込み（OTG_FS_DAINT）レジスタを読み出して、デバイスエンドポイント x 割り込みレジスタの正確なエンドポイント番号を取得する必要があります。アプリケーションは、このレジスタの適切なビットをクリアすることによって、DAINT および GINTSTS レジスタの対応するビットをクリアする必要があります。

ペリフェラルコアは、以下のステータスチェックおよび割り込み発生を行います。

- データ転送がアプリケーション側（AHB）と USB 側の両方で完了したことを示す転送完了割り込み
- セットアップステージが終了しているかどうか（コントロール出力のみ）
- 関連する送信 FIFO が半分または完全にエンプティであるかどうか（IN エンドポイント）
- NAK 応答がホストに送信されたかどうか（アイソクロナス入力のみ）
- Tx FIFO がエンプティのとき IN トークンが受け取られたかどうか（バルク入力 / 割り込み入力のみ）
- エンドポイントがまだ有効になっていないときに OUT トークンを受け取ったかどうか
- バブルエラー条件が検出されたかどうか
- アプリケーションによるエンドポイントの無効化が可能かどうか
- アプリケーションによるエンドポイント NAK が可能かどうか（アイソクロナス入力のみ）
- 3 つを超える連続したセットアップパケットが受信されたかどうか（コントロール出力のみ）
- タイムアウト条件が検出されたかどうか（コントロール入力のみ）
- アイソクロナス出力パケットが割り込みを生成せずにドロップされたかどうか

34.6 USBホスト

このセクションでは、USB ホストモードでの OTG_FS の機能について説明します。OTG_FS は以下の環境で USB ホストとして機能します。

- OTG A ホスト
  - USB ケーブルの A 側が挿入されたときの OTG A デバイスのデフォルト状態
- OTG B ホスト
  - HNP がホストの役割に切り替わった後の OTG B デバイス
- Aデバイス
  - ID ラインが存在し、機能していて、USB ケーブルの A 側に接続され、かつ、グローバル USB 設定レジスタの HNP 対応ビット（OTG_FS_GUSBCFG の HNPCAP ビット）がクリアされている場合。組み込みのプルダウン抵抗が自動的に DP/DM ライン上にセットされます。
- ホストのみ（*図 388：USBホスト専用接続*を参照）。
  - グローバル USB 設定レジスタの強制ホストモードビット（OTG_FS_GUSBCFG の FHMOD ビット）は、OTG_FS コアを強制的に USB ホスト専用として機能させます。この場合、ID ラインは、USB コネクタ上に存在していても無視されます。組み込みのプルダウン抵抗が自動的に DP/DM ライン上にセットされます。

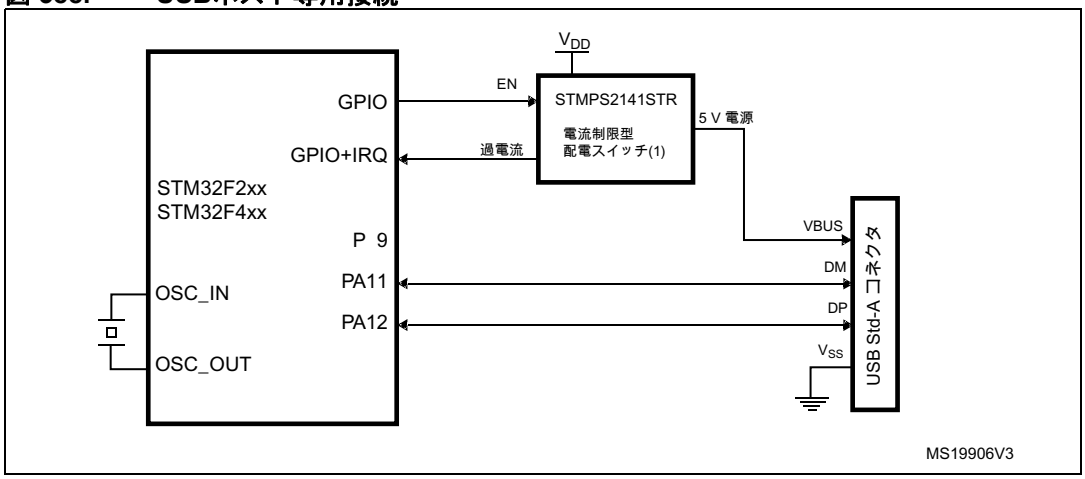
この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

注： ***オンチップの 5 V V_{BUS} の生成はサポートされていません。このため、チャージポンプ、または 5 V がアプリケーションボード上で使用可能な場合、基本的なパワースイッチを外部で追加して、5 V V_{BUS} ラインを駆動しなければなりません。外部チャージポンプは、任意の GPIO 出力からでも駆動できます。これは、OTG A ホスト、A デバイス、およびホスト専用設定の場合に必要です。***

V_{BUS} 入力は、USB 操作中に、チャージポンプによって有効な V_{BUS} レベルが供給されることを保証します。チャージポンプの過電流出力は、ポート割り込みを生成するように設定された任意の GPIO ピンに入力できます。過電流 ISR は迅速に V_{BUS} の生成を無効にする必要があります。

V_{BUS}センシングオプションを無効化することにより、V_{BUS} ピンを開放することができます。このためには、OTG_FS_GCCFG レジスタの NOVBUSSENS ビットをセットします。この場合、V_{BUS}は内部で常にV_{BUS}の有効レベル （5 V）にあると見なされます。

図 388. USBホスト専用接続



1. アプリケーションが V_{BUS} で電源が供給されるデバイスをサポートしなければならない場合のみ必要な STMPS2141STR。アプリケーションボード上で 5 V が使用可能な場合、基本的なパワースイッチを使用することができます。
2. V_{DD}範囲は2 V～3.6 Vです。

34.6.1 SRP 対応ホスト

SRP のサポートはグローバル USB 設定レジスタの SRP 対応ビット（OTG_FS_GUSBCFG の SRPCAP ビット）を通じて使用可能です。SRP 機能が有効なときには、ホストは、USB セッションがサスペンド状態にある間、V_{BUS} の電力供給を停止することによって、消費電力を節約できます。

SRP ホストモードのプログラムモデルの詳細は *A デバイスセッションリクエストプロトコル*のセクションで説明されています。

34.6.2 USB ホストの状態

ホストポートパワー

オンチップの 5 V V_{BUS} の生成はサポートされていません。このため、チャージポンプ、または 5 V がアプリケーションボード上で使用可能な場合、基本的なパワースイッチを外部で追加して、5 V V_{BUS} ラインを駆動しなければなりません。外部チャージポンプは、任意の GPIO 出力からでも駆動できます。アプリケーションが選んだ GPIO を使用して V_{BUS} に電源を供給することにした場合は、ホストポート制御レジスタとステータスレジスタのポートパワービット（OTG_FS_HPRT の PPWR ビット）もセットする必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

V_{BUS} 有効

HNPまたはSRPが有効化された場合、VBUSセンシングピン （PA9）はV_{BUS}に接続する必要があります。USB 動作中にチャージポンプによって適切な V_{BUS} レベルが供給されることをV_{BUS} 入力は保証します。V_{BUS} の有効閾値（4.25 V）以下への予期せぬ V_{BUS} 電圧の低下が発生すると、セッション終了検出ビット（OTG_FS_GOTGINT の SEDET ビット）に OTG 割り込みがトリガされます。その場合、アプリケーションは V_{BUS} 電源供給を停止し、ポートパワービットをクリアする必要があります。

HNPとSRPが共に無効化された場合、VBUSセンシングピン （PA9）はV_{BUS}に接続してはいけません。このピンはGPIOとして使用することができます。

チャージポンプの過電流フラグは、電気的ダメージを防止するためにも使用できます。チャージポンプからの過電流フラグ出力を任意の GPIO 入力に接続して、有効レベルになったときにポート割り込みを生成するように設定します。過電流 ISR は迅速に V_{BUS} の生成を無効にし、ポートパワービットをクリアする必要があります。

ペリフェラル接続のホスト検出

SRPまたはHNPを有効化し、かつUSBペリフェラルまたはBデバイスを何時でも接続できる場合でも、V_{BUS}が有効レベル(5 V）で検出できなくなるまで、OTG_FSはバス接続を検出しません。V_{BUS} が有効なレベルにあり、リモート B デバイスが接続されると、OTG_FS コアは、ホストポート制御およびステータスレジスタのデバイス接続ビット（OTG_FS_HPRT の PCDET ビット）によってトリガされるホストポート割り込みを発行します。

HNPとSRPが共に無効化されたとき、USBペリフェラルまたはBデバイスが接続されると直ちに検出されます。OTG_FS コアは、ホストポート制御およびステータス内のデバイス接続ビット（OTG_FS_HPRTのPCDETビット）から発生するホストポート割り込みを発行します。

ペリフェラル切断のホスト検出

ペリフェラル切断イベントは、切断検出割り込み（OTG_FS_GINTSTS の DISCINT ビット）をトリガします。

ホストのエニュメレーション

ペリフェラル接続を検出した後、ホストは、USB リセットおよび設定コマンドを新しいペリフェラルに送信することによって、エニュメレーションプロセスを開始しなければなりません。

USB リセットの駆動を開始する前に、アプリケーションは、デバウンス終了ビット（OTG_FS_GOTGINT の DBCDNE ビット）によってトリガされる OTG 割り込みを待ちます。これは、DP（FS）または DM（LS）上のプルアップ抵抗の接続によって生じた電気的デバウンスの後、バスが再び安定状態に戻ったことを示します。

アプリケーションは、ホストポート制御およびステータスレジスタ（OTG_FS_HPRT の PRST ビット）のポートリセットビットを最短 10 ms、最長 20 ms の間セット状態に保つことによって、USB を介した USB リセットシグナリング（シングルエンド、ゼロ）を駆動します。アプリケーションは、タイミングカウントをチェックした後、ポートリセットビットがクリアされているかどうかを確認します。

USB リセットシーケンスが完了すると、ポートイネーブル／ディセーブル変更ビット（OTG_FS_HPRT の PENCHNG ビット）によってホストポート割り込みがトリガされます。これは、エニュメレーションされたペリフェラルの速度をホストポート制御およびステータスレジスタ（OTG_FS_HPRT の PSPD ビット）のポート速度フィールドから読み出せることと、ホストが SOF（FS）またはキープアライブ（LS）の駆動を開始しようとしていることをアプリケーションに知らせます。これで、ホストは、ペリフェラル設定コマンドを送信することによってペリフェラルエニュメレーションを完了する準備ができたことになります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ホストのサスペンド

アプリケーションは、ホストポート制御およびステータスレジスタのポートサスペンドビット（OTG_FS_HPRT の OSUSP ビット）をセットすることによって、USB の活動をサスペンド（一時停止）します。OTG_FS コアは、SOF の送信を停止し、サスペンド状態に入ります。

サスペンド状態は、リモートデバイスが主導して（リモートウェイクアップ）、終了することもできます。この場合、ホストポート制御およびステータスレジスタのポートレジュームビット（OTG_FS_HPRT の PRES ビット）セルフセットが検出されると、リモートウェイクアップ割り込み（OTG_FS_GINTSTS の WKUPINT ビット）が生成され、レジューム信号が USB 上で自動的に駆動されます。アプリケーションは、レジュームウィンドウの時間を決めてから、ポートレジュームビットをクリアしてサスペンド状態を終了し、SOF をリスタートする必要があります。

サスペンド状態をホスト主導で終了した場合、アプリケーションは、ポートレジュームビットをセットして、ホストポートでのシグナリングのレジュームを開始し、レジュームウィンドウの時間を決め、最後に、ポートレジュームビットをクリアする必要があります。

34.6.3 ホストチャネル

OTG_FS コアは、8 つのホストチャネルをインスタンス化します。各ホストチャネルは、USB ホスト転送をサポートします（USB パイプ）。ホストは、同時に 8 つを超える転送リクエストをサポートすることはできません。アプリケーションからの 8 つを超える転送リクエストがペンディング中の場合、ホストコントローラドライバ（HCD）は、チャネルが以前のデューティから使用可能になったとき、すなわち、転送完了およびチャネルホールト割り込みの受信後、チャネルの再割り当てを行う必要があります。

各ホストチャネルは、入力／出力および任意のタイプの周期的/非周期的トランザクションをサポートするように設定できます。各ホストチャネルは、適切な制御（HCCHAR*x*）、転送設定（HCTSIZ*x*）、および持つステータス／割り込み（HCINT*x*）レジスタと関連するマスク（HCINTMSK*x*）レジスタの使用を可能にします。

ホストチャネル制御

- アプリケーションは、ホストチャネル x 特性レジスタ（HCCHARx）を通じて、以下のホストチャネル制御を使用できます。
  - チャネルのイネーブル／ディセーブル
  - ターゲット USB ペリフェラルの FS/LS 速度のプログラミング
  - ターゲット USB ペリフェラルのアドレスのプログラミング
  - ターゲット USB ペリフェラルのエンドポイント数のプログラミング
  - IN/OUT 転送方向のプログラミング
  - USB 転送タイプ（制御、バルク、割り込み、アイソクロナス）のプログラミング
  - 最大パケットサイズ（MPS）のプログラミング
  - 奇数／偶数フレームで実行される周期的転送のプログラミング

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ホストチャネル転送

アプリケーションは、ホストチャネル転送サイズレジスタ（HCTSIZx）を使用して、転送サイズパラメータをプログラムし、転送ステータスを読み出すことができます。プログラミングは、ホストチャネル特性レジスタのチャネルイネーブルビットをセットする前に行う必要があります。エンドポイントが有効になると、OTG_FS コアが現在の転送ステータスに従って更新するので、パケットカウントフィールドは読み出し専用になります。

- 以下の転送パラメータがプログラム可能です。
  - 転送サイズ（バイト単位）
  - 全体の転送サイズを構成するパケットの数
  - 初期データ PID

ホストチャネルのステータス／割り込み

ホストチャネル x 割り込みレジスタ（HCINTx）は、USB および AHB 関連イベントに関するエンドポイントのステータスを示します。アプリケーションは、コア割り込みレジスタのホストチャネル割り込みビット（OTG_FS_GINTSTS の OEPINT ビット）がセットされたとき、これらのレジスタを読み出さなければなりません。アプリケーションがこれらのレジスタを読み出すためには、まず、ホストオールチャネル割り込み（HCAINT）レジスタを読み出して、ホストチャネル x 割り込みレジスタの正確なチャネル数を取得する必要があります。アプリケーションは、このレジスタの適切なビットをクリアすることによって、HAINT および GINTSTS レジスタの対応するビットをクリアする必要があります。各チャネルの各割り込みソースのマスクビットも、OTG_FS_HCINTMSK-x レジスタで使用可能です。

- ホストコアは、以下のステータスチェックおよび割り込み生成を行います。
  - データ転送がアプリケーション側（AHB）と USB 側の両方で完了したことを示す転送完了割り込み
  - 転送完了、USB トランザクションエラー、またはアプリケーションからのディセーブルコマンドのためにチャネルが停止したかどうか
  - 関連する送信 FIFO が半分または完全にエンプティであるかどうか（IN エンドポイント）
  - ACK 応答を受け取ったかどうか
  - NAK 応答を受け取ったかどうか
  - STALL 応答を受け取ったかどうか
  - CRC エラー、タイムアウト、ビットスタッフエラー、偽 EOP による USB トランザクションエラー
  - バブルエラー
  - フレームオーバーラン
  - データトグルエラー

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

34.6.4 ホストスケジューラ

ホストコアは、アプリケーションによってポストされたUSBトランザクションリクエストを自律的に並べ替えて、管理する組み込みハードウェアスケジューラを備えています。各フレームの開始時に、ホストは、周期的（アイソクロナスおよび割り込み）トランザクションの転送を最初に実行し、次に、非周期的（制御およびバルク）トランザクションの転送を行うことによって、USB の仕様に従って、アイソクロナスおよび割り込み転送タイプを優先します。

ホストは、リクエストキュー（1 つは周期的転送のキュー、もう 1 つは非周期的転送のキュー）を通じて、USB トランザクションをパイプします。各リクエストキューは、最大 8 個のエントリを保持できます。各エントリはアプリケーションからのペンディングトランザクションリクエストを表し、IN または OUT チャネル番号と、USB 上でトランザクションを実行するためのその他の情報を保持しています。リクエストがキューに書き込まれた順序によって、USB 上のトランザクションの順序が決まります。

各フレームの先頭で、ホストは、まず、周期的リクエストキューを処理し、次に、非周期的リクエストキューを処理します。現在のフレームに対してスケジュールされたアイソクロナスまたは割り込みトランザクションが現在のフレームの終了時点でまだ処理されていない場合、ホストは、不完全周期転送割り込み（OTG_FS_GINTSTS の IPXFER ビット）を発行します。OTG HSコアは周期的と非周期的リクエストキューの管理を行います。周期的送信 FIFOおよびキューステータスレジスタ（HPTXSTS）と非周期的送信 FIFO およびキューステータスレジスタ（HNPTXSTS）は読み出し専用レジスタであり、アプリケーションから各リクエストキューのステータスを読み出すときに使うことができます。これらのレジスタには次が含まれます:

- 周期（非周期）リクエストキューで現在使用可能なフリーエントリの数（最大 8 エントリ）。
- 周期（非周期）Tx FIFO（OUT トランザクション）で現在使用可能な空きスペース
- IN/OUT トークン、ホストチャネル番号、およびその他の情報

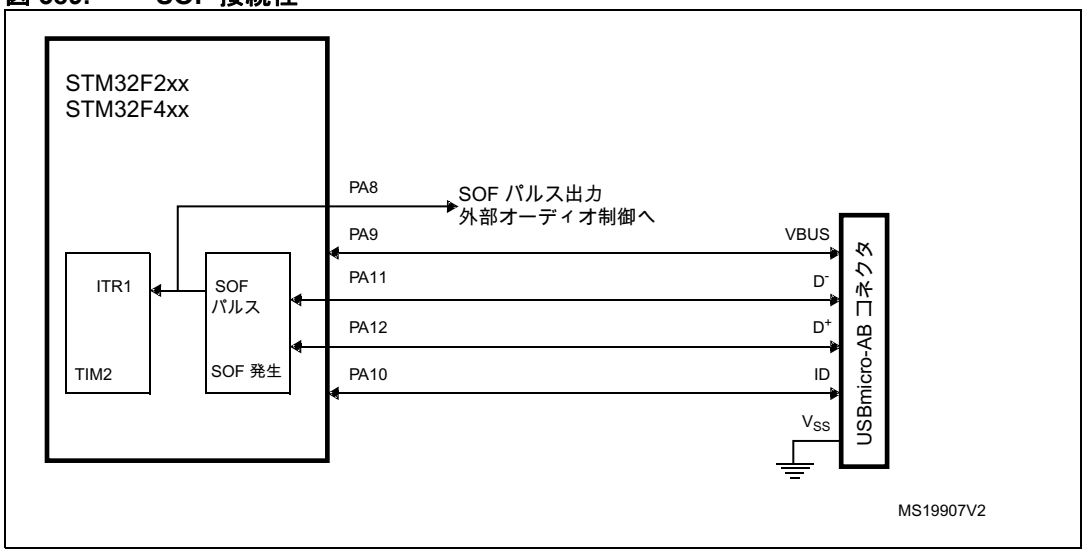
リクエストキューはそれぞれ最大 8 つのエントリを保持できるので、アプリケーションは、最大 8 つのペンディング中の周期トランザクションに加えて、8 つのペンディング中の非周期トランザクションについて、SB に物理的に到達する前に、ホストトランザクションを事前にスケジュールできます。

ホストスケスケジューラ （キュー）へトランザクションリクエストをポストするときは、アプリケーションはOTG_FS_HNPTXSTSレジスタのPTXQSAVビット、またはOTG_FS_HNPTXSTSレジスタのNPTQXSAVビットを読み出して、周期的（非周期的）リクエストキュー内に少なくとも1 個のエントリが存在することを確認する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

34.7 SOF トリガ

図 389. SOF 接続性



OTG FSコアは、ホスト、ペリフェラル、SOFパルス出力接続機能内でSOFフレーミングを監視、追跡、設定する手段を提供します。

これらのユーティリティは、オーディオペリフェラルが PC によって提供されるアイソクロナスストリームに同期する必要がある場合や、ホストがオーディオペリフェラルの要件に従ってフレーミング速度をトリム（微調整）する必要がある場合など、適応型オーディオクロック生成技術にとって特に役立ちます。

34.7.1 ホストSOF

ホストモードでは、2 つの連続した SOF（FS）またはキープアライブ（LS）トークンの生成の間に発生する PHY クロックの数は、ホストフレームインターバルレジスタ（HFIR）でプログラム可能であり、SOF フレーミング周期に対する制御をアプリケーションに与えます。割り込みは、どのフレームの開始時点でも生成されます（OTH_FS_GINTSTS の SOF ビット）。現在のフレーム番号と次の SOF までの残り時間が、ホストフレーム番号レジスタ（HFNUM）で追跡されます。

SOF パルス信号は、任意の SOF 開始トークンで生成され、幅は 12 システムクロックサイクルであり、グローバル制御および設定レジスタの SOFOUTEN ビットを使用して、SOF ピン上で外部的に使用可能になります。SOF パルスは、タイマ 2（TIM2）の入力トリガにも内部接続されるので、入力キャプチャ機能、出力比較機能、およびタイマを SOF パルスによってトリガできます。TIM2 接続は、TIM2_ORレジスタのITR1_RMPビットを使って有効化します。

34.7.2 ペリフェラルSOF

デバイスモードでは、フレーム割り込みの開始は、SOF トークンが USB 上で受信されるたびに生成されます（OTH_FS_GINTSTS の SOFT ビット）。対応するフレーム番号は、デバイスステータスレジスタ（OTG_FS_DSTS の FNSOF ビット）から読み出すことができます。12 システムクロックサイクルの幅を持つ SOF パルス信号も生成され、グローバル制御および設定レジスタの SOF 出力イネーブルビット（OTG_FS_GCCFG の SOFOUTEN ビット）を使用して、SOF ピン上で外部的に使用可能になります。SOF パルス信号は、タイマ 2（TIM2）入力トリガにも内部接続されるので、入力キャプチャ機能、出力比較機能、およびタイマを SOF パルスによってトリガできます。TIM2 接続は、TIM2 オプションレジスタ （TIM2_OR）のITR1_RMPビットを使って有効化します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

周期的フレーム割り込みの終わり（GINTSTS/EOPF）は、デバイス設定レジスタの周期的フレームインターバルフィールド（OTG_FS_DCFG の PFIVL ビット）に応じて、タイムフレームインターバルの 80%、85%、90%、または 95% が経過した時点をアプリケーションに通知するために使用されます。.この機能を使用して、そのフレームのアイソクロナストラフィックのすべてが完了したかどうかを判断できます。

34.8 電力オプション

OTG PHY の消費電力は、一般コア設定レジスタの 3つのビットによって制御されます。

- PHY パワーダウン（GCCFG/PWRDWN）

  PHY のフルスピードトランシーバモジュールのオン／オフを切り替えます。事前にセットして、すべての USB 動作を可能にする必要があります。

- A-V_{BUS} センスイネーブル（GCCFG/VBUSASEN）

  A デバイス操作に関連する V_{BUS} コンパレータのオン／オフを切り替えます。A デバイス（USB ホスト）モードおよび HNP 中に、これをセットする必要があります。

- B-V_{BUS} センスイネーブル（GCCFG/VBUSASEN）

  B デバイス操作に関連する V_{BUS} コンパレータのオン／オフを切り替えます。B デバイス（USB ホスト）モードおよび HNP 中に、これをセットする必要があります。

USB セッションがまだ有効でないか、デバイスが切断されているときには、USB サスペンド状態で節電テクニックを使用できます。

- PHY クロックを停止します（OTG_FS_PCGCCTL の STPPCLK ビット）。

  クロックゲーティング制御レジスタのストップ PHY クロックビットをセットすると、OTG 全速コア内部の 48 MHz クロックドメインのほとんどがクロックゲーティングによってスイッチオフされます。USB クロック切り替え機能による動的な電力消費は、48 MHz クロック入力がアプリケーションによって動作状態を維持された場合でも節減されます。

  ほとんどのトランシーバも無効になり、非同期レジュームやリモートウェイクアップイベントの検出を担当する部分だけが動作状態を維持します。

- ゲート HCLK（OTG_FS_PCGCCTL の GATEHCLK ビット）。

  クロックゲーティング制御レジスタのゲート HCLK ビットをセットすると、OTG フルスピードコア内部のシステムクロックドメインのほとんどがクロックゲーティングによってスイッチオフされます。レジスタ読み出しおよび書き込みインタフェースのみが動作状態を維持します。USB クロック切り替え機能による動的な電力消費は、システムクロックが他の目的のためにアプリケーションによって動作状態を維持されている場合でも節減されます。

- USB システムの停止

  OTG_FS が USB サスペンド状態にある場合、アプリケーションはシステム内のすべてのクロックソースを完全にシャットダウンすることによって、電力消費全体を大幅に削減できます。USB システムの停止は、まず、ストップ PHY クロックビットをセットし、次に、パワー制御システムモジュール（PWR）でシステムディープスリープモードを設定することによって有効になります。

  OTG_FS コアは、USB 上でリモートウェイクアップ（ホストとして）またはリモートレジューム（デバイスとして）信号の非同期検出によって、システムと USB クロックの両方を自動的に再起動します。

動的消費電力を節減するために、USB データ FIFO は、OTG_FS コアによってアクセスされたときだけクロック駆動されます。

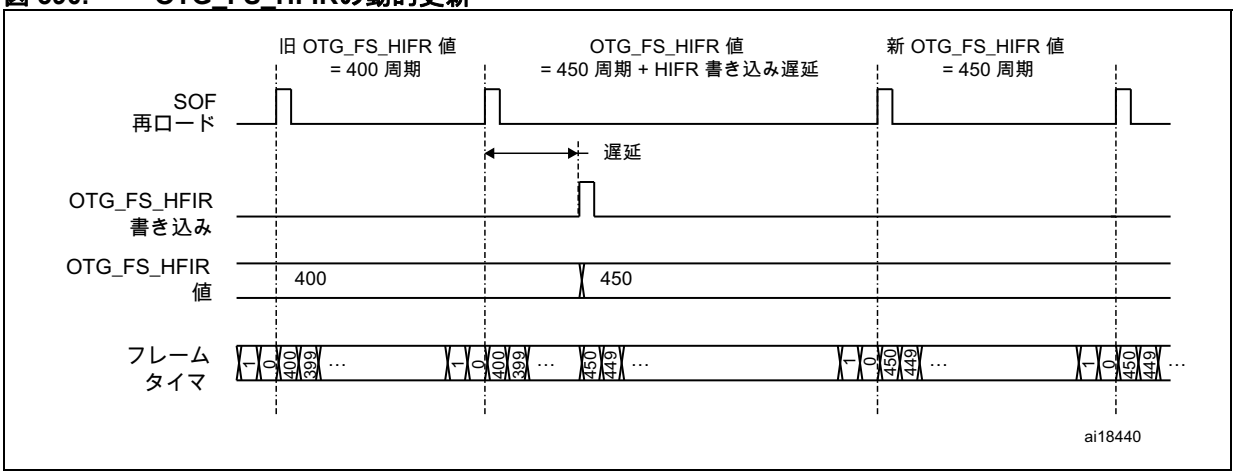
この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

34.9 OTG_FS_HFIRレジスタの動的更新

USBコアはホストモードでマイクロSOFフレーミング周期を動的にトリミングする機能を内蔵しています。この機能を使うと、外部デバイスをマイクロSOFフレームと動機させることができます。

現在のマイクロSOFフレーム内でOTG_HS_HFIRレジスタを変更すると、*図 390* で説明するように次のフレームでSOF 周期補正が適用されます。

図 390. OTG_FS_HFIRの動的更新



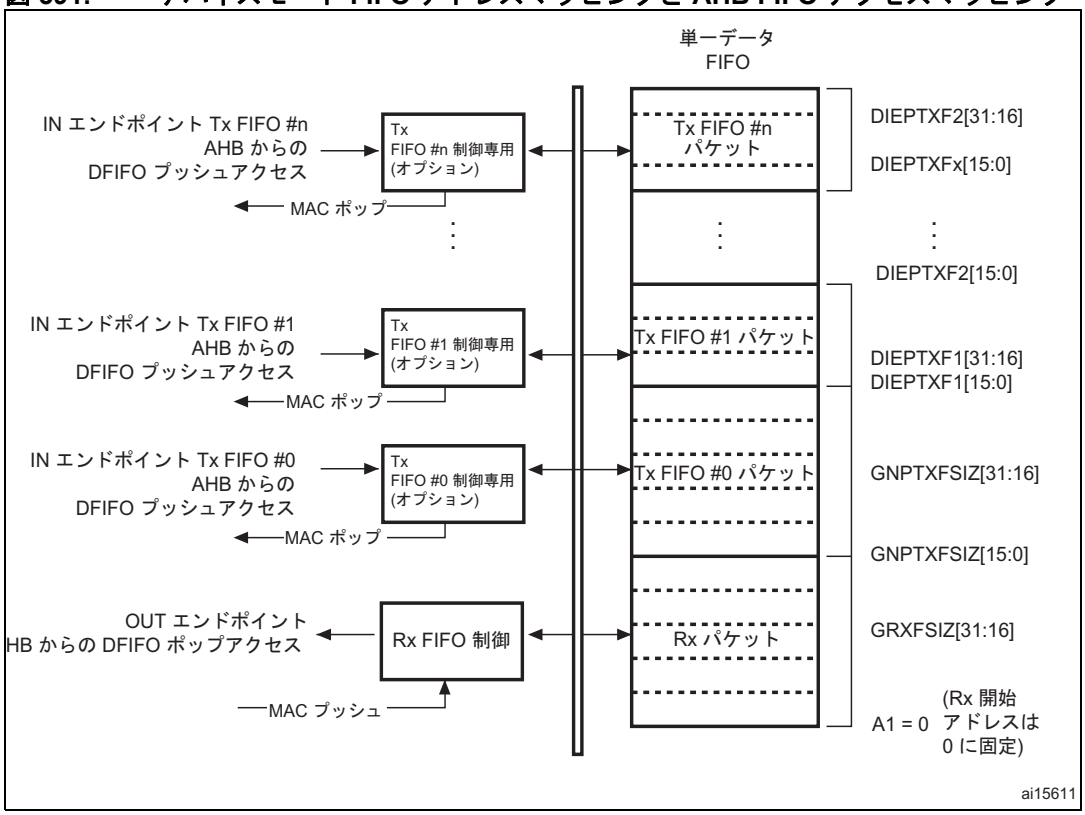
34.10 USB データ FIFO

USB システムは、高度な FIFO 制御メカニズムを持つ 1.25 KB の専用 RAM を備えています。OTG_FS コアのパケット FIFO コントローラモジュールは、RAM 空間を、アプリケーションが USB 転送の前に一時的にデータを格納する（プッシュする）Tx-FIFO と、USB から受信したデータをアプリケーションが取得する（ポップする）前に一時的に格納される Rx FIFO に編成します。割り当てられる FIFO の数と、これらが RAM の内部でどのように構成されるかは、デバイスの役割に依存します。ペリフェラルモードでは、追加の Tx-FIFO が有効な IN エンドポイントのそれぞれに対して割り当てられます。FIFO のサイズは、アプリケーションの要件に合うように、ソフトウェアで設定できます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

34.11 ペリフェラル FIFO アーキテクチャ

図 391. デバイスモード FIFO アドレスマッピングと AHB FIFO アクセスマッピング



34.11.1 ペリフェラル Rx FIFO

OTG ペリフェラルは、すべての OUT エンドポイントに向けたデータを受信する単一の受信 FIFO を使用します。受信パケットは、Rx-FIFO の空きスペースが使用可能になるまで、連続的にスタックされます。受信パケットのステータス（OUT エンドポイントの宛先番号、バイト数、データ PID、および受信データの有効性を含みます）も、コアによってデータペイロードの最上部に格納されます。使用可能なスペースがなくなると、ホストトランザクションは NACK され、アドレス指定されたエンドポイントに割り込みが受信されます。受信 FIFO のサイズは、受信 FIFO サイズレジスタ（GRXFSIZ）で設定されます。

単一受信 FIFO アーキテクチャは、USB ペリフェラルによる受信 RAM バッファへの書き込みをより効率的にします。

- すべての OUT エンドポイントは同じ RAM バッファを共有します（共有 FIFO）。
- OTG FS コアは、OUT トークンのいかなるホストシーケンスについても、限度まで受信 FIFO に書き込むことができます。

アプリケーションは Rx-FIFO 非エンプティ割り込み（OTG_FS_GINTSTS の RXFLVL ビット）の受信を、少なくとも 1 パケット以上がダウンロード可能である限り継続します。アプリケーションは、受信ステータス読み出しおよびポップレジスタ（GRXSTSP）からパケット情報を読み出し、最後に、エンドポイントに関するポップアドレスから読み取ることによって受信 FIFO からデータを吸い上げます。

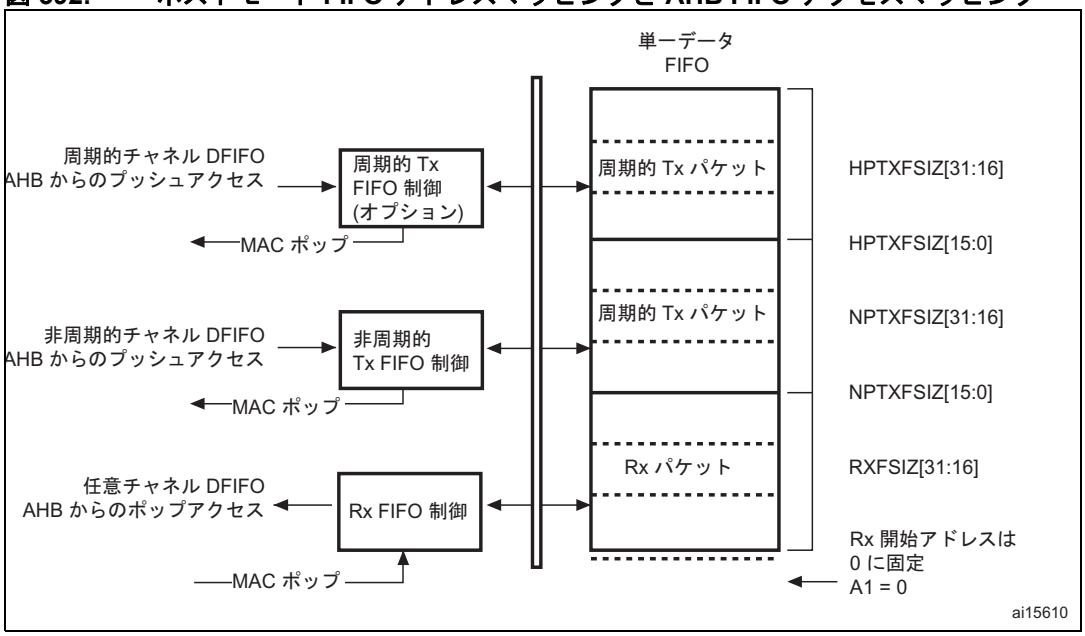
この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

34.11.2 ペリフェラルTx FIFO

コアは、各 IN エンドポイント用の専用 FIFO を備えています。アプリケーションは、IN エンドポイント 0 については非周期的送信 FIFO サイズレジスタ（OTG_FS_TX0FSIZ）に書き込み、IN エンドポイント x についてはデバイス IN エンドポイント送信 FIFOx レジスタ（DIEPTXFx）に書き込むことによって、FIFO のサイズを設定します。

34.12 ホスト FIFO アーキテクチャ

図 392.　ホストモード FIFO アドレスマッピングと AHB FIFO アクセスマッピング



34.12.1 ホスト Rx FIFO

ホストは、すべての周期的および非周期的トランザクションについて 1 つの受信 FIFO を使用します。この FIFO は、USB から受信したデータ（受信パケットのペイロード）をシステムメモリに転送されるまで保持する受信バッファとして使用されます。任意のリモート IN エンドポイントから受信されたパケットは、空きスペースがある限り連続的にスタックされます。各受信パケット（ホストチャネルデスティネーション、バイト数、データ PID、および受信データの有効性を含みます）のステータスも、FIFO に格納されます。受信 FIFO のサイズは、受信 FIFO サイズレジスタ（GRXFSIZ）で設定されます。

単一受信 FIFO アーキテクチャは、USB ホストによる受信データバッファへの書き込みをより効率的にします。

- IN に設定されたすべてのホストチャネルは、同じ RAM バッファを共有します（共有 FIFO）。
- OTG FS コアは、ホストのソフトウェアによって駆動された IN トークンのいかなるシーケンスについても、限度まで受信 FIFO に書き込むことができます。

アプリケーションは、少なくとも 1 つのパケットがダウンロード可能である限り、Rx FIFO 非エンプティ割り込みを受け取ります。アプリケーションは、受信ステータス読み出しおよびポップレジスタからパケット情報を読み出し、最後に、受信 FIFO からデータを吸い上げます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

34.12.2 ホストTx FIFO

ホストは、すべての非周期的（制御およびバルク）OUT トランザクションついて 1 つの送信 FIFO を、すべての周期的（アイソクロナスおよび割り込み）OUT トランザクションについて 1 つの送信 FIFO を使用します。FIFO は、USB 経由で送信されるデータ（送信パケットのペイロード）を保持する送信バッファとして使用されます。周期的（非周期的）Tx FIFO のサイズは、ホストの周期的（非周期的）送信 FIFO サイズレジスタ（HPTXFSIZ/HNPTXFSIZ）で設定されます。

Tx FIFO が 2 つ実装されているのは､USB フレームよりも周期的トラフィックタイプに対して高い優先度が与えられていることによります。各フレームの先頭で、組み込みのホストスケジューラは、まず、周期的リクエストキューを処理し、次に、非周期的リクエストキューを処理します。

2 つの送信 FIFO アーキテクチャにより、USB ホストは周期的送信データバッファと非周期的送信データバッファを個別に最適化できます。

- OUT 方向の周期的（非周期的）トランザクションをサポートするように設定されたすべてのホストチャネルは、同じ RAM バッファを共有します（共有 FIFO）。
- OTG FS コアは、ホストのソフトウェアによって駆動された OUT トークンのいかなるシーケンスについても、限度まで送信 FIFO に書き込むことができます。

OTG_FS コアは、AHB 設定レジスタの周期的 Tx FIFO エンプティレベルビット（OTG_FS_GAHBCFG の PTXFELVL ビット）の値に応じて、周期的 Tx FIFO が半分または完全にエンプティである限り、周期的 Tx FIFO エンプティ割り込み（OTG_FS_GINTSTS の PTXFE ビット）を発行します。アプリケーションは、周期的 Tx FIFO と周期的リクエストキューの両方に空きスペースが存在する限り、前もって送信データをプッシュすることができます。両方のレジスタにどれだけのスペースがあるかは、ホストの周期的送信 FIFO およびキューステータスレジスタ（HPTXSTS）を読み出すことで知ることができます。

OTG_FS コアは、AHB 設定レジスタの非周期的 Tx FIFO エンプティレベルビット（OTG_FS_GAHBCFG の TXFELVL ビット）の値に応じて、非周期的 Tx FIFO が半分または完全にエンプティである限り、非周期的 Tx FIFO エンプティ割り込み（OTG_FS_GINTSTS の NPTXFE ビット）を発行します。アプリケーションは、非周期的 Tx FIFO と非周期的リクエストキューの両方に空きスペースが存在する限り、送信データをプッシュすることができます。両方のレジスタにどれだけのスペースがあるかは､ホストの非周期的送信 FIFO およびキューステータスレジスタ（HNPTXSTS）を読み出すことで知ることができます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

34.13 FIFO RAMの割り当て

34.13.1 デバイスモード

受信 FIFO RAM 割り当て：アプリケーションは SETUP パケット用にRAMを割り当てる必要があります。制御エンドポイントで SETUP パケットを受信するため受信 FIFOに10ロケーションを確保する必要があります。コアは、SETUP パケット用に予約されている位置に他のデータを書き込むことはありません。1 つの位置は、グローバル OUT NAK のために割り当てられます。各受信パケットとともに、ステータス情報が FIFO に書き込まれます。したがって、パケットを受信するには、少なくとも、（最大パケットサイズ / 4）+ 1 のスペースを割り当てる必要があります。複数のアイソクロナスエンドポイントが有効な場合、連続パケットを受信するには、少なくとも、（最大パケットサイズ / 4）+ 1 の 2 倍のスペースが割り当てられなければなりません。一般に、（最大パケットサイズ / 4）+ 1 の 2 倍のスペースが推奨されます。前のパケットが CPU に転送されている間に、USB は次のパケットを受信できるからです。

各エンドポイントの最後のパケットとともに、送信完了ステータス情報が FIFO にプッシュされます。一般に、各 OUT エンドポイントに対して 1 つの位置を予約することが推奨されます。

送信 FIFO RAM の割り当て：各 IN エンドポイント送信 FIFO に必要な最小 RAM スペースは、その特定の IN エンドポイントに対する最大パケットサイズを収容できるスペースとなります。

注： ***送信 IN エンドポイント FIFO に割り当てるスペースが大きいほど、USB のパフォーマンスは高くなります。***

34.13.2 ホストモード

受信 FIFO RAM 割り当て

各受信パケットとともに、ステータス情報が FIFO に書き込まれます。したがって、パケットを受信するには、少なくとも、（最大パケットサイズ / 4）+ 1 のスペースを割り当てる必要があります。複数のアイソクロナスチャネルが有効な場合、連続パケットを受信するには、少なくとも、（最大パケットサイズ / 4）+ 1 の 2 倍のスペースが割り当てられなければなりません。一般に、（最大パケットサイズ / 4）+ 1 の 2 倍のスペースが推奨されます。前のパケットが CPU に転送されている間に、USB は次のパケットを受信できるからです。

ホストチャネルの最後のパケットとともに、転送完了ステータス情報が FIFO にプッシュされます。したがって、このために 1 つの位置が割り当てられなければなりません。

送信 FIFO RAM 割り当て

ホストの非周期的送信 FIFO に必要な最小 RAM スペースは、サポートされるすべての非周期的 OUT チャネルの中で最大のパケットサイズを収容できるスペースとなります。

一般に、最大パケットサイズの 2 倍のスペースが推奨されます。現在のパケットが USB に転送されているときに、CPU が次のパケットを取得できるからです。

ホストの周期的送信 FIFO に必要な最小 RAM スペースは、サポートされるすべての周期的 OUT チャネルの中で最大のパケットサイズを収容できるスペースとなります。少なくとも 1 つのアイソクロナス OUT エンドポイントがある場合には、スペースはそのチャネルの最大パケットサイズの少なくとも 2 倍でなければなりません。

注： ***非周期的送信 FIFO に割り当てるスペースが大きいほど、USB のパフォーマンスは高くなります。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

34.14 USB システムのパフォーマンス

USB とシステムの最高のパフォーマンスを達成するには、大きな RAM バッファ、柔軟に設定可能な FIFO サイズ、AHB プッシュ／ポップレジスタを通した迅速な 32 ビット FIFO アクセス、そして、特に、高度な FIFO 制御メカニズムが必要です。このメカニズムにより、OTG_FS は、現在の USB シーケンスに関係なく、使用可能な RAM スペースに効率的に書き込むことができます。これらの機能によって、以下のことが可能になります。

- アプリケーションは、CPU のバンド幅使用率を最適化するための介入を調整する余裕ができます。
  - データを効率的に USB に送信できるときまで、大量の送信データを事前に蓄積することができます。
  - 単一の受信 FIFO からデータをダウンロードするための時間の余裕が増えるという利点があります。
- USB コアは、最高動作速度を維持できるので、アプリケーションの介入がある場合に比べて、自律的に動作できる幅が広がり、最大のフルスピードバンド幅を実現できます。
  - 大量の送信データを自由に蓄積して、USB 経由のデータ送信を自律的に管理できます。
  - 受信バッファの使用可能な空きスペースが大量にあるので、USB から入ってくるデータを自律的に書き込むことができます。

OTG_FS コアは 1.25 KB の RAM バッファを非常に効率的に使用でき、また、1.25 KB の送信／受信データはフルスピードフレームをカバーするには十分以上なので、USB システムは CPU の介入がなくても、最大 1 USB フレーム（1 ms）に対応する最高のフルスピードデータ速度に耐えることができます。

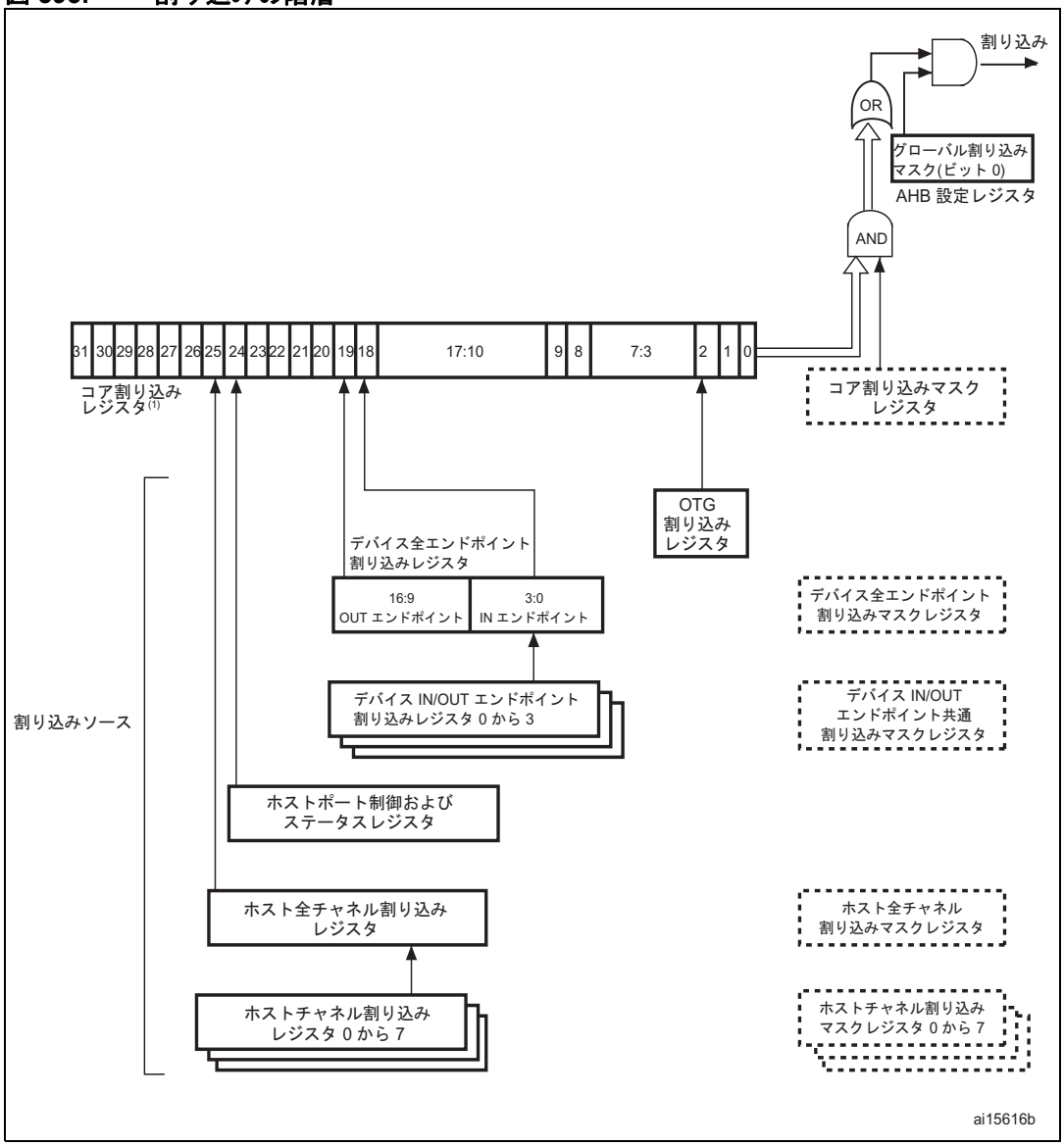
34.15 OTG_FS 割り込み

OTG_FS コントローラがデバイスモードまたはホストモードのいずれかで動作しているときには、アプリケーションは、別のモードからレジスタにアクセスしてはなりません。不正なアクセスが発生した場合、モード不一致割り込みが生成され、コア割り込みレジスタ（OTG_FS_GINTSTS レジスタの MMIS ビット）に反映されます。コアがあるモードから別のモードに切り替わったとき、新しい動作モードにおけるレジスタは、パワーオンリセット後と同様に再プログラムされなければなりません。

図 393 に、割り込みの階層を示します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 393.　割り込みの階層



1.　コア割り込みレジスタビットは、*OTG_FSコア割り込みレジスタ (OTG_FS_GINTSTS) (1295 ページ)*に示されています。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

34.16 OTG_FS 制御／ステータスレジスタ

アプリケーションは、AHB スレーブインタフェースを通じて制御／ステータスレジスタ（CSR）を読み書きすることによって、OTG_FS コントローラを制御します。これらのレジスタは 32 ビット幅であり、アドレスは 32 ビットブロックに配置されています。OTG_FSレジスタは、ワード（32 ビット）単位でアクセスする必要があります。

CSR は、次のように分類されます。

- コアグローバルレジスタ
- ホストモードレジスタ
- ホストグローバルレジスタ
- ホストポート CSR
- ホストチャネル固有レジスタ
- デバイスモードレジスタ
- デバイスグローバルレジスタ
- デバイスエンドポイント固有レジスタ
- パワーおよびクロックゲーティングレジスタ
- データ FIFO（DFIFO）アクセスレジスタ

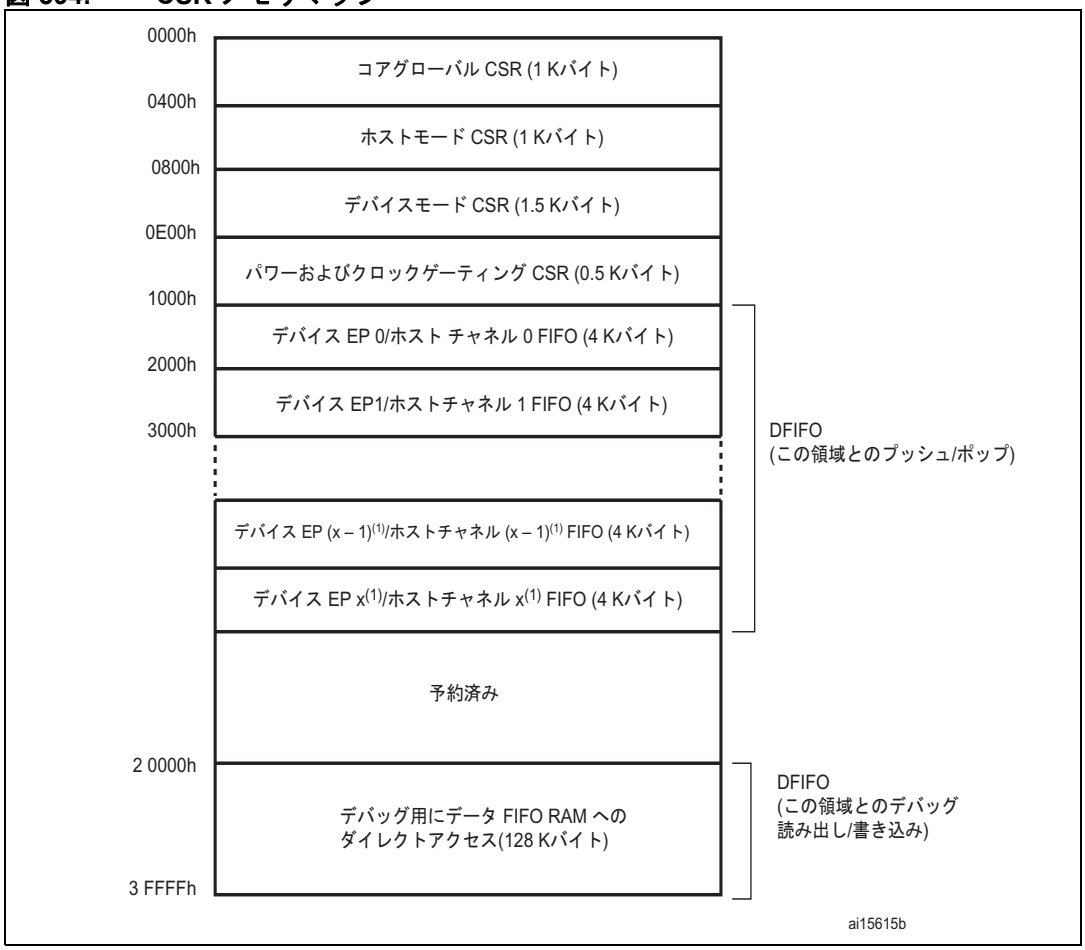
コアグローバル、パワーおよびクロックゲーティング、データ FIFO（DFIFO）アクセス、およびホストポート CSR レジスタのみが、ホストモードおよびデバイスモードの両方でのアクセスが可能です。OTG_FS コントローラがデバイスモードまたはホストモードのいずれかで動作しているときには、アプリケーションは、別のモードからレジスタにアクセスしてはなりません。不正なアクセスが発生した場合、モード不一致割り込みが生成され、コア割り込みレジスタ（OTG_FS_GINTSTS レジスタの MMIS ビット）に反映されます。コアがあるモードから別のモードに切り替わったとき、新しい動作モードにおけるレジスタは、パワーオンリセット後と同様に再プログラムされなければなりません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

34.16.1 CSR メモリマップ

ホストモードおよびデバイスモードレジスタは、それぞれ異なるアドレスを占めます。すべてのレジスタは AHB クロックドメインで実装されます。

図 394. CSR メモリマップ



1. デバイスモードでは x = 3、ホストモードでは x = 7 です。

グローバル CSR マップ

これらのレジスタは、ホストモードとデバイスモードの両方で使用可能です。

表 195. コアグローバル制御およびステータスレジスタ（CSR）

略称	アドレスオフセット	レジスタ名
OTG_FS_GOTGCTL	0x000	*OTG_FS 制御およびステータスレジスタ（OTG_FS_GOTGCTL）（1285 ページ）*
OTG_FS_GOTGINT	0x004	*OTG_FS 割り込みレジスタ（OTG_FS_GOTGINT）（1287 ページ）*
OTG_FS_GAHBCFG	0x008	*OTG_FS AHB設定レジスタ（OTG_FS_GAHBCFG）（1289 ページ）*
OTG_FS_GUSBCFG	0x00C	*OTG_FS USB設定レジスタ（OTG_FS_GUSBCFG）（1290 ページ）*
OTG_FS_GRSTCTL	0x010	*OTG_FS リセットレジスタ（OTG_FS_GRSTCTL）（1292 ページ）*

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 195. コアグローバル制御およびステータスレジスタ（CSR）（続き）

略称	アドレスオフセット	レジスタ名
OTG_FS_GINTSTS	0x014	*OTG_FSコア割り込みレジスタ（OTG_FS_GINTSTS）（1295 ページ）*
OTG_FS_GINTMSK	0x018	*OTG_FS 割り込みマスクレジスタ（OTG_FS_GINTMSK）（1299 ページ）*
OTG_FS_GRXSTSR	0x01C	*OTG_FS 受信ステータスデバッグ読み出し／OTGステータス読み出しおよびポップレジスタ（OTG_FS_GRXSTSR/OTG_FS_GRXSTSP）（1302 ページ）*
OTG_FS_GRXSTSP	0x020	
OTG_FS_GRXFSIZ	0x024	*OTG_FS 受信 FIFOサイズレジスタ（OTG_FS_GRXFSIZ）（1303 ページ）*
OTG_FS_HNPTXFSIZ/ OTG_FS_DIEPTXF0(1)	0x028	*OTG_FSホスト非周期的送信 FIFOサイズレジスタ（OTG_FS_HNPTXFSIZ）／エンドポイント0送信 FIFOサイズ（OTG_FS_DIEPTXF0）*
OTG_FS_HNPTXSTS	0x02C	*OTG_FS 非周期的送信 FIFO／キューステータスレジスタ（OTG_FS_HNPTXSTS）（1304 ページ）*
OTG_FS_GCCFG	0x038	*OTG_FS 一般コア設定レジスタ（OTG_FS_GCCFG）（1305 ページ）*
OTG_FS_CID	0x03C	*OTG_FSコアIDレジスタ（OTG_FS_CID）（1306 ページ）*
OTG_FS_HPTXFSIZ	0x100	*OTG_FSホスト周期的送信 FIFOサイズレジスタ（OTG_FS_HPTXFSIZ）（1307 ページ）*
OTG_FS_DIEPTXFx	0x104 0x124 ... 0x138	*OTG_FSデバイスINエンドポイント送信 FIFOサイズレジスタ（OTG_FS_DIEPTXFx）（x = 1..3、x は FIFO_number）（1308 ページ）*

1. 一般的ルールとして、OTG_FS_HNPTXFSIZ はホストモードで、OTG_FS_DIEPTXF0 はデバイスモードで使用されます。

ホストモード CSR マップ

これらのレジスタは、コアがホストモードに変わるたびにプログラムされなければなりません。

表 196. ホスト-モード制御およびステータスレジスタ （CSR）

略称	オフセットアドレス	レジスタ名
OTG_FS_HCFG	0x400	*OTG_FSホスト設定レジスタ（OTG_FS_HCFG）（1308 ページ）*
OTG_FS_HFIR	0x404	*OTG_FS ホストフレームインターバルレジスタ（OTG_FS_HFIR）（1309 ページ）*
OTG_FS_HFNUM	0x408	*OTG_FSホストフレーム番号／残りフレーム時間レジスタ（OTG_FS_HFNUM）（1310 ページ）*
OTG_FS_HPTXSTS	0x410	*OTG_FS_ホスト周期的送信 FIFO／キューステータスレジスタ（OTG_FS_HPTXSTS）（1310 ページ）*
OTG_FS_HAINT	0x414	*OTG_FSホスト全チャンネル割り込みレジスタ（OTG_FS_HAINT）（1311 ページ）*
OTG_FS_HAINTMSK	0x418	*OTG_FSホスト全チャンネル割り込みマスクレジスタ（OTG_FS_HAINTMSK）（1312 ページ）*
OTG_FS_HPRT	0x440	*OTG_FSホストポート制御およびステータスレジスタ（OTG_FS_HPRT）（1312 ページ）*

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 196. ホスト-モード制御およびステータスレジスタ （CSR）（続き）

略称	オフセット アドレス	レジスタ名
OTG_FS_HCCHARx	0x500 0x520 ... 0x6E0h	*OTG_FS ホストチャネル x 特性レジスタ（OTG_FS_HCCHARx）（x = 0..7、x = チャネル番号）（1315 ページ）*
OTG_FS_HCINTx	508h	*OTG_FS ホストチャネル x 割り込みレジスタ（OTG_FS_HCINTx）（x = 0..7、x = チャネル番号）（1316 ページ）*
OTG_FS_HCINTMSKx	50Ch	*OTG_FS ホストチャネル x 割り込みマスクレジスタ（OTG_FS_HCINTMSKx）（x = 0..7、x = チャネル番号）（1317 ページ）*
OTG_FS_HCTSIZx	510h	*OTG_FS ホストチャネル x 転送サイズレジスタ（OTG_FS_HCTSIZx）（x = 0..7、x = チャネル番号）（1318 ページ）*

デバイスモード CSR マップ

これらのレジスタは、コアがデバイスモードに変わるたびにプログラムする必要があります。

表 197. デバイス-モード制御およびステータスレジスタ

略称	オフセット アドレス	レジスタ名
OTG_FS_DCFG	0x800	*OTG_FSデバイス設定レジスタ（OTG_FS_DCFG）（1319 ページ）*
OTG_FS_DCTL	0x804	*OTG_FSデバイス制御レジスタ（OTG_FS_DCTL）（1320 ページ）*
OTG_FS_DSTS	0x808	*OTG_FSデバイスステータスレジスタ（OTG_FS_DSTS）（1321 ページ）*
OTG_FS_DIEPMSK	0x810	*OTG_FSデバイスINエンドポイント共通割り込みマスクレジスタ（OTG_FS_DIEPMSK）（1322 ページ）*
OTG_FS_DOEPMSK	0x814	*OTG_FSデバイスOUTエンドポイント共通割り込みマスクレジスタ（OTG_FS_DOEPMSK）（1323 ページ）*
OTG_FS_DAINT	0x818	*OTG_FSデバイス全エンドポイント割り込みレジスタ（OTG_FS_DAINT）（1324 ページ）*
OTG_FS_DAINTMSK	0x81C	*OTG_FS 全エンドポイント割り込みマスクレジスタ（OTG_FS_DAINTMSK）（1325 ページ）*
OTG_FS_DVBUSDIS	0x828	*OTG_FSデバイスVBUS 放電時間レジスタ（OTG_FS_DVBUSDIS）（1325 ページ）*
OTG_FS_DVBUSPULSE	0x82C	*OTG_FSデバイスVBUS パルシング時間レジスタ（OTG_FS_DVBUSPULSE）（1326 ページ）*
OTG_FS_DIEPEMPMSK	0x834	*OTG_FSデバイスINエンドポイントFIFOエンプティ割り込みマスクレジスタ：（OTG_FS_DIEPEMPMSK）（1326 ページ）*
OTG_FS_DIEPCTL0	0x900	*OTG_FSデバイス制御 INエンドポイント0 制御レジスタ（OTG_FS_DIEPCTL0）（1327 ページ）*

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 197. デバイス-モード制御およびステータスレジスタ（続き）

略称	オフセット アドレス	レジスタ名
OTG_FS_DIEPCTLx	0x920 0x940 ... 0xAE0	*OTGデバイスエンドポイントx 制御レジスタ（OTG_FS_DIEPCTLx）（x = 1..3、x = Endpoint_number）（1328 ページ）*
OTG_FS_DIEPINTx	0x908	*OTG_FSデバイスエンドポイントx 割り込みレジスタ（OTG_FS_DIEPINTx）（x = 0..3、x = Endpoint_number）（1335 ページ）*
OTG_FS_DIEPTSIZ0	0x910	*OTG_FSデバイスINエンドポイント0転送サイズレジスタ（OTG_FS_DIEPTSIZ0）（1337 ページ）*
OTG_FS_DTXFSTSx	0x918	*OTG_FSデバイスINエンドポイント送信 FIFOステータスレジスタ（OTG_FS_DTXFSTSx）（x = 0..3、x = Endpoint_number）（1340 ページ）*
OTG_FS_DIEPTSIZx	0x930 0x950 ... 0xAF0	*OTG_FSデバイスOUTエンドポイントx転送サイズレジスタ（OTG_FS_DOEPTSIZx）（x = 1..3、x = Endpoint_number）（1340 ページ）*
OTG_FS_DOEPCTL0	0xB00	*OTG_FSデバイス制御 OUTエンドポイント0 制御レジスタ（OTG_FS_DOEPCTL0）（1331 ページ）*
OTG_FS_DOEPCTLx	0xB20 0xB40 ... 0xCC0 0xCE0 0xCFD	*OTGデバイスエンドポイントx 制御レジスタ（OTG_FS_DIEPCTLx）（x = 1..3、x = Endpoint_number）（1328 ページ）*
OTG_FS_DOEPINTx	0xB08	*OTG_FSデバイスエンドポイントx 割り込みレジスタ（OTG_FS_DIEPINTx）（x = 0..3、x = Endpoint_number）（1335 ページ）*
OTG_FS_DOEPTSIZx	0xB10	*OTG_FSデバイスOUTエンドポイントx転送サイズレジスタ（OTG_FS_DOEPTSIZx）（x = 1..3、x = Endpoint_number）（1340 ページ）*

データ FIFO（DFIFO）アクセスレジスタマップ

これらのレジスタは、ホストモードとデバイスモードの両方で使用可能であり、特定のエンドポイントまたはチャネルの FIFO スペースを指定された方向で読み書きするために使用されます。ホストチャネルが IN タイプの場合、FIFO はそのチャネル上では読み出しのみが可能です。同様に、ホストチャネルが OUT タイプの場合、FIFO はそのチャネル上では書き込みのみが可能です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 198. データ FIFO（DFIFO）アクセススレジスタマップ

FIFO アクセススレジスタセクション	アドレス範囲	アクセス
デバイスINエンドポイント0／ホストOUTチャンネル0:DFIFO 書き込みアクセス デバイスOUTエンドポイント0／ホストINチャンネル0 : DFIFO読み出しアクセス	0x1000–0x1FFC	w r
デバイスINエンドポイント1／ホストOUTチャンネル1:DFIFO 書き込みアクセス デバイスOUTエンドポイント1／ホストINチャンネル1 : DFIFO読み出しアクセス	0x2000–0x2FFC	w r
...	...	...
デバイスINエンドポイントx(1) ／ホストOUTチャンネルx(1) : DFIFO 書き込みアクセス デバイスOUTエンドポイントx(1)／ホストINチャンネルx(1) : DFIFO読み出しアクセス	0xX000–0xXFFC	w r

1. デバイスモードでは x = 3、ホストモードでは x = 7 です。

パワーおよびクロックゲーティング CSR マップ

パワーおよびクロックゲーティングの場合、シングルレジスタです。このレジスタは、ホストモードとデバイスモードの両方で使用できます。

表 199. パワーおよびクロックゲーティング制御およびステータスレジスタ

レジスタ名	略称	オフセットアドレス：0xE00–0xFFF
パワーおよびクロックゲーティング制御レジスタ	PCGCR	0xE00-0xE04
予約済み		0xE05–0xFFF

34.16.2 OTG_FS グローバルレジスタ

これらのレジスタは、ホストモードとデバイスモードの両方で使用でき、これらのモード間で切り替わっても再プログラムの必要はありません。

レジスタの説明で示されているビット値は、特に記載がない限りバイナリで表されています。

OTG_FS 制御およびステータスレジスタ（OTG_FS_GOTGCTL）

アドレスオフセット：0x000

リセット値：0x0000 0800

OTG_FS_GOTGCTL レジスタは、コアの OTG 機能の動作を制御し、そのステータスを反映します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み												BSVLD	ASVLD	DBCT	CIDSTS	予約済み				DHNPEN	HSHNPEN	HNPRQ	HNGSCS	予約済み						SRQ	SRQSCS
												r	r	r	r					rw	rw	rw	r							rw	r

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット31:20 予約済みであり、リセット値に保持する必要があります。

ビット19 **BSVLD**：Bセッション有効

デバイスモードでのトランシーバのステータスを示します。

0：Bセッションは無効。

1：Bセッションは有効。

OTG モードでは、このビットを使用して、デバイスが接続されているか、切断されているかを判断できます。

注： デバイスモードでのみアクセス可能です。

ビット18 **ASVLD**：Aセッション有効

ホストモードでのトランシーバのステータスを示します。

0：Aセッションは無効。

1：Aセッションは有効。

注： ホストモードでのみアクセス可能です。

ビット17 **DBCT**：ロング／ショートデバウンス時間

検出された接続のデバウンス時間を示します。

0：ロングデバウンス時間（100 ms + 2.5 µs）。物理的接続に使用されます。

1：ショートデバウンス時間（2.5 µs）。ソフト接続に使用されます。

注： ホストモードでのみアクセス可能です。

ビット16 **CIDSTS**：コネクタIDステータス

接続イベント時のコネクタ ID のステータスを示します。

0：OTG_FS コントローラは A デバイスモードです。

1：OTG_FS コントローラは B デバイスモードです。

注： デバイスモードとホストモードの両方でアクセス可能です。

ビット15:12 予約済みであり、リセット値に保持する必要があります。

ビット11 **DHNPEN**：デバイスHNPイネーブル

アプリケーションは、接続された USB ホストから SetFeature.SetHNPEnable コマンドを正常に受信したときに、このビットをセットします。

0：HNP は、アプリケーションでは無効です。

1：HNP は、アプリケーションで有効です。

注： デバイスモードでのみアクセス可能です。

ビット10 **HSHNPEN**：ホストセットHNPイネーブル

アプリケーションは、接続されたデバイスで HNP を正常に有効できたとき（SetFeature.SetHNPEnable コマンドを使用して）、このビットをセットします。

0：ホストセット HNP は無効です。

1：ホストセット HNP は有効です。

注： ホストモードでのみアクセス可能です。

ビット9 **HNPRQ**：HNPリクエスト

アプリケーションは、接続された USB ホストへの HNP リクエストを開始するために、このビットをセットします。アプリケーションは、OTG_FS_GOTGINT レジスタのホストネゴシエーション正常ステータス変更ビット（OTG_FS_GOTGINT の HNSSCHG ビット）がセットされたとき、0 を書き込むことによって、このビットをクリアできます。コアは、HNSSCHG ビットがクリアされたとき、このビットをクリアします。

0：HNP リクエストなし

1：HNPリクエスト

注： デバイスモードでのみアクセス可能です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット8 **HNGSCS**：ホストネゴシエーション成功

コアは、ホストネゴシエーションに成功したとき、このビットをセットします。コアは、このレジスタの HNP リクエストビット（HNPRQ）がセットされたとき、このビットをクリアします。

0：ホストネゴシエーション失敗

1：ホストネゴシエーション成功

注： デバイスモードでのみアクセス可能です。

ビット7:2 予約済みであり、リセット値に保持する必要があります。

ビット1 **SRQ**：セッションリクエスト

アプリケーションは、USB 上でセッションリクエストを開始するために、このビットをセットします。アプリケーションは、OTG_FS_GOTGINT レジスタのホストネゴシエーション正常ステータス変更ビット（OTG_FS_GOTGINT の HNSSCHG ビット）がセットされたとき、0 を書き込むことによって、このビットをクリアできます。コアは、HNSSCHG ビットがクリアされたとき、このビットをクリアします。

USB 1.1 フルスピードシリアルトランシーバインタフェースを使用してセッションリクエストを開始する場合、アプリケーションは、このレジスタの B セッション有効ビット（OTG_FS_GOTGCTL の BSVLD ビット）がクリアされた後、V_{BUS} が 0.2 V へ放電するまで待つ必要があります。この放電時間は PHY ごとに異なり、PHY ベンダーから得ることができます。

0：セッションリクエストなし

1：セッションリクエスト

注： デバイスモードでのみアクセス可能です。

ビット0 **SRQSCS**：セッションリクエスト成功

コアは、セッションリクエストの開始に成功したとき、このビットをセットします。

0：セッションリクエスト失敗

1：セッションリクエスト成功

注： デバイスモードでのみアクセス可能です。

OTG_FS 割り込みレジスタ（OTG_FS_GOTGINT）

アドレスオフセット：0x04

リセット値：0x0000 0000

アプリケーションは、OTG 割り込みがあると、このレジスタを読み出し、このレジスタのビットをクリアすることによって、OTG 割り込みをクリアします。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み												DBCDNE	ADTOCHG	HNGDET	予約済み							HNSSCHG	SRSSCHG	予約済み					SEDET	予約済み	
												rc_w1	rc_w1	rc_w1								rc_w1	rc_w1						rc_w1		

ビット31:20 予約済みであり、リセット値に保持する必要があります。

ビット19 **DBCDNE**：デバウンス終了

コアは、デバイスが接続された後、デバウンスが完了したときに、このビットをセットします。アプリケーションは、この割り込みを確認した後、USB リセットの駆動を開始できます。このビットは、OTG_FS_GUSBCFG レジスタの HNP 対応ビットまたは SRP 対応ビット（OTG_FS_GUSBCFG の HNPCAP ビットまたは SRPCAP ビット）がセットされたときのみ有効です。

注： ホストモードでのみアクセス可能です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット18 **ADTOCHG**：Aデバイスタイムアウト変更

コアは、B デバイスの接続を待っている間に A デバイスがタイムアウトしたことを示すために、このビットをセットします。

注： デバイスモードとホストモードの両方でアクセス可能です。

ビット17 **HNGDET**：ホストネゴシエーションの検出

コアは、USB 上でホストネゴシエーションリクエストを検出したときに、このビットをセットします。

注： デバイスモードとホストモードの両方でアクセス可能です。

ビット16:10 予約済みであり、リセット値に保持する必要があります。

ビット9 **HNSSCHG**：ホストネゴシエーション成功ステータス変化

コアは、USB ホストネゴシエーションリクエストの成功または失敗のときに、このビットをセットします。アプリケーションは、OTG_FS_GOTGCTL レジスタのホストネゴシエーション成功ビット（OTG_FS_GOTGCTL の HNGSCS ビット）を読み出して、成功か失敗かをチェックする必要があります。

注： デバイスモードとホストモードの両方でアクセス可能です。

ビット7:3 予約済みであり、リセット値に保持する必要があります。

ビット8 **SRSSCHG**：セッションリクエスト成功ステータス変化

コアは、セッションリクエストの成功または失敗のときに、このビットをセットします。アプリケーションは、OTG_FS_GOTGCTL レジスタのセッションリクエスト成功ビット（OTG_FS_GOTGCTL の SRQSCS ビット）を読み出して、成功か失敗かをチェックする必要があります。

注： デバイスモードとホストモードの両方でアクセス可能です。

ビット2 **SEDET**：セッション終了検出

コアは、V_{BUS} < 0.8 V のとき、このビットをセットして、V_{BUS} の電圧レベルが B ペリフェラルセッションにとって有効でなくなったことを示します。

ビット1:0 予約済みであり、リセット値に保持する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OTG_FS AHB設定レジスタ（OTG_FS_GAHBCFG）

アドレスオフセット：0x008

リセット値：0x0000 0000

このレジスタを使用して、電源投入後、またはモード変化後のコアを設定できます。このレジスタは、主に AHB システム関連の設定パラメータを含んでいます。初期プログラミングの後は、このレジスタを変更しないでください。アプリケーションは、AHB または USB のいずれかでトランザクションを開始する前に、このレジスタをプログラムする必要があります。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																							PTXFELVL	TXFELVL	予約済み						GINTMSK
																							rw	rw							rw

ビット31:20 予約済みであり、リセット値に保持する必要があります。

ビット8 **PTXFELVL**：周期的TxFIFOエンプティレベル

OTG_FS_GINTSTS レジスタの周期的 TxFIFO エンプティ割り込みビット（OTG_FS_GINTSTS の PTXFE ビット）がトリガされるときを示します。

0：PTXFE（OTG_FS_GINTSTS の）割り込みビットは、周期的 TxFIFO が半分エンプティであることを示します。

1：PTXFE（OTG_FS_GINTSTS の）割り込みビットは、周期的 TxFIFO が完全にエンプティであることを示します。

注： ホストモードでのみアクセス可能です。

ビット7 **TXFELVL**：TxFIFOエンプティレベル

デバイスモードでは、このビットは、IN エンドポイント送信 FIFOエンプティ割り込み（OTG_FS_DIEPINTx の TXFE）がトリガされるときを示します。

0：TXFE（OTG_FS_DIEPINTx の）割り込みは、IN エンドポイントの Tx FIFO が半分エンプティであることを示します。

1：TXFE（OTG_FS_DIEPINTx の）割り込みは、IN エンドポイントの Tx FIFO が完全にエンプティであることを示します。

ホストモードでは、このビットは、非周期的 Tx FIFOエンプティ割り込み（OTG_FS_GINTSTS の NPTXFE ビット）がトリガされるときを示します。

0：NPTXFE（OTG_FS_GINTSTS の）割り込みは、非周期的 Tx FIFO が半分エンプティであることを示します。

1：NPTXFE（OTG_FS_GINTSTS の）割り込みは、非周期的 Tx FIFO が完全にエンプティであることを示します。

ビット6:1 予約済みであり、リセット値に保持する必要があります。

ビット0 **GINTMSK**：グローバル割り込みマスク

アプリケーションは、このビットを使用して、アプリケーション自身に対する割り込みラインのアサーションをマスクまたはマスク解除します。このビットの設定に関係なく、割り込みステータスレジスタはコアによって更新されます。

0：アプリケーションへの割り込みアサーションをマスクします。

1：アプリケーションへの割り込みアサーションをマスク解除します。

注： デバイスモードとホストモードの両方でアクセス可能です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OTG_FS USB設定レジスタ（OTG_FS_GUSBCFG）

アドレスオフセット：0x00C

リセット値：0x0000 0A00

このレジスタを使用して、電源投入後、またはホストモードあるいはデバイスモードへの変化後に、コアを設定することができます。このレジスタは、USB および USB-PHY 関連の設定パラメータを含んでいます。アプリケーションは、AHB または USB のいずれかでトランザクションを開始する前に、このレジスタをプログラムする必要があります。初期プログラミングの後は、このレジスタを変更しないでください。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CTXPKT	FDMOD	FHMOD	予約済み															TRDT				HNPCAP	SRPCAP	予約済み	PHYSEL	予約済み			TOCAL		
rw	rw	rw																rw				r/rw	r/rw		wo				rw		

ビット31:20 予約済みであり、リセット値に保持する必要があります。

ビット31 **CTXPKT**：破損 Txパケット

このビットは、デバッグ目的でのみ使用されます。このビットを 1 にセットしないでください。

注： デバイスモードとホストモードの両方でアクセス可能です。

ビット30 **FDMOD**：強制デバイスモード

このビットに 1 を書き込むと、コアは OTG_FS_ID 入力ピンに関係なく、強制的にデバイスモードになります。

0：通常モード

1：強制デバイスモード

強制ビットをセットした後、アプリケーションは、変更が有効になるまで少なくとも 25 ms 待つ必要があります。

注： デバイスモードとホストモードの両方でアクセス可能です。

ビット29 **FHMOD**：強制ホストモード

このビットに 1 を書き込むと、コアは、OTG_FS_ID 入力ピンに関係なく、強制的にホストモードになります。

0：通常モード

1：強制ホストモード

強制ビットをセットした後、アプリケーションは、変更が有効になるまで少なくとも 25 ms 待つ必要があります。

注： デバイスモードとホストモードの両方でアクセス可能です。

ビット28:14 予約済みであり、リセット値に保持する必要があります。

ビット13:10 **TRDT**：USB ターンアラウンド時間

ターンアラウンド時間を PHY クロックで設定します。

TRDT の値を計算するには、以下の式を使用します。

TRDT = 4 × AHB クロック + 1 PHY クロック

例：

1. AHB クロック = 72 MHz（PHY クロックは 48）の場合、TRDT は 9 に設定されます。
2. AHB クロック = 48 MHz（PHY クロックは 48）の場合、TRDT は 5 に設定されます。

注： デバイスモードでのみアクセス可能です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット9 **HNPCAP**：HNP 機能

アプリケーションは、このビットを使用して、OTG_FS コントローラの HNP 機能を制御します。

0：HNP 機能は無効です。

1：HNP 機能は有効です。

注： デバイスモードとホストモードの両方でアクセス可能です。

ビット8 **SRPCAP**：SRP 機能

アプリケーションは、このビットを使用して、OTG_FS コントローラの SRP 機能を制御します。コアが非 SRP 対応 B デバイスとして動作する場合、

Bデバイスは、接続された A デバイス（ホスト）に V_{BUS} を起動し、セッションを開始させるように要求することはできません。

0：SRP 機能は無効です。

1：SRP 機能は有効です。

注： デバイスモードとホストモードの両方でアクセス可能です。

ビット7 予約済みであり、リセット値に保持する必要があります。

ビット6 **PHYSEL**：フルスピードシリアルトランシーバの選択

このビットは常に 1 であり、アクセスは書き込み専用です。

ビット5:3 予約済みであり、リセット値に保持する必要があります。

ビット2:0 **TOCAL**：FSタイムアウトの較正

アプリケーションがこのフィールドでプログラムする PHY クロックの数は、PHY によって導入される追加遅延を考慮して、コアのフルスピードパケット間タイムアウト時間に追加されます。ライン状態条件の生成時に PHY によって導入される遅延は、PHY ごとに異なる場合があるので、較正が必要なことがあります。

全速動作での USB の標準タイムアウト値は、16～18 ビット時間です。アプリケーションは、エニュメレーションのスピードに基づいて、このフィールドをプログラムする必要があります。PHY クロックごとに追加されるビット時間の数は 0.25 ビット時間です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OTG_FSリセットレジスタ（OTG_FS_GRSTCTL）

アドレスオフセット：0x10

リセット値：0x2000 0000

アプリケーションは、このレジスタを使用して、コア内のさまざまなハードウェア機能をリセットします。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AHBIDL	予約済み																				TXFNUM					TXFFLSH	RXFFLSH	予約済み	FCRST	HSRST	CSRST
r																					rw					rs	rs		rs	rs	rs

ビット31 **AHBIDL**：AHBマスタアイドル

AHB マスタステートマシンがアイドル状態にあることを示します。

注： デバイスモードとホストモードの両方でアクセス可能です。

ビット30:11 予約済みであり、リセット値に保持する必要があります。

ビット10:6 **TXFNUM**：TxFIFO 番号

これは、TxFIFO フラッシュビットを使用してフラッシュしなければならない TxFIFO 番号です。コアが TxFIFO フラッシュビットをクリアするまでは、このフィールドを変更しないでください。

00000：

– ホストモードでの非周期的 TxFIFO フラッシュ

– デバイスモードでの TX FIFO 0 のフラッシュ

00001:

– ホストモードでの周期的 TxFIFO のフラッシュ

– デバイスモードでの TxFIFO 1 のフラッシュ

00010：デバイスモードでのTXFIFO 2フラッシュ

...

00101：デバイスモードでのTXFIFO 15フラッシュ

10000：デバイスモードまたはホストモードのすべての送信 FIFO をフラッシュします。

注： デバイスモードとホストモードの両方でアクセス可能です。

ビット5 **TXFFLSH**：TxFIFOフラッシュ

このビットは、単一またはすべての送信 FIFO を選択的にフラッシュしますが、コアがトランザクション中の場合はフラッシュできません。

アプリケーションは、コアが TxFIFO への書き込み中か、TxFIFO からの読み出し中でないことを確認した後でなければ、このビットに書き込むことはできません。以下のレジスタを使用して確認してください。

読み出し — NAK 有効割り込みを使用すると、コアが FIFO から読み出しを行っていないことを確認できます。

書き込み — OTG_FS_GRSTCTL の AHBIDL ビットで、コアが FIFO に書き込みを行っていないことを確認できます。

注： デバイスモードとホストモードの両方でアクセス可能です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット4 **RXFFLSH**：RxFIFOフラッシュ

アプリケーションは、このビットを使用して、RxFIFO 全体をフラッシュできますが、まず、コアがトランザクション中でないことを確認する必要があります。

アプリケーションは、コアが RxFIFO からの読み出し中、または RxFIFO への書き込み中でないことを確認した後でなければ、このビットに書き込むことはできません。

アプリケーションは、他の操作を実行する前に、このビットがクリアされるまで待つ必要があります。このビットがクリアされるまで、8 クロック（PHY または AHB クロックの中で最も低速なクロック）かかります。

注： デバイスモードとホストモードの両方でアクセス可能です。

ビット3 予約済みであり、リセット値に保持する必要があります。

ビット2 **FCRST**：ホストフレームカウンタリセット

アプリケーションは、このビットに書き込むことによって、コア内のフレーム数カウンタをリセットします。フレームカウンタがリセットされると、コアによって次に送出される SOF のフレーム番号は 0 になります。

注： ホストモードでのみアクセス可能です。

ビット1 **HSRST**：HCLK ソフトリセット

アプリケーションは、このビットを使用して、AHB クロックドメイン内の制御ロジックをフラッシュします。AHB クロックドメインパイプラインだけがリセットされます。

このビットでは、FIFO はフラッシュされません。

AHB クロックドメイン内のすべてのステートマシンは、プロトコルに従って、AHB 上のトランザクションを終了した後、アイドル状態にリセットされます。

AHB クロックドメインステートマシンによって使用される CSR 制御ビットがクリアされます。

この割り込みをクリアするために、割り込みステータスを制御し、AHB クロックドメインステートマシンによって生成されるステータスマスクビットがクリアされます。

割り込みステータスビットはクリアされないので、アプリケーションは、このビットをセットした後に発生したコアイベントのステータスを取得できます。

これはセルフクリアビットであり、コア内のすべての必要なロジックがリセットされた後、コアがクリアします。これには、コアの現在の状態によって、数クロックサイクルかかります。

注： デバイスモードとホストモードの両方でアクセス可能です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット0 **CSRST**：コアソフトリセット

以下のように、HCLK および PCLK ドメインをリセットします。

割り込みと、以下のビットを除くすべての CSR レジスタビットをクリアします。

– OTG_FS_PCGCCTL の RSTPDMODL ビット
– OTG_FS_PCGCCTL の GAYEHCLK ビット
– OTG_FS_PCGCCTL の PWRCLMP ビット
– OTG_FS_PCGCCTL の STPPCLK ビット
– OTG_FS_HCFG の FSLSPCS ビット
– OTG_FS_DCFG の DSPD ビット

すべてのモジュールのステートマシン（AHB スレーブユニットを除く）がアイドル状態にリセットされ、すべての送信 FIFO および受信 FIFO がフラッシュされます。

AHB 転送の最後のデータフェーズの完了後、AHB マスタ上のすべてのトランザクションが速やかに終了されます。USB 上のすべてのトランザクションをただちに終了します。

アプリケーションは、いつでもこのビットに書き込むことによって、コアをリセットできます。これはセルフクリアビットであり、コア内のすべての必要なロジックがリセットされた後、コアがこのビットをクリアします。コアの現在の状態によって、クリアには数クロックかかります。このビットがクリアされると、ソフトウェアは PHY ドメインにアクセスできるようになるまで少なくとも 3 PHY クロック待つ必要があります（同期遅延）。また、ソフトウェアは、操作を開始する前に、このレジスタのビット 31 が 1 にセットされていること（AHB マスタがアイドル状態）を確認する必要があります。

一般に、ソフトウェアリセットは、ソフトウェア開発時に使用され、上記の USB 設定レジスタの PHY 選択ビットを動的に変更するときにも使用されます。PHY を変更するときには、PHY の対応クロックが選択され、PHY ドメインで使用されます。新しいクロックが選択されたら、適切な動作のためには、PHY ドメインをリセットする必要があります。

注： デバイスモードとホストモードの両方でアクセス可能です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OTG_FSコア割り込みレジスタ（OTG_FS_GINTSTS）

アドレスオフセット：0x014

リセット値：0x0400 0020

このレジスタは、現在のモード（デバイスモードまたはホストモード）において、システムレベルのイベントのためにアプリケーションに割り込みをかけます。

このレジスタには、ホストモードでのみ有効なビットと、デバイスモードでのみ有効なビットがあります。このレジスタは、現在のモードも示します。rc_w1 タイプの割り込みステータスビットをクリアするには、アプリケーションは、そのビットに 1 を書き込む必要があります。

FIFO ステータス割り込みは読み出し専用です。これらの割り込みの処理中に、ソフトウェアが FIFO への書き込みまたは FIFO からの読み出しを行うと、FIFO 割り込み条件は自動的にクリアされます。

初期化の前に割り込みが生成されるのを避けるためには、アプリケーションは、割り込みビットのマスクを解除する前に、OTG_FS_GINTSTS レジスタをクリアする必要があります。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
WKUINT	SRQINT	DISCINT	CIDSCHG	予約済み	PTXFE	HCINT	HPRTINT	予約済み		IPXFR/INCOMPISOOUT	IISOIXFR	OEPINT	IEPINT	予約済み		EOPF	ISOODRP	ENUMDNE	USBRST	USBSUSP	ESUSP	予約済み		GOUTNAKEFF	GINAKEFF	NPTXFE	RXFLVL	SOF	OTGINT	MMIS	CMOD
rc_w1					r	r	r	予約済み		rc_w1		r	r			rc_w1								r	r	r	r	rc_w1	r	rc_w1	r

ビット31 **WKUPINT**：レジューム／リモートウェイクアップ検出割り込み

デバイスモードでは、この割り込みは、USB 上でレジュームが検出されたときにアサートされます。ホストモードでは、この割り込みは、USB 上でリモートウェイクアップが検出されたときにアサートされます。

注： デバイスモードとホストモードの両方でアクセス可能です。

ビット30 **SRQINT**：セッションリクエスト／新規セッション検出割り込み

ホストモードでは、この割り込みは、デバイスからのセッションリクエストが検出されたときにアサートされます。デバイスモードでは、この割り込みは、V_{BUS} が B ペリフェラルデバイスに対して有効な範囲にあるときにアサートされます。デバイスモードとホストモードの両方でアクセス可能です。

ビット29 **DISCINT**：切断検出割り込み

デバイスの切断が検出されたときにアサートされます。

注： ホストモードでのみアクセス可能です。

ビット28 **CIDSCHG**：コネクタIDステータス変化

コアは、ID ステータスに変化があったとき、このビットをセットします。

注： デバイスモードとホストモードの両方でアクセス可能です。

ビット27 予約済みであり、リセット値に保持する必要があります。

ビット26 **PTXFE**：周期的TxFIFOエンプティ

周期的送信 FIFO が半エンプティか完全エンプティであり、周期的リクエストキューに少なくとも 1 つのエントリを書き込むためのスペースがあるときにアサートされます。半エンプティステータスか完全エンプティステータスかは、OTG_FS_GAHBCFG レジスタの TxFIFO エンプティレベルビット（OTG_FS_GAHBCFG の PTXFELVL ビット）によって判断できます。

注： ホストモードでのみアクセス可能です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット25 **HCINT**：ホストチャンネル割り込み

コアは、コアのチャネルの 1 つで割り込みがペンディングされていることを示すために、このビットをセットします（ホストモード）。アプリケーションは、OTG_FS_HAINT レジスタを読み出して、割り込みが発生しているチャネルの正確な数を確認した後、対応する OTG_FS_HCINTx レジスタを読み出して、割り込みの正確な原因を確認する必要があります。アプリケーションは、OTG_FS_HCINTx レジスタの適切なステータスビットをクリアすることによって、このビットをクリアする必要があります。

注： ホストモードでのみアクセス可能です。

ビット24 **HPRTINT**：ホストポート割り込み

コアは、ホストモードの OTG_FS コントローラポートの 1 つのポートステータスに変化があったことを示すために、このビットをセットします。アプリケーションは、OTG_FS_HPRT レジスタを読み出して、この割り込みの原因となった正確なイベントを確認する必要があります。アプリケーションは、OTG_FS_HPRT レジスタの適切なステータスビットをクリアすることによって、このビットをクリアする必要があります。

注： ホストモードでのみアクセス可能です。

ビット23:22 予約済みであり、リセット値に保持する必要があります。

ビット21 **IPXFR**：不完全な周期的転送

ホストモードでは、コアは、現在のフレームでスケジュールされていて、まだペンディング中の周期的トランザクションが存在するとき、この割り込みビットをセットします。

INCOMPISOOUT：不完全アイソクロナス OUT 転送

デバイスモードでは、コアは、現在のフレームで転送が完了していないアイソクロナス OUT エンドポイントが少なくとも 1 つあることを示すために、この割り込みをセットします。この割り込みは、このレジスタの周期的フレーム割り込み終了（EOPF）ビットとともにアサートされます。

ビット20 **IISOIXFR**：不完全アイソクロナス IN 転送

コアは、現在のフレームで転送が完了していないアイソクロナス IN エンドポイントが少なくとも 1 つあることを示すために、この割り込みをセットします。この割り込みは、このレジスタの周期的フレーム割り込み終了（EOPF）ビットとともにアサートされます。

注： デバイスモードでのみアクセス可能です。

ビット19 **OEPINT**：OUTエンドポイント割り込み

コアは、コアの OUT エンドポイントの 1 つで割り込みがペンディングされていることを示すために、このビットをセットします（デバイスモード）。アプリケーションは、OTG_FS_DAINT レジスタを読み出して、割り込みが発生した OUT エンドポイントの正確な数を確認した後、対応する OTG_FS_DOEPINTx レジスタを読み出して、割り込みの正確な原因を確認する必要があります。アプリケーションは、対応する OTG_FS_DOEPINTx レジスタの適切なステータスビットをクリアすることによって、このビットをクリアする必要があります。

注： デバイスモードでのみアクセス可能です。

ビット18 **IEPINT**：INエンドポイント割り込み

コアは、コアの IN エンドポイントの 1 つで割り込みが保留されていることを示すために、このビットをセットします（デバイスモード）。アプリケーションは、OTG_FS_DAINT レジスタを読み出して、割り込みが発生した IN エンドポイントの正確な数を確認した後、対応する OTG_FS_DIEPINTx レジスタを読み出して、割り込みの正確な原因を確認する必要があります。アプリケーションは、対応する OTG_FS_DIEPINTx レジスタの適切なステータスビットをクリアすることによって、このビットをクリアする必要があります。

注： デバイスモードでのみアクセス可能です。

ビット17:16 予約済みであり、リセット値に保持する必要があります。

ビット15 **EOPF**：周期的フレーム終了割り込み

現在のフレームで、OTG_FS_DCFG レジスタの周期的フレームインターバルフィールド（OTG_FS_DCFG の PFIVL ビット）で指定された時間に達したことを示します。

注： デバイスモードでのみアクセス可能です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット14 **ISOODRP**：アイソクロナス OUT パケット欠落割り込み

コアは、アイソクロナス OUT エンドポイントの最大サイズのパケットに対応できるだけの十分なスペースが RxFIFO になかったために、RxFIFO にアイソクロナス OUT パケットを書き込めなかったとき、このビットをセットします。

注： デバイスモードでのみアクセス可能です。

ビット13 **ENUMDNE**：エニュメレーション終了

コアは、速度エニュメレーションが完了したことを示すために、このビットをセットします。アプリケーションは、OTG_FS_DSTS レジスタを読み出して、エニュメレーションされた速度を取得する必要があります。

注： デバイスモードでのみアクセス可能です。

ビット12 **USBRST**：USBリセット

コアは、USB 上でリセットが検出されたことを示すために、このビットをセットします。

注： デバイスモードでのみアクセス可能です。

ビット11 **USBSUSP**：USB サスペンド

コアは、USB 上でサスペンドが検出されたことを示すために、このビットをセットします。コアは、データライン上で 3 ms の間、何のアクティビティもなかった場合、サスペンド状態に入ります。

注： デバイスモードでのみアクセス可能です。

ビット10 **ESUSP**：アーリーサスペンド

コアは、USB 上で 3 ms 間、アイドル状態が検出されたことを示すために、このビットをセットします。

注： デバイスモードでのみアクセス可能です。

ビット9:8 予約済みであり、リセット値に保持する必要があります。

ビット7 **GONAKEFF**：グローバルOUT NAK 有効

アプリケーションによってセットされた OTG_FS_DCTL レジスタのセットグローバル OUT NAK ビット（OTG_FS_DCTL の SGONAK ビット）がコアで有効になったことを示します。このビットは、OTG_FS_DCTL レジスタのクリアグローバル OUT NAK ビット（OTG_FS_DCTL の CGONAK ビット）に書き込むことによってクリアできます。

注： デバイスモードでのみアクセス可能です。

ビット6 **GINAKEFF**：グローバルIN非周期的NAK 有効

アプリケーションによってセットされた OTG_FS_DCTL レジスタのセットグローバル 非周期的 IN NAK ビット（OTG_FS_DCTL の SGINAK ビット）がコアで有効になったことを示します。すなわち、コアは、アプリケーションによってセットされたグローバル IN NAK ビットをサンプリングしました。このビットは、OTG_FS_DCTL レジスタのクリアグローバル非周期的 IN NAK ビット（OTG_FS_DCTL の CGONAK ビット）をクリアすることによってクリアできます。

この割り込みは、必ずしも NAK ハンドシェイクが USB に送出されることを意味しません。STALL ビットが NAK ビットに優先します。

注： デバイスモードでのみアクセス可能です。

ビット5 **NPTXFE**：非周期的TxFIFOエンプティ

この割り込みは、非周期的 TxFIFO が半エンプティか完全エンプティであり、非周期的送信リクエストキューに、少なくとも 1 つのエントリを書き込むスペースがあるときにアサートされます。半エンプティ状態か完全エンプティ状態かは、OTG_FS_GAHBCFG レジスタの 非周期的 TxFIFO エンプティレベルビット（OTG_FS_GAHBCFG の TXFELVL ビット）によって確認できます。

注： ホストモードでのみアクセス可能です。

ビット4 **RXFLVL**：RxFIFO非エンプティ

RxFIFO から読み出されるべきペンディング中のパケットが少なくとも 1 つあることを示します。

注： ホストモードとデバイスモードの両方でアクセス可能です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット3 **SOF**：フレーム開始

ホストモードでは、コアは、SOF（FS）またはキープアライブ（LS）が USB で送信されることを示すために、このビットをセットします。アプリケーションは、このビットに 1 を書き込むことによって、割り込みをクリアする必要があります。

デバイスモードでは、コアは、USB 上で SOF トークンが受信されたことを示すために、このビットをセットします。アプリケーションは、デバイスステータスレジスタを読み出すことによって、現在のフレーム番号を知ることができます。この割り込みは、コアが FS で動作しているときのみ見られます。

注： ホストモードとデバイスモードの両方でアクセス可能です。

ビット2 **OTGINT**：OTG 割り込み

コアは、OTG プロトロルイベントが完了したことを示すために、このビットをセットします。アプリケーションは、OTG 割り込みステータスレジスタ（OTG_FS_GOTGINT）を読み出して、この割り込みの原因となった正確なイベントを確認する必要があります。アプリケーションは、OTG_FS_GOTGINT レジスタの適切なステータスビットをクリアすることによって、このビットをクリアする必要があります。

注： ホストモードとデバイスモードの両方でアクセス可能です。

ビット1 **MMIS**：モード不一致割り込み

コアは、アプリケーションが以下へのアクセスを試みているときに、このビットをセットします。

– ホストモードレジスタ。コアがデバイスモードで動作しているとき。

– デバイスモードレジスタ。コアがホストモードで動作しているとき。

レジスタへのアクセスは、OKAY 応答によって AHB 上で完了しますが、内部的にはコアによって無視され、コアの動作には影響を与えません。

注： ホストモードとデバイスモードの両方でアクセス可能です。

ビット0 **CMOD**：現在の動作モード

現在の動作モードを示します。

0：デバイスモード

1：ホストモード

注： ホストモードとデバイスモードの両方でアクセス可能です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OTG_FS 割り込みマスクレジスタ（OTG_FS_GINTMSK）

アドレスオフセット：0x018

リセット値：0x0000 0000

このレジスタは、コア割り込みレジスタとともに働き、アプリケーションに割り込みをかけます。割り込みビットがマスクされると、そのビットに関連する割り込みは生成されません。ただし、その割り込みに対応するコア割り込みレジスタ（OTG_FS_GINTSTS）のビットは、セットされたままです。

31	30	29	28	27	26	25	24	23:22	21	20	19	18	17	16	15	14	13	12	11	10	9:8	7	6	5	4	3	2	1	0
WUIM	SRQIM	DISCINT	CIDSCHGM	予約済み	PTXFEM	HCIM	PRTIM	予約済み	IPXFRM/IISOOXFRM	IISOIXFRM	OEPINT	IEPINT	EPMISM	予約済み	EOPFM	ISOODRPM	ENUMDNEM	USBRST	USBSUSPM	ESUSPM	予約済み	GONAKEFFM	GINAKEFFM	NPTXFEM	RXFLVLM	SOFM	OTGINT	MMISM	予約済み
rw	rw	rw	rw		rw	rw	r		rw	rw	rw	rw	rw		rw	rw	rw	rw	rw	rw		rw	rw	rw	rw	rw	rw	rw	

ビット31　**WUIM**：レジューム／リモートウェイクアップ検出割り込みマスク
0：割り込みをマスク
1：割り込みのマスクを解除
注：　ホストモードとデバイスモードの両方でアクセス可能です。

ビット30　**SRQIM**：セッションリクエスト／新規セッション検出割り込みマスク
0：割り込みをマスク
1：割り込みのマスクを解除
注：　ホストモードとデバイスモードの両方でアクセス可能です。

ビット29　**DISCINT**：切断検出割り込み
0：割り込みをマスク
1：割り込みのマスクを解除
注：　デバイスモードでのみアクセス可能です。

ビット28　**CIDSCHGM**：コネクタIDステータス変化マスク
0：割り込みをマスク
1：割り込みのマスクを解除
注：　ホストモードとデバイスモードの両方でアクセス可能です。

ビット27　予約済みであり、リセット値に保持する必要があります。

ビット26　**PTXFEM**：周期的TxFIFOエンプティマスク
0：割り込みをマスク
1：割り込みのマスクを解除
注：　ホストモードでのみアクセス可能です。

ビット25　**HCIM**：ホストチャンネル割り込みマスク
0：割り込みをマスク
1：割り込みのマスクを解除
注：　ホストモードでのみアクセス可能です。

ビット24　**PRTIM**：ホストポート割り込みマスク
0：割り込みをマスク
1：割り込みのマスクを解除
注：　ホストモードでのみアクセス可能です。

ビット23:22　予約済みであり、リセット値に保持する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット21 **IPXFRM**：不完全周期的転送マスク
0：割り込みをマスク
1：割り込みのマスクを解除
注： ホストモードでのみアクセス可能です。
IISOOXFRM：不完全アイソクロナスOUT転送マスク
0：割り込みをマスク
1：割り込みのマスクを解除
注： デバイスモードでのみアクセス可能です。

ビット20 **IISOIXFRM**：不完全アイソクロナスIN転送マスク
0：割り込みをマスク
1：割り込みのマスクを解除
注： デバイスモードでのみアクセス可能です。

ビット19 **OEPINT**：OUTエンドポイント割り込みマスク
0：割り込みをマスク
1：割り込みのマスクを解除
注： デバイスモードでのみアクセス可能です。

ビット18 **IEPINT**：INエンドポイント割り込みマスク
0：割り込みをマスク
1：割り込みのマスクを解除
注： デバイスモードでのみアクセス可能です。

ビット17 **EPMISM**：エンドポイント不一致割り込みマスク
0：割り込みをマスク
1：割り込みのマスクを解除
注： デバイスモードでのみアクセス可能です。

ビット16 予約済みであり、リセット値に保持する必要があります。

ビット15 **EOPFM**：周期的フレーム終了割り込みマスク
0：割り込みをマスク
1：割り込みのマスクを解除
注： デバイスモードでのみアクセス可能です。

ビット14 **ISOODRPM**：アイソクロナスOUTパケット欠落割り込みマスク
0：割り込みをマスク
1：割り込みのマスクを解除
注： デバイスモードでのみアクセス可能です。

ビット13 **ENUMDNEM**：エニュメレーション終了マスク
0：割り込みをマスク
1：割り込みのマスクを解除
注： デバイスモードでのみアクセス可能です。

ビット12 **USBRST**：USBリセットマスク
0：割り込みをマスク
1：割り込みのマスクを解除
注： デバイスモードでのみアクセス可能です。

ビット11 **USBSUSPM**：USB サスペンドマスク
0：割り込みをマスク
1：割り込みのマスクを解除
注： デバイスモードでのみアクセス可能です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット10 **ESUSPM**：アーリーサスペンドマスク

0：割り込みをマスク

1：割り込みのマスクを解除

注： デバイスモードでのみアクセス可能です。

ビット9:8 予約済みであり、リセット値に保持する必要があります。

ビット7 **GONAKEFFM**：グローバルOUT NAK 有効マスク

0：割り込みをマスク

1：割り込みのマスクを解除

注： デバイスモードでのみアクセス可能です。

ビット6 **GINAKEFFM**：グローバル非周期的IN NAK 有効マスク

0：割り込みをマスク

1：割り込みのマスクを解除

注： デバイスモードでのみアクセス可能です。

ビット5 **NPTXFEM**：非周期的TxFIFOエンプティマスク

0：割り込みをマスク

1：割り込みのマスクを解除

注： ホストモードでのみアクセス可能です。

ビット4 **RXFLVLM**：受信 FIFO非エンプティマスク

0：割り込みをマスク

1：割り込みのマスクを解除

注： デバイスモードとホストモードの両方でアクセス可能です。

ビット3 **SOFM**：フレーム開始マスク

0：割り込みをマスク

1：割り込みのマスクを解除

注： デバイスモードとホストモードの両方でアクセス可能です。

ビット2 **OTGINT**：OTG 割り込みマスク

0：割り込みをマスク

1：割り込みのマスクを解除

注： デバイスモードとホストモードの両方でアクセス可能です。

ビット1 **MMISM**：モード不一致割り込みマスク

0：割り込みをマスク

1：割り込みのマスクを解除

注： デバイスモードとホストモードの両方でアクセス可能です。

ビット0 予約済みであり、リセット値に保持する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OTG_FS 受信ステータスデバッグ読み出し／OTGステータス読み出しおよびポップレジスタ （OTG_FS_GRXSTSR/OTG_FS_GRXSTSP）

読み出しアドレスオフセット：0x01C

ポップアドレスオフセット：0x020

リセット値：0x0000 0000

受信ステータスデバッグ読み出しレジスタを読み出すと、受信 FIFO の最上部の内容が返されます。受信ステータス読み出しおよびポップレジスタを読み出すと、RxFIFO の最上部のデータエントリもポップアウトされます。

受信ステータスの内容は、ホストモードとデバイスモードで異なった解釈をする必要があります。コアは、受信 FIFO がエンプティのときには、受信ステータスのポップ／読み出しを無視して、0x0000 0000 の値を返します。アプリケーションは、コア割り込みレジスタの受信 FIFO 非エンプティビット（OTG_FS_GINTSTS の RXFLVL ビット）がアサートされたときにのみ、受信ステータス FIFO をポップしなければなりません。

ホストモード：

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み											PKTSTS				DPID		BCNT												CHNUM			
											r				r		r												r			

ビット31:21 予約済みであり、リセット値に保持する必要があります。

ビット20:17 **PKTSTS**：パケットステータス

受信パケットのステータスを示します。

0010：IN データパケットが受信されました。

0011：IN 転送が完了しました（割り込みをトリガします）。

0101：データトグルエラー（割り込みをトリガします）。

0111：チャネル停止（割り込みをトリガします）。

その他：予約済み

ビット16:15 **DPID**：データPID

受信パケットのデータ PID を示します。

00：DATA0

10：DATA1

01：DATA2

11：MDATA

ビット14:4 **BCNT**：バイトカウント

受信した IN データパケットのバイト数を示します。

ビット 3:0 **CHNUM**：チャンネル番号

現在の受信パケットが属するチャネル番号を示します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

デバイスモード：

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み							FRMNUM				PKTSTS				DPID		BCNT													EPNUM		
							r				r				r		r													r		

ビット31:25 予約済みであり、リセット値に保持する必要があります。

ビット24:21 **FRMNUM**：フレーム番号

これは、USB 上でパケットが受信されるフレーム番号の下位 4 ビットです。このフィールドは、アイソクロナス OUT エンドポイントがサポートされる場合にのみサポートされます。

ビット 20:17 **PKTSTS**：パケットステータス

受信パケットのステータスを示します。
0001：グローバル OUT NAK（割り込みをトリガします）。
0010：OUT データパケットが受信されました。
0011：OUT 転送が完了しました（割り込みをトリガします）。
0100：SETUP トランザクションが完了しました（割り込みをトリガします）。
0110：SETUP データパケットが受信されました。
その他：予約済み

ビット16:15 **DPID**：データPID

受信した OUT データパケットのデータ PID を示します。
00：DATA0
10：DATA1
01：DATA2
11：MDATA

ビット14:4 **BCNT**：バイトカウント

受信したデータパケットのバイト数を示します。

ビット 3:0 **EPNUM**：エンドポイント番号

現在の受信パケットが属するエンドポイント番号を示します。

OTG_FS 受信 FIFOサイズレジスタ（OTG_FS_GRXFSIZ）

アドレスオフセット：0x024

リセット値：0x0000 0200

アプリケーションは、RxFIFO に割り当てられなければならない RAM サイズをプログラムできます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																RXFD															
																r/rw															

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット15:0 **RXFD**：RxFIFO 深さ

この値は、32 ビットワード単位です。
最小値は 16 です。
最大値は 256 です。
このレジスタのパワーオンリセット値は、Rx データ FIFO の最大深さで指定されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OTG_FSホスト非周期的送信 FIFOサイズレジスタ（OTG_FS_HNPTXFSIZ）／エンドポイント0送信 FIFOサイズ（OTG_FS_DIEPTXF0）

アドレスオフセット：0x028

リセット値：0x0000 0200

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NPTXFD/TX0FD																NPTXFSA/TX0FSA															
r/rw																r/rw															

ホストモード

ビット 31:16 **NPTXFD**：非周期的TxFIFO 深さ
この値は、32 ビットワード単位です。
最小値は 16 です。
最大値は 256 です。

ビット 15:0 **NPTXFSA**：非周期的送信 RAM 開始アドレス
このフィールドは、非周期的送信 FIFO RAM のメモリ開始アドレスを含みます。

デバイスモード

ビット 31:16 **TX0FD**：エンドポイント0 TxFIFO 深さ
この値は、32 ビットワード単位です。
最小値は 16 です。
最大値は 256 です。

ビット 15:0 **TX0FSA**：エンドポイント0送信 RAM 開始アドレス
このフィールドは、エンドポイント 0 送信 FIFO RAM のメモリ開始アドレスを含みます。

OTG_FS非周期的送信 FIFO／キューステータスレジスタ（OTG_FS_HNPTXSTS）

アドレスオフセット：0x02C

リセット値：0x0008 0200

注： ***デバイスモードでは、このレジスタは無効です。***

この読み出し専用レジスタは、非周期的 TxFIFO および非周期的送信リクエストキューの空きスペース情報を含みます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み	NPTXQTOP							NPTQXSAV								NPTXFSAV															
	r							r								r															

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット31 予約済みであり、リセット値に保持する必要があります。

ビット30:24 **NPTXQTOP**：非周期的送信リクエストキューの先頭

MAC によって処理中の非周期的 Tx リクエストキューのエントリ。

ビット30:27：チャンネル／エンドポイント番号

ビット26:25:

- 00：IN/OUTトークン
- 01：ゼロ長送信パケット（デバイスIN／ホストOUT）
- 11：チャンネル停止コマンド

ビット24：終了（選択されたチャネル／エンドポイントの最後のエントリ）

ビット23:16 **NPTQXSAV**：非周期的送信リクエストキューの使用可能スペース

非周期的送信リクエストキューの使用可能な空きスペースの量を示します。このキューは、ホストモードでの IN および OUT リクエストを保持します。デバイスモードは IN リクエストのみです。

00：非周期的送信リクエストキューは満杯です。

01：1 位置が使用可能です。

10：2 位置が使用可能です。

bxn：*n* 位置が使用可能です （0 ≤ *n* ≤ 8）。

その他：予約済み

ビット15:0 **NPTXFSAV**：使用可能な非周期的TxFIFO スペース

非周期的 TxFIFO 内で使用できる空きスペースの量を示します。

この値は、32 ビットワード単位です。

00：非周期的 Tx FIFO は満杯です。

01：1ワードが使用可能です。

10：2ワードが使用可能です。

0xn：*n* ワードが使用可能です （0 ≤ *n* ≤ 256）

その他：予約済み

OTG_FS 一般コア設定レジスタ（OTG_FS_GCCFG）

アドレスオフセット：0x038

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み										NOVBUSSENS	SOFOUTEN	VBUSBSEN	VBUSASEN	Reserved	.PWRDWN	予約済み															
										rw	rw	rw	rw		rw																

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 31:22 予約済みであり、リセット値に保持する必要があります。

ビット 21 **NOVBUSSENS**：V_{BUS} センシング無効オプション

このビットがセットされると、V_{BUS} が内部で常に V_{BUS} 有効レベル（5 V）にあると考慮されます。このオプションを使うと専用の V_{BUS} パッドが不要になり、このパッドを共有機能などの別の目的に使用できるようになります。V_{BUS} 接続は別の汎用入力パッドに再割り当てされ、ソフトウェアでモニタされます。

このオプションは、ホストのみまたはデバイスのみのアプリケーションにのみ適しています。

0：V_{BUS} センシングがハードウェアで利用できます。

1：V_{BUS} センシングがハードウェアで利用できません。

ビット20 **SOFOUTEN**：SOF 出力イネーブル

0：SOF パルスは PAD 上で使用できません。

1：SOF パルスは PAD 上で使用できます。

ビット19 **VBUSBSEN**：V_{BUS} センシング「B」デバイスのイネーブル

0：V_{BUS} センシング「B」を無効化

1：V_{BUS} センシング「B」を有効化

ビット18 **VBUSASEN**：V_{BUS} センシング「A」デバイスのイネーブル

0：V_{BUS} センシング「A」を無効化

1：V_{BUS} センシング「A」を有効化

ビット17 予約済みであり、リセット値に保持する必要があります。

ビット16 **PWRDWN**：パワーダウン

送信／受信のためにトランシーバを起動するために使用されます。

0：パワーダウンアクティブ

1：パワーダウン非アクティブ （「トランシーバアクティブ」）

ビット15:0 予約済みであり、リセット値に保持する必要があります。

OTG_FSコアIDレジスタ（OTG_FS_CID）

アドレスオフセット：0x03C

リセット値：0x0000 1100

これは、製品 IDを含む読み出し専用レジスタです。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PRODUCT_ID																															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット31:0 **PRODUCT_ID**：製品 IDフィールド

アプリケーションによってプログラム可能な ID フィールド。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OTG_FSホスト周期的送信 FIFOサイズレジスタ（OTG_FS_HPTXFSIZ）

アドレスオフセット：0x100

リセット値：0x0200 0600

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PTXFSIZ																PTXSA															
r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw

ビット 31:16 **PTXFD**：ホスト周期的TxFIFO 深さ

この値は、32 ビットワード単位です。

最小値は 16 です。

ビット 15:0 **PTXSA**：ホスト周期的TxFIFO 開始アドレス

このレジスタのパワーオンリセット値は、Rx データ FIFO の最大深さと Tx データ FIFO の最大深さの合計です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OTG_FSデバイスINエンドポイント送信 FIFOサイズレジスタ（OTG_FS_DIEPTXFx）（x = 1..3、x は FIFO_number）

アドレスオフセット：0x104 + (FIFO_number – 1）× 0x04

リセット値：0x02000400

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
INEPTXFD																INEPTXSA															
r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw

ビット 31:16 **INEPTXFD**：INエンドポイントTxFIFO 深さ

この値は、32 ビットワード単位です。

最小値は 16 です。

このレジスタのパワーオンリセット値は、IN エンドポイント FIFO 番号の最大深さとして指定されます。

ビット 15:0 **INEPTXSA**：INエンドポイントFIFOx送信 RAM 開始アドレス

このフィールドは、IN エンドポイント送信 FIFOx のメモリ開始アドレスを含みます。アドレスは32 ビットメモリロケーションに整列されている必要があります。

34.16.3 ホストモードレジスタ

レジスタの説明で示されているビット値は、特に記載がない限り 2 進数で表されています。

ホストモードレジスタは、ホストモードでのコアの動作に影響を与えます。.ホストモードレジスタは、結果が定義されていないため、デバイスモードではアクセスしないでください。ホストモードレジスタは、次のように分類することができます。

OTG_FSホスト設定レジスタ（OTG_FS_HCFG）

アドレスオフセット：0x400

リセット値：0x0000 0000

このレジスタは、電源投入後のコアを設定します。ホストを初期化した後は、このレジスタを変更しないでください。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																													FSLSS	FSLSPCS	
																													r	rw	rw

ビット31:3 予約済みであり、リセット値に保持する必要があります。

ビット2 **FSLSS**：FS および LS のみのサポート

アプリケーションは、このビットを使用して、コアのエニュメレーション速度を制御します。このビットを使用して、アプリケーションは、接続されたデバイスが HS トラフィックをサポートする場合でも、FS ホストとしてコアにエニュメレーションさせることができます。初期プログラミングの後は、このフィールドを変更しないでください。

1：接続されたデバイスが HS トラフィックをサポートしている場合でも、FS/LS のみ（読み出し専用）。

この資料は、STMicroelectronics NV 並びにその子会社（以下 ST）が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット1:0 **FSLSPCS**：FS/LS PHYクロック選択

コアが FS ホストモードのとき、

01：PHY クロックは 48 MHz で動作しています。

その他：予約済み

コアが LS ホストモードのとき、

00：予約済み

01：PHY クロック周波数として 48 MHz を選択

10：PHY クロック周波数として 6 MHz を選択

11：予約済み

注： FSLSPCS は、接続されたデバイスの速度に応じて、接続イベント時にセットする必要があります（このビットを変更した後、ソフトウェアリセットを実行する必要があります）。

OTG_FS ホストフレームインターバルレジスタ（OTG_FS_HFIR）

アドレスオフセット：0x404

リセット値：0x0000 EA60

このレジスタは、OTG_FS コントローラがエニュメレーションした現在の速度でのフレームインターバル情報を格納します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																FRIVL															
																rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット31:16 予約済みであり、リセット値に保持する必要があります。

ビット15:0 **FRIVL**：フレームインターバル

アプリケーションがこのフィールドにプログラムする値は、2 つの連続した SOF（FS）またはキープアライブトークン（LS）の間のインターバルを指定します。このフィールドは、必要なフレームインターバルを構成する PHY クロック数を含みます。アプリケーションは、ホストポート制御およびステータスレジスタのポートイネーブルビット（OTG_FS_HPRT の PENA ビット）がセットされた後のみ、このレジスタに値を書き込むことができます。値がプログラムされていない場合、コアは、ホスト設定レジスタの FS/LS PHY クロック選択フィールド（OTG_FS_HCFG の FSLSPCS）で指定された PHY クロックに基づいて値を計算します。初期プログラミングの後は、このフィールドの値を変更しないでください。

1 ms ×（PHY クロック周波数）

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OTG_FSホストフレーム番号／残りフレーム時間レジスタ（OTG_FS_HFNUM）

アドレスオフセット：0x408

リセット値：0x0000 3FFF

このレジスタは、現在のフレーム番号を示します。また、現在のフレームの残り時間（PHY クロック数）も示します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FTREM																FRNUM															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット31:16 **FTREM**：残りフレーム時間

現在のフレームの残り時間を、PHY クロック数で示します。このフィールドは、PHY クロックごとにデクリメントされます。値がゼロになると、このフィールドにはフレームインターバルレジスタの値が再ロードされ、新しい SOF が USB に送信されます。

ビット 15:0 **FRNUM**：フレーム番号

このフィールドは、USB 上で新しい SOF が送信されるたびにインクリメントされ、0x3FFF に達すると、0 にクリアされます.

OTG_FS_ホスト周期的送信 FIFO／キューステータスレジスタ（OTG_FS_HPTXSTS）

アドレスオフセット：0x410

リセット値：0x0008 0100

この読み出し専用レジスタは、周期的 TxFIFO および周期的送信リクエストキューの空きスペース情報を含みます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PTXQTOP								PTXQSAV								PTXFSAVL															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット31:24 **PTXQTOP**：周期的送信リクエストキューの先頭

これは、MAC によって処理中の周期的 Tx リクエストキューのエントリを示します。

このレジスタは、デバッグに使用されます。

ビット31：奇数／偶数フレーム

- 0：偶数フレームで送信
- 1：奇数フレームで送信

ビット30:27：チャンネル／エンドポイント番号

ビット26:25：タイプ

- 00：IN/OUT
- 01：ゼロ長パケット
- 11：チャンネルコマンドディセーブル

ビット24：終了（選択されたチャネル／エンドポイントの最後のエントリ）

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット23:16 **PTXQSAV**：周期的送信リクエストキューの使用可能スペース

周期的送信リクエストキューで書き込みに使用できる空き位置の数を示します。このキューは、IN および OUT リクエストの両方を保持します。

00：周期的送信リクエストキューは満杯です。

01：1 位置が使用可能です。

10：2 位置が使用可能です。

bxn：n 位置が使用可能です （0 ≤ n ≤ 8）。

その他：予約済み

ビット15:0 **PTXFSAVL**：周期的送信データFIFO の使用可能スペース

周期的 TxFIFO で書き込みに使用できる空き位置の数を示します。

値は、32 ビットワード単位です。

0000：周期的 Tx FIFO は満杯です。

0001：1ワードが使用可能です。

0010：2 ワードが使用可能です。

bxn：n ワードが使用可能です （0 ≤ n ≤ PTXFD）。

その他：予約済み

OTG_FSホスト全チャンネル割り込みレジスタ（OTG_FS_HAINT）

アドレスオフセット：0x414

リセット値：0x0000 000

チャネル上で重大なイベントが発生すると、ホスト全チャネル割り込みレジスタは、コア割り込みレジスタのホストチャネル割り込みビット（OTG_FS_GINTSTS の HCINT ビット）を使用して、アプリケーションに割り込みをかけます。これを*図 393* に示します。チャネルごとに 1 つの割り込みビットがあります（最大 16 ビット）。このレジスタのビットは、アプリケーションが対応するホストチャネル x 割り込みレジスタのビットをセット／クリアしたときにセット／クリアされます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																HAINT															
																r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット31:16 予約済みであり、リセット値に保持する必要があります。

ビット15:0 **HAINT**：チャンネル割り込み

チャネル 0 に対してビット 0、チャネル 15 に対してビット 15

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OTG_FSホスト全チャンネル割り込みマスクレジスタ（OTG_FS_HAINTMSK）

アドレスオフセット：0x418

リセット値：0x0000 0000

ホスト全チャネル割り込みマスクレジスタは、ホスト全チャネル割り込みレジスタとともに働き、チャネル上でイベントが発生したときに、アプリケーションに割り込みをかけます。チャネルごとに 1 つの割り込みマスクビットがあります（最大 16 ビット）。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																HAINTM															
																rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット31:16 予約済みであり、リセット値に保持する必要があります。

ビット15:0 **HAINTM**：チャンネル割り込みマスク

0：割り込みをマスク

1：割り込みのマスクを解除

チャネル 0 に対してビット 0、チャネル 15 に対してビット 15

OTG_FSホストポート制御およびステータスレジスタ（OTG_FS_HPRT）

アドレスオフセット：0x440

リセット値：0x0000 0000

このレジスタは、ホストモードでのみ使用可能です。現時点では、OTG ホストは 1 つのポートのみをサポートしています。

1 つのレジスタは、各ポートについて、USB リセット、イネーブル、サスペンド、レジューム、接続ステータス、テストモードなどの USB ポート関連情報を保持します。これを*図 393* に示します。このレジスタの rc_w1 ビットは、コア割り込みレジスタのホストポート割り込みビット（OTG_FS_GINTSTS の HPRTINT ビット）を通じて、アプリケーションへの割り込みをトリガできます。ポート割り込みの場合、アプリケーションは、このレジスタを読み出して、割り込みの原因となったビットをクリアする必要があります。rc_w1 ビットの場合、アプリケーションは、このビットに 1 を書き込んで、割り込みをクリアする必要があります。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み													PSPD		PTCTL				PPWR	PLSTS		予約済み	PRST	PSUSP	PRES	POCCHNG	POCA	PENCHNG	PENA	PCDET	PCSTS
													r	r	rw	rw	rw	rw	rw	r	r		rw	rs	rw	rc_w1	r	rc_w1	rc_w0	rc_w1	r

ビット31:19 予約済みであり、リセット値に保持する必要があります。

ビット18:17 **PSPD**：ポート速度

このポートに接続されたデバイスの速度を示します。

01：フルスピード

10：ロースピード

11：予約済み

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット16:13 **PTCTL**：ポートテスト制御

アプリケーションがこのフィールドにゼロ以外の値を書き込んで、ポートをテストモードにすると、対応するパターンがポートにシグナリングされます。

0000：テストモード無効

0001：Test_J モード

0010：Test_K モード

0011：Test_SE0_NAK モード

0100：Test_Packet モード

0101：Test_Force_Enable

その他：予約済み

ビット12 **PPWR**：ポートパワー

アプリケーションは、このフィールドを使用して、このポートへの電力供給を制御し、コアは、過電流条件が発生すると、このビットをクリアします。

0：パワーオフ

1：パワーオン

ビット11:10 **PLSTS**：ポートラインステータス

USB データラインの現在のロジックレベルを示します。

ビット10：OTG_FS_FS_DP のロジックレベル

ビット11：OTG_FS_FS_DM のロジックレベル

ビット9 予約済みであり、リセット値に保持する必要があります。

ビット8 **PRST**：ポートリセット

アプリケーションがこのビットをセットすると、このポートでリセットシーケンスが開始されます。アプリケーションは、リセットシーケンスの完了後、リセット時間を決めて、このビットをクリアする必要があります。

0：ポートは非リセット中

1：ポートはリセット中

アプリケーションは、ポートのリセットが開始されるまで、少なくとも 10 ms の間、このビットをセット状態に保つ必要があります。USB 標準では最大限度が規定されていませんが、アプリケーションは、このビットをクリアする前に、必要最小時間（10 ms）に加えて、さらに 10 ms の間、このビットをセット状態に保つことができます。

ビット7 **PSUSP**：ポートサスペンド

アプリケーションは、このビットをセットして、このポートをサスペンドモードにします。コアは、このビットがセットされると、SOF の送信のみを停止します。PHY クロックを停止するには、アプリケーションは、PHY のサスペンド入力ピンをアサートするポートクロック停止ビットをセットする必要があります。

このビットの読み出し値は、ポートの現在のサスペンドステータスを反映しています。このビットは、リモートウェイクアップ信号の検出後、またはアプリケーションがこのレジスタのポートリセットビットまたはポートレジュームビット、またはコア割り込みレジスタのレジューム／リモートウェイクアップ検出割り込みビットまたは切断検出割り込みビット（それぞれ、OTG_FS_GINTSTS の WKUINT または DISCINT ビット）をセットしたときに、コアによってクリアされます。

0：ポートは非サスペンドモード

1：ポートはサスペンドモード

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット6 **PRES**：ポートレジューム

アプリケーションは、このビットをセットして、ポート上でレジューム信号を駆動します。コアは、アプリケーションがこのビットをクリアするまで、レジューム信号の駆動を続行します。

コアが、コア割り込みレジスタのポートレジューム／リモートウェイクアップ検出割り込みビット（OTG_FS_GINTSTS の WKUINT ビット）によって示される USB リモートウェイクアップシーケンスを検出した場合、コアは、切断条件を検出すると、アプリケーションの介入なしでレジューム信号の駆動を開始、このビットをクリアします。このビットの読み出し値は、コアが現在レジューム信号を駆動中であるかどうかを示します。

0：レジューム信号を駆動していません。

1：レジューム信号を駆動しています。

ビット5 **POCCHNG**：ポート過電流の変化

コアは、このレジスタのポート過電流アクティブビット（ビット 4）に変化があったとき、このビットをセットします。

ビット4 **POCA**：ポート過電流アクティブ

ポートの過電流条件を示します。

0：非過電流状態

1：過電流状態

ビット3 **PENCHNG**：ポートイネーブル／ディセーブルの変化

コアは、このレジスタのポートイネーブルビット 2 のステータスに変化があったとき、このビットをセットします。

ビット2 **PENA**：ポートイネーブル

ポートは、リセットシーケンス後、コアによってのみ有効にされ、過電流条件、切断条件、またはアプリケーションがこのビットをクリアすることによって無効にされます。アプリケーションは、レジスタへの書き込みによってこのビットをクリアすることはできません。クリアして、ポートを無効にすることだけができます。このビットは、アプリケーションへの割り込みをトリガしません。

0：ポートを無効化

1：ポートを有効化

ビット1 **PCDET**：ポート接続の検出

コアは、デバイス接続が検出されると、このビットをセットして、コア割り込みレジスタのホストポート割り込みビット（OTG_FS_GINTSTS の HPRTINT ビット）を使用して、アプリケーションへの割り込みをトリガします。アプリケーションは、このビットに 1 を書き込むことによって、割り込みをクリアする必要があります。

ビット0 **PCSTS**：ポート接続ステータス

0：ポートにはデバイスが接続されていません。

1：ポートにデバイスが接続されています。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OTG_FS ホストチャネル x 特性レジスタ（OTG_FS_HCCHARx）（x = 0..7、x = チャネル番号）

アドレスオフセット：0x500 + (チャンネル番号 × 0x20)

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CHENA	CHDIS	ODDFRM	DAD							MCNT		EPTYP		LSDEV	予約済み	EPDIR	EPNUM				MPSIZ										
rs	rs	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw		rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット31 **CHENA**：チャンネルイネーブル

このフィールドは、アプリケーションによってセットされ、OTG ホストによってクリアされます。

0：チャネルは無効です。

1：チャネルは有効です。

ビット30 **CHDIS**：チャンネルディセーブル

アプリケーションは、チャネルへの転送が完了する前でも、このビットをセットして、そのチャネル上での送信／受信を停止することができます。アプリケーションは、チャネルを無効として扱う前に、チャネル無効割り込みを待つ必要があります。

ビット29 **ODDFRM**：奇数フレーム

このフィールドは、OTG ホストが奇数フレームで転送を実行しなければならないことを示すために、アプリケーションによってセット（リセット）されます。このフィールドは、周期的（アイソクロナスおよび割り込み）トランザクションに対してのみ適用されます。

0：偶数フレーム

1：奇数フレーム

ビット28:22 **DAD**：デバイスアドレス

このフィールドは、データソースまたはデータシンクとして機能する特定のデバイスを選択します。

ビット 21:20 **MCNT**：マルチカウント

このフィールドは、この周期的エンドポイントについてフレームあたりで実行されなければならないトランザクションの数をホストに示します。非周期的転送の場合、このフィールドは使用されません。

00：予約済みこのフィールドは定義されていない結果をもたらします。

01：1トランザクション

10：このエンドポイントに対して発行されるべきトランザクションは、フレームあたり 2 つです。

11：このエンドポイントに対して発行されるべきトランザクションは、フレームあたり 3 つです。

注： このフィールドは、01 以上にセットする必要があります。

ビット 19:18 **EPTYP**：エンドポイントタイプ

選択された転送タイプを示します。

00：コントロール

01：アイソクロナス

10：バルク

11：割り込み

ビット17 **LSDEV**：ロースピードデバイス

このフィールドは、このチャネルがロースピードデバイスと通信中であることを示すために、アプリケーションによってセットされます。

ビット16 予約済みであり、リセット値に保持する必要があります。

ビット15 **EPDIR**：エンドポイント方向

トランザクションが IN か OUT かを示します。

0：OUT

1：IN

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット14:11 **EPNUM**：エンドポイント番号

データソースまたはデータシンクとして機能しているデバイスのエンドポイント番号を示します。

ビット 10:0 **MPSIZ**：最大パケットサイズ

関連するエンドポイントの最大パケットサイズを示します。

OTG_FS ホストチャネル x 割り込みレジスタ（OTG_FS_HCINTx）（x = 0..7、x = チャネル番号）

アドレスオフセット：0x508 + (Channel_number × 0x20)

リセット値：0x0000 0000

このレジスタは、USB および AHB 関連イベントに関するチャネルのステータスを示します。これを *図 393* に示します。アプリケーションは、コア割り込みレジスタのホストチャネル割り込みビット（OTG_FS_GINTSTS の OEPINT ビット）がセットされたとき、このレジスタを読み出す必要があります。アプリケーションがこのレジスタを読み出すためには、まず、ホスト全チャネル割り込み（OTG_FS_HAINT）レジスタを読み出して、ホストチャネル x 割り込みレジスタにの正確なチャネル番号を知る必要があります。アプリケーションは、このレジスタの適切なビットをクリアすることによって、OTG_FS_HAINT および OTG_FS_GINTSTS レジスタの対応するビットをクリアする必要があります。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																					DTERR	FRMOR	BBERR	TXERR	予約済み	ACK	NAK	STALL	予約済み	CHH	XFRC
																					rc_w1	rc_w1	rc_w1	rc_w1		rc_w1	rc_w1	rc_w1		rc_w1	rc_w1

ビット31:11 予約済みであり、リセット値に保持する必要があります。

ビット10 **DTERR**：データトグルエラー

ビット9 **FRMOR**：フレームオーバーラン

ビット8 **BBERR**：バブルエラー

ビット7 **TXERR**：トランザクションエラー

USB 上で以下のエラーの 1 つが発生したことを示します。
CRC チェック失敗
タイムアウト
ビットスタッフエラー
偽の EOP

ビット6 予約済みであり、リセット値に保持する必要があります。

ビット5 **ACK**：ACK レスポンス受信／送信割り込み

ビット4 **NAK**：NAK レスポンス受信割り込み

ビット3 **STALL**：STALL レスポンス受信割り込み

ビット2 予約済みであり、リセット値に保持する必要があります。

ビット1 **CHH**：チャンネル停止

USB トランザクションエラーまたはアプリケーションによるディセーブルリクエストへの応答のいずれかの理由により、転送が異常終了したことを示します。

ビット0 **XFRC**：転送完了

転送がエラーなく正常に完了しました。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OTG_FS ホストチャネル x 割り込みマスクレジスタ（OTG_FS_HCINTMSKx）（x = 0..7、x = チャネル番号）

アドレスオフセット：0x50C + (Channel_number × 0x20)

リセット値：0x0000 0000

このレジスタは、前のセクションで説明した各チャネルステータスのマスクを反映します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																					DTERRM	FRMORM	BBERRM	TXERRM	NYET	ACKM	NAKM	STALLM	予約済み	CHHM	XFRCM
																					rw	rw	rw	rw	rw	rw	rw	rw		rw	rw

ビット31:11 予約済みであり、リセット値に保持する必要があります。

ビット10 **DTERRM**：データトグルエラーマスク
0：割り込みをマスク
1：割り込みのマスクを解除

ビット9 **FRMORM**：フレームオーバーランマスク
0：割り込みをマスク
1：割り込みのマスクを解除

ビット8 **BBERRM**：バブルエラーマスク
0：割り込みをマスク
1：割り込みのマスクを解除

ビット7 **TXERRM**：トランザクションエラーマスク
0：割り込みをマスク
1：割り込みのマスクを解除

ビット6 **NYET**：レスポンス受信割り込みマスク
0：割り込みをマスク
1：割り込みのマスクを解除

ビット5 **ACKM**：ACK レスポンス受信／送信割り込みマスク
0：割り込みをマスク
1：割り込みのマスクを解除

ビット4 **NAKM**：NAK レスポンス受信割り込みマスク
0：割り込みをマスク
1：割り込みのマスクを解除

ビット3 **STALLM**：STALLレスポンス受信割り込みマスク
0：割り込みをマスク
1：割り込みのマスクを解除

ビット2 予約済みであり、リセット値に保持する必要があります。

ビット1 **CHHM**：チャンネル停止マスク
0：割り込みをマスク
1：割り込みのマスクを解除

ビット0 **XFRCM**：転送完了マスク
0：割り込みをマスク
1：割り込みのマスクを解除

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OTG_FS ホストチャネル x 転送サイズレジスタ（OTG_FS_HCTSIZx）（x = 0..7、x = チャネル番号）

アドレスオフセット：0x510 + (Channel_number × 0x20)

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み	DPID		PKTCNT										XFRSIZ																		
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット31　予約済みであり、リセット値に保持する必要があります。

ビット30:29　**DPID**：データPID

アプリケーションは、このフィールドを最初のトランザクションで使用する PID のタイプでプログラムします。ホストは、残りの転送の間、このフィールドを維持します。

00：DATA0

01：DATA2

10：DATA1

11：MDATA （非制御）/SETUP（制御）

ビット28:19　**PKTCNT**：パケットカウント

このフィールドは、アプリケーションによって、送信（OUT）または受信（IN）されるパケットの予想数でプログラムされます。

ホストは、OUT/IN パケットの送信または受信が成功するたびに、このカウントをデクリメントします。このカウントがゼロに達すると、アプリケーションに割り込んで、正常完了を示します。

ビット 18:0　**XFRSIZ**：転送サイズ

OUT の場合、このフィールドは、ホストが転送時に送信するデータバイト数です。

IN の場合、このフィールドは、アプリケーションが転送のために確保したバッファサイズです。アプリケーションは、IN トランザクション（周期的および非周期的）の場合、このフィールドを最大パケットサイズの整数倍でプログラムすることが期待されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

34.16.4 デバイスモードレジスタ

OTG_FSデバイス設定レジスタ（OTG_FS_DCFG）

アドレスオフセット：0x800

リセット値：0x0220 0000

このレジスタは、電源投入後、または特定の制御コマンドあるいは列挙の後、コアをデバイスモードに設定します。初期プログラミングの後は、このレジスタを変更しないでください。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																			PFIVL		DAD							予約済み	NZLSOHSK	DSPD	
																			rw		rw	rw	rw	rw	rw	rw	rw		rw	rw	rw

ビット31:13 予約済みであり、リセット値に保持する必要があります。

ビット12:11 **PFIVL**：周期的フレームインターバル

周期的フレーム終了割り込みを使用してアプリケーションに通知しなければならないフレーム内の時間を示します。これを使用して、そのフレームのアイソクロナストラフィックのすべてが完了したかどうかを判断できます。

00：フレームインターバルの 80%

01：フレームインターバルの 85%

10：フレームインターバルの 90%

11：フレームインターバルの 95%

ビット10:4 **DAD**：デバイスアドレス

アプリケーションは、各 SetAddress 制御コマンドの後、このフィールドをプログラムする必要があります。

ビット3 予約済みであり、リセット値に保持する必要があります。

ビット2 **NZLSOHSK**：非ゼロ長ステータスOUTハンドシェイク

アプリケーションは、このフィールドを使用して、制御転送のステータスステージの OUT トランザクション中に、コアが非ゼロ長のデータパケットを受信したときに送信するハンドシェイクを選択できます。

1：非ゼロ長ステータスの OUT トランザクション時には STALL ハンドシェイクを送信し、受信した OUT パケットをアプリケーションに送信しません。

0：受信した OUT パケット（ゼロ長または非ゼロ長）をアプリケーションに送信し、デバイスエンドポイント制御レジスタの NAK および STALL ビットに基づいてハンドシェイクを送信します。

ビット1:0 **DSPD**：デバイス速度

アプリケーションがコアにエニュメレーションを要求する速度、またはアプリケーションがサポートできる最高速度を示します。ただし、実際のバス速度は、チャープシーケンスの完了後に決まり、コアが接続される USB ホストの速度に基づきます。

00：予約済み

01：予約済み

10：予約済み

11：フルスピード（USB 1.1 トランシーバのクロックは 48 MHz です）

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OTG_FSデバイス制御レジスタ（OTG_FS_DCTL）

アドレスオフセット：0x804

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																				POPRGDNE	CGONAK	SGONAK	CGINAK	SGINAK	TCTL			GONSTS	GINSTS	SDIS	RWUSIG
																				rw	w	w	w	w	rw	rw	rw	r	r	rw	rw

ビット31:12 予約済みであり、リセット値に保持する必要があります。

ビット11 **POPRGDNE**：パワーオンプログラミング終了

アプリケーションは、このビットを使用して、パワーダウンモードからのウェイクアップ後に、レジスタのプログラミングが終了したことを示します。

ビット10 **CGONAK**：グローバル OUT NAK のクリア

このフィールドに書き込むと、グローバル OUT NAK がクリアされます。

ビット9 **SGONAK**：グローバル OUT NAK のセット

このフィールドに書き込むと、グローバル OUT NAK がセットされます。
アプリケーションは、このビットを使用して、すべての OUT エンドポイントに NAK ハンドシェイクを送信します。
アプリケーションは、コア割り込みレジスタのグローバル OUT NAK 有効ビット（OTG_FS_GINTSTS の GONAKEFF ビット）がクリアされていることを確認した後でのみ、このビットをセットしなければなりません。

ビット8 **CGINAK**：グローバル IN NAK のクリア

このフィールドに書き込むと、グローバル IN NAK がクリアされます。

ビット7 **SGINAK**：グローバル IN NAK のセット

このフィールドに書き込むと、グローバル非周期的 IN NAK がセットされます。アプリケーションは、このビットを使用して、すべての非周期的 IN エンドポイントに NAK ハンドシェイクを送信します。
アプリケーションは、コア割り込みレジスタのグローバル IN NAK 有効ビット（OTG_FS_GINTSTS の GINAKEFF ビット）がクリアされていることを確認した後でのみ、このビットをセットしなければなりません。

ビット 6:4 **TCTL**：テスト制御

000：テストモード無効
001：Test_J モード
010：Test_K モード
011：Test_SE0_NAK モード
100：Test_Packet モード
101：Test_Force_Enable
その他：予約済み

ビット3 **GONSTS**：グローバルOUT NAKステータス

0：ハンドシェイクは、FIFO ステータスと NAK および STALL ビットの設定に基づいて送信されます。
1：使用可能なスペースに関係なく、RxFIFO にはデータが書き込まれません。SETUP トランザクションを除き、すべてのパケットに NAK ハンドシェイクを送信します。すべてのアイソクロナス OUT パケットがドロップされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット2 **GINSTS**：グローバルIN NAKステータス

0：ハンドシェイクは、送信 FIFO 内の使用可能なデータに基づいて送信されます。

1：NAK ハンドシェイクは、送信 FIFO 内の使用可能なデータに関係なく、非周期的 IN エンドポイントに送出されます。

ビット1 **SDIS**：ソフト切断

アプリケーションは、このビットを使用して、USB OTG コアにソフト切断を実行することを伝えます。このビットがセットされている限り、ホストはデバイスが接続されているとは解釈せず、デバイスは USB 上で信号を受信しません。コアは、アプリケーションがこのビットをクリアするまで、切断状態にとどまります。

0：通常動作ソフト切断後にこのビットがクリアされると、コアは USB ホストに対してデバイス接続イベントを生成します。デバイスが再接続されると、USB ホストはデバイスのエニュメレーションをリスタートします。

1：コアは、USB ホストに対して、デバイス切断イベントを生成します。

ビット0 **RWUSIG**：リモートウェイクアップ信号

アプリケーションがこのビットをセットすると、コアはリモートシグナリングを実行して USB ホストをウェイクアップします。コアをサスペンド状態から抜け出させるには、アプリケーションは、このビットをセットする必要があります。USB 2.0 仕様で規定されているように、アプリケーションは、このビットをセットしてから 1 ms から 15 ms 後にクリアする必要があります。

表 200 は、USB ホストがデバイスの切断を検出するためにソフト切断（SDIS）ビットがセットされなければならない最短時間（デバイスの状態による）を示します。クロックジッタに対応するには、アプリケーションは指定された最短時間まで遅延を追加することが推奨されます。

表 200.　ソフト切断のための最短時間

動作速度	デバイスの状態	最短時間
フルスピード	サスペンド状態	1 ms + 2.5 µs
フルスピード	アイドル状態	2.5 µs
フルスピード	アイドル状態でもサスペンド状態でもない（トランザクション実行中）	2.5 µs

OTG_FSデバイスステータスレジスタ（OTG_FS_DSTS）

アドレスオフセット：0x808

リセット値：0x0000 0010

このレジスタは、USB 関連イベントに関するコアのステータスを示します。デバイス全割り込みレジスタ（OTG_FS_DAINT）からの割り込み時に読み出されなければなりません。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み										FNSOF														予約済み				EERR	ENUMSPD		SUSPSTS
										r	r	r	r	r	r	r	r	r	r	r	r	r	r					r	r	r	r

ビット31:22　予約済みであり、リセット値に保持する必要があります。

ビット21:8　**FNSOF**：受信 SOF のフレーム番号

ビット7:4　予約済みであり、リセット値に保持する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット3 **EERR**：不規則エラー

コアは、このビットをセットして、不規則エラーを報告します。

不規則エラーが発生すると、OTG_FS コントローラはサスペンド状態に移行し、OTG_FS_GINTSTS レジスタのアーリーサスペンドビット（OTG_FS_GINTSTS の ESUP ビット）でアプリケーションへの割り込みが生成されます。不規則エラーによるアーリーサスペンドがアサートされた場合、アプリケーションは、ソフト切断回復を実行するしかありません。

ビット 2:1 **ENUMSPD**：エニュメレーションされた速度

チャープシーケンスによる速度検出後の OTG_FS コントローラの速度を示します。

01：予約済み

10：予約済み

11：フルスピード（PHY クロックは 48 MHz で動作しています）

その他：予約済み

ビット0 **SUSPSTS**：サスペンドステータス

デバイスモードでは、このビットは、USB 上でサスペンド状態が検出されている限り、セットされます。USB データライン上で 3 ms の間、何のアクティビティもなかった場合、コアはサスペンド状態に入ります。コアは、以下の場合にサスペンド状態から抜け出します。

– USB データライン上で何らかのアクティビティがあったとき。

– アプリケーションが OTG_FS_DCTL レジスタのリモートウェイクアップシグナリングビット（OTG_FS_DCTL の RWUSIG ビット）に書き込みを行ったとき。

OTG_FSデバイスINエンドポイント共通割り込みマスクレジスタ（OTG_FS_DIEPMSK）

アドレスオフセット：0x810

リセット値：0x0000 0000

このレジスタは、すべてのエンドポイントの各 OTG_FS_DIEPINTx レジスタとともに機能して、IN エンドポイントごとに割り込みを生成します。このレジスタの対応するビットに書き込むことによって、OTG_FS_DIEPINTx レジスタの特定のステータスに対する IN エンドポイント割り込みをマスクできます。ステータスビットはデフォルトでマスクされます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									INEPNEM	INEPNMM	ITTXFEMSK	TOM	予約済み	EPDM	XFRCM
																									rw	rw	rw	rw		rw	rw

ビット31:7 予約済みであり、リセット値に保持する必要があります。

ビット6 **INEPNEM**：INエンドポイントNAK 有効マスク

0：割り込みをマスク

1：割り込みのマスクを解除

ビット5 **INEPNMM**：EP 不一致マスク付きで受信された IN トークン

0：割り込みをマスク

1：割り込みのマスクを解除

ビット4 **ITTXFEMSK**：TxFIFO エンプティ時受信 IN トークンマスク

0：割り込みをマスク

1：割り込みのマスクを解除

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット3 **TOM**：タイムアウト状態マスク（非アイソクロナスエンドポイント）
0：割り込みをマスク
1：割り込みのマスクを解除

ビット2 予約済みであり、リセット値に保持する必要があります。

ビット1 **EPDM**：エンドポイントディセーブル割り込みマスク
0：割り込みをマスク
1：割り込みのマスクを解除

ビット0 **XFRCM**：転送完了割り込みマスク
0：割り込みをマスク
1：割り込みのマスクを解除

OTG_FSデバイスOUTエンドポイント共通割り込みマスクレジスタ（OTG_FS_DOEPMSK）

アドレスオフセット：0x814

リセット値：0x0000 0000

このレジスタは、すべてのエンドポイントの各 OTG_FS_DOEPINTx レジスタとともに機能して、OUT エンドポイントごとに割り込みを生成します。このレジスタの対応するビットに書き込むことによって、OTG_FS_DOEPINTx レジスタの特定のステータスに対する OUT エンドポイント割り込みをマスクできます。ステータスビットはデフォルトでマスクされます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																											OTEPDM	STUPM	予約済み	EPDM	XFRCM
																											rw	rw		rw	rw

ビット31:5 予約済みであり、リセット値に保持する必要があります。

ビット4 **OTEPDM**：エンドポイント無効時 OUT トークン受信マスク
制御 OUT エンドポイントにのみ適用されます。
0：割り込みをマスク
1：割り込みのマスクを解除

ビット3 **STUPM**：SETUP フェーズ終了マスク
制御エンドポイントにのみ適用されます。
0：割り込みをマスク
1：割り込みのマスクを解除

ビット2 予約済みであり、リセット値に保持する必要があります。

ビット1 **EPDM**：エンドポイントディセーブル割り込みマスク
0：割り込みをマスク
1：割り込みのマスクを解除

ビット0 **XFRCM**：転送完了割り込みマスク
0：割り込みをマスク
1：割り込みのマスクを解除

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OTG_FSデバイス全エンドポイント割り込みレジスタ（OTG_FS_DAINT）

アドレスオフセット：0x818

リセット値：0x0000 0000

エンドポイント上で重要なイベントが発生すると、OTG_FS_DAINT レジスタは、OTG_FS_GINTSTS レジスタのデバイス OUT エンドポイント割り込みビットまたはデバイス IN エンドポイント割り込みビット（それぞれ、OTG_FS_GINTSTS の OEPINT または IEPINT ビット）を使用して、アプリケーションに割り込みをかけます。エンドポイントごとに 1 つの割り込みビットがあります（OUT エンドポイントおよび IN エンドポイントに対してそれぞれ最大 16 ビット）。双方向エンドポイントの場合、対応する IN および OUT 割り込みビットが使用されます。このレジスタのビットは、アプリケーションが対応するデバイスエンドポイント x 割り込みレジスタのビット（OTG_FS_DIEPINTx/OTG_FS_DOEPINTx）をセット／クリアしたときに、セット／クリアされます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OEPINT																IEPINT															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット31:16 **OEPINT**：OUTエンドポイント割り込みビット

OUT エンドポイントチャネルあたり 1 ビット：
OUT エンドポイント 0 に対してビット 16、OUT エンドポイント 3 に対してビット 18

ビット 15:0 **IEPINT**：INエンドポイント割り込みビット

IN エンドポイントあたり 1 ビット：
IN エンドポイント 0 に対してビット 0、IN エンドポイント 3 に対してビット 3

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OTG_FS 全エンドポイント割り込みマスクレジスタ（OTG_FS_DAINTMSK）

アドレスオフセット：0x81C

リセット値：0x0000 0000

OTG_FS_DAINTMSK レジスタは、デバイスエンドポイント割り込みレジスタとともに機能して、デバイスエンドポイント上にイベントが発生すると、アプリケーションに割り込みます。ただし、その割り込みに対応する OTG_FS_DAINT レジスタビットはセットされたままです。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OEPM																IEPM															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット31:16 **OEPM**：OUT EP 割り込みマスクビット
OUT エンドポイント（EP）あたり 1 ビット：
OUT EP 0 に対してビット 16、OUT EP 3 に対してビット 18
0：割り込みをマスク
1：割り込みのマスクを解除

ビット15:0 **IEPM**：IN EP 割り込みマスクビット
IN エンドポイントあたり 1 ビット：
IN EP 0 に対してビット 0、IN EP 3 に対してビット 3
0：割り込みをマスク
1：割り込みのマスクを解除

OTG_FSデバイスV_{BUS} 放電時間レジスタ（OTG_FS_DVBUSDIS）

アドレスオフセット：0x0828

リセット値：0x0000 17D7

このレジスタは、SRP 中の V_{BUS} パルシング後の V_{BUS} 放電時間を指定します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																VBUSDT															
																rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット31:16 予約済みであり、リセット値に保持する必要があります。

ビット15:0 **VBUSDT**：デバイスV_{BUS} 放電時間
SRP 中の V_{BUS} パルシング後の V_{BUS} 放電時間を指定します。この値は以下のようになります。
V_{BUS} 放電時間（PHY クロック / 1024）
この値は V_{BUS} の負荷によって調整の必要がある可能性があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OTG_FSデバイスV_{BUS} パルシング時間レジスタ（OTG_FS_DVBUSPULSE）

アドレスオフセット：0x082C

リセット値：0x0000 05B8

このレジスタは SRP 期間中の V_{BUS} パルシング時間を指定します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																				DVBUSP											
																				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット31:12 予約済みであり、リセット値に保持する必要があります。

ビット11:0 **DVBUSP**：デバイスV_{BUS} パルシング時間

SRP 期間中の V_{BUS} パルシング時間を指定します。この値は以下のようになります。

V_{BUS} パルシング時間 （PHYクロック / 1 024）

OTG_FSデバイスINエンドポイントFIFOエンプティ割り込みマスクレジスタ：（OTG_FS_DIEPEMPMSK）

アドレスオフセット：0x834

リセット値：0x0000 0000

このレジスタは、IN エンドポイント FIFO エンプティ割り込みの生成（TXFE_OTG_FS_DIEPINTx）を制御するために使用されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																INEPTXFEM															
																rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット31:16 予約済みであり、リセット値に保持する必要があります。

ビット15:0 **INEPTXFEM**：IN EP Tx FIFOエンプティ割り込みマスクビット

これらのビットは OTG_FS_DIEPINTx に対するマスクビットとして機能します。

IN EP あたり TXFE 割り込み 1 ビット：

IN EP 0 に対してビット 0、IN EP 3 に対してビット 3

0：割り込みをマスク

1：割り込みのマスクを解除

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OTG_FSデバイス制御 INエンドポイント0 制御レジスタ（OTG_FS_DIEPCTL0）

アドレスオフセット：0x900

リセット値：0x0000 0000

このセクションでは、OTG_FS_DIEPCTL0 レジスタについて説明します。非ゼロ制御エンドポイントは、エンドポイント 1～3 のレジスタを使用します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EPENA	EPDIS	予約済み		SNAK	CNAK	TXFNUM				STALL	予約済み	EPTYP		NAKSTS	予約済み	USBAEP	予約済み													MPSIZ	
r	r			w	w	rw	rw	rw	rw	rs		r	r	r		r														rw	rw

ビット31 **EPENA**：エンドポイントイネーブル

アプリケーションは、このビットをセットして、エンドポイント 0 でデータ送信を開始します。
コアは、このエンドポイント上で以下の割り込みをセットする前に、このビットをクリアします。

– エンドポイント無効

– 転送完了

ビット30 **EPDIS**：エンドポイントディセーブル

アプリケーションは、このビットをセットして、エンドポイントへの転送が完了する前でも、そのエンドポイントでのデータ送信を停止することができます。アプリケーションは、エンドポイントを無効として扱う前に、エンドポイント無効割り込みを待つ必要があります。コアは、エンドポイント無効割り込みを設定する前に、このビットをクリアします。アプリケーションは、このエンドポイントのエンドポイントイネーブルがすでにセットされている場合のみ、このビットをセットしなければなりません。

ビット 29:28 予約済みであり、リセット値に保持する必要があります。

ビット27 **SNAK**：NAKをセット

このビットに書き込むと、エンドポイントの NAK ビットがセットされます。
アプリケーションは、このビットを使用して、エンドポイント上での NAK ハンドシェイクの送信を制御できます。コアは、エンドポイント上で SETUP パケットが受信された後、そのエンドポイントに対してこのビットをセットすることもできます。

ビット26 **CNAK**：NAKをクリア

このビットに書き込むと、エンドポイントの NAK ビットがクリアされます。

ビット 25:22 **TXFNUM**：TxFIFO 番号

この値は、IN エンドポイント 0 に割り当てられる FIFO 番号に設定されます。

ビット21 **STALL**：STALLのハンドシェイク

アプリケーションは、このビットのセットのみが可能です。このエンドポイントの SETUP トークンが受信されると、コアがこのビットをクリアします。このビットとともに NAK ビット（グローバル IN NAK またはグローバル OUT NAK）がセットされた場合は、STALL ビットが優先されます。

ビット20 予約済みであり、リセット値に保持する必要があります。

ビット19:18 **EPTYP**：エンドポイントタイプ

制御のために "00" にハードコード化されています。

ビット17 **NAKSTS**：NAKステータス

以下を示します。
0：コアは、FIFO のステータスに基づいて非 NAK ハンドシェイクを送信中です。
1：コアは、このエンドポイント上で NAK ハンドシェイクを送信中です。
このビットがアプリケーションまたはコアによってセットされると、コアは、TxFIFO に使用可能なデータがある場合でも、データの送信を停止します。このビットの設定に関係なく、コアは、常に SETUP データパケットに ACK ハンドシェイクで応答します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット16 予約済みであり、リセット値に保持する必要があります。

ビット15 **USBAEP**：USBアクティブエンドポイント

このビットは常に 1 にセットされ、制御エンドポイント 0 がすべての設定およびインタフェースにおいて常に有効であることを示します。

ビット 14:2 予約済みであり、リセット値に保持する必要があります。

ビット1:0 **MPSIZ**：最大パケットサイズ

アプリケーションは、このフィールドを現在の論理エンドポイントの最大パケットサイズでプログラムする必要があります。

00：64 バイト

01：32 バイト

10：16 バイト

11：8 バイト

OTGデバイスエンドポイントx 制御レジスタ（OTG_FS_DIEPCTLx）（x = 1..3、x = Endpoint_number）

アドレスオフセット：0x900 + (Endpoint_number × 0x20)

リセット値：0x0000 0000

アプリケーションは、このレジスタを使用して、エンドポイント 0 以外の各論理エンドポイントの動作を制御します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EPENA	EPDIS	SODDFRM	SD0PID/SEVNFRM	SNAK	CNAK	TXFNUM				STALL	予約済み	EPTYP		NAKSTS	EONUM/DPID	USBAEP	予約済み				MPSIZ										
rs	rs	w	w	w	w	rw	rw	rw	rw	rw/ rs		rw	rw	r	r	rw					rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット31 **EPENA**：エンドポイントイネーブル

アプリケーションは、このビットをセットして、エンドポイントへでデータ送信を開始します。

コアは、このエンドポイント上で以下の割り込みをセットする前に、このビットをクリアします。

– SETUP フェーズ終了

– エンドポイント無効

– 転送完了

ビット30 **EPDIS**：エンドポイントディセーブル

アプリケーションは、エンドポイントへの転送が完了する前でも、このビットをセットして、そのエンドポイントでのデータ送信／受信を停止することができます。アプリケーションは、エンドポイントを無効として扱う前に、エンドポイント無効割り込みを待つ必要があります。コアは、エンドポイント無効割り込みを設定する前に、このビットをクリアします。アプリケーションは、このエンドポイントのエンドポイントイネーブルがすでにセットされている場合のみ、このビットをセットしなければなりません。

ビット29 **SODDFRM**：奇数フレームの設定

アイソクロナス IN および OUT エンドポイントにのみ適用されます。

このフィールドに書き込むと、偶数／奇数フレーム（EONUM）フィールドが奇数フレームに設定されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット28 **SD0PID**：DATA0 PID の設定

割り込み／バルク IN エンドポイントにのみ適用されます。

このフィールドに書き込むと、このレジスタのエンドポイントデータ PID（DPID）フィールドが DATA0 に設定されます。

SEVNFRM：偶数フレームの設定

アイソクロナス IN エンドポイントにのみ適用されます。

このフィールドに書き込むと、偶数／奇数フレーム（EONUM）フィールドが偶数フレームに設定されます。

ビット27 **SNAK**：NAKをセット

このビットに書き込むと、エンドポイントの NAK ビットがセットされます。

アプリケーションは、このビットを使用して、エンドポイント上での NAK ハンドシェイクの送信を制御できます。コアは、送信完了割り込み時、またはエンドポイントに SETUP パケットが受信された後、OUT エンドポイントに対してこのビットをセットすることもできます。

ビット26 **CNAK**：NAKをクリア

このビットに書き込むと、エンドポイントの NAK ビットがクリアされます。

ビット 25:22 **TXFNUM**：TxFIFO 番号

これらのビットは、このエンドポイントに関連する FIFO 番号を指定します。各有効 IN エンドポイントは、別々の FIFO 番号にプログラムされなければなりません。

このフィールドは、IN エンドポイントについてのみ有効です。

ビット21 **STALL**：STALLのハンドシェイク

非制御の非アイソクロナス IN エンドポイントにのみ適用されます（アクセスタイプは rw です）。

アプリケーションは、このビットをセットして、USB ホストからこのエンドポイントへのすべてのトークンを停止します。このビットとともに NAK ビット（グローバル IN NAK またはグローバル OUT NAK）がセットされた場合は、STALL ビットが優先されます。アプリケーションのみがこのビットをクリアできます。コアはクリアできません。

制御エンドポイントにのみ適用されます（アクセスタイプは rs です）。

アプリケーションは、このビットのセットのみが可能です。このエンドポイントの SETUP トークンが受信されると、コアがこのビットをクリアします。このビットとともに NAK ビット（グローバル IN NAK またはグローバル OUT NAK）がセットされた場合は、STALL ビットが優先されます。このビットの設定に関係なく、コアは、常に SETUP データパケットに ACK ハンドシェイクで応答します。

ビット20 予約済みであり、リセット値に保持する必要があります。

ビット19:18 **EPTYP**：エンドポイントタイプ

これは、この論理エンドポイントがサポートする転送タイプです。

00：制御

01：アイソクロナス

10：バルク

11：割り込み

ビット17 **NAKSTS**：NAKステータス

以下を示します。

0：コアは、FIFO のステータスに基づいて非 NAK ハンドシェイクを送信中です。

1：コアは、このエンドポイント上で NAK ハンドシェイクを送信中です。

アプリケーションまたはコアがこのビットをセットすると、

非アイソクロナスINエンドポイントの場合：コアは、TxFIFO に使用可能なデータがある場合でも、データの送信を停止します。

アイソクロナスINエンドポイントの場合：コアは、TxFIFO に使用可能なデータがある場合でも、ゼロ長のデータパケットを送出します。

このビットの設定に関係なく、コアは、常に SETUP データパケットに ACK ハンドシェイクで応答します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット16 **EONUM**：偶数／奇数フレーム

アイソクロナス IN エンドポイントにのみ適用されます。

コアがこのエンドポイントにアイソクロナスデータを送受信するフレーム番号を示します。アプリケーションは、このレジスタの SEVNFRM および SODDFRM フィールドを使用して、このエンドポイントに対してアイソクロナスデータを送信／受信する偶数／奇数番号をプログラムする必要があります。

0：偶数フレーム

1：奇数フレーム

DPID：エンドポイントデータPID

割り込み／バルク IN エンドポイントにのみ適用されます。

このエンドポイント上で受信または送信されるパケットの PID を含みます。アプリケーションは、エンドポイントが有効化された後、受信または送信される最初のパケットの PID をプログラムする必要があります。アプリケーションは SC0PID レジスタを使用して、DATA0 または DATA1 PID のいずれかをプログラムします。

0：DATA0

1：DATA1

ビット15 **USBAEP**：USBアクティブエンドポイント

このエンドポイントが現在の設定およびインタフェースで有効かどうかを示します。コアは、USB リセットを検出した後、すべてのエンドポイント（EP 0 を除き）について、このビットをクリアします。SetConfiguration および SetInterface コマンドを受信した後、アプリケーションはそれに応じてエンドポイントをプログラムし、このビットをセットする必要があります。

ビット 14:11 予約済みであり、リセット値に保持する必要があります。

ビット10:0 **MPSIZ**：最大パケットサイズ

アプリケーションは、このフィールドを現在の論理エンドポイントの最大パケットサイズでプログラムする必要があります。この値はバイト単位です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OTG_FSデバイス制御 OUTエンドポイント0 制御レジスタ（OTG_FS_DOEPCTL0）

アドレスオフセット：0xB00

リセット値：0x0000 8000

このセクションでは、OTG_FS_DOEPCTL0 レジスタについて説明します。非ゼロ制御エンドポイントは、エンドポイント 1～3 のレジスタを使用します。

31	30	29 28	27	26	25 24 23 22	21	20	19 18	17	16	15	14 13 12 11 10 9 8 7 6 5 4 3 2	1 0
EPENA	EPDIS	予約済み	SNAK	CNAK	予約済み	STALL	SNPM	EPTYP	NAKSTS	予約済み	USBAEP	予約済み	MPSIZ
w	r		w	w		rs	rw	r r	r		r		r r

ビット31 **EPENA**：エンドポイントイネーブル

アプリケーションは、このビットをセットして、エンドポイント 0　上でデータ送信を開始します。コアは、このエンドポイント上で以下の割り込みをセットする前に、このビットをクリアします。

– SETUP フェーズ終了
– エンドポイント無効
– 転送完了

ビット30 **EPDIS**：エンドポイントディセーブル

アプリケーションは、制御 OUT エンドポイント 0 を無効にできません。

ビット 29:28 予約済みであり、リセット値に保持する必要があります。

ビット27 **SNAK**：NAKをセット

このビットに書き込むと、エンドポイントの NAK ビットがセットされます。

アプリケーションは、このビットを使用して、エンドポイント上での NAK ハンドシェイクの送信を制御できます。コアは、送信完了割り込み時、または SETUP パケットを受信した後に、このビットをセットすることもできます。

ビット26 **CNAK**：NAKをクリア

このビットに書き込むと、エンドポイントの NAK ビットがクリアされます。

ビット 25:22 予約済みであり、リセット値に保持する必要があります。

ビット21 **STALL**：STALLのハンドシェイク

アプリケーションは、このビットのセットのみが可能です。このエンドポイントの SETUP トークンが受信されると、コアがこのビットをクリアします。NAK ビット、すなわち、グローバル OUT NAK がこのビットとともにセットされた場合は、STALL ビットが優先します。このビットの設定に関係なく、コアは、常に SETUP データパケットに ACK ハンドシェイクで応答します。

ビット20 **SNPM**：スヌープモード

このビットは、エンドポイントをスヌープモードに設定します。スヌープモードでは、コアは OUT パケットをアプリケーションメモリに転送する前に、それらの正確さをチェックしません。

ビット 19:18 **EPTYP**：エンドポイントタイプ

制御のために 2'b00 にハードコード化されています。

ビット17 **NAKSTS**：NAKステータス

以下を示します。

0：コアは、FIFO のステータスに基づいて非 NAK ハンドシェイクを送信中です。

1：コアは、このエンドポイント上で NAK ハンドシェイクを送信中です。

アプリケーションまたはコアがこのビットをセットすると、RxFIFO に受信パケットを収容できるスペースがある場合でも、コアはデータの受信を停止します。このビットの設定に関係なく、コアは、常に SETUP データパケットに ACK ハンドシェイクで応答します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット16 予約済みであり、リセット値に保持する必要があります。

ビット15 **USBAEP**：USBアクティブエンドポイント

このビットは常に 1 にセットされ、制御エンドポイント 0 がすべての設定およびインタフェースにおいて常に有効であることを示します。

ビット 14:2 予約済みであり、リセット値に保持する必要があります。

ビット1:0 **MPSIZ**：最大パケットサイズ

制御 OUT エンドポイント 0 の最大パケットサイズは、制御 IN エンドポイント 0 でプログラムされるサイズと同じです。

00：64 バイト

01：32 バイト

10：16 バイト

11：8 バイト

OTG_FSデバイスエンドポイントx 制御レジスタ（OTG_FS_DOEPCTLx）（x = 1..3、x =Endpoint_number）

OUTエンドポイントのアドレスオフセット：0xB00 + （Endpoint_number × 0x20）

リセット値：0x0000 0000

アプリケーションは、このレジスタを使用して、エンドポイント 0 以外の各論理エンドポイントの動作を制御します。

31	30	29	28	27	26	25 24 23 22	21	20	19 18	17	16	15	14 13 12 11	10 9 8 7 6 5 4 3 2 1 0
EPENA	EPDIS	SODDFRM/SD1PID	SD0PID/SEVNFRM	SNAK	CNAK	予約済み	STALL	SNPM	EPTYP	NAKSTS	EONUM/DPID	USBAEP	予約済み	MPSIZ
rs	rs	w	w	w	w		rw/ rs	rw	rw rw	r	r	rw		rw rw rw rw rw rw rw rw rw rw rw

ビット31 **EPENA**：エンドポイントイネーブル

IN および OUT エンドポイントに適用されます。

アプリケーションは、このビットをセットして、エンドポイントへでデータ送信を開始します。

コアは、このエンドポイント上で以下の割り込みをセットする前に、このビットをクリアします。

– SETUP フェーズ終了

– エンドポイント無効

– 転送完了

ビット30 **EPDIS**：エンドポイントディセーブル

アプリケーションは、エンドポイントへの転送が完了する前でも、このビットをセットして、そのエンドポイントでのデータ送信／受信を停止することができます。アプリケーションは、エンドポイントを無効として扱う前に、エンドポイント無効割り込みを待つ必要があります。コアは、エンドポイント無効割り込みを設定する前に、このビットをクリアします。アプリケーションは、このエンドポイントのエンドポイントイネーブルがすでにセットされている場合のみ、このビットをセットしなければなりません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット29 **SD1PID**：DATA1 PID の設定

割り込み／バルク IN および OUT エンドポイントにのみ適用されます。このフィールドに書き込むと、このレジスタのエンドポイントデータ PID（DPID）フィールドが DATA1 に設定されます。

SODDFRM：奇数フレームの設定

アイソクロナス IN および OUT エンドポイントにのみ適用されます。このフィールドに書き込むと、偶数／奇数フレーム（EONUM）フィールドが奇数フレームに設定されます。

ビット28 **SD0PID**：DATA0 PID の設定

割り込み／バルク OUT エンドポイントにのみ適用されます。

このフィールドに書き込むと、このレジスタのエンドポイントデータ PID（DPID）フィールドが DATA0 に設定されます。

SEVNFRM：偶数フレームの設定

アイソクロナス OUT エンドポイントにのみ適用されます。

このフィールドに書き込むと、偶数／奇数フレーム（EONUM）フィールドが偶数フレームに設定されます。

ビット27 **SNAK**：NAKをセット

このビットに書き込むと、エンドポイントの NAK ビットがセットされます。

アプリケーションは、このビットを使用して、エンドポイント上での NAK ハンドシェイクの送信を制御できます。コアは、転送完了割り込み時、または SETUP パケットを受信した後に、OUT エンドポイントに対してこのビットをセットすることもできます。

ビット26 **CNAK**：NAKをクリア

このビットに書き込むと、エンドポイントの NAK ビットがクリアされます。

ビット 25:22 予約済みであり、リセット値に保持する必要があります。

ビット21 **STALL**：STALLのハンドシェイク

非制御の非アイソクロナス OUT エンドポイントにのみ適用されます（アクセスタイプは rw です）。

アプリケーションは、このビットをセットして、USB ホストからこのエンドポイントへのすべてのトークンを停止します。このビットとともに NAK ビット（グローバル IN NAK またはグローバル OUT NAK）がセットされた場合は、STALL ビットが優先されます。アプリケーションのみがこのビットをクリアできます。コアはクリアできません。

制御エンドポイントにのみ適用されます（アクセスタイプは rs です）。

アプリケーションは、このビットのセットのみが可能です。このエンドポイントの SETUP トークンが受信されると、コアがこのビットをクリアします。このビットとともに NAK ビット（グローバル IN NAK またはグローバル OUT NAK）がセットされた場合は、STALL ビットが優先されます。このビットの設定に関係なく、コアは、常に SETUP データパケットに ACK ハンドシェイクで応答します。

ビット20 **SNPM**：スヌープモード

このビットは、エンドポイントをスヌープモードに設定します。スヌープモードでは、コアは OUT パケットをアプリケーションメモリに転送する前に、それらの正確さをチェックしません。

ビット 19:18 **EPTYP**：エンドポイントタイプ

これは、この論理エンドポイントがサポートする転送タイプです。

00：制御

01：アイソクロナス

10：バルク

11：割り込み

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット17 **NAKSTS**：NAKステータス

以下を示します。

0：コアは、FIFO のステータスに基づいて非 NAK ハンドシェイクを送信中です。

1：コアは、このエンドポイント上で NAK ハンドシェイクを送信中です。

アプリケーションまたはコアがこのビットをセットすると、

コアは、RxFIFO に受信パケットを収容するためのスペースがある場合でも、OUT エンドポイントでのデータの受信を停止します。

このビットの設定に関係なく、コアは、常に SETUP データパケットに ACK ハンドシェイクで応答します。

ビット16 **EONUM**：偶数／奇数フレーム

アイソクロナス IN および OUT エンドポイントにのみ適用されます。

コアがこのエンドポイントにアイソクロナスデータを送受信するフレーム番号を示します。アプリケーションは、このレジスタの SEVNFRM および SODDFRM フィールドを使用して、このエンドポイントに対してアイソクロナスデータを送信／受信する偶数／奇数番号をプログラムする必要があります。

0：偶数フレーム

1：奇数フレーム

DPID：エンドポイントデータPID

割り込み／バルク OUT エンドポイントにのみ適用されます。

このエンドポイント上で受信または送信されるパケットの PID を含みます。アプリケーションは、エンドポイントが有効化された後、受信または送信される最初のパケットの PID をプログラムする必要があります。アプリケーションは SC0PID レジスタを使用して、DATA0 または DATA1 PID のいずれかをプログラムします。

0：DATA0

1：DATA1

ビット15 **USBAEP**：USBアクティブエンドポイント

このエンドポイントが現在の設定およびインタフェースで有効かどうかを示します。コアは、USB リセットを検出した後、すべてのエンドポイント（EP 0 を除き）について、このビットをクリアします。SetConfiguration および SetInterface コマンドを受信した後、アプリケーションはそれに応じてエンドポイントをプログラムし、このビットをセットする必要があります。

ビット 14:11 予約済みであり、リセット値に保持する必要があります。

ビット10:0 **MPSIZ**：最大パケットサイズ

アプリケーションは、このフィールドを現在の論理エンドポイントの最大パケットサイズでプログラムする必要があります。この値はバイト単位です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OTG_FSデバイスエンドポイントx 割り込みレジスタ（OTG_FS_DIEPINTx）（x = 0..3、x = Endpoint_number）

アドレスオフセット：0x908 + (Endpoint_number × 0x20)

リセット値：0x0000 0080

このレジスタは、USB および AHB 関連イベントに関するエンドポイントのステータスを示します。これを*図 393* に示します。アプリケーションは、コア割り込みレジスタの IN エンドポイント割り込みビット（OTG_FS_GINTSTS の IEPINT ビット）がセットされたとき、このレジスタを読み出さなければなりません。アプリケーションがこのレジスタを読み出すためには、まず、デバイス全エンドポイント割り込み（OTG_FS_DAINT）レジスタを読み出して、デバイスのエンドポイント x 割り込みレジスタの正確なエンドポイント番号を知る必要があります。アプリケーションは、このレジスタの適切なビットをクリアすることによって、OTG_FS_DAINT および OTG_FS_GINTSTS レジスタの対応するビットをクリアする必要があります。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																								TXFE	INEPNE	予約済み	ITTXFE	TOC	予約済み	EPDISD	XFRC
																								r	rc_w1/rw		rc_w1	rc_w1		rc_w1	rc_w1

ビット31:8 予約済みであり、リセット値に保持する必要があります。

ビット7 **TXFE**：送信 FIFOエンプティ

この割り込みは、このエンドポイントの TxFIFO が半エンプティまたは完全エンプティのいずれかであるとき、アサートされます。半エンプティステータスか完全エンプティステータスかは、OTG_FS_GAHBCFG レジスタの TxFIFO エンプティレベルビット（OTG_FS_GAHBCFG の TXFELVL ビット）によって判断できます。

ビット6 **INEPNE**：INエンドポイントNAK 有効

このビットは、アプリケーションが OTG_FS_DIEPCTLx レジスタの CNAK ビットに書き込むことによって IN エンドポイント NAK をクリアするとクリアされます。

この割り込みは、コアが（アプリケーションまたはコアによって）設定された NAK ビットをサンプリングしたことを示します。この割り込みは、アプリケーションによってセットされた IN エンドポイント NAK ビットがコアで有効になったことを示します。

この割り込みは、必ずしも NAK ハンドシェイクが USB に送出されることを保証しません。STALL ビットが NAK ビットに優先します。

ビット5 予約済みであり、リセット値に保持する必要があります。

ビット4 **ITTXFE**：TxFIFO がエンプティ時に受信された IN トークン

非アイソクロナス IN エンドポイントにのみ適用されます。

関連する TxFIFO（周期的/非周期的）が空のときに IN トークンが受信されたことを示します。この割り込みは、IN トークンが受信されたエンドポイント上でアサートされます。

ビット3 **TOC**：タイムアウト状態

制御 IN エンドポイントにのみ適用されます。

このエンドポイント上の最後の IN トークンに対して、コアが USB 上でタイムアウト条件を検出したことを示します。

ビット2 予約済みであり、リセット値に保持する必要があります。

ビット1 **EPDISD**：エンドポイントディセーブル割り込み

このビットは、エンドポイントがアプリケーションのリクエストによって無効にされたことを示します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット0 **XFRC**：転送完了割り込み

このフィールドは、このエンドポイントに対してプログラムされた転送が AHB に加えて USB 上でも完了したことを示します。

OTG_FSデバイスエンドポイントx 割り込みレジスタ（OTG_FS_DOEPINTx）（x = 0..3、x = Endpoint_number）

アドレスオフセット：0xB08 + (Endpoint_number × 0x20)

リセット値：0x0000 0080

このレジスタは、USB および AHB 関連イベントに関するエンドポイントのステータスを示します。これを*図 393* に示します。アプリケーションは、OTG_FS_GINTSTS レジスタの OUT エンドポイント割り込みビット（OTG_FS_GINTSTS の OEPINT ビット）がセットされたとき、このレジスタを読み出さなければなりません。アプリケーションがこのレジスタを読み出すためには、まず、OTG_FS_DAINT レジスタを読み出して、OTG_FS_DOEPINTx レジスタの正確なエンドポイント番号を知る必要があります。アプリケーションは、このレジスタの適切なビットをクリアすることによって、OTG_FS_DAINT および OTG_FS_GINTSTS レジスタの対応するビットをクリアする必要があります。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																								予約済み	B2BSTUP	予約済み	OTEPDIS	STUP	予約済み	EPDISD	XFRC
																									rc_w1/rw		rc_w1	rc_w1		rc_w1	rc_w1

ビット31:7 予約済みであり、リセット値に保持する必要があります。

ビット6 **B2BSTUP**：連続 SETUP パケットの受信

制御 OUT エンドポイントにのみ適用されます。

このビットは、コアがこの特定のエンドポイントで 3 つを超える連続 SETUP パケットを受信したことを示します。

ビット5 予約済みであり、リセット値に保持する必要があります。

ビット4 **OTEPDIS**：エンドポイント無効時 OUT トークン受信

制御 OUT エンドポイントにのみ適用されます。

エンドポイントがまだ有効になっていないときに OUT トークンを受け取ったことを示します。この割り込みは、OUT トークンが受信されたエンドポイントでアサートされます。

ビット3 **STUP**：セットアップフェーズ終了

制御 OUT エンドポイントにのみ適用されます。

制御エンドポイントの SETUP フェーズが完了し、現在の制御転送のために、これ以上、連続 SETUP パケットは受信されなかったことを示します。この割り込みにより、アプリケーションは、受信した SETUP データパケットをデコードできます。

ビット2 予約済みであり、リセット値に保持する必要があります。

ビット1 **EPDISD**：エンドポイントディセーブル割り込み

このビットは、エンドポイントがアプリケーションのリクエストによって無効にされたことを示します。

ビット0 **XFRC**：転送完了割り込み

このフィールドは、このエンドポイントに対してプログラムされた転送が AHB に加えて USB 上でも完了したことを示します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OTG_FSデバイスINエンドポイント0転送サイズレジスタ（OTG_FS_DIEPTSIZ0）

アドレスオフセット：0x910

リセット値：0x0000 0000

アプリケーションは、エンドポイント 0 を有効にする前に、このレジスタを変更する必要があります。デバイス制御エンドポイント 0 制御レジスタのエンドポイントイネーブルビット（OTG_FS_DIEPCTL0 の EPENA）を使用して、エンドポイント 0 が有効にされると、コアは、このレジスタを変更します。コアがエンドポイントイネーブルビットをクリアすると、アプリケーションはこのレジスタを読み出すことしかできません。

非ゼロエンドポイントは、エンドポイント 1～3 のレジスタを使用します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み											PKTCNT		予約済み												XFRSIZ						
											rw	rw													rw	rw	rw	rw	rw	rw	rw

ビット31:21 予約済みであり、リセット値に保持する必要があります。

ビット20:19 **PKTCNT**：パケットカウント

エンドポイント 0 のデータ転送サイズを構成する USB パケットの総数を示します。

このフィールドは、パケットが TxFIFO から読み出されるたびにデクリメントされます（最大サイズまたはショートパケット）。

ビット 18:7 予約済みであり、リセット値に保持する必要があります。

ビット6:0 **XFRSIZ**：転送サイズ

エンドポイント 0 の転送サイズをバイト単位で示します。コアは、データの転送サイズを使いきった後でのみ、アプリケーションに割り込みをかけます。転送サイズをエンドポイントの最大パケットサイズにセットすると、各パケットの最後で割り込みを生成できます。

コアは、外部メモリからのパケットが TxFIFO に書き込まれるたびに、このフィールドをデクリメントします。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OTG_FSデバイスOUTエンドポイント0転送サイズレジスタ（OTG_FS_DOEPTSIZ0）

アドレスオフセット：0xB10

リセット値：0x0000 0000

アプリケーションは、エンドポイント 0 を有効にする前に、このレジスタを変更する必要があります。OTG_FS_DOEPCTL0 レジスタのエンドポイントイネーブルビット（OTG_FS_DOEPCTL0 の EPENA ビット）を使用してエンドポイント 0 が有効にされると、コアは、このレジスタを変更します。コアがエンドポイントイネーブルビットをクリアすると、アプリケーションはこのレジスタを読み出すことしかできません。

非ゼロエンドポイントは、エンドポイント 1～3 のレジスタを使用します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み	STUPCNT		予約済み									PKTCNT	予約済み												XFRSIZ						
	rw	rw										rw													rw	rw	rw	rw	rw	rw	rw

ビット31 予約済みであり、リセット値に保持する必要があります。

ビット30:29 **STUPCNT**：SETUPパケットカウント

このフィールドは、エンドポイントが受信できる連続 SETUP データパケット数を指定します。

01：1パケット

10：2パケット

11：3パケット

ビット28:20 予約済みであり、リセット値に保持する必要があります。

ビット19 **PKTCNT**：パケットカウント

このフィールドは、パケットが RxFIFO に書き込まれた後、ゼロまでデクリメントされます。

ビット 18:7 予約済みであり、リセット値に保持する必要があります。

ビット6:0 **XFRSIZ**：転送サイズ

エンドポイント 0 の転送サイズをバイト単位で示します。コアは、データの転送サイズを使いきった後でのみ、アプリケーションに割り込みをかけます。転送サイズをエンドポイントの最大パケットサイズにセットすると、各パケットの最後で割り込みを生成できます。

コアは、RxFIFO からパケットが読み出されて、外部メモリに書き込まれるたびに、このフィールドをデクリメントします。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OTG_FSデバイスエンドポイントx転送サイズレジスタ（OTG_FS_DIEPTSIZx）（x = 1..3、x =Endpoint_number）

アドレスオフセット：0x910 + (Endpoint_number × 0x20)

リセット値：0x0000 0000

アプリケーションは、エンドポイントを有効にする前に、このレジスタを変更する必要があります。OTG_FS_DIEPCTLx レジスタのエンドポイントイネーブルビット（OTG_FS_DIEPCTLx の EPENA ビット）を使用してエンドポイントが有効にされると、コアは、このレジスタを変更します。コアがエンドポイントイネーブルビットをクリアすると、アプリケーションはこのレジスタを読み出すことしかできません。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み	MCNT		PKTCNT										XFRSIZ																		
	rw/r/rw	rw/r/rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット31　予約済みであり、リセット値に保持する必要があります。

ビット30:29　**MCNT**：マルチカウント

周期的 IN エンドポイントの場合、このフィールドは、USB でフレームごとに送信されなければならないパケット数を示します。コアは、このフィールドを使用して、アイソクロナス IN エンドポイントのデータ PID を計算します。

01：1パケット

10：2パケット

11：3パケット

ビット28:19　**PKTCNT**：パケットカウント

このエンドポイントのデータの転送サイズを構成する USB パケットの総数を示します。

このフィールドは、パケットが TxFIFO から読み出されるたびにデクリメントされます（最大サイズまたはショートパケット）。

ビット 18:0　**XFRSIZ**：転送サイズ

このフィールドは、現在のエンドポイントの転送サイズをバイト単位で示します。コアは、データの転送サイズを使いきった後でのみ、アプリケーションに割り込みをかけます。転送サイズをエンドポイントの最大パケットサイズにセットすると、各パケットの最後で割り込みを生成できます。

コアは、外部メモリからのパケットが TxFIFO に書き込まれるたびに、このフィールドをデクリメントします。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OTG_FSデバイスINエンドポイント送信 FIFOステータスレジスタ（OTG_FS_DTXFSTSx）（x = 0..3、x = Endpoint_number）

IN エンドポイントのアドレスオフセット：0x918 +（Endpoint_number × 0x20）
この読み出し専用レジスタは、デバイス IN エンドポイント TxFIFO の空きスペース情報を含みます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																INEPTFSAV															
																r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

31:16 予約済みであり、リセット値に保持する必要があります。

15:0 **INEPTFSAV**：IN エンドポイント TxFIFO の使用可能スペース
エンドポイント TxFIFO で使用できる空きスペースの量を示します。
値は 32 ビットワード単位です。
0x0：エンドポイントTxFIFOは満杯
0x1：1ワードが使用可能
0x2：2 ワードが使用可能
0xn：n ワードが使用可能です。
その他：予約済み

OTG_FSデバイスOUTエンドポイントx転送サイズレジスタ（OTG_FS_DOEPTSIZx）（x = 1..3、x = Endpoint_number）

アドレスオフセット：0xB10 + (Endpoint_number × 0x20)

リセット値：0x0000 0000

アプリケーションは、エンドポイントを有効にする前に、このレジスタを変更する必要があります。OTG_FS_DOEPCTLx レジスタのエンドポイントイネーブルビット（OTG_FS_DOEPCTLx の EPENA ビット）を使用してエンドポイントが有効にされると、コアは、このレジスタを変更します。コアがエンドポイントイネーブルビットをクリアすると、アプリケーションはこのレジスタを読み出すことしかできません。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み	RXDPID/STUPCNT		PKTCNT										XFRSIZ																		
	rw/r/rw	rw/r/rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット31 予約済みであり、リセット値に保持する必要があります。

ビット30:29 **RXDPID**：受信データPID
アイソクロナス OUT エンドポイントにのみ適用されます。
これは、このエンドポイントの最後のパケットで受信されたデータの PID です。
00：DATA0
01：DATA2
10：DATA1
11：MDATA

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

STUPCNT：SETUPパケットカウント

制御 OUT エンドポイントにのみ適用されます。

このフィールドは、エンドポイントが受信できる連続 SETUP データパケット数を指定します。

01：1パケット

10：2パケット

11：3パケット

ビット28:19 **PKTCNT**：パケットカウント

このエンドポイントのデータの転送サイズを構成する USB パケットの総数を示します。

このフィールドは、パケット（最大サイズまたはショートパケット）が RxFIFO に書き込まれるたびにデクリメントされます。

ビット 18:0 **XFRSIZ**：転送サイズ

このフィールドは、現在のエンドポイントの転送サイズをバイト単位で示します。コアは、データの転送サイズを使いきった後でのみ、アプリケーションに割り込みをかけます。転送サイズをエンドポイントの最大パケットサイズにセットすると、各パケットの最後で割り込みを生成できます。

コアは、RxFIFO からパケットが読み出されて、外部メモリに書き込まれるたびに、このフィールドをデクリメントします。

34.16.5 OTG_FS パワーおよびクロックゲーティング制御レジスタ（OTG_FS_PCGCCTL）

アドレスオフセット：0xE00

リセット値：0x0000 0000

このレジスタは、ホストモードとデバイスモードで使用できます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																											PHYSUSP	予約済み		GATEHCLK	STPPCLK
																											rw			rw	rw

ビット 31:5 予約済みであり、リセット値に保持する必要があります。

ビット4 **PHYSUSP**：PHYをサスペンド

PHY がサスペンドされたことを示します。このビットは、アプリケーションが STPPCLK ビット（ビット 0）をセットした後、PHY がサスペンドされると更新されます。

ビット 3:2 予約済みであり、リセット値に保持する必要があります。

ビット1 **GATEHCLK**：HCLKをゲート

USB がサスペンドされるか、セッションが有効でないとき、アプリケーションは、このビットをセットして、AHB スレーブとマスタおよびウェイクアップロジック以外のモジュールへの HCLK をゲーティングします。アプリケーションは、USB がレジュームされるか、新しいセッショが開始されると、このビットをクリアします。

ビット0 **STPPCLK**：PHYクロックを停止

USB がサスペンドされるか、セッションが有効でないか、デバイスが切断されると、アプリケーションは、このビットをセットして、PHY クロックを停止します。アプリケーションは、USB がレジュームされるか、新しいセッショが開始されると、このビットをクリアします。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

34.16.6 OTG_FSレジスタマップ

次の表に、USB OTG のレジスタマップとリセット値を示します。

表 201. OTG_FSレジスタマップとリセット値

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x000	OTG_FS_GOTGCTL	予約済み												BSVLD	ASVLD	DBCT	CIDSTS	予約済み				DHNPEN	HSHNPEN	HNPRQ	HNGSCS	予約済み						SRQ	SRQSCS
	リセット値													0	0	0	1					0	0	0	0							0	0
0x004	OTG_FS_GOTGINT	予約済み												DBCDNE	ADTOCHG	HNGDET	予約済み							HNSSCHG	SRSSCHG	予約済み					SEDET	予約済み	
	リセット値													0	0	0								0	0						0		
0x008	OTG_FS_GAHBCFG	予約済み																							PTXFELVL	TXFELVL	予約済み						GINTMSK
	リセット値																								0	0							0
0x00C	OTG_FS_GUSBCFG	CTXPKT	FDMOD	FHMOD	予約済み									TRDT										HNPCAP	SRPCAP	予約済み	PHYSEL	予約済み			TOCAL		
	リセット値													0	1	0	1							0	0		1				0	0	0
0x010	OTG_FS_GRSTCTL	AHBIDL	予約済み											TXFNUM															RXFFLSH	予約済み	FCRST	HSRST	CSRST
	リセット値	1												0	0	0								0	0		0	0	0	0	0	0	0
0x014	OTG_FS_GINTSTS	WKUINT	SRQINT	DISCINT	CIDSCHG	予約済み	PTXFE	HCINT	HPRTINT	予約済み		IPXFR/INCOMPISOOUT	IISOIXFR	OEPINT	IEPINT	予約済み		EOPF	ISOODRP	ENUMDNE	USBRST	USBSUSP	ESUSP	予約済み		GOUTNAKEFF	GINAKEFF	NPTXFE	RXFLVL	SOF	OTGINT	MMIS	CMOD
	リセット値	0	0	0	0		1	0	0			0	0	0	0			0	0	0	0	0	0			0	0	1	0	0	0	0	0
0x018	OTG_FS_GINTMSK	WUIM	SRQIM	DISCINT	CIDSCHGM	予約済み	PTXFEM	HCIM	PRTIM	予約済み		IPXFRM/IISOOXFRM	IISOIXFRM	OEPINT	IEPINT	EPMISM	予約済み	EOPFM	ISOODRPM	ENUMDNEM	USBRST	USBSUSPM	ESUSPM	予約済み		GONAKEFFM	GINAKEFFM	NPTXFEM	RXFLVLM	SOFM	OTGINT	MMISM	予約済み
	リセット値	0	0	0	0		0	0	0			0	0	0	0	0		0	0	0	0	0	0			0	0	0	0	0	0	0	
0x01C	OTG_FS_GRXSTSR（ホストモード）	予約済み											PKTSTS				DPID		BCNT												CHNUM		
	リセット値												0	0	0	0		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	OTG_FS_GRXSTSR（デバイスモード）	予約済み							FRMNUM				PKTSTS				DPID		BCNT												EPNUM		
	リセット値								0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x020	OTG_FS_GRXSTSR（ホストモード）	予約済み											PKTSTS				DPID		BCNT												CHNUM		
	リセット値												0	0	0	0		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	OTG_FS_GRXSTSR（デバイスモード）	予約済み							FRMNUM				PKTSTS				DPID		BCNT												EPNUM		
	リセット値								0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x024	OTG_FS_GRXFSIZ	予約済み																RXFD															
	リセット値																	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 201. OTG_FSレジスタマップとリセット値（続き）

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x028	OTG_FS_HNPTXFSIZ/ OTG_FS_DIEPTXF0	NPTXFD/TX0FD																NPTXFSA/TX0FSA															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
0x02C	OTG_FS_HNPTXSTS	予約済み	NPTXQTOP							NPTQXSAV								NPTXFSAV															
	リセット値		0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
0x038	OTG_FS_GCCFG	予約済み										NOVBUSSENS	SOFOUTEN	VBUSBSEN	VBUSASEN	予約済み	.PWRDWN	予約済み																
	リセット値											0	0	0	0		0																
0x03C	OTG_FS_CID	PRODUCT_ID																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	0	0	0	0	0	0	0	0
0x100	OTG_FS_HPTXFSIZ	PTXFSIZ																PTXSA															
	リセット値	0	0	0	0	0	1	1	1	0	1	1	0	1	0	0	0	0	0	0	1	0	0	0	0	0	0	1	0	0	1	0	0
0x104	OTG_FS_DIEPTXF1	INEPTXFD																INEPTXSA															
	リセット値	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0
0x108	OTG_FS_DIEPTXF2	INEPTXFD																INEPTXSA															
	リセット値	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0
0x10C	OTG_FS_DIEPTXF3	INEPTXFD																INEPTXSA															
	リセット値	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0
0x400	OTG_FS_HCFG	予約済み																													FSLSS	FSLSPCS
	リセット値																														0	0	0
0x404	OTG_FS_HFIR	予約済み																FRIVL															
	リセット値																	1	1	1	0	1	0	1	0	0	1	1	0	0	0	0	0
0x408	OTG_FS_HFNUM	FTREM																FRNUM															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1
0x410	OTG_FS_HPTXSTS	PTXQTOP								PTXQSAV								PTXFSAVL															
	リセット値	0	0	0	0	0	0	0	0	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y
0x414	OTG_FS_HAINT	予約済み																HAINT															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x418	OTG_FS_HAINTMSK	予約済み																HAINTM															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x440	OTG_FS_HPRT	予約済み													PSPD		PTCTL				PPWR	PLSTS	予約済み	PRST	PSUSP	PRES	POCCHNG	POCA	PENCHNG	PENA	PCDET	PCSTS	
	リセット値														0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x500	OTG_FS_HCCHAR0	CHENA	CHDIS	ODDFRM	DAD							MCNT		EPTYP		LSDEV	予約済み	EPDIR	EPNUM				MPSIZ											
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x520	OTG_FS_HCCHAR1	CHENA	CHDIS	ODDFRM	DAD							MCNT		EPTYP		LSDEV	予約済み	EPDIR	EPNUM				MPSIZ											
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x540	OTG_FS_HCCHAR2	CHENA	CHDIS	ODDFRM	DAD							MCNT		EPTYP		LSDEV	予約済み	EPDIR	EPNUM				MPSIZ											
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x560	OTG_FS_HCCHAR3	CHENA	CHDIS	ODDFRM	DAD							MCNT		EPTYP		LSDEV	予約済み	EPDIR	EPNUM				MPSIZ											
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x580	OTG_FS_HCCHAR4	CHENA	CHDIS	ODDFRM	DAD							MCNT		EPTYP		LSDEV	予約済み	EPDIR	EPNUM				MPSIZ											
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 201. OTG_FSレジスタマップとリセット値（続き）

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x5A0	OTG_FS_HCCHAR5	CHENA	CHDIS	ODDFRM	DAD							MCNT		EPTYP		LSDEV	予約済み	EPDIR	EPNUM				MPSIZ											
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x5C0	OTG_FS_HCCHAR6	CHENA	CHDIS	ODDFRM	DAD							MCNT		EPTYP		LSDEV	予約済み	EPDIR	EPNUM				MPSIZ											
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x5E0	OTG_FS_HCCHAR7	CHENA	CHDIS	ODDFRM	DAD							MCNT		EPTYP		LSDEV	予約済み	EPDIR	EPNUM				MPSIZ											
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x508	OTG_FS_HCINT0	予約済み																					DTERR	FRMOR	BBERR	TXERR	予約済み	ACK	NAK	STALL	予約済み	CHH	XFRC
	リセット値																						0	0	0	0		0	0	0		0	0
0x528	OTG_FS_HCINT1	予約済み																					DTERR	FRMOR	BBERR	TXERR	予約済み	ACK	NAK	STALL	予約済み	CHH	XFRC
	リセット値																						0	0	0	0		0	0	0		0	0
0x548	OTG_FS_HCINT2	予約済み																					DTERR	FRMOR	BBERR	TXERR	予約済み	ACK	NAK	STALL	予約済み	CHH	XFRC
	リセット値																						0	0	0	0		0	0	0		0	0
0x568	OTG_FS_HCINT3	予約済み																					DTERR	FRMOR	BBERR	TXERR	予約済み	ACK	NAK	STALL	予約済み	CHH	XFRC
	リセット値																						0	0	0	0		0	0	0		0	0
0x588	OTG_FS_HCINT4	予約済み																					DTERR	FRMOR	BBERR	TXERR	予約済み	ACK	NAK	STALL	予約済み	CHH	XFRC
	リセット値																						0	0	0	0		0	0	0		0	0
0x5A8	OTG_FS_HCINT5	予約済み																					DTERR	FRMOR	BBERR	TXERR	予約済み	ACK	NAK	STALL	予約済み	CHH	XFRC
	リセット値																						0	0	0	0		0	0	0		0	0
0x5C8	OTG_FS_HCINT6	予約済み																					DTERR	FRMOR	BBERR	TXERR	予約済み	ACK	NAK	STALL	予約済み	CHH	XFRC
	リセット値																						0	0	0	0		0	0	0		0	0
0x5E8	OTG_FS_HCINT7	予約済み																					DTERR	FRMOR	BBERR	TXERR	予約済み	ACK	NAK	STALL	予約済み	CHH	XFRC
	リセット値																						0	0	0	0		0	0	0		0	0
0x50C	OTG_FS_HCINTMSK0	予約済み																					DTERRM	FRMORM	BBERRM	TXERRM	NYET	ACKM	NAKM	STALLM	予約済み	CHHM	XFRCM
	リセット値																						0	0	0	0	0	0	0	0		0	0
0x52C	OTG_FS_HCINTMSK1	予約済み																					DTERRM	FRMORM	BBERRM	TXERRM	NYET	ACKM	NAKM	STALLM	予約済み	CHHM	XFRCM
	リセット値																						0	0	0	0	0	0	0	0		0	0
0x54C	OTG_FS_HCINTMSK2	予約済み																					DTERRM	FRMORM	BBERRM	TXERRM	NYET	ACKM	NAKM	STALLM	予約済み	CHHM	XFRCM
	リセット値																						0	0	0	0	0	0	0	0		0	0
0x56C	OTG_FS_HCINTMSK3	予約済み																					DTERRM	FRMORM	BBERRM	TXERRM	NYET	ACKM	NAKM	STALLM	予約済み	CHHM	XFRCM
	リセット値																						0	0	0	0	0	0	0	0		0	0
0x58C	OTG_FS_HCINTMSK4	予約済み																					DTERRM	FRMORM	BBERRM	TXERRM	NYET	ACKM	NAKM	STALLM	予約済み	CHHM	XFRCM
	リセット値																						0	0	0	0	0	0	0	0		0	0
0x5AC	OTG_FS_HCINTMSK5	予約済み																					DTERRM	FRMORM	BBERRM	TXERRM	NYET	ACKM	NAKM	STALLM	予約済み	CHHM	XFRCM
	リセット値																						0	0	0	0	0	0	0	0		0	0

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 201. OTG_FSレジスタマップとリセット値（続き）

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x5CC	OTG_FS_HCINTMSK6	予約済み																					DTERRM	FRMORM	BBERRM	TXERRM	NYET	ACKM	NAKM	STALLM	予約済み	CHHM	XFRCM
	リセット値																						0	0	0	0	0	0	0	0		0	0
0x5EC	OTG_FS_HCINTMSK7	予約済み																					DTERRM	FRMORM	BBERRM	TXERRM	NYET	ACKM	NAKM	STALLM	予約済み	CHHM	XFRCM
	リセット値																						0	0	0	0	0	0	0	0		0	0
0x510	OTG_FS_HCTSIZ0	予約済み	DPID		PKTCNT										XFRSIZ																		
	リセット値		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x530	OTG_FS_HCTSIZ1	予約済み	DPID		PKTCNT										XFRSIZ																		
	リセット値		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x550	OTG_FS_HCTSIZ2	予約済み	DPID		PKTCNT										XFRSIZ																		
	リセット値		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x570	OTG_FS_HCTSIZ3	予約済み	DPID		PKTCNT										XFRSIZ																		
	リセット値		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x590	OTG_FS_HCTSIZ4	予約済み	DPID		PKTCNT										XFRSIZ																		
	リセット値		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x5B0	OTG_FS_HCTSIZ5	予約済み	DPID		PKTCNT										XFRSIZ																		
	リセット値		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x5D0	OTG_FS_HCTSIZ6	予約済み	DPID		PKTCNT										XFRSIZ																		
	リセット値		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x5F0	OTG_FS_HCTSIZ7	予約済み	DPID		PKTCNT										XFRSIZ																		
	リセット値		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x800	OTG_FS_DCFG	予約済み																			PFIVL		DAD							予約済み	NZLSOHSK	DSPD	
	リセット値																				0	0	0	0	0	0	0	0	0	0	0	0	0
0x804	OTG_FS_DCTL	予約済み																				POPRGDNE	CGONAK	SGONAK	CGINAK	SGINAK	TCTL			GONSTS	GINSTS	SDIS	RWUSIG
	リセット値																					0	0	0	0	0	0	0	0	0	0	0	0
0x808	OTG_FS_DSTS	予約済み													FNSOF															予約済み		EERR	ENUMSPD	SUSPSTS
	リセット値														0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			0	0	0
0x810	OTG_FS_DIEPMSK	予約済み																									INEPNEM	INEPNMM	ITTXFEMSK	TOM	予約済み	EPDM	XFRCM
	リセット値																										0	0	0	0		0	0
0x814	OTG_FS_DOEPMSK	予約済み																											OTEPDM	STUPM	予約済み	EPDM	XFRCM
	リセット値																												0	0		0	0
0x818	OTG_FS_DAINT	OEPINT																IEPINT															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x81C	OTG_FS_DAINTMSK	OEPM																IEPM															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x828	OTG_FS_DVBUSDIS	予約済み																VBUSDT															
	リセット値																	0	0	0	1	0	1	1	1	1	1	0	1	0	1	1	1
0x82C	OTG_FS_DVBUSPULSE	予約済み																					DVBUSP										
	リセット値																						0	1	0	1	1	0	1	1	1	0	0	0

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 201. OTG_FSレジスタマップとリセット値（続き）

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x834	OTG_FS_DIEPEMPMSK	予約済み																INEPTXFEM															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x900	OTG_FS_DIEPCTL0	EPENA	EPDIS	予約済み		SNAK	CNAK	TXFNUM				STALL	予約済み	EPTYP		NAKSTS	予約済み	USBAEP	予約済み													MPSIZ	
	リセット値	0	0			0	0	0	0	0	0	0		0	0	0		1														0	0
0x918	TG_FS_DTXFSTS0	予約済み																INEPTFSAV															
	リセット値																	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
0x920	OTG_FS_DIEPCTL1	EPENA	EPDIS	SODDFRM/SD1PID	SD0PID/SEVNFRM	SNAK	CNAK	TXFNUM				STALL	予約済み	EPTYP		NAKSTS	EONUM/DPID	USBAEP	予約済み				MPSIZ										
	リセット値	0	0	0	0	0	0	0	0	0	0	0		0	0	0	0	0					0	0	0	0	0	0	0	0	0	0	0
0x938	TG_FS_DTXFSTS1	予約済み																INEPTFSAV															
	リセット値																	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
0x940	OTG_FS_DIEPCTL2	EPENA	EPDIS	SODDFRM	SD0PID/SEVNFRM	SNAK	CNAK	TXFNUM				STALL	予約済み	EPTYP		NAKSTS	EONUM/DPID	USBAEP	予約済み				MPSIZ										
	リセット値	0	0	0	0	0	0	0	0	0	0	0		0	0	0	0	0					0	0	0	0	0	0	0	0	0	0	0
0x958	TG_FS_DTXFSTS2	予約済み																INEPTFSAV															
	リセット値																	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
0x960	OTG_FS_DIEPCTL3	EPENA	EPDIS	SODDFRM	SD0PID/SEVNFRM	SNAK	CNAK	TXFNUM				STALL	予約済み	EPTYP		NAKSTS	EONUM/DPID	USBAEP	予約済み				MPSIZ										
	リセット値	0	0	0	0	0	0	0	0	0	0	0		0	0	0	0	0					0	0	0	0	0	0	0	0	0	0	0
0x978	TG_FS_DTXFSTS3	予約済み																INEPTFSAV															
	リセット値																	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
0xB00	OTG_FS_DOEPCTL0	EPENA	EPDIS	予約済み		SNAK	CNAK	予約済み				STALL	SNPM	EPTYP		NAKSTS	予約済み	USBAEP	予約済み													MPSIZ	
	リセット値	0	0			0	0					0	0	0	0	0		1														0	0
0xB20	OTG_FS_DOEPCTL1	EPENA	EPDIS	SODDFRM	SD0PID/SEVNFRM	SNAK	CNAK	予約済み				STALL	SNPM	EPTYP		NAKSTS	EONUM/DPID	USBAEP	予約済み				MPSIZ										
	リセット値	0	0	0	0	0	0					0	0	0	0	0	0	0					0	0	0	0	0	0	0	0	0	0	0
0xB40	OTG_FS_DOEPCTL2	EPENA	EPDIS	SODDFRM	SD0PID/SEVNFRM	SNAK	CNAK	予約済み				STALL	SNPM	EPTYP		NAKSTS	EONUM/DPID	USBAEP	予約済み				MPSIZ										
	リセット値	0	0	0	0	0	0					0	0	0	0	0	0	0					0	0	0	0	0	0	0	0	0	0	0
0xB60	OTG_FS_DOEPCTL3	EPENA	EPDIS	SODDFRM	SD0PID/SEVNFRM	SNAK	CNAK	予約済み				STALL	SNPM	EPTYP		NAKSTS	EONUM/DPID	USBAEP	予約済み				MPSIZ										
	リセット値	0	0	0	0	0	0					0	0	0	0	0	0	0					0	0	0	0	0	0	0	0	0	0	0

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 201.　OTG_FSレジスタマップとリセット値（続き）

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x908	OTG_FS_DIEPINT0	予約済み																								TXFE	INEPNE	予約済み	ITTXFE	TOC	予約済み	EPDISD	XFRC
	リセット値																									1	0		0	0		0	0
0x928	OTG_FS_DIEPINT1	予約済み																								TXFE	INEPNE	予約済み	ITTXFE	TOC	予約済み	EPDISD	XFRC
	リセット値																									1	0		0	0		0	0
0x948	OTG_FS_DIEPINT2	予約済み																								TXFE	INEPNE	予約済み	ITTXFE	TOC	予約済み	EPDISD	XFRC
	リセット値																									1	0		0	0		0	0
0x968	OTG_FS_DIEPINT3	予約済み																								TXFE	INEPNE	予約済み	ITTXFE	TOC	予約済み	EPDISD	XFRC
	リセット値																									1	0		0	0		0	0
0xB08	OTG_FS_DOEPINT0	予約済み																								予約済み	B2BSTUP	予約済み	OTEPDIS	STUP	予約済み	EPDISD	XFRC
	リセット値																									0	0		0	0		0	0
0xB28	OTG_FS_DOEPINT1	予約済み																								予約済み	B2BSTUP	予約済み	OTEPDIS	STUP	予約済み	EPDISD	XFRC
	リセット値																									0	0		0	0		0	0
0xB48	OTG_FS_DOEPINT2	予約済み																								予約済み	B2BSTUP	予約済み	OTEPDIS	STUP	予約済み	EPDISD	XFRC
	リセット値																									0	0		0	0		0	0
0xB68	OTG_FS_DOEPINT3	予約済み																								予約済み	B2BSTUP	予約済み	OTEPDIS	STUP	予約済み	EPDISD	XFRC
	リセット値																									0	0		0	0		0	0
0x910	OTG_FS_DIEPTSIZ0	予約済み												PKTCNT	予約済み												XFRSIZ						
	リセット値													0	0												0	0	0	0	0	0	0
0x930	OTG_FS_DIEPTSIZ1	予約済み	MCNT		PKTCNT										XFRSIZ																		
	リセット値		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x950	OTG_FS_DIEPTSIZ2	予約済み	MCNT		PKTCNT										XFRSIZ																		
	リセット値		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x970	OTG_FS_DIEPTSIZ3	予約済み	MCNT		PKTCNT										XFRSIZ																		
	リセット値		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0xB10	OTG_FS_DOEPTSIZ0	予約済み	STUPCNT		予約済み									PKTCNT	予約済み												XFRSIZ						
	リセット値		0	0										0													0	0	0	0	0	0	0
0xB30	OTG_FS_DOEPTSIZ1	予約済み	RXDPID/STUPCNT		PKTCNT										XFRSIZ																		
	リセット値		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0xB50	OTG_FS_DOEPTSIZ2	予約済み	RXDPID/STUPCNT		PKTCNT										XFRSIZ																		
	リセット値		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0xB70	OTG_FS_DOEPTSIZ3	予約済み	RXDPID/STUPCNT		PKTCNT										XFRSIZ																		
	リセット値		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0xE00	OTG_FS_PCGCCTL	予約済み																											PHYSUSP	予約済み		GATEHCLK	STPPCLK
	リセット値																																

レジスタ境界アドレスについては、*表 2（64 ページ）*を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

34.17 OTG_FS プログラミングモデル

34.17.1 コアの初期化

アプリケーションはコア初期化シーケンスを実行する必要があります。パワーアップ中にケーブルが接続された場合、OTG_FS_GINTSTS レジスタの現在の動作モードビット（OTG_FS_GINTSTS の CMOD ビット）が、モードを反映します。OTG_FS コントローラは、A プラグが接続されたときにはホストモードに、B プラグが接続されたときにはデバイスモードに入ります。

このセクションでは、電源投入後の OTG_FS コントローラの初期化について説明します。アプリケーションは、ホストモードかデバイスモードかに関係なく、初期化シーケンスに従う必要があります。コアのすべてのグローバルレジスタは、コアの設定に従って以下の手順で初期化されます。

1. OTG_FS_GAHBCFG レジスタの以下のフィールドをプログラムします。
   - グローバル割り込みマスクビット GINTMSK = 1
   - RxFIFO 非エンプティ（OTG_FS_GINTSTS の RXFLVL ビット）
   - 周期的 TxFIFO エンプティレベル
2. OTG_FS_GUSBCFG レジスタの以下のフィールドをプログラムします。
   - HNP 対応ビット
   - SRP 対応ビット
   - FS タイムアウト較正フィールド
   - USB ターンアラウンド時間フィールド
3. ソフトウェアは、OTG_FS_GINTMSK レジスタの以下のビットのマスクを解除する必要があります。

   OTG 割り込みマスク

   モード不一致割り込みマスク
4. ソフトウェアは、OTG_FS_GINTSTS レジスタの CMOD ビットを読み出すことによって、OTG_FS コントローラがホストモードで動作中か、デバイスモードで動作中かを判別することができます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

34.17.2 ホストの初期化

コアをホストとして初期化するには、アプリケーションは、以下の手順を実行しなければなりません。

1. OTG_FS_GINTMSK レジスタの HPRTTINT ビットをプログラムして、マスクを解除します。
2. OTG_FS_HCFG レジスタをプログラムして、フルスピードホストを選択します。
3. OTG_FS_HCFG レジスタの PPWR ビットを 1 にプログラムします。これによって USB 上で V_{BUS} が駆動されます。
4. OTG_FS_HPRT0 の PCDET 割り込みを待ちます。これは、デバイスがポートに接続されていることを示します。
5. OTG_FS_HPRT レジスタの PRST ビットを 1 にプログラムします。これによってリセットプロセスが開始されます。
6. リセットプロセスが完了するまで、少なくとも 10 ms 待ちます。
7. OTG_FS_HPRT レジスタの PRST ビットを 0 にプログラムします。
8. OTG_FS_HPRT レジスタの PENCHNG 割り込みを待ちます。
9. OTG_FS_HPRT レジスタの PDPD ビットを読み出して、エニュメレーションされた速度を取得します。
10. HFIR レジスタを、選択された PHY クロック 1 に対応する値でプログラムします。
11. OTG_FS_HCFG レジスタの FSLSPCS フィールドを、手順 9 で検出した速度に従ってプログラムします。FSLSPCS が変更されている場合は、ポートのリセットを行う必要があります。
12. OTG_FS_GRXFSIZ レジスタをプログラムして、受信 FIFO のサイズを選択します。
13. OTG_FS_HNPTXFSIZ レジスタをプログラムして、非周期的トランザクションの非周期的送信 FIFO のサイズと開始アドレスを選択します。
14. OTG_FS_HPTXFSIZ レジスタをプログラムして、周期的トランザクションの周期的送信 FIFO のサイズと開始アドレスを選択します。

デバイスと通信するには、システムソフトウェアは、少なくとも 1 つのチャネルを初期化し、有効にする必要があります。

34.17.3 デバイスの初期化

アプリケーションは、パワーアップ時、またはホストモードからデバイスモードへの変更後、以下の手順を実行して、コアをデバイスとして初期化する必要があります。

1. OTG_FS_DCFG レジスタの以下のフィールドをプログラムします。
   - デバイスの速度
   - 非ゼロ長ステータス OUT ハンドシェイク
2. OTG_FS_GINTMSK レジスタをプログラムして、以下の割り込みのマスクを解除します。
   - USB リセット
   - エニュメレーション終了
   - アーリーサスペンド
   - USB サスペンド
   - SOF
3. OTG_FS_GCCFG レジスタの VBUSBSEN ビットをプログラムして、B デバイスモードでの V_{BUS} センシングを有効にし、DP ライン上でプルアップ抵抗の両端に 5 V を供給します。
4. OTG_FS_GINTSTS の USBRST 割り込みを待ちます。これは、この割り込みの受信時、約 10 ms 続くリセットが USB で検出されたことを示します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OTG_FS_GINTSTS レジスタの ENUMDNE 割り込みを待ちます。この割り込みは、USB 上でリセットが終了したことを示します。この割り込みを受信したとき、アプリケーションは、OTG_FS_DSTS レジスタを読み出して、エニュメレーション速度を判別し、*エニュメレーション時のエンドポイント初期化（1368 ページ）*にリストされている手順を実行する必要があります。

この時点で、デバイスは、SOF パケットを受け入れて、制御エンドポイント 0 で制御転送を実行する準備ができたことになります。

34.17.4 ホストプログラミングモデル

チャネルの初期化

アプリケーションが接続されたデバイスと通信するためには、1 つまたは複数のチャネルを初期化する必要があります。チャネルを初期化して、有効にするには、アプリケーションは、以下の手順を実行する必要があります。

1. OTG_FS_GINTMSK レジスタをプログラムして、以下の割り込みのマスクを解除します。
2. チャネル割り込み
   - OUT トランザクションの非周期的送信 FIFO エンプティ割り込み（パケットカウントフィールドが複数でプログラムされたパイプライントランザクションレベルで動作する場合に適用可能）
   - OUT トランザクションの非周期的送信 FIFO ハーフエンプティ割り込み（パケットカウントフィールドが複数でプログラムされたパイプライントランザクションレベルで動作する場合に適用可能）
3. OTG_FS_HAINTMSK レジスタをプログラムして、選択されたチャネルの割り込みのマスクを解除します。
4. OTG_FS_HCINTMSK レジスタをプログラムして、ホストチャネル割り込みレジスタで指定された、関心あるトランザクション関連割り込みのマスクを解除します。
5. 選択されたチャネルの OTG_FS_HCTSIZx レジスタを、合計転送サイズ（バイト数）およびショートパケットを含む期待されるパケット数でプログラムします。アプリケーションは、PID フィールドを初期データ PID（最初の OUT トランザクションで使用される PID、または最初の IN トランザクションから期待される PID）でプログラムする必要があります。
6. 選択されたチャネルの OTG_FS_HCCHARx レジスタを、タイプ、速度、方向など、デバイスのエンドポイントの特性でプログラムします。（チャネルは、アプリケーションがパケットを送信または受信する準備ができている場合にのみ、チャネルイネーブルビットを 1 にセットすることで有効にできます）。

チャネルの停止

アプリケーションは、OTG_FS_HCCHARx レジスタの CHDIS および CHENA ビットを 1 にセットすることによって、任意のチャネルを無効にできます。これにより、OTG_FS ホストは、ポストされたリクエスト（ある場合）をフラッシュして、チャネル停止割り込みを生成できます。アプリケーションは、チャネルを他のトランザクションに割り当てる前に、OTG_FS_HCINTx の CHH 割り込みを待つ必要があります。OTG_FS ホストは、USB 上ですでに転送が開始しているトランザクションに対しては割り込みを行いません。

チャネルを無効にする前に、アプリケーションは、非周期的リクエストキュー（非周期的チャネルを無効にするとき）、または周期的リクエストキュー（周期的チャネルを無効にするとき）に使用可能な空きスペースが少なくとも 1 つ以上存在することを確認する必要があります。アプリケーションは、リクエストキューが満杯状態のときには、OTG_FS_HCCHARx レジスタの CHDIS ビットを 1 にセットし、CHENA ビットを 0 にクリアするだけで、ポストされたリクエストをフラッシュできます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

アプリケーションは、以下のいずれかの条件のとき、チャネルを無効にすることが期待されます。

1. IN または OUT チャネルで、OTG_FS_HCINTx レジスタの STALL、TXERR、BBERR、または DTERR 割り込みが受信されたとき。アプリケーションは、停止割り込みを受信する前に、同じチャネルについての他の割り込み（DTERR、Nak、Data、TXERR）を受信できなければなりません。
2. OTG_FS_GINTSTS レジスタの DISCINT（デバイス切断）割り込みを受信したとき。（アプリケーションは、すべての有効なチャネルを無効にすることが期待されます）。
3. アプリケーションが正常完了の前に転送を中断したとき。

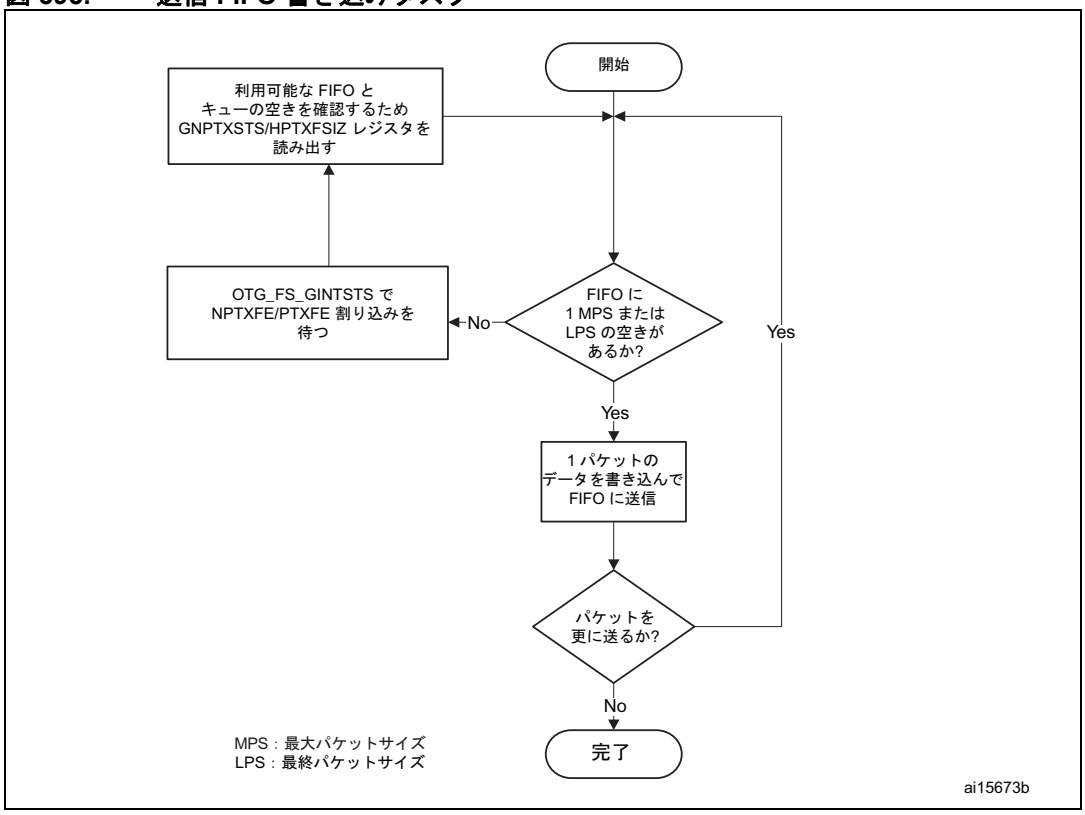
動作モデル

アプリケーションが接続されたデバイスと通信するためには、チャネルを初期化する必要があります。このセクションでは、さまざまなタイプの USB トランザクションについて、実行しなければならない動作のシーケンスについて説明します。

- **送信 FIFO への書き込み**

  OTG_FS ホストは、パケットの最後の DWORDの書き込みとともに、周期的/非周期的リクエストキューにエントリ（OUT リクエスト）を自動的に書き込みます。アプリケーションは、送信 FIFO への書き込みを開始する前に、周期的/非周期的リクエストキューに少なくとも 1 つ以上の空きスペースがあることを確認しなければなりません。アプリケーションは送信 FIFO に必ずDWORD単位で書き込みを行う必要があります。パケットサイズがDWORD 単位で揃えられていない場合、アプリケーションはパディングを使用する必要があります。OTG_FS ホストは、プログラムされた最大パケットサイズと転送サイズに基づいて、実際のパケットサイズを決定します。

図 395. 送信 FIFO 書き込みタスク

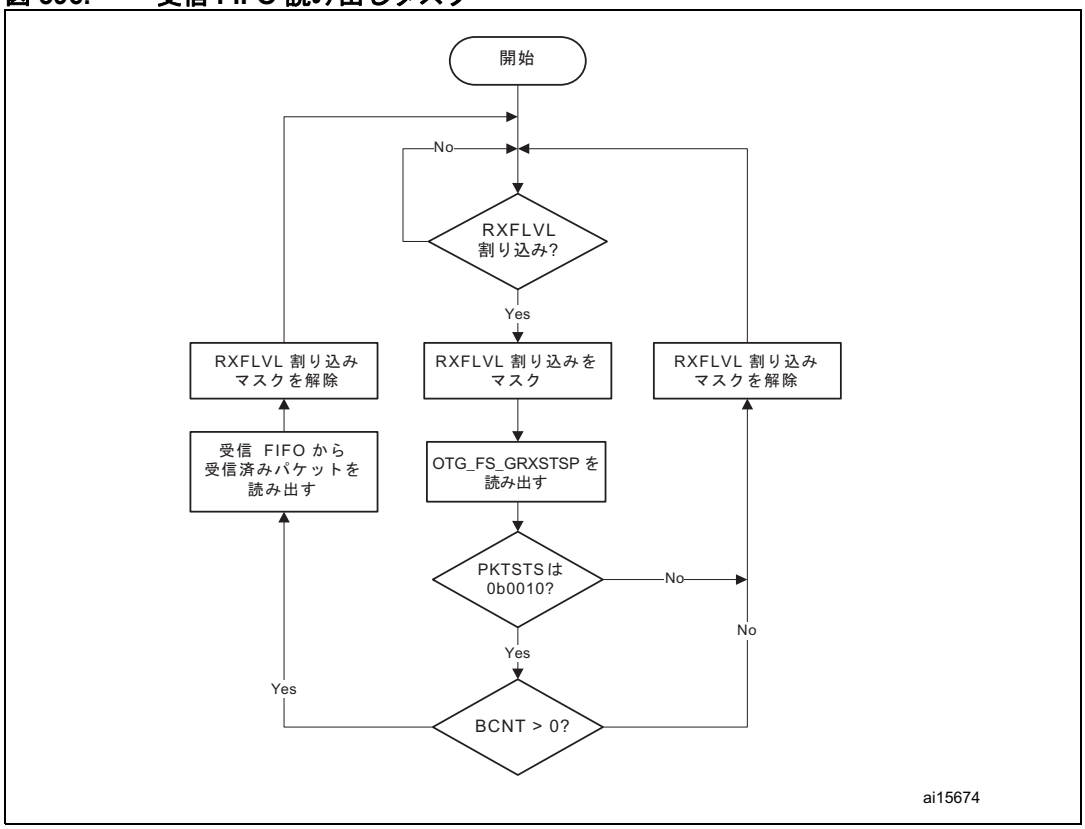


この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

- **受信 FIFO の読み出し**

  アプリケーションは、IN データパケット（bx0010）以外のすべてのパケットステータスを無視しなければなりません。

図 396. 受信 FIFO 読み出しタスク



- **バルクおよび制御 OUT/SETUP トランザクション**

  典型的なバルクまたは制御 OUT/SETUP パイプライントランザクションレベルの動作を*図 397*に示します。チャネル 1（ch_1）に注目してください。2 つのバルク OUT パケットが転送されます。制御 SETUP トランザクションは同じように動作しますが、1 パケットのみです。ここでは、以下のように仮定されています。

  – アプリケーションは、最大パケットサイズの 2 つのパケットを送信しようとしています（転送サイズ = 1,024 バイト）。
  – 非周期的送信 FIFO は 2 つのパケットを保持することができます（FS の場合 128 バイト）。
  – 非周期的リクエストキューの深さ = 4。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

- **通常のバルクおよび制御 OUT/SETUP 動作**

  動作シーケンス（チャネル 1）は、次のとおりです。

  a) チャネル 1 を初期化します。

  b) チャネル 1 の最初のパケットを書き込みます。

  c) 最後のワードの書き込みと同時に、コアは、非周期的リクエストキューにエントリを書き込みます。

  d) 非周期的キューがエンプティでなくなると、コアは、現在のフレームで OUT トークンの送信を試みます。

  e) チャネル 1 の 2 番目（最後）のパケットを書き込みます。

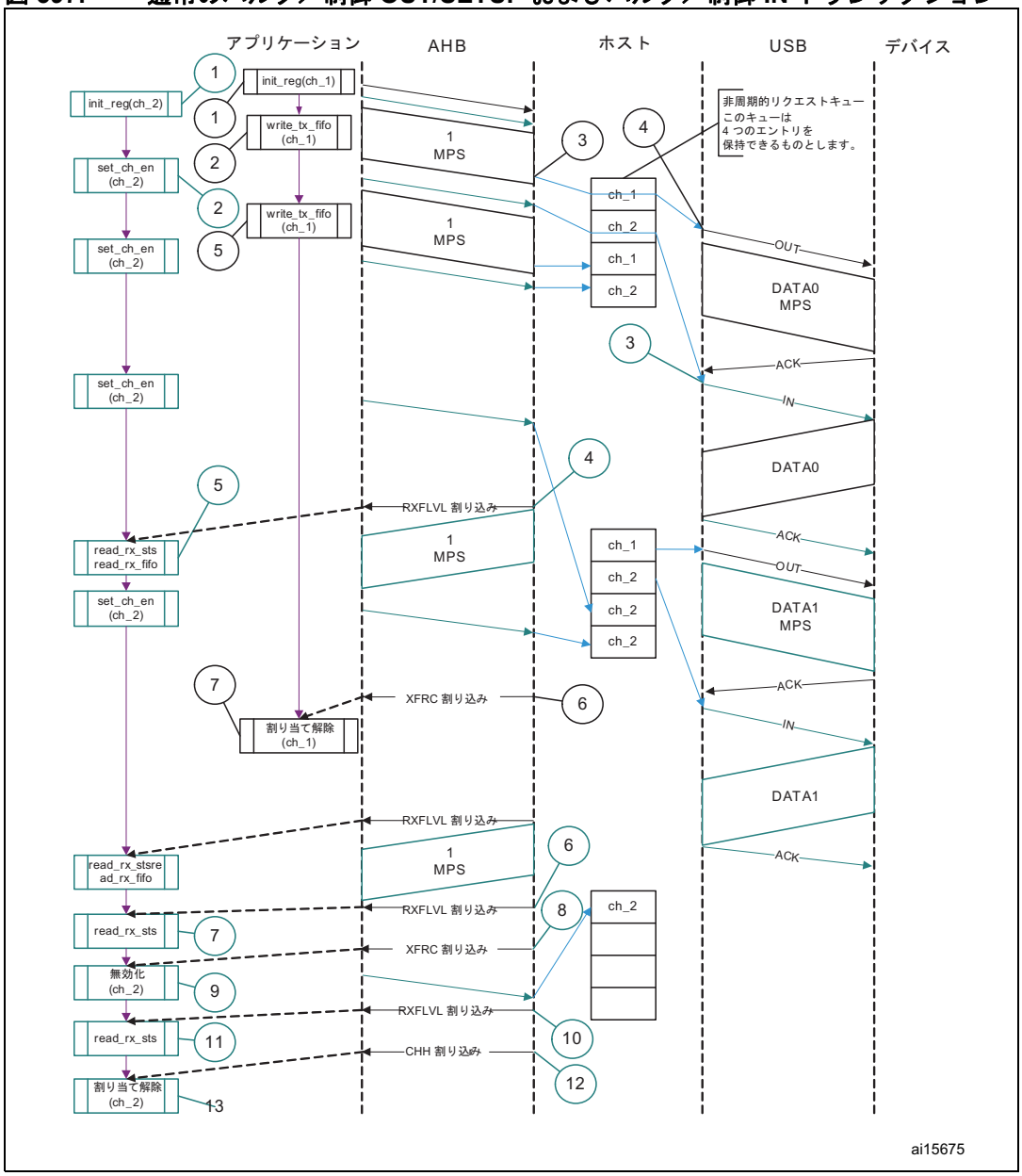
  f) コアは、最後のトランザクションが成功に完了すると、XFRC 割り込みを生成します。

  g) XFRC 割り込みに応答して、他の転送のためにチャネル割り当てを解除します。

  h) 非 ACK レスポンスの取り扱い

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 397.　通常のバルク／制御 OUT/SETUP およびバルク／制御 IN トランザクション



バルクおよび制御 OUT/SETUP トランザクションのためのチャネル固有の割り込みサービスルーチンを、以下のコードサンプルで示します。

- **バルク／制御 OUT/SETUP およびバルク／制御 IN トランザクションの割り込みサービスルーチン**

  a)　バルク／制御 OUT/SETUP

```
Unmask (NAK/TXERR/STALL/XFRC)
if (XFRC)
   {
   Reset Error Count
   Mask ACK
```


この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

```
   De-allocate Channel
   }
else if (STALL)
   {
   Transfer Done = 1
   Unmask CHH
   Disable Channel
   }
else if (NAK or TXERR )
   {
   Rewind Buffer Pointers
   Unmask CHH
   Disable Channel
   if (TXERR)
      {
      Increment Error Count
      Unmask ACK
      }
   else
      {
      Reset Error Count
      }
      }
else if (CHH)
   {
   Mask CHH
   if (Transfer Done or (Error_count == 3))
      {
      De-allocate Channel
      }
   else
      {
      Re-initialize Channel
      }
   }
   else if (ACK)
      {
      Reset Error Count
      Mask ACK
      }
```

アプリケーションは、送信 FIFO およびリクエストキューの中に使用可能なスペースがある場合、データパケットを送信 FIFO に書き込むことを期待されています。アプリケーションは、OTG_FS_GINTSTS レジスタの NPTXFE 割り込みを使用して、送信 FIFO のスペースを見つけることができます。

b) バルク／制御 IN

```
Unmask (TXERR/XFRC/BBERR/STALL/DTERR)
if (XFRC)
   {
   Reset Error Count
   Unmask CHH
   Disable Channel
```


この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

```
   Reset Error Count
   Mask ACK
   }
else if (TXERR or BBERR or STALL)
   {
   Unmask CHH
   Disable Channel
   if (TXERR)
      {
      Increment Error Count
      Unmask ACK
      }
   }
else if (CHH)
   {
   Mask CHH
   if (Transfer Done or (Error_count == 3))
      {
      De-allocate Channel
      }
   else
      {
      Re-initialize Channel
      }
   }
else if (ACK)
   {
   Reset Error Count
   Mask ACK
   }
else if (DTERR)
   {
   Reset Error Count
   }
```

アプリケーションは、リクエストキューのスペースが使用可能なときには、XFRC が受信されるまで、リクエストを書き込むことを期待されています。

- **バルクおよび制御 IN トランザクション**

  典型的なバルクまたは制御 IN パイプライントランザクション動作を*図 398* に示します。チャネル 2（ch_2）に注目してください。ここでは、以下のように仮定されています。

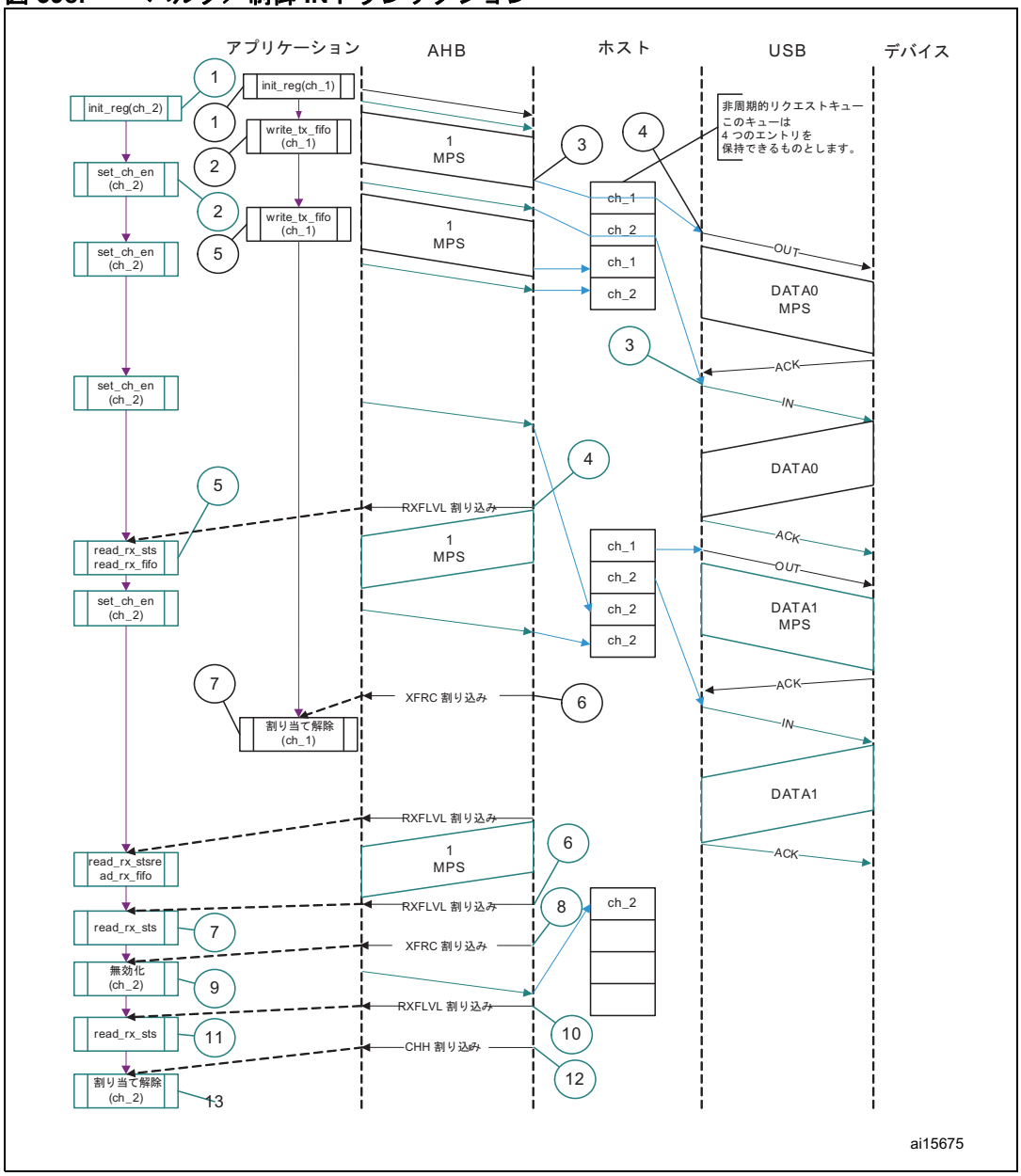
  – アプリケーションは、最大パケットサイズの 2 つのパケットを受信しようとしています（転送サイズ = 1,024 バイト）。

  – 受信 FIFO は、少なくとも 1 つの最大パケットサイズのパケットと、パケットあたり 2 つのステータスワード（FS　の場合 72 バイト）を収容することができます。

  – 非周期的リクエストキューの深さ　= 4。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 398.　バルク／制御 IN トランザクション



動作シーケンスは、次のとおりです。

a)　チャネル 2 を初期化します。

b)　HCCHAR2 の CHENA ビットをセットして、IN リクエストを非周期的リクエストキューに書き込みます。

c)　コアは、現在の OUT トランザクションの完了後、IN トークンの送信を試みます。

d)　コアは、受信したパケットが受信 FIFO に書き込まれると、RXFLVL 割り込みを生成します。

e)　RXFLVL 割り込みに応答して、RXFLVL 割り込みをマスクし、受信パケットステータスを読み出して受信バイト数を調べた後、それに応じて受信 FIFO を読み出します。続いて、RXFLVL 割り込みのマスクを解除します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

f) コアは、受信 FIFO 内の転送完了ステータスエントリに対して RXFLVL 割り込みを生成します。

g) アプリケーションは、受信パケットステータスを読み出して、受信パケットステータスが IN データパケット（GRXSTSR ≠ 0b0010 の PKTSTS）でないときには無視する必要があります。

h) コアは、受信パケットステータスが読み出されると、XFRC 割り込みを生成します。

i) XFRC 割り込みに応答して、チャネルを無効にし、それ以降のリクエストについて、OTG_FS_HCCHAR2 レジスタへの書き込みを停止します。コアは、OTG_FS_HCCHAR2 に書き込まれると、非周期的リクエストキューにチャネルディセーブルリクエストを書き込みます。

j) コアは、ホールトステータスが受信 FIFO に書き込まれると、RXFLVL 割り込みを生成します。

k) 受信パケットステータスを読み出して、それを無視します。

l) コアは、ホールトステータスが受信 FIFO からポップアウトされると、CHH 割り込みを生成します。

m) CHH 割り込みに応答して、他の転送のためにチャネル割り当てを解除します。

n) 非 ACK レスポンスの取り扱い

- **制御トランザクション**

制御転送のセットアップ、データ、およびステータスステージは、3 つの個別の転送として実行されなければなりません。セットアップ、データ、およびステータスステージの OUT トランザクションは、すでに説明したバルク OUT トランザクションと同様に実行されます。データまたはステータスステージの IN トランザクションは、すでに説明したバルク IN トランザクションと同様に実行されます。3 つのステージすべてについて、アプリケーションは OTG_FS_HCCHAR1 レジスタの EPTYP フィールドを Control に設定することが期待されます。セットアップステージでは、アプリケーションは、OTG_FS_HCTSIZ1 レジスタの PID フィールドを SETUP に設定することが期待されます。

- **割り込み OUT トランザクション**

典型的な割り込み OUT 動作を*図 399* に示します。ここでは、以下のように仮定されています。

– アプリケーションは、奇数フレーム（転送サイズ = 1 024 バイト）から始めて、フレームごとに 1 パケット（最大 1 パケットサイズ）の送信を試みています。

– 周期的送信 FIFO は 1 パケット（1 KB）を保持することができます。

– 周期的リクエストキューの深さ = 4

動作シーケンスは、次のとおりです。

a) チャネル 1 を初期化し、有効にします。アプリケーションは、OTG_FS_HCCHAR1 レジスタの ODDFRM ビットをセットする必要があります。

b) チャネル 1 の最初のパケットを書き込みます。

c) 各パケットの最後のワードの書き込みとともに、OTG_FS ホストは、周期的リクエストキューにエントリを書き込みます。

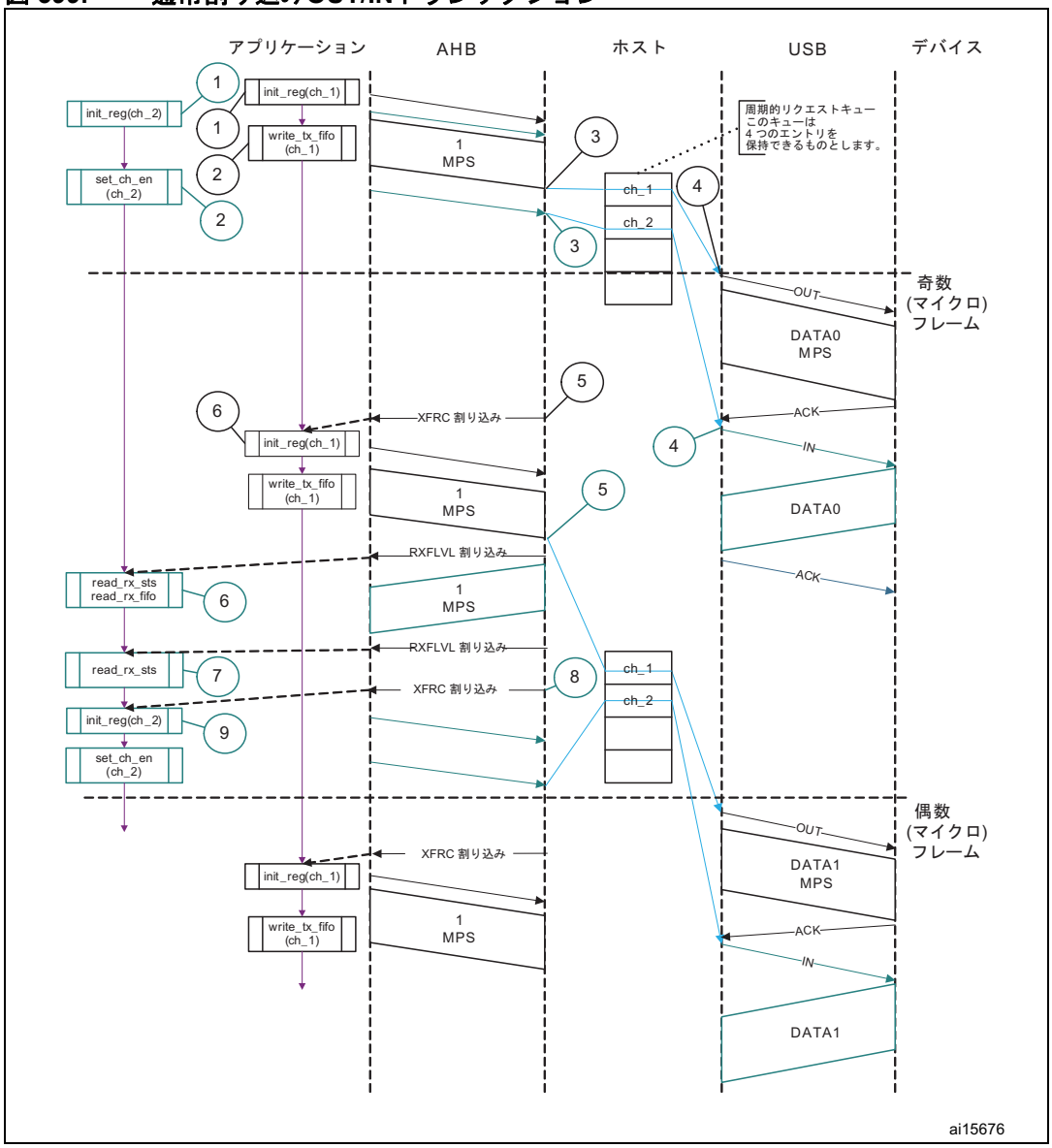
d) OTG_FS ホストは、次の（奇数）フレームで OUT トークンの送信を試みます。

e) OTG_FS ホストは、最後のパケットが正常に送信されると、XFRC 割り込みを生成します。

f) XFRC 割り込みに応答して、次の転送のためにチャネルを再初期化します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 399.　通常割り込みOUT/INトランザクション



- **割り込み OUT/IN トランザクションのための割り込みサービスルーチン**

  a)　割り込み OUT

```
Unmask (NAK/TXERR/STALL/XFRC/FRMOR)
if (XFRC)
   {
   Reset Error Count
   Mask ACK
   De-allocate Channel
   }
else
   if (STALL or FRMOR)
      {
      Mask ACK
      Unmask CHH
```


この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

```
      Disable Channel
      if (STALL)
         {
         Transfer Done = 1
         }
      }
   else
      if (NAK or TXERR)
         {
         Rewind Buffer Pointers
         Reset Error Count
         Mask ACK
         Unmask CHH
         Disable Channel
         }
      else
         if (CHH)
         {
         Mask CHH
         if (Transfer Done or (Error_count == 3))
            {
            De-allocate Channel
            }
         else
            {
            Re-initialize Channel (in next b_interval - 1 Frame)
            }
         }
      else
         if (ACK)
         {
         Reset Error Count
         Mask ACK
         }
```

アプリケーションは、OTG_FS_GINTSTS レジスタの NPTXFE 割り込みを使用して、送信 FIFO のスペースを見つけます。

b) 割り込み IN

```
Unmask (NAK/TXERR/XFRC/BBERR/STALL/FRMOR/DTERR)
if (XFRC)
   {
   Reset Error Count
   Mask ACK
   if (OTG_FS_HCTSIZx.PKTCNT == 0)
      {
      De-allocate Channel
      }
   else
      {
      Transfer Done = 1
      Unmask CHH
      Disable Channel
```


この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

```
        }
      }
    else
      if (STALL or FRMOR or NAK or DTERR or BBERR)
        {
        Mask ACK
        Unmask CHH
        Disable Channel
        if (STALL or BBERR)
          {
          Reset Error Count
          Transfer Done = 1
          }
        else
          if (!FRMOR)
          {
          Reset Error Count
          }
        }
    else
      if (TXERR)
        {
        Increment Error Count
        Unmask ACK
        Unmask CHH
        Disable Channel
        }
    else
      if (CHH)
        {
        Mask CHH
        if (Transfer Done or (Error_count == 3))
          {
          De-allocate Channel
          }
        else
          Re-initialize Channel (in next b_interval - 1 /Frame)
        }
      }
    else
      if (ACK)
        {
        Reset Error Count
        Mask ACK
        }
```


この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

- **割り込み IN トランザクション**

  ここでは、以下のように仮定されています。

  – アプリケーションは、奇数フレーム（転送サイズ = 1024 バイト）から始めて、フレームごとに 1 パケット（最大 1 パケットサイズ）の受信を試みています。

  – 受信 FIFO は、少なくとも 1 つの最大パケットサイズのパケットとパケットあたり 2 つのステータスワード（1,031 バイト）を保持することができます。

  – 周期的リクエストキューの深さ = 4。

- **通常の割り込み IN 動作**

  動作シーケンスは、次のとおりです。

  a) チャネル 2 を初期化します。アプリケーションは、OTG_FS_HCCHAR2 レジスタの ODDFRM ビットをセットする必要があります。

  b) OTG_FS_HCCHAR2 の CHENA ビットをセットして、IN リクエストを周期的リクエストキューを書き込みます。

  c) OTG_FS ホストは、CHENA ビットがセットされた OTG_FS_HCCHAR2 レジスタの書き込みごとに、周期的リクエストキューに IN リクエストを書き込みます。

  d) OTG_FS ホストは、次の（奇数）フレームで IN トークンの送信を試みます。

  e) IN パケットが受信され、受信 FIFO に書き込まれると、OTG_FS ホストは RXFLVL 割り込みを生成します。

  f) RXFLVL 割り込みに応答して、受信パケットステータスを読み出して、受信バイト数を調べた後、それに応じて受信 FIFO を読み出します。アプリケーションは、受信 FIFO を読み出す前に RXFLVL 割り込みをマスクし、すべてのパケットを読み出した後にマスクを解除しなければなりません。

  g) コアは、受信 FIFO 内の転送完了ステータスエントリに対して RXFLVL 割り込みを生成します。アプリケーションは、受信パケットステータスを読み出して、受信パケットステータスが IN データパケット（GRXSTSR ≠ 0b0010 の PKTSTS）でないときには無視する必要があります。

  h) コアは、受信パケットが読み出されると、XFRC 割り込みを生成します。

  i) XFRC 割り込みに応答して、OTG_FS_HCTSIZ2 の PKTCNT フィールドを読み出します。OTG_FS_HCTSIZ2 の PKTCNT ビットが 0 に等しくない場合は、次の転送（ある場合）のためにチャネルを再初期化する前に、チャネルを無効にします。OTG_FS_HCTSIZ2 の PKTCNT ビットが 0 の場合、次の転送のためにチャネルを再初期化します。今度は、アプリケーションは、OTG_FS_HCCHAR2 レジスタの ODDFRM ビットをリセットする必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

- **アイソクロナス OUT トランザクション**

  典型的なアイソクロナス OUT 動作を*図 400* に示します。ここでは、以下のように仮定されています。

  – アプリケーションは、奇数フレームから始めて、フレームごとに 1 パケット（最大 1 パケットサイズ）の送信を試みています。（転送サイズ = 1,024 バイト）。

  – 周期的送信 FIFO は 1 パケット（1 KB）を保持することができます。

  – 周期的リクエストキューの深さ = 4。

  動作シーケンスは、次のとおりです。

  a) チャネル 1 を初期化し、有効にします。アプリケーションは、OTG_FS_HCCHAR1 レジスタの ODDFRM ビットをセットする必要があります。

  b) チャネル 1 の最初のパケットを書き込みます。

  c) 各パケットの最後のワードの書き込みとともに、OTG_FS ホストは、周期的リクエストキューにエントリを書き込みます。

  d) OTG_FS ホストは、次のフレーム（奇数）で OUT トークンの送信を試みます。

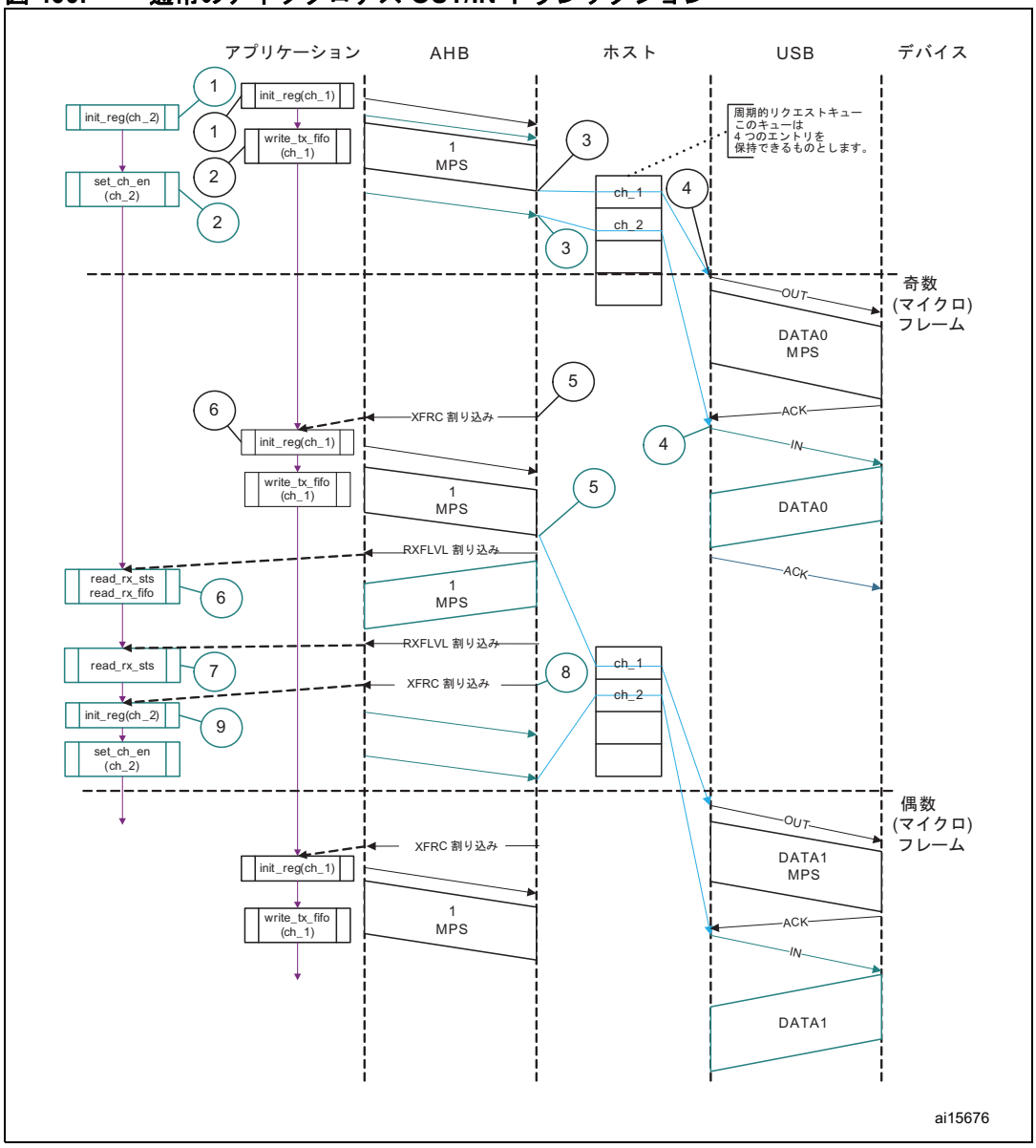
  e) OTG_FS ホストは、最後のパケットが正常に送信されると、XFRC 割り込みを生成します。

  f) XFRC 割り込みに応答して、次の転送のためにチャネルを再初期化します。

  g) 非 ACK レスポンスの取り扱い

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 400.　通常のアイソクロナス OUT/IN トランザクション



- **アイソクロナス OUT/IN トランザクションのための割り込みサービスルーチン**

  コードサンプル：アイソクロナスOUT

```
Unmask (FRMOR/XFRC)
if (XFRC)
   {
   De-allocate Channel
   }
else
   if (FRMOR)
      {
      Unmask CHH
      Disable Channel
      }
```


この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

```
   else
   if (CHH)
     {
     Mask CHH
     De-allocate Channel
     }
```

コードサンプル：アイソクロナスIN

```
Unmask (TXERR/XFRC/FRMOR/BBERR)
if (XFRC or FRMOR)
   {
   if (XFRC and (OTG_FS_HCTSIZx.PKTCNT == 0))
     {
     Reset Error Count
     De-allocate Channel
     }
   else
     {
     Unmask CHH
     Disable Channel
     }
   }
   else
     if (TXERR or BBERR)
       {
       Increment Error Count
       Unmask CHH
       Disable Channel
       }
     else
       if (CHH)
         {
         Mask CHH
         if (Transfer Done or (Error_count == 3))
           {
           De-allocate Channel
           }
         else
           {
           Re-initialize Channel
           }
         }
```


この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

- **アイソクロナス IN トランザクション**

  ここでは、以下のように仮定されています。

  – アプリケーションは、次の奇数フレーム（転送サイズ = 1024 バイト）から始めて、フレームごとに 1 パケット（最大 1 パケットサイズ）の受信を試みています。

  – 受信 FIFO は少なくとも 1 つの最大パケットサイズのパケットとパケットあたり 2 つのステータスワード（1,031 バイト）を保持することができます。

  – 周期的リクエストキューの深さ = 4。

  動作シーケンスは、次のとおりです。

  a) チャネル 2 を初期化します。アプリケーションは、OTG_FS_HCCHAR2 レジスタの ODDFRM ビットをセットする必要があります。

  b) OTG_FS_HCCHAR2 の CHENA ビットをセットして、IN リクエストを周期的リクエストキューを書き込みます。

  c) OTG_FS ホストは、CHENA ビットがセットされた OTG_FS_HCCHAR2 レジスタの書き込みごとに、周期的リクエストキューに IN リクエストを書き込みます。

  d) OTG_FS ホストは、次の奇数フレームで IN トークンの送信を試みます。

  e) IN パケットが受信され、受信 FIFO に書き込まれると、OTG_FS ホストは RXFLVL 割り込みを生成します。

  f) RXFLVL 割り込みに応答して、受信パケットステータスを読み出して、受信バイト数を調べた後、それに応じて受信 FIFO を読み出します。アプリケーションは、受信 FIFO を読み出す前に RXFVLV 割り込みをマスクし、すべてのパケットを読み出した後でマスクを解除しなければなりません。

  g) コアは、受信 FIFO 内の転送完了ステータスエントリに対して RXFLVL 割り込みを生成します。今度は、アプリケーションは受信パケットステータスを読み出して、それが IN データパケット（ OTG_FS_GRXSTSR の PKTSTS ビット≠ 0b0010）でなかった場合、無視する必要があります。

  h) コアは、受信パケットが読み出されると、XFRC 割り込みを生成します。

  i) XFRC 割り込みに応答して、OTG_FS_HCTSIZ2 の PKTCNT フィールドを読み出します。OTG_FS_HCTSIZ2 の PKTCNT≠ 0 の場合、次の転送（ある場合）のためにチャネルを再初期化する前に、チャネルを無効にします。OTG_FS_HCTSIZ2 の PKTCNT = 0 の場合、次の転送のためにチャネルを再初期化します。今度は、アプリケーションは、OTG_FS_HCCHAR2 レジスタの ODDFRM ビットをリセットする必要があります。

- **キューの深さの選択**

  周期的および非周期的リクエストキューの深さは、アクセスされる周期的/非周期的エンドポイントの数に合うように注意して選択してください。

  非周期的リクエストキューの深さは、非周期的転送の性能に影響を与えます。キューが深いほど（FIFO のサイズが十分であれば）、コアは非周期的転送をより多くパイプライン化できます。キューのサイズが小さいと、コアはキューのスペースが空いたときしか新しいリクエストを入れることができません。

  コアの周期的リクエストキューの深さは、周期的転送をスケジュールどおりに実行するために不可欠です。周期的キューの深さは、マイクロフレーム内でスケジュールされた周期的転送の数に基づいて選択してください。周期的リクエストキューの深さがマイクロフレーム内でスケジュールされた周期的転送の数より小さい場合、フレームオーバーラン条件が発生します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

- **バブル条件の取り扱い**

  OTG_FS コントローラは、パケットバブルとポートバブルの 2 つのバブルを処理します。パケットバブルは、デバイスがチャネルの最大パケットサイズよりも多くのデータを送信した場合に発生します。ポートバブルは、コアが EOF2（フレーム 2 の終わり、SOF にきわめて近い）でデバイスからデータを受信し続けると発生します。

  OTG_FS コントローラがパケットバブルを検出すると、Rx バッファへのデータの書き込みを停止して、パケットの終わり（EOP）を待ちます。EOP を検出すると、OTG_FS コントローラは、Rx バッファにすでに書き込まれたデータをフラッシュして、アプリケーションに対するバブル割り込みを生成します。

  OTG_FS コントローラがポートバブルを検出すると、RxFIFO をフラッシュして、ポートを無効にします。コアは、ポート無効割り込み（OTG_FS_GINTSTS の HPRTINT 、OTG_FS_HPRT の PENCHNG）を生成します。この割り込みを受信すると、アプリケーションは、OTG_FS_HPRT の POCA ビットをチェックして、これが過電流条件（ポート無効割り込みのもう 1 つの原因）によるものではないことを確認してから、ソフトリセットを行う必要があります。コアは、ポートバブル条件を検出した後は、それ以上トークンを送信しません。

34.17.5 デバイスプログラミングモデル

USB リセット時のエンドポイントの初期化

1. すべての OUT エンドポイントの NAK ビットをセットします。
   - OTG_FS_DOEPCTLx の SNAK = 1（すべての OUT エンドポイントについて）
2. 以下の割り込みビットのマスクを解除します。
   - OTG_FS_DAINTMSK の INEP0 = 1（制御 0 IN エンドポイント）
   - OTG_FS_DAINTMSK の OUTEP0 = 1（制御 0 OUT エンドポイント）
   - DOEPMSK の STUP = 1
   - DOEPMSK の XFRC = 1
   - DIEPMSK の XFRC = 1
   - DIEPMSK の TOC = 1
3. 各 FIFO の DATA FIFO RAM をセットアップします。
   - OTG_FS_GRXFSIZ レジスタをプログラムして、制御 OUT データとセットアップデータを受信できるようにします。.閾値の設定が無効の場合、これは、少なくとも、制御エンドポイント 0 の最大パケットサイズ 1 個分 + 2 ワード（制御 OUT データパケットのステータス用）+ 10 ワード（セットアップパケット用）でなければなりません。
   - OTG_FS_TX0FSIZ レジスタを、制御 IN データを送信できるようにプログラムします（選択された FIFO 番号に応じて）。.これは、少なくとも、制御エンドポイント 0 の最大パケットサイズ 1 個分以上でなければなりません。
4. SETUP パケットを受信するために、制御 OUT エンドポイント 0 のエンドポイント固有レジスタの以下のフィールドをプログラムします。
   - OTG_FS_DOEPTSIZ0 の STUPCNT = 3（3 つの連続 SETUP パケットを受信するため）

この時点で、SETUP パケットを受信するために必要なすべての初期化が終了したことになります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

エニュメレーション時のエンドポイント初期化

1. エニュメレーション終了割り込み（OTG_FS_GINTSTS の ENUMDNE ビット）時には、OTG_FS_DSTS レジスタを読み出して、エニュメレーション速度を決めます。
2. OTG_FS_DIEPCTL0 の MPSIZ フィールドをプログラムして、最大パケットサイズを設定します。このステップでは、制御エンドポイント 0 を設定します。制御エンドポイントの最大パケットサイズは、エニュメレーション速度に依存します。

この時点で、デバイスは、SOF パケットを受信する準備ができ、制御エンドポイント 0 で制御転送を行うように設定されたことになります。

SetAddress コマンド受信時のエンドポイントの初期化

このセクションでは、SETUP パケットで SetAddress コマンドを受信したときにアプリケーションが行わなければならないことについて説明します。

1. SetAddress コマンドで受信したデバイスアドレスで OTG_FS_DCFG レジスタをプログラムします。
1. ステータス IN パケットを送信するように、コアをプログラムします。

SetConfiguration/SetInterface コマンド受信時のエンドポイントの初期化

このセクションでは、SETUP パケットで SetConfiguration または SetInterface コマンドを受信したときにアプリケーションが行わなければならないことについて説明します。

1. SetConfiguration コマンドを受信したとき、アプリケーションは、新しい設定で有効なエンドポイントの特性で、エンドポイントのレジスタをプログラムする必要があります。
2. SetInterface コマンドを受信したとき、アプリケーションは、このコマンドの影響を受けるエンドポイントのレジスタをプログラムする必要があります。
3. 前の設定または代替設定では有効であったエンドポイントが、新しい設定または代替設定では無効なことがあります。これらの無効なエンドポイントは、機能を停止させる必要があります。
4. 有効な各エンドポイントの割り込みのマスクを解除して、OTG_FS_DAINTMSK レジスタですべての無効なエンドポイントに対する割り込みをマスクします。
5. 各 FIFO のデータ FIFO RAM をセットアップします。
6. 必要なすべてのエンドポイントを設定した後、アプリケーションは、ステータス IN パケットを送信するようにコアをプログラムする必要があります。

この時点で、デバイスのコアは、任意のタイプのデータパケットを送信／受信できるように設定されたことになります。

エンドポイントのアクティブ化

このセクションでは、デバイスエンドポイントを有効化するか、既存のデバイスエンドポイントを新しいタイプに設定するために必要な手順について説明します。

1. 必要なエンドポイントの特性を、OTG_FS_DIEPCTLx レジスタ（IN または双方向エンドポイントの場合）、または OTG_FS_DOEPCTLx レジスタ（OUT または双方向エンドポイントの場合）の以下のフィールドにプログラムします。
   - 最大パケットサイズ
   - USB アクティブエンドポイント = 1
   - エンドポイント開始データトグル（割り込みおよびバルクエンドポイントの場合）
   - エンドポイントタイプ
   - TxFIFO 番号

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

2. エンドポイントがアクティブ化されると、コアは、そのエンドポイントに宛てたトークンのデコードを開始し、そのエンドポイントで受信された有効な各トークンについて有効なハンドシェイクを送出します。

エンドポイントの機能停止

このセクションでは、既存のエンドポイントの機能を停止させるために必要な手順について説明します。

1. 機能を停止するエンドポイントで、OTG_FS_DIEPCTLx レジスタ（IN または双方向エンドポイントの場合）、または OTG_FS_DOEPCTLx レジスタ（OUT または双方向エンドポイントの場合）の USB 有効エンドポイントビットをクリアします。
2. エンドポイントの機能が停止されると、コアは、そのエンドポイントに宛てたトークンを無視するので、USB 上でタイムアウトが発生します。

注： ***アプリケーションは、以下の条件を満たすように、デバイスコアがトラフィックを処理できるようにセットアップする必要があります。***
OTG_FS_GINTMSK レジスタの NPTXFEM および RXFLVLM をクリアする必要があります。

34.17.6 動作モデル

SETUP および OUT データ転送

このセクションでは、データ OUT 転送および SETUP トランザクション時の内部データフローとアプリケーションレベルの動作について説明します。

- **パケットの読み出し**

このセクションでは、受信 FIFO からパケット（OUT データおよび SETUP パケット）を読み出す方法について説明します。

1. RXFLVL 割り込み（OTG_FS_GINTSTS レジスタ）を受信すると、アプリケーションは、受信ステータスポップレジスタ（OTG_FS_GRXSTSP）を読み出す必要があります。
2. アプリケーションは、RXFLVL = 0（OTG_FS_GINTMSK レジスタ）を書き込むことによって、受信 FIFO からのパケット読み出しが終了するまで、RXFLVL 割り込み（OTG_FS_GINTSTS レジスタ）をマスクすることができます。
3. 受信パケットのバイトカウントが 0 でない場合、データのバイトカウントは受信データ FIFO からポップされ、メモリに格納されます。受信パケットのバイトカウントが 0 の場合、受信データ FIFO からデータはポップされません。
4. 受信 FIFO のパケットステータスの読み出し結果は、以下のいずれかを示します。
   a) グローバル OUT NAK のパターン：
   PKTSTS = グローバル OUT NAK、BCNT = 0x000、EPNUM = 無視（0x0）、DPID = 無視（0b00）。
   これらのデータは、グローバル OUT NAK ビットが有効になっていることを示します。
   b) SETUP パケットのパターン：
   PKTSTS = SETUP、BCNT = 0x008、EPNUM = 制御 EP 番号、DPID = D0。これらのデータは、指定されたエンドポイントの SETUP パケットを受信 FIFO から読み出せることを示します。
   c) セットアップステージ終了パターン：
   PKTSTS = セットアップステージ終了、BCNT = 0x0、EPNUM = 制御 EP 番号、DPID = 無視（0b00）。
   これらのデータは、指定されたエンドポイントのセットアップステージが完了し、データステージが開始されたことを示します。このエントリが受信 FIFO からポップされた後、コアは、指定された制御 OUT エンドポイントでセットアップ割り込みをアサートします。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

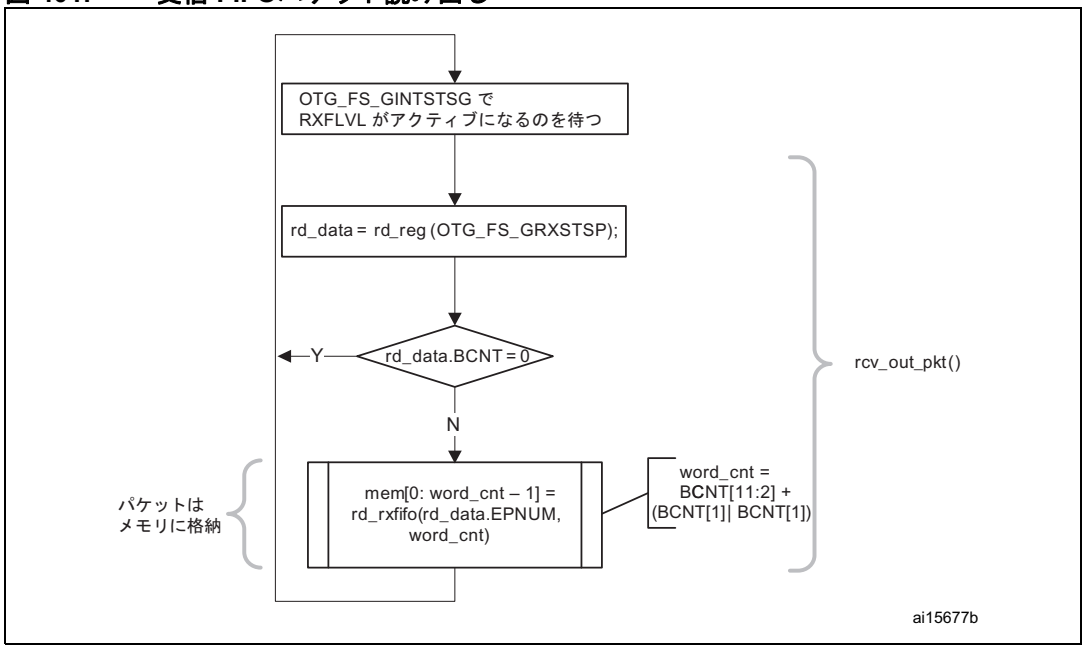
d) データ OUT パケットのパターン：
PKTSTS = データ OUT、BCNT = 受信データOUTパケットのサイズ（0 ≤ BCNT ≤ 1 024）、EPNUM = パケットを受信したEPNUM、DPID = 実際のデータ PID。

e) データ転送完了パターン：
PKTSTS = データ OUT 転送終了、BCNT = 0x0、EPNUM = データ転送が完了した OUT EP 番号、DPID = 無視（0b00）。
これらのデータは、指定された OUT エンドポイントの OUT データ転送が完了したことを示します。このエントリが受信 FIFO からポップされた後、コアは、指定された OUT エンドポイントで転送完了割り込みをアサートします。

5. データペイロードが受信 FIFO からポップされた後、RXFLVL 割り込み（OTG_FS_GINTSTS）がマスク解除されなければなりません。
6. 手順 1～5 は、アプリケーションが OTG_FS_GINTSTS レジスタの RXFLVL による割り込みラインのアサーションを検出するたびに繰り返されます。空の受信 FIFO を読み出すと、定義されていないコア動作を引き起こすことがあります。

図 401 は上記の手順のフローチャートです。

図 401. 受信 FIFOパケット読み出し



- **SETUP トランザクション**

このセクションでは、コアが SETUP パケットを処理する方法と、SETUP トランザクションを処理するアプリケーションのシーケンスについて説明します。

- **アプリケーションの要件**

1. SETUP パケットを受信するには、制御 OUT エンドポイントの STUPCNT フィールド（OTG_FS_DOEPTSIZx レジスタ）が、ゼロでない値にプログラムされなければなりません。アプリケーションが STUPCNT フィールドをゼロでない値にプログラムすると、NAK のステータスと OTG_FS_DOEPCTLx レジスタの EOENA ビットの設定に関係なく、コアは、SETUP パケットを受信して、受信 FIFO に書き込みます。STUPCNT フィールドは、制御エンドポイントが SETUP パケットを受信するたびにデクリメントされます。SETUP パケットを受信する前に、STUPCNT フィールドが適切な値にプログラムされていなかった場合、コアは SETUP パケットを受信し、STUPCNT フィールドをデクリメントしますが、アプリケーションは制御転送のセットアップステージで受信した SETUP パケットの正しい数を判定できないことがあります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

– OTG_FS_DOEPTSIZx レジスタの STUPCNT = 3

2. 制御エンドポイントで 3 つまでの SETUP パケットを受信するためには、アプリケーションは、常に受信データ FIFO に余分のスペースを割り当てておく必要があります。
   – 確保すべきスペースは 10 ワード分です。最初の SETUP パケット用に 3 ワードが必要であり、セットアップステージ終了ワードのために 1 ワード、すべての制御エンドポイントにわたって 2 つの余分な SETUP パケットを格納するために 6 ワードが必要です。
   – 8 バイトの SETUP データと 4 バイトの SETUP ステータス（セットアップパケットパターン）を格納するには、SETUP パケットあたり 3 ワードが必要です。コアは、このスペースを受信データの中に確保します。
   – FIFO は SETUP データのみを書き込むためのものであり、このスペースをデータパケットのために使うことはありません。
3. アプリケーションは、受信 FIFO から SETUP パケットの 2 ワードを読み出す必要があります。
4. アプリケーションは受信 FIFO からセットアップステージ終了ワードを読み出して、破棄する必要があります。

- **内部データフロー**

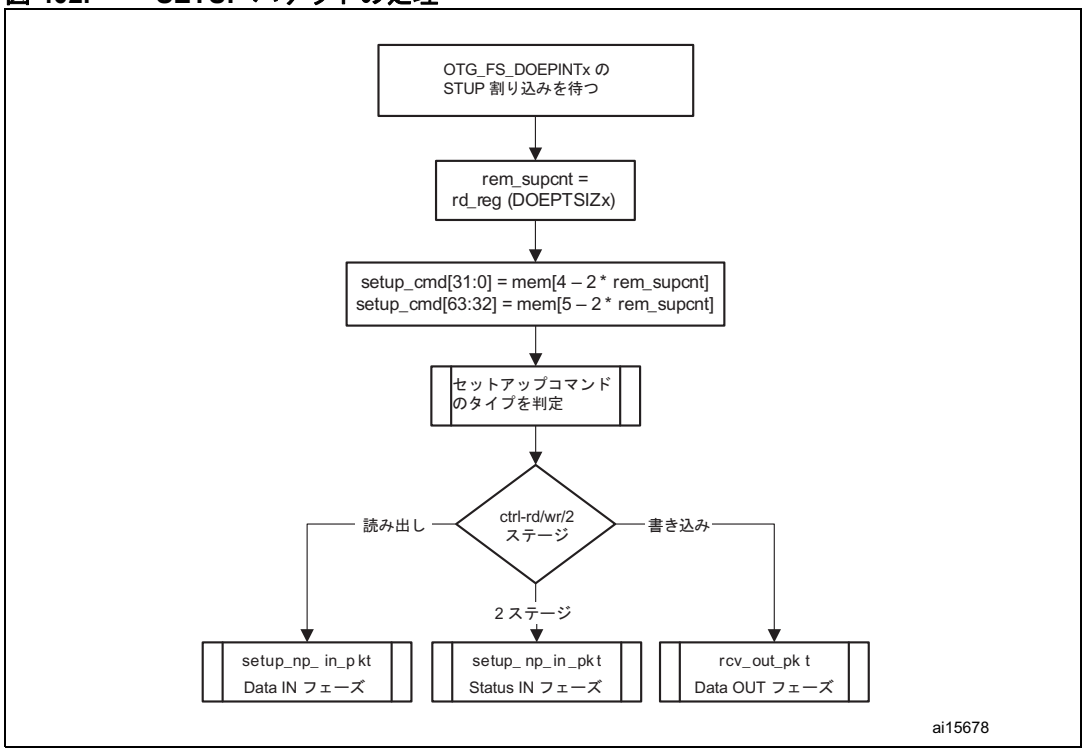
5. SETUP パケットが受信されると、コアは受信 FIFO 内の空きスペースをチェックせずに、また、エンドポイントの NAK および STALL ビットの設定に関係なく、受信したデータを受信 FIFO に書き込みます。
   – コアは、SETUP パケットが受信された制御 IN/OUT エンドポイントの IN NAK および OUT NAK ビットを内部でセットします。
6. USB 上で受信された各 SETUP パケットについて、3 ワードのデータが受信 FIFO に書き込まれ、STUPCNT フィールドが 1 ずつデクリメントされます。
   – 最初のワードは、コアが内部的に使用する制御情報を含みます。
   – 2 番目のワードは、SETUP コマンドの最初の 4 バイトを含みます。
   – 3 番目のワードは、SETUP コマンドの最後の 4 バイトを含みます。
7. セットアップステージがデータ IN/OUT ステージに変わると、コアは、エントリ（セットアップステージ終了ワード）を受信 FIFO に書き込んで、セットアップステージの完了を示します。
8. AHB 側では、SETUP パケットはアプリケーションによってエンプティにされます。
9. アプリケーションが受信 FIFO からセットアップステージ終了ワードをポップすると、コアは、STUP 割り込み（OTG_FS_DOEPINTx）でアプリケーションに割り込んで、受信した SETUP パケットを処理できることを示します。
   – コアは、制御 OUT エンドポイントのエンドポイントイネーブルビットをクリアします。

- **アプリケーションのプログラミングシーケンス**：

1. OTG_FS_DOEPTSIZx レジスタをプログラムします。
   – STUPCNT = 3
2. RXFLVL 割り込み（OTG_FS_GINTSTS）を待ち、受信 FIFO からデータパケットをエンプティにします。
3. STUP 割り込み（OTG_FS_DOEPINTx）のアサートは、SETUP データ転送が正常に完了したことを示します。
   – この割り込み時、アプリケーションは、OTG_FS_DOEPTSIZx レジスタを読み出して、受信した SETUP パケットの数を確認し、最後に受信した SETUP パケットを処理する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 402. SETUP パケットの処理



- **3 つを超える連続 SETUP パケットの処理**

USB 2.0 の仕様に従い、通常、SETUP パケットエラー時には、ホストは同じエンドポイントに対して 3 つを超える連続 SETUP パケットを送信しません。ただし、USB 2.0 仕様では、ホストが同じエンドポイントに送信できる連続 SETUP パケットの数を制限してはいません。この条件が発生すると、OTG_FS コントローラは、割り込み（OTG_FS_DOEPINTx の B2BSTUP）を生成します。

- **グローバル OUT NAK の設定**

内部データフロー：

1. アプリケーションがグローバル OUT NAK（OTG_FS_DCTL の SGONAK ビット）をセットすると、コアは、SETUP パケットを除き、受信 FIFO へのデータの書き込みを停止します。受信 FIFO の使用可能なスペースの有無に関係なく、非アイソクロナス OUT トークンは NAK ハンドシェイクレスポンスを受信し、コアはアイソクロナス OUT データパケットを無視します。
2. コアは、グローバル OUT NAK パターンを受信 FIFO に書き込みます。アプリケーションがこのデータパターンを書き込むには、受信 FIFO に十分なスペースを確保する必要があります。
3. アプリケーションがグローバル OUT NAK パターンワードを受信 FIFO からポップすると、コアは、GONAKEFF 割り込み（OTG_FS_GINTSTS）を生成します。
4. この割り込みを検出したアプリケーションは、コアがグローバル OUT NAK モードにあるとみなすことができます。アプリケーションは、OTG_FS_DCTL の SGONAK ビットをクリアすることによって、この割り込みをクリアできます。

アプリケーションのプログラミングシーケンス：

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

1. 受信 FIFO でのデータの受信も停止するには、アプリケーションは、以下のフィールドをプログラムすることによって、グローバル OUT NAK ビットをセットする必要があります。
   – OTG_FS_DCTL の SGONAK = 1
2. OTG_FS_GINTSTS の GONAKEFF 割り込みのアサートを待ちます。アサートされた場合、この割り込みは、コアが SETUP パケット以外のいかなるタイプのデータの受信も停止したことを示します。
3. アプリケーションは、OTG_FS_DCTL の SGONAK ビットをセットした後、コアが GONAKEFF 割り込み（OTG_FS_GINTSTS）をアサートする前に、有効な OUT パケットを受信することができます。
4. アプリケーションは、OTG_FS_GINTMSK レジスタの GINAKEFFM ビットに書き込むことによって、この割り込みを一時的にマスクできます。
   – OTG_FS_GINTMSK レジスタの GINAKEFFM = 0
5. アプリケーションがグローバル OUT NAK モードを終了する準備ができたときには、OTG_FS_DCTL レジスタの SGONAK ビットをクリアする必要があります。これによって、GONAKEFF 割り込み（OTG_FS_GINTSTS）もクリアされます。
   – CGOBAK の OTG_FS_DCTL = 1
6. アプリケーションがこの割り込みをマスクするのが早すぎた場合は、以下のようにしてマスク解除を行う必要があります。
   – GINTMSK の GINAKEFFM = 1

- **OUT エンドポイントの無効化**

アプリケーションが有効にした OUT エンドポイントを無効にするには、このシーケンスを使用する必要があります。

アプリケーションのプログラミングシーケンス：

1. OUT エンドポイントを無効にする前に、アプリケーションは、コアのグローバル OUT NAK モードを有効にする必要があります。
   – OTG_FS_DCTL の SGONAK = 1
2. OTG_FS_GINTSTS の GONAKEFF 割り込みを待ちます。
3. 以下のフィールドをプログラムすることによって、必要な OUT エンドポイントを無効にします。
   – OTG_FS_DOEPCTLx の EPDIS = 1
   – OTG_FS_DOEPCTLx の SNAK = 1
4. EPDISD 割り込み（OTG_FS_DOEPINTx）を待ちます。これは、OUT エンドポイントが完全に無効にされたことを示します。EPDISD 割り込みがアサートされると、コアは、以下のビットもクリアします。
   – OTG_FS_DOEPCTLx の EPDIS = 0
   – OTG_FS_DOEPCTLx の EPENA = 0
5. アプリケーションは、無効にされていない他のエンドポイントからのデータ受信を開始するために、グローバル OUT NAK ビットをクリアする必要があります。
   – OTG_FS_DCTL の SGONAK = 0

- **一般の非アイソクロナス OUT データ転送**

このセクションでは、通常の非アイソクロナス OUT データ転送（制御、バルク、または割り込み）について説明します。

アプリケーションの要件：

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

1. OUT 転送をセットアップする前に、アプリケーションは、OUT 転送の一部として受信されるすべてのデータを収容できるバッファをメモリ内で割り当てる必要があります。
2. OUT 転送の場合、エンドポイントの転送サイズレジスタの転送サイズフィールドは、エンドポイントの最大パケットサイズの倍数でなければならず、ワードの境界に揃えられていなければなりません。
   – 転送サイズ[EPNUM] = *n* × (MPSIZ[EPNUM] + 4 – (MPSIZ[EPNUM] mod 4))
   – パケットカウント[EPNUM] = *n*
   – *n* > 0
3. OUT エンドポイント割り込み時には、アプリケーションは、エンドポイントの転送サイズレジスタを読み出して、メモリ内のペイロードのサイズを計算しなければなりません。受信したペイロードのサイズが、プログラムされた転送サイズより小さいこともあります。
   – メモリ内のペイロードのサイズ = アプリケーションがプログラムした初期ペイロードサイズ – コアが更新した最終転送サイズ
   – このペイロードが受信された USB パケットの数 = アプリケーションがプログラムした初期パケット数 – コアが更新した最終パケット数

内部データフロー：

1. アプリケーションがデータを受信するためには、エンドポイント固有レジスタの転送サイズおよびパケット数フィールドを設定し、NAK ビットをクリアし、エンドポイントを有効にする必要があります。
2. NAK ビットがクリアされると、コアは、データの受信を開始し、受信 FIFO にスペースがある限り、データを受信 FIFO に書き込みます。USB で受信された各データパケットについて、データパケットとそのステータスが受信 FIFO に書き込まれます。受信 FIFO にパケット（最大パケットサイズまたはショートパケット）が書き込まれるたびに、そのエンドポイントのパケットカウントフィールドが 1 ずつデクリメントされます。
   – 受信された OUT データパケットのデータ CRC が不良な場合、受信 FIFO から自動的にフラッシュされます。
   – USB 上のパケットに対して ACK を送信した後、コアは、ACK を検出できないホストが再送信する非アイソクロナス OUT データパケットを破棄します。アプリケーションは、同じエンドポイント上では、同じデータ PID を持つ複数の連続データ OUT パケットを検出しません。この場合、パケットカウントはデクリメントされません。
   – 受信 FIFO にスペースがない場合、アイソクロナスまたは非アイソクロナスデータパケットは無視され、受信 FIFO には書き込まれません。さらに、非アイソクロナス OUT トークンは NAK ハンドシェイク応答を受信します。
   – 上記の 3 つのケースのすべてにおいて、データは受信 FIFO に書き込まれないので、パケットカウントはデクリメントされません。
3. パケットカウントが 0 になるか、エンドポイント上でショートパケットが受信されると、そのエンドポイントの NAK ビットがセットされます。NAK ビットがセットされると、アイソクロナスまたは非アイソクロナスデータパケットは無視され、受信 FIFO には書き込まれず、非アイソクロナス OUT トークンは NAK ハンドシェイク応答を受信します。
4. データが受信 FIFO に書き込まれた後、アプリケーションは受信 FIFO からデータを読み出して、エンドポイントあたり一度に 1 パケットずつ外部メモリに書き込みます。
5. AHB 上で外部メモリへのパケットの書き込みが終わるたびに、書き込まれたパケットのサイズだけエンドポイントの転送サイズがデクリメントされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

6. 以下の条件の 1 つで、OUT エンドポイントの OUT データ転送完了パターンが受信 FIFO に書き込まれます。
   – 転送サイズが 0、およびパケットカウントが 0。
   – 受信 FIFO に書き込まれた最後の OUT データパケットがショートパケット。
   (0 ≤ パケットサイズ< 最大パケットサイズ）
7. アプリケーションがこのエントリ（OUT データ転送完了）をポップするか、エンドポイントの転送完了割り込みが生成されるか、エンドポイントイネーブルがクリアされたとき。

アプリケーションのプログラミングシーケンス：

1. OTG_FS_DOEPTSIZx レジスタで転送サイズおよび対応するパケットカウントをプログラムします。
2. OTG_FS_DOEPCTLx レジスタをエンドポイントの特性でプログラムし、EPENA および CNAK ビットをセットします。
   – OTG_FS_DOEPCTLx の EPENA = 1
   – OTG_FS_DOEPCTLx の CNAK = 1
3. RXFLVL 割り込み（OTG_FS_GINTSTS）を待ち、受信 FIFO からデータパケットをエンプティにします。
   – この手順は、転送サイズに応じて何度でも繰り返すことができます。
4. XFRC 割り込み（OTG_FS_DOEPINTx）のアサートは、非アイソクロナス OUT データ転送が正常に完了したことを示します。
5. OTG_FS_DOEPTSIZx レジスタを読み出して、受信したデータペイロードのサイズを確認します。

- **一般のアイソクロナス OUT データ転送**

このセクションでは、通常のアイソクロナス OUT データ転送について説明します。

アプリケーションの要件：

1. 非アイソクロナス OUT データ転送のアプリケーションの要件はすべて、アイソクロナス OUT データ転送にも適用されます。
2. アイソクロナス OUT データ転送の場合、転送サイズおよびパケットカウントフィールドは、常に、単一フレームで受信できる最大パケットサイズのパケット数に設定されなければなりません。アイソクロナス OUT データ転送は、複数のフレームにまたがってはなりません。
3. アプリケーションは、周期的フレームの終わり（OTG_FS_GINTSTS の EOPF 割り込み）の前に、受信 FIFO からすべてのアイソクロナス OUT データパケット（データとステータス）を読み出す必要があります。
4. 次のフレームでデータを受信するには、EOPF（OTG_FS_GINTSTS）の後と SOF（OTG_FS_GINTSTS）の前に、アイソクロナス OUT エンドポイントを有効にしなければなりません。

内部データフロー：

1. アイソクロナス OUT エンドポイントの内部データフローは、非アイソクロナス OUT エンドポイントの内部データフローと基本的に同じですが、少し異なったところがあります。
2. エンドポイントイネーブルビットををセットし、NAK ビットをクリアすることによって、アイソクロナス OUT エンドポイントが有効にされたときには、偶数／奇数フレームビットも適切にセットされなければなりません。コアは、以下の条件が満たされた場合に限り、アイソクロナス OUT エンドポイント上で特定のフレームのデータを受信します。
   – EONUM（OTG_FS_DOEPCTLx レジスタ）= SOFFN[0] （OTG_FS_DSTS レジスタ）

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

3. アプリケーションが受信 FIFO からアイソクロナス OUT データパケット（データとステータス）を完全に読み出すと、コアは、OTG_FS_DOEPTSIZx レジスタの RXDPID フィールドを、受信 FIFO から読み出された最後のアイソクロナス OUT データパケットのデータ PID で更新します。

アプリケーションのプログラミングシーケンス：

1. OTG_FS_DOEPTSIZx レジスタで転送サイズおよび対応するパケットカウントをプログラムします。
2. OTG_FS_DOEPCTLx レジスタをエンドポイントの特性でプログラムし、エンドポイントイネーブル、ClearNAK、および偶数／奇数フレームの各ビットをセットします。
   – EPENA = 1
   – CNAK = 1
   – EONUM =（0：偶数／1：奇数）
3. RXFLVL 割り込み（OTG_FS_GINTSTS）を待ち、受信 FIFO からのデータパケットをエンプティにします。
   – この手順は、転送サイズに応じて何度でも繰り返すことができます。
4. XFRC 割り込み（OTG_FS_DOEPINTx）のアサートは、アイソクロナス OUT データ転送が正常に完了したことを示します。この割り込みは、必ずしもメモリ内のデータが良好であることを意味しません。
5. この割り込みは、アイソクロナス OUT 転送で必ず検出されるとは限りません。その代わり、アプリケーションは、OTG_FS_GINTSTS の IISOOXFRM 割り込みを検出することができます。
6. OTG_FS_DOEPTSIZx レジスタを読み出して、受信した転送データのサイズを確認し、フレームで受信したデータの有効性を確認します。アプリケーションは、以下の条件の 1 つが満たされた場合のみ、メモリに受信されたデータを有効として扱う必要があります。
   – RXDPID = D0（OTG_FS_DOEPTSIZx レジスタ）、およびこのペイロードが受信された USB パケットの数 = 1
   – RXDPID = D1（OTG_FS_DOEPTSIZx レジスタ）、およびこのペイロードが受信された USB パケットの数 = 2
   – RXDPID = D2（OTG_FS_DOEPTSIZx レジスタ）、およびこのペイロードが受信された USB パケットの数 = 3

   このペイロードが受信された USB パケットの数 =
   アプリケーションがプログラムした初期パケットカウント - コアが更新した最終パケットカウント

   アプリケーションは、無効なデータパケットを破棄できます。

- **不完全アイソクロナス OUT データ転送**

このセクションでは、アイソクロナス OUT データパケットがコアの内部でドロップされたときのアプリケーションのプログラミングシーケンスについて説明します。

内部データフロー：

1. アイソクロナス OUT エンドポイントの場合、XFRC 割り込み（OTG_FS_DOEPINTx）は必ずアサートされるわけではありません。コアがアイソクロナス OUT データパケットをドロップした場合、アプリケーションは以下の状況で XFRC 割り込み（OTG_FS_DOEPINTx）の検出に失敗することがあります。
   – 受信 FIFO が完全な ISO OUT データパケットを収容できない場合、コアは、受信した ISO OUT データをドロップします。
   – アイソクロナス OUT データパケットが CRC エラー付きで受信されたとき。
   – コアが受信したアイソクロナス OUT トークンが破損しているとき。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

– アプリケーションが受信 FIFO からデータを読み出すのに長時間かかっているとき。

2. コアが、すべてのアイソクロナスエンドポイントへの転送を完了する前に周期的フレームの終わりを検出すると、不完全アイソクロナス OUT データ転送割り込み（OTG_FS_GINTSTS レジスタの IISOOXFRM）をアサートして、アイソクロナスエンドポイントのうち少なくとも 1 つで XFRC 割り込み（OTG_FS_DOEPINTx）がアサートされていないことを示します。この時点で、不完全転送のエンドポイントは有効なままですが、USB 上のこのエンドポイントでは、有効な転送は進行していません。

アプリケーションのプログラミングシーケンス：

1. IISOOXFRM 割り込み（OTG_FS_GINTSTS）のアサートは、現在のフレームで、少なくとも 1 つのアイソクロナス OUT エンドポイントが転送を完了していないことを示します。
2. アイソクロナス OUT データがエンドポイントから完全に出されていないためにこの割り込みが発生した場合、アプリケーションは処理を進める前に、受信 FIFO からすべてのアイソクロナス OUT データ（データとステータス）を出す必要があります。
   – すべてのデータが受信 FIFO から出されて、受信 FIFO がエンプティになると、アプリケーションは XFRC 割り込み（OTG_FS_DOEPINTx）を検出することができます。この場合、アプリケーションは、次のフレームでアイソクロナス OUT データを受信するには、エンドポイントを再び有効にする必要があります。
3. IISOOXFRM 割り込み（OTG_FS_GINTSTS）を受信すると、アプリケーションは、すべてのアイソクロナス OUT エンドポイントの制御レジスタ（OTG_FS_DOEPCTLx）を読み出して、現在のマイクロフレームにおいて転送を完了しなかったエンドポイントを確認する必要があります。次の両方の条件が満たされた場合、エンドポイント転送は完了しません。
   – EONUM ビット（OTG_FS_DOEPCTLx）= SOFFN[0] （OTG_FS_DSTS）
   – OTG_FS_DOEPCTLx の EPENA = 1
4. 現在のフレーム番号が変更されないように、上記の手順は、SOF 割り込み（OTG_FS_GINTSTS）が検出される前に実行されなければなりません。
5. 不完全転送のアイソクロナス OUT エンドポイントの場合、アプリケーションは、メモリ内のデータを破棄し、OTG_FS_DOEPCTLx レジスタの EDPIS ビットをセットすることによってエンドポイントを無効にする必要があります。
6. EPDIS 割り込み（OTG_FS_DOEPINTx）を待ち、次のフレームで新しいデータを受信するために、エンドポイントを有効にします。
   – コアがエンドポイントを無効にするには若干の時間がかかるので、アプリケーションは不良なアイソクロナスデータを受信した後、次のフレームのデータを受信できないことがあります。

- **非アイソクロナス OUT エンドポイントの停止**

このセクションでは、アプリケーションが非アイソクロナスエンドポイントを停止する方法について説明します。

1. コアをグローバル OUT NAK モードにします。
2. 必要なエンドポイントを無効にします。
   – エンドポイントを無効にするときには、OTG_FS_DOEPCTL の SNAK ビットをセットする代わりに、STALL = 1 にセットしてください（OTG_FS_DOEPCTL）。

     常に STALL ビットが NAK ビットに優先します。
3. アプリケーションがエンドポイントの STALL ハンドシェイクを終了する準備ができたときには、STALL ビット（OTG_FS_DOEPCTLx）をクリアしなければなりません。
4. アプリケーションが SetFeature.Endpoint Halt または ClearFeature.Endpoint Halt コマンドのためにエンドポイントの STALL ビットをセットまたはクリアする場合には、STALL ビットは、アプリケーションが制御エンドポイントでステータスステージ転送をセットアップする前にセットまたはクリアされなければなりません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

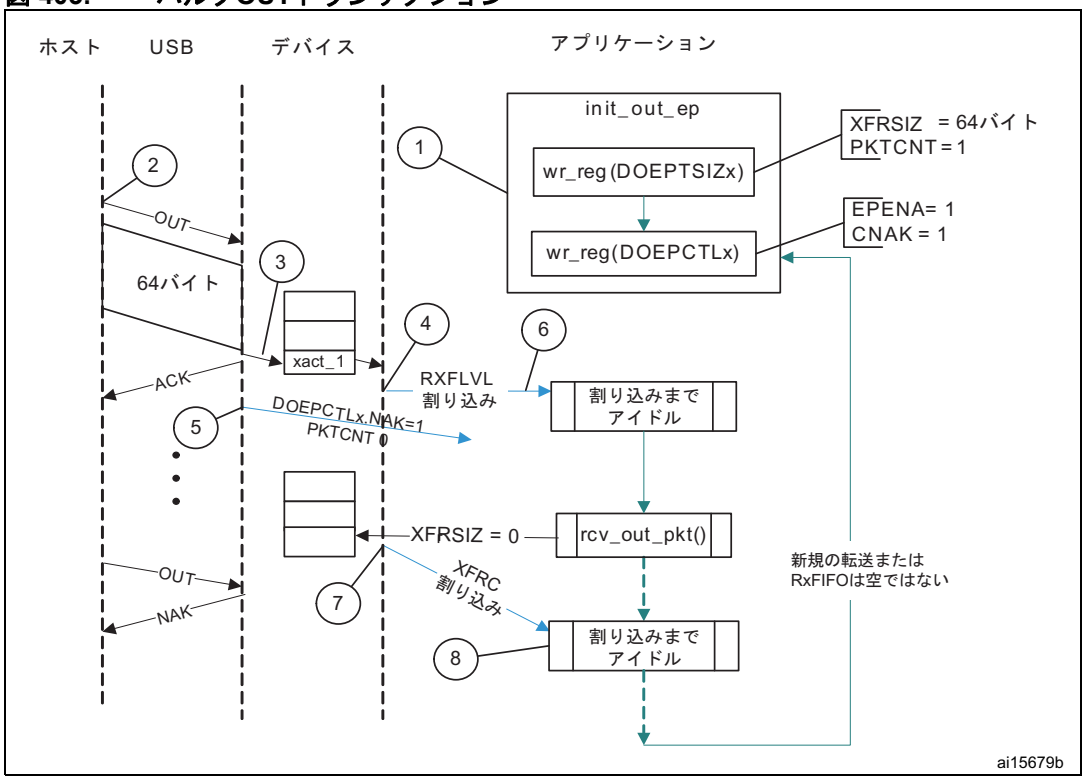
例

このセクションでは、いくつかの基本的な転送タイプとシナリオについて説明します。

- バルク OUT トランザクション

図 403 に、USB から AHB への単一バルク OUT データパケットの受信と、このプロセスに伴うイベントを示します。

図 403. バルクOUTトランザクション



SetConfiguration/SetInterface コマンドの後、アプリケーションは、CNAK = 1 および EPENA = 1（OTG_FS_DOEPCTLx レジスタ）をセットし、OTG_FS_DOEPTSIZx レジスタの適切な XFRSIZ および PKTCNT ビットをセットすることによって、すべての OUT エンドポイントを初期化します。

1. ホストは、データ（OUT トークン）のエンドポイントへの送信を試みます。
2. コアは、USB 上で OUT トークンを受信すると、スペースが使用可能なので、RxFIFO にパケットを格納します。
3. RxFIFO に完全なパケットを書き込んだ後、コアは RXFLVL 割り込み（OTG_FS_GINTSTS）をアサートします。
4. USB パケットの PKTCNT 番号を受信すると、コアは、それ以上パケットが受信されないように、このエンドポイントの NAK ビットを内部でセットします。
5. アプリケーションは割り込みを処理して、RxFIFO からデータを読み出します。
6. アプリケーションがすべてのデータ（XFRSIZ に相当）を読み出すと、コアは、XFRC 割り込み（OTG_FS_DOEPINTx）を生成します。
7. アプリケーションは割り込みを処理して、XFRC 割り込みビット（OTG_FS_DOEPINTx）の設定を使用して、意図した転送が完了したかどうかを確認します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

IN データ転送

- **パケットの書き込み**

このセクションでは、専用の送信 FIFO が有効なときに、アプリケーションがデータパケットをエンドポイント FIFO に書き込む方法について説明します。

1. アプリケーションは、ポーリングまたは割り込みモードのいずれかを選択できます。
   - ポーリングモードでは、アプリケーションは、OTG_FS_DTXFSTSx レジスタを読み出すことによってエンドポイント送信データ FIFO のステータスを監視して、データ FIFO に十分なスペースがあるかどうかを確認します。
   - 割り込みモードでは、アプリケーションは、TXFE 割り込み（OTG_FS_DIEPINTx）を待ってから、OTG_FS_DTXFSTSx レジスタを読み出して、データ FIFO 内に十分なスペースがあるかどうかを確認します。
   - 単一の非ゼロ長データパケットを書き込むには、パケット全体を書き込むためのスペースがデータ FIFO になければなりません。
   - ゼロ長パケットを書き込むには、アプリケーションは FIFO のスペースを考慮してはなりません。
2. 上記の方法の 1 つを使用して、アプリケーションが送信パケットを書き込むのに十分なスペースがあることを確認するときには、アプリケーションは、データをデータ FIFO に書き込む前に、まず、エンドポイント制御レジスタに書き込む必要があります。通常、アプリケーションは、エンドポイントイネーブルビットをセットする場合を除き、レジスタの内容を変更しないように、OTG_FS_DIEPCTLx レジスタにリードモディファイライトを行う必要があります。

アプリケーションは、使用可能なスペースがあれば、同じエンドポイントに対する複数のパケットを送信 FIFO に書き込むことができます。周期的 IN エンドポイントの場合、アプリケーションは 1 つのマイクロフレームのパケットのみを書き込む必要があります。アプリケーションは、前のトランザクションの転送完了割り込みを受信した後でのみ、次の周期的トランザクションのパケットを書き込むことができます。

- **IN エンドポイント NAK の設定**

内部データフロー：

1. アプリケーションが特定のエンドポイントの IN NAK をセットすると、コアは、エンドポイントの送信 FIFO にデータがあるかどうかに関係なく、そのエンドポイントでのデータ送信を停止します。
2. 非アイソクロナス IN トークンは NAK ハンドシェイク応答を受信します。
   - アイソクロナス IN トークンはゼロデータ長のパケット応答を受信します。
3. コアは、OTG_FS_DIEPCTLx の SNAK ビットに応答して、OTG_FS_DIEPINTx の INEPNE 割り込み（IN エンドポイント NAK 有効）をアサートします。
4. この割り込みがアプリケーションによって検出されると、アプリケーションは、エンドポイントが IN NAK モードにあるとみなすことができます。この割り込みは、アプリケーションが OTG_FS_DIEPCTLx の CNAK ビットをセットすることによってクリアできます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

アプリケーションのプログラミングシーケンス：

1. 特定の IN エンドポイントでのデータ送信を停止するには、アプリケーションは、IN NAK ビットをセットする必要があります。このビットをセットするには、以下のフィールドをプログラムする必要があります。
   – OTG_FS_DIEPCTLx の SNAK = 1
2. OTG_FS_DIEPINTx の INEPNE 割り込みのアサートを待ちます。この割り込みは、コアがエンドポイントでのデータ送信を停止したことを示します。
3. コアは、アプリケーションが NAK ビットをセットした後、NAK 有効割り込みがアサートされる前に、エンドポイントで有効な IN データを送信できます。
4. アプリケーションは、DIEPMSK の INEPNEM ビットに書き込むことによって、この割り込みを一時的にマスクできます。
   – DIEPMSK の INEPNEM = 0
5. エンドポイント NAK モードを終了するには、アプリケーションは、OTG_FS_DIEPCTLx の NAK ステータスビット（NAKSTS）をクリアする必要があります。これによって、INEPNE 割り込み（OTG_FS_FS_DIEPINTx）もクリアされます。
   – OTG_FS_DIEPCTLx の CNAK = 1
6. アプリケーションがこの割り込みをマスクするのが早すぎた場合、以下のようにしてマスク解除を行う必要があります。
   – DIEPMSK の INEPNEM = 1

- **IN エンドポイントディセーブル**

以前に有効にされた特定の IN エンドポイントを無効にするには、以下のシーケンスを使用します。

アプリケーションのプログラミングシーケンス：

1. アプリケーションは、AHB でのデータ書き込みを停止して、IN エンドポイントを無効にする必要があります。
2. アプリケーションは、エンドポイントを NAK モードに設定する必要があります。
   – OTG_FS_DIEPCTLx の SNAK = 1
3. OTG_FS_DIEPINTx の INEPNE 割り込みを待ちます。
4. 無効にしなければならないエンドポイントについて、OTG_FS_DIEPCTLx レジスタの以下のビットをセットします。
   – OTG_FS_DIEPCTLx の EPDIS = 1
   – OTG_FS_DIEPCTLx の SNAK = 1
5. OTG_FS_DIEPINTx レジスタの EPDISD 割り込みのアサートは、コアが指定されたエンドポイントを完全に無効にしたことを示します。割り込みのアサートとともに、コアは、以下のビットもクリアします。
   – OTG_FS_DIEPCTLx の EPENA = 0
   – OTG_FS_DIEPCTLx の EPDIS = 0
6. アプリケーションは、周期的 IN EP について OTG_FS_DIEPTSIZx レジスタを読み出して、エンドポイント上のどれだけのデータが USB で送信されたかを計算する必要があります。
7. アプリケーションは、OTG_FS_GRSTCTL レジスタの以下のフィールドを設定することによって、エンドポイント送信 FIFO 内のデータをフラッシュする必要があります。
   – TXFNUM（OTG_FS_GRSTCTL）= エンドポイント送信 FIFO 番号
   – OTG_FS_GRSTCTL の TXFFLSH = 1

アプリケーションは、TXFFLSH ビットがコアによってクリアされるまで（フラッシュ動作が終了したことを示す）、OTG_FS_GRSTCTL レジスタにポーリングする必要があります。このエンドポイントで新しいデータを送信するために、アプリケーションは後で、エンドポイントを再び有効にできます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

- **一般の非周期的 IN データ転送**

アプリケーションの要件：

1. IN 転送をセットアップする前に、アプリケーションは、IN 転送の一部として送信されるすべてのデータが単一バッファの一部であることを確認する必要があります。
2. IN 転送の場合、エンドポイント転送サイズレジスタの転送サイズフィールドは、最大パケットサイズの複数のパケットと単一のショートパケットから成るペイロードを表します。このショートパケットは、送信の最後に送信されます。
   – 転送の終わりに少数の最大パケットサイズのパケットとショートパケットを送信するには：

     転送サイズ[EPNUM] = *x* × MPSIZ[EPNUM] + sp

     （sp > 0）の場合、パケットカウント [EPNUM] = x + 1。
     そうでない場合、パケットカウント EPNUM] = x
   – 単一のゼロ長データパケットを送信するには：

     転送サイズ [EPNUM] = 0

     パケットカウント [EPNUM] = 1
   – 転送の終わりに少数の最大パケットサイズのパケットとゼロ長データパケットを送信するには、アプリケーションは転送を 2 つの部分に分ける必要があります。最初の部分では最大パケットサイズのデータパケットを送信し、2 番目の部分ではゼロ長データパケットのみを送信します。

     最初の転送：転送サイズ [EPNUM] = x × MPSIZ[epnum]; パケットカウント = n;

     2 番目の転送：転送サイズ [EPNUM] = 0; パケットカウント = 1;
3. エンドポイントがデータ転送のために有効にされると、コアは、転送サイズレジスタを更新します。IN 転送の終了時に、アプリケーションは、転送サイズレジスタを読み出して、送信 FIFO にポストされたデータのうち、どれだけが USB で送信されたかを確認する必要があります。
4. 送信 FIFO にフェッチされたデータ = アプリケーションがプログラムした初期転送サイズ – コアが更新した最終転送サイズ
   – USB で送信されたデータ =（アプリケーションがプログラムした初期パケットカウント – コアが更新した最終パケットカウント）×MPSIZ[EPNUM]
   – USB 上でこれから送信されるデータ =（アプリケーションがプログラムした初期転送サイズ – USB で送信されたデータ）

内部データフロー：

1. アプリケーションは、エンドポイント固有レジスタの転送サイズおよびパケット数フィールドを設定して、データを送信するためにエンドポイントを有効にする必要があります。
2. アプリケーションは、要求されたデータをエンドポイントの送信 FIFO に書き込む必要もあります。
3. アプリケーションによってパケットが送信 FIFO に書き込まれるたびに、そのエンドポイントの転送サイズがパケットのサイズだけデクリメントされます。エンドポイントの転送サイズが 0 になるまで、データはアプリケーションによってメモリからフェッチされます。FIFO にデータを書き込んだ後、「FIFO 内のパケット数」はインクリメントされます（これは 3 ビットのカウントであり、各 IN エンドポイントの送信 FIFO について、コアによって内部で維持されます。IN エンドポイント FIFO 内にコアによって一度に維持されるパケットの最大数は 8 です）。ゼロ長のパケットの場合、各 FIFO について、FIFO 内にデータがないことを示す個別のフラグがセットされます。
4. データが送信 FIFO に書き込まれると、コアは、IN トークンの受信時に読み出します。非アイソクロナス IN データパケットが ACK ハンドシェイクとともに送信されるたびに、エンドポイントのパケットカウントは、0 になるまで 1 ずつデクリメントされます。パケットカウントは、タイムアウト時にはデクリメントされません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

5. ゼロ長パケットの場合（内部ゼロ長フラグで示されます）、コアは IN トークンのゼロ長パケットを送出し、パケットカウントフィールドをデクリメントします。
6. 受信された IN トークンのデータが FIFO になく、そのエンドポイントのパケットカウントフィールドがゼロの場合、コアは、そのエンドポイントについて、「TxFIFO がエンプティのとき IN トークンが受信された」という割り込み（ITTXFE 割り込み）を生成します。ただし、エンドポイントの NAK ビットがセットされていない場合に限ります。コアは、USB 上の非アイソクロナスエンドポイントに対して NAK ハンドシェイクで応答します。
7. コアは、内部で FIFO ポインタを巻き戻し、タイムアウト割り込みは生成されません。
8. 転送サイズが 0 であり、パケットカウントが 0 のとき、エンドポイントの転送完了割り込み（XFRC）が生成され、エンドポイントイネーブルビットがクリアされます。

アプリケーションのプログラミングシーケンス：

1. OTG_FS_DIEPTSIZx レジスタで転送サイズと対応するパケットカウントをプログラムします。
2. OTG_FS_DIEPCTLx レジスタをエンドポイントの特性でプログラムし、CNAK および EPENA（エンドポイントイネーブル）ビットをセットします。
3. 非ゼロ長データパケットを送信するときには、アプリケーションは、OTG_FS_DTXFSTSx レジスタ（x はそのエンドポイントに関連する FIFO 番号）にポーリングして、データ FIFO に十分なスペースがあるかどうかを確認する必要があります。アプリケーションは、データを書き込む前に、オプションで TXFE（OTG_FS_DIEPINTx）を使用することができます。

- **一般の周期的 IN データ転送**

このセクションでは、典型的な周期的 IN データ転送について説明します。

アプリケーションの要件：

1. *一般の非周期的 IN データ転送（1381 ページ）*のアプリケーションの要件 1、2、3、および 4 は、要件 2 が少し変更されていることを除いて、IN データ転送にも適用されます。
   - アプリケーションは複数の最大パケットサイズのパケットの送信、または複数の最大パケットサイズのパケットに最後にショートパケットを加えた送信を行うことができます。転送の終わりに少数の最大パケットサイズのパケットとショートパケットを送信するには、以下の条件が満たされなければなりません。

     転送サイズ EPNUM] = x × MPSIZ[EPNUM] + sp
     （x は整数 ≥ 0、および 0 ≤ sp < MPSIZ[EPNUM]）

     （sp > 0）の場合、パケットカウント [EPNUM] = x + 1
     そうでない場合、パケットカウント [EPNUM] = x;

     MCNT[EPNUM] = パケットカウント [EPNUM]
   - アプリケーションは転送の最後にゼロ長データパケットを送信することはできません。自分で単一のゼロ長パケットを送信することは可能です。単一のゼロ長データパケットを送信するには：
   - 転送サイズ[EPNUM] = 0

     パケットカウント[EPNUM] = 1

     MCNT[EPNUM] = パケットカウント[EPNUM]

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

2. アプリケーションは一度に 1 フレームのデータ転送のみをスケジュールすることができます。
   – (MCNT – 1) × MPSIZ ≤ XFERSIZ ≤ MCNT × MPSIZ
   – PKTCNT = MCNT (OTG_FS_DIEPTSIZx)
   – XFERSIZ < MCNT × MPSIZ の場合、転送の最後のデータパケットはショートパケットです。
   – MCNT は OTG_FS_DIEPTSIZx レジスタに、MPSIZ は OTG_FS_DIEPCTLx レジスタに、PKTCNT は OTG_FS_DIEPTSIZx レジスタに、また XFERSIZ は OTG_FS_DIEPTSIZx レジスタにあります。
3. フレームで送信される完全なデータは、IN トークンが受信される前に、アプリケーションによって送信 FIFO に書き込まれなければなりません。IN トークンが受信されたときに、フレームあたりで送信されるデータの 1 ワードが送信 FIFO 内で欠落していても、コアは FIFO がエンプティである場合のように動作します。送信 FIFO がエンプティのとき：
   – アイソクロナス IN エンドポイントに対して、USB 上でゼロデータ長のパケットが送信されます。
   – IN エンドポイントに割り込みをかけるため、USB 上で NAK ハンドシェイクが送信されます。

内部データフロー：

1. アプリケーションは、エンドポイント固有レジスタの転送サイズおよびパケット数フィールドを設定して、データを送信するためにエンドポイントを有効にする必要があります。
2. アプリケーションは、要求されたデータをエンドポイントの関連する送信 FIFO に書き込む必要もあります。
3. アプリケーションがパケットを送信 FIFO に書き込むたびに、そのエンドポイントの転送サイズがパケットのサイズだけデクリメントされます。エンドポイントの転送サイズが 0 になるまで、アプリケーションメモリからデータがフェッチされます。
4. 周期的エンドポイントの IN トークンが受信されると、コアは、FIFO のデータ（ある場合）を送信します。フレームの完全なデータペイロード（専用 FIFO モードでは完全なパケット）が FIFO に存在しない場合、コアは、エンドポイントに対する TxFIFO エンプティ割り込みが受信されたときに IN トークンを生成します。
   – アイソクロナス IN エンドポイントに対して、USB 上でゼロ長のデータパケットが送信されます。
   – IN エンドポイントに割り込みをかけるため、USB 上で NAK ハンドシェイクが送信されます。
5. エンドポイントのパケットカウントは、以下の条件のもとで 1 ずつデクリメントされます。
   – アイソクロナスエンドポイントに対して、ゼロ長または非ゼロ長データパケットが送信されたとき。
   – 割り込みエンドポイントに対して、ACK ハンドシェイクが送信されたとき。
   – 転送サイズとパケットカウントの両方が 0 のとき、エンドポイントに対して転送完了割り込み（XFRC）が生成され、エンドポイントイネーブルビットがクリアされます。
6. 「周期的フレームインターバル」（OTG_FS_DCFG の PFIVL によって制御されます）で、コアが現在のフレームについてスケジュールされたアイソクロナス IN エンドポイント FIFO のいずれかが非エンプティであることを検出すると、コアは OTG_FS_GINTSTS の IISOIXFR 割り込みを生成します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

アプリケーションのプログラミングシーケンス：

1. OTG_FS_DIEPCTLx レジスタをエンドポイントの特性でプログラムして、CNAK および EPENA ビットをセットします。
2. 次のフレームで送信するデータを送信 FIFO に書き込みます。
3. OTG_FS_DIEPINTx レジスタの ITTXFE 割り込みのアサートは、アプリケーションが送信するすべてのデータを送信 FIFO にまだ書き込んでいないことを示します。
4. この割り込みが検出されたときに、割り込みエンドポイントがすでに有効だった場合、割り込みは無視されます。まだ有効になっていなかった場合は、次の IN トークンの試みでデータを送信できるように、エンドポイントを有効にします。
5. OTG_FS_DIEPINTx レジスタの ITTXFE 割り込みがない状態での XFRC 割り込み（OTG_FS_DIEPINTx）のアサートは、アイソクロナス IN 転送が正常に完了したことを示します。OTG_FS_DIEPTSIZx レジスタの読み出し結果は、転送サイズ = 0、かつパケットカウント = 0、すなわち、すべてのデータが USB で送信されたことを示さなければなりません。
6. ITTXFE 割り込み（OTG_FS_DIEPINTx）の有無にかかわらず、XFRC 割り込み（OTG_FS_DIEPINTx）のアサートは、アイソクロナス IN 転送が正常に完了したことを示します。OTG_FS_DIEPTSIZx レジスタの読み出し結果は、転送サイズ = 0、かつパケットカウント = 0、すなわち、すべてのデータが USB で送信されたことを示さなければなりません。
7. 前述のどの割り込みもない状態での OTG_FS_GINTSTS の不完全アイソクロナス IN 転送（IISOIXFR）割り込みのアサートは、コアが現在のフレームで少なくとも 1 つの周期的 IN トークンを受信しなかったことを示します。

- **不完全アイソクロナス IN データ転送**

このセクションでは、アプリケーションが不完全なアイソクロナス IN データ転送で行う必要があることについて説明します。

内部データフロー：

1. アイソクロナス IN 転送は、以下の条件のいずれかがあてはまる場合に不完全として扱われます。
   a) コアが、少なくとも 1 つのアイソクロナス IN エンドポイントで不完全なアイソクロナス IN トークンを受信した場合。この場合、アプリケーションは、不完全アイソクロナス IN 転送割り込み（OTG_FS_GINTSTS の IISOIXFR ビット）を検出します。
   b) アプリケーションが完全なデータペイロードを送信 FIFO に書き込むのに時間がかかり、完全なデータペイロードが FIFO に書き込まれる前に IN トークンが受信された場合。この場合、アプリケーションは、OTG_FS_DIEPINTx の TxFIFO エンプティ割り込み時に IN トークンの受信を検出します。最終的には、周期的フレームの終わりので不完全アイソクロナス IN 転送割り込み（OTG_FS_GINTSTS の IISOIXFR）になるので、アプリケーションはこの割り込みを無視することができます。

   コアは、受信した IN トークンに応答して、USB 上にゼロ長データパケットを送信します。
2. アプリケーションは、できるだけ速やかに、送信 FIFO へのデータペイロードの書き込みを停止する必要があります。
3. アプリケーションは、エンドポイントの NAK ビットとディセーブルビットをセットする必要があります。
4. コアは、エンドポイントを無効にし、ディセーブルビットをクリアし、エンドポイントのエンドポイントディセーブル割り込みをアサートします。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

アプリケーションのプログラミングシーケンス：

1. 最終的には不完全アイソクロナス IN 転送割り込み（OTG_FS_GINTSTS）になるので、アプリケーションは、アイソクロナス IN エンドポイントで OTG_FS_DIEPINTx の TxFIFO エンプティ割り込み時に受信された IN トークンを無視することができます。
2. 不完全アイソクロナス IN 転送割り込み（OTG_FS_GINTSTS）のアサートは、少なくとも 1 つのアイソクロナス IN エンドポイントで不完全アイソクロナス IN 転送があったことを示します。
3. アプリケーションは、すべてのアイソクロナス IN エンドポイントのエンドポイント制御レジスタを読み出して、不完全 IN データ転送があるエンドポイントを検出する必要があります。
4. アプリケーションは、AHB 上でこれらのエンドポイントに関連する周期的送信 FIFO へのデータの書き込みを停止する必要があります。
5. OTG_FS_DIEPCTLx レジスタの以下のフィールドをプログラムして、エンドポイントを無効にします。
   – OTG_FS_DIEPCTLx の SNAK = 1
   – OTG_FS_DIEPCTLx の EPDIS = 1
6. OTG_FS_DIEPINTx のエンドポイントディセーブル割り込みのアサートは、コアがエンドポイントを無効にしたことを示します。
   – この時点で、アプリケーションは、次のマイクロフレームで新しい転送を行うために、関連する送信 FIFO 内のデータをフラッシュするか、エンドポイントを有効にすることによって、FIFO 内の既存のデータに上書きする必要があります。データをフラッシュするには、アプリケーションは OTG_FS_GRSTCTL レジスタを使用する必要があります。

- **非アイソクロナス IN エンドポイントの停止**

このセクションでは、アプリケーションが非アイソクロナスエンドポイントを停止する方法について説明します。

アプリケーションのプログラミングシーケンス：

1. 停止する IN エンドポイントを無効にします。STALL ビットもセットします。
2. エンドポイントがすでに有効になっているときには、OTG_FS_DIEPCTLx の EPDIS = 1 にします。
   – OTG_FS_DIEPCTLx の STALL = 1
   – 常に STALL ビットが NAK ビットに優先します。
3. エンドポイント無効割り込み（OTG_FS_DIEPINTx）のアサートは、コアが指定されたエンドポイントを無効にしたことをアプリケーションに示します。
4. アプリケーションは、エンドポイントのタイプに応じて、非周期的または周期的 FIFO をフラッシュする必要があります。非周期的エンドポイントの場合、アプリケーションは、データを送信するために、停止する必要がない他の非周期的エンドポイントを再び有効にする必要があります。
5. アプリケーションがエンドポイントの STALL ハンドシェイクを終了する準備ができたときには、OTG_FS_DIEPCTLx の STALL ビットがクリアされなければなりません。
6. アプリケーションが SetFeature.Endpoint Halt コマンドまたは ClearFeature.Endpoint Halt コマンドのためにエンドポイントの STALL ビットをセットまたはクリアする場合、STALL ビットは、アプリケーションが制御エンドポイントでステータスステージ転送をセットアップする前にセットまたはクリアされなければなりません。

特殊なケース：制御 OUT エンドポイントの停止

制御転送のデータステージで、ホストが SETUP パケットで指定されたより多くの IN/OUT トークンを送信した場合、コアは、IN/OUT トークンを停止する必要があります。この場合、アプリケーションは、コアが SETUP パケットで指定されたデータ量を転送した後、制御転送のデータステージで、OTG_FS_DIEPINTx の ITTXFE 割り込みと OTG_FS_DOEPINTx の OTEPDIS 割り込みを有効にしなければなりません。その後、アプリケーションがこの割り込みを受信したとき、アプリケーション

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

は、対応するエンドポイント制御レジスタの STALL ビットをセットし、この割り込みをクリアする必要があります。

34.17.7 最悪ケースの応答時間

OTG_FS コントローラがデバイスとして機能するとき、アイソクロナス OUT に続く任意のトークンで、最悪ケースの応答時間があります。この最悪ケース応答時間は、AHB クロック周波数に依存します。

コアのレジスタは AHB ドメインにあり、コアはこれらのレジスタを更新するまでは、別のトークンを受け入れません。アイソクロナストランザクションの場合、ハンドシェイクはなく、次のトークンがすぐに入ってくる可能性があるため、アイソクロナス OUT に続くトークンで最悪ケースが生じます。この最悪ケース値は、AHB クロックが PHY クロックと同じときには 7 PHY クロックです。AHB クロックが高速なほど、この値は小さくなります。

この最悪ケース条件が発生した場合、コアは、バルク／割り込みトークンに NAK で応答し、アイソクロナスおよび SETUP トークンをドロップします。ホストは、これを SETUP のタイムアウト条件と解釈して、SETUP パケットを再試行します。アイソクロナス転送の場合、不完全アイソクロナス IN 転送割り込み（IISOIXFR）と不完全アイソクロナス OUT 転送割り込み（IISOOXFR）は、アイソクロナス IN/OUT パケットがドロップされたことをアプリケーションに知らせます。

OTG_FS_GUSBCFG の TRDT の値の選択

TRDT（OTG_FS_GUSBCFG）の値は、MAC が IN トークンを受信した後、FIFO ステータスと PFC ブロックから最初のデータを取得するまでの時間（PHY クロック数）です。この時間には、PHY クロックと AHB クロック間の同期遅延も含まれます。この場合の最悪ケース遅延は、AHB クロックが PHY クロックと同じときに発生します。この場合、遅延は 5 クロックです。

MAC が IN トークンを受信すると、この情報（トークンの受信）は PFC（PFC は AHB クロックで動作します）によって AHB に同期されます。次に、PFC は、SPRAM からデータを読み出し、それらをデュアルクロックソースバッファに書き込みます。MAC は、データをソースバッファ（深さ 4）から読み出します。

AHB が PHY より高い周波数で動作している場合､アプリケーションは TRDT（OTG_FS_GUSBCFG）の値として、より小さな値を使用することができます。

*図 404*には以下の信号があります。

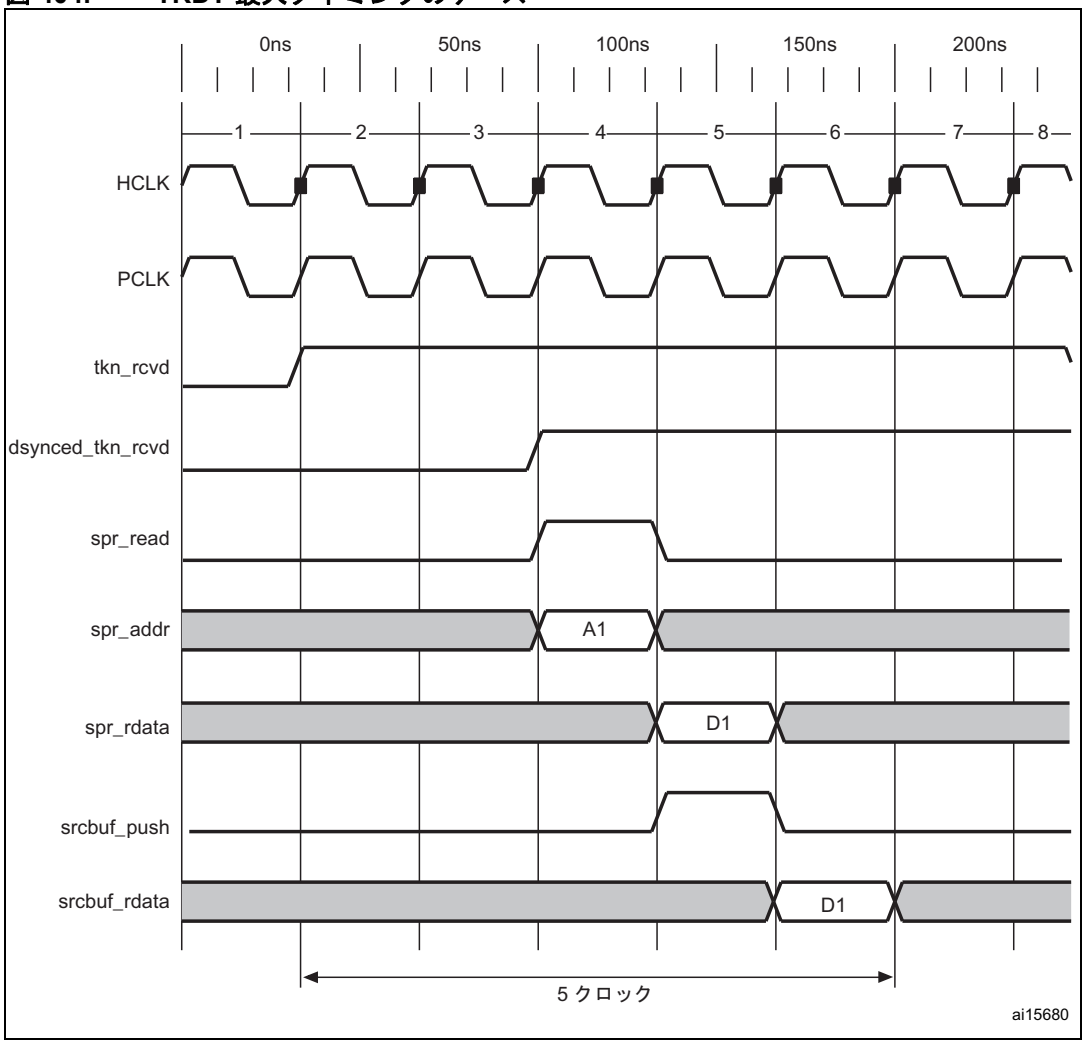
- tkn_rcvd：MAC から PFC への、トークンが受信されたという情報
- dynced_tkn_rcvd：PCLK から HCLK ドメインへの二重同期 tkn_rcvd
- spr_read：SPRAM への読み出し
- spr_addr：SPRAM へのアドレス
- spr_rdata：SPRAM からのデータの読み出し
- srcbuf_push：ソースバッファへのプッシュ
- srcbuf_rdata：ソースバッファからのデータの読み出しMAC によるデータの検出

アプリケーションは次の式を使用して、TRDT の値を計算できます。

4 × AHB クロック + 1 PHY クロック = (2 クロック同期 + 1 クロックメモリアドレス + 同期 RAM からの 1 クロックメモリデータ) + (1 PHY クロック (次の PHY クロック MAC は 2 クロック FIFO 出力をサンプリングできます)

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 404.　TRDT 最大タイミングのケース



34.17.8　OTG プログラミングモデル

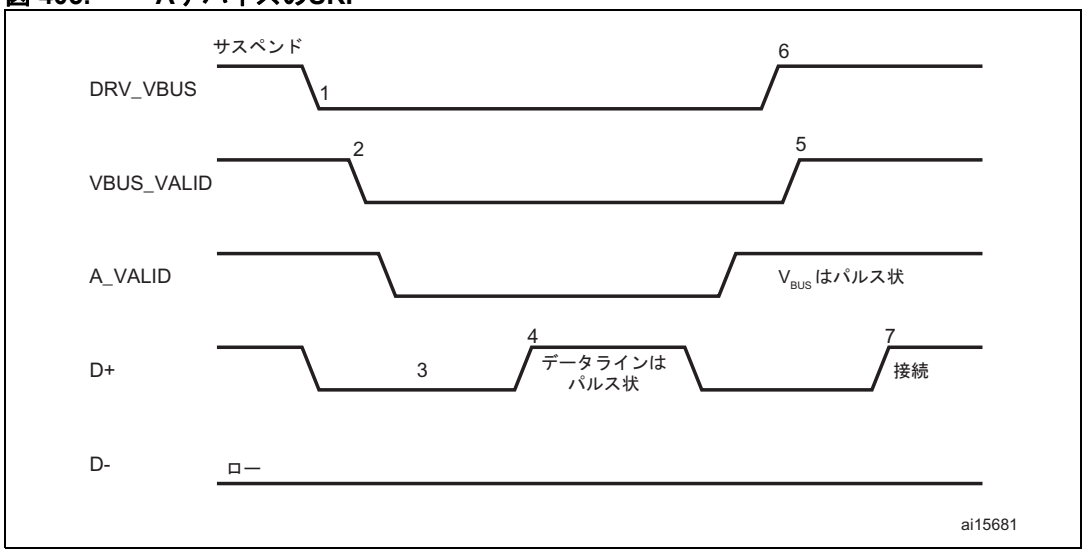
OTG_FS コントローラは、HNP と SRP をサポートする OTG デバイスです。コアが A プラグに接続されると、A デバイスと呼ばれます。コアが B プラグに接続されると、B デバイスと呼ばれます。ホストモードでは、OTG_FS コントローラは、電力を節約するために V_{BUS} をオフにします。SPR は、B デバイスが A デバイスに V_{BUS} 電源をオンにするように信号を送る手段です。デバイスは、データラインパルシングと V_{BUS} パルシングの両方を実行する必要がありますが、ホストは SRP のデータラインパルシングか V_{BUS} パルシングのどちらかを検出することができます。HNP は、B デバイスがネゴシエイトし、役割をホストに切り替える手段です。HNP 後のネゴシエイトモードでは、B デバイスはバスをサスペンドし、その役割をデバイスに戻します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

Aデバイスセッションリクエストプロトコル

アプリケーションは、コア USB 設定レジスタの SRP 対応ビットをセットする必要があります。これによって、OTG_FS コントローラは SRP を A デバイスとして検出できるようになります。

図 405. AデバイスのSRP



1. DRV_VBUS = PHY への V_{BUS} 駆動信号
   VBUS_VALID = PHY からの V_{BUS} 有効信号
   A_VALID = PHY への A ペリフェラル V_{BUS} レベル信号
   D+ = データ正ライン
   D- = データ負ライン

1. 節電のためには、アプリケーションは、バスがアイドル状態のときに、ホストポート制御およびステータスレジスタのポートサスペンドおよびポートパワービットに書き込むことによって、ポート電源をサスペンドおよびオフにします。
2. PHY は、VBUS_VALID 信号をネゲートすることによって、ポート電源のオフを示します。
3. デバイスは、V_{BUS} 電源がオフになると、SRP を開始するために少なくとも 2 ms 以上、SE0 を検出しなければなりません。
4. SRP を開始するには、デバイスはデータラインプルアップ抵抗を 5～10 ms の間オンにします。OTG_FS コントローラはデータラインのパルシングを検出します。
5. デバイスは、V_{BUS} パルシングに対して、V_{BUS} を A デバイスセッション有効レベル以上（最低 2.0 V）に駆動します。

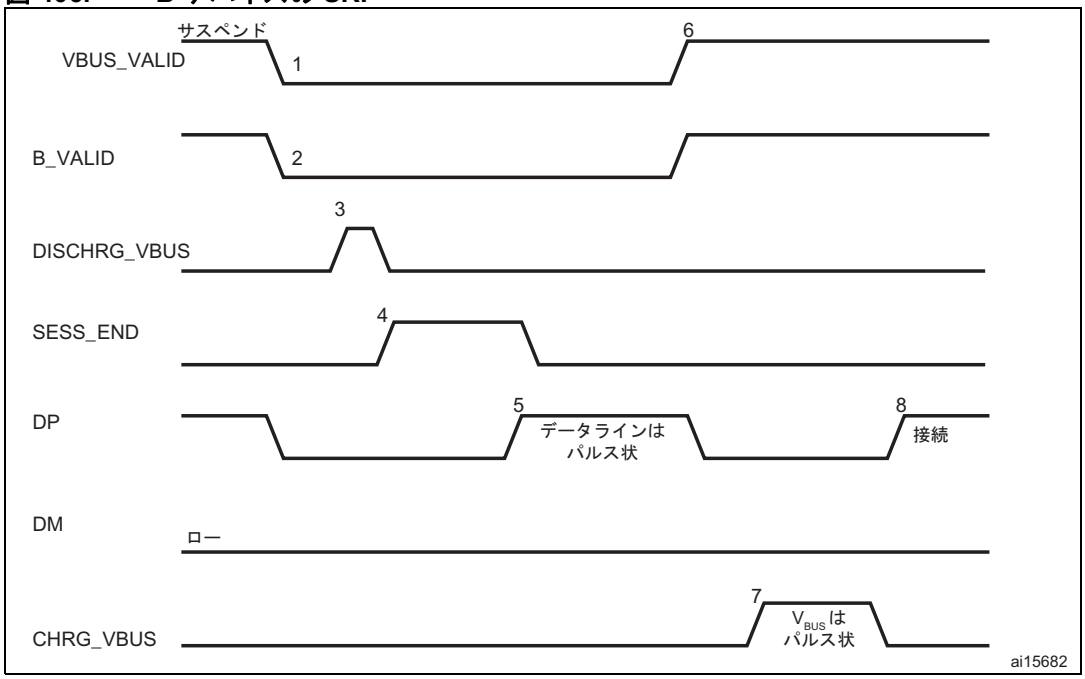
   OTG_FS コントローラは、SRP を検出すると、アプリケーションに割り込みをかけます。グローバル割り込みステータスレジスタのセッションリクエスト検出ビットがセットされます（OTG_FS_GINTSTS の SRQINT）。
6. アプリケーションは、セッションリクエスト検出割り込みを処理して、ホストポート制御およびステータスレジスタのポートパワービットに書き込むことによって、ポート電源をオンにする必要があります。PHY は、VBUS_VALID 信号をアサートすることによって、ポート電源がオンになったことを示します。
7. USB に電源が投入されると、デバイスが接続され、SRP プロセスが完了します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

Bデバイスセッションリクエストプロトコル

アプリケーションは、コア USB 設定レジスタの SRP 対応ビットをセットする必要があります。これによって、OTG_FS コントローラは SRP を B デバイスとして扱えるようになります。SRP は、OTG_FS コントローラがホストからの新しいセッションをリクエストする手段です。

図 406. B デバイスの SRP



1. VBUS_VALID = PHY からの V_{BUS} 有効信号
   B_VALID = PHY への B ペリフェラル有効セッション信号
   DISCHRG_VBUS = PHY への放電信号
   SESS_END = PHY へのセッション終了信号
   CHRG_VBUS = PHY への V_{BUS} 充電信号
   DP = データ正ライン
   DM = データ負ライン

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

1. 節電のために、ホストはバスがアイドル状態のときはポート電源をサスペンドおよびオフにします。

   OTG_FS コントローラは、バスがアイドル状態になってから 3 ms 後に、コア割り込みレジスタのアーリーサスペンドビットをセットします。これに続いて、OTG_FS コントローラは、コア割り込みレジスタの USB サスペンドビットをセットします。

   OTG_FS コントローラは、PHY に V_{BUS}を放電するように通知します。
2. PHY はデバイスにセッションの終了を知らせます。これが SRP の初期条件です。OTG_FS コントローラは、SRP を初期化する前に、2 ms の SE0 を必要とします。

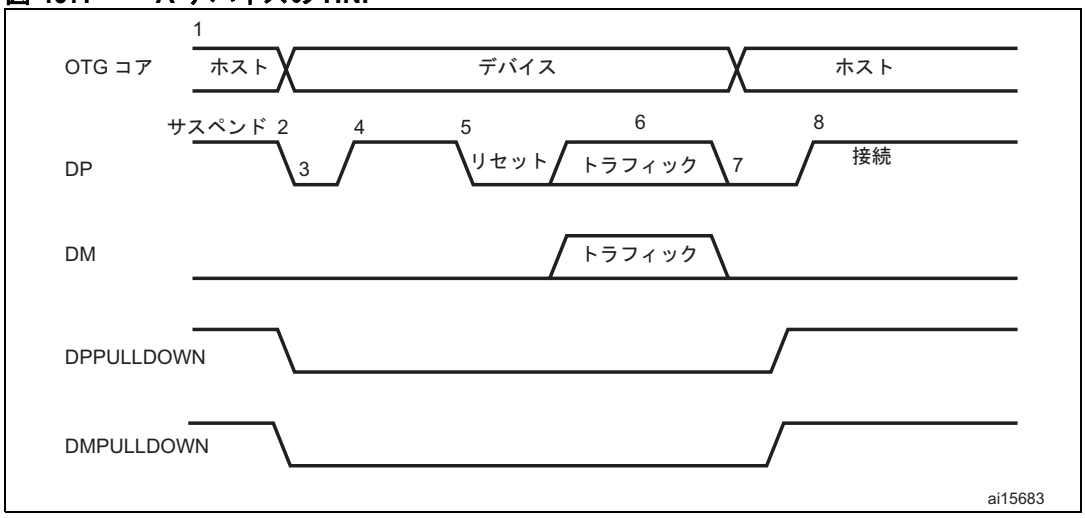
   USB 1.1 フルスピードシリアルトランシーバの場合、アプリケーションは、BSVLD（OTG_FS_GOTGCTL）がネゲートされた後、V_{BUS} が 0.2 V まで放電するまで待つ必要があります。この放電時間の値は、トランシーバのベンダから入手でき、ベンダごとに異なります。
3. USB OTG コアは PHY に V_{BUS}の放電を加速させることを通知します。
4. アプリケーションは、OTG_FS 制御およびステータスレジスタのセッションリクエストビットに書き込むことによって、SRP を開始します。OTG_FS コントローラは、データラインパルシングに続いて V_{BUS} パルシングを実行します。
5. ホストは、データラインパルシングまたは V_{BUS} パルシングから SRP を検出して、V_{BUS}をオンにします。PHY は、デバイスに V_{BUS} 電源オンを知らせます。
6. OTG_FS コントローラは、V_{BUS} パルシングを実行します。

   ホストは、V_{BUS}をオンにして、SRP が成功したことを示すことによって、新しいセッションを開始します。OTG_FS コントローラは、OTG 割り込みステータスレジスタのセッションリクエスト成功ステータス変化ビットをセットすることによって、アプリケーションに割り込みをかけます。アプリケーションは、OTG 制御およびステータスレジスタのセッションリクエスト成功ビットを読み出します。
7. USB に電源が投入されると、OTG_FS コントローラが接続され、SRP プロセスが完了します。

A デバイスホストネゴシエーションプロトコル

HNP は、USB ホストの役割を A デバイスから B デバイスに切り替えます。アプリケーションは、OTG_FS コントローラが HNP を A デバイスとして実行できるように、コア USB 設定レジスタの HNP 対応ビットをセットする必要があります。

図 407. A デバイスの HNP



1. DPPULLDOWN = PHY 内部の DP ライン上でプルダウンを有効／無効にするためのコアから PHY への信号
   DMPULLDOWN = PHY 内部の DM ライン上でプルダウンを有効／無効にするためのコアから PHY への信号

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

1. OTG_FS コントローラは、SetFeature b_hnp_enable 記述子を B デバイスに送信して、HNP サポートを有効にします。B デバイスの ACK 応答は、B デバイスが HNP をサポートしていることを示します。アプリケーションは、OTG 制御およびステータスレジスタのセット HNP イネーブルビットをセットして、B デバイスが HNP をサポートしていることを OTG_FS コントローラに示す必要があります。
2. アプリケーションがバスの使用を終了したときには、ホストポート制御およびステータスレジスタのポートサスペンドビットに書き込むことによって、サスペンドします。
3. B デバイスが USB サスペンドを検出すると、切断して、HNP の初期条件を示します。B デバイスは、ホストの役割に切り替える必要があるときにのみ、HNP を開始します。そうでないときには、バスはサスペンド状態を継続します。

   OTG_FS コントローラは、OTG 割り込みステータスレジスタのホストネゴシエーション検出割り込みをセットして、HNP の開始を示します。

   OTG_FS コントローラは、PHY の DP プルダウンと DM プルダウンをネゲートして、デバイスの役割を示します。PHY は、OTG_FS_DP プルアップ抵抗を有効にして、B デバイスの接続を示します。

   アプリケーションは、OTG 制御およびステータスレジスタの現在モードビットを読み出して、デバイスモードの動作を確認する必要があります。
4. B デバイスは接続を検出し、USB リセットを発行し、データトラフィックのために OTG_FS コントローラをエニュメレーションします。
5. B デバイスはホストの役割を継続し、トラフィックを開始し、終了時にはバスをサスペンドします。

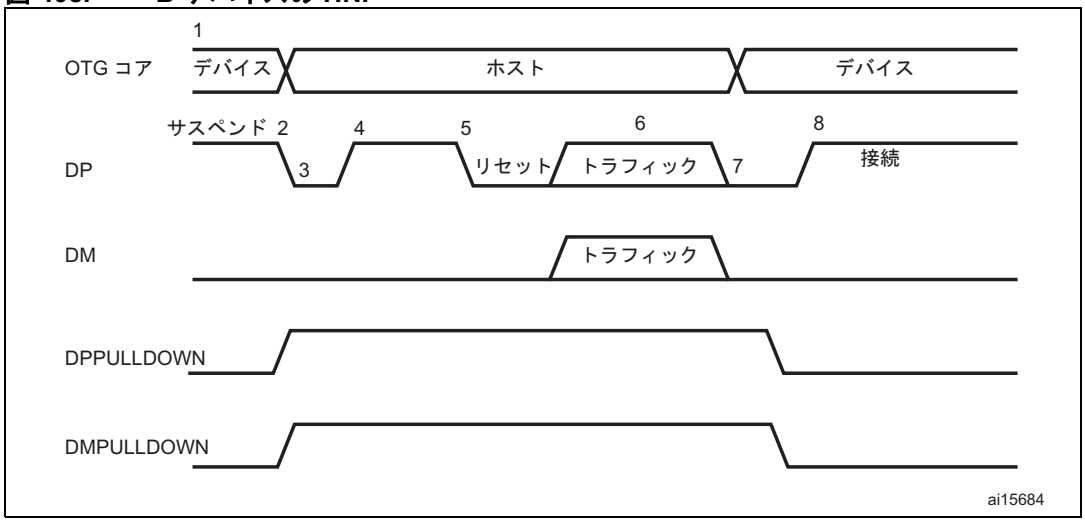
   OTG_FS コントローラは、バスがアイドル状態になってから 3 ms 後に、コア割り込みレジスタのアーリーサスペンドビットをセットします。これに続いて、OTG_FS コントローラは、コア割り込みレジスタの USB サスペンドビットをセットします。
6. ネゴシエートモードでは、OTG_FS コントローラは、サスペンドを検出して切断し、ホストの役割に戻ります。OTG_FS コントローラは、ホストの役割の前提を示すために、PHY の DP プルダウンと DM プルダウンをアサートします。
7. OTG_FS コントローラは、OTG 割り込みステータスレジスタのコネクタ ID ステータスレジスタ変更割り込みをセットします。アプリケーションは、OTG 制御およびステータスレジスタのコネクタ ID ステータスを読み出して、OTG_FS コントローラの動作が A デバイスであることを確認する必要があります。これは、HNP の完了をアプリケーションに示します。アプリケーションは、OTG 制御およびステータスレジスタの現在モードビットを読み出して、ホストモードの動作を確認する必要があります。
8. B デバイスが接続され、HNP プロセスが完了します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

B デバイスホストネゴシエーションプロトコル

HNP は、USB ホストの役割を B デバイスから A デバイスに切り替えます。アプリケーションは、OTG_FS コントローラが HNP を B デバイスとして実行できるように、コア USB 設定レジスタの HNP 対応ビットをセットする必要があります。

図 408. B デバイスの HNP



1. DPPULLDOWN = PHY 内部の DP ライン上でプルダウンを有効／無効にするためのコアから PHY への信号
DMPULLDOWN = PHY 内部の DM ライン上でプルダウンを有効／無効にするためのコアから PHY への信号

1. A デバイスは、SetFeature b_hnp_enable 記述子を送信して、HNP サポートを有効にします。OTG_FS コントローラの ACK 応答は、それが HNP をサポートしていることを示します。アプリケーションは、OTG 制御およびステータスレジスタのデバイス HNP イネーブルビットをセットして、HNP をサポートしていることを示す必要があります。

   アプリケーションは、OTG 制御およびステータスレジスタの HNP リクエストビットをセットして、HNP を開始することを OTG_FS コントローラに示す必要があります。

2. A デバイスがバスの使用を終了したときには、ホストポート制御およびステータスレジスタのポートサスペンドビットに書き込むことによってサスペンドします。

   OTG_FS コントローラは、バスがアイドル状態になってから 3 ms 後に、コア割り込みレジスタのアーリーサスペンドビットをセットします。これに続いて、OTG_FS コントローラは、コア割り込みレジスタの USB サスペンドビットをセットします。

   OTG_FS コントローラは切断され、A デバイスはバス上で SE0 を検出して HNP を示します。OTG_FS コントローラは、ホストの役割の前提を示すために、PHY のDP プルダウンと DM プルダウンをアサートします。

   A デバイスは、SE0 を検出してから 3 ms 以内に OTG_FS_DP プルアップ抵抗を有効化することによって応答します。OTG_FS コントローラはこれを接続として検出します。

   OTG_FS コントローラは、OTG 割り込みステータスレジスタのホストネゴシエーション成功ステータス変更割り込みをセットして、HNP ステータスを示します。アプリケーションは、OTG 制御およびステータスレジスタのホストネゴシエーション成功ビットを読み出して、ホストネゴシエーションの成功を確認する必要があります。アプリケーションは、コア割り込みレジスタ（OTG_FS_GINTSTS）の現在モードビットを読み出して、ホストモードの動作を確認する必要があります。

3. アプリケーションはリセットビット（OTG_FS_HPRT の PRST）をセットし、OTG_FS コントローラは USB リセットを発行し、データトラフィックのために A デバイスをエニュメレーションします。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

4. OTG_FS コントローラは、トラフィックを開始するというホストの役割を継続し、これが終了すると、ホストポート制御およびステータスレジスタのポートサスペンドビットに書き込むことによってバスをサスペンドします。
5. ネゴシエートモードでは、A デバイスは、サスペンドを検出すると、接続を切断し、ホストの役割に戻ります。OTG_FS コントローラは、PHY の DP プルダウンと DM プルダウンをネゲートして、デバイスの役割の前提を示します。
6. アプリケーションは、コア割り込みレジスタ（OTG_FS_GINTSTS）の現在モードビットを読み出して、ホストモードの動作を確認する必要があります。
7. OTG_FE コントローラが接続され、HNP プロセスが完了します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

35 USB On-The-Go ハイスピード （OTG_HS）

このセクションは、特に指定がない限り、STM32F4xx ファミリデバイス全体に適用されます。

35.1 OTG_HS の概要

Portions Copyright (c) 2004, 2005 Synopsys, Inc. All rights reserved.掲載許可取得済み。

このセクションではOTG_HSコントローラのアーキテクチャとプログラミングモデルについて説明します。

このセクションでは、次の略記が使用されます。

FS	フルスピード
HS	ハイスピード
LS	ロースピード
USB	ユニバーサルシリアルバス
OTG	オンザゴー
PHY	物理層
MAC	メディアアクセスコントローラ
PFC	パケット FIFO コントローラ
UTMI	USB トランシーバマクロセルインタフェース
ULPI	UTMI+ ローピンインタフェース

このセクションでは、参照文献として以下の文書が使用されています。

- USB On-The-Go Supplement, Revision 1.3
- Universal Serial Bus Revision 2.0 Specification

OTG_HS はペリフェラルとホストの両機能をサポートするデュアルロールデバイス（DRD）コントローラであり *On-The-Go Supplement to the USB 2.0 Specification* に完全に準拠しています。OTG_FS は *USB 2.0 Specification* に完全に準拠したホスト専用またはペリフェラル専用のコントローラとして設定することも可能です。ホストモードの場合OTG_HS は ハイスピード（HS 480 Mbits/s）、フルスピード （FS 12 Mbits/s）、ロースピード（LS 1.5 Mbits/s）の転送をサポートしますが、ペリフェラルモードの場合は、ハイスピード伝送 (HS、480 Mbits/s) とフルスピード転送（FS 12 Mbits/s）のみをサポートします。OTG_HS は HNP と SRP の両方をサポートします。必要な外部デバイスは、OTG モードで使用される VBUS 用のチャージポンプのみです。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

35.2 OTG_HS の主な機能

主な機能は、標準機能、ホストモード機能、およびペリフェラルモード機能の 3 つのカテゴリに分けて考えることができます。

35.2.1 標準機能

OTG_HS インタフェースの主な機能を次に示します：

- Universal Serial Bus Revision 2.0 Specification に準拠する USB-IF認定済み
- 3 つの PHY インタフェースをサポート
  - フルスピード PHY を内蔵
  - 外部のフルスピード I^2C PHY を対象とする I^2Cインタフェース
  - 外部のハイスピード PHY を対象とする ULPI インタフェース
- ホストネゴシェーションプロトコル（HNP） とセッションリクエストプロトコル（SRP）をサポート
- 外付け部品なしで、省電力の OTG アプリケーションでホストから V_{BUS}をターンオフ可能
- 内蔵コンパレータを使用して V_{BUS} レベルの監視が可能
- ホスト-ペリフェラル間機能の動的切り替えをサポート
- 次の動作を行うようにソフトウェアでの設定が可能：
  - SRP 対応 USB HS/FS ペリフェラル（B デバイス）
  - SRP 対応 USB HS/FS/ ロースピードホスト（A デバイス）
  - USB OTG FS デュアルロールデバイス
- 次により、HS/FS SOF およびロースピード（LS）キープアライブトークンをサポート
  - SOF パルス PAD 出力機能
  - タイマ 2 （TIM2）に対する SOF パルス内部接続
  - 設定可能なフレーム周期
  - 設定可能なフレームの終わり割り込み
- シェアホールディングサポート持つ DMA を内蔵し、DMA モードで AHB バーストタイプをソフトウェアから選択可能
- USB サスペンド中のシステムクロック停止、デジタルコア、PHY、および DFIFO パワー管理回路内部のクロックドメインの電源オフなど、節電機能を内蔵
- 高度な FIFO マネジメント機能を持つ専用4K バイトデータ RAM を内蔵
  - RAM の柔軟で効率良い使用を可能にするため、メモリを様々な FIFO 構成に分割可能
  - 各 FIFO は複数のパケットを格納可能
  - メモリ割り当ては動的に実行
  - FIFO を 2 のべき乗でないサイズに設定して、連続的なメモリ位置の使用が可能
- アプリケーションの介入なしで最大 1 フレームまでの最大 USB 帯域幅を保証

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

35.2.2 ホストモード機能

ホストモードでの OTG_HS インタフェース機能は次の通りです。

- V_{BUS}を生成する外付けチャージポンプが必要
- 最大 12 個のホストチャネル（パイプ）を持ち、各チャネルは動的に再設定可能であり、あらゆるタイプの USB 転送が割り当て可能
- 以下を保持するハードウェアスケジューラを内蔵
  - 最大 8 個の割り込みに加えて、周期的ハードウェアキュー内でのアイソクロナス転送リクエスト
  - 最大 8 個の制御に加えて、非周期的ハードウェアキュー内でのバルク転送リクエスト
- USB データ RAM の効率的な使用のために、共有 RX FIFO、周期的 TX FIFO、および非周期的 TX FIFO を管理します。
- ホストモードで、SOF フレーミング周期の動的トリミング機能を内蔵

35.2.3 ペリフェラルモードの機能

ペリフェラルモードでの OTG_HS インタフェース機能は次の機能を持っています。

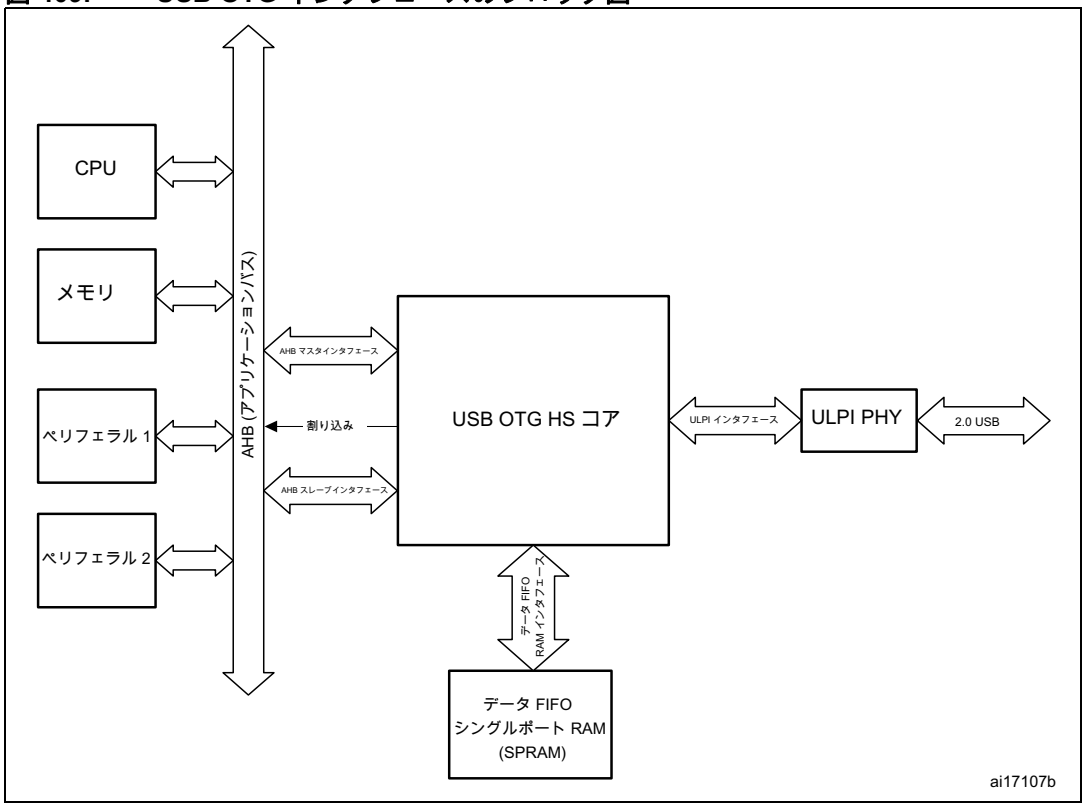
- 1 個の双方向制御エンドポイント 0
- バルク、割り込み、またはアイソクロナス転送をサポートするために設定可能な 5 個の IN エンドポイント （EP）
- バルク、割り込み、またはアイソクロナス転送をサポートするために設定可能な 5 個の OUT エンドポイント（EP）
- USB データ RAM の効率的な使用のために、共有 RX FIFO と Tx-OUT FIFO を管理
- アプリケーション負荷を削減するため最大 6 個の専用Tx-IN FIFO を管理（各 IN 設定の EP に 1 個）
- ソフト切断機能を内蔵

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

35.3 OTG_HS 機能の説明

図 409 に、OTG_HS インタフェースのブロック図を示します。

図 409. USB OTG インタフェースのブロック図



1. USB DMA は、内部フラッシュメモリを直接アドレス指定することができません。

35.3.1 ハイスピード OTG PHY

USB OTG HS コアは、外部HS PHY を接続する ULPI インタフェースを内蔵しています。

35.3.2 I2C インタフェースを使用する外部フルスピード OTG PHY

USB OTG HS コアは、外部FS PHY を接続する I^2C インタフェースを内蔵しています。

35.3.3 内蔵フルスピード OTG PHY

フルスピード OTG PHY には、以下のコンポーネントが含まれます。

- ホストとデバイスの両方で使用される FS/LS トランシーバモジュール。シングルエンド USB ライン上で送受信を直接駆動します。
- A/B デバイス識別のための ID ラインをサンプリングするために使用される ID プルアップ抵抗。
- デバイスの現在の役割に依存して OTG_HS コアによって制御される DP/DM 内蔵プルアップおよびプルダウン抵抗。ペリフェラルとして V_{BUS}が有効なレベルであると判断されると DPプルアップ抵抗を有効にして、フルスピードペリフェラルを知らせます（B セッションが有効な場合）。ホストモードではDP/DMの両方でプルダウン抵抗が有効にされます。プルアップ抵抗とプルダウン抵抗は、ペリフェラルの役割がホストネゴシエーションプロトコル（HNP）を通じて変更されたとき、動的に切り替えられます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

- プルアップ／プルダウン抵抗 ECN 回路

  DP プルアップ回路は、USB Rev2.0 に適用される抵抗の技術変更通知（Enginering Change Notice）に従って、OTG_HS から個別に制御される 2 つの抵抗で構成されます。DP プルアップの動的なトリミングは、ノイズの低減と Tx/Rx 信号品質の向上を可能にします。
- VBUS_VALID の有効性、A-B セッションの有効性、およびセッション終了電圧閾値を検出するために使用されるヒステリシスを持つ V_{BUS} 検出用コンパレータ。これらは、セッションリクエストプロトコル（SRP）の駆動、有効な起動およびセッション終了条件の検出、および USB 操作中の V_{BUS} 電源の定常的な監視のために使用されます。
- SRP 中に抵抗を通じて V_{BUS} を充電／放電するための V_{BUS} パルス駆動回路（弱駆動）。

*注： **USB OTG HS ペリフェラルの正常動作を保証するためには AHB周波数を 30 MHz より高くする必要があります。***

35.4 OTG デュアルロールデバイス

35.4.1 ID ラインの検出

ホストまたはペリフェラル（デフォルト）の役割は、ID 入力ラインのレベルに応じて割り当てられます。USB ケーブルが接続されたときに決定され、USB ケーブルのいずれの側がマイクロ -AB リセプタクルに接続されたかに依存します。

- USB ケーブルの B 側がフローティング ID ワイヤに接続された場合、内蔵プルアップ抵抗が ID ラインのハイレベルを検出して、デフォルトのペリフェラルの役割が確立されます。この構成では、OTG_HS はセクション 6.8.2 の USB On-The-Go 補足の On-The-Go B デバイス、レビジョン 1.3 で説明する FSM 標準に準拠します。
- USB ケーブルの A 側がアース付き ID ラインに接続された場合、OTG_HS は、ホストのソフトウェア初期化のために ID ラインステータス変化割り込み（OTG_HS_GINTSTS レジスタの CIDSCHG ビット）を発行して、自動的にホストの役割に切り替わります。この構成では、OTG_HS はセクション 6.8.1 の USB On-The-Go 補足の On-The-Go A デバイス、レビジョン 1.3 で説明する FSM 規格に準拠します。

35.4.2 HNP デュアルロールデバイス

グローバル USB 設定レジスタの HNP 対応ビット（OTG_HS_ GUSBCFG の HNPCAP ビット）は、OTG_HS コアがホストネゴシエーションプロトコル（HNP）に従って、役割を A ホストから A デバイスに（またその逆）、または B デバイスから B ホスト（またその逆）に動的に変更できるようにします。現在のデバイスのステータスは、グローバル OTG 制御およびステータスレジスタのコネクタ ID ステータスビット（OTG_HS_GOTGCTL の CIDSTS ビット）とグローバル割り込みおよびステータスレジスタの現在の動作モードビット（OTG_HS_GINTSTS の CMOD ビット）の値の組み合わせによって決定されます。

HNP プログラムモデルの詳細は*セクション 35.13：OTG_HS プログラミングモデル*で説明します。

35.4.3 SRP デュアルロールデバイス

グローバル USB 設定レジスタの SRP 対応ビット（OTG_HS_GUSBCFG の SRPCAP ビット）は、OTG_HS コアが A デバイスの節電のために V_{BUS} をターンオフできるようにします。A デバイスは OTG_HS の役割がホストかペリフェラルかに関係なく、常にV_{BUS}を駆動する役割を持っています。SRP A/B デバイスプログラムモデルの詳細は*セクション 35.13：OTG_HS プログラミングモデル*で説明します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

35.5 ペリフェラルモードでの USB 機能の説明

OTG_HS は、次の環境で USB ペリフェラルとして機能します。

- OTG B デバイス

  USB ケーブルの B 側が挿入された場合の OTG B デバイスのデフォルトの状態
- OTG A デバイス

  HNP が OTG_HS の役割をペリフェラルに切り替えた後の OTG A デバイスの状態
- B デバイス

  ID ラインが存在し、機能していて、USB ケーブルの B 側に接続され、かつ、グローバル USB 設定レジスタの HNP 対応ビット（OTG_HS_GUSBCFG の HNPCAP ビット）がクリアされている場合（セクション 6.8.3 の On-The-Go 仕様レビジョン 1.3 を参照）。
- ペリフェラル専用（*図 387：USBペリフェラル専用接続* を参照）

  グローバル USB 設定レジスタの強制ペリフェラルモードビット（OTG_HS_GUSBCFG の FDMOD）が 1 にセットされると、OTG_HS コアは強制的に USB ペリフェラル専用として機能します（ セクション 6.8.3 の On-The-Go 仕様レビジョン 1.3 を参照）。この場合、ID ラインは、USB コネクタ上に存在していても無視されます。

注： ***B デバイスまたはペリフェラル専用設定の場合に電源がバスから供給されるデバイスアーキテクチャを実現するときはV_{BUS}から V_{DD}電源電圧を発生する外部レギュレータを追加する必要があります。***

35.5.1 SRP 対応ペリフェラル

グローバル USB 設定レジスタの SRP 対応ビット（OTG_HS_GUSBCFG の SRPCAP ビット）は OTG_HS がセッションリクエストプロトコル（SRP）をサポートできるようにします。この方法により USB セッションがサスペンド状態にある間V_{BUS}の供給を停止して、リモート A デバイスの消費電力を節約できます。

SRP ペリフェラルモードプログラムモデルの詳細は*セクション ：B デバイスセッションリクエストプロトコル* で説明します。

35.5.2 ペリフェラルの状態

電源が供給された状態

V_{BUS}入力は USB ペリフェラルを電源供給状態に設定するときに使う B セッションの有効電圧を検出します（USB2.0 仕様のセクション 9.1 参照）。次に、OTG_HS は、DP プルアップ抵抗を自動的に接続して、フルスピードデバイス接続をホストに知らせ、セッションリクエスト割り込みを発生して（OTG_HS_GINTSTS の SRQINT ビット）、電源供給状態を通知します。V_{BUS} 入力は、また、USB 動作中にホストによって適切な V_{BUS} レベルが供給されることを保証します。V_{BUS} 電源が B セッションの有効値以下に低下したことが検出された場合（たとえば、電源の変動があった場合や、ホストポートの電源がオフとなった場合など）、OTG_HS は自動的に切断され、セッション終了検出割り込み（OTG_HS_GOTGINT の SEDET ビット）が発生されて、OTG_HS が電源供給状態でなくなったことを通知します。

電源供給状態では、OTG_HS は、ホストからリセット信号を受け取ることを期待しています。他の USB 動作は実行できません。リセットを受け取ると、リセット検出割り込み（OTG_HS_GINTSTS の USBRST ビット）が発生されます。リセットが完了すると、エミュレーション終了割り込み（OTG_HS_GINTSTS の ENUMDNE ビット）が発生され、OTG_HS はデフォルト状態に入ります。

ソフト切断

電源供給状態は、ソフト切断機能によってソフトウェアから終了させることができます。DP プルアップ抵抗は、デバイス制御レジスタのソフト切断ビット（OTG_HS_DCTL の SDIS ビット）をセット

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

することによって取り除かれ、USB ケーブルが実際にはホストポートから取り除かれていなくても、ホスト側へデバイス切断検出割り込みが発生します。

デフォルト状態

デフォルト状態では、OTG_HS はホストから SET_ADDRESS コマンドを受け取ることを期待しています。他の USB 動作は実行できません。有効な SET_ADDRESS コマンドが USB 上でデコードされると、アプリケーションは対応する番号をデバイス設定レジスタのデバイスアドレスフィールドに書き込みます（OTG_HS_DCFG の DAD ビット）。その場合、OTG_HS アドレス状態に入り、設定された USB アドレスでホストトランザクションに応答する準備が整います。

サスペンド状態

OTG_HS ペリフェラルは、USB の動作状態を定常的に監視します。USB が 3 ms間アイドルすると、アーリーサスペンド割り込みが発生します（OTG_HS_GINTSTS の ESUSP ビット）。該当する場合、これはサスペンド割り込みの発生により、3 ms 後に確認されます（OTG_HS_GINTSTS の USBSUSP ビット）。次に、デバイスステータスレジスタのデバイスサスペンドビット（OTG_HS_DSTS の SUSPSTS ビット）が自動的にセットされ、OTG_HS はサスペンド状態に入ります。

また、デバイスは自分自身でサスペンド状態を終了させることもできます。この場合、アプリケーションはデバイス制御レジスタのリモートウェイクアップシグナリングビット（OTG_HS_DCTL の RWUSIG ビット）をセットし、1～15 ms 後にクリアします。

ホストからレジュームシグナリングが検出されると、レジューム割り込み（OTG_HS_GINTSTS の WKUPINT ビット）が発生され、デバイスサスペンドビットは自動的にクリアされます。

35.5.3 ペリフェラルエンドポイント

OTG_HS コアは、次の USB エンドポイントをインスタンス化します。

- コントロールエンドポイント 0

  双方向であり、制御メッセージのみを取り扱います。

  IN および OUT トランザクションを扱うレジスタの他、専用制御レジスタ（OTG_HS_DIEPCTL0/OTG_HS_DOEPCTL0）、転送設定レジスタ（OTG_HS_DIEPTSIZ0/OTG_HS_DIEPTSIZ0）、ステータス割り込みレジスタ（OTG_HS_DIEPINTx/）OTG_HS_DOEPINT0）を持っています。制御および転送サイズレジスタ内で使用可能なビットのセットは、他のエンドポイントとは少し違います。

- 5 個の IN エンドポイント
  - それぞれ、アイソクロナス転送、バルク転送、または割り込み転送タイプをサポートするように設定できます。
  - 専用制御レジスタ（OTG_HS_DIEPCTLx）、転送設定レジスタ（OTG_HS_DIEPTSIZx）、ステータス割り込みレジスタ（OTG_HS_DIEPINTx）を持っています。
  - デバイス IN エンドポイント共通割り込みマスクレジスタ（OTG_HS_DIEPMSK）を使うと、すべての IN エンドポイント（EP0 も含む）上で 1 つのエンドポイント割り込みソースを有効／無効にできます。
  - これらは、不完全なアイソクロナス IN転送割り込みをサポートします（OTG_HS_GINTSTS の IISOIXFR ビット）。現在のフレームで転送が完了していないアイソクロナス IN エンドポイントが少なくとも 1 つあることを示すために、この割り込みを発生させます。この割り込みは、周期的フレーム割り込み（OTG_HS_GINTSTS/EOPF）の終わりとともにアサートされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

- 5 つの OUT エンドポイント
  - それぞれ、アイソクロナス転送、バルク転送、または割り込み転送タイプをサポートするように設定できます。
  - これらには、専用の制御（OTG_HS_DOEPCTLx）レジスタ、転送設定（OTG_HS_DOEPTSIZx）レジスタ、ステータス割り込み（OTG_HS_DOEPINTx）レジスタがあります。
  - デバイス OUT エンドポイント共通割り込みマスクレジスタ（OTG_HS_DOEPMSK）を使うと、すべての OUT エンドポイント（EP0 も含む）上で 1 つのエンドポイント割り込みソースを有効／無効にできます。
  - これらは、不完全なアイソクロナス OUT転送割り込みをサポートします（OTG_HS_GINTSTS の INCOMPISOOUT ビット）。現在のフレームで転送が完了していないアイソクロナス OUT エンドポイントが少なくとも 1 つあることを示すために、この割り込みを発生させます。この割り込みは、周期的フレーム割り込み（OTG_HS_GINTSTS/EOPF）の終わりとともにアサートされます。

エンドポイント制御

次のエンドポイント制御は、デバイスエンドポイント x IN/OUT 制御レジスタ（DIEPCTLx/DOEPCTLx）を使って行うことができます。

- エンドポイントイネーブル／ディセーブル
- 現在の設定でのエンドポイントの有効化
- USB 転送タイプ（アイソクロナス、バルク、割り込み）のプログラミング
- サポートされるパケットサイズのプログラミング
- IN エンドポイントに関連する Tx FIFO 番号のプログラミング
- 期待される、または送信されるデータ 0／データ 1 PID（バルク／割り込みのみ）のプログラミング
- トランザクションが送受信される偶数／奇数フレームのプログラミング（アイソクロナス転送のみ）
- オプションで、FIFO のステータスに関係なく、常にホストに否定応答する NAK ビットのプログラミング
- オプションで、エンドポイントに対するホストトークンを常に停止する STALL ビットのプログラミング
- オプションで、受信データ CRC をチェックしない OUT エンドポイントに対するスヌープモードのプログラミング

エンドポイント転送

アプリケーションは、デバイスエンドポイント x 転送サイズレジスタ（DIEPTSIZx/DOEPTSIZx）を使用して、転送サイズパラメータをプログラムし、転送ステータスを読み出すことができます。

エンドポイント制御レジスタのエンドポイントイネーブルビットをセットする前にプログラミングを行う必要があります。

エンドポイントが有効になると、これらのフィールドは、OTG_FS コアが現在の転送ステータスで更新すると、読み出し専用になります。

以下の転送パラメータがプログラム可能です。

- 転送サイズ（バイト単位）
- 全体の転送サイズを構成するパケットの数

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

エンドポイントのステータス／割り込み

デバイスエンドポイント x 割り込みレジスタ（DIEPINTx/DOPEPINTx）は、USB および AHB 関連イベントに関するエンドポイントのステータスを示します。アプリケーションは、コア割り込みレジスタの OUT エンドポイント割り込みビットまたは IN エンドポイント割り込みビット（OTG_HS_GINTSTS の OEPINT ビット、または OTG_HS_GINTSTS の IEPINT ビット）がセットされたとき、これらのレジスタを読み出さなければなりません。アプリケーションがこれらのレジスタを読み出すためには、まず、デバイスオールエンドポイント割り込み（OTG_HS_DAINT）レジスタを読み出して、デバイスエンドポイント x 割り込みレジスタの正確なエンドポイント番号を取得する必要があります。アプリケーションは、このレジスタの適切なビットをクリアすることによって、DAINT および GINTSTS レジスタの対応するビットをクリアする必要があります。

ペリフェラルコアは、以下のステータスチェックおよび割り込み生成を行います。

- データ転送がアプリケーション側（AHB）と USB 側の両方で完了したことを示す転送完了割り込み
- セットアップステージが終了しているかどうか（コントロール OUT のみ）
- 関連する送信 FIFO が半分または完全にエンプティであるかどうか（IN エンドポイント）
- NAK 応答がホストに送信されたかどうか（アイソクロナス IN のみ）
- Tx FIFO がエンプティのとき IN トークンが受け取られたかどうか（バルク IN/インタラプト IN のみ）
- エンドポイントがまだ有効になっていないときに OUT トークンを受け取ったかどうか
- バブルエラー条件が検出されたかどうか
- アプリケーションによるエンドポイントの無効化が可能かどうか
- アプリケーションによるエンドポイント NAK が可能かどうか（アイソクロナス IN のみ）
- 3 つを超える連続したセットアップパケットが受信されたかどうか（コントロール OUT のみ）
- タイムアウト条件が検出されたかどうか（コントロール IN のみ）
- アイソクロナス OUT パケットが割り込みを発生せずにドロップされたかどうか

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

35.6 ホストモードでの USB 機能の説明

このセクションでは、USB ホストモードでの OTG_HS の機能について説明します。OTG_HS は次の環境で USB ホストとして機能します。

- OTG A ホスト

  USB ケーブルの A 側が挿入されたときの OTG A デバイスのデフォルト状態
- OTG B ホスト

  HNP がホストの役割に切り替わった後の OTG B デバイス
- A デバイス

  ID ラインが存在し、機能していて、USB ケーブルの A 側に接続され、かつ、グローバル USB 設定レジスタの HNP 対応ビット（OTG_HS_GUSBCFG の HNPCAP ビット）がクリアされている場合。組み込みのプルダウン抵抗が自動的に DP/DM ライン上にセットされます。
- ホストの場合 （*図 388：USBホスト専用接続*）。

  グローバル USB 設定レジスタの強制ホストモードビット（OTG_HS_GUSBCFG の FHMOD ビット）は、OTG_HS コアを強制的に USB ホスト専用モードで機能させます。この場合、ID ラインは、USB コネクタ上に存在していても無視されます。内蔵プルダウン抵抗が自動的に OTG_HS_FS_DP/OTG_HS_FS_DM ラインに接続されます。

注： ***オンチップの 5 V V_{BUS} の発生はサポートされていません。このため、チャージポンプまたは基本電源スイッチ （アプリケーションボードに 5 V電源がある場合）を外付けして 5 V V_{BUS} ラインを駆動する必要があります。外付けチャージポンプは、任意の GPIO 出力からでも駆動できます。これは、OTG A ホスト、A デバイス、およびホスト専用設定の場合に必要です。***

V_{BUS} 入力は、USB 操作中に、チャージポンプによって有効な V_{BUS} レベルが供給されることを保証します。チャージポンプの過電流出力は、ポート割り込みを発生するように設定された任意の GPIO ピンに入力できます。過電流 ISR は速やかに V_{BUS} の生成を無効にする必要があります。

35.6.1 SRP 対応ホスト

SRP のサポートはグローバル USB 設定レジスタの SRP 対応ビット（OTG_HS_GUSBCFG の SRPCAP ビット）を通じて使用可能です。SRP 機能が有効なときには、ホストは、USB セッションがサスペンド状態にある間V_{BUS}の電力供給を停止することによって、消費電力を節約できます。SRP ホストモードプログラムモデルの詳細は*セクション：A デバイスセッションリクエストプロトコル*で説明します。

35.6.2 USB ホストの状態

ホストポートパワー

オンチップの 5 V V_{BUS} の発生はサポートされていません。このため、チャージポンプまたは基本電源スイッチ （アプリケーションボードに 5 V電源がある場合）を外付けして 5 V V_{BUS} ラインを駆動する必要があります。外部チャージポンプは、任意の GPIO 出力からでも駆動できます。選択した GPIO を使用して V_{BUS}でアプリケーションがパワーオンする場合は、ホストポート制御レジスタとステータスレジスタのポートパワービット（OTG_HS_HPRT の PPWR ビット）もセットする必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

V_{BUS} 有効

SRP または HNP が有効化された場合 VBUS センシングピン （PB13）は V_{BUS}に接続する必要があります。USB 動作中にチャージポンプによって適切な V_{BUS} レベルが供給されることをV_{BUS}入力は保証します。V_{BUS} の有効閾値（4.25 V）を下回る予期せぬ V_{BUS} 電圧低下が発生すると、セッション終了検出ビット（OTG_HS_GOTGINT の SEDET ビット）による OTG 割り込みが発生します。その場合、アプリケーションは V_{BUS} 電源供給を停止し、ポートパワービットをクリアする必要があります。

HNP と SRP が共に無効化された場合 VBUS センシングピン （PB13）は V_{BUS}に接続する必要があります。このピンは GPIO として使用することができます。

チャージポンプの過電流フラグは、電気的ダメージを防止するためにも使用できます。チャージポンプからの過電流フラグ出力を任意の GPIO 入力に接続して、有効レベルになったときにポート割り込みを発生するように設定します。過電流 ISR は迅速に V_{BUS} の発生を無効にし、ポートパワービットをクリアする必要があります。

ペリフェラル接続のホストからの検出

SRP または HNP を有効化し、かつ USB ペリフェラルまたは B デバイスをいつでも接続できる場合でも V_{BUS}の検出が終わるまで （V_{BUS}が 4.75 V を超えるまで）はバス接続を検出しません。

V_{BUS} が有効なレベルにあり、リモート B デバイスが接続されると、OTG_HS コアは、ホストポート制御およびステータスレジスタのデバイス接続ビット（OTG_HS_HPRT の PCDET ビット）によってトリガされるホストポート割り込みを生成します。

HNP と SRP が共に切り離されたとき、USB ペリフェラルまたは B デバイスが接続されると直ちに検出されます。OTG_FS コアは、ホストポート制御およびステータス内のデバイス接続ビット（OTG_FS_HPRT ビット）から発生するホストポート割り込みを発行します。

ペリフェラル切り離しのホストからの検出

ペリフェラル切断イベントは、切断検出割り込み（OTG_HS_GINTSTS の DISCINT ビット）をトリガします。

ホストのエニュメレーション

ペリフェラル接続を検出した後、ホストは USB リセットおよび設定コマンドを新しいペリフェラルに発行することによって、エニュメレーションプロセスを開始しなければなりません。

USB リセットを送信する前に、アプリケーションは、デバウンス終了ビット（OTG_HS_GOTGINT の DBCDNE ビット）によってトリガされる OTG 割り込みを待ちます。これは OTG_HS_FS_DP（フルスピード）または OTG_HS_FS_DM（ロースピード）のプルアップ抵抗の接続によって生じた電気的デバウンスの後、バスが再び安定状態に戻ったことを示します。

アプリケーションは、ホストポート制御およびステータスレジスタ（OTG_HS_HPRT の PRST ビット）のポートリセットビットを最短 10 ms、最長 20 ms の間セット状態に保つことによって USB を介した USB リセット（シングルエンド、ゼロ）を発行します。アプリケーションは時間を監視して、ポートリセットビットをクリアします。

USB リセットシーケンスが完了すると、ポートイネーブル／ディセーブル変更ビット（OTG_HS_HPRT の PENCHNG ビット）によりホストポート割り込みがトリガされます。これは、エニュメレーションされたペリフェラルの速度をホストポート制御およびステータスレジスタのポート速度フィールド（ OTG_HS_HPRT の PSPD ビット）から読み出し可能で、かつホスト （フルスピード）またはキープアライブトークン （ロースピード）の駆動を開始することをアプリケーションへ通知します。これで、ホストは、ペリフェラル設定コマンドを送信することによってペリフェラルエニュメレーションを完了する準備ができたことになります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ホストのサスペンド

アプリケーションは、ホストポート制御およびステータスレジスタのポートサスペンドビット（OTG_HS_HPRT の PSUSP ビット）をセットすることによって USB の動作をサスペンド（一時停止）することができます。OTG_HS コアは SOF の送信を停止し、サスペンド状態に入ります。

サスペンド状態は、リモートデバイスから終了させることもできます（リモートウェイクアップ）。この場合、リモートウェイクアップイベントが検出されると、リモートウェイクアップ割り込み（OTG_HS_HPRT の PRES ビット）が生成され、ホストポート制御およびステータスレジスタのポートレジュームビット（OTG_HS_GINTSTS の WKUPINT ビット）がセットされて、レジューム信号が USB 上で自動的に生成されます。アプリケーションは、レジュームウィンドウの継続時間を監視して、ポートレジュームビットをクリアしてサスペンド状態を終了し SOF をリスタートする必要があります。

サスペンド状態をホストから終了した場合、アプリケーションは、ポートレジュームビットをセットして、ホストポートでの信号をレジュームし、レジュームウィンドウの継続時間を監視し、次に、ポートレジュームビットをクリアする必要があります。

35.6.3 ホストチャネル

OTG_HS コアは 12 個のホストチャネルをインスタンス化します。各ホストチャネルは USB ホスト転送をサポートします（USB パイプ）。ホストは、同時に 8 つを超える転送リクエストをサポートすることはできません。アプリケーションからの 8 つを超える転送リクエストがペンディング中の場合、ホストコントローラドライバ（HCD）は、チャネルが使用可能になったとき、すなわち、転送完了およびチャネルホールト割り込みの受信後、チャネルの再割り当てを行う必要があります。

各ホストチャネルは、入力／出力および任意のタイプの周期的/非周期的トランザクションをサポートするように設定できます。各ホストチャネルは、専用の制御レジスタ（HCCHARx）、転送設定レジスタ（HCTSIZx）、ステータス／割り込みレジスタ（HCINTx）、およびそれぞれに対応するマスクレジスタ（HCINTMSKx）を持っています。

ホストチャンネル制御

次のホストチャネル制御は、ホストチャネル x 特性レジスタ（HCCHARx）から使用することができます。

- チャネルのイネーブル／ディセーブル
- ターゲット USB ペリフェラルの HS/FS/LS 速度のプログラミング
- ターゲット USB ペリフェラルのアドレスのプログラミング
- ターゲット USB ペリフェラルのエンドポイント数のプログラミング
- IN/OUT 転送方向のプログラミング
- USB 転送タイプ（制御、バルク、割り込み、アイソクロナス）のプログラミング
- 最大パケットサイズ（MPS）のプログラミング
- 奇数／偶数フレームで実行される周期的転送のプログラミング

ホストチャネル転送

アプリケーションは、ホストチャネル転送サイズレジスタ（HCTSIZx）を使用して、転送サイズパラメータをプログラムし、転送ステータスを読み出すことができます。

プログラミングは、ホストチャネル特性レジスタのチャネルイネーブルビットをセットする前に行う必要があります。エンドポイントが有効になると OTG HS コアが現在の転送ステータスに従って更新するので、パケットカウントフィールドは読み出し専用になります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

以下の転送パラメータがプログラム可能です。

- 転送サイズ（バイト単位）
- 全体の転送サイズを構成するパケットの数
- 初期データ PID

ホストチャネルのステータス／割り込み

ホストチャネル x 割り込みレジスタ（HCINTx）は USB および AHB 関連イベントに関するエンドポイントのステータスを示します。アプリケーションは、コア割り込みレジスタのホストチャネル割り込みビット（OTG_HS_GINTSTS の OEPINT ビット）がセットされたとき、これらのレジスタを読み出さなければなりません。アプリケーションがこれらのレジスタを読み出すためには、まず、ホストオールチャネル割り込み（HCAINT）レジスタを読み出して、ホストチャネル x 割り込みレジスタの正確なチャネル数を取得する必要があります。アプリケーションは、このレジスタの適切なビットをクリアすることによって HAINT レジスタおよび GINTSTS レジスタの対応するビットをクリアする必要があります。各チャネルの各割り込みソースのマスクビットも OTG_HS_HCINTMSK-x レジスタで使用可能です。

ホストコアは、以下のステータスチェックおよび割り込み生成を行います。

- データ転送がアプリケーション側（AHB）と USB 側の両方で完了したことを示す転送完了割り込み
- 転送完了、USB トランザクションエラー、またはアプリケーションからのディセーブルコマンドのためにチャネルが停止した時
- 関連する送信 FIFO が半分または完全にエンプティの時（IN エンドポイント）
- ACK 応答を受け取った時
- NAK 応答を受け取った時
- STALL 応答を受け取った時
- CRC エラー、タイムアウト、ビットスタッフエラー、偽 EOP による USB トランザクションエラー
- バブルエラー
- フレームオーバラン
- データトグルエラー

35.6.4 ホストスケスケジューラ

ホストコアは、アプリケーションによってポストされ USB トランザクションリクエストを自律的に並べ替えて、管理する組み込みハードウェアスケジューラを備えています。各フレームの開始時に、ホストは、周期的（アイソクロナスおよび割り込み）トランザクションを最初に実行し、次に、非周期的（制御およびバルク）トランザクションを行うことによって USB の仕様に従って、アイソクロナスおよび割り込み転送タイプを優先します。

ホストは、リクエストキュー（1 つは周期的転送のキュー、もう 1 つは非周期的転送のキュー）を通じて USB トランザクションを処理します。各リクエストキューは、最大 8 個のエントリを保持できます。各エントリはアプリケーションからの保留中のトランザクションリクエストを表し IN または OUT チャネル番号と USB 上でトランザクションを実行するためのその他の情報を保持しています。リクエストがキューに書き込まれた順序によって USB インタフェース上のトランザクションの順序が決まります。

各フレームの先頭で、ホストは、まず、周期的リクエストキューを処理し、次に、非周期的リクエストキューを処理します。現在のフレームに対してスケジュールされたアイソクロナスまたは割り込みトランザクションが現在のフレームの終了時点でまだ処理されていない場合、ホストは、不完全周期転送割り込み（OTG_HS_GINTSTS の IPXFER ビット）を生成します。OTG HS コアは周期的と非

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

周期的リクエストキューの管理を行います。周期的送信 FIFO およびキューステータスレジスタ（HPTXSTS）と非周期的送信 FIFO およびキューステータスレジスタ（HNPTXSTS）は読み出し専用レジスタであり、アプリケーションから各リクエストキューのステータスを読み出すときに使うことができます。これらのレジスタには次が含まれます：

- 周期（非周期）リクエストキューで現在使用可能なフリーエントリの数（最大 8 エントリ）。
- 周期（非周期）Tx FIFO（OUT トランザクション）で現在使用可能な空きスペース
- IN/OUT トークン、ホストチャネル番号、およびその他の情報

リクエストキューはそれぞれ最大 8 つのエントリを保持できるので、アプリケーションは、最大 8 つの保留中の周期トランザクションに加えて 8 つの保留中の非周期トランザクションについて USBに物理的に到達する前に、ホストトランザクションを事前にスケジュールできます。

ホストスケスケジューラ （キュー）へトランザクションリクエストをポストするときは、アプリケーションは OTG_HS_HNPTXSTS レジスタの PTXQSAV ビット、または OTG_HS_HNPTXSTS レジスタの NPTQXSAV ビットを読み出して、周期的（非周期的）リクエストキュー内に少なくと 1 つのエントリが存在することを確認する必要があります。

35.7 SOF トリガ

OTG FS コアは、ホストおよびペリフェラルで SOF フレーミングを監視し、追跡し、設定を可能にします。また SOF パルス出力接続機能も持っています。

これらの機能は、オーディオペリフェラルが PC によって提供されるアイソクロナスストリームに同期する必要がある場合や、ホストがオーディオペリフェラルの要件に従ってフレーミング速度をトリム（微調整）する必要がある場合など、適応型オーディオクロック発生技術にとって特に役立ちます。

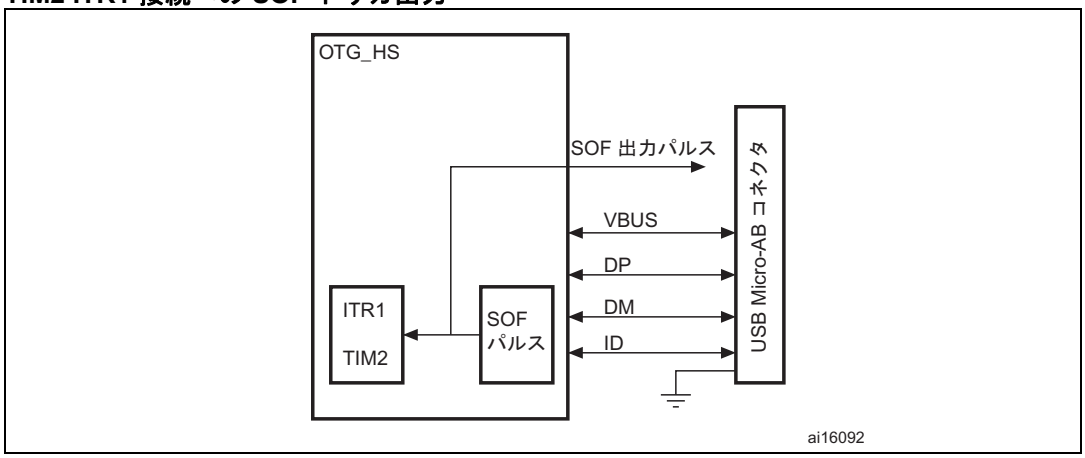
35.7.1 ホスト SOF

ホストモードでは 2 つの連続した SOF（FS）またはキープアライブ（LS）トークンの生成の間に発生する PHY クロックの数は、ホストフレームインターバルレジスタ（OTG_HS_HFIR）でプログラム可能であり SOF フレーミング周期に対する制御をアプリケーションに与えます。割り込みは、どのフレームの開始時点でも生成されます（OTH_HS_GINTSTS の SOF ビット）。現在のフレーム番号と次の SOF までの残り時間が、ホストフレーム番号レジスタ（OTG_HS_HFNUM）で追跡されます。

SOF パルス信号は、任意の SOF 開始トークンで生成され 12システムクロックサイクルの幅です。グローバル制御および設定レジスタの SOFOUTEN ビットを使って SOF ピンに出力することができます。SOF パルスは、タイマ 2（TIM2）の入力トリガにも内部接続されるので、入力キャプチャ機能、出力比較機能、およびタイマを SOF パルスによってトリガできます。TIM2 接続は TIM2_OR レジスタの ITR1_RMP ビットを使って有効化します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

TIM2 ITR1 接続への SOF トリガ出力



35.7.2 ペリフェラル SOF

ペリフェラルモードでは、フレーム開始割り込みは SOF トークンが USB 上で受信されるたびに生成されます（OTH_HS_GINTSTS の SOFT ビット）。対応するフレーム番号は、デバイスステータスレジスタ（OTG_HS_DSTS の FNSOF ビット）から読み出すことができます。12 システムクロックサイクルの幅を持つ SOF パルス信号も生成され、グローバル制御および設定レジスタの SOF 出力イネーブルビット（OTG_HS_GCCFG の SOFOUTEN ビット）を使用して SOF ピン上で外部的に使用可能になります。SOF パルス信号は、タイマ 2（TIM2）入力トリガにも内部接続されるので、入力キャプチャ機能、出力比較機能、およびタイマを SOF パルスによってトリガできます（図 参照）。TIM2 接続は TIM2_OR レジスタ ITR1_RMP ビットを使って有効化します。

周期的フレーム割り込みの終わり（GINTSTS/EOPF）は、デバイス設定レジスタの周期的フレームインターバルフィールド（OTG_HS_DCFG の PFIVL ビット）に応じて、タイムフレームインターバルの 80%、85%、90%または 95% が経過した時点をアプリケーションに通知するために使用されます。

この機能を使用して、そのフレームのアイソクロナストラフィックのすべてが完了したかどうかを判断できます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

35.8 USB_HS パワーモード

OTG PHY の消費電力は、一般コア設定レジスタの 3 つのビットによって制御されます。

- PHY パワーダウン（GCCFG/PWRDWN）

  このビットは PHY フルスピードトランシーバモジュールのオン／オフを切り替えます。事前にセットして、すべての USB 動作を可能にする必要があります。

- A-VBUS センスイネーブル（GCCFG/VBUSASEN）

  このビットは A デバイス操作に対応す V_{BUS} コンパレータのオン／オフを切り替えます。A デバイス（USB ホスト）モードおよび HNP 中に、これをセットする必要があります。

- B-VBUS センスイネーブル（GCCFG/VBUSASEN）

  このビットは B デバイス操作に対応す V_{BUS} コンパレータのオン／オフを切り替えます。B デバイス（USB ペリフェラル）モードおよび HNP 中に、これをセットする必要があります。

  USB セッションがまだ有効でないか、デバイスが切断されているときに USB サスペンド状態で節電技術を使用できます。

- PHY クロックを停止します（OTG_HS_PCGCCTL の STPPCLK ビット）。
  - クロックゲーティング制御レジスタのストップ PHY クロックビットをセットすると ハイスピードコア内部のクロックドメインのほとんどがクロックゲーティングによってスイッチオフされます。USB クロック切り替え機能による動的な電力消費は、クロック入力がアプリケーションによって動作状態を維持された場合でも節減されます。
  - ほとんどのトランシーバも無効になり、非同期レジュームやリモートウェイクアップイベントの検出を担当する部分だけが動作状態を維持します。

- ゲート HCLK（OTG_HS_PCGCCTL の GATEHCLK ビット）

  クロックゲーティング制御レジスタのゲート HCLK ビットをセットすると OTG_HS コア内部のシステムクロックドメインのほとんどがクロックゲーティングによってスイッチオフされます。レジスタ読み出しおよび書き込みインタフェースのみが動作状態を維持します。USB クロック切り替え機能による動的な電力消費は、システムクロックが他の目的のためにアプリケーションによって動作状態を維持されている場合でも節減されます。

- USB システムの停止
  - OTG_HS が USB サスペンド状態にある場合、アプリケーションはシステム内のすべてのクロックソースを完全にシャットダウンすることによって、電力消費全体を大幅に削減できます。USB システムの停止は、まず、ストップ PHY クロックビットをセットし、次に、パワー制御システムモジュール（PWR）でシステムディープスリープモードを設定することによって有効になります。
  - OTG_HS コアは USB 上でリモートウェイクアップ（ホストとして）またはリモートレジューム（デバイスとして）信号の非同期検出によって、システムと USB クロックの両方を自動的に再起動します。

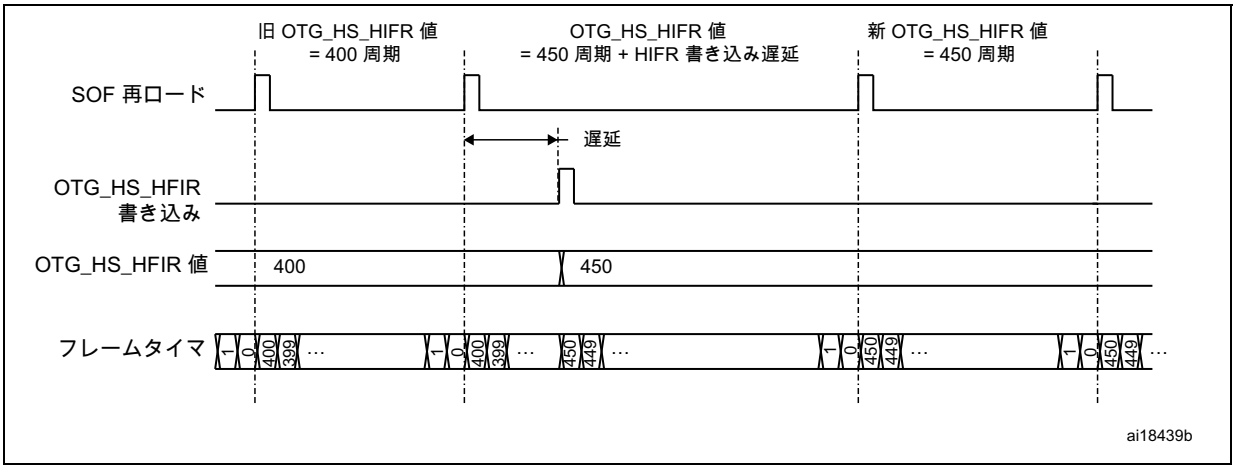
この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

35.9 OTG_HS_HFIR レジスタの動的更新

USB コアはホストモードでマイクロ SOF フレーミング周期を動的にトリミングする機能を内蔵しています。この機能を使うと、外部デバイスをマイクロ SOF フレームと同期させることができます。

現在のマイクロ SOF フレーム内で OTG_HS_HFIRレジスタを変更すると、*図 410* で説明するように次のフレーム SOF 周期補正が適用されます。

図 410. OTG_HS_HFIR の動的更新



35.10 FIFO RAM の割り当て

35.10.1 ペリフェラルモード

受信 FIFO RAM

受信 FIFO RAM : アプリケーションはSETUPパケットに RAM を割り当てる必要があります。すなわち、制御エンドポイントでSETUPパケットを受信するため受信 FIFO に 10 ロケーションを確保する必要があります。これらのロケーションはセットアップパケットのために確保し、コアは他のデータの書き込みに使用しません。

1 つのロケーションは、グローバル OUT NAK のために割り当てる必要があります。各受信パケットとともに、ステータス情報が FIFO に書き込まれます。したがって、パケットを受信するには、少なくとも、（最大パケットサイズ / 4）+ 1 のスペースを割り当てる必要があります。広帯域エンドポイントまたは複数のアイソクロナスエンドポイントが有効な場合、連続パケットを受信するには、少なくとも、（最大パケットサイズ / 4）+ 1 の 2 倍のスペースを割り当てる必要があります。一般に、前のパケットが AHB に転送されている間に USB が次のパケットを受信できるようにするために、（最大パケットサイズ / 4）+ 1 の 2 倍のスペースが推奨されます。

各エンドポイントの最後のパケットとともに、送信完了ステータス情報が FIFO にプッシュされます。一般に、各 OUT エンドポイントに対して 1 つのロケーションを予約することが推奨されます。

送信 FIFO RAM

送信 FIFO RAM : 各 IN エンドポイント送信 FIFO に必要な最小 RAM スペースは、その特定の IN エンドポイントに対する最大パケットサイズを収容できるスペースとなります。

*注 : **送信 IN エンドポイント FIFO に割り当てるスペースが大きいほど USB のパフォーマンスは高くなります。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

35.10.2 ホストモード

受信 FIFO RAM

受信 FIFO の RAM 割り当ての場合、各受信パケットとともに、ステータス情報が FIFO に書き込まれます。したがって、パケットを受信するには、少なくとも、（最大パケットサイズ / 4）+ 1 のスペースを割り当てる必要があります。広帯域チャンネルまたは複数のアイソクロナスチャンネルが有効な場合、連続パケットを受信するには、少なくとも、（最大パケットサイズ / 4）+ 1 の 2 倍のスペースを割り当てる必要があります。一般に、前のパケットが AHB に転送されている間に USB が次のパケットを受信できるようにするために、（最大パケットサイズ / 4）+ 1 の 2 倍のスペースが推奨されます。

各ホストチャンネルの最後のパケットとともに、送信完了ステータス情報が FIFO にプッシュされます。このため、このデータを保持するため 1 ロケーションを割り当てる必要があります。

送信 FIFO RAM

送信 FIFO RAM の割り当て：ホストの非周期的送信 FIFO に必要な最小 RAM スペースは、サポートされるすべての非周期的 OUT チャネルの中で最大のパケットサイズを収容できるスペースとなります。一般に、現在のパケットの USB へ転送中に AHB が後続のパケットを送信できるようにするため、最大パケットサイズの2 倍のスペースが推奨されます。

ホストの周期的送信 FIFO に必要な最小 RAM スペースは、サポートされるすべての周期的 OUT チャネルの中で最大のパケットサイズを収容できるスペースとなります。少なくとも 1 つの広帯域アイソクロナス OUT エンドポイントがある場合には、スペースはそのチャネルの最大パケットサイズの少なくとも 2 倍でなければなりません。

注： ***非周期的送信 FIFO に割り当てるスペースが大きいほど USB のパフォーマンスは高くなります。***

DMA モードで動作する場合、各ホストチャンネル（HCDMAn）アドレスレジスタ （FIFO）に格納されます。各チャンネル に 1 ロケーション確保する必要があります。

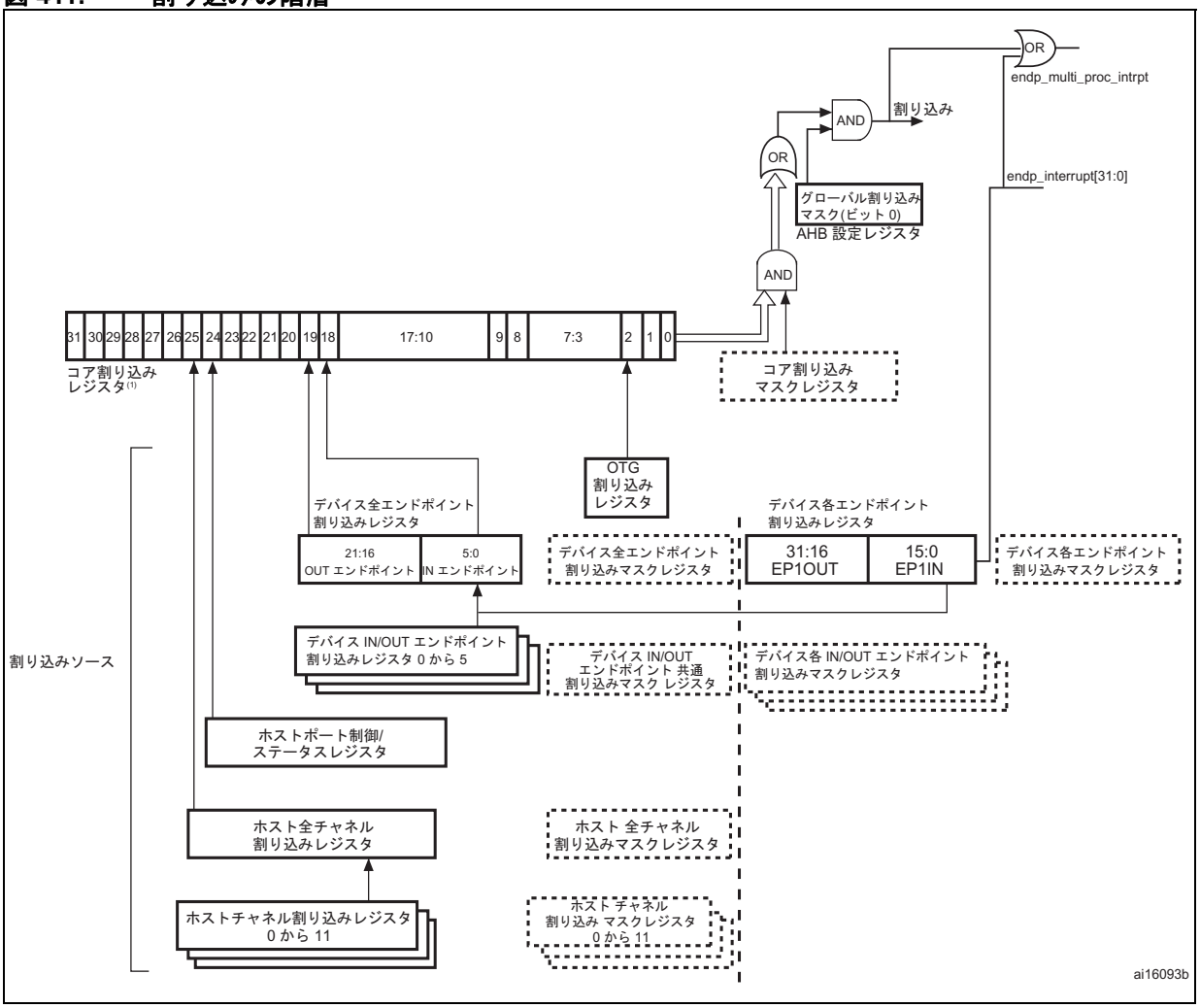
この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

35.11 OTG_HS 割り込み

OTG_HS コントローラがペリフェラルモードまたはホストモードのいずれかで動作しているときには、アプリケーションは、別のモードからレジスタにアクセスしてはなりません。不正なアクセスが発生した場合、モード不一致割り込みが生成され、コア割り込みレジスタ（OTG_HS_GINTSTS レジスタの MMIS ビット）に反映されます。コアがあるモードから別のモードに切り替わったとき、新しい動作モードにおけるレジスタは、パワーオンリセット後と同様に再プログラムされなければなりません。

*図 411*に、割り込みの階層を示します。

図 411. 割り込みの階層



1. コア割り込みレジスタビットは、*OTG_HS コア割り込みレジスタ（OTG_HS_GINTSTS）（1431 ページ）*に示されています。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

35.12 OTG_HS 制御／ステータスレジスタ

アプリケーションは AHB スレーブインタフェースを通じて制御／ステータスレジスタ（CSR）を読み書きすることによって OTG_HS コントローラを制御します。これらのレジスタは 32 ビット幅であり、アドレスは 32 ビットブロックに配置されています。OTG_HS レジスタは、ワード（32 ビット）単位でアクセスする必要があります。CSR は、次のように分類されます。

- コアグローバルレジスタ
- ホストモードレジスタ
- ホストグローバルレジスタ
- ホストポート CSR
- ホストチャネル固有レジスタ
- デバイスモードレジスタ
- デバイスグローバルレジスタ
- デバイスエンドポイント固有レジスタ
- パワーおよびクロックゲーティングレジスタ
- データ FIFO（DFIFO）アクセスレジスタ

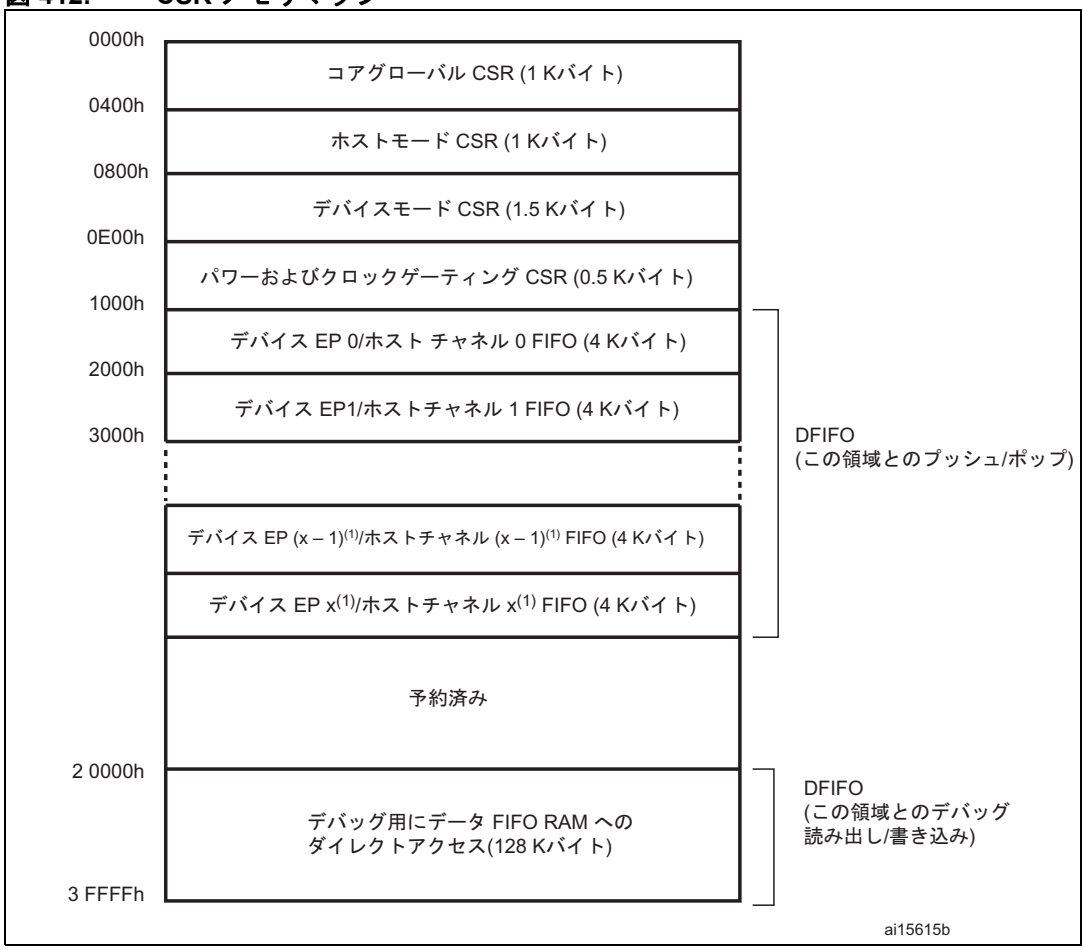
コアグローバル、パワーおよびクロックゲーティング、データ FIFO（DFIFO）アクセス、およびホストポート CSR レジスタのみが、ホストモードおよびペリフェラルモードの両方でのアクセスが可能です。OTG_HS コントローラがペリフェラルモードまたはホストモードのいずれかで動作しているときには、アプリケーションは、別のモードからレジスタにアクセスしてはなりません。不正なアクセスが発生した場合、モード不一致割り込みが発生され、コア割り込みレジスタ（OTG_HS_GINTSTS レジスタの MMIS ビット）に反映されます。コアがあるモードから別のモードに切り替わったとき、新しい動作モードにおけるレジスタは、パワーオンリセット後と同様に再プログラムされなければなりません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

35.12.1 CSR メモリマップ

ホストモードおよびペリフェラルモードレジスタは、それぞれ異なるアドレスに配置されています。すべてのレジスタは AHB クロックドメインで実装されます。

図 412. CSR メモリマップ



1. ペリフェラルモードでは x = 5、ホストモードでは x = 11 です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

グローバル CSR マップ

これらのレジスタは、ホストモードとペリフェラルモードの両方で使用可能です。

表 202. コアグローバル制御およびステータスレジスタ（CSR）

略称	アドレスオフセット	レジスタ名
OTG_HS_GOTGCTL	0x000	*OTG_HS 制御およびステータスレジスタ（OTG_HS_GOTGCTL）（1421 ページ）*
OTG_HS_GOTGINT	0x004	*OTG_HS 割り込みレジスタ（OTG_HS_GOTGINT）（1423 ページ）*
OTG_HS_GAHBCFG	0x008	*OTG_HS AHB設定レジスタ（OTG_HS_GAHBCFG）（1424 ページ）*
OTG_HS_GUSBCFG	0x00C	*OTG_HS USB設定レジスタ（OTG_HS_GUSBCFG）（1425 ページ）*
OTG_HS_GRSTCTL	0x010	*OTG_HS リセットレジスタ（OTG_HS_GRSTCTL）（1428 ページ）*
OTG_HS_GINTSTS	0x014	*OTG_HS コア割り込みレジスタ（OTG_HS_GINTSTS）（1431 ページ）*
OTG_HS_GINTMSK	0x018	*OTG_HS 割り込みマスクレジスタ（OTG_HS_GINTMSK）（1436 ページ）*
OTG_HS_GRXSTSR	0x01C	*OTG_HS 受信ステータスデバッグ読み出し／OTG ステータス読み出しおよびポップレジスタ （OTG_HS_GRXSTSR/OTG_HS_GRXSTSP）（1439 ページ）*
OTG_HS_GRXSTSP	0x020	
OTG_HS_GRXFSIZ	0x024	*OTG_HS 受信 FIFO サイズレジスタ（OTG_HS_GRXFSIZ）（1440 ページ）*
OTG_HS_GNPTXFSIZ/ OTG_HS_TX0FSIZ	0x028	*OTG_HS非周期的送信 FIFOサイズ／エンドポイント 0 送信FIFOサイズレジスタ（OTG_HS_GNPTXFSIZ/OTG_HS_TX0FSIZ）（1441 ページ）*
OTG_HS_GNPTXSTS	0x02C	*OTG_HS非周期的送 ／キューステータスレジスタ（OTG_HS_GNPTXSTS）（1442 ページ）*
OTG_HS_GCCFG	0x038	*OTG_HS 一般コア設定レジスタ（OTG_HS_GCCFG）（1444 ページ）*
OTG_HS_CID	0x03C	*OTG_HS コア ID レジスタ （OTG_HS_CID）（1445 ページ）*
OTG_HS_HPTXFSIZ	0x100	*OTG_HS ホスト周期的送信 FIFO サイズレジスタ（OTG_HS_HPTXFSIZ）（1445 ページ）*
OTG_HS_DIEPTXFx	0x104 0x124 ... 0x13C	*OTG_HS デバイス IN エンドポイント送信 FIFO サイズレジスタ（OTG_HS_DIEPTXFx）（x = 1..7、x は FIFO_number）（1446 ページ）*

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ホストモード CSR マップ

これらのレジスタは、コアがホストモードに変わるたびにプログラムされなければなりません。

表 203. ホストモード制御およびステータスレジスタ （CSR）

略称	オフセットアドレス	レジスタ名
OTG_HS_HCFG	0x400	*OTG_HS ホスト設定レジスタ（OTG_HS_HCFG）（1446 ページ）*
OTG_HS_HFIR	0x404	*OTG_HS ホストフレームインターバルレジスタ（OTG_HS_HFIR）（1447 ページ）*
OTG_HS_HFNUM	0x408	*OTG_HS ホストフレーム番号／残りフレーム時間 レジスタ（OTG_HS_HFNUM）（1448 ページ）*
OTG_HS_HPTXSTS	0x410	*OTG_HS_ ホスト周期的送信 FIFO ／キューステータスレジスタ（OTG_HS_HPTXSTS）（1448 ページ）*
OTG_HS_HAINT	0x414	*OTG_HS ホスト全チャンネル割り込みレジスタ（OTG_HS_HAINT）（1450 ページ）*
OTG_HS_HAINTMSK	0x418	*OTG_HS ホスト全チャンネル割り込みマスクレジスタ（OTG_HS_HAINTMSK）（1450 ページ）*
OTG_HS_HPRT	0x440	*OTG_HS ホストポート制御およびステータスレジスタ（OTG_HS_HPRT）（1451 ページ）*
OTG_HS_HCCHARx	0x500 0x520 ... 0x6E0	*OTG_HS ホストチャンネル x特性レジスタ（OTG_HS_HCCHARx）（x = 0..11 = Channel_number）（1453 ページ）*
OTG_HS_HCSPLTx	0x504	*OTG_HS ホストチャンネル xスプリット制御レジスタ（OTG_HS_HCSPLTx）（x = 0..11 = Channel_number）（1455 ページ）*
OTG_HS_HCINTx	0x508	*OTG_HS ホストチャンネル x割り込みレジスタ（OTG_HS_HCINTx）（x = 0..11 = Channel_number）（1456 ページ）*
OTG_HS_HCINTMSKx	0x50C	*OTG_HS ホストチャンネル x割り込みマスクレジスタ（OTG_HS_HCINTMSKx）（x = 0..11 = Channel_number）（1457 ページ）*
OTG_HS_HCTSIZx	0x510	*OTG_HS ホストチャンネル x転送サイズレジスタ（OTG_HS_HCTSIZx）（x = 0..11 = Channel_number）（1458 ページ）*
OTG_HS_HCDMAx	0x514	*OTG_HS ホストチャンネル x DMA アドレスレジスタ（OTG_HS_HCDMAx）（x = 0..11 = Channel_number）（1459 ページ）*

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

デバイスモード CSR マップ

これらのレジスタは、コアがペリフェラルモードに変わるたびにプログラムする必要があります。

表 204. デバイスモード制御およびステータスレジスタ

略称	オフセットアドレス	レジスタ名
OTG_HS_DCFG	0x800	*OTG_HS デバイス設定レジスタ（OTG_HS_DCFG）（1459 ページ）*
OTG_HS_DCTL	0x804	*OTG_HS デバイス制御レジスタ（OTG_HS_DCTL）（1461 ページ）*
OTG_HS_DSTS	0x808	*OTG_HS デバイスステータスレジスタ（OTG_HS_DSTS）（1463 ページ）*
OTG_HS_DIEPMSK	0x810	*OTG_HS デバイス IN エンドポイント共通割り込みマスクレジスタ（OTG_HS_DIEPMSK）（1464 ページ）*
OTG_HS_DOEPMSK	0x814	*OTG_HS デバイス OUT エンドポイント共通割り込みマスクレジスタ（OTG_HS_DOEPMSK）（1465 ページ）*
OTG_HS_DAINT	0x818	*OTG_HS デバイス全エンドポイント割り込みレジスタ（OTG_HS_DAINT）（1466 ページ）*
OTG_HS_DAINTMSK	0x81C	*OTG_HS 全エンドポイント割り込みマスクレジスタ（OTG_HS_DAINTMSK）（1466 ページ）*
OTG_HS_DVBUSDIS	0x828	*OTG_HS デバイス VBUS 放電時間レジスタ（OTG_HS_DVBUSDIS）（1467 ページ）*
OTG_HS_DVBUSPULSE	0x82C	*OTG_HS デバイス VBUS パルシング時間レジスタ（OTG_HS_DVBUS PULSE）（1467 ページ）*
OTG_HS_DIEPEMPMSK	0x834	*OTG_HS デバイス IN エンドポイント FIFO エンプティ割り込みマスクレジスタ：(OTG_HS_DIEPEMPMSK）（1469 ページ）*
OTG_HS_EACHHINT	0x838	*OTG_HS デバイス各エンドポイント割り込みレジスタ（OTG_HS_D EACH INT）（1469 ページ）*
OTG_HS_EACHHINTMSK	0x83C	*OTG_HS デバイス各エンドポイント割り込みレジスタマスク（OTG_HS_D EACH INTMSK）（1470 ページ）*
OTG_HS_DIEPEACHMSK1	0x844	*OTG_HS デバイス各 IN エンドポイント 1 割り込みレジスタ（OTG_HS_DIEPEACHMSK1）（1470 ページ）*
OTG_HS_DOEPEACHMSK1	0x884	*OTG_HS デバイス各 OUT エンドポイント 1 割り込みレジスタ（OTG_HS_DOEPEACHMSK1）（1471 ページ）*
OTG_HS_DIEPCTLx	0x920 0x940 ... 0xAE0	*OTG デバイスエンドポイント x 制御レジスタ（OTG_HS_DIEPCTLx）（x = 0..7、x =Endpoint_number）（1472 ページ）*
OTG_HS_DIEPINTx	0x908	*OTG_HS デバイスエンドポイント x 割り込みレジスタ（OTG_HS_DIEPINTx）（x = 0..7、x = Endpoint_number）（1479 ページ）*
OTG_HS_DIEPTSIZ0	0x910	*OTG_HS デバイス IN エンドポイント 0転送サイズレジスタ（OTG_HS_DIEPTSIZ0）（1482 ページ）*

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 204. デバイスモード制御およびステータスレジスタ（続き）

略称	オフセットアドレス	レジスタ名
OTG_HS_DIEPDMAx	0x914	*OTG_HS デバイスエンドポイント x DMA アドレスレジスタ（OTG_HS_DIEPDMAx / OTG_HS_DOEPDMAx）（x = 1..5、x = Endpoint_number）（1486 ページ）*
OTG_HS_DTXFSTSx	0x918	*OTG_HS デバイス IN エンドポイント送信 FIFO ステータスレジスタ（OTG_HS_DTXFSTSx）（x = 0..5、x = Endpoint_number）（1485 ページ）*
OTG_HS_DIEPTSIZx	0x930 0x950 ... 0xAF0	*OTG_HS デバイス OUT エンドポイント x 転送サイズレジスタ（OTG_HS_DOEPTSIZx）（x = 1..5、x = Endpoint_number）（1485 ページ）*
OTG_HS_DOEPCTL0	0xB00	*OTG_HS デバイス制御 OUT エンドポイント 0 制御レジスタ（OTG_HS_DOEPCTL0）（1475 ページ）*
OTG_HS_DOEPCTLx	0xB20 0xB40 ... 0xCC0 0xCE0 0xCFD	*OTG デバイスエンドポイント x 制御レジスタ（OTG_HS_DIEPCTLx）（x = 0..7、x =Endpoint_number）（1472 ページ）*
OTG_HS_DOEPINTx	0xB08	*OTG_HS デバイスエンドポイント x 割り込みレジスタ（OTG_HS_DIEPINTx）（x = 0..7、x = Endpoint_number）（1479 ページ）*
OTG_HS_DOEPTSIZx	0xB10	*OTG_HS デバイス OUT エンドポイント x 転送サイズレジスタ（OTG_HS_DOEPTSIZx）（x = 1..5、x = Endpoint_number）（1485 ページ）*

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

データ FIFO（DFIFO）アクセススレジスタマップ

これらのレジスタは、ホストモードとペリフェラルモードの両方で使用可能であり、特定のエンドポイントまたはチャネルの FIFO スペースを指定された方向で読み書きするために使用されます。ホストチャネルが IN タイプの場合 FIFO はそのチャネル上では読み出しのみが可能です。同様に、ホストチャネルが OUT タイプの場合 FIFO はそのチャネル上では書き込みのみが可能です。

表 205. データ FIFO（DFIFO）アクセススレジスタマップ

FIFO アクセススレジスタセクション	アドレス範囲	アクセス
デバイス IN エンドポイント 0／ホスト OUT チャンネル 0 : DFIFO 書き込みアクセス デバイス OUT エンドポイント 0／ホスト IN チャンネル 0 : DFIFO読み出しアクセス	0x1000–0x1FFC	w r
デバイス IN エンドポイント ／ホスト OUT チャンネル 1 : DFIFO 書き込みアクセス デバイス OUT エンドポイント 1／ホスト IN チャンネル 1 : DFIFO読み出しアクセス	0x2000–0x2FFC	w r
...	...	...
デバイス IN エンドポイント(1) ／ホスト OUT チャンネル(1) : DFIFO 書き込みアクセス デバイス OUT エンドポイント(1)／ホスト INチャンネル(1) : DFIFO読み出しアクセス	0xX000h–0xXFFC	w r

1. ペリフェラルモードでは x = 5、ホストモードでは x = 11 です。

パワーおよびクロックゲーティング CSR マップ

パワーおよびクロックゲーティングの場合、シングルレジスタです。このレジスタは、ホストモードとペリフェラルモードの両方で使用できます。

表 206. パワーおよびクロックゲーティング制御およびステータスレジスタ

レジスタ名	略称	オフセットアドレス：0xE00–0xFFF
パワーおよびクロックゲーティング制御レジスタ	PCGCR	0xE00-0xE04
予約済み		0xE05–0xFFF

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

35.12.2 OTG_HS グローバルレジスタ

これらのレジスタは、ホストモードとペリフェラルモードの両方で使用でき、これらのモード間で切り替わっても再プログラムの必要はありません。

レジスタの説明で示されているビット値は、特に記載がない限りバイナリで表されています。

OTG_HS 制御およびステータスレジスタ（OTG_HS_GOTGCTL）

アドレスオフセット：0x000

リセット値：0x0000 0800

OTG 制御およびステータスレジスタは、コアの OTG 機能の動作を制御し、そのステータスを反映します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み												BSVLD	ASVLD	DBCT	CIDSTS	予約済み				DHNPEN	HSHNPEN	HNPRQ	HNGSCS	予約済み						SRQ	SRQSCS
												r	r	r	r					rw	rw	rw	r							rw	r

ビット 31:20 予約済みであり、リセット値に保持する必要があります。

ビット 19 **BSVLD**：B セッション有効

ペリフェラルモードでのトランシーバのステータスを示します。

0：B セッションは無効。

1：B セッションは有効。

OTG モードでは、このビットを使用して、デバイスが接続されているか、切断されているかを判断できます。

注： ペリフェラルモードでのみアクセス可能です。

ビット 18 **ASVLD**：A セッション有効

ホストモードでのトランシーバのステータスを示します。

0：A セッションは無効。

1：A セッションは有効。

注： ホストモードでのみアクセス可能です。

ビット 17 **DBCT**：ロング／ショートデバウンス時間

検出された接続のデバウンス時間を示します。

0：ロングデバウンス時間（100 ms + 2.5 µs）。物理的接続に使用されます。

1：ショートデバウンス時間（2.5 µs）。ソフト接続に使用されます。

注： ホストモードでのみアクセス可能です。

ビット 16 **CIDSTS**：コネクタ ID ステータス

接続イベント時のコネクタ ID のステータスを示します。

0：OTG_HS コントローラは A デバイスモードです。

1：OTG_HS コントローラは B デバイスモードです。

注： ペリフェラルモードとホストモードの両方でアクセス可能です。

ビット 15:12 予約済みであり、リセット値に保持する必要があります。

ビット 11 **DHNPEN**：デバイス HNP イネーブル

アプリケーションは、接続された USB ホストから SetFeature.SetHNPEnable コマンドを正常に受信したときに、このビットをセットします。

0：HNP は、アプリケーションでは無効です。

1：HNP は、アプリケーションで有効です。

注： ペリフェラルモードでのみアクセス可能です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 10 **HSHNPEN**：ホストセット HNP イネーブル

アプリケーションは、接続されたデバイスで HNP を正常に有効できたとき（SetFeature.SetHNPEnable コマンドを使用して）、このビットをセットします。

0：ホストセット HNP は無効です。

1：ホストセット HNP は有効です。

注： ホストモードでのみアクセス可能です。

ビット 9 **HNPRQ**：HNP リクエスト

アプリケーションは、接続された USB ホストへの HNP リクエストを開始するために、このビットをセットします。アプリケーションは OTG 割り込みレジスタのホストネゴシエーション正常ステータス変更ビット（OTG_HS_GOTGINT の HNSSCHG ビット）がセットされたとき 0 を書き込むことによって、このビットをクリアできます。コアは HNSSCHG ビットがクリアされたとき、このビットをクリアします。

0：HNP リクエストなし

1：HNP リクエスト

注： ペリフェラルモードでのみアクセス可能です。

ビット 8 **HNGSCS**：ホストネゴシエーション成功

コアは、ホストネゴシエーションに成功したとき、このビットをセットします。コアは、このレジスタの HNP リクエストビット（HNPRQ）がセットされたとき、このビットをクリアします。

0：ホストネゴシエーション失敗

1：ホストネゴシエーション成功

注： ペリフェラルモードでのみアクセス可能です。

ビット 7:2 予約済みであり、リセット値に保持する必要があります。

ビット 1 **SRQ**：セッションリクエスト

アプリケーションは USB 上でセッションリクエストを開始するために、このビットをセットします。アプリケーションは OTG 割り込みレジスタのホストネゴシエーション正常ステータス変更ビット（OTG_HS_GOTGINT の HNSSCHG ビット）がセットされたとき 0 を書き込むことによって、このビットをクリアできます。コアは HNSSCHG ビットがクリアされたとき、このビットをクリアします。

USB 1.1 フルスピードシリアルトランシーバインタフェースを使用してセッションリクエストを開始する場合、アプリケーションは、このレジスタの B セッション有効ビット（OTG_HS_GOTGCTL の BSVLD ビット）がクリアされた後 V_{BUS} が 0.2 V へ放電するまで待つ必要があります。この放電時間は PHY ごとに異なり PHY ベンダーから得ることができます。

0：セッションリクエストなし

1：セッションリクエスト

注： ペリフェラルモードでのみアクセス可能です。

ビット 0 **SRQSCS**：セッションリクエスト成功

コアは、セッションリクエストの開始に成功したとき、このビットをセットします。

0：セッションリクエスト失敗

1：セッションリクエスト成功

注： ペリフェラルモードでのみアクセス可能です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OTG_HS 割り込みレジスタ（OTG_HS_GOTGINT）

アドレスオフセット：0x04

リセット値：0x0000 0000

アプリケーションは OTG 割り込みがあると、このレジスタを読み出し、このレジスタのビットをクリアすることによって OTG 割り込みをクリアします。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み												DBCDNE	ADTOCHG	HNGDET	予約済み							HNSSCHG	SRSSCHG	予約済み					SEDET	予約済み	
												rc_w1	rc_w1	rc_w1								rc_w1	rc_w1						rc_w1		

ビット 31:20 予約済みであり、リセット値に保持する必要があります。

ビット 19 **DBCDNE**：デバウンス終了

コアは、デバイスが接続された後、デバウンスが完了したときに、このビットをセットします。アプリケーションは、この割り込みを確認した後に USB リセットの駆動を開始できます。このビットは、コ設定レジスタの HNP 対応ビットまたは SRP 対応ビット（OTG_HS_GUSBCFG のそれぞれ HNPCAP ビットまたは SRPCAP ビット）がセットされたときのみ有効です。

注： ホストモードでのみアクセス可能です。

ビット 18 **ADTOCHG**：A デバイスタイムアウト変化

コアは B デバイスの接続を待っている間に A デバイスがタイムアウトしたことを示すために、このビットをセットします。

注： ペリフェラルモードとホストモードの両方でアクセス可能です。

ビット 17 **HNGDET**：ホストネゴシエーションの検出

コアは USB 上でホストネゴシエーションリクエストを検出したときに、このビットをセットします。

注： ペリフェラルモードとホストモードの両方でアクセス可能です。

ビット 16:10 予約済みであり、リセット値に保持する必要があります。

ビット 9 **HNSSCHG**：ホストネゴシエーション成功ステータス変化

コアは USB ホストネゴシエーションリクエストの成功または失敗のときに、このビットをセットします。アプリケーションは OTG 制御およびステータスレジスタのホストネゴシエーション成功ビット（OTG_HS_GOTGCTL の HNGSCS ビット）を読み出して、成功か失敗かをチェックする必要があります。

注： ペリフェラルモードとホストモードの両方でアクセス可能です。

ビット 7:3 予約済みであり、リセット値に保持する必要があります。

ビット 8 **SRSSCHG**：セッションリクエスト成功ステータス変化

コアは、セッションリクエストの成功または失敗のときに、このビットをセットします。アプリケーションは OTG 制御およびステータスレジスタのセッションリクエスト成功ビット（OTG_HS_GOTGCTL の SRQSCS ビット）を読み出して、成功か失敗かをチェックする必要があります。

注： ペリフェラルモードとホストモードの両方でアクセス可能です。

ビット 2 **SEDET**：セッション終了検出

コアは V_{BUS} < 0.8 V のとき、このビットをセットして V_{BUS} の電圧レベルが B デバイスセッションにとって有効でなくなったことを示します。

ビット 1:0 予約済みであり、リセット値に保持する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OTG_HS AHB設定レジスタ（OTG_HS_GAHBCFG）

アドレスオフセット：0x008

リセット値：0x0000 0000

このレジスタを使用して、電源投入後、またはモード変化後のコアを設定できます。このレジスタは、主に AHB システム関連の設定パラメータを含んでいます。初期プログラミングの後は、このレジスタを変更しないでください。アプリケーションは AHB または USB のいずれかでトランザクションを開始する前に、このレジスタをプログラムする必要があります。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																							PTXFELVL	TXFELVL	予約済み	DMAEN	HBSTLEN				GINT
																							rw	rw		rw					rw

ビット 31:20 予約済みであり、リセット値に保持する必要があります。

ビット 8 **PTXFELVL**：周期的TxFIFO エンプティレベル

コア割り込みレジスタの周期的 TxFIFO エンプティ割り込みビット（OTG_HS_GINTSTS の PTXFE ビット）がトリガされるタイミングを示します。

0：PTXFE（OTG_HS_GINTSTS の）割り込みビットは、周期的 TxFIFO が半分エンプティであることを示します。

1：PTXFE（OTG_HS_GINTSTS の）割り込みビットは、周期的 TxFIFO が完全にエンプティであることを示します。

注： ホストモードでのみアクセス可能です。

ビット 7 **TXFELVL**：TxFIFO エンプティレベル

ペリフェラルモードでは、このビットは IN エンドポイント送信 FIFO エンプティ割り込み（OTG_HS_DIEPINTx の TXFE）がトリガされるタイミングを示します。

0：TXFE（OTG_HS_DIEPINTx の）割り込みは IN エンドポイントの Tx FIFO が半分エンプティであることを示します。

1：TXFE（OTG_HS_DIEPINTx の）割り込みは IN エンドポイントの Tx FIFO が完全にエンプティであることを示します。

注： ペリフェラルモードでのみアクセス可能です。

ビット 6 予約済みであり、リセット値に保持する必要があります。

ビット 5 DMAEN：DMA イネーブル

0：コアはスレーブモードで動作

1：コアは DMAモードで動作

ビット 4:1 **HBSTLEN**：バースト長／タイプ

0000 シングル
0001 INCR
0011 INCR4
0101 INCR8
0111 INCR16
その他：予約済み

ビット 0 **GINT**：グローバル割り込みマスク

このビットを使用して、アプリケーションに対する割り込みラインのアサーションをマスクまたはマスク解除します。このビットの設定に関係なく、割り込みステータスレジスタはコアによって更新されます。

0：アプリケーションへの割り込みアサーションをマスクします。

1：アプリケーションへの割り込みアサーションをマスク解除します。

注： ペリフェラルモードとホストモードの両方でアクセス可能です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OTG_HS USB設定レジスタ（OTG_HS_GUSBCFG）

アドレスオフセット：0x00C

リセット値：0x0000 0A00

このレジスタを使用して、電源投入後、またはホストモードあるいはペリフェラルモードへの変化後に、コアを設定することができます。このレジスタは USB および USB-PHY 関連の設定パラメータを含んでいます。アプリケーションは AHB または USB のいずれかでトランザクションを開始する前に、このレジスタをプログラムする必要があります。初期プログラミングの後は、このレジスタを変更しないでください。

31	30	29	28 27 26	25	24	23	22	21	20	19	18	17	16	15	14	13 12 11 10	9	8	7	6	5 4 3	2 1 0
CTXPKT	FDMOD	FHMOD	予約済み	ULPIIPD	PTCI	PCCI	TSDPS	ULPIEVBUSI	ULPIEVBUSD	ULPICSM	ULPIAR	ULPIFSLS	予約済み	PHYLPCS	予約済み	TRDT	HNPCAP	SRPCAP	予約済み	PHSEL	予約済み	TOCAL
rw	rw	rw		rw	rw	rw	rw	rw	rw	rw	rw	rw		rw		rw	r/rw	r/rw		wo		rw

ビット 31 **CTXPKT**：破損 Tx パケット

このビットは、デバッグ目的でのみ使用されます。このビットを 1 にセットしないでください。

注： ペリフェラルモードとホストモードの両方でアクセス可能です。

ビット 30 **FDMOD**：強制ペリフェラルモード

このビットに 1 を書き込むと、コアは OTG_HS_ID 入力ピンに関係なく、強制的にペリフェラルモードになります。

0：通常モード

1：強制ペリフェラルモード

強制ビットをセットした後、アプリケーションは、変更が有効になるまで少なくとも 25 ms 待つ必要があります。

注： ペリフェラルモードとホストモードの両方でアクセス可能です。

ビット 29 **FHMOD**：強制ホストモード

このビットに 1 を書き込むと、コアは OTG_HS_ID 入力ピンに関係なく、強制的にホストモードになります。

0：通常モード

1：強制ホストモード

強制ビットをセットした後、アプリケーションは、変更が有効になるまで少なくとも 25 ms 待つ必要があります。

注： ペリフェラルモードとホストモードの両方でアクセス可能です。

ビット 28:26 予約済みであり、リセット値に保持する必要があります。

ビット 25 **ULPIIPD**：ULPI インタフェース保護ディセーブル

このビットは PHY に組み込まれた回路を制御して、リンクが stp とデータをトライステートにすると ULPI インタフェースを保護します。この機能のために使用するプルアップ抵抗またはプルダウン抵抗は無効化できます。詳細については ULPI 仕様を参照してください。

0：インタフェース保護回路を有効化

1：インタフェース保護回路を無効化

ビット 24 **PTCI**：インジケータパススルー

このビットは RX CMDのV_{BUS}状態で使用する前に相補出力を内部V_{BUS}有効コンパレータで評価するか否かを制御します。詳細については ULPI 仕様を参照してください。

0：相補出力信号を内部V_{BUS} 有効コンパレータで評価

1：相補出力信号を内部V_{BUS} 有効コンパレータで評価しない

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 23 **PCCI**：インジケータ相補

このビットは PHY を制御して外部 /Vbus インジケータ入力信号を反転させて、相補出力を発生します。詳細については ULPI 仕様を参照してください。

0：PHYは外部 /Vbus インジケータ信号を反転させない

1：PHYは外部 /Vbus インジケータ信号を反転させる

ビット 22 **TSDPS**：TermSel DLine パルス選択

このビットは SRP （セッションリクエストプロトコル）時にデータラインパルスを駆動する utmi_termselect を選択します。

0：utmi_txvalid を使用するデータラインパルス （デフォルト）

1：utmi_termsel を使用するデータラインパルス

ビット 21 **ULPIEVBUSI**：ULPI 外部V_{BUS} インジケータ

このビットは PHY が外部V_{BUS} 過電流のインジケータを使用するように指定します。

0：PHY が内部V_{BUS} 有効コンパレータを使用

1：PHY が外部V_{BUS} 有効コンパレータを使用

ビット 20 **ULPIEVBUSD**：ULPI 外部V_{BUS}ドライブ

このビットは、ULPI PHYで V_{BUS}で5 V を駆動するため内部電源または外部電源のいずれを使用するかを選択します。

0：PHY は内部チャージポンプを使っ V_{BUS}を駆動 （デフォルト）

1：PHY は外部電源を使って V_{BUS}を駆動

ビット 19 **ULPICSM:** ULPIクロックSuspendM

このビットは ULPI PHY のインタフェース制御レジスタのClockSuspendM ビットを設定します。このビットは、シリアルモードと carkit モードでのみ使用されます。

0：PHY はサスペンド中内部クロックをパワーダウンさせます。

1：PHY は内部クロックをパワーダウンさせません。

ビット 18 **ULPIAR**：ULPI 自動レジューム

このビット PHY のインタフェース制御レジスタの自動レジュームビットを設定します。

0：PHY は自動レジューム機能を使用しない

1：PHY は自動レジューム機能を使用する

ビット 17 **ULPIFSLS**：ULPI FS/LS選択

アプリケーションではこのビットを使用し PHY シリアルインタフェースを選択します。このビットは PHY シリアルトランシーバが選択されたときにのみ有効です。

0：ULPI インタフェース

1：ULPI FS/LS シリアルインタフェース

ビット 16 予約済みであり、リセット値に保持する必要があります。

ビット 15 **PHYLPCS**：PHY 低消費電力クロック選択

このビットは 480 MHz また 48 MHz （低消費電力）モードを選択します。FS モードと LS モードでは PHY は 48 MHz クロックで動作して消費電力を削減できます。

0: 480 MHz 内部PLL クロック

1: 48 MHz 外部クロック

480 MHz モードでは UTMI インタフェースは選択した 8 ビットまた 16 ビットのデータ幅に応じ 60 または 30 MHz で動作します。48 MHz モードでは UTMI インタフェースはFS モードと LS モードで 48 MHz 動作します。

ビット 14 **予約済みであり、リセット値に保持する必要があります。**

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 13:10 **TRDT**：USB ターンアラウンド時間

ターンアラウンド時間を PHY クロックで設定します。

TRDT 値は次式で与えられます：

TRDT = 4 × AHB クロック周波数 +1 PHY クロック周波数。

例：

AHB クロック周波数 = 72 MHz（PHY クロック周波 48 MHz）の場合 TRDTは 9 に設定する必要があります。

AHB クロック周波数 = 48 MHz （PHY クロック周波 48 MHz）の場合 TRDT は 5 に設定する必要があります。

注： ペリフェラルモードでのみアクセス可能です。

ビット 9 **HNPCAP**：HNP 機能

アプリケーションは、このビットを使用して OTG_HS コントローラの HNP 機能を制御します。

0：HNP 機能は無効です。

1：HNP 機能は有効です。

注： ペリフェラルモードとホストモードの両方でアクセス可能です。

ビット 8 **SRPCAP**：SRP 機能

アプリケーションは、このビットを使用して OTG_HS コントローラの SRP 機能を制御します。コアはSRP非対応 B デバイスとして動作する場合、デバイスは、接続された A デバイス（ホスト）に V_{BUS} を起動し、セッションを開始させるように要求することはできません。

0：SRP 機能は無効です。

1：SRP 機能は有効です。

注： ペリフェラルモードとホストモードの両方でアクセス可能です。

ビット 7 予約済みであり、リセット値に保持する必要があります。

ビット 6 **PHSEL**：USB 2.0 ハイスピードULPI PHY また 1.1 フルスピードシリアルトランシーバの選択

0：USB 2.0 ハイスピード ULPI PHY

1：USB 1.1 フルスピードシリアルトランシーバ

ビット 5:3 予約済みであり、リセット値に保持する必要があります。

ビット 2:0 **TOCAL**：FS タイムアウトの較正

アプリケーションがこのフィールドでプログラムする PHY クロックの数は PHY によって導入される追加遅延を考慮して、コアのフルスピードパケット間タイムアウト時間に追加されます。ライン状態条件の生成時に PHY によって導入される遅延は PHY ごとに異なる場合があるので、較正が必要なことがあります。

フルスピード動作での USB の標準タイムアウト値は 16～18 ビット時間です。アプリケーションは、エニュメレーションのスピードに基づいて、このフィールドをプログラムする必要があります。PHY クロックごとに追加されるビット時間の数は 0.25 ビット時間です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OTG_HS リセットレジスタ（OTG_HS_GRSTCTL）

アドレスオフセット：0x010

リセット値：0x2000 0000

アプリケーションは、このレジスタを使用して、コア内のさまざまなハードウェア機能をリセットします。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AHBIDL	DMAREQ	予約済み																			TXFNUM					TXFFLSH	RXFFLSH	予約済み	FCRST	HSRST	CSRST
r	r																				rw					rs	rs		rs	rs	rs

ビット 31 **AHBIDL**：AHB マスタアイドル

AHB マスタステートマシンがアイドル状態にあることを示します。

注： ペリフェラルモードとホストモードの両方でアクセス可能です。

ビット 30 **DMAREQ**：DMA リクエスト信号

このビットは DMA リクエストが進行中であることを表示します。デバッグには使用しません。

ビット 29:11 予約済みであり、リセット値に保持する必要があります。

ビット 10:6 **TXFNUM**：TxFIFO 番号

これは TxFIFO フラッシュビットを使用してフラッシュしなければならない FIFO 番号です。コアが TxFIFO フラッシュビットをクリアするまでは、このフィールドを変更しないでください。

- 00000：
  - ホストモードでの非周期的TxFIFO フラッシュ
  - ペリフェラルモードで FIFO 0 フラッシュ
- 00001：
  - ホストモードでの周期的 TxFIFO のフラッシュ
  - ペリフェラルモードでの TxFIFO 1 のフラッシュ
- 00010：ペリフェラルモードでの 2 のフラッシュ

...

- 00101：ペリフェラルモードでの TxFIFO 15 のフラッシュ
- 10000：ペリフェラルモードまたはホストモードのすべての送信 FIFO をフラッシュします。

注： ペリフェラルモードとホストモードの両方でアクセス可能です。

ビット 5 **TXFFLSH**：TxFIFO フラッシュ

このビットは、単一またはすべての送信 FIFO を選択的にフラッシュしますが、コアがトランザクション中の場合はフラッシュできません。

アプリケーションは、コアが TxFIFO への書き込み中か TxFIFO からの読み出し中でないことを確認した後でなければ、このビットに書き込むことはできません。以下のレジスタを使用して確認してください。

- 読み出し：NAK 有効割り込みが、コアが FIFO から読み出しを行っていないことを保証します。
- 書き込み：OTG_HS_GRSTCTL の AHBIDL ビットが、コアが FIFO に書き込みを行っていないことを保証します。

注： ペリフェラルモードとホストモードの両方でアクセス可能です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 4 **RXFFLSH**：RxFIFO フラッシュ

アプリケーションは、このビットを使用して RxFIFO 全体をフラッシュできますが、まず、コアがトランザクション中でないことを確認する必要があります。

アプリケーションは、コアが RxFIFO からの読み出し中、または RxFIFO への書き込み中でないことを確認した後でなければ、このビットに書き込むことはできません。

アプリケーションは、他の操作を実行する前に、このビットがクリアされるまで待つ必要があります。このビットがクリアされるまで 8 クロック（PHY または AHB クロックの中で最も低速なクロック）かかります。

注： ペリフェラルモードとホストモードの両方でアクセス可能です。

ビット 3 予約済みであり、リセット値に保持する必要があります。

ビット 2 **FCRST**：ホストフレームカウンタリセット

アプリケーションは、このビットに書き込むことによって、コア内のフレーム数カウンタをリセットします。フレームカウンタがリセットされると、コアによって次に送出される SOF のフレーム番号は 0 になります。

注： ホストモードでのみアクセス可能です。

ビット 1 **HSRST**：HCLK ソフトリセット

アプリケーションは、このビットを使用して AHB クロックドメイン内の制御ロジックをフラッシュします。AHB クロックドメインパイプラインだけがリセットされます。

このビットでは FIFO はフラッシュされません。

AHB クロックドメイン内のすべてのステートマシンは、プロトコルに従って AHB 上のトランザクションを終了した後、アイドル状態にリセットされます。

AHB クロックドメインステートマシンによって使用される CSR 制御ビットがクリアされます。

この割り込みをクリアするために、割り込みステータスを制御して、AHB クロックドメインステートマシンによって生成されるステータスマスクビットがクリアされます。

割り込みステータスビットはクリアされないので、アプリケーションは、このビットをセットした後に発生したコアイベントのステータスを取得できます。

これはセルフクリアビットであり、コア内のすべての必要なロジックがリセットされた後、コアがクリアします。これには、コアの現在の状態によって、数クロックサイクルかかります。

注： ペリフェラルモードとホストモードの両方でアクセス可能です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 0 **CSRST**：コアソフトリセット

以下のように HCLK および PCLK ドメインをリセットします。

割り込みと、以下のビットを除くすべての CSR レジスタビットをクリアします。

– OTG_HS_PCGCCTL の RSTPDMOOL ビット
– OTG_HS_PCGCCTL の GAYEHCLK ビット
– OTG_HS_PCGCCTL の PWRCLMP ビット
– OTG_HS_PCGCCTL の STPPCLK ビット
– OTG_HS_HCFG の FSLSPCS ビット
– OTG_HS_DCFG の DSPD ビット

すべてのモジュールのステートマシン（AHB スレーブユニットを除く）がアイドル状態にリセットされ、すべての送信 FIFO および受信 FIFO がフラッシュされます。

AHB 転送の最後のデータフェーズの完了後 AHB マスタ上のすべてのトランザクションが速やかに終了されます。USB 上のすべてのトランザクションをただちに終了します。

アプリケーションは、いつでもこのビットに書き込むことによって、コアをリセットできます。これはセルフクリアビットであり、コア内のすべての必要なロジックがリセットされた後、コアがこのビットをクリアします。コアの現在の状態によって、クリアには数クロックかかります。このビットがクリアされると、ソフトウェアは PHY ドメインにアクセスできるようになるまで少なくとも 3 PHY クロック待つ必要があります（同期遅延）。また、ソフトウェアは、操作を開始する前に、このレジスタのビット 31 が 1 にセットされていること（AHB マスタがアイドル状態）を確認する必要があります。

一般に、ソフトウェアリセットは、ソフトウェア開発時に使用され、上記の USB 設定レジスタの PHY 選択ビットを動的に変更するときにも使用されます。PHY を変更するときには PHY の対応クロックが選択され PHY ドメインで使用されます。新しいクロックが選択されたら、適切な動作のためには PHYドメインをリセットする必要があります。

注： ペリフェラルモードとホストモードの両方でアクセス可能です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OTG_HS コア割り込みレジスタ（OTG_HS_GINTSTS）

アドレスオフセット：0x014

リセット値：0x0400 0020

このレジスタは、現在のモード（ペリフェラルモードまたはホストモード）において、システムレベルのイベントのためにアプリケーションに割り込みをかけます。

このレジスタには、ホストモードでのみ有効なビットと、ペリフェラルモードでのみ有効なビットがあります。このレジスタは、現在のモードも示します。rc_w1 タイプの割り込みステータスビットをクリアするには、アプリケーションは、そのビットに 1 を書き込む必要があります。

FIFO ステータス割り込みは読み出し専用です。これらの割り込みの処理中に、ソフトウェアが FIFO への書き込みまたは FIFO からの読み出しを行うと FIFO 割り込み条件は自動的にクリアされます。

初期化の前に割り込みが発生されるのを避けるためには、アプリケーションは、割り込みビットのマスクを解除する前に OTG_HS_GINTSTS レジスタをクリアする必要があります。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
WKUINT	SRQINT	DISCINT	CIDSCHG	予約済み	PTXFE	HCINT	HPRTINT	予約済み	DATAFSUSP	IPXFR/INCOMPISOOUT	IISOIXFR	OEPINT	IEPINT	予約済み		EOPF	ISOODRP	ENUMDNE	USBRST	USBSUSP	ESUSP	予約済み		BOUTNAKEFF	GINAKEFF	NPTXFE	RXFLVL	SOF	OTGINT	MMIS	CMOD
rc_w1					r	r	r			rc_w1		r	r			rc_w1								r	r	r	r	rc_w1	r	rc_w1	r

ビット 31 **WKUPINT**：レジューム／リモートウェイクアップ検出割り込み

ペリフェラルモードでは、この割り込みは USB 上でレジュームが検出されたときにアサートされます。ホストモードでは、この割り込みは USB 上でリモートウェイクアップが検出されたときにアサートされます。

注： ペリフェラルモードとホストモードの両方でアクセス可能です。

ビット 30 **SRQINT**：セッションリクエスト／新規セッション検出割り込み

ホストモードでは、この割り込みは、デバイスからのセッションリクエストが検出されたときにアサートされます。ペリフェラルモードでは、この割り込みはV_{BUS}が B デバイスに対して有効な範囲にあるときにアサートされます。ペリフェラルモードとホストモードの両方でアクセス可能です。

ビット 29 **DISCINT**：切断検出割り込み

デバイスの切断が検出されたときにアサートされます。

注： ホストモードでのみアクセス可能です。

ビット 28 **CIDSCHG**：コネクタ ID ステータス変化

コアは ID ステータスに変化があったとき、このビットをセットします。

注： ペリフェラルモードとホストモードの両方でアクセス可能です。

ビット 27 予約済みであり、リセット値に保持する必要があります。

ビット 26 **PTXFE**：周期的TxFIFO エンプティ

周期的送信 FIFO が半エンプティか完全エンプティであり、周期的リクエストキューに少なくとも 1 つのエントリを書き込むためのスペースがあるときにアサートされます。半エンプティ状態か完全エンプティ状態かは、コア AHB 設定レジスタの周期的TxFIFO エンプティレベルビット（OTG_HS_GAHBCFG の PTXFELVL ビット）によって判断できます。

注： ホストモードでのみアクセス可能です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 25 **HCINT**：ホストチャンネル割り込み

コアは、コアのチャネルの 1 つで割り込みが保留されていることを示すために、このビットをセットします（ホストモード）。アプリケーションは、ホスト全チャンネル割り込み （OTG_HS_HAINT）レジスタを読み出して、割り込みが発生しているチャネルの正確な数を確認した後、対応するホストチャンネル x割り込み（OTG_HS_HCINTx）レジスタを読み出して、割り込みの正確な原因を確認する必要があります。アプリケーションは OTG_HS_HCINTx レジスタの該当するステータスビットをクリアすることによって、このビットをクリアする必要があります。

注： ホストモードでのみアクセス可能です。

ビット 24 **HPRTINT**：ホストポート割り込み

コアは、ホストモードの OTG_HS コントローラポートの 1 つのポートステータスに変化があったことを示すために、このビットをセットします。アプリケーションは、ホストポート制御およびステータスレジスタ（OTG_HS_HPRT）を読み出して、この割り込みの原因となった正確なイベントを確認する必要があります。アプリケーションは、ホストポート制御およびステータスレジスタの該当するステータスビットをクリアすることによって、このビットをクリアする必要があります。

注： ホストモードでのみアクセス可能です。

ビット 23 予約済みであり、リセット値に保持する必要があります。

ビット 22 **DATAFSUSP**：データフェッチサスペンド

この割り込みは DMA モードでのみ有効です。この割り込みは TxFIFO スペースまたはリクエストキュースペースがないためコアが IN エンドポイントに対するデータフェッチを停止したことを表示します。アプリケーションでは、エンドポイント不一致アルゴリズムに対してこの割り込みを使います。例えば、エンドポイント不一致を検出後、アプリケーションは以下を実行します。

- グローバルな非周期的IN NAK ハンドシェイクを設定
- IN エンドポイントを無効化
- FIFO を一掃
- IN トークンシーケンス学習キューからトークンシーケンスを決定
- エンドポイントを再度有効化
- グローバル非周期的IN NAK がクリアされた場合、コアは IN エンドポイントのデータをフェッチしていない場合、INトークンを受信した場合、すなわちコアが「FIFOエンプティ時INトークン受信」割り込みを生成した場合、グローバル非周期的IN NAK ハンドシェイクをクリアします。次にOTGは NAK 応答をホストへ送信します。このシナリオを回避するため、アプリケーションは OTG_FS_GINTSTS 内で FetSusp 割り込みをチェックすることができます。これにより、グローバル NAK ハンドシェイクをクリアする前に FIFO がフルであることが保証されます。あるいは、グローバル NAK ハンドシェイクをクリアするとき、アプリケーションが「FIFOエンプティ中にINトークンを受信」割り込みはマスクされますすることができます。

ビット 21 **IPXFR**：不完全な周期的転送

ホストモードでは、コアは、現在のフレームでスケジュールされていて、まだ保留中の周期的トランザクションが存在するとき、この割り込みビットをセットします。

注： ホストモードでのみアクセス可能です。

INCOMPISOOUT：不完全アイソクロナス OUT 転送

ペリフェラルモードでは、コアは、現在のフレームで転送が完了していないアイソクロナス OUT エンドポイントが少なくとも 1 つあることを示すために、この割り込みをセットします。この割り込みは、このレジスタの周期的フレーム割り込み終了（EOPF）ビットとともにアサートされます。

注： ペリフェラルモードでのみアクセス可能です。

ビット 20 **IISOIXFR**：不完全アイソクロナス IN 転送

コアは、現在のフレームで転送が完了していないアイソクロナス IN エンドポイントが少なくとも 1 つあることを示すために、この割り込みをセットします。この割り込みは、このレジスタの周期的フレーム割り込み終了（EOPF）ビットとともにアサートされます。

注： ペリフェラルモードでのみアクセス可能です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 19 **OEPINT**：OUT エンドポイント割り込み

コアは、コアの OUT エンドポイントの 1 つで割り込みが保留されていることを示すために、このビットをセットします（ペリフェラルモード）。アプリケーションは、デバイス全エンドポイント割り込み（OTG_HS_DAINT）レジスタを読み出して、割り込みが発生した OUT エンドポイントの正確な数を確認した後、対応するデバイス OUTエンドポイント x 割り込み（OTG_HS_DIEPINTx）レジスタを読み出して、割り込みの正確な原因を確認する必要があります。アプリケーションは、対応する OTG_HS_DIEPINTx レジスタの該当するステータスビットをクリアすることによって、このビットをクリアする必要があります。

注： ペリフェラルモードでのみアクセス可能です。

ビット 18 **IEPINT**：IN エンドポイント割り込み

コアは、コアの IN エンドポイントの 1 つで割り込みが保留されていることを示すために、このビットをセットします（ペリフェラルモード）。アプリケーションは、デバイス全エンドポイント割り込み（OTG_HS_DAINT）レジスタを読み出して、割り込みが発生した IN エンドポイントの正確な数を確認した後、対応するデバイス IN エンドポイント x 割り込み（OTG_HS_DIEPINTx）レジスタを読み出して、割り込みの正確な原因を確認する必要があります。アプリケーションは、対応する OTG_HS_DIEPINTx レジスタの該当するステータスビットをクリアすることによって、このビットをクリアする必要があります。

注： ペリフェラルモードでのみアクセス可能です。

ビット 17:16 予約済みであり、リセット値に保持する必要があります。

ビット 15 **EOPF**：周期的フレーム終了割り込み

現在のフレームで、デバイス設定レジスタの周期的フレームインターバルフィールド（OTG_HS_DCFG の PFIVL ビット）で指定された時間に到達したことを示します。

注： ペリフェラルモードでのみアクセス可能です。

ビット 14 **ISOODRP**：アイソクロナス OUT パケット欠落割り込み

コアは、アイソクロナス OUT エンドポイントの最大サイズのパケットに対応できるだけの十分なスペースが RxFIFO になかったために RxFIFO にアイソクロナス OUT パケットを書き込めなかったとき、このビットをセットします。

注： ペリフェラルモードでのみアクセス可能です。

ビット 13 **ENUMDNE**：エニュメレーション終了

コアは、スピードのエニュメレーションが完了したことを示すために、このビットをセットします。アプリケーションは、デバイスステータス（OTG_HS_DSTS）レジスタを読み出して、エニュメレーションされたスピードを取得する必要があります。

注： ペリフェラルモードでのみアクセス可能です。

ビット 12 **USBRST**：USB リセット

コアは USB 上でリセットが検出されたことを示すために、このビットをセットします。

注： ペリフェラルモードでのみアクセス可能です。

ビット 11 **USBSUSP**：USB サスペンド

コアは USB 上でサスペンドが検出されたことを示すために、このビットをセットします。コアは、データライン上で 3 ms の間、何のアクティビティもなかった場合、サスペンド状態に入ります。

注： ペリフェラルモードでのみアクセス可能です。

ビット 10 **ESUSP**：アーリーサスペンド

コアは USB 上で 3 ms 間、アイドル状態が検出されたことを示すために、このビットをセットします。

注： ペリフェラルモードでのみアクセス可能です。

ビット 9:8 予約済みであり、リセット値に保持する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 7 **GONAKEFF**：グローバル OUT NAK 有効

アプリケーションによってセットされたデバイス制御レジスタのセットグローバル OUT NAK ビット（OTG_HS_DCTL の SGONAK ビット）がコアで有効になったことを示します。このビットは、デバイス制御レジスタのクリアグローバル OUT NAK ビット（OTG_HS_DCTL の CGONAK ビット）に書き込むことによってクリアできます。

注： ペリフェラルモードでのみアクセス可能です。

ビット 6 **GINAKEFF**：グローバル IN 非周期的 NAK 有効

アプリケーションによってセットされたデバイス制御レジスタのセットグローバル IN NAK ビット（OTG_HS_DCTL の SGINAK ビット）がコアで有効になったことを示します。すなわち、コアは、アプリケーションによってセットされたグローバル IN NAK ビットをサンプリングしました。このビットは、デバイス制御レジスタのクリアグローバル IN NAK ビット（OTG_HS_DCTL の CGINAK ビット）をクリアすることによってクリアできます。

この割り込みは、必ずしも NAK ハンドシェイクが USB に送出されることを意味しません。STALL ビットが NAK ビットに優先します。

注： ペリフェラルモードでのみアクセス可能です。

ビット 5 **NPTXFE**：非周期的TxFIFO エンプティ

この割り込みは、非周期的 TxFIFO が半エンプティか完全エンプティであり、非周期的送信リクエストキューに、少なくとも 1 つのエントリを書き込むスペースがあるときにアサートされます。半エンプティ状態か完全エンプティ状態かは OTG_HS_GAHBCFG レジスタの 非周期的 TxFIFO エンプティレベルビット（OTG_HS_GAHBCFG の TXFELVL ビット）によって確認できます。

注： ホストモードでのみアクセス可能です。

ビット 4 **RXFLVL**：RxFIFO 非エンプティ

RxFIFO から読み出されるべきペンディング中のパケットが少なくとも 1 つあることを示します。

注： ホストモードとペリフェラルモードの両方でアクセス可能です。

ビット 3 **SOF**：フレーム開始

ホストモードでは、コアは （FS）またはキープアライブ（LS）が USB で送信されることを示すために、このビットをセットします。アプリケーションは、このビットに 1 を書き込むことによって、割り込みをクリアする必要があります。

ペリフェラルモードでは、コアは USB 上で SOF トークンが受信されたことを示すために、このビットをセットします。アプリケーションは、デバイスステータスレジスタを読み出すことによって、現在のフレーム番号を知ることができます。この割り込みは、コアが FS で動作しているときのみ確認できます。

注： ホストモードとペリフェラルモードの両方でアクセス可能です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 2 **OTGINT**：OTG 割り込み

コアは、OTG プロトコルイベントが完了したことを示すために、このビットをセットします。アプリケーションは OTG 割り込みステータスレジスタ（OTG_HS_GOTGINT）を読み出して、この割り込みの原因となった正確なイベントを確認する必要があります。アプリケーションは OTG_HS_GOTGIN レジスタの該当するステータスビットをクリアすることによって、このビットをクリアする必要があります。

注： ホストモードとペリフェラルモードの両方でアクセス可能です。

ビット 1 **MMIS**：モード不一致割り込み

コアは、アプリケーションが以下へのアクセスを試みているときに、このビットをセットします。

コアがペリフェラルモードで動作しているときにホストモードレジスタをアクセスした時。

コアがホストモードで動作しているときにペリフェラルモードレジスタをアクセスした時。

レジスタへのアクセスは OKAY 応答によって AHB 上で完了しますが、内部的にはコアによって無視され、コアの動作には影響を与えません。

注： ホストモードとペリフェラルモードの両方でアクセス可能です。

ビット 0 **CMOD**：現在の動作モード

現在の動作モードを示します。

0：ペリフェラルモード

1：ホストモード

注： ホストモードとペリフェラルモードの両方でアクセス可能です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OTG_HS 割り込みマスクレジスタ（OTG_HS_GINTMSK）

アドレスオフセット：0x018

リセット値：0x0000 0000

このレジスタは、コア割り込みレジスタとともに働き、アプリケーションに割り込みをかけます。割り込みビットがマスクされると、そのビットに関連する割り込みは生成されません。ただし、その割り込みに対応するコア割り込みレジスタ（OTG_HS_GINTSTS）のビットは、セットされたままです。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
WUIM	SRQIM	DISCINT	CIDSCHGM	予約済み	PTXFEM	HCIM	PRTIM	予約済み	FSUSPM	IPXFRM/IISOOXFRM	IISOIXFRM	OEPINT	IEPINT	EPMISM	予約済み	EOPFM	ISOODRPM	ENUMDNEM	USBRST	USBSUSPM	ESUSPM	予約済み		GONAKEFFM	GINAKEFFM	NPTXFEM	RXFLVLM	SOFM	OTGINT	MMISM	予約済み
rw	rw	rw	rw		rw	rw	r		rw	rw	rw	rw	rw	rw		rw	rw	rw	rw	rw	rw			rw	rw	rw	rw	rw	rw	rw	

ビット 31 **WUIM**：レジューム／リモートウェイクアップ検出割り込みマスク

0：割り込みはマスクされます
1：割り込みはマスクされません

注： ホストモードとペリフェラルモードの両方でアクセス可能です。

ビット 30 **SRQIM**：セッションリクエスト／新規セッション検出割り込みマスク

0：割り込みはマスクされます
1：割り込みはマスクされません

注： ホストモードとペリフェラルモードの両方でアクセス可能です。

ビット 29 **DISCINT**：切断検出割り込みマスク

0：割り込みはマスクされます
1：割り込みはマスクされません

注： ホストモードとペリフェラルモードの両方でアクセス可能です。

ビット 28 **CIDSCHGM**：コネクタ ID ステータス変化マスク

0：割り込みはマスクされます
1：割り込みはマスクされません

注： ホストモードとペリフェラルモードの両方でアクセス可能です。

ビット 27 予約済みであり、リセット値に保持する必要があります。

ビット 26 **PTXFEM**：周期的TxFIFO エンプティマスク

0：割り込みはマスクされます
1：割り込みはマスクされません

注： ホストモードでのみアクセス可能です。

ビット 25 **HCIM**：ホストチャンネル割り込みマスク

0：割り込みはマスクされます
1：割り込みはマスクされません

注： ホストモードでのみアクセス可能です。

ビット 24 **PRTIM**：ホストポート割り込みマスク

0：割り込みはマスクされます
1：割り込みはマスクされません

注： ホストモードでのみアクセス可能です。

ビット 23 予約済みであり、リセット値に保持する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 22 **FSUSPM**：データフェッチサスペンドマスク

0：割り込みはマスクされます
1：割り込みはマスクされません

注： ペリフェラルモードでのみアクセス可能です。

ビット 21 **IPXFRM**：不完全周期的転送マスク

0：割り込みはマスクされます
1：割り込みはマスクされません

注： ホストモードでのみアクセス可能です。

IISOOXFRM：不完全アイソクロナス OUT 転送マスク

0：割り込みはマスクされます
1：割り込みはマスクされません

注： ペリフェラルモードでのみアクセス可能です。

ビット 20 **IISOIXFRM**：不完全アイソクロナス IN 転送マスク

0：割り込みはマスクされます
1：割り込みはマスクされません

注： ペリフェラルモードでのみアクセス可能です。

ビット 19 **OEPINT**：OUT エンドポイント割り込みマスク

0：割り込みはマスクされます
1：割り込みはマスクされません

注： ペリフェラルモードでのみアクセス可能です。

ビット 18 **IEPINT**：IN エンドポイント割り込みマスク

0：割り込みはマスクされます
1：割り込みはマスクされません

注： ペリフェラルモードでのみアクセス可能です。

ビット 17 **EPMISM**：エンドポイント不一致割り込みマスク

0：割り込みはマスクされます
1：割り込みはマスクされません

注： ペリフェラルモードでのみアクセス可能です。

ビット 16 予約済みであり、リセット値に保持する必要があります。

ビット 15 **EOPFM**：周期的フレーム終了割り込みマスク

0：割り込みはマスクされます
1：割り込みはマスクされません

注： ペリフェラルモードでのみアクセス可能です。

ビット 14 **ISOODRPM**：アイソクロナス OUT パケット欠落割り込みマスク

0：割り込みはマスクされます
1：割り込みはマスクされません

注： ペリフェラルモードでのみアクセス可能です。

ビット 13 **ENUMDNEM**：エニュメレーション終了マスク

0：割り込みはマスクされます
1：割り込みはマスクされません

注： ペリフェラルモードでのみアクセス可能です。

ビット 12 **USBRST**：USB リセットマスク

0：割り込みはマスクされます
1：割り込みはマスクされません

注： ペリフェラルモードでのみアクセス可能です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 11 **USBSUSPM**：USB サスペンドマスク
0：割り込みはマスクされます
1：割り込みはマスクされません
注： ペリフェラルモードでのみアクセス可能です。

ビット 10 **ESUSPM**：アーリーサスペンドマスク
0：割り込みはマスクされます
1：割り込みはマスクされません
注： ペリフェラルモードでのみアクセス可能です。

ビット 9:8 予約済みであり、リセット値に保持する必要があります。

ビット 7 **GONAKEFFM**：グローバル OUT NAK 有効マスク
0：割り込みはマスクされます
1：割り込みはマスクされません
注： ペリフェラルモードでのみアクセス可能です。

ビット 6 **GINAKEFFM**：グローバル非周期的IN NAK 有効マスク
0：割り込みはマスクされます
1：割り込みはマスクされません
注： ペリフェラルモードでのみアクセス可能です。

ビット 5 **NPTXFEM**：非周期的TxFIFO エンプティマスク
0：割り込みはマスクされます
1：割り込みはマスクされません
注： ペリフェラルモードとホストモードの両方でアクセス可能です。

ビット 4 **RXFLVLM**：受信 FIFO 非エンプティマスク
0：割り込みはマスクされます
1：割り込みはマスクされません
注： ペリフェラルモードとホストモードの両方でアクセス可能です。

ビット 3 **SOFM**：フレーム開始マスク
0：割り込みはマスクされます
1：割り込みはマスクされません
注： ペリフェラルモードとホストモードの両方でアクセス可能です。

ビット 2 **OTGINT**：OTG 割り込みマスク
0：割り込みはマスクされます
1：割り込みはマスクされません
注： ペリフェラルモードとホストモードの両方でアクセス可能です。

ビット 1 **MMISM**：モード不一致割り込みマスク
0：割り込みはマスクされます
1：割り込みはマスクされません
注： ペリフェラルモードとホストモードの両方でアクセス可能です。

ビット 0 予約済みであり、リセット値に保持する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OTG_HS 受信ステータスデバッグ読み出し／OTG ステータス読み出しおよびポップレジスタ （OTG_HS_GRXSTSR/OTG_HS_GRXSTSP）

読み出しアドレスオフセット：0x01C

ポップアドレスオフセット：0x020

リセット値：0x0000 0000

受信ステータスデバッグ読み出しレジスタを読み出すと、受信 FIFO の最上部の内容が返されます。受信ステータス読み出しおよびポップレジスタを読み出すと RxFIFOの最上部のデータエントリもポップアウトされます。

受信ステータスの内容は、ホストモードとペリフェラルモードで異なった解釈をする必要があります。コアは、受信 FIFO がエンプティのときには、受信ステータスのポップ／読み出しを無視して 0x0000 0000 の値を返します。アプリケーションは、コア割り込みレジスタの受信 FIFO 非エンプティビット（OTG_HS_GINTSTS の RXFLVL ビット）がアサートされたときにのみ、受信ステータス FIFO をポップしなければなりません。

ホストモード：

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み											PKTSTS				DPID		BCNT												CHNUM			
											r				r		r												r			

ビット 31:21 予約済みであり、リセット値に保持する必要があります。

ビット 20:17 **PKTSTS**：パケットステータス

受信パケットのステータスを示します。
0010：IN データパケットが受信されました。
0011：IN 転送が完了しました（割り込みをトリガします）。
0101：データトグルエラー（割り込みをトリガします）。
0111：チャネル停止（割り込みをトリガします）。
その他：予約済み

ビット 16:15 **DPID**：データ PID

受信パケットのデータ PID を示します。
00：DATA0
10：DATA1
01：DATA2
11：MDATA

ビット 14:4 **BCNT**：バイトカウント

受信した IN データパケットのバイト数を示します。

ビット 3:0 **CHNUM**：チャンネル番号

現在の受信パケットが属するチャネル番号を示します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ペリフェラルモード

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み							FRMNUM				PKTSTS				DPID		BCNT													EPNUM		
							r				r				r		r													r		

ビット 31:25 予約済みであり、リセット値に保持する必要があります。

ビット 24:21 **FRMNUM**：フレーム番号

これは USB 上でパケットが受信されるフレーム番号の下位 4 ビットです。このフィールドは、アイソクロナス OUT エンドポイントがサポートされる場合にのみサポートされます。

ビット 20:17 **PKTSTS**：パケットステータス

受信パケットのステータスを示します。
0001：グローバル OUT NAK（割り込みをトリガします）。
0010：OUT データパケットが受信されました。
0011：OUT 転送が完了しました（割り込みをトリガします）。
0100：SETUP トランザクションが完了しました（割り込みをトリガします）。
0110：SETUP データパケットが受信されました。
その他：予約済み

ビット 16:15 **DPID**：データ PID

受信した OUT データパケットのデータ PID を示します。
00：DATA0
10：DATA1
01：DATA2
11：MDATA

ビット14:4 **BCNT**：バイトカウント

受信したデータパケットのバイト数を示します。

ビット 3:0 **EPNUM**：エンドポイント番号

現在の受信パケットが属するエンドポイント番号を示します。

OTG_HS 受信 FIFO サイズレジスタ（OTG_HS_GRXFSIZ）

アドレスオフセット：0x024

リセット値：0x0000 0200

アプリケーションは RxFIFO に割り当てられなければならない RAM サイズをプログラムできます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																RXFD															
																r/rw															

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15:0 **RXFD**：RxFIFO の深さ

この値は 32 ビットワード単位です。
最小値は 16 です。
最大値は 1024 です。
このレジスタのパワーオンリセット値は Rx データ FIFO の最大の深さで指定されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OTG_HS非周期的送信 FIFOサイズ／エンドポイント 0 送信FIFOサイズレジスタ（OTG_HS_GNPTXFSIZ/OTG_HS_TX0FSIZ）

アドレスオフセット：0x028

リセット値：0x0000 0200

ホストモード：

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NPTXFD																NPTXFSA															
r/rw																r/rw															

ビット 31:16 **NPTXFD**：非周期的TxFIFO の深さ

この値は 32 ビットワード単位です。

最小値は 16 です。

最大値は 1024 です。

ビット 15:0 **NPTXFSA**：非周期的送 RAM 開始アドレス

このフィールドは、非周期的送信 FIFO RAM のメモリ開始アドレスを含みます。

ペリフェラルモード

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TX0FD																TX0FSA															
r/rw																r/rw															

ビット 31:16 **T0XFD**：エンドポイント 0 TxFIFO の深さ

この値は 32 ビットワード単位です。

最小値は 16 です。

最大値は 256 です。

ビット 15:0 **TX0FSA**：エンドポイント 0 送信 RAM 開始アドレス

このフィールドは、エンドポイント 0 送信 FIFO RAM のメモリ開始アドレスを含みます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OTG_HS非周期的送 ／キューステータスレジスタ（OTG_HS_GNPTXSTS）

アドレスオフセット：0x02C

リセット値：0x0008 0200

注： ペリフェラルモードでは、このレジスタは無効です。

この読み出し専用レジスタは、非周期的 TxFIFO および非周期的送信リクエストキューの空きスペース情報を含みます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み	NPTXQTOP							NPTQXSAV								NPTXFSAV															
	r							r								r															

ビット 31 予約済みであり、リセット値に保持する必要があります。

ビット 30:24 **NPTXQTOP：**非周期的送信リクエストキューの先頭

MAC によって処理中の非周期的 Tx リクエストキューのエントリ。

ビット [30:27]：チャンネル／エンドポイント番号

ビット [26:25]：

- 00：IN/OUT トークン
- 01：ゼロ長送信パケット（デバイス IN／ホスト OUT）
- 10：PING/CSPLIT トークン
- 11：チャンネル停止コマンド

ビット [24]：終了（選択されたチャネル／エンドポイントの最後のエントリ）

ビット 23:16 **NPTQXSAV：**非周期的送信リクエストキューの使用可能スペース

非周期的送信リクエストキューの使用可能な空きスペースの量を示します。このキューは、ホストモードでの IN および OUT リクエストを保持します。ペリフェラルモードは IN リクエストのみです。

00：非周期的送信リクエストキューはフルです。

01：dx1 のロケーションが使用可能です。

10：dx2 のロケーションが使用可能です。

bxn：*n* のロケーションが使用可能です （0 ≤ *n* ≤ dx8）

その他：予約済み

ビット 15:0 **NPTXFSAV：**使用可能な非周期的TxFIFO スペース

非周期的 TxFIFO 内で使用できる空きスペースの量を示します。

この値は 32 ビットワード単位です。

00：非周期的 Tx FIFO はフルです。

01：dx1 ワードが使用可能です。

10：dx2 ワードが使用可能です。

0xn：dx*n* ワードが使用可能です （0 ≤ *n* ≤ dx1024）

その他：予約済み

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OTG_HS I²C アクセスレジスタ（OTG_HS_GI2CCTL）

アドレスオフセット：0x030

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BSYDNE	RW	予約済み	I2CDATSE0	I2CDEVADR		予約済み	ACK	I2CEN	ADDR							REGADDR								RWDATA							
rw	rw		rw	rw	rw		rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31 BSYDNE：I2C ビジー／完了

アプリケーションはこのビットに 1 を設定して I²C インタフェースのリクエストを開始します。転送が完了すると、コアはこのビットに 0 を設定します。このビットがセットされ I²C インタフェースがビジーであることを表示しているかぎり、アプリケーションはインタフェースの次のリクエストを開始できません。

ビット 30 **RW**：読み出し／書き込みインジケータ

このビットは、インタフェースでレジスタ読み出しまたは書き込み転送を実行する必要があることを表示します。

0：書き込み

1：読み出し

注： バースト読み出し／書き込みは、レジスタに対してサポートされていません。

ビット 29 予約済みであり、リセット値に保持する必要があります。

ビット 28 **I2CDATSE0**：I²C DatSe0 USB モード

このビットを使ってフルスピードインタフェース USB モードを選択します。

0：VP_VM USB モード

1：DAT_SE0 USB モード

ビット 27:26 **I2CDEVADR**：I²C デバイスアドレス

このビットは、コアが OTG シグナル用に使用する USB 1.1 フルスピードシリアルトランシーバ上の I²Cスレーブのアドレスを選択します。

ビット 25 予約済みであり、リセット値に保持する必要があります。

ビット 24 **ACK**：I²C ACK

このビットは ACK 応答が I²C スレーブから受信されたか否かを表示します。これは、アプリケーションが I²C アクセスを開始した後にコアが BSYDNE をクリアしたときに有効になります。

0：NAK

1：ACK

ビット 23 **I2CEN**：I²C イネーブル

このビットは I²C マスタを有効化し I²C インタフェース上でトランザクションを開始させます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 22:16 **ADDR**：I²C アドレス

これは、アプリケーションが外部 I²C スレーブにアクセスするときに使用する 7 ビットの I²C デバイスアドレスで USB 1.1 OTG フルスピードシリアルトランシーバの I²C スレーブを含みます。

ビット 15:8 **REGADDR**：I²C レジスタアドレス

これらのビットを使うと、読み出しまたは書き込み対象のレジスタアドレスをプログラムすることができます。

ビット 7:0 **RWDATA**：I²C 読み出し／書き込みデータ

レジスタ読み出し動作後、これらのビットはアプリケーションの読み出しデータを保持します。
書き込み動作では、アプリケーションはこのレジスタを使用してレジスタへ書き込むデータをプログラムすることができます。

OTG_HS 一般コア設定レジスタ（OTG_HS_GCCFG）

アドレスオフセット：0x038

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み										NOVBUSSENS	SOFOUTEN	VBUSBSEN	VBUSASEN	I2CPADEN	.PWRDWN	予約済み															
										rw	rw	rw	rw	rw	rw																

ビット 31:22 予約済みであり、リセット値に保持する必要があります。

ビット 21 **NOVBUSSENS**：V_{BUS} 検出ディセーブルオプション

このビットがセットされると V_{BUS} は内部で常に V_{BUS} の有効レベル（5 V）にあると見なされます。このオプションは専用V_{BUS} パッドを不要にし、このパッドを共用機能のような他の用途に開放します。V_{BUS} 接続を別の汎用入力パッドへ再割当てしてソフトウェアから監視することができます。
このオプションは、ホスト専用またはデバイス専用アプリケーションにのみ適しています。
0：ハードウェアによる V_{BUS} 検出が使用できます
1：ハードウェアによる V_{BUS} 検出が使用できません

ビット 20 **SOFOUTEN**：SOF 出力イネーブル

0：SOF パルスは PAD 上で使用できません。
1：SOF パルスは PAD 上で使用できます。

ビット 19 **VBUSBSEN**：V_{BUS} による「B」デバイスのセンシングを有効にします

0：V_{BUS} による「B」のセンシングは無効です
1：V_{BUS} による「B」のセンシングは有効です

ビット 18 **VBUSASEN**：V_{BUS} による「A」デバイスのセンシングを有効にします

0：V_{BUS} による「A」のセンシングは無効です
1：V_{BUS} による「A」のセンシングは有効です

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 17 **I2CPADEN**：外部 I^2C PHY インタフェースに対する I^2C バス接続を有効にします
0：I^2Cバスを無効にします
1：I^2Cバスを有効にします

ビット 16 **PWRDWN**：パワーダウン
送信／受信のためにトランシーバを起動するために使用されます。
0：パワーダウンアクティブ
1：パワーダウン非アクティブ （「トランシーバアクティブ」）

ビット 15:0 予約済みであり、リセット値に保持する必要があります。

OTG_HS コア ID レジスタ （OTG_HS_CID）

アドレスオフセット：0x03C

リセット値：0x0000 1100

これは、製品 ID を含む読み出し専用レジスタです。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PRODUCT_ID																															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0 **PRODUCT_ID**：製品 ID フィールド
アプリケーションによってプログラム可能な ID フィールド。

OTG_HS ホスト周期的送信 FIFO サイズレジスタ （OTG_HS_HPTXFSIZ）

アドレスオフセット：0x100

リセット値：0x0200 0600

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PTXFD																PTXSA															
r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw

ビット 31:16 **PTXFD**：ホスト周期的TxFIFO の深さ
この値は 32 ビットワード単位です。
最小値は 16 です。
最大値は 512 です。

ビット 15:0 **PTXSA**：ホスト周期的 TxFIFO の開始アドレス
このレジスタのパワーオンリセット値は、Rx データ FIFO の最大の深さと Tx データ FIFO の最大の深さの合計です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OTG_HS デバイス IN エンドポイント送信 FIFO サイズレジスタ（OTG_HS_DIEPTXFx）（x = 1..7、x は FIFO_number）

アドレスオフセット：0x104 + （FIFO_number – 1）× 0x04

リセット値：0x02000400

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
INEPTXFD																INEPTXSA															
r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw

ビット 31:16 **INEPTXFD**：IN エンドポイント TxFIFO の深さ
この値は 32 ビットワード単位です。
最小値は 16 です。
最大値は 512 です。
このレジスタのパワーオンリセット値は IN エンドポイント FIFO 番号の最大の深さとして指定されます。

ビット 15:0 **INEPTXSA**：IN エンドポイント FIFOx 送信 RAM 開始アドレス
このフィールドは IN エンドポイント送信 FIFOx のメモリ開始アドレスを含みます。アドレスは 32 ビットメモリロケーションに整列されている必要があります。

35.12.3 ホストモードレジスタ

レジスタの説明で示されているビット値は、特に記載がない限りバイナリで表されています。

ホストモードレジスタは、ホストモードでのコアの動作に影響を与えます。ホストモードレジスタは、結果が定義されていないため、ペリフェラルモードではアクセスしないでください。ホストモードレジスタは、次のように分類することができます。

OTG_HS ホスト設定レジスタ（OTG_HS_HCFG）

アドレスオフセット：0x400

リセット値：0x0000 0000

このレジスタは、電源投入後のコアを設定します。ホストを初期化した後は、このレジスタを変更しないでください。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																													FSLSS	FSLSPCS	
																													r	rw	rw

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 31:3 予約済みであり、リセット値に保持する必要があります。

ビット 2 **FSLSS**：FS および LS のみのサポート

アプリケーションは、このビットを使用して、コアのエニュメレーション速度を制御します。このビットを使用して、アプリケーションは、接続されたデバイスが HS トラフィックをサポートする場合でも FS ホストとしてコアにエニュメレーションさせることができます。初期プログラミングの後は、このフィールドを変更しないでください。

0：HS/FS/LS、接続したデバイスでサポートする最大スピードに基づく

1：接続されたデバイスが HS トラフィックをサポートしている場合でも FS/LS のみ（読み出し専用）。

ビット 1:0 **FSLSPCS**：FS/LS PHY クロック選択

コアが FS ホストモードのとき：

01：PHY クロックは 48 MHz で動作しています。

その他：予約済み

コアが LS ホストモードのとき：

00：予約済み

01：PHY クロックは 48 MHz で動作

10：PHY クロック周波数として 6 MHz を選択

11：予約済み

注： FSLSPCS ビットは、接続されたデバイスのスピードに応じて、接続イベント時に設定する必要があります。このビットを変更した後ソフトウェアリセットを実行する必要があります。

OTG_HS ホストフレームインターバルレジスタ（OTG_HS_HFIR）

アドレスオフセット：0x404

リセット値：0x0000 EA60

このレジスタは OTG_HS コントローラがエニュメレーションした現在のスピードでのフレームインターバル情報を格納します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																FRIVL															
																rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15:0 **FRIVL**：フレームインターバル

アプリケーションがこのフィールドにプログラムする値は 2 つの連続した SOF（FS）、マイクロ SOF（HS）、またはキープアライブトークン（LS）の間のインターバルを指定します。このフィールドは、必要なフレームインターバルを構成する PHY クロック数を含みます。アプリケーションは、ホストポート制御およびステータスレジスタのポートイネーブルビット（OTG_HS_HPRT の PENA ビット）がセットされた後のみ、このレジスタに値を書き込むことができます。値がプログラムされていない場合、コアは、ホスト設定レジスタの FS/LS PHY クロック選択フィールド（OTG_HS_HCFG の FSLSPCS）で指定された PHY クロックに基づいて値を計算します。

フレーム継続時間 × PHY クロック周波数

注： アプリケーションがフレームインターバル時間を変更する必要があるたびに FRIVL ビットを変更することができます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OTG_HS ホストフレーム番号／残りフレーム時間 レジスタ（OTG_HS_HFNUM）

アドレスオフセット：0x408

リセット値：0x0000 3FFF

このレジスタは、現在のフレーム番号を示します。また、現在のフレームの残り時間（PHY クロック数）も示します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FTREM																FRNUM															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:16 **FTREM**：残りフレーム時間

現在のフレームの残り時間を PHY クロック数で示します。このフィールドは PHY クロックごとにデクリメントされます。値がゼロになると、このフィールドにはフレームインターバルレジスタの値が再ロードされ、新しい SOF が　USB に送信されます。

ビット 15:0 **FRNUM**：フレーム番号

このフィールドは USB上で新しい SOF が送信されるたびにインクリメントされ 0x3FFF に達すると 0 にクリアされま

OTG_HS_ ホスト周期的送信 FIFO ／キューステータスレジスタ（OTG_HS_HPTXSTS）

アドレスオフセット：0x410

リセット値：0x0008 0100

この読み出し専用レジスタは、周期的 TxFIFO および周期的送信リクエストキューの空きスペース情報を含みます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PTXQTOP								PTXQSAV								PTXFSAVL															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 31:24 **PTXQTOP**：周期的送信リクエストキューの先頭

これは MAC によって処理中の周期的 Tx リクエストキューのエントリを示します。

このレジスタは、デバッグに使用されます。

ビット [31]：奇数／偶数フレーム

- 0：偶数 （マイクロ）フレームで送信
- 1：奇数 （マイクロ）フレームで送信

ビット [30:27]：チャンネル／エンドポイント番号

ビット [26:25]：タイプ

- 00：IN/OUT
- 01：長さゼロのパケット
- 11：チャンネルコマンドディセーブル

ビット [24]：終了（選択されたチャネル／エンドポイントの最後のエントリ）

ビット 23:16 **PTXQSAV**：周期的送信リクエストキューの使用可能スペース

周期的送信リクエストキューで書き込みに使用できる空きロケーションの数を示します。このキューは IN および OUT リクエストの両方を保持します。

00：周期的送信リクエストキューはフルです。

01：dx1 のロケーションが使用可能です。

10：dx2 のロケーションが使用可能です。

bxn：dxn のロケーションが使用可能です (0 ≤ dxn ≤ PTXFD)

その他：予約済み

ビット 15:0 **PTXFSAVL**：周期的送信データ FIFO の使用可能スペース

周期的 TxFIFO で書き込みに使用できる空きロケーションの数を示します。

値は 32 ビットワード単位です。

0000：周期的 Tx FIFO はフルです。

0001：dx1 ワードが使用可能です。

0010：dx2 ワードが使用可能です。

bxn：dxn ワードが使用可能です （0 ≤ dxn ≤ dx512）

その他：予約済み

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OTG_HS ホスト全チャンネル割り込みレジスタ（OTG_HS_HAINT）

アドレスオフセット：0x414

リセット値：0x0000 000

チャネル上で重大なイベントが発生すると、ホスト全チャネル割り込みレジスタは、コア割り込みレジスタのホストチャネル割り込みビット（OTG_HS_GINTSTS の HCINT ビット）を使用して、アプリケーションに割り込みをかけます。これを*図 411* に示します。チャネルごとに 1 つの割り込みビットがあります（最大 16 ビット）。このレジスタのビットは、アプリケーションが対応するホストチャネル x 割り込みレジスタのビットをセット／クリアしたときにセット／クリアされます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																HAINT															
																r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15:0 **HAINT**：チャンネル割り込み

チャネルあたり 1 ビット: チャネル 0 に対してビット 0、チャネル 15 に対してビット 15

OTG_HS ホスト全チャンネル割り込みマスクレジスタ（OTG_HS_HAINTMSK）

アドレスオフセット：0x418

リセット値：0x0000 0000

ホスト全チャネル割り込みマスクレジスタは、ホスト全チャネル割り込みレジスタとともに働き、チャネル上でイベントが発生したときに、アプリケーションに割り込みをかけます。チャネルごとに 1 つの割り込みマスクビットがあります（最大 16 ビット）。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																HAINTM															
																rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15:0 **HAINTM**：チャンネル割り込みマスク

0：割り込みはマスクされます

1：割り込みはマスクされません

チャネルあたり 1 ビット: チャネル 0 に対してビット 0、チャネル 15 に対してビット 15

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OTG_HS ホストポート制御およびステータスレジスタ（OTG_HS_HPRT）

アドレスオフセット：0x440

リセット値：0x0000 0000

このレジスタは、ホストモードでのみ使用可能です。現時点では OTG ホストは 1 つのポートのみをサポートしています。

1 つのレジスタは、各ポートについて USB リセット、イネーブル、サスペンド、レジューム、接続ステータス、テストモードなどの USB ポート関連情報を保持します。これを*図 411* に示します。このレジスタの rc_w1 ビットは、コア割り込みレジスタのホストポート割り込みビット（OTG_HS_GINTSTS の HPRTINT ビット）を通じて、アプリケーションへの割り込みをトリガできます。ポート割り込みの場合、アプリケーションは、このレジスタを読み出して、割り込みの原因となったビットをクリアする必要があります。rc_w1 ビットの場合、アプリケーションは、このビットに 1 を書き込んで、割り込みをクリアする必要があります。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み													PSPD		PTCTL				PPWR	PLSTS		予約済み	PRST	PSUSP	PRES	POCCHNG	POCA	PENCHNG	PENA	PCDET	PCSTS
													r	r	rw	rw	rw	rw	rw	r	r		rw	rs	rw	rc_w1	r	rc_w1	rc_w0	rc_w1	r

ビット 31:19 予約済みであり、リセット値に保持する必要があります。

ビット 18:17 **PSPD**：ポートスピード

このポートに接続されたデバイスのスピードを示します。
00：ハイスピード
01：フルスピード
10：ロースピード
11：予約済み

ビット 16:13 **PTCTL**：ポートテスト制御

アプリケーションがこのフィールドにゼロ以外の値を書き込んで、ポートをテストモードにすると、対応するパターンがポートにシグナリングされます。
0000：テストモードは無効です
0001：Test_J モード
0010：Test_K モード
0011：Test_SE0_NAK モード
0100：Test_Packet モード
0101：Test_Force_Enable
その他：予約済み

ビット 12 **PPWR**：ポートパワー

アプリケーションは、このフィールドを使用して、このポートへの電力供給を制御し、コアは、過電流条件が発生すると、このビットをクリアします。
0：パワーオフ
1：パワーオン

ビット 11:10 **PLSTS**：ポートラインステータス

USB データラインの現在のロジックレベルを示します。
ビット [10]：OTG_HS_FS_DP のロジックレベル
ビット [11]：OTG_HS_FS_DM のロジックレベル

ビット 9 予約済みであり、リセット値に保持する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 8 **PRST**：ポートリセット

アプリケーションがこのビットをセットすると、このポートでリセットシーケンスが開始されます。アプリケーションは、リセットシーケンスの完了後、リセット時間を決めて、このビットをクリアする必要があります。

0：ポートはリセット中ではありません。

1：ポートはリセット中です。

アプリケーションは、ポートのリセットが開始されるまで、少なくとも 10 ms の間、このビットをセット状態に保つ必要があります。USB 規格では最大限度が規定されていませんが、アプリケーションは、このビットをクリアする前に、必要最小時間に加えて、さらに 10 ms の間、このビットをセット状態に保つことができます。

ハイスピード：50 ms

フルスピード／低速：10 ms

ビット 7 **PSUSP**：ポートサスペンド

アプリケーションは、このビットをセットして、このポートをサスペンドモードにします。コアは、このビットがセットされると SOF の送信のみを停止します。PHY クロックを停止するには、アプリケーションは PHY のサスペンド入力ピンをアサートするポートクロック停止ビットをセットする必要があります。

このビットの読み出し値は、ポートの現在のサスペンドステータスを反映しています。このビットは、リモートウェイクアップ信号の検出後、またはアプリケーションがこのレジスタのポートリセットビットまたはポートレジュームビット、またはコア割り込みレジスタのレジューム／リモートウェイクアップ検出割り込みビットまたは切断検出割り込みビット（それぞれ OTG_HS_GINTSTS の WKUINT または DISCINT ビット）をセットしたときに、コアによってクリアされます。

0：ポートはサスペンドモードではありません。

1：ポートはサスペンドモードです。

ビット 6 **PRES**：ポートレジューム

アプリケーションは、このビットをセットして、ポート上でレジューム信号を駆動します。コアは、アプリケーションがこのビットをクリアするまで、レジューム信号の駆動を続行します。

コアが、コア割り込みレジスタのポートレジューム／リモートウェイクアップ検出割り込みビット（OTG_HS_GINTSTS の WKUINT ビット）によって示される USB リモートウェイクアップシーケンスを検出した場合、コアは、切断条件を検出すると、アプリケーションの介入なしでレジューム信号の駆動を開始、このビットをクリアします。このビットの読み出し値は、コアが現在レジューム信号を駆動中であるかどうかを示します。

0：レジューム信号を駆動していません。

1：レジューム信号を駆動しています。

ビット 5 **POCCHNG**：ポート過電流の変化

コアは、このレジスタのポート過電流アクティブビット（ビット 4）に変化があったとき、このビットをセットします。

ビット 4 **POCA**：ポート過電流アクティブ

ポートの過電流条件を示します。

0：過電流条件はありません。

1：過電流条件です。

ビット 3 **PENCHNG**：ポートイネーブル／ディセーブルの変化

コアは、このレジスタのポートイネーブルビット [2] のステータスに変化があったとき、このビットをセットします。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 2 **PENA**：ポートイネーブル

ポートは、リセットシーケンス後、コアによってのみ有効にされ、過電流条件、切断条件、またはアプリケーションがこのビットをクリアすることによって無効にされます。アプリケーションは、レジスタへの書き込みによってこのビットをクリアすることはできません。クリアして、ポートを無効にすることだけができます。このビットは、アプリケーションへの割り込みをトリガしません。

0：ポートは無効です。

1：ポートは有効です。

ビット 1 **PCDET**：ポート接続の検出

コアは、デバイス接続が検出されると、このビットをセットして、コア割り込みレジスタのホストポート割り込みビット（OTG_HS_GINTSTS の HPRTINT ビット）を使用して、アプリケーションへの割り込みをトリガします。アプリケーションは、このビットに 1 を書き込むことによって、割り込みをクリアする必要があります。

ビット 0 **PCSTS**：ポート接続ステータス

0：ポートにはデバイスが接続されていません。

1：ポートにデバイスが接続されています。

OTG_HS ホストチャンネル x特性レジスタ（OTG_HS_HCCHARx）（x = 0..11 = Channel_number）

アドレスオフセット：0x500 + （Channel_number × 0x20）

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CHENA	CHDIS	ODDFRM	DAD							MC		EPTYP		LSDEV	予約済み	EPDIR	EPNUM				MPSIZ										
rs	rs	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw		rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31 **CHENA**：チャネルイネーブル

このフィールドは、アプリケーションによってセットされ OTG ホストによってクリアされます。

0：チャネルは無効です。

1：チャネルは有効です。

ビット 30 **CHDIS**：チャネルディセーブル

アプリケーションは、チャネルへの転送が完了する前でも、このビットをセットして、そのチャネル上での送信／受信を停止することができます。アプリケーションは、チャネルを無効として扱う前に、チャネル無効割り込みを待つ必要があります。

ビット 29 **ODDFRM**：奇数フレーム

このフィールドは OTG ホストが奇数フレームで転送を実行しなければならないことを示すために、アプリケーションによってセット（リセット）されます。このフィールドは、周期的（アイソクロナスおよび割り込み）トランザクションに対してのみ適用されます。

0：偶数 （マイクロ）フレーム

1：奇数 （マイクロ）フレーム

ビット 28:22 **DAD**：デバイスアドレス

このフィールドは、データソースまたはデータシンクとして機能する特定のデバイスを選択します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 21:20 **MC**：マルチカウント（MC) / エラーカウント （EC)

– ホストチャンネル xスプリット制御レジスタ （OTG_HS_HCSPLTx）のスプリットイネーブルビット（SPLITEN）がリセット（0）されると、このフィールドはこの周期的エンドポイントについてマイクロフレームあたりで実行する必要のあるトランザクション数をホストに示します。非周期的転送の場合、このフィールドは内部DMA エンジンがアービトレーションを変更する前にこのチャンネルでフェッチするパケット数を指定します。

00 ：予約済み、このフィールドでは未定義の結果が発生します。
01 ：1 トランザクション
b10：マイクロフレームあたりこのエンドポイントに対し 2 個のトランザクションが発行されます。
11 ：マイクロフレームあたりこのエンドポイントに対し 3 個のトランザクションが発行されます。

– OTG_HS_HCSPLTx ビットが 1 に設定されると、このフィールドはトランザクションエラー時に周期的スプリットトランザクションに対して直ちに実行する試行回数を示します。このフィールドは 01 以上にセットする必要があります。

ビット 19:18 **EPTYP**：エンドポイントタイプ

選択された転送タイプを示します。
00：制御
01：アイソクロナス
10：バルク
11：割り込み

ビット 17 **LSDEV**：ロースピードデバイス

このフィールドは、このチャネルがロースピードデバイスと通信中であることを示すために、アプリケーションによってセットされます。

ビット 16 予約済みであり、リセット値に保持する必要があります。

ビット 15 **EPDIR**：エンドポイントの方向

トランザクションが IN か OUT かを示します。
0：OUT
1：IN

ビット 14:11 **EPNUM**：エンドポイント番号

データソースまたはデータシンクとして機能しているデバイスのエンドポイント番号を示します。

ビット 10:0 **MPSIZ**：最大パケットサイズ

関連するエンドポイントの最大パケットサイズを示します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OTG_HS ホストチャンネル xスプリット制御レジスタ（OTG_HS_HCSPLTx）（x = 0..11 = Channel_number）

アドレスオフセット：0x504 + （Channel_number × 0x20）

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SPLITEN	予約済み														COMPLSPLT	XACTPOS		HUBADDR							PRTADDR						
rw															rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31 **SPLITEN**：スプリットイネーブル

アプリケーションはこのビットをセットして、このチャンネルがスプリットトランザクション処理用に有効化されていることを表示します。

ビット 30:17 予約済みであり、リセット値に保持する必要があります。

ビット 16 **COMPLSPLT**：完全なスプリットを実行

アプリケーションはこのビットをセットして OTG ホストによる完全なスプリットトランザクション実行を要求します。

ビット 15:14 **XACTPOS**：トランザクションポジション

このフィールドを使って､各OUTトランザクションと一緒に全て、先頭、中央、または最終のいずれのペイロードを送信するか否かを決めます。

11：全　このトランザクションの全データペイロード （188 バイト以下）

10：先頭このトランザクションの先頭データペイロード（188 バイト超）

00：中央このトランザクションの中央のペイロード （188 バイト超）

01：最終このトランザクションの最終ペイロード （188 バイト超）

ビット 13:7 **HUBADDR**：ハブアドレス

このフィールドは、トランザクショントランスレータのハブのデバイスアドレスを保持します。

ビット 6:0 **PRTADDR**：ポートアドレス

このフィールドは、受信トランザクショントランスレータのポート番号です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OTG_HS ホストチャンネル x割り込みレジスタ（OTG_HS_HCINTx）（x = 0..11 = Channel_number）

アドレスオフセット：0x508 + （Channel_number × 0x20）

リセット値：0x0000 0000

このレジスタは USB および AHB 関連イベントに関するチャネルのステータスを示します。これを *図 411* に示します。アプリケーションは、コア割り込みレジスタのホストチャネル割り込みビット（OTG_HS_GINTSTS の OEPINT ビット）がセットされたとき、このレジスタを読み出す必要があります。アプリケーションがこのレジスタを読み出すためには、まず、ホスト全チャネル割り込み（OTG_HS_HAINT）レジスタを読み出して、ホストチャネル x 割り込みレジスタにの正確なチャネル番号を知る必要があります。アプリケーションは、このレジスタの適切なビットをクリアすることによって OTG_HS_HAINT および OTG_HS_GINTSTS レジスタの対応するビットをクリアする必要があります。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																					DTERR	FRMOR	BBERR	TXERR	NYET	ACK	NAK	STALL	AHBERR	CHH	XFRC
																					rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1

ビット 31:11 予約済みであり、リセット値に保持する必要があります。

ビット 10 **DTERR**：データトグルエラー

ビット 9 **FRMOR**：フレームオーバーラン

ビット 8 **BBERR**：バブルエラー

ビット 7 **TXERR**：トランザクションエラー

USB 上で以下のエラーの 1 つが発生したことを示します。

CRC チェック失敗
タイムアウト
ビットスタッフエラー
偽の EOP

ビット 6 **NYET**：レスポンス受信割り込み

ビット 5 **ACK**：ACK レスポンス受信／送信割り込み

ビット 4 **NAK**：NAK レスポンス受信割り込み

ビット 3 **STALL**：STALL レスポンス受信割り込み

ビット 2 **AHBERR**：AHB エラー

このAHBエラーは 読み出し／書き込み動作中、AHBエラーが発生したときに内部DMA モードでのみ発生します。アプリケーションは、対応する DMAチャンネルアドレスレジスタを読み出してエラーアドレスを取得することができます。

ビット 1 **CHH**：チャンネル停止

USB トランザクションエラーまたはアプリケーションによるディセーブルリクエストへの応答のいずれかの理由により、転送が異常終了したことを示します。

ビット 0 **XFRC**：転送完了

転送がエラーなく正常に完了しました。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OTG_HS ホストチャンネル x割り込みマスクレジスタ（OTG_HS_HCINTMSKx）（x = 0..11 = Channel_number）

アドレスオフセット：0x50C + （Channel_number × 0x20）

リセット値：0x0000 0000

このレジスタは、前のセクションで説明した各チャネルステータスのマスクを反映します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																					DTERRM	FRMORM	BBERRM	TXERRM	NYET	ACKM	NAKM	STALLM	AHBERR	CHHM	XFRCM
																					rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:11 予約済みであり、リセット値に保持する必要があります。

ビット 10 **DTERRM**：データトグルエラーマスク
0：割り込みはマスクされます
1：割り込みはマスクされません

ビット 9 **FRMORM**：フレームオーバーランマスク
0：割り込みはマスクされます
1：割り込みはマスクされません

ビット 8 **BBERRM**：バブルエラーマスク
0：割り込みはマスクされます
1：割り込みはマスクされません

ビット 7 **TXERRM**：トランザクションエラーマスク
0：割り込みはマスクされます
1：割り込みはマスクされません

ビット 6 **NYET**：レスポンス受信割り込みマスク
0：割り込みはマスクされます
1：割り込みはマスクされません

ビット 5 **ACKM**：ACK レスポンス受信／送信割り込みマスク
0：割り込みはマスクされます
1：割り込みはマスクされません

ビット 4 **NAKM**：NAK レスポンス受信割り込みマスク
0：割り込みはマスクされます
1：割り込みはマスクされません

ビット 3 **STALLM**：STALL レスポンス受信割り込みマスク
0：割り込みはマスクされます
1：割り込みはマスクされません

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 2 **AHBERR**：AHB エラー

このエラーは AHB 読み出し／書き込み動作中に AHB エラーが発生したとき内部DMA モードでのみ発生します。アプリケーションは、対応する DMA チャンネルアドレスレジスタを読み出してエラーアドレスを取得することができます。

ビット 1 **CHHM**：チャンネル停止マスク

0：割り込みはマスクされます

1：割り込みはマスクされません

ビット 0 **XFRCM**：転送完了マスク

0：割り込みはマスクされます

1：割り込みはマスクされません

OTG_HS ホストチャンネル x転送サイズレジスタ （OTG_HS_HCTSIZx）（x = 0..11 = Channel_number）

アドレスオフセット：0x510 + （Channel_number × 0x20）

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DOPING	DPID		PKTCNT										XFRSIZ																		
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31 **DOPING**：ピンの実行

このビット 転送のみに使用されます。このフィールドに 1 を設定すると、ホストにPINGプロトコルを実行させます。

注： IN 転送ではこのビットをセットしないでください。このビット 転送に対してセットすると、そのチャネルが無効化されます。

ビット 30:29 **DPID**：データ PID

アプリケーションは、このフィールドを最初のトランザクションで使用する PID のタイプでプログラムします。ホストは、残りの転送の間、このフィールドを維持します。

00：DATA0

01：DATA2

10：DATA1

11：MDATA （非制御）／セットアップ（制御）

ビット 28:19 **PKTCNT**：パケットカウント

このフィールドは、アプリケーションによって、送信（OUT）または受信（IN）されるパケットの予想数でプログラムされます。

ホストは OUT/IN パケットの送信または受信が成功するたびに、このカウントをデクリメントします。このカウントがゼロに達すると、アプリケーションに割り込んで、正常完了を示します。

ビット 18:0 **XFRSIZ**：転送サイズ

OUT の場合、このフィールドは、ホストが転送時に送信するデータバイト数です。

IN の場合、このフィールドは、アプリケーションが転送のために確保したバッファサイズです。アプリケーションは IN トランザクション（周期的および非周期的）の場合、このフィールドを最大パケットサイズの整数倍でプログラムすることが期待されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OTG_HS ホストチャンネル x DMA アドレスレジスタ（OTG_HS_HCDMAx）（x = 0..11 = Channel_number）

アドレスオフセット：0x514 + （Channel_number × 0x20）

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DMAADDR																															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0 **DMAADDR**：DMA アドレス

このフィールドは、外部メモリ内のエンドポイントのデータがフェッチされる、または格納される開始アドレスを保持します。このレジスタは、各 AHB トランザクションごとにインクリメントされます。

35.12.4 デバイスモードレジスタ

OTG_HS デバイス設定レジスタ（OTG_HS_DCFG）

アドレスオフセット：0x800

リセット値：0x0220 0000

このレジスタは、電源投入後、または特定の制御コマンドあるいはエニュメレーションの後、コアをペリフェラルモードに設定します。初期プログラミングの後は、このレジスタを変更しないでください。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み						PERSCHIVL		予約済み	予約済み										PFIVL		DAD							予約済み	NZLSOHSK	DSPD	
						rw	rw												rw		rw	rw	rw	rw	rw	rw	rw		rw	rw	rw

ビット 31:26 予約済みであり、リセット値に保持する必要があります。

ビット 25:24 **PERSCHIVL**：周期的スケジューリングインターバル

このフィールドは、周期的IN エンドポイントデータのフェッチ用に内部DMA エンジンが割り当てる必要のある時間を指定します。周期的エンドポイント数に基いて、この値は（マイクロ）フレームの25、50 または 75% である必要があります。

- アクティブな周期的エンドポイントが存在するとき、内部DMA エンジンは、フェッチ中の周期的IN エンドポイントデータに所定の時間を割り当てます。
- アクティブな周期的エンドポイントが存在しない場合、内部DMA エンジンは非周期的エンドポイントをサービスし、このフィールドを無視します。
- （マイクロ）フレーム内で所定時間経過後 DMA は非周期的エンドポイントのフェッチへ切り替わります。

00：（マイクロ）フレームの25%
01：（マイクロ）フレームの50%
10：（マイクロ）フレームの75%
11：予約済み

ビット 23:13 予約済みであり、リセット値に保持する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 12:11 **PFIVL**：周期的（マイクロ）フレームインターバル

周期的（マイクロ）フレーム終了割り込みを使用してアプリケーションに通知しなければならない（マイクロ）フレーム内の時間を示します。これを使用して、そのフレームのアイソクロナストラフィックのすべてが完了したかどうかを判断できます。

00：フレームインターバルの 80%

01：フレームインターバルの 85%

10：フレームインターバルの 90%

11：フレームインターバルの 95%

ビット 10:4 **DAD**：デバイスアドレス

アプリケーションは、各 SetAddress 制御コマンドの後、このフィールドをプログラムする必要があります。

ビット 3 予約済みであり、リセット値に保持する必要があります。

ビット 2 **NZLSOHSK**：非ゼロ長ステータス OUT ハンドシェイク

アプリケーションは、このフィールドを使用して、制御転送のステータスステージの OUT トランザクション中に、コアが非ゼロ長のデータパケットを受信したときに送信するハンドシェイクを選択できます。

1：非ゼロ長ステータスの OUT トランザクション時には STALL ハンドシェイクを送信し、受信した OUT パケットをアプリケーションに送信しません。

0：受信した OUT パケット（ゼロ長または非ゼロ長）をアプリケーションに送信し、デバイスエンドポイント制御レジスタの NAK および STALL ビットに基づいてハンドシェイクを送信します。

ビット 1:0 **DSPD**：デバイススピード

アプリケーションがコアにエニュメレーションを要求するスピード、またはアプリケーションがサポートできる最高スピードを示します。ただし、実際のバススピードは、チャープシーケンスの完了後に決まり、コアが接続される USB ホストのスピードに基づきます。

00：ハイスピード

01：予約済み

10：予約済み

11：フルスピード（USB 1.1 トランシーバのクロックは 48 MHz です）

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OTG_HS デバイス制御レジスタ（OTG_HS_DCTL）

アドレスオフセット：0x804

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																				POPRGDNE	CGONAK	SGONAK	CGINAK	SGINAK	TCTL			GONSTS	GINSTS	SDIS	RWUSIG
																				rw	w	w	w	w	rw	rw	rw	r	r	rw	rw

ビット 31:12 予約済みであり、リセット値に保持する必要があります。

ビット 11 **POPRGDNE**：パワーオンプログラミング終了

アプリケーションは、このビットを使用して、パワーダウンモードからのウェイクアップ後に、レジスタのプログラミングが終了したことを示します。

ビット 10 **CGONAK**：グローバル OUT NAK のクリア

このフィールドに書き込むと、グローバル OUT NAK がクリアされます。

ビット 9 **SGONAK**：グローバル OUT NAK のセット

このフィールドに書き込むと、グローバル OUT NAK がセットされます。
アプリケーションは、このビットを使用して、すべての OUT エンドポイントに NAK ハンドシェイクを送信します。
アプリケーションがこのビットをセットするのは、コア割り込みレジスタのグローバル OUT NAK 有効ビット（OTG_HS_GINTSTS の GONAKEFF ビット）がクリアされていることを確認した後でなければなりません。

ビット 8 **CGINAK**：グローバル IN NAK のクリア

このフィールドに書き込むと、グローバル IN NAK がクリアされます。

ビット 7 **SGINAK**：グローバル IN NAK のセット

このフィールドに書き込むと、グローバル非周期的 IN NAK がセットされます。アプリケーションは、このビットを使用して、すべての非周期的 IN エンドポイントに NAK ハンドシェイクを送信します。
アプリケーションがこのビットをセットするのは、コア割り込みレジスタのグローバル IN NAK 有効ビット（OTG_HS_GINTSTS の GINAKEFF ビット）がクリアされていることを確認した後でなければなりません。

ビット 6:4 **TCTL**：テスト制御

000：テストモード無効
001：Test_J モード
010：Test_K モード
011：Test_SE0_NAK モード
100：Test_Packet モード
101：Test_Force_Enable
その他：予約済み

ビット 3 **GONSTS**：グローバル OUT NAK のステータス

0：ハンドシェイクは FIFO ステータスと NAK および STALL ビットの設定に基づいて送信されます。
1：使用可能なスペースに関係なく RxFIFO にはデータが書き込まれません。SETUP トランザクションを除き、すべてのパケットに NAK ハンドシェイクを送信します。すべてのアイソクロナス OUT パケットがドロップされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 2 **GINSTS**：グローバル IN NAK ステータス

0：ハンドシェイクは、送信 FIFO 内の使用可能なデータに基づいて送信されます。

1：NAK ハンドシェイクは、送信 FIFO 内の使用可能なデータに関係なく、非周期的 IN エンドポイントに送出されます。

ビット 1 **SDIS**：ソフト切断

アプリケーションは、このビットを使用して USB OTG コアにソフト切断を実行することを伝えます。このビットがセットされている限り、ホストはデバイスが接続されているとは解釈せず、デバイスは USB 上で信号を受信しません。コアは、アプリケーションがこのビットをクリアするまで、切断状態にとどまります。

0：通常動作。ソフト切断後にこのビットがクリアされると、コアは USB ホストに対してデバイス接続イベントを生成します。デバイスが再接続されると USB ホストはデバイスのエニュメレーションをリスタートします。

1：コアは USB ホストに対して、デバイス切断イベントを生成します。

ビット 0 **RWUSIG**：リモートウェイクアップ信号

アプリケーションがこのビットをセットすると、コアはリモートシグナリングを実行して USB ホストをウェイクアップします。コアをサスペンド状態から抜け出させるには、アプリケーションは、このビットをセットする必要があります。USB 2.0 仕様で規定されているように、アプリケーションは、このビットをセットしてから 1 ms から 15 ms 後にクリアする必要があります。

表 207 は USB ホストがデバイスの切断を検出するためにソフト切断（SDIS）ビットがセットされなければならない最短時間（デバイスの状態による）を示します。クロックジッタに対応するには、アプリケーションは指定された最短時間まで遅延を追加することが推奨されます。

表 207. ソフト切断のための最短時間

動作速度	デバイスの状態	最短時間
ハイスピード	アイドル状態でもサスペンド状態でもない（トランザクション実行中）	125 µs
フルスピード	サスペンド状態	1 ms + 2.5 µs
フルスピード	アイドル	2.5 µs
フルスピード	アイドル状態でもサスペンド状態でもない（トランザクション実行中）	2.5 µs

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OTG_HS デバイスステータスレジスタ（OTG_HS_DSTS）

アドレスオフセット：0x808

リセット値：0x0000 0010

このレジスタは 関連イベントに関するコアのステータスを示します。デバイス全割り込みレジスタ（OTG_HS_DAINT）からの割り込み時に読み出されなければなりません。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み										FNSOF														予約済み				EERR	ENUMSPD		SUSPSTS
										r	r	r	r	r	r	r	r	r	r	r	r	r	r					r	r	r	r

ビット 31:22 予約済みであり、リセット値に保持する必要があります。

ビット 21:8 **FNSOF**：受信 SOF のフレーム番号

ビット 7:4 予約済みであり、リセット値に保持する必要があります。

ビット 3 **EERR**：不規則エラー

コアは、このビットをセットして、不規則エラーを報告します。

不規則エラーが発生すると OTG_HS コントローラはサスペンド状態に移行し、コア割り込みレジスタのアーリーサスペンドビット（OTG_HS_GINTSTS の ESUP ビット）によりアプリケーションへの割り込みが生成されます。不規則エラーによるアーリーサスペンドがアサートされた場合、アプリケーションは、ソフト切断回復を実行するしかありません。

ビット 2:1 **ENUMSPD**：エニュメレーションされた速度

チャープシーケンスによるスピード検出後の OTG_HS コントローラのスピードを示します。

00：ハイスピード

01：予約済み

10：予約済み

11：フルスピード（PHY クロックは 48 MHz で動作しています）

その他：予約済み

ビット 0 **SUSPSTS**：サスペンドステータス

ペリフェラルモードでは、このビットは USB 上でサスペンド状態が検出されている限り、セットされます。USB データライン上で 3 ms の間、何のアクティビティもなかった場合、コアはサスペンド状態に入ります。コアは、以下の場合にサスペンド状態から抜け出します。

– USB データライン上で何らかのアクティビティがあったとき。

– アプリケーションがデバイス制御レジスタのリモートウェイクアップシグナリングビット（OTG_HS_DCTL の RWUSIG ビット）に書き込みを行ったとき。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OTG_HS デバイス IN エンドポイント共通割り込みマスクレジスタ（OTG_HS_DIEPMSK）

アドレスオフセット：0x810

リセット値：0x0000 0000

このレジスタは、すべてのエンドポイントの各デバイス IN エンドポイント割り込み（OTG_HS_DIEPINTx）レジスタとともに機能して IN エンドポイントごとに割り込みを生成します。このレジスタの対応するビットに書き込むことによって OTG_HS_DIEPINTx レジスタの特定のステータスに対する IN エンドポイント割り込みはマスクされますできます。ステータスビットはデフォルトでマスクされます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																						BIM	TXFURM	予約済み	INEPNEM	INEPNMM	ITTXFEMSK	TOM	予約済み	EPDM	XFRCM
																						rw	rw		rw	rw	rw	rw		rw	rw

ビット 31:10 予約済みであり、リセット値に保持する必要があります。

ビット 9 **BIM**：BNA 割り込みマスク
0：割り込みはマスクされます
1：割り込みはマスクされません

ビット 8 **TXFURM**：FIFO アンダーランマスク
0：割り込みはマスクされます
1：割り込みはマスクされません

ビット 7 予約済みであり、リセット値に保持する必要があります。

ビット 6 **INEPNEM**：IN エンドポイント NAK 有効マスク
0：割り込みはマスクされます
1：割り込みはマスクされません

ビット 5 **INEPNMM**：EP 不一致マスク付きで受信された IN トークン
0：割り込みはマスクされます
1：割り込みはマスクされません

ビット 4 **ITTXFEMSK**：TxFIFO エンプティ時受信 IN トークンマスク
0：割り込みはマスクされます
1：割り込みはマスクされません

ビット 3 **TOM**：タイムアウト条件マスク（非アイソクロナスエンドポイント）
0：割り込みはマスクされます
1：割り込みはマスクされません

ビット 2 予約済みであり、リセット値に保持する必要があります。

ビット 1 **EPDM**：エンドポイントディセーブル割り込みマスク
0：割り込みはマスクされます
1：割り込みはマスクされません

ビット 0 **XFRCM**：転送完了割り込みマスク
0：割り込みはマスクされます
1：割り込みはマスクされません

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OTG_HS デバイス OUT エンドポイント共通割り込みマスクレジスタ（OTG_HS_DOEPMSK）

アドレスオフセット：0x814

リセット値：0x0000 0000

このレジスタは、すべてのエンドポイントの各デバイス OUT エンドポイント割り込み（OTG_HS_DOEPINTx）レジスタとともに機能して OUT エンドポイントごとに割り込みを生成します。このレジスタの対応するビットに書き込むことによって OTG_HS_DOEPINTx レジスタの特定のステータスに対する OUT エンドポイント割り込みはマスクされますできます。ステータスビットはデフォルトでマスクされます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																						BOIM	OPEM	予約済み	B2BSTUP	予約済み	OTEPDM	STUPM	予約済み	EPDM	XFRCM
																						rw	rw		rw		rw	rw		rw	rw

ビット 31:10 予約済みであり、リセット値に保持する必要があります。

ビット 9 **BOIM**：BNA 割り込みマスク
0：割り込みはマスクされます
1：割り込みはマスクされません

ビット 8 **OPEM**：OUT パケットエラーマスク
0：割り込みはマスクされます
1：割り込みはマスクされません

ビット 7 予約済みであり、リセット値に保持する必要があります。

ビット 6 **B2BSTUP**：連続SETUP パケット受信マスク
制御 OUT エンドポイントにのみ適用されます。
0：割り込みはマスクされます
1：割り込みはマスクされません

ビット 5 予約済みであり、リセット値に保持する必要があります。

ビット 4 **OTEPDM**：エンドポイント無効時 OUT トークン受信マスク
制御 OUT エンドポイントにのみ適用されます。
0：割り込みはマスクされます
1：割り込みはマスクされません

ビット 3 **STUPM**：SETUP フェーズ終了マスク
制御エンドポイントにのみ適用されます。
0：割り込みはマスクされます
1：割り込みはマスクされません

ビット 2 予約済みであり、リセット値に保持する必要があります。

ビット 1 **EPDM**：エンドポイントディセーブル割り込みマスク
0：割り込みはマスクされます
1：割り込みはマスクされません

ビット 0 **XFRCM**：転送完了割り込みマスク
0：割り込みはマスクされます
1：割り込みはマスクされません

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OTG_HS デバイス全エンドポイント割り込みレジスタ（OTG_HS_DAINT）

アドレスオフセット：0x818

リセット値：0x0000 0000

エンドポイント上で重要なイベントが発生すると、デバイス全エンドポイント割り込みレジスタは、デバイス OUT エンドポイント割り込みビットまたはデバイス IN エンドポイント割り込みビット（それぞれ OTG_HS_GINTSTS の OEPINT ビットまたは IEPINT ビット）を使用して、アプリケーションに割り込みをかけます。エンドポイントごとに 1 つの割り込みビットがあります（OUT エンドポイントおよび IN エンドポイントに対してそれぞれ最大 16 ビット）。双方向エンドポイントの場合、対応する IN および OUT 割り込みビットが使用されます。このレジスタのビットは、アプリケーションが対応するデバイスエンドポイント x 割り込みレジスタのビット（OTG_HS_DIEPINTx/OTG_HS_DOEPINTx）をセット／クリアしたときに、セット／クリアされます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OEPINT																IEPINT															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:16 **OEPINT**：OUT エンドポイント割り込みビット
OUT エンドポイントチャネルあたり 1 ビット：
OUT エンドポイント 0 に対してビット 16、OUT エンドポイント 15 に対してビット 31

ビット 15:0 **IEPINT**：IN エンドポイント割り込みビット
IN エンドポイントあたり 1 ビット：
IN エンドポイント 0 に対してビット 0、IN エンドポイント 15 に対してビット 15

OTG_HS 全エンドポイント割り込みマスクレジスタ（OTG_HS_DAINTMSK）

アドレスオフセット：0x81C

リセット値：0x0000 0000

デバイスエンドポイント割り込みマスクレジスタは、デバイスエンドポイント割り込みレジスタとともに機能して、デバイスエンドポイント上にイベントが発生すると、アプリケーションに割り込みます。ただし、その割り込みに対応するデバイス全エンドポイント割り込み（OTG_HS_DAINT）レジスタのビットは、セットされたままです。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OEPM																IEPM															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:16 **OEPM**：OUT EP 割り込みマスクビット
OUT エンドポイント（EP）あたり 1 ビット：
OUT EP 0 に対してビット 16、OUT EP 3 に対してビット 18
0：割り込みはマスクされます
1：割り込みはマスクされません

ビット 15:0 **IEPM**：IN EP 割り込みマスクビット
IN エンドポイントあたり 1 ビット：
IN EP 0 に対してビット 0、IN EP 3 に対してビット 3
0：割り込みはマスクされます
1：割り込みはマスクされません

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OTG_HS デバイス V_{BUS} 放電時間レジスタ（OTG_HS_DVBUSDIS）

アドレスオフセット：0x0828

リセット値：0x0000 17D7

このレジスタは SRP 中の V_{BUS} パルシング後の V_{BUS} 放電時間を指定します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																VBUSDT															
																rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15:0 **VBUSDT**：デバイス V_{BUS} 放電時間

SRP 中の V_{BUS} パルシング後の V_{BUS} 放電時間を指定します。この値は以下のようになります。

V_{BUS} 放電時間（PHY クロック / 1024）

この値は V_{BUS} の負荷によって調整の必要がある可能性があります。

OTG_HS デバイス V_{BUS} パルシング時間レジスタ（OTG_HS_DVBUS PULSE）

アドレスオフセット：0x082C

リセット値：0x0000 05B8

このレジスタは SRP 期間中の V_{BUS} パルシング時間を指定します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																				DVBUSP											
																				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:12 予約済みであり、リセット値に保持する必要があります。

ビット 11:0 **DVBUSP**：デバイスの V_{BUS} パルシング時間

SRP 期間中の V_{BUS} パルシング時間を指定します。この値は以下のようになります。

V_{BUS} パルシング時間 （PHY クロック / 1 024）

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OTG_HS デバイス閾値制御レジスタ（OTG_HS_DTHRCTL）

アドレスオフセット：0x0830

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み				ARPEN	予約済み	RXTHRLEN									RXTHREN	予約済み					TXTHRLEN									ISOTHREN	NONISOTHREN
				rw		rw	rw	rw	rw	rw	rw	rw	rw	rw	rw						rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:28 予約済みであり、リセット値に保持する必要があります。

ビット 27 **ARPEN**：アービタパーキングイネーブル

このビットは、IN エンドポイントに対する内部DMA アービタパーキングを制御します。閾値が有効化され、かつこのビットに 1 が設定されると、アービタは USB でトークンが受信された IN エンドポイントにパークします。これは、アンダーラン状態を回避するために実行されます。デフォルトではパーキングは有効化されています。

ビット 26 予約済みであり、リセット値に保持する必要があります。

ビット 25:17 **RXTHRLEN**：受信閾値長

このフィールドは、受信閾値サイズをワード単位で指定します。また、このフィールドはコアが AHB で送信を開始できる前に USB で受信するデータ量も指定します。閾値長は、少なくとも 8 ワードある必要があります。RXTHRLEN の推奨値は、設定された AHB バースト長（OTG_HS_GAHBCFG の HBSTLEN ビット）と同じです。

ビット 16 **RXTHREN**：受信閾値イネーブル

このビットをセットすると、コアは受信方向で閾値を有効化します。

ビット 15:11 予約済みであり、リセット値に保持する必要があります。

ビット 10:2 **TXTHRLEN**：送信閾値長

このフィールドは、送信閾値サイズをワード単位で指定します。このフィールドは、コアが USB で送信を開始できる前に、対応するエンドポイント送信 FIFO に入力するデータバイト数を指定します。閾値長は、少なくとも 8 ワードある必要があります。このフィールドは、アイソクロナスと非アイソクロナスの IN エンドポイント閾値を制御します。TXTHRLEN の推奨値は、設定された AHB バースト長（OTG_HS_GAHBCFG の HBSTLEN ビット）と同じです。

ビット 1 **ISOTHREN**：ISO IN エンドポイント閾値イネーブル

このビットをセットすると、コアはアイソクロナス IN エンドポイントで閾値を有効化します。

ビット 0 **NONISOTHREN**：非アイソクロナス IN エンドポイント閾値イネーブル

このビットをセットすると、コアは非アイソクロナス IN エンドポイントで閾値を有効化します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OTG_HS デバイス IN エンドポイント FIFO エンプティ割り込みマスクレジスタ：（OTG_HS_DIEPEMPMSK）

アドレスオフセット：0x834

リセット値：0x0000 0000

このレジスタは、IN エンドポイント FIFO エンプティ割り込みの生成（TXFE_OTG_HS_DIEPINTx）を制御するために使用されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																INEPTXFEM															
																rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15:0 **INEPTXFEM：**IN EP Tx FIFO エンプティ割り込みマスクビット

これらのビットは OTG_HS_DIEPINTx に対するマスクビットとして機能します。

IN EP あたり TXFE 割り込み 1 ビット：

IN EP 0 に対してビット 0、IN EP 15 に対してビット 15

0：割り込みはマスクされます

1：割り込みはマスクされません

OTG_HS デバイス各エンドポイント割り込みレジスタ（OTG_HS_D EACH INT）

アドレスオフセット：0x0838

リセット値：0x0000 0000

エンドポイント 1 の IN に対して 1 個の割り込みビットが、エンドポイント 1 の OUT に対して 1 個の割り込みビットが、それぞれ存在します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み														OEP1INT		予約済み														IEP1INT	予約済み
														rw																rw	

ビット 31:18 予約済みであり、リセット値に保持する必要があります。

ビット 17 **OEP1INT：**OUT エンドポイント 1 割り込みビット

ビット 16:2 予約済みであり、リセット値に保持する必要があります。

ビット 1 **IEP1INT：**IN エンドポイント 1 割り込みビット

ビット 0 予約済みであり、リセット値に保持する必要があります。

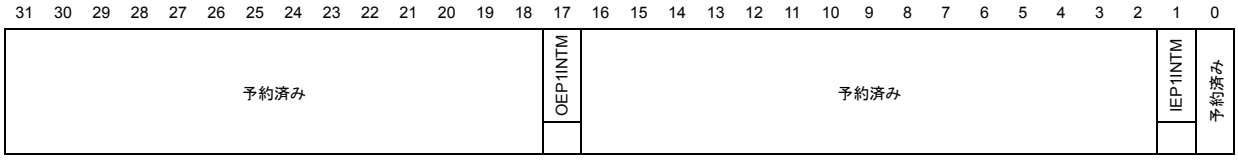
この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OTG_HS デバイス各エンドポイント割り込みレジスタマスク（OTG_HS_DEACH INTMSK）

アドレスオフセット：0x083C

リセット値：0x0000 0000

エンドポイント 1 の IN に対して 1 個の割り込みビットが、エンドポイント 1 の OUT に対して 1 個の割り込みビットが、それぞれ存在します。



ビット 31:18 予約済みであり、リセット値に保持する必要があります。

ビット 17 **OEP1INTM :** OUT エンドポイント 1 割り込みマスクビット

ビット 16:2 予約済みであり、リセット値に保持する必要があります。

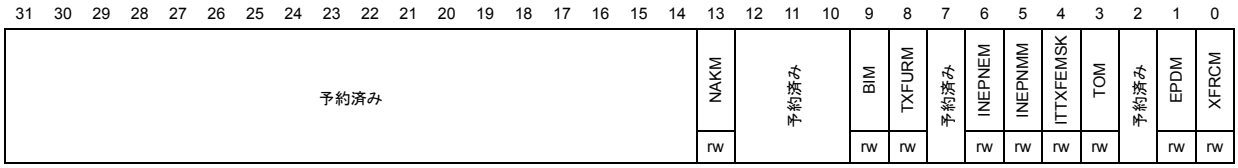
ビット 1 **IEP1INTM :** IN エンドポイント 1 割り込みマスクビット

ビット 0 予約済みであり、リセット値に保持する必要があります。

OTG_HS デバイス各 IN エンドポイント 1 割り込みレジスタ（OTG_HS_DIEPEACHMSK1）

アドレスオフセット：0x844

リセット値：0x0000 0000



ビット 31:14 予約済みであり、リセット値に保持する必要があります。

ビット 13 **NAKM :** NAK 割り込みマスク

0：割り込みはマスクされます

1：割り込みはマスクされません

ビット 12:10 予約済みであり、リセット値に保持する必要があります。

ビット 9 **BIM :** BNA 割り込みマスク

0：割り込みはマスクされます

1：割り込みはマスクされません

ビット 8 **TXFURM :** FIFO アンダーランマスク

0：割り込みはマスクされます

1：割り込みはマスクされません

ビット 7 予約済みであり、リセット値に保持する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 6 **INEPNEM**：IN エンドポイント NAK 有効マスク
0：割り込みはマスクされます
1：割り込みはマスクされません

ビット 5 **INEPNMM**：EP 不一致付きで受信された IN トークンマスク
0：割り込みはマスクされます
1：割り込みはマスクされません

ビット 4 **ITTXFEMSK**：TxFIFO エンプティ時に受信された IN トークンマスク
0：割り込みはマスクされます
1：割り込みはマスクされません

ビット 3 **TOM**：タイムアウト条件マスク（非アイソクロナスエンドポイント）
0：割り込みはマスクされます
1：割り込みはマスクされません

ビット 2 予約済みであり、リセット値に保持する必要があります。

ビット 1 **EPDM**：エンドポイントディセーブル割り込みマスク
0：割り込みはマスクされます
1：割り込みはマスクされません

ビット 0 **XFRCM**：転送完了割り込みマスク
0：割り込みはマスクされます
1：割り込みはマスクされません

OTG_HS デバイス各 OUT エンドポイント 1 割り込みレジスタ（OTG_HS_DOEPEACHMSK1）

アドレスオフセット：0x884

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																	NYETM	NAKM	BERRM	予約済み		BIM	TXFURM	予約済み	INEPNEM	INEPNMM	ITTXFEMSK	TOM	予約済み	EPDM	XFRCM
																	rw	rw	rw			rw	rw		rw	rw	rw	rw		rw	rw

ビット 31:15 予約済みであり、リセット値に保持する必要があります。

ビット 14 **NYETM**：NYET 割り込みマスク
0：割り込みはマスクされます
1：割り込みはマスクされません

ビット 13 **NAKM**：NAK 割り込みマスク
0：割り込みはマスクされます
1：割り込みはマスクされません

ビット 12 **BERRM**：バブルエラー割り込みマスク
0：割り込みはマスクされます
1：割り込みはマスクされません

ビット 11:10 予約済みであり、リセット値に保持する必要があります。

ビット 9 **BIM**：BNA 割り込みマスク
0：割り込みはマスクされます
1：割り込みはマスクされません

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 8 **OPEM**：OUT パケットエラーマスク
0：割り込みはマスクされます
1：割り込みはマスクされません

ビット 7:3 予約済みであり、リセット値に保持する必要があります。

ビット 2 **AHBERRM**：AHB エラーマスク
0：割り込みはマスクされます
1：割り込みはマスクされません

ビット 1 **EPDM**：エンドポイントディセーブル割り込みマスク
0：割り込みはマスクされます
1：割り込みはマスクされません

ビット 0 **XFRCM**：転送完了割り込みマスク
0：割り込みはマスクされます
1：割り込みはマスクされません

OTG デバイスエンドポイント x 制御レジスタ（OTG_HS_DIEPCTLx）（x = 0..7、x =Endpoint_number）

アドレスオフセット：0x900 + （Endpoint_number × 0x20）

リセット値：0x0000 0000

アプリケーションは、このレジスタを使用して、エンドポイント 0 以外の各論理エンドポイントの動作を制御します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EPENA	EPDIS	SODDFRM	SD0PID/SEVNFRM	SNAK	CNAK	TXFNUM				STALL	予約済み	EPTYP		NAKSTS	EONUM/DPID	USBAEP	予約済み				MPSIZ										
rs	rs	w	w	w	w	rw	rw	rw	rw	rw/rs		rw	rw	r	r	rw					rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31 **EPENA**：エンドポイントイネーブル
アプリケーションは、このビットをセットして、エンドポイントへのデータ送信を開始します。
コアは、このエンドポイント上で以下の割り込みをセットする前に、このビットをクリアします。
– SETUP フェーズ終了
– エンドポイント無効
– 転送完了

ビット 30 **EPDIS**：エンドポイントディセーブル
アプリケーションは、エンドポイントへの転送が完了する前でも、このビットをセットして、そのエンドポイントでのデータ送信／受信を停止することができます。アプリケーションは、エンドポイントを無効として扱う前に、エンドポイント無効割り込みを待つ必要があります。コアは、エンドポイント無効割り込みを設定する前に、このビットをクリアします。アプリケーションは、このエンドポイントのエンドポイントイネーブルがすでにセットされている場合のみ、このビットをセットしなければなりません。

ビット 29 **SODDFRM**：奇数フレームの設定
アイソクロナス IN および OUT エンドポイントにのみ適用されます。
このフィールドに書き込むと、偶数／奇数フレーム（EONUM）フィールドが奇数フレームに設定されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 28 **SD0PID**：DATA0 PID の設定

割り込み／バルク IN エンドポイントにのみ適用されます。

このフィールドに書き込むと、このレジスタのエンドポイントデータ PID（DPID）フィールドが DATA0 に設定されます。

SEVNFRM：偶数フレームの設定

アイソクロナス IN エンドポイントにのみ適用されます。

このフィールドに書き込むと、偶数／奇数フレーム（EONUM）フィールドが偶数フレームに設定されます。

ビット 27 **SNAK**：NAK のセット

このビットに書き込むと、エンドポイントの NAK ビットがセットされます。

アプリケーションは、このビットを使用して、エンドポイント上での NAK ハンドシェイクの送信を制御できます。コアは、送信完了割り込み時、またはエンドポイントで SETUP パケットが受信された後、OUT エンドポイントに対してこのビットをセットすることもできます。

ビット 26 **CNAK**：NAK をクリア

このビットに書き込むと、エンドポイントの NAK ビットがクリアされます。

ビット 25:22 **TXFNUM**：TxFIFO 番号

これらのビットは、このエンドポイントに関連する FIFO 番号を指定します。各有効 IN エンドポイントは、別々の FIFO 番号にプログラムされなければなりません。

このフィールドは、IN エンドポイントについてのみ有効です。

ビット 21 **STALL**：STALL のハンドシェイク

非制御の非アイソクロナス IN エンドポイントにのみ適用されます（アクセスタイプは rw です）。

アプリケーションは、このビットをセットして、USB ホストからこのエンドポイントへのすべてのトークンを停止します。このビットとともに NAK ビット（グローバル IN NAK またはグローバル OUT NAK）がセットされた場合は、STALL ビットが優先されます。アプリケーションでのみこのビットをクリアできます。コアはクリアできません。

制御エンドポイントにのみ適用されます（アクセスタイプは rs です）。

アプリケーションは、このビットのセットのみ可能です。このエンドポイントの SETUP トークンが受信されると、コアがこのビットをクリアします。このビットとともに NAK ビット（グローバル IN NAK またはグローバル OUT NAK）がセットされた場合は、STALL ビットが優先されます。このビットの設定に関係なく、コアは、常に SETUP データパケットに ACK ハンドシェイクで応答します。

ビット 20 予約済みであり、リセット値に保持する必要があります。

ビット 19:18 **EPTYP**：エンドポイントタイプ

これは、この論理エンドポイントがサポートする転送タイプです。

00：制御

01：アイソクロナス

10：バルク

11：割り込み

ビット 17 **NAKSTS**：NAK ステータス

以下を示します。

0：コアは、FIFO のステータスに基づいて非 NAK ハンドシェイクを送信中です。

1：コアは、このエンドポイント上で NAK ハンドシェイクを送信中です。

アプリケーションまたはコアがこのビットをセットすると、

非アイソクロナス IN エンドポイントの場合：コアは、TxFIFO に使用可能なデータがある場合でも、データの送信を停止します。

アイソクロナス IN エンドポイントの場合：コアは、TxFIFO に使用可能なデータがある場合でも、ゼロ長のデータパケットを送出します。

このビットの設定に関係なく、コアは、常に SETUP データパケットに ACK ハンドシェイクで応答します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 16 **EONUM**：偶数／奇数フレーム

アイソクロナス IN エンドポイントにのみ適用されます。

コアがこのエンドポイントにアイソクロナスデータを送受信するフレーム番号を示します。アプリケーションは、このレジスタの SEVNFRM および SODDFRM フィールドを使用して、このエンドポイントに対してアイソクロナスデータを送信／受信する偶数／奇数番号をプログラムする必要があります。

0：偶数フレーム

1：奇数フレーム

DPID：エンドポイントデータ PID

割り込み／バルク IN エンドポイントにのみ適用されます。

このエンドポイント上で受信または送信されるパケットの PID を含みます。アプリケーションは、エンドポイントが有効化された後、受信または送信される最初のパケットの PID をプログラムする必要があります。アプリケーションは SC0PID レジスタを使用して、DATA0 または DATA1 PID のいずれかをプログラムします。

0：DATA0

1：DATA1

ビット 15 **USBAEP**：USB アクティブエンドポイント

このエンドポイントが現在の設定およびインタフェースで有効かどうかを示します。コアは、USB リセットを検出した後、すべてのエンドポイント（EP 0 を除き）について、このビットをクリアします。SetConfiguration および SetInterface コマンドを受信した後、アプリケーションはそれに応じてエンドポイントをプログラムし、このビットをセットする必要があります。

ビット 14:11 予約済みであり、リセット値に保持する必要があります。

ビット 10:0 **MPSIZ**：最大パケットサイズ

アプリケーションは、このフィールドを現在の論理エンドポイントの最大パケットサイズでプログラムする必要があります。この値はバイト単位です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OTG_HS デバイス制御 OUT エンドポイント 0 制御レジスタ（OTG_HS_DOEPCTL0）

アドレスオフセット：0xB00

リセット値：0x0000 8000

このセクションでは、デバイス制御 OUT エンドポイント 0 制御レジスタについて説明します。非ゼロ制御エンドポイントは、エンドポイント 1～15 のレジスタを使用します。

31	30	29 28	27	26	25 24 23 22	21	20	19 18	17	16	15	14 13 12 11 10 9 8 7 6 5 4 3 2	1 0
EPENA	EPDIS	予約済み	SNAK	CNAK	予約済み	STALL	SNPM	EPTYP	NAKSTS	予約済み	USBAEP	予約済み	MPSIZ
w	r		w	w		rs	rw	r r	r		r		r r

ビット 31 **EPENA**：エンドポイントイネーブル
アプリケーションは、このビットをセットして、エンドポイント 0 上でデータ送信を開始します。コアは、このエンドポイント上で以下の割り込みをセットする前に、このビットをクリアします。
– SETUP フェーズ終了
– エンドポイント無効
– 転送完了

ビット 30 **EPDIS**：エンドポイントディセーブル
アプリケーションは、制御 OUT エンドポイント 0 を無効にできません。

ビット 29:28 予約済みであり、リセット値に保持する必要があります。

ビット 27 **SNAK**：NAK をセット
このビットに書き込むと、エンドポイントの NAK ビットがセットされます。
アプリケーションは、このビットを使用して、エンドポイント上での NAK ハンドシェイクの送信を制御できます。コアは、送信完了割り込み時、または SETUP パケットを受信した後に、このビットをセットすることもできます。

ビット 26 **CNAK**：NAK をクリア
このビットに書き込むと、エンドポイントの NAK ビットがクリアされます。

ビット 25:22 予約済みであり、リセット値に保持する必要があります。

ビット 21 **STALL**：STALL のハンドシェイク
アプリケーションは、このビットのセットのみが可能です。このエンドポイントの SETUP トークンが受信されると、コアがこのビットをクリアします。NAK ビット、すなわち、グローバル OUT NAK がこのビットとともにセットされた場合は、STALL ビットが優先します。このビットの設定に関係なく、コアは、常に SETUP データパケットに ACK ハンドシェイクで応答します。

ビット 20 **SNPM**：スヌープモード
このビットは、エンドポイントをスヌープモードに設定します。スヌープモードでは、コアは OUT パケットをアプリケーションメモリに転送する前に、それらの正確さをチェックしません。

ビット 19:18 **EPTYP**：エンドポイントタイプ
制御のために 2'b00 にハードコード化されています。

ビット 17 **NAKSTS**：NAK ステータス
以下を示します。
0：コアは、FIFO のステータスに基づいて非 NAK ハンドシェイクを送信中です。
1：コアは、このエンドポイント上で NAK ハンドシェイクを送信中です。
アプリケーションまたはコアがこのビットをセットすると、RxFIFO に受信パケットを収容できるスペースがある場合でも、コアはデータの受信を停止します。このビットの設定に関係なく、コアは、常に SETUP データパケットに ACK ハンドシェイクで応答します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 16 予約済みであり、リセット値に保持する必要があります。

ビット 15 **USBAEP**：USB アクティブエンドポイント

このビットは常に 1 にセットされ、制御エンドポイント 0 がすべての設定およびインタフェースにおいて常にアクティブであることを示します。

ビット 14:2 予約済みであり、リセット値に保持する必要があります。

ビット 1:0 **MPSIZ**：最大パケットサイズ

制御 OUT エンドポイント 0 の最大パケットサイズは、制御 IN エンドポイント 0 でプログラムされるサイズと同じです。

00：64 バイト

01：32 バイト

10：16 バイト

11：8 バイト

OTG_HS デバイスエンドポイント x 制御レジスタ（OTG_HS_DOEPCTLx）（x = 1..3、x = Endpoint_number）

OUT エンドポイントのアドレスオフセット：0xB00 + （Endpoint_number × 0x20）

リセット値：0x0000 0000

アプリケーションは、このレジスタを使用して、エンドポイント 0 以外の各論理エンドポイントの動作を制御します。

31	30	29	28	27	26	25 24 23 22	21	20	19 18	17	16	15	14 13 12 11	10 9 8 7 6 5 4 3 2 1 0
EPENA	EPDIS	SODDFRM	SD0PID/SEVNFRM	SNAK	CNAK	予約済み	STALL	SNPM	EPTYP	NAKSTS	EONUM/DPID	USBAEP	予約済み	MPSIZ
rs	rs	w	w	w	w		rw/rs	rw	rw rw	r	r	rw		rw rw rw rw rw rw rw rw rw rw rw

ビット 31 **EPENA**：エンドポイントイネーブル

IN および OUT エンドポイントに適用されます。

アプリケーションは、このビットをセットして、エンドポイントへのデータ送信を開始します。

コアは、このエンドポイント上で以下の割り込みをセットする前に、このビットをクリアします。

– SETUP フェーズ終了

– エンドポイント無効

– 転送完了

ビット 30 **EPDIS**：エンドポイントディセーブル

アプリケーションは、エンドポイントへの転送が完了する前でも、このビットをセットして、そのエンドポイントでのデータ送信／受信を停止することができます。アプリケーションは、エンドポイントを無効として扱う前に、エンドポイント無効割り込みを待つ必要があります。コアは、エンドポイント無効割り込みを設定する前に、このビットをクリアします。アプリケーションは、このエンドポイントのエンドポイントイネーブルがすでにセットされている場合のみ、このビットをセットしなければなりません。

ビット 29 **SODDFRM**：奇数フレームの設定

アイソクロナス OUT エンドポイントにのみ適用されます。

このフィールドに書き込むと、偶数／奇数フレーム（EONUM）フィールドが奇数フレームに設定されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 28 **SD0PID**：DATA0 PID の設定

割り込み／バルク OUT エンドポイントにのみ適用されます。

このフィールドに書き込むと、このレジスタのエンドポイントデータ PID（DPID）フィールドが DATA0 に設定されます。

SEVNFRM：偶数フレームの設定

アイソクロナス OUT エンドポイントにのみ適用されます。

このフィールドに書き込むと、偶数／奇数フレーム（EONUM）フィールドが偶数フレームに設定されます。

ビット 27 **SNAK**：NAK をセット

このビットに書き込むと、エンドポイントの NAK ビットがセットされます。

アプリケーションは、このビットを使用して、エンドポイント上での NAK ハンドシェイクの送信を制御できます。コアは、転送完了割り込み時、または SETUP パケットを受信した後に、OUT エンドポイントに対してこのビットをセットすることもできます。

ビット 26 **CNAK**：NAK をクリア

このビットに書き込むと、エンドポイントの NAK ビットがクリアされます。

ビット 25:22 予約済みであり、リセット値に保持する必要があります。

ビット 21 **STALL**：STALL のハンドシェイク

非制御の非アイソクロナス OUT エンドポイントにのみ適用されます（アクセスタイプは rw です）。

アプリケーションは、このビットをセットして、USB ホストからこのエンドポイントへのすべてのトークンを停止します。このビットとともに NAK ビット（グローバル IN NAK またはグローバル OUT NAK）がセットされた場合は、STALL ビットが優先されます。アプリケーションのみがこのビットをクリアできます。コアはクリアできません。

制御エンドポイントにのみ適用されます（アクセスタイプは rs です）。

アプリケーションは、このビットのセットのみが可能です。このエンドポイントの SETUP トークンが受信されると、コアがこのビットをクリアします。このビットとともに NAK ビット（グローバル IN NAK またはグローバル OUT NAK）がセットされた場合は、STALL ビットが優先されます。このビットの設定に関係なく、コアは、常に SETUP データパケットに ACK ハンドシェイクで応答します。

ビット 20 **SNPM**：スヌープモード

このビットは、エンドポイントをスヌープモードに設定します。スヌープモードでは、コアは OUT パケットをアプリケーションメモリに転送する前に、それらの正確さをチェックしません。

ビット 19:18 **EPTYP**：エンドポイントタイプ

これは、この論理エンドポイントがサポートする転送タイプです。

00：制御

01：アイソクロナス

10：バルク

11：割り込み

ビット 17 **NAKSTS**：NAK ステータス

以下を示します。

0：コアは、FIFO のステータスに基づいて非 NAK ハンドシェイクを送信中です。

1：コアは、このエンドポイント上で NAK ハンドシェイクを送信中です。

アプリケーションまたはコアがこのビットをセットすると、

コアは、RxFIFO に受信パケットを収容するためのスペースがある場合でも、OUT エンドポイントでのデータの受信を停止します。

このビットの設定に関係なく、コアは、常に SETUP データパケットに ACK ハンドシェイクで応答します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 16 **EONUM**：偶数／奇数フレーム

アイソクロナス IN および OUT エンドポイントにのみ適用されます。

コアがこのエンドポイントにアイソクロナスデータを送受信するフレーム番号を示します。アプリケーションは、このレジスタの SEVNFRM および SODDFRM フィールドを使用して、このエンドポイントに対してアイソクロナスデータを送信／受信する偶数／奇数番号をプログラムする必要があります。

0：偶数フレーム

1：奇数フレーム

DPID：エンドポイントデータ PID

割り込み／バルク OUT エンドポイントにのみ適用されます。

このエンドポイント上で受信または送信されるパケットの PID を含みます。アプリケーションは、エンドポイントがアクティブ化された後、受信または送信される最初のパケットの PID をプログラムする必要があります。アプリケーションは SC0PID レジスタを使用して、DATA0 または DATA1 PID のいずれかをプログラムします。

0：DATA0

1：DATA1

ビット 15 **USBAEP**：USB アクティブエンドポイント

このエンドポイントが現在の設定およびインタフェースでアクティブかどうかを示します。コアは、USB リセットを検出した後、すべてのエンドポイント（EP 0 を除き）について、このビットをクリアします。SetConfiguration および SetInterface コマンドを受信した後、アプリケーションはそれに応じてエンドポイントをプログラムし、このビットをセットする必要があります。

ビット 14:11 予約済みであり、リセット値に保持する必要があります。

ビット 10:0 **MPSIZ**：最大パケットサイズ

アプリケーションは、このフィールドを現在の論理エンドポイントの最大パケットサイズでプログラムする必要があります。この値はバイト単位です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OTG_HS デバイスエンドポイント x 割り込みレジスタ（OTG_HS_DIEPINTx）（x = 0..7、x = Endpoint_number）

アドレスオフセット：0x908 + （Endpoint_number × 0x20）

リセット値：0x0000 0080

このレジスタは、USB および AHB 関連イベントに関するエンドポイントのステータスを示します。これを*図 411* に示します。アプリケーションは、コア割り込みレジスタの IN エンドポイント割り込みビット（OTG_HS_GINTSTS の IEPINT ビット）がセットされたとき、このレジスタを読み出さなければなりません。アプリケーションがこのレジスタを読み出すためには、まず、デバイス全エンドポイント割り込み（OTG_HS_DAINT）レジスタを読み出して、デバイスのエンドポイント x 割り込みレジスタの正確なエンドポイント番号を知る必要があります。アプリケーションは、このレジスタの適切なビットをクリアすることによって、OTG_HS_DAINT レジスタおよび OTG_HS_GINTSTS レジスタの対応するビットをクリアする必要があります。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																		NAK	BERR	PKTDRPSTS	予約済み	BNA	TXFIFOUDRN	TXFE	INEPNE	予約済み	ITTXFE	TOC	予約済み	EPDISD	XFRC
																								r	rc_w1/rw		rc_w1	rc_w1		rc_w1	rc_w1

ビット 31:14 予約済みであり、リセット値に保持する必要があります。

ビット 13 **NAK**：NAK 割り込み

コアは、デバイスが NAK を送受信したとき、この割り込みを生成します。アイソクロナス IN エンドポイントの場合、Tx FIFO にデータがないためゼロ長パケットが送信されたとき、この割り込みが生成されます。

ビット 12 **BERR**：バブルエラー割り込み

ビット 11 **PKTDRPSTS**：パケットドロップステータス

このビットは、ISOC OUT パケットがドロップされたことをアプリケーションに示します。このビットには対応するマスクビットがなく、割り込みは生成されません。

ビット 10 予約済みであり、リセット値に保持する必要があります。

ビット 9 **BNA**：バッファ使用不能割り込み

コアは、ホストビジーまたは DMA 完了のような処理を行うために、コアに対してアクセスしたディスクリプタがレディでないときにこの割り込みを生成します。

ビット 8 **TXFIFOUDRN**：送信 FIFO アンダーラン（TxfifoUndrn）コアはこのエンドポイントの送信 FIFO アンダーラン状態を検出するとこの割り込みを生成します。

依存性：この割り込みは、閾値が有効化されている場合にのみ有効です。

ビット 7 **TXFE**：送信 FIFO エンプティ

この割り込みは、このエンドポイントの TxFIFO が半エンプティまたは完全エンプティのいずれかであるとき、アサートされます。半エンプティ状態か完全エンプティ状態かは、コア AHB設定レジスタの TxFIFO エンプティレベルビット（OTG_HS_GAHBCFG の TXFELVL ビット）によって判断できます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 6 **INEPNE**：IN エンドポイント NAK 有効

このビットは、アプリケーションが OTG_HS_DIEBCFG レジスタの CNAK ビットに書き込むことによって IN エンドポイント NAK をクリアするとクリアされます。

この割り込みは、コアが（アプリケーションまたはコアによって）設定された NAK ビットをサンプリングしたことを示します。この割り込みは、アプリケーションによってセットされた IN エンドポイント NAK ビットがコアで有効になったことを示します。

この割り込みは､必ずしも NAK ハンドシェイクが USB に送出されることを保証しません｡STALL ビットが NAK ビットに優先します。

ビット 5 予約済みであり、リセット値に保持する必要があります。

ビット 4 **ITTXFE**：TxFIFO がエンプティ時に受信された IN トークン

非アイソクロナス IN エンドポイントにのみ適用されます。

関連する TxFIFO（周期的/非周期的）が空のときに IN トークンが受信されたことを示します。この割り込みは、IN トークンが受信されたエンドポイント上でアサートされます。

ビット 3 **TOC**：タイムアウト条件

制御 IN エンドポイントにのみ適用されます。

このエンドポイント上の最後の IN トークンに対して、コアが USB 上でタイムアウト条件を検出したことを示します。

ビット 2 予約済みであり、リセット値に保持する必要があります。

ビット 1 **EPDISD**：エンドポイントディセーブル割り込み

このビットは、エンドポイントがアプリケーションのリクエストによって無効にされたことを示します。

ビット 0 **XFRC**：転送完了割り込み

このフィールドは、このエンドポイントに対してプログラムされた転送が AHB に加えて USB 上でも完了したことを示します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OTG_HS デバイスエンドポイント x 割り込みレジスタ（OTG_HS_DOEPINTx）（x = 0..7、x = Endpoint_number）

アドレスオフセット：0xB08 + （Endpoint_number × 0x20）

リセット値：0x0000 0080

このレジスタは、USB および AHB 関連イベントに関するエンドポイントのステータスを示します。これを*図 411* に示します。アプリケーションは、コア割り込みレジスタの OUT エンドポイント割り込みビット（OTG_HS_GINTSTS の OEPINT ビット）がセットされたとき、このレジスタを読み出さなければなりません。アプリケーションがこのレジスタを読み出すためには、まず、デバイス全エンドポイント割り込み（OTG_HS_DAINT）レジスタを読み出して、デバイスのエンドポイント x 割り込みレジスタの正確なエンドポイント番号を知る必要があります。アプリケーションは、このレジスタの適切なビットをクリアすることによって、OTG_HS_DAINT レジスタおよび OTG_HS_GINTSTS レジスタの対応するビットをクリアする必要があります。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																	NYET	予約済み							B2BSTUP	予約済み	OTEPDIS	STUP	予約済み	EPDISD	XFRC
																									rc_w1/rw		rc_w1	rc_w1		rc_w1	rc_w1

ビット 31:15 予約済みであり、リセット値に保持する必要があります。

ビット 14 **NYET**：NYET 割り込み

コアは、非アイソクロナス OUT エンドポイントに対して NYET 応答が送信されたときこの割り込みを生成します。

ビット 13:7 予約済みであり、リセット値に保持する必要があります。

ビット 6 **B2BSTUP**：連続 SETUP パケットの受信

制御 OUT エンドポイントにのみ適用されます。

このビットは、コアがこの特定のエンドポイントで 3 つを超える連続 SETUP パケットを受信したことを示します。

ビット 5 予約済みであり、リセット値に保持する必要があります。

ビット 4 **OTEPDIS**：エンドポイント無効時 OUT トークン受信

制御 OUT エンドポイントにのみ適用されます。

エンドポイントがまだ有効になっていないときに OUT トークンを受け取ったことを示します。この割り込みは、OUT トークンが受信されたエンドポイントでアサートされます。

ビット 3 **STUP**：SETUP フェーズ終了

制御 OUT エンドポイントにのみ適用されます。

制御エンドポイントの SETUP フェーズが完了し、現在の制御転送のために、これ以上、連続 SETUP パケットは受信されなかったことを示します。この割り込みにより、アプリケーションは、受信した SETUP データパケットをデコードできます。

ビット 2 予約済みであり、リセット値に保持する必要があります。

ビット 1 **EPDISD**：エンドポイントディセーブル割り込み

このビットは、エンドポイントがアプリケーションのリクエストによって無効にされたことを示します。

ビット 0 **XFRC**：転送完了割り込み

このフィールドは、このエンドポイントに対してプログラムされた転送が AHB に加えて USB 上でも完了したことを示します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OTG_HS デバイス IN エンドポイント 0転送サイズレジスタ（OTG_HS_DIEPTSIZ0）

アドレスオフセット：0x910

リセット値：0x0000 0000

アプリケーションは、エンドポイント 0 を無効にする前に、このレジスタを変更する必要があります。デバイス制御エンドポイント 0 制御レジスタのエンドポイントイネーブルビット（OTG_HS_DIEPCTL0 の EPENA）を使用して、エンドポイント 0 が有効にされると、コアは、このレジスタを変更します。コアがエンドポイントイネーブルビットをクリアすると、アプリケーションはこのレジスタを読み出すことしかできません。

非ゼロエンドポイントは、エンドポイント 1～15 のレジスタを使用します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み											PKTCNT		予約済み												XFRSIZ						
											rw	rw													rw	rw	rw	rw	rw	rw	rw

ビット 31:21 予約済みであり、リセット値に保持する必要があります。

ビット 20:19 **PKTCNT**：パケットカウント

エンドポイント 0 のデータ転送サイズを構成する USB パケットの総数を示します。

このフィールドは、パケットが TxFIFO から読み出されるたびにデクリメントされます（最大サイズまたはショートパケット）。

ビット 18:7 予約済みであり、リセット値に保持する必要があります。

ビット 6:0 **XFRSIZ**：転送サイズ

エンドポイント 0 の転送サイズをバイト単位で示します。コアは、データの転送サイズを使いきった後でのみ、アプリケーションに割り込みをかけます。転送サイズをエンドポイントの最大パケットサイズにセットすると、各パケットの最後で割り込みを生成できます。

コアは、外部メモリからのパケットが TxFIFO に書き込まれるたびに、このフィールドをデクリメントします。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OTG_HS デバイス OUT エンドポイント 0転送サイズレジスタ（OTG_HS_DOEPTSIZ0）

アドレスオフセット：0xB10

リセット値：0x0000 0000

アプリケーションは、エンドポイント 0 を無効にする前に、このレジスタを変更する必要があります。デバイス制御エンドポイント 0 制御レジスタのエンドポイントイネーブルビット（OTG_HS_DOEPCTL0 の EPENA）を使用して、エンドポイント 0 が有効にされると、コアは、このレジスタを変更します。コアがエンドポイントイネーブルビットをクリアすると、アプリケーションはこのレジスタを読み出すことしかできません。

非ゼロエンドポイントは、エンドポイント 1～15 のレジスタを使用します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み	STUPCNT		予約済み									PKTCNT	予約済み												XFRSIZ						
	rw	rw										rw													rw	rw	rw	rw	rw	rw	rw

ビット 31 予約済みであり、リセット値に保持する必要があります。

ビット 30:29 **STUPCNT**：SETUP パケットカウント

このフィールドは、エンドポイントが受信できる連続 SETUP データパケット数を指定します。

01: 1 パケット

10: 2 パケット

11: 3 パケット

ビット 28:20 予約済みであり、リセット値に保持する必要があります。

ビット 19 **PKTCNT**：パケットカウント

このフィールドは、パケットが RxFIFO に書き込まれた後、ゼロまでデクリメントされます。

ビット 18:7 予約済みであり、リセット値に保持する必要があります。

ビット 6:0 **XFRSIZ**：転送サイズ

エンドポイント 0 の転送サイズをバイト単位で示します。コアは、データの転送サイズを使いきった後でのみ、アプリケーションに割り込みをかけます。転送サイズをエンドポイントの最大パケットサイズにセットすると、各パケットの最後で割り込みを生成できます。

コアは、RxFIFO からパケットが読み出されて、外部メモリに書き込まれるたびに、このフィールドをデクリメントします。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OTG_HS デバイスエンドポイント x転送サイズレジスタ（OTG_HS_DIEPTSIZx）（x = 1..3、x = Endpoint_number）

アドレスオフセット：0x910 + （Endpoint_number × 0x20）

リセット値：0x0000 0000

アプリケーションは、エンドポイントを無効にする前に、このレジスタを変更する必要があります。デバイスエンドポイント x 制御レジスタのエンドポイントイネーブルビット（OTG_HS_DIEPCTLx の EPENA ビット）を使用してエンドポイントが有効にされると、コアは、このレジスタを変更します。コアがエンドポイントイネーブルビットをクリアすると、アプリケーションはこのレジスタを読み出すことしかできません。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み	MCNT		PKTCNT										XFRSIZ																		
	rw/rw	rw/rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31 予約済みであり、リセット値に保持する必要があります。

ビット 30:29 **MCNT**：マルチカウント

周期的 IN エンドポイントの場合、このフィールドは、USB でフレームごとに送信されなければならないパケット数を示します。コアは、このフィールドを使用して、アイソクロナス IN エンドポイントのデータ PID を計算します。

01: 1 パケット

10: 2 パケット

11: 3 パケット

ビット 28:19 **PKTCNT**：パケットカウント

このエンドポイントのデータの転送サイズを構成する USB パケットの総数を示します。

このフィールドは、パケットが TxFIFO から読み出されるたびにデクリメントされます（最大サイズまたはショートパケット）。

ビット 18:0 **XFRSIZ**：転送サイズ

このフィールドは、現在のエンドポイントの転送サイズをバイト単位で示します。コアは、データの転送サイズを使いきった後でのみ、アプリケーションに割り込みをかけます。転送サイズをエンドポイントの最大パケットサイズにセットすると、各パケットの最後で割り込みを生成できます。

コアは、外部メモリからのパケットが TxFIFO に書き込まれるたびに、このフィールドをデクリメントします。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OTG_HS デバイス IN エンドポイント送信 FIFO ステータスレジスタ （OTG_HS_DTXFSTSx）（x = 0..5、x = Endpoint_number）

IN エンドポイントのアドレスオフセット：0x918 +（Endpoint_number × 0x20）
この読み出し専用レジスタは、デバイス IN エンドポイント TxFIFO の空きスペース情報を含みます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																INEPTFSAV															
																r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

31:16 予約済みであり、リセット値に保持する必要があります。

15:0 **INEPTFSAV**：IN エンドポイント TxFIFO 使用可能スペース
エンドポイントの TxFIFO で使用できる空きスペースの量を示します。
値は 32 ビットワード単位です。
0x0：エンドポイント TxFIFO はフル
0x1：1 ワードが使用可能
0x2：2 ワードが使用可能
0xn：n ワードが使用可能 （0 < n < 512）
その他：予約済み

OTG_HS デバイス OUT エンドポイント x 転送サイズレジスタ （OTG_HS_DOEPTSIZx）（x = 1..5、x = Endpoint_number）

アドレスオフセット：0xB10 +（Endpoint_number × 0x20）

リセット値：0x0000 0000

アプリケーションは、エンドポイントを無効にする前に、このレジスタを変更する必要があります。デバイスエンドポイント x 制御レジスタのエンドポイントイネーブルビット（OTG_HS_DOEPCTLx の EPENA ビット）を使用してエンドポイントが有効にされると、コアは、このレジスタを変更します。コアがエンドポイントイネーブルビットをクリアすると、アプリケーションはこのレジスタを読み出すことしかできません。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み	RXDPID/STUPCNT		PKTCNT										XFRSIZ																		
	rw/r/rw	rw/r/rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 31 予約済みであり、リセット値に保持する必要があります。

ビット 30:29 **RXDPID**：受信データ PID

アイソクロナス OUT エンドポイントにのみ適用されます。

これは、このエンドポイントの最後のパケットで受信されたデータの PID です。

00：DATA0

01：DATA2

10：DATA1

11：MDATA

STUPCNT：SETUP パケットカウント

制御 OUT エンドポイントにのみ適用されます。

このフィールドは、エンドポイントが受信できる連続 SETUP データパケット数を指定します。

01: 1 パケット

10: 2 パケット

11: 3 パケット

ビット 28:19 **PKTCNT**：パケットカウント

このエンドポイントのデータの転送サイズを構成する USB パケットの総数を示します。

このフィールドは、パケット（最大サイズまたはショートパケット）が RxFIFO に書き込まれるたびにデクリメントされます。

ビット 18:0 **XFRSIZ**：転送サイズ

このフィールドは、現在のエンドポイントの転送サイズをバイト単位で示します。コアは、データの転送サイズを使いきった後でのみ、アプリケーションに割り込みをかけます。転送サイズをエンドポイントの最大パケットサイズにセットすると、各パケットの最後で割り込みを生成できます。

コアは、RxFIFO からパケットが読み出されて、外部メモリに書き込まれるたびに、このフィールドをデクリメントします。

OTG_HS デバイスエンドポイント x DMA アドレスレジスタ （OTG_HS_DIEPDMAx / OTG_HS_DOEPDMAx） （x = 1..5、x = Endpoint_number）

IN エンドポイントのアドレスオフセット：0x914 + （Endpoint_number × 0x20）

リセット値：0xXXXX XXXX

OUT エンドポイントのアドレスオフセット：0xB14 + （Endpoint_number × 0x20）

リセット値：0xXXXX XXXX

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DMAADDR																															

ビット 31:0 **DMAADDR**：DMA アドレス

このビットは、エンドポイントデータを格納またはフェッチするための外部メモリの開始アドレスを保持します。

*注： **制御エンドポイントの場合、このフィールドは制御 OUT データパケットと SETUP トランザクションデータパケットを格納します。3 個を超える SETUP パケットを連続受信すると、メモリ内の SETUP データパケットが上書きされます。このレジスタは、各 AHB トランザクションごとにインクリメントされます。アプリケーションはワード整列アドレスのみを使用することができます。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

35.12.5 OTG_HS パワーおよびクロックゲーティング制御レジスタ（OTG_HS_PCGCCTL）

アドレスオフセット：0xE00

リセット値：0x0000 0000

このレジスタは、ホストモードとペリフェラルモードで使用できます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																											PHYSUSP	予約済み			GATEHCLK	STPPCLK
																											rw			rw	rw

ビット 31:5 予約済みであり、リセット値に保持する必要があります。

ビット 4 **PHYSUSP**：PHY サスペンド

PHY がサスペンドされたことを示します。このビットは、アプリケーションが STPPCLK ビット（ビット 0）をセットした後、PHY がサスペンドされると更新されます。

ビット 3:2 予約済みであり、リセット値に保持する必要があります。

ビット 1 **GATEHCLK**：HCLK のゲーティング

USB がサスペンドされるか、セッションが有効でないとき、アプリケーションは、このビットをセットして、AHB スレーブとマスタおよびウェイクアッププロジック以外のモジュールへの HCLK をゲーティングします。アプリケーションは、USB がレジュームされるか、新しいセッショが開始されると、このビットをクリアします。

ビット 0 **STPPCLK**：PHY クロックを停止

USB がサスペンドされるか、セッションが有効でないか、デバイスが切断されると、アプリケーションは、このビットをセットして、PHY クロックを停止します。アプリケーションは、USB がレジュームされるか、新しいセッショが開始されると、このビットをクリアします。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

35.12.6 OTG_HS レジスタマップ

次の表に、USB OTG_HS のレジスタマップとリセット値を示します。

表 208. OTG_HS レジスタマップとリセット値

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x000	OTG_HS_GOTGCTL	予約済み												BSVLD	ASVLD	DBCT	CIDSTS	予約済み				DHNPEN	HSHNPEN	HNPRQ	HNGSCS	予約済み						SRQ	SRQSCS
	リセット値													0	0	0	1					0	0	0	0							0	0
0x004	OTG_HS_GOTGINT	予約済み												DBCDNE	ADTOCHG	HNGDET	予約済み							HNSSCHG	SRSSCHG	予約済み					SEDET	予約済み	
	リセット値													0	0	0								0	0						0		
0x008	OTG_HS_GAHBCFG	予約済み																							PTXFELVL	TXFELVL	予約済み						GINT
	リセット値																								0	0							0
0x00C	OTG_HS_GUSBCFG	CTXPKT	FDMOD	FHMOD	予約済み			ULPIIPD	PTCI	PCCI	TSDPS	ULPIEVBUSI	ULPIEVBUSD	ULPICSM	ULPIAR	ULPIFSLS	予約済み	PHYLPCS	予約済み	TRDT				HNPCAP	SRPCAP	予約済み	PHSEL	予約済み			TOCAL		
	リセット値	0	0	0				0	0	0	0	0	0	0	0	0		0		0	0	1	0	1	0		1				0	0	0
0x010	OTG_HS_GRSTCTL	AHBIDL	DMAREQ	予約済み																TXFNUM								TXFFLSH	RXFFLSH	予約済み	FCRST	HSRST	CSRST
	リセット値	1	0																	0	0	0	0	0				0	0	0	0	0	0
0x014	OTG_HS_GINTSTS	WKUINT	SRQINT	DISCINT	CIDSCHG	予約済み	PTXFE	HCINT	HPRTINT	予約済み	DATAFSUSP	IPXFR/INCOMPISOOUT	IISOIXFR	OEPINT	IEPINT	予約済み		EOPF	ISOODRP	ENUMDNE	USBRST	USBSUSP	ESUSP	予約済み		BOUTNAKEFF	GINAKEFF	NPTXFE	RXFLVL	SOF	OTGINT	MMIS	CMOD
	リセット値	0	0	0	0		1	0	0		0	0	0	0	0			0	0	0	0	0	0			0	0	1	0	0	0	0	0
0x018	OTG_HS_GINTMSK	WUIM	SRQIM	DISCINT	CIDSCHGM	予約済み	PTXFEM	HCIM	PRTIM	予約済み	FSUSPM	IPXFRM/IISOOXFRM	IISOIXFRM	OEPINT	IEPINT	EPMISM	予約済み	EOPFM	ISOODRPM	ENUMDNEM	USBRST	USBSUSPM	ESUSPM	予約済み		GONAKEFFM	GINAKEFFM	NPTXFEM	RXFLVLM	SOFM	OTGINT	MMISM	予約済み
	リセット値	0	0	0	0		0	0	0		0	0	0	0	0	0		0	0	0	0	0	0			0	0	0	0	0	0	0	
0x01C	OTG_HS_GRXSTSR（ホストモード）	予約済み												PKTSTS			DPID		BCNT												CHNUM		
	リセット値													0	0	0	0		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	OTG_HS_GRXSTSR（ペリフェラルモード）	予約済み							FRMNUM					PKTSTS			DPID		BCNT												EPNUM		
	リセット値								0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x020	OTG_HS_GRXSTSP（ホストモード）	予約済み												PKTSTS			DPID		BCNT												CHNUM		
	リセット値													0	0	0	0		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	OTG_HS_GRXSTSP（ペリフェラルモード）	予約済み							FRMNUM					PKTSTS			DPID		BCNT												EPNUM		
	リセット値								0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 208. OTG_HS レジスタマップとリセット値（続き）

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x024	OTG_HS_GRXFSIZ	予約済み																RXFD															
	リセット値																	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
0x028	OTG_HS_GNPTXFSIZ（ホストモード）	NPTXFD																NPTXFSA															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
	OTG_HS_GNPTXFSIZ（ペリフェラルモード）	TX0FD																TX0FSA															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
0x02C	OTG_HS_GNPTXSTS	予約済み	NPTXQTOP							NPTQXSAV								NPTXFSAV															
	リセット値		0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
0x030	OTG_HS_GI2CCTL	BSYDNE	RW	予約済み	I2CDATSEO	I2CDEVADR		予約済み	ACK	I2CEN	ADDR							REGADDR								RWDATA							
	リセット値	0	0		0	0	0		0	0	0	0	0	0	0	0	0																
0x038	OTG_HS_GCCFG	予約済み										NOVBUSSENS	SOFOUTEN	VBUSBSEN	VBUSASEN	I2CPADEN	PWRDWN	予約済み															
	リセット値											0	0	0	0	0	0																
0x03C	OTG_HS_CID	PRODUCT_ID																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	0	0	0	0	0	0	0	0
0x100	OTG_HS_HPTXFSIZ	PTXFD																PTXSA															
	リセット値	0	0	0	0	0	1	1	1	0	1	1	0	1	0	0	0	0	0	0	1	0	0	0	0	0	0	1	0	0	1	0	0
0x104	OTG_HS_DIEPTXF1	INEPTXFD																INEPTXSA															
	リセット値	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0
0x108	OTG_HS_DIEPTXF2	INEPTXFD																INEPTXSA															
	リセット値	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0
0x10C	OTG_HS_DIEPTXF3	INEPTXFD																INEPTXSA															
	リセット値	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0
0x110	OTG_HS_DIEPTXF4	INEPTXFD																INEPTXSA															
	リセット値	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0
0x400	OTG_HS_HCFG	予約済み																													FSLSS	FSLSPCS
	リセット値																														0	0	0
0x404	OTG_HS_HFIR	予約済み																FRIVL															
	リセット値																	1	1	1	0	1	0	1	0	0	1	1	0	0	0	0	0
0x408	OTG_HS_HFNUM	FTREM																FRNUM															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1
0x410	OTG_HS_HPTXSTS	PTXQTOP								PTXQSAV								PTXFSAVL															
	リセット値	0	0	0	0	0	0	0	0	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y
0x414	OTG_HS_HAINT	予約済み																HAINT															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x418	OTG_HS_HAINTMSK	予約済み																HAINTM															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 208. OTG_HS レジスタマップとリセット値（続き）

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x440	OTG_HS_HPRT	予約済み													PSPD		PTCTL				PPWR	PLSTS		予約済み	PRST	PSUSP	PRES	POCCHNG	POCA	PENCHNG	PENA	PCDET	PCSTS
	リセット値														0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x500	OTG_HS_HCCHAR 0	CHENA	CHDIS	ODDFRM	DAD							MC		EPTYP		LSDEV	予約済み	EPDIR	EPNUM			MPSIZ											
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x520	OTG_HS_HCCHAR 1	CHENA	CHDIS	ODDFRM	DAD							MC		EPTYP		LSDEV	予約済み	EPDIR	EPNUM			MPSIZ											
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x540	OTG_HS_HCCHAR 2	CHENA	CHDIS	ODDFRM	DAD							MC		EPTYP		LSDEV	予約済み	EPDIR	EPNUM			MPSIZ											
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x560	OTG_HS_HCCHAR 3	CHENA	CHDIS	ODDFRM	DAD							MC		EPTYP		LSDEV	予約済み	EPDIR	EPNUM			MPSIZ											
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x580	OTG_HS_HCCHAR 4	CHENA	CHDIS	ODDFRM	DAD							MC		EPTYP		LSDEV	予約済み	EPDIR	EPNUM			MPSIZ											
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x5A0	OTG_HS_HCCHAR 5	CHENA	CHDIS	ODDFRM	DAD							MC		EPTYP		LSDEV	予約済み	EPDIR	EPNUM			MPSIZ											
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x5C0	OTG_HS_HCCHAR 6	CHENA	CHDIS	ODDFRM	DAD							MC		EPTYP		LSDEV	予約済み	EPDIR	EPNUM			MPSIZ											
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x5E0	OTG_HS_HCCHAR 7	CHENA	CHDIS	ODDFRM	DAD							MC		EPTYP		LSDEV	予約済み	EPDIR	EPNUM			MPSIZ											
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x600	OTG_HS_HCCHAR 8	CHENA	CHDIS	ODDFRM	DAD							MC		EPTYP		LSDEV	予約済み	EPDIR	EPNUM			MPSIZ											
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x620	OTG_HS_HCCHAR 9	CHENA	CHDIS	ODDFRM	DAD							MC		EPTYP		LSDEV	予約済み	EPDIR	EPNUM			MPSIZ											
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x640	OTG_HS_HCCHAR 10	CHENA	CHDIS	ODDFRM	DAD							MC		EPTYP		LSDEV	予約済み	EPDIR	EPNUM			MPSIZ											
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x660	OTG_HS_HCCHAR 11	CHENA	CHDIS	ODDFRM	DAD							MC		EPTYP		LSDEV	予約済み	EPDIR	EPNUM			MPSIZ											
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x504	OTG_HS_HCSPLT 0	SPLITEN	予約済み														COMPLSPLT	XACTPOS		HUBADDR							PRTADDR						
	リセット値	0															0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x508	OTG_HS_HCINT0	予約済み																					DTERR	FRMOR	BBERR	TXERR	NYET	ACK	NAK	STALL	AHBERR	CHH	XFRC
	リセット値																						0	0	0	0	0	0	0	0	0	0	0

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 208. OTG_HS レジスタマップとリセット値（続き）

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x524	OTG_HS_HCSPL1	SPLITEN	予約済み														COMPLSPLT	XACTPOS		HUBADDR							PRTADDR							
	リセット値	0															0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x528	OTG_HS_HCINT1	予約済み																					DTERR	FRMOR	BBERR	TXERR	NYET	ACK	NAK	STALL	AHBERR	CHH	XFRC
	リセット値																						0	0	0	0	0	0	0	0	0	0	0
0x544	OTG_HS_HCSPLT 2	SPLITEN	予約済み														COMPLSPLT	XACTPOS		HUBADDR							PRTADDR							
	リセット値	0															0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x548	OTG_HS_HCINT2	予約済み																					DTERR	FRMOR	BBERR	TXERR	NYET	ACK	NAK	STALL	AHBERR	CHH	XFRC
	リセット値																						0	0	0	0	0	0	0	0	0	0	0
0x564	OTG_HS_HCSPLT 3	SPLITEN	予約済み														COMPLSPLT	XACTPOS		HUBADDR							PRTADDR							
	リセット値	0															0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x568	OTG_HS_HCINT3	予約済み																					DTERR	FRMOR	BBERR	TXERR	NYET	ACK	NAK	STALL	AHBERR	CHH	XFRC
	リセット値																						0	0	0	0	0	0	0	0	0	0	0
0x584	OTG_HS_HCSPLT 4	SPLITEN	予約済み														COMPLSPLT	XACTPOS		HUBADDR							PRTADDR							
	リセット値	0															0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x588	OTG_HS_HCINT4	予約済み																					DTERR	FRMOR	BBERR	TXERR	NYET	ACK	NAK	STALL	AHBERR	CHH	XFRC
	リセット値																						0	0	0	0	0	0	0	0	0	0	0
0x5A4	OTG_HS_HCSPLT 5	SPLITEN	予約済み														COMPLSPLT	XACTPOS		HUBADDR							PRTADDR							
	リセット値	0															0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x5A8	OTG_HS_HCINT5	予約済み																					DTERR	FRMOR	BBERR	TXERR	NYET	ACK	NAK	STALL	AHBERR	CHH	XFRC
	リセット値																						0	0	0	0	0	0	0	0	0	0	0
0x5C4	OTG_HS_HCSPLT 6	SPLITEN	予約済み														COMPLSPLT	XACTPOS		HUBADDR							PRTADDR							
	リセット値	0															0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x5C8	OTG_HS_HCINT6	予約済み																					DTERR	FRMOR	BBERR	TXERR	NYET	ACK	NAK	STALL	AHBERR	CHH	XFRC
	リセット値																						0	0	0	0	0	0	0	0	0	0	0
0x5E4	OTG_HS_HCSPLT 7	SPLITEN	予約済み														COMPLSPLT	XACTPOS		HUBADDR							PRTADDR							
	リセット値	0															0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x5E8	OTG_HS_HCINT7	予約済み																					DTERR	FRMOR	BBERR	TXERR	NYET	ACK	NAK	STALL	AHBERR	CHH	XFRC
	リセット値																						0	0	0	0	0	0	0	0	0	0	0

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 208. OTG_HS レジスタマップとリセット値（続き）

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x604	OTG_HS_HCSPLT8	SPLITEN	予約済み														COMPLSPLT	XACTPOS		HUBADDR							PRTADDR							
	リセット値	0															0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x608	OTG_HS_HCINT8	予約済み																					DTERR	FRMOR	BBERR	TXERR	NYET	ACK	NAK	STALL	AHBERR	CHH	XFRC
	リセット値																						0	0	0	0	0	0	0	0	0	0	0
0x624	OTG_HS_HCSPLT9	SPLITEN	予約済み														COMPLSPLT	XACTPOS		HUBADDR							PRTADDR							
	リセット値	0															0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x628	OTG_HS_HCINT9	予約済み																					DTERR	FRMOR	BBERR	TXERR	NYET	ACK	NAK	STALL	AHBERR	CHH	XFRC
	リセット値																						0	0	0	0	0	0	0	0	0	0	0
0x644	OTG_HS_HCSPLT10	SPLITEN	予約済み														COMPLSPLT	XACTPOS		HUBADDR							PRTADDR							
	リセット値	0															0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x648	OTG_HS_HCINT10	予約済み																					DTERR	FRMOR	BBERR	TXERR	NYET	ACK	NAK	STALL	AHBERR	CHH	XFRC
	リセット値																						0	0	0	0	0	0	0	0	0	0	0
0x664	OTG_HS_HCSPLT11	SPLITEN	予約済み														COMPLSPLT	XACTPOS		HUBADDR							PRTADDR							
	リセット値	0															0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x668	OTG_HS_HCINT11	予約済み																					DTERR	FRMOR	BBERR	TXERR	NYET	ACK	NAK	STALL	AHBERR	CHH	XFRC
	リセット値																						0	0	0	0	0	0	0	0	0	0	0
0x50C	OTG_HS_HCINTMSK0	予約済み																					DTERRM	FRMORM	BBERRM	TXERRM	NYET	ACKM	NAKM	STALLM		CHHM	XFRCM
	リセット値																						0	0	0	0	0	0	0	0	0	0	0
0x52C	OTG_HS_HCINTMSK1	予約済み																					DTERRM	FRMORM	BBERRM	TXERRM	NYET	ACKM	NAKM	STALLM	AHBERR	CHHM	XFRCM
	リセット値																						0	0	0	0	0	0	0	0	0	0	0
0x54C	OTG_HS_HCINTMSK2	予約済み																					DTERRM	FRMORM	BBERRM	TXERRM	NYET	ACKM	NAKM	STALLM	AHBERR	CHHM	XFRCM
	リセット値																						0	0	0	0	0	0	0	0	0	0	0
0x56C	OTG_HS_HCINTMSK3	予約済み																					DTERRM	FRMORM	BBERRM	TXERRM	NYET	ACKM	NAKM	STALLM	AHBERR	CHHM	XFRCM
	リセット値																						0	0	0	0	0	0	0	0	0	0	0
0x58C	OTG_HS_HCINTMSK4	予約済み																					DTERRM	FRMORM	BBERRM	TXERRM	NYET	ACKM	NAKM	STALLM	AHBERR	CHHM	XFRCM
	リセット値																						0	0	0	0	0	0	0	0	0	0	0
0x5AC	OTG_HS_HCINTMSK5	予約済み																					DTERRM	FRMORM	BBERRM	TXERRM	NYET	ACKM	NAKM	STALLM	AHBERR	CHHM	XFRCM
	リセット値																						0	0	0	0	0	0	0	0	0	0	0

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 208. OTG_HS レジスタマップとリセット値（続き）

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x5CC	OTG_HS_HCINTMSK6	予約済み																					DTERRM	FRMORM	BBERRM	TXERRM	NYET	ACKM	NAKM	STALLM	AHBERR	CHHM	XFRCM
	リセット値																						0	0	0	0	0	0	0	0	0	0	0
0x5EC	OTG_HS_HCINTMSK7	予約済み																					DTERRM	FRMORM	BBERRM	TXERRM	NYET	ACKM	NAKM	STALLM	AHBERR	CHHM	XFRCM
	リセット値																						0	0	0	0	0	0	0	0	0	0	0
0x60C	OTG_HS_HCINTMSK8	予約済み																					DTERRM	FRMORM	BBERRM	TXERRM	NYET	ACKM	NAKM	STALLM	AHBERR	CHHM	XFRCM
	リセット値																						0	0	0	0	0	0	0	0	0	0	0
0x62C	OTG_HS_HCINTMSK9	予約済み																					DTERRM	FRMORM	BBERRM	TXERRM	NYET	ACKM	NAKM	STALLM	AHBERR	CHHM	XFRCM
	リセット値																						0	0	0	0	0	0	0	0	0	0	0
0x64C	OTG_HS_HCINTMSK10	予約済み																					DTERRM	FRMORM	BBERRM	TXERRM	NYET	ACKM	NAKM	STALLM	AHBERR	CHHM	XFRCM
	リセット値																						0	0	0	0	0	0	0	0	0	0	0
0x66C	OTG_HS_HCINTMSK11	予約済み																					DTERRM	FRMORM	BBERRM	TXERRM	NYET	ACKM	NAKM	STALLM	AHBERR	CHHM	XFRCM
	リセット値																						0	0	0	0	0	0	0	0	0	0	0
0x510	OTG_HS_HCTSIZ0	予約済み	DPID		PKTCNT										XFRSIZ																		
	リセット値		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x530	OTG_HS_HCTSIZ1	予約済み	DPID		PKTCNT										XFRSIZ																		
	リセット値		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x550	OTG_HS_HCTSIZ2	予約済み	DPID		PKTCNT										XFRSIZ																		
	リセット値		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x570	OTG_HS_HCTSIZ3	予約済み	DPID		PKTCNT										XFRSIZ																		
	リセット値		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x590	OTG_HS_HCTSIZ4	予約済み	DPID		PKTCNT										XFRSIZ																		
	リセット値		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x5B0	OTG_HS_HCTSIZ5	予約済み	DPID		PKTCNT										XFRSIZ																		
	リセット値		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x5D0	OTG_HS_HCTSIZ6	予約済み	DPID		PKTCNT										XFRSIZ																		
	リセット値		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x5F0	OTG_HS_HCTSIZ7	予約済み	DPID		PKTCNT										XFRSIZ																		
	リセット値		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x610	OTG_HS_HCTSIZ8	予約済み	DPID		PKTCNT										XFRSIZ																		
	リセット値		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x630	OTG_HS_HCTSIZ9	予約済み	DPID		PKTCNT										XFRSIZ																		
	リセット値		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x650	OTG_HS_HCTSIZ10	予約済み	DPID		PKTCNT										XFRSIZ																		
	リセット値		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x670	OTG_HS_HCTSIZ11	予約済み	DPID		PKTCNT										XFRSIZ																		
	リセット値		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x514	OTG_HS_HCDMA0	DMAADDR																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x524	OTG_HS_HCDMA1	DMAADDR																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 208. OTG_HS レジスタマップとリセット値（続き）

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x544	OTG_HS_HCDMA2	DMAADDR																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x564	OTG_HS_HCDMA3	DMAADDR																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x584	OTG_HS_HCDMA4	DMAADDR																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x5A4	OTG_HS_HCDMA5	DMAADDR																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x5C4	OTG_HS_HCDMA6	DMAADDR																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x5E4	OTG_HS_HCDMA7	DMAADDR																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x604	OTG_HS_HCDMA8	DMAADDR																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x624	OTG_HS_HCDMA9	DMAADDR																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x644	OTG_HS_HCDMA10	DMAADDR																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x664	OTG_HS_HCDMA11	DMAADDR																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x800	OTG_HS_DCFG	予約済み						PERSCHIVL		予約済み					予約済み							PFIVL		DAD						予約済み		NZLSOHSK	DSPD	
	リセット値							1	0													0	0	0	0	0	0	0	0	0	0	0	0
0x804	OTG_HS_DCTL	予約済み																				POPRGDNE	CGONAK	SGONAK	CGINAK	SGINAK	TCTL			GONSTS	GINSTS	SDIS	RWUSIG
	リセット値																					0	0	0	0	0	0	0	0	0	0	0	0
0x808	OTG_HS_DSTS	予約済み																FNSOF												予約済み		EERR	ENUMSPD	SUSPSTS
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0			0	0	0	0
0x810	OTG_HS_DIEPMSK	予約済み																							BIM	TXFURM	予約済み	INEPNEM	INEPNMM	ITTXFEMSK	TOM	予約済み	EPDM	XFRCM
	リセット値																							0	0	0	0	0	0	0		0	0	0
0x814	OTG_HS_DOEPMSK	予約済み																							BOIM	OPEM	予約済み	B2BSTUP	予約済み	OTEPDM	STUPM	予約済み	EPDM	XFRCM
	リセット値																								0	0		0	0	0	0		0	0
0x818	OTG_HS_DAINT	OEPINT																IEPINT																
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x81C	OTG_HS_DAINTMSK	OEPM																IEPM																
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x828	OTG_HS_DVBUSDIS	予約済み																VBUSDT																
	リセット値																	0	0	0	1	0	1	1	1	1	1	0	1	0	1	1	1
0x82C	OTG_HS_DVBUSPULSE	予約済み																				DVBUSP											
	リセット値																					0	1	0	1	1	0	1	1	1	0	0	0

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 208. OTG_HS レジスタマップとリセット値（続き）

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x830	OTG_HS_DTHRCTL	予約済み				ARPEN	予約済み	RXTHRLEN									RXTHREN	予約済み					TXTHRLEN									ISOTHREN	NONISOTHREN
	リセット値					0		0	0	0	0	0	0	0	0	0	0						0	0	0	0	0	0	0	0	0	0	0
0x834	OTG_HS_DIEPEMPMSK	予約済み																INEPTXFEM															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x838	OTG_HS_D 各 INT	予約済み																予約済み															予約済み
	リセット値					0																										0	
0x83C	OTG_HS_D 各 INTMSK	予約済み																予約済み															予約済み
	リセット値					0																										0	
0x844	OTG_HS_DIEPEACHMSK1	予約済み																		NAKM	予約済み		BIM	TXFURM	予約済み	INEPNEM	INEPNMM	ITTXFEMSK	TOM	予約済み	EPDM	XFRCM	
	リセット値																			0			0	0		0	0	0	0		0	0	
0x884	OTG_HS_DOEPEACHMSK1	予約済み																	NYETM	NAKM	BERRM	予約済み	BIM	TXFURM	予約済み	INEPNEM	INEPNMM	ITTXFEMSK	TOM	予約済み	EPDM	XFRCM	
	リセット値																		0	0	0		0	0		0	0	0	0		0	0	
0x900	OTG_HS_DIEPCTL0	EPENA	EPDIS	SODDFRM	SD0PID/SEVNFRM	SNAK	CNAK	TXFNUM				STALL	予約済み	EPTYP		NAKSTS	EONUM/DPID	USBAEP	予約済み				MPSIZ										
	リセット値	0	0	0	0	0	0	0	0	0	0	0		0	0	0	0	0					0	0	0	0	0	0	0	0	0	0	0
0x918	TG_FS_DTXFSTS0	予約済み																INEPTFSAV															
	リセット値																	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
0x920	OTG_HS_DIEPCTL1	EPENA	EPDIS	SODDFRM	SD0PID/SEVNFRM	SNAK	CNAK	TXFNUM				STALL	予約済み	EPTYP		NAKSTS	EONUM/DPID	USBAEP	予約済み				MPSIZ										
	リセット値	0	0	0	0	0	0	0	0	0	0	0		0	0	0	0	0					0	0	0	0	0	0	0	0	0	0	0
0x938	TG_FS_DTXFSTS1	予約済み																INEPTFSAV															
	リセット値																	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
0x940	OTG_HS_DIEPCTL2	EPENA	EPDIS	SODDFRM	SD0PID/SEVNFRM	SNAK	CNAK	TXFNUM				STALL	予約済み	EPTYP		NAKSTS	EONUM/DPID	USBAEP	予約済み				MPSIZ										
	リセット値	0	0	0	0	0	0	0	0	0	0	0		0	0	0	0	0					0	0	0	0	0	0	0	0	0	0	0
0x958	TG_FS_DTXFSTS2	予約済み																INEPTFSAV															
	リセット値																	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
0x960	OTG_HS_DIEPCTL3	EPENA	EPDIS	SODDFRM	SD0PID/SEVNFRM	SNAK	CNAK	TXFNUM				STALL	予約済み	EPTYP		NAKSTS	EONUM/DPID	USBAEP	予約済み				MPSIZ										
	リセット値	0	0	0	0	0	0	0	0	0	0	0		0	0	0	0	0					0	0	0	0	0	0	0	0	0	0	0
0x978	TG_FS_DTXFSTS3	予約済み																INEPTFSAV															
	リセット値																	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 208. OTG_HS レジスタマップとリセット値（続き）

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x980	OTG_HS_DIEPCTL4	EPENA	EPDIS	SODDFRM	SD0PID/SEVNFRM	SNAK	CNAK	TXFNUM				STALL	予約済み	EPTYP		NAKSTS	EONUM/DPID	USBAEP	予約済み				MPSIZ										
	リセット値	0	0	0	0	0	0	0	0	0	0	0		0	0	0	0	0					0	0	0	0	0	0	0	0	0	0	0
0x9A0	OTG_HS_DIEPCTL5	EPENA	EPDIS	SODDFRM	SD0PID/SEVNFRM	SNAK	CNAK	TXFNUM				STALL	予約済み	EPTYP		NAKSTS	EONUM/DPID	USBAEP	予約済み				MPSIZ										
	リセット値	0	0	0	0	0	0	0	0	0	0	0		0	0	0	0	0					0	0	0	0	0	0	0	0	0	0	0
0x9C0	OTG_HS_DIEPCTL6	EPENA	EPDIS	SODDFRM	SD0PID/SEVNFRM	SNAK	CNAK	TXFNUM				STALL	予約済み	EPTYP		NAKSTS	EONUM/DPID	USBAEP	予約済み				MPSIZ										
	リセット値	0	0	0	0	0	0	0	0	0	0	0		0	0	0	0	0					0	0	0	0	0	0	0	0	0	0	0
0x9E0	OTG_HS_DIEPCTL7	EPENA	EPDIS	SODDFRM	SD0PID/SEVNFRM	SNAK	CNAK	TXFNUM				STALL	予約済み	EPTYP		NAKSTS	EONUM/DPID	USBAEP	予約済み				MPSIZ										
	リセット値	0	0	0	0	0	0	0	0	0	0	0		0	0	0	0	0					0	0	0	0	0	0	0	0	0	0	0
0xB00	OTG_HS_DOEPCTL0	EPENA	EPDIS	予約済み		SNAK	CNAK	予約済み				STALL	SNPM	EPTYP		NAKSTS	予約済み	USBAEP	予約済み												MPSIZ		
	リセット値	0	0			0	0					0	0	0	0	0		1													0	0
0xB20	OTG_HS_DOEPCTL1	EPENA	EPDIS	SODDFRM	SD0PID/SEVNFRM	SNAK	CNAK	予約済み				STALL	SNPM	EPTYP		NAKSTS	EONUM/DPID	USBAEP	予約済み				MPSIZ										
	リセット値	0	0	0	0	0	0					0	0	0	0	0	0	0					0	0	0	0	0	0	0	0	0	0	0
0xB40	OTG_HS_DOEPCTL2	EPENA	EPDIS	SODDFRM	SD0PID/SEVNFRM	SNAK	CNAK	予約済み				STALL	SNPM	EPTYP		NAKSTS	EONUM/DPID	USBAEP	予約済み				MPSIZ										
	リセット値	0	0	0	0	0	0					0	0	0	0	0	0	0					0	0	0	0	0	0	0	0	0	0	0
0xB60	OTG_HS_DOEPCTL3	EPENA	EPDIS	SODDFRM	SD0PID/SEVNFRM	SNAK	CNAK	予約済み				STALL	SNPM	EPTYP		NAKSTS	EONUM/DPID	USBAEP	予約済み				MPSIZ										
	リセット値	0	0	0	0	0	0					0	0	0	0	0	0	0					0	0	0	0	0	0	0	0	0	0	0
0x908	OTG_HS_DIEPINT0	予約済み																		NAK	BERR	PKTDRPSTS	予約済み	BNA	TXFIFOUDRN	TXFE	INEPNE	予約済み	ITTXFE	TOC	予約済み	EPDISD	XFRC
	リセット値																			0	0	0		0	0	1	0		0	0		0	0
0x928	OTG_HS_DIEPINT1	予約済み																		NAK	BERR	PKTDRPSTS	予約済み	BNA	TXFIFOUDRN	TXFE	INEPNE	予約済み	ITTXFE	TOC	予約済み	EPDISD	XFRC
	リセット値																			0	0	0		0	0	1	0		0	0		0	0

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 208. OTG_HS レジスタマップとリセット値（続き）

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x948	OTG_HS_DIEPINT2	予約済み																		NAK	BERR	PKTDRPSTS	予約済み	BNA	TXFIFOUDRN	TXFE	INEPNE	予約済み	ITTXFE	TOC	予約済み	EPDISD	XFRC
	リセット値																			0	0	0		0	0	1	0		0	0		0	0
0x968	OTG_HS_DIEPINT3	予約済み																		NAK	BERR	PKTDRPSTS	予約済み	BNA	TXFIFOUDRN	TXFE	INEPNE	予約済み	ITTXFE	TOC	予約済み	EPDISD	XFRC
	リセット値																			0	0	0		0	0	1	0		0	0		0	0
0x988	OTG_HS_DIEPINT4	予約済み																		NAK	BERR	PKTDRPSTS	予約済み	BNA	TXFIFOUDRN	TXFE	INEPNE	予約済み	ITTXFE	TOC	予約済み	EPDISD	XFRC
	リセット値																			0	0	0		0	0	1	0		0	0		0	0
0x9A8	OTG_HS_DIEPINT5	予約済み																		NAK	BERR	PKTDRPSTS	予約済み	BNA	TXFIFOUDRN	TXFE	INEPNE	予約済み	ITTXFE	TOC	予約済み	EPDISD	XFRC
	リセット値																			0	0	0		0	0	1	0		0	0		0	0
0x9C8	OTG_HS_DIEPINT6	予約済み																		NAK	BERR	PKTDRPSTS	予約済み	BNA	TXFIFOUDRN	TXFE	INEPNE	予約済み	ITTXFE	TOC	予約済み	EPDISD	XFRC
	リセット値																			0	0	0		0	0	1	0		0	0		0	0
0x9E8	OTG_HS_DIEPINT7	予約済み																		NAK	BERR	PKTDRPSTS	予約済み	BNA	TXFIFOUDRN	TXFE	INEPNE	予約済み	ITTXFE	TOC	予約済み	EPDISD	XFRC
	リセット値																			0	0	0		0	0	1	0		0	0		0	0
0xB08	OTG_HS_DOEPINT0	予約済み																	NYET	予約済み								B2BSTUP	予約済み	OTEPDIS	STUP	予約済み	EPDISD	XFRC
	リセット値																		0									0		0	1		0	0
0xB28	OTG_HS_DOEPINT1	予約済み																	NYET	予約済み								B2BSTUP	予約済み	OTEPDIS	STUP	予約済み	EPDISD	XFRC
	リセット値																		0									0		0	0		0	0
0xB48	OTG_HS_DOEPINT2	予約済み																	NYET	予約済み								B2BSTUP	予約済み	OTEPDIS	STUP	予約済み	EPDISD	XFRC
	リセット値																		0									0		0	0		0	0
0xB68	OTG_HS_DOEPINT3	予約済み																	NYET	予約済み								B2BSTUP	予約済み	OTEPDIS	STUP	予約済み	EPDISD	XFRC
	リセット値																		0									0		0	0		0	0
0xB88	OTG_HS_DOEPINT4	予約済み																	NYET	予約済み								B2BSTUP	予約済み	OTEPDIS	STUP	予約済み	EPDISD	XFRC
	リセット値																		0									0		0	0		0	0
0xBA8	OTG_HS_DOEPINT5	予約済み																	NYET	予約済み								B2BSTUP	予約済み	OTEPDIS	STUP	予約済み	EPDISD	XFRC
	リセット値																		0									0		0	0		0	0
0xBC8	OTG_HS_DOEPINT6	予約済み																	NYET	予約済み								B2BSTUP	予約済み	OTEPDIS	STUP	予約済み	EPDISD	XFRC
	リセット値																		0									0		0	0		0	0

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 208. OTG_HS レジスタマップとリセット値（続き）

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0xBE8	OTG_HS_DOEPINT7	予約済み																	NYET	予約済み							B2BSTUP	予約済み	OTEPDIS	STUP	予約済み	EPDISD	XFRC
	リセット値																		0								0		0	0		0	0
0x910	OTG_HS_DIEPTSIZ0	予約済み											PKTCNT		予約済み												XFRSIZ						
	リセット値												0	0													0	0	0	0	0	0	0
0x930	OTG_HS_DIEPTSIZ1	予約済み	MCNT		PKTCNT										XFRSIZ																		
	リセット値		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x934	OTG_HS_DIEPDMA1	DMAADDR																															
	リセット値		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x93C	OTG_HS_DIEPDMAB1	DMABADDR																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x950	OTG_HS_DIEPTSIZ2	予約済み	MCNT		PKTCNT										XFRSIZ																		
	リセット値		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x954	OTG_HS_DIEPDMA2	DMAADDR																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x95C	OTG_HS_DIEPDMAB2	DMABADDR																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x970	OTG_HS_DIEPTSIZ3	予約済み	MCNT		PKTCNT										XFRSIZ																		
	リセット値		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x974	OTG_HS_DIEPDMA3	DMAADDR																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x97C	OTG_HS_DIEPDMAB3	DMABADDR																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0xB10	OTG_HS_DOEPTSIZ0	予約済み	STUPCNT		予約済み								PKTCNT		予約済み												XFRSIZ						
	リセット値		0	0									0														0	0	0	0	0	0	0
0xB30	OTG_HS_DOEPTSIZ1	予約済み	RXDPID/STUPCNT		PKTCNT										XFRSIZ																		
	リセット値		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0xB34	OTG_HS_DOEPDMA1	DMAADDR																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0xB3C	OTG_HS_DOEPDMAB1	DMABADDR																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0xB50	OTG_HS_DOEPTSIZ2	予約済み	RXDPID/STUPCNT		PKTCNT										XFRSIZ																		
	リセット値		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0xB54	OTG_HS_DOEPDMA2	DMAADDR																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0xB5C	OTG_HS_DOEPDMAB2	DMABADDR																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 208. OTG_HS レジスタマップとリセット値（続き）

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0xB70	OTG_HS_DOEPTSIZ3	予約済み	RXDPID/STUPCNT		PKTCNT										XFRSIZ																		
	リセット値		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0xB74	OTG_HS_DOEPDMA3	DMAADDR																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0xB7C	OTG_HS_DOEPDMAB3	DMABADDR																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0xE00	OTG_HS_PCGCCTL	予約済み																											PHYSUSP	予約済み		GATEHCLK	STPPCLK
	リセット値																																

レジスタ境界アドレスについては、*表 2（64 ページ）*を参照してください。

35.13 OTG_HS プログラミングモデル

35.13.1 コアの初期化

アプリケーションはコア初期化シーケンスを実行する必要があります。パワーアップ中にケーブルが接続された場合、コア割り込みレジスタの現在の動作モードビット（OTG_HS_GINTSTS の CMOD ビット）が、モードを反映します。OTG_HS コントローラは、A プラグが接続されたときにはホストモードに、B プラグが接続されたときにはペリフェラルモードに入ります。

このセクションでは、電源投入後の OTG_HS コントローラの初期化について説明します。アプリケーションは、ホストモードかペリフェラルモードかに関係なく、初期化シーケンスに従う必要があります。コアのすべてのグローバルレジスタは、コアの設定に従って以下の手順で初期化されます。

1. グローバル AHB設定（OTG_HS_GAHBCFG）レジスタの次のフィールドをプログラムします。
   - DMA モードビット
   - AHB バースト長フィールド
   - グローバル割り込みマスクビット GINTMSK = 1
   - RxFIFO 非エンプティ（OTG_HS_GINTSTS の RXFLVL ビット）
   - 周期的 TxFIFO エンプティレベル
2. OTG_HS_GUSBCFG レジスタの次のフィールドをプログラムします。
   - HNP 対応ビット
   - SRP 対応ビット
   - FS タイムアウト較正フィールド
   - USB ターンアラウンド時間フィールド
3. ソフトウェアは、GINTMSK レジスタの次のビットのマスクを解除する必要があります。

   OTG 割り込みマスク

   モード不一致割り込みマスク
4. ソフトウェアは、OTG_HS_GINTSTS レジスタの CMOD ビットを読み出すことによって、OTG_HS コントローラがホストモードで動作中か、ペリフェラルモードで動作中かを判別することができます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

35.13.2 ホストの初期化

コアをホストとして初期化するには、アプリケーションは、以下の手順を実行しなければなりません。

1. OTG_HS_GINTMSK レジスタの HPRTTINT ビットをプログラムして、マスクを解除します。
2. OTG_HS_HCFG レジスタをプログラムして、フルスピードホストを選択します。
3. OTG_HS_HPRT レジスタの PPWR ビットを 1 にプログラムします。これによって USB 上で V_{BUS} が駆動されます。
4. OTG_HS_HPRT0 の PCDET 割り込みを待ちます。これは、デバイスがポートに接続されていることを示します。
5. OTG_HS_HPRT レジスタの PRST ビットを 1 にプログラムします。これによってリセットプロセスが開始されます。
6. リセットプロセスが完了するまで、少なくとも 10 ms 待ちます。
7. OTG_HS_HPRT レジスタの PRST ビットを 0 にプログラムします。
8. OTG_HS_HPRT レジスタの PENCHNG 割り込みを待ちます。
9. OTG_HS_HPRT レジスタの PDPD ビットを読み出して、エニュメレーションされたスピードを取得します。
10. HFIR レジスタを、選択された PHY クロック 1 に対応する値でプログラムします。
11. OTG_FS_HCFG レジスタの FSLSPCS フィールドを、手順 9 で検出したデバイスのスピードに従ってプログラムします。FSLSPCS が変更されている場合は、ポートをリセットします。
12. OTG_HS_GRXFSIZ レジスタをプログラムして、受信 FIFO のサイズを選択します。
13. OTG_HS_GNPTXFSIZ レジスタをプログラムして、非周期的トランザクションの非周期的送信 FIFO のサイズと開始アドレスを選択します。
14. OTG_HS_HPTXFSIZ レジスタをプログラムして、周期的トランザクションの周期的送信 FIFO のサイズと開始アドレスを選択します。

デバイスと通信するには、システムソフトウェアは、少なくとも 1 つのチャネルを初期化し、有効にする必要があります。

35.13.3 デバイスの初期化

アプリケーションは、パワーアップ時、またはホストモードからデバイスモードへの変更後、以下の手順を実行して、コアをデバイスとして初期化する必要があります。

1. OTG_HS_DCFG レジスタの以下のフィールドをプログラムします。
   - デバイスのスピード
   - 非ゼロ長ステータス OUT ハンドシェイク
2. OTG_HS_GINTMSK レジスタをプログラムして、次の割り込みはマスクされませんします。
   - USB リセット
   - エニュメレーション終了
   - アーリーサスペンド
   - USB サスペンド
   - SOF
3. OTG_HS_GCCFG レジスタの VBUSBSEN ビットをプログラムして、「B」ペリフェラルモードでの V_{BUS} センシングを有効にし、DP ライン上でプルアップ抵抗の両端に 5 V を供給します。
4. OTG_HS_GINTSTS の USBRST 割り込みを待ちます。これは、この割り込みの受信時、約 10 ms 続くリセットが USB で検出されたことを示します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OTG_HS_GINTSTS レジスタの ENUMDNE 割り込みを待ちます。この割り込みは、USB 上でリセットが終了したことを示します。この割り込みを受信したとき、アプリケーションは、OTG_HS_DSTS レジスタを読み出して、エニュメレーション速度を判別し、*エニュメレーション完了時のエンドポイント初期化（1529 ページ）*にリストされている手順を実行する必要があります。

この時点で、デバイスは、SOF パケットを受け入れて、制御エンドポイント 0 で制御転送を実行する準備ができたことになります。

35.13.4 DMA モード

OTG ホストは AHB マスタインタフェースを使って、送信パケットデータ （AHB から USB へ）をフェッチし、データ更新 （USB から AHB へ）を受信します。AHB マスタはプログラムされた DMA アドレス（ホストモードでの HCDMAx レジスタとペリフェラルモードでの DIEPDMAx/ DOEPDMAx レジスタ）を使って、データバッファをアクセスします。

35.13.5 ホストプログラミングモデル

チャンネルの初期化

アプリケーションが接続されたデバイスと通信するためには、1 つまたは複数のチャネルを初期化する必要があります。チャネルを初期化して、有効にするには、アプリケーションは、以下の手順を実行する必要があります。

1. OTG_HS_GINTMSK レジスタをプログラムして、次の割り込みはマスクされませんします。
2. チャネル割り込み
   - OUT トランザクションの非周期的送信 FIFO エンプティ割り込み（パケットカウントフィールドが 1 を超える値でプログラムされたパイプライントランザクションレベルで動作するスレーブモードに適用可能）
   - OUT トランザクションの非周期的送信 FIFO ハーフエンプティ割り込み（パケットカウントフィールドが 1 を超える値でプログラムされたパイプライントランザクションレベルで動作するスレーブモードに適用可能）
3. OTG_HS_HAINTMSK レジスタをプログラムして、選択されたチャネルの割り込みはマスクされませんします。
4. OTG_HS_HCINTMSK レジスタをプログラムして、ホストチャネル割り込みレジスタで指定された、所定のトランザクション関連割り込みはマスクされませんします。
5. 選択されたチャネルの OTG_HS_HCTSIZx レジスタを、合計転送サイズ（バイト数）およびショートパケットを含む予想されるパケット数でプログラムします。アプリケーションは、PID フィールドを初期データ PID（最初の OUT トランザクションで使用される PID、または最初の IN トランザクションから期待される PID）でプログラムする必要があります。
6. OTG_HS_HCSPLTx レジスタ内の選択したチャンネルにハブアドレスとポートアドレスをプログラムします （スプリットトランザクションの場合）。
7. HCDMAx レジスタ内の選択したチャンネルにバッファ開始アドレスをプログラムします。
8. 選択されたチャネルの OTG_HS_HCCHARx レジスタを、タイプ、スピード、方向など、デバイスのエンドポイントの特性でプログラムします。（チャネルは、アプリケーションがパケットを送信または受信する準備ができている場合にのみ、チャネルイネーブルビットを 1 にセットすることで有効にできます）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

チャネルの停止

アプリケーションは、OTG_HS_HCCHARx レジスタの CHDIS および CHENA ビットを 1 にセットすることによって、任意のチャネルを無効にできます。これにより、OTG_HS ホストは、要求されたリクエスト（ある場合）を一掃して、チャネル停止割り込みを生成できます。アプリケーションは、チャネルを他のトランザクションに再割り当てする前に、OTG_HS_HCINTx 内の CHH 割り込みを待つ必要があります。OTG_HS ホストは、USB 上ですでに転送が開始しているトランザクションに対しては割り込みを行いません。

DMA モード動作でチャンネルを無効化するときは、アプリケーションはリクエストキュー内のスペースをチェックする必要はありません。OTG_HS ホストは、調停時の無効化されたチャンネルのところで、無効化リクエストを書き込むスペースをチェックします。その間、HCCHARx の CHDIS ビットに 1 が設定されたとき、要求された全リクエストはリクエストキューからドロップされます。

チャネルを無効にする前に、アプリケーションは、非周期的リクエストキュー（非周期的チャネルを無効にするとき）、または周期的リクエストキュー（周期的チャネルを無効にするとき）に使用可能な空きスペースが少なくとも 1 つ以上存在することを確認する必要があります。アプリケーションは、リクエストキューがフル状態のときには、OTG_HS_HCCHARx レジスタの CHDIS ビットを 1 にセットし CHENA ビットを 0 にクリアするだけで、要求されたリクエストを一掃できます。

アプリケーションは、以下のいずれかの条件のとき、チャネルを無効にすることが期待されます。

1. 非周期的IN転送または広帯域割り込み IN転送中に OTG_HS_HCINTx の XFRC 割り込みが受信されたとき （スレーブモードの場合）
2. IN または OUT チャネルで、OTG_HS_HCINTx レジスタの STALL、TxERR、BBERR または DTERR 割り込みが受信されたとき （スレーブモードの場合）。スレーブモードでの広帯域割り込み IN の場合、アプリケーションが DTERR 割り込みを受信すると、チャンネルを無効化して、チャンネル停止割り込みを待つ必要があります。アプリケーションは、停止割り込みを受信する前に、同じチャネルについての他の割り込み（DTERR、NAK、Data、TxERR）を受信できなければなりません。
3. OTG_HS_GINTSTS レジスタの DISCINT（デバイス切断）割り込みを受信したとき。（アプリケーションは、すべての有効なチャネルを無効にすることが期待されます）。
4. アプリケーションが正常完了の前に転送を中断したとき。

ピンプロトコル

OTG_HS ホストが ハイスピードで動作する場合、ハイスピードバルクエンドポイントまたは制御（データおよびステータスステージ）OUT エンドポイントと交信中に、アプリケーションはピンプロトコルを開始する必要があります。

アプリケーションは NAK/NYET/TXERR 割り込みを受信したとき、ピンプロトコルを開始する必要があります。HS_OTG ホストが上記応答の 1 つを受信した場合、特定のエンドポイントに対するトランザクションを継続しないで、（リクエストキューから）要求またはフェッチした全 OUT リクエストをドロップさせ、（送信 FIFO から）対応するデータを一掃させます。

これはスレーブモードでのみ有効です。スレーブモードでは、アプリケーションは、チャンネルを有効化する前に OTG_HS_HCTSIZx 内の DOPING ビットをセットするか、またはチャンネルが有効化済みの場合 OTG_HS_HCTSIZx レジスタの DOPING ビットにセットを書き込むことにより、ピントークンを送信することができます。これにより、OTG_HS ホストがピンリクエストエントリをリクエストキューに書き込めるようになります。アプリケーションは、ピントークンに対する応答 （NAK、ACK、または TXERR 割り込み）を待った後に、トランザクションを継続するか、または別のピントークンを送信する必要があります。アプリケーションは、リクエストされたピンの OUT エンドポイントからの ACK を受信した後にのみデータトランザクションを継続することができます。DMA モード動作では、アプリケーションは、バルク／制御 OUT の場合 NAK/NYET 応答に対して OTG_HS_HCTSIZx 内の DOPING ビットをセットする必要はありません。OTG_HS ホストは OTG_HS_HCTSIZx 内の DOPING ビットを自動的にセットし、バルク／制御 OUT に対してピントークンを発行します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OTG_HS ホストは、ACK を受信するまでピントークンの送信を続け、自動的にデータ トランザクションに切り替わります。

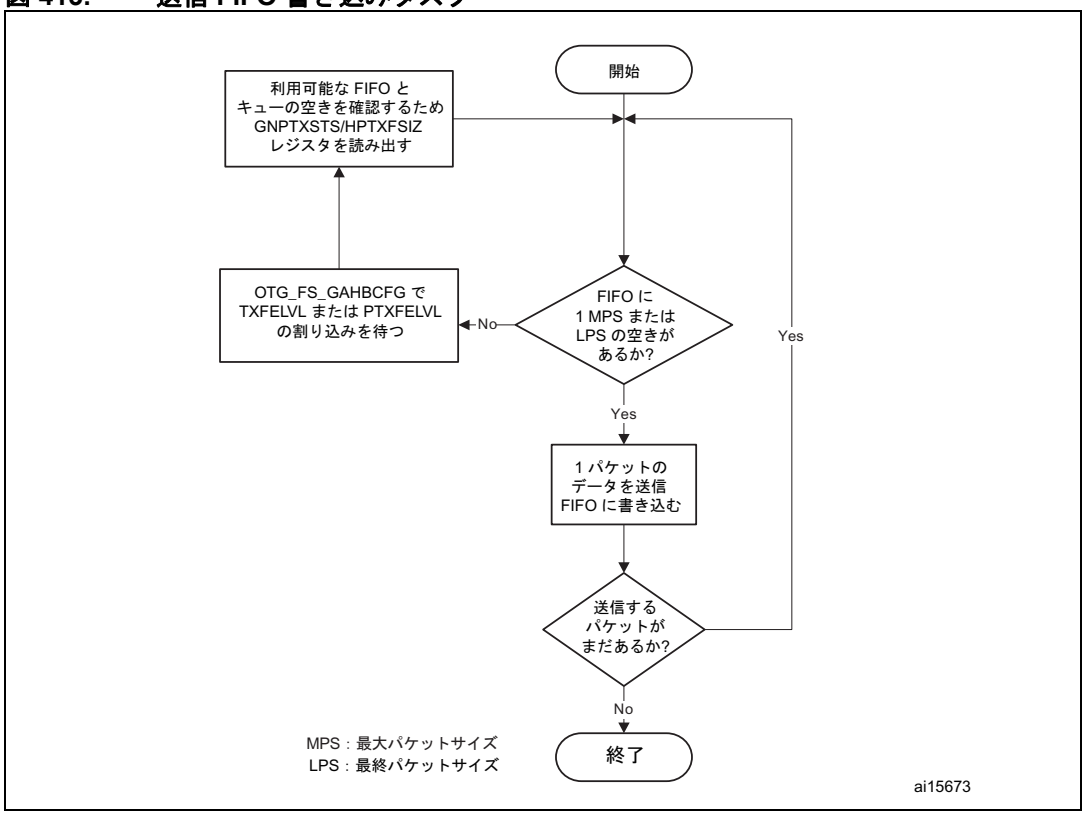
動作モデル

アプリケーションが接続されたデバイスと通信するためには、チャネルを初期化する必要があります。このセクションでは、さまざまなタイプの USB トランザクションについて、実行しなければならない動作のシーケンスについて説明します。

- **送信 FIFO への書き込み**

OTG_HS ホストは、パケットの最後のワードの書き込みとともに、周期的/非周期的リクエストキューにエントリ（OUT リクエスト）を自動的に書き込みます。アプリケーションは、送信 FIFO への書き込みを開始する前に、周期的/非周期的リクエストキューに少なくとも 1 つ以上の空きスペースがあることを確認しなければなりません。アプリケーションは送信 FIFO に必ずワード単位で書き込みを行う必要があります。パケットサイズがワードで揃えられていない場合、アプリケーションはパディングを使用する必要があります。OTG_HS ホストは、プログラムされた最大パケットサイズと転送サイズに基づいて、実際のパケットサイズを決定します。

図 413. 送信 FIFO 書き込みタスク

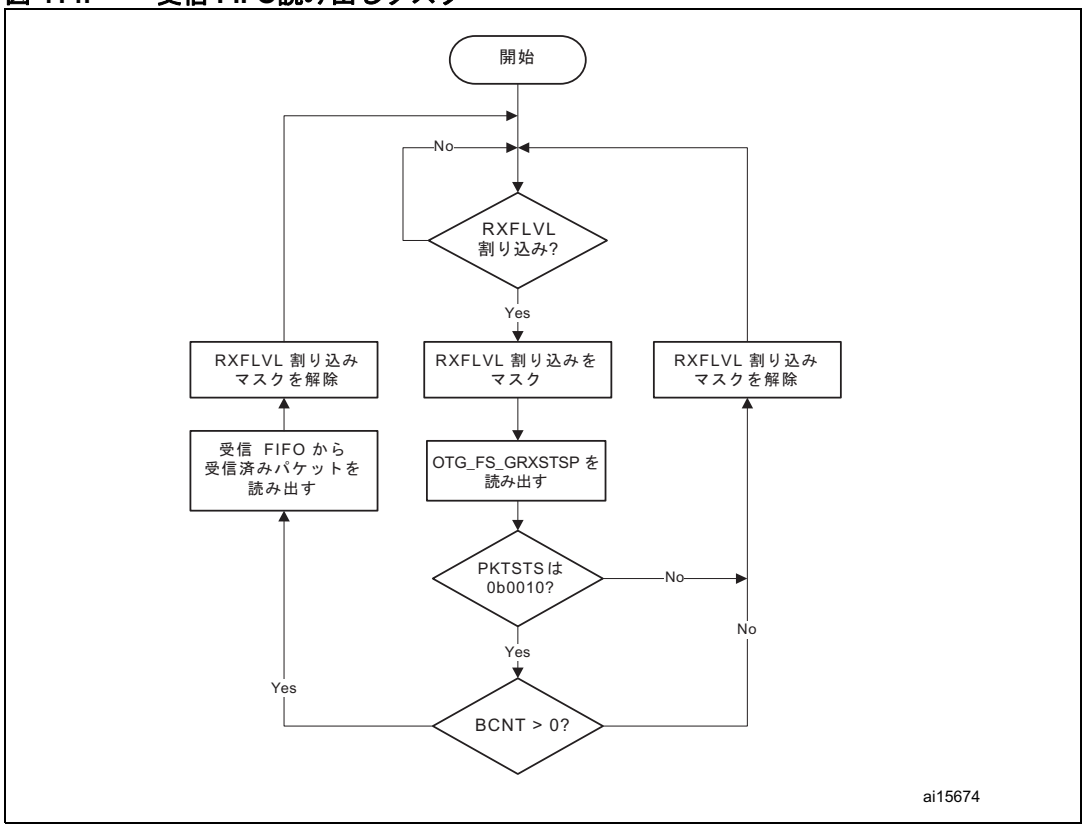


この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

- **受信 FIFO の読み出し**

アプリケーションは、IN データパケット（bx0010）以外のすべてのパケットステータスを無視しなければなりません。

図 414. 受信 FIFO読み出しタスク



- **バルクおよび制御 OUT／SETUP トランザクション**

  典型的なバルクまたは制御 OUT/SETUP パイプライントランザクションレベルの動作を*図 415*に示します。チャネル 1（ch_1）に注目してください。2 つのバルク OUT パケットが転送されます。制御 SETUP トランザクションは同じように動作しますが、1 パケットのみです。ここでは、以下のように仮定されています。

  – アプリケーションは､最大パケットサイズの 2 つのパケットを送信しようとしています(転送サイズ = 1,024 バイト)。
  – 非周期的送信 FIFO は 2 つのパケットを保持することができます(FS の場合 128 バイト)。
  – 非周期的リクエストキューの深さ = 4。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

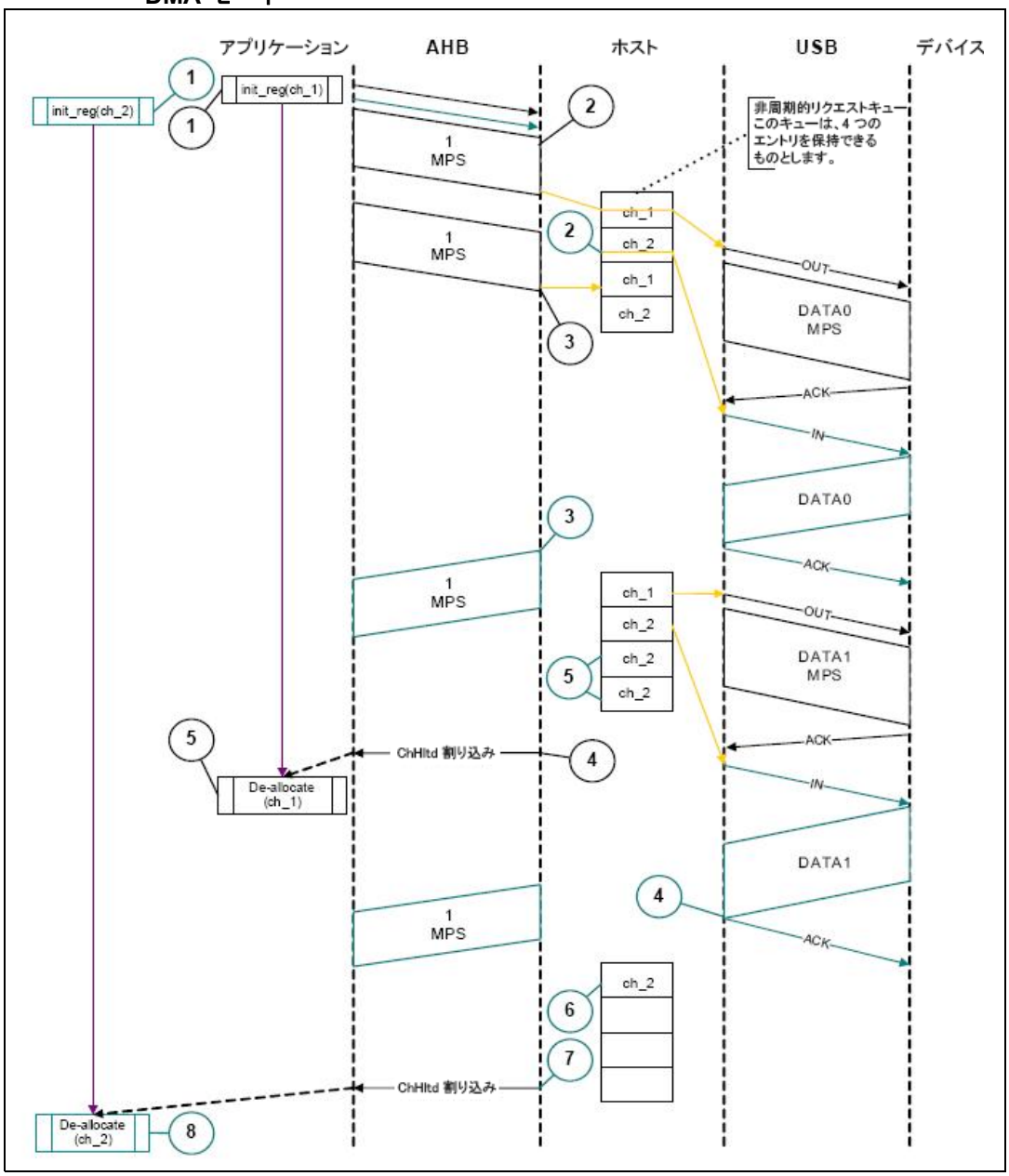
- **通常のバルクおよび制御 OUT/SETUP 動作**

  チャネル 1 の動作シーケンスは、次のとおりです。

  a) チャネル 1 を初期化します。
  b) チャネル 1 の最初のパケットを書き込みます。
  c) 最後のワード書き込みと同時に、コアは、非周期的リクエストキューにエントリを書き込みます。
  d) 非周期的キューがエンプティでなくなると、コアは、現在のフレームで OUT トークンの送信を試みます。
  e) チャネル 1 の 2 番目（最後）のパケットを書き込みます。
  f) コアは、最後のトランザクションが正常に完了すると、XFRC 割り込みを生成します。
  g) XFRC 割り込みに応答して、他の転送のためにチャネル割り当てを解除します。
  h) 非 ACK レスポンスの取り扱い

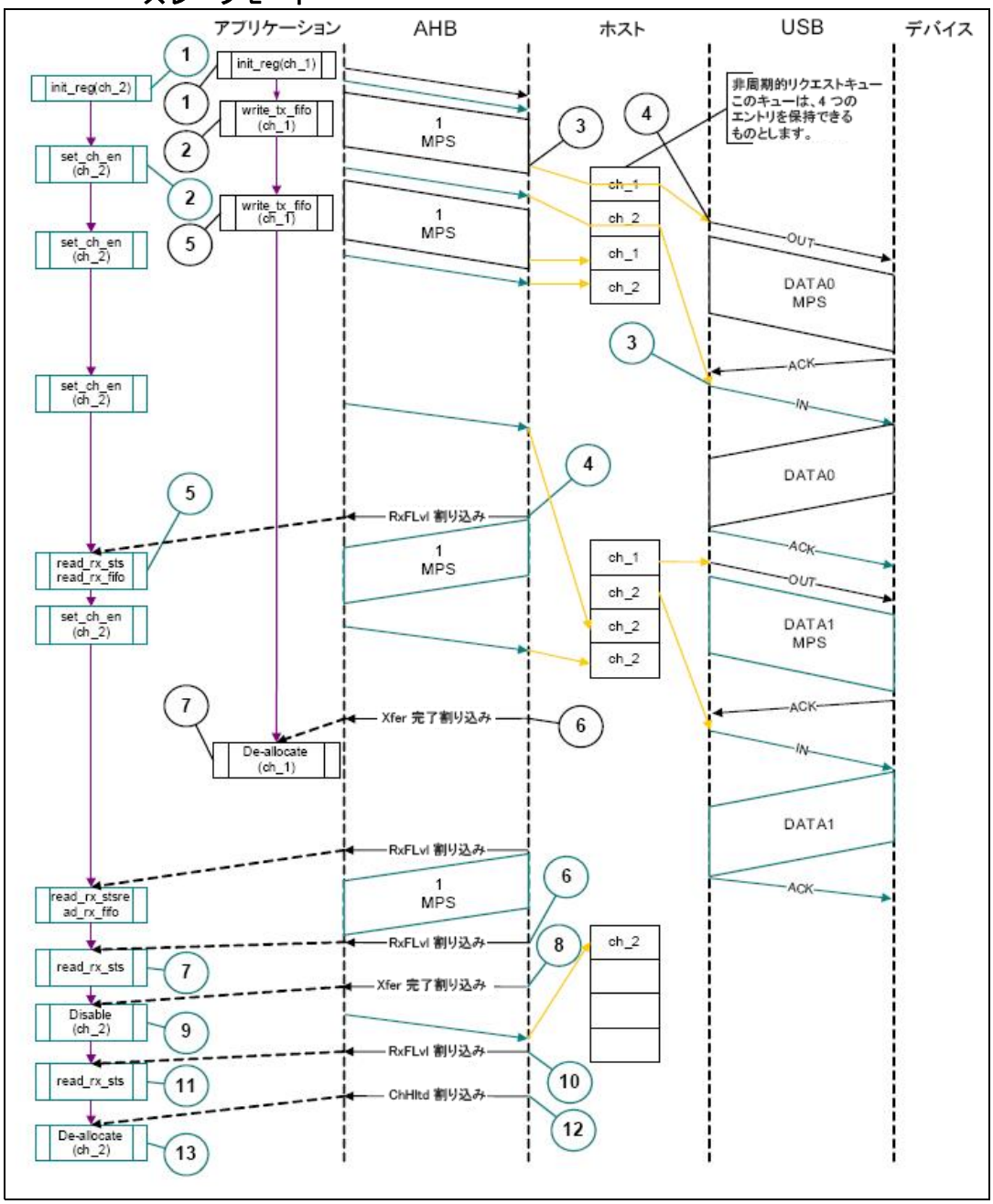
この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 415. 通常のバルク／制御 OUT/SETUP およびバルク／制御 IN トランザクション - DMA モード



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 416. 通常のバルク／制御 OUT/SETUP およびバルク／制御 IN トランザクション - スレーブモード



スレーブモードでのバルクおよび制御 OUT/SETUP トランザクションのためのチャネル固有の割り込みサービスルーチンを、次のコードサンプルで示します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

- **バルク／制御 OUT/SETUP およびバルク／制御 IN トランザクションの割り込みサービスルーチン**

  a) バルク／制御 OUT/SETUP

```
Unmask ?NAK/TXERR/STALL/XFRC?
if (XFRC)
   {
   Reset Error Count
   Mask ACK
   De-allocate Channel
   }
else if (STALL)
   {
   Transfer Done = 1
   Unmask CHH
   Disable Channel
   }
else if (NAK or TXERR )
   {
   Rewind Buffer Pointers
   Unmask CHH
   Disable Channel
   if (TXERR)
      {
      Increment Error Count
      Unmask ACK
      }
   else
      {
      Reset Error Count
      }
      }
else if (CHH)
   {
   Mask CHH
   if (Transfer Done or (Error_count == 3))
      {
      De-allocate Channel
      }
   else
      {
      Re-initialize Channel
      }
   }
   else if (ACK)
      {
      Reset Error Count
      Mask ACK
      }
```

アプリケーションは、送信 FIFO およびリクエストキューの中に使用可能なスペースがある場合、データパケットを送信 FIFO に書き込むことが期待されます。アプリケーションは、

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OTG_HS_GINTSTS レジスタの NPTXFE 割り込みを使用して、送信 FIFO のスペースを見つけることができます。

b) バルク／制御 IN

```
Unmask (TXERR/XFRC/BBERR/STALL/DTERR)
if (XFRC)
   {
   Reset Error Count
   Unmask CHH
   Disable Channel
   Reset Error Count
   Mask ACK
   }
else if (TXERR or BBERR or STALL)
   {
   Unmask CHH
   Disable Channel
   if (TXERR)
      {
      Increment Error Count
      Unmask ACK
      }
   }
else if (CHH)
   {
   Mask CHH
   if (Transfer Done or (Error_count == 3))
      {
      De-allocate Channel
      }
   else
      {
      Re-initialize Channel
      }
   }
else if (ACK)
   {
   Reset Error Count
   Mask ACK
   }
else if (DTERR)
   {
   Reset Error Count
```


この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

}

アプリケーションは、リクエストキューのスペースが使用可能なときには、XFRC が受信されるまで、リクエストを書き込むことが期待されます。

- **バルクおよび制御 IN トランザクション**

  典型的なバルクまたは制御 IN パイプライントランザクション動作を*図 417* に示します。チャネル 2（ch_2）に注目してください。ここでは、以下のように仮定されています。

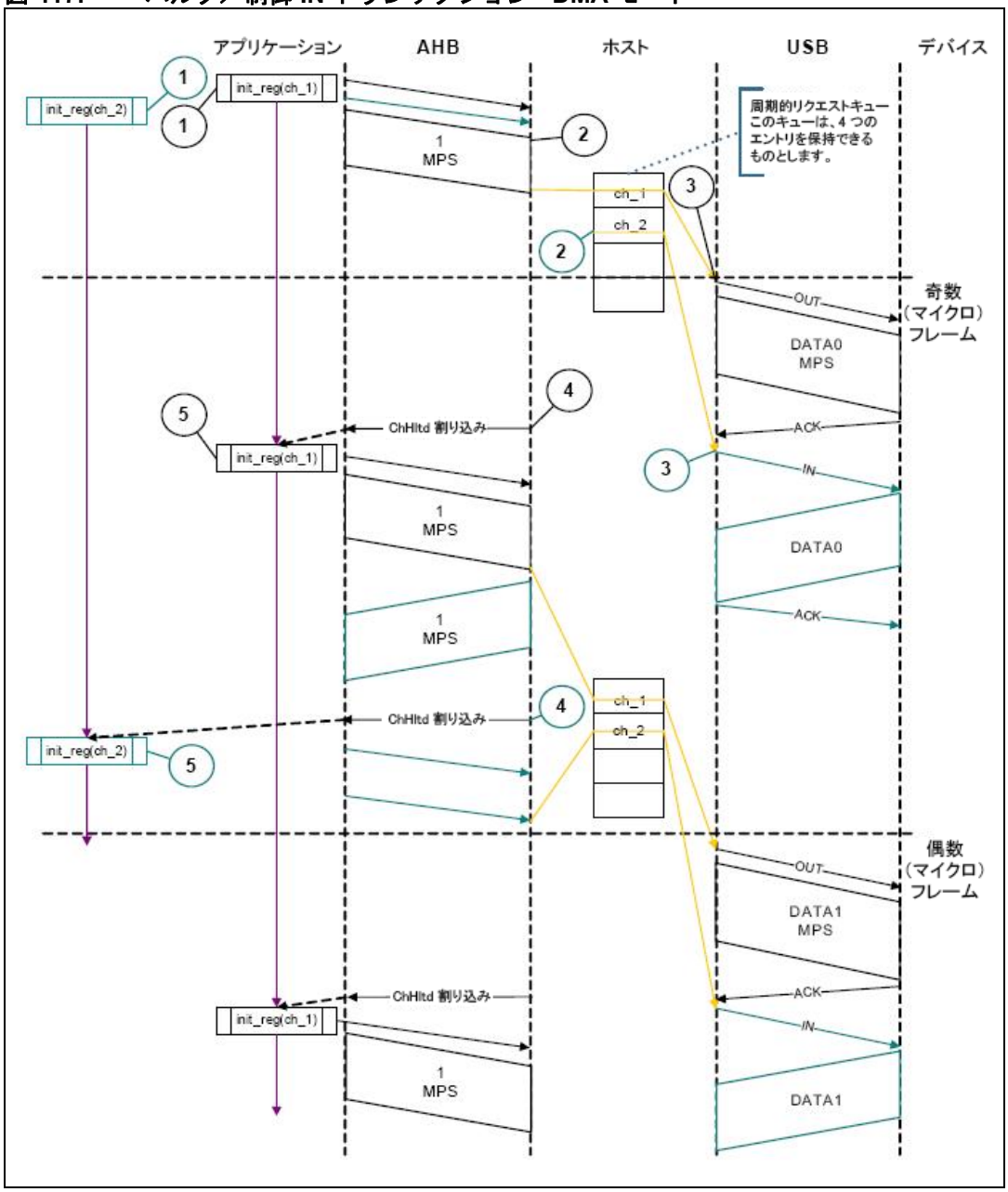
  – アプリケーションは、最大パケットサイズの 2 つのパケットを受信しようとしています（転送サイズ = 1,024 バイト）。

  – 受信 FIFO は、少なくとも 1 つの最大パケットサイズのパケットと、パケットあたり 2 つのステータスワード（FS の場合 72 バイト）を収容することができます。

  – 非周期的リクエストキューの深さ = 4。

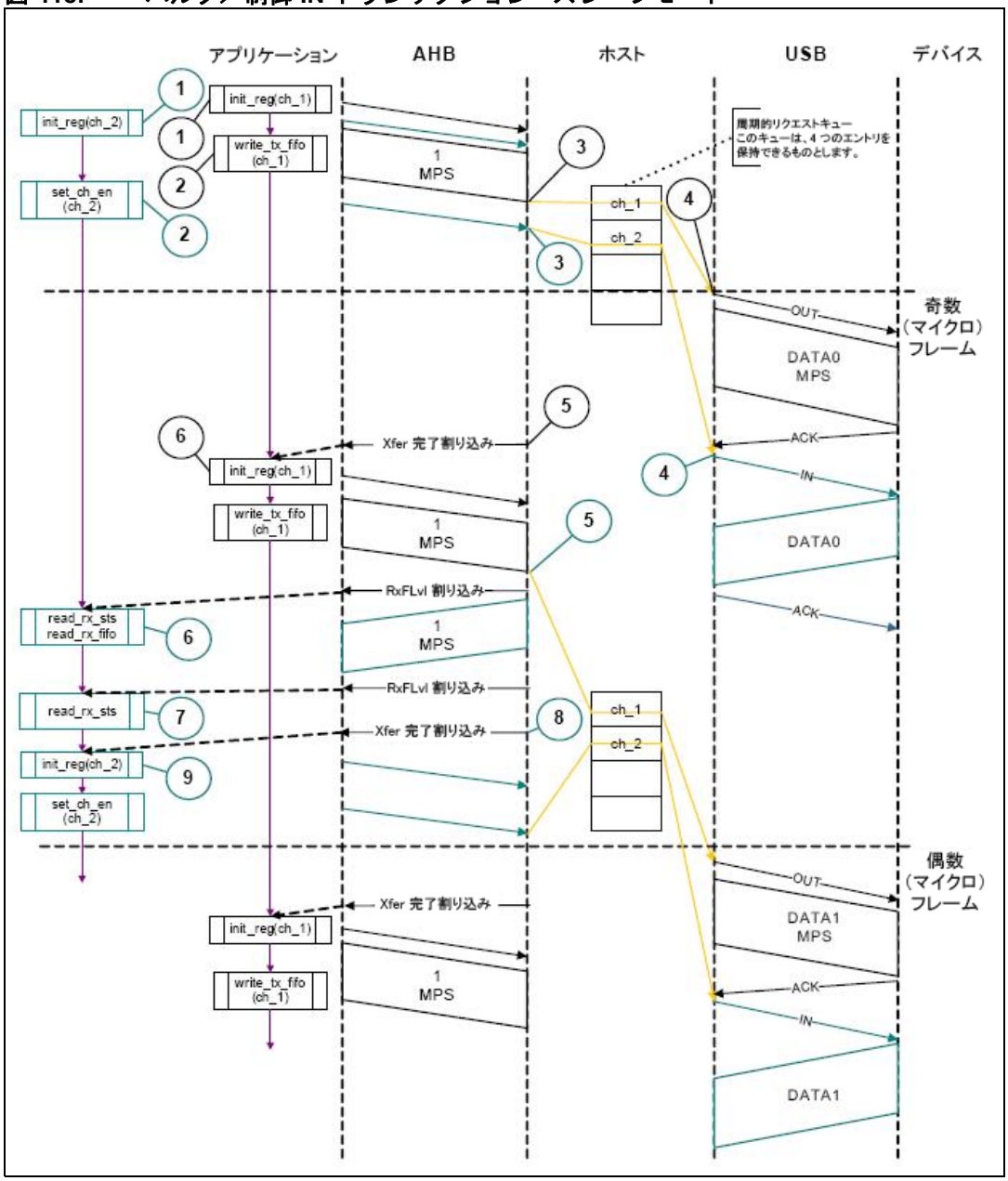
この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 417. バルク／制御 IN トランザクション - DMA モード



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 418. バルク／制御 IN トランザクション - スレーブモード



動作シーケンスは、次のとおりです。

a) チャネル 2 を初期化します。

b) HCCHAR2 の CHENA ビットをセットして、IN リクエストを非周期的リクエストキューに書き込みます。

c) コアは、現在の OUT トランザクションの完了後、IN トークンの送信を試みます。

d) コアは、受信したパケットが受信 FIFO に書き込まれると、RXFLVL 割り込みを生成します。

e) RXFLVL 割り込みに応答して、RXFLVL 割り込みはマスクされますし、受信パケットステータスを読み出して受信バイト数を調べた後、それに応じて受信 FIFO を読み出します。続いて、RXFLVL 割り込みはマスクされませんします。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

f) コアは、受信 FIFO 内の転送完了ステータスエントリに対して RXFLVL 割り込みを生成します。

g) アプリケーションは、受信パケットステータスを読み出して、受信パケットステータスが IN データパケットでないとき（GRXSTSR ≠ 0b0010 の PKTSTS）には無視する必要があります。

h) コアは、受信パケットステータスが読み出されると、XFRC 割り込みを生成します。

i) XFRC 割り込みに応答して、チャネルを無効にし、それ以降のリクエストについて、OTG_HS_HCCHAR2 レジスタへの書き込みを停止します。コアは、OTG_HS_HCCHAR2 に書き込まれると、非周期的リクエストキューにチャネルディセーブルリクエストを書き込みます。

j) コアは、停止ステータスが受信 FIFO に書き込まれると、RXFLVL 割り込みを生成します。

k) 受信パケットステータスを読み出して、それを無視します。

l) コアは、停止ステータスが受信 FIFO からポップアウトされると、CHH 割り込みを生成します。

m) CHH 割り込みに応答して、他の転送のためにチャネル割り当てを解除します。

n) 非 ACK レスポンスの取り扱い

- **スレーブモードでの制御トランザクション**

制御転送のセットアップ、データ、およびステータスステージは 3 つの個別の転送として実行されなければなりません。セットアップ、データ、およびステータスステージの OUT トランザクションは、すでに説明したバルク OUT トランザクションと同様に実行されます。データまたはステータスステージの IN トランザクションは、すでに説明したバルク IN トランザクションと同様に実行されます。3 つのステージすべてについて、アプリケーションは OTG_HS_HCCHAR1 レジスタの EPTYP フィールドを Control に設定することが期待されます。セットアップステージでは、アプリケーションは OTG_HS_HCTSIZ1 レジスタの PID フィールドを SETUP に設定することが期待されます。

- **割り込み OUT トランザクション**

スレーブモードでの典型的な割り込み OUT 動作を*図 419* に示します。ここでは、以下のように仮定されています。

– アプリケーションは、奇数フレーム（転送サイズ = 1 024 バイト）から始めて、フレームごとに 1 パケット（最大 1 パケットサイズ）の送信を試みています。

– 周期的送信 FIFO は 1 パケット（1 KB）を保持することができます。

– 周期的リクエストキューの深さ = 4

動作シーケンスは、次のとおりです。

a) チャネル 1 を初期化し、有効にします。アプリケーションは OTG_HS_HCCHAR1 レジスタの ODDFRM ビットをセットする必要があります。

b) チャネル 1 の最初のパケットを書き込みます。広帯域割り込み転送の場合、アプリケーションは MCNT（次のフレーム時間内に送信する最大パケット数）までの後続パケットを書き込んだ後に別のチャンネルへ切り替える必要があります。

c) 各パケットの最後ワードの書き込みとともに OTG_HS ホストは、周期的リクエストキューにエントリを書き込みます。

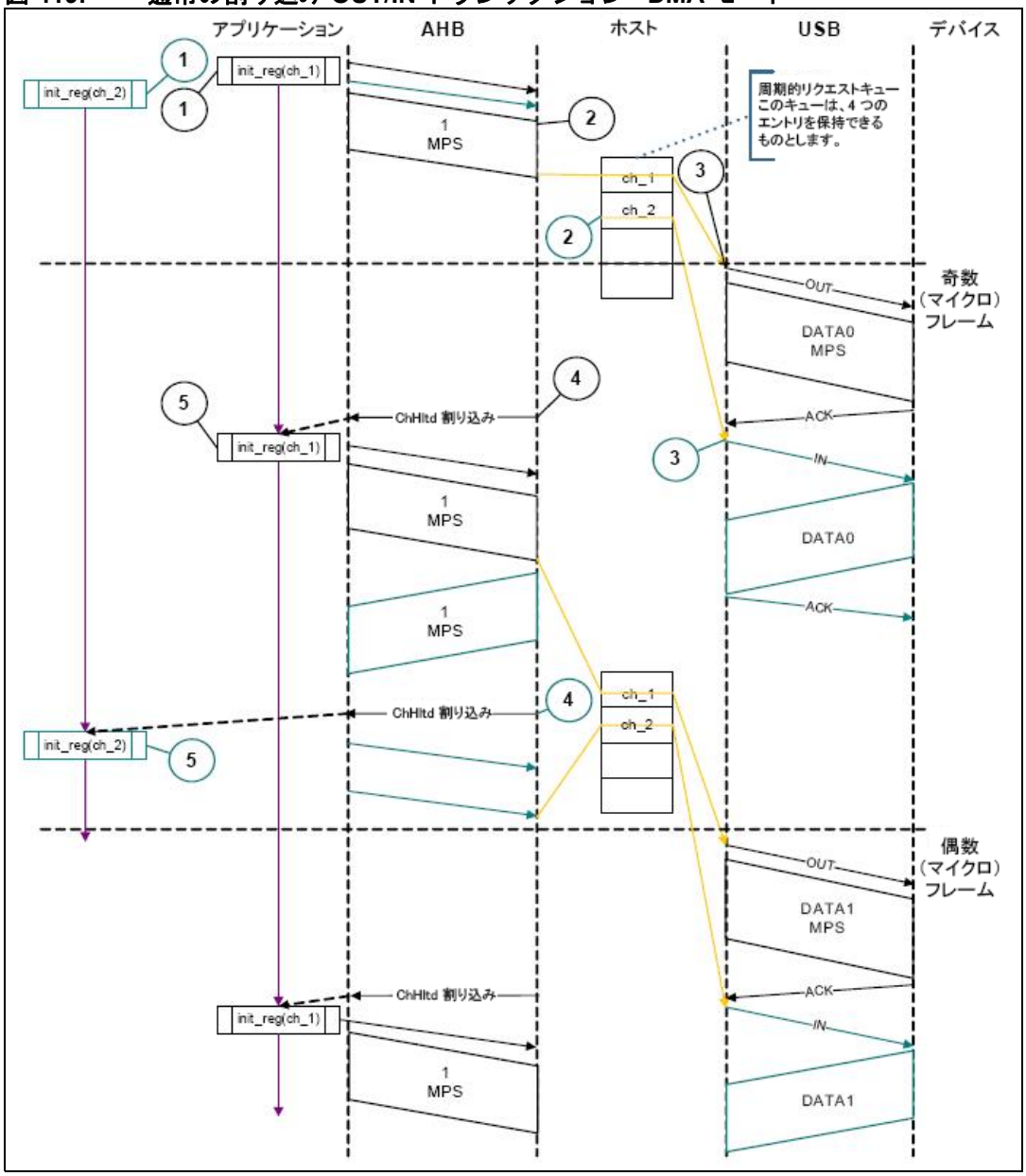
d) OTG_HS ホストは、次の（奇数）フレームで OUT トークンの送信を試みます。

e) OTG_HS ホストは、最後のパケットが正常に送信されると XFRC割り込みを生成します。

f) XFRC 割り込みに応答して、次の転送のためにチャネルを再初期化します。

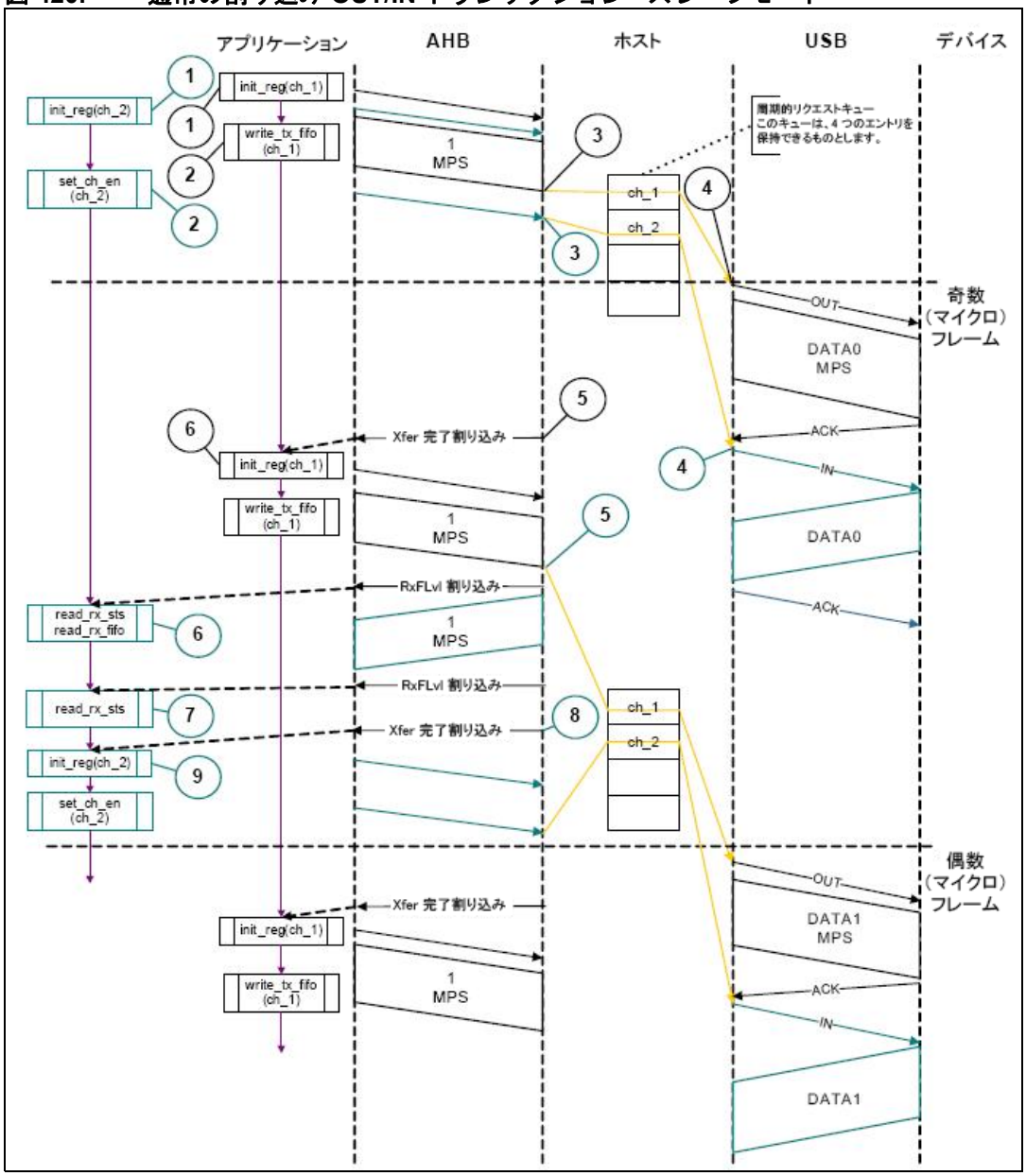
この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 419. 通常の割り込み OUT/IN トランザクション - DMA モード



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 420. 通常の割り込み OUT/IN トランザクション - スレーブモード



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

- **割り込み OUT/IN トランザクションのための割り込みサービスルーチン**

  a) 割り込み OUT

```
Unmask (NAK/TXERR/STALL/XFRC/FRMOR)
if (XFRC)
   {
   Reset Error Count
   Mask ACK
   De-allocate Channel
   }
else
   if (STALL or FRMOR)
      {
      Mask ACK
      Unmask CHH
      Disable Channel
      if (STALL)
         {
         Transfer Done = 1
         }
      }
   else
      if (NAK or TXERR)
         {
         Rewind Buffer Pointers
         Reset Error Count
         Mask ACK
         Unmask CHH
         Disable Channel
         }
      else
         if (CHH)
         {
         Mask CHH
         if (Transfer Done or (Error_count == 3))
            {
            De-allocate Channel
            }
         else
            {
            Re-initialize Channel (in next b_interval - 1 Frame)
            }
         }
      else
         if (ACK)
         {
         Reset Error Count
         Mask ACK
         }
```

送信 FIFOとリクエストキューに MCNT フィールで指定される値までのスペースがある場合、アプリケーションはデータパケットを送信 FIFO へ書き込み、その後で別のチャンネルへ切り替る

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ことが期待されます。アプリケーションは OTG_HS_GINTSTS レジスタの NPTXFE 割り込みを使用して、送信 FIFO のスペースを見つけます。

b) 割り込み IN

```
Unmask (NAK/TXERR/XFRC/BBERR/STALL/FRMOR/DTERR)
if (XFRC)
  {
  Reset Error Count
  Mask ACK
  if (OTG_HS_HCTSIZx.PKTCNT == 0)
    {
    De-allocate Channel
    }
  else
    {
    Transfer Done = 1
    Unmask CHH
    Disable Channel
    }
  }
else
  if (STALL or FRMOR or NAK or DTERR or BBERR)
    {
    Mask ACK
    Unmask CHH
    Disable Channel
    if (STALL or BBERR)
      {
      Reset Error Count
      Transfer Done = 1
      }
    else
      if (!FRMOR)
      {
      Reset Error Count
      }
    }
else
  if (TXERR)
    {
    Increment Error Count
    Unmask ACK
    Unmask CHH
    Disable Channel
    }
else
  if (CHH)
    {
    Mask CHH
    if (Transfer Done or (Error_count == 3))
      {
      De-allocate Channel
      }
```


この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

```
      else
        Re-initialize Channel (in next b_interval - 1 /Frame)
      }
   }
else
   if (ACK)
     {
     Reset Error Count
     Mask ACK
     }
```

MCNT フィールドで指定する値までリクエストキュースペースが使用可能な場合、アプリケーションは同じチャネルに対するリクエストを書き込み、その後で別のチャネル（該当する場合）へ切り替えることがが期待されます。

- **割り込み IN トランザクション**

  ここでは、以下のように仮定されています。

  – アプリケーションは、奇数フレーム（転送サイズ = 1024 バイト）から始めて、フレームごとに 1 パケット（最大 1 パケットサイズ）の受信を試みています。

  – 受信 FIFO は、少なくとも 1 つの最大パケットサイズのパケットとパケットあたり 2 つのステータスワード（1,031 バイト）を保持することができます。

  – 周期的リクエストキューの深さ = 4。

- **通常の割り込み IN 動作**

  動作シーケンスは、次のとおりです。

  a) チャネル 2 を初期化します。アプリケーションは OTG_HS_HCCHAR2 レジスタの ODDFRM ビットをセットする必要があります。

  b) OTG_HS_HCCHAR2 の CHENA ビットをセットして IN リクエストを周期的リクエストキューに書き込みます。広帯域割り込み転送の場合、アプリケーションは OTG_HS_HCCHAR2 レジスタに MCNT（次のフレーム時間内に送信する最大パケット数）を書き込んだ後に別のチャンネルへ切り替える必要があります。

  c) OTG_HS ホストは CHENA ビットがセットされた OTG_HS_HCCHAR2 レジスタの書き込みごとに、周期的リクエストキューに IN リクエストを書き込みます。

  d) OTG_HS ホストは、次の奇数フレームで ＩＮ トークンの送信を試みます。

  e) IN パケットが受信され、受信 FIFO に書き込まれると OTG_HS ホストは RXFLVL 割り込みを生成します。

  f) RXFLVL 割り込みに応答して、受信パケットステータスを読み出して、受信バイト数を調べた後、それに応じて受信 FIFO を読み出します。アプリケーションは、受信 FIFO を読み出す前に RXFLVL 割り込みはマスクされますし、すべてのパケットを読み出した後にマスクを解除しなければなりません。

  g) コアは、受信 FIFO 内の転送完了ステータスエントリに対して RXFLVL 割り込みを生成します。アプリケーションは、受信パケットステータスを読み出して、受信パケットステータスが IN データパケットでないとき（GRXSTSR ≠ 0b0010 の PKTSTS）には無視する必要があります。

  h) コアは、受信パケットが読み出されると XFRC 割り込みを生成します。

  i) XFRC 割り込みに応答して OTG_HS_HCTSIZ2 の PKTCNT フィールドを読み出します。OTG_HS_HCTSIZ2 の PKTCNT ビットが 0 に等しい場合は、次の転送（ある場合）のためにチャネルを再初期化する前に、チャネルを無効にします。OTG_HS_HCTSIZ2 の PKTCNT ビットが 0 の場合、次の転送のためにチャネルを再初期化します。今度は、アプリケーションは OTG_HS_HCCHAR2 レジスタの ODDFRM ビットをリセットする必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

- **アイソクロナス OUT トランザクション**

  スレーブモードでの典型的なアイソクロナス OUT 動作を*図 421* に示します。ここでは、以下のように仮定されています。

  – アプリケーションは、奇数フレームから始めて、フレームごとに 1 パケット（最大 1 パケットサイズ）の送信を試みています。（転送サイズ = 1,024 バイト）。

  – 周期的送信 FIFO は 1 パケット（1 KB）を保持することができます。

  – 周期的リクエストキューの深さ = 4。

  動作シーケンスは、次のとおりです。

  a) チャネル 1 を初期化し、有効にします。アプリケーションは OTG_HS_HCCHAR1 レジスタの ODDFRM ビットをセットする必要があります。

  b) チャネル 1 の最初のパケットを書き込みます。広帯域アイソクロナス転送の場合、アプリケーションは （次のフレーム時間内に送信する最大パケット数）までの後続パケットを書き込んだ後に別のチャンネルへ切り替える必要があります。

  c) 各パケットの最後ワードの書き込みとともに OTG_HS ホストは、周期的リクエストキューにエントリを書き込みます。

  d) OTG_HS ホストは、次のフレーム（奇数）で OUT トークンの送信を試みます。

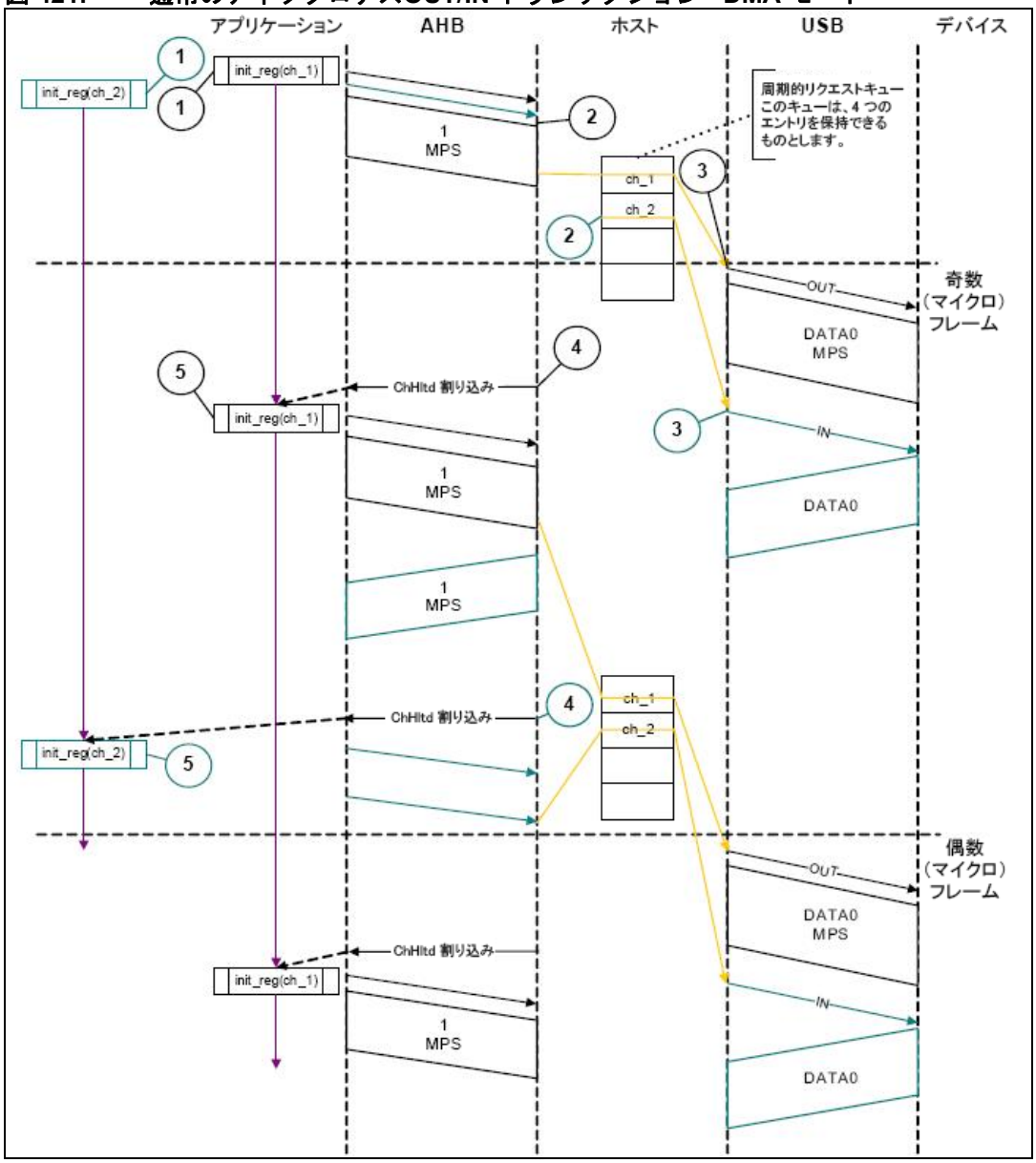
  e) OTG_HS ホストは、最後のパケットが正常に送信されると XFRC 割り込みを生成します。

  f) XFRC 割り込みに応答して、次の転送のためにチャネルを再初期化します。

  g) 非 ACK レスポンスの取り扱い

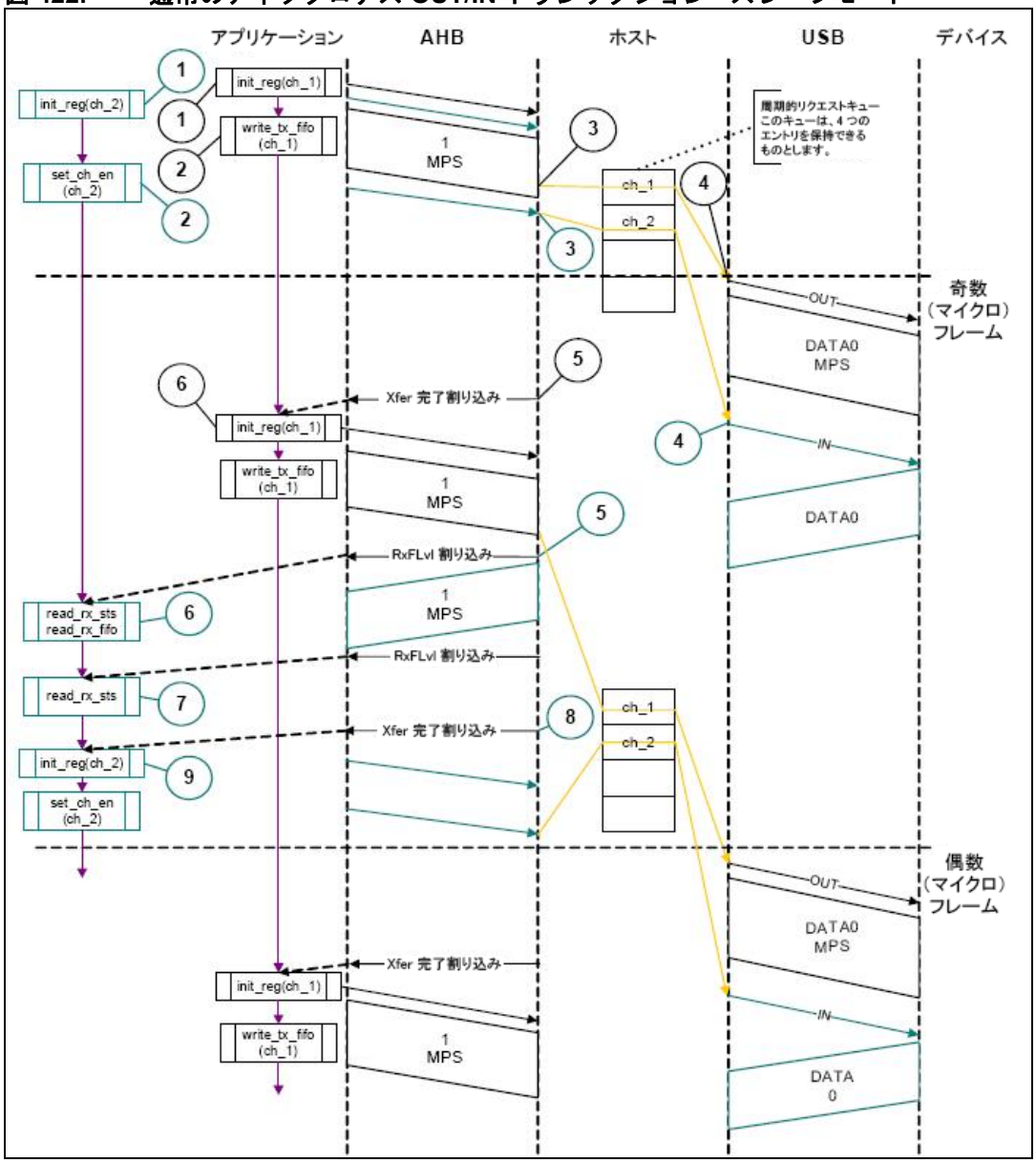
この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 421. 通常のアイソクロナスOUT/IN トランザクション - DMA モード



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 422. 通常のアイソクロナス OUT/IN トランザクション - スレーブモード



- **アイソクロナス OUT/IN トランザクションのための割り込みサービスルーチン**

  コードサンプル：アイソクロナス OUT

```
Unmask (FRMOR/XFRC)
if (XFRC)
   {
   De-allocate Channel
   }
else
   if (FRMOR)
      {
      Unmask CHH
      Disable Channel
```


この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

```
      }
    else
    if （CHH）
      {
      Mask CHH
      De-allocate Channel
      }
```

コードサンプル：アイソクロナ

```
Unmask （TXERR/XFRC/FRMOR/BBERR）
if （XFRC or FRMOR）
  {
  if （XFRC and （OTG_HS_HCTSIZx.PKTCNT == 0））
    {
    Reset Error Count
    De-allocate Channel
    }
  else
    {
    Unmask CHH
    Disable Channel
    }
  }
  else
    if （TXERR or BBERR）
      {
      Increment Error Count
      Unmask CHH
      Disable Channel
      }
    else
      if （CHH）
        {
        Mask CHH
        if （Transfer Done or （Error_count == 3））
          {
          De-allocate Channel
          }
        else
          {
          Re-initialize Channel
          }
        }
```


この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

- **アイソクロナス IN トランザクション**

  ここでは、以下のように仮定されています。

  – アプリケーションは、次の奇数フレーム（転送サイズ = 1024 バイト）から始めて、フレームごとに 1 パケット（最大 1 パケットサイズ）の受信を試みています。

  – 受信 FIFO は、少なくとも 1 つの最大パケットサイズのパケットとパケットあたり 2 つのステータスワード（1,031 バイト）を保持することができます。

  – 周期的リクエストキューの深さ = 4。

  動作シーケンスは、次のとおりです。

  a) チャネル 2 を初期化します。アプリケーションはOTG_HS_HCCHAR2 レジスタの ODDFRM ビットをセットする必要があります。

  b) OTG_HS_HCCHAR2 の CHENA ビットをセットして IN リクエストを周期的リクエストキューを書き込みます。広帯域アイソクロナス転送の場合、アプリケーションは OTG_HS_HCCHAR2 レジスタにMCNT（次のフレーム時間内に送信する最大パケット数）を書き込んだ後に別のチャンネルへ切り替える必要があります。

  c) OTG_HS ホストは CHENA ビットがセットされた OTG_HS_HCCHAR2 レジスタの書き込みごとに、周期的リクエストキューに IN リクエストを書き込みます。

  d) OTG_HS ホストは、次の奇数フレームで ＩＮ トークンの送信を試みます。

  e) IN パケットが受信され、受信 FIFO に書き込まれると OTG_HS ホストは RXFLVL 割り込みを生成します。

  f) RXFLVL 割り込みに応答して、受信パケットステータスを読み出して、受信バイト数を調べた後、それに応じて受信 FIFO を読み出します。アプリケーションは、受信 FIFO を読み出す前に RXFVLV 割り込みはマスクされますし、すべてのパケットを読み出した後でマスクを解除しなければなりません。

  g) コアは、受信 FIFO 内の転送完了ステータスエントリに対して RXFLVL 割り込みを生成します。今度は、アプリケーションは受信パケットステータスを読み出して、それが IN データパケットでなかった場合（ OTG_HS_GRXSTSR≠ 0b0010 の PKTSTS ビット）、無視する必要があります。

  h) コアは、受信パケットが読み出されると XFRC 割り込みを生成します。

  i) XFRC 割り込みに応答してOTG_HS_HCTSIZ2 の PKTCNT フィールドを読み出します。OTG_HS_HCTSIZ2 の PKTCNT≠ 0 の場合、次の転送（ある場合）のためにチャネルを再初期化する前に、チャネルを無効にします。OTG_HS_HCTSIZ2 の PKTCNT = 0 の場合、次の転送のためにチャネルを再初期化します。今度は、アプリケーションは OTG_HS_HCCHAR2 レジスタの ODDFRM ビットをリセットする必要があります。

- **キューの深さの選択**

  周期的および非周期的リクエストキューの深さは、アクセスされる周期的/非周期的エンドポイントの数に合うように注意して選択してください。

  非周期的リクエストキューの深さは、非周期的転送の性能に影響を与えます。キューが深いほど（FIFO のサイズが十分であれば）、コアは非周期的転送をより多くパイプライン化できます。キューのサイズが小さいと、コアはキューのスペースが空いたときしか新しいリクエストを入れることができません。

  コアの周期的リクエストキューの深さは、周期的転送をスケジュールどおりに実行するために不可欠です。周期的キューの深さは、マイクロフレーム内でスケジュールされた周期的転送の数に基づいて選択してください。ただし、スレーブモードでは、アプリケーションはキューに加える必要のあるディセーブルエントリも考慮する必要があります。したがって 2 つの非広帯域周期的エンドポイントが存在する場合、周期的リクエストキューの深さは少なくと 4 である必要があります。少なくとも 1 つの広帯域エンドポイントをサポートする場合は、キューの深さ 8である必要があります。周期的リクエストキューの深さがマイクロフレーム内でスケジュールされた周期的転送の数より小さい場合、フレームオーバーラン条件が発生します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

- **バブル条件の取り扱い**

  OTG_HS コントローラは、パケットバブルとポートバブルの 2 つのバブルを処理します。パケットバブルは、デバイスがチャネルの最大パケットサイズよりも多くのデータを送信した場合に発生します。ポートバブルは、コアが EOF2（フレーム 2 の終わりの SOF にきわめて近い）でデバイスからデータを受信し続けると発生します。

  OTG_HS コントローラがパケットバブルを検出すると Rx バッファへのデータの書き込みを停止して、パケットの終わり（EOP）を待ちます。EOP を検出すると OTG_HS コントローラは Rx バッファにすでに書き込まれたデータを一掃して、アプリケーションに対するバブル割り込みを生成します。

  OTG_HS コントローラがポートバブルを検出すると、RxFIFO を一掃して、ポートを無効にします。コアは、ポート無効割り込み（OTG_HS_GINTSTS の HPRTINT の PENCHNG）を生成します。この割り込みを受信すると、アプリケーションは OTG_HS_HPRT の POCA ビットをチェックして、これが過電流条件（ポート無効割り込みのもう 1 つの原因）によるものではないことを確認してから、ソフトリセットを行う必要があります。コアは、ポートバブル条件を検出した後は、それ以上トークンを送信しません。

- **バルクおよび制 ／セットアップトランザクション - DMA モード**

  動作シーケンスは、次のとおりです。

  a) *セクション : チャンネルの初期化*の説明に従いチャンネル 1 を初期化および有効化します。

  b) HS_OTG ホストはチャンネルが有効化されると直ちに最初のパケットのフェッチを開始します。内部DMA モードの場合、OTG_HS ホストはパケットのフェッチにプログラムされ DMA アドレスを使います。

  c) 2 つ目 （最後）のパケットの最後のワードをフェッチした後、以降の調停に対し OTG_HS ホストは内部的にチャンネル 1 をマスクします。

  d) OTG_HS ホストは、最後のパケットが送信されると直ちに CHH 割り込みを生成します。

  e) CHH 割り込みに応答して、他の転送のためにチャネル割り当てを解除します。

- **内部DMA による NAK と NYET の処理**

  a) OTG_HS ホストはバルク OUT トランザクションを送信します。

  b) デバイスは NAK または NYET で応答します。

  c) アプリケーションは NAK または NYETをマスクしていない場合、コアはアプリケーションへ対応する割り込みを生成します。コアがバッファポインタの戻し処理を行っている場合およびアプリケーション介入なしでチャンネルを再初期化している場合、アプリケーションはこれらの割り込みを生成する必要はありません。

  d) コアは自動的にピントークンを発行します。

  e) デバイスへ ACK を返すと、コアは転送を続けます。オプションとして、アプリケーションはこれらの割り込みを使用することができます。この場合 NAK または NYET割り込みはアプリケーションからマスクされます。

  ホスト機能が NAK または NYET を受信した場合、コアは個別の割り込みを生成しません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

- **バルクおよび制御 IN トランザクション - DMA モード**

  動作シーケンスは、次のとおりです。

  a) *セクション：チャンネルの初期化*の説明に従い使用するチャンネル（チャンネル x）を初期化および有効化します。

  b) チャンネルがアービタから許可を受信すると直ちに、OTG_HS ホストは IN リクエストをリクエストキューへ書き込みます （調停はラウンドロビン方式で行われます）。

  c) OTG_HS ホストはエラーなしで最終バイトを受信すると、直ちにシステムメモリへの受信データの書き込みを開始します。

  d) OTG_HS ホストは最終パケットを受信すると、内部フラグをセットしてリクエストキューから余分な IN リクエストを削除します。

  e) OTG_HS ホストは余分なリクエストを一掃します。

  f) チャンネル xを無効化する最終リクエストがリクエストキューに書き込まれます。この時点で、チャンネル 2 は以降の調停に対して内部でマスクされます。

  g) OTG_HS ホストは、ディセーブルリクエストがキューのトップに来ると直ちに CHH 割り込みを生成します。

  h) CHH 割り込みに応答して、他の転送のためにチャネル割り当てを解除します。

- **割り込み OUT トランザクション - DMA モード**

  a) *セクション： チャンネルの初期化*の説明に従いチャンネル xを初期化および有効化します。

  b) OTG_HS ホストはチャンネルが有効化されると直ちに、最初のパケットのフェッチを開始し OUT リクエストを最後のワードフェッチと一緒に書き込みます。広帯域転送では HS_OTG ホストは、次のパケットのフェッチを（MC フィールドで指定された値まで）続けた後に、次のチャンネルへ切り替わります。

  c) OTG_HS ホストは、次の奇数フレーム／マイクロフレームの開始で OUT トークンの送信を試みます。

  d) パケットの正常送信の後、OTG_HSホストは CHH 割り込みを生成します。

  e) CHH 割り込みに応答して、次の転送のためにチャネルを再初期化します。

- **割り込み IN トランザクション - DMA モード**

  動作シーケンス （チャンネル x）は次の通りです。

  a) *セクション： チャンネルの初期化*の説明に従いチャンネル xを初期化および有効化します。

  b) チャンネル x がアービタから許可を受け取ると直ちに、OTG_HS ホストは IN リクエストをリクエストキューへ書き込みます （調停はラウンドロビン方式で行われます）。広帯域転送では OTG_HS ホストは MC 回までの連続書き込みを行います。

  c) OTG_HS ホストは、次の奇数フレーム／マイクロフレームの開始で INトークンの送信を試みます。

  d) IN パケットが受信され、受信 FIFO に書き込まれると、OTG_HS ホストは CHH 割り込みを生成します。

  e) CHH 割り込みに応答して、次の転送のためにチャネルを再初期化します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

- **アイソクロナス OUT トランザクション - DMA モード**
  a) *セクション： チャンネルの初期化*の説明に従いチャンネル x を初期化および有効化します。
  b) OTG_HS ホストはチャンネルが有効化されると直ちに、最初のパケットのフェッチを開始し、OUT リクエストを最後のワードフェッチと一緒に書き込みます。広帯域転送では OTG_HS ホストは、次のパケットのフェッチを（MC フィールドで指定された値まで）続けた後に、次のチャンネルへ切り替わります。
  c) OTG_HS ホストは、次の奇数フレーム／マイクロフレームの開始で OUT トークンの送信を試みます。
  d) パケットの正常送信の後、HS_OTG ホストは CHH 割り込みを生成します。
  e) CHH 割り込みに応答して、次の転送のためにチャネルを再初期化します。
- **アイソクロナス IN トランザクション - DMA モード**
  動作シーケンス（チャネル x）は、次のとおりです。
  a) *セクション： チャンネルの初期化*の説明に従いチャンネル x を初期化および有効化します。
  b) チャンネル x がアービタから許可を受け取ると直ちに、OTG_HS ホストは IN リクエストをリクエストキューへ書き込みます （調停はラウンドロビン方式で行われます）。広帯域転送では OTG_HS ホストは MC 回までの連続書き込みを行います。
  c) OTG_HS ホストは、次の奇数フレーム／マイクロフレームの開始で IN トークンの送信を試みます。
  d) IN パケットが受信され、受信 FIFO に書き込まれると、OTG_HS ホストは CHH 割り込みを生成します。
  e) CHH 割り込みに応答して、次の転送のためにチャネルを再初期化します。
- **バルクおよび制御 OUT／SETUP スプリットトランザクション - DMA モード**
  動作シーケンス（チャネル x）は、次のとおりです。
  a) *セクション： チャンネルの初期化*の説明に従い、スタートスプリット用にチャンネル xを初期化および有効化します。
  b) OTG_HS ホストはチャンネルが有効化されると直ちに、最初のパケットのフェッチを開始し OUT リクエストを最後のワードフェッチと一緒に書き込みます。
  c) スタートスプリットの正常送信の後 OTG_HS ホストは CHH 割り込みを生成します。
  d) CHH 割り込みに応答して HCSPLT1の COMPLSPLT ビットをセットし、スプリット全体を送信します。
  e) スプリット全体の正常送信の後 OTG_HS ホストは CHH 割り込みを生成します。
  f) CHH 割り込みに応答して、チャネルの割り当てを解除します。
- **バルク／制御 IN スプリットトランザクション - DMA モード**
  動作シーケンス（チャネル x）は、次のとおりです。
  a) *セクション： チャンネルの初期化*の説明に従いチャンネル x を初期化および有効化します。
  b) アービタから許可を得た後、OTG_HS ホストはスタートスプリットリクエストを非周期的リクエストへ書き込みます。OTG_HS ホストは、リクエストを書き込んだ後に、調停のために内部でチャンネル x をマスクします。
  c) IN トークンが送信されると直ちに OTG_HSホストは CHH 割り込みを生成します。
  d) CHH 割り込みに応答してHCSPLT2のCOMPLSPLT ビットをセットし、スプリットトークン全体を送信するためにチャンネルを再度有効化します。これにより、調停用にチャンネル x のマスクが解除されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

e) アービタから許可を得た後、OTG_HSホストはスプリット全体リクエストを非周期的リクエストへ書き込みます。

f) OTG_HS ホストはパケットを正常に受信した後、パケットのシステムメモリへの書き込みを開始します。

g) 受信パケットをシステムメモリへ書き込むと直ちに、OTG_HS ホストは CHH 割り込みを生成します。

h) CHH 割り込みに応答して、チャネルの割り当てを解除します。

- **割り込み OUT スプリットトランザクション - DMA モード**

動作シーケンス（チャネル x）は、次のとおりです。

a) *セクション ：チャンネルの初期化*の説明に従い、スタートスプリット用にチャンネル 1 を初期化および有効化します。アプリケーションは HCCHAR1 レジスタの ODDFRM ビットをセットする必要があります。

b) HS_OTG ホストはパケットの読み出しを開始します。

c) HS_OTG ホストは、スタートスプリットトランザクションの送信を試みます。

d) スタートスプリットの正常送信の後 OTG_HS ホストは CHH 割り込みを生成します。

e) CHH 割り込みに応答して HCSPLT1の COMPLSPLT ビットをセットし、スプリット全体を送信します。

f) スプリット全体トランザクションの正常送信の後、OTG_HSホストはCHH 割り込みを生成します。

g) CHH 割り込みに応答して、チャネルの割り当てを解除します。

- **割り込み IN スプリットトランザクション - DMA モード**

動作シーケンス（チャネル x）は、次のとおりです。

a) *セクション ：チャンネルの初期化*の説明に従い、スタートスプリット用にチャンネル xを初期化および有効化します。

b) チャンネル x がアービタから許可を受け取ると直ちにOTG_HS ホストはIN リクエストをリクエストキューへ書き込みます。

c) OTG_HS ホストは、次の奇数マイクロフレームの開始にスタートスプリット INトークンの送信を試みます。

d) OTG_HS ホストはスタートスプリット IN トークンを正常に送信した後に CHH 割り込みを生成します。

e) CHH 割り込みに応答してHCSPLT2の COMPLSPLTビットをセットし、スプリット全体を送信します。

f) OTG_HS ホストはパケットを正常に受信すると直ちに、データのシステムメモリへの書き込みを開始します。

g) OTG_HS ホストは受信データをシステムメモリへ転送した後、CHH割り込みを生成します。

h) CHH 割り込みに応答して、次のスタートスプリットのためにチャネルの割り当て解除または再初期化を行います。

- **アイソクロナス OUT スプリットトランザクション - DMA モード**

動作シーケンス（チャネル x）は、次のとおりです。

a) *セクション ：チャンネルの初期化*の説明に従い、スタートスプリット（開始）用にチャンネル xを初期化および有効化します。アプリケーションは HCCHAR1 レジスタの ODDFRM ビットをセットする必要があります。MPS フィールドをプログラムします。

b) HS_OTG ホストはパケットの読み出しを開始します。

c) スタートスプリット（開始）の正常送信の後、HS_OTG ホストは CHH 割り込みを生成します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

d) CHH 割り込みに応答して、スタートスプリット （終わり）を送信するためレジスタを再初期化します。

e) スタートスプリット（終わり）の正常送信の後、OTG_HS ホストは CHH 割り込みを生成します。

f) CHH 割り込みに応答して、チャネルの割り当てを解除します。

- **アイソクロナス IN スプリットトランザクション - DMA モード**

  動作シーケンス（チャネル x）は、次のとおりです。

  a) *セクション：チャンネルの初期化*の説明に従い、スタートスプリット用にチャンネル xを初期化および有効化します。

  b) チャンネル x がアービタから許可を受け取ると直ちにOTG_HS ホストは IN リクエストをリクエストキューへ書き込みます。

  c) OTG_HS ホストは、次の奇数マイクロフレームの開始にスタートスプリット INトークンの送信を試みます。

  d) OTG_HS ホストはスタートスプリット IN トークンを正常に送信した後に、CHH割り込みを生成します。

  e) CHH 割り込みに応答してHCSPLT2の COMPLSPLTビットをセットし、スプリット全体を送信します。

  f) OTG_HS ホストはパケットを正常に受信すると直ちに、データのシステムメモリへの書き込みを開始します。

  g) OTG_HS ホストは受信データをシステムメモリへ転送した後、CHH割り込みを生成します。CHH 割り込みに応答して、次のスタートスプリットのためにチャネルの割り当て解除または再初期化を行います。

35.13.6 デバイスプログラミングモデル

USB リセット時のエンドポイントの初期化

1. すべての OUT エンドポイントの NAK ビットをセットします。
   - OTG_HS_DOEPCTLx の SNAK = 1（すべての OUT エンドポイントについて）
2. 以下の割り込みビットのマスクを解除します。
   - OTG_HS_DAINTMSK の INEP0 = 1（制御 0 IN エンドポイント）
   - OTG_HS_DAINTMSK の OUTEP0 = 1（制御 0 OUT エンドポイント）
   - DOEPMSK の STUP = 1
   - DOEPMSK の XFRC = 1
   - DIEPMSK の XFRC = 1
   - DIEPMSK の TOC = 1
3. 各 FIFO の DATA FIFO RAM をセットアップします。
   - OTG_HS_GRXFSIZ レジスタをプログラムして、制御 OUT データとセットアップデータを受信できるようにします。閾値の設定が無効の場合、これは、少なくとも、制御エンドポイント 0 の最大パケットサイズ 1 個分 + 2 ワード（制御 OUT データパケットのステータス用）+ 10 ワード（セットアップパケット用）でなければなりません。
   - OTG_HS_TX0FSIZ レジスタを、制御 IN データを送信できるようにプログラムします（選択された FIFO 番号に応じて）。これは、少なくとも、制御エンドポイント 0 の最大パケットサイズ 1 個分以上でなければなりません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

4. SETUP パケットを受信するために、制御 OUT エンドポイント 0 のエンドポイント固有レジスタの以下のフィールドをプログラムします。
   – OTG_HS_DOEPTSIZ0 の STUPCNT = 3（3 つの連続 SETUP パケットを受信するため）
5. DMA モードでは DOEPDMA0レジスタは受信した全SETUP パケットを保存する有効なメモリアドレスを持つ必要があります。

この時点で SETUP パケットを受信するために必要なすべての初期化が終了したことになります。

エニュメレーション完了時のエンドポイント初期化

1. エニュメレーション終了割り込み（OTG_HS_GINTSTS の ENUMDNE ビット）時にはOTG_HS_DSTS レジスタを読み出して、エニュメレーションスピードを決めます。
2. OTG_HS_DIEPCTL0 の MPSIZ フィールドをプログラムして、最大パケットサイズを設定します。このステップでは、制御エンドポイント 0 を設定します。制御エンドポイントの最大パケットサイズは、エニュメレーションスピードに依存します。
3. DMA モードでは、制御 OUT エンドポイント 0を有効化するDOEPCTL0 レジスタをプログラムして、SETUPパケットを受信するようにします。
   – DOEPCTL0 ビット = 1

この時点で、デバイスはSOF パケットを受信する準備ができ、制御エンドポイント 0 で制御転送を行うように設定されたことになります。

SetAddress コマンド受信時のエンドポイントの初期化

このセクションでは SETUP パケットで SetAddress コマンドを受信したときにアプリケーションが行わなければならないことについて説明します。

1. OTG_HS_DCFG レジスタにSetAddressコマンドで受信したデバイスアドレスをプログラムします。
1. ステータス IN パケットを送信するように、コアをプログラムします。

SetConfiguration/SetInterface コマンド受信時のエンドポイントの初期化

このセクションでは SETUP パケットで SetConfiguration または SetInterface コマンドを受信したときにアプリケーションが行わなければならないことについて説明します。

1. SetConfiguration コマンドを受信したとき、アプリケーションは、新しい設定で有効なエンドポイントの特性で、エンドポイントのレジスタをプログラムする必要があります。
2. SetInterface コマンドを受信したとき、アプリケーションは、このコマンドの影響を受けるエンドポイントのレジスタをプログラムする必要があります。
3. 前の設定または代替設定ではアクティブであったエンドポイントが､新しい設定または代替設定では無効なことがあります。これらの無効なエンドポイントは､機能を停止させる必要があります。
4. 有効な各エンドポイントの割り込みはマスクされませんして OTG_HS_DAINTMSK レジスタですべての無効なエンドポイントに対する割り込みはマスクされますします。
5. 各 FIFO のデータ FIFO RAM をセットアップします。
6. 必要なすべてのエンドポイントを設定した後、アプリケーションは、ステータス IN パケットを送信するようにコアをプログラムする必要があります。

この時点で、デバイスのコアは、任意のタイプのデータパケットを送信／受信できるように設定されたことになります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

エンドポイントのアクティブ化

このセクションでは、デバイスエンドポイントをアクティブ化するか、既存のデバイスエンドポイントを新しいタイプに設定するために必要な手順について説明します。

1. 必要なエンドポイントの特性を OTG_HS_DIEPCTLx レジスタ（IN または双方向エンドポイントの場合）、または OTG_HS_DOEPCTLx レジスタ（OUT または双方向エンドポイントの場合）の以下のフィールドにプログラムします。
   - 最大パケットサイズ
   - USB アクティブエンドポイント = 1
   - エンドポイント開始データトグル（割り込みおよびバルクエンドポイントの場合）
   - エンドポイントタイプ
   - TxFIFO 番号
2. エンドポイントがアクティブ化されると、コアは、そのエンドポイントに宛てたトークンのデコードを開始し、そのエンドポイントで受信された有効な各トークンについて有効なハンドシェイクを送出します。

エンドポイントの機能停止

このセクションでは、既存のエンドポイントの機能を停止させるために必要な手順について説明します。

1. 機能を停止するエンドポイントで OTG_HS_DIEPCTLx レジスタ（IN または双方向エンドポイントの場合）、または OTG_HS_DOEPCTLx レジスタ（OUT または双方向エンドポイントの場合）の USB 有効エンドポイントビットをクリアします。
2. エンドポイントの機能が停止されると、コアは、そのエンドポイントに宛てたトークンを無視するので USB 上でタイムアウトが発生します。

注： ***アプリケーションは、以下の条件を満たすように、デバイスコアがトラフィックを処理できるようにセットアップする必要があります。***
OTG_HS_GINTMSK レジスタの NPTXFEM および RXFLVLM をクリアする必要があります。

35.13.7 動作モデル

SETUP および OUT データ転送

このセクションでは、データ OUT 転送および SETUP トランザクション時の内部データフローとアプリケーションレベルの動作について説明します。

- **パケットの読み出し**

このセクションでは、受信 FIFO からパケット（OUT データおよび SETUP パケット）を読み出す方法について説明します。

1. RXFLVL 割り込み（OTG_HS_GINTSTS レジスタ）を受信すると、アプリケーションは、受信ステータスポップレジスタ（OTG_HS_GRXSTSP）を読み出す必要があります。
2. アプリケーションは、RXFLVL = 0（OTG_HS_GINTMSK レジスタ）を書き込むことによって、受信 FIFO からのパケット読み出しが終了するまで、RXFLVL 割り込み（OTG_HS_GINTSTS レジスタ）をマスクすることができます。
3. 受信パケットのバイトカウントが 0 でない場合、データのバイトカウントは受信データ FIFO からポップされ、メモリに格納されます。受信パケットのバイトカウントが 0 の場合、受信データ FIFO からデータはポップされません。

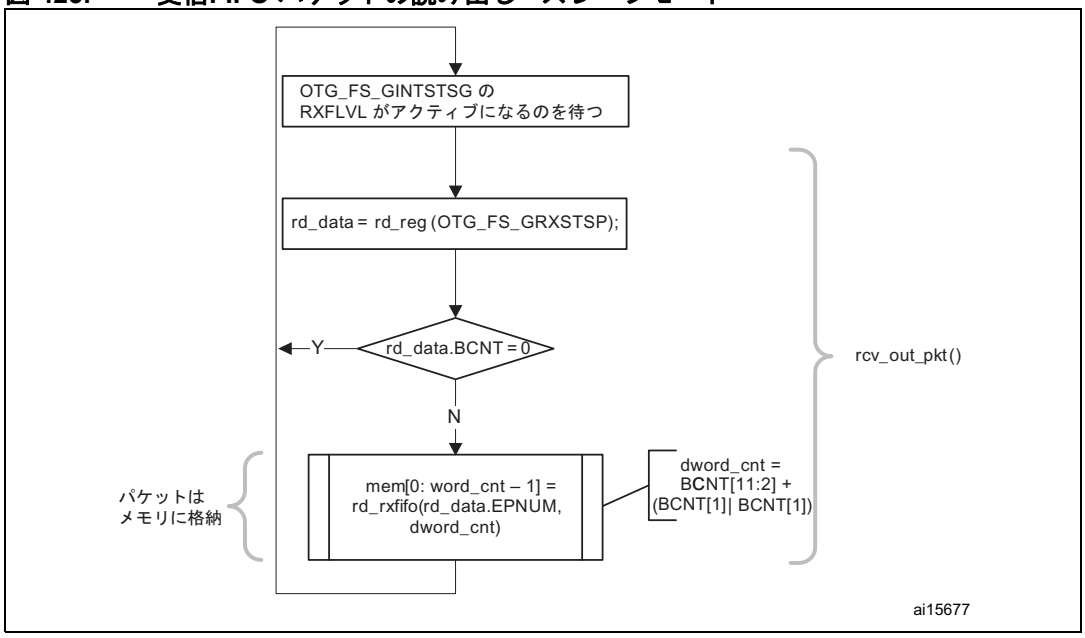
この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

4. 受信 FIFO のパケットステータスの読み出し結果は、以下のいずれかを示します。
   a) グローバル OUT NAK のパターン：
   PKTSTS = グローバル OUT NAK、BCNT = 0x000、EPNUM = 無視（0x0）、DPID = 無視（0b00）。
   これらのデータは、グローバル OUT NAK ビットが有効になっていることを示します。
   b) SETUP パケットのパターン：
   PKTSTS = SETUP、BCNT = 0x008、EPNUM = 制御 EP 番号、DPID = D0。これらのデータは、指定されたエンドポイントの SETUP パケットを受信 FIFO から読み出せることを示します。
   c) セットアップステージ終了パターン：
   PKTSTS = セットアップステージ終了、BCNT = 0x0、EPNUM = 制御 EP 番号、DPID = 無視（0b00）。
   これらのデータは、指定されたエンドポイントのセットアップステージが完了し、データステージが開始されたことを示します。このエントリが受信 FIFO からポップされた後、コアは、指定された制御 OUT エンドポイントでセットアップ割り込みをアサートします。
   d) データ OUT パケットのパターン：
   PKTSTS = データ OUT、BCNT = 受信データOUT パケットのサイズ（0 ≤ BCNT ≤ 1 024）、EPNUM = パケットを受信したEPNUM、DPID = 実際のデータ PID。
   e) データ転送完了パターン：
   PKTSTS = データ OUT 転送終了、BCNT = 0x0、EPNUM = データ転送が完了した OUT EP 番号、DPID = 無視（0b00）。
   これらのデータは、指定された OUT エンドポイントの OUT データ転送が完了したことを示します。このエントリが受信 FIFO からポップされた後、コアは、指定された OUT エンドポイントで転送完了割り込みをアサートします。
5. データペイロードが受信 FIFO からポップされた後、RXFLVL 割り込み（OTG_HS_GINTSTS）がマスク解除されなければなりません。
6. 手順 1～5 は、アプリケーションが OTG_HS_GINTSTS レジスタの RXFLVL による割り込みラインのアサーションを検出するたびに繰り返されます。空の受信 FIFO を読み出すと、定義されていないコア動作を引き起こすことがあります。

図 423 は上記の手順のフローチャートです。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 423. 受信FIFO パケットの読み出し - スレーブモード



- **SETUP トランザクション**

このセクションでは、コアが SETUP パケットを処理する方法と、SETUP トランザクションを処理するアプリケーションのシーケンスについて説明します。

- **アプリケーションの要件**

1. SETUP パケットを受信するには、制御 OUT エンドポイントの STUPCNT フィールド（OTG_HS_DOEPTSIZx レジスタ）が、ゼロでない値にプログラムされなければなりません。アプリケーションが STUPCNT フィールドをゼロでない値にプログラムすると、NAK のステータスと OTG_HS_DOEPCTLx レジスタの EOENA ビットの設定に関係なく、コアは、SETUP パケットを受信して、受信 FIFO に書き込みます。STUPCNT フィールドは、制御エンドポイントが SETUP パケットを受信するたびにデクリメントされます。SETUP パケットを受信する前に、STUPCNT フィールドが適切な値にプログラムされていなかった場合、コアは SETUP パケットを受信し、STUPCNT フィールドをデクリメントしますが、アプリケーションは制御転送のセットアップステージで受信した SETUP パケットの正しい数を判定できないことがあります。
   – OTG_HS_DOEPTSIZx レジスタの STUPCNT = 3
2. 制御エンドポイントで 3 つまでの SETUP パケットを受信するためには、アプリケーションは、常に受信データ FIFO に余分のスペースを割り当てておく必要があります。
   – 確保すべきスペースは 10 ワード分です。最初の SETUP パケット用に 3 ワードが必要であり、セットアップステージ終了ワードのために 1 ワード、すべての制御エンドポイントにわたって 2 つの余分な SETUP パケットを格納するために 6 ワードが必要です。
   – 8 バイトの SETUP データと 4 バイトの SETUP ステータス（セットアップパケットパターン）を格納するには、SETUP パケットあたり 3 ワードが必要です。コアは、このスペースを受信データの中に確保します。
   – FIFO は SETUP データのみを書き込むためのものであり、このスペースをデータパケットのために使うことはありません。
3. アプリケーションは、受信 FIFO から SETUP パケットの 2 ワードを読み出す必要があります。
4. アプリケーションは受信 FIFO からセットアップステージ終了ワードを読み出して、破棄する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

- **内部データフロー**

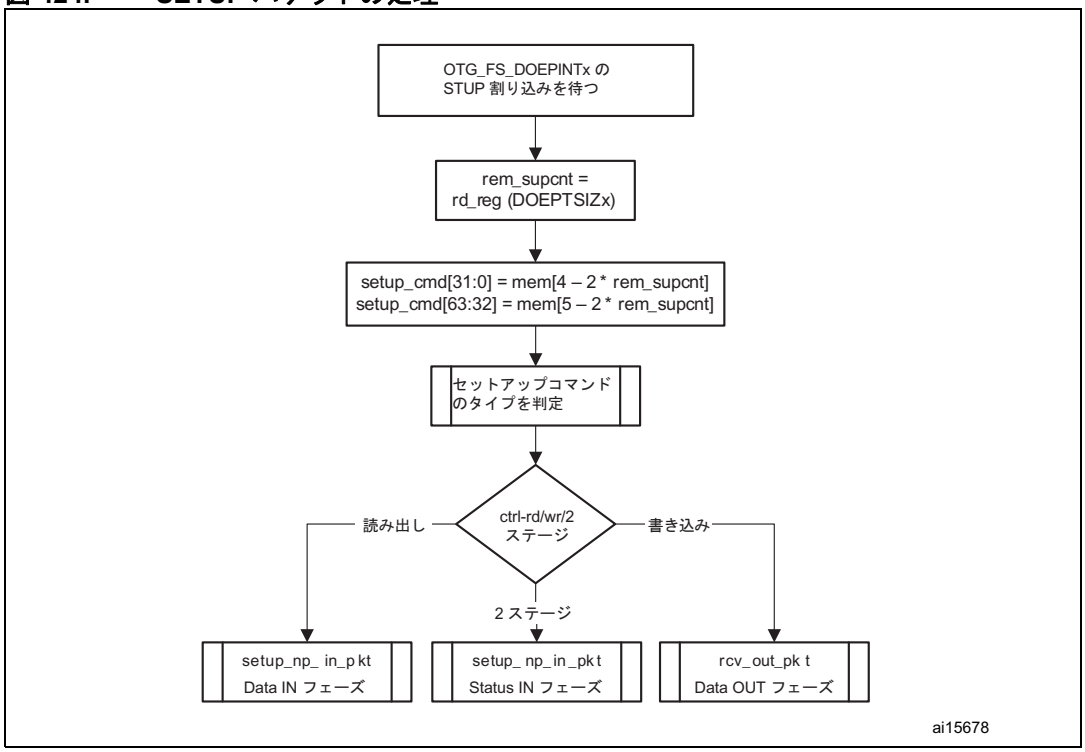
1. SETUP パケットが受信されると、コアは受信 FIFO 内の空きスペースをチェックせずに、また、エンドポイントの NAK および STALL ビットの設定に関係なく、受信したデータを受信 FIFO に書き込みます。
   – コアは、SETUP パケットが受信された制御 IN/OUT エンドポイントの IN NAK および OUT NAK ビットを内部でセットします。
2. USB 上で受信された各 SETUP パケットについて、3 ワードのデータが受信 FIFO に書き込まれ、STUPCNT フィールドが 1 ずつデクリメントされます。
   – 最初のワードは、コアが内部的に使用する制御情報を含みます。
   – 2 番目のワードは、SETUP コマンドの最初の 4 バイトを含みます。
   – 3 番目のワードは、SETUP コマンドの最後の 4 バイトを含みます。
3. セットアップステージがデータ IN/OUT ステージに変わると、コアは、エントリ（セットアップステージ終了ワード）を受信 FIFO に書き込んで、セットアップステージの完了を示します。
4. AHB 側では、SETUP パケットはアプリケーションによってエンプティにされます。
5. アプリケーションが受信 FIFO からセットアップステージ終了ワードをポップすると、コアは、STUP 割り込み（OTG_HS_DOEPINTx）でアプリケーションに割り込んで、受信した SETUP パケットを処理できることを示します。
   – コアは、制御 OUT エンドポイントのエンドポイントイネーブルビットをクリアします。

- **アプリケーションのプログラミングシーケンス**：

1. OTG_HS_DOEPTSIZx レジスタをプログラムします。
   – STUPCNT = 3
2. RXFLVL 割り込み（OTG_HS_GINTSTS）を待ち、受信 FIFO からデータパケットをエンプティにします。
3. STUP 割り込み（OTG_HS_DOEPINTx）のアサートは、SETUP データ転送が正常に完了したことを示します。
   – この割り込み時、アプリケーションは、OTG_HS_DOEPTSIZx レジスタを読み出して、受信した SETUP パケットの数を確認し、最後に受信した SETUP パケットを処理する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 424. SETUP パケットの処理



- **3 つを超える連続 SETUP パケットの処理**

USB 2.0 の仕様に従い、通常 SETUP パケットエラー時には、ホストは同じエンドポイントに対して 3 つを超える連続 SETUP パケットを送信しません。ただし 2.0 仕様では、ホストが同じエンドポイントに送信できる連続 SETUP パケットの数を制限してはいません。この条件が発生すると OTG_HS コントローラは、割り込み（OTG_HS_DOEPINTx の B2BSTUP）を生成します。

- **グローバル OUT NAK の設定**

内部データフロー：

1. アプリケーションがグローバル OUT NAK（OTG_HS_DCTL の SGONAK ビット）をセットすると、コアは SETUP パケットを除き、受信 FIFO へのデータの書き込みを停止します。受信 FIFO の使用可能なスペースの有無に関係なく、非アイソクロナス OUT トークンは NAK ハンドシェイクレスポンスを受信し、コアはアイソクロナス OUT データパケットを無視します。
2. コアは、グローバル OUT NAK パターンを受信 FIFO に書き込みます。アプリケーションがこのデータパターンを書き込むには、受信 FIFO に十分なスペースを確保する必要があります。
3. アプリケーションがグローバル OUT NAK パターンワードを受信 FIFO からポップすると、コアは GONAKEFF 割り込み（OTG_HS_GINTSTS）を生成します。
4. この割り込みを検出したアプリケーションは、コアがグローバル OUT NAK モードにあるとみなすことができます。アプリケーションは OTG_HS_DCTL の SGONAK ビットをクリアすることによって、この割り込みをクリアできます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

アプリケーションのプログラミングシーケンス：

1. 受信 FIFO でのデータの受信も停止するには、アプリケーションは、以下のフィールドをプログラムすることによって、グローバル OUT NAK ビットをセットする必要があります。
   – OTG_HS_DCTL の SGONAK = 1
2. OTG_HS_GINTSTS の GONAKEFF 割り込みのアサートを待ちます。アサートされた場合、この割り込みは、コアが SETUP パケット以外のいかなるタイプのデータの受信も停止したことを示します。
3. アプリケーションは OTG_HS_DCTL の SGONAK ビットをセットした後、コアが GONAKEFF 割り込み（OTG_HS_GINTSTS）をアサートする前に、有効な OUT パケットを受信することができます。
4. アプリケーションは OTG_HS_GINTMSK の GINAKEFFM ビットに書き込むことによって、この割り込みを一時的にマスクできます。
   – OTG_HS_GINTMSK の GINAKEFFM = 0
5. アプリケーションがグローバル OUT NAK モードを終了する準備ができたときには OTG_HS_DCTL レジスタの SGONAK ビットをクリアする必要があります。これによって GONAKEFF 割り込み（OTG_HS_GINTSTS）もクリアされます。
   – OTG_HS_DCTL の CGOBAK = 1
6. アプリケーションがこの割り込みはマスクされますするのが早すぎた場合は、以下のようにしてマスク解除を行う必要があります。
   – OTG_HS_GINTMSK の GINAKEFFM = 1

- **OUT エンドポイントの無効化**

アプリケーションが有効にした OUT エンドポイントを無効にするには、このシーケンスを使用する必要があります。

アプリケーションのプログラミングシーケンス：

1. OUT エンドポイントを無効にする前に、アプリケーションは、コアのグローバル OUT NAK モードを有効にする必要があります。
   – OTG_HS_DCTL の SGONAK = 1
2. OTG_HS_GINTSTS の GONAKEFF 割り込みを待ちます。
3. 以下のフィールドをプログラムすることによって、必要な OUT エンドポイントを無効にします。
   – OTG_HS_DOEPCTLx の EPDIS = 1
   – OTG_HS_DOEPCTLx の SNAK = 1
4. EPDISD 割り込み（OTG_HS_DOEPINTx）を待ちます。これは OUT エンドポイントが完全に無効にされたことを示します。EPDISD 割り込みがアサートされると、コアは、以下のビットもクリアします。
   – OTG_HS_DOEPCTLx の EPDIS = 0
   – OTG_HS_DOEPCTLx の EPENA = 0
5. アプリケーションは、無効にされていない他のエンドポイントからのデータ受信を開始するために、グローバル OUT NAK ビットをクリアする必要があります。
   – OTG_HS_DCTL の SGONAK = 0

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

- **一般の非アイソクロナス OUT データ転送**

このセクションでは、通常の非アイソクロナス OUT データ転送（制御、バルク、または割り込み）について説明します。

アプリケーションの要件：

1. OUT 転送をセットアップする前に、アプリケーションは OUT 転送の一部として受信されるすべてのデータを収容できるバッファをメモリ内で割り当てる必要があります。
2. OUT 転送の場合、エンドポイントの転送サイズレジスタの転送サイズフィールドは、エンドポイントの最大パケットサイズの倍数でなければならずワードの境界に揃えられていなければなりません。
   - 転送サイズ[EPNUM] = *n* × (MPSIZ[EPNUM] + 4 – (MPSIZ[EPNUM] mod 4))
   - パケットカウント[EPNUM] = *n*
   - *n* > 0
3. OUT エンドポイント割り込み時には、アプリケーションは、エンドポイントの転送サイズレジスタを読み出して、メモリ内のペイロードのサイズを計算しなければなりません。受信したペイロードのサイズが、プログラムされた転送サイズより小さいこともあります。
   - メモリ内のペイロードのサイズ = アプリケーションがプログラムした初期ペイロードサイズ – コアが更新した最終転送サイズ
   - このペイロードが受信された USB パケットの数 = アプリケーションがプログラムした初期パケット数 – コアが更新した最終パケット数

内部データフロー：

1. アプリケーションがデータを受信するためには、エンドポイント固有レジスタの転送サイズおよびパケット数フィールドを設定し、NAK ビットをクリアし、エンドポイントを有効にする必要があります。
2. NAK ビットがクリアされると、コアは、データの受信を開始し、受信 FIFO にスペースがある限り、データを受信 FIFO に書き込みます。USB で受信された各データパケットについて、データパケットとそのステータスが受信 FIFO に書き込まれます。受信 FIFO にパケット（最大パケットサイズまたはショートパケット）が書き込まれるたびに、そのエンドポイントのパケットカウントフィールドが 1 ずつデクリメントされます。
   - 受信された OUT データパケットのデータ CRC が不良な場合、受信 FIFO から自動的に一掃されます。
   - USB 上のパケットに対して ACK を送信した後、コアは ACK を検出できないホストが再送信する非アイソクロナス OUT データパケットを破棄します。アプリケーションは、同じエンドポイント上では、同じデータ PID を持つ複数の連続データ OUT パケットを検出しません。この場合、パケットカウントはデクリメントされません。
   - 受信 FIFO にスペースがない場合、アイソクロナスまたは非アイソクロナスデータパケットは無視され、受信 FIFO には書き込まれません。さらに、非アイソクロナス OUT トークンは NAK ハンドシェイク応答を受信します。
   - 上記の 3 つのケースのすべてにおいて、データは受信 FIFO に書き込まれないので、パケットカウントはデクリメントされません。
3. パケットカウントが 0 になるか、エンドポイント上でショートパケットが受信されると、そのエンドポイントの NAK ビットがセットされます。NAK ビットがセットされると、アイソクロナスまたは非アイソクロナスデータパケットは無視され、受信 FIFO には書き込まれず、非アイソクロナス OUT トークンは NAK ハンドシェイク応答を受信します。
4. データが受信 FIFO に書き込まれた後、アプリケーションは受信 FIFO からデータを読み出して、エンドポイントあたり一度に 1 パケットずつ外部メモリに書き込みます。
5. AHB 上で外部メモリへのパケットの書き込みが終わるたびに、書き込まれたパケットのサイズだけエンドポイントの転送サイズがデクリメントされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

6. 以下の条件の 1 つで OUT エンドポイントの OUT データ転送完了パターンが受信 FIFO に書き込まれます。
   – 転送サイズが 0、およびパケットカウントが 0。
   – 受信 FIFO に書き込まれた最後の OUT データパケットがショートパケット。
   (0 ≤ パケットサイズ < 最大パケットサイズ）
7. アプリケーションがこのエントリ（OUT データ転送完了）をポップすると、エンドポイントの転送完了割り込みが生成される、エンドポイントイネーブルがクリアされます。

アプリケーションのプログラミングシーケンス：

1. OTG_HS_DOEPTSIZx レジスタで転送サイズおよび対応するパケットカウントをプログラムします。
2. OTG_HS_DOEPCTLx レジスタをエンドポイントの特性でプログラムし、EPENA ビットおよび CNAK ビットをセットします。
   – OTG_HS_DOEPCTLx の EPENA = 1
   – OTG_HS_DOEPCTLx の CNAK = 1
3. RXFLVL 割り込み（OTG_HS_GINTSTS）を待ち、受信 FIFO からデータパケットをエンプティにします。
   – この手順は、転送サイズに応じて何度でも繰り返すことができます。
4. XFRC 割り込み（OTG_HS_DOEPINTx）のアサートは、非アイソクロナス OUT データ転送が正常に完了したことを示します。
5. OTG_HS_DOEPTSIZx レジスタを読み出して、受信したデータペイロードのサイズを確認します。

- **一般のアイソクロナス OUT データ転送**

このセクションでは、通常のアイソクロナス OUT データ転送について説明します。

アプリケーションの要件：

1. 非アイソクロナス OUT データ転送のアプリケーションの要件はすべて、アイソクロナス OUT データ転送にも適用されます。
2. アイソクロナス OUT データ転送の場合、転送サイズおよびパケットカウントフィールドは、常に、単一フレームで受信できる最大パケットサイズのパケット数を設定しなければなりません。アイソクロナス OUT データ転送は、複数のフレームにまたがってはいけません。
3. アプリケーションは、周期的フレームの終わり（OTG_HS_GINTSTS の EOPF 割り込み）の前に、受信 FIFO からすべてのアイソクロナス OUT データパケットを読み出す必要があります。
4. 次のフレームでデータを受信するには EOPF（OTG_HS_GINTSTS）の後と SOF（OTG_HS_GINTSTS）の前に、アイソクロナス OUT エンドポイントを有効にしなければなりません。

内部データフロー：

1. アイソクロナス OUT エンドポイントの内部データフローは、非アイソクロナス OUT エンドポイントの内部データフローと基本的に同じですが、少し異なったところがあります。
2. エンドポイントイネーブルビットををセットし、NAK ビットをクリアすることによって、アイソクロナス OUT エンドポイントが有効にされたときには、偶数／奇数フレームビットも適切にセットされなければなりません。コアは、以下の条件が満たされた場合に限り、アイソクロナス OUT エンドポイント上で特定のフレームのデータを受信します。
   – EONUM（OTG_HS_DOEPCTLx レジスタ）= SOFFN[0] （OTG_HS_DSTS レジスタ）
3. アプリケーションが受信 FIFO からアイソクロナス OUT データパケット（データとステータス）を完全に読み出すと、コアは OTG_HS_DOEPTSIZx レジスタの RXDPID フィールドを、受信 FIFO から読み出された最後のアイソクロナス OUT データパケットのデータ PID で更新します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

アプリケーションのプログラミングシーケンス：

1. OTG_HS_DOEPTSIZx レジスタで転送サイズおよび対応するパケットカウントをプログラムします。
2. OTG_HS_DOEPCTLx レジスタをエンドポイントの特性でプログラムし、エンドポイントイネーブル、ClearNAK、および偶数／奇数フレームの各ビットをセットします。
   – EPENA = 1
   – CNAK = 1
   – EONUM =（0：偶数／1：奇数）
3. スレーブモードでは、RXFLVL 割り込み（OTG_HS_GINTSTS）を待ち、受信 FIFO からデータパケットをエンプティにします。
   – この手順は、転送サイズに応じて何度でも繰り返すことができます。
4. SFRC 割り込み（OTG_HS_DOEPINTx）のアサートは、アイソクロナス OUT データ転送が正常に完了したことを示します。この割り込みは、必ずしもメモリ内のデータが良好であることを意味しません。
5. この割り込みは、アイソクロナス OUT 転送で必ず検出されるとは限りません。その代わり、アプリケーションは OTG_HS_GINTSTS で IISOOXFRM 割り込みを検出することができます。
6. OTG_HS_DOEPTSIZx レジスタを読み出して、受信した転送データのサイズを確認し、フレームで受信したデータの有効性を確認します。アプリケーションは、以下の条件の 1 つが満たされた場合のみ、メモリに受信されたデータを有効として扱う必要があります。
   – RXDPID = D0（OTG_HS_DOEPTSIZx レジスタ）、およびこのペイロードが受信された USB パケットの数 = 1
   – RXDPID = D1（OTG_HS_DOEPTSIZx レジスタ）、およびこのペイロードが受信された USB パケットの数 = 2
   – RXDPID = D2（OTG_HS_DOEPTSIZx レジスタ）、およびこのペイロードが受信された USB パケットの数 = 3

   このペイロードが受信された USB パケットの数 =
   アプリケーションがプログラムした初期パケットカウント - コアが更新した最終パケットカウント

   アプリケーションは、無効なデータパケットを破棄できます。

- **不完全アイソクロナス OUT データ転送**

このセクションでは、アイソクロナス OUT データパケットがコアの内部でドロップされたときのアプリケーションのプログラミングシーケンスについて説明します。

内部データフロー：

1. アイソクロナス OUT エンドポイントの場合、XFRC 割り込み（OTG_HS_DOEPINTx）は必ずアサートされるわけではありません。コアがアイソクロナス OUT データパケットを取りこぼした場合、アプリケーションは以下の状況で XFRC 割り込み（OTG_HS_DOEPINTx）の検出に失敗することがあります。
   – 受信 FIFO が完全な ISO OUT データパケットを収容できない場合、コアは、受信した ISO OUT データをドロップします。
   – アイソクロナス OUT データパケットが CRC エラー付きで受信されたとき。
   – コアが受信したアイソクロナス OUT トークンが破損しているとき。
   – アプリケーションが受信 FIFO からデータを読み出すのに長時間かかっているとき。
2. コアが､すべてのアイソクロナスエンドポイントへの転送を完了する前に周期的フレームの終わりを検出すると、不完全アイソクロナス OUT データ転送割り込み（OTG_HS_GINTSTS レジスタの IISOOXFRM）をアサートして、アイソクロナスエンドポイントのうち少なくとも 1 つで XFRC 割り込み（OTG_HS_DOEPINTx）がアサートされていないことを示します。この時点で、

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

不完全転送のエンドポイントは有効なままですが USB 上のこのエンドポイントでは、有効な転送は進行していません。

アプリケーションのプログラミングシーケンス：

1. IISOOXFRM 割り込み（OTG_HS_GINTSTS）のアサートは、現在のフレームで、少なくとも 1 つのアイソクロナス OUT エンドポイントが転送を完了していないことを示します。
2. アイソクロナス OUT データがエンドポイントから完全に出されていないためにこの割り込みが発生した場合、アプリケーションは処理を進める前に、受信 FIFO からすべてのアイソクロナス OUT データ（データとステータス）を出力する必要があります。
   – すべてのデータが受信 FIFO から出されて、受信 FIFO がエンプティになると、アプリケーションは XFRC 割り込み（OTG_HS_DOEPINTx）を検出することができます。この場合、アプリケーションは、次のフレームでアイソクロナス OUT データを受信するには、エンドポイントを再び有効にする必要があります。
3. IISOOXFRM 割り込み（OTG_HS_GINTSTS）を受信すると、アプリケーションは、すべてのアイソクロナス OUT エンドポイントの制御レジスタ（OTG_HS_DOEPCTLx）を読み出して、現在のマイクロフレームにおいて転送を完了しなかったエンドポイントを確認する必要があります。次の両方の条件が満たされた場合、エンドポイント転送は完了しません。
   – EONUM ビット （OTG_HS_DOEPCTLx レジスタ）= SOFFN[0] （OTG_HS_DSTS レジスタ）
   – OTG_HS_DOEPCTLx の EPENA = 1
4. 現在のフレーム番号が変更されないように、上記の手順は SOF 割り込み（OTG_HS_GINTSTS）が検出される前に実行されなければなりません。
5. 不完全転送のアイソクロナス OUT エンドポイントの場合、アプリケーションは、メモリ内のデータを破棄し OTG_HS_DOEPCTLx レジスタの EDPIS ビットをセットすることによってエンドポイントを無効にする必要があります。
6. EPDIS 割り込み（OTG_HS_DOEPINTx）を待ち、次のフレームで新しいデータを受信するために、エンドポイントを有効にします。
   – コアがエンドポイントを無効にするには若干の時間がかかるので、アプリケーションは不良なアイソクロナスデータを受信した後、次のフレームのデータを受信できないことがあります。

- **非アイソクロナス OUT エンドポイントの停止**

このセクションでは、アプリケーションが非アイソクロナスエンドポイントを停止する方法について説明します。

1. コアをグローバル OUT NAK モードにします。
2. 必要なエンドポイントを無効にします。
   – エンドポイントを無効にするときには、OTG_HS_DOEPCTL の SNAK ビットをセットする代わりに STALL = 1 にセットしてください（OTG_HS_DOEPCTL）。

     STALL ビットは常に NAK ビットより優先されます。
3. アプリケーションがエンドポイントの STALL ハンドシェイクを終了する準備ができたときは、STALL ビット （OTG_HS_DOEPCTLx）をクリアしなければなりません。
4. アプリケーションが SetFeature.Endpoint Halt または ClearFeature.Endpoint Halt コマンドのためにエンドポイントの STALL ビットをセットまたはクリアする場合、STALLビットは、アプリケーションが制御エンドポイントでステータスステージ転送をセットアップする前にセットまたはクリアされなければなりません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

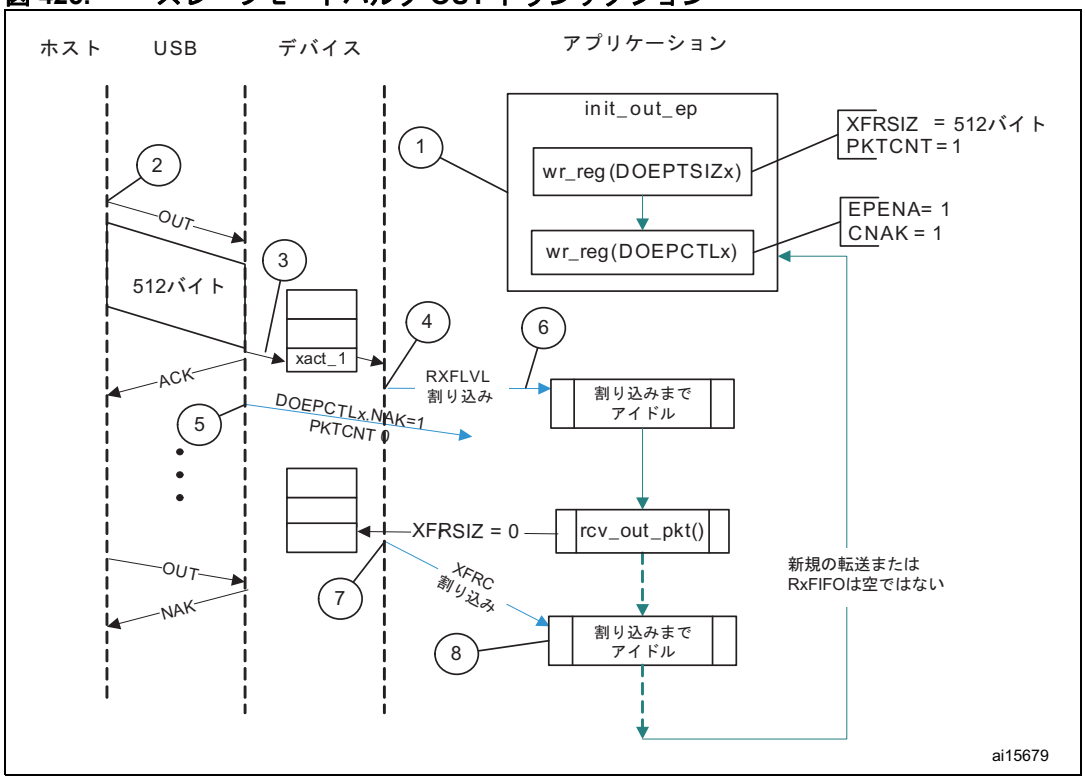
例

このセクションでは、いくつかの基本的な転送タイプとシナリオについて説明します。

- スレーブモードバルク OUT トランザクション

図 425 に USB から AHB への単一バルク OUT データパケットの受信と、このプロセスに伴うイベントを示します。

図 425. スレーブモードバルク OUT トランザクション



SetConfiguration/SetInterface コマンドの後、アプリケーションは CNAK = 1 および EPENA = 1（OTG_HS_DOEPCTLx レジスタ）をセットし、OTG_HS_DOEPTSIZx レジスタの適切な XFRSIZ および PKTCNT ビットをセットすることによって、すべての OUT エンドポイントを初期化します。

1. ホストは、データ（OUT トークン）のエンドポイントへの送信を試みます。
2. コアは USB 上で OUT トークンを受信すると、スペースが使用可能なので RxFIFO にパケットを格納します。
3. RxFIFO に完全なパケットを書き込んだ後、コアは RxFLVL 割り込み（OTG_HS_GINTSTS）をアサートします。
4. USB パケットの PKTCNT 番号を受信すると、コアは、それ以上パケットが受信されないように、このエンドポイントの NAK ビットを内部でセットします。
5. アプリケーションは割り込みを処理して RxFIFO からデータを読み出します。
6. アプリケーションがすべてのデータ（XFRSIZ に相当）を読み出すと、コアは XFRC 割り込み（OTG_HS_DOEPINTx）を発生します。
7. アプリケーションは割り込みを処理して、XFRC 割り込みビット（OTG_HS_DOEPINTx）の設定を使用して、意図した転送が完了したかどうかを確認します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

IN データ転送

- **パケットの書き込み**

このセクションでは、専用の送信 FIFO が有効なときに、アプリケーションがスレーブモードでデータパケットをエンドポイント FIFO に書き込む方法について説明します。

1. アプリケーションは、ポーリングまたは割り込みモードのいずれかを選択できます。
   - ポーリングモードでは、アプリケーションは OTG_HS_DTXFSTSx レジスタを読み出すことによってエンドポイント送信データ FIFO のステータスを監視して、データ FIFO に十分なスペースがあるかどうかを確認します。
   - 割り込みモードでは、アプリケーションは TXFE 割り込み（OTG_HS_DIEPINTx）を待ってから OTG_HS_DTXFSTSx レジスタを読み出して、データ FIFO 内に十分なスペースがあるかどうかを確認します。
   - 単一の非ゼロ長データパケットを書き込むには、パケット全体を書き込むためのスペースがデータ FIFO になければなりません。
   - ゼロ長パケットを書き込むには、アプリケーションは FIFO のスペースを考慮してはなりません。
2. 上記の方法の 1 つを使用して、アプリケーションが送信パケットを書き込むのに十分なスペースがあることを確認するときには、アプリケーションは、データをデータ FIFO に書き込む前に、まず、エンドポイント制御レジスタに書き込む必要があります。通常、アプリケーションは、エンドポイントイネーブルビットをセットする場合を除き、レジスタの内容を変更しないように OTG_HS_DIEPCTLx レジスタにリードモディファイライトを行う必要があります。

アプリケーションは、使用可能なスペースがあれば、同じエンドポイントに対する複数のパケットを送信 FIFO に書き込むことができます。周期的 IN エンドポイントの場合、アプリケーションは 1 つのマイクロフレームのパケットのみを書き込む必要があります。アプリケーションは、前のトランザクションの転送完了割り込みを受信した後でのみ、次の周期的トランザクションのパケットを書き込むことができます。

- **IN エンドポイント NAK の設定**

内部データフロー：

1. アプリケーションが特定のエンドポイントの IN NAK をセットすると、コアは、エンドポイントの送信 FIFO にデータがあるかどうかに関係なく、そのエンドポイントでのデータ送信を停止します。
2. 非アイソクロナス IN トークンは NAK ハンドシェイク応答を受信します。
   - アイソクロナス IN トークンはゼロデータ長のパケット応答を受信します。
3. コアは OTG_HS_DIEPCTLx の SNAK ビットに応答して OTG_HS_DIEPINTx の INEPNE 割り込み（IN エンドポイント NAK 有効）をアサートします。
4. この割り込みがアプリケーションによって検出されると、アプリケーションは、エンドポイントが IN NAK モードにあるとみなすことができます。この割り込みは、アプリケーションが OTG_HS_DIEPCTLx の CNAK ビットをセットすることによってクリアできます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

アプリケーションのプログラミングシーケンス：

1. 特定の IN エンドポイントでのデータ送信を停止するには、アプリケーションは INNAK ビットをセットする必要があります。このビットをセットするには、以下のフィールドをプログラムする必要があります。
   – OTG_HS_DIEPCTLx の SNAK = 1
2. OTG_HS_DIEPINTx の NEPNE 割り込みのアサートを待ちます。この割り込みは、コアがエンドポイントでのデータ送信を停止したことを示します。
3. コアは、アプリケーションが NAK ビットをセットした後のNAK有効割り込みがアサートされる前に、エンドポイントで有効な IN データを送信できます。
4. アプリケーションは DIEPMSK の INEPNEM ビットに書き込むことによって、この割り込みを一時的にマスクできます。
   – OTG_HS_DIEPMSK の INEPNEM = 0
5. エンドポイント NAK モードを終了するには、アプリケーションは OTG_HS_DIEPCTLx の NAK ステータスビット（NAKSTS）をクリアする必要があります。これによって INEPNE 割り込み（OTG_HS_DIEPINTx）もクリアされます。
   – OTG_HS_DIEPCTLx の CNAK = 1
6. アプリケーションがこの割り込みはマスクされますするのが早すぎた場合、以下のようにしてマスク解除を行う必要があります。
   – OTG_HS_DIEPMSK の INEPNEM = 1

- **IN エンドポイントディセーブル**

以前に有効にされた特定の IN エンドポイントを無効にするには、以下のシーケンスを使用します。

アプリケーションのプログラミングシーケンス：

1. アプリケーションは AHBでのデータ書き込みを停止して IN エンドポイントを無効にする必要があります。
2. アプリケーションは、エンドポイントを NAK モードに設定する必要があります。
   – OTG_HS_DIEPCTLx の SNAK = 1
3. OTG_HS_DIEPINTx の INEPNE 割り込みを待ちます。
4. 無効にしなければならないエンドポイントについて OTG_HS_DIEPCTLx レジスタの以下のビットをセットします。
   – OTG_HS_DIEPCTLx の EPDIS = 1
   – OTG_HS_DIEPCTLx の SNAK = 1
5. OTG_HS_DIEPINTx レジスタの EPDISD 割り込みのアサートは、コアが指定されたエンドポイントを完全に無効にしたことを示します。割り込みのアサートとともに、コアは、以下のビットもクリアします。
   – OTG_HS_DIEPCTLx の EPENA = 0
   – OTG_HS_DIEPCTLx の EPDIS = 0
6. アプリケーションは、周期的 IN EP について OTG_HS_DIEPTSIZx レジスタを読み出して、エンドポイント上のどれだけのデータが USB で送信されたかを計算する必要があります。
7. アプリケーションは OTG_HS_GRSTCTL レジスタの以下のフィールドを設定することによって、エンドポイント送信 FIFO 内のデータをフラッシュする必要があります。
   – TXFNUM（OTG_HS_GRSTCTL）= エンドポイント送信 FIFO 番号
   – OTG_HS_GRSTCTL の TXFFLSH = 1

アプリケーションは TXFFLSH ビットがコアによってクリアされるまで（フラッシュ動作が終了したことを示す）OTG_HS_GRSTCTL レジスタにポーリングする必要があります。このエンドポイントで新しいデータを送信するために、アプリケーションは後で、エンドポイントを再び有効にできます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

- **一般の非周期的 IN データ転送**

アプリケーションの要件：

1. IN 転送をセットアップする前に、アプリケーションは IN 転送の一部として送信されるすべてのデータが単一バッファの一部であることを確認する必要があります。
2. IN 転送の場合、エンドポイント転送サイズレジスタの転送サイズフィールドは、最大パケットサイズの複数のパケットと単一のショートパケットから成るペイロードを表します。このショートパケットは、転送の最後に送信されます。
   - 転送の終わりにいくつかの最大パケットサイズのパケットとショートパケットを送信するには：

     転送サイズ [EPNUM] = *x* × MPSIZ[EPNUM] + sp

     （sp > 0）の場合、パケットカウント [EPNUM] = x + 1
     そうでない場合、パケットカウント [EPNUM] = x
   - 単一のゼロ長データパケットを送信するには：

     転送サイズ [EPNUM] = 0

     パケットカウント [EPNUM] = 1
   - 転送の終わりにいくつかの最大パケットサイズのパケットとゼロ長データパケットを送信するには、アプリケーションは転送を 2 つの部分に分ける必要があります。最初の部分では最大パケットサイズのデータパケットを送信し、2 番目の部分ではゼロ長データパケットのみを送信します。

     最初の転送：転送サイズ [EPNUM] = x × MPSIZ[epnum]; パケットカウント = n;

     2 番目の転送：転送サイズ [EPNUM] = 0; パケットカウント = 1;
3. エンドポイントがデータ転送のために有効にされると、コアは、転送サイズレジスタを更新します。IN 転送の終了時に、アプリケーションは、転送サイズレジスタを読み出して、送信 FIFO に入れられたデータのうち、どれだけ USB で送信されたかを確認する必要があります。
4. 送信 FIFO にフェッチされたデータ = アプリケーションがプログラムした初期転送サイズ – コアが更新した最終転送サイズ
   - USB で送信されたデータ =（アプリケーションがプログラムした初期パケットカウント – コアが更新した最終パケットカウント）×MPSIZ[EPNUM]
   - USB 上でこれから送信されるデータ =（アプリケーションがプログラムした初期転送サイズ – USB で送信されたデータ）

内部データフロー：

1. アプリケーションは、エンドポイント固有レジスタの転送サイズおよびパケット数フィールドを設定して、データを送信するためにエンドポイントを有効にする必要があります。
2. アプリケーションは、要求されたデータをエンドポイントの送信 FIFO に書き込む必要もあります。
3. アプリケーションによってパケットが送信 FIFO に書き込まれるたびに、そのエンドポイントの転送サイズがパケットのサイズだけデクリメントされます。エンドポイントの転送サイズが 0 になるまで、データはアプリケーションによってメモリからフェッチされます。FIFO にデータを書き込んだ後、「FIFO 内のパケット数」はインクリメントされます（これは 3 ビットのカウントであり、各 IN エンドポイントの送信 FIFO について、コアによって内部で維持されます。IN エンドポイント FIFO 内にコアによって一度に維持されるパケットの最大数は 8 です）。ゼロ長のパケットの場合、各 FIFO について FIFO 内にデータがないことを示す個別のフラグがセットされます。
4. データが送信 FIFO に書き込まれると、コアは IN トークンの受信時に読み出します。非アイソクロナス IN データパケットが ACK ハンドシェイクとともに送信されるたびに、エンドポイントのパケットカウントは 0 になるまで 1 ずつデクリメントされます。パケットカウントは、タイムアウト時にはデクリメントされません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

5. ゼロ長パケットの場合（内部ゼロ長フラグで示されます）、コアは ＩＮ トークンのゼロ長パケットを送出し、パケットカウントフィールドをデクリメントします。
6. 受信された IN トークンのデータが FIFO になく、そのエンドポイントのパケットカウントフィールドがゼロの場合、コアは、そのエンドポイントについて、「TxFIFO がエンプティのとき IN トークンが受信された」という割り込み（ITTXFE 割り込み）を生成します。ただし、エンドポイントの NAK ビットがセットされていない場合に限ります。コアは USB 上の非アイソクロナスエンドポイントに対して NAK ハンドシェイクで応答します。
7. コアは、内部で FIFO ポインタを戻し、タイムアウト割り込みは生成されません。
8. 転送サイズが 0 であり、パケットカウントが 0 のとき、エンドポイントの転送完了割り込み（XFRC）が生成され、エンドポイントイネーブルビットがクリアされます。

アプリケーションのプログラミングシーケンス：

1. OTG_HS_DIEPTSIZx レジスタで転送サイズと対応するパケットカウントをプログラムします。
2. OTG_HS_DIEPCTLx レジスタをエンドポイントの特性でプログラムし、CNAK ビットおよび EPENA（エンドポイントイネーブル）ビットをセットします。
3. 非ゼロ長データパケットを送信するときには、アプリケーションは OTG_HS_DTXFSTSx レジスタ（x はそのエンドポイントに関連する FIFO 番号）にポーリングして、データ FIFO に十分なスペースがあるかどうかを確認する必要があります。アプリケーションは、データを書き込む前に、オプションで TXFE（OTG_HS_DIEPINTx）を使用することができます。

- **一般の周期的 IN データ転送**

このセクションでは、典型的な周期的 IN データ転送について説明します。

アプリケーションの要件：

1. *一般の非周期的 IN データ転送（1543 ページ）*のアプリケーションの要件 1、2、3、および 4 は、要件 2 が少し変更されていることを除いて、周期的 IN データ転送にも適用されます。
   - アプリケーションは複数の最大パケットサイズのパケットの送信、または複数の最大パケットサイズのパケットに最後にショートパケットを加えた送信を行うことができます。転送の終わりにいくつかの最大パケットサイズのパケットとショートパケットを送信するには、以下の条件が満たされなければなりません。

     転送サイズ [EPNUM] = x × MPSIZ[EPNUM] + sp
     （x は整数 ≥ 0、および 0 ≤ sp < MPSIZ[EPNUM]）

     （sp > 0）の場合、パケットカウント [EPNUM] = x + 1
     そうでない場合、パケットカウント [EPNUM] = x;

     MCNT[EPNUM] = パケットカウント [EPNUM]
   - アプリケーションは転送の最後にゼロ長データパケットを送信することはできません。自分で単一のゼロ長パケットを送信することは可能です。単一のゼロ長データパケットを送信するには：
   - 転送サイズ [EPNUM] = 0

     パケットカウント [EPNUM] = 1

     MCNT[EPNUM] = パケットカウント [EPNUM]
2. アプリケーションは一度に 1 フレームのデータ転送のみをスケジュールすることができます。
   - (MCNT – 1) × MPSIZ ≤ XFERSIZ ≤ MCNT × MPSIZ
   - PKTCNT = MCNT (OTG_HS_DIEPTSIZx)
   - XFERSIZ < MCNT × MPSIZ の場合、転送の最後のデータパケットはショートパケットです。
   - 注：MCNT は OTG_HS_DIEPTSIZx レジスタに、MPSIZ は OTG_HS_DIEPCTLx レジスタに、PKTCNT は OTG_HS_DIEPTSIZx レジスタに、また XFERSIZ は OTG_HS_DIEPTSIZx レジスタにあります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

3. フレームで送信される完全なデータは IN トークンが受信される前に、アプリケーションによって送信 FIFO に書き込まれなければなりません。IN トークンが受信されたときに、フレームあたりで送信されるデータの 1 ワードが送信 FIFO 内で欠落していても、コアは FIFO がエンプティである場合のように動作します。送信 FIFO がエンプティのとき：
   – アイソクロナス IN エンドポイントに対して USB 上でゼロデータ長のパケットが送信されます。
   – IN エンドポイントに割り込みをかけるため USB 上で NAK ハンドシェイクが送信されます。
4. 1 フレームに 3 個のパケットを持つ広帯域 IN エンドポイントの場合、アプリケーションはエンドポイン FIFO サイズを 2 × max_pkt_size にプログラムして、最初のパケットを USB へ送信した後に 3 番目のパケットをロードすることができます。

内部データフロー：

1. アプリケーションは、エンドポイント固有レジスタの転送サイズおよびパケット数フィールドを設定して、データを送信するためにエンドポイントを有効にする必要があります。
2. アプリケーションは、要求されたデータをエンドポイントの関連する送信 FIFO に書き込む必要があります。
3. アプリケーションがパケットを送信 FIFO に書き込むたびに、そのエンドポイントの転送サイズがパケットのサイズだけデクリメントされます。エンドポイントの転送サイズが 0 になるまで、アプリケーションメモリからデータがフェッチされます。
4. 周期的エンドポイントの IN トークンが受信されると、コアは FIFO のデータ（ある場合）を送信します。フレームの完全なデータペイロード（専用 FIFO モードでは完全なパケット）が FIFO に存在しない場合、コアは、エンドポイントに対する TxFIFO エンプティ割り込みが受信されたときに IN トークンを発生します。
   – アイソクロナス IN エンドポイントに対して USB 上でゼロ長のデータパケットが送信されます。
   – IN エンドポイントに割り込みをかけるため USB 上で NAK ハンドシェイクが送信されます。
5. エンドポイントのパケットカウントは、以下の条件のもとで 1 ずつデクリメントされます。
   – アイソクロナスエンドポイントに対して、ゼロ長または非ゼロ長データパケットが送信されたとき。
   – 割り込みエンドポイントに対して ACK ハンドシェイクが送信されたとき。
   – 転送サイズとパケットカウントの両方が 0 のとき、エンドポイントに対して転送完了割り込み（XFRC）が生成され、エンドポイントイネーブルビットがクリアされます。
6. 「周期的フレームインターバル」（OTG_HS_DCFG の PFIVL によって制御されます）で、コアが現在のフレームについてスケジュールされたアイソクロナス IN エンドポイント FIFO のいずれかが非エンプティであることを検出すると、コアは OTG_HS_GINTSTS の IISOIXFR 割り込みを生成します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

アプリケーションのプログラミングシーケンス：

1. OTG_HS_DIEPCTLx レジスタをエンドポイントの特性でプログラムして CNAKおよび EPENA ビットをセットします。
2. 次のフレームで送信するデータを送信 FIFO に書き込みます。
3. OTG_HS_DIEPINTx レジスタの ITTXFE 割り込みのアサートは、アプリケーションが送信するすべてのデータを送信 FIFO にまだ書き込んでいないことを示します。
4. この割り込みが検出されたときに、割り込みエンドポイントがすでに有効だった場合、割り込みは無視されます。まだ有効になっていなかった場合、次の IN トークンの試みでデータを送信できるように、エンドポイントを有効にします。
5. OTG_HS_DIEPINTx レジスタの ITTXFE 割り込みがない状態での XFRC 割り込み（OTG_HS_DIEPINTx）のアサートは、アイソクロナス IN 転送が正常に完了したことを示します。OTG_HS_DIEPTSIZx レジスタの読み出し結果は、転送サイズ = 0、かつパケットカウント = 0、すなわち、すべてのデータが USB で送信されたことを示さなければなりません。
6. ITTXFE 割り込み（OTG_HS_DIEPINTx）の有無にかかわらず XFRC 割り込み（OTG_HS_DIEPINTx）のアサートは、アイソクロナス IN 転送が正常に完了したことを示します。OTG_HS_DIEPTSIZx レジスタの読み出し結果は、転送サイズ = 0、かつパケットカウント = 0、すなわち、すべてのデータが USB で送信されたことを示さなければなりません。
7. 前述のどの割り込みもない状態での OTG_HS_GINTSTS の不完全アイソクロナス IN 転送（IISOIXFR）割り込みのアサートは、コアが現在のフレームで少なくとも 1 つの周期的 IN トークンを受信しなかったことを示します。

- **不完全アイソクロナス IN データ転送**

このセクションでは、アプリケーションが不完全なアイソクロナス IN データ転送で行う必要があることについて説明します。

内部データフロー：

1. アイソクロナス IN 転送は、以下の条件のいずれかがあてはまる場合に不完全として扱われます。
   a) コアが、少なくとも 1 つのアイソクロナス IN エンドポイントで不完全なアイソクロナス IN トークンを受信した場合。この場合、アプリケーションは、不完全アイソクロナス IN 転送割り込み（OTG_HS_GINTSTS の IISOIXFR ビット）を検出します。
   b) アプリケーションが完全なデータペイロードを送信 FIFO に書き込むのに時間がかかり、完全なデータペイロードが FIFO に書き込まれる前に IN トークンが受信された場合。この場合、アプリケーションは OTG_HS_DIEPINTx の TxFIFO エンプティ割り込み時に IN トークンの受信を検出します。最終的には、周期的フレームの終わりので不完全アイソクロナス IN 転送割り込み（OTG_HS_GINTSTS の IISOIXFR）になるので、アプリケーションはこの割り込みを無視することができます。

   コアは、受信した IN トークンに応答して USB 上にゼロ長データパケットを送信します。
2. アプリケーションは、できるだけ速やかに、送信 FIFO へのデータペイロードの書き込みを停止する必要があります。
3. アプリケーションは、エンドポイントの NAK ビットとディセーブルビットをセットする必要があります。
4. コアは、エンドポイントを無効にし、ディセーブルビットをクリアし、エンドポイントのエンドポイントディセーブル割り込みをアサートします。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

アプリケーションのプログラミングシーケンス：

1. 最終的には不完全アイソクロナス IN 転送割り込み（OTG_HS_GINTSTS）になるので、アプリケーションは､アイソクロナス IN エンドポイントで OTG_HS_DIEPINTx の TxFIFO エンプティ割り込み時に受信された IN トークンを無視することができます。
2. 不完全アイソクロナス IN 転送割り込み（OTG_HS_GINTSTS）のアサートは、少なくとも 1 つのアイソクロナス IN エンドポイントで不完全アイソクロナス IN 転送があったことを示します。
3. アプリケーションは、すべてのアイソクロナス IN エンドポイントのエンドポイント制御レジスタを読み出して、不完全 IN データ転送があるエンドポイントを検出する必要があります。
4. アプリケーションは AHB 上でこれらのエンドポイントに関連する周期的送信 FIFO へのデータの書き込みを停止する必要があります。
5. OTG_HS_DIEPCTLx レジスタの以下のフィールドをプログラムして、エンドポイントを無効にします。
   - OTG_HS_DIEPCTLx の SNAK = 1
   - OTG_HS_DIEPCTLx の EPDIS = 1
6. OTG_HS_DIEPINTx のエンドポイントディセーブル割り込みのアサートは、コアがエンドポイントを無効にしたことを示します。
   - この時点で、アプリケーションは、次のマイクロフレームで新しい転送を行うために、関連する送信 FIFO 内のデータを一掃するか、エンドポイントを有効にすることによって FIFO 内の既存のデータに上書きする必要があります。データを一掃するには、アプリケーションは OTG_HS_GRSTCTL レジスタを使用する必要があります。

- **非アイソクロナス IN エンドポイントの停止**

このセクションでは、アプリケーションが非アイソクロナスエンドポイントを停止する方法について説明します。

アプリケーションのプログラミングシーケンス：

1. 停止する IN エンドポイントを無効にします。STALL ビットもセットします。
2. エンドポイントがすでに有効になっているときには OTG_HS_DIEPCTLx の EPDIS = 1。
   - OTG_HS_DIEPCTLx の STALL = 1
   - STALL ビットは常に NAK ビットより優先されます。
3. エンドポイント無効割り込み（OTG_HS_DIEPINTx）のアサートは、コアが指定されたエンドポイントを無効にしたことをアプリケーションに示します。
4. アプリケーションは、エンドポイントのタイプに応じて、非周期的または周期的 FIFO をフラッシュする必要があります。非周期的エンドポイントの場合、アプリケーションは、データを送信するために、停止する必要がない他の非周期的エンドポイントを再び有効にする必要があります。
5. アプリケーションがエンドポイントの STALL ハンドシェイクを終了する準備ができたときには OTG_HS_DIEPCTLx の STALL ビットがクリアされなければなりません。
6. アプリケーションが SetFeature.Endpoint Halt コマンドまたは ClearFeature.Endpoint Halt コマンドのためにエンドポイントの STALL ビットをセットまたはクリアする場合 STALL ビットは、アプリケーションが制御エンドポイントでステータスステージ転送をセットアップする前にセットまたはクリアされなければなりません。

特殊なケース：制御 OUT エンドポイントの停止

制御転送のデータステージで、ホストが SETUP パケットで指定されたより多くの IN/OUT トークンを送信した場合、コアは IN/OUT トークンを停止する必要があります。この場合、アプリケーションは、コアが SETUP パケットで指定されたデータ量を転送した後、制御転送のデータステージで OTG_HS_DIEPINTx の ITTXFE 割り込みと OTG_HS_DOEPINTx の OTEPDIS 割り込みを有効にしなければなりません。その後、アプリケーションがこの割り込みを受信したとき、アプリケーション

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

は、対応するエンドポイント制御レジスタの STALL ビットをセットし、この割り込みをクリアする必要があります。

35.13.8 最悪ケースの応答時間

OTG_HS コントローラがデバイスとして機能するとき、アイソクロナス OUT に続く任意のトークンで、最悪ケースの応答時間があります。この最悪ケース応答時間は AHB クロック周波数に依存します。

コアのレジスタは AHB ドメインにあり、コアはこれらのレジスタを更新するまでは、別のトークンを受け入れません。アイソクロナストランザクションの場合、ハンドシェイクはなく、次のトークンがすぐに入ってくる可能性があるため、アイソクロナス OUT に続くトークンで最悪ケースが生じます。この最悪ケース値は AHB クロックが PHY クロックと同じときには 7 PHY クロックです。AHB クロックが ハイスピードなほど、この値は小さくなります。

この最悪ケース条件が発生した場合、コアは、バルク／割り込みトークンに NAK で応答し、アイソクロナスおよび SETUP トークンをドロップします。ホストは、これを SETUP のタイムアウト条件と解釈して SETUP パケットを再試行します。アイソクロナス転送の場合、不完全アイソクロナス IN 転送割り込み（IISOIXFR）と不完全アイソクロナス OUT 転送割り込み（IISOOXFR）は、アイソクロナス IN/OUT パケットがドロップされたことをアプリケーションに知らせます。

OTG_HS_GUSBCFG の TRDT の値の選択

TRDT（OTG_HS_GUSBCFG）の値は MAC が IN トークンを受信した後、FIFO ステータスと PFC ブロックから最初のデータを取得するまでの時間（PHY クロック数）です。この時間には PHY クロックと AHB クロック間の同期遅延も含まれます。この場合の最悪なケースの遅延は AHB クロックが PHY クロックと同じときに発生します。この場合、遅延は 5 クロックです。

MAC が IN トークンを受信すると、この情報（トークンの受信）は PFC（PFC は AHB クロックで動作します）によって AHB に同期されます。次に PFC は SPRAM からデータを読み出し、それらをデュアルクロックソースバッファに書き込みます。MAC は、データをソースバッファ（深さ 4）から読み出します。

AHB が PHY より高い周波数で動作している場合､アプリケーションは TRDT(OTG_HS_GUSBCFG) の値として、より小さな値を使用することができます。

図 426 には以下の信号があります。

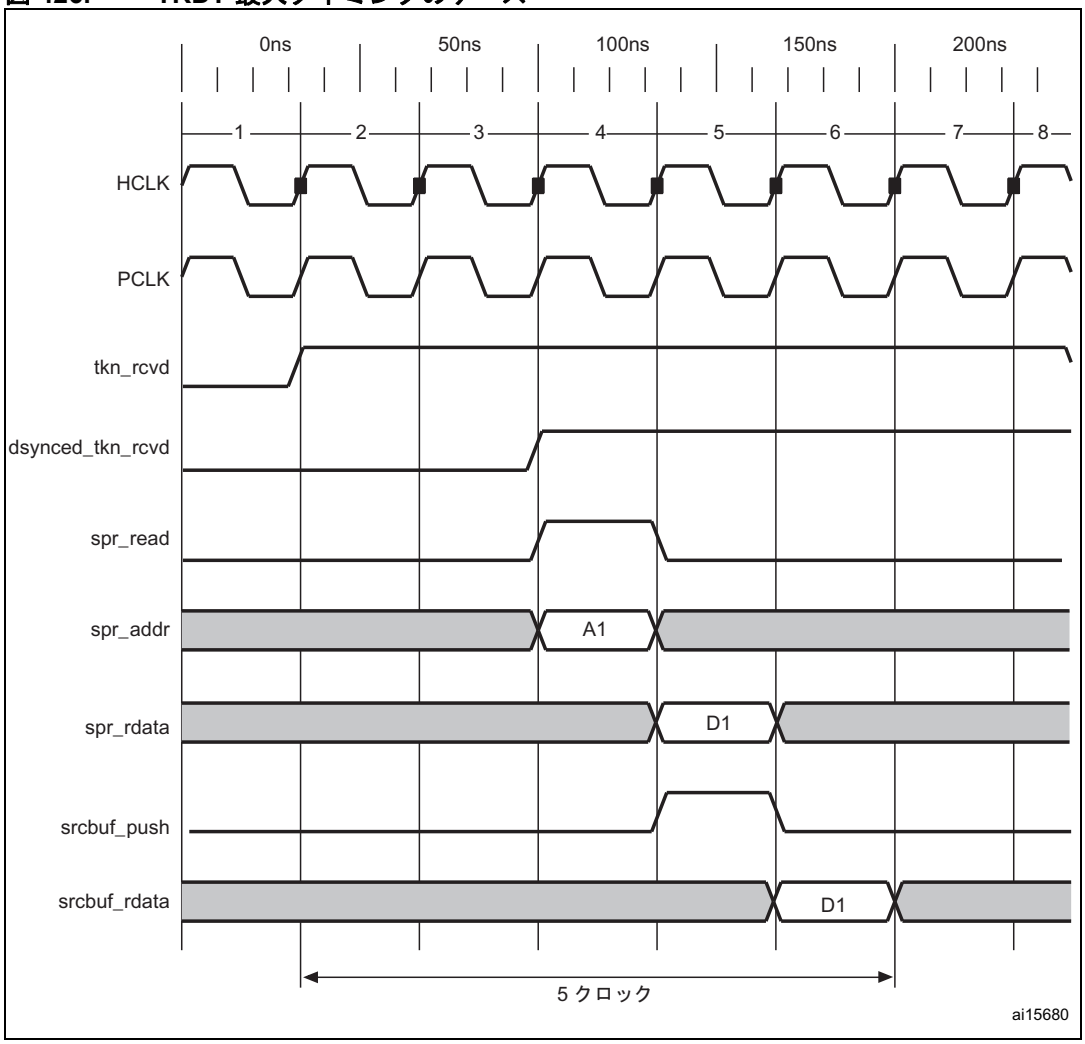
- tkn_rcvd：MAC から PFC へのトークンが受信されたという情報
- dynced_tkn_rcvd：PCLK から HCLK ドメインへの二重同期 tkn_rcvd
- spr_read：SPRAM への読み出し
- spr_addr：SPRAM へのアドレス
- spr_rdata：SPRAM からのデータの読み出し
- srcbuf_push：ソースバッファへのプッシュ
- srcbuf_rdata：ソースバッファからのデータの読み出し。MAC によるデータの検出

アプリケーションは次の式を使用して TRDT の値を計算できます。

4 × AHB クロック + 1 PHY クロック = (2 クロック同期 + 1 クロックメモリアドレス + 同期 RAM からの 1 クロックメモリデータ)+ (1 PHY クロック (次の PHY クロック MAC は 2 クロック FIFO 出力をサンプリングできます)

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 426. TRDT 最大タイミングのケース



35.13.9 OTG プログラミングモデル

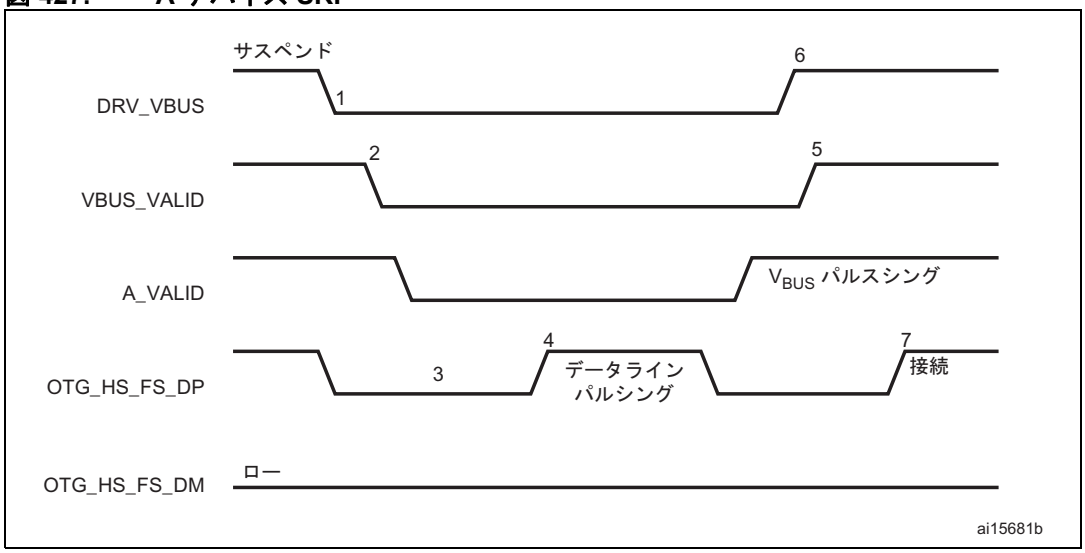
OTG_HS コントローラは HNP と SRP をサポートする OTG デバイスです。コアが A プラグに接続されると A デバイスと呼ばれます。コアが B プラグに接続されると B デバイスと呼ばれます。ホストモードでは OTG_HS コントローラは、電力を節約するために V_{BUS} をオフにします。SPR は B デバイスが A デバイスに V_{BUS} 電源をオンにするように信号を送る手段です。デバイスは、データラインパルシングと V_{BUS} パルシングの両方を実行する必要がありますが、ホストは SRP のデータラインパルシングか V_{BUS} パルシングのどちらかを検出することができます。HNP は B デバイスがネゴシエイトし、役割をホストに切り替える手段です。HNP 後のネゴシエイトモードでは、B デバイスはバスをサスペンドし、その役割をデバイスに戻します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

A デバイスセッションリクエストプロトコル

アプリケーションは、コア USB 設定レジスタの SRP 対応ビットをセットする必要があります。これによって OTG_HS コントローラは SRP を A デバイスとして検出できるようになります。

図 427. A デバイス SRP



1. DRV_VBUS = PHY への V_{BUS} 駆動信号
   VBUS_VALID = PHY からの V_{BUS} 有効信号
   A_VALID = PHY への A デバイス V_{BUS} レベル信号
   DP = データ正ライン
   DM = データ負ライン

1. 節電のためには、アプリケーションは、バスがアイドル状態のときに、ホストポート制御およびステータスレジスタのポートサスペンドおよびポートパワービットに書き込むことによって、ポート電源をオフにします。
2. PHY は VBUS_VALID 信号をネゲートすることによって、ポート電源のオフを示します。
3. デバイスはV_{BUS}電源がオフになると SRP を開始するために少なくとも 2 ms 以上 SE0 を検出しなければなりません。
4. SRP を開始するには、デバイスはデータラインプルアップ抵抗を 5～10 ms の間オンにします。OTG_HS コントローラはデータラインのパルシングを検出します。
5. デバイスは V_{BUS} パルシングに対して V_{BUS} を A デバイスセッション有効レベル以上（最低 2.0 V）に駆動します。

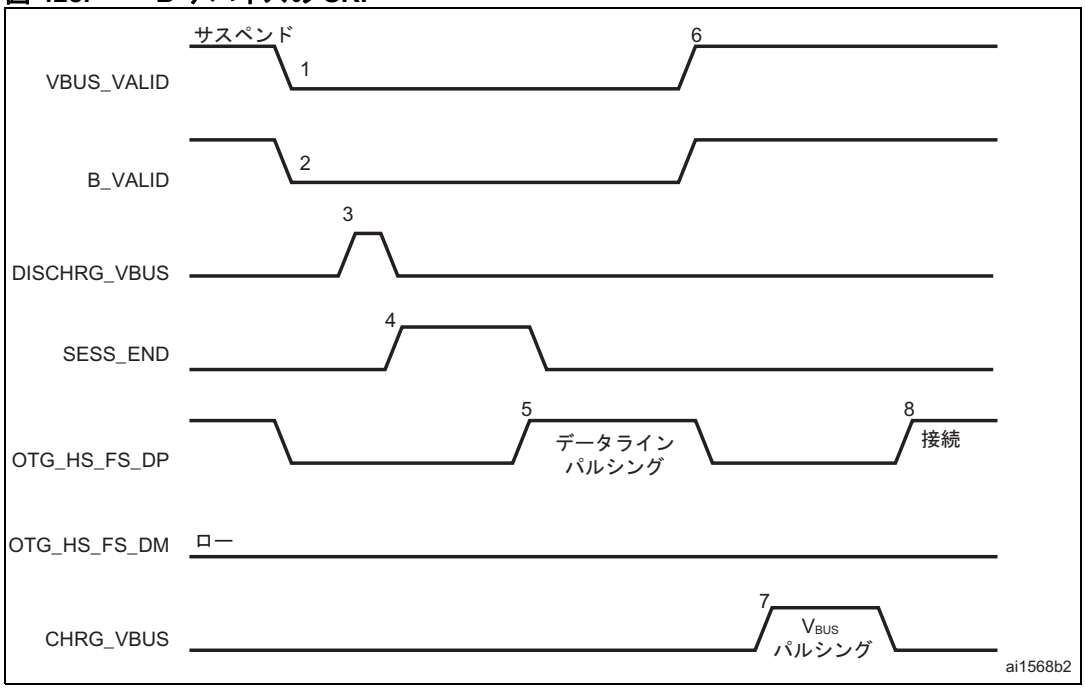
   OTG_HS コントローラは SRP を検出すると、アプリケーションに割り込みをかけます。グローバル割り込みステータスレジスタのセッションリクエスト検出ビットがセットされます（OTG_HS_GINTSTS の SRQINT）。
6. アプリケーションは、セッションリクエスト検出割り込みを処理して、ホストポート制御およびステータスレジスタのポートパワービットに書き込むことによって、ポート電源をオンにする必要があります。PHY は VBUS_VALID 信号をアサートすることによって、ポート電源がオンになったことを示します。
7. USB に電源が投入されると、デバイスが接続され SRP プロセスが完了します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

B デバイスセッションリクエストプロトコル

アプリケーションは、コア USB 設定レジスタの SRP 対応ビットをセットする必要があります。これによって OTG_HS コントローラは SRP を B デバイスとして扱えるようになります。SRP は OTG_HS コントローラがホストからの新しいセッションをリクエストする手段です。

図 428. B デバイスの SRP



1. VBUS_VALID = PHY からの V_{BUS} 有効信号
   B_VALID = PHY への B デバイス有効セッション信号
   DISCHRG_VBUS = PHY への放電信号
   SESS_END = PHY へのセッション終了信号
   CHRG_VBUS = PHY への V_{BUS} 充電信号
   DP = データ正ライン
   DM = データ負ライン

1. 節電のために、ホストはバスがアイドル状態のときはポート電源をオフにします。

   OTG_HS コントローラは、バスがアイドル状態になってから 3 ms 後に、コア割り込みレジスタの早期サスペンドビットをセットします。これに続いて OTG_HS コントローラは、コア割り込みレジスタの USB サスペンドビットをセットします。

   OTG_HS コントローラは PHY に V_{BUS}を放電するように通知します。

2. PHY はデバイスにセッションの終了を知らせます。これが SRP の初期条件です。OTG_HS コントローラは SRP を初期化する前に 2 ms の SE0 を必要とします。

   USB 1.1 フルスピードシリアルトランシーバの場合、アプリケーションは BSVLD（OTG_HS_GOTGCTL）がネゲートされた後 V_{BUS} が 0.2 V まで放電するまで待つ必要があります。この放電時間の値は、トランシーバのベンダから入手でき、ベンダごとに異なります。

3. USB OTG コアは PHY に V_{BUS}の放電を加速させることを通知します。

4. アプリケーションは OTG 制御およびステータスレジスタのセッションリクエストビットに書き込むことによって SRP を開始します。OTG_HS コントローラは、データラインパルシングに続いて V_{BUS} パルシングを実行します。

5. ホストは、データラインパルシングまたは V_{BUS} パルシングから SRP を検出してV_{BUS}をオンにします。PHY は、デバイスに V_{BUS} 電源オンを知らせます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

6. OTG_HS コントローラは V_{BUS} パルシングを実行します。

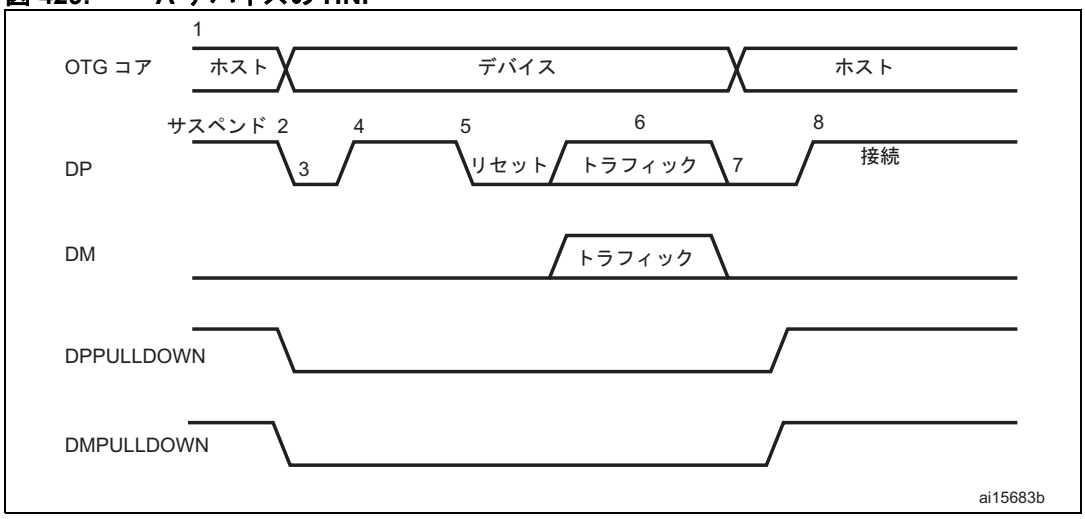
   ホストは V_{BUS}をオンにして SRP が成功したことを示すことによって、新しいセッションを開始します。OTG_HS コントローラは OTG 割り込みステータスレジスタのセッションリクエスト成功ステータス変化ビットをセットすることによって、アプリケーションに割り込みをかけます。アプリケーションは OTG 制御およびステータスレジスタのセッションリクエスト成功ビットを読み出します。

7. USB に電源が投入されると OTG_HS コントローラが接続され SRP プロセスが完了します。

A デバイスホストネゴシエーションプロトコル

HNP は USB ホストの役割を A デバイスから B デバイスに切り替えます。アプリケーションは OTG_HS コントローラが HNP を A デバイスとして実行できるように、コア USB 設定レジスタの HNP 対応ビットをセットする必要があります。

図 429. A デバイスの HNP



1. DPPULLDOWN = PHY 内部の DP ライン上でプルダウンを有効／無効にするためのコアから PHY への信号
   DMPULLDOWN = PHY 内部の DM ライン上でプルダウンを有効／無効にするためのコアから PHY への信号

1. OTG_HS コントローラは Set Featune b_hnp_enable 記述子を B デバイスに送信して、HNP サポートを有効にします。B デバイスの ACK 応答は B デバイスが HNP をサポートしていることを示します。アプリケーションは OTG 制御およびステータスレジスタのセット HNP イネーブルビットをセットして、B デバイスが HNP をサポートしていることを OTG_HS コントローラに示す必要があります。
2. アプリケーションがバスの使用を終了したときには、ホストポート制御およびステータスレジスタのポートサスペンドビットに書き込むことによって、サスペンドします。
3. B デバイスが USB サスペンドを検出すると、切断して HNP の初期条件を示します。B デバイスは、ホストの役割に切り替える必要があるときにのみ HNP を開始します。そうでないときには、バスはサスペンド状態を継続します。

   OTG_HS コントローラは OTG 割り込みステータスレジスタのホストネゴシエーション検出割り込みをセットして HNP の開始を示します。

   OTG_HS コントローラは PHY の DP プルダウンと DM プルダウンをネゲートして、デバイスの役割を示します。PHY は OTG_HS_DP プルアップ抵抗を有効にして B デバイスの接続を示します。

   アプリケーションは OTG 制御およびステータスレジスタの現在モードビットを読み出して、ペリフェラルモードの動作を確認する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

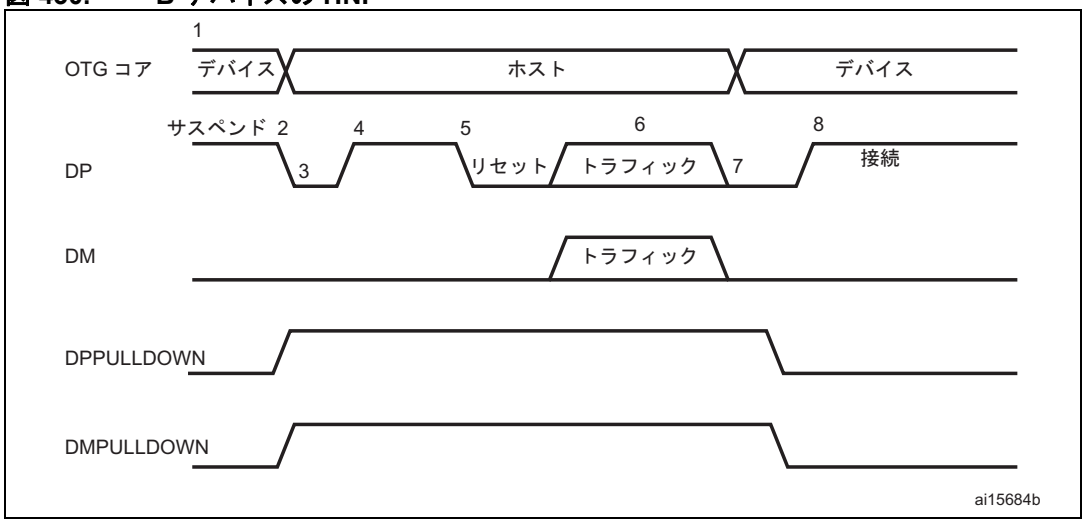
4. B デバイスは接続を検出し USB リセットを発行し、データトラフィックのために OTG_HS コントローラをエニュメレーションします。
5. B デバイスはホストの役割を継続し、トラフィックを開始し、終了時にはバスをサスペンドします。

   OTG_HS コントローラは、バスがアイドル状態になってから 3 ms 後に、コア割り込みレジスタの早期サスペンドビットをセットします。これに続いて OTG_HSコントローラは、コア割り込みレジスタの USB サスペンドビットをセットします。
6. ネゴシエートモードでは OTG_HS コントローラは、サスペンドを検出して切断し、ホストの役割に戻ります。OTG_HS コントローラは、ホストの役割の前提を示すために PHYの DP プルダウンと DM プルダウンをアサートします。
7. OTG_HS コントローラはOTG 割り込みステータスレジスタのコネクタ ID ステータス変更割り込みをセットします。アプリケーションは OTG制御およびステータスレジスタのコネクタ ID ステータスを読み出して OTG_HSコントローラの動作が A デバイスであることを確認する必要があります。これはHNP の完了をアプリケーションに示します。アプリケーションは OTG制御およびステータスレジスタの現在モードビットを読み出して、ホストモードの動作を確認する必要があります。
8. B デバイスが接続され HNPプロセスが完了します。

B デバイスホストネゴシエーションプロトコル

HNP は USB ホストの役割を B デバイスから A デバイスに切り替えます。アプリケーションは OTG_HS コントローラが HNP を B デバイスとして実行できるように、コア USB 設定レジスタの HNP 対応ビットをセットする必要があります。

図 430. B デバイスの HNP



1. DPPULLDOWN = PHY 内部の DP ライン上でプルダウンを有効／無効にするためのコアから PHY への信号
   DMPULLDOWN = PHY 内部の DM ライン上でプルダウンを有効／無効にするためのコアから PHY への信号

1. A デバイスは Set Featune b_hnp_enable 記述子を送信して HNP サポートを有効にします。OTG_HS コントローラの ACK 応答は、それが HNP をサポートしていることを示します。アプリケーションは、OTG 制御およびステータスレジスタのデバイス HNP イネーブルビットをセットして HNPをサポートしていることを示す必要があります。

   アプリケーションは、OTG制御およびステータスレジスタの HNP リクエストビットをセットして、HNP を開始することを OTG_HS コントローラに示す必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

2. A デバイスがバスの使用を終了したときには、ホストポート制御およびステータスレジスタのポートサスペンドビットに書き込むことによってサスペンドします。

   OTG_HS コントローラは、バスがアイドル状態になってから 3 ms 後に、コア割り込みレジスタの早期サスペンドビットをセットします。これに続いて OTG_HSコントローラは、コア割り込みレジスタの USB サスペンドビットをセットします。

   OTG_HS コントローラは切断され、A デバイスはバス上で SE0 を検出して HNP を示します。OTG_HS コントローラは、ホストの役割の前提を示すためにPHYのDPプルダウンと DM プルダウンをアサートします。

   A デバイスは SE0 を検出してから 3 ms 以内に OTG_HS_DP プルアップ抵抗を有効化することによって応答します。OTG_HS コントローラはこれを接続として検出します。

   OTG_HS コントローラはOTG 割り込みステータスレジスタのホストネゴシエーション成功ステータス変更割り込みをセットして、HNP ステータスを示します。アプリケーションはOTG 制御およびステータスレジスタのホストネゴシエーション成功ビットを読み出して、ホストネゴシエーションの成功を確認する必要があります。アプリケーションは、コア割り込みレジスタ（OTG_HS_GINTSTS）の現在モードビットを読み出して、ホストモードの動作を確認する必要があります。

3. アプリケーションはリセットビット（OTG_HS_HPRT の PRST）をセットし、OTG_HS コントローラは USB リセットを発行し、データトラフィックのために A デバイスをエニュメレーションします。

4. OTG_HS コントローラは、トラフィックを開始するというホストの役割を継続し、これが終了すると、ホストポート制御およびステータスレジスタのポートサスペンドビットに書き込むことによってバスをサスペンドします。

5. ネゴシエートモードでは、A デバイスは、サスペンドを検出すると、接続を切断し、ホストの役割に戻ります。OTG_HS コントローラは PHYの DP プルダウンと DM プルダウンをネゲートして、デバイスの役割の前提を示します。

6. アプリケーションは、コア割り込みレジスタ（OTG_HS_GINTSTS）の現在モードビットを読み出して、ホストモードの動作を確認する必要があります。

7. OTG_HS コントローラが接続され HNP プロセスが完了します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

36 フレキシブルスタティックメモリコントローラ（FSMC）

このセクションは、STM32F40x/41x ファミリ全体にのみ適用されます。

36.1 FSMC の主な機能

FSMC ブロックは、同期および非同期メモリと 16 ビット PC メモリカードとインタフェースできます。主な目的は、次のとおりです。

- AHB トランザクションを適切な外部プロトコルへ変換
- 外部デバイスのアクセスタイミング要件を満たす

すべての外部メモリは、アドレス、データ、および制御信号をコントローラと共有します。各外部デバイスは、一意なチップセレクトによってアクセスされます。FSMC は、外部デバイスに対して、一度に 1 つのアクセスを行います。

FSMC は、以下のような主な機能を備えています。

- スタティックメモリマップデバイスとのインタフェース
  - スタティックランダムアクセスメモリ（SRAM）
  - NOR 型フラッシュメモリ/OneNAND フラッシュメモリ
  - PSRAM （4 メモリバンク）
- ECC ハードウェアと 2 バンクの NAND 型フラッシュにより 8KB までのデータをチェック
- 16 ビット PC カード互換デバイス
- 同期デバイスへのバーストモードアクセスをサポート（NOR 型フラッシュおよび PSRAM）
- 8 または 16 ビット幅のデータバス
- メモリバンクごとに独立したチップセレクト制御
- メモリバンクごとに独立した構成
- 広範囲なデバイスをサポートするプログラマブルタイミング
  - プログラマブルウェイトステート（15 まで）
  - プログラマブルバスターンアラウンドサイクル（15 まで）
  - プログラマブルな出力イネーブルおよび書き込みイネーブル遅延（15 まで）
  - 独立した読み出しおよび書き込みタイミングとプロトコルにより、広範囲なメモリおよびタイミングをサポート
- PSRAM および SRAM デバイス用書き込みイネーブルとバイトレーン選択出力
- 32 ビット幅 AHB トランザクションを外部 16 ビットまたは 8 ビットデバイスへの連続した 16 ビットまたは 8 ビットアクセスに変換
- アドレスではなくデータのみを格納する 32 ビット幅、2 ワード長（STM32F42x と STM32F43x では 16 ワード長）の書き込み FIFO。したがって、この FIFO は AHB 書き込みバーストトランザクションのみをバッファします。このため、低速なメモリに書き込んで、AHB を他の動作のために迅速に解放できます。一度に 1 つのバーストのみがバッファされます。動作中に新しい AHB バーストまたは単一のトランザクションが発生した場合、FIFO の内容が読み出されます FSMC は、現在のメモリアクセスが完了するまでウエイトステートを挿入します。
- 外部非同期ウェイト制御

外部デバイスタイプおよびその特性を定義する FSMC レジスタは、通常、起動時に設定され、次のリセットまたは電源投入まで変更されません。ただし、設定の変更はいつでも可能です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

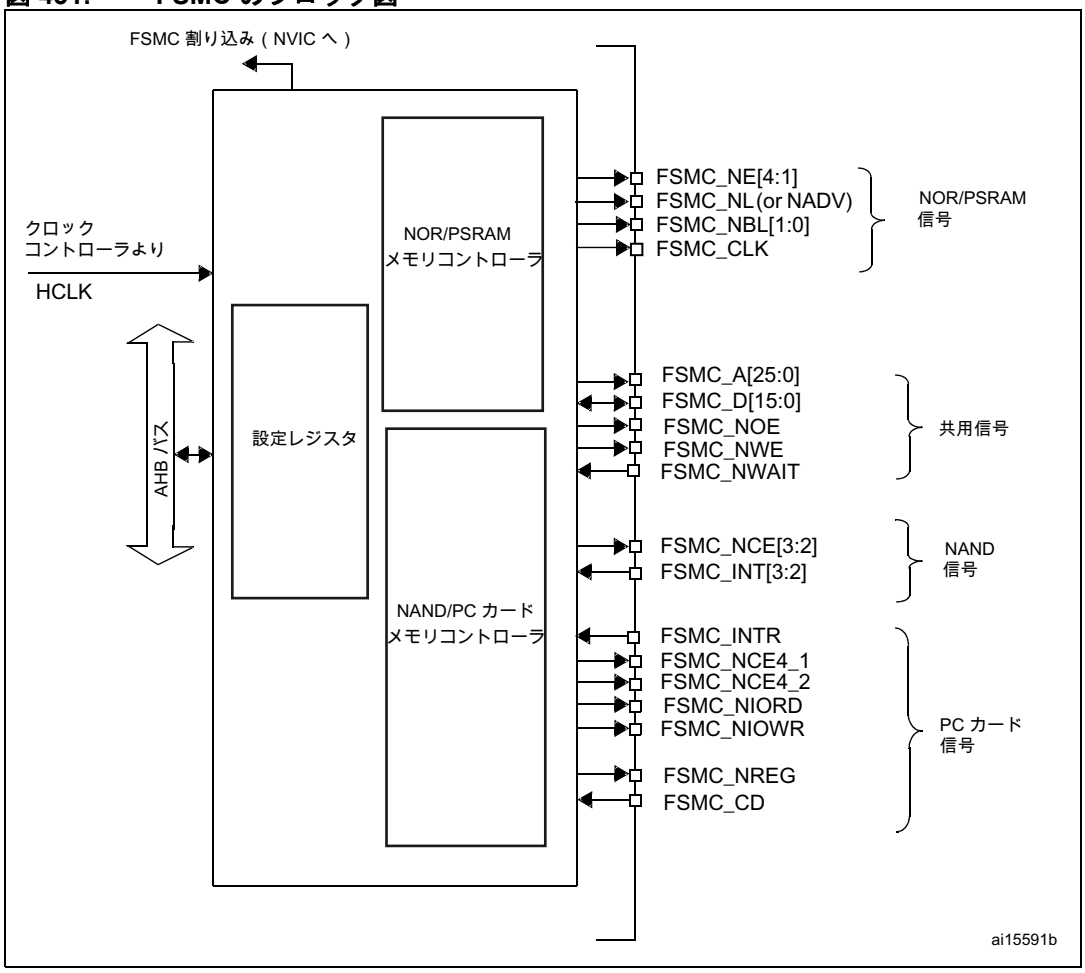
36.2 ブロック図

FSMC は 4 つのメインブロックで構成されます。

- AHB インタフェース（FSMC 構成レジスタを含む）
- NOR 型フラッシュ /PSRAM コントローラ
- NAND 型フラッシュ /PC カードコントローラ
- 外部デバイスインタフェース

図 431 にブロック図を示します。

図 431. FSMC のブロック図



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

36.3 AHB インタフェース

AHB スレーブインタフェースは、内部 CPU および他のバスマスタペリフェラルから外部スタティックメモリへのアクセスを可能にします。

AHB トランザクションは、外部デバイスプロトコルに変換されます。特に、選択された外部メモリが 16 または 8 ビット幅の場合、AHB 上の 32 ビット幅のトランザクションは、16 または 8 ビットの連続したアクセスに分割されます。チップセレクトは各アクセスに対してトグルします。

FSMC は、以下の条件下で AHB エラーを生成します。

- 有効でない FSMC バンクの読み出しまたは書き込みを行ったとき。
- FSMC_BCRx レジスタの FACCEN ビットがリセットされている状態で NOR 型フラッシュバンクの読み出しまたは読み出しを行ったとき。
- 入力ピン FSMC_CD（Card Presence Detection）がローの状態で PC カードバンクの読み出しまたは書き込みを行ったとき。

この AHB エラーの影響は、R/W アクセスを試みた AHB マスタに依存します。

- FPU 搭載 Cortex™-M4 CPU の場合は、ハードフォールト割り込みが発生します。
- DMA の場合は、DMA 転送エラーが発生し、対応する DMA チャネルが自動的に無効になります。

AHB クロック（HCLK）は、FSMC のリファレンスクロックです。

36.3.1 サポートされるメモリおよびトランザクション

一般的なトランザクション規則

リクエストされる AHB トランザクションのデータサイズは、アクセスされる外部デバイスのデータ幅が固定であっても、8、16、または 32 ビット幅です。このため、転送に矛盾が生じることがあります。

したがって、次のようないくつかの単純なトランザクション規則を守る必要があります。

- AHB トランザクションサイズとメモリデータサイズが等しい場合。
  この場合は問題ありません。
- AHB トランザクションサイズがメモリサイズより大きい場合。
  この場合、FSMC は、AHB トランザクションを外部データ幅に合わせて、連続した小さなメモリアクセスに分割します。
- AHB トランザクションサイズがメモリサイズより小さい場合。
  外部デバイスのタイプによっては、非同期転送に一貫性がなくなる場合があります。
  - バイト選択機能を持つデバイス（SRAM、ROM、PSRAM）への非同期アクセスの場合。
    a）FSMC は、書き込みトランザクションを許可して、バイトレーン NBL[1:0] を通じて正しいデータにアクセスします。
    b）読み出しトランザクションを許可します。すべてのメモリバイトが読み出され、不要なバイトは無視されます。NBL[1:0] は読み出しトランザクション中ローレベルに維持されます。
  - バイト選択機能を持たないデバイス（NOR および NAND 型フラッシュ 16 ビット）への非同期アクセスの場合。
    この状況は、16 ビット幅のフラッシュメモリへのバイトアクセスが要求されたときに発生します。明らかに、このデバイスにはバイトモードではアクセスできません（フラッシュメモリでは 16 ビットワードでの読み出し/書き込みしかできません）。したがって、
    a) 書き込みトランザクションは許可されません。
    b) 読み出しトランザクションが許可されます。すべてのメモリバイトが読み出され、不要なバイトは無視されます。NBL[1:0] は読み出しトランザクション中 0 に設定されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

設定レジスタ

FSMC は、レジスタセットを使用して構成できます。NOR 型フラッシュ /PSRAM 制御レジスタの詳細については、*セクション 36.5.6* を参照してください。NAND 型フラッシュ /PC カードレジスタの詳細については、*セクション 36.6.8* を参照してください。

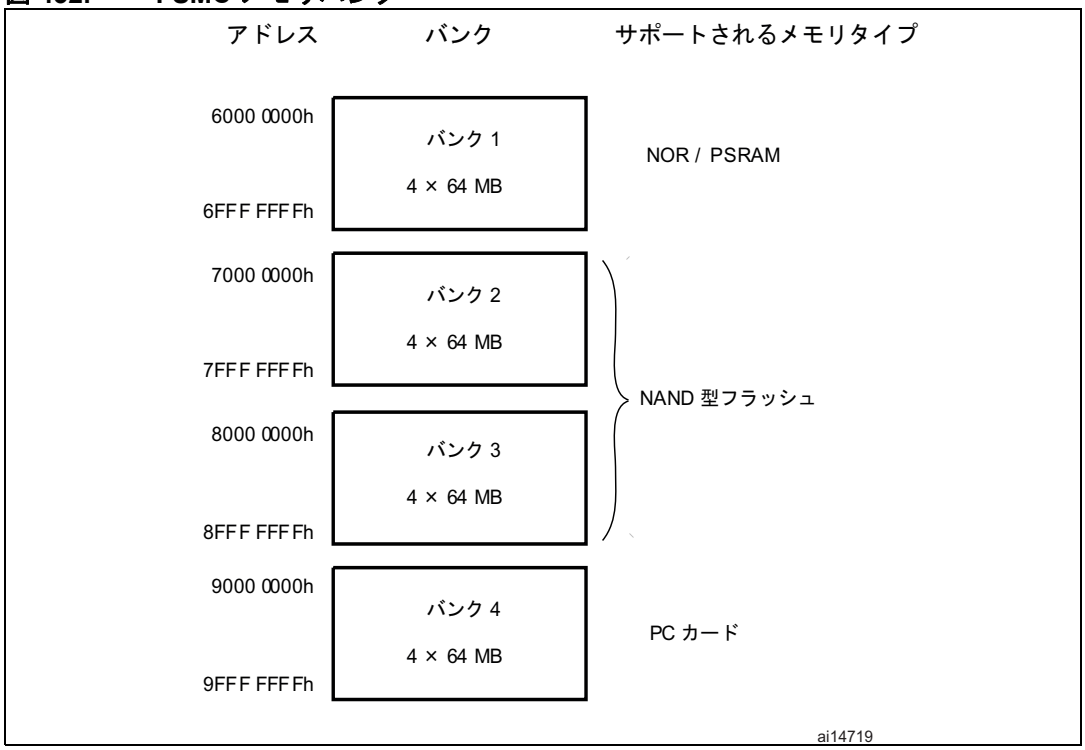
36.4 外部デバイスアドレスマッピング

FSMC から見ると、外部メモリは、それぞれ 256 MB の 4 つの固定サイズのバンクに分けられます（*図 432* を参照）。

- バンク 1 は、4 つまでの NOR 型フラッシュまたは PSRAM メモリデバイスのアドレス指定に使用されます。このバンクは、4 つの専用チップセレクトを持つ 4 つの NOR/PSRAM サブバンクに分割されます。
  - バンク 1 - NOR/PSRAM 1
  - バンク 1 - NOR/PSRAM 2
  - バンク 1 - NOR/PSRAM 3
  - バンク 1 - NOR/PSRAM 4
- バンク 2 と 3 は、NAND 型フラッシュデバイスのアドレス指定に使用されます（バンクごとに 1 つのデバイス）。
- バンク 4 は、PC カードデバイスのアドレス指定に使用されます。

各バンクで使用されるメモリのタイプは、ユーザによって構成レジスタで定義されます。

図 432. FSMC メモリバンク



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

36.4.1 NOR/PSRAM アドレスマッピング

HADDR[27:26] ビットは、*表 209* に示される 4 つのメモリバンクの 1 つを選択するために使用されます。

表 209. NOR/PSRAM バンク選択

HADDR[27:26](1)	選択されるバンク
00	バンク 1 - NOR/PSRAM 1
01	バンク 1 - NOR/PSRAM 2
10	バンク 1 - NOR/PSRAM 3
11	バンク 1 - NOR/PSRAM 4

1. HADDR は、外部メモリに変換される内部 AHB アドレスラインです。

HADDR[25:0] は、外部メモリアドレスを含みます。HADDR はバイトアドレスですが、メモリはワード単位でアクセスされるので、メモリに対して実際に発行されるアドレスは、次の表に示されるように、メモリのデータ幅に応じて変わります。

表 210. 外部メモリアドレス

メモリ幅(1)	メモリに発行されるデータアドレス	最大メモリ容量（ビット）
8 ビット	HADDR[25:0]	64 MB x 8 = 512 M ビット
16 ビット	HADDR[25:1] >> 1	64 MB/2 x 16 = 512 M ビット

1. 外部メモリが 16 ビット幅の場合、FSMC は、内部で HADDR[25:1] を使用して、外部メモリ FSMC_A[24:0] に対するアドレスを生成します。
外部メモリの幅（16 ビットまたは 8　ビット）にかかわらず、FSMC_A[0] は外部メモリアドレス A[0] に接続されます。

NOR 型フラッシュ /PSRAM のラップサポート

同期メモリに対するラップバーストモードはサポートされていません。メモリは、不定長のリニアバーストモードに構成する必要があります。

36.4.2 NAND/PC カードアドレスマッピング

この場合 3 つのバンクが使用可能であり、それぞれが に示されるメモリ空間に分割されます。*表 211*

表 211. メモリマッピングとタイミングレジスタ

開始アドレス	終了アドレス	FSMC バンク	メモリ空間	タイミングレジスタ
0x9C00 0000	0x9FFF FFFF	バンク 4 - PC カード	I/O	FSMC_PIO4 （0xB0）
0x9800 0000	0x9BFF FFFF		属性	FSMC_PATT4 （0xAC）
0x9000 0000	0x93FF FFFF		コモン	FSMC_PMEM4 （0xA8）
0x8800 0000	0x8BFF FFFF	バンク 3 - NAND 型フラッシュ	属性	FSMC_PATT3 （0x8C）
0x8000 0000	0x83FF FFFF		コモン	FSMC_PMEM3 （0x88）
0x7800 0000	0x7BFF FFFF	バンク 2 - NAND 型フラッシュ	属性	FSMC_PATT2 （0x6C）
0x7000 0000	0x73FF FFFF		コモン	FSMC_PMEM2 （0x68）

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

NAND 型フラッシュメモリでは、共通および属性メモリ空間は、下位 256 KB に位置する 3 つのセクションに分割されます（*表 212* を参照）。

- データセクション（共通/属性メモリ空間の最初の 64 KB）
- コマンドセクション（共通/属性メモリ空間の 2 番目の 64 KB）
- アドレスセクション（共通/属性メモリ空間の次の 128 KB）

表 212. NAND バンク選択

セクション名	HADDR[17:16]	アドレス範囲
アドレスセクション	1X	0x020000-0x03FFFF
コマンドセクション	01	0x010000-0x01FFFF
データセクション	00	0x000000-0x0FFFF

アプリケーションソフトウェアは、3 つのセクションを使用して、NAND 型フラッシュメモリにアクセスします。

- NAND 型フラッシュメモリにコマンドを送信するには： ソフトウェアは、コマンドセクションの任意のメモリ位置にコマンドの値を書き込む必要があります。
- 読み出しまたは書き込みを行う必要がある NAND 型フラッシュのアドレスを指定するには：ソフトウェアは、アドレスセクションの任意のメモリ位置にアドレス値を書き込む必要があります。アドレスは 4 または 5 バイト長なので（実際のメモリサイズに依存）、アドレス全体を指定するには、アドレスセクションへのいくつかの連続した書き込みが必要です。
- データの読み出しまたは書き込みを行うには：ソフトウェアは、データセクションの任意のメモリ位置からデータを読み出すか、書き込む必要があります。

NAND 型フラッシュメモリはアドレスを自動的にインクリメントするので、連続したメモリ位置にアクセスするには、データセクションのアドレスをインクリメントする必要はありません。

36.5 NOR 型フラッシュ /PSRAM コントローラ

FSMC は、以下のタイプのメモリを駆動するのに適した信号タイミングを生成します。

- 非同期 SRAM および ROM
  - 8 ビット
  - 16 ビット
  - 32 ビット
- PSRAM（セルラー RAM）
  - 非同期モード
  - 同期アクセスに対するバーストモード
  - マルチプレクスまたは非マルチプレクス
- NOR 型フラッシュ
  - 非同期モード
  - 同期アクセスに対するバーストモード
  - マルチプレクスまたは非マルチプレクス

FSMC は、バンクごとに 1 つのチップセレクト信号 NE[4:1] を出力します。その他の信号（アドレス、データ、および制御）はすべて、共有されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

同期アクセスでは、FSMC は読み出し/書き込みトランザクション中にだけ選択された外部デバイスにクロック（CLK）を発行します。このクロックは、HCLK クロックの分周した値です。各バンクのサイズは 64 MB に固定されます。

各バンクは、専用レジスタによって構成されます（*セクション 36.5.6* を参照）。

プログラマブルメモリパラメータは、アクセスタイミング（*表 213* を参照）を含み、ウェイト管理をサポートします（バーストモードでの PSRAM および NOR 型フラッシュへのアクセス）。

表 213. プログラマブル NOR/PSRAM アクセスパラメータ

パラメータ	機能	アクセスモード	単位	最小値	最大値
アドレスセットアップ	アドレスセットアップフェーズ時間	非同期	AHB クロックサイクル（HCLK）	0	15
アドレスホールド	アドレスホールドフェーズ時間	非同期、マルチプレクス I/O	AHB クロックサイクル（HCLK）	1	15
データセットアップ	データデットアップフェーズ時間	非同期	AHB クロックサイクル（HCLK）	1	256
バスターン	バスターンアラウンドフェーズ時間	非同期および同期読み出し	AHB クロックサイクル（HCLK）	0	15
クロック分周比	1 つのメモリクロックサイクル（CLK）に必要な AHB クロックサイクル（HCLK）数	同期	AHB クロックサイクル（HCLK）	2	16
データ遅延	バーストの最初のデータの前にメモリに発行されるクロックサイクル数	同期	メモリクロックサイクル（CLK）	2	17

36.5.1 外部メモリインタフェース信号

表 214、*表 215*、および *表 216* は、一般に、NOR 型フラッシュ、SRAM、および PSRAM へのインタフェースに使用される信号です。

注： プレフィックス“N” は、対応する信号がアクティブローであることを示します。

NOR 型フラッシュ、非マルチプレクス I/O

表 214. 非マルチプレクス I/O NOR 型フラッシュ

FSMC 信号名	入出力	機能
CLK	O	クロック （同期アクセス用）
A[25:0]	O	アドレスバス
D[15:0]	I/O	双方向データバス
NE[x]	O	チップセレクト、x = 1..4
NOE	O	出力イネーブル
NWE	O	書き込みイネーブル
NL（=NADV）	O	ラッチイネーブル（この信号は、一部の NOR 型フラッシュデバイスではアドレス有効（NADV）と呼ばれます）。
NWAIT	I	FMSC への NOR 型フラッシュウェイト入力信号

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

NOR 型フラッシュメモリは、16 ビットワード単位でアドレス指定されます。最大容量は、512 M ビット（26 アドレスライン）です。

NOR 型フラッシュ、マルチプレクス I/O

表 215. マルチプレクス I/O NOR 型フラッシュ

FSMC 信号名	入出力	機能
CLK	O	クロック （同期アクセス用）
A[25:16]	O	アドレスバス
AD[15:0]	I/O	16 ビットマルチプレクス、双方向アドレス/データバス
NE[x]	O	チップセレクト、x = 1..4
NOE	O	出力イネーブル
NWE	O	書き込みイネーブル
NL（=NADV）	O	ラッチイネーブル（この信号は、一部の NOR 型フラッシュデバイスではアドレス有効（NADV）と呼ばれます）。
NWAIT	I	FMSC への NOR 型フラッシュウェイト入力信号

NOR 型フラッシュメモリは、16 ビットワード単位でアドレス指定されます。最大容量は、512 M ビット（26 アドレスライン）です。

PSRAM/SRAM、非マルチプレクス I/O

表 216. 非マルチプレクス I/OPSRAM/SRAM

FSMC 信号名	入出力	機能
CLK	O	クロック （PSRAM 同期アクセス専用）
A[25:0]	O	アドレスバス
D[15:0]	I/O	双方向データバス
NE[x]	O	チップセレクト、x = 1..4 （PSRAM（Cellular RAM、または CRAM）では NCE と呼ばれます。）
NOE	O	出力イネーブル
NWE	O	書き込みイネーブル
NL（= NADV）	O	PSRAM 入力の場合のみアドレス有効（メモリ信号名：NADV）
NWAIT	I	FMSC への PSRAM ウェイト入力信号
NBL[1]	O	上位バイトイネーブル（メモリ信号名：NUB）
NBL[0]	O	下位バイトイネーブル（メモリ信号名：NLB）

PSRAM メモリは、16 ビットワード単位でアドレス指定されます。最大容量は、512 M ビット（26 アドレスライン）です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

PSRAM、マルチプレクス I/O

表 217. マルチプレクス I/O PSRAM

FSMC 信号名	入出力	機能
CLK	O	クロック （同期アクセス用）
A[25:16]	O	アドレスバス
AD[15:0]	I/O	16 ビットマルチプレクス、双方向アドレス/データバス
NE[x]	O	チップセレクト、x = 1..4 （PSRAM（Cellular RAM、または CRAM）では NCE と呼ばれます。）
NOE	O	出力イネーブル
NWE	O	書き込みイネーブル
NL（= NADV）	O	PSRAM 入力のアドレス有効（メモリ信号名：NADV）
NWAIT	I	FMSC への PSRAM ウェイト入力信号
NBL[1]	O	上位バイトイネーブル（メモリ信号名：NUB）
NBL[0]	O	下位バイトイネーブル（メモリ信号名：NLB）

PSRAM メモリは、16 ビットワード単位でアドレス指定されます。最大容量は、512 M ビット（26 アドレスライン）です。

36.5.2 サポートされるメモリおよびトランザクション

表 218 NOR、PSRAM、SRAM に対してメモリデータバスが 16 ビットの場合のサポートされているデバイス、アクセスモード、トランザクションの例を次に示します。FSMC で許されない（サポートされない）トランザクションは、この例ではグレイで表示されています。

表 218. NOR 型フラッシュ /PSRAM コントローラ：サポートされているメモリとトランザクションの例

デバイス	モード	R/W	AHB データサイズ	メモリデータサイズ	許可/禁止	コメント
NOR 型フラッシュ（マルチプレクス I/O と非マルチプレクス I/O）	非同期	R	8	16	Y	
	非同期	W	8	16	N	
	非同期	R	16	16	Y	
	非同期	W	16	16	Y	
	非同期	R	32	16	Y	2 つの FSMC アクセスに分割
	非同期	W	32	16	Y	2 つの FSMC アクセスに分割
	非同期ページ	R	-	16	N	モードはサポートされていません。
	同期	R	8	16	N	
	同期	R	16	16	Y	
	同期	R	32	16	Y	

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 218. NOR 型フラッシュ /PSRAM コントローラ：サポートされているメモリとトランザクションの例

デバイス	モード	R/W	AHB データサイズ	メモリデータサイズ	許可/禁止	コメント
PSRAM （マルチプレクス I/O および非マルチプレクス I/O）	非同期	R	8	16	Y	
	非同期	W	8	16	Y	バイトレーン NBL[1:0] の使用
	非同期	R	16	16	Y	
	非同期	W	16	16	Y	
	非同期	R	32	16	Y	2 つの FSMC アクセスに分割
	非同期	W	32	16	Y	2 つの FSMC アクセスに分割
	非同期ページ	R	-	16	N	モードはサポートされていません。
	同期	R	8	16	N	
	同期	R	16	16	Y	
	同期	R	32	16	Y	
	同期	W	8	16	Y	バイトレーン NBL[1:0] の使用
	同期	W	16/32	16	Y	
SRAM と ROM	非同期	R	8 / 16	16	Y	
	非同期	W	8 / 16	16	Y	バイトレーン NBL[1:0] の使用
	非同期	R	32	16	Y	2 つの FSMC アクセスに分割
	非同期	W	32	16	Y	2 つの FSMC アクセスに分割 バイトレーン NBL[1:0] の使用

36.5.3 一般的なタイミング規則

信号の同期

- すべてのコントローラ出力信号は、内部クロック（HCLK）の立ち上がりエッジで変化します。
- 同期モード （読み出しまたは書き込み）では、すべての出力信号が HCLK の立ち上がりエッジで変化します。CLKDIV の値によらず、すべての信号は次のように変化します。
  - NOEL/NWEL/ NEL/NADVL/ NADVH /NBLL/ アドレス有効出力は、FSMC_CLK クロックの立ち下がりエッジで変化します。
  - NOEH/ NWEH / NEH/ NOEH/NBLH/アドレス無効出力は、FSMC_CLK クロックの立ち上がりエッジで変化します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

36.5.4 NOR 型フラッシュ /PSRAM コントローラ非同期トランザクション

非同期スタティックメモリ （NOR 型フラッシュメモリ、PSRAM、SRAM）

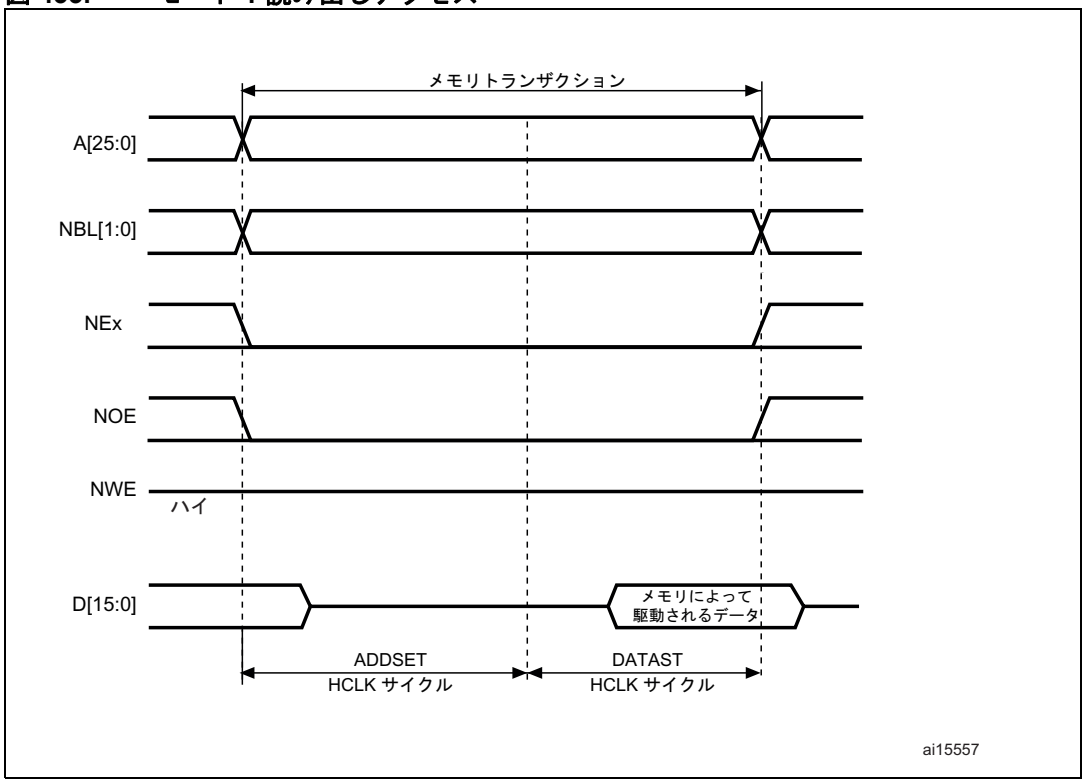
- 信号は、内部クロック HCLK によって同期されます。このクロックはメモリには発行されません。
- FSMC は、チップセレクト信号 NE をネゲートする前に、常にデータをサンプリングします。これにより、メモリデータホールドタイミングに関する制約が満たされます（チップイネーブルハイからデータ遷移は、通常、最小 0 ns です）。
- 拡張モードを有効にした場合 （FSMC_BCRx レジスタの EXTMODビットをセット）、最大 4 つの拡張モード （A、B、C、D）が使用できます。書き込み動作および読み出し動作で、A、B、C、D モードをミックスすることができます。例えば、読み出し動作をモード A で実行し、書き込み動作をモード B で実行することができます。
- 拡張モードを無効にした場合 （FSMC_BCRx レジスタで EXTMOD ビットをリセット）、FSMC は次のようにモード 1 またはモード 2 で動作することができます。
  - SRAM/PSRAM メモリタイプを選択した場合（FSMC_BCRx レジスタで MTYP = 0x0 または 0x01）、モード 1 がデフォルトモードです。
  - NOR メモリタイプを選択した場合 （FSMC_BCRx レジスタで MTYP = 0x10）、モード 2 がデフォルトモードです。

モード 1 - SRAM/PSRAM （CRAM）

次の図に、サポートされているモードに対する読み出しトランザクションと書き込みトランザクションを示します。それに続いてに、FSMC _BCRx レジスタ、および FSMC_BTRx/FSMC_BWTRx レジスタの必要とされる設定を示します。

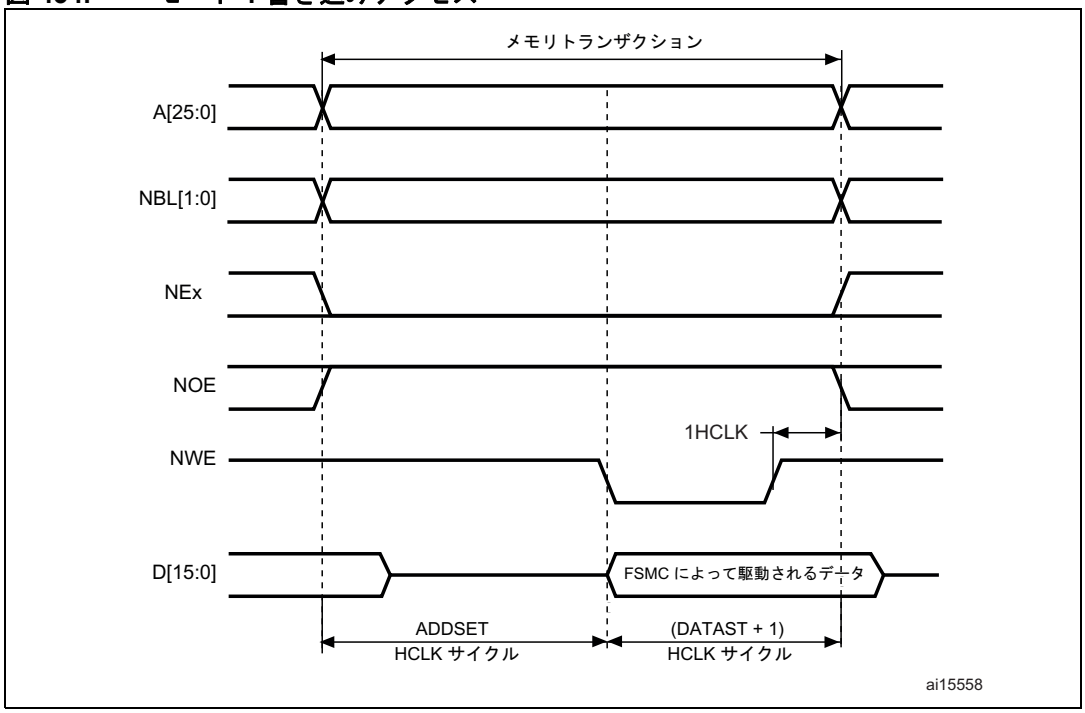
この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 433. モード 1 読み出しアクセス



1. NBL[1:0] は読み出しアクセス中ローレベルに駆動されます。

図 434. モード 1 書き込みアクセス



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

書き込みトランザクションの最後の 1 HCLK サイクルは、NWE の立ち上がりエッジ後のアドレスおよびデータホールド時間の保証に役立ちます。この 1 HCLK サイクルがあるため、DATAST の値はゼロより大きくなければなりません（DATAST＞0）。

表 219. FSMC_BCRx ビットフィールド

ビット番号	ビット名	設定値
31-20	予約済み	0x000
19	CBURSTRW	0x0 （非同期モードで無効）
18:16	予約済み	0x0
15	ASYNCWAIT	メモリがこの機能をサポートする場合は 1 にセットします。そうでない場合は、0 のままにしておきます。
14	EXTMOD	0x0
13	WAITEN	0x0 （非同期モードで無効）
12	WREN	必要に応じて設定します。
11	WAITCFG	無視
10	WRAPMOD	0x0
9	WAITPOL	ビット 15 が 1 の場合のみ、意味を持ちます。
8	BURSTEN	0x0
7	予約済み	0x1
6	FACCEN	無視
5-4	MWID	必要に応じて設定します。
3-2	MTYP	必要に応じて、0x2 （NOR 型フラッシュ）を除きます。
1	MUXE	0x0
0	MBKEN	0x1

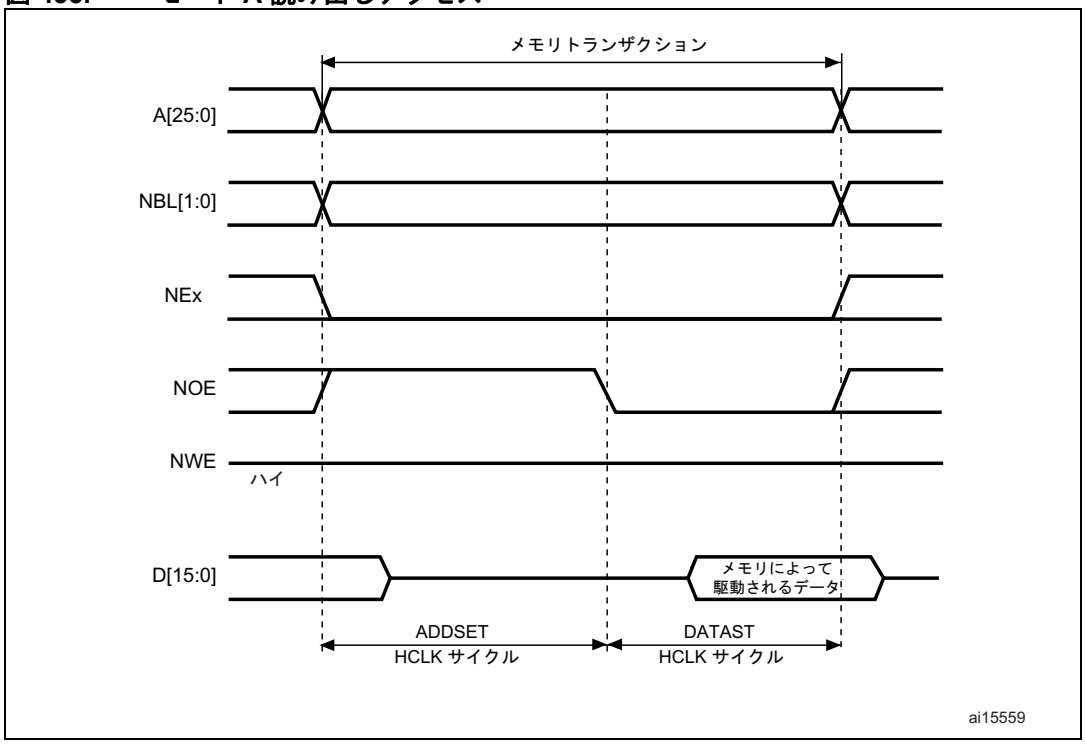
表 220. FSMC_BTRx ビットフィールド

ビット番号	ビット名	設定値
31:30	予約済み	0x0
29-28	ACCMOD	無視
27-24	DATLAT	無視
23-20	CLKDIV	無視
19-16	BUSTURN	NEx ハイから NEx ローまでの時間 （BUSTURN HCLK）
15-8	DATAST	2 番目のアクセスフェーズの時間（書き込みアクセスの場合は DATAST＋1 HCLK サイクル、読み出しアクセスの場合は DATAST HCLK サイクル）。
7-4	ADDHLD	無視
3-0	ADDSET	最初のアクセスフェーズの時間（ADDSET HCLK サイクル）。 ADDSET の最小値は 0。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

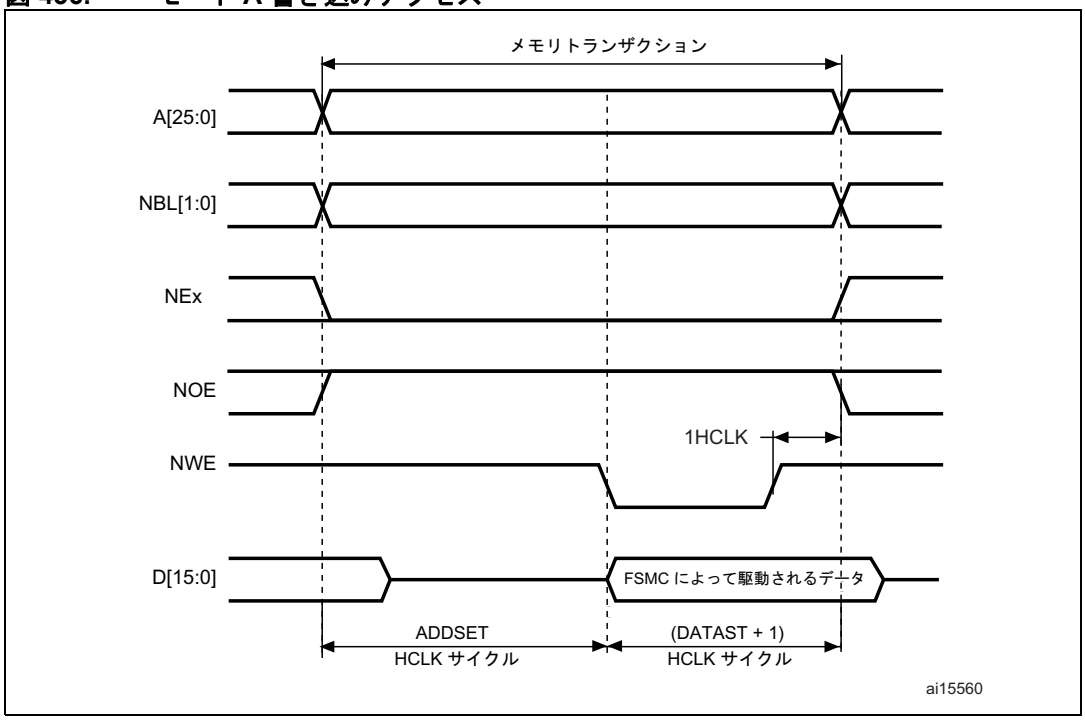
モード A - SRAM/PSRAM （CRAM）OE トグリング

図 435. モード A 読み出しアクセス



1. NBL[1:0] は読み出しアクセス中ローレベルに駆動されます。

図 436. モード A 書き込みアクセス



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

モード 1 と比較した場合の相違点は、NOE のトグリングと、独立した読み出しおよび書き込みのタイミングです。

表 221. FSMC_BCRx ビットフィールド

ビット番号	ビット名	設定値
31-20	予約済み	0x000
19	CBURSTRW	0x0 （非同期モードで無効）
18:16	予約済み	0x0
15	ASYNCWAIT	メモリがこの機能をサポートする場合は 1 にセットします。そうでない場合は、0 のままにしておきます。
14	EXTMOD	0x1
13	WAITEN	0x0 （非同期モードで無効）
12	WREN	必要に応じて設定します。
11	WAITCFG	無視
10	WRAPMOD	0x0
9	WAITPOL	ビット 15 が 1 の場合のみ、意味を持ちます。
8	BURSTEN	0x0
7	予約済み	0x1
6	FACCEN	無視
5-4	MWID	必要に応じて設定します。
3-2	MTYP	必要に応じて、0x2 （NOR 型フラッシュ）を除きます。
1	MUXEN	0x0
0	MBKEN	0x1

表 222. FSMC_BTRx ビットフィールド

ビット番号	ビット名	設定値
31:30	予約済み	0x0
29-28	ACCMOD	0x0
27-24	DATLAT	無視
23-20	CLKDIV	無視
19-16	BUSTURN	NEx ハイから NEx ローまでの時間 （BUSTURN HCLK）
15-8	DATAST	読み出しに対する 2 番目のアクセスフェーズの時間（DATAST HCLK サイクル）。
7-4	ADDHLD	無視
3-0	ADDSET	読み出しに対する最初のアクセスフェーズの時間（ADDSET HCLK サイクル）。 ADDSET の最小値は 0。

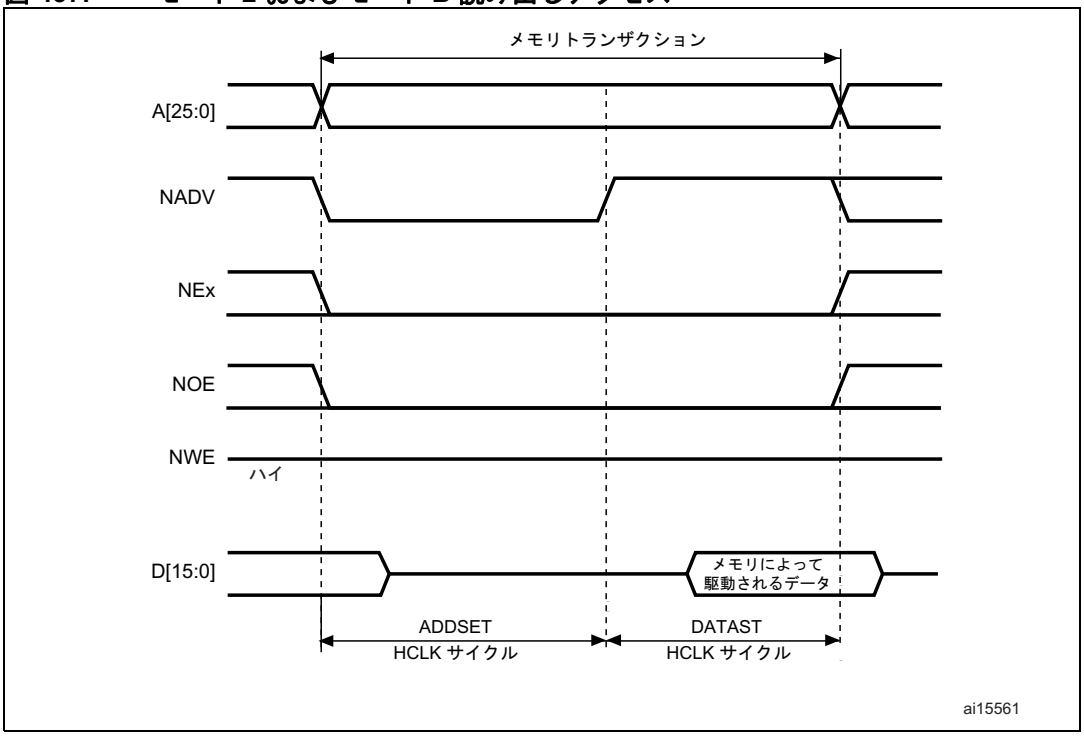
この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 223. FSMC_BWTRx ビットフィールド

ビット番号	ビット名	設定値
31:30	予約済み	0x0
29-28	ACCMOD	0x0
27-24	DATLAT	無視
23-20	CLKDIV	無視
19-16	BUSTURN	NEx ハイから NEx ローまでの時間 （BUSTURN HCLK）
15-8	DATAST	書き込みアクセスに対する 2 番目のアクセスフェーズの時間（DATAST＋1 HCLK サイクル）。
7-4	ADDHLD	無視
3-0	ADDSET	書き込みアクセスに対する最初のアクセスフェーズの時間（ADDSETHCLK サイクル）。 ADDSET の最小値は 0。

モード 2/B - NOR 型フラッシュ

図 437. モード 2 およびモード B 読み出しアクセス



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 438. モード 2 書き込みアクセス

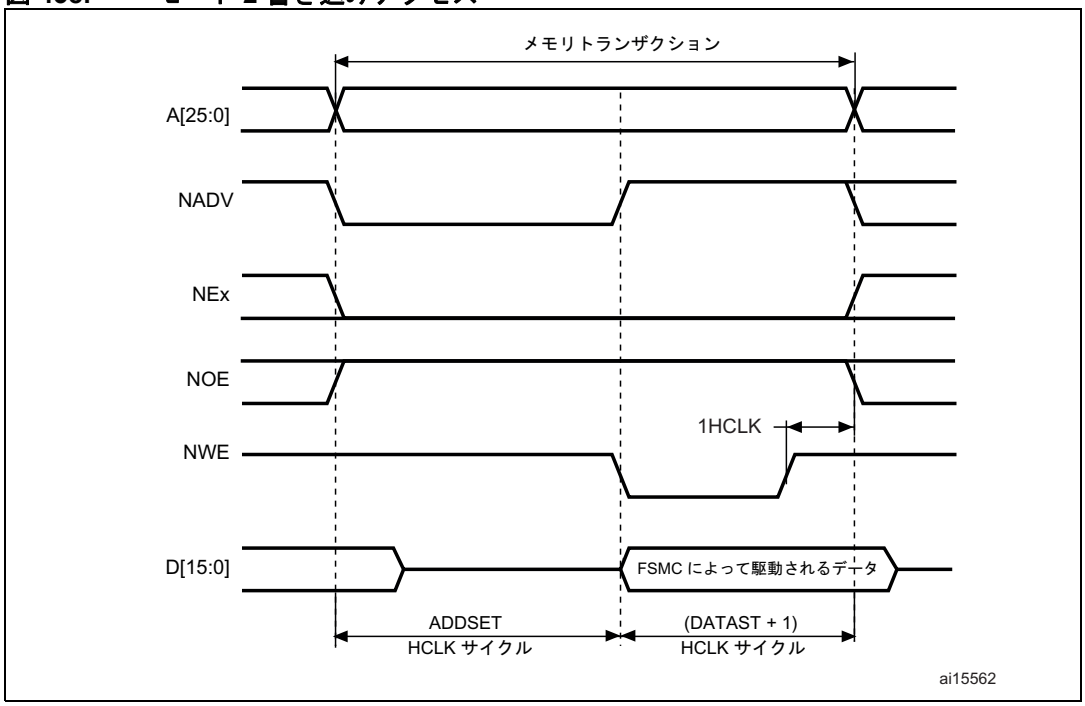
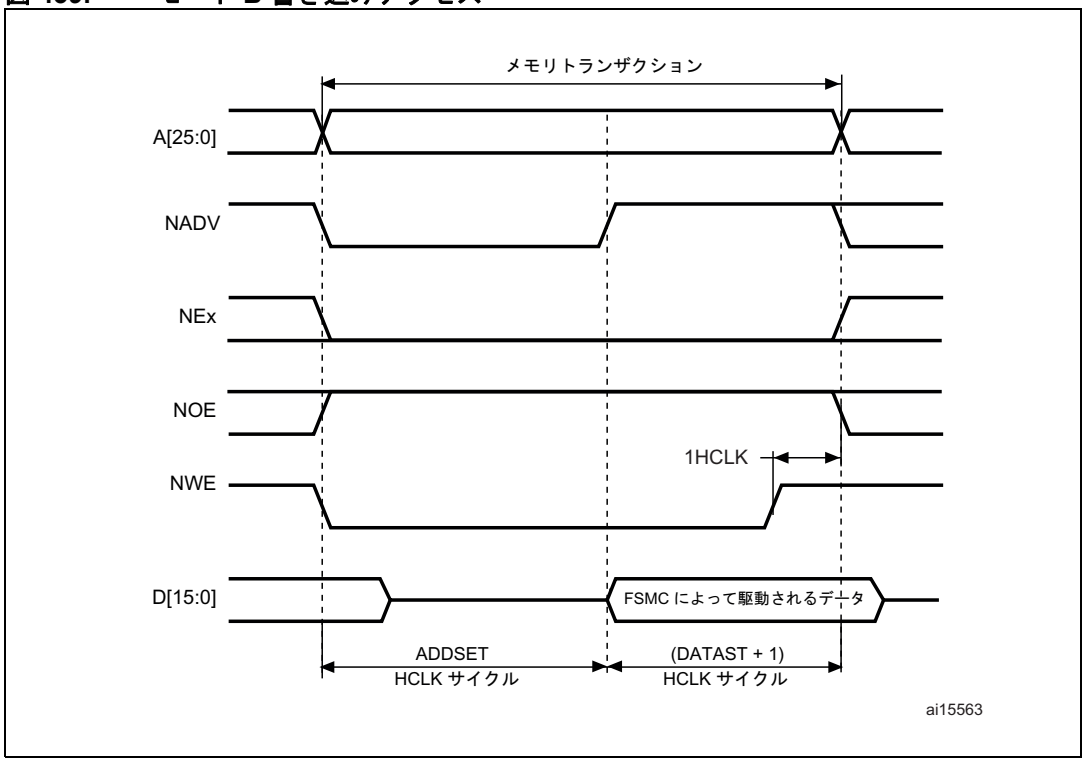


図 439. モード B 書き込みアクセス



モード 1 と比較した場合の相違点は、NWE のトグリングと拡張モードがセットされたとき（モード B）の独立した読み出しおよび書き込みのタイミングです。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 224. FSMC_BCRx ビットフィールド

ビット番号	ビット名	設定値
31-20	予約済み	0x000
19	CBURSTRW	0x0 （非同期モードで無効）
18:16	予約済み	0x0
15	ASYNCWAIT	メモリがこの機能をサポートする場合は 1 にセットします。そうでない場合は、0 のままにしておきます。
14	EXTMOD	モード B では 0x1、モード 2 では 0x0
13	WAITEN	0x0 （非同期モードで無効）
12	WREN	必要に応じて設定します。
11	WAITCFG	無視
10	WRAPMOD	0x0
9	WAITPOL	ビット 15 が 1 の場合のみ、意味を持ちます。
8	BURSTEN	0x0
7	予約済み	0x1
6	FACCEN	0x1
5-4	MWID	必要に応じて設定します。
3-2	MTYP	0x2 （NOR 型フラッシュメモリ）
1	MUXEN	0x0
0	MBKEN	0x1

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 225. FSMC_BTRxビットフィールド

ビット番号	ビット名	設定値
31:30	予約済み	0x0
29-28	ACCMOD	0x1
27-24	DATLAT	無視
23-20	CLKDIV	無視
19-16	BUSTURN	NExハイから NExローまでの時間 （BUSTURN HCLK）
15-8	DATAST	読み出しに対する 2 番目のアクセスフェーズの時間（DATAST HCLK サイクル）。
7-4	ADDHLD	無視
3-0	ADDSET	読み出しに対する最初のアクセスフェーズの時間（ADDSET HCLK サイクル）。 ADDSET の最小値は 0。

表 226. FSMC_BWTRx ビットフィールド

ビット番号	ビット名	設定値
31:30	予約済み	0x0
29-28	ACCMOD	0x1
27-24	DATLAT	無視
23-20	CLKDIV	無視
19-16	BUSTURN	NEx ハイから NEx ローまでの時間 （BUSTURN HCLK）
15-8	DATAST	書き込みアクセスに対する 2 番目のアクセスフェーズの時間（DATAST＋1 HCLK サイクル）、
7-4	ADDHLD	無視
3-0	ADDSET	書き込みアクセスに対する最初のアクセスフェーズの時間（ADDSETHCLK サイクル）。 ADDSET の最小値は 0。

注： FSMC_BWTRx レジスタは、拡張モードがセットされている場合（モード B）のみ有効です。それ以外の場合には、その内容は意味を持ちません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

モード C - NOR 型フラッシュ - OE トグリング

図 440. モード C 読み出しアクセス

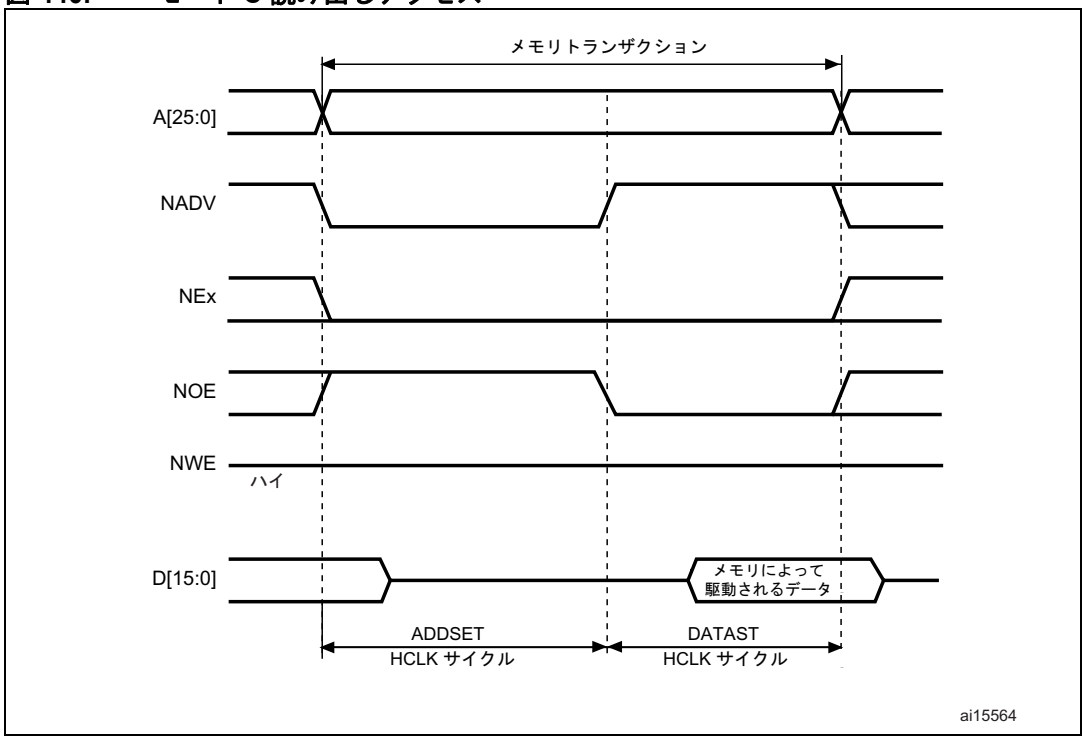
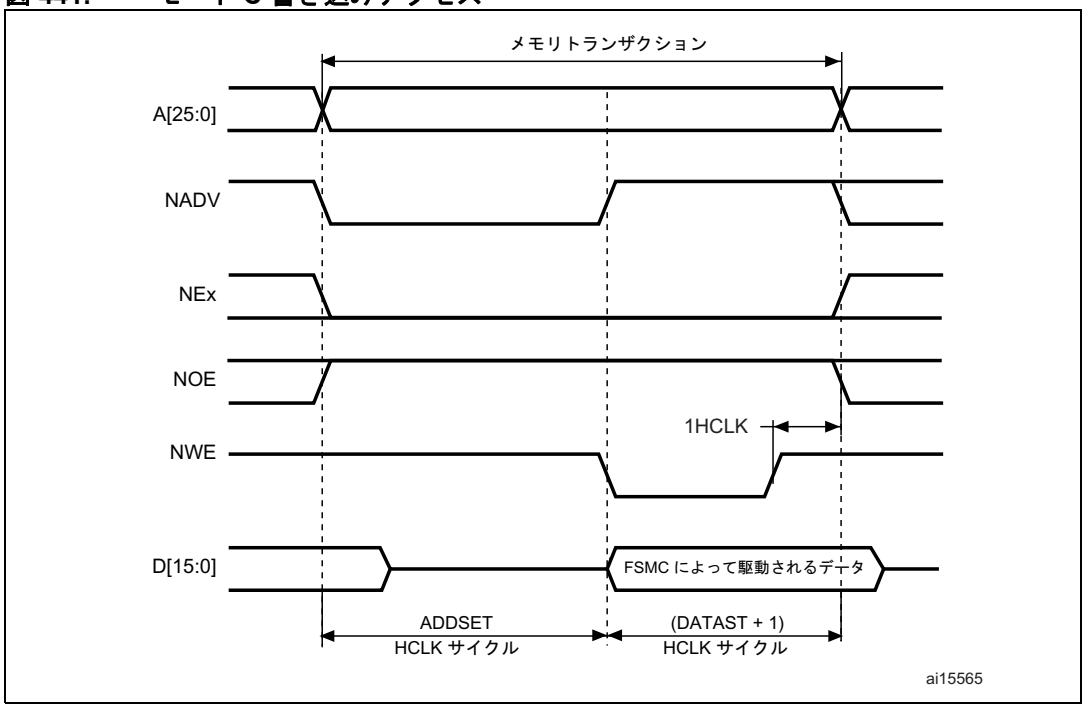


図 441. モード C 書き込みアクセス



モード 1 と比較した場合の相違点は、NOE のトグリングと、独立した読み出しおよび書き込みのタイミングです。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 227. FSMC_BCRx ビットフィールド

ビット番号	ビット名	設定値
31-20	予約済み	0x000
19	CBURSTRW	0x0 （非同期モードで無効）
18:16	予約済み	0x0
15	ASYNCWAIT	メモリがこの機能をサポートする場合は 1 にセットします。そうでない場合は、0 のままにしておきます。
14	EXTMOD	0x1
13	WAITEN	0x0 （非同期モードで無効）
12	WREN	必要に応じて設定します。
11	WAITCFG	無視
10	WRAPMOD	0x0
9	WAITPOL	ビット 15 が 1 の場合のみ、意味を持ちます。
8	BURSTEN	0x0
7	予約済み	0x1
6	FACCEN	0x1
5-4	MWID	必要に応じて設定します。
3-2	MTYP	0x2 （NOR 型フラッシュメモリ）
1	MUXEN	0x0
0	MBKEN	0x1

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 228. FSMC_BTRx ビットフィールド

ビット番号	ビット名	設定値
31:30	予約済み	0x0
29-28	ACCMOD	0x2
27-24	DATLAT	0x0
23-20	CLKDIV	0x0
19-16	BUSTURN	NEx ハイから NEx ローまでの時間 （BUSTURN HCLK）
15-8	DATAST	読み出しに対する 2 番目のアクセスフェーズの時間（DATAST HCLK サイクル）。
7-4	ADDHLD	無視
3-0	ADDSET	読み出しに対する最初のアクセスフェーズの時間（ADDSET HCLK サイクル）。 ADDSET の最小値は 0。

表 229. FSMC_BWTRx ビットフィールド

ビット番号	ビット名	設定値
31:30	予約済み	0x0
29-28	ACCMOD	0x2
27-24	DATLAT	無視
23-20	CLKDIV	無視
19-16	BUSTURN	NEx ハイから NEx ローまでの時間 （BUSTURN HCLK）
15-8	DATAST	書き込みアクセスに対する 2 番目のアクセスフェーズの時間（DATAST＋1 HCLK サイクル）、
7-4	ADDHLD	無視
3-0	ADDSET	書き込みアクセスに対する最初のアクセスフェーズの時間（ADDSET HCLK サイクル）。 ADDSET の最小値は 0。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

モード D - 拡張アドレスによる非同期アクセス

図 442. モード D 読み出しアクセス

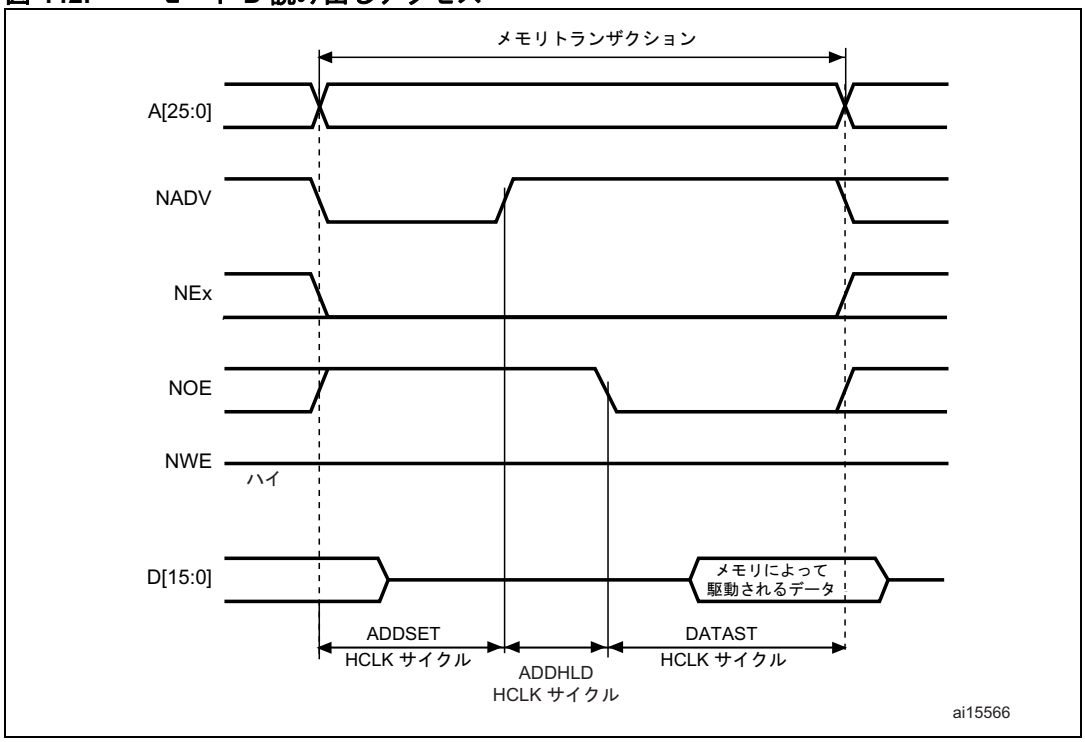
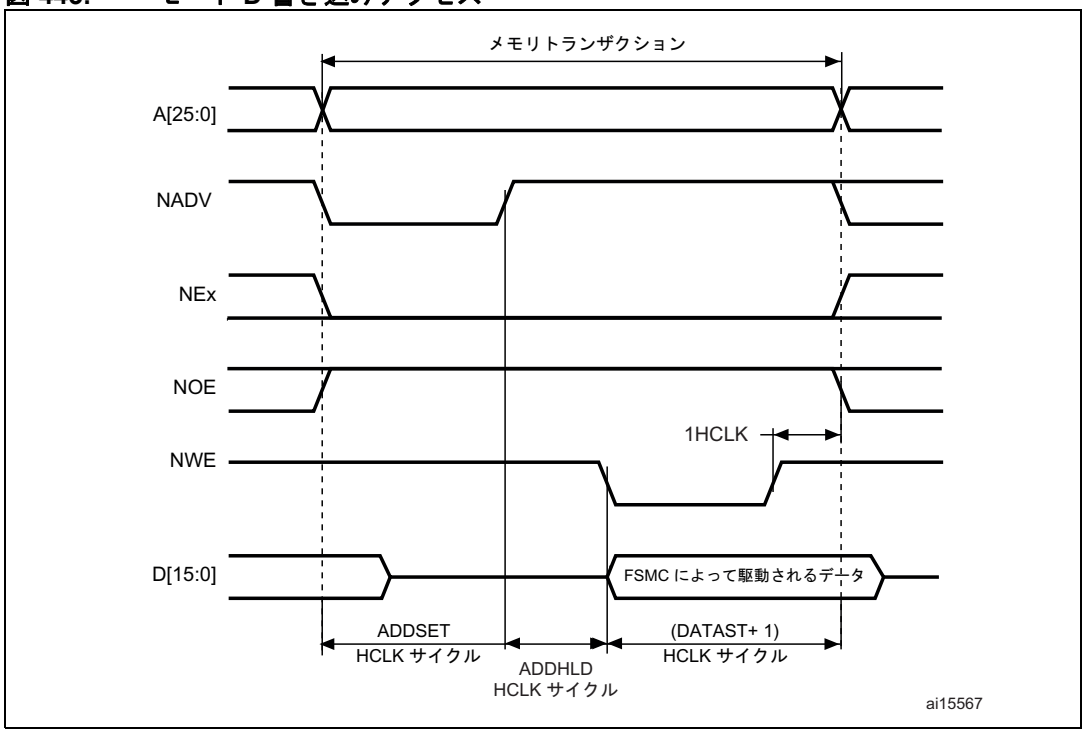


図 443. モード D 書き込みアクセス



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

モード 1 と比較した場合の相違点は、NADV が変化した後にトグリングを続ける NOE のトグリングと独立した読み込み書き込みタイミングです。

表 230. FSMC_BCRx ビットフィールド

ビット番号	ビット名	設定値
31-20	予約済み	0x000
19	CBURSTRW	0x0 （非同期モードで無効）
18:16	予約済み	0x0
15	ASYNCWAIT	メモリがこの機能をサポートする場合は 1 にセットします。そうでない場合は、0 のままにしておきます。
14	EXTMOD	0x1
13	WAITEN	0x0 （非同期モードで無効）
12	WREN	必要に応じて設定します。
11	WAITCFG	無視
10	WRAPMOD	0x0
9	WAITPOL	ビット 15 が 1 の場合のみ、意味を持ちます。
8	BURSTEN	0x0
7	予約済み	0x1
6	FACCEN	メモリのサポート状況に応じて設定します。
5-4	MWID	必要に応じて設定します。
3-2	MTYP	必要に応じて設定します。
1	MUXEN	0x0
0	MBKEN	0x1

表 231. FSMC_BTRx ビットフィールド

ビット番号	ビット名	設定値
31:30	予約済み	0x0
29-28	ACCMOD	0x3
27-24	DATLAT	無視
23-20	CLKDIV	無視
19-16	BUSTURN	NEx ハイから NEx ローまでの時間 （BUSTURN HCLK）
15-8	DATAST	読み出しに対する 2 番目のアクセスフェーズの時間（DATAST HCLK サイクル）。
7-4	ADDHLD	読み出しにおける中間アクセスフェーズの時間（ADDHLD HCLK サイクル）
3-0	ADDSET	読み出しに対する最初のアクセスフェーズの時間（ADDSET HCLK サイクル）。ADDSET の最小値は 0。

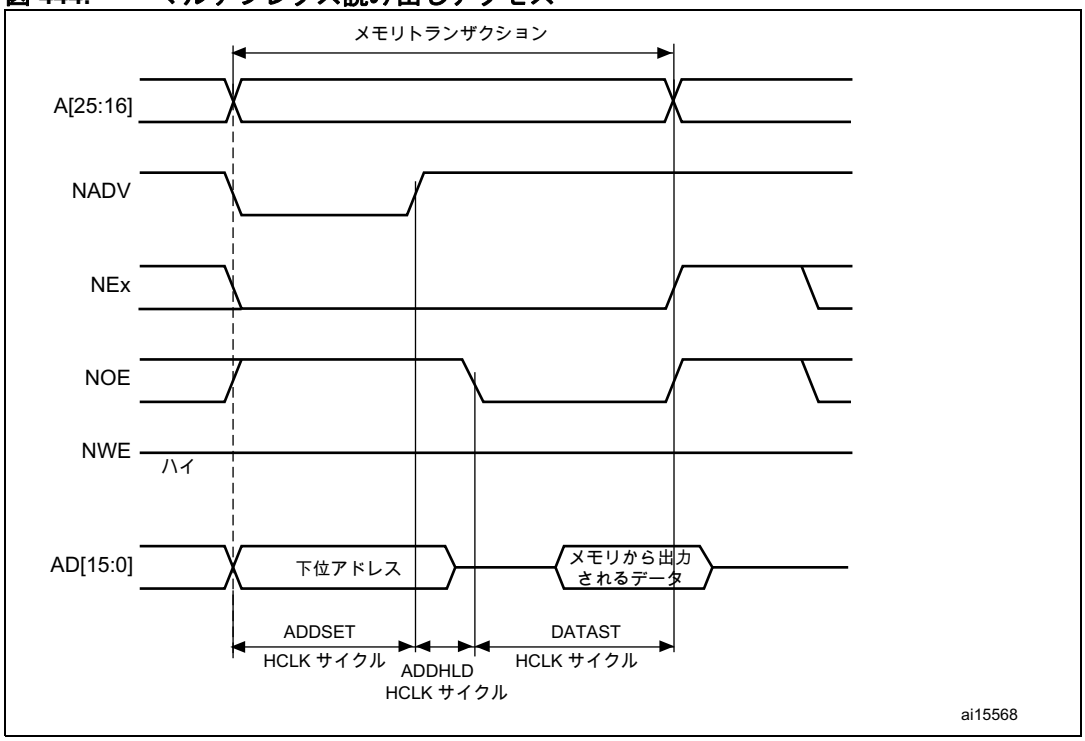
この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 232. FSMC_BWTRx ビットフィールド

ビット番号	ビット名	設定値
31:30	予約済み	0x0
29-28	ACCMOD	0x3
27-24	DATLAT	0x0
23-20	CLKDIV	0x0
19-16	BUSTURN	NEx ハイから NEx ローまでの時間 （BUSTURN HCLK）
15-8	DATAST	書き込みアクセスに対する 2 番目のアクセスフェーズの時間（DATAST＋1 HCLK サイクル）
7-4	ADDHLD	書き込みアクセスにおける中間アクセスフェーズの時間（ADDHLD HCLK サイクル）
3-0	ADDSET	書き込みアクセスに対する最初のアクセスフェーズの時間（ADDSET HCLK サイクル）。ADDSET の最小値は 0。

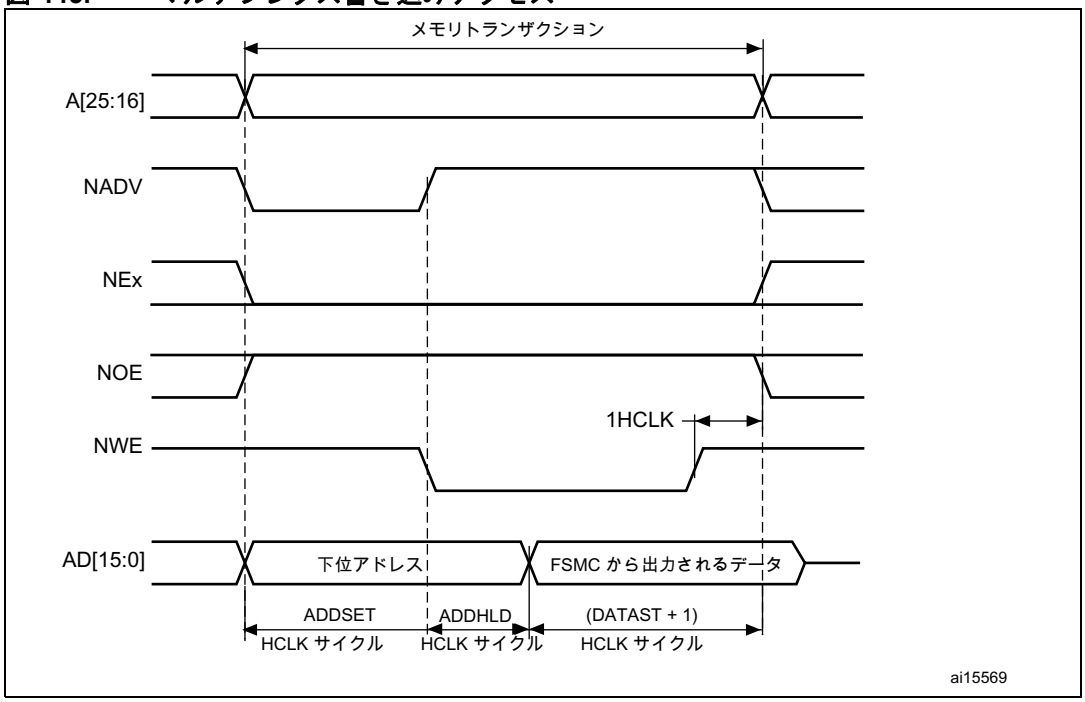
ミックスモード - NOR 型フラッシュメモリに対するマルチプレクス非同期アクセス

図 444. マルチプレクス読み出しアクセス



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 445. マルチプレクス書き込みアクセス



モード D との相違点は、データバス上の下位アドレスバイトのドライブです。

表 233. FSMC_BCRx ビットフィールド

ビット番号	ビット名	設定値
31-21	予約済み	0x000
19	CBURSTRW	0x0 （非同期モードで無効）
18:16	予約済み	0x0
15	ASYNCWAIT	メモリがこの機能をサポートする場合は 1 にセットします。そうでない場合は、0 のままにしておきます。
14	EXTMOD	0x0
13	WAITEN	0x0 （非同期モードで無効）
12	WREN	必要に応じて設定します。
11	WAITCFG	無視
10	WRAPMOD	0x0
9	WAITPOL	ビット 15 が 1 の場合のみ、意味を持ちます。
8	BURSTEN	0x0
7	予約済み	0x1
6	FACCEN	0x1
5-4	MWID	必要に応じて設定します。
3-2	MTYP	0x2 （NOR 型フラッシュメモリ）
1	MUXEN	0x1
0	MBKEN	0x1

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 234. FSMC_BTRx ビットフィールド

ビット番号	ビット名	設定値
31:30	予約済み	0x0
29-28	ACCMOD	0x0
27-24	DATLAT	無視
23-20	CLKDIV	無視
19-16	BUSTURN	NEx ハイから NEx ローまでの時間 （BUSTURN HCLK）
15-8	DATAST	2 番目のアクセスフェーズの時間（読み出しアクセスの場合は DATASTHCLK サイクル、書き込みアクセスの場合は DATAST+1 HCLK サイクル）。
7-4	ADDHLD	書き込みアクセスにおける中間アクセスフェーズの時間（ADDHLD HCLK サイクル）。
3-0	ADDSET	1 番目のアクセスフェーズの時間（ADDSET HCLK サイクル）。ADDSET の最小値は 1。

非同期アクセスにおけるウェイト管理

非同期メモリが、データの受け取りまたは提供の準備がまだできていないことを知らせるために、WAIT 信号をアサートした場合、FSMC_BCRx レジスタの ASYNCWAIT ビットをセットする必要があります。

WAIT 信号がアクティブな場合（WAITPOL ビットに依存して、ハイまたはロー）、DATAST ビットによってプログラムされる 2 番目のアクセスフェーズ（データセットアップフェーズ）は、WAIT ビットが無効になるまで延長されます。データセットアップフェーズとは異なり、ADDSET および ADDHLD ビットによってプログラムされる最初のアクセスフェーズ（アドレスセットアップおよびアドレスホールドフェーズ）は、WAIT に対応しないので、延長されません。

データセットアップフェーズ（FSMC_BTRx レジスタの DATAST）は、メモリトランザクションが終了する 4 HCLK サイクル前に WAIT が検出されるようにプログラムする必要があります。次のようなケースを考慮する必要があります。

1. メモリが、次のようにトグルする NOE/NWE に合わせた WAIT 信号をアサートする場合。

$$DATAST \geq (4 \times HCLK) + max_wait_assertion_time$$

2. メモリが、NEx（またはトグルしない NOE/NWE）に合わせた WAIT 信号をアサートする場合。

   if

$$max_wait_assertion_time > address_phase + hold_phase$$

   then

$$DATAST \geq (4 \times HCLK) + (max_wait_assertion_time - address_phase - hold_phase)$$

   それ以外の場合は、

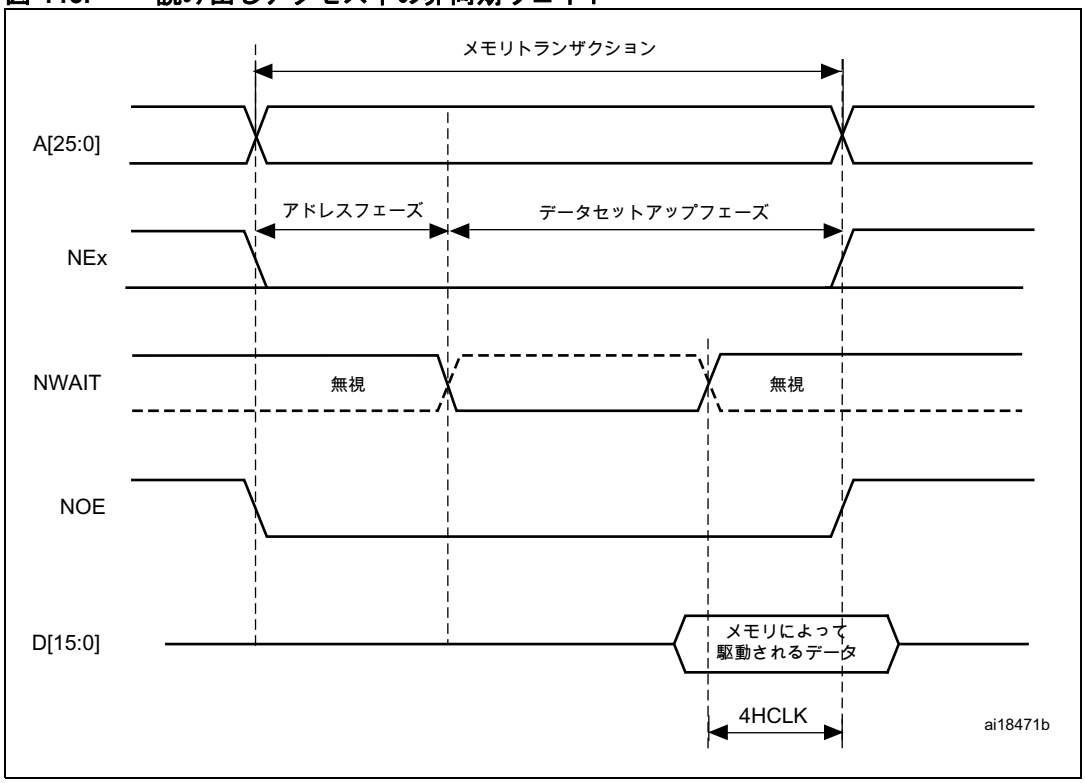
$$DATAST \geq 4 \times HCLK$$

   ここで、max_wait_assertion_time は、NEx/NOE/NWE がローになったときにメモリが WAIT 信号をアサートするために必要な最大時間です。

図 446 と *図 447* に、非同期メモリによって、WAIT が解除された後、メモリアクセスに追加される HCLK のサイクル数を示します（上記のケースに無関係）。

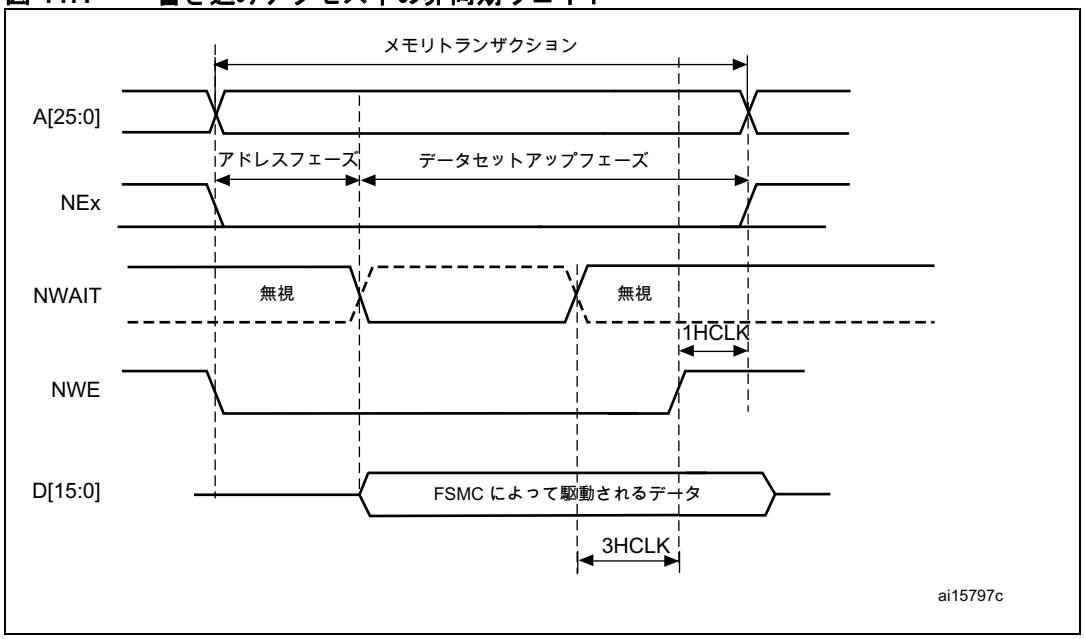
この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 446. 読み出しアクセス中の非同期ウェイト



1. NWAIT 極性は、FSMC_BCRx レジスタの WAITPOL ビット設定値に依存します。

図 447. 書き込みアクセス中の非同期ウェイト



1. NWAIT 極性は、FSMC_BCRx レジスタの WAITPOL ビット設定値に依存します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

36.5.5 同期トランザクション

メモリクロック（CLK）は、CLKDIV パラメータ値に従った HCLK の分周した値です。

NOR 型フラッシュメモリは、NADV のアサーションから CLK がハイになるまでの最小時間を指定します。この制約を満たすために、FSMC は、同期アクセスの最初の内部クロックサイクルでは（NADV アサーションの前）、クロックをメモリに供給しません。これにより、メモリクロックの立ち上がりエッジは、NADV ローパルスの中間で発生します。

データ遅延と NOR 型フラッシュ遅延

データ遅延は、データをサンプリングする前のウェイトサイクル数です。DATLAT の値は、NOR 型フラッシュ構成レジスタで指定された遅延の値と一致しなければなりません。FMSC は、NADV がローのときのクロックサイクルをデータ遅延カウントに含めません。

注： ***一部の NOR 型フラッシュメモリは、データ遅延カウントに NADV ローサイクルを含めるので、NOR 型フラッシュの遅延と FMSC DATALAT パラメータの厳密な関係は、次のいずれかです。***

- NOR 型フラッシュ遅延 = （DATLAT + 2）CLK クロックサイクル
- NOR 型フラッシュ遅延 = （DATLAT + 3）CLK クロックサイクル

最近のメモリの中には、遅延フェーズにおいて NWAIT をアサートするものがあります。そのような場合には、DATLAT を最小値に設定することができます。結果として、FSMC はデータをサンプリングして、データが有効であるかどうか評価するのに十分な時間、ウェイトします。このように、FSMC は、メモリが遅延から抜けたことを検出し、実際のデータが取られます。

その他のメモリは、遅延中には NWAIT をアサートしません。この場合、FSMC とメモリの両方について、遅延が正しく設定されなければなりません。でなければ、正しいデータの代わりに無効なデータが取られたり、有効なデータがメモリサイクルの初期フェーズで失われることになります。

シングルバースト転送

選択されたバンクが同期アクセスのバーストモードに設定されている場合、例えば、16 ビットメモリで AHB シングルバーストトランザクションがリクエストされると、FSMC は長さ 1（AHB 転送が 16 ビットの場合）または 2（AHB 転送が 32 ビットの場合）のバーストトランザクションを実行して、最後のデータがストローブされると、チップセレクトをデアサーションします。

明らかに、このような転送はサイクル数の点で最も効率的ではありません（非同期読み出しに比較して）。しかし、時間がかかるメモリアクセスモードの再プログラムには、まず、ランダム非同期アクセスが必要です。

ウェイト管理

同期 NOR 型フラッシュメモリでは、NWAIT がプログラムされた遅延期間すなわち（DATLAT+2）CLK サイクル後に評価されます。

NWAIT が有効であることが検出されると（WAITPOL=0 の場合はローレベル、WAITPOL=1 の場合はハイレベル）、NWAIT が無効であることが検出されるまで（WAITPOL=0 の場合はハイレベル、WAITPOL=1 の場合はローレベル）、ウェイトステートが挿入されます。

NWAIT が無効のときには、データはただちに（ビット WAITCFG=1）または次のクロックエッジで（ビット WAITCFG=0）、有効とみなされます。

NWAIT 信号によるウェイトステートの挿入時には、コントローラはメモリへのクロックパルスの送信を続け、チップセレクトと出力イネーブル信号を有効に保ち、データを有効と認識しません。

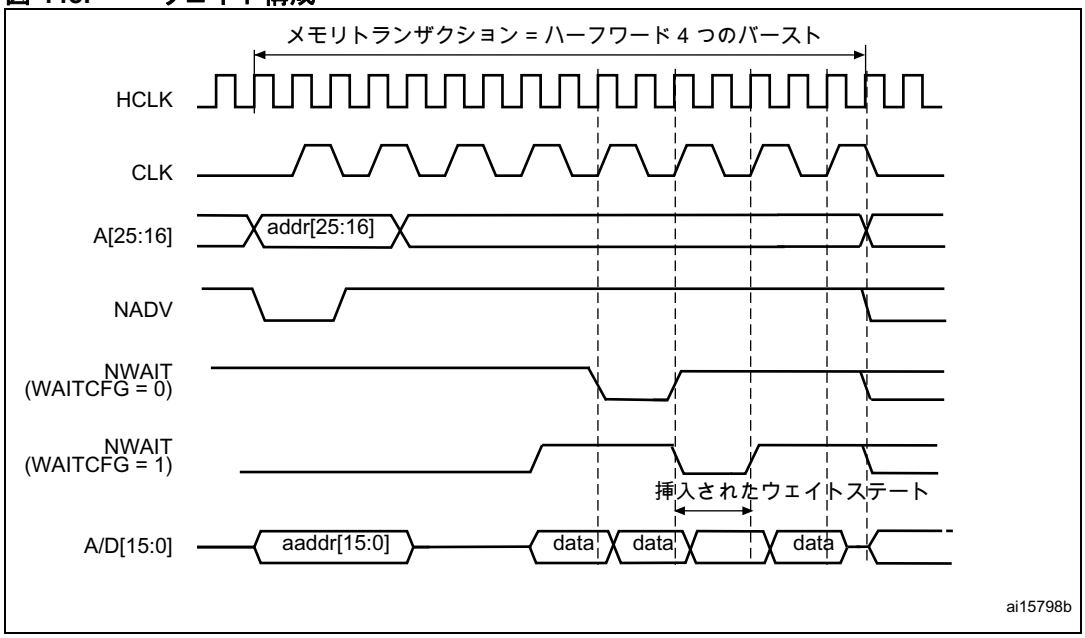
この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

バーストモードでの NOR 型フラッシュの NWAIT 信号には、2 つのタイミング構成があります。

- フラッシュメモリは、ウェイトステートの 1 データサイクル前に NWAIT 信号をアサートします（リセット後のデフォルト）。
- フラッシュメモリは、ウェイトステートの間に NWAIT 信号をアサートします。

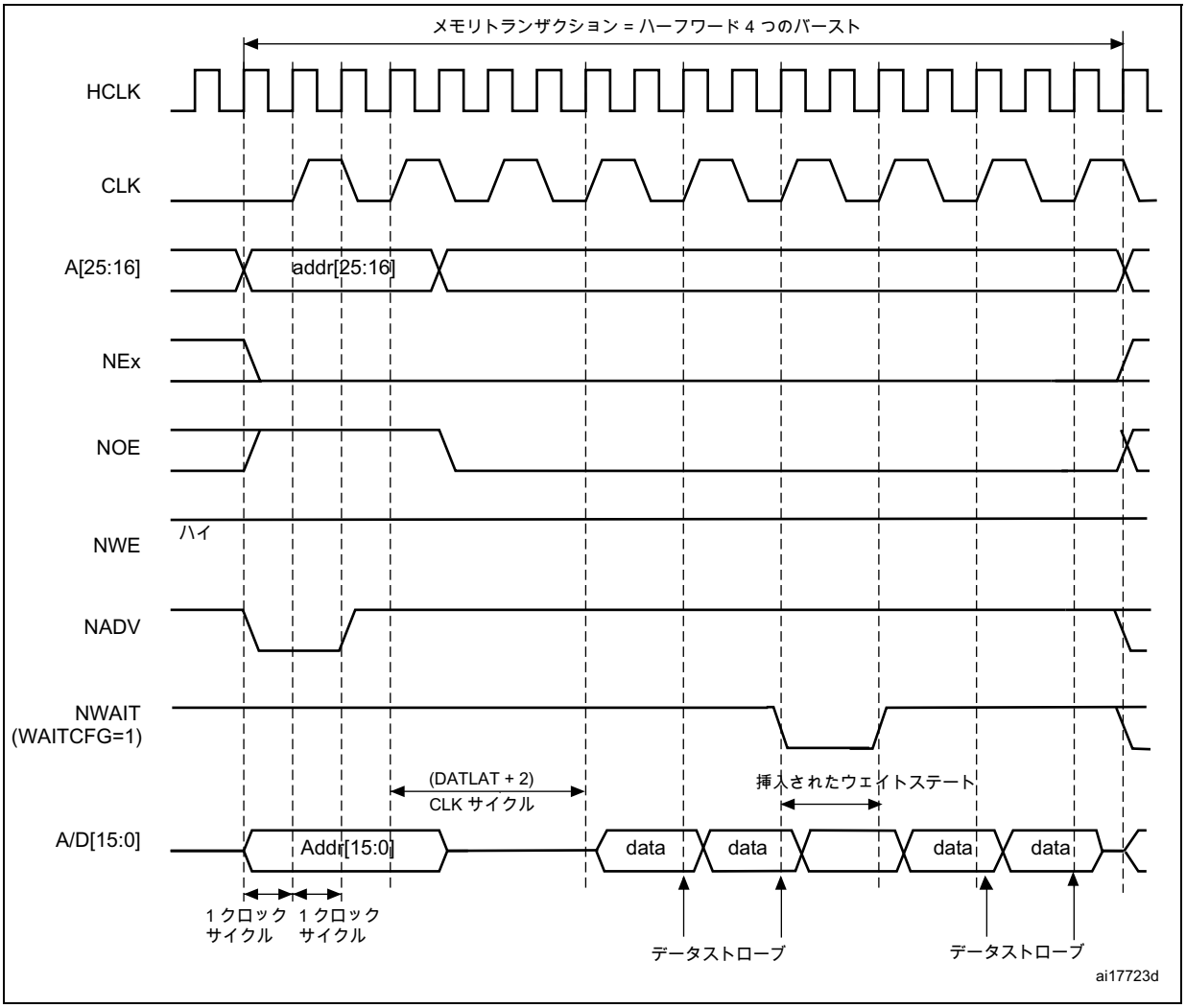
この 2 つの NOR 型フラッシュウェイトステート構成は、FSMC_BCRx レジスタ（x=0..3）の WAITCFG ビットにより、各チップセレクトごとに FSMC によってサポートされます。

図 448. ウェイト構成



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 449. 同期マルチプレクス読み出しモード - NOR、PSRAM （CRAM）



1. バイトレーン出力 BL は示されていません。NOR アクセス時にはハイに保たれ、PSRAM（CRAM）アクセス時にはローに保たれます。
2. NWAIT 極性は 0 に設定されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 235. FSMC_BCRx ビットフィールド

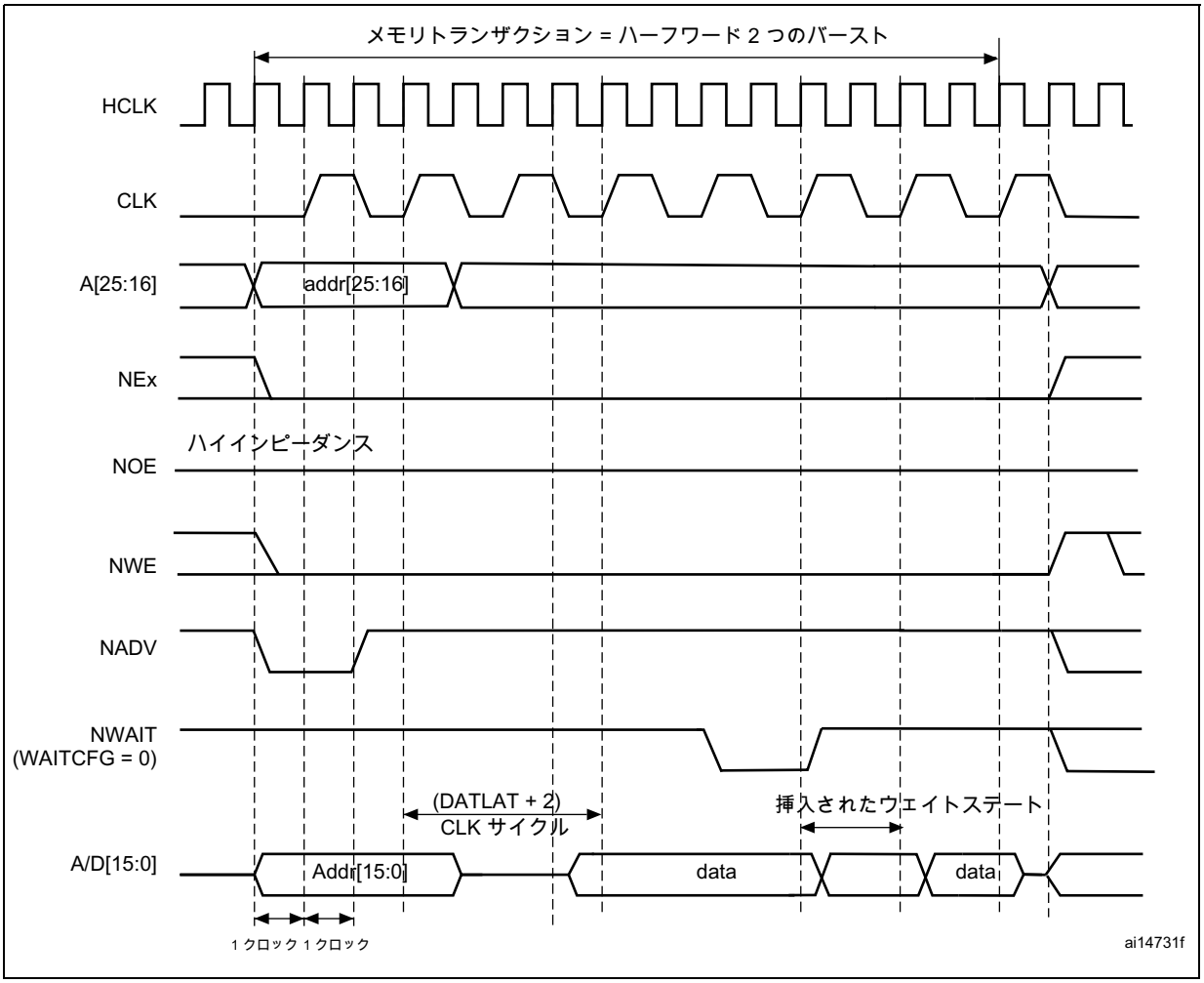
ビット番号	ビット名	設定値
31-20	予約済み	0x000
19	CBURSTRW	同期読み出し時は影響しません。
18-16	予約済み	0x0
15	ASCYCWAIT	0x0
14	EXTMOD	0x0
13	WAITEN	メモリがこの機能をサポートする場合は 1 にセット、そうでなければ 0 のままとします。
12	WREN	同期読み出し時は影響しません。
11	WAITCFG	メモリに応じて設定します。
10	WRAPMOD	0x0
9	WAITPOL	メモリに応じて設定します。
8	BURSTEN	0x1
7	予約済み	0x1
6	FACCEN	メモリサポートに従って設定します （NOR 型フラッシュメモリ）
5-4	MWID	必要に応じて設定します。
3-2	MTYP	0x1 または 0x2
1	MUXEN	必要に応じて設定します。
0	MBKEN	0x1

表 236. FSMC_BTRx ビットフィールド

ビット番号	ビット名	設定値
31:30	予約済み	0x0
29:28	ACCMOD	0x0
27-24	DATLAT	データ遅延
23-20	CLKDIV	0x0 の場合、CLK = HCLK となります （サポートされていません）。 0x1 の場合、CLK＝2×HCLK となります。 ..
19-16	BUSTURN	NEx ハイから NEx ローまでの時間 （BUSTURN HCLK）
15-8	DATAST	無視
7-4	ADDHLD	無視
3-0	ADDSET	無視

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 450. 同期マルチプレクス書き込みモード - PSRAM （CRAM）



1. メモリは、あらかじめ NWAIT 信号を 1 サイクル前に発行しなければならないので、WAITCFG を 0 にプログラムする必要があります。
2. NWAIT 極性は 0 に設定されます。
3. バイトレーン（NBL）出力は、図に示されていず、NEx が有効な間はローに保たれます。

表 237. FSMC_BCRx ビットフィールド

ビット番号	ビット名	設定値
31-20	予約済み	0x000
19	CBURSTRW	0x1
18-16	予約済み	0x0
15	ASCYCWAIT	0x0
14	EXTMOD	0x0
13	WAITEN	メモリがこの機能をサポートする場合は 1 にセット、そうでなければ 0 のままとします。
12	WREN	0x1
11	WAITCFG	0x0

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 237. FSMC_BCRx ビットフィールド（続き）

ビット番号	ビット名	設定値
10	WRAPMOD	0x0
9	WAITPOL	メモリに応じて設定します。
8	BURSTEN	同期読み出し時は影響しません。
7	予約済み	0x1
6	FACCEN	メモリのサポート状況に応じて設定します。
5-4	MWID	必要に応じて設定します。
3-2	MTYP	0x1
1	MUXEN	必要に応じて設定します。
0	MBKEN	0x1

表 238. FSMC_BTRx ビットフィールド

ビット番号	ビット名	設定値
31:30	予約済み	0x0
29:28	ACCMOD	0x0
27-24	DATLAT	データ遅延
23-20	CLKDIV	0x0 の場合、CLK = HCLK となります （サポートされていません）。 0x1 の場合、CLK＝2×HCLK となります。
19-16	BUSTURN	無視
15-8	DATAST	無視
7-4	ADDHLD	無視
3-0	ADDSET	無視

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

36.5.6 NOR/PSRAM 制御レジスタ

NOR/PSRAM 制御レジスタは、ワード単位 （32 ビット）でアクセスする必要があります。

SRAM/NOR 型フラッシュチップセレクト制御レジスタ 1..4（FSMC_BCR1..4）

アドレスオフセット：0xA000 0000 + 8 * （x – 1）、x = 1...4

リセット値：バンク 1 は 0x0000 30DB、バンク 2～4 は 0x0000 30D2

このレジスタは、SRAM、PSRAM、および NOR 型フラッシュメモリで使用される各メモリバンクの制御情報を含みます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み												CBURSTRW	予約済み			ASCYCWAIT	EXTMOD	WAITEN	WREN	WAITCFG	WRAPMOD	WAITPOL	BURSTEN	予約済み	FACCEN	MWID		MTYP		MUXEN	MBKEN
												rw				rw	rw	rw	rw	rw	rw	rw	rw		rw	rw	rw	rw	rw	rw	rw

ビット 31：20　予約済みであり、リセット値に保持する必要があります。

ビット 19　**CBURSTRW：書き込みバーストイネーブル**

セルラー RAM （PSRAM）メモリに対して、このビットは書き込み動作で同期バーストプロトコルを有効にします。同期 読み出しアクセスのイネーブルビットは、FSMC_BCRx レジスタの BURSTEN ビットです。

0：書き込み動作は、常に非同期モードで実行されます。

1：書き込み動作は、同期モードで実行されます。

ビット 18：16　予約済みであり、リセット値に保持する必要があります

ビット 15　**ASYNCWAIT**：非同期転送中のウエイト信号

このビットは、非同期プロトコル時でも、FSMC が NWAIT 信号を有効化/無効化できるようにします。

0：非同期プロトコル動作中（リセット後のデフォルト）には、NWAIT 信号は考慮されません。

1：非同期プロトコル動作中に NWAIT 信号は考慮されます。

ビット 14　**EXTMOD：拡張モードイネーブル**

このビットを使うと、FSMC が FSMC_BWTR レジスタで非同期アクセスの書き込みタイミングをプログラムできるため、読み出しと書き込みで異なるタイミングが可能になります。

0：FSMC_BWTR レジスタ内部の値は考慮されません（リセット後のデフォルト）。

1：FSMC_BWTR レジスタ内部の値が考慮されます。

注：　拡張モードを無効化した場合、FSMC は次のようにモード 1 またはモード 2 で動作することができます。

- *SRAM/PSRAM メモリタイプを選択した場合 （MTYP =0x0 または 0x01）、モード 1 はデフォルトモードです。*
- *NOR メモリタイプを選択した場合 （MTYP = 0x10）、モード 2 がデフォルトモードになります。*

ビット 13　**WAITEN：ウェイトイネーブルビット**

このビットは、同期モードでフラッシュメモリをアクセスするとき NWAIT 信号を使したウエイトステートの挿入を有効化/無効化します。

0：NWAIT 信号は無効です（レベルは考慮されず、プログラムされたフラッシュ遅延時間後にウェイトステートは挿入されません）。

1：NWAIT 信号は有効です（レベルが考慮され、アサートされた場合、プログラムされたフラッシュ遅延時間後にウェイトステートが挿入されます）（リセット後のデフォルト）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 12 **WREN：書き込みイネーブルビット**

このビットは、FSMC によるバンクへの書き込み動作の有効/無効を示します。

0:FSMC によるバンクへの書き込み動作は無効にされています。AHB エラーは報告されます。

1：FSMC によるバンクへの書き込み動作は有効にされています（リセット後のデフォルト）。

ビット 11 **WAITCFG：ウェイトタイミング構成**

NWAIT 信号は、メモリからのデータが有効か、または同期モードでフラッシュメモリをアクセスするときウエイトステートを挿入すべきかを表示します。この構成ビットは、ウェイトステートの 1 クロック前、またはウェイトステート中に、メモリによって NWAIT がアサートされるかどうかを定義します。

0：NWAIT 信号は、ウェイトステートの 1 データサイクル前にアクティブです（リセット後のデフォルト）。

1：NWAIT 信号は、ウェイトステートの間アクティブです（PRAM には不使用）。

ビット 10 **WRAPMOD：ラップトバーストモードサポート**

コントローラが AHB バーストラップアクセスを 2 つのリニアアクセスに分割するかどうかを定義します。バーストモードでメモリにアクセスするときのみ有効です。

0：ダイレクトラップトバーストは無効です（リセット後のデフォルト）、

1：ダイレクトラップトバーストは有効です。

注： このビットは、CPU および DMA がラッピングバースト転送を生成できない場合無効です。

ビット 9 **WAITPOL：ウェイト信号極性ビット**

メモリからのウェイト信号の極性を定義します。バーストモードでメモリにアクセスするときのみ有効です。

0：NWAIT アクティブロー（リセット後のデフォルト）

1：NWAIT はアクティブハイです。

ビット 8 **BURSTEN：バーストイネーブルビット**

このビットは、読み出し動作での同期アクセスを有効化/無効化します。これは、バーストモードでの同期メモリ動作に対してのみ有効です。

0：バーストアクセスモードは無効です（リセット後のデフォルト）。読み出しアクセスは非同期モードで実行されます。

1：バーストモードを有効化。読み出しアクセスは同期モードで実行されます。

ビット 7 予約済みであり、リセット値に保持する必要があります。

ビット 6 **FACCEN：フラッシュアクセスイネーブル**

NOR 型フラッシュメモリアクセス動作を有効にします。

0：対応する NOR 型フラッシュメモリアクセスは無効です。

1：対応する NOR 型フラッシュメモリアクセスは有効です（リセット後のデフォルト）。

ビット 5:4 **MWID：メモリデータバス幅**

外部メモリデバイスの幅を定義します。すべてのタイプのメモリに対して有効です。

00：8 ビット

01：16 ビット（リセット後のデフォルト）

10：予約済み。使用しないでください。

11：予約済み。使用しないでください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 3:2 **MTYP：メモリタイプ。**

対応するメモリバンクに接続される外部メモリのタイプを定義します。
00：SRAM（バンク 2...4 のリセット後のデフォルト）
01：PSRAM （CRAM）
10：NOR 型フラッシュ /OneNAND Flash （バンク 1 のリセット後のデフォルト）
11：予約済み

ビット 1 **MUXEN：アドレス / データマルチプレクシングイネーブルビット**

このビットがセットされているときには、データバス上でアドレスとデータがマルチプレクスされます。NOR および PSRAM 型フラッシュのみで有効です。
0：アドレス/データはマルチプレクスされません。
1：アドレス/データはデータバス上でマルチプレクスされます（リセット後のデフォルト）。

ビット 0 **MBKEN：メモリバンクイネーブルビット。**

メモリバンクを有効にします。リセット後は、バンク 1 は有効であり、その他はすべて無効です。無効なバンクにアクセスすると、AHB バス上で ERROR が発生します。
0：対応するメモリバンクは無効です
1：対応するメモリバンクは有効です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

SRAM/NOR 型フラッシュチップセレクトタイミングレジスタ 1..4（FSMC_BTR1..4）

アドレスオフセット：0xA000 0000 + 0x04 + 8 * (x – 1)、x = 1..4

リセット値：0x0FFF FFFF

このレジスタは、SRAM、PSRAM、NOR型フラッシュメモリに使用される各メモリバンクの制御情報を格納しています。FSMC_BCRx レジスタの EXTMOD ビットがセットされている場合、このレジスタは、書き込みと読み出しアクセスに分割されます。すなわち、読み出しアクセスを構成するためのレジスタ（このレジスタ）と、書き込みアクセスを構成するためのレジスタ（FSMC_BWTR x レジスタ）の 2 つのレジスタが使用できます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み		ACCMOD		DATLAT				CLKDIV				BUSTURN				DATAST								ADDHLD				ADDSET			
		rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:30　予約済みであり、リセット値に保持する必要があります。

ビット 29:28　**ACCMOD**：アクセスモード

タイミング図に示されているように、非同期アクセスモードを指定します。これらのビットは、FSMC_BCRx レジスタの EXTMOD ビットが 1 のときのみ考慮されます。

00：アクセスモード A

01：アクセスモード B

10：アクセスモード C

11：アクセスモード D

ビット 27:24　**DATLAT**：同期 NOR 型フラッシュメモリのデータ遅延

バーストモードを有効にした同期 NOR 型フラッシュメモリの場合、最初のデータの読み書きの前にメモリに発行するメモリクロックサイクル数（+2）を定義します。

このタイミングパラメータは、HCLK 周期ではなく、FSMC_CLK 周期で表されます。PSRAM（CRAM）の場合には、このフィールドを 0 に設定する必要があります。非同期の NOR 型フラッシュ、SRAM あるいは PSRAM の場合、この値は無関係です。

0000：最初のバーストアクセスでは、2 CLK クロックサイクルのデータ遅延

1111：最初のバーストアクセスでは、17 CLK クロックサイクルのデータ遅延（リセット後のデフォルト）

ビット 23:20　**CLKDIV**：クロック分周比（FSMC_CLK 信号）

FSMC_CLK クロック出力信号の周期を定義します。HCLK サイクル数で表されます。

0000：予約済み

0001：FSMC_CLK 周期 = 2 × HCLK 周期

0010：FSMC_CLK 周期 = 3 × HCLK 周期

1111：FSMC_CLK 周期 = 16 × HCLK 周期（リセット後のデフォルト）

非同期 NOR 型フラッシュ、SRAM、または PSRAM アクセスでは、この値は無関係です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 19:16 **BUSTURN**：バスターンアラウンドフェーズ時間

これらのビットはソフトウェアから書き込まれて、書き込み/読み出しトランザクションの終わりに遅延を追加します。この遅延を使うと、連続トランザクション間の最小時間 （NEx ハイから NEx ローまでの t_{EHEL}）と、読み出しアクセス後にメモリがデータバスを開放するために要する最大時間（tEHQZ）を次のように一致させることができます。

EXTMOD = "0" の場合、（BUSTRUN + 1）HCLK 周期 ≥$t_{EHELmin}$ かつ （BUSTRUN + 2）HCLK 周期 ≥ $t_{EHQZmax}$

EXTMOD = "1" の場合、（BUSTRUN + 2）HCLK 周期 ≥ max （$t_{EHELmin}$、$t_{EHQZmax}$）。

0000：BUSTURN フェーズ時間 = 0 HCLK クロックサイクル

...

1111：BUSTURN フェーズ時間 = 15× HCLK クロックサイクル（リセット後のデフォルト）

ビット 15:8 **DATAST**：データフェーズ時間

これらのビットはソフトウェアから書き込まれ、非同期アクセスで使用されるデータフェーズの時間を定義します（*図 433*～*図 445* を参照）。

0000 0000：予約済み

0000 0001：DATAST フェーズ時間 = 1× HCLK クロックサイクル

0000 0010：DATAST フェーズ時間 = 2× HCLK クロックサイクル

...

1111 1111：DATAST フェーズ時間 = 255× HCLK クロックサイクル（リセット後のデフォルト）

各メモリタイプおよびアクセスモードでのデータフェーズ時間については、それぞれの図（*図 433*～*図 445*）を参照してください。

例：モード 1、書き込みアクセス、DATAST=1：データフェーズ時間= DATAST+1 = 2 HCLK クロックサイクル。

注： 同期アクセスでは、この値は無視されます。

ビット 7:4 **ADDHLD**：アドレスホールドフェーズ時間

これらのビットは、アドレスホールドフェーズの時間を定義するために、ソフトウェアから書き込まれ（*図 442*～*図 445*を参照）、モード D およびマルチプレクスアクセスで使用されます。

0000：予約済み

0001：ADDHLD フェーズ時間 =1 × HCLK クロックサイクル

0010：ADDHLD フェーズ時間 = 2 × HCLK クロックサイクル

...

1111：ADDHLD フェーズ時間 = 15 × HCLK クロックサイクル （リセット後のデフォルト）

各アクセスモードでのデータホールドフェーズ時間については、それぞれの図（*図 442*～*図 445*）を参照してください。

注： 同期アクセスでは、この値は使用されず、アドレスホールドフェーズは、常に 1 メモリクロック周期の長さです。

ビット 3:0 **ADDSET**：アドレスセットアップフェーズ時間

これらのビットは、アドレスセットアップフェーズの時間を定義するために、ソフトウェアによって書き込まれ（*図 433*～*図 445* を参照）、SRAM、ROM、および非同期 NOR 型フラッシュで使用されます。

0000：ADDSET フェーズ時間 = 0 × HCLK クロックサイクル

...

1111：ADDSET フェーズ時間 = 15 × HCLK クロックサイクル （リセット後のデフォルト値）

各アクセスモードでのアドレスセットアップフェーズ時間については、それぞれの図（*図 433*～*図 445*）を参照してください。

注： 同期アクセスでは、この値は無視されます。

注： PSRAM（CRAM）の遅延は、内部更新のために可変です。したがって、これらのメモリは、必要に応じて遅延を延長するために、遅延フェーズ全体について NWAIT 信号を発行します。
SPRAM（CRAM）では、DATLAT フィールドを 0 に設定しなければなりません。こうすると、FSMC は、すぐに遅延フェーズを終了して、メモリからの NWAIT 信号のサンプリングを開始し、メモリがレディ状態になると、読み出しまたは書き込みを開始します。
この方法は、古い世代のフラッシュメモリと異なり、NWAIT 信号を発行する最新世代の同期フラッ

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

シュメモリでも使用できます（使用中の特定のフラッシュメモリのデータシートを参照してください）。

SRAM/NOR 型フラッシュ書き込みタイミングレジスタ 1..4（FSMC_BWTR1..4）

アドレスオフセット：0xA000 0000 + 0x104 + 8 * （x – 1）、x = 1...4

リセット値：0x0FFF FFFF

このレジスタは、SRAM、PSRAM、および NOR 型フラッシュメモリで使用される各メモリバンクの制御情報を含みます。このレジスタは、FSMC_BCRx レジスタで EXTMOD ビットがセットされているとき、書き込み 非同期アクセスに対してのみアクティブです。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み		ACCMOD		予約済み								BUSTURN				DATAST								ADDHLD				ADDSET			
		rw	rw									rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:30　予約済みであり、リセット値に保持する必要があります。

ビット 29:28　**ACCMOD**：アクセスモード。

次のタイミング図に示されているように、非同期アクセスモードを指定します。これらのビットは、FSMC_BCRx レジスタの EXTMOD ビットが 1 にセットされている場合のみ考慮されます。

00：アクセスモード A

01：アクセスモード B

10：アクセスモード C

11：アクセスモード D

ビット 27:20　予約済みであり、リセット値に保持する必要があります。

ビット 19:16　**BUSTURN**：バスターンアラウンドフェーズ時間

これらのビットはソフトウェアから書き込まれて、書き込みトランザクションの終わりに遅延を追加して、次のように連続トランザクション間の最小時間 （ENx ハイから ENx ローまでの t_{EHEL}）を一致させます。

（BUSTRUN + 1）HCLK 周期 $\geq t_{EHELmin}$.

0000：BUSTURN フェーズ時間 = 0 HCLK クロックサイクル

...

1111：BUSTURN フェーズ時間 = 15 HCLK クロックサイクル追加 （リセット後のデフォルト値）

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 15:8 **DATAST**：データフェーズ時間

これらのビットはソフトウェアから書き込まれ、非同期 SRAM、PSRAM、NOR型フラッシュメモリアクセスで使用されるデータフェーズの時間を定義します（*図 433*～*図 445* を参照）。

0000 0000：予約済み

0000 0001：DATAST フェーズ時間 = 1× HCLK クロックサイクル

0000 0010：DATAST フェーズ時間 = 2× HCLK クロックサイクル

...

1111 1111：DATAST フェーズ時間 = 255× HCLK クロックサイクル（リセット後のデフォルト）

注：　同期アクセスでは、この値は無視されます。

ビット 7:4 **ADDHLD**：アドレスホールドフェーズ時間

これらのビットは、アドレスホールドフェーズの時間を定義するために、ソフトウェアから書き込まれ（*図 442*～*図 445* を参照）、非同期マルチプレクスアクセスで使用されます。

0000：予約済み

0001：ADDHLD フェーズ時間 = 1 × HCLK クロックサイクル

0010：ADDHLD フェーズ時間 = 2 × HCLK クロックサイクル

...

1111：ADDHLD フェーズ時間 = 15 × HCLK クロックサイクル （リセット後のデフォルト）

注：　同期 NOR 型フラッシュアクセスでは、この値は使用されず、アドレスホールドフェーズは、常に 1 フラッシュクロック周期の長さです。

ビット 3:0 **ADDSET**：アドレスセットアップフェーズ時間。

これらのビットは、アドレスセットアップフェーズの時間を HCLK サイクル数で定義するために、ソフトウェアから書き込まれ（*図 442*～*図 445* を参照）、非同期アクセスで使用されます。

0000：ADDSET フェーズ時間 = 0 × HCLK クロックサイクル

...

1111：ADDSET フェーズ時間 = 15 × HCLK クロックサイクル （リセット後のデフォルト値）

注：　同期 NOR 型フラッシュアクセスでは、この値は無視されます。

36.6 NAND 型フラッシュ /PC カードコントローラ

FSMC は、次のようなタイプのデバイスを駆動するための適切なタイミングを生成します。

- NAND 型フラッシュ
  - 8 ビット
  - 16 ビット
- 16 ビット PC カード互換デバイス

NAND/PC カードコントローラは、3 つの外部バンクを制御できます。バンク 2 およびバンク 3 は、NAND 型フラッシュデバイスをサポートします。バンク 4 は、PC カードデバイスをサポートします。

各バンクは専用レジスタによって構成されます（*セクション 36.6.8* を参照）。プログラマブルメモリパラメータは、アクセスタイミング （*表 239* 参照）と ECC 構成を含みます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 239. プログラマブル NAND/PC カードアクセスパラメータ

パラメータ	機能	アクセスモード	単位	最小値	最大値
メモリセットアップ時間	コマンドアサーション前にアドレスをセットアップするためのクロックサイクル（HCLK）数	読み出し/書き込み	AHB クロックサイクル（HCLK）	1	256
メモリウェイト	コマンドアサーションの最小時間（HCLK クロックサイクル数）	読み出し/書き込み	AHB クロックサイクル（HCLK）	2	256
メモリホールド	コマンドデアサーション後にアドレスを（書き込みアクセスの場合にはデータも）ホールドするクロックサイクル数（HCLK）	読み出し/書き込み	AHB クロックサイクル（HCLK）	1	255
メモリデータバスハイインピーダンス	書き込みアクセス開始後にデータバスがハイインピーダンス状態に保たれるクロックサイクル数（HCLK）	書き込み	AHB クロックサイクル（HCLK）	0	255

36.6.1 外部メモリインタフェース信号

次の表に、通常、NAND 型フラッシュおよびPC カードとのインタフェースに使用される信号を示します。

注： プレフィックス「N」は、対応する信号がアクティブローであることを示します。

8 ビット NAND 型フラッシュ

表 240. 8 ビット NAND フラッシュ

FSMC 信号名	入出力	機能
A[17]	O	NAND 型フラッシュアドレスラッチイネーブル（ALE）信号
A[16]	O	NAND 型フラッシュコマンドラッチイネーブル（CLE）信号
D[7:0]	I/O	8 ビットマルチプレクス、双方向アドレス/データバス
NCE[x]	O	チップセレクト、x = 2、3
NOE（= NRE）	O	出力イネーブル（メモリ信号名：読み出しイネーブル、NRE）
NWE	O	書き込みイネーブル
NWAIT/INT[3:2]	I	FSMC への NAND 型フラッシュレディ /ビジー入力信号

FSMC は必要なだけのアドレスサイクルを管理できるので、容量についての理論上の限界はありません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

16 ビット NAND 型フラッシュ

表 241. 16 ビット NAND フラッシュ

FSMC 信号名	入出力	機能
A[17]	O	NAND 型フラッシュアドレスラッチイネーブル（ALE）信号
A[16]	O	NAND 型フラッシュコマンドラッチイネーブル（CLE）信号
D[15:0]	I/O	16 ビットマルチプレクス、双方向アドレス/データバス
NCE[x]	O	チップセレクト、x = 2、3
NOE（= NRE）	O	出力イネーブル（メモリ信号名：読み出しイネーブル、NRE）
NWE	O	書き込みイネーブル
NWAIT/INT[3:2]	I	FSMC への NAND 型フラッシュレディ /ビジー入力信号

FSMC は必要なだけのアドレスサイクルを管理できるので、容量についての理論上の限界はありません。

16 ビット PC カード

表 242. 16 ビット PC カード

FSMC 信号名	入出力	機能
A[10:0]	O	アドレスバス
NIORD	O	I/O 空間の出力イネーブル
NIOWR	O	I/O 空間の書き込みイネーブル
NREG	O	アクセスが共通または属性空間のいずれかを示すレジスタ信号
D[15:0]	I/O	双方向データバス
NCE4_1	O	チップセレクト 1
NCE4_2	O	チップセレクト 2（アクセスが 16 ビットか 8 ビットかを示す）
NOE	O	共通および属性空間での出力イネーブル
NWE	O	共通および属性空間での書き込みイネーブル
NWAIT	I	FSMC への PC カードウェイト入力信号（メモリ信号名 IORDY）
INTR	I	FSMC への PC カード割り込み（割り込みを生成できる PC カードのみ）
CD	I	PC カードの有無の検出。アクティブハイ。CD がローの間に PC カードバンクへのアクセスが行われた場合、AHB エラーが生成されます。*セクション 36.3 : AHB インタフェース*を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

36.6.2 NAND 型フラッシュ /PC カードによってサポートされるメモリおよびトランザクション

表 243 に、サポートされるデバイス、アクセスモード、およびトランザクションを示します。NAND 型フラッシュ /PC カードコントローラによって許可されない（またはサポートされない）トランザクションは、グレイで示されています。

表 243. サポートされるメモリおよびトランザクション

デバイス	モード	R/W	AHB データサイズ	メモリデータサイズ	許可/禁止	コメント
NAND 8 ビット	非同期	R	8	8	Y	
	非同期	W	8	8	Y	
	非同期	R	16	8	Y	2 つの FSMC アクセスに分割
	非同期	W	16	8	Y	2 つの FSMC アクセスに分割
	非同期	R	32	8	Y	4 つの FSMC アクセスに分割
	非同期	W	32	8	Y	4 つの FSMC アクセスに分割
NAND 16 ビット	非同期	R	8	16	Y	
	非同期	W	8	16	N	
	非同期	R	16	16	Y	
	非同期	W	16	16	Y	
	非同期	R	32	16	Y	2 つの FSMC アクセスに分割
	非同期	W	32	16	Y	2 つの FSMC アクセスに分割

36.6.3 NAND および PC カードのタイミング図

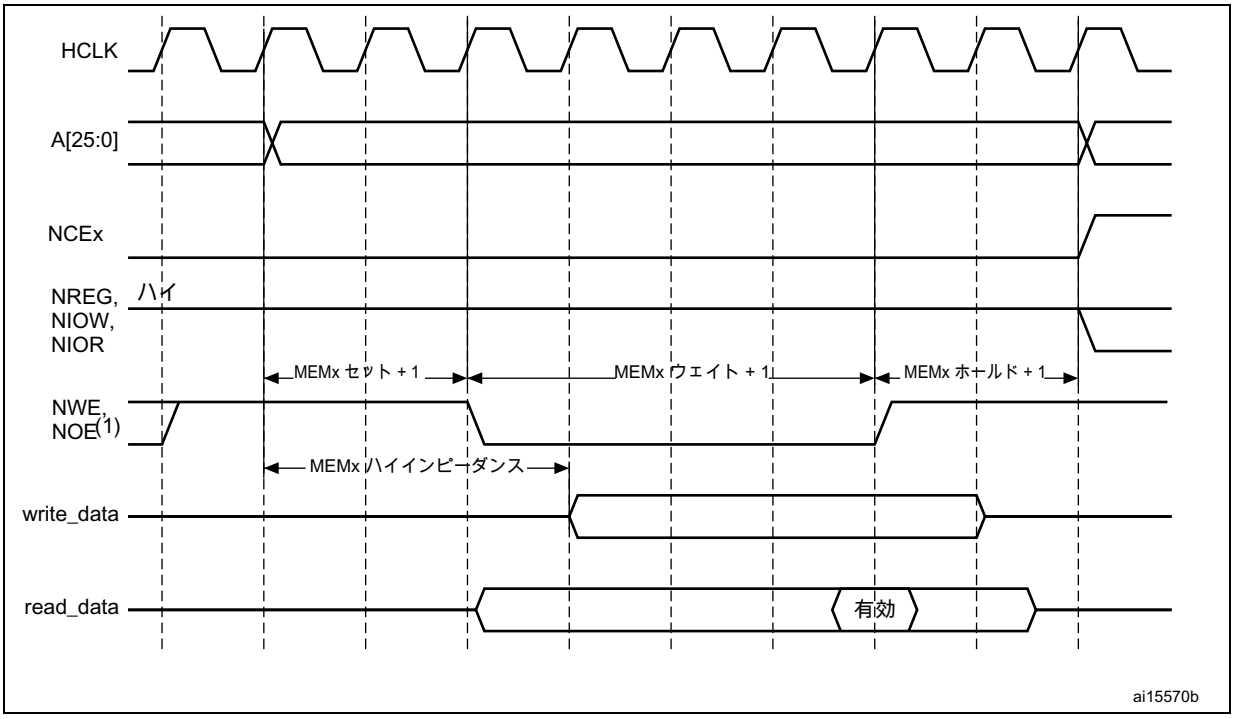
PC カード/コンパクトフラッシュ、および NAND 型フラッシュメモリの各バンクは、レジスタのセットを通じて管理されます。

- 制御レジスタ：FSMC_PCRx
- 割り込みステータスレジスタ：FSMC_SRx
- ECC レジスタ：FSMC_ECCRx
- 共通メモリ空間用タイミングレジスタ：FSMC_PMEMx
- 属性メモリ空間用タイミングレジスタ：FSMC_PATTx
- I/O スペース用タイミング・レジスタ：FSMC_PIOx

各タイミング構成レジスタは、PC カード/コンパクトフラッシュ、または NAND 型フラッシュアクセスの 3 つのフェーズの HCLK サイクル数を定義するための 3 つのパラメータと、書き込みの際にデータバスの駆動を開始するタイミングを定義する 1 つのパラメータを含みます。*図 451* は、共通メモリアクセスのタイミングパラメータの定義を示します。属性メモリ空間と I/O（PC カードのみ）メモリ空間のアクセスタイミングが同様であることがわかります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 451. 共通メモリアクセスの NAND/PC カードコントローラのタイミング



1. NOE は、書き込みアクセス時、ハイ（インアクティブ）に保たれます。NWE は、読み出しアクセス時、ハイ（インアクティブ）に保たれます。

36.6.4 NAND フラッシュ動作

NAND 型フラッシュデバイスのコマンドラッチイネーブル（CLE）およびアドレスラッチイネーブル（ALE）信号は、FSMC コントローラのいくつかのアドレス信号によって駆動されます。これは、NAND 型フラッシュメモリにコマンドまたはアドレスを送信するには、CPU は、CPU のメモリ空間内の特定のアドレスに書き込みを行う必要があることを意味します。

NAND 型フラッシュデバイスからの一般的なページ読み出し動作は、次のとおりです。

1. FSMC_PCRx および FSMC_PMEMx（デバイスによっては、FSMC_PATTx も、*セクション 36.6.5 : NAND 型フラッシュのプリウェイト機能（1600 ページ）*を参照）レジスタを、NAND フラッシュの特性に従って構成することによって、対応するメモリバンクをプログラミングし、有効にします（NAND フラッシュのデータバス幅に対する PWID ビット、PTYP = 1、必要に応じて PWAITEN = 0 または 1、タイミング構成については*共通メモリ空間タイミングレジスタ 2..4（FSMC_PMEM2..4）（1606 ページ）*を参照）。
2. CPU は、1 つのフラッシュコマンドバイトと等しいデータバイト（たとえば、Samsung の NAND 型フラッシュデバイスの場合は 0x00）で、共通メモリ空間にバイト書き込みを行います。NAND 型フラッシュの CLE 入力は、書き込みストローブ（NWE 上のローパルス）の間はアクティブであり、書き込まれたバイトは、NAND 型フラッシュによってコマンドとして認識されます。コマンドが NAND 型フラッシュデバイスにラッチされたら、次のページ読み出し動作のために書き込む必要はありません。
3. CPU は、必要とされるバイト（例えば 4 バイト、より小容量のデバイスの場合は 3 バイト）を共通メモリまたは属性空間に書き込むことによって、読み出し動作の開始アドレス（STARTAD）を送信できます（STARTAD[7:0]、STARTAD[15:8]、STARTAD[23:16]、および 64 M ビット x 8 ビット NAND 型フラッシュの場合は最後に STARTAD[25:24]）。NAND 型フラッシュデバイスの ALE 入力は、書き込みストローブの間アクティブであり（NWE 上のローパルス）、書き込まれたバイトは、読み出し動作の開始アドレスとして解釈されます。属性メモリ空間を使用すると、

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

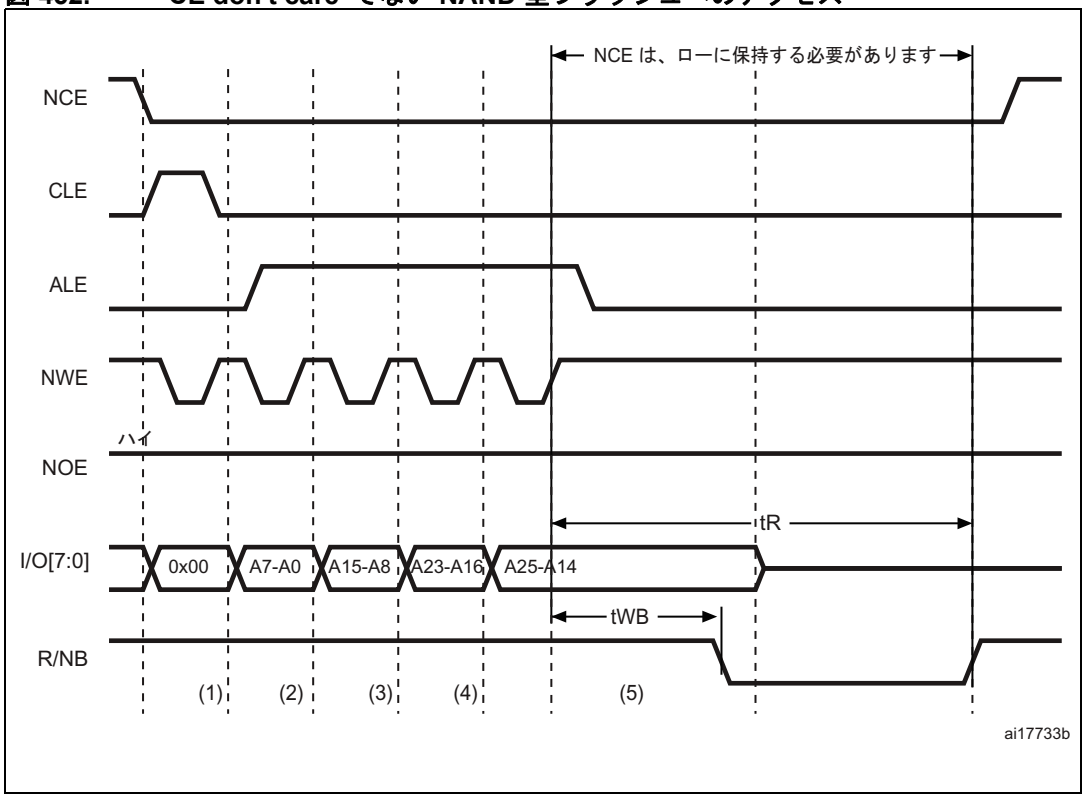
FSMC の異なるタイミング構成を使用でき、一部の NAND 型フラッシュメモリで必要とされるプリウェイト機能を実装できます（詳細については、*セクション 36.6.5 : NAND 型フラッシュのプリウェイト機能（1600 ページ）*を参照してください）。

4. コントローラは、NAND 型フラッシュがレディになり（R/NB 信号がハイ）、有効になるのを待ってから、（同じメモリバンクまたは別のメモリバンクへの）新しいアクセスを開始します。待っている間、コントローラは NCE 信号をアクティブ（ロー）に保ちます。
5. CPU は、NAND 型フラッシュページ（データフィールド＋スペアフィールド）をバイト単位で読み出すために、共通メモリ空間でバイト読み出し動作を行います。
6. 次の NAND 型フラッシュページは、CPU コマンドやアドレス書き込み動作なしに、3 種類方法で読み出すことができます。
   - ステップ 5 に記述された動作を実行します。
   - ステップ 3 から動作をリスタートすることによって、新しいランダムアドレスにアクセスできます。
   - ステップ 2 からリスタートすることによって、NAND 型フラッシュデバイスに新しいコマンドを送信できます。

36.6.5 NAND 型フラッシュのプリウェイト機能

一部の NAND 型フラッシュデバイスでは、アドレスの最後の部分を書き込んだ後、*図 452* に示されているように、コントローラは R/NB 信号を待つ必要があります。

図 452. "CE don't care"でない NAND 型フラッシュへのアクセス



1. CPU はアドレス 0x7001 0000 にバイト 0x00 を書き込みました。
2. CPU はアドレス 0x7002 0000 にバイト A7-A0 を書き込みました。
3. CPU はアドレス 0x7002 0000 にバイト A15-A8 を書き込みました。
4. CPU はアドレス 0x7002 0000 にバイト A23-A16 を書き込みました。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

5. CPU はアドレス 0x7002 0000 にバイト A25-A24 を書き込みました：FSMC は FSMC_PATT2 タイミング定義を使用して書き込みアクセスを実行します。ここで ATTHOLD≥7（(7+1) × HCLK = 112 ns > t_{WB}max と仮定）。これにより、NCE は R/NB がローから再びハイになるまでローを維持します（NCE が Don't care でない NAND 型フラッシュメモリの場合のみ必要）。

この機能が必要なときには、tWB タイミングに合わせて MEMHOLD 値をプログラムすることによって保証できますが、CPU から NAND 型フラッシュへの読み出しまたは書き込みアクセスでは、NWE 信号の立ち上がりエッジから次のアクセスまでに HCLK サイクルのホールド遅延（MEMHOLD+1）が挿入されます。

このタイミング制約を回避するには、tWB タイミングに応じた ATTHOLD 値でタイミングレジスタをプログラムし、MEMHOLD 値を最小値のままにしておくことで、属性メモリ空間を使用できます。その場合、CPU は、NAND 型フラッシュのすべての読み出しおよび書き込みアクセスには共通メモリ空間を使用する必要があります。ただし、NAND 型フラッシュデバイスに最後のアドレスバイトを書き込むときには、属性メモリ空間に書き込む必要があります。

36.6.6 NAND フラッシュメモリのエラー訂正コード（ECC）の計算

FSMC の PC カードコントローラには、メモリバンクごとに 1 つずつ、2 つのエラー訂正コード計算ハードウェアブロックがあります。これらは、システム内のソフトウェアでエラー訂正コードを処理するときのホスト CPU の負荷を軽減するために使われます。

この 2 つのレジスタは同一であり、それぞれバンク 2 とバンク 3 に関連づけられます。結果として、バンク 4 に接続されたメモリでは、ハードウェア ECC 計算を使用できません。

FSMC に実装されたエラー訂正コード（ECC）のアルゴリズムでは、NAND 型フラッシュメモリへの 256、512、1024、2048、4096、または 8192 バイトの読み出しまたは書き込みごとに、1 ビットのエラー訂正と 2 ビットのエラー検出を実行できます。ハミングコーディングアルゴリズムを採用し、行と列のパリティ計算を行います。

ECC モジュールは、NAND 型フラッシュメモリバンクが有効になるたびに、NAND 型フラッシュデータバスおよび読み出し/書き込み信号（NCE と NWE）を監視します。

機能的な動作は、次のとおりです。

- NAND 型フラッシュへのアクセスがバンク 2 またはバンク 3 に対して行われるときには、D[15:0] バス上のデータがラッチされて、ECC 計算に使用されます。
- NAND 型フラッシュへのアクセスが他のアドレスで発生したときには、ECC ロジックはアイドル状態であり、何の処理も行いません。すなわち、コマンドやアドレスを定義するための NAND 型フラッシュへの書き込み動作は、ECC 計算の対象となりません。

目的のバイト数がホスト CPU によって NAND 型フラッシュから読み出されるか、NAND 型フラッシュに書き込まれたら、FSMC_ECCR2/3 レジスタを読み出して、計算値を取得しなければなりません。読み出し後は、ECCEN ビットをゼロにリセットすることによってクリアされます。新しいデータクロックを計算するには、FSMC_PCR2/3 レジスタの ECCEN ビットを 1 にセットしなければなりません。

ECC計算を行うときは：

1. FSMC_PCR2/3 レジスタで ECCEN ビットを有効にします。
2. NAND 型フラッシュメモリページへデータを書き込みます。NAND ページへ書き込む際、ECC ブロックは ECC 値を計算します。
3. FSMC_ECCR2/3 レジスタにある ECC 値を読み出しして、変数内に格納します。
4. ECCEN ビットをクリアし、FSMC_PCR2/3 レジスタで有効にした後、書き込んだデータを NAND ページから読み出します。NAND ページを読み出す際、ECC ブロックは ECC 値を計算します。
5. FSMC_ECCR2/3 レジスタにある新しい ECC 値を読み出します。

この資料は、STMicroelectronics NV 並びにその子会社（以下 ST）が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

6. 2 つの ECC 値が同じ場合、訂正は不要です。その他の場合、ECC エラーが存在するためソフトウェア訂正ルーチンがエラーが訂正できるか否かの情報を返します。

36.6.7 PC カード/コンパクトフラッシュの動作

アドレス空間とメモリアクセス

FSMC は、コンパクトフラッシュストレージまたは PC カードをメモリモードおよび I/O モードでサポートします（True IDE モードはサポートされません）。

コンパクトフラッシュストレージと PC カードは、3 つのメモリ空間から成ります。

- 共通メモリ空間
- 属性空間
- I/O メモリ空間

nCE2 および nCE1 ピン（それぞれ FSMC_NCE4_2 および FSMC_NCE4_1）は、カードを選択し、バイト動作が行われているか、ワード動作が行われているかを示します。nCE2 は、D15-8 上の奇数バイトにアクセスし、nCE1 は、A0=0 の場合は D7-0 の偶数バイト、A0=1 の場合は D7-0 上の奇数バイトにアクセスします。nCE2 と nCE1 の両方ともローの場合は、D15-0 上のフルワードがアクセスされます。

メモリ空間は、nCE2/nCE1 と nREG のローアサーションと組み合わせて、読み出しアクセスの場合は nOE を、書き込みアクセスの場合は nWE を、それぞれローにアサートすることによって選択されます。

- メモリアクセス時にピン nREG=1 の場合は、共通メモリ空間が選択選択されます。
- メモリアクセス時にピン nREG=0 の場合は、属性メモリ空間が選択されます。

I/O 空間は、nCE2/nCE1 と組み合わせて、読み出しアクセスの場合は nIORD を、書き込みアクセスの場合は nIOWR を（メモリ空間のnOE/nWE の代わりに）それぞれローにアサートすることによって選択されます。I/O 空間にアクセスするときには、nREG もローにアサートされなければならないことに注意してください。

16 ビット PC カードでは、次の 3 種類のアクセスが可能です。

- データストレージのための共通メモリ空間へのアクセスは、偶数アドレスでは 8 ビットアクセス、または 16 ビット AHB アクセスが可能です。

  奇数アドレスでの 8 ビットアクセスはサポートされず、nCE2 がローにアサートされないことに注意してください。32 ビット AHB リクエストは、2 つの 16 ビットメモリアクセスに変換されます。
- PC カードが構成情報を格納している属性メモリ空間へのアクセスは、偶数アドレスでの 8 ビット AHB アクセスに限られます。

  16 ビット AHB アクセスは 1 つの 8 ビットメモリ転送に変換されることに注意してください。nCE1 はローにアサートされ、nCE2 はハイにアサートされ、D7-D0 上の偶数バイトのみが有効になります。32 ビット AHB アクセスは、偶数アドレスでの 2 つの 8 ビットメモリ転送に変換されます。nCE1 はローにアサートされ、nCE2 はハイにアサートされ、偶数バイトのみが有効になります。
- I/O 空間へのアクセスは、AHB 8 ビットアクセスまたはAHB 16 ビットアクセスにより行うことができます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 244. 16 ビット PC- カード信号とアクセスタイプ

nCE2	nCE1	nREG	nOE/nWE	nIORD /nIOWR	A10	A9	A7-1	A0	空間	アクセスタイプ	許可/禁止
1	0	1	0	1	X	X	X-X	X	共通メモリ空間	D7-D0 上のバイトの読み出し/書き込み	YES
0	1	1	0	1	X	X	X-X	X		D15-D8 上のバイトの読み出し/書き込み	サポートされません
0	0	1	0	1	X	X	X-X	0		D15-D0 上のワードの読み出し/書き込み	YES
X	0	0	0	1	0	1	X-X	0	属性空間	構成レジスタの読み出しまたは書き込み	YES
X	0	0	0	1	0	0	X-X	0		CIS（カード情報構造）の読み出しまたは書き込み	YES
1	0	0	0	1	X	X	X-X	1	属性空間	無効な読み出しまたは書き込み（奇数アドレス）	YES
0	1	0	0	1	X	X	X-X	x		無効な読み出しまたは書き込み（奇数アドレス）	YES
1	0	0	1	0	X	X	X-X	0	I/O 空間	D7-0 上の偶数バイトの読み出し	YES
1	0	0	1	0	X	X	X-X	1		D7-0 上の奇数バイトの読み出し	YES
1	0	0	1	0	X	X	X-X	0		D7-0 上の偶数バイトの書き込み	YES
1	0	0	1	0	X	X	X-X	1		D7-0 上の奇数バイトの書き込み	YES
0	0	0	1	0	X	X	X-X	0		D15-0 上のワードの読み出し	YES
0	0	0	1	0	X	X	X-X	0		D15-0 上のワードの書き込み	YES
0	1	0	1	0	X	X	X-X	X		D15-8 上の奇数バイトの読み出し	サポートされません
0	1	0	1	0	X	X	X-X	X		D15-8 上の奇数バイトの書き込み	サポートされません

FSMC バンク 4 は、*セクション 36.4.2 : NAND/PC カードアドレスマッピング*～*表 211 : メモリマッピングとタイミングレジスタ*で説明されている 3 つのメモリ空間へのアクセスを可能にします。

ウェイト機能

コンパクトフラッシュストレージや PC カードは、FSMC_PCRx レジスタの PWAITEN ビットを通じてウェイト機能が有効な場合、nOE/nWE または nIORD/nIOWR が有効になった後に nWAIT 信号をアサートすることによって、MEMWAITx/ATTWAITx/IOWAITx ビットでプログラムされたアクセスフェーズの長さを延長するように FSMC に要求することができます。nWAIT のアサートを正しく検出するためには、MEMWAITx/ATTWAITx/IOWAITx ビットを次のようにプログラムする必要があります。

xxWAITx >= 4 + max_wait_assertion_time/HCLK

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ここで、max_wait_assertion_time は、nOE/nWE または nIORD/nIOWR がローになってから NWAIT がローになるまでの最大時間です。

nWAIT のネゲートの後、FSMC は、WAIT フェーズを 4 HCLK クロックサイクルだけ延長します。

36.6.8 NAND 型フラッシュ /PC カード制御レジスタ

NAND 型フラッシュ /PC カード制御レジスタは、ワード単位 （32 ビット）でアクセスする必要があります。

PC カード/NAND 型フラッシュ制御レジスタ 2..4（FSMC_PCR2..4）

アドレスオフセット：0xA0000000 + 0x40 + 0x20 * （x – 1）、x = 2..4

リセット値：0x0000 0018

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み												ECCPS			TAR				TCLR				予約済み		ECCEN	PWID		PTYP	PBKEN	PWAITEN	予約済み
												rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw			rw	rw	rw	rw	rw	rw	

ビット 31:20　予約済みであり、リセット値に保持する必要があります。

ビット 19:17 **ECCPS :** ECC ページサイズ

外部 ECC のページサイズを定義します：
000：256 バイト
001：512 バイト
010：1024 バイト
011：2048 バイト
100：4096 バイト
101：8192 バイト

ビット 16:13 **TAR :** ALE から RE 間の遅延

ALE ローから RE ローまでの時間を AHB クロックサイクル（HCLK）数で設定します。
時間は、t_ar = （TAR + SET +2）× THCLK です。THCLK は HCLK クロック周期です。
0000：1 HCLK サイクル （デフォルト）
1111：16 HCLK サイクル

注：　SET は、アドレス指定される空間に応じて、MEMSET または ATTSET です。

ビット 12:9 **TCLR :** CLE から RE 間の遅延

CLE ローから RE ローまでの時間を AHB クロックサイクル（HCLK）数で設定します。
時間は、t_clr = （TCLR + SET + 2）× THCLK です。THCLK は HCLK クロック周期です。
0000：1 HCLK サイクル （デフォルト）
1111：16 HCLK サイクル

注：　SET は、アドレス指定される空間に応じて、MEMSET または ATTSET です。

ビット 8:7　予約済みであり、リセット値に保持する必要があります。

ビット 6 **ECCEN :** ECC 計算ロジックイネーブルビット

0：ECC ロジックは無効であり、リセットされています（リセット後のデフォルト）。
1：ECC ロジックは有効です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 5:4 **PWID**：メモリデータバス幅

外部メモリデバイスの幅を定義します。

00：8 ビット

01：16 ビット（リセット後のデフォルト）この値は PC カードに対して必須です。

10：予約済み。使用しないでください。

11：予約済み。使用しないでください。

ビット 3 **MTYP**：メモリタイプ

対応するメモリバンクに接続されたデバイスのタイプを定義します。

0：PC カード、CompactFlash、CF+ または PCMCIA

1：NAND 型フラッシュ （リセット後のデフォルト）

ビット 2 **PBKEN**：PC カード/NAND 型フラッシュメモリバンクイネーブルビット

メモリバンクを有効にします。無効なメモリバンクにアクセスすると、AHB バスの ERROR になります。

0：対応するメモリバンクは無効です（リセット後のデフォルト）。

1：対応するメモリバンクは有効です。

ビット 1 **PWAITEN**：ウェイト機能イネーブルビット

PC カード/NAND 型フラッシュメモリのウェイト機能を有効にします。

0：無効

1：有効

注： PC カードの場合、ウェイト機能を有効にするときには、MEMWAITx/ATTWAITx/IOWAITx ビットを次の値にプログラムする必要があります。
xxWAITx ≥4 + max_wait_assertion_time/HCLK

ここで、max_wait_assertion_time は、nOE/nWE または nIORD/nIOWR がローになってから NWAIT がローになるまでの最大時間です。

ビット 0 予約済みであり、リセット値に保持する必要があります。

FIFO ステータスおよび割り込みレジスタ 2..4（FSMC_SR2..4）

アドレスオフセット：0xA000 0000 + 0x44 + 0x20 * （x-1）、x = 2..4

リセット値：0x0000 0040

このレジスタは、FIFO ステータスと割り込みに関する情報を含みます。FSMC には、AHB の 16 ワードまでのデータをメモリに書き込んで格納するときに使用される FIFO があります。
これは、FSMC が FIFO をメモリに書き出しているときに、AHB に迅速に書き込んで、AHB を FSMC 以外のペリフェラルへのトランザクションのために解放するために使用されます。このレジスタのビットの 1 つは、ECC のために、FIFO のステータスを示します。
ECC は、データがメモリに書き込まれるときに計算されるので、正しい ECC を読み出すためには、ソフトウェアは FIFO がエンプティになるまで待たなければなりません。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									FEMPT	IFEN	ILEN	IREN	IFS	ILS	IRS
																									r	rw	rw	rw	rw	rw	rw

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 31:7　予約済みであり、リセット値に保持する必要があります。

ビット 6　**FEMPT**：FIFO エンプティ

FIFO のステータスを表示する読み取り専用ビット

0：FIFO 非エンプティ

1：FIFO エンプティ

ビット 5　**IFEN**：割り込み立ち下がりエッジ検出イネーブルビット

0：割り込み立ち下がりエッジ検出リクエストは無効

1：割り込み立ち下がりエッジ検出リクエストは有効

ビット 4　**ILEN**：割り込みハイレベル検出イネーブルビット

0：割り込みハイレベル検出リクエストは無効

1：割り込みハイレベル検出リクエストは有効

ビット 3　**IREN**：割り込み立ち上がりエッジ検出イネーブルビット

0：割り込み立ち上がりエッジ検出リクエストは無効

1：割り込み立ち上がりエッジ検出リクエストは有効

ビット 2　**IFS**：割り込み立ち下がりエッジステータス

このフラグは、ハードウェアによってセットされ、ソフトウェアによってリセットされます。

0：割り込み立ち下がりエッジは発生しませんでした。

1：割り込み立ち下がりエッジが発生しました。

ビット 1　**ILS**：割り込みハイレベルステータス

このフラグは、ハードウェアによってセットされ、ソフトウェアによってリセットされます。

0：割り込みハイレベルは発生しませんでした。

1：割り込みハイレベルが発生しました。

ビット 0　**IRS**：割り込み立ち上がりエッジステータス

このフラグは、ハードウェアによってセットされ、ソフトウェアによってリセットされます。

0：割り込み立ち上がりエッジは発生しませんでした。

1：割り込み立ち上がりエッジが発生しました。

共通メモリ空間タイミングレジスタ 2..4（FSMC_PMEM2..4）

アドレスオフセット：アドレス：0xA000 0000 + 0x48 + 0x20 * （x – 1）、x = 2..4

リセット値：0xFCFC FCFC

各 FSMC_PMEMx（x=2..4）読み出し/書き込みレジスタは、PC カードまたは NAND 型フラッシュメモリバンク x のタイミング情報を含みます。この情報は、16 ビット PC カード/コンパクトフラッシュの共通メモリ空間へのアクセス、または、コマンド、アドレス書き込みアクセス、およびデータ読み出し/書き込みアクセスのために NAND 型フラッシュにアクセスする際に使用されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MEMHIZx								MEMHOLDx								MEMWAITx								MEMSETx							
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 31:24 **MEMHIZx**：共通メモリ x データバスハイインピーダンス時間

ソケット x 上の共通メモリ空間への PC カード/NAND 型フラッシュによる書き込みアクセスの開始後に、データバスをハイインピーダンスに保つ HCLKクロックサイクル数を定義します。これは、書き込みトランザクションに限り有効です。

0000 0000：（0x00）0 HCLK サイクル （PC カード）

1111 1111：（0xFF）255 HCLK サイクル （PC カード）- （リセット後のデフォルト値）

ビット 23:16 **MEMHOLDx**：共通メモリ x ホールド時間

ソケット x 上の共通メモリ空間への PC カード/NAND 型フラッシュによる読み出しまたは書き込みアクセスの際に、コマンドデアサーション（NWE、NOE）後にアドレスを（書き込みアクセス時はデータも）ホールドする HCLK クロックサイクル数を定義します。

0000 0000：予約済み

0000 0001：1 HCLK サイクル

1111 1111：255 HCLK サイクル （リセット後のデフォルト値）

ビット 15:8 **MEMWAITx**：共通メモリ x ウェイト時間

ソケット x 上の共通メモリ空間への PC カード/NAND 型フラッシュによる読み出しまたは書き込みアクセスの際に、コマンド（NEW、NOE）をアサートするための HCLK（＋1）クロックサイクルの最小数を定義します。プログラムされた HCLK 値の後にウェイト信号（NWAIT）がアクティブ（ロー）の場合、コマンドアサーションの時間は延長されます。

0000 0000：予約済み

0000 0001：2 HCLK サイクル（＋NWAIT のデアサーションによって導入されるウェイトサイクル）

1111 1111：256 HCLK サイクル（＋カードが NWAIT をデアサートすることによって導入されるウェイトサイクル）（リセット後のデフォルト）

ビット 7:0 **MEMSETx**：共通メモリ x セットアップ時間

ソケット x 上の共通メモリ空間への PC カード/NAND 型フラッシュによる読み出しまたは書き込みアクセスの際に、コマンドアサーション（NWE、NOE）前にアドレスをセットアップするための HCLK（）クロックサイクル数を定義します。

0000 0000：1 HCLK サイクル （PC カードの場合）/HCLK サイクル （NAND 型フラッシュの場合）

1111 1111：256 HCLK サイクル （PC Card の場合）/257 HCLK サイクル（NAND 型フラッシュの場合）- （リセット後のデフォルト）

属性メモリ空間タイミングレジスタ 2..4（FSMC_PATT2..4）

アドレスオフセット：0xA000 0000 + 0x4C + 0x20 * （x – 1）、x = 2..4

リセット値：0xFCFC FCFC

各 FSMC_PATTx（x = 2..4）読み出し/書き込みレジスタは、PC カード/コンパクトフラッシュまたは NAND 型フラッシュメモリバンク x のタイミング情報を含みます。この情報は、PC カード/コンパクトフラッシュの属性メモリ空間への 8 ビットアクセスのために、またはタイミングが以前のアクセスのタイミングと異なる必要がある場合に最後のアドレス書き込みアクセスで NAND 型フラッシュにアクセスするために使用されます（レディ /ビジー管理については、*セクション 36.6.5：NAND 型フラッシュのプリウェイト機能*を参照）。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ATTHIZx								ATTHOLDx								ATTWAITx								ATTSETx							
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 31:24 **ATTHIZx：**属性メモリ x データバスハイインピーダンス時間

ソケット x 上の属性メモリ空間への PC カード/NAND 型フラッシュによる書き込みアクセスの開始後に、データバスをハイインピーダンスに保つ HCLK クロックサイクル数を定義します。これは、書き込みトランザクションに限り有効です。

0000 0000：0 HCLK サイクル

1111 1111：255 HCLK サイクル （リセット後のデフォルト値）

ビット 23:16 **ATTHOLDx：**属性メモリ x ホールド時間

ソケット x 上の属性メモリ空間への PC カード/NAND 型フラッシュによる読み出しまたは書き込みアクセスの際に、コマンドデアサーション（NWE、NOE）後にアドレスを（書き込みアクセス時はデータも）ホールドする HCLKクロックサイクル数を定義します。

0000 0000：予約済み

0000 0001：1 HCLK サイクル

1111 1111：255 HCLK サイクル （リセット後のデフォルト値）

ビット 15:8 **ATTWAITx：**属性メモリ x ウェイト時間

ソケット x 上の属性メモリ空間への PC カード/NAND 型フラッシュによる読み出しまたは書き込みアクセスの際に、コマンド（NEW、NOE）をアサートするための HCLK（＋1）クロックサイクルの最小数を定義します。プログラムされた HCLK 値の後にウェイト信号（NWAIT）がアクティブ（ロー）の場合、コマンドアサーションの時間は延長されます。

0000 0000：予約済み

0000 0001：2 HCLK サイクル（＋NWAIT のデアサーションによって導入されるウェイトサイクル）

1111 1111：256 HCLK サイクル（＋カードが NWAIT をデアサートすることによって導入されるウェイトサイクル）（リセット後のデフォルト）

ビット 7:0 **ATTSETx：**属性メモリ x セットアップ時間

ソケット x 上の属性メモリ空間への PC カード/NAND 型フラッシュによる読み出しまたは書き込みアクセスの際に、コマンドアサーション（NWE、NOE）前にアドレスをセットアップするための HCLK（＋1）クロックサイクル数を定義します。

0000 0000：1 HCLK サイクル

1111 1111：256 HCLK サイクル （リセット後のデフォルト値）

I/O 空間タイミングレジスタ 4（FSMC_PIO4）

アドレスオフセット：0xA000 0000 + 0xB0
リセット値：0xFCFCFCFC

FSMC_PIO4 読み出し/書き込みレジスタは、16 ビット PC カード/コンパクトフラッシュの I/O 空間へのアクセスを得るためのタイミング情報を含みます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IOHIZx								IOHOLDx								IOWAITx								IOSETx							
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 31:24 **IOHIZx**：I/O データバスハイインピーダンス時間

ソケット x 上の I/O 空間への PC カード書き込みアクセスの開始後に、データバスをハイインピーダンスに保つ HCLK クロックサイクル数を定義します。これは、書き込みトランザクションに限り有効です。

0000 0000：0 HCLK サイクル

1111 1111：255 HCLK サイクル （リセット後のデフォルト値）

ビット 23:16 **IOHOLDx**：I/O x ホールド時間

ソケット x 上の I/O 空間への PC カードによる読み出しまたは書き込みアクセスの際に、コマンドデアサーション（NWE、NOE）後にアドレスを（書き込みアクセス時はデータも）ホールドする HCLKクロックサイクル数を定義します。

0000 0000：予約済み

0000 0001：1 HCLK サイクル

1111 1111：255 HCLK サイクル （リセット後のデフォルト値）

ビット 15:8 **IOWAITx**：I/O x ウェイト時間

ソケット x 上の I/O 空間への PC カードによる読み出しまたは書き込みアクセスの際に、コマンド（SMNWE、SMNOE）をアサートするための HCLK（＋1）クロックサイクルの最小数を定義します。プログラムされた HCLK 値の後にウェイト信号（NWAIT）がアクティブ（ロー）の場合、コマンドアサーションの時間は延長されます。

0000 0000：予約済み。使用しないでください。

0000 0001：2 HCLK サイクル（＋NWAIT のデアサーションによって導入されるウェイトサイクル）

1111 1111：256 HCLK サイクル（＋カードが NWAIT をデアサートすることによって導入されるウェイトサイクル）（リセット後のデフォルト）

ビット 7:0 **IOSETx**：I/O x セットアップ時間

ソケット x 上の I/O 空間への PC カードによる読み出しまたは書き込みアクセスの際に、コマンドアサーション（NWE、NOE）前にアドレスをセットアップするための HCLK（＋1）クロックサイクル数を定義します。

0000 0000：1 HCLK サイクル

1111 1111：256 HCLK サイクル （リセット後のデフォルト値）

ECC リザルトレジスタ 2/3（FSMC_ECCR2/3）

アドレスオフセット：0xA000 0000 + 0x54 + 0x20 * （x – 1）、x = 2 または 3

リセット値：0x0000 0000

これらのレジスタは、FSMC コントローラの ECC 計算モジュール（NAND 型フラッシュメモリバンクごとに 1 つのモジュール）によって計算された現在のエラー訂正コード値を含みます。CPU が、NAND 型フラッシュメモリページ上の正しいアドレスからデータを読み出すときには（*セクション 36.6.6：NAND フラッシュメモリのエラー訂正コード（ECC）の計算*を参照）、NAND 型フラッシュから読み書きされたデータは、ECC 計算モジュールによって自動的に処理されます。X バイトの読み出しが完了すると（FSMC_PCRx レジスタの ECCPS フィールドに応じて）、CPU は、計算された ECC 値を FSMC_ECCx レジスタから読み出して、これらの計算されたパリティデータがスペア領域に記録されたパリティデータと同じかどうかを確認し、必要な場合は訂正しなければなりません。FSMC_ECCRx レジスタは、読み出し後、ECCEN ビットを 0 にセットすることによってクリアしなければなりません。新しいデータブロックを計算するには、ECCEN ビットを 1 にセットしなければなりません。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ECCx																															
r																															

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 31:0 **ECCx**：ECC 結果

このフィールドは、ECC 計算ロジックによって計算された値を提供します。*表 245* に、これらのビットフィールドの内容を示します。

表 245. ECC リザルト関連ビット

ECCPS[2:0]	ページサイズ（バイト数）	ECC ビット
000	256	ECC[21:0]
001	512	ECC[23:0]
010	1024	ECC[25:0]
011	2048	ECC[27:0]
100	4096	ECC[29:0]
101	8192	ECC[31:0]

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

36.6.9 FSMC レジスタマップ

次の表は FSMC レジスタの一覧です。

表 246. FSMC レジスタマップ

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0000	FSMC_BCR1	予約済み												CBURSTRW	予約済み			ASYNCWAIT	EXTMOD	WAITEN	WREN	WAITCFG	WRAPMOD	WAITPOL	BURSTEN	予約済み	FACCEN	MWID		MTYP		MUXEN	MBKEN
0008	FSMC_BCR2	予約済み												CBURSTRW	予約済み			ASYNCWAIT	EXTMOD	WAITEN	WREN	WAITCFG	WRAPMOD	WAITPOL	BURSTEN	予約済み	FACCEN	MWID		MTYP		MUXEN	MBKEN
0010	FSMC_BCR3	予約済み												CBURSTRW	予約済み			ASYNCWAIT	EXTMOD	WAITEN	WREN	WAITCFG	WRAPMOD	WAITPOL	BURSTEN	予約済み	FACCEN	MWID		MTYP		MUXEN	MBKEN
0018	FSMC_BCR4	予約済み												CBURSTRW	予約済み			ASYNCWAIT	EXTMOD	WAITEN	WREN	WAITCFG	WRAPMOD	WAITPOL	BURSTEN	予約済み	FACCEN	MWID		MTYP		MUXEN	MBKEN
0004	FSMC_BTR1	予約済み		ACCMOD			DATLAT			CLKDIV				BUSTURN				DATAST								ADDHLD				ADDSET			
000C	FSMC_BTR2	予約済み		ACCMOD			DATLAT			CLKDIV				BUSTURN				DATAST								ADDHLD				ADDSET			
0014	FSMC_BTR3	予約済み		ACCMOD			DATLAT			CLKDIV				BUSTURN				DATAST								ADDHLD				ADDSET			
001C	FSMC_BTR4	予約済み		ACCMOD			DATLAT			CLKDIV				BUSTURN				DATAST								ADDHLD				ADDSET			
0104	FSMC_BWTR1	予約済み		ACCMOD			予約済み							BUSTURN				DATAST								ADDHLD				ADDSET			
010C	FSMC_BWTR2	予約済み		ACCMOD			予約済み							BUSTURN				DATAST								ADDHLD				ADDSET			
0114	FSMC_BWTR3	予約済み		ACCMOD			予約済み							BUSTURN				DATAST								ADDHLD				ADDSET			
011C	FSMC_BWTR4	予約済み		ACCMOD			予約済み							BUSTURN				DATAST								ADDHLD				ADDSET			
0xA000 0060	FSMC_PCR2	予約済み												ECCPS				TAR				TCLR				Res.		ECCEN	PWID		PTYP	PBKEN	PWAITEN	予約済み
0xA000 0080	FSMC_PCR3	予約済み												ECCPS				TAR				TCLR				Res.		ECCEN	PWID		PTYP	PBKEN	PWAITEN	予約済み
0xA000 00A0	FSMC_PCR4	予約済み												ECCPS				TAR				TCLR				Res.		ECCEN	PWID		PTYP	PBKEN	PWAITEN	予約済み
0xA000 0064	FSMC_SR2	予約済み																									FEMPT	IFEN	ILEN	IREN	IFS	ILS	IRS
0xA000 0084	FSMC_SR3	予約済み																									FEMPT	IFEN	ILEN	IREN	IFS	ILS	IRS
0xA000 00A4	FSMC_SR4	予約済み																									FEMPT	IFEN	ILEN	IREN	IFS	ILS	IRS

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 246. FSMC レジスタマップ（続き）

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0xA000 0068	FSMC_PMEM2	MEMHIZx								MEMHOLDx								MEMWAITx								MEMSETx							
0xA000 0088	FSMC_PMEM3	MEMHIZx								MEMHOLDx								MEMWAITx								MEMSETx							
0xA000 00A8	FSMC_PMEM4	MEMHIZx								MEMHOLDx								MEMWAITx								MEMSETx							
0xA000 006C	FSMC_PATT2	ATTHIZx								ATTHOLDx								ATTWAITx								ATTSETx							
0xA000 008C	FSMC_PATT3	ATTHIZx								ATTHOLDx								ATTWAITx								ATTSETx							
0xA000 00AC	FSMC_PATT4	ATTHIZx								ATTHOLDx								ATTWAITx								ATTSETx							
0xA000 00B0	FSMC_PIO4	IOHIZx								IOHOLDx								IOWAITx								IOSETx							
0xA000 0074	FSMC_ECCR2	ECCx																															
0xA000 0094	FSMC_ECCR3	ECCx																															

レジスタ境界アドレスについては、*表 2（64 ページ）*を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

37 フレキシブルメモリコントローラ（FMC）

フレキシブルメモリコントローラ（FMC）には、次の 3 つのメモリコントローラが含まれています。

- NOR/PSRAM メモリコントローラ
- NAND/PC カードメモリコントローラ
- 同期 DRAM（SDRAM）コントローラ

このセクションはSTM32F42xxx および STM32F43xxxにのみ適用されます。

37.1 FMC の主な機能

FMC 機能ブロックは、同期および非同期のスタティックメモリ、SDRAM メモリ、16 ビット PC メモリカードとのインタフェースを構成します。主要目的は、

- AHB トランザクションを該当する外部デバイスプロトコルへ翻訳すること
- 外部メモリデバイスのアクセス時間条件を満たすようにすること

すべての外部メモリが、アドレス信号、データ信号、制御信号をコントローラと共用すること各外部デバイスを固有のチップセレクトを使ってアクセスすることFMC は外部デバイスを一度に 1 回だけアクセスするようにすること

FMC コントローラの主要機能は次の通りです。

- 次のスタティックメモリにマップされたデバイスとのインタフェース
  - スタティックランダムアクセスメモリ（SRAM）
  - NOR フラッシュメモリ/OneNAND フラッシュメモリ
  - PSRAM（4 メモリバンク）
  - 16 ビット PC カード互換デバイス
  - 最大 8 K バイトのデータをチェックできる ECC ハードウェア付きの 2 バンクの NAND フラッシュメモリ
- 同期 DRAM（SDRAM）メモリとのインタフェース
- NOR フラッシュメモリ、PSRAM、SDRAMなどの同期デバイスに対するアクセスを高速化するバーストモードのサポート
- 非同期アクセスと同期アクセス用のプログラマブルな連続クロック出力
- 8 ビット、16 ビットまたは 32 ビット幅のデータバス
- 各メモリバンクに対する独立なチップセレクト制御
- 各メモリバンクに対する独立な設定
- PSRAM デバイス、SRAM デバイス、SDRAMデバイスで使用する書き込みイネーブルとバイトレーン選択出力
- 外部非同期ウエイト制御
- 16 x 33 ビット深さの書き込みデータ FIFO
- 16 x 30 ビット深さの書き込みアドレス FIFO
- SDRAM コントローラ用の 6 x 32 ビット深さ（6 x 14 ビットアドレスタグ）のキャシュ可能読み出し FIFO

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

FMC は、16 x 33 ビット深さの書き込みデータ FIFO と、16 x 30 ビット深さの書き込みアドレス FIFO の 2 つの書き込み FIFO を内蔵

- 書き込みデータ FIFO は、メモリへ書き込む AHB データ（最大 32 ビット）と、AHB転送（バーストモードまたは非シーケンシャルモード）用の 1 ビットを格納
- 書き込みアドレス FIFO は、AHB アドレス（最大 28 ビット）と AHB データサイズ（最大 2 ビット）を格納バーストモードで動作する場合、
  ページ境界（PSRAM と SDRAM）を跨ぐとき以外は、開始アドレスのみを格納この場合、AHB バーストは 2 つの FIFO エントリに分割されます。

開始時に、ユーザーアプリケーションから FMC ピンを設定する必要があります。アプリケーションで使用しない FMC I/O ピンは、他の用途に使用することができます。

外部デバイスタイプおよびその特性を定義する FMC レジスタは、通常、起動時に設定され、次のリセットまたは電源投入まで変更されません。ただし、設定値は何時でも変更することができます。

37.2 ブロック図

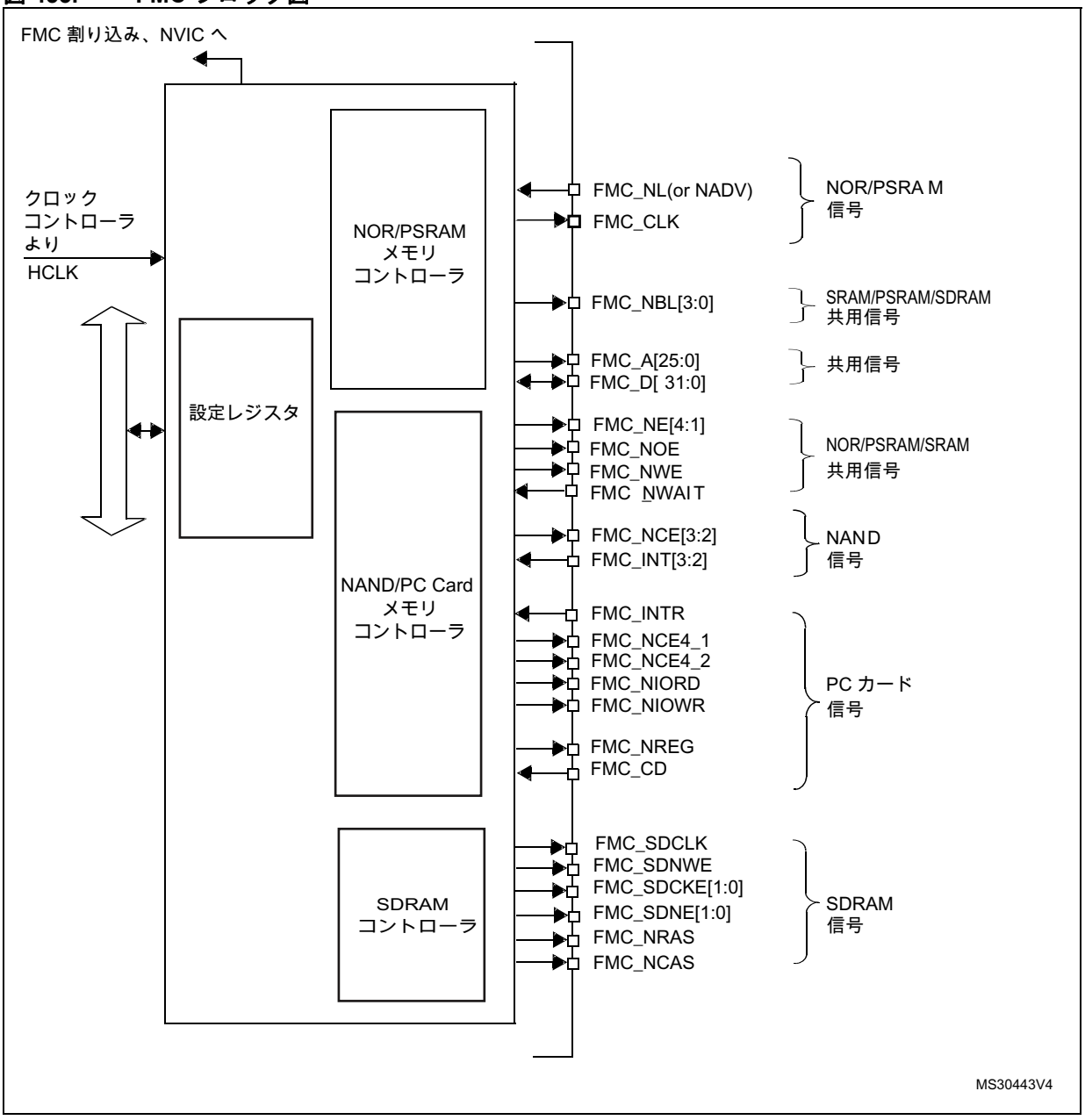
FMC は 5 つのメインブロックで構成されます。

- AHB インタフェース（FMC 設定レジスタを含む）
- NOR フラッシュ /PSRAM/SRAM コントローラ
- NAND フラッシュ /PC カードコントローラ
- SDRAM コントローラ
- 外部デバイスインタフェース

図 453 に、ブロック図を示します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 453. FMC ブロック図



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

37.3 AHB インタフェース

AHB スレーブインタフェースは、内部 CPU および他のバスマスタペリフェラルから外部スタティックメモリへのアクセスを可能にします。

AHB トランザクションは、外部デバイスプロトコルに変換されます。特に、選択された外部メモリが 16 または 8 ビット幅の場合、AHB 上の 32 ビット幅のトランザクションは、16 または 8 ビットの連続したアクセスに分割されます。FMC チップセレクト（FMC_NEx）は、連続アクセスと連続アクセスの間にトグルしません。

FMC は、次の条件で AHB エラーを発生します。

- 有効化してない FMC バンク (バンク1～4) の読み出しまたは書き込みを行ったとき。
- FMC_BCRx レジスタの FACCEN ビットがリセットされている状態で NOR フラッシュバンクの読み出しまたは読み出しを行ったとき。
- FMC_CD（Card Presence Detection）入力ピンがロー状態のとき、PC カードバンクの読み出しまたは書き込みを行ったとき。
- 書き込み保護SDRAM バンク（SDRAM_SDCRx レジスタの WP ビットがセット中）に対して書き込みを行ったとき。
- SDRAM アドレス範囲に違反したとき（予約済みアドレス範囲へのアクセス）

この AHB エラーの影響は、R/W アクセスを試みた AHB マスタに依存します。

- アクセスが FPU CPU を持つ Cortex™-M4 から行われた場合は、ハードフォルト割り込みが発生します。
- アクセスが DMA コントローラから行われた場合は、DMA転送エラーが発生し、対応する DMA チャンネルが自動的に無効化されます。

AHB クロック（HCLK）は、FMC のリファレンスクロックです。

37.3.1 サポートされているメモリおよびトランザクション

一般的なトランザクション規則

リクエストされる AHB トランザクションのデータサイズは、アクセスされる外部デバイスのデータ幅が固定であっても、8、16、または 32 ビット幅です。このため、転送に矛盾が生じることがあります。

したがって、次のようないくつかの単純なトランザクション規則を守る必要があります。

- AHB トランザクションサイズとメモリデータサイズが等しい場合。

  この場合は問題ありません。
- AHB トランザクションサイズがメモリサイズより大きい場合：

  この場合、FMC は、AHB トランザクションを外部データ幅に合わせて、連続した小さなメモリアクセスに分割します。FMC チップセレクト（FMC_NEx）は、連続アクセスと連続アクセスの間にトグルしません。
- AHB トランザクションサイズがメモリサイズより小さい場合：

  外部デバイスのタイプによっては、転送に一貫性がなくなる場合があります：
  - バイト選択機能を持つデバイス（SRAM、ROM、PSRAM、SDRAM）に対するアクセス

    この場合、FMC は、読み出し／書き込みトランザクションを許可して、バイトレーン BL[3:0] を通じて正しいデータにアクセスします。

    書き込み対象バイトは NBL[3:0] によりアドレス指定されます。

    すべてのメモリバイトが読み出され（読み出しトランザクション中 NBL[3:0] はローに駆動されます）、不要なバイトは無視されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

– バイト選択機能を持たないデバイス（16 ビット NOR および NAND フラッシュメモリ）に対するアクセス

この状況は、16 ビット幅のフラッシュメモリへのバイトアクセスが要求されたときに発生します。バイトモードでデバイスをアクセスできないため（フラッシュメモリに対しては 16 ビットワードの読み出し／書き込みのみが可能）、書き込みトランザクションと読み出しトランザクションが可能です（コントローラは 16 ビットメモリワード全体を読み出して、必要なバイトのみを使用）。

設定レジスタ

FMC は、レジスタのセットとして設定することができます。NOR フラッシュ /PSRAM コントローラレジスタの詳細については、*セクション 37.5.6* を参照してください。NAND フラッシュ /PC カードレジスタおよび SDRAM コントローラレジスタの詳細については、それぞれ*セクション 37.6.8* および*セクション 37.7.5* を参照してください。

37.4 外部デバイスアドレスマッピング

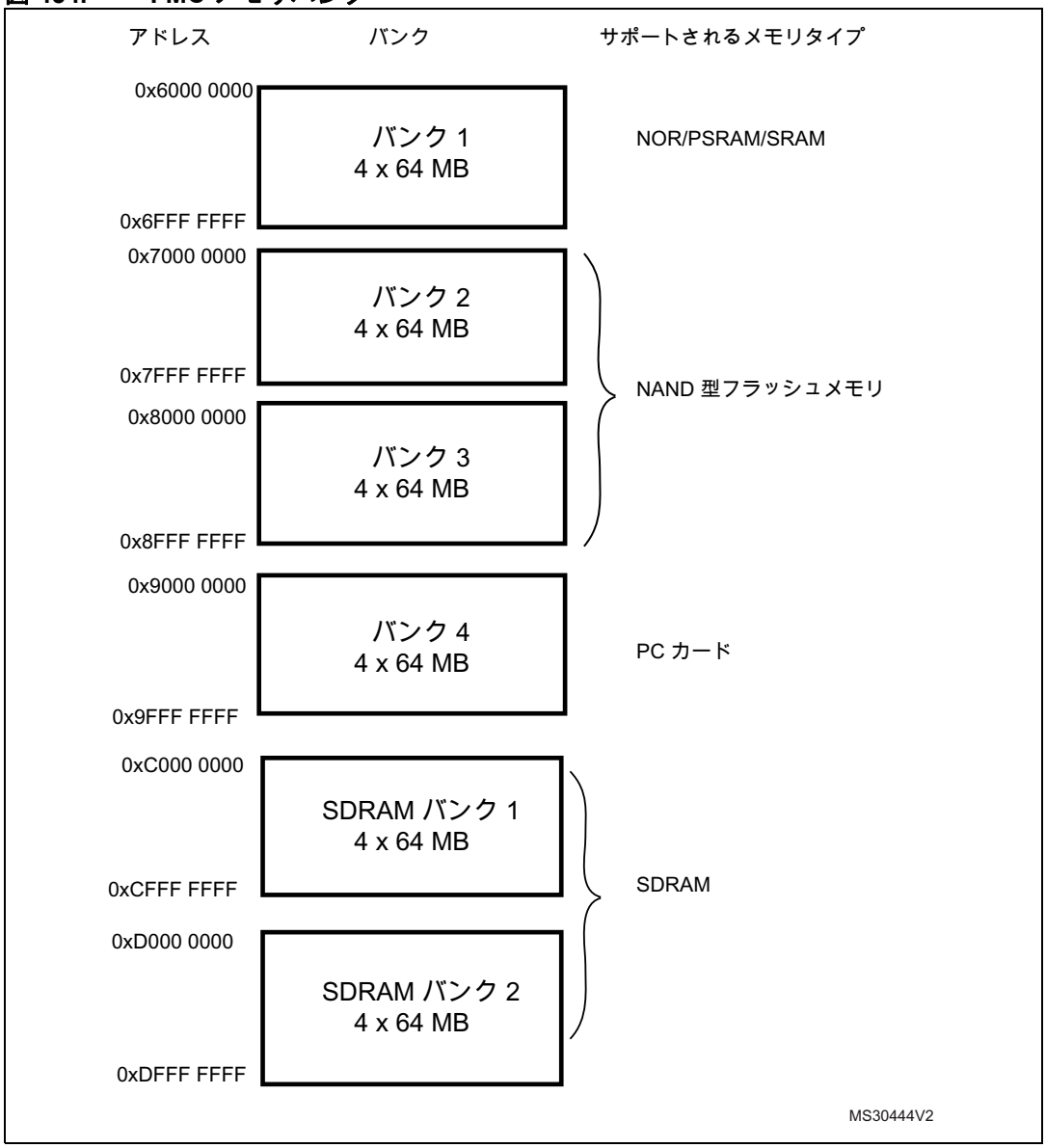
FMC から見ると、外部メモリは、それぞれ 256 MB の 6 つの固定サイズのバンクに分けられます（*図 454* を参照）。

- バンク 1 は、4 つまでの NOR フラッシュまたは PSRAM メモリデバイスのアドレス指定に使用されます。このバンクは、4 つの専用チップセレクトを持つ 4 つの NOR/PSRAM サブバンクに分割されます。
  - バンク 1 - NOR/PSRAM 1
  - バンク 1 - NOR/PSRAM 2
  - バンク 1 - NOR/PSRAM 3
  - バンク 1 - NOR/PSRAM 4
- バンク 2 と 3 は、NAND フラッシュメモリデバイスのアドレス指定に使用されます（バンクごとに 1 つのデバイス）。
- バンク 4 は、PC カードのアドレス指定に使用されます。
- バンク 5 と 6 は、SDRAM デバイスのアドレス指定に使用されます（バンクごとに 1 つのデバイス）。

各バンクで使用されるメモリのタイプは、ユーザアプリケーションから設定レジスタを使って設定することができます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 454. FMC メモリバンク



37.4.1 NOR/PSRAM アドレスマッピング

HADDR[27:26] ビットは、*表 247* に示される 4 つのメモリバンクの 1 つを選択するために使用されます。

表 247. NOR/PSRAM バンク選択

HADDR[27:26](1)	選択されるバンク
00	バンク 1 - NOR/PSRAM 1
01	バンク 1 - NOR/PSRAM 2
10	バンク 1 - NOR/PSRAM 3
11	バンク 1 - NOR/PSRAM 4

1. HADDR は、外部メモリに変換される内部 AHB アドレスラインです。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

HADDR[25:0] ビットは、外部メモリアドレスを含みます。HADDR はバイトアドレスですが、メモリはワードレベルでアクセスされるので、メモリに対して実際に発行されるアドレスは、次の表に示されるように、メモリのデータ幅に応じて変わります。

表 248. NOR/PSRAM 外部メモリアドレス

メモリ幅(1)	メモリに発行されるデータアドレス	最大メモリ容量（ビット）
8 ビット	HADDR[25:0]	64 MB x 8 = 512 M ビット
16 ビット	HADDR[25:1] >> 1	64 MB/2 x 16 = 512 M ビット
32 ビット	HADDR[25:2] >> 2	64 MB/4 x 32 = 512 M ビット

1. 外部メモリが 16 ビット幅の場合、FMC は、内部で HADDR[25:1] を使用して、外部メモリ FMC_A[24:0] に対するアドレスを生成します。メモリが 32 ビット幅の場合、FMC は、内部で HADDR[25:2] を使用して、外部アドレスを生成します。外部メモリの幅にかかわらず、FMC_A[0] は外部メモリアドレス A[0] に接続されます。

NOR フラッシュ /PSRAM のラップサポート

同期メモリに対するラップバーストモードはサポートされていません。メモリは、不定長のリニアバーストモードに構成する必要があります。

37.4.2 NAND フラッシュメモリ/PC カードアドレスマッピング

この場合 3 つのバンクが使用可能であり、それぞれが *表 249* に示されるメモリ領域に分割されます。

表 249. NAND/PC カードメモリマッピングおよびタイミングレジスタ

開始アドレス	終了アドレス	FMC バンク	メモリ空間	タイミングレジスタ
0x9C00 0000	0x9FFF FFFF	バンク 4 - PC カード	入出力	FMC_PIO4（0xB0）
0x9800 0000	0x9BFF FFFF		属性	FMC_PATT4（0xAC）
0x9000 0000	0x93FF FFFF		コモン	FMC_PMEM4（0xA8）
0x8800 0000	0x8BFF FFFF	バンク 3 - NAND フラッシュ	属性	FMC_PATT3（0x8C）
0x8000 0000	0x83FF FFFF		コモン	FMC_PMEM3（0x88）
0x7800 0000	0x7BFF FFFF	バンク 2 - NAND フラッシュ	属性	FMC_PATT2（0x6C）
0x7000 0000	0x73FF FFFF		コモン	FMC_PMEM2（0x68）

NAND フラッシュメモリでは、共通および属性メモリ空間は、下位 256 KB に位置する 3 つのセクションに分割されます（*表 250* を参照）。

- データセクション（共通／属性メモリ空間の最初の 64 KB）
- コマンドセクション（共通／属性メモリ空間の 2 番目の 64 KB）
- アドレスセクション（共通／属性メモリ空間の次の 128 KB）

表 250. NAND バンク選択

セクション名	HADDR[17:16]	アドレス範囲
アドレスセクション	1X	0x020000-0x03FFFF
コマンドセクション	01	0x010000-0x01FFFF
データセクション	00	0x000000-0x0FFFF

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

アプリケーションソフトウェアは、3 つのセクションを使用して、NAND フラッシュメモリにアクセスします。

- NAND フラッシュメモリにコマンドを送信するときは、ソフトウェアからコマンドセクションの任意のメモリ位置にコマンドの値を書き込む必要があります。
- 読み出しまたは書き込みを行う必要がある NAND フラッシュのアドレスを指定するには：ソフトウェアは、アドレスセクションの任意のメモリ位置にアドレス値を書き込む必要があります。アドレスは 4 または 5 バイト長なので（実際のメモリサイズに依存）、アドレス全体を指定するには、アドレスセクションへのいくつかの連続した書き込みが必要です。
- データの読み出しまたは書き込みを行うときは、ソフトウェアは、データセクションの任意のメモリ位置からデータを読み出すか、書き込む必要があります。

NAND フラッシュメモリはアドレスを自動的にインクリメントするので、連続したメモリ位置にアクセスするには、データセクションのアドレスをインクリメントする必要はありません。

37.4.3 SDRAM アドレスマッピング

HADDR[28] ビット（内部AHB アドレスライン 28）を使って、2 つのメモリバンクから 1 つを選択します（*表 251* 参照）。

表 251. SDRAM バンク選択

HADDR[28]	選択されるバンク	制御レジスタ	タイミングレジスタ
0	SDRAM バンク 1	FMC_SDCR1	FMC_SDTR1
1	SDRAM バンク 2	FMC_SDCR2	FMC_SDTR2

次の表に、13 ビット行/11 ビット列構成に対する SDRAM マッピングを示します。

表 252. SDRAM アドレスマッピング

メモリ幅(1)	内部バンク	行アドレス	列アドレス(2)	最大メモリ容量（M バイト）
8 ビット	HADDR[25:24]	HADDR[23:11]	HADDR[10:0]	64 M バイト：4 x 8K x 2K
16 ビット	HADDR[26:25]	HADDR[24:12]	HADDR[11:1]	128 M バイト:4 x 8K x 2K x 2
32 ビット	HADDR[27:26]	HADDR[25:13]	HADDR[12:2]	256 M バイト:4 x 8K x 2K x 4

1. 16 ビットメモリとインタフェースする場合、FMC は内部で HADDR[11:1] 内部AHB アドレスラインを使用して外部アドレスを発生します。32 ビットメモリとインタフェースする場合、FMC は内部で HADDR[12:2] ラインを使用して外部アドレスを発生します。メモリの幅にかかわらず、FMC_A[0] は外部メモリアドレス A[0] に接続する必要があります。
2. 自動プリチャージはサポートされていません。FMC_A[10] は外部メモリアドレス A[10] に接続する必要がありますが、何時もローレベルに駆動されます。

HADDR[27:0] ビットは、SDRAM コントローラ構成に応じて外部SDRAM アドレスへ変換されます。

- データサイズ：8、16 または 32 ビット
- 行サイズ：11、12 または 13 ビット
- 列サイズ：8、9、10 または 11 ビット
- 内部バンク数：内部バンクが 2 または 4

表 253～*表 255* に、SDRAM アドレスマッピング対 SDRAM コントローラ構成を示します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 253. 8 ビットデータバス幅での SDRAM アドレスマッピング(1)(2)

行サイズ設定	HADDR（AHB 内部アドレスライン）																										
	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
11 ビット行サイズ構成	予約済み							バンク [1:0]		ロウ [10:0]											カラム [7:0]							
	予約済み							バンク [1:0]		ロウ [10:0]											カラム [8:0]							
	予約済み							バンク [1:0]		ロウ [10:0]											カラム [9:0]							
	予約済み							バンク [1:0]		ロウ [10:0]											カラム [10:0]							
12 ビット行サイズ構成	予約済み							バンク [1:0]		ロウ [11:0]											カラム [7:0]							
	予約済み							バンク [1:0]		ロウ [11:0]											カラム [8:0]							
	予約済み							バンク [1:0]		ロウ [11:0]											カラム [9:0]							
	予約済み							バンク [1:0]		ロウ [11:0]											カラム [10:0]							
13 ビット行サイズ構成	予約済み							バンク [1:0]		ロウ [12:0]											カラム [7:0]							
	予約済み							バンク [1:0]		ロウ [12:0]											カラム [8:0]							
	予約済み							バンク [1:0]		ロウ [12:0]											カラム [9:0]							
	予約済み							バンク [1:0]		ロウ [12:0]											カラム [10:0]							

1. BANK[1:0] は、バンクアドレス BA[1:0] になります。2 つの内部バンクのみを使用する場合、BA1 は常に"0"に設定する必要があります。
2. 予約済み（Res.）アドレス範囲をアクセスすると、AHB エラーが発生します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 254. 16 ビットデータバス幅での SDRAM アドレスマッピング(1)(2)

行サイズ設定	HADDR（AHB アドレスライン）																										
	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
11 ビット行サイズ構成	予約済み						バンク [1:0]		ロウ [10:0]												カラム [7:0]							BM0(3)
	予約済み							バンク [1:0]		ロウ [10:0]												カラム [8:0]						BM0
	予約済み								バンク [1:0]		ロウ [10:0]												カラム [9:0]					BM0
	予約済み									バンク [1:0]		ロウ [10:0]												カラム [10:0]				BM0
12 ビット行サイズ構成	予約済み								バンク [1:0]		ロウ [11:0]												カラム [7:0]					BM0
	予約済み									バンク [1:0]		ロウ [11:0]												カラム [8:0]				BM0
	予約済み										バンク [1:0]		ロウ [11:0]												カラム [9:0]			BM0
	予約済み											バンク [1:0]		ロウ [11:0]												カラム [10:0]			BM0
13 ビット行サイズ構成	予約済み												バンク [1:0]		ロウ [12:0]													BM0
	予約済み													バンク [1:0]		ロウ [12:0]												BM0
	予約済み														バンク [1:0]		ロウ [12:0]											BM0
	予約済み															バンク [1:0]		ロウ [12:0]										BM0

1. BANK[1:0] は、バンクアドレス BA[1:0] になります。2 つの内部バンクのみを使用する場合、BA1 は常に"0"に設定する必要があります。
2. 予約済み（Res.）アドレス空間をアクセスすると、AHB エラーが発生します。
3. BM0：16 ビットアクセスに対するバイトマスク

表 255. 32 ビットデータバス幅での SDRAM アドレスマッピング(1)(2)

行サイズ設定	HADDR（AHB アドレスライン）																										
	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
11 ビット行サイズ構成	予約済み						バンク [1:0]		ロウ [10:0]												カラム [7:0]						BM[1:0] (3)
	予約済み							バンク [1:0]		ロウ [10:0]												カラム [8:0]						BM[1:0
	予約済み								バンク [1:0]		ロウ [10:0]												カラム [9:0]					BM[1:0
	予約済み									バンク [1:0]		ロウ [10:0]												カラム [10:0]				BM[1:0

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 255. 32 ビットデータバス幅での SDRAM アドレスマッピング(1)(2)

行サイズ設定	HADDR（AHB アドレスライン）																										
	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
12 ビット行サイズ構成	予約済み				バンク[1:0]		ロウ [11:0]												カラム [7:0]								BM[1:0	
	予約済み			バンク[1:0]			ロウ [11:0]												カラム [8:0]								BM[1:0	
	予約済み		バンク[1:0]				ロウ [11:0]												カラム [9:0]								BM[1:0	
	予約済み	バンク[1:0]					ロウ [11:0]												カラム [10:0]								BM[1:0	
13 ビット行サイズ構成	予約済み			バンク[1:0]			ロウ [12:0]												カラム [7:0]								BM[1:0	
	予約済み		バンク[1:0]				ロウ [12:0]												カラム [8:0]								BM[1:0	
	予約済み	バンク[1:0]					ロウ [12:0]												カラム [9:0]								BM[1:0	
	バンク[1:0]						ロウ [12:0]												カラム [10:0]								BM[1:0	

1. BANK[1:0] は、バンクアドレス BA[1:0] になります。2 つの内部バンクのみを使用する場合、BA1 は常に"0"に設定する必要があります。
2. 予約済み（Res.）アドレス空間をアクセスすると、AHB エラーが発生します。
3. BM[1:0] : は 32 ビットアクセスに対するバイトマスク。

37.5 NOR フラッシュ /PSRAM コントローラ

FMC は、以下のタイプのメモリを駆動するのに適した信号タイミングを発生します。

- 非同期 SRAM および ROM
  - 8 ビット
  - 16 ビット
  - 32 ビット
- PSRAM（セルラー RAM）
  - 非同期モード
  - 同期アクセスに対するバーストモード
  - マルチプレクスまたは非マルチプレクス
- NOR フラッシュメモリ
  - 非同期モード
  - 同期アクセスに対するバーストモード
  - マルチプレクスまたは非マルチプレクス

FMC は、バンクごとに 1 つのチップセレクト信号 NE[4:1] を出力します。その他の信号（アドレス、データ、および制御）はすべて、共有されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

FMC は、次のようなプログラマブルなタイミングにより、広範囲なデバイスをサポートしています。

- プログラマブルウェイトステート（15 まで）
- プログラマブルバスターンアラウンドサイクル（15 まで）
- プログラマブルな出力イネーブルおよび書き込みイネーブル遅延（15 まで）
- 独立した読み出しおよび書き込みタイミングとプロトコルにより、広範囲なメモリおよびタイミングをサポート
- プログラマブルな連続クロック（FMC_CLK）出力。

FMC クロック（FMC_CLK）は HCLK クロックの約数。このクロックは、同期アクセス中にのみ、または FMC_BCR1 レジスタの CCKEN ビット設定に応じて非同期アクセスおよび同期アクセス中に、選択した外部デバイスへ供給することができます。

- CCLKEN ビットがリセットされている場合、FMC は同期アクセス（読み出し／書き込みトランザクション）中にのみクロック（CLK）を発生します。
- CCLKEN ビットがセットされている場合、FMC は非同期アクセス中および同期アクセス中に連続クロックを発生します。FMC_CLK連続クロックを発生するときは、バンク 1 を同期モードに設定する必要があります（*セクション 37.5.6：NOR/PSRAM コントローラレジスタ*参照）。すべての同期メモリに対して同じクロックが使用されるため、連続出力クロックを発生して同期アクセスを実行する場合、AHB データサイズはメモリデータ幅（MWID）に一致する必要があります。そうしないと、AHB データトランザクションに応じて、FMC_CLK 周波数が変化します（FMC_CLK 分周比の式については*セクション 37.5.5：同期トランザクション*参照）。

各バンクのサイズは 64 MB に固定されます。各バンクは、専用レジスタによって設定されます（*セクション 37.5.6：NOR/PSRAM コントローラレジスタ*を参照）。

プログラマブルメモリパラメータは、アクセスタイミング（*表 256* を参照）を含み、ウェイト管理をサポートします（バーストモードでの PSRAM および NOR フラッシュへのアクセス）。

表 256. プログラマブル NOR/PSRAM アクセスパラメータ

パラメータ	機能	アクセスモード	単位	最小値	最大値
アドレスセットアップ	アドレスセットアップフェーズ時間	非同期	AHB クロックサイクル（HCLK）	0	15
アドレスホールド	アドレスホールドフェーズ時間	非同期、マルチプレクス I/O	AHB クロックサイクル（HCLK）	1	15
データセットアップ	データデットアップフェーズ時間	非同期	AHB クロックサイクル（HCLK）	1	256
バスターン	バスターンアラウンドフェーズ時間	非同期および同期読み出し	AHB クロックサイクル（HCLK）	0	15
クロック分周比	1 つのメモリクロックサイクル（CLK）に必要な AHB クロックサイクル（HCLK）数	同期	AHB クロックサイクル（HCLK）	2	16
データ遅延	バーストの最初のデータの前にメモリに発行されるクロックサイクル数	同期	メモリクロックサイクル（CLK）	2	17

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

37.5.1 外部メモリ・インタフェース信号

表 257、*表 258*、および *表 259* に、NOR フラッシュ、SRAM、および PSRAM へのインタフェースで一般に使用される信号を示します。

注： *プリフィクス「N」は、アクティブローの信号を表します。*

NOR フラッシュメモリ、非マルチプレクス I/O

表 257. 非マルチプレクス I/O NOR フラッシュメモリ

FMC 信号名	入出力	機能
CLK	O	クロック（同期アクセス用）
A[25:0]	O	アドレスバス
D[31:0]	入出力	双方向データバス
NE[x]	O	チップセレクト、x = 1..4
NOE	O	出力イネーブル
NWE	O	書き込みイネーブル
NL（=NADV）	O	ラッチイネーブル（この信号は、一部の NOR フラッシュデバイスではアドレス有効（NADV）と呼ばれます）。
NWAIT	I	FMC への NOR フラッシュウェイト入力信号

最大容量は 512 M ビット（26 アドレスライン）。

NOR フラッシュメモリ、16 ビットマルチプレクス I/O

表 258. 16 ビットマルチプレクス I/O NOR フラッシュメモリ

FMC 信号名	入出力	機能
CLK	O	クロック（同期アクセス用）
A[25:16]	O	アドレスバス
AD[15:0]	入出力	16 ビットマルチプレクス、双方向アドレス／データバス（16 ビットアドレス A[15:0] とデータ D[15:0] がデータバスでマルチプレクスされています）
NE[x]	O	チップセレクト、x = 1..4
NOE	O	出力イネーブル
NWE	O	書き込みイネーブル
NL（=NADV）	O	ラッチイネーブル（この信号は、一部の NOR フラッシュデバイスではアドレス有効（NADV）と呼ばれます）。
NWAIT	I	FMC への NOR フラッシュウェイト入力信号

最大容量は 512 M ビット。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

PSRAM/SRAM、非マルチプレクス I/O

表 259. 非マルチプレクス I/O PSRAM/SRAM

FMC 信号名	入出力	機能
CLK	O	クロック（PSRAM 同期アクセス専用）
A[25:0]	O	アドレスバス
D[31:0]	入出力	双方向データバス
NE[x]	O	チップセレクト、x = 1..4（PSRAM（Cellular RAM すなわち CRAM）では NCE と呼ばれます。）
NOE	O	出力イネーブル
NWE	O	書き込みイネーブル
NL（= NADV）	O	PSRAM 入力の場合のみアドレス有効（メモリ信号名：NADV）
NWAIT	I	FMC への PSRAM ウェイト入力信号
NBL[3]	O	バイト 3 上位バイトイネーブル（メモリ信号名：NUB）
NBL[2]	O	バイト 2 下位バイトイネーブル（メモリ信号名：NLB）
NBL[1]	O	バイト 1 上位バイトイネーブル（メモリ信号名：NLB）
NBL[0]	O	バイト 0 下位バイトイネーブル（メモリ信号名：NLB）

最大容量は 512 M ビット。

PSRAM、16 ビットマルチプレクス I/O

表 260. 16 ビットマルチプレクス I/O PSRAM

FMC 信号名	入出力	機能
CLK	O	クロック（同期アクセス用）
A[25:16]	O	アドレスバス
AD[15:0]	入出力	16 ビットマルチプレクス、双方向アドレス／データバス（16 ビットアドレス A[15:0] とデータ D[15:0] がデータバスでマルチプレクスされています）
NE[x]	O	チップセレクト、x = 1..4（PSRAM（Cellular RAM すなわち CRAM）では NCE と呼ばれます。）
NOE	O	出力イネーブル
NWE	O	書き込みイネーブル
NL（= NADV）	O	アドレスバリット PSRAM 入力（メモリ信号名：NADV）
NWAIT	I	FMC への PSRAM ウェイト入力信号
NBL[1]	O	上位バイトイネーブル（メモリ信号名：NUB）
NBL[0]	O	下位バイトイネーブル（メモリ信号名：NLB）

最大容量は 512 M ビット（26 アドレスライン）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

37.5.2 サポートされるメモリおよびトランザクション

次の*表 261* に、NOR、PSRAM、SRAM に対してメモリデータバスが 16 ビットの場合のサポートされているデバイス、アクセスモード、トランザクションの例を示します。FMC では許容されない（すなわち非サポート）トランザクションは、この例で灰色表示しています。

表 261. NOR フラッシュ /PSRAM：サポートされているメモリとトランザクションの例

デバイス	モード	R/W	AHB データサイズ	メモリデータサイズ	許可／禁止	コメント
NOR フラッシュ（マルチプレクス I/O と非マルチプレクス I/O）	非同期	R	8	16	Y	
	非同期	W	8	16	N	
	非同期	R	16	16	Y	
	非同期	W	16	16	Y	
	非同期	R	32	16	Y	2 つの FMC アクセスに分割
	非同期	W	32	16	Y	2 つの FMC アクセスに分割
	非同期ページ	R	-	16	N	モードはサポートされていません。
	同期	R	8	16	N	
	同期	R	16	16	Y	
	同期	R	32	16	Y	
PSRAM（マルチプレクス I/O と非マルチプレクス I/O）	非同期	R	8	16	Y	
	非同期	W	8	16	Y	バイトレーン NBL[1:0] の使用
	非同期	R	16	16	Y	
	非同期	W	16	16	Y	
	非同期	R	32	16	Y	2 つの FMC アクセスに分割
	非同期	W	32	16	Y	2 つの FMC アクセスに分割
	非同期ページ	R	-	16	N	モードはサポートされていません。
	同期	R	8	16	N	
	同期	R	16	16	Y	
	同期	R	32	16	Y	
	同期	W	8	16	Y	バイトレーン NBL[1:0] の使用
	同期	W	16/32	16	Y	
SRAM と ROM	非同期	R	8 / 16	16	Y	
	非同期	W	8 / 16	16	Y	バイトレーン NBL[1:0] の使用
	非同期	R	32	16	Y	2 つの FMC アクセスに分割
	非同期	W	32	16	Y	2 つの FMC アクセスに分割バイトレーン NBL[1:0] を使用

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

37.5.3 一般的なタイミング規則

信号の同期

- すべてのコントローラ出力信号は、内部クロック（HCLK）の立ち上がりエッジで変化します。
- 同期モード（読み出しまたは書き込み）では、すべての出力信号が HCLK の立ち上がりエッジで変化します。CLKDIV の値によらず、すべての信号は次のように変化します。
  - NOEL/NWEL/ NEL/NADVL/ NADVH /NBLL/ アドレスの有効出力は、FMC_CLK クロックの立ち下がりエッジで変化します。
  - NOEH/ NWEH / NEH/ NOEH/NBLH/ アドレスの無効出力は、FMC_CLKクロックの立ち上がりエッジで変化します。

37.5.4 NOR フラッシュ /PSRAM コントローラ非同期トランザクション

非同期スタティックメモリ（NOR フラッシュ、PSRAM、SRAM）

- 信号は、内部クロック HCLK によって同期されます。このクロックはメモリには発行されません。
- FMC は、チップセレクト信号 NE をネゲートする前に、常にデータをサンプリングします。これにより、メモリデータホールドタイミングに関する制約が満たされます（チップイネーブルハイからデータ遷移までの最小時間は通常 0 ns です）。
- 拡張モードを有効にした場合（FMC_BCRx レジスタの EXTMOD ビットをセット）、最大 4 つの拡張モード（A、B、C、D）が使用できます。書き込み動作および読み出し動作で、A、B、C、D モードをミックスすることができます。例えば、読み出し動作をモード A で実行し、書き込み動作をモード B で実行することができます。
- 拡張モードを無効にした場合（FMC_BCRx レジスタで EXTMOD ビットをリセット）、FMC は次のようにモード 1 またはモード 2 で動作することができます。
  - SRAM/PSRAM メモリタイプを選択した場合（FMC_BCRx レジスタで MTYP = 0x0 または 0x01）、モード 1 がデフォルトモードです。
  - NOR メモリタイプを選択した場合（FMC_BCRx レジスタで MTYP = 0x10）、モード 2 がデフォルトモードです。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

モード 1 - SRAM/PSRAM（CRAM）

次の図に、サポートされているモードに対する読み出しトランザクションと書き込みトランザクションを示します。それに続いてに、FMC _BCRx レジスタ、および FMC_BTRx/FMC_BWTRx レジスタの必要とされる設定を示します。

図 455. モード 1読み出しアクセス波形

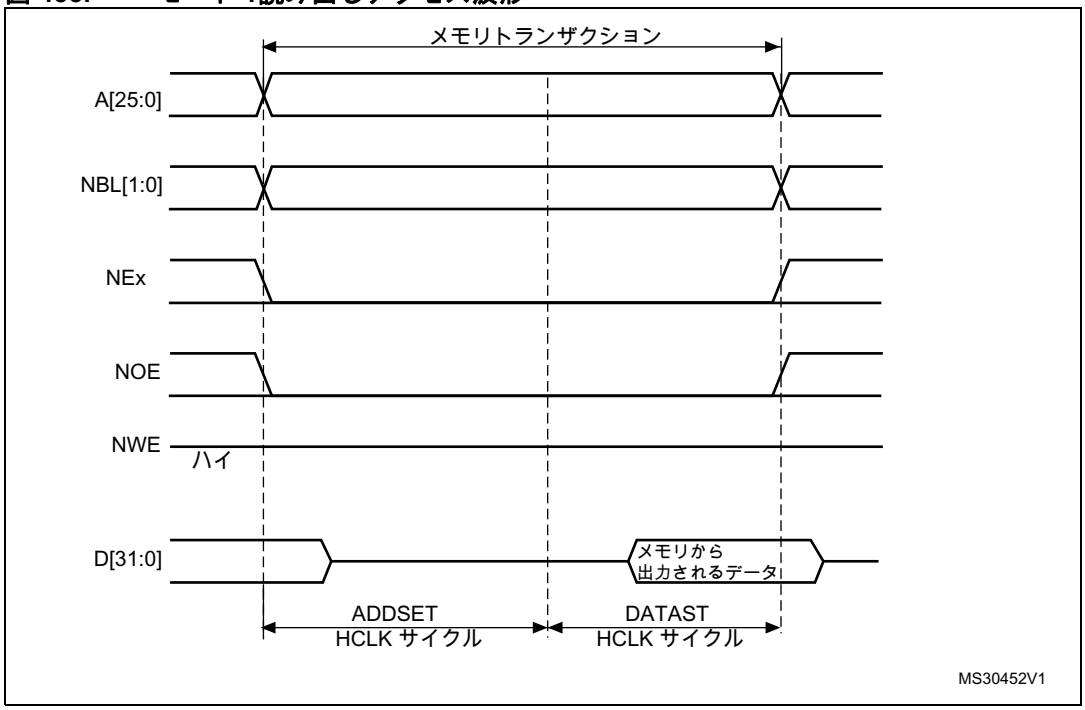
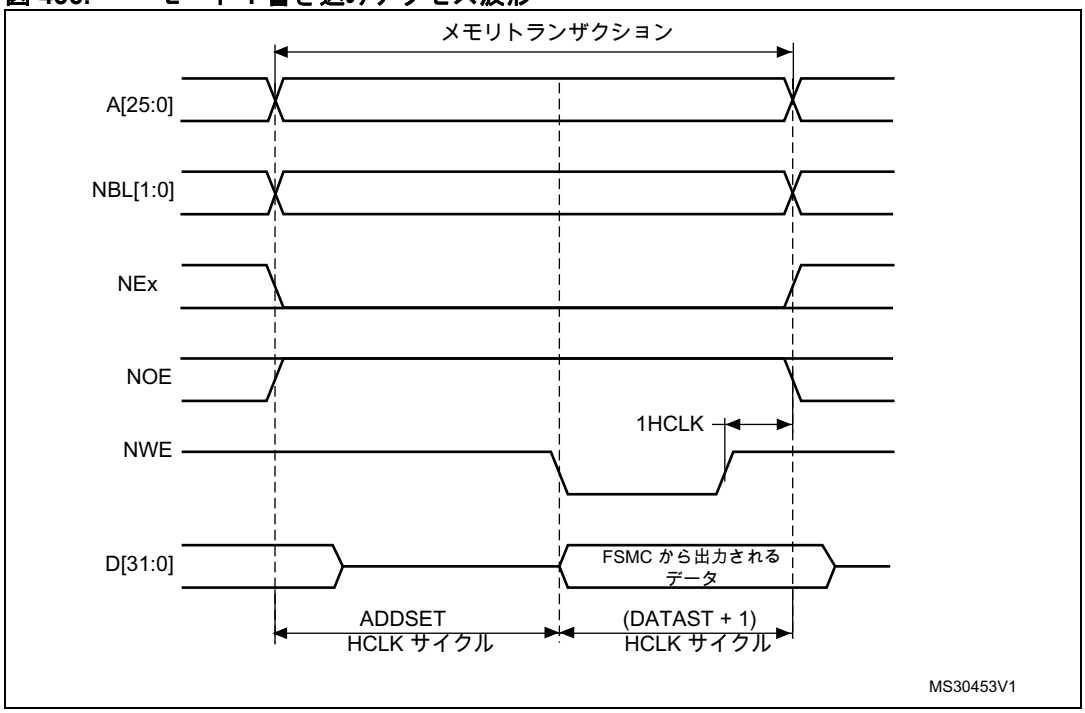


図 456. モード 1 書き込みアクセス波形



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

書き込みトランザクションの最後の 1 HCLK サイクルは、NWE の立ち上がりエッジ後のアドレスおよびデータホールド時間の保証に役立ちます。このHCLK サイクルがあるため、DATAST の値はゼロより大きくなければなりません（DATAST＞0）。

表 262. FMC_BCRx ビットフィールド

ビット番号	ビット名	設定値
31-21	予約済み	0x000
20	CCLKEN	必要に応じて設定します。
19	CBURSTRW	0x0（非同期モードで無効）
18:16	予約済み	0x0
15	ASYNCWAIT	メモリがこの機能をサポートする場合は 1 にセットします。そうでない場合は、0 のままにしておきます。
14	EXTMOD	0x0
13	WAITEN	0x0（非同期モードで無効）
12	WREN	必要に応じて設定します。
11	WAITCFG	無視
10	WRAPMOD	0x0
9	WAITPOL	ビット 15 が 1 の場合のみ、意味を持ちます。
8	BURSTEN	0x0
7	予約済み	0x1
6	FACCEN	無視
5-4	MWID	必要に応じて設定します。
3-2	MTYP	必要に応じて、0x2（NOR フラッシュメモリ）を除きます。
1	MUXE	0x0
0	MBKEN	0x1

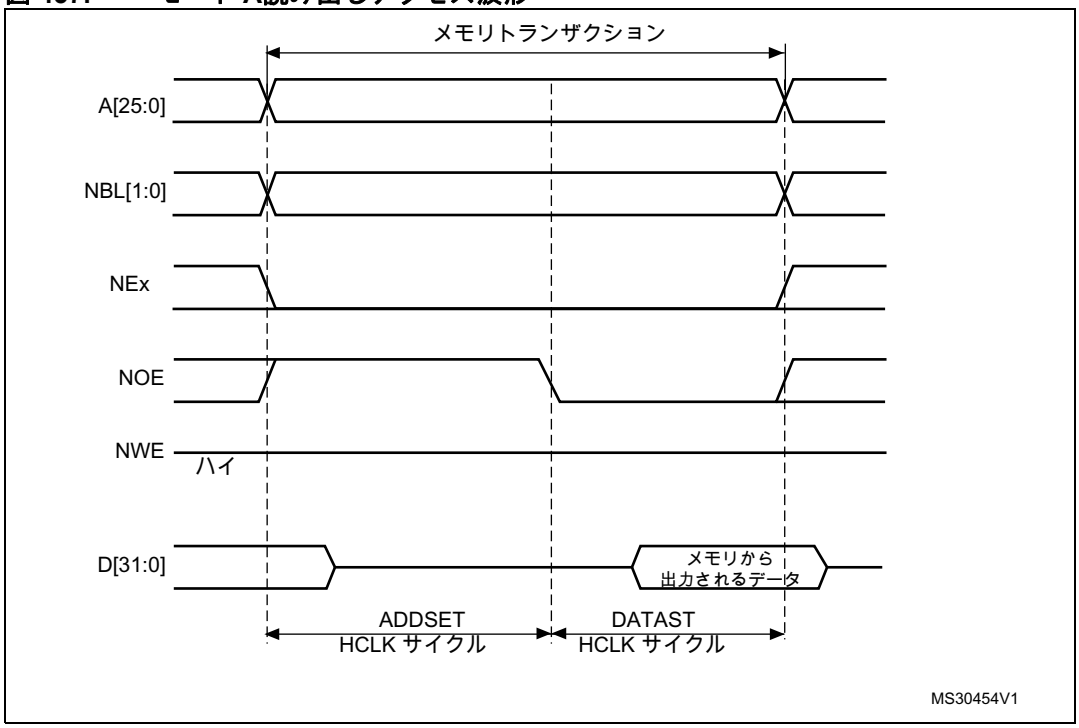
表 263. FMC_BTRx ビットフィールド

ビット番号	ビット名	設定値
31:30	予約済み	0x0
29-28	ACCMOD	無視
27-24	DATLAT	無視
23-20	CLKDIV	無視
19-16	BUSTURN	NEx ハイから NEx ローまでの時間（BUSTURN HCLK）
15-8	DATAST	2 番目のアクセスフェーズの時間（書き込みアクセスの場合は DATAST＋1 HCLK サイクル、読み出しアクセスの場合は DATASTHCLK サイクル）。
7-4	ADDHLD	無視
3-0	ADDSET	最初のアクセスフェーズの時間（ADDSET HCLK サイクル）。 ADDSET の最小値は 0。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

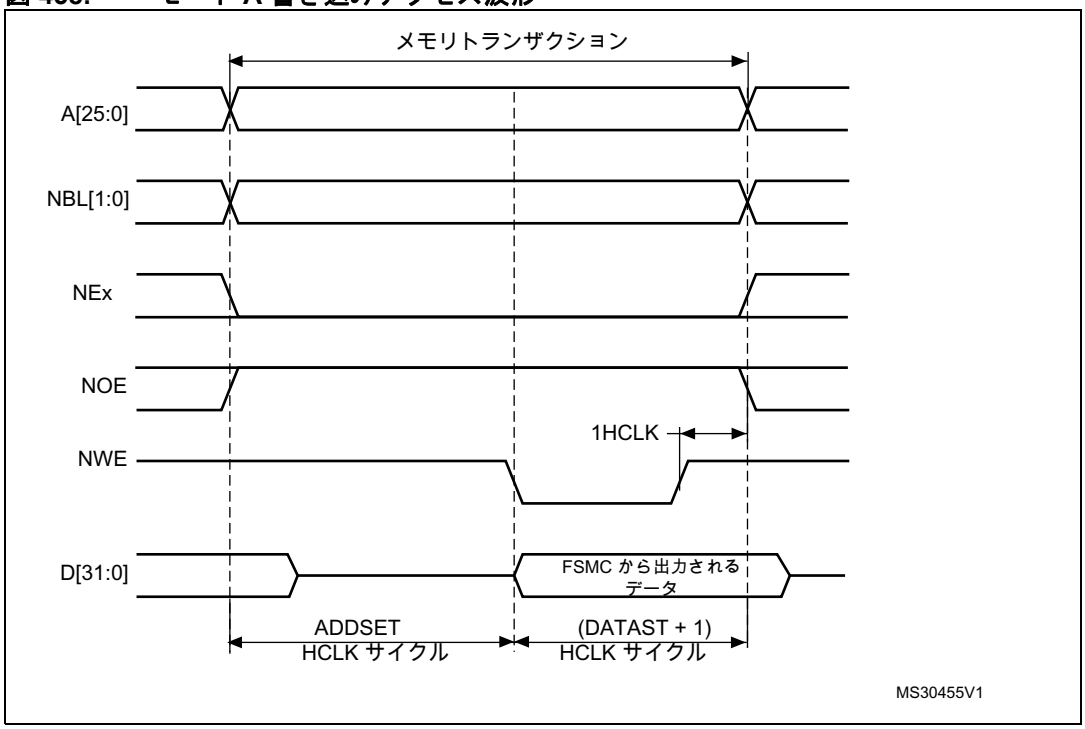
モード A - SRAM/PSRAM（CRAM）OE トグリング

図 457. モード A読み出しアクセス波形



1. NBL[3:0] は読み出しアクセス中ローレベルに駆動されます。

図 458. モード A 書き込みアクセス波形



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

モード 1 と比較した場合の相違点は、NOE のトグリングと、独立した読み出しおよび書き込みのタイミングです。

表 264. FMC_BCRx ビットフィールド

ビット番号	ビット名	設定値
31-21	予約済み	0x000
20	CCLKEN	必要に応じて設定します。
19	CBURSTRW	0x0（非同期モードで無効）
18:16	予約済み	0x0
15	ASYNCWAIT	メモリがこの機能をサポートする場合は 1 にセットします。そうでない場合は、0 のままにしておきます。
14	EXTMOD	0x1
13	WAITEN	0x0（非同期モードで無効）
12	WREN	必要に応じて設定します。
11	WAITCFG	無視
10	WRAPMOD	0x0
9	WAITPOL	ビット 15 が 1 の場合のみ、意味を持ちます。
8	BURSTEN	0x0
7	予約済み	0x1
6	FACCEN	無視
5-4	MWID	必要に応じて設定します。
3-2	MTYP	必要に応じて、0x2（NOR フラッシュメモリ）を除きます。
1	MUXEN	0x0
0	MBKEN	0x1

表 265. FMC_BTRx ビットフィールド

ビット番号	ビット名	設定値
31:30	予約済み	0x0
29-28	ACCMOD	0x0
27-24	DATLAT	無視
23-20	CLKDIV	無視
19-16	BUSTURN	NEx ハイから NEx ローまでの時間（BUSTURN HCLK）
15-8	DATAST	読み出しに対する 2 番目のアクセスフェーズの時間（DATAST HCLK サイクル）。
7-4	ADDHLD	無視
3-0	ADDSET	読み出しに対する最初のアクセスフェーズの時間（ADDSET HCLK サイクル）。ADDSET の最小値は 0。

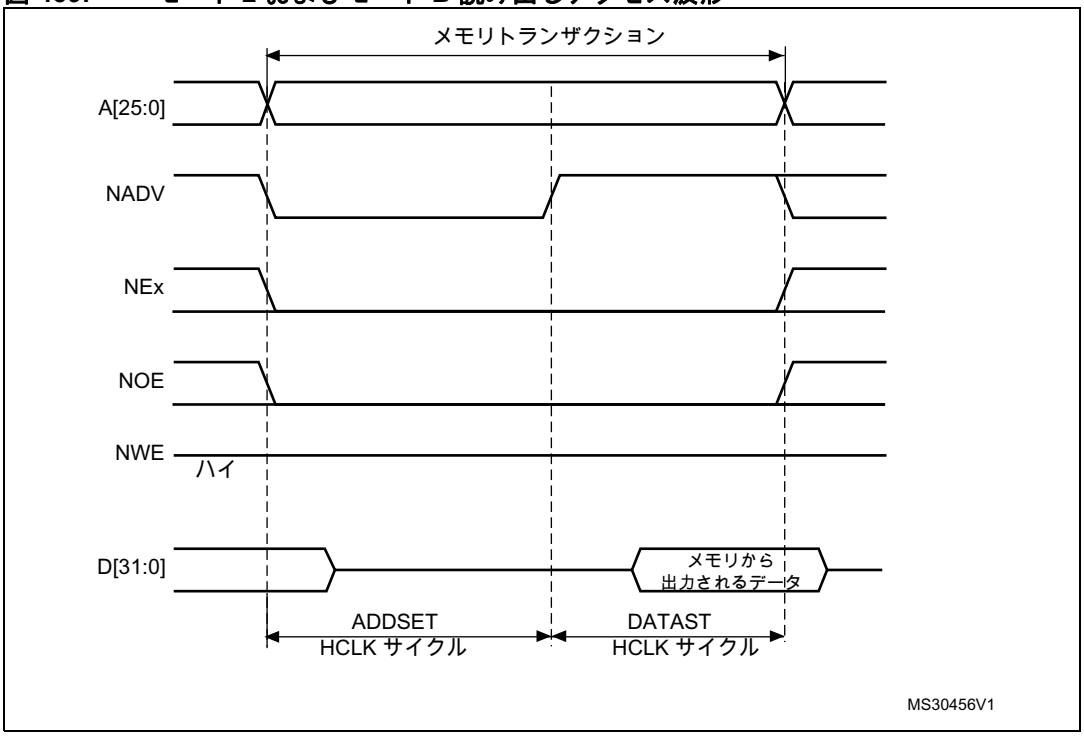
この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 266. FMC_BWTRx ビットフィールド

ビット番号	ビット名	設定値
31:30	予約済み	0x0
29-28	ACCMOD	0x0
27-24	DATLAT	無視
23-20	CLKDIV	無視
19-16	BUSTURN	NEx ハイから NEx ローまでの時間（BUSTURN HCLK）
15-8	DATAST	書き込みに対する 2 番目のアクセスフェーズの時間（DATAST HCLK サイクル）。
7-4	ADDHLD	無視
3-0	ADDSET	書き込みアクセスに対する最初のアクセスフェーズの時間（ADDSET HCLK サイクル）。 ADDSET の最小値は 0。

モード 2/B - NOR フラッシュ

図 459. モード 2 およびモード B 読み出しアクセス波形



1. NBL[3:0] は読み出しアクセス中ローレベルに駆動されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 460. モード 2 書き込みアクセス波形

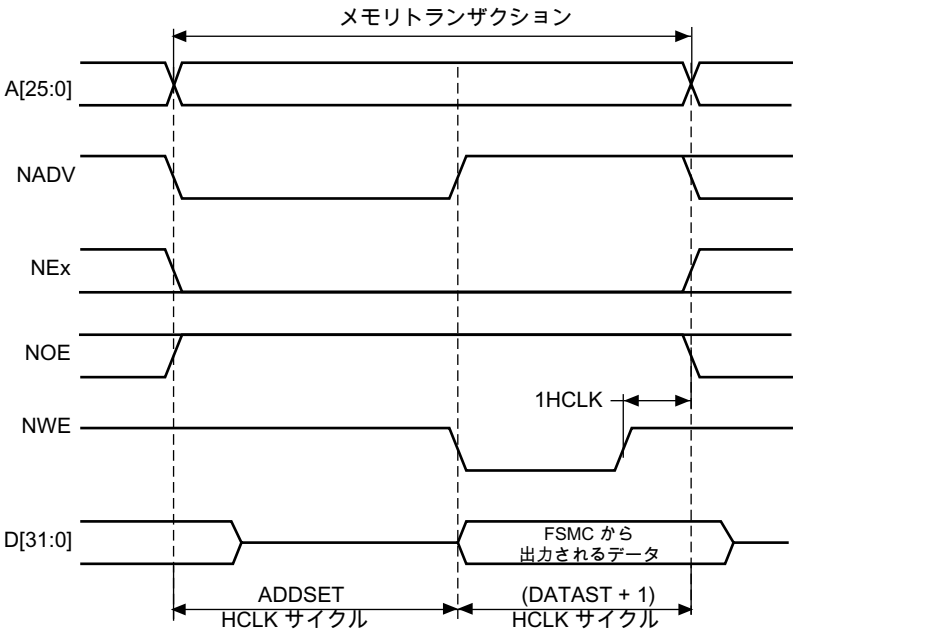
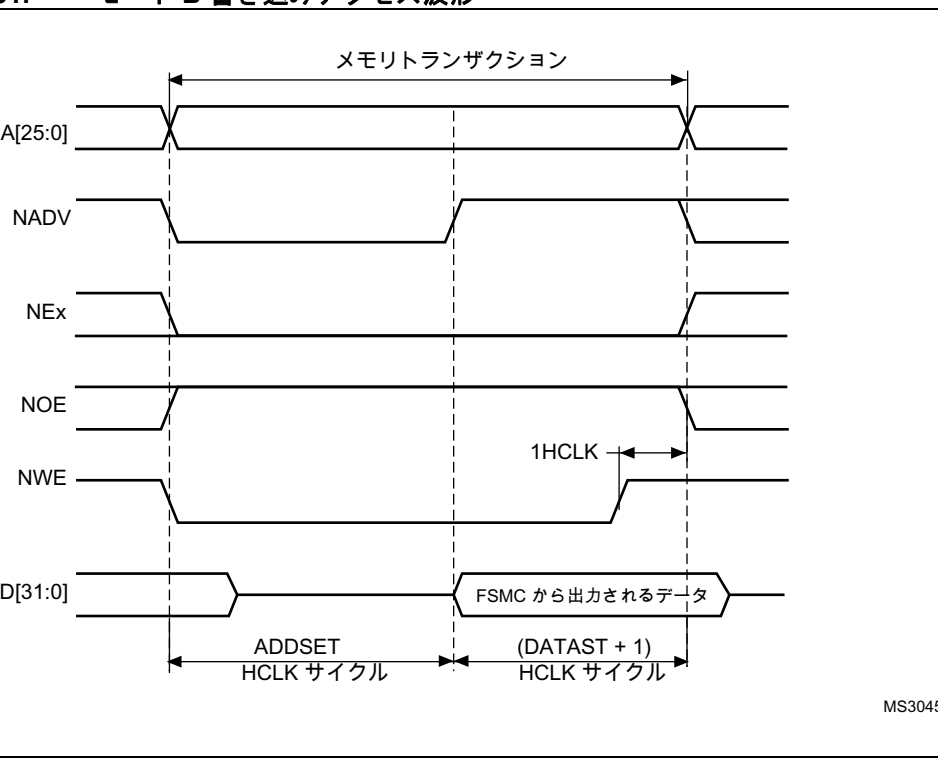


図 461. モード B 書き込みアクセス波形



モード 1 と比較した場合の相違点は、NWE のトグリングと拡張モードがセットされたとき（モード B）の独立した読み出しおよび書き込みのタイミングです。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 267. FMC_BCRx ビットフィールド

ビット番号	ビット名	設定値
31-21	予約済み	0x000
20	CCLKEN	必要に応じて設定します。
19	CBURSTRW	0x0（非同期モードで無効）
18:16	予約済み	0x0
15	ASYNCWAIT	メモリがこの機能をサポートする場合は 1 にセットします。そうでない場合は、0 のままにしておきます。
14	EXTMOD	モード B では 0x1、モード 2 では 0x0
13	WAITEN	0x0（非同期モードで無効）
12	WREN	必要に応じて設定します。
11	WAITCFG	無視
10	WRAPMOD	0x0
9	WAITPOL	ビット 15 が 1 の場合のみ、意味を持ちます。
8	BURSTEN	0x0
7	予約済み	0x1
6	FACCEN	0x1
5-4	MWID	必要に応じて設定します。
3-2	MTYP	0x2（NOR フラッシュメモリ）
1	MUXEN	0x0
0	MBKEN	0x1

表 268. FMC_BTRx ビットフィールド

ビット番号	ビット名	設定値
31-30	予約済み	0x0
29-28	ACCMOD	拡張モードがセットされている場合は 0x1
27-24	DATLAT	無視
23-20	CLKDIV	無視
19-16	BUSTURN	NEx ハイから NEx ローまでの時間（BUSTURN HCLK）
15-8	DATAST	読み出しアクセスに対する 2 番目のアクセスフェーズの時間（DATAST HCLK サイクル）。
7-4	ADDHLD	無視
3-0	ADDSET	読み出しアクセスに対する最初のアクセスフェーズの時間（ADDSET HCLK サイクル）。ADDSET の最小値は 0。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

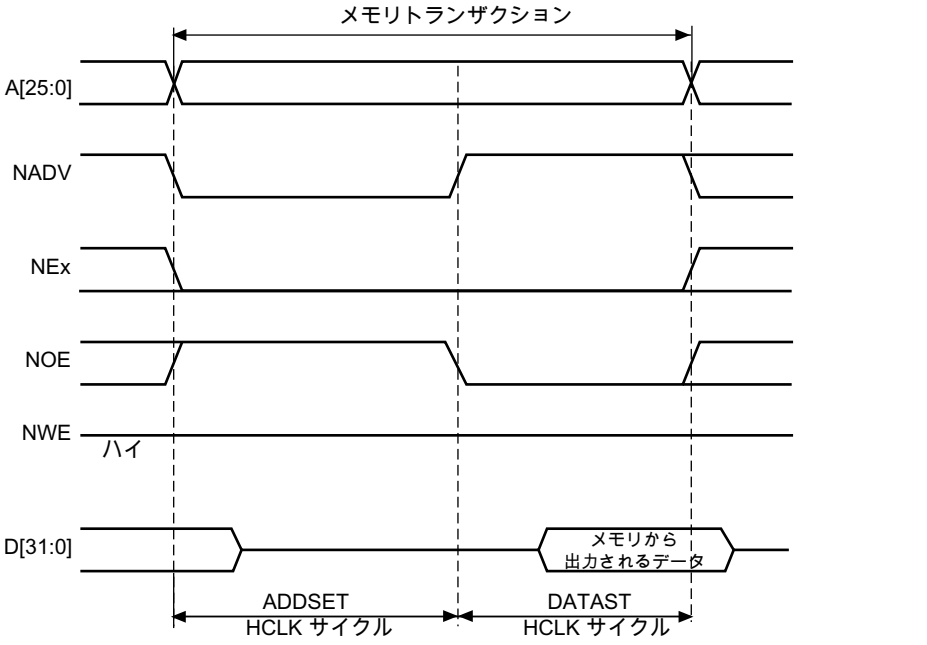
表 269. FMC_BWTRx ビットフィールド

ビット番号	ビット名	設定値
31-30	予約済み	0x0
29-28	ACCMOD	拡張モードがセットされている場合は 0x1
27-24	DATLAT	無視
23-20	CLKDIV	無視
19-16	BUSTURN	NEx ハイから NEx ローまでの時間（BUSTURN HCLK）
15-8	DATAST	書き込みアクセスに対する 2 番目のアクセスフェーズの時間（DATAST HCLK サイクル）。
7-4	ADDHLD	無視
3-0	ADDSET	書き込みアクセスに対する最初のアクセスフェーズの時間（ADDSET HCLK サイクル）。ADDSET の最小値は 0。

注： FMC_BWTRx レジスタは、拡張モードがセットされている場合（モード B）のみ有効です。それ以外の場合には、その内容は意味を持ちません。

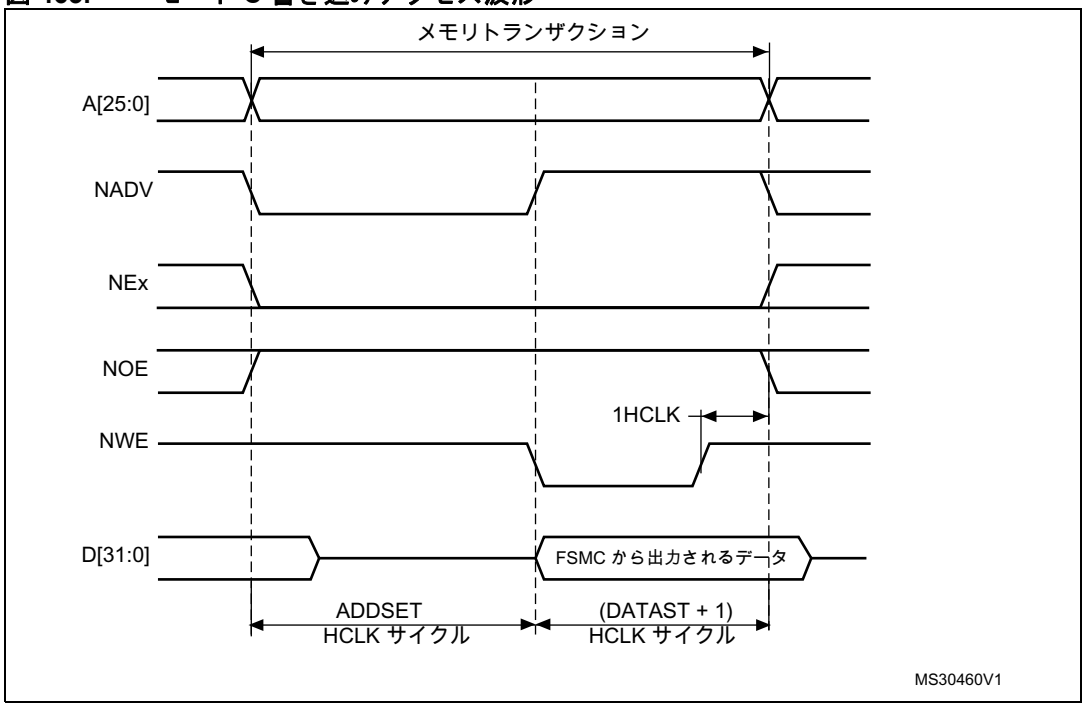
モード C - NOR フラッシュ - OE トグリング

図 462. モード C読み出しアクセス波形



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 463. モード C 書き込みアクセス波形



モード 1 と比較した場合の相違点は、NOE のトグリングと、独立した読み出しおよび書き込みのタイミングです。

表 270. FMC_BCRx ビットフィールド

ビット番号	ビット名	設定値
31-21	予約済み	0x000
20	CCLKEN	必要に応じて設定します。
19	CBURSTRW	0x0（非同期モードで無効）
18:16	予約済み	0x0
15	ASYNCWAIT	メモリがこの機能をサポートする場合は 1 にセットします。そうでない場合は、0 のままにしておきます。
14	EXTMOD	0x1
13	WAITEN	0x0（非同期モードで無効）
12	WREN	必要に応じて設定します。
11	WAITCFG	無視
10	WRAPMOD	0x0
9	WAITPOL	ビット 15 が 1 の場合のみ、意味を持ちます。
8	BURSTEN	0x0
7	予約済み	0x1
6	FACCEN	0x1
5-4	MWID	必要に応じて設定します。
3-2	MTYP	0x02（NOR フラッシュメモリ）

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 270. FMC_BCRx ビットフィールド（続き）

ビット番号	ビット名	設定値
1	MUXEN	0x0
0	MBKEN	0x1

表 271. FMC_BTRx ビットフィールド

ビット番号	ビット名	設定値
31:30	予約済み	0x0
29-28	ACCMOD	0x2
27-24	DATLAT	0x0
23-20	CLKDIV	0x0
19-16	BUSTURN	NEx ハイから NEx ローまでの時間（BUSTURN HCLK）
15-8	DATAST	読み出しアクセスに対する 2 番目のアクセスフェーズの時間（DATAST HCLK サイクル）。
7-4	ADDHLD	無視
3-0	ADDSET	読み出しに対する最初のアクセスフェーズの時間（ADDSET HCLK サイクル）。ADDSET の最小値は 0。

表 272. FMC_BWTRx ビットフィールド

ビット番号	ビット名	設定値
31:30	予約済み	0x0
29-28	ACCMOD	0x2
27-24	DATLAT	無視
23-20	CLKDIV	無視
19-16	BUSTURN	NEx ハイから NEx ローまでの時間（BUSTURN HCLK）
15-8	DATAST	書き込みに対する 2 番目のアクセスフェーズの時間（DATAST HCLK サイクル）。
7-4	ADDHLD	無視
3-0	ADDSET	書き込みアクセスに対する最初のアクセスフェーズの時間（ADDSET HCLK サイクル）。ADDSET の最小値は 0。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

モード D - 拡張アドレスによる非同期アクセス

図 464. モード D読み出しアクセス波形

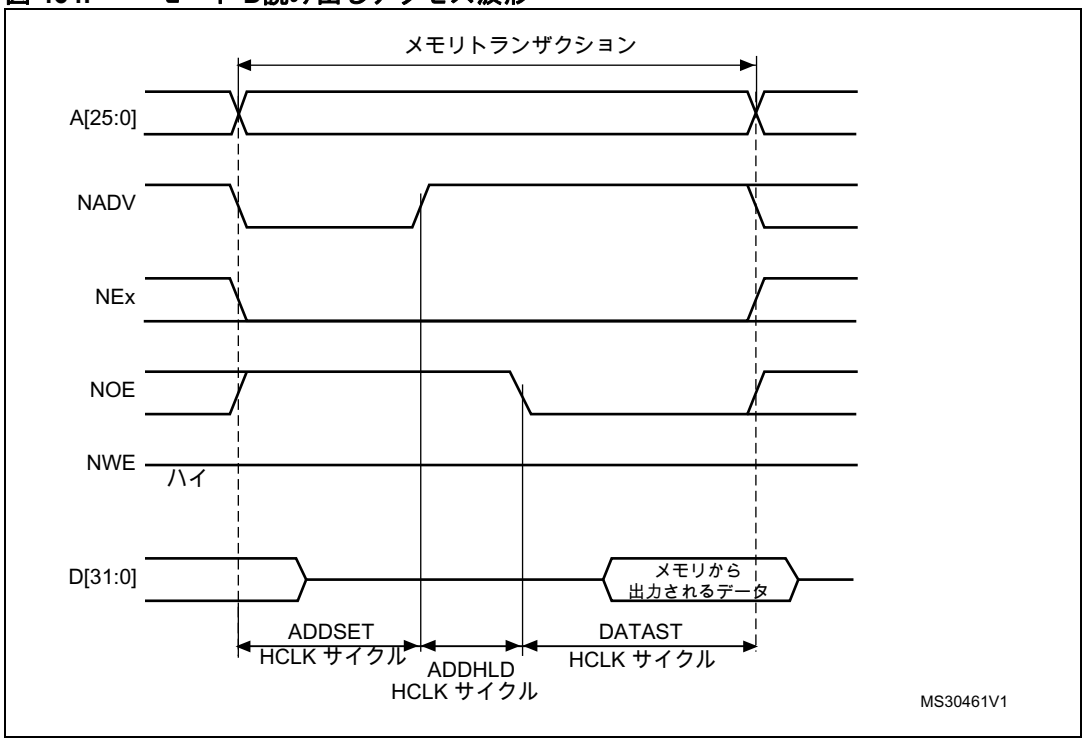
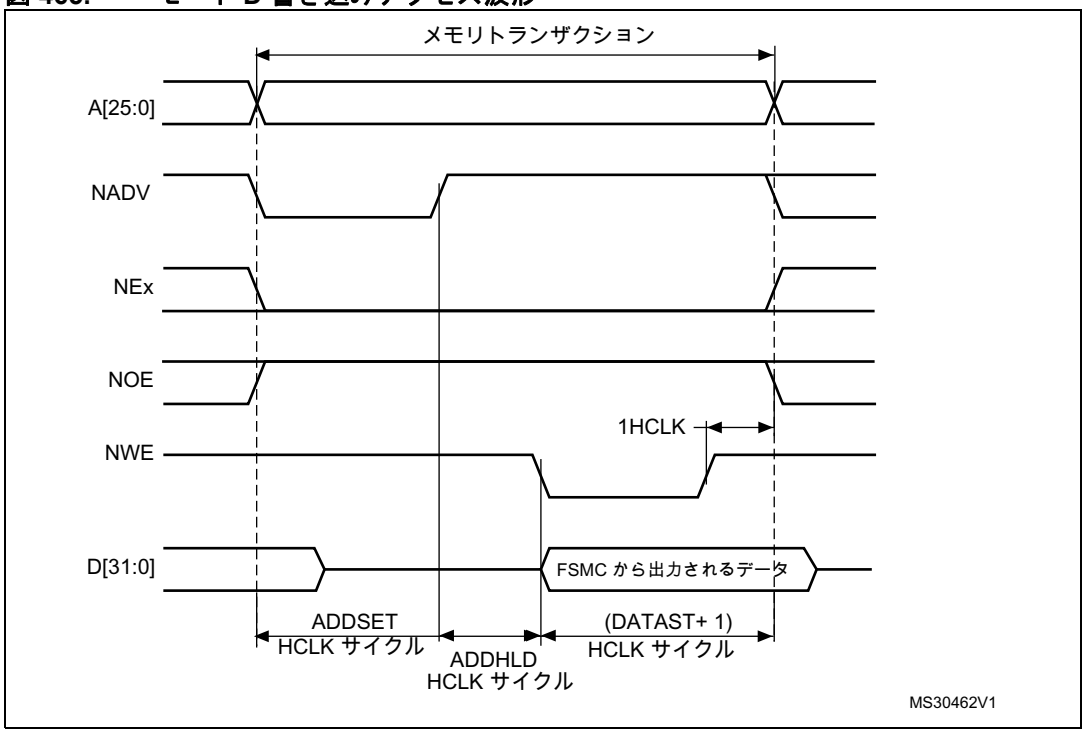


図 465. モード D 書き込みアクセス波形



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

モード 1 と比較した場合の相違点は、NADV が変化した後にトグリングを続ける NOE のトグリングと独立した読み出し書き込みタイミングです。

表 273. FMC_BCRx ビットフィールド

ビット番号	ビット名	設定値
31-21	予約済み	0x000
20	CCLKEN	必要に応じて設定します。
19	CBURSTRW	0x0（非同期モードで無効）
18:16	予約済み	0x0
15	ASYNCWAIT	メモリがこの機能をサポートする場合は 1 にセットします。そうでない場合は、0 のままにしておきます。
14	EXTMOD	0x1
13	WAITEN	0x0（非同期モードで無効）
12	WREN	必要に応じて設定します。
11	WAITCFG	無視
10	WRAPMOD	0x0
9	WAITPOL	ビット 15 が 1 の場合のみ、意味を持ちます。
8	BURSTEN	0x0
7	予約済み	0x1
6	FACCEN	メモリのサポート状況に応じて設定します。
5-4	MWID	必要に応じて設定します。
3-2	MTYP	必要に応じて設定します。
1	MUXEN	0x0
0	MBKEN	0x1

表 274. FMC_BTRx ビットフィールド

ビット番号	ビット名	設定値
31:30	予約済み	0x0
29-28	ACCMOD	0x3
27-24	DATLAT	無視
23-20	CLKDIV	無視
19-16	BUSTURN	NEx ハイから NEx ローまでの時間（BUSTURN HCLK）
15-8	DATAST	読み出しアクセスに対する 2 番目のアクセスフェーズの時間（DATAST HCLK サイクル）。
7-4	ADDHLD	読み出しにおける中間アクセスフェーズの時間（ADDHLD HCLK サイクル）
3-0	ADDSET	読み出しに対する最初のアクセスフェーズの時間（ADDSET HCLK サイクル）。ADDSET の最小値は 1。

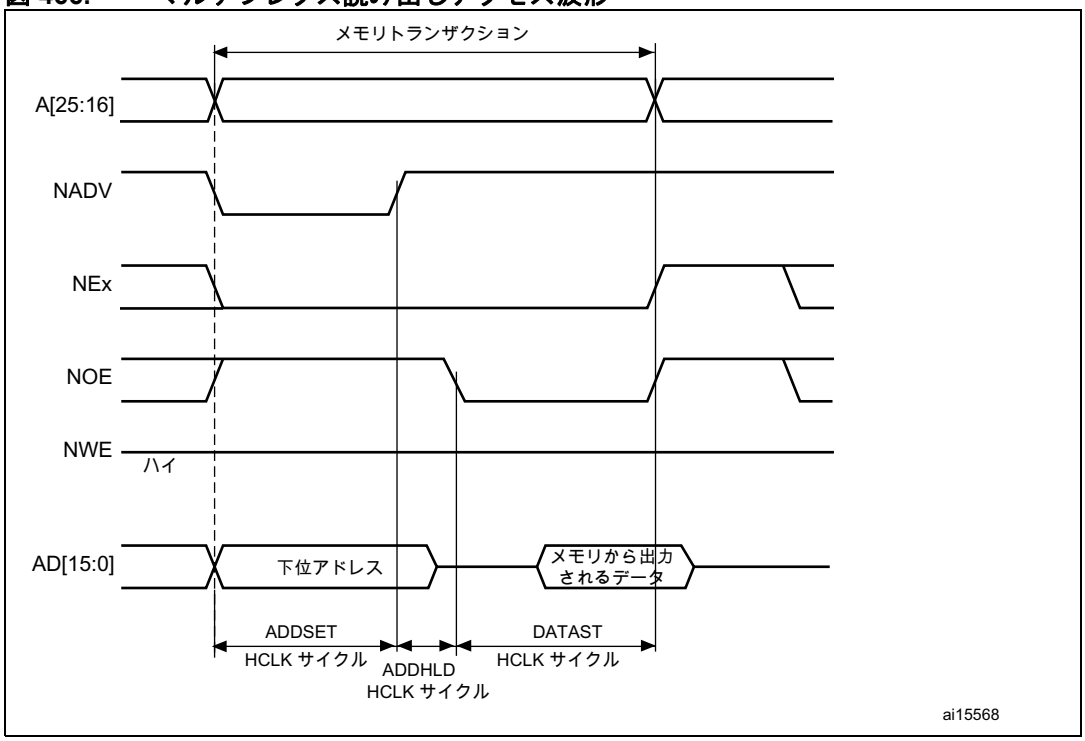
この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 275. FMC_BWTRx ビットフィールド

ビット番号	ビット名	設定値
31:30	予約済み	0x0
29-28	ACCMOD	0x3
27-24	DATLAT	無視
23-20	CLKDIV	無視
19-16	BUSTURN	NEx ハイから NEx ローまでの時間（BUSTURN HCLK）
15-8	DATAST	書き込みアクセスに対する 2 番目のアクセスフェーズの時間（DATAST1 HCLK サイクル）
7-4	ADDHLD	書き込みアクセスにおける中間アクセスフェーズの時間（ADDHLD HCLK サイクル）
3-0	ADDSET	書き込みアクセスに対する最初のアクセスフェーズの時間（ADDSET HCLK サイクル）。ADDSET の最小値は 1。

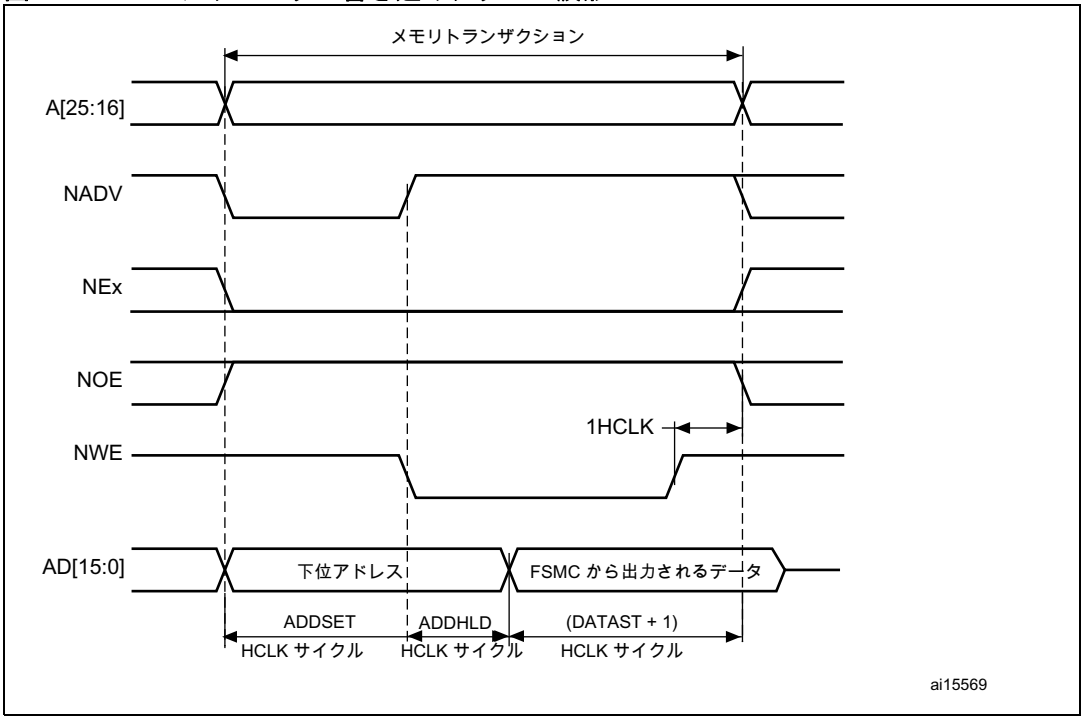
ミックスモード - NOR フラッシュメモリに対するマルチプレクス非同期アクセス

図 466. マルチプレクス読み出しアクセス波形



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 467. マルチプレクス書き込みアクセス波形



モード D との相違点は、データバス上の下位アドレスバイトのドライブです。

表 276. FMC_BCRx ビットフィールド

ビット番号	ビット名	設定値
31-21	予約済み	0x000
20	CCLKEN	必要に応じて設定します。
19	CBURSTRW	0x0（非同期モードで無効）
18:16	予約済み	0x0
15	ASYNCWAIT	メモリがこの機能をサポートする場合は 1 にセットします。そうでない場合は、0 のままにしておきます。
14	EXTMOD	0x0
13	WAITEN	0x0（非同期モードで無効）
12	WREN	必要に応じて設定します。
11	WAITCFG	無視
10	WRAPMOD	0x0
9	WAITPOL	ビット 15 が 1 の場合のみ、意味を持ちます。
8	BURSTEN	0x0
7	予約済み	0x1
6	FACCEN	0x1
5-4	MWID	必要に応じて設定します。
3-2	MTYP	0x2（NOR フラッシュメモリ）

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 276. FMC_BCRx ビットフィールド（続き）

ビット番号	ビット名	設定値
1	MUXEN	0x1
0	MBKEN	0x1

表 277. FMC_BTRx ビットフィールド

ビット番号	ビット名	設定値
31:30	予約済み	0x0
29-28	ACCMOD	0x0
27-24	DATLAT	無視
23-20	CLKDIV	無視
19-16	BUSTURN	NEx ハイから NEx ローまでの時間（BUSTURN HCLK）
15-8	DATAST	2 番目のアクセスフェーズの時間（読み出しアクセスの場合は DATAST HCLK サイクル、書き込みアクセスの場合は DATAST+1 HCLK サイクル）。
7-4	ADDHLD	書き込みアクセスにおける中間アクセスフェーズの時間（ADDHLD HCLK サイクル）。
3-0	ADDSET	最初のアクセスフェーズの時間（ADDSET HCLK サイクル）。ADDSET の最小値は 1。

非同期アクセスにおけるウェイト管理

非同期メモリが、データの受け取りまたは提供の準備がまだできていないことを知らせるために、WAIT 信号をアサートした場合、FMC_BCRx レジスタの ASYNCWAIT ビットをセットする必要があります。

WAIT 信号がアクティブな場合（WAITPOL ビットに依存して、ハイまたはロー）、DATAST ビットによってプログラムされる 2 番目のアクセスフェーズ（データセットアップフェーズ）は、WAIT ビットが無効になるまで延長されます。データセットアップフェーズとは異なり、ADDSET および ADDHLD ビットによってプログラムされる最初のアクセスフェーズ（アドレスセットアップおよびアドレスホールドフェーズ）は、WAIT に対応しないので、延長されません。

データセットアップフェーズは、メモリトランザクションが終了する 4 HCLK サイクル前に WAIT が検出されるようにプログラムする必要があります。次のようなケースを考慮する必要があります。

1. メモリが、次のようにトグルする NOE/NWE に合わせた WAIT 信号をアサートする場合。

$$DATAST \geq (4 \times HCLK) + \text{最大ウェイトアサート時間}$$

2. メモリが、NEx（またはトグルしない NOE/NWE）に合わせた WAIT 信号をアサートする場合。

   if

$$\text{最大ウェイトアサート時間} > \text{アドレスフェーズ} + \text{ホールドフェーズ}$$

   then:

$$DATAST \geq (4 \times HCLK) + (\text{最大ウェイトアサート時間} - \text{アドレスフェーズ} - \text{ホールドフェーズ})$$

   それ以外の場合は、

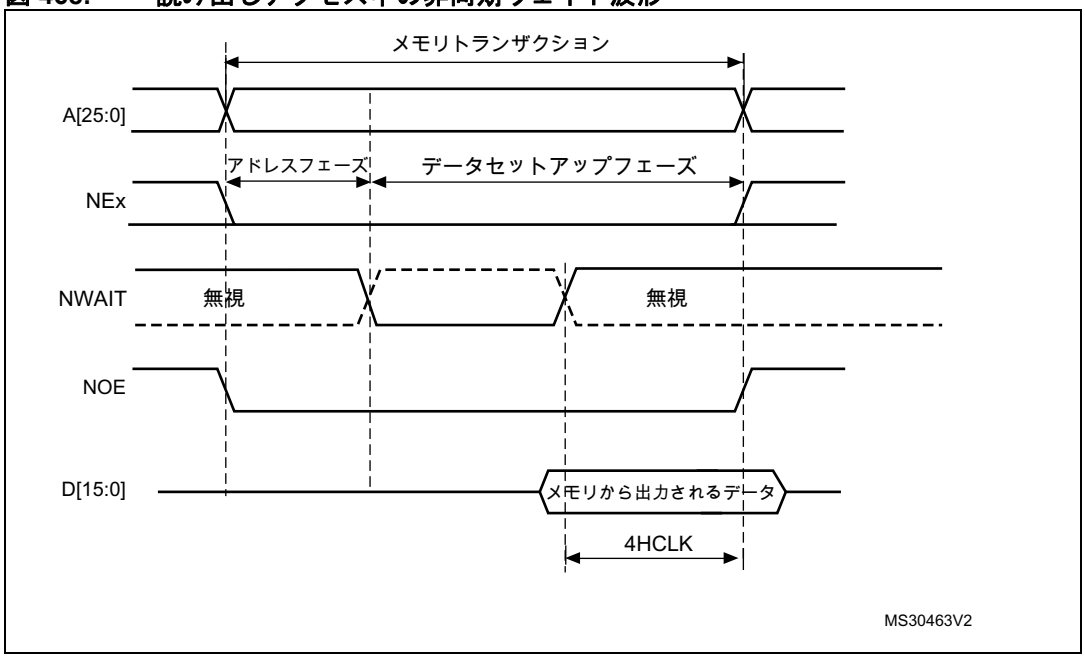
$$DATAST \geq 4 \times HCLK$$

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ここで、最大ウェイトアサート時間は、NEx/NOE/NWE がローになったときにメモリが WAIT 信号をアサートするために必要な最大時間です。

*図 468*と*図 469* に、非同期メモリによって、WAIT が解除された後、メモリアクセスに追加される HCLK のサイクル数を示します（上記のケースに無関係）。

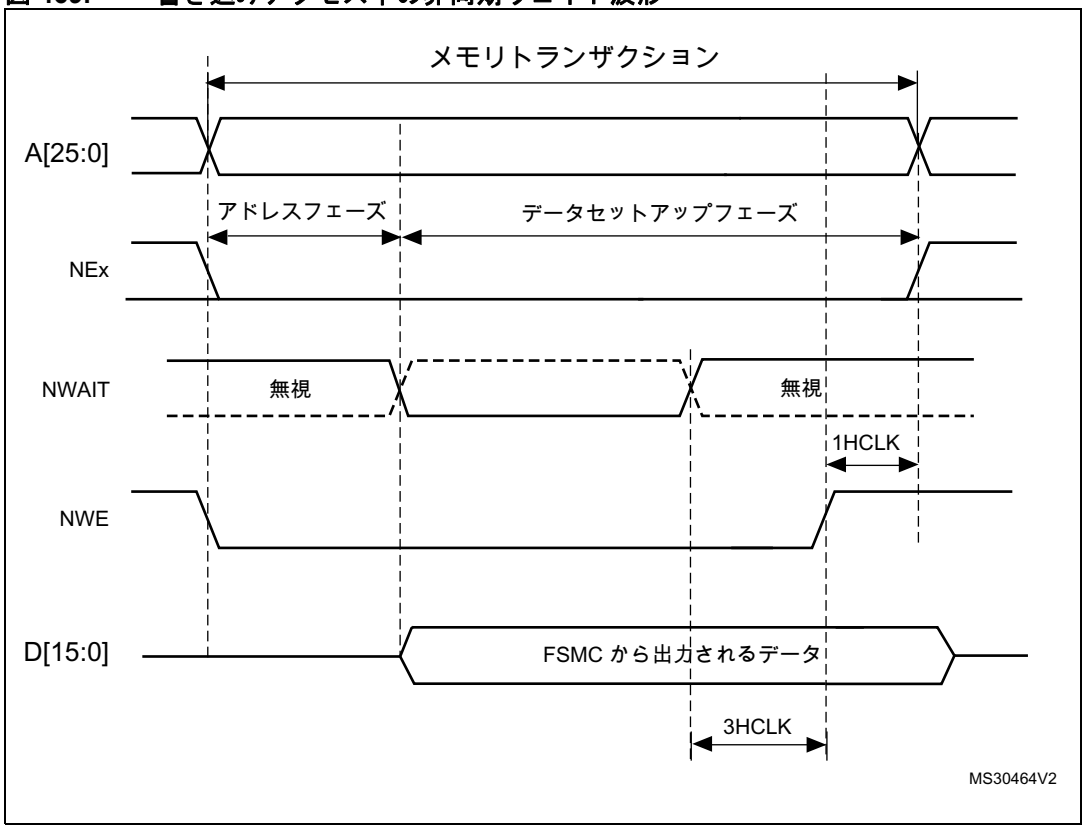
図 468. 読み出しアクセス中の非同期ウェイト波形



1. NWAIT 極性は、FMC_BCRx レジスタの WAITPOL ビット設定値に依存します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 469. 書き込みアクセス中の非同期ウェイト波形



1. NWAIT 極性は、FMC_BCRx レジスタの WAITPOL ビット設定値に依存します。

37.5.5 同期トランザクション

メモリクロック FMC_CLK は、HCLK の約数です。この値は CLKDIV 値と MWID/ AHB データサイズに依存し、次式で与えられます。

$$\text{FMC_CLK 分周比} = \max(\text{CLKDIV} + 1, \text{MWID(AHB データサイズ)})$$

MWID が 16 ビットまたは 8 ビットの場合、FMC_CLK の分周比は常に、設定された CLKDIV 値で決まります。

MWID が 32 ビットの場合、FMC_CLK の分周比は AHB データサイズにも依存します。

例:

- CLKDIV=1、MWID=32ビット、AHB データサイズ = 8 ビットの場合、FMC_CLK=HCLK/4。
- CLKDIV=1、MWID=16 ビット、AHB データサイズ = 8 ビットの場合、FMC_CLK=HCLK/2。

NOR フラッシュメモリは、NADV のアサーションから CLK がハイになるまでの最小時間を指定します。この制約を満たすために、FMC は、同期アクセスの最初の内部クロックサイクルでは（NADV アサーションの前）、クロックをメモリに供給しません。これにより、メモリクロックの立ち上がりエッジは、NADV ローパルスの中間で発生します。

データ遅延と NOR メモリ遅延

データ遅延は、データをサンプリングする前のウェイトサイクル数です。DATLAT の値は、NOR フラッシュ構成レジスタで指定された遅延の値と一致しなければなりません。FMC は、NADV がローのときのクロックサイクルをデータ遅延カウントに含めません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

注： ***一部の NOR フラッシュメモリは、データ遅延カウントに NADV ローサイクルを含めるので、NOR フラッシュの遅延と FMC DATALAT パラメータの厳密な関係は、次のいずれかです。***

- NOR フラッシュ遅延 =（DATLAT + 2）CLK クロックサイクル
- NOR フラッシュ遅延 =（DATLAT + 3）CLK クロックサイクル

最近のメモリの中には、遅延フェーズにおいて NWAIT をアサートするものがあります。そのような場合には、DATLAT を最小値に設定することができます。結果として、FMC はデータをサンプリングして、データが有効であるかどうか評価するのに十分な時間、ウェイトします。このように、FMC は、メモリが遅延から抜けたことを検出し、実際のデータが処理されます。

その他のメモリは、遅延中には NWAIT をアサートしません。この場合、FMC とメモリの両方について、遅延が正しく設定されなければなりません。さもなければ、正しいデータの代わりに無効なデータが取られたり、有効なデータがメモリサイクルの初期フェーズで失われることになります。

シングルバースト転送

選択されたバンクが同期アクセスのバーストモードに設定されている場合、例えば、16 ビットメモリで AHB シングルバーストトランザクションがリクエストされると、FMC は長さ 1（AHB 転送が 16 ビットの場合）または 2（AHB 転送が 32 ビットの場合）のバーストトランザクションを実行して、最後のデータがストローブされると、チップセレクトをデアサーションします。

このような転送はサイクル数の点で、非同期読み出し動作に比較して最も効率的ではありません。しかし、時間がかかるメモリアクセスモードの再プログラムには、まず、ランダム非同期アクセスが必要です。

ウェイト管理

同期 NOR フラッシュメモリでは、NWAIT がプログラムされた遅延期間（（DATLAT+2）CLK サイクルに対応）後に評価されます。

NWAIT が有効の場合（WAITPOL=0 ではローレベル、WAITPOL=1 ではハイレベル）、ウェイトステートが挿入され、このウェイトステートは NWAIT が無効（WAITPOL=0 ではハイレベル、WAITPOL=1 ではローレベル）になるまで続きます。

NWAIT が無効のときには、データはただちに（ビット WAITCFG=1）または次のクロックエッジで（ビット WAITCFG=0）、有効とみなされます。

NWAIT 信号によるウェイトステートの挿入時には、コントローラはメモリへのクロックパルスの送信を続け、チップセレクトと出力イネーブル信号を維持します。データは有効と見なしません。

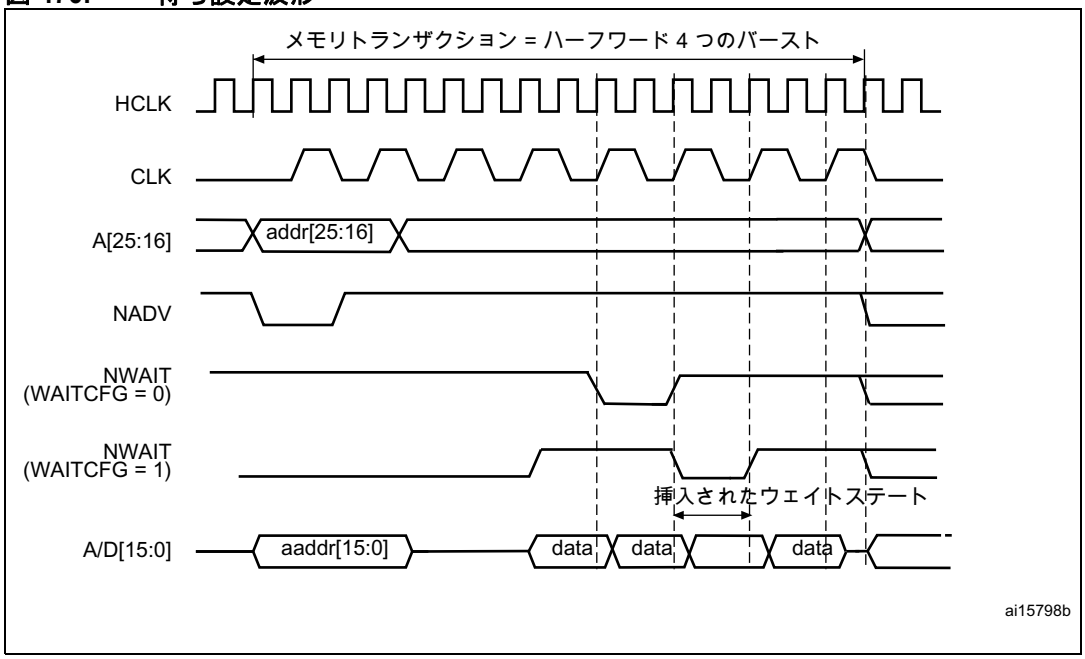
バーストモードでの NOR フラッシュの NWAIT 信号には、2 つのタイミング設定があります。

- フラッシュメモリは、ウェイトステートの 1 データサイクル前に NWAIT 信号をアサートします（リセット後のデフォルト）。
- フラッシュメモリは、ウェイトステートの間に NWAIT 信号をアサートします。

FMC は FMC_BCRx レジスタ（x = 0..3）の WAITCFG ビットを使って、各チップセレクトに対する両 NOR フラッシュ待ち状態設定をサポートします。

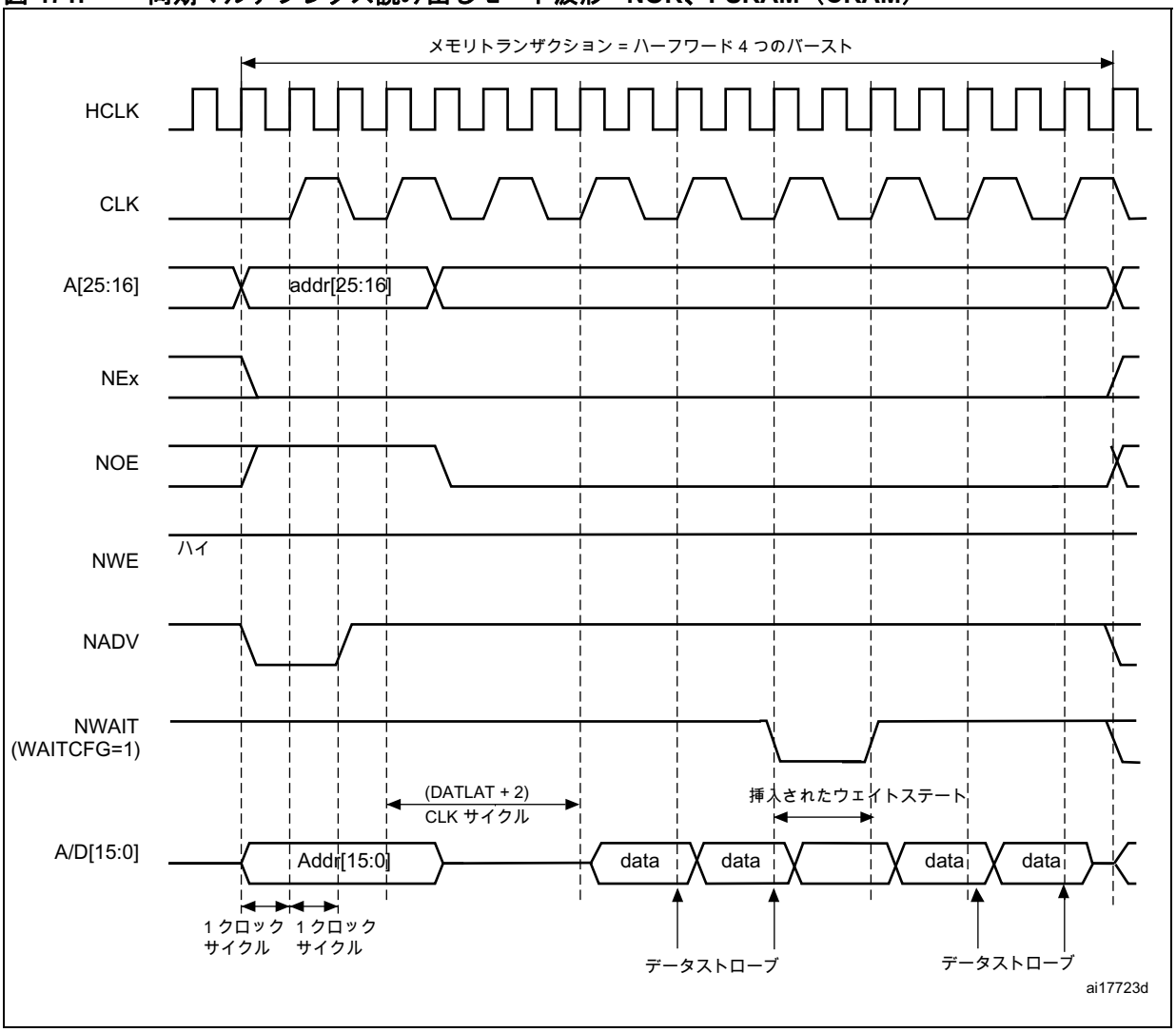
この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 470. 待ち設定波形



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 471. 同期マルチプレクス読み出しモード波形 - NOR、PSRAM（CRAM）



1. バイトレーン出力 BL は示されていません。NOR アクセス時にはハイに保たれ、PSRAM（CRAM）アクセス時にはローに保たれます。

表 278. FMC_BCRx ビットフィールド

ビット番号	ビット名	設定値
31-21	予約済み	0x000
20	CCLKEN	必要に応じて設定します。
19	CBURSTRW	同期読み出し時は影響しません。
18-15	予約済み	0x0
14	EXTMOD	0x0
13	WAITEN	メモリがこの機能をサポートする場合は 1 にセット、そうでなければ 0 のままとします。
12	WREN	同期読み出し時は影響しません。
11	WAITCFG	メモリに応じて設定します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 278. FMC_BCRx ビットフィールド（続き）

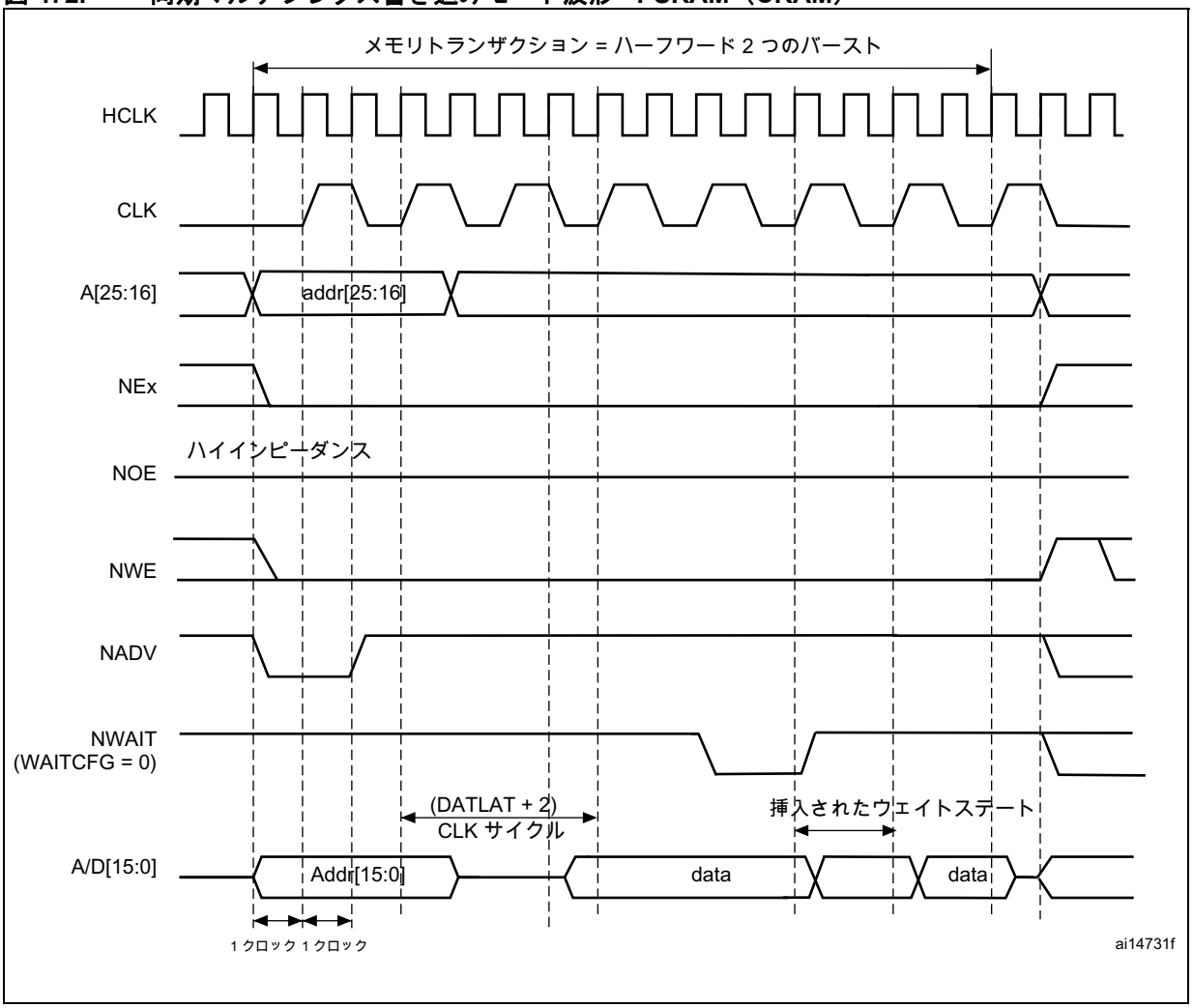
ビット番号	ビット名	設定値
10	WRAPMOD	0x0
9	WAITPOL	メモリに応じて設定します。
8	BURSTEN	0x1
7	予約済み	0x1
6	FACCEN	メモリサポートに従って設定します（NOR フラッシュメモリ）
5-4	MWID	必要に応じて設定します。
3-2	MTYP	0x1 または 0x2
1	MUXEN	必要に応じて設定します。
0	MBKEN	0x1

表 279. FMC_BTRx ビットフィールド

ビット番号	ビット名	設定値
31:30	予約済み	0x0
29:28	ACCMOD	0x0
27-24	DATLAT	データ遅延
27-24	DATLAT	データ遅延
23-20	CLKDIV	0x0 CLK = HCLK の場合（サポートしてません） 0x1 の場合、CLK＝2×HCLK となります。 ..
19-16	BUSTURN	NEx ハイから NEx ローまでの時間（BUSTURN HCLK）
15-8	DATAST	無視
7-4	ADDHLD	無視
3-0	ADDSET	無視

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 472. 同期マルチプレクス書き込みモード波形 - PSRAM（CRAM）



1. メモリは、NWAIT 信号を 1 サイクル前に発行しなければならないので、WAITCFG を 0 にプログラムする必要があります。
2. バイトレーン（NBL）出力は、図に示されていず、NEx が有効な間はローに保たれます。

表 280. FMC_BCRx ビットフィールド

ビット番号	ビット名	設定値
31-20	予約済み	0x000
20	CCLKEN	必要に応じて設定します。
19	CBURSTRW	0x1
18-15	予約済み	0x0
14	EXTMOD	0x0
13	WAITEN	メモリがこの機能をサポートする場合は 1 にセット、そうでなければ 0 のままとします。
12	WREN	0x1
11	WAITCFG	0x0
10	WRAPMOD	0x0

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 280. FMC_BCRx ビットフィールド（続き）

ビット番号	ビット名	設定値
9	WAITPOL	メモリに応じて設定します。
8	BURSTEN	同期読み出し時は影響しません。
7	予約済み	0x1
6	FACCEN	メモリのサポート状況に応じて設定します。
5-4	MWID	必要に応じて設定します。
3-2	MTYP	0x1
1	MUXEN	必要に応じて設定します。
0	MBKEN	0x1

表 281. FMC_BTRx ビットフィールド

ビット番号	ビット名	設定値
31-30	予約済み	0x0
29:28	ACCMOD	0x0
27-24	DATLAT	データ遅延
23-20	CLKDIV	0x0 の場合、CLK = HCLK となります（サポートされていません）。 0x1 の場合、CLK＝2×HCLK となります。
19-16	BUSTURN	無視
15-8	DATAST	無視
7-4	ADDHLD	無視
3-0	ADDSET	無視

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

37.5.6 NOR/PSRAM コントローラレジスタ

SRAM/NOR- フラッシュチップセレクト制御レジスタ 1..4（FMC_BCR1..4）

アドレスオフセット：8 * (x – 1)、x = 1...4

リセット値：バンク 1 は 0x0000 30DB、バンク 2～4 は 0x0000 30D2

このレジスタは、SRAM、PSRAM、および NOR フラッシュメモリで使用される各メモリバンクの制御情報を含みます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み											CCLKEN	CBURSTRW	予約済み			ASCYCWAIT	EXTMOD	WAITEN	WREN	WAITCFG	予約済み	WAITPOL	BURSTEN	予約済み	FACCEN	MWID		MTYP		MUXEN	MBKEN
											rw	rw				rw	rw	rw	rw	rw	rw	rw	rw		rw	rw	rw	rw	rw	rw	rw

ビット 31:21 予約済みであり、リセット値に保持する必要があります。

ビット 20 **CCLKEN**：連続 クロックイネーブル。

このビットは、外部メモリデバイスに対する FMC_CLK クロック出力を有効化します。

0：FMC_CLK は同期メモリアクセス（読み出し／書き込みトランザクション）時にのみ発生されます。FMC_CLK クロック比は、FMC_BCRx レジスタに設定した CLKDIV 値により指定されます（リセット後のデフォルト）。

1：FMC_CLK は、非同期アクセスと同期アクセス時に連続的に発生されます。CCLKEN がセットされると、FMC_CLK クロックがアクティブになります。

注： ***FMC_BCR2..4 レジスタの CCLKEN ビットは don’t care です。このビットは FMC_BCR1 レジスタからのみ有効化できます。FMC_CLK連続クロックを発生するときは、バンク 1 を同期モードに設定する必要があります。***

注： ***CCLKEN ビットがセットされている場合、FMC_CLK クロック比は FMC_BTR1 レジスタの CLKDIV 値で指定されます。FMC_BWTR1 の CLKDIV は、don’t care です。***

注： ***同期モードを使用し、かつ CCLKEN ビットがセットされる場合、バンク 1 以外のバンクに接続される同期メモリはすべて、同じクロックで駆動されます（他のバンクに対する FMC_BTR2..4 レジスタと FMC_BWTR2..4 レジスタの CLKDIV 値は無効です）。***

ビット 19 **CBURSTRW**：書き込みバーストイネーブル。

バーストモードでの PSRAM（CRAM）動作では、このビットは書き込み動作時に同期アクセスを可能にします。同期読み出しアクセスに対するイネーブルビットは、FMC_BCRx レジスタの BURSTEN ビットです。

0：書き込み動作は、常に非同期モードで実行されます。

1：書き込み動作は、同期モードで実行されます。

ビット 18:16 予約済みであり、リセット値に保持する必要があります。

ビット 15 **ASYNCWAIT**：非同期転送中のウエイト信号

このビットは、非同期プロトコル時でも、FMC が NWAIT 信号を有効化／無効化できるようにします。

0：非同期プロトコル動作中は、NWAIT 信号は考慮されません（リセット後のデフォルト）。

1：非同期プロトコル動作中に NWAIT 信号が考慮されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 14 **EXTMOD**：拡張モードイネーブル。

このビットを使うと、FMC が FMC_BWTR レジスタで非同期アクセスの書き込みタイミングをプログラムできるため、読み出しと書き込みで異なるタイミングが可能になります。

0：FMC_BWTR レジスタ内部の値は考慮されません（リセット後のデフォルト）。

1：FMC_BWTR レジスタ内部の値が考慮されます。

注： 拡張モードを無効化した場合、FMC は次のようにモード 1 またはモード 2 で動作することができます。

- *SRAM/PSRAM メモリタイプを選択した場合（MTYP =0x0 または 0x01）、モード 1 はデフォルトモードです。*
- *NOR メモリタイプを選択した場合（MTYP = 0x10）、モード 2 がデフォルトモードになります。*

ビット 13 **WAITEN**：ウェイトイネーブルビット。

このビットは、同期モードでフラッシュメモリをアクセスするとき NWAIT 信号を使したウエイトステートの挿入を有効化／無効化します。

0：NWAIT 信号は無効です（レベルは考慮されず、プログラムされたフラッシュ遅延時間後にウェイトステートは挿入されません）。

1：NWAIT 信号は有効です（レベルが考慮され、アサートされた場合、プログラムされたフラッシュ遅延時間後にウェイトステートが挿入されます）（リセット後のデフォルト）。

ビット 12 **WREN**：書き込みイネーブルビット。

このビットは、FMC によるバンクへの書き込み動作の有効／無効を示します。

0：FMC によるバンクへの書き込み動作は無効にされています。AHB エラーは報告されます。

1：FMC によるバンクへの書き込み動作は有効にされています（リセット後のデフォルト）。

ビット 11 **WAITCFG**：ウェイトタイミング構成

NWAIT 信号は、メモリからのデータが有効か、または同期モードでフラッシュメモリをアクセスするときウエイトステートを挿入すべきかを表示します。この構成ビットは、ウェイトステートの 1 クロック前、またはウェイトステート中に、メモリによって NWAIT がアサートされるかどうかを定義します。

0：NWAIT 信号は、ウェイトステートの 1 データサイクル前にアクティブです（リセット後のデフォルト）。

1：NWAIT 信号は、ウェイトステートの間アクティブです（PSRAM には不使用）。

ビット 10 予約済みであり、リセット値に保持する必要があります。

ビット 9 **WAITPOL**：ウェイト信号極性ビット。

メモリからのウェイト信号の極性を定義します。バーストモードでメモリにアクセスするときのみ有効です。

0：NWAIT アクティブロー（リセット後のデフォルト）

1：NWAIT はアクティブハイです。

ビット 8 **BURSTEN**：バーストイネーブルビット。

このビットは、読み出し動作での同期アクセスを有効化／無効化します。これは、バーストモードでの同期メモリ動作に対してのみ有効です。

0：バーストアクセスモードは無効です（リセット後のデフォルト）。読み出しアクセスは非同期モードで実行されます。

1：バーストモードを有効化。読み出しアクセスは同期モードで実行されます。

ビット 7 予約済みであり、リセット値に保持する必要があります。

ビット 6 **FACCEN**：フラッシュアクセスイネーブル

NOR フラッシュメモリアクセス動作を有効にします。

0：対応する NOR フラッシュメモリアクセスは無効です。

1：対応する NOR フラッシュメモリアクセスは有効です（リセット後のデフォルト）。

ビット 5:4 **MWID**：メモリデータバス幅。

外部メモリデバイスの幅を定義します。すべてのタイプのメモリに対して有効です。

00：8 ビット

01：16 ビット（リセット後のデフォルト）

10：32 ビット

11：予約済み。使用しないでください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 3:2 **MTYP**：メモリタイプ。

対応するメモリバンクに接続される外部メモリのタイプを定義します。

00：SRAM（バンク 2...4 のリセット後のデフォルト）

01：PSRAM（CRAM）

10：NOR フラッシュ /OneNAND フラッシュ（バンク 1 のリセット後のデフォルト）

11：予約済み

ビット 1 **MUXEN**：アドレス／データマルチプレクシングイネーブルビット

このビットがセットされているときには、データバス上でアドレスとデータがマルチプレクスされます。NOR および PSRAM フラッシュのみで有効です。

0：アドレス／データはマルチプレクスされません。

1：アドレス／データはデータバス上でマルチプレクスされます（リセット後のデフォルト）。

ビット 0 **MBKEN**：メモリバンクイネーブルビット。

メモリバンクを有効にします。リセット後は、バンク 1 は有効であり、その他はすべて無効です。無効なバンクにアクセスすると、AHB バス上で ERROR が発生します。

0：対応するメモリバンクは無効です

1：対応するメモリバンクは有効です。

SRAM/NOR- フラッシュチップセレクトタイミングレジスタ 1..4（FMC_BTR1..4）

アドレスオフセット：0x04 + 8 * (x – 1)、x = 1..4

リセット値：0x0FFF FFFF

リセット値：0x0FFF FFFF

このレジスタは、SRAM、PSRAM、NOR フラッシュメモリに使用される各メモリバンクの制御情報を格納しています。FMC_BCRx レジスタの EXTMOD ビットがセットされている場合、このレジスタは、書き込みと読み出しアクセスに分割されます。すなわち、読み出しアクセスを構成するためのレジスタ（このレジスタ）と、書き込みアクセスを構成するためのレジスタ（FMC_BWTR x レジスタ）の 2 つのレジスタが使用できます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み		ACCMOD		DATLAT				CLKDIV				BUSTURN				DATAST								ADDHLD				ADDSET			
		rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:30 予約済みであり、リセット値に保持する必要があります。

ビット 29:28 **ACCMOD**：アクセスモード

タイミング図に示されているように、非同期アクセスモードを指定します。これらのビットは、FMC_BCRx レジスタの EXTMOD ビットが 1 のときのみ考慮されます。

00：アクセスモード A

01：アクセスモード B

10：アクセスモード C

11：アクセスモード D

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 27:24 **DATLAT**（下のビット説明参照）：同期 NOR フラッシュメモリのデータ遅延

バーストモードを有効にした同期 NOR フラッシュメモリの場合、最初のデータの読み書きの前にメモリに発行するメモリクロックサイクル数（＋2）を定義します。

このタイミングパラメータは、HCLK 周期ではなく、FMC_CLK 周期で表されます。PSRAM（CRAM）の場合には、このフィールドを 0 に設定する必要があります。非同期の NOR フラッシュ、SRAM あるいは PSRAM の場合、この値は don't care です。

0000：最初のバーストアクセスでは、2 CLK クロックサイクルのデータ遅延

1111 : 最初のバーストアクセスでは、17 CLK クロックサイクルのデータ遅延（リセット後のデフォルト）

ビット 23:20 **CLKDIV**：クロック分周比（FMC_CLK 信号）

FMC_CLK クロック出力信号の周期を定義します。HCLK サイクル数で表されます。

0000：予約済み

0001：FMC_CLK 周期 = 2 × HCLK 周期

0010：FMC_CLK 周期 = 3 × HCLK 周期

1111：FMC_CLK 周期 = 16 × HCLK 周期（リセット後のデフォルト値）

非同期 NOR フラッシュ、SRAM、または PSRAM アクセスでは、この値は無関係です。

注： 37.5.5：同期トランザクション FMC_CLK 分周比式のセクション参照）

ビット 19:16 **BUSTURN**：バスターンアラウンドフェーズ時間

これらのビットはソフトウェアから書き込まれて、書き込み／読み出しトランザクションの終わりに遅延を追加します。この遅延を使うと、連続トランザクション間の最小時間（NEx ハイから NEx ローまでの t_{EHEL}）と、読み出しアクセス後にメモリがデータバスを開放するために要する最大時間（tEHQZ）を次のように一致させることができます。

EXTMOD = "0" の場合、（BUSTRUN + 1）HCLK 周期≥ $t_{EHELmin}$ かつ（BUSTRUN + 2）HCLK 周期≥ $t_{EHQZmax}$

EXTMOD = "1" の場合、（BUSTRUN + 2）HCLK 周期 ≥ max（$t_{EHELmin}$、$t_{EHQZmax}$）。

0000：BUSTURN フェーズ時間 = 0 HCLK クロックサイクル

...

1111：BUSTURN フェーズ時間 = 15× HCLK クロックサイクル（リセット後のデフォルト）

ビット 15:8 **DATAST**：データフェーズ時間

これらのビットはソフトウェアから書き込まれ、非同期アクセスで使用されるデータフェーズの時間を定義します（*図 455*～*図 467* を参照）。

0000 0000：予約済み

0000 0001：DATAST フェーズ時間 = 1 × HCLK クロックサイクル

0000 0010：DATAST フェーズ時間= 2 × HCLK クロックサイクル

...

1111 1111:DATAST フェーズ時間= 255 × HCLK クロックサイクル（リセット後のデフォルト値）

各メモリタイプおよびアクセスモードでのデータフェーズ時間については、それぞれの図（*図 455*～*図 467*）を参照してください。

例：モード 1、書き込みアクセス、DATAST=1：データフェーズ時間=DATAST+1 = 2 HCLK クロックサイクル。

注： 同期アクセスでは、この値は don't care。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 7:4 **ADDHLD**：アドレスホールドフェーズ時間

これらのビットは、アドレスホールドフェーズの時間を定義するために、ソフトウェアから書き込まれ（*図 464*～*図 467* を参照）、モード D およびマルチプレクスアクセスで使用されます。

0000：予約済み

0001：ADDHLD フェーズ時間=1 × HCLK クロックサイクル

0010：ADDHLD フェーズ時間= 2 × HCLK クロックサイクル

...

1111：ADDHLD フェーズ時間= 15 × HCLK クロックサイクル（リセット後のデフォルト値）

各アクセスモードでのデータホールドフェーズ時間については、それぞれの図（*図 464*～*図 467*）を参照してください。

注： ***同期アクセスでは、この値は使用されず、アドレスホールドフェーズは、常に 1 メモリクロック周期の長さです。***

ビット 3:0 **ADDSET**：アドレスセットアップフェーズ時間

これらのビットは、アドレスセットアップフェーズの時間を定義するために、ソフトウェアによって書き込まれ（*図 455*～*図 467* を参照）、SRAM、ROM、および非同期 NOR フラッシュで使用されます。

0000：ADDSET フェーズ時間= 0 × HCLK クロックサイクル

...

1111：ADDSET フェーズ時間= 15 × HCLK クロックサイクル（リセット後のデフォルト値）

各アクセスモードでのアドレスセットアップフェーズ時間については、それぞれの図（*図 455*～*図 467*）を参照してください。

注： ***同期アクセスでは、この値は don't care。***

マルチプレクスモードとモード D では、ADDSET の最小値は 1 です。

注： ***PSRAM（CRAM）の遅延は、内部更新のために可変です。したがって、これらのメモリは、必要に応じて遅延を延長するために、遅延フェーズ全体について NWAIT 信号を発行します。***
SPRAM（CRAM）では、フィールド DATLAT を 0 に設定しなければなりません。こうすると、FMC は、すぐに遅延フェーズを終了して、メモリからの NWAIT 信号のサンプリングを開始し、メモリがレディ状態になると、読み出しまたは書き込みを開始します。
この方法は、古い世代のフラッシュメモリと異なり、NWAIT 信号を発行する最新世代の同期フラッシュメモリでも使用できます（使用中の特定のフラッシュメモリのデータシートを参照してください）。

SRAM/NOR- フラッシュ書き込みタイミングレジスタ 1..4（FMC_BWTR1..4）

アドレスオフセット：0x104 + 8 * (x – 1)、x = 1...4

リセット値：0x0FFF FFFF

このレジスタには各メモリバンクの制御情報が格納されます。SRAM、PSRAM、NOR フラッシュメモリに使用されます。FMC_BCRx レジスタの EXTMOD ビットがセットされていときには、このレジスタは書き込みアクセスについて有効になります。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み		ACCMOD		予約済み								BUSTURN				DATAST								ADDHLD				ADDSET			
		rw	rw									rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:30 予約済みであり、リセット値に保持する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 29:28 **ACCMOD**：アクセスモード。

次のタイミング図に示されているように、非同期アクセスモードを指定します。これらのビットは、FMC_BCRx レジスタの EXTMOD ビットが 1 にセットされている場合のみ考慮されます。

00：アクセスモード A

01：アクセスモード B

10：アクセスモード C

11：アクセスモード D

ビット 27:20 予約済みであり、リセット値に保持する必要があります。

ビット 19:16 **BUSTURN**：バスターンアラウンドフェーズ時間

これらのビットはソフトウェアから書き込まれて、書き込みトランザクションの終わりに遅延を追加して、次のように連続トランザクション間の最小時間（ENx ハイから ENx ローまでの t_{EHEL}）を一致させます。

（BUSTRUN + 1）HCLK 周期 $\geq t_{EHELmin}$.

0000：BUSTURN フェーズ時間 = 0 HCLK クロックサイクル

...

1111：BUSTURN フェーズ時間 = 15 HCLK クロックサイクル追加（リセット後のデフォルト値）

ビット 15:8 **DATAST**：データフェーズ時間

これらのビットはソフトウェアから書き込まれ、非同期 SRAM、PSRAM、NOR フラッシュメモリアクセスで使用されるデータフェーズの時間を定義します（*図 455*～*図 467* を参照）。

0000 0000：予約済み

0000 0001：DATAST フェーズ時間= 1 × HCLK クロックサイクル

0000 0010：DATAST フェーズ時間 = 2 × HCLK クロックサイクル

...

1111 1111:DATAST フェーズ時間= 255 × HCLK クロックサイクル（リセット後のデフォルト値）

ビット 7:4 **ADDHLD**：アドレスホールドフェーズ時間

これらのビットは、アドレスホールドフェーズの時間を定義するために、ソフトウェアから書き込まれ（*図 464*～*図 467* を参照）、非同期マルチプレクスアクセスで使用されます。

0000：予約済み

0001：ADDHLD フェーズ時間 = 1 × HCLK クロックサイクル

0010：ADDHLD フェーズ時間 = 2 × HCLK クロックサイクル

...

1111：ADDHLD フェーズ時間 = 15 × HCLK クロックサイクル（リセット後のデフォルト値）

注：同期 NOR フラッシュアクセスでは、この値は使用されず、アドレスホールドフェーズは、常に 1 フラッシュクロック周期の長さです。

ビット 3:0 **ADDSET**：アドレスセットアップフェーズ時間。

これらのビットは、アドレスセットアップフェーズの時間を HCLK サイクル数で定義するために、ソフトウェアから書き込まれ（*図 464*～*図 467* を参照）、非同期 NOR フラッシュで使用されます。

0000：ADDSET フェーズ時間 = 0 × HCLK クロックサイクル

...

1111：ADDSET フェーズ時間 = 15 × HCLK クロックサイクル（リセット後のデフォルト値）

注： 同期 NOR フラッシュアクセスでは、この値は使用されず、アドレスセットアップフェーズは、常に 1 フラッシュクロック周期の長さです。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

37.6 NAND フラッシュ /PC カードコントローラ

FMC は、以下のタイプのデバイスを駆動するのに適した信号タイミングを発生します。

- 8 ビットと 16 ビットの NAND フラッシュメモリ
- 16 ビット PC カード互換デバイス

NAND フラッシュ /PC カードコントローラは、3 つの外部バンク（バンク 2、3、4）を制御することができます。

- バンク 2 およびバンク 3 は、NAND フラッシュデバイスをサポートします。
- バンク 4 は、PC カードデバイスをサポートします。

各バンクは、専用レジスタによって設定されます（*セクション 37.6.8* を参照）。プログラマブルメモリパラメータは、アクセスタイミング（*表 282* 参照）と ECC 構成を含みます。

表 282. プログラマブル NAND フラッシュ /PC カードアクセスパラメータ

パラメータ	機能	アクセスモード	単位	最小値	最大値
メモリ セットアップ時間	コマンドアサーション前にアドレスをセットアップするために必要なクロックサイクル（HCLK）数	読み出し／ 書き込み	AHB クロック サイクル（HCLK）	1	256
メモリウェイト	コマンドアサーションの最小時間（HCLK クロックサイクル数）	読み出し／ 書き込み	AHB クロック サイクル（HCLK）	2	256
メモリホールド	コマンドアサーション解除後に、アドレスを（書き込みアクセス時はデータも）保持する必要があるクロックサイクル数（HCLK）。	読み出し／ 書き込み	AHB クロック サイクル（HCLK）	1	255
メモリデータ バスハイ インピーダンス	書き込みアクセス開始後にデータバスがハイインピーダンス状態に保たれるクロックサイクル数（HCLK）	書き込み	AHB クロック サイクル（HCLK）	0	255

37.6.1 外部メモリ・インタフェース信号

次の表に、通常、NAND フラッシュメモリおよび PC カードとのインタフェースに使用される信号を示します。

注： ***プリフィクス「N」は、アクティブローの信号を表します。***

8 ビット NAND フラッシュメモリ

表 283. 8 ビット NAND フラッシュ

FMC 信号名	入出力	機能
A[17]	O	NAND フラッシュアドレスラッチイネーブル（ALE）信号
A[16]	O	NAND フラッシュコマンドラッチイネーブル（CLE）信号
D[7:0]	入出力	8 ビットマルチプレクス、双方向アドレス／データバス
NCE[x]	O	チップセレクト、x = 2、3
NOE（= NRE）	O	出力イネーブル（メモリ信号名：読み出しイネーブル、NRE）
NWE	O	書き込みイネーブル
NWAIT/INT[3:2]	I	FMC への NAND フラッシュレディ／ビジー入力信号

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

FMC は必要なだけのアドレスサイクルを管理できるので、容量についての理論上の限界はありません。

16 ビット NAND フラッシュメモリ

表 284. 16 ビット NAND フラッシュ

FMC 信号名	入出力	機能
A[17]	O	NAND フラッシュアドレスラッチイネーブル（ALE）信号
A[16]	O	NAND フラッシュコマンドラッチイネーブル（CLE）信号
D[15:0]	入出力	16 ビットマルチプレクス、双方向アドレス／データバス
NCE[x]	O	チップセレクト、x = 2、3
NOE（= NRE）	O	出力イネーブル（メモリ信号名：読み出しイネーブル、NRE）
NWE	O	書き込みイネーブル
NWAIT/INT[3:2]	I	FMC への NAND フラッシュレディ／ビジー入力信号

FMC は必要なだけのアドレスサイクルを管理できるので、容量についての理論上の限界はありません。

表 285. 16 ビット PC カード

FMC 信号名	入出力	機能
A[10:0]	O	アドレスバス
NIORD	O	I/O 空間の出力イネーブル
NIOWR	O	I/O 空間の書き込みイネーブル
NREG	O	アクセスが共通または属性空間のいずれかを示すレジスタ信号
D[15:0]	入出力	双方向データバス
NCE4_1	O	チップセレクト 1
NCE4_2	O	チップセレクト 2（アクセスが 16 ビットか 8 ビットかを示す）
NOE	O	共通および属性空間での出力イネーブル
NWE	O	共通および属性空間での書き込みイネーブル
NWAIT	I	FMC への PC カードウェイト入力信号（メモリ信号名 IORDY）
INTR	I	FMC への PC カード割り込み（割り込みを発生できる PC カードのみ）
CD	I	PC カードの有無の検出。アクティブハイ。CD がローの間に PC カードバンクへのアクセスが行われた場合、AHB エラーが生成されます。*セクション 37.3：AHB インタフェース*を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

37.6.2 NAND フラッシュ /PC カードがサポートされるメモリおよびトランザクション

表 286 に、サポートされるデバイス、アクセスモード、およびトランザクションを示します。NAND フラッシュ /PC カードコントローラによって許可されない（またはサポートされない）トランザクションは、グレイで示されています。

表 286. サポートされるメモリおよびトランザクション

デバイス	モード	R/W	AHB データサイズ	メモリデータサイズ	許可/禁止	コメント
NAND 8 ビット	非同期	R	8	8	Y	
	非同期	W	8	8	Y	
	非同期	R	16	8	Y	2 つの FMC アクセスに分割
	非同期	W	16	8	Y	2 つの FMC アクセスに分割
	非同期	R	32	8	Y	4 つの FMC アクセスに分割
	非同期	W	32	8	Y	4 つの FMC アクセスに分割
NAND 16 ビット	非同期	R	8	16	Y	
	非同期	W	8	16	N	
	非同期	R	16	16	Y	
	非同期	W	16	16	Y	
	非同期	R	32	16	Y	2 つの FMC アクセスに分割
	非同期	W	32	16	Y	2 つの FMC アクセスに分割

37.6.3 NAND フラッシュメモリと PC カードのタイミング図

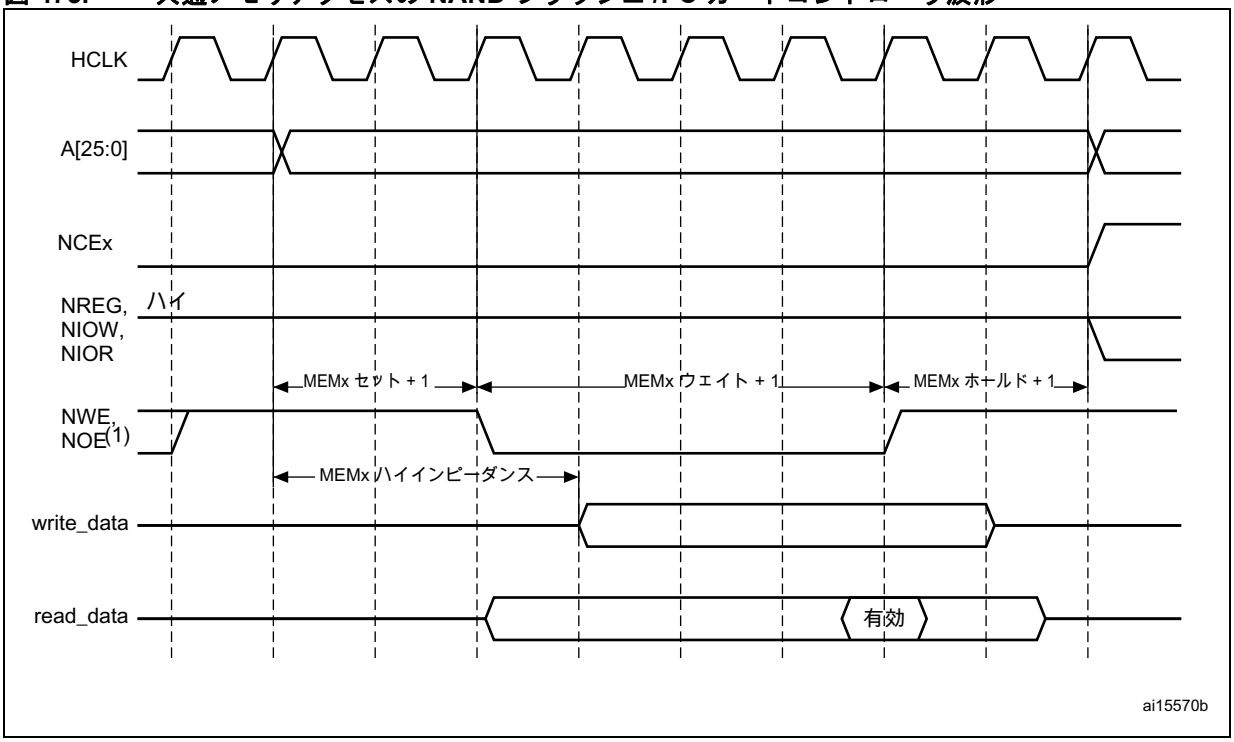
PC カード／コンパクトフラッシュ、および NAND フラッシュメモリの各バンクは、レジスタのセットを通じて管理されます。

- 制御レジスタ：FMC_PCRx
- 割り込みステータスレジスタ：FMC_SRx
- ECC レジスタ：FMC_ECCRx
- 共通メモリ空間用タイミングレジスタ：FMC_PMEMx
- 属性メモリ空間用タイミングレジスタ：FMC_PATTx
- I/O空間用タイミングレジスタ：FMC_PIOx

各タイミング構成レジスタは、PC カード/コンパクトフラッシュ、または NAND フラッシュアクセスの 3 つのフェーズの HCLK サイクル数を定義するための 3 つのパラメータと、書き込みの際にデータバスの駆動を開始するタイミングを定義する 1 つのパラメータを格納します。*図 473* は、共通メモリアクセスのタイミングパラメータの定義を示します。属性メモリ空間と I/O（PC カードのみ）メモリ空間のアクセスタイミングが同様であることがわかります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 473. 共通メモリアクセスの NAND フラッシュ /PC カードコントローラ波形



1. NOE は、書き込みアクセス時、ハイ（インアクティブ）に保たれます。NWE は、読み出しアクセス時、ハイ（インアクティブ）に保たれます。

37.6.4 NAND フラッシュ動作

NAND フラッシュデバイスのコマンドラッチイネーブル（CLE）およびアドレスラッチイネーブル（ALE）信号は、FMC コントローラのアドレス信号によって駆動されます。これは、NAND フラッシュメモリにコマンドまたはアドレスを送信するには、CPU は、CPU のメモリ空間内の特定のアドレスに書き込みを行う必要があることを意味します。

NAND フラッシュデバイスからの一般的なページ読み出し動作には、次のステップが必要です。

3. FMC_PCRx レジスタと FMC_PMEMx レジスタを（デバイスによっては、FMC_PATTx も、*セクション 37.6.5 : NAND フラッシュのプリウェイト機能*を参照）、NAND フラッシュの特性（NAND フラッシュメモリのデータバス幅に対する PWID ビット、PTYP = 1、必要に応じて PWAITEN = 0 または 1、タイミング設定については*セクション 37.4.2 : NAND フラッシュメモリ/PC カードアドレスマッピング*を参照）に従って設定することによって、対応するメモリバンクをプログラミングし、有効化します。
4. CPU は、1 つのフラッシュコマンドバイトと等しいデータバイト（たとえば、Samsung の NAND フラッシュデバイスの場合は 0x00）で、共通メモリ空間にバイト書き込みを行います。NAND フラッシュの LE 入力は、書き込みストローブ（NWE 上のローパルス）の間はアクティブであり、書き込まれたバイトは、NAND フラッシュによってコマンドとして認識されます。コマンドがメモリデバイスにラッチされたら、次のページ読み出し動作のために書き込む必要はありません。
5. CPU は、4 バイト（より小容量のデバイスの場合は 3 バイト）を共通メモリまたは属性空間に書き込むことによって、読み出し操作の開始アドレス（STARTAD）を送信できます（STARTAD[7:0]、STARTAD[16:9]、STARTAD[24:17]、および 64 M ビット x 8 ビット NAND フラッシュの場合は最後に STARTAD[25]）。NAND フラッシュデバイスの ALE 入力は、書き込みストローブの間アクティブであり（NWE 上のローパルス）、書き込まれたバイトは、読み出し動作の開始アドレスとして解釈されます。属性メモリ空間を使用すると、FMC の異なるタイミング構成を使用でき、一部の NAND フラッシュメモリで必要とされるプリウェイト機能を実装

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

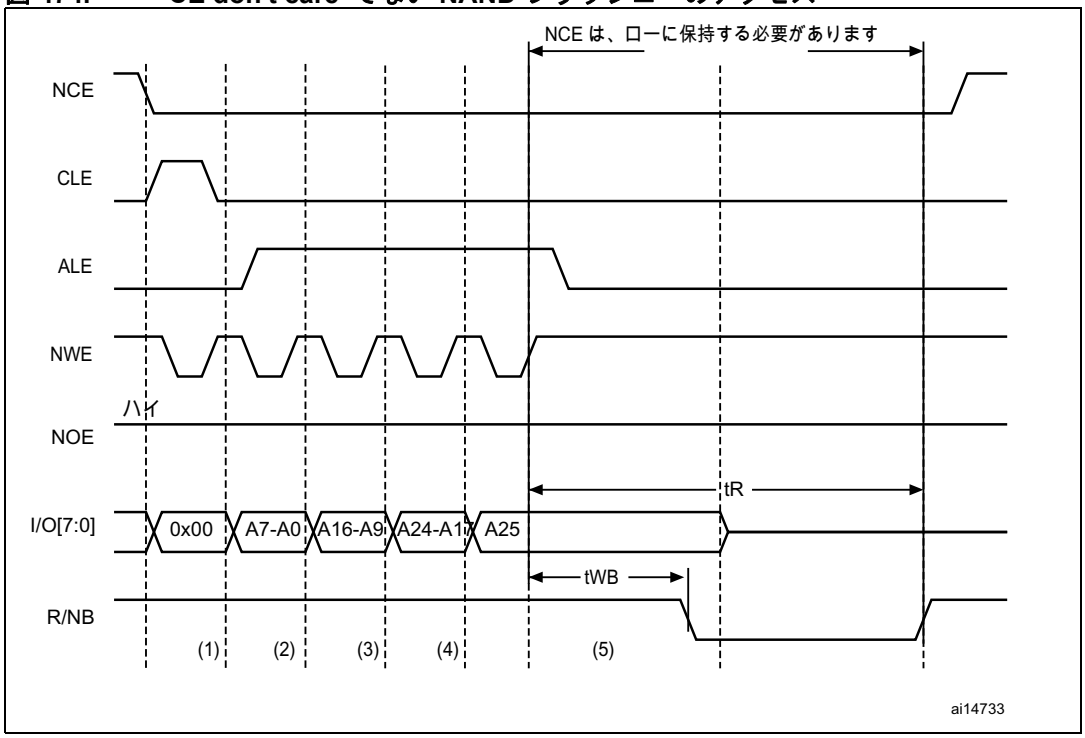
できます（詳細については、*セクション 37.6.5 : NAND フラッシュのプリウェイト機能*を参照してください）。

6. コントローラは、NAND フラッシュメモリがレディになり（R/NB 信号がハイ）になるのを待ってから、同じメモリバンクまたは別のメモリバンクへの新しいアクセスを開始します。待っている間、コントローラは NCE 信号をアクティブ（ロー）に保ちます。
7. CPU は、NAND フラッシュページ（データフィールド＋スペアフィールド）をバイト単位で読み出すために、共通メモリ空間からバイト読み出し動作を行います。
8. 次の NAND フラッシュページは、CPU コマンドやアドレス書き込み動作なしに読み出すことができます。これは次の 3 つの方法で行うことができます。
   - ステップ 5 に記述された動作を実行します。
   - ステップ 3 から動作をリスタートすることによって、新しいランダムアドレスにアクセスできます。
   - ステップ 2 からリスタートすることによって、NAND フラッシュデバイスに新しいコマンドを送信できます。

37.6.5 NAND フラッシュのプリウェイト機能

一部の NAND フラッシュデバイスでは、アドレスの最後の部分を書き込んだ後、コントローラは R/NB 信号を待つ必要があります。（*図 454* 参照）。

図 474. "CE don't care"でない NAND フラッシュへのアクセス



1. CPU はアドレス 0x7001 0000 にバイト 0x00 を書き込みました。
2. CPU はアドレス 0x7002 0000 にバイト A7～A0 を書き込みました。
3. CPU はアドレス 0x7002 0000 にバイト A16 ～A9 を書き込みました。
4. CPU はアドレス 0x7002 0000 にバイト A24～A17 を書き込みました。
5. CPU はアドレス 0x7002 0000 にバイト A25 を書き込みました : FMC は FMC_PATT2 タイミング定義を使用して書き込みアクセスを実行します。ここで ATTHOLD≥7（ただし、(7+1) × HCLK = 112 ns > t_{WB}max ）。これにより、NCE は R/NB がローから再びハイになるまでローを維持します（NCE が Don't care でない NAND フラッシュメモリの場合のみ必要）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

この機能が必要な場合、MEMHOLD 値を設定することによりt_{WB} タイミングを確実に満たすことができます。ただし、NAND フラッシュメモリに対するすべての CPU読み出しまたは書き込みアクセスでは、（MEMHOLD+ 1）HCLK サイクルのホールド遅延が NWE 信号の立ち上がりエッジと次のアクセスとの間に挿入されます。

このタイミング制約に対処するためには、t_{WB} タイミングに応じた ATTHOLD 値でタイミングレジスタをプログラムし、MEMHOLD 値を最小値のままにしておくことで、属性メモリ空間を使用できます。この場合、CPU は NAND フラッシュのすべての読み出しおよび書き込みアクセスには共通メモリ空間を使用する必要があります。ただし、NAND フラッシュデバイスに最後のアドレスバイトを書き込むときには、属性メモリ空間に書き込む必要があります。

37.6.6 エラー訂正コード（ECC）の計算、NAND フラッシュメモリ

FMC の PC カードコントローラには、メモリバンクごとに 1 つずつ、2 つのエラー訂正コード計算ハードウェアブロックがあります。これらのハードウェアブロックは、ソフトウェアで ECC を処理する場合、ホスト CPU の負荷を削減します。

この 2 つの ECC ブロックは同一であり、それぞれバンク 2 とバンク 3 に接続されます。結果として、バンク 4 に接続されたメモリでは、ハードウェア ECC 計算を使用できません。

FMC に実装されたエラー訂正コード（ECC）のアルゴリズムでは、NAND フラッシュメモリに対する 256、512、1024、2048、4096、または 8192 バイトの読み出しまたは書き込みごとに、1 ビットのエラー訂正と 2 ビットのエラー検出を実行できます。ハミングコーディングアルゴリズムを採用し、行と列のパリティ計算を行います。

ECC モジュールは、NAND フラッシュメモリバンクが有効になるたびに、NAND フラッシュデータバスおよび読み出し／書き込み信号（NCE と NWE）を監視します。

ECC は次のように動作します。

- NAND フラッシュメモリのバンク 2 またはバンク 3 へアクセスするときは、D[15:0] バス上のデータがラッチされて、ECC 計算に使用されます。
- NAND フラッシュメモリの他のアドレスをアクセスするときは、ECC ロジックはアイドル状態となり、動作しません。このため、NAND フラッシュメモリに対するコマンドまたはアドレスを定義する書き込み動作は、ECC計算で考慮されません。

目的のバイト数がホスト CPU によって NAND フラッシュメモリから読み出されるか、NAND フラッシュメモリに書き込まれたら、FMC_ECCR2/3 レジスタを読み出して、計算値を取得する必要があります。読み出し後は、ECCEN ビットを"0"にリセットすることによってクリアされます。新しいデータクロックを計算するには、FMC_PCR2/3 レジスタの ECCEN ビットを 1 にセットする必要があります。

ECC計算を行うときは：

1. FMC_PCR2/3 レジスタで ECCEN ビットを有効にします。
2. NAND フラッシュメモリページへデータを書き込みます。NAND ページへ書き込む際、ECC ブロックは ECC 値を計算します。
3. FMC_ECCR2/3 レジスタにある ECC 値を読み出しして、変数内に格納します。
4. ECCEN ビットをクリアし、FMC_PCR2/3 レジスタで有効にした後、書き込んだデータを NAND ページから読み出します。NAND ページを読み出す際、ECC ブロックは ECC 値を計算します。
5. FMC_ECCR2/3 レジスタにある新しい ECC 値を読み出します。
6. 2 つの ECC 値が同じ場合、訂正は不要です。その他の場合、ECC エラーが存在するためソフトウェア訂正ルーチンがエラーが訂正できるか否かの情報を返します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

37.6.7 PC カード/コンパクトフラッシュの動作

アドレス空間とメモリアクセス

FMC は、コンパクトフラッシュデバイスまたは PC カードをメモリモードおよび I/O モードでサポートします（True IDE モードはサポートされません）。

コンパクトフラッシュカードと PC カードは、次の 3 つのメモリ空間から構成されます。

- 共通メモリ空間
- 属性空間
- I/O メモリ空間

nCE2 および nCE1 ピン（それぞれ FMC_NCE4_2 および FMC_NCE4_1）は、カードを選択し、バイト動作が行われているか、ワード動作が行われているかを示します。nCE2 は、D15-8 上の偶数バイトにアクセスし、nCE1 は、A0=0 の場合は D7-0、A0=1 の場合は D7-0 上の奇数バイトにアクセスします。nCE2 と nCE1 の両方ともローの場合は、D15-0 上のフルワードがアクセスされます。

メモリ空間は、nCE2/nCE1 と nREG のローアサーションと組み合わせて、読み出しアクセスの場合は nOE を、書き込みアクセスの場合は nWE を、それぞれローにアサートすることによって選択されます。

- メモリアクセス時にピン nREG=1 の場合は、共通メモリ空間が選択選択されます。
- メモリアクセス時にピン nREG=0 の場合は、属性メモリ空間が選択されます。

I/O 空間は、nCE2/nCE1 と組み合わせて、読み出しアクセスの場合は nIORD を、書き込みアクセスの場合は nIOWR をそれぞれアサートすることによって選択されます（メモリ空間の場合は nOE/nWE を使います）。I/O 空間にアクセスするときには、nREG もローにアサートされなければならないことに注意してください。

16 ビット PC カードでは、次の 3 種類のアクセスが可能です。

- データストレージのための共通メモリ空間へのアクセスは、偶数アドレスでは 8 ビットアクセス、または 16 ビット AHB アクセスが可能です。

  奇数アドレスでの 8 ビットアクセスはサポートされないため、nCE2 がローに駆動されないことに注意してください。32 ビット AHB リクエストは、2 つの 16 ビットメモリアクセスに変換されます。
- PC カードが構成情報を格納している属性メモリ空間へのアクセスは、偶数アドレスでの 8 ビット AHB アクセスに限られます。

  16 ビット AHB アクセスは 1 つの 8 ビットメモリ転送に変換されることに注意してください。nCE1 はローにアサートされ、nCE2 はハイにアサートされ、D7-D0 上の偶数バイトのみが有効になります。32 ビット AHB アクセスは、偶数アドレスでの 2 つの 8 ビットメモリ転送に変換されます。nCE1 はローにアサートされ、nCE2 はハイにアサートされ、偶数バイトのみが有効になります。
- I/O 空間へのアクセスでは、8 ビットまたは 16 ビットの AHB アクセスが可能です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 287. 16 ビット PC- カード信号とアクセスタイプ

nCE2	nCE1	nREG	nOE/nWE	nIORD /nIOWR	A10	A9	A7-1	A0	空間	アクセスタイプ	許可／禁止
1	0	1	0	1	X	X	X-X	X	共通メモリ空間	D7-D0 上のバイトの読み出し／書き込み	YES
0	1	1	0	1	X	X	X-X	X		D15-D8 上のバイトの読み出し／書き込み	サポートされません。
0	0	1	0	1	X	X	X-X	0		D15-D0 上のワードの読み出し／書き込み	YES
X	0	0	0	1	0	1	X-X	0	属性空間	構成レジスタの読み出しまたは書き込み	YES
X	0	0	0	1	0	0	X-X	0		CIS（カード情報構造）の読み出しまたは書き込み	YES
1	0	0	0	1	X	X	X-X	1	属性空間	無効な読み出しまたは書き込み（奇数アドレス）	YES
0	1	0	0	1	X	X	X-X	x		無効な読み出しまたは書き込み（奇数アドレス）	YES
1	0	0	1	0	X	X	X-X	0	I/O 空間	D7-0 上の偶数バイトの読み出し	YES
1	0	0	1	0	X	X	X-X	1		D7-0 上の奇数バイトの読み出し	YES
1	0	0	1	0	X	X	X-X	0		D7-0 上の偶数バイトの書き込み	YES
1	0	0	1	0	X	X	X-X	1		D7-0 上の奇数バイトの書き込み	YES
0	0	0	1	0	X	X	X-X	0		D15-0 上のワードの読み出し	YES
0	0	0	1	0	X	X	X-X	0		D15-0 上のワードの書き込み	YES
0	1	0	1	0	X	X	X-X	X		D15-8 上の奇数バイトの読み出し	サポートされません。
0	1	0	1	0	X	X	X-X	X		D15-8 上の奇数バイトの書き込み	サポートされません。

FMC バンク 4 では、*セクション 37.4.2 : NAND フラッシュメモリ/PC カードアドレスマッピング*～*表 249 : NAND/PC カードメモリマッピングおよびタイミングレジスタ*で説明する 3 つのメモリ空間へのアクセスが可能です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ウェイト機能

コンパクトフラッシュや PC カードは、FMC_PCRx レジスタの PWAITEN ビットを通じてウェイト機能が有効な場合、nOE/nWE または nIORD/nIOWR が有効になった後に nWAIT 信号をアサートすることによって、MEMWAITx/ATTWAITx/IOWAITx ビットでプログラムされたアクセスフェーズの長さを延長するように FMC に要求することができます。nWAIT のアサートを正しく検出するためには、MEMWAITx/ATTWAITx/IOWAITx ビットを次のようにプログラムする必要があります。

$$xxWAITx \geq 4 + \frac{max_wait_assertion_time}{HCLK}$$

ここで、max_wait_assertion_time は、nOE/nWE または nIORD/nIOWR がローになってから NWAIT がローになるまでの最大時間です。

WAIT のアサーション後、FMC は、WAIT フェーズを 4 HCLK クロックサイクルだけ延長します。

37.6.8 NAND フラッシュ /PC カードコントローラレジスタ

PC カード/NAND フラッシュ制御レジスタ 2..4（FMC_PCR2..4）

アドレスオフセット：0x40 + 0x20 * (x – 1)、x = 2..4

リセット値：0x0000 0018

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み												ECCPS			TAR				TCLR				予約済み		ECCEN	PWID		PTYP	PBKEN	PWAITEN	予約済み
												rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw			rw	rw	rw	rw	rw	rw	

ビット 31:20 予約済みであり、リセット値に保持する必要があります。

ビット 19:17 **ECCPS :** ECC ページサイズ。

外部 ECC のページサイズを定義します：
000:256 バイト
001:512 バイト
010:1024 バイト
011:2048 バイト
100:4096 バイト
101:8192 バイト

ビット 16:13 **TAR :** ALE から RE 間の遅延。

ALE ローから RE ローまでの時間を AHB クロックサイクル（HCLK）数で設定します。
時間は、t_ar =（TAR + SET +2）× THCLK です。THCLK は HCLK クロック周期です。
0000：1 HCLK サイクル（デフォルト）
1111：16 HCLK サイクル

注： SET は、アドレス指定される空間に応じて、MEMSET または ATTSET です。

ビット 12:9 **TCLR :** CLE から RE 間の遅延。

CLE ローから RE ローまでの時間を AHB クロックサイクル（HCLK）数で設定します。
時間は、t_clr =（TCLR + SET + 2）× THCLK です。THCLK は HCLK クロック周期です。
0000：1 HCLK サイクル（デフォルト）
1111：16 HCLK サイクル

注： SET は、アドレス指定される空間に応じて、MEMSET または ATTSET です。

ビット 8:7 予約済みであり、リセット値に保持する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 6 **ECCEN**：ECC 計算ロジックイネーブルビット

0：ECC ロジックは無効であり、リセットされています（リセット後のデフォルト）。

1：ECC ロジックは有効です。

ビット 5:4 **PWID**：データバス幅。

外部メモリデバイスの幅を定義します。

00：8 ビット

01：16 ビット（リセット後のデフォルト）この値は PC カードに対して必須です。

10：予約済み。使用しないでください。

11：予約済み。使用しないでください。

ビット 3 **MTYP**：メモリタイプ。

対応するメモリバンクに接続されたデバイスのタイプを定義します。

0：PC カード、コンパクトフラッシュ、CF+ または PCMCIA

1：NAND フラッシュ（リセット後のデフォルト）

ビット 2 **PBKEN**：PC カード/NAND フラッシュメモリバンクイネーブルビット。

メモリバンクを有効にします。無効なメモリバンクにアクセスすると、AHB バスの ERROR になります。

0：対応するメモリバンクは無効です（リセット後のデフォルト）。

1：対応するメモリバンクは有効です。

ビット 1 **PWAITEN**：ウェイト機能イネーブルビット。

PC カード/NAND フラッシュメモリのウェイト機能を有効にします。

0：無効

1：有効

注： ***PC カードの場合、ウェイト機能を有効にするときには、MEMWAITx/ATTWAITx/IOWAITx ビットを次の値にプログラムする必要があります。***
xxWAITx ≥4 + max_wait_assertion_time/HCLK

ここで、max_wait_assertion_time は、nOE/nWE または nIORD/nIOWR がローになってから NWAIT がローになるまでの最大時間です。

ビット 0 予約済み。

FIFO ステータスおよび割り込みレジスタ 2..4（FMC_SR2..4）

アドレスオフセット：0x44 + 0x20 * (x-1)、x = 2..4

リセット値：0x0000 0040

このレジスタは、FIFO ステータスと割り込みに関する情報を格納します。FMC には、AHB の 16 ワードまでのデータをメモリに書き込んで格納するときに使用される FIFO があります。

これは、FMC が FIFO をメモリへ転送すると同時に、FIFO に迅速に書き込んで、FMC 以外のペリフェラルへのトランザクションに AHB を解放するために使用されます。これらのレジスタビットの 1 つは、ECC のために、FIFO のステータスを示します。

ECC は、データのメモリへの書き込み中に計算されます。正しい ECC を読み出すため、ソフトウェアは FIFO がエンプティになるまで待つ必要があります。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									FEMPT	IFEN	ILEN	IREN	IFS	ILS	IRS
																									r	rw	rw	rw	rw	rw	rw

ビット 31:7 予約済みであり、リセット値に保持する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 6 **FEMPT**：FIFO エンプティ

FIFO のステータスを表示する読み取り専用ビット

0：FIFO 非エンプティ

1：FIFO エンプティ

ビット 5 **IFEN**：割り込み立ち下がりエッジ検出イネーブルビット

0：割り込み立ち下がりエッジ検出リクエストは無効

1：割り込み立ち下がりエッジ検出リクエストは有効

ビット 4 **ILEN**：割り込みハイレベル検出イネーブルビット

0：割り込みハイレベル検出リクエストは無効

1：割り込みハイレベル検出リクエストは有効

ビット 3 **IREN**：割り込み立ち上がりエッジ検出イネーブルビット

0：割り込み立ち上がりエッジ検出リクエストは無効

1：割り込み立ち上がりエッジ検出リクエストは有効

ビット 2 **IFS**：割り込み立ち下がりエッジステータス

このフラグは、ハードウェアによってセットされ、ソフトウェアによってリセットされます。

0：割り込み立ち下がりエッジは発生しませんでした。

1：割り込み立ち下がりエッジが発生しました。

ビット 1 **ILS**：割り込みハイレベルステータス

このフラグは、ハードウェアによってセットされ、ソフトウェアによってリセットされます。

0：割り込みハイレベルは発生しませんでした。

1：割り込みハイレベルが発生しました。

ビット 0 **IRS**：割り込み立ち上がりエッジステータス

このフラグは、ハードウェアによってセットされ、ソフトウェアによってリセットされます。

0：割り込み立ち上がりエッジは発生しませんでした。

1：割り込み立ち上がりエッジが発生しました。

共通メモリ空間タイミングレジスタ 2..4（FMC_PMEM2..4）

アドレスオフセット：アドレス：0x48 + 0x20 * (x – 1)、x = 2..4

リセット値：0xFCFC FCFC

各 FMC_PMEMx（x = 2..4）読み出し／書き込みレジスタは、PC カードまたは NAND フラッシュメモリバンク x のタイミング情報を格納します。この情報は、16 ビット PC カード/コンパクトフラッシュの共通メモリ空間をアクセスするとき、またはコマンド、アドレス書き込みアクセスおよびデータ読み出し／書き込みアクセスのための NAND フラッシュをアクセスするときに使われます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MEMHIZx								MEMHOLDx								MEMWAITx								MEMSETx							
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:24 **MEMHIZx**：共通メモリ x データバスハイインピーダンス時間

ソケット x 上の共通メモリ空間への PC カード/NAND フラッシュによる書き込みアクセスの開始後に、データバスをハイインピーダンスに保つ HCLK クロックサイクル数を定義します。これは、次の書き込みトランザクションに対してのみ有効です。

0000 0000：（0x00）0 HCLK サイクル（PC カード）/ 1 HCLK サイクル（NAND フラッシュ）

1111 1111：（0xFF）255 HCLK サイクル（ PC カードの場合）/256 HCLK サイクル（NAND フラッシュの場合）- （リセット後のデフォルト値）

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 23:16 **MEMHOLDx**：共通メモリ x ホールド時間

ソケット x 上の共通メモリ空間への PC カード/NAND フラッシュによる読み出しまたは書き込みアクセスの際に、コマンドのアサーション解除（NWE、NOE）後にアドレスを（書き込みアクセス時はデータも）保持する HCLK クロックサイクル数を定義します。

0000 0000：予約済み

0000 0001：1 HCLK サイクル

1111 1111：255 HCLK サイクル（リセット後のデフォルト値）

ビット 15:8 **MEMWAITx**：共通メモリ x ウェイト時間

ソケット x 上の共通メモリ空間への PC カード/NAND フラッシュによる読み出しまたは書き込みアクセスの際に、コマンド（NEW、NOE）をアサートするための HCLK（＋1）クロックサイクルの最小数を定義します。プログラムされた HCLK 値の後にウェイト信号（NWAIT）がアクティブ（ロー）の場合、コマンドアサーションの時間は延長されます。

0000 0000：予約済み

0000 0001：2 HCLK サイクル（＋NWAIT のデアサーションによって導入されるウェイトサイクル）

1111 1111：256 HCLK サイクル（＋カードが NWAIT をデアサートすることによって導入されるウェイトサイクル）（リセット後のデフォルト）

ビット 7:0 **MEMSETx**：共通メモリ x セットアップ時間

ソケット x 上の共通メモリ空間への PC カード/NAND フラッシュによる読み出しまたは書き込みアクセスの際に、コマンドアサーション（NWE、NOE）前にアドレスをセットアップするための HCLK（+1）クロックサイクル数を定義します。

0000 0000：1 HCLK サイクル（PC カードの場合）/HCLK サイクル（NAND フラッシュの場合）

1111 1111：256 HCLK サイクル（PC Card の場合）/257 HCLK サイクル（NAND フラッシュの場合）-（リセット後のデフォルト）

属性メモリ空間タイミングレジスタ 2..4（FMC_PATT2..4）

アドレスオフセット：0x4C + 0x20 * (x – 1)、x = 2..4

リセット値：0xFCFC FCFC

各 FMC_PATTx（x = 2..4）読み出し／書き込みレジスタは、PC カード/コンパクトフラッシュまたは NAND フラッシュメモリバンク x のタイミング情報を含みます。この情報は、PC カード／コンパクトフラッシュの属性メモリ空間への 8 ビットアクセスのために、またはタイミングが以前のアクセスのタイミングと異なる必要がある場合に最後のアドレス書き込みアクセスで NAND フラッシュにアクセスするために使用されます（レディ／ビジー管理については、*セクション 37.6.5 : NAND フラッシュのプリウェイト機能*を参照）。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ATTHIZx								ATTHOLDx								ATTWAITx								ATTSETx							
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:24 **ATTHIZx**：属性メモリ x データバスハイインピーダンス時間

ソケット x 上の属性メモリ空間への PC カード/NAND フラッシュによる書き込みアクセスの開始後に、データバスをハイインピーダンスに保つ HCLK クロックサイクル数を定義します。これは、書き込みトランザクションに限り有効です。

0000 0000：0 HCLK サイクル

1111 1111：255 HCLK サイクル（リセット後のデフォルト値）

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 23:16 **ATTHOLDx：**属性メモリ x ホールド時間

ソケット x 上の属性メモリ空間への PC カード/NAND フラッシュによる読み出しまたは書き込みアクセスの際に、コマンドのアサーション解除（NWE、NOE）後にアドレスを（書き込みアクセス時はデータも）保持する HCLK クロックサイクル数を定義します。

0000 0000：予約済み

0000 0001：1 HCLK サイクル

1111 1111：255 HCLK サイクル（リセット後のデフォルト値）

ビット 15:8 **ATTWAITx：**属性メモリ x ウェイト時間

ソケット x 上の属性メモリ空間への PC カード/NAND フラッシュによる読み出しまたは書き込みアクセスの際に、コマンド（NEW、NOE）をアサートするための HCLK（＋1）クロックサイクルの最小数を定義します。プログラムされた HCLK 値の後にウェイト信号（NWAIT）がアクティブ（ロー）の場合、コマンドアサーションの時間は延長されます。

0000 0000：予約済み

0000 0001：2 HCLK サイクル（＋NWAIT のデアサーションによって導入されるウェイトサイクル）

1111 1111：256 HCLK サイクル（＋カードが NWAIT をデアサートすることによって導入されるウェイトサイクル）（リセット後のデフォルト）

ビット 7:0 **ATTSETx：**属性メモリ x セットアップ時間

ソケット x 上の属性メモリ空間への PC カード/NAND フラッシュによる読み出しまたは書き込みアクセスの際に、コマンドアサーション（NWE、NOE）前にアドレスをセットアップするための HCLK（＋1）クロックサイクル数を定義します。

0000 0000：1 HCLK サイクル

1111 1111：256 HCLK サイクル（リセット後のデフォルト値）

I/O空間タイミングレジスタ 4（FMC_PIO4）

アドレスオフセット：0xB0
リセット値：0xFCFCFCFC

FMC_PIO4 読み出し／書き込みレジスタは、16 ビット PC カード/コンパクトフラッシュの I/O 空間へのアクセスするためのタイミング情報を格納します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IOHIZx								IOHOLDx								IOWAITx								IOSETx							
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 31:24 **IOHIZx**：I/O x データバスハイインピーダンス時間

ソケット x 上の I/O 空間への PC カード書き込みアクセスの開始後に、データバスをハイインピーダンスに保つ HCLK クロックサイクル数を定義します。これは、書き込みトランザクションに限り有効です。

0000 0000：0 HCLK サイクル

1111 1111：255 HCLK サイクル（リセット後のデフォルト値）

ビット 23:16 **IOHOLDx**：I/O x ホールド時間

ソケット x 上の I/O空間への PC カードによる読み出しまたは書き込みアクセスの際に、コマンドのアサーション解除（NWE、NOE）後にアドレスを（書き込みアクセス時はデータも）保持する HCLK クロックサイクル数を定義します。

0000 0000：予約済み

0000 0001：1 HCLK サイクル

1111 1111：255 HCLK サイクル（リセット後のデフォルト値）

ビット 15:8 **IOWAITx**：I/O x ウェイト時間

ソケット x 上の I/O 空間への PC カードによる読み出しまたは書き込みアクセスの際に、コマンド（SMNWE、SMNOE）をアサートするための HCLK（＋1）クロックサイクルの最小数を定義します。プログラムされた HCLK 値の後にウェイト信号（NWAIT）がアクティブ（ロー）の場合、コマンドアサーションの時間は延長されます。

0000 0000：予約済み。使用しないでください。

0000 0001：2 HCLK サイクル（＋NWAIT のデアサーションによって導入されるウェイトサイクル）

1111 1111：256 HCLK サイクル（＋カードが NWAIT をデアサートすることによって導入されるウェイトサイクル）（リセット後のデフォルト）

ビット 7:0 **IOSETx**：I/O x セットアップ時間

ソケット x 上の I/O 空間への PC カードによる読み出しまたは書き込みアクセスの際に、コマンドアサーション（NWE、NOE）前にアドレスをセットアップするための HCLK（＋1）クロックサイクル数を定義します。

0000 0000：1 HCLK サイクル

1111 1111：256 HCLK サイクル（リセット後のデフォルト値）

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ECC リザルトレジスタ 2/3（FMC_ECCR2/3）

アドレスオフセット：0x54 + 0x20 * (x – 1)、x = 2 または 3

リセット値：0x0000 0000

これらのレジスタは、FMC コントローラの ECC 計算モジュール（NAND フラッシュメモリバンクごとに 1 つのモジュール）によって計算された現在のエラー訂正コード値を格納します。CPU が、NAND フラッシュメモリページ上の正しいアドレスからデータを読み出すときには（*セクション 37.6.6：エラー訂正コード（ECC）の計算、NAND フラッシュメモリ*を参照）、NAND フラッシュに対して読み書きされたデータは、ECC 計算モジュールによって自動的に処理されます。X バイトを読み出した後（FMC_PCRx レジスタの ECCPS フィールドに従って）、CPU は FMC_ECCx レジスタから計算された ECC 値を読み出す必要があります。次に、これらの計算されたパリティデータがスペア領域に記録されているパリティ値と一致するか検証して、ページが有効か否か、訂正が必要か否かを確認します。FMC_ECCRx レジスタは、読み出し後、ECCEN ビットを "0" にセットすることによってクリアする必要があります。新しいデータブロックを計算するときは、ECCEN ビットを "1" にセットする必要があります。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ECCx																															
r																															

ビット 31:0 **ECCx**：ECC 結果

このフィールドは、ECC 計算ロジックによって計算された値を格納します。*表 288* に、これらのビットフィールドの値を示します。

表 288. ECC リザルト関連ビット

ECCPS[2:0]	ページサイズ（バイト数）	ECC ビット
000	256	ECC[21:0]
001	512	ECC[23:0]
010	1024	ECC[25:0]
011	2048	ECC[27:0]
100	4096	ECC[29:0]
101	8192	ECC[31:0]

この資料は、STMicroelectronics NV 並びにその子会社（以下 ST）が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

37.7 SDRAM コントローラ

37.7.1 SDRAM コントローラの主な機能

SDRAM コントローラの主な機能は次の通りです。

- 独立な構成を持つ 2 つの SDRAM バンク
- 8 ビット、16 ビット、32 ビットのデータバス幅
- 13 ビットのアドレス行、11 ビットのアドレス列、4 つの内部バンク：4x16Mx32 ビット（256 MB）、4x16Mx16 ビット（128 MB）、4x16Mx8 ビット（64 MB）
- ワード、ハーフワード、バイトアクセス
- HCLK/2 または HCLK/3 の SDRAM クロックが可能
- 行およびバンクの自動境界管理
- マルチバンクピンポンアクセス
- プログラマブルなタイミングパラメータ
- プログラマブルなリフレッシュレートでの自動リフレッシュ動作
- セルフリフレッシュモード
- パワーダウンモード
- ソフトウェアからの SDRAM パワーアップ初期化
- CAS遅延 = 1、2、3
- 深さ 6 ライン x32 ビット（6 x14 ビットアドレスタグ）のキャシュ可能読み出し FIFO

37.7.2 SDRAM 外部メモリインタフェース信号

FMC SDRAM コントローラと外部SDRAM デバイスとのインタフェースに使用される SDRAM I/O ピンは、起動時にユーザーアプリケーションから設定する必要があります。アプリケーションで使用しない SDRAM コントローラ I/O ピンは、他の用途に使用することができます。

表 289. SDRAM 信号

SDRAM 信号	I/O タイプ	説明	オルタネート機能
SDCLK	O	SDRAM クロック	
SDCKE[1:0]	O	SDCKE0：SDRAM バンク 1 クロックイネーブル SDCKE1：SDRAM バンク 2 クロックイネーブル	
SDNE[1:0]	O	SDNE0：SDRAM バンク 1 チップイネーブル SDNE1：SDRAM バンク 2 チップイネーブル	
A[12:0]	O	アドレス	FMC_A[12:0]
D[31:0]	入出力	双方向データバス	FMC_D[31:0]
BA[1:0]	O	バンクアドレス	FMC_A[15:14]
NRAS	O	行アドレスストローブ	
NCAS	O	列アドレスストローブ	
SDNWE	O	書き込みイネーブル	
NBL[3:0]	O	書き込みアクセス用の出力バイトマスク（メモリ信号名：DQM[3:0]）	FMC_NBL[3:0]

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

37.7.3 SDRAM コントローラの機能説明

すべての SDRAM コントローラ出力（信号、アドレス、データ）は、メモリクロック（FMC_SDCLK）の立ち下がりエッジで変化します。

SDRAM 初期化

初期化シーケンスはソフトウェアから管理されます。2 つのバンクを使用する場合、FMC_SDCMR レジスタの対象バンクビット CTB1 と CTB2 をセットして、初期化シーケンスをバンク 1 とバンク 2 に対して同時に発生させる必要があります。

1. FMC_SDCRx レジスタにメモリデバイス機能を設定します。SDRAM クロック周波数、RBURST、RPIPEは、FMC_SDCR1 レジスタに設定する必要があります。
2. メモリデバイスタイミングは FMC_SDTRx レジスタに設定します。TRP タイミングと TRC タイミングは、FMC_SDTR1 レジスタに設定します。
3. MODE ビットに"001"を書き込み、FMC_SDCMR レジスタの対象バンクビット（CTB1 および／または CTB2）を設定して、メモリに対するクロックの供給を開始させます（SDCKE はハイに駆動されます）。
4. 所定の遅延時間を待ちます。代表的遅延時間は約100 µs です（パワーアップ後に必要とされる遅延については、SDRAM データシート参照）。
5. MODE ビットに"010"を書き込み、FMC_SDCMR レジスタの対象バンクビット（CTB1 および／または CTB2）を設定して、「Precharge All」コマンドを発行させます。
6. MODE ビットに"011"を書き込み、FMC_SDCMR レジスタの対象バンクビット（CTB1 および／または CTB2）、さらに連続自動リフレッシュコマンド数（NRFS）を設定します。発行が必要な自動リフレッシュコマンド数については SDRAM データシートを参照してください。代表値は 8 です。
7. MRD フィールドを設定し、MODE ビットに"100"を書き込み、FMC_SDCMR レジスタの対象バンクビット（CTB1 および／または CTB2）を設定して、「Load Mode Register」コマンドを発行させ、SDRAM デバイスに書き込みを行います。特に、バースト長（BL）は "1" に設定し、CAS 遅延を選択する必要があります。モードレジスタが両 SDRAM バンクに対して一致しない場合、このステップを各バンクに 1 回ずつ 2 回繰り返し、目標バンクビットをセットする必要があります。
8. リフレッシュレートを FMC_SDRTR レジスタに設定します。

   リフレッシュレートは、リフレッシュサイクル間の遅延に対応します。この値を SDRAM デバイスに対して使用する必要があります。

この段階で、SDRAM デバイスはをコマンドを受け付ける準備が整います。

注： ***2 つの SDRAM デバイスを FMC に接続する場合は、コマンドモードレジスタにより両デバイスに同時に実行されるすべてのアクセス（ロードモードレジスタコマンドとセルフリフレッシュコマンド）は、FMC_SDTR1 レジスタで SDRAM バンク 1 に対して設定されたタイミングパラメータ（TMRD タイミング、TRAS タイミング、TXSR タイミング）を使って発行されます。***

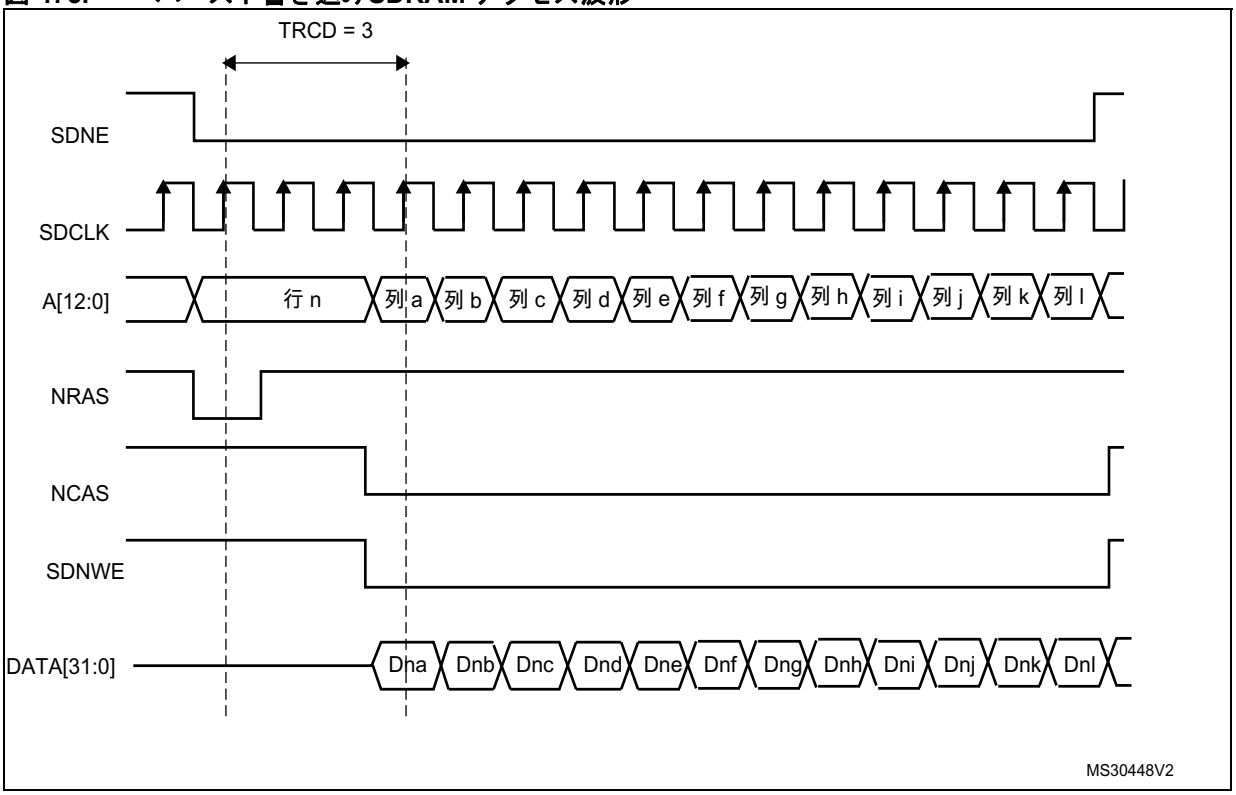
SDRAM コントローラ書き込みサイクル

SDRAM コントローラはシングルおよびバースト書き込みリクエストを受け付けて、これらをシングルメモリアクセスに変換します。両ケースとも、SDRAM コントローラはアクティブ行を記録して、各バンクが異なるバンクへ連続書き込みアクセスを行えるようにします（マルチバンクピンポンアクセス）。

書き込みアクセスを行う前に、FMC_SDCRx レジスタの WP ビットをクリアして、SDRAM バンク書き込み保護機能を無効化しておく必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 475. バースト書き込みSDRAM アクセス波形



SDRAM コントローラは常に次のアクセスをチェックしています。

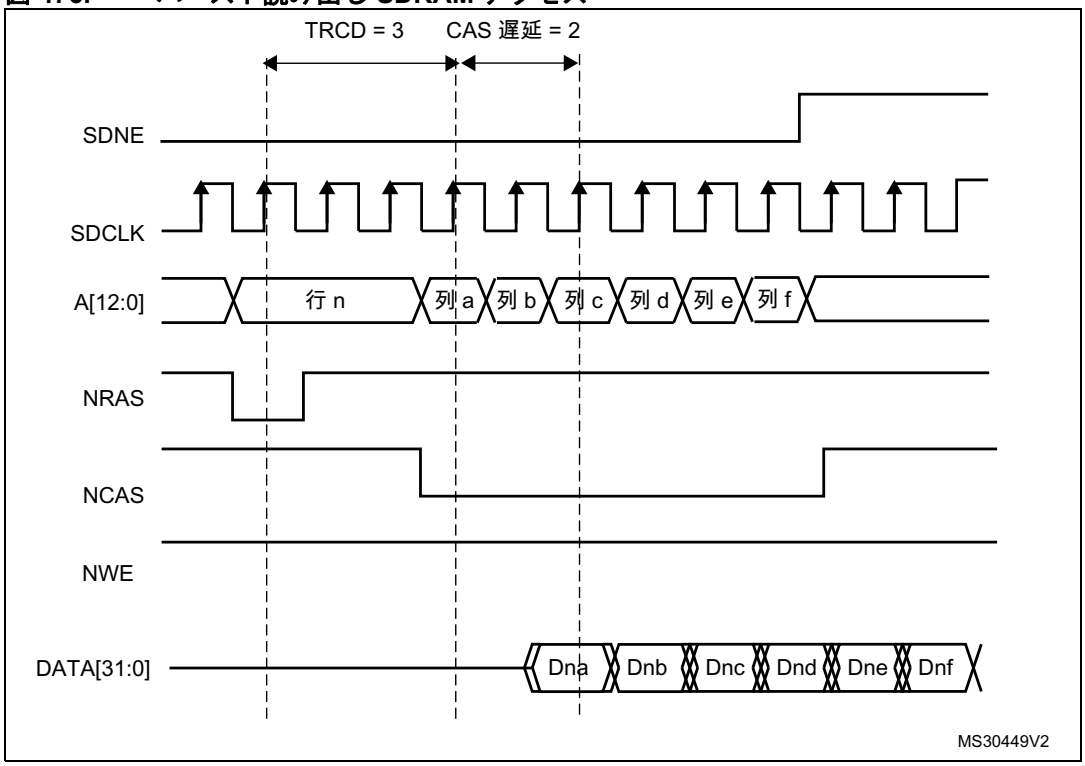
- 次のアクセスが同じ行または別のアクティブ行である場合、書き込み動作が実行されます。
- 次のアクセスが別の行（非アクティブ）を対象とする場合、SDRAM コントローラはプリチャージコマンドを発生し、新しい行をアクティブにして、書き込みコマンドを開始します。

SDRAM コントローラ読み出しサイクル

SDRAM コントローラはシングルおよびバースト読み出しリクエストを受け付けて、これらをシングルメモリアクセスに変換します。両ケースとも、SDRAM コントローラはアクティブ行を記録して、各バンクが異なるバンクへ連続読み出しアクセスを行えるようにします（マルチバンクピンポンアクセス）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 476. バースト読み出し SDRAM アクセス



FMC SDRAM コントローラは、キャシュ可能読み出し FIFO（6 ライン x 32 ビット）を内蔵しています。これは、CAS遅延中（最大 3 メモリクロックサイクル、FMC_SDCRx に設定）および RPIPE遅延中（最大 2xHCLK クロックサイクル、FMC_SDCR1 に設定）に、予め読み出しておいたデータを保存するために使われます。次の読み出しアクセスを予測するときは、FMC_SDCR1 レジスタの RBURST ビットをセットする必要があります。

例：

- CAS=3、SDCLK= HCLK/2、RPIPE = 2xHCLK。この場合、4 つのデータ（使途未定）が FIFO に保存されます（CAS遅延時に 3 データと RPIPE遅延時に 1 データ）。

読み出し FIFO は、各ラインに対して値を識別する 14 ビットのアドレスタグを持っています。11 ビットは列アドレスに、2 ビットは内部バンクとアクティブ行の選択に、1 ビットは SDRAM デバイスの選択に、それぞれ使用します。

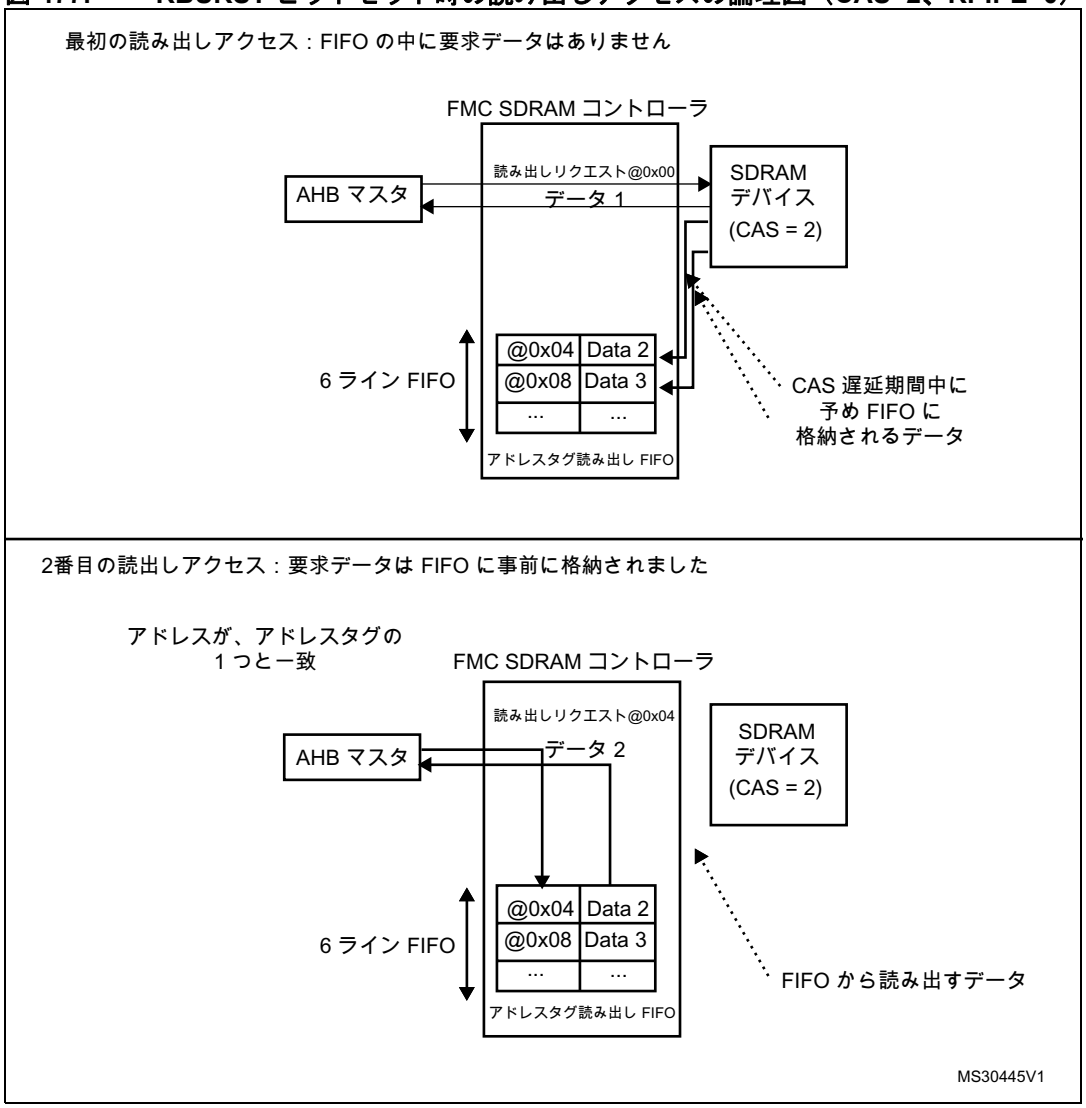
AHB バースト読み出し時に予め行の終わりに到達している場合、予め読み出されたデータ（使途未定）は読み出し FIFO に保存されません。シングル読み出しアクセスの場合、データは正常に FIFO に保存されます。

読み出しリクエストが発生するたびに、SDRAM コントローラは次をチェックします。

- アドレスがアドレスタグの 1 つに一致すると、データが直接 FIFO から読み出され、対応するアドレスタグ／ライン値がクリアされ、FIFO 内の残りのデータはエンプティラインを回避するためコンパクト化されます。
- その他の場合、新しい読み出しコマンドがメモリに対して発行され、FIFO は新しいデータで更新されます。FIFO がフルの場合、古いデータは失われます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 477. RBURST ビットセット時の読み出しアクセスの論理図（CAS=2、RPIPE=0）



書き込みアクセス時またはプリチャージコマンド時、読み出し FIFO がフラッシュされて、新しいデータ書き込みの準備が整います。

最初の読み出しリクエストの後、現在のアクセスが行境界に対して実行されなかった場合、SDRAM コントローラは、CAS遅延中および RPIPE遅延中（設定した場合）に次の読み出しアクセスがあるものと見なします。これは、メモリアドレスをインクリメントして行います。次の条件を満たす必要があります。

- FMC_SDCR1 レジスタの RBURST 制御ビットに"1"を設定する必要があります。
- 次のリクエストが AHB バス上に存在し、かつシーケンシャル（AHB バースト）である必要があります。
- AHB データサイズは、SDRAM バスデータサイズより大きい必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

アドレス管理は次の AHB リクエストに依存します。

- 次の AHB リクエストはシーケンシャル（AHB バースト）である。
  この場合、SDRAM コントローラはアドレスをインクリメントさせます。
- 次の AHB リクエストはシーケンシャルでない。
  - 新しい読み出しリクエストが同じ行または別のアクティブ行を対象とする場合、新しいアドレスがメモリへ渡され、マスタは CAS遅延の間停止され、メモリからの新しいデータを待ちます。
  - 新しい読み出しリクエストがアクティブ行を対象としない場合、SDRAM コントローラはプリチャージコマンドを発生し、新しい行をアクティブにして、読み出しコマンドを開始します。

RURST がリセットされると、読み出し FIFO は使用されません。

行およびバンク境界管理

読み出しアクセスまたは書き込みアクセスが行境界を跨ぐとき、次の読み出しアクセスまたは書き込みアクセスがシーケンシャルで、かつ現在のアクセスが行境界に対して実行された場合、SDRAM コントローラは次の動作を行います。

1. アクティブ行のプリチャージ
2. 新しい行のアクティブ化
3. 読み出し／書き込みコマンドの開始

行境界で、すべての列とデータバス幅構成に対して次の行の自動アクティブ化をサポート

必要に応じて、SDRAM コントローラは次のようにコマンドの間に追加クロックサイクルを挿入します。

- プリチャージコマンドとアクティブコマンドの間に挿入して TRP パラメータを一致させます（次のアクセスが同じバンクの異なる行の場合）、
- アクティブコマンドと読み出しコマンドの間に挿入して TRCD パラメータを一致させます。

これらのパラメータは FMC_SDTRx レジスタで定義されます。

行境界を跨ぐ読み出しアクセスとバースト書き込みアクセスについては*図 478* と*図 479* を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 478. 行境界を跨ぐ読み出しアクセス

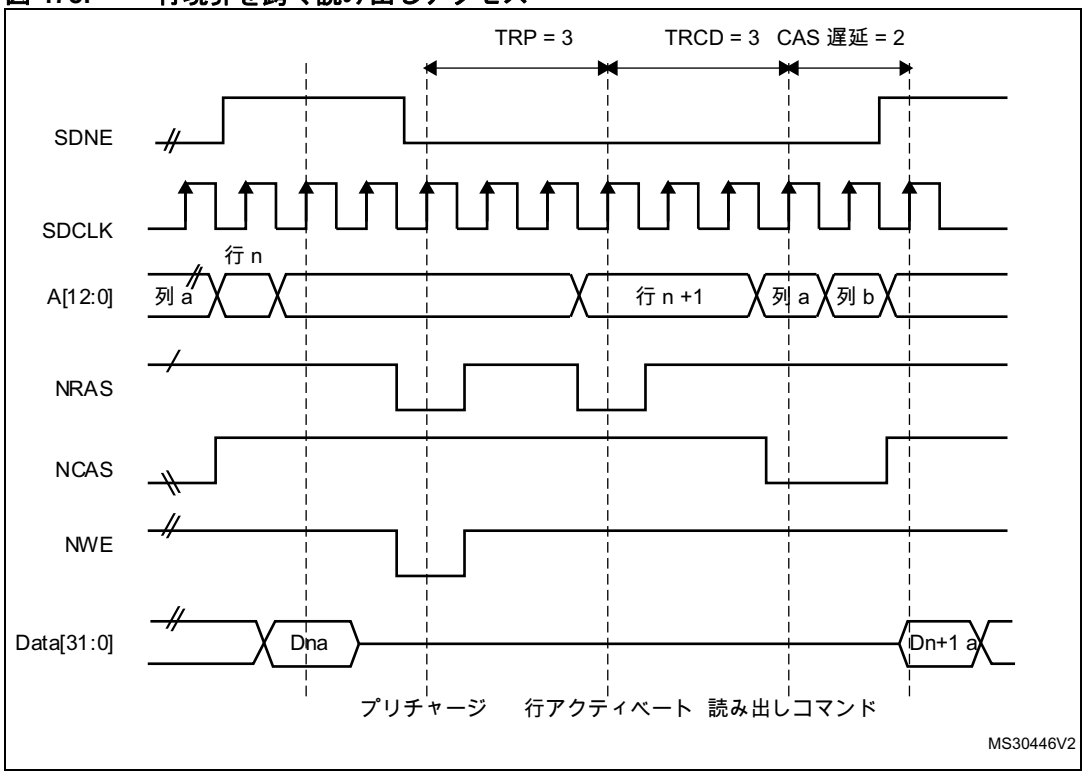
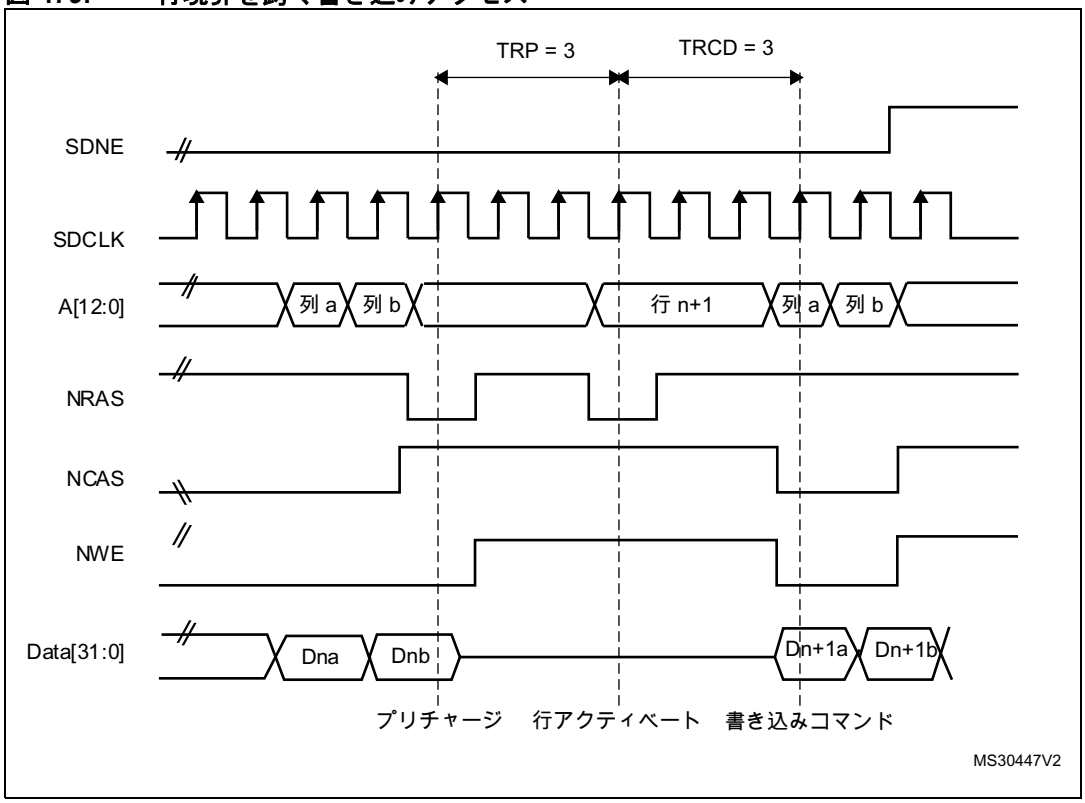


図 479. 行境界を跨ぐ書き込みアクセス



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

次のアクセスがシーケンシャルで、かつ現在のアクセスがバンク境界を跨ぐ場合、SDRAM コントローラは次のバンクの最初の行をアクティブ化して、新しい読み出し／書き込みコマンドを開始します。次の 2 つのケースが可能です。

- 現在のバンクが直前のバンクでない場合､新しいバンク内のアクティブ行をプリチャージする必要があります。バンク境界で、すべての行／列とデータバス幅構成に対して次の行の自動アクティブ化をサポートしています。
- 13 ビット行アドレス、11 ビット列アドレス、4 つの内部バンク、バス幅 32 ビットの SDRAM メモリでは、現在のバンクが直前のバンクであり、かつ選択された SDRAM デバイスがバンク 1 に接続されている場合、SDRAM コントローラは 2番目の SDRAM デバイスに対する読み出し／書き込みを続けます（ただし初期化済みとします）：
  a) 最初の内部バンク内にアクティブ行が既に存在している場合、SDRAM コントローラはアクティブ行をプリチャージした後に最初の行をアクティブ化し、新しい読み出し／書き込みコマンドを開始します。
  b) 最初の行が既にアクティブ化されている場合、SDRAM コントローラは読み出し／書き込みコマンドを開始します。

注： ***バンク境界で、現在のバンクが直前のバンクである場合、次の行の自動アクティブ化は、13 ビット行、11 ビット列、4 つの内部バンク、32 ビットデータバスの SDRAM デバイスをアドレス指定する場合にのみサポートしています。その他の場合には、SDRAM アドレス範囲に違反するため、AHB エラーが発生します。***

SDRAM コントローラリフレッシュサイクル

自動リフレッシュコマンドは、SDRAM デバイスの値をリフレッシュするときに使います。SDRAM コントローラは、自動リフレッシュコマンドを周期的に発行します。内部カウンタに、FMC_SDRTR レジスタの COUNT 値がロードされます。この値は、リフレッシュサイクル間のメモリクロックサイクル数を決定します（リフレッシュレート）。このカウンタがゼロになると、内部パルスが発生されます。

メモリアクセスが進行中である場合、自動リフレッシュリクエストは遅延されます。ただし、メモリアクセスと自動リフレッシュリクエストが同時に発生した場合は、自動リフレッシュリクエストが優先されます。

メモリアクセスが自動リフレッシュ動作中に発生すると、リクエストはバッファされて、自動リフレッシュが完了した後に処理されます。

前のリクエストの処理中に、新しい自動リフレッシュリクエストが発生すると、ステータスレジスタの RE（リフレッシュエラー）ビットがセットされます。イネーブルされている場合（REIE = "1"）、割り込みが発生します。

SDRAM ラインがアイドル状態でない（すべての行がクローズしていない）場合､SDRAM コントローラは自動リフレッシュの前に PALL（プリチャージ ALL）コマンドを発生します。

FMC_SDCMR コマンドモードレジスタから自動リフレッシュコマンドが発生されると（MODE ビット = "011"）、最初に PALL コマンド（MODE ビット = "010"）を発行する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

37.7.4 低消費電力モード

次の 2 つの低消費電力モードがあります。

- セルフリフレッシュモード

  SDRAM デバイス自体により自動リフレッシュサイクルが実行されて、外部クロックなしでデータを保持します。

- パワーダウンモード

  自動リフレッシュサイクルは SDRAM コントローラにより実行されます。

セルフリフレッシュモード

MODE ビットに"101"を設定し、かつ FMC_SDCMR レジスタの目標バンクビット（CTB1 および／または CTB2）を設定すると、このモードが選択されます。

SDRAM クロックは TRAS遅延後に停止し、内部リフレッシュタイマは次の条件をみたすときにカウントを停止します。

- セルフリフレッシュコマンドが両デバイスに発行される
- 一方のデバイスは非アクティブ（SDRAM バンクが初期化されていない）。

セルフリフレッシュモードになる前に、SDRAM コントローラは PALL コマンドを自動的に発行します。

書き込みデータ FIFO が非エンプティの場合、すべてのデータがメモリに送られた後にセルフリフレッシュモードが開始され、BUSY ステータスフラグはセットされたままになります。

セルフリフレッシュモードでは、ローを維持する SDCKE 以外のすべての SDRAM デバイス入力が don't care になります。

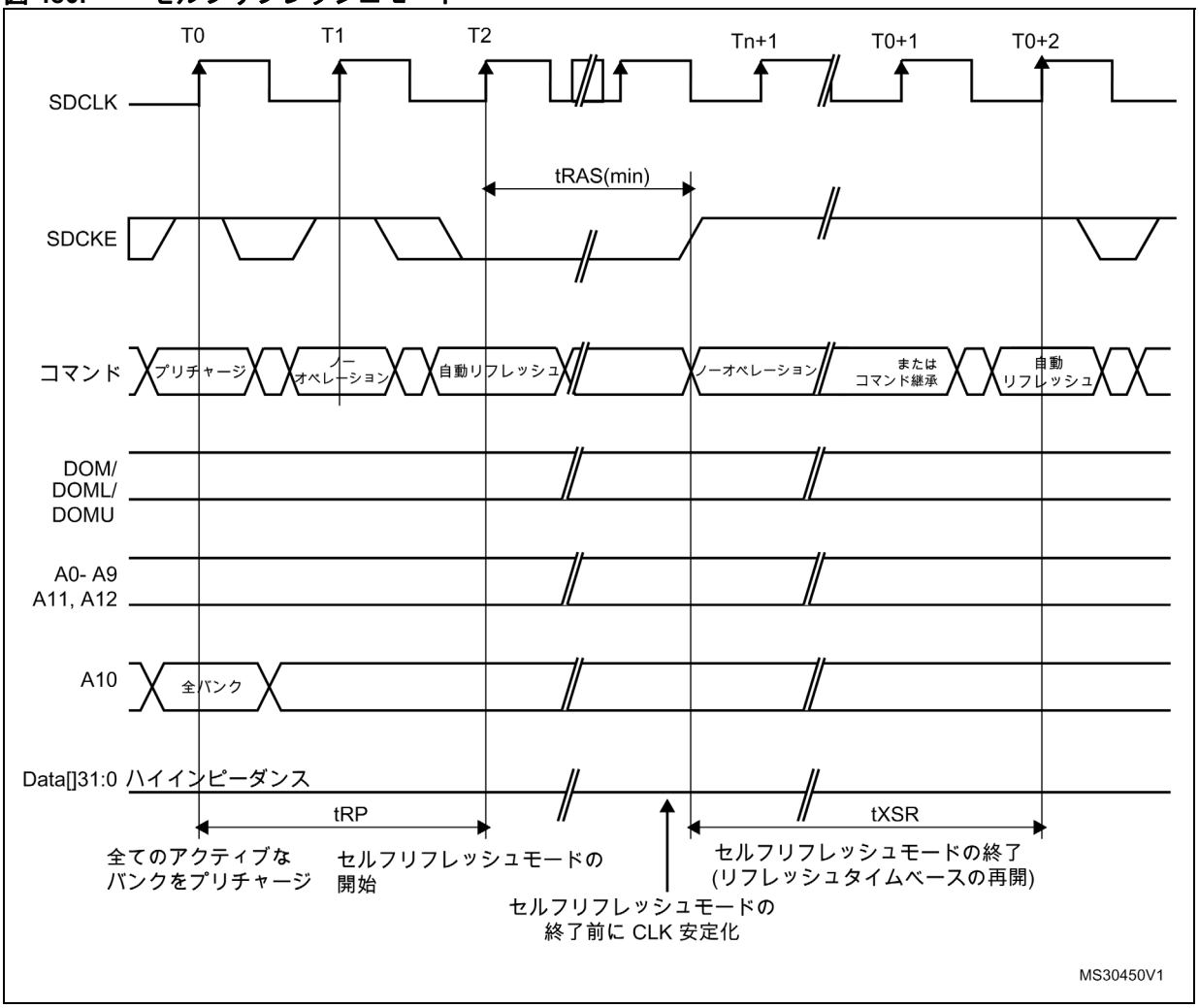
SDRAM デバイスは最小時間TRAS の間セルフリフレッシュモードに留まる必要があり、無限時間セルフリフレッシュモードを維持することもできます。この最小時間を保証するため、TRAS遅延中にセルフリフレッシュを開始した後、BUSY ステータスフラグはハイを維持します。

SDRAM デバイスを選択すると直ちに、SDRAM コントローラはセルフリフレッシュモードを終わらせる一連のコマンドを発生します。メモリアクセスの後、選択されたデバイスは通常モードに留まります。

セルフリフレッシュを終了するときは、MODE ビットに"000"（通常モード）を設定し、FMC_SDCMR レジスタの目標バンクビット（CTB1 および／または CTB2）を設定する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 480. セルフリフレッシュモード

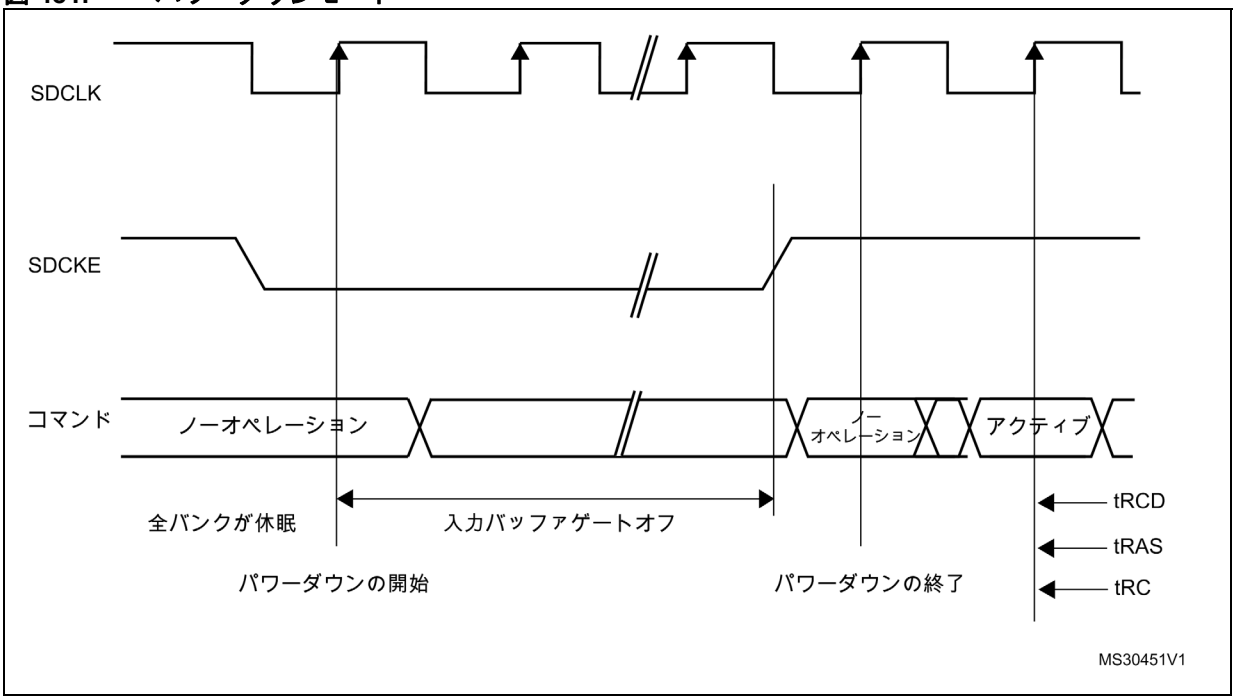


パワーダウンモード

MODE ビットに"110"を設定し、かつ FMC_SDCMR レジスタの目標バンクビット（CTB1 および／または CTB2）を設定すると、このモードが選択されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 481. パワーダウンモード



書き込みデータ FIFO が非エンプティの場合、すべてのデータがメモリに送られた後にパワーダウンモードが開始されます。

SDRAM デバイスが選択されると直ちに、SDRAM コントローラはパワーダウンモードを終了します。メモリアクセスの後、選択されたデバイスは通常モードに留まります。

パワーダウンモード時、ローを維持する SDCKE 以外のすべての SDRAM デバイス入力と出力バッファは非アクティブになります。

SDRAM デバイスはリフレッシュ周期より長い間パワーダウンモードに留まることができないため、自分自身で自動リフレッシュサイクルを実行できません。したがって、SDRAM コントローラは次の動作によりリフレッシュ動作を実行します。

1. パワーダウンモードを終了し、SDCKE をハイに駆動します。
2. パワーダウンモード中に行がアクティブであった場合にのみ PALL コマンドを発生します。
3. 自動リフレッシュコマンドを発生します。
4. 再度 SDCKE をローに駆動し、パワーダウンモードに戻ります。

パワーダウンモードを終了するときは、MODE ビットに"000"（通常モード）を設定し、FMC_SDCMR レジスタの目標バンクビット（CTB1 および／または CTB2）を設定する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

37.7.5 SDRAM コントローラレジスタ

SDRAM 制御レジスタ 1、2（FMC_SDCR1、2）

アドレスオフセット：0x140+ 4* (x – 1)、x = 1、2

リセット値：0x0000 02D0

このレジスタは各 SDRAM メモリバンクの制御パラメータを格納します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																	RPIPE		RBURST	SDCLK		WP	CAS		NB	MWID		NR		NC	
																	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:15 予約済みであり、リセット値に保持する必要があります。

ビット 14:13 **RPIPE**：読み出しパイプ

これらのビットは、CAS遅延後のデータ読み出しに対して、HCLK クロックサイクル数で遅延を指定します。

00：HCLK クロックサイクル遅延なし

01：1 HCLK クロックサイクル遅延

10：2 HCLK クロックサイクル遅延

11：予約済み。使用しないでください。

注： FMC_SDCR2 レジスタの対応するビットは don't care。

ビット 12 **RBURST**：バースト読み出し

このビットはバースト読み出しモードを有効化します。SDRAM コントローラは CAS遅延中に次の読み出しコマンドを予測し、データを読み出し FIFO に保存します。

0：シングル読み出しリクエストをバーストとして管理しません。

1：シングル読み出しリクエストを常にバーストとして管理します。

注： FMC_SDCR2 レジスタの対応するビットは don't care。

ビット 11:10 **SDCLK**：SDRAM クロック設定

これらのビットは両 SDRAM バンクの SDRAM クロック周期を指定し、周波数の変更前にクロックの無効化を可能にします。この場合、SDRAM の再初期化が必要です。

00：SDCLK クロックを無効化

01：予約済み

10：SDCLK 周期 = 2 x HCLK 周期

11：SDCLK 周期 = 3 x HCLK 周期

注： FMC_SDCR2 レジスタの対応するビットは don't care。

ビット 9 **WP:** 書き込み保護機能

このビットは、SDRAM バンクに対する書き込みモードアクセスを有効化します。

0: 書き込みアクセスを許可

1: 書き込みアクセスを無視

ビット 8:7 **CAS**：CAS 遅延

このビットは、メモリクロックサイクル数で SDRAM CAS遅延を設定します。

00：予約済み。使用しないでください。

01：1 サイクル

10：2 サイクル

11：3 サイクル

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 6 **NB**：内部バンク数

このビットは内部バンク数を設定します。

0：2 内部バンク

1：4 内部バンク

ビット 5:4 **MWID**：メモリデータバス幅。

これらのビットはメモリデバイス幅を指定します。

00：8 ビット

01：16 ビット

10：32 ビット

11：予約済み。使用しないでください。

ビット 3:2 **NR**：行アドレスビット数

これらのビットは、行アドレスのビット数を指定します。

00：11 ビット

01：12 ビット

10：13 ビット

11：予約済み。使用しないでください。

ビット 1:0 **NC**：列アドレスビット数

これらのビットは、列アドレスのビット数を指定します。

00：8 ビット

01：9 ビット

10：10 ビット

11：11 ビット。

注： ***RBURST または RPIPE の設定値を変更する前、または SDCLK クロックを無効化する前に、先に PALL コマンドを送信して実行中の動作の完了を確認する必要があります。***

SDRAM タイミングレジスタ 1、2（FMC_SDTR1、2）

アドレスオフセット：0x148 + 4 * (x – 1)、x = 1、2

リセット値：0x0FFF FFFF

このレジスタは各 SDRAM バンクのタイミングパラメータを格納します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み				TRCD				TRP				TWR				TRC				TRAS				TXSR				TMRD			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:28 予約済みであり、リセット値に保持する必要があります。

ビット 27:24 **TRCD**：行から列までの遅延

これらのビットは、アクティブコマンドと読み出し／書き込みコマンドとの間の遅延をメモリクロックサイクル数で指定します。

0000：1 サイクル

0001：2 サイクル

....

1111：16 サイクル

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 23:20 **TRP**：行プリチャージ遅延

これらのビットは、プリチャージコマンドと別のコマンドとの間の遅延をメモリクロックサイクル数で指定します。TRP タイミングは FMC_SDTR1 レジスタでのみ設定されます。2 つの SDRAM デバイスを使用する場合、TRP には低速側デバイスのタイミングを設定する必要があります。

0000：1 サイクル

0001：2 サイクル

....

1111：16 サイクル

注： FMC_SDTR2 レジスタの対応するビットは don't care。

ビット 19:16 **TWR**：復帰遅延

これらのビットは、書き込みコマンドとプリチャージコマンドとの間の遅延をメモリクロックサイクル数で指定します。

0000：1 サイクル

0001：2 サイクル

....

1111：16 サイクル

注： TWR は SDRAM データシートで規定される書き込み復帰時間（t_{WR}）に一致するように設定し、次を保証する必要があります。

TWR ≥ TRAS - TRCD、かつ TWR ≥TRC - TRCD - TRP

例：TRAS= 4 サイクル、TRCD= 2 サイクル。したがって、TWR >= 2 サイクル。TWR には 0x1 を設定する必要があります。

ビット 15:12 **TRC:** 行サイクル遅延

これらのビットは、リフレッシュコマンドとアクティブコマンドとの間の遅延を、および連続する 2 つのリフレッシュコマンドの間の遅延をそれぞれ指定し、メモリクロックサイクル数で表されます。TRC タイミングは FMC_SDTR1 レジスタでのみ設定されます。2 つの SDRAM デバイスを使用する場合、TRC には低速側デバイスのタイミングを設定する必要があります。

0000：1 サイクル

0001：2 サイクル

....

1111：16 サイクル

注： TRC は SDRAM デバイスデータシートで規定される TRC と TRFC（自動リフレッシュ周期）タイミングに一致する必要があります。

注： FMC_SDTR2 レジスタの対応するビットは don't care。

ビット 11:8 **TRAS:** セルフリフレッシュ時間

これらのビットは、メモリクロックサイクルで最小セルフリフレッシュ周期を指定します。

0000：1 サイクル

0001：2 サイクル

....

1111：16 サイクル

ビット 7:4 **TXSR**：セルフリフレッシュ遅延の終了

これらのビットは、セルフリフレッシュコマンドの解除からアクティブコマンド発行までの遅延をメモリクロックサイクル数で指定します。

0000：1 サイクル

0001：2 サイクル

....

1111：16 サイクル

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 3:0 **TMRD**：ロードモードレジスタのアクティブまでの時間

これらのビットは、ロードモードレジスタコマンドとアクティブまたはリフレッシュコマンドとの間の遅延をメモリクロックサイクル数で指定します。

0000：1 サイクル

0001：2 サイクル

....

1111：16 サイクル

注： ***2 つの SDRAM デバイスを接続する場合は、コマンドモードレジスタにより両デバイスに同時に実行されるすべてのアクセス（ロードモードレジスタコマンドとセルフリフレッシュコマンド）は、FMC_SDTR1 レジスタでバンク 1 に対して設定されたタイミングパラメータ（TMRD タイミング、TRAS タイミング、TXSR タイミング）を使って発行されます。***

TRP タイミングと TRC タイミングは FMC_SDTR1 レジスタでのみ設定されます。2 つの SDRAM デバイスを使用する場合、TRP と TRC には低速側デバイスのタイミングを設定する必要があります。

SDRAM コマンドモードレジスタ（FMC_SDCMR）

アドレスオフセット：0x150

リセット値：0x0000 0000

このレジスタは、SDRAM デバイスをアクセスするときに発行されたコマンドを格納します。このレジスタを使って、SDRAM デバイスの初期化、セルフリフレッシュの開始、パワーダウンモードの開始を行います。MODE フィールドに書き込みを行うと直ちに、CTB1 コマンドビットと CTB2 コマンドビットに応じて一方または両方の SDRAM バンクへコマンドが発行されます。このレジスタは、両 SDRAM バンクに対して同じです。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み										MRD													NRFS				CTB1	CTB2	モード		
										rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	w	w	w	w	w

ビット 31:22 予約済みであり、リセット値に保持する必要があります。

ビット 21:9 **MRD:** モードレジスタの定義

この 13 ビットフィールドは、SDRAM モードレジスタ値を指定します。モードレジスタは、ロードモードレジスタコマンドを使って設定します。

ビット 8:5 **NRFS**：自動リフレッシュ数

これらのビットは、MODE = "011"のときに発行される連続自動リフレッシュコマンド数を指定します。

0000：1自動リフレッシュサイクル

0001：2自動リフレッシュサイクル

....

1110：15自動リフレッシュサイクル

1111：予約済み

ビット 4 **CTB1**：コマンド目標バンク 1

このビットは、SDRAM バンク 1 へコマンドを発行するか否かを指定します。

0：SDRAM バンク 1 へコマンドを発行しない

1：SDRAM バンク 1 へコマンドを発行する

ビット 3 **CTB2**：コマンド目標バンク 2

このビットは、SDRAM バンク 2 へコマンドを発行するか否かを指定します。

0：SDRAM バンク 2 へコマンドを発行しない

1：SDRAM バンク 2 へコマンドを発行する

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 2:0 **MODE**：コマンドモード

これらのビットは、SDRAM デバイスへ発行するコマンドを指定します。

000：通常モード

001：クロック設定イネーブル

010：PALL（「全バンクプリチャージ」）コマンド

011：自動リフレッシュコマンド

100：ロードモードレジスタ

101：セルフリフレッシュコマンド

110：パワーダウンコマンド

111：予約済み

注： コマンドを発行する場合、少なくとも 1 つのコマンド目標バンクビット（CBT1 または CBT2）をセットする必要があります。両バンクを使う場合、CBT1 ビットと CBT2 ビットをセットして 2 つのバンクへコマンドを同時に発行する必要があります。

SDRAM リフレッシュタイマレジスタ（FMC_SDRTR）

アドレスオフセット：0x154

リセット値：0x0000 0000

このレジスタは、リフレッシュタイマカウント値を設定することにより、リフレッシュサイクル間の SDCLK クロックサイクル数でリフレッシュレートを設定します。

$$\text{Refresh rate} = (\text{COUNT} + 1) \times \text{SDRAM クロック周波数}$$

$$\text{COUNT} = （\text{SDRAM リフレッシュ期間/ロウの数}）-20$$

例

$$\text{Refresh rate} = 64\ \text{ms} / (8196\text{rows}) = 7.81\mu\text{s}$$

ここで、64 ms は SDRAM リフレッシュ周期です。

$$7.81\mu\text{s} \times 60\text{MHz} = 468.6$$

読み出しリクエストが受理されているときに内部リフレッシュリクエストが発生した場合には、安全マージンを確保するためリフレッシュレートを 20 SDRAM クロックサイクルだけ大きくする必要があります（上の例の場合）。これは、COUNT 値"0000111000000"（448）に対応します。

この 13 ビットフィールドは、SDRAM クロックを使ってデクリメントされるタイマにロードされます。このタイマはゼロになると、リフレッシュパルスを発生します。COUNT 値は、少なくとも 40 SDRAM クロックサイクルである必要があります。

FMC_SDRTR レジスタが設定されると直ちに、タイマはカウントを開始します。レジスタに設定された値が "0"の場合、リフレッシュは実行されません。初期化の後にこのレジスタを再設定して、リフレッシュレートが変更されるのを回避する必要があります。

リフレッシュパルスが発生されるたびに、この 13 ビット COUNT フィールドがカウンタへ再ロードされます。

メモリアクセスが進行中の場合、自動リフレッシュリクエストは遅延させられます。ただし、メモリアクセスと自動リフレッシュリクエストが同時に発生した場合は、自動リフレッシュリクエストが優先されます。メモリアクセスがリフレッシュ動作中に発生すると、リクエストはバッファされて、リフレッシュが完了した後に処理されます。

このレジスタは、SDRAM バンク 1 と SDRAM バンク 2 に共通です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																	REIE	COUNT													CRE
																	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	w

ビット 31：15 予約済みであり、リセット値に保持する必要があります。

ビット 14 **REIE**：RES 割り込みイネーブル

0：割り込みを無効化

1：RE = 1 の場合に割り込みが発生します

ビット 13:1 **COUNT**：リフレッシュタイマカウント

この 13 ビットフィールドは、SDRAM デバイスのリフレッシュレートを指定します。メモリクロックサイクル数で表されます。この値は、少なくとも 40 SDRAM クロックサイクル (0x28) である必要があります。

リフレッシュレート = (COUNT + 1) x SDRAM 周波数クロック

COUNT = (SDRAM リフレッシュ周期/行数) - 20

ビット 0 **CRE**：リフレッシュエラーフラグのクリア

このビットを使って、ステータスレジスタのリフレッシュエラーフラグ（RE）をクリアします。

0：無効

1：リフレッシュエラーフラグをクリア

SDRAM ステータスレジスタ（FMC_SDSR）

アドレスオフセット：0x158

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																										BUSY	MODES2		MODES1		RE
																										r	r	r	r	r	r

ビット 31:5 予約済みであり、リセット値に保持する必要があります。

ビット 5 **BUSY**：ビジーステータス

このビットは、コマンドモードリクエスト後の SDRAM コントローラのステータスを指定します。

0：SDRAM コントローラは新しいリクエスト受付の準備完了

1：SDRAM コントローラは新しいリクエスト受付の準備未完了

ビット 4:3 **MODES2**：バンク 2 のステータスモード

このビットは、SDRAM バンク 2 のステータスモードを指定します。

00：通常モード

01：セルフリフレッシュモード

10：パワーダウンモード

ビット 2:1 **MODES1**：バンク 1 のステータスモード

このビットは、SDRAM バンク 1 のステータスモードを指定します。

00：通常モード

01：セルフリフレッシュモード

10：パワーダウンモード

ビット 0 **RE**：リフレッシュエラーフラグ

0：リフレッシュエラーは検出されない

1：リフレッシュエラーが検出された

REIE = 1 かつ RE = 1 の場合割り込みが発生します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

37.8 FMC レジスタマップ

次の表に FMC レジスタの一覧を示します。

表 290. FMC レジスタマップ

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	FMC_BCR1	予約済み											CCLKEN	CBURSTRW	予約済み			ASYNCWAIT	EXTMOD	WAITEN	WREN	WAITCFG	予約済み	WAITPOL	BURSTEN	予約済み	FACCEN	MWID		MTYP		MUXEN	MBKEN
0x08	FMC_BCR2	予約済み												CBURSTRW	予約済み			ASYNCWAIT	EXTMOD	WAITEN	WREN	WAITCFG	WRAPMOD	WAITPOL	BURSTEN	予約済み	FACCEN	MWID		MTYP		MUXEN	MBKEN
0x10	FMC_BCR3	予約済み												CBURSTRW	予約済み			ASYNCWAIT	EXTMOD	WAITEN	WREN	WAITCFG	WRAPMOD	WAITPOL	BURSTEN	予約済み	FACCEN	MWID		MTYP		MUXEN	MBKEN
0x18	FMC_BCR4	予約済み												CBURSTRW	予約済み			ASYNCWAIT	EXTMOD	WAITEN	WREN	WAITCFG	WRAPMOD	WAITPOL	BURSTEN	予約済み	FACCEN	MWID		MTYP		MUXEN	MBKEN
0x04	FMC_BTR1	予約済み		ACCMOD		DATLAT				CLKDIV				BUSTURN				DATAST								ADDHLD				ADDSET			
0x0C	FMC_BTR2	予約済み		ACCMOD		DATLAT				CLKDIV				BUSTURN				DATAST								ADDHLD				ADDSET			
0x14	FMC_BTR3	予約済み		ACCMOD		DATLAT				CLKDIV				BUSTURN				DATAST								ADDHLD				ADDSET			
0x1C	FMC_BTR4	予約済み		ACCMOD		DATLAT				CLKDIV				BUSTURN				DATAST								ADDHLD				ADDSET			
0x04	FMC_BWTR1	予約済み		ACCMOD		予約済み								予約済み				DATAST								ADDHLD				ADDSET			
0x0C	FMC_BWTR2	予約済み		ACCMOD		予約済み								予約済み				DATAST								ADDHLD				ADDSET			
0x14	FMC_BWTR3	予約済み		ACCMOD		予約済み								予約済み				DATAST								ADDHLD				ADDSET			
0x1C	FMC_BWTR4	予約済み		ACCMOD		予約済み								予約済み				DATAST								ADDHLD				ADDSET			
0x60	FMC_PCR2	予約済み												ECCPS			TAR				TCLR			予約済み	ECCEN		PWID		PTYP	PBKEN	PWAITEN	予約済み
0x80	FMC_PCR3	予約済み												ECCPS			TAR				TCLR			予約済み	ECCEN		PWID		PTYP	PBKEN	PWAITEN	予約済み
0xA0	FMC_PCR4	予約済み												ECCPS			TAR				TCLR			予約済み	ECCEN		PWID		PTYP	PBKEN	PWAITEN	予約済み
0x64	FMC_SR2	予約済み																								FEMPT		IFEN	ILEN	IREN	IFS	ILS	IRS
0x84	FMC_SR3	予約済み																								FEMPT		IFEN	ILEN	IREN	IFS	ILS	IRS
0xA4	FMC_SR4	予約済み																								FEMPT		IFEN	ILEN	IREN	IFS	ILS	IRS
0x68	FMC_PMEM2	MEMHIZx								MEMHOLDx								MEMWAITx								MEMSETx							
0x88	FMC_PMEM3	MEMHIZx								MEMHOLDx								MEMWAITx								MEMSETx							
0xA8	FMC_PMEM4	MEMHIZx								MEMHOLDx								MEMWAITx								MEMSETx							
0x6C	FMC_PATT2	ATTHIZx								ATTHOLDx								ATTWAITx								ATTSETx							
0x8C	FMC_PATT3	ATTHIZx								ATTHOLDx								ATTWAITx								ATTSETx							
0xAC	FMC_PATT4	ATTHIZx								ATTHOLDx								ATTWAITx								ATTSETx							
0xB0	FMC_PIO4	IOHIZx								IOHOLDx								IOWAITx								IOSETx							
0x74	FMC_ECCR2	ECCx																															
0x94	FMC_ECCR3	ECCx																															

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 290. FMC レジスタマップ（続き）

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x140	FMC_SDCR_1	予約済み																	RPIPE		RBURST	CLK		WP	CAS		NB	MWID		NR		NC	
0x144	FMC_SDCR_2	予約済み																	RPIPE		RBURST	CLK		WP	CAS		NB	MWID		NR		NC	
0x148	FMC_SDTR1	予約済み				TRCD			TRP			TWR			TRC				TRAS				TXSR						TMRD				
0x14C	FMC_SDTR2	予約済み				TRCD			TRP			TWR			TRC				TRAS				TXSR						TMRD				
0x150	FMC_SDCMR	予約済み											MRD												NRFS			CTB1	CTB2	モード			
0x154	FMC_SDRTR	予約済み																	REIE	COUNT													CRE	
0x158	FMC_SDSR	予約済み																										BUSY	MODES2	MODES1			RE	

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

38 デバッグサポート（DBG）

このセクションは、特に指定がない限り、STM32F4xx ファミリ全体に適用されます。

38.1 概要

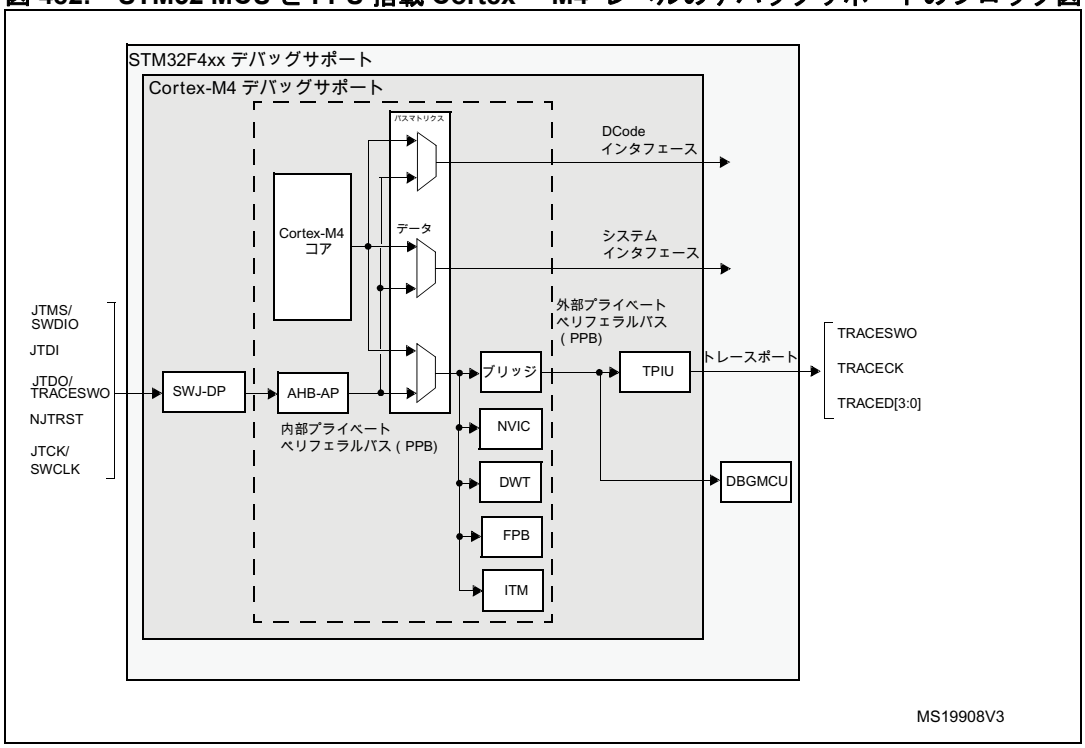
STM32F4xx は、FPU 搭載 Cortex™-M4 コアを中心にして構築されており、高度なデバッグ機能のためのハードウェア拡張機能を含んでいます。デバッグ拡張機能によって、コアは、特定の命令フェッチ時（ブレークポイント）またはデータアクセス時（ウォッチポイント）に停止することができます。停止したとき、コアの内部状態とシステムの外部状態を調査することができます。調査が終わったら、コアとシステムを復元して、プログラム実行を再開することができます。

デバッグ機能は、デバッガホストによって、STM32F4xx MCU への接続時とデバッグ時に使用されます。.

デバッグ用に、次の 2 つのインタフェースを使用できます。

- シリアルワイヤ
- JTAG デバッグポート

図 482. STM32 MCU と FPU 搭載 Cortex™-M4 レベルのデバッグサポートのブロック図



注： **FPU 搭載 Cortex™-M4** ***コアに内蔵されているデバッグ機能は、ARM CoreSight Design Kit のサブセットです。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ARM FPU 搭載 Cortex™-M4 コアは、以下の要素で構成される統合的なオンチップデバッグサポート機能を提供します。

- SWJ-DP：シリアルワイヤ／JTAG デバッグポート
- AHP-AP：AHB アクセスポート
- ITM：計測トレースマクロセル（Instrumentation Trace Macrocell）
- FPB：フラッシュパッチブレークポイント（Flash Patch Breakpoint）
- DWT：データウォッチポイントトリガ（Data Watchpoint Trigger）
- TPIU：トレースポートインタフェースユニット（Trace Port Interface Unit：対応するピンが配置される大型パッケージで使用）
- ETM：エンベデッドトレースマクロセル（Embedded Trace Macrocell：対応するピンが配置される大型パッケージで使用）

STM32F4xx 専用の以下のデバッグ機能も内蔵されています。

- 柔軟性の高いデバッグピンの割当て
- MCU デバッグボックス（低電力モードのサポート、ペリフェラルクロックの制御など）

注： ***ARM FPU 搭載 Cortex™-M4 コアでサポートされるデバッグ機能の詳細については、FPU 搭載 Cortex™-M4 -r0p1 Technical Reference Manual と CoreSight Design Kit-r0p1 TRM を参照してください（セクション 38.2：ARM リファレンス資料を参照）。***

38.2 ARM リファレンス資料

- FPU 搭載 Cortex™-M4 r0p1 Technical Reference Manual（TRM）
  （1 ページの関連ドキュメントを参照）
- ARM Debug Interface V5
- ARM CoreSight Design Kit revision r0p1 Technical Reference Manual

38.3 SWJ デバッグポート（シリアルワイヤと JTAG）

STM32F4xx コアには、シリアルワイヤ／JTAG デバッグポート（SWJ-DP）が組み込まれています。これは、JTAG-DP（5 ピン）インタフェースと SW-DP（2 ピン）インタフェースを組み合わせた ARM 標準の CoreSight デバッグポートです。

- JTAG デバッグポート（JTAG-DP）は、AHP-AP ポートに 5 ピンの標準 JTAG インタフェースを提供します。
- シリアルワイヤデバッグポート（SW-DP）は、AHP-AP ポートに 2 ピン（クロック + データ）のインタフェースを提供します。

SWJ-DP では、SW-DP の 2 個の JTAG ピンは、JTAG-DP の 5 個の JTAG ピンの一部と多重化されています。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 483. SWJ デバッグポート

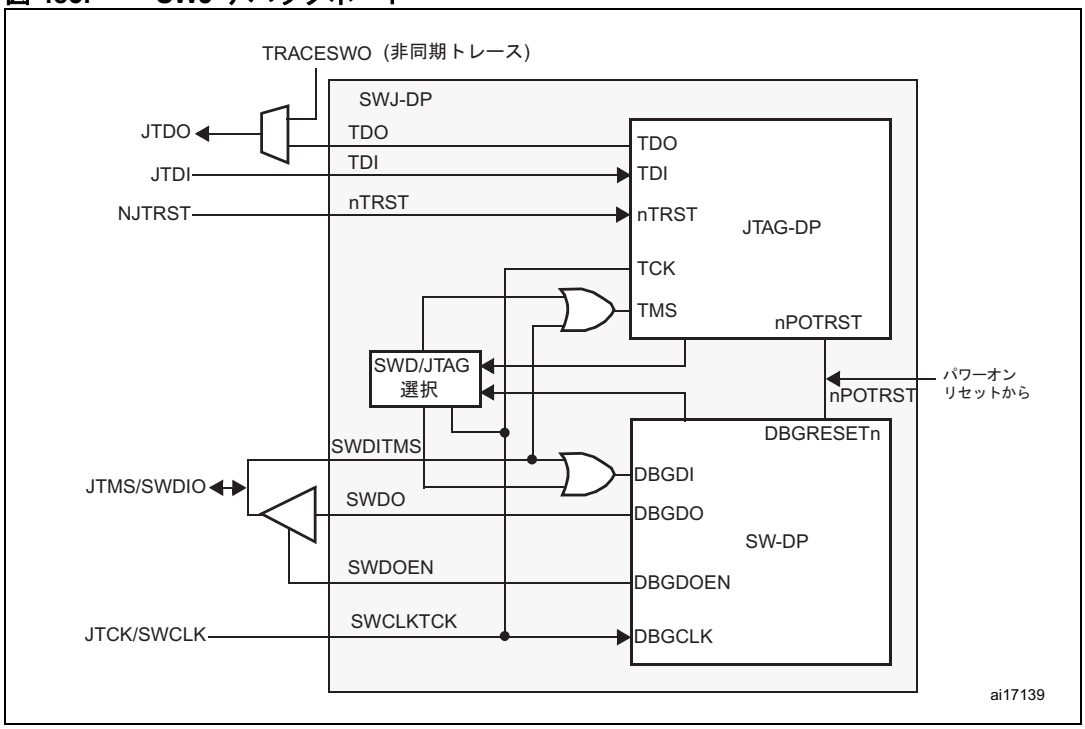


図 483 は、非同期 TRACE 出力（TRACESWO）が TDO と多重化されていることを示します。つまり非同期トレースは、JTAG-DP ではなく、SW-DP にのみ使用できます。

38.3.1 JTAG-DP または SW-DP の選択メカニズム

デフォルトでは、JTAG デバッグポートが選択されています。

SW-DP に切り替えるには、デバッガホストは、TMS／TCK（それぞれ SWDIO／SWCLK に配置）に専用の JTAG シーケンスを提供して、JTAG-DP を無効にし SW-DP を有効にする必要があります。このように、SWCLK ピン と SWDIO ピンのみを使用して、SW-DP を有効にすることができます。

このシーケンスは、

1. TMS（SWDIO）=1 で 50 を超える TCK サイクルを送信します。
2. TMS（SWDIO）に 16 ビットシーケンス（0111100111100111）を MSB ファーストで送信します。
3. TMS（SWDIO）=1 で 50 を超える TCK サイクルを送信します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

38.4 ピン名とデバッグポートピン

STM32F4xx MCU は、ピン数の異なるさまざまなパッケージに組み込まれています。このため、ピンを使用する一部の機能（ETM）は、パッケージによって異なることがあります。

38.4.1 SWJ デバッグポートピン

汎用入出力のオルタネート機能として、5 個のピンが SWJ-DP 用の STM32F4xx からの出力として使用されます。これらのピンはすべてのパッケージで使用できます。

表 291. SWJ デバッグポートピン

SWJ-DP ピン名	JTAG デバッグポート		SW デバッグポート		ピン割当て
	タイプ	説明	タイプ	デバッグ割当て	
JTMS／SWDIO	I	JTAG テストモード選択	IO	シリアルワイヤデータ入出力	PA13
JTCK／SWCLK	I	JTAG テストクロック	I	シリアルワイヤクロック	PA14
JTDI	I	JTAG テストデータ入力	-	-	PA15
JTDO／TRACESWO	O	JTAG テストデータ出力	-	非同期トレースが有効な場合は TRACESWO	PB3
NJTRST	I	JTAG テスト nReset	-	-	PB4

38.4.2 柔軟性の高い SWJ-DP ピンの割り当て

RESET（SYSRESETn または PORESETn）後、SWJ-DP 用に使用される 5 個のピンはすべて、デバッガホストによってすぐに使用可能な専用ピンとして割り当てられます（なお、デバッガホストによって明示的にプログラミングされた場合を除いて、トレース出力は割り当てられません）。

ただし、STM32F4xx MCU は SWJ-DP ポートの一部またはすべてを無効にすることができますので、汎用 IO（GPIO）に使用する関連ピンを解放する可能性もあります。SWJ-DP ポートピンを無効にする方法の詳細については、*セクション 8.3.2 : I/O ピンマルチプレクサとマッピング*を参照してください。

表 292. 柔軟性の高い SWJ-DP ピンの割り当て

使用可能なデバッグポート	SWJ IO ピンの割当て				
	PA13／JTMS／SWDIO	PA14／JTCK／SWCLK	PA15／JTDI	PB3／JTDO	PB4／NJTRST
全 SWJ（JTAG-DP + SW-DP）、リセット状態	X	X	X	X	X
全 SWJ（JTAG-DP + SW-DP）、NJTRST なし	X	X	X	X	
JTAG-DP 無効、SW-DP 有効	X	X			
JTAG-DP 無効、SW-DP 無効	解放				

*注 : **APB ブリッジの書込みバッファがフルのとき、GPIO_AFR レジスタへの書込みには APB 1 サイクル分が追加で必要になります。これは、コアの nTRST および TCK 入力信号でのクリーンレベルを保証するために、JTAGSW ピンの無効化が 2 サイクルで行われるからです。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

- サイクル 1 : コアへの JTAGSW 入力信号は 1 または 0 に（nTRST、TDI、および TMS では 1 に、TCK では 0に）接続されます。
- サイクル 2 : GPIO コントローラが SWJTAG 入出力ピンの制御（方向、プルアップ/ダウン、シュミットトリガの有効化などの制御）信号を受け取ります。

38.4.3 JTAG ピンでの内部プルアップ／プルダウン

JTAG 入力ピンは、デバッグモード機能を制御するためにフリップフロップに直結されます。したがって、JTAG 入力ピンをフロート状態にしないことが必要です。これらのフリップフロップの一部のクロックに直結される SWCLK／TCK ピンについては、特に注意が必要です。

入出力レベルを正しく制御するため、デバイスには内部プルアップ／プルダウンが JTAG 入力ピンに内蔵されています。

- NJTRST : 内部プルアップ
- JTDI : 内部プルアップ
- JTMS／SWDIO : 内部プルアップ
- TCK／SWCLK : 内部プルダウン

JTAG 入出力がユーザソフトウェアによって解放されると、GPIO コントローラが再び制御権を獲得します。リセット状態では、GPIO 制御レジスタは入出力をこれと同等の状態に設定します。

- NJTRST : AF 入力プルアップ
- JTDI : AF 入力プルアップ
- JTMS／SWDIO : AF 入力プルアップ
- JTCK／SWCLK : AF 入力プルダウン
- JTDO : AF 出力フローティング

ソフトウェアはこれらの入出力を標準の GPIO 信号として使用することができます。

注 : ***JTAG IEEE 規格では、TDI、TMS、および nTRST にプルアップを追加することを推奨していますが、TCK に関しては特別な推奨はありません。ただし、JTCK に関しては、デバイスは内蔵プルダウンを必要とします。***

プルアップとプルダウンを内蔵しているため、外部抵抗を追加する必要がありません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

38.4.4 シリアルワイヤの使用と、未使用のデバッグピンを GPIO として解放する方法

シリアルワイヤ DP を使って GPIO を解放するには、ユーザソフトウェアが GPIO_MODER レジスタで GPIO（PA15、PB3、および PB4）コンフィギュレーションモードを変更する必要があります。これによって PA15、PB3、および PB4 が解放され、GPIO として使用できるようになります。

デバッグ時には、ホストは次の動作を行います。

- システムリセット中に、すべての SWJ ピンが割り当てられます（JTAG-DP + SW-DP）。
- システムリセット中に、デバッガホストは、JTAG-DP から SW-DP に切り替える JTAG シーケンスを送信します。
- システムリセット中に、さらに、デバッガはベクタリセットにブレークポイントを設定します。
- システムリセットは解除され、コアは停止します。
- これ以降のすべてのデバッグ通信は、SW-DP を使用して行われます。残りの JTAG ピンは、ユーザソフトウェアによって GPIO として再割当てできます。

注： ***ユーザソフトウェアの設計に関しては、次の点に注意してください。***

デバッグピンを解放するには、リセット後にユーザソフトウェアがピンを解放するまでの一定の期間、デバッグピンは、まず、入力プルアップ（nTRST、TMS、TDI）、プルダウン（TCK）、または出力トライステート（TDO）に設定されることに注意してください。

デバッグピン（JTAG、SW、または TRACE）が配置されると、IOPORT コントローラの対応する入出力ピンの設定を変更しても効果はありません。

38.5 STM32F4xx JTAG TAP 接続

STM32F4xx MCU は、バウンダリスキャン TAP（IR は 5 ビット幅）と FPU 搭載 Cortex™-M4 TAP（IR は 4 ビット幅）という、シリアル接続された 2 個の JTAG TAP を内蔵しています。

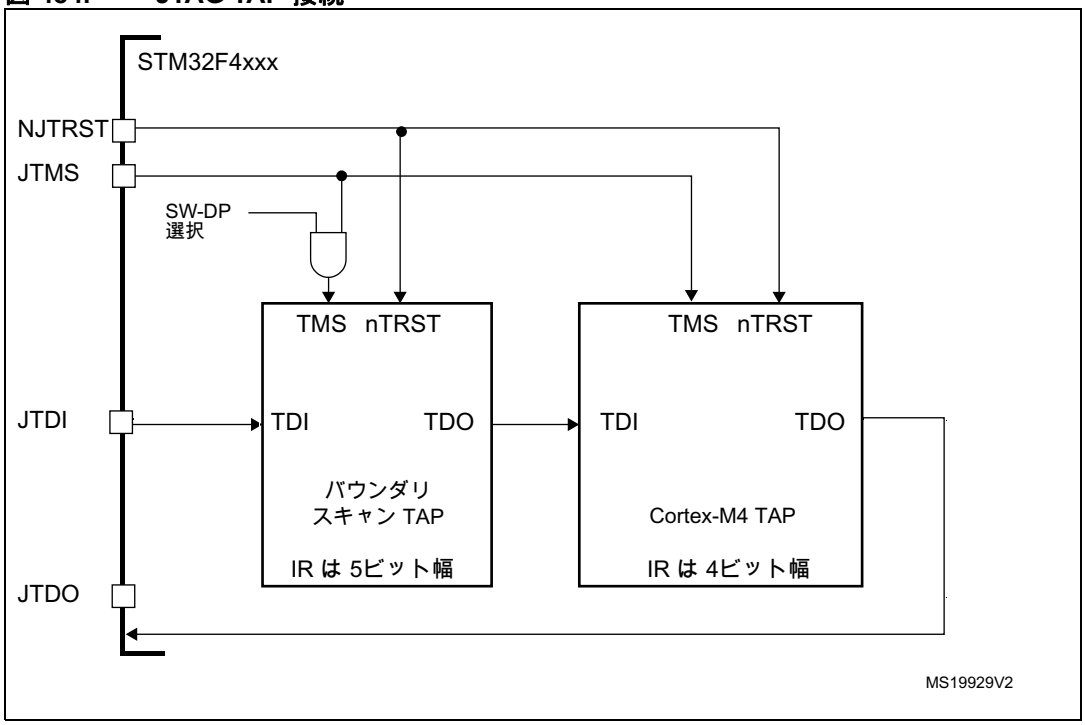
デバッグ目的で FPU 搭載 Cortex™-M4 の TAP にアクセスするには、

1. まず、バウンダリスキャン TAP の BYPASS 命令をシフトする必要があります。
2. 次に、IR シフトごとに、スキャンチェインには 9 (=5+4) ビットが格納され、未使用の TAP 命令を BYPASS 命令によってシフトインする必要があります。
3. データシフトごとに、BYPASS モードにある未使用の TAP は、データスキャンチェインに 1 個のデータビットを追加します。

注： ***重要：専用の ARM JTAG シーケンスを使用してシリアルワイヤが選択されると、バウンダリスキャン TAP は自動的に無効になります（JTMS は強制的にハイレベルになります）。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 484. JTAG TAP 接続



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

38.6 ID コードとロック機構

STM32F4xx MCU には、内部にいくつかの ID コードがあります。ツール設計者は、外部 PPB メモリマップのアドレス 0xE0042000 に配置されている MCU デバイス ID コードを使用して、デバッガをロックすることを強く推奨します。

38.6.1 MCU デバイス ID コード

STM32F4xx MCU には MCU ID コードが内蔵されています。この ID は、ST MCU の部品番号とダイのリビジョンを識別します。これは DBG_MCU 部品の一部であり、外部 PPB バスに配置されます（*セクション 38.16（1714 ページ）*を参照）。このコードにアクセスするには、JTAG デバッグポート（4～5 本のピン）、SW デバッグポート（2 本のピン）、またはユーザソフトウェアを使用します。アクセスは MCU がシステムリセット中でも可能です。

DBGMCU_IDCODE

アドレス：0xE004 2000

32 ビットアクセスのみサポートされます。読出し専用。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
REV_ID															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み				DEV_ID											
				r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:16 **REV_ID(15:0)** リビジョン識別子
このフィールドは、デバイスのリビジョンを示します。
0x1000 = リビジョン A
0x1001 = リビジョン Z
0x1003 = リビジョン Y

ビット 15:12 予約済みであり、リセット値のままにしておかなければなりません。

ビット 11:0 **DEV_ID(11:0)**：デバイス識別子 (STM32F405xx/07xx および STM32F415xx/17xx)
デバイス ID は 0x413 です。

ビット 11:0 **DEV_ID(11:0)**：デバイス識別子（STM32F42xxx および STM32F43 x xx）
デバイス ID は 0x419 です。

38.6.2 バウンダリスキャン TAP

JTAG ID コード

STM32F4xx BSC（バウンダリスキャン）の TAP は、0x06413041 に等しい JTAG ID コードを内蔵しています。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

38.6.3 FPU 搭載 Cortex™-M4 TAP

ARM FPU 搭載 Cortex™-M4 の TAP は、JTAG ID コードを内蔵しています。この ID コードは ARM のデフォルトであり、変更されていません。このコードは、JTAG デバッグポートからのみアクセスできます。
このコードは 0x4BA00477 です（FPU 搭載 Cortex™-M4 r0p1 に対応、*セクション 38.2 : ARM リファレンス資料*を参照）。

デバッガ／プログラマツールでは、DEV_ID(11:0) のみを識別に使用してください。

38.6.4 FPU 搭載 Cortex™-M4 JEDEC-106 ID コード

ARM FPU 搭載 Cortex™-M4 は JEDEC-106 ID コードを内蔵しています。これは内部 PPB バスのアドレス 0xE00FF000_0xE00FFFFF に配置された 4KB ROM テーブルに置かれています。

このコードは、JTAG デバッグポート（4～5 本のピン）、SW デバッグポート（2 本の ピン）、またはユーザソフトウェアによってアクセスできます。

38.7 JTAG デバッグポート

標準的な JTAG ステートマシンは、4 ビット命令レジスタ（IR）と 5 個のデータレジスタを搭載しています（詳細については、FPU 搭載 Cortex™-M4 r0p1 Technical *Reference Manual （TRM）とセクション 38.2 : ARM リファレンス資料*を参照）。

表 293. JTAG デバッグポートのデータレジスタ

IR(3:0)	データレジスタ	詳細
1111	BYPASS [1 ビット]	
1110	IDCODE [32 ビット]	ID コード 0x4BA00477（ARM FPU 搭載 Cortex™-M4 r0p1 ID コード）
1010	DPACC [35 ビット]	デバッグポートアクセスレジスタ デバッグポートを初期化し、デバッグポートレジスタへのアクセスを可能にします。 – 入力データ転送時 : ビット 34:3 = DATA[31:0] = 書込みリクエスト用に転送する 32 ビットデータ ビット 2:1 = A[3:2] = デバッグポートレジスタの 2 ビットアドレス ビット 0 = RnW = 読出しリクエスト（1）または書込みリクエスト（0） – 出力データ転送時 : ビット 34:3 = DATA[31:0] = 読出しリクエストに続いて読み出される 32 ビットデータ ビット 2:0 = ACK[2:0] = 3 ビット確認応答 : 010 = OK/FAULT 001 = WAIT その他 = 予約済み A(3:2) ビットの説明については、*表 294* を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 293. JTAG デバッグポートのデータレジスタ（続き）

IR(3:0)	データレジスタ	詳細
1011	APACC [35 ビット]	アクセスポートアクセスレジスタ アクセスポートを初期化し、アクセスポートレジスタへのアクセスを可能にします。 – 入力データ転送時： ビット 34:3 = DATA[31:0] = 書込みリクエスト用にシフトインする 32 ビットデータ ビット 2:1 = A[3:2] = 2 ビットアドレス（サブアドレス AP レジスタ） ビット 0 = RnW = 読出しリクエスト（1）または書込みリクエスト（0） – 出力データ転送時： ビット 34:3 = DATA[31:0] = 読出しリクエストに続いて読み出される 32 ビットデータ ビット 2:0 = ACK[2:0] = 3 ビット確認応答： 010 = OK/FAULT 001 = WAIT その他 = 予約済み 次の項目の組み合わせとして、多くの AP レジスタ（AHB-AP を参照）をアドレス指定します。 – シフトされた値 A[3:2] – DP SELECT レジスタの現在値
1000	ABORT [35 ビット]	アボートレジスタ – ビット 31:1 = 予約済み – ビット 0 = DAPABORT：DAP アボートを生成するには 1 を書き込みます

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 294. シフトされた値 A[3:2] によってアドレス指定される 32 ビットデバッグポートレジスタ

アドレス	A(3:2) の値	説明
0x0	00	予約済みであり、リセット値のままにしておかなければなりません。
0x4	01	DP CTRL／STAT レジスタ .次の目的で使用されます。 – システムまたはデバッグのパワーアップリクエスト – AP アクセス用の転送動作設定 – プッシュ比較およびプッシュ検証動作の制御 – ステータスフラグ（オーバーラン、パワーアップ確認応答）の読出し
0x8	10	DP SELECT レジスタ : 現在のアクセスポートと有効な 4 ワードレジスタウィンドウの選択に使用されます。 – ビット 31:24 : APSEL : 現在の AP を選択します – ビット 23:8 = 予約済み – ビット 7:4 : APBANKSEL : 現在の AP 上で有効な 4 ワードレジスタウィンドウを選択します – ビット 3:0 = 予約済み
0xC	11	DP RDBUFF レジスタ : 一連の動作の後で（新しい JTAG-DP 動作をリクエストせずに）、デバッガが最終結果を得られるようにします。

38.8 SW デバッグポート

38.8.1 SW プロトコルの概要

この同期式シリアルプロトコルでは、2 個のピンを使用します。

- SWCLK : ホストからターゲットへのクロック
- SWDIO : 双方向

このプロトコルでは、2 バンクのレジスタ（DPACC レジスタと APACC レジスタ）の読出し／書込みが可能です。

ビットは、ワイヤ上を LSB ファーストで転送されます。

SWDIO を双方向管理するには、ボード上でラインがプルアップされている必要があります（ARM の推奨値は 100 KΩ です）。

プロトコルで SWDIO の方向が変化するたびに、ラインがホストからもターゲットからも駆動されないターンアラウンド時間が挿入されます。このターンアラウンド時間のデフォルトは 1 ビット時間ですが、SWCLK 周波数の設定によって調整できます。

38.8.2 SW プロトコルシーケンス

各シーケンスは 3 つのフェーズから構成されます。

1. ホストによって送信されるパケットリクエスト（8 ビット）
2. ターゲットによって送信される確認応答（3 ビット）
3. ホストまたはターゲットによって送信されるデータ転送フェーズ（33 ビット）

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 295. パケットリクエスト（8 ビット）

ビット	名称	説明
0	Start	「1」である必要があります
1	APnDP	0：DP アクセス 1：AP アクセス
2	RnW	0：書込みリクエスト 1：読出しリクエスト
4:3	A(3:2)	DP／AP レジスタのアドレスフィールド（*表 294* を参照）
5	Parity	先行するビットの 1 ビットパリティ
6	Stop	0
7	Park	ホストによって駆動されません。プルアップの効果で、ターゲットには「1」と読み出される必要があります。

DPACC レジスタと APACC レジスタの詳細については、FPU 搭載 Cortex™-M4 r0p1 TRM を参照してください。

パケットリクエストの後には、ホストもターゲットもラインを駆動しないターンアラウンド時間（デフォルトでは 1 ビット）が続きます。

表 296. ACK 応答（3 ビット）

ビット	名称	説明
0..2	ACK	001：FAULT 010：WAIT 100：OK

READ トランザクションである場合や、WAIT または FAULT 確認応答が受信された場合にのみ、ACK 応答の後にターンアラウンド時間が続く必要があります。

表 297. DATA 転送（33 ビット）

ビット	名称	説明
0..31	WDATA または RDATA	書込み／読出しデータ
32	パリティ	32 データビットの 1 ビットパリティ

READ トランザクションの場合にのみ、DATA 転送の後にターンアラウンド時間が続く必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

38.8.3 SW-DP ステートマシン（リセット、アイドル状態、ID コード）

SW-DP のステートマシンには、SW-DP を識別する、内部 ID コードがあります。これは JEP-106 規格に準じています。この ID コードは、ARM のデフォルトであり、**0x2BA01477**（FPU 搭載 Cortex™-M4 r0p1に対応）がセットされています。

注： ***SW-DP ステートマシンは、ターゲットがこの ID コードを読み出すまで無効であることに注意してください。***

- パワーオンリセット後、または DP が JTAG から SWD に切り替えられた後、またはラインが 50 サイクルを超えてハイレベルにあった後では、SW-DP ステートマシンは RESET 状態になります。
- RESET 状態の後、ラインが 2 サイクル以上の間ローレベルである場合、SW-DP ステートマシンは IDLE 状態になります。
- RESET 状態の後は、まず IDLE 状態に入り、DP-SW ID CODE レジスタの読出しアクセスを行う必要があります。そうしないと、ターゲットは、他のトランザクションに対して FAULT 確認応答を発行します。

SW-DP ステートマシンの詳細については、*FPU 搭載 Cortex™-M4* r0p1 *TRM* および *CoreSight Design Kit r0p1 TRM* を参照してください。

38.8.4 DP と AP の読出し／書込みアクセス

- DP への読出しアクセスはポストされません。ターゲットは、ACK=OK の場合はただちに応答し、ACK=WAIT の場合は遅れて応答します。
- AP への読出しアクセスはポストされます。つまり、アクセスの結果は次の転送時に返されます。次のアクセスが AP アクセスでない場合、結果を得るには DP-RDBUFF レジスタを読み出す必要があります。
  AP 読出しアクセスが成功したかどうかを判断するため、DP-CTRL／STAT レジスタの READOK フラグは、AP 読出しアクセスまたは RDBUFF 読出しリクエストのたびに更新されます。
- SW-DP は、DP／AP 書込み用の書込みバッファを実装しているため、たとえ他のトランザクションが未処理であっても、書込み動作を受け付けることができます。書込みバッファがフルのとき、ターゲットの確認応答は「WAIT」です。ただし、IDCODE 読出し、CTRL／STAT 読出し、および ABORT 書込みは、書込みバッファがフルであっても受け付けられます。
- 非同期クロックドメイン SWCLK と HCLK によって、書込みを内部的に有効にするには、書込みトランザクション後（パリティビット後）に SWCLK の 2 サイクルが余分に必要となります。これらのサイクルは、ラインをローレベルに駆動している間（IDLE 状態）に適用してください。これは、パワーアップリクエストのために CTRL／STAT の書込みを行う際に特に重要です。パワーアップを必要とする次のトランザクションがただちに発生すると、そのトランザクションは失敗します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

38.8.5 SW-DP レジスタ

これらのレジスタへのアクセスは、APnDP=0 のときに開始されます。

表 298. SW-DP レジスタ

A(3:2)	R/W	SELECT レジスタの CTRLSEL ビット	レジスタ	注
00	読出し		IDCODE	製造者コードは ST 社のコードではありません。**0x2BA01477**（SW-DP を識別します）。
00	書込み		ABORT	
01	読出し／書込み	0	DP-CTRL／STAT	用途は、 – システム／デバッグパワーアップのリクエスト – AP アクセス用の転送動作の設定 – プッシュ比較／プッシュ検証動作の制御 – ステータスフラグの読出し（オーバーラン、パワーアップ確認応答）
01	読出し／書込み	1	WIRE CONTROL	物理的なシリアルポートプロトコルの設定（ターンアラウンド時間など）
10	読出し		READ RESEND	元の AP 転送を反復しなくても、破壊されたデバッガ転送からの読出しデータの復旧を可能にします。
10	書込み		SELECT	現在のアクセスポートと有効な 4 ワードレジスタウィンドウを選択します。
11	読出し／書込み		READ BUFFER	AP アクセスはポストされるため、この読出しバッファは効果的です（AP 読出しリクエストの結果は、次の AP トランザクションで得られます）。 この読出しバッファは、新しいトランザクションを開始することなく、前回の読出しの結果として AP から出力されるデータをキャプチャします。

38.8.6 SW-AP レジスタ

これらのレジスタへのアクセスは、APnDP=1 のときに開始されます。

次の項目の組み合わせとして、多くの AP レジスタ（AHB-AP を参照）をアドレス指定します。

- シフトされた値 A[3:2]
- DP SELECT レジスタの現在値

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

38.9 AHB-AP（AHB アクセスポート）- JTAG-DP と SW-DP の両方に有効

機能：

- システムアクセスはプロセッサステータスと独立
- SW-DP または JTAG-DP が AHB-AP にアクセス
- AHB-AP はバスマトリックスの AHB マスタです。したがって、AHB-AP は ICode バスを除くすべてのデータバス（Dcode バス、システムバス、内部／外部の PPB バス）にアクセスできます。
- ビットバンドトランザクションがサポートされます。
- AHB-AP トランザクションは FPB を迂回します。

32 ビット AHB-AP レジスタは 6 ビット幅（最大 64 ワードまたは 256 バイト）であり、以下の構成となっています。

c) ビット [7:4] = DP_SELECT レジスタのビット [7:4] APBANKSEL

d) ビット [3:2] = SW-DP 用の 35 ビットパケットリクエストの 2 ビットアドレス A(3:2)

FPU 搭載 Cortex™-M4 の AHB-AP は、9 個の 32 ビットレジスタを内蔵しています。

表 299. FPU 搭載 Cortex™-M4 AHB-AP レジスタ

アドレスオフセット	レジスタ名	注
0x00	AHB-AP 制御およびステータスワード	AHB インタフェースを通じて転送を設定および制御します（サイズ、hprot、現在の転送のステータス、アドレスインクリメントタイプ）。
0x04	AHB-AP 転送アドレス	
0x0C	AHB-AP データ読出し／書込み	
0x10	AHB-AP バンクデータ 0	転送アドレスレジスタを書き換えずに、4 個のアラインドデータワードを直接配置します。
0x14	AHB-AP バンクデータ 1	
0x18	AHB-AP バンクデータ 2	
0x1C	AHB-AP バンクデータ 3	
0xF8	AHB-AP デバッグ ROM アドレス	デバッグインタフェースのベースアドレス
0xFC	AHB-AP ID レジスタ	

詳細については、*FPU 搭載 Cortex™-M4 r0p1 TRM* を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

38.10 コアデバッグ

コアデバッグはコアデバッグレジスタを通じてアクセスされます。これらのレジスタへのデバッグアクセスには、Advanced High-performance Bus（AHB-AP）ポートを使用します。プロセッサは、内部の専用ペリフェラルバス（PPB）を介してこれらのレジスタに直接アクセスできます。

コアデバッグは 4 個のレジスタから構成されています。

表 300. コアデバッグレジスタ

レジスタ	説明
DHCSR	32 ビットのデバッグホールト制御／ステータスレジスタ プロセッサの状態についてのステータス情報を提供し、コアデバッグを有効にし、プロセッサのホールトとステップ実行を行います。
DCRSR	17 ビットのデバッグコアレジスタセレクタレジスタ： データの転送先または転送元となるプロセッサレジスタを選択します。
DCRDR	32 ビットのデバッグコアレジスタデータレジスタ： DCRSR（セレクタ）レジスタによって選択されたプロセッサとの間でレジスタの読出しと書込みを行うためのデータを保持します。
DEMCR	32 ビットのデバッグ例外／モニタ制御レジスタ： ベクタキャッチとデバッグモニタの制御を行います。このレジスタには、TRACE を使用できるようにする *TRCENA* というビットがあります。

注： ***重要：これらのレジスタは、システムリセットによってはリセットされません。パワーオンリセットによってのみリセットされます。***

詳細については、FPU 搭載 Cortex™-M4 r0p1 TRM を参照してください。

リセット時に停止させるには、

- デバッグ例外／モニタ制御レジスタのビット 0（VC_CORRESET）を有効にします。
- デバッグホールト制御／ステータスレジスタのビット 0（C_DEBUGEN）を有効にします。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

38.11 システムリセット中のデバッガホスト接続機能

STM32F4xx MCU のリセットシステムは、次のリセットソースから構成されます。

- POR（パワーオンリセット）：パワーアップのたびに RESET をアサートします。
- 内部ウォッチドッグリセット
- ソフトウェアリセット
- 外部リセット

FPU 搭載 Cortex™-M4 では、デバッグ部のリセット（一般に PORRESETn）とそれ以外のリセット（SYSRESETn）が区別されます。

こうすれば、リセットベクタをフェッチするときにコアを停止させるようコアデバッグレジスタをプログラミングすることで、デバッガはシステムリセット中に接続が可能になります。これによってホストはシステムリセットを解除でき、コアは命令を実行しなくても、ただちに停止します。さらに、システムリセット中にデバッグ機能をプログラミングできます。

注： ***システムリセット中にデバッガホストを接続する（リセットベクタにブレークポイントを設定する）ことを強く推奨します。***

38.12 FPB（フラッシュパッチブレークポイント）

FPB ユニットは、

- ハードウェアブレークポイントを実装します。
- コード空間からシステム空間に、コードとデータをパッチします。この機能によって、コードメモリ空間にあるソフトウェアバグの訂正が可能になることがあります。

ソフトウェアパッチとハードウェアブレークポイントは同時に使用できません。

FPB は以下から構成されます。

- コード空間からのリテラルロードと照合し、システム空間内の対応する領域に再配置する 2 個のリテラルコンパレータ。
- コード空間からの命令フェッチと照合する 6 個の命令コンパレータ。命令コンパレータを使用すると、システム空間内の対応する領域に再配置したり、コアへのブレークポイント命令を生成したりできます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

38.13 DWT（データウォッチポイントトリガ）

DWT ユニットは 4 個のコンパレータから構成されており、次の用途に設定できます。

- ハードウェアウォッチポイント
- ETM へのトリガ
- PC サンプラ
- データアドレスサンプラ

DWT は、プロファイル情報を提供することもできます。このため、次の値を得るためのカウンタにアクセスできます。

- クロックサイクル数
- フォールドされた命令数
- ロードストアユニット（LSU）の動作数
- スリープサイクル数
- CPI（命令あたりのクロック数）
- 割込みオーバーヘッドの回数

38.14 ITM（計測トレースマクロセル）

38.14.1 概要

ITMは、アプリケーション駆動のトレースソースであり、オペレーティングシステム（OS）やアプリケーションのイベントをトレースする printf 方式のデバッグをサポートし、システムの診断情報を発行します。ITM がパケットとして発行するトレース情報は、次のように生成できます。

- **ソフトウェアトレース**：ソフトウェアは、ITM スティムラスレジスタに直接書込みを行って、パケットを発行できます。
- **ハードウェアトレース**：DWT がパケットを生成し、ITM がそれを発行します。
- **タイムスタンプ**：タイムスタンプはパケットを基準にして発行されます。ITM は、タイムスタンプを生成するための 21 ビットカウンタを内蔵しています。カウンタは、FPU 搭載 Cortex™-M4 クロックまたはシリアルワイヤ ビューア（SWV）出力のビットクロックレートによって駆動されます。

ITM によって発行されたパケットは、TPIU（トレースポートインタフェースユニット）に出力されます。TPIU のフォーマッタは、いくつかのパケットを追加してから（TPIU を参照）、完全なパケットシーケンスをデバッガホストに出力します。

ITM をプログラミングまたは使用するには、その前に、デバッグ例外／モニタ制御レジスタの TRCENA ビットを有効にする必要があります。

38.14.2 タイムスタンプパケット、同期およびオーバーフローパケット

タイムスタンプパケットは、タイムスタンプ情報や一般的な制御および同期情報をコード化します。そのために使用される 21 ビットのタイムスタンプカウンタ（プリスケーラ付きの場合もあります）は、タイムスタンプパケットが発行されるたびにリセットされます。このカウンタは、CPU クロックまたは SWV クロックによって駆動できます。

同期パケットは 6 バイトの値 0x80_00_00_00_00_00 から構成され、TPIU には 00 00 00 00 00 80 として LSB ファーストで発行されます。

同期パケットは、タイムスタンプ制御のためのパケットで、DWT トリガのたびに発行されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

このため、DWT 制御レジスタの CYCCNTENA（ビット 0）をセットして、ITM をトリガするように DWT を設定する必要があります。さらに、ITM トレース制御レジスタのビット2（SYNCENA）もセットする必要があります。

注： ***SYNENA ビットがセットされていない場合、DWT は TPIU への同期トリガを生成し、TPIU 同期パケットのみを送信し、ITM 同期パケットは送信しません。***

オーバーフローパケットは、データの書込み時に FIFO がフルであったことを示す特殊なタイムスタンプパケットで構成されます。

表 301. 主な ITM レジスタ

アドレス	レジスタ	詳細
@E0000FB0	ITM ロックアクセス	他の ITM レジスタへの書込みアクセスをロック解除するには、0xC5ACCE55 を書き込みます。
@E0000E80	ITM トレース制御	ビット 31-24 = 常に 0
		ビット 23 = ビジー
		ビット 22-16 = トレースデータのソースを識別する 7 ビットの ATB ID
		ビット 15-10 = 常に 0
		ビット 9:8 = TSPrescale = タイムスタンププリスケーラ
		ビット 7-5 = 予約済み
		ビット 4 = SWOENA = SWV 動作（タイムスタンプカウンタを SWV クロックによって駆動）を有効にします。
		ビット 3 = DWTENA：DWT スティムラスを有効にします。
		ビット 2 = SYNCENA：DWT が同期トリガを生成して TPIU が同期パケットを発行できるようにするには、このビットを 1 にする必要があります。
		ビット 1 = TSENA（タイムスタンプ有効）
		ビット 0 = ITMENA：ITM のグローバル有効ビット
@E0000E40	ITM トレース特権	ビット 3：ポート 31:24 のトレースを有効にするマスク
		ビット 2：ポート 23:16 のトレースを有効にするマスク
		ビット 1：ポート 15:8 のトレースを有効にするマスク
		ビット 0：ポート 7:0 のトレースを有効にするマスク
@E0000E00	ITM トレース有効	各ビットは、トレースを生成するために対応するスティムラスポートを有効にします。
@E0000000-E000007C	スティムラスポートレジスタ 0-31	選択されたスティムラスポート（32 個まで）に 32 ビットデータを書き込んでトレース出力します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

設定例

TPIU に単純な値を出力するには、

- TPIU を設定し、DBGMCU_CR を設定することによって TRACE 入出力を割り当てます（*セクション 38.17.2：TRACE ピンの割当て*と *セクション 38.16.3：デバッグMCU 設定レジスタ*を参照）。
- ITM ロックアクセスレジスタに 0xC5ACCE55 を書き込んで、ITM レジスタへの書込みアクセスをロック解除します。
- ITM トレース制御レジスタに 0x00010005 を書き込んで、同期を有効にした状態で ITM を有効にし、ATB ID を 0x00 以外の値にします。
- ITM トレース有効レジスタに 0x1 を書き込んで、スティムラスポート 0 を有効にします。
- ITM トレース特権レジスタに 0x1 を書き込んで、スティムラスポート 7:0 をマスク解除します。
- 出力する値をスティムラスポートレジスタ 0 に書き込みます。これにはソフトウェア（printf 関数）を使用します。

38.15 ETM（組み込みトレースマクロセル）

38.15.1 概要

ETM はプログラム実行の再構築を有効にします。データはデータウォッチポイントおよびトレース（DWT）コンポーネントまたは計測トレースマクロセル（ITM）を使用してトレースされます。一方、命令は組み込みトレースマクロセル（ETM）を使用してトレースされます。

ETMは、情報をパケットとして送信し、埋め込みリソースによってトリガされます。これらのリソースは個別にプログラミングする必要があり、トリガソースの選択にはトリガイベントレジスタ（0xE0041008）を使用します。イベントは、単一イベント（アドレスコンパレータからのアドレスマッチ）または 2 つのイベント間の論理式とすることができます。トリガソースは、DWT モジュールの 4 番目のコンパレータの 1 つです。次のイベントを監視できます。

- クロックサイクルマッチング
- データアドレスマッチング

トリガリソースの詳細については、*セクション 38.13 : DWT（データウォッチポイントトリガ）*を参照してください。

ETM によって送信されたパケットは、TPIU（トレースポートインタフェースユニット）に出力されます。TPIU のフォーマッタは、いくつかのパケットを追加してから（*セクション 38.17 : TPIU（トレースポートインタフェースユニット）*を参照）、完全なパケットシーケンスをデバッガホストに出力します。

38.15.2 信号プロトコル、パケットタイプ

これについては、ARM IHI 0014N ドキュメントの第 7 章「ETMv3 信号プロトコル」を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

38.15.3 主な ETM レジスタ

レジスタの詳細については、ARM IHI 0014N 仕様の第 3 章を参照してください。

表 302. 主な ETM レジスタ

アドレス	レジスタ	詳細
0xE0041FB0	ETM ロックアクセス	他の ETM レジスタへの書込みアクセスをロック解除するには、0xC5ACCE55 を書き込みます。
0xE0041000	ETM 制御	このレジスタは、ETM の一般的な動作（たとえば、トレースを有効にする方法）を制御します。
0xE0041010	ETM ステータス	このレジスタは、トレースおよびトリガロジックの現在のステータスに関する情報を提供します。
0xE0041008	ETM トリガイベント	このレジスタは、トリガを制御するイベントを定義します。
0xE004101C	ETM トレース有効制御	このレジスタは、どのコンパレータが選択されるかを定義します。
0xE0041020	ETM トレース有効イベント	このレジスタは、トレース有効化イベントを定義します。
0xE0041024	ETM トレース開始／停止	このレジスタは、トレースをそれぞれ開始および停止するためにトリガソースによって使用されるトレースを定義します。

38.15.4 設定例

TPIU に単純な値を出力するには、

- TPIU を設定し、I/IO_TRACEN を有効にして STM32F4xxデバッグ設定レジスタで TRACE I/O を割り当てます。
- ETM ロックアクセスレジスタに 0xC5ACCE55 を書き込んで、ITM レジスタへの書込みアクセスをロック解除します。
- 制御レジスタに 0x00001D1E を書き込みます（トレースを設定します）。
- トリガイベントレジスタに 0000406F を書き込みます（トリガイベントを定義します）。
- トレース有効イベントレジスタに 0000006F を書き込みます（開始／停止するイベントを定義します）。
- トレース開始／停止レジスタに 00000001 を書き込みます（トレースを有効にします）。
- ETM 制御レジスタに 0000191E を書き込みます（設定の終了）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

38.16 MCU デバッグコンポーネント（DBGMCU）

MCU デバッグコンポーネントは、デバッガによる次のサポート機能を支援します。

- 低電力モード
- ブレークポイントにおける、タイマ、ウォッチドッグ、I2C、および bxCAN のクロック制御
- TRACE ピンの割当て制御

38.16.1 低電力モードのデバッグサポート

低電力モードに入るには、WFI または WFE 命令を実行する必要があります。

MCU はいくつかの低電力モードを実装しており、CPU クロックを無効にしたり、CPU の消費電力を低減したりすることができます。

デバッグセッション中には、FCLK や HCLK をオフにすることはできません。デバッグ時のデバッガ接続に必要なため、これらを有効な状態に保つ必要があります。MCU は、ユーザが低電力モードでソフトウェアをデバッグするための特殊な手段を備えています。

このため、デバッガホストは、最初にいくつかのデバッグ設定レジスタをセットして、低電力モード動作を変更する必要があります。

- SLEEP モードでは、DBGMCU_CR レジスタの DBG_SLEEP ビットをデバッガによって事前にセットする必要があります。これによって、HCLK には FCLK と同じクロックが供給されます（システムクロックはソフトウェアによって事前に設定されています）。
- STOP モードでは、DBG_STOP ビットをデバッガによって事前にセットする必要があります。これによって、内部 RC オシレータが、STOP モードで FCLK と HCLK にクロックを供給できます。

38.16.2 タイマ、ウォッチドッグ、bxCAN、および I^2C のデバッグサポート

ブレークポイントにおいては、タイマのカウンタやウォッチドッグの動作方法を選択する必要があります。

- ブレークポイントの中でもカウントを継続できます。これは、たとえば、PWM がモータを制御しているときに一般的に必要です。
- ブレークポイントの中でカウントを停止できます。これはウォッチドッグ用に必要です。

bxCAN の場合、ブレークポイントにおいては受信レジスタの更新をブロックするように選択できます。

I^2C の場合、ブレークポイントにおいては SMBUS タイムアウトをブロックするように選択できます。

38.16.3 デバッグ MCU 設定レジスタ

このレジスタを使用して、デバッグ中に MCU を設定できます。次の設定が可能です。

- 低電力モードのサポート
- タイマおよびウォッチドッグカウンタのサポート
- bxCAN 通信のサポート
- TRACE ピンの割当て

この DBGMCU_CR は、アドレス 0xE0042004 にある外部 PPB バスに配置されます。

このレジスタは PORESET によって非同期にリセットされます（システムリセットではありません）。システムリセット中に、デバッガによって書込みが可能です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

デバッガホストがこれらの機能をサポートしない場合でも、ユーザソフトウェアによってこれらのレジスタへの書込みが可能です。

DBGMCU_CR

アドレス：0xE004 2004

32 ビットアクセスのみサポートされます。

POR リセット：0x0000 0000（システムリセットではリセットされません）

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								TRACE_MODE [1:0]		TRACE_IOEN	予約済み		DBG_STANDBY	DBG_STOP	DBG_SLEEP
								rw	rw	rw			rw	rw	rw

ビット 31:8　予約済みであり、リセット値のままにしておかなければなりません。

ビット 7:5　**TRACE_MODE[1:0] および TRACE_IOEN**：TRACE ピン割り当て制御

- TRACE_IOEN=0 の場合：
  TRACE_MODE=xx：TRACE ピンは割り当てられません（デフォルト）。
- TRACE_IOEN=1 の場合：
  - TRACE_MODE=00：非同期モードの TRACE ピン割り当てです。
  - TRACE_MODE=01：TRACEDATA サイズが 1 の同期モードの TRACE ピン割り当てです。
  - TRACE_MODE=10：TRACEDATA サイズが 2 の同期モードの TRACE ピン割り当てです。
  - TRACE_MODE=11：TRACEDATA サイズが 4 の同期モードの TRACE ピン割り当てです。

ビット 4:3　予約済みであり、リセット値のままにしておかなければなりません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 2 **DBG_STANDBY**：デバッグ STANDBY モード

0：（FCLK=オフ、HCLK=オフ）デジタル部全体が電源オフになります。
ソフトウェアから見て、STANDBY モードから抜けることは、リセットベクタのフェッチと同じになります（ただし、いくつかのステータスビットは MCU が STANDBY モードから再開していることを示します）。
1：（FCLK=オン、HCLK=オン）この場合、デジタル部は電源オフ状態ではなく、FCLK と HCLK はアクティブ状態の内部 RC オシレータから供給されます。さらに、MCU は STANDBY モード中にシステムリセットを生成するため、STANDBY モードから抜けることはリセットベクタのフェッチと同じになります。

ビット 1 **DBG_STOP**：デバッグ STOP モード

0：（FCLK=オフ、HCLK=オフ）STOP モードでは、クロックコントローラがすべてのクロック（HCLK と FCLK を含む）を無効にします。STOP モードから抜けると、クロック設定はリセット後の場合と同じになります（CPU は 8 MHz の内部 RC オシレータ（HSI）から供給されます）。したがって、ソフトウェアは、クロックコントローラを再プログラムして、PLL やクリスタル発振子などを有効にする必要があります。
1：（FCLK=オン、HCLK=オン）この場合、STOP モードに入ると、FCLK と HCLK は STOP モードでもアクティブ状態の内部 RC オシレータから供給されます。STOP モードから抜けるとき、ソフトウェアは、クロックコントローラを再プログラムして、PLL やクリスタル発振子などを有効にする必要があります（DBG_STOP=0 の場合と同様です）。

ビット 0 **DBG_SLEEP**：デバッグ SLEEP モード

0：（FCLK=オン、HCLK=オフ）SLEEP モードでは、FCLK はソフトウェアによって事前に設定されたシステムクロックによって駆動され、HCLK は無効にされます。
SLEEP モードでは、クロックコントローラの設定はリセットされず、事前にプログラミングされた状態のままです。したがって、SLEEP モードから抜けるときに、ソフトウェアでクロックコントローラを再設定する必要はありません。
1：（FCLK=オン、HCLK=オン）この場合、SLEEP モードに入ると、HCLK には FCLK と同じクロック（ソフトウェアによって事前に設定されたシステムクロック）が供給されます。

38.16.4 デバッグ MCU APB1 凍結レジスタ（DBGMCU_APB1_FZ）

DBGMCU_APB1_FZ レジスタは、デバッグにおいて MCU の設定に使用します。APB1 ペリフェラルに関与し、アドレス 0xE004 2008 にある外部 PPB バス上に配置されています。

このレジスタは POR（システムリセットではありません）によって非同期にリセットされます。システムリセット中に、デバッガによって書込みが可能です。

アドレス：0xE004 2008

32 ビットアクセスのみサポートされます。

パワーオンリセット（POR）：0x0000 0000（システムリセットではリセットされません）

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み					DBG_CAN2_STOP	DBG_CAN1_STOP	予約済み	DBG_I2C3_SMBUS_TIMEOUT	DBG_I2C2_SMBUS_TIMEOUT	DBG_I2C1_SMBUS_TIMEOUT	予約済み				
					rw	rw		rw	rw	rw					

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み			DBG_IWDG_STOP	DBG_WWDG_STOP	DBG_RTC_STOP	予約済み	DBG_TIM14_STOP	DBG_TIM13_STOP	DBG_TIM12_STOP	DBG_TIM7_STOP	DBG_TIM6_STOP	DBG_TIM5_STOP	DBG_TIM4_STOP	DBG_TIM3_STOP	DBG_TIM2_STOP
				rw	rw		rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:27　予約済みであり、リセット値のままにしておかなければなりません。

ビット 26 **DBG_CAN2_STOP**：コア停止時にデバッグ CAN2 は停止
0：通常モードと同じ動作です。
1：CAN2 受信レジスタは凍結されます。

ビット 25 **DBG_CAN1_STOP**：コア停止時にデバッグ CAN2 は停止
0：通常モードと同じ動作です。
1：CAN1 受信レジスタは凍結されます。

ビット 24　予約済みであり、リセット値のままにしておかなければなりません。

ビット 23 **DBG_I2C3_SMBUS_TIMEOUT**：コア停止時に SMBUS タイムアウトモードは停止
0：通常モードと同じ動作です。
1：SMBUS タイムアウトは凍結されます。

ビット 22 **DBG_I2C2_SMBUS_TIMEOUT**：コア停止時に SMBUS タイムアウトモードは停止
0：通常モードと同じ動作です。
1：SMBUS タイムアウトは凍結されます。

ビット 21 **DBG_I2C1_SMBUS_TIMEOUT**：コア停止時に SMBUS タイムアウトモードは停止
0：通常モードと同じ動作です。
1：SMBUS タイムアウトは凍結されます。

ビット 20:13　予約済みであり、リセット値のままにしておかなければなりません。

ビット 12 **DBG_IWDG_STOP**：コア停止時にデバッグ独立型ウォッチドッグは停止
0：コアが停止した場合も独立型ウォッチドッグカウンタのクロックは継続されます。
1：コア停止時に独立型ウォッチドッグカウンタのクロックは停止します。

ビット 11 **DBG_WWDG_STOP**：コア停止時にデバッグウィンドウ型ウォッチドッグは停止
0：コアが停止した場合もウィンドウ型ウォッチドッグカウンタのクロックは継続されます。
1：コア停止時にウィンドウ型ウォッチドッグカウンタのクロックは停止します。

ビット 10 **DBG_RTC_STOP**：コア停止時は RTC 停止
0：コアが停止した場合も RTC カウンタのクロックは継続されます。
1：コア停止時に RTC カウンタのクロックは停止します。

ビット 9　予約済みであり、リセット値のままにしておかなければなりません。

ビット 8:0 **DBG_TIMx_STOP**：コア停止時に TIMx カウンタは停止（x=2, 7, 12..14）
0：コアが停止した場合も当該タイマカウンタのクロックは供給されます。
1：コア停止時に当該タイマカウンタのクロックは停止します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

38.16.5 デバッグ MCU APB2 凍結レジスタ（DBGMCU_APB2_FZ）

DBGMCU_APB2_FZ レジスタは、デバッグにおいて MCU の設定に使用します。APB2 ペリフェラルに関与し、このレジスタはアドレス 0xE004 200C にある外部 PPB バス上に配置されています。

このレジスタは POR（システムリセットではありません）によって非同期にリセットされます。システムリセット中に、デバッガによって書き込みが可能です。

アドレス：0xE004 200C

32 ビットアクセスのみサポートされます。

POR：0x0000 0000（システムリセットではリセットされません）

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み													DBG_TIM11_STOP	DBG_TIM10_STOP	DBG_TIM9_STOP
													rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み														DBG_TIM8_STOP	DBG_TIM1_STOP
														rw	rw

ビット 31:19　予約済みであり、リセット値のままにしておかなければなりません。

ビット 18:16　**DBG_TIMx_STOP**：コア停止時に TIMx カウンタは停止（x=9..11）

0：コアが停止した場合も当該タイマカウンタのクロックは供給されます。
1：コア停止時に当該タイマカウンタのクロックは停止します。

ビット 15:2　予約済みであり、リセット値のままにしておかなければなりません。

ビット 1　**DBG_TIM8_STOP**：コア停止時に TIM8 カウンタは停止

0：コアが停止した場合も当該タイマカウンタのクロックは供給されます。
1：コア停止時に当該タイマカウンタのクロックは停止します。

ビット 0　**DBG_TIM1_STOP**：コア停止時に TIM1 カウンタは停止

0：コアが停止した場合も当該タイマカウンタのクロックは供給されます。
1：コア停止時に当該タイマカウンタのクロックは停止します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

38.17 TPIU（トレースポートインタフェースユニット）

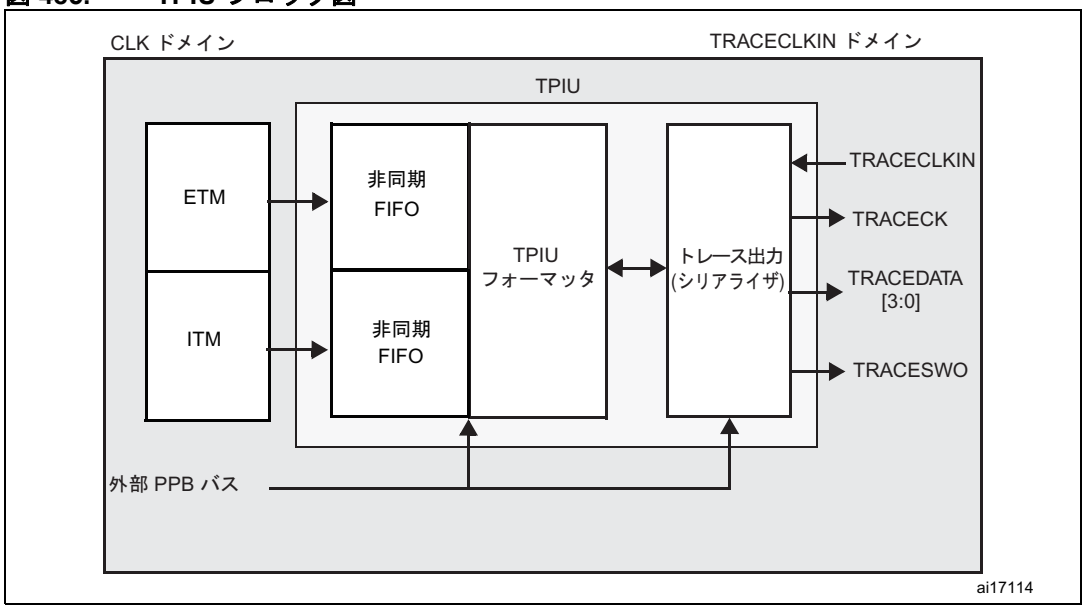
38.17.1 概要

TPIU は、ITM と ETM からのオンチップトレースデータ間のブリッジとしての役割を果たします。

出力データストリームによってカプセル化されたトレースソース ID は、TPA（トレースポートアナライザ）によってキャプチャされます。

低コストのデバッグを可能にするため、コアには単純な TPIU（特別バージョンの CoreSight TPIU から構成）が内蔵されています。

図 485. TPIU ブロック図



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

38.17.2 TRACE ピンの割当て

- 非同期モード

  非同期モードは、1 個のピンを追加で必要とし、すべてのパッケージで使用できます。非同期モードは、JTAG モードではなくシリアルワイヤモードを使用する場合にのみ使用できます。

表 303. 非同期 TRACE ピンの割当て

TPIU ピン名	TRACE 同期モード		STM32F4xx ピンの割当て
	タイプ	説明	
TRACESWO	O	TRACE 非同期データ出力	PB3

- 同期モード

  同期モードは、データトレースサイズに応じて 2～6 本のピンを追加で必要とし、大型パッケージでのみ使用できます。さらに、JTAG モードとシリアルワイヤモードでも使用でき、非同期トレースよりも優れた帯域幅出力機能を提供します。

表 304. 同期 TRACE ピンの割当て

TPIU ピン名	TRACE 同期モード		STM32F4xx ピンの割当て
	タイプ	説明	
TRACECK	O	TRACE クロック	PE2
TRACED[3:0]	O	TRACE 同期データ出力 1、2、または 4 とすることができます。	PE[6:3]

TPIU TRACE ピンの割当て

デフォルトでは、これらのピンは割り当てられません。これらのピンを割り当てるには、MCU デバッグコンポーネント設定レジスタの TRACE_IOEN および TRACE_MODE ビットをセットします。この設定はデバッガホストで行う必要があります。

さらに、割り当てるピン数は、トレースの設定（非同期／同期）によって異なります。

- 非同期モード：1 本のピンが追加で必要です。
- 同期モード：データトレースポートレジスタのサイズ（1、2、または 4）に応じて、2～5 本のピンが追加で必要です。
  - TRACECK
  - TRACED(0)、ポートサイズが 1、2、または 4 に設定された場合
  - TRACED(1)、ポートサイズが 2 または 4 に設定された場合
  - TRACED(2)、ポートサイズが 4 に設定された場合
  - TRACED(3)、ポートサイズが 4 に設定された場合

TRACE ピンを割り当てるには、デバッガホストは、デバッグ MCU 設定レジスタ（DBGMCU_CR）の TRACE_IOEN ビットと TRACE_MODE[1:0] ビットをプログラミングする必要があります。デフォルトでは、TRACE ピンは割り当てられません。

このレジスタは、外部 PPB に配置され、PORESET によってリセットされます（システムリセットではありません）。このレジスタは、システムリセット中にデバッガによる書込みができます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 305. 柔軟性の高い TRACE ピン割り当て

DBGMCU_CR レジスタ		ピン割当て：	TRACE IO ピンの割当て					
TRACE_IOEN	TRACE_MODE [1:0]		PB3／JTDO／TRACESWO	PE2／TRACECK	PE3／TRACED[0]	PE4／TRACED[1]	PE5／TRACED[2]	PE6／TRACED[3]
0	XX	トレースなし（デフォルト状態）	解放 (1)					
1	00	非同期トレース	TRACESWO			解放（GPIO として使用可能）		
1	01	同期トレース、1 ビット	解放 (1)	TRACECK	TRACED[0]			
1	10	同期トレース、2 ビット		TRACECK	TRACED[0]	TRACED[1]		
1	11	同期トレース、4 ビット		TRACECK	TRACED[0]	TRACED[1]	TRACED[2]	TRACED[3]

1. シリアルワイヤモードが使用されているときには解除されます。しかし、JTAG が使用されると、JTDO に割り当てられます。

注： デフォルトでは、TPIU の TRACECLKIN 入力クロックは GND に接続されています。このクロックは、TRACE_IOEN ビットがセットされてから 2 クロックサイクル後に HCLK に割り当てられます。

デバッガは、TPIU の SPP_R（選択ピンプロトコル）レジスタの PROTOCOL[1:0] ビットに書き込むことによって、トレースモードをプログラミングする必要があります。

- PROTOCOL=00：トレースポートモード（同期モード）。
- PROTOCOL=01 または 10：シリアルワイヤ（マンチェスタまたは NRZ）モード（非同期モード）。デフォルト状態は 01 です。

次に、TPIU の CPSPS_R（カレント同期化ポートサイズレジスタ）のビット [3:0] に書き込むことによって TRACE ポートサイズも設定します。

- 0x1：1 ピンの場合（デフォルト状態）
- 0x2：2 ピンの場合
- 0x8：4 ピンの場合

38.17.3 TPIU フォーマッタ

フォーマッタプロトコルは、データを 16 バイトフレームで出力します。

- 7 バイトのデータ
- 8 バイトの混合バイトであり、以下の構成になっています。
  - 1 ビット（LSB）：データバイト（”0”）または ID バイト（”1”）を示します。
  - 7 ビット（MSB）：データまたはソース ID トレースの変更とすることができます。
- 1 バイトの補助ビット：各ビットは 8 つの混合バイトのいずれかに対応します。
  - 対応するバイトがデータであった場合、このビットはデータのビット 0 を与えます。
  - 対応するバイトが ID 変更であった場合、このビットはその ID 変更が有効になるタイミングを示します。

注： 詳細については、ARM CoreSight Architecture Specification v1.0（ARM IHI 0029B）を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

38.17.4 TPIU フレーム同期パケット

TPIU は 2 種類の同期パケットを生成できます。

- フレーム同期パケット（フルワード同期パケット）

  これはワード 0x7F_FF_FF_FF（LSB ファーストで発行）から構成されます。ID ソースコード 0x7F が使用されていない場合、このシーケンスは他のタイミングでは発生できません。

  このパケットは、フレーム間で定期的に出力されます。

  連続モードでは、同期フレームが検出されると、TPA がこれらすべてのフレームを破棄する必要があります。

- ハーフワード同期パケット

  これはハーフワード 0x7F_FF（LSB ファーストで発行）から構成されます。

  このパケットはフレーム間またはフレーム内で定期的に出力されます。

  これらのパケットは連続モードでのみ生成され、TPA は TRACE ポートが IDLE モードである（TRACE はキャプチャされない）ことを検出できるようになります。TPA によって検出されたパケットは、破棄する必要があります。

38.17.5 同期フレームパケットの送信

コアの TPIU には、同期カウンタレジスタは実装されていません。したがって、同期トリガは DWT によってのみ生成できます。DWT 制御レジスタ（SYNCTAP[11:10] ビット）と DWT カレント PC サンプラサイクルカウントレジスタの説明を参照してください。

TPIU フレーム同期パケット（0x7F_FF_FF_FF）は次の場合に発行されます。

- 毎回の TPIU リセットの解除後。このリセットは、TRACECLKIN クロックの立ち上がりエッジに同期して解除されます。つまり、DBGMCU_CFG レジスタの TRACE_IOEN ビットがセットされると、このパケットが送信されます。この場合、ワード 0x7F_FF_FF_FF の後に、フォーマットされたパケットは続きません。
- 毎回の DWT トリガ時（DWT は事前に設定されているものとします）。次の 2 つの場合があります。
  - ITM の SYNENA ビットがリセットされた場合、フォーマットされたストリームなしで、ワード 0x7F_FF_FF_FF だけが発行されます。
  - ITM の SYNENA ビットがセットされた場合、TPIU によってフォーマット（トレースソース ID を追加）された ITM 同期パケットが続きます（0x80_00_00_00_00_00）。

38.17.6 同期モード

トレースデータの出力サイズは 4、2、または 1 ピンから選択できます（TRACED[3:0]）。

出力クロックはデバッガに出力されます（TRACECK）。

なお、TRACECLKIN は内部で駆動され、TRACE が使用される場合にのみ HCLK に接続されます。

注： ***同期モードでは、必ずしも安定したクロック周波数を提供する必要はありません。***

TRACE I/O（TRACECK を含む）は TRACLKIN（HCLK と同等）の立ち上がりエッジで駆動されます。したがって、TRACECK の出力周波数は HCLK/2 になります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

38.17.7 非同期モード

これは 1 ピン（非同期出力ピン TRACESWO）のみを使用してトレースを出力する低コストな方法ですが、その帯域幅は制限されます。

SW-DP ピンを使用する場合、TRACESWO ピンは JTDO ピンと多重化されます。このように、この機能はすべての STM32F4xx パッケージで使用できます。

この非同期モードでは、TRACECLKIN に一定の周波数が要求されます。標準的な UART（NRZ）のキャプチャ機構では、5 % の精度が必要です。マンチェスタエンコード方式では、10 % までの誤差が許されます。

38.17.8 STM32F4xx 内部の TRACECLKIN 接続

STM32F4xx では、この TRACECLKIN 入力は内部で HCLK に接続されます。つまり、非同期トレースモードでは、アプリケーションは、CPU 周波数が安定しているタイムフレームのみを使用できます。

注： ***重要：非同期トレースを使用する場合は、以下のことに注意してください。***

STM32F4xx MCU のデフォルトクロックは、内部 RC オシレータです。リセット中の周波数はリセット解除後の周波数とは異なります。これは、RC 較正はシステムリセット中のデフォルト動作であり、システムリセット解除のたびに更新されるからです。

したがって、トレースポートアナライザ（TPA）は、システムリセット中に（TRACE_IOEN ビットによって）トレースを有効にするべきではありません。なぜなら、同期フレームパケットは、リセット解除後に送信されるトレースパケットとは異なるビット時間で発行されるからです。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

38.17.9 TPIU レジスタ

TPIU APB レジスタは、デバッグ例外およびモニタ制御レジスタ（DEMCR）の TRCENA ビットがセットされた場合にのみ読出し／書込みが可能です。そうでない場合、これらのレジスタはゼロとして読み出されます（このビットの出力は TPIU の PCLK を有効にします）。

表 306. 重要な TPIU レジスタ

アドレス	レジスタ	説明
0xE0040004	現在のポートサイズ	トレースポートサイズの選択： ビット 0：ポートサイズ = 1 ビット 1：ポートサイズ = 2 ビット 2：ポートサイズ = 3、サポートされません ビット 3：ポートサイズ = 4 1 ビットのみセットする必要があります。デフォルトでは、ポートサイズは 1 ビットです。（0x00000001）
0xE00400F0	選択ピンプロトコル	トレースポートプロトコルの選択： ビット 1:0= 00：同期トレースポートモード 01：シリアルワイヤ出力 - マンチェスタ（デフォルト値） 10：シリアルワイヤ出力 - NRZ 11：予約済み
0xE0040304	フォーマッタおよびフラッシュ制御	ビット 31-9 = 常に”0” ビット 8 = TrigIn = 常に"1"で、トリガが指定されたことを示します ビット 7-4 = 常に 0 ビット 3-2 = 常に 0 ビット 1 = EnFCont同期トレースモード（Select_Pin_Protocol レジスタのビット 1:0 = 00）では、このビットは強制的に"1"にされ、フォーマッタは自動的に連続モードで有効にされます。非同期モード（Select_Pin_Protocol レジスタのビット 1:0 <> 00）では、このビットの書込みによって、フォーマッタを有効／無効にできます。 ビット 0 = 常に 0 このレジスタのデフォルト値は 0x102 です。 注：同期モードでは、TRACECTL ピンがチップ外に配置されないため、フォーマッタは常に連続モードで有効になります。このように、フォーマッタは、トレースパケットの転送元を識別するための制御パケットを挿入します。
0xE0040300	フォーマッタおよびフラッシュ ステータス	FPU 搭載 Cortex™-M4 では使用されず、常に 0x00000008 が読み出されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

38.17.10 設定例

- デバッグ例外およびモニタ制御レジスタ（DEMCR）の TRCENA ビットをセットします。
- TPIU カレントポートサイズレジスタに希望する値を書き込みます（デフォルトは 0x1 で 1 ビットのポートサイズ）。
- TPIU フォーマッタおよびフラッシュ制御レジスタに 0x102（デフォルト値）を書き込みます。
- TPIU 選択ピンプロトコルレジスタに書き込んで同期／非同期モードを選択します。例：非同期 NRZ モード（UART に類似）の場合は 0x2 を書き込みます。
- DBGMCU 制御レジスタに 0x20（IO_TRACEN ビット）を書き込み、TRACE I/O を非同期モードとします。このとき、TPIU 同期パケット（FF_FF_FF_7F）が発行されます。
- ITM を設定し、ITM スティムラスレジスタに書き込んで値を出力します。

38.18 DBG レジスタマップ

次の表はデバッグレジスタのまとめです。

表 307. DBG レジスタマップとリセット値

アドレス	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0xE004 2000	DBGMCU_IDCODE	REV_ID																予約済み				DEV_ID											
	リセット値 (1)	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X					X	X	X	X	X	X	X	X	X	X	X	X
0xE004 2004	DBGMCU_CR	予約済み											DBG_TIM7_STOP	DBG_TIM6_STOP	DBG_TIM5_STOP	DBG_TIM8_STOP	DBG_I2C2_SMBUS_TIMEOUT	予約済み								TRACE_MODE[1:0]		TRACE_IOEN	予約済み			DBG_STANDBY	DBG_STOP	DBG_SLEEP
	リセット値												0	0	0	0	0									0	0	0				0	0	0
0xE004 2008	DBGMCU_APB1_FZ	予約済み					DBG_CAN2_STOP	DBG_CAN1_STOP	予約済み	DBG_I2C3_SMBUS_TIMEOUT	DBG_I2C2_SMBUS_TIMEOUT	DBG_I2C1_SMBUS_TIMEOUT	予約済み								DBG_IWDG_STOP	DBG_WWDG_STOP	予約済み	DBG_RTC_STOP	DBG_TIM14_STOP	DBG_TIM13_STOP	DBG_TIM12_STOP	DBG_TIM7_STOP	DBG_TIM6_STOP	DBG_TIM5_STOP	DBG_TIM4_STOP	DBG_TIM3_STOP	DBG_TIM2_STOP
	リセット値						0	0	0	0	0	0									0	0		0	0	0	0	0	0	0	0	0	0

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 307. DBG レジスタマップとリセット値（続き）

アドレス	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0xE004 200C	DBGMCU_ APB2_FZ	予約済み													DBG_TIM11_STOP	DBG_TIM10_STOP	DBG_TIM9_STOP	予約済み														DBG_TIM8_STOP	DBG_TIM1_STOP
	リセット値														0	0	0															0	0

1. リセット値は製品に依存します。詳細については、*セクション 38.6.1 : MCU デバイス ID コード*を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

39 デバイス電子署名

電子署名は、フラッシュメモリ領域に格納され、JTAG／SWD または CPU を使用して読み出すことができます。電子署名には、出荷時にプログラミングされた識別データが含まれています。このデータを使用すれば、ユーザファームウェアやその他の外部デバイスは、そのインタフェースを STM32F4xx マイクロコントローラの特性に自動的に整合させることができます。

39.1 ユニークデバイス ID レジスタ（96 ビット）

このユニークデバイス識別子は、以下の用途に最適です。

- シリアル番号（例：USB 文字列シリアル番号やその他のエンドアプリケーション）として使用
- 内部フラッシュメモリをプログラミングする前に、このユニーク ID をソフトウェア暗号プリミティブやプロトコルと組み合わせて使用する際に、フラッシュメモリ内のコードのセキュリティを高めるためのセキュリティキーとして使用
- セキュアなブートプロセスなどの起動

96 ビットのユニークデバイス識別子は、状況やデバイスの違いとは無関係にユニークなリファレンス番号を提供します。ユーザは、これらのビットを変更できません。

96 ビットのユニークデバイス識別子は、さまざまな方法で 1 バイト／ハーフワード／ワード単位で読み出し、カスタムアルゴリズムを使用して連結することもできます。

ベースアドレス：0x1FFF 7A10

アドレスオフセット：0x00

読出し専用　= 0xXXXX XXXX（X は出荷時にプログラミングされます）

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
U_ID(31:0)																															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:0 **U_ID(31:0)**：31:0 ユニーク ID ビット

アドレスオフセット：0x04

読出し専用　= 0xXXXX XXXX（X は出荷時にプログラミングされます）

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
U_ID(63:48)															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
U_ID(47:32)															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:0 **U_ID(63:32)**：63:32 ユニーク ID ビット

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

アドレスオフセット：0x08

読出し専用　= 0xXXXX XXXX（X は出荷時にプログラミングされます）

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
U_ID(95:80)															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
U_ID(79:64)															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:0 **U_ID(95:64)** : 95:64 ユニーク ID ビット

39.2 フラッシュサイズ

ベースアドレス：0x1FFF 7A22

アドレスオフセット：0x00

読出し専用　= 0xXXXX（X は出荷時にプログラミングされます）

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
F_SIZE															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 15:0 F_ID(15:0) : フラッシュメモリサイズ

このビットフィールドは、デバイスのフラッシュメモリサイズを KB 単位で示します。
たとえば、0x0400 は 1024 KB に対応します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

改版履歴

表 308. 改版履歴

日付	バージョン	変更内容
2011 年 9 月 15 日	1	初版リリース。
2012 年 10 月 19 日	2	リファレンスマニュアルを更新し、表紙に *表 1：適用製品*を追加。 メモリ： *セクション 2.3.1：内蔵 SRAM* を更新。 PWR： *図 7：電源の概要*の VDDA および VREF+ デカップリングコンデンサを更新。 *セクション 5.1.2：バッテリバックアップドメイン*で外部バッテリがない場合を更新。 *セクション 5.4.3：PWR 電源制御／ステータスレジスタ（PWR_CSR）*で、VOSRDY ビットを読出し専用に変更。 *セクション 5.2.3：プログラマブル電圧検出器（PVD）*から VDDA を削除し、PVDO ビットの説明（*セクション 5.4.3：PWR 電源制御／ステータスレジスタ（PWR_CSR）*）から VDDA を削除。 RCC： *図 20：簡略化されたリセット回路図*および内部リセットリソースに制限されたパルス発生回路によって保証される最低リセットパルス期間を更新。 **GPIO：** *セクション 8.3.1：汎用 I/O（GPIO）*を更新。
2012 年 10 月 19 日	2（続き）	DMA： *セクション 10.2：DMA の主な機能*でダイレクトモードの説明を更新。 *セクション：“メモリからペリフェラル”モード*、および*セクション 10.3.12：FIFO／：ダイレクトモード*でダイレクトモードの説明を更新。 *セクション 10.5：DMA レジスタ*のレジスタアクセスを更新。 *表 43：DMA1 リクエストマッピング*のストリーム2／チャネル2を変更。 *セクション 10.5.5：DMA ストリーム x 設定レジスタ（DMA_SxCR）（x=0..7）*に EN ビットに関する注を追加。*セクション 10.5.6：DMA ストリーム x データ数レジスタ（DMA_SxNDTR）（x=0..7）*で NDT[15:0] ビットの定義を更新。 割込み： *セクション 12.1.1：NVIC 機能* でマスク可能な割込み数を 82 に更新。 *セクション 12.2：外部割り込み／イベントコントローラ（EXTI）*を更新。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 308. 改版履歴

日付	バージョン	変更内容
2012 年 10 月 19 日	2（続き）	ADC： *セクション 13.5：チャネルごとにプログラム可能なサンプリング時間*で ADCCLK 周波数を 30 MHz に変更。 *セクション 13.8.1: DMA の利用*および *セクション 13.8.2: DMA を使用しない変換シーケンスの管理* に ADC シーケンスからの復帰を追加。 *セクション 13.13.2：ADC 制御レジスタ 1（ADC_CR1）* の AWDIE を更新。 *セクション 13.13：ADC レジスタ* に読出し／書込みアクセスを追加。 **高機能制御タイマ（TIM1 および TIM8）：** *セクション 17.2：TIM1およびTIM8の主な機能* で 16 ビットプリスケーラ範囲を更新。 *図 114：キャプチャ/比較チャネル（チャネル 1 から 3）の出力ステージ* の OC1 ブロック図を更新。 *セクション 17.3.2：カウンタモード*および *セクション 17.3.3：繰り返しカウンタ*の*アップカウントモード* および *ダウンカウントモード* で更新イベント生成を更新。 *セクション 17.3.11：相補出力とデッドタイム挿入*でデッドタイムの生成を制御するビットを更新。 *セクション 17.3.12：ブレーク機能の使用* でブレークを生成する方法を更新。 *セクション 17.3.13：外部イベントによる OCxREF 信号のクリア*の例で OCxREF を ETR に変更し、 *図 124：TIMx OCxREF のクリア動作* のOCREF_CLR を ETRF に変更。 *セクション 17.3.16：エンコーダインタフェースモード* エンコーダインタフェースモードにおけるカウンタの例を更新。 *セクション 17.4：TIM1 および TIM8 レジスタ*にレジスタアクセスを追加。 *セクション 17.4.12: TIM1 および TIM8 自動再ロードレジスタ（TIMx_ARR）* で ARR[15:0] ビットの定義を変更。 *セクション 17.4.18: TIM1 および TIM8 ブレークおよびデッドタイムレジスタ（TIMx_BDTR）* で BKE の定義を更新。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 308. 改版履歴

日付	バージョン	変更内容
2012 年 10 月 19 日	2（続き）	**汎用タイマ（TIM2 から TIM5）：** 繰り返しカウンタへのリファレンスをすべて削除。 *図 134：汎用タイマのブロック図* を追加。 *セクション 18.2：TIM2 から TIM5 の主な機能* で 16 ビットプリスケーラ範囲を更新。 *セクション 18.3.3: クロック選択* および *セクション 18.3.6: PWM 入力モード* で外部クロックモード 2 ETRを TIM2 から TIM4 に制限。 *セクション 18.3.9：PWM モード* および *セクション 18.3.11：外部イベントによる OCxREF 信号のクリア* を更新。 *図 174：マスタ／スレーブタイマの例* を更新して ITR1 を ITR0 に変更。 *セクション 18.4：TIM2 から TIM5 のレジスタ* でレジスタの読出し／書込みアクセスを更新。 *セクション 14.4.3.* で *表 97：TIMx 内部トリガ接続* と、TIMx_SMCR の ビット 15 から 8 を復元。 *セクション 18.4.13：TIMx キャプチャ／比較レジスタ 1（TIMx_CCR1）* の OC1M ビットに関する注 1 を削除。 *セクション 18.4.9：TIMx キャプチャ／比較イネーブルレジスタ（TIMx_CCER）* TIM2 から TIM5 に対する TIMx_CCER ビットの説明を更新。 **汎用タイマ（TIM9 から TIM14）：** *セクション 19.2.1：TIM9/TIM12 の主な機能* および *セクション 19.2.2：TIM10/TIM11 およびTIM13/TIM14の主な機能* で 16 ビットプリスケーラ範囲を更新。 *図 181：汎用タイマのブロック図（TIM10/11/13/14）* を更新して TRGO トリガコントローラ出力を削除。 *セクション 19.4：TIM9 および TIM12 のレジスタ* および *セクション 19.5：TIM10/11/13/14 のレジスタ* レジスタアクセスを追加。 **基本タイマ（TIM6 および TIM7）：** 繰り返しカウンタへのリファレンスをすべて削除。 *セクション 20.2：TIM6 および TIM7 の主な機能* で 16 ビットプリスケーラ範囲を更新。 HASH： *セクション 25.3.1：処理時間* を更新。 RNG： *セクション 24.1：RNG の概要* を更新。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 308. 改版履歴

日付	バージョン	変更内容
2012 年 10 月 19 日	2（続き）	RTC： *図 237：RTC のブロック図* を更新。 *図 26.3.1：クロックとプリスケーラ* に fck_apre を計算する公式を追加。 *セクション 26.3.9：RTC 基準クロック検出* を更新。 *セクション ：RTC レジスタ書き込み保護* を更新。 *セクション 26.3.6：カレンダの読み出し*に RTC_SSR シャドーレジスタを追加。 *セクション 26.6.7：RTC 較正レジスタ（RTC_CALIBR）* で DC[4:0] ビットの説明を更新。 *表 120： RTC レジスタマップとリセット値* で RTC_BKxR の名前を RTC_BKPxR に変更。 パワーオンリセット値を追加し、リセット値をシステム *セクション 26.6.11：RTC サブセカンドレジスタ（RTC_SSR）*リセット値に変更。 *セクション 26.6.17：RTC タンパおよびオルタネート機能設定レジスタ（RTC_TAFCR）* で ALARMOUTTYPE の定義を更新。 I2C： *セクション 27.3.8：DMA リクエスト*を変更。 *セクション 27.6.3：I2C 自己アドレスレジスタ 1（I2C_OAR1）*でビット 14 の説明を更新。 PE ビットの定義と SWRST ビットに関する注を更新。 *セクション 27.6.1：I2C 制御レジスタ 1（I2C_CR1）* STOP ビットに関する注をレジスタ全体に移動。 **USART**： *セクション 30.6.6：制御レジスタ 3（USART_CR3）*： DMAT および DMAR の説明の UART5 に関する注を削除。 *表 141：プログラミングされたボーレートの誤差計算（fPCLK = 42 MHz または fPCLK = 84 Hz）、16 倍のオーバーサンプリング* と *表 142：プログラミングされたボーレートの誤差計算（fPCLK = 42 MHz または fPCLK = 84 MHz）、8 倍のオーバーサンプリング* を更新。 **SPI/I2S**： *セクション 28.1：SPI の概要* を更新。 I2S 単方向通信／モードを半二重通信／モードに変更。*セクション 28.2.2：I2S の機能* で受信／送信モードのフラグを更新。*表 127：I2S 割り込みリクエスト* にフレームエラーフラグを追加。 *セクション 28.5：SPI レジスタと I2S レジスタ*にレジスタアクセスを追加。 *セクション 28.5.2：SPI 制御レジスタ 2（SPI_CR2）*で ERRIE の定義を更新。 *セクション 28.5.3：SPI ステータスレジスタ（SPI_SR）* で TIFRFE の名前を FRE に変更し、定義を更新。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 308. 改版履歴

日付	バージョン	変更内容
2012 年 10 月 19 日	2（続き）	**SDIO：** *表 175：R4 レスポンス*でビット [45:40] と [7:1] の値と説明を更新。*表 177：R5 レスポンス*でビット [45:40] の値を更新。 **CAN：** *図 335：デュアル CAN ブロック図* を更新。 *セクション ：CAN フィルタマスタレジスタ（CAN_FMR）* の CAN2SB ビットの定義を変更。 *セクション 32.9：CAN レジスタ* にレジスタアクセスを追加。 **ETHERNET：** *セクション 33.1：イーサネットの概要* および *セクション 33.2.1：MAC コア機能*で高精度ネットワーク化クロック同期の基準を更新。 *セクション ：イーサネット MAC MII アドレスレジスタ（ETH_MACMIIAR）* で CR ビットの定義を更新。 *表 191：ソースアドレスフィルタリング* の RTPR を PM ビットで置換。 **USB OTG FS** *セクション ：サスペンド状態* でリモートウェークアップ信号ビットおよび再開 割込みの更新。 *セクション 34.16：OTG_FS 制御／ステータスレジスタ*にペリフェラルレジスタアクセスを追加。 OTG_FS_DIEPTXFx の INEPTXSA の説明を更新。 OTG_FS_GUSBCFG レジスタの PHYSEL をビット 7 からビット 6 に変更。 **USB OTG HS** *セクション ：サスペンド状態* でリモートウェークアップ信号ビットおよび再開。 割込みの更新。 *セクション 35.12：OTG_HS 制御／ステータスレジスタ*にペリフェラルレジスタアクセスを追加。 OTG_HS_CID リセット値を更新。 OTG_HS_DIEPTXFx の INEPTXSA の説明を更新。 *セクション ：OTG_HS ホスト設定レジスタ（OTG_HS_HCFG）* で LS ホストモードの FSLSPCS を更新し、PHYSEL を追加。 OTG_HS_GUSBCFG レジスタの PHYSEL の名前を PHSEL に変更し、ビット 7 からビット 6 に変更。 OTG_HS_DIEPEACHMSK1 および OTG_HS_DOEPEACHMSK1 リセット値を更新。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 308. 改版履歴

日付	バージョン	変更内容
2012 年 10 月 19 日	2（続き）	**FSMC：** *セクション 36.3.1：サポートされるメモリおよびトランザクション* のステップ b）を更新。 *表 196：FSMC_BTRx ビットフィールド* を更新。 *表 239：プログラマブル NAND/PC カードアクセスパラメータ*の最小クロック分周比を変更。 *セクション 36.5：NOR 型フラッシュ/PSRAM コントローラ* で同期アクセスの場合を更新。 *表 203*、*表 206*、*表 207*、*表 209*、および*表 210* の ADDSET の最小値を 0 に変更。 *図 434：モード 1 書き込みアクセス* および*図 433：モード 1 読み出しアクセス*から注を削除。*図 436：モード A 書き込みアクセス* から*図 435：モード A 読み出しアクセス*まで削除。 *セクション ：非同期アクセスにおけるウェイト管理* を更新。 *セクション 36.5.6：NOR/PSRAM 制御レジスタ* および*セクション 36.6.2：NAND 型フラッシュ/PC カードによってサポートされるメモリおよびトランザクション*にレジスタアクセスを追加。 *セクション 36.6.1：外部メモリインタフェース信号* の注意／注を削除。 *表 242：16 ビット PC カード*を更新。 *セクション 36.6.4：NAND フラッシュ動作*のステップ 3 を更新。 *セクション 36.6.5：NAND 型フラッシュのプリウェイト機能*の*図 452："CE don't care" でない NAND 型フラッシュへのアクセス*およびその下の注を更新。 *セクション 36.6.7：PC カード/コンパクトフラッシュの動作* の I/O 領域へのアクセスを更新。*表 244：16 ビット PC- カード信号とアクセスタイプ* を更新。*セクション ：SRAM/NOR 型フラッシュチップセレクトタイミングレジスタ 1..4（FSMC_BTR1..4）* の BUSTURN の定義を。ビット 16 から 19 を BUSTURN に変更。*セクション ：SRAM/NOR 型フラッシュ書き込みタイミングレジスタ 1..4（FSMC_BWTR1..4）* **DEBUG：** *セクション 38.4.3：JTAG ピンでの内部プルアップ／プルダウン* を更新。 **電子署名** *セクション 39：デバイス電子署名* の概要を更新。 *セクション 33.6.1：MCU デバイス ID コード* で REV_ID[15:0] を更新して Z 版を追加。. *セクション 39.2：フラッシュサイズ*でアドレスと例を更新。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 308. 改版履歴

日付	バージョン	変更内容
2012 年 11 月 13 日	3	STM32F42x および STM32F43x デバイスを追加。 表紙のフラッシュプログラミングマニュアルのリファレンスを削除。*セクション 2.3.2：フラッシュメモリ概要* および*セクション 3：エンベデッドフラッシュメモリインタフェース*を追加。 *セクション 8.3.2：I/O ピンマルチプレクサとマッピング* で RTC_50Hz を RTC_REFIN に変更。*セクション 8：汎用 I/O（GPIO）*および*セクション 26：リアルタイムクロック（RTC）* で RTC オルタネート機能の命名規則を変更。 *セクション 26.3.1：クロックとプリスケーラ* の最大入力周波数を更新。 *セクション 10.5.3：DMA ロー割り込みフラグクリアレジスタ（DMA_LIFCR）*および *セクション 10.5.4： DMA ハイ割り込みフラグクリアレジスタ（DMA_HIFCR）* でビットアクセスタイプを“rw”から“w”に変更し、ビット説明を更新。 *図 18：入力キャプチャモードにおける TIM5 を使用した周波数測定*を更新。 *セクション ：信号の同期*で *セクション 36：フレキシブルスタティックメモリコントローラ（FSMC）* を更新。 *セクション 34：USB On-The-Go FS（OTG_FS）*：*セクション 図 388.：USB ホスト専用接続*、*セクション ：VBUS 有効*、および*セクション ：ペリフェラル接続のホスト検出* を更新。 *セクション 35：USB On-The-Go ハイスピード（OTG_HS）*：*セクション ：VBUS 有効*および*セクション ：ペリフェラル接続のホストからの検出* を更新。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 308. 改版履歴

日付	バージョン	変更内容
2013 年 2 月 19 日	4	*セクション 2.3.1：内蔵 SRAM*を更新。 *図 1：システムアーキテクチャ（STM32F405xx/07xx および STM32F415xx/17xx デバイス）*および*図 2：システムアーキテクチャ（STM32F42xxx および STM32F43xxx デバイス）*を更新。*表 4：メモリ割当てとブートモード／物理的な再割当て*を更新。*図 5：連続 32 ビット命令の実行* を更新。*図 5：連続 32 ビット命令の実行* および*表 13：プログラム／消去の並列処理* から注 1 を削除。 PWR： *図 7：電源の概要* を更新。 *セクション 5.1.3：電圧レギュレータ* を更新。 *セクション 5.5.1：PWR 電源制御レジスタ（PWR_CR）（STM32F42xxx および STM32F43xxx 用）*に ADCDC1 ビットを追加。 SYSCFG： *セクション 8.2.3：STM32F42xxx および STM32F43xxx 用 SYSCFG ペリフェラルモード設定レジスタ（SYSCFG_PMC）*に ADCxDC2 ビットを追加。 ADC： *セクション 13.9.3：インタリーブモード*、*セクション 13.9.4：オルタネートトリガモード*、および*セクション 13.9.5：レギュラ／インジェクト同時モードの組み合わせ*を更新して割込み変換の場合を説明。 *セクション ：温度センサ、VREFINT および VBAT 内部チャネル*、*セクション 13.10：温度センサ*、および*セクション 13.11：バッテリ充電監視*を更新。 RTC： *セクション 26.6.20： RTC バックアップレジスタ（RTC_BKPxR）* で BKP[31:0] ビットの説明を更新。 I2C： *セクション 27.3.5：プログラマブルノイズフィルタ*を更新。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 308. 改版履歴

日付	バージョン	変更内容
2013 年 2 月 19 日	4（続き）	FSMC : *セクション 36.1 : FSMC の主な機能* で書込み FIFO サイズを更新。 *図 431 : FSMC のブロック図* を更新。 *セクション 36.5.4 : NOR 型フラッシュ /PSRAM コントローラ非同期トランザクション* を更新。 *セクション : モード 2/B - NOR 型フラッシュ*でモード B とモード 1 の違いを変更。 *セクション : モード C - NOR 型フラッシュ - OE トグリング* でモード C とモード 1 の違いを変更。 *セクション : モード D - 拡張アドレスによる非同期アクセス*でモード D とモード 1 の違いを変更。 *図 446 : 読み出しアクセス中の非同期ウェイト*、*図 447 : 書き込みアクセス中の非同期ウェイト*、*図 448 : ウェイト構成*、*図 449 : 同期マルチプレクス読み出しモード - NOR、PSRAM （CRAM）*、および*図 450 : 同期マルチプレクス書き込みモード - PSRAM （CRAM）* で NWAIT 信号を更新。 *表 195* から*表 214* を更新。 *セクション : SRAM/NOR 型フラッシュチップセレクト制御レジスタ 1..4 （FSMC_BCR1..4）* を更新。 DEBUG *図 482 : STM32 MCU と FPU 搭載 Cortex™-M4 レベルのデバッグサポートのブロック図*を更新。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 308. 改版履歴

日付	バージョン	変更内容
2013 年 9 月 13 日	5	STM32F429xx および STM32F439xx 部品番号を追加。 FSMC を FMC で置換し、Chrom-ART アクセラレータ、LCD-TFT および SAI インタフェースを追加。 *図 2：システムアーキテクチャ（STM32F42xxx および STM32F43xxx デバイス）*を更新。 PWR： *セクション 5.2.2：ブラウンアウトリセット（BOR）*を更新。 *セクション 5.3.4：STOP モード（STM32F405xx/07xx および STM32F415xx/17xx）*および*セクション 5.3.5：STOP モード（STM32F42xxx および STM32F43xxx）*の STOP モードの開始セクションに CSS 有効化に関する注を追加。*表 28* および*表 30* の STOP モードの開始を更新。 PWR_CSR レジスタの WUF ビットの定義を更新。PWR_CR レジスタの CWUF および CSBF のアクセスタイプを”w”に変更。 RCC：RCC_BDCR レジスタの LSEBYP ビットの定義を更新。 GPIO： OSPEEDR ビットの説明を更新。OSPEEDR ビットの説明から周波数の値を削除。誤記を修正：「GPIOx_IDR」レジスタの「IDRy[15:0]」を「IDRy」に変更。「GPIOx_ODR」レジスタの「ODRy[15:0]」を「ODRy」に変更。「GPIOx_OTYPER」レジスタの「OTy[1:0]」を「OTy」に変更。 DCMI：*セクション 15.4：DCMI クロック*を更新。 IWDG：*図 213：独立型ウォッチドッグのブロック図*を訂正。 RTC： 「パワーオンリセット」をすべて「バックアップドメインリセット」に置換。*表 120: RTC レジスタマップとリセット値*の下に注意／注を追加。*セクション 26.6.4：RTC 初期化とステータスレジスタ（RTC_ISR）*で SHPF ビットタイプを”r”に変更。 SPI：*セクション 28.5.2：SPI 制御レジスタ 2（SPI_CR2）*で ERRIE ビットの定義を更新。 UART： *セクション 30.3.8：LIN（local interconnection network）モード*を更新。 *セクション 30.3.13：DMA を使用した連続通信*の注を削除。 ETHERNET： ETH_MACA0HR（および ETH_DMABMR）リセット値を変更。 ETH_MACSR, の TSTS ビットおよび ETH_PTPTSSR の TSTTR の定義を更新。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 308. 改版履歴

日付	バージョン	変更内容
2013 年 9 月 13 日	5（続き）	USB OTG-FS： *図 386：OTG A-Bデバイス接続*および*図 387：USBペリフェラル専用接続*の下にある VDD 範囲制限に関する注を削除。 FSMC： *表 222*、*表 225*、*表 228*、*表 232* を更新。 セクション全体で、DATALAT をすべて DATLAT に、SRAM／CRAM をすべて SRAM／PSRAM に置換。 *セクション 36.1：FSMC の主な機能* を更新。FSMC_BWTR1..4 のビット 27 から 20 を予約済みに変更。 *セクション 36.6.7：PC カード/コンパクトフラッシュの動作* を更新。 *表 224*、*表 225*、*表 226*、*表 229*、*表 232*、*表 235*、*表 238*、および*表 242* の WREN ビットを更新。 *セクション 36.5.4：NOR 型フラッシュ/PSRAM コントローラ非同期トランザクション*、*セクション ：SRAM/NOR 型フラッシュチップセレクト制御レジスタ 1..4（FSMC_BCR1..4）*、*セクション ：SRAM/NOR 型フラッシュチップセレクトタイミングレジスタ 1..4（FSMC_BTR1..4）*および*セクション ：SRAM/NOR 型フラッシュ書き込みタイミングレジスタ 1..4（FSMC_BWTR1..4）*を更新。 *セクション ：PC カード/NAND 型フラッシュ制御レジスタ 2..4（FSMC_PCR2..4）* で PWID の定義を更新。 FMC： *セクション ：SDRAM タイミングレジスタ 1、2（FMC_SDTR1、2）* で TRDC の定義を更新。 DEBUG：*図 484：JTAG TAP 接続* を更新。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

索引

A

ADC_CCR 435
ADC_CDR 437
ADC_CR1 422
ADC_CR2 424
ADC_CSR 433
ADC_DR 432
ADC_HTR 428
ADC_JDRx 432
ADC_JOFRx 428
ADC_JSQR 431
ADC_LTR 429
ADC_SMPR1 427
ADC_SMPR2 427
ADC_SQR1 429
ADC_SQR2 430
ADC_SQR3 430
ADC_SR 421

C

CAN_BTR 1117
CAN_ESR 1116
CAN_FA1R 1127
CAN_FFA1R 1126
CAN_FiRx 1128
CAN_FM1R 1126
CAN_FMR 1125
CAN_FS1R 1126
CAN_IER 1114
CAN_MCR 1107
CAN_MSR 1109
CAN_RDHxR 1124
CAN_RDLxR 1124
CAN_RDTxR 1123
CAN_RF0R 1113
CAN_RF1R 1114
CAN_RIxR 1122
CAN_TDHxR 1121
CAN_TDLxR 1121
CAN_TDTxR 1120
CAN_TIxR 1119
CAN_TSR 1110
CRC_DR 112
CRC_IDR 113
CRYP_CR 749, 752
CRYP_DIN 756
CRYP_DMACR 758
CRYP_DOUT 757
CRYP_IMSCR 758
CRYP_IV0LR 762
CRYP_IV0RR 762
CRYP_IV1LR 763
CRYP_IV1RR 763
CRYP_K0LR 760
CRYP_K0RR 760
CRYP_K1LR 760
CRYP_K1RR 761
CRYP_K2LR 761
CRYP_K2RR 761
CRYP_K3LR 761
CRYP_K3RR 761
CRYP_MISR 759
CRYP_RISR 759
CRYP_SR 755

D

DAC_CR 454
DAC_DHR12L1 458
DAC_DHR12L2 460
DAC_DHR12LD 461
DAC_DHR12R1 458
DAC_DHR12R2 459
DAC_DHR12RD 461
DAC_DHR8R1 459
DAC_DHR8R2 460
DAC_DHR8RD 462
DAC_DOR1 462
DAC_DOR2 463
DAC_SR 463
DAC_SWTRIGR 457
DBGMCU_APB1 1716
DBGMCU_APB2_FZ 1718
DBGMCU_CR 1715
DBGMCU_IDCODE 1700
DCMI_CR 476
DCMI_CWSIZE 485
DCMI_CWSTRT 485
DCMI_DR 486
DCMI_ESCR 483
DCMI_ESUR 484
DCMI_ICR 482
DCMI_IER 480
DCMI_MIS 481
DCMI_RIS 479
DCMI_SR 478

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

DMA_HIFCR 329
DMA_HISR 327
DMA_LIFCR 328
DMA_LISR 326
DMA_SxCR 330
DMA_SxFCR 335
DMA_SxM0AR 334
DMA_SxM1AR 335
DMA_SxNDTR 333
DMA_SxPAR 334

E

ETH_DMABMR 1236
ETH_DMACHRBAR 1250
ETH_DMACHRDR 1249
ETH_DMACHTBAR 1249
ETH_DMACHTDR 1249
ETH_DMAIER 1246
ETH_DMAMFBOCR 1248
ETH_DMAOMR 1243
ETH_DMARDLAR 1239
ETH_DMARPDR 1239
ETH_DMARSWTR 1248
ETH_DMASR 1240
ETH_DMATDLAR 1240
ETH_DMATPDR 1238
ETH_MACA0HR 1219
ETH_MACA0LR 1219
ETH_MACA1HR 1220
ETH_MACA1LR 1220
ETH_MACA2HR 1221
ETH_MACA2LR 1221
ETH_MACA3HR 1222
ETH_MACA3LR 1222
ETH_MACCR 1204
ETH_MACDBGR 1216
ETH_MACFCR 1211
ETH_MACFFR 1207
ETH_MACHTHR 1209
ETH_MACHTLR 1209
ETH_MACIMR 1218
ETH_MACMIIAR 1210
ETH_MACMIIDR 1211
ETH_MACPMTCSR 1215
ETH_MACRWUFFR 1214
ETH_MACSR 1217
ETH_MACVLANTR 1213
ETH_MMCCR 1223
ETH_MMCRFAECR 1228
ETH_MMCRFCECR 1228
ETH_MMCRGUFCR 1228
ETH_MMCRIMR 1225
ETH_MMCRIR 1224
ETH_MMCTGFCR 1227
ETH_MMCTGFMSCCR 1227
ETH_MMCTGFSCCR 1227
ETH_MMCTIMR 1226
ETH_MMCTIR 1225
ETH_PTPPPSCR 1235
ETH_PTPSSIR 1231
ETH_PTPTSAR 1233
ETH_PTPTSCR 1229
ETH_PTPTSHR 1232
ETH_PTPTSHUR 1232
ETH_PTPTSLR 1232
ETH_PTPTSLUR 1233
ETH_PTPTSSR 1235
ETH_PTPTTHR 1234
ETH_PTPTTLR 1234
EXTI_EMR 387
EXTI_FTSR 388
EXTI_IMR 387
EXTI_PR 389
EXTI_RTSR 388
EXTI_SWIER 389

F

FLITF_FCR 102-103
FLITF_FKEYR 98
FLITF_FOPTCR 105-106, 108
FLITF_FOPTKEYR 99
FLITF_FSR 100-101
FSMC_BCR1..4 . . . . . .1589, 1652
FSMC_BTR1..4 . . . . . .1592, 1654
FSMC_BWTR1..4 . . . . . .1594, 1656

G

GPIOx_AFRH 285
GPIOx_AFRL 284
GPIOx_BSRR 282
GPIOx_IDR 281
GPIOx_LCKR 283
GPIOx_MODER 279
GPIOx_ODR 281
GPIOx_OSPEEDR 280
GPIOx_OTYPER 279
GPIOx_PUPDR 280

H

HASH_CR 785, 788
HASH_CSRx 797

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

HASH_DIN 791
HASH_HR0 793
HASH_HR1 793-794
HASH_HR2 794-795
HASH_HR3 794
HASH_HR4 794
HASH_IMR 795
HASH_SR 796
HASH_STR 792

I

I2C_CCR 875
I2C_CR1 863
I2C_CR2 865
I2C_DR 868
I2C_OAR1 867
I2C_OAR2 867
I2C_SR1 869
I2C_SR2 873
I2C_TRISE 876
IWDG_KR 709
IWDG_PR 710
IWDG_RLR 710
IWDG_SR 711

O

OTG_FS_CID 1306, 1445
OTG_FS_DAINT 1324, 1466
OTG_FS_DAINTMSK 1325, 1466
OTG_FS_DCFG 1319
OTG_FS_DCTL 1320, 1461
OTG_FS_DIEPCTL0 1327
OTG_FS_DIEPEMPMSK 1326, 1469
OTG_FS_DIEPINTx 1335, 1479
OTG_FS_DIEPMSK 1322, 1464
OTG_FS_DIEPTSIZ0 . . . . . .1337, 1482
OTG_FS_DIEPTSIZx 1339, 1484
OTG_FS_DIEPTXFx 1308, 1446
OTG_FS_DOEPCTL0 . . . . . .1331, 1475
OTG_FS_DOEPCTLx 1332, 1476
OTG_FS_DOEPINTx 1336, 1481
OTG_FS_DOEPMSK 1323, 1465
OTG_FS_DOEPTSIZ0 . . . . . .1338, 1483
OTG_FS_DOEPTSIZx 1340, 1485
OTG_FS_DSTS 1321, 1463
OTG_FS_DTXFSTSx 1340, 1485
OTG_FS_DVBUSDIS 1325, 1467
OTG_FS_DVBUSPULSE 1326, 1467
OTG_FS_GAHBCFG 1289, 1424
OTG_FS_GCCFG 1305, 1444
OTG_FS_GINTMSK 1299, 1436
OTG_FS_GINTSTS 1295, 1431
OTG_FS_GNPTXFSIZ 1304, 1441
OTG_FS_GNPTXSTS 1304, 1442
OTG_FS_GOTGCTL 1285, 1421
OTG_FS_GOTGINT 1287, 1423
OTG_FS_GRSTCTL 1292, 1428
OTG_FS_GRXFSIZ 1303, 1440
OTG_FS_GRXSTSP 1302, 1439
OTG_FS_GRXSTSR 1302, 1439
OTG_FS_GUSBCFG 1290, 1425
OTG_FS_HAINT 1311, 1450
OTG_FS_HAINTMSK 1312, 1450
OTG_FS_HCCHARx 1315, 1453
OTG_FS_HCFG 1308, 1446
OTG_FS_HCINTMSKx 1317, 1457
OTG_FS_HCINTx 1316, 1456
OTG_FS_HCTSIZx 1318, 1458
OTG_FS_HFIR 1309, 1447
OTG_FS_HFNUM 1310, 1448
OTG_FS_HPRT 1312, 1451
OTG_FS_HPTXFSIZ 1307, 1445
OTG_FS_HPTXSTS 1310, 1448
OTG_FS_PCGCCTL 1341, 1487
OTG_HS_D 各 INTMSK 1470
OTG_HS_DCFG 1459
OTG_HS_DIEPDMAx 1486
OTG_HS_DOEPDMAx 1486
OTG_HS_DTHRCTL 1468
OTG_HS_HCSPLTx 1455

P

PWR_CR 138, 141
PWR_CSR 139, 144

R

RCC_AHB1ENR 177, 238
RCC_AHB1LPENR 186, 248
RCC_AHB1RSTR 168, 229
RCC_AHB2ENR 179, 240
RCC_AHB2LPENR 189, 250
RCC_AHB2RSTR 171, 232
RCC_AHB3ENR 180, 241
RCC_AHB3LPENR 190, 251
RCC_AHB3RSTR 172, 233
RCC_APB1ENR 180, 241
RCC_APB1LPENR 190, 252
RCC_APB1RSTR 172, 233
RCC_APB2ENR 184, 244, 246
RCC_APB2LPENR 193, 255
RCC_APB2RSTR 175, 236
RCC_BDCR 195, 257

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

RCC_CFGR 163, 224
RCC_CIR 165, 226
RCC_CR 159, 220
RCC_CSR 196, 258
RCC_PLLCFGR 161, 199, 201, 222, 261
RCC_SSCGR 198, 260
RNG_CR 771
RNG_DR 772
RNG_SR 771
RTC_ALRMAR 827
RTC_ALRMBR 828
RTC_ALRMBSSR 837
RTC_BKxR 838
RTC_CALIBR 826
RTC_CALR 833
RTC_CR 820
RTC_DR 819
RTC_ISR 822
RTC_PRER 824
RTC_SHIFTR 830
RTC_SSR 829
RTC_TR 818
RTC_TSDR 832
RTC_TSSSR 832
RTC_TSTR 831
RTC_WPR 829
RTC_WUTR 825

S

SDIO_CLKCR 1070
SDIO_DCOUNT 1076
SDIO_DCTRL 1075
SDIO_DLEN 1074
SDIO_DTIMER 1074
SDIO_FIFO 1084
SDIO_FIFOCNT 1083
SDIO_ICR 1078
SDIO_MASK 1080
SDIO_POWER 1069
SDIO_RESPCMD 1073
SDIO_RESPx 1073
SDIO_STA 1077
SPI_CR1 923
SPI_CR2 925
SPI_CRCPR 929
SPI_DR 928
SPI_I2SCFGR 931
SPI_I2SPR 932
SPI_RXCRCR 930
SPI_SR 927
SPI_TXCRCR 930
SYSCFG_EXTICR1 . . . . . .291, 297
SYSCFG_EXTICR2 . . . . . .291, 298
SYSCFG_EXTICR3 . . . . . .292, 299
SYSCFG_EXTICR4 . . . . . .292, 300
SYSCFG_MEMRMP 289, 294

T

TIM2_OR 649
TIM5_OR 650
TIMx_ARR 644, 683, 692, 705
TIMx_BDTR 584
TIMx_CCER 578, 642, 682, 691
TIMx_CCMR1 . . . . . .573, 638, 679, 688
TIMx_CCMR2 . . . . . .576, 641
TIMx_CCR1 . . . . . .582, 645, 684, 693
TIMx_CCR2 . . . . . .583, 645, 684
TIMx_CCR3 . . . . . .583, 646
TIMx_CCR4 . . . . . .584, 646
TIMx_CNT 581, 644, 683, 692, 704
TIMx_CR1 . . . . . .562, 628, 672, 686, 701
TIMx_CR2 . . . . . .563, 630, 703
TIMx_DCR 586, 647
TIMx_DIER 568, 634, 675, 703
TIMx_DMAR 587, 647
TIMx_EGR 571, 637, 677, 688, 704
TIMx_PSC 581, 644, 683, 692, 705
TIMx_RCR 582
TIMx_SMCR 566, 631, 674
TIMx_SR 570, 635, 676, 687, 704

U

USART_BRR 1020
USART_CR1 1021
USART_CR2 1023
USART_CR3 1024
USART_DR 1020
USART_GTPR 1026
USART_SR 1017

W

WWDG_CFR 718
WWDG_CR 717
WWDG_SR 718

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

参考資料

重要なお知らせ（よくお読み下さい）

STMicroelectronics NV およびその子会社（以下、ST）は、ST製品及び本書の内容をいつでも予告なく変更、修正、改善、改定及び改良する権利を留保します。購入される方は、発注前にST製品に関する最新の関連情報を必ず入手してください。ST 製品は、注文請書発行時点で有効なST の販売条件に従って販売されます。

ST製品の選択並びに使用については購入される方が全ての責任を負うものとします。購入される方の製品上の操作や設計に関してST は一切の責任を負いません。

明示又は黙示を問わず、STは本書においていかなる知的財産権の実施権も許諾致しません。

本書で説明されている情報とは異なる条件でST 製品が再販された場合、その製品についてSTが与えたいかなる保証も無効となります。

ST およびST ロゴはSTMicroelectronics の商標です。その他の製品またはサービスの名称は、それぞれの所有者に帰属します。

本書の情報は本書の以前のバージョンで提供された全ての情報に優先し、これに代わるものです。

ST の販売条件に規定される場合を除き、STは、商品性、特定目的への適合性(その他管轄の如何を問わず法律で認められる同等のもの)、若しくは特許権、著作権その他の知的財産権の侵害に関する黙示の保証を含め、ST 製品の使用または販売に関する明示または黙示の保証をすべて放棄します。

ST製品は、(A) 生命維持装置、能動型埋め込み機器、若しくは機能安全要件を備える装置などの安全が重大な結果に関わる用途、(B) 航空用途、(C) 車載用途または車載環境、及び／または (D) 航空宇宙用途又は航空宇宙環境での使用のために設計、認可されたものではありません。ST製品がこれらの用途のために設計されていない場合、たとえSTが事前に書面で使用用途を知らされていたとしても、STの製品設計仕様に従い、「自動車、自動車の安全性、または医療」の産業分野向けであるとSTが明確に指定する場合を除き、ST製品のご使用は購入者ご自身の責任で行って頂くものとします。

ESCC、QML、JAN規格の正式な認証を得た製品は、該当する政府機関によって航空宇宙用途への適合性があると判断されております。

本書に説明されている記述または技術的特徴とは異なる条件でST 製品が再販された場合、本書に記載されるST 製品またはサービスについてのST による保証は直ちに失われるものとし、いかなる形であれ、ST の責任を生ぜしめること、若しくはその責任が延長されることはないものとします。

ST およびST ロゴは各国におけるSTMicroelectronics の商標または登録商標です。

本書の情報はそれ以前に提供された全ての情報に優先します。

ST ロゴはSTMicroelectronics の登録商標です。その他の名称は、それぞれの所有者に帰属します。

© 2014 STMicroelectronics - All rights reserved

STMicroelectronics group of companies

Australia - Belgium - Brazil - Canada - China - Czech Republic - Finland - France - Germany - Hong Kong - India - Israel - Italy - Japan - Malaysia - Malta - Morocco - Philippines - Singapore - Spain - Sweden - Switzerland - United Kingdom - United States of America

www.st.com

この資料は、STMicroelectronics NV 並びにその子会社(以下ST)が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くためにSTマイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST及びSTマイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。