参考資料

RM0031
リファレンスマニュアル

STM8L15x および STM8L16x マイクロコントローラファミリ

はじめに

このリファレンスマニュアルは、アプリケーション開発者を対象としています。STM8L15x および STM8L16x マイクロコントローラのメモリおよびペリフェラルの使用方法について詳細に説明しています。

STM8L15x/STM8L16x は、異なるメモリ容量、パッケージ、およびペリフェラルを持つマイクロコントローラ製品群です。

- 中容量 STM8L15x デバイスは、フラッシュメモリ容量が 16 KB または 32 KB の STM8L151Cx/Kx/Gx、STM8L152Cx/Kx マイクロコントローラです。
  使用可能なペリフェラルの完全なリストについては、製品データシートを参照してください。
- 中+容量 STM8L15x デバイスは、フラッシュメモリ容量が 32 KB の STM8L151R6 および STM8L152R6 マイクロコントローラです。
  中容量デバイスよりも広範囲なペリフェラルを提供します。
  使用可能なペリフェラルの完全なリストについては、製品データシートを参照してください。
- 大容量 STM8L15x デバイスは、フラッシュメモリ容量が 64 KB の STM8L151x8 および STM8L152x8 マイクロコントローラです。
  中+容量デバイスと同じペリフェラルのセットを提供します。
  使用可能なペリフェラルの完全なリストについては、製品データシートを参照してください。
- 大容量 STM8L16x デバイスは、フラッシュメモリ容量が 64 KB の STM8L162x8 マイクロコントローラです。大容量 STM8L152 デバイスと同じペリフェラルのセットに加えて、AES ハードウェアアクセラレータを提供します。
  使用可能なペリフェラルの完全なリストについては、製品データシートを参照してください。

これらは、超低消費電力用に設計されています。

注文情報、ピンの説明、機械的および電気的特性については、製品データシートを参照してください。

STM8 SWIM 通信プロトコルとデバッグモジュールについては、ユーザマニュアル（UM0470）を参照してください。

STM8 コアについては、STM8 CPU プログラミングマニュアル（PM0044）を参照してください。

内蔵フラッシュメモリのプログラミング、消去、および保護については、STM8L フラッシュプログラミングマニュアル（PM0054）を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

目次

1 中央演算処理装置 (CPU) 30

1.1 はじめに 30

1.2 CPU レジスタ 30

1.2.1 CPU レジスタの説明 30

1.2.2 STM8 CPU レジスタマップ 34

1.3 グローバル設定レジスタ（CFG-GCR） 34

1.3.1 起動レベル 34

1.3.2 SWIM ディセーブル 35

1.3.3 グローバル設定レジスタの説明 (CFG_GCR) 35

1.3.4 グローバル設定レジスタマップとリセット値 35

2 ブート ROM 36

3 フラッシュプログラムメモリとデータ EEPROM（フラッシュ）. 37

3.1 はじめに 37

3.2 用語 37

3.3 フラッシュの主な特長 38

3.4 メモリ構成 39

3.4.1 中容量デバイスメモリ構成 39

3.4.2 中 + 容量デバイスメモリの構成 40

3.4.3 大容量デバイスメモリの構成 41

3.4.4 独自仕様コード領域（PCODE） 42

3.4.5 ユーザブート領域（UBC） 42

3.4.6 データ EEPROM（DATA） 45

3.4.7 メインプログラム領域 45

3.4.8 オプションバイト 46

3.5 メモリ保護 46

3.5.1 読み出し保護 46

3.5.2 メモリアクセスセキュリティシステム（MASS） 46

3.5.3 オプションバイトへの書き込みアクセスの有効化 48

3.6 メモリのプログラミング 48

3.6.1 同時書き込み／読み出し（RWW） 48

3.6.2 バイトのプログラミング 48

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

3.6.3 ワードプログラミング 49
3.6.4 ブロックのプログラミング 50
3.6.5 オプションバイトのプログラミング 51
3.7 フラッシュの低電力モード 52
3.8 ICP と IAP 53
3.9 フラッシュレジスタ 56
3.9.1 フラッシュ制御レジスタ 1（FLASH_CR1）. 56
3.9.2 フラッシュ制御レジスタ 2（FLASH_CR2）. 57
3.9.3 フラッシュプログラムメモリ保護解除キーレジスタ（FLASH_PUKR）. 58
3.9.4 データ EEPROM 保護解除キーレジスタ（FLASH_DUKR）. 58
3.9.5 フラッシュステータスレジスタ（FLASH_IAPSR） 59
3.9.6 フラッシュレジスタマップとリセット値 60

4 シングルワイヤインタフェースモジュール（SWIM）およびデバッグモジュール（DM）61
4.1 はじめに 61
4.2 主な特長 61
4.3 SWIM モード 61

5 メモリおよびレジスタマップ 62
5.1 レジスタの説明の略語 62

6 電源制御（PWR） 63
6.1 電源 63
6.2 パワーオンリセット（POR）/ パワーダウンリセット（PDR） 64
6.3 ブラウンアウトリセット（BOR）. 64
6.4 プログラマブル電圧検出器（PVD） 66
6.5 電圧レギュレータ 67
6.6 PWR レジスタ 68
6.6.1 電源制御およびステータスレジスタ 1（PWR_CSR1）. 68
6.6.2 PWR 制御およびステータスレジスタ 2（PWR_CSR2） 69
6.6.3 PWR レジスタマップとリセット値 69

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

7 低電力モード 70

7.1 システムクロックの低速化 71

7.2 ペリフェラルクロックゲーティング（PCG） 71

7.3 待機モード（WFI または WFE モード） 71

7.4 割り込み待ち（WFI）モード 71

7.5 イベント待ち（WFE）モード 72

7.5.1 WFE レジスタ 73

7.5.2 WFE レジスタマップとリセット値 79

7.6 低電力実行モード 80

7.6.1 低電力実行モードへの移行 80

7.6.2 低電力実行モードの終了 80

7.7 低電力待機モード 80

7.8 HALT モード 81

7.8.1 HALT モードへの移行 81

7.8.2 HALT モードの終了 81

7.9 ACTIVE-HALT モード 82

8 リセット（RST） 83

8.1 「リセット状態」と「リセット中」の定義 83

8.2 外部リセット（NRST ピン） 84

8.2.1 非同期外部リセットの説明 84

8.2.2 NRST/PA1 ピンの汎用出力としての設定 84

8.3 内部リセット 84

8.3.1 パワーオンリセット（POR） 84

8.3.2 独立型ウォッチドッグリセット 84

8.3.3 ウィンドウ型ウォッチドッグリセット 85

8.3.4 SWIM リセット 85

8.3.5 不正オペコードリセット 85

8.4 RST レジスタ 86

8.4.1 リセットピン設定レジスタ（RST_CR） 86

8.4.2 リセットステータスレジスタ（RST_SR） 86

8.4.3 RST レジスタマップとリセット値 87

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

9 クロック制御（CLK） 88
9.1 はじめに 88
9.2 HSE クロック 89
9.3 HSI クロック 91
9.4 LSE クロック 91
9.5 LSI クロック 92
9.6 システムクロックソース 92
9.6.1 システムの起動 92
9.6.2 システムクロックの切り替え手順 92
9.7 ペリフェラルクロックゲーティング（PCG） 95
9.8 クロックセキュリティシステム (CSS) 96
9.8.1 HSE のクロックセキュリティシステム 96
9.8.2 LSE のクロックセキュリティシステム 97
9.8.3 LSE 上の CSS のレジスタマップとリセット値 98
9.9 RTC および LCD クロック 99
9.10 BEEP クロック 99
9.11 設定可能クロック出力機能（CCO） 99
9.12 TIM2/TIM3 用のクロックに依存しないシステムクロックソース 100
9.13 CLK 割り込み 100
9.14 CLK レジスタ 101
9.14.1 システムクロック分周器レジスタ（CLK_CKDIVR） 101
9.14.2 クロック RTC レジスタ（CLK_CRTCR） 102
9.14.3 内部クロックレジスタ（CLK_ICKCR） 103
9.14.4 ペリフェラルクロックゲーティングレジスタ 1（CLK_PCKENR1） 104
9.14.5 ペリフェラルクロックゲーティングレジスタ 2（CLK_PCKENR2） 105
9.14.6 ペリフェラルクロックゲーティングレジスタ 3（CLK_PCKENR3） 106
9.14.7 設定可能クロック出力レジスタ（CLK_CCOR） 107
9.14.8 外部クロックレジスタ（CLK_ECKCR） 108
9.14.9 システムクロックステータスレジスタ（CLK_SCSR） 109
9.14.10 システムクロックスイッチレジスタ（CLK_SWR） 110
9.14.11 スイッチ制御レジスタ（CLK_SWCR） 110
9.14.12 クロックセキュリティシステムレジスタ（CLK_CSSR） 111
9.14.13 クロック Beep レジスタ（CLK_CBEEPR） 112
9.14.14 HSI 較正レジスタ（CLK_HSICALR） 112
9.14.15 HSI クロック較正トリミングレジスタ（CLK_HSITRIMR） 113

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

9.14.16 HSI アンロックレジスタ（CLK_HSIUNLCKR） 113
9.14.17 メインレギュレータ制御ステータスレジスタ（CLK_REGCSR） 114
9.14.18 CLK レジスタマップとリセット値 115

10 汎用入出力ポート (GPIO) 116
10.1 概要 116
10.2 GPIO の主な機能 116
10.3 ポートの設定と使い方 117
10.3.1 入力モード 119
10.3.2 出力モード 119
10.4 リセット設定 119
10.5 未使用の入出力ピン 119
10.6 低電力モード 119
10.7 入力モードの詳細 120
10.7.1 オルタネート機能入力 120
10.7.2 割り込み機能 120
10.8 出力モードの詳細 120
10.8.1 オルタネート機能出力 120
10.8.2 スロープ制御 120
10.9 GPIO レジスタ 121
10.9.1 ポート x 出力データレジスタ (Px_ODR) 121
10.9.2 ポート x ピン入力レジスタ (Px_IDR) 121
10.9.3 ポート x データ方向レジスタ (Px_DDR) 122
10.9.4 ポート x 制御レジスタ 1 (Px_CR1) 122
10.9.5 ポート x 制御レジスタ 2 (Px_CR2) 123
10.9.6 ペリフェラルオルタネート機能の再配置 123
10.9.7 GPIO レジスタマップとリセット値 123

11 ルーティングインタフェース（RI）とシステム設定コントローラ（SYSCFG） 124
11.1 概要 124
11.2 RI の主な機能 124
11.3 RI 機能の説明 125
11.3.1 入出力グループ 126
11.3.2 TIM1 入力キャプチャのルーティング 127
11.3.3 コンパレータのルーティング 128

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

11.3.4 DAC のルーティング 128
11.3.5 内部基準電圧のルーティング 130
11.4 RI レジスタ 131
11.4.1 タイマ入力キャプチャルーティングレジスタ 1（RI_ICR1） 131
11.4.2 タイマ入力キャプチャルーティングレジスタ 2（RI_ICR2） 131
11.4.3 I/O 入力レジスタ 1（RI_IOIR1） 131
11.4.4 I/O 入力レジスタ 2（RI_IOIR2） 132
11.4.5 I/O 入力レジスタ 3（RI_IOIR3） 132
11.4.6 I/O 制御モードレジスタ 1（RI_IOCMR1） 132
11.4.7 I/O 制御モードレジスタ 2（RI_IOCMR2） 133
11.4.8 I/O 制御モードレジスタ 3（RI_IOCMR3） 133
11.4.9 I/O スイッチレジスタ 1（RI_IOSR1） 134
11.4.10 I/O スイッチレジスタ 2（RI_IOSR2） 134
11.4.11 I/O スイッチレジスタ 3（RI_IOSR3） 135
11.4.12 I/O グループ制御レジスタ（RI_IOGCR） 135
11.4.13 アナログスイッチレジスタ 1（RI_ASCR1） 136
11.4.14 アナログスイッチレジスタ 2（RI_ASCR2） 137
11.4.15 抵抗制御レジスタ（RI_RCR） 138
11.4.16 RI レジスタマップとリセット値 139
11.5 SYSCFG レジスタ 140
11.5.1 SYSCFG 再配置制御レジスタ 1（SYSCFG_RMPCR1） 140
11.5.2 SYSCFG リマップ制御レジスタ 2（SYSCFG_RMPCR2） 141
11.5.3 SYSCFG 再配置制御レジスタ 3（SYSCFG_RMPCR3） 143
11.5.4 SYSCFG レジスタマップとリセット値 144

12 割り込みコントローラ（ITC） 145
12.1 ITC の概要 145
12.2 割り込みマスクと処理の流れ 145
12.2.1 ペンディング割り込みの処理 146
12.2.2 割り込みソース 147
12.3 割り込みと低電力モード 148
12.4 起動レベル / 低電力モードの制御 149
12.5 同時およびネスト割り込み管理 149
12.5.1 同時割り込み管理モード 149
12.5.2 ネスト割り込み管理モード 150

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

12.6 外部割り込み 151
12.7 割り込み命令 152
12.8 割り込みの配置 152
12.9 ITC および EXTI レジスタ 153
12.9.1 コンディションコードレジスタ割り込みビット (CCR) 153
12.9.2 ソフトウェア優先順位レジスタ x (ITC_SPRx) 154
12.9.3 外部割り込み制御レジスタ 1（EXTI_CR1） 155
12.9.4 外部割り込み制御レジスタ 2（EXTI_CR2） 156
12.9.5 外部割り込み制御レジスタ 3（EXTI_CR3） 157
12.9.6 外部割り込み制御レジスタ 4（EXTI_CR4） 158
12.9.7 外部割り込みステータスレジスタ 1（EXTI_SR1） 159
12.9.8 外部割り込みステータスレジスタ 2（EXTI_SR2） 160
12.9.9 外部割り込みポート選択レジスタ（EXTI_CONF1） 161
12.9.10 外部割り込みポート選択レジスタ（EXTI_CONF2） 162
12.9.11 ITC および EXTI レジスタマップとリセット値 163

13 ダイレクトメモリアクセス（DMA）コントローラ 164
13.1 DMA の概要 164
用語 164
13.2 DMA の主な機能 165
13.3 DMA 機能の説明 166
13.3.1 DMA 転送 167
13.3.2 DMA アービタ 167
13.3.3 DMA チャネル 167
13.3.4 DMA1 リクエストの配置 173
DMA ハードウェアリクエストの説明 175
13.4 DMA 低電力モード 177
13.5 DMA 割り込み 177
13.6 DMA レジスタ 178
13.6.1 DMA グローバル設定およびステータスレジスタ（DMA_GCSR） 178
13.6.2 DMA グローバル割り込みレジスタ 1（DMA_GIR1） 179
13.6.3 DMA チャネル設定レジスタ（DMA_CxCR） 179
13.6.4 DMA チャネルステータスおよび優先順位レジスタ（DMA_CxSPR） 181
13.6.5 DMA 転送データ数レジスタ（DMA_CxNDTR） 182
13.6.6 DMA ペリフェラルアドレスハイレジスタ（DMA_CxPARH） 182
13.6.7 DMA ペリフェラルアドレスローレジスタ（DMA_CxPARL） 183

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

13.6.8 DMA チャネル 3 ペリフェラルアドレスハイおよびメモリ 1 アドレスハイレジスタ（DMA_C3PARH_C3M1ARH）.....184
13.6.9 DMA チャネル 3 ペリフェラルアドレスローおよびメモリ 1 アドレスローレジスタ（DMA_C3PARL_C3M1ARL）.....185
13.6.10 DMA メモリ 0 アドレスハイレジスタ（DMA_CxM0ARH）.....186
13.6.11 DMA メモリ 0 アドレスローレジスタ（DMA_CxM0ARL）.....186
13.6.12 DMA チャネル 3 メモリ 0 拡張アドレスレジスタ（DMA_C3M0EAR）.....187
13.6.13 DMA レジスタマップとリセット値.....187

14 A/D コンバータ（ADC）.....189

14.1 ADC の概要.....189
14.2 ADC の主な機能.....189
14.3 ADC の機能詳細.....190
14.3.1 概要.....190
14.3.2 アナログチャネルの数：.....191
14.3.3 ADC のオン / オフ制御.....191
14.3.4 単一変換モード.....191
14.3.5 連続変換モード.....193
14.3.6 ADC クロック.....193
14.3.7 アナログウォッチドッグ.....194
14.3.8 割り込み.....194
14.3.9 チャネル選択（スキャンモード）.....195
14.3.10 データ整合性.....195
14.3.11 DMA 転送.....196
14.3.12 設定可能な分解能.....196
14.3.13 データの配置.....196
14.3.14 プログラム可能なサンプリング時間.....197
14.3.15 シュミットトリガの無効化.....197
14.3.16 温度センサ.....197
14.3.17 内部基準電圧の変換.....198
14.4 ADC 低電力モード.....198
14.5 ADC 割り込み.....199
14.6 ADC レジスタ.....199
14.6.1 ADC 設定レジスタ 1（ADC_CR1）.....199
14.6.2 ADC 設定レジスタ 2（ADC_CR2）.....200
14.6.3 ADC 設定レジスタ 3（ADC_CR3）.....201
14.6.4 ADC ステータスレジスタ（ADC_SR）.....202

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

14.6.5 ADC データレジスタハイ（ADC_DRH）.....203
14.6.6 ADC データレジスタロー（ADC_DRL）.....203
14.6.7 ADC 上側閾値レジスタハイ（ADC_HTRH）.....204
14.6.8 ADC 上側閾値レジスタロー（ADC_HTRL）.....204
14.6.9 ADC 下側閾値レジスタハイ（ADC_LTRH）.....204
14.6.10 ADC 下側閾値レジスタロー（ADC_LTRL）.....205
14.6.11 ADC チャネルシーケンス 1 レジスタ（ADC_SQR1）.....205
14.6.12 ADC チャネルシーケンスレジスタ 2（ADC_SQR2）.....206
14.6.13 ADC チャネル選択スキャン 3（ADC_SQR3）.....206
14.6.14 ADC チャネル選択スキャン 4（ADC_SQR4）.....207
14.6.15 ADC トリガディセーブル 1（ADC_TRIGR1）.....207
14.6.16 ADC トリガディセーブル 2（ADC_TRIGR2）.....208
14.6.17 ADC トリガディセーブル 3（ADC_TRIGR2）.....208
14.6.18 ADC トリガディセーブル 4（ADC_TRIGR4）.....208
14.6.19 ADC レジスタマップとリセット値.....209

15 D/A コンバータ（DAC）.....210

15.1 DAC の概要.....210
15.2 DAC の主な機能.....210
15.3 DAC 機能詳細.....212
15.3.1 DAC チャネル x イネーブル.....212
15.3.2 DAC 出力バッファイネーブル.....212
15.3.3 DAC 出力スイッチの設定.....212
15.3.4 DAC データフォーマット.....212
15.3.5 DAC 変換シーケンス.....213
15.3.6 DAC 出力電圧.....213
15.3.7 DAC トリガ選択.....213
15.3.8 DAC DMA リクエスト.....214
15.3.9 DAC DMA アンダーラン割り込み.....214
15.3.10 ノイズ生成.....214
15.3.11 三角波生成.....215
15.3.12 デュアル DAC 変換.....216
15.4 DAC レジスタ.....220
15.4.1 DAC チャネル x 制御レジスタ 1（DAC_CHxCR1）.....220
15.4.2 DAC チャネル x 制御レジスタ 2（DAC_CHxCR2）.....221
15.4.3 DAC ソフトウェアトリガレジスタ（DAC_SWTRIGR）.....222
15.4.4 DAC ステータスレジスタ（DAC_SR）.....223

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

15.4.5 DAC チャネル x 右詰めデータ保持レジスタハイ（DAC_RDHRH）.....224
15.4.6 DAC チャネル x 右詰めデータ保持レジスタロー（DAC_CHxRDHRL）.....224
15.4.7 DAC チャネル x 左詰めデータ保持レジスタハイ（DAC_CHxLDHRH）.....225
15.4.8 DAC チャネル x 左詰めデータ保持レジスタロー（DAC_CHxLDHRL）.....225
15.4.9 DAC チャネル x 8 ビットデータ保持レジスタ（DAC_CHxDHR8）.....225
15.4.10 DAC チャネル x デュアルモード右詰めデータ保持レジスタハイ（DAC_DCHxRDHRH）.....226
15.4.11 DAC チャネル x デュアルモード右詰めデータ保持レジスタロー（DAC_DCHxRDHRL）.....226
15.4.12 DAC チャネル x デュアルモード左詰めデータ保持レジスタハイ（DAC_DCHxLDHRH）.....227
15.4.13 DAC チャネル x 左詰めデータ保持レジスタロー（DAC_DCHxLDHRL）.....227
15.4.14 DAC チャネル x デュアルモード 8 ビットデータ保持レジスタ（DAC_DCHxDHR8）.....228
15.4.15 DAC チャネル x データ出力レジスタハイ（DAC_CHxDORH）.....228
15.4.16 DAC チャネル x データ出力レジスタロー （DAC_CHxDORL）.....228
15.4.17 DAC レジスタマップとリセット値 229

16 コンパレータ（COMP）..... 232

16.1 COMP の概要 232
16.2 COMP の主な機能 233
16.3 コンパレータ 1（COMP1）..... 234
16.4 コンパレータ 2（COMP2）..... 235
16.5 ウィンドウモードでのコンパレータの使用 236
16.6 COMP 低電力モード 237
16.7 COMP 割り込み 237
16.8 COMP レジスタ 238
16.8.1 コンパレータ制御およびステータスレジスタ 1（COMP_CSR1）.....238
16.8.2 コンパレータ制御およびステータスレジスタ 2（COMP_CSR2）.....239
16.8.3 コンパレータ制御およびステータスレジスタ 3（COMP_CSR3）.....240
16.8.4 コンパレータ制御およびステータスレジスタ 4（COMP_CSR4）.....241
16.8.5 コンパレータ制御およびステータスレジスタ 5（COMP_CSR5）.....242
16.8.6 COMP レジスタマップとリセット値 242

17 LCD コントローラ 243

17.1 LCD コントローラの概要 243
17.1.1 定義 243

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

17.2 LCD コントローラの主な機能 244
17.3 LCD 機能の説明 245
17.3.1 概要 245
17.3.2 周波数ジェネレータ 246
17.3.3 コモンドライバ 249
17.3.4 セグメントドライバ 258
17.3.5 セグメントの有効化 258
17.3.6 点滅 258
17.3.7 COM[7:4] と SEG[43:40]、SEG[39:36]、または SEG[31:28] の多重化 259
17.3.8 LCD 電圧レベルの生成 259
17.4 LCD コントローラ低電力モード 261
17.5 LCD コントローラ割り込み 261
17.6 LCD コントローラレジスタ 262
17.6.1 制御レジスタ 1（LCD_CR1） 262
17.6.2 制御レジスタ 2（LCD_CR2） 263
17.6.3 制御レジスタ 3（LCD_CR3） 264
17.6.4 周波数選択レジスタ（LCD_FRQ） 265
17.6.5 ポートマスクレジスタ（LCD_PM） 265
17.6.6 制御レジスタ 4（LCD_CR4） 266
17.6.7 液晶ディスプレイメモリ（LCD_RAM） 267
17.6.8 LCD レジスタマップとリセット値 269

18 タイマの概要 271
18.1 タイマ機能の比較 272
18.2 タイマ信号名の用語 273

19 16 ビット高機能制御タイマ（TIM1） 275
19.1 概要 275
19.2 TIM1 の主な機能 276
19.3 TIM1 タイムベースユニット 278
19.3.1 16 ビットカウンタの読み出しと書き込み 279
19.3.2 16 ビット TIM1_APR レジスタの書き込みシーケンス 279
19.3.3 プリスケーラ 279
19.3.4 アップカウントモード 280
19.3.5 ダウンカウントモード 282
19.3.6 センタアラインモード（アップ / ダウンカウント） 284

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

19.3.7 繰り返しダウンカウンタ 286
19.4 TIM1 クロック / トリガコントローラ 287
19.4.1 プリスケーラクロック（CK_PSC）. 287
19.4.2 内部クロックソース（fSYSCLK）. 288
19.4.3 外部クロックソースモード 1 288
19.4.4 外部クロックソースモード 2 290
19.4.5 トリガの同期 291
19.4.6 タイマ間の同期 295
19.5 TIM1 キャプチャ / 比較チャネル 301
19.5.1 16 ビット TIM1_CCRi レジスタの書き込みシーケンス 302
19.5.2 入力ステージ 303
19.5.3 入力キャプチャモード 304
19.5.4 出力ステージ 306
19.5.5 強制出力モード 307
19.5.6 出力比較モード 308
19.5.7 PWM モード 310
19.5.8 ブレーク機能の使用 317
19.5.9 外部イベント時の OCiREF 信号のクリア 320
19.5.10 エンコーダインタフェースモード 321
19.5.11 タイマ入力 XOR 機能 323
19.5.12 ホールセンサとのインタフェース 323
19.6 TIM1 割り込み 325
19.6.1 TIM1 イベント待ち機能 325
19.7 TIM1 DMA 325
19.7.1 DMA シングルモード 325
19.7.2 DMA バーストモード 326
19.8 TIM1 レジスタ 327
19.8.1 制御レジスタ 1（TIM1_CR1）. 327
19.8.2 制御レジスタ 2（TIM1_CR2）. 329
19.8.3 スレーブモード制御レジスタ（TIM1_SMCR）. 330
19.8.4 外部トリガレジスタ（TIM1_ETR）. 332
19.8.5 DMA リクエストイネーブルレジスタ（TIM1_DER）. 334
19.8.6 割り込みイネーブルレジスタ（TIM1_IER）. 335
19.8.7 ステータスレジスタ 1（TIM1_SR1）. 336
19.8.8 ステータスレジスタ 2（TIM1_SR2）. 337
19.8.9 イベント生成レジスタ（TIM1_EGR）. 338

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

19.8.10 キャプチャ / 比較モードレジスタ 1（TIM1_CCMR1）.....340
19.8.11 キャプチャ / 比較モードレジスタ 2（TIM1_CCMR2）.....343
19.8.12 キャプチャ / 比較モードレジスタ 3（TIM1_CCMR3）.....344
19.8.13 キャプチャ / 比較モードレジスタ 4（TIM1_CCMR4）.....345
19.8.14 キャプチャ / 比較イネーブルレジスタ 1（TIM1_CCER1）.....346
19.8.15 キャプチャ / 比較イネーブルレジスタ 2（TIM1_CCER2）.....349
19.8.16 カウンタハイ（TIM1_CNTRH）.....349
19.8.17 カウンタロー（TIM1_CNTRL）.....350
19.8.18 プリスケーラハイ（TIM1_PSCRH）.....350
19.8.19 プリスケーラロー（TIM1_PSCRL）.....350
19.8.20 自動再ロードレジスタハイ（TIM1_ARRH）.....351
19.8.21 自動再ロードレジスタロー（TIM1_ARRL）.....351
19.8.22 繰り返しカウンタレジスタ（TIM1_RCR）.....351
19.8.23 キャプチャ / 比較レジスタ 1 ハイ（TIM1_CCR1H）.....352
19.8.24 キャプチャ / 比較レジスタ 1 ロー（TIM1_CCR1L）.....352
19.8.25 キャプチャ / 比較レジスタ 2 ハイ（TIM1_CCR2H）.....352
19.8.26 キャプチャ / 比較レジスタ 2 ロー（TIM1_CCR2L）.....353
19.8.27 キャプチャ / 比較レジスタ 3 ハイ（TIM1_CCR3H）.....353
19.8.28 キャプチャ / 比較レジスタ 3 ロー（TIM1_CCR3L）.....353
19.8.29 キャプチャ / 比較レジスタ 4 ハイ（TIM1_CCR4H）.....354
19.8.30 キャプチャ / 比較レジスタ 4 ロー（TIM1_CCR4L）.....354
19.8.31 ブレークレジスタ（TIM1_BKR）.....355
19.8.32 デッドタイムレジスタ（TIM1_DTR）.....356
19.8.33 出力アイドル状態レジスタ（TIM1_OISR）.....357
19.8.34 DMA 制御レジスタ 1（TIM1_DCR1）.....357
19.8.35 DMA 制御レジスタ 2（TIM1_DCR2）.....358
19.8.36 バーストモード DMA アドレス（TIM1_DMAR）.....358
19.8.37 TIM1 レジスタマップとリセット値.....359

20 16 ビット汎用タイマ（TIM2、TIM3、TIM5）.....361

20.1 概要.....361
20.2 TIMx の主な機能.....361
20.3 TIMx の機能詳細.....362
20.3.1 タイムベースユニット.....362
20.3.2 クロック / トリガコントローラ.....363
20.3.3 キャプチャ / 比較チャネル.....364
20.3.4 タイマ入力 XOR 機能.....366

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

20.4 TIMx 割り込み 366
20.5 TIMx レジスタ 367
20.5.1 制御レジスタ 1（TIMx_CR1）. 367
20.5.2 制御レジスタ 2（TIMx_CR2）. 368
20.5.3 スレーブモード制御レジスタ（TIMx_SMCR）. 369
20.5.4 外部トリガレジスタ（TIMx_ETR）. 371
20.5.5 DMA リクエストイネーブルレジスタ（TIMx_DER）. 372
20.5.6 割り込みイネーブルレジスタ（TIM x _IER）. 373
20.5.7 ステータスレジスタ 1（TIMx_SR1）. 374
20.5.8 ステータスレジスタ 2（TIMx_SR2）. 375
20.5.9 イベント生成レジスタ（TIMx_EGR）. 376
20.5.10 キャプチャ / 比較モードレジスタ 1（TIMx_CCMR1）. 377
20.5.11 キャプチャ / 比較モードレジスタ 2（TIMx_CCMR2）. 379
20.5.12 キャプチャ / 比較イネーブルレジスタ 1（TIMx_CCER1）. 380
20.5.13 カウンタハイ（TIMx_CNTRH）. 381
20.5.14 カウンタロー（TIMx_CNTRL）. 381
20.5.15 プリスケーラレジスタ（TIMx_PSCR）. 381
20.5.16 自動再ロードレジスタハイ（TIMx_ARRH）. 382
20.5.17 自動再ロードレジスタロー（TIMx_ARRL）. 382
20.5.18 キャプチャ / 比較レジスタ 1 ハイ（TIMx_CCR1H）. 382
20.5.19 キャプチャ / 比較レジスタ 1 ロー（TIMx_CCR1L）. 383
20.5.20 キャプチャ / 比較レジスタ 2 ハイ（TIMx_CCR2H）. 383
20.5.21 キャプチャ / 比較レジスタ 2 ロー（TIMx_CCR2L）. 383
20.5.22 ブレークレジスタ（TIMx_BKR）. 384
20.5.23 出力アイドル状態レジスタ（TIMx_OISR）. 386
20.5.24 TIMx レジスタマップとリセット値 387

21 8 ビット基本タイマ（TIM4）. 389
21.1 概要 389
21.2 TIM4 の主な機能 389
21.3 TIM4 割り込み 389
21.4 TIM4 クロックの選択 390
21.5 TIM4 レジスタ 391
21.5.1 制御レジスタ 1（TIM4_CR1）. 391
21.5.2 制御レジスタ 2（TIM4_CR2）. 392
21.5.3 スレーブモード制御レジスタ（TIM4_SMCR）. 393

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

21.5.4 DMA リクエストイネーブルレジスタ（TIM4_DER）.....394
21.5.5 割り込みイネーブルレジスタ（TIM4_IER）.....395
21.5.6 ステータスレジスタ 1（TIM4_SR）.....395
21.5.7 イベント生成レジスタ（TIM4_EGR）.....396
21.5.8 カウンタ（TIM4_CNTR）.....396
21.5.9 プリスケーラレジスタ（TIM4_PSCR）.....397
21.5.10 自動再ロードレジスタ（TIM4_ARR）.....397
21.5.11 TIM4 レジスタマップとリセット値.....398

22 赤外線インタフェース（IRTIM）.....399
22.1 概要.....399
22.2 主な機能.....399
22.3 IRTIM レジスタ.....400
22.3.1 制御レジスタ（IR_CR）.....400
22.3.2 IR TIM レジスタマップとリセット値.....400

23 ビーパ（BEEP）.....401
23.1 概要.....401
23.2 BEEP 機能の説明.....402
23.2.1 ビーパの動作.....402
23.2.2 ビーパの較正.....402
23.2.3 LSI クロック周波数の測定.....402
23.3 BEEP レジスタ.....403
23.3.1 BEEP 制御 / ステータスレジスタ 1 (BEEP_CSR1).....403
23.3.2 BEEP 制御 / ステータスレジスタ 2（BEEP_CSR2）.....403
23.3.3 BEEP レジスタマップとリセット値.....404

24 リアルタイムクロック（RTC）.....405
24.1 概要.....405
24.2 RTC の主な機能.....405
24.3 RTC 機能の説明.....406
24.3.1 クロックとプリスケーラ.....406
24.3.2 リアルタイムクロックとカレンダ.....409
24.3.3 プログラマブルアラーム.....410
24.3.4 周期的自動ウェイクアップ.....410

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

24.4 RTC の初期化と設定 411
24.4.1 RTC レジスタの書き込み保護 411
24.4.2 カレンダの初期化と設定 411
24.4.3 カレンダの読み出し 412
24.4.4 夏時間 412
24.4.5 アラームのプログラミング 412
24.4.6 自動ウェイクアップタイマのプログラミング 413
24.4.7 RTC の同期（中 + 容量および大容量デバイスのみ） 413
24.5 RTC のリセット 413
24.6 RTC のスムーズなデジタル較正（中 + 容量および大容量デバイスのみ） 414
24.6.1 PREDIV_A<3 のときの較正 414
24.6.2 RTC 較正の検証 415
24.6.3 動作中の再較正 415
24.7 タンパ検出（中 + 容量および大容量デバイスのみ） 416
24.8 基準クロック出力 417
24.9 RTC 低電力モード 417
24.10 RTC 割り込み 417
24.11 RTC レジスタ 418
24.11.1 タイムレジスタ 1（RTC_TR1） 418
24.11.2 タイムレジスタ 2（RTC_TR2） 418
24.11.3 タイムレジスタ 3（RTC_TR3） 419
24.11.4 日付レジスタ 1（RTC_DR1） 419
24.11.5 日付レジスタ 2（RTC_DR2） 420
24.11.6 日付レジスタ 3（RTC_DR3） 420
24.11.7 サブセカンドレジスタハイ（RTC_SSRH） 421
24.11.8 サブセカンドレジスタロー（RTC_SSR L） 421
24.11.9 制御レジスタ 1（RTC_CR1） 422
24.11.10 制御レジスタ 2（RTC_CR2） 423
24.11.11 制御レジスタ 3（RTC_CR3） 424
24.11.12 初期化およびステータスレジスタ 1（RTC_ISR1) 425
24.11.13 初期化およびステータスレジスタ 2（RTC_ISR2） 426
24.11.14 同期プリスケーラレジスタハイ（RTC_SPRERH） 427
24.11.15 同期プリスケーラレジスタロー（RTC_SPRERL） 427
24.11.16 非同期プリスケーラレジスタ（RTC_APRER） 428
24.11.17 ウェイクアップタイマレジスタハイ（RTC_WUTRH） 428

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

24.11.18 ウェイクアップタイマレジスタロー（RTC_WUTRL）.....429
24.11.19 書き込み保護レジスタ（RTC_WPR）.....429
24.11.20 RTC シフト制御レジスタハイ（RTC_SHIFTRH）.....430
24.11.21 RTC シフト制御レジスタロー（RTC_SHIFTRL）.....430
24.11.22 アラーム A レジスタ 1 （RTC_ALRMAR1）.....431
24.11.23 アラーム A レジスタ 2（RTC_ALRMAR2）.....431
24.11.24 アラーム A レジスタ 3（RTC_ALRMAR3）.....432
24.11.25 アラーム A レジスタ 4（RTC_ALRMAR4）.....433
24.11.26 アラーム　A サブセカンドレジスタハイ（RTC_ALRMASSRH) 433
24.11.27 アラーム A サブセカンドレジスタロー（RTC_ALRMASSRL）.....434
24.11.28 アラーム A サブセカンドマスクレジスタ（RTC_ALRMASSMSKR）.....434
24.11.29 較正レジスタハイ（RTC_CALRH）.....435
24.11.30 較正レジスタロー（RTC_CALRL）.....436
24.11.31 タンパ制御レジスタ 1（RTC_TCR1）.....437
24.11.32 タンパ制御レジスタ 2（RTC_TCR2）.....438
24.11.33 RTC レジスタマップとリセット値 439

25 独立型ウォッチドッグ（IWDG）..... 442
25.1 概要 442
25.2 IWDG 機能の説明 442
25.3 IWDG レジスタ 444
25.3.1 キーレジスタ (IWDG_KR) 444
25.3.2 プリスケーラレジスタ (IWDG_PR) 444
25.3.3 再ロードレジスタ (IWDG_RLR) 445
25.3.4 IWDG レジスタマップとリセット値 445

26 ウィンドウ型ウォッチドッグ（WWDG）..... 446
26.1 概要 446
26.2 WWDG の主な機能 446
26.3 WWDG 機能の説明 446
26.4 ウォッチドッグタイムアウトをプログラムするには 448
26.5 WWDG 低電力モード 449
26.6 ハードウェアウォッチドッグオプション 449
26.7 WWDG 割り込み 449
26.8 WWDG レジスタ 450
26.8.1 Control register (WWDG_CR) 450

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

26.8.2 Window register (WWDG_WR) 450
26.9 ウィンドウ型ウォッチドッグレジスタマップとリセット値 450

27 AES ハードウェアアクセラレータ（AES） 451
27.1 概要 451
27.2 AES の主な機能 451
27.3 AES 機能の説明 452
27.4 動作モード 453
27.4.1 モード 1：暗号化 453
27.4.2 モード 2：キー生成 454
27.4.3 モード 3：復号 454
27.4.4 モード 4：キー生成と復号 455
27.5 AES DMA インタフェース 456
27.6 エラーフラグ 457
27.7 処理時間 457
27.8 AES 低電力モード 457
27.9 AES 割り込み 458
27.10 AES レジスタ 459
27.10.1 AES 制御レジスタ（AES_CR） 459
27.10.2 AES ステータスレジスタ（AES_SR） 460
27.10.3 AES データ入力レジスタ（AES_DINR） 461
27.10.4 AES データ出力レジスタ（AES_DOUTR） 461
27.10.5 AES レジスタマップとリセット値 462

28 I^2C（Inter-Integrated Circuit）インタフェース 463
28.1 概要 463
28.2 I^2C の主な機能 464
28.3 I^2C の概要 465
28.4 I^2C 機能の説明 467
28.4.1 I^2C スレーブモード 467
28.4.2 I^2C マスタモード 470
28.4.3 エラー条件 478
28.4.4 SDA/SCL ライン制御 479
28.4.5 SMBus 479
28.4.6 DMA リクエスト 482
28.4.7 パケットエラーチェック 483

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

28.5 I²C 低電力モード 484
28.6 I²C 割り込み 484
28.7 I²C レジスタ 486
28.7.1 制御レジスタ 1（I2C_CR1） 486
28.7.2 制御レジスタ 2（I2C_CR2） 487
28.7.3 周波数レジスタ（I2C_FREQR） 488
28.7.4 自己アドレスレジスタ LSB（I2C_OARL） 489
28.7.5 自己アドレスレジスタ MSB（I2C_OARH） 489
28.7.6 自己アドレスレジスタ 2（I2C_OAR2） 490
28.7.7 データレジスタ（I2C_DR） 491
28.7.8 ステータスレジスタ 1（I2C_SR1） 492
28.7.9 ステータスレジスタ 2（I2C_SR2） 494
28.7.10 ステータスレジスタ 3（I2C_SR3） 496
28.7.11 割り込みおよび DMA レジスタ（I2C_ITR） 498
28.7.12 クロック制御レジスタロー（I2C_CCRL） 499
28.7.13 クロック制御レジスタハイ（I2C_CCRH） 500
28.7.14 TRISE レジスタ（I2C_TRISER） 502
28.7.15 PEC レジスタ（I2C_PECR） 503
28.7.16 I²C レジスタマップとリセット値 504

29 USART (Universal synchronous/asynchronous receiver transmitter) 505

29.1 USART の概要 505
29.2 USART の主な機能 506
29.3 USART 機能の説明 507
29.3.1 USART キャラクタの説明 509
29.3.2 トランスミッタ 510
29.3.3 レシーバ 513
29.3.4 高精度ボーレートジェネレータ 516
29.3.5 クロック偏差に対する USART レシーバの許容誤差 518
29.3.6 パリティ制御 519
29.3.7 マルチプロセッサ通信 519
29.3.8 USART 同期通信 521
29.3.9 単線半二重通信 523
29.3.10 スマートカード 524
29.3.11 IrDA SIR ENDEC ブロック 526
29.3.12 DMA を使用した連続通信 527

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

29.4 USART 低電力モード 530
29.5 USART 割り込み 530
29.6 USART レジスタ 532
29.6.1 ステータスレジスタ (USART_SR) 532
29.6.2 データレジスタ (USART_DR) 534
29.6.3 ボーレートレジスタ 1 (USART_BRR1) 534
29.6.4 ボーレートレジスタ 2 (USART_BRR2) 535
29.6.5 制御レジスタ 1 (USART_CR1) 535
29.6.6 制御レジスタ 2 (USART_CR2) 536
29.6.7 制御レジスタ 3 (USART_CR3) 538
29.6.8 制御レジスタ 4 (USART_CR4) 539
29.6.9 制御レジスタ 5（USART_CR5） 539
29.6.10 ガードタイムレジスタ（USART_GTR） 540
29.6.11 プリスケーラレジスタ（USART_PSCR） 541
29.6.12 USART レジスタマップとリセット値 542

30 シリアルペリフェラルインタフェース（SPI） 543
30.1 概要 543
30.2 SPI の主な機能 543
30.3 SPI 機能の説明 544
30.3.1 概要 544
30.3.2 SPI のスレーブモード設定 548
30.3.3 SPI マスタモード設定 548
30.3.4 SPI の単方向通信設定 548
30.3.5 データの送受信手順 549
30.3.6 CRC の計算 556
30.3.7 ステータスフラグ 557
30.3.8 SPI の無効化 558
30.3.9 DMA（Direct Memory Addressing）を使用する SPI 通信 559
30.3.10 エラーフラグ 560
30.3.11 SPI 低電力モード 561
30.3.12 SPI 割り込み 562
30.4 SPI レジスタ 563
30.4.1 SPI 制御レジスタ 1（SPI_CR1） 563
30.4.2 SPI 制御レジスタ 2（SPI_CR2） 564
30.4.3 SPI 割り込み制御レジスタ（SPI_ICR） 565

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

30.4.4 SPI ステータスレジスタ（SPI_SR）.....566
30.4.5 SPI データレジスタ（SPI_DR）.....567
30.4.6 SPI CRC 多項式レジスタ（SPI_CRCPR）.....567
30.4.7 SPI Rx CRC レジスタ（SPI_RXCRCR）.....567
30.4.8 SPI Tx CRC レジスタ（SPI_TXCRCR）.....568
30.5 SPI レジスタマップとリセット値.....568

31 改版履歴 569

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表の一覧

表 1. 割り込みレベル 33
表 2. CPU レジスタマップ 34
表 3. CFG_GCR レジスタマップ 35
表 4. ブロックサイズ 51
表 5. メモリアクセスとプログラミング法 （中 + 容量および大容量デバイス） 53
表 6. メモリアクセスとプログラミング法（中容量デバイス） 55
表 7. フラッシュレジスタマップ 60
表 8. HALT/ACTIVE-HALT モード時の BOR の設定 65
表 9. PWR 割り込みリクエスト 67
表 10. PWR レジスタマップとリセット値 69
表 11. 低電力モードの要約 70
表 12. WFE レジスタマップ 79
表 13. RST レジスタマップとリセット値 87
表 14. 低電力モードでの LSE 上の CSS 97
表 15. LSE 上の CSS のレジスタマップ 98
表 16. CLK 割り込みリクエスト 100
表 17. ペリフェラルクロックゲーティングビット（PCKEN 10 ～ PCKEN 17） 104
表 18. ペリフェラルクロックゲーティングビット（PCKEN 20 ～ PCKEN 27） 105
表 19. ペリフェラルクロックゲーティングビット（PCKEN 30 ～ PCKEN 35） 106
表 20. CLK レジスタマップとリセット値 115
表 21. 入出力ポート設定の要約 118
表 22. 低電力モードが GPIO ポートに与える影響 119
表 23. GPIO レジスタマップ 123
表 24. 入出力グループと選択 126
表 25. TIM1 入力キャプチャのルーティング 127
表 26. ルーティングインタフェースのレジスタマップ 139
表 27. レジスタマップ 144
表 28. ソフトウェア優先順位レベル 146
表 29. ベクタアドレスマップとソフトウェア優先順位ビット 151
表 30. 外部割り込みトリガ 152
表 31. 専用割り込み命令セット 152
表 32. ITC および EXTI レジスタマップ 163
表 33. ソースおよびデスティネーションアドレス 173
表 34. DMA1 チャネルリクエストの配置 173
表 35. SPIx/USARTx DMA リクエスト 175
表 36. I2C1 DMA リクエスト 176
表 37. TIMx DMA リクエスト 176
表 38. 低電力モードでの DMA 動作 177
表 39. DMA 割り込みリクエスト 177
表 40. DMA レジスタマップ 187
表 41. フラグ / 割り込みの設定 194
表 42. 認められたサンプリングサイクル 197
表 43. 低電力モードでの動作 198
表 44. 割り込みリクエスト 199
表 45. レジスタマップ 209
表 46. DAC 出力スイッチの設定 212
表 47. DAC 出力スイッチの設定（中容量、中 + 容量、および大容量デバイス） 212
表 48. 変換のトリガソース（中容量、中 + 容量、および大容量デバイス） 214
表 49. 変換トリガのソース 214

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 50. DAC レジスタマップ（中容量、中 + 容量、および大容量デバイス）.....229
表 51. DAC レジスタマップ.....229
表 52. ウィンドウ割り込み / ウェイクアップモード.....237
表 53. 低電力モードでのコンパレータの動作.....237
表 54. コンパレータ割り込みリクエスト.....237
表 55. コンパレータとルーティングインタフェースのレジスタマップ.....242
表 56. 代表的なフレームレート計算（入力周波数 = 16.384 kHz）.....248
表 57. 代表的なフレームレート計算（入力周波数 = 500 kHz）.....249
表 58. SEG および COM 信号の配置.....259
表 59. 低電力モードでの LCD 動作.....261
表 60. LCD 割り込みリクエスト.....262
表 61. タイマの特性.....271
表 62. タイマ機能の比較.....272
表 63. 内部タイマ信号の用語.....273
表 64. インデックス ‘i’、‘n’、および ‘x’ の説明.....274
表 65. カウント方向とエンコーダ信号.....321
表 66. 相補型 OCi および OCiN チャネルのブレーク機能による出力制御.....348
表 67. TIM1 レジスタマップ.....359
表 68. TIMx 内部トリガ接続.....370
表 69. ブレーク機能を持つ OCi チャネルの出力制御ビット
（ブレーク機能は組み込まれており、相補出力は組み込まれていない）.....385
表 70. TIMx レジスタマップ.....387
表 71. TIM4 レジスタマップ.....398
表 72. IR レジスタマップ.....400
表 73. BEEP レジスタマップ.....404
表 74. 低電力モードが RTC に与える影響.....417
表 75. 割り込み制御ビット.....417
表 76. RTC レジスタマップとリセット値.....439
表 77. IWDG タイムアウト時間の最小値 / 最大値（LSI クロック周波数 = 38 kHz).....443
表 78. IWDG レジスタマップ.....445
表 79. ウィンドウ型ウォッチドッグのタイミング例.....448
表 80. 低電力モードが WWDG に与える影響.....449
表 81. WWDG レジスタマップとリセット値.....450
表 82. 処理時間（クロックサイクル単位）.....457
表 83. 低電力モードが AES に与える影響.....457
表 84. AES 割り込みリクエスト.....458
表 85. AES レジスタマップとリセット値.....462
表 86. SMBus と I2C の比較.....480
表 87. 低電力モードでの I^2C インタフェース動作.....484
表 88. I^2C 割り込みリクエスト.....484
表 89. SCL 周波数テーブルに対する I2C_CCR 値（fSYSCLK= 10 MHz または 16 MHz）.....501
表 90. I^2C レジスタマップ.....504
表 91. サンプリングされたデータからのノイズ検出.....515
表 92. ボーレートのプログラミングとエラー計算.....517
表 93. USART レシーバの許容誤差（USART_DIV が 0 の場合）.....518
表 94. USART レシーバの許容誤差（USART_DIV が 0 でない場合）.....518
表 95. フレームフォーマット.....519
表 96. 低電力モードでの USART インタフェースの動作.....530
表 97. USART 割り込みリクエスト.....530
表 98. USART レジスタマップ.....542
表 99. 低電力モードでの SPI 動作.....561
表 100. SPI 割り込みリクエスト.....562

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 101. SPI レジスタマップとリセット値 568
表 102. 改版履歴 569

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図の一覧

図 1. プログラミングモデル 31
図 2. スタッキングの順序 32
図 3. 中容量 STM8L15x フラッシュプログラムおよびデータ EEPROM の構成 39
図 4. 中 + 容量 STM8L15x/16x フラッシュプログラムおよびデータ EEPROM の構成 40
図 5. 大容量 STM8L15x/16x フラッシュプログラムおよびデータ EEPROM の構成 41
図 6. 中容量 STM8L15x デバイスの UBC 領域サイズの定義 43
図 7. 中 + 容量 STM8L15x デバイスの UBC 領域サイズの定義 44
図 8. 大容量 STM8L15x/16x デバイスの UBC 領域サイズの定義 45
図 9. SWIM ピンの接続 61
図 10. 電源の概要 63
図 11. VDD 電圧検出：BOR の閾値 65
図 12. PVD 閾値 66
図 13. リセット回路 83
図 14. クロック構造 88
図 15. HSE クロックソース 90
図 16. クロック切り替えのフローチャート（自動モードの例） 94
図 17. クロック切り替えのフローチャート（手動モードの例） 95
図 18. GPIO ブロック図 117
図 19. ルーティングインタフェース（RI）ブロック図 125
図 20. DAC の相互接続 129
図 21. 内部基準電圧の出力 130
図 22. 割り込み処理のフローチャート 146
図 23. 優先順位決定プロセス 147
図 24. 同時割り込み管理 150
図 25. ネスト割り込み管理 151
図 26. DMA ブロック図 166
図 27. 16 ビットモードでのエンディアン形式 168
図 28. レギュラチャネル（中容量デバイス） 170
図 29. レギュラチャネル（中 + 容量および大容量デバイス） 170
図 30. MEM=0 でのメモリチャネル（中容量デバイス） 171
図 31. MEM=0 でのメモリチャネル（中 + 容量および大容量デバイス） 171
図 32. MEM=1 でのメモリチャネル（中容量デバイス） 172
図 33. MEM=1 でのメモリチャネル（中 + 容量および大容量デバイス） 172
図 34. DMA1 リクエストの配置（中容量デバイス） 174
図 35. ADC ブロック図 190
図 36. ADC 外部トリガ 193
図 37. シーケンスの例 195
図 38. 分解能とデータの配置 196
図 39. DAC チャネルのブロック図（中容量デバイス） 211
図 40. DAC チャネルのブロック図（中 + 容量および大容量デバイス） 211
図 41. DAC LFSR レジスタ計算アルゴリズム 215
図 42. DAC 三角波生成 216
図 43. コンパレータブロック図 232
図 44. COMP1 相互接続 234
図 45. COMP2 相互接続 235
図 46. COMP2 出力リダイレクション 236
図 47. ウィンドウモードでのコンパレータの設定 236
図 48. 中 + 容量および大容量 LCD コントローラのブロック図 245
図 49. 中容量 LCD コントローラのブロック図 246

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 50. 1/3 バイアス、1/4 デューティ 250
図 51. スタティックデューティ 252
図 52. 液晶ディスプレイと端子の接続（スタティックデューティ） 253
図 53. 液晶ディスプレイと端子の接続（1/2 デューティ、1/2 バイアス） 254
図 54. 液晶ディスプレイと端子の接続（1/3 デューティ、1/3 バイアス） 255
図 55. 液晶ディスプレイと端子の接続（1/4 デューティ、1/3 バイアス） 256
図 56. 液晶ディスプレイと端子の接続（1/8 デューティ、1/4 バイアス） 257
図 57. 抵抗回路網 260
図 58. コントラスト制御 261
図 59. SOF 割り込み信号 261
図 60. TIM1 の一般的ブロック図 277
図 61. タイムベースユニット 278
図 62. カウンタの 16 ビット読み出しシーケンス（TIM1_CNTR） 279
図 63. アップカウントモードのカウンタ 280
図 64. プリスケーラ = 2 で APRE = 0（ARR はプリロードされない）のときのカウンタの更新 281
図 65. ARPE=1（TIM1_ARR はプリロードされる）のときのカウンタ更新イベント 281
図 66. ダウンカウントモードのカウンタ 282
図 67. プリスケーラ = 2 で APRE = 0（ARR はプリロードされない）のときのカウンタの更新 283
図 68. プリスケーラ = 1 で ARPE = 1（ARR はプリロードされる）のときのカウンタの更新 283
図 69. センタアラインモードのカウンタ 284
図 70. カウンタのタイミング図、$f_{CK_CNT} = f_{CK_PSC}$, TIM1_ARR = 06h, ARPE = 1 285
図 71. モードと TIM1_RCR レジスタの設定による更新レートの例 286
図 72. クロック / トリガコントローラのブロック図 287
図 73. 通常モードの制御回路、$f_{CK_PSC} = f_{SYSCLK}$ 288
図 74. TI2 外部クロックの接続例 288
図 75. 外部クロックモード 1 の制御回路 289
図 76. 外部トリガ入力のブロック図 290
図 77. 外部クロックモード 2 の制御回路 290
図 78. トリガモードの制御回路 291
図 79. トリガリセットモードの制御回路 292
図 80. トリガゲートモードの制御回路 293
図 81. 外部クロックモード 2 ＋トリガモードの制御回路 294
図 82. タイマ連結システムの実装例 295
図 83. トリガ / マスタモード選択ブロック 296
図 84. マスタ / スレーブタイマの例 296
図 85. タイマ A の OC1REF によるタイマ B のゲート操作 297
図 86. タイマ A のカウンタイネーブル信号（CNT_EN）によるタイマ B のゲート操作 298
図 87. タイマ A の UEV（TIMERA-UEV）によるタイマ B のトリガ 299
図 88. タイマ A のカウンタイネーブル信号（CNT_EN）によるタイマ B のトリガ 300
図 89. タイマ A の TI1 入力によるタイマ A とタイマ B のトリガ 301
図 90. キャプチャ / 比較チャネル 1 メイン回路 301
図 91. キャプチャモードでの TIM1_CCRi レジスタの 16 ビット読み出しシーケンス 302
図 92. チャネル入力ステージのブロック図 303
図 93. TIM 1 チャネル 1 の入力ステージ 303
図 94. PWM 入力信号の測定 305
図 95. PWM 入力信号測定の例 306
図 96. チャネル出力ステージのブロック図 306
図 97. 相補出力を持つチャネル（チャネル 1）の出力ステージの詳細 307
図 98. 出力比較モード、OC1 のトグル 309
図 99. エッジアラインカウントモード PWM モード 1 の波形（ARR=8） 311
図 100. センターアライン PWM 波形（ARR=8） 312
図 101. ワンパルスモードの例 313

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 102. デッドタイムが挿入された相補出力 315
図 103. 負のパルスより遅延が大きいデッドタイム波形 315
図 104. 正のパルスより遅延が大きいデッドタイム波形 315
図 105. 6 ステップ 生成、COM の例（OSSR=1） 317
図 106. ブレークに対する出力の動作（相補出力なしのチャネル） 319
図 107. ブレークに対する出力の動作（TIM1 相補出力） 319
図 108. OCREFCLR のアクティブ化 320
図 109. エンコーダインタフェースモードにおけるカウンタの動作例 322
図 110. IC1 の極性を反転したエンコーダインタフェースモードの例 322
図 111. ホールセンサインタフェースの例 324
図 112. DMA バーストモードの例 326
図 113. TIMx のブロック図 362
図 114. タイムベースユニット 363
図 115. 入力ステージのブロック図 364
図 116. TIM 2 チャネル 1 の入力ステージ 364
図 117. 出力ステージ 365
図 118. チャネル 1 の出力ステージ 365
図 119. TIM4 ブロック図 389
図 120. TIM2 および TIM3 と IR の内部ハードウェア接続 399
図 121. BEEP のブロック図 401
図 122. RTC のブロック図 （中容量デバイス） 407
図 123. RTC のブロック図（中 + 容量および大容量デバイス） 408
図 124. 独立型ウォッチドッグ（IWDG）のブロック図 442
図 125. ウォッチドッグのブロック図 447
図 126. ウィンドウ型ウォッチドッグのタイミング図 448
図 127. ブロック図 452
図 128. モード 1：暗号化 453
図 129. モード 2：キー生成 454
図 130. モード 3：復号 455
図 131. モード 4：キー生成と復号 455
図 132. 入力フェーズ中の DMA リクエストとデータ転送（AES_IN） 456
図 133. 出力フェーズ中の DMA リクエスト（AES_OUT） 456
図 134. I^2C バスプロトコル 465
図 135. I^2C ブロック図 466
図 136. スレーブトランスミッタの転送シーケンス図 468
図 137. スレーブレシーバの転送シーケンス図 469
図 138. マスタトランスミッタの転送シーケンス図 472
図 139. 方法 1：マスタレシーバの転送シーケンス図 474
図 140. 方法 2：マスタレシーバの転送シーケンス図（N >2 の場合） 475
図 141. 方法 2：マスタレシーバの転送シーケンス図（N=2 の場合） 476
図 142. 方法 2：マスタレシーバの転送シーケンス図（N=1 の場合） 477
図 143. STM8L15xxx I2C 割り込みの配置図 485
図 144. STM8L15xx USART のブロック図 508
図 145. ワード長のプログラミング 509
図 146. 設定可能なストップビット 511
図 147. 送信時の TC/TXE の動作 512
図 148. スタートビットの検出 513
図 149. ノイズ検出のためのデータサンプリング 515
図 150. BRR レジスタで USART_DIV をコード化する方法 517
図 151. アイドルライン検出を使用したミュートモード 520
図 152. アドレスマーク検出を使用したミュートモード 521
図 153. USART の同期送信の例 522

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 154. USART データクロックタイミング図（M=0）. 522
図 155. USART データクロックタイミング図（M=1）. 523
図 156. RX データのセットアップ / ホールド時間 523
図 157. ISO 7816-3 非同期プロトコル. 524
図 158. 1.5 ストップビットを利用したパリティエラー検出. 525
図 159. IrDA SIR ENDEC のブロック図 527
図 160. IrDA データ変調（3/16）- 通常モード. 527
図 161. DMA を使用した送信. 528
図 162. DMA を使用した受信. 529
図 163. USART 割り込みマッピング図 531
図 164. SPI のブロック図 544
図 165. シングルマスタ / シングルスレーブアプリケーション. 545
図 166. ハードウェア / ソフトウェアのスレーブ選択管理 545
図 167. データクロックのタイミング図 547
図 168. 全二重モードでの TXE/RXNE/BSY 動作（RXONLY = 0）連続転送の場合 552
図 169. スレーブ / 全二重モードでの TXE/RXNE/BSY 動作（BDM = 0、RXONLY = 0）
連続転送の場合 552
図 170. マスタ送信専用モードでの TXE/BSY 動作（BDM = 0 および RXONLY = 0）連続転送の場合. . . . 553
図 171. スレーブ送信専用モードでの TXE/BSY 動作（BDM = 0 および RXONLY = 0）
連続転送の場合 554
図 172. 受信専用モードでの RXNE 動作（BDM = 0 および RXONLY = 1）連続転送の場合. 555
図 173. 送信時の TXE/BSY 動作（BDM = 0 および RXLONY = 0）不連続転送の場合 555
図 174. DMA を使用した送信. 559
図 175. DMA を使用した受信. 560

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

1 中央演算処理装置 (CPU)

このセクションは、特に指定がない限り、中容量 STM8L15x デバイス、中+容量 STM8L15x デバイス、および大容量 STM8L15x/STM8L16x デバイスに適用されます。

1.1 はじめに

この CPU は 8 ビットアーキテクチャを採用しています。6 つの内部レジスタにより効率的なデータ処理が可能です。この CPU は 80 個の基本命令を実行することができます。20 通りのアドレスモードをサポートし、6 つの内部レジスタをアドレス指定することができます。命令セットの詳しい説明については、STM8 マイクロコントローラファミリプログラミングマニュアル（PM0044）を参照してください。

1.2 CPU レジスタ

6 つの CPU レジスタが *図 1* のプログラミングモデルに示されています。割り込みの後、レジスタは *図 2* に示されている順序でスタックにプッシュされます。逆の順序でスタックからポップされます。したがって、割り込みルーチンは必要に応じて、POP および PUSH 命令を使って処理する必要があります。

1.2.1 CPU レジスタの説明

アキュムレータ (A)

アキュムレータは、オペランドと算術演算および論理演算の結果に加えて、データ操作の結果を保持するために使用される 8 ビットの汎用レジスタです。

インデックスレジスタ (X および Y)

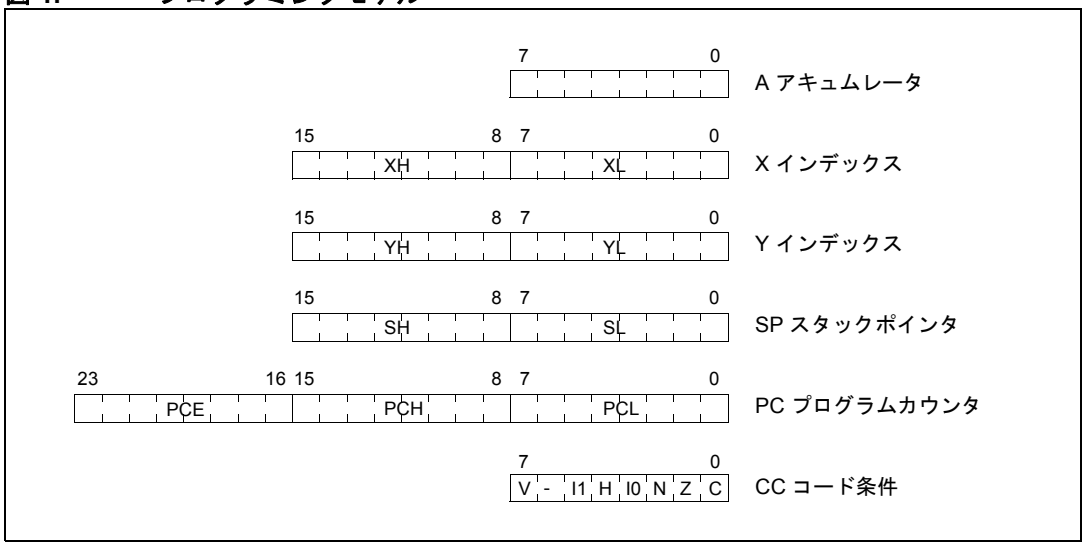
これらは、有効なアドレスを作成するために使用される 16 ビットのレジスタです。また、データ操作のための一時的なストレージ領域としても使用され、特定の命令（乗算/除算）のために本来使用されるメモリとしての役割も持っています。ほとんどの場合、後続の命令が Y レジスタを参照することを示すために、クロスアセンブラは PRECODE 命令（PRE）を生成します。

プログラムカウンタ（PC）

プログラムカウンタは、CPU によって実行される次の命令のアドレスを格納するために使用される 24 ビットのレジスタです。各命令が処理された後、自動的にリフレッシュされます。その結果、STM8 コアは最大 16 MB のメモリにアクセスできます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 1. プログラミングモデル



スタックポインタ（SP）

スタックポインタは、16 ビットのレジスタです。スタックの次の空き位置のアドレスを含みます。製品によって異なりますが、最上位ビットを強制的にプリセット値に設定できます。

スタックは、サブルーチンコールまたは割り込み時に CPU コンテキストを保存するために使用されます。ユーザは、POP および PUSH 命令を使って直接使用することもできます。

スタックポインタは、C コンパイラで提供されるスタートアップ機能によって初期化できます。C 言語で書かれたアプリケーションの場合、初期化は、C ユーザ用リンカファイルで指定されたアドレスに従って実行されます。ユーザ固有のリンカファイルまたはスタートアップファイルを使用する場合は、スタックポインタが正しく（データシートに示されているアドレスで）初期化されていることを確認してください。アセンブラで書かれたアプリケーションの場合、ST によって提供されるスタートアップ機能を使用するか、正しいアドレスでスタックポインタを初期化することによってユーザ独自のスタートアップ機能をプログラムすることができます。

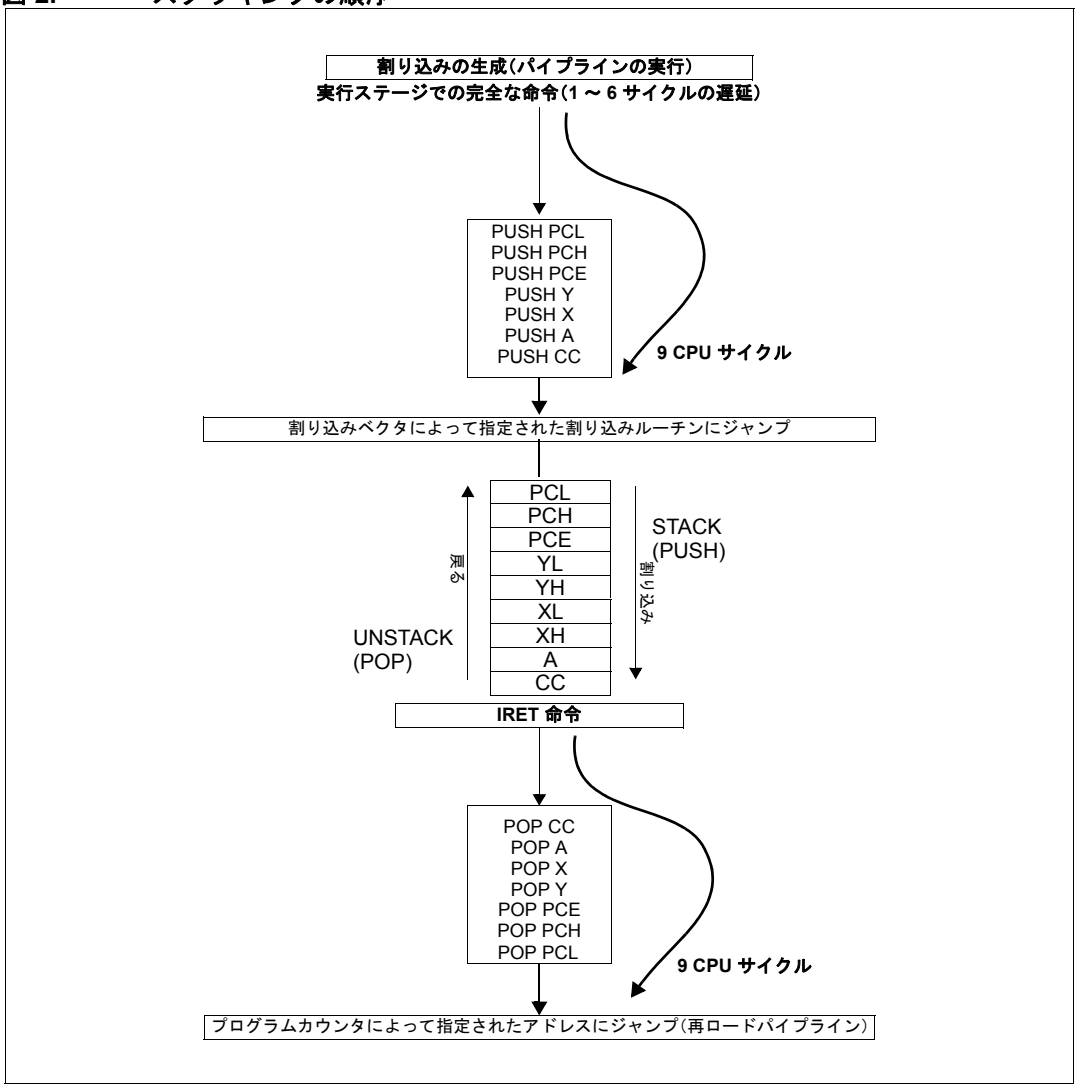
スタックポインタは、データがスタックにプッシュされるとデクリメントされ、スタックからポップされるとインクリメントされます。アプリケーションでは、下限値を超えないようにする必要があります。

サブルーチンコールは、2 つまたは 3 つのスタックを占有します。割り込みは、すべての内部レジスタ（SP を除く）を保存するために、9 つのスタックを占有します。詳細については、*図 2* を参照してください。

注： ***WFI/HALT 命令は、コンテキストを事前に保存します。CPU がこれらのモードにあるときに割り込みが発生した場合、遅延は小さくなります。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 2. スタッキングの順序



条件コードレジスタ（CC）

条件コードレジスタは、実行直後の命令の結果とプロセッサの状態を示す 8 ビットのレジスタです。このレジスタの第 7 ビットは予約済みです。これらのビットは、プログラムによって個別にテストでき、その状態の結果としてとられるアクションを指定できます。各ビットについて、以下に説明します。

- V：オーバーフロー

セットされたとき、V は、最後の符号付き算術演算中に MSB 結果ビットのオーバーフローが発生したことを示します。INC、INCW、DEC、DECW、NEG、NEGW、ADD、ADDW、ADC、SUB、SUBW、SBC、CP、および CPW 命令を参照してください。

- I1：割り込みマスクレベル 1

I1 フラグは、*表 1* に示されているように、I0 フラグとともに現在の割り込み可能レベルを定義します。これらのフラグは、RIM、SIM、HALT、WFI、WFE、IRET、TRAP、および POP 命令を通じて、ソフトウェアによってセット/クリアでき、割り込みサービスルーチンに入ったときにハードウェアによって自動的にセットされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 1. 割り込みレベル

割り込み可能	優先度	I1	I0
割り込み可能メイン	最低	1	0
割り込み可能レベル 1		0	1
割り込み可能レベル 2		0	0
割り込み不可	最高	1	1

- H : ハーフキャリービット

H ビットは、ADD または ADC 命令の実行中に ALU のビット 3 とビット 4 の間で桁上げが発生したときに 1 にセットされます。H ビットは、BCD 算術演算サブルーチンで役立ちます。

- I0 : 割り込みマスクレベル 0

フラグ I1 を参照してください。

- N : ネガティブ

1 にセットされた場合、このビットは、最後の算術演算、論理演算、またはデータ操作の結果が負である（すなわち、最上位ビットが論理 1 である）ことを示します。

- Z : ゼロ

1 にセットされた場合、このビットは、最後の算術演算、論理演算、またはデータ操作の結果がゼロであることを示します。

- C : 桁上げ

セットされた場合、C は、最後の算術演算中に MSB 演算結果ビットで ALU の桁上げまたは桁下げが発生したことを示します。このビットは、ビットテスト、ブランチ、シフト、ローテート、およびロード命令中にも影響されます。ADD、ADC、SUB、および SBC 命令を参照してください。

除算演算では、C は、実行中に問題（商のオーバーフロー、ゼロでの除算）が発生したかどうかを示します。DIV 命令を参照してください。

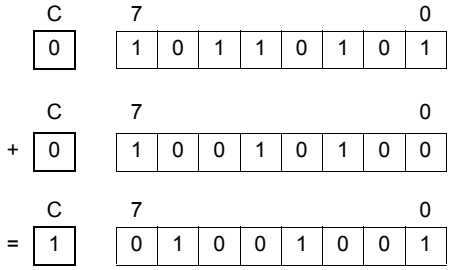
ビットテスト演算では、C は、テストされたビットのコピーです。BTJF および BTJT 命令を参照してください。
シフトおよびローテート演算では、桁上げは更新されます。RRC、RLC、SRL、SLL、および SRA 命令を参照してください。

このビットは、SCF、RCF、および CCF 命令を使用して、ソフトウェアによってセット、リセット、または補数化できます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

例：加算

$B5 + $94 = "C" + $49 = $149



1.2.2 STM8 CPU レジスタマップ

CPU レジスタは、*表 2* に示されているように、STM8 アドレス空間に配置されます。これらのレジスタは、デバッグモジュールからのみアクセスでき、コアで実行されるメモリアクセス命令によってアクセスすることはできません。

表 2. CPU レジスタマップ

アドレスオフセット	レジスタ名	7	6	5	4	3	2	1	0
0x00	A	MSB	-	-	-	-	-	-	LSB
0x01	PCE	MSB	-	-	-	-	-	-	LSB
0x02	PCH	MSB	-	-	-	-	-	-	LSB
0x03	PCL	MSB	-	-	-	-	-	-	LSB
0x04	XH	MSB	-	-	-	-	-	-	LSB
0x05	XL	MSB	-	-	-	-	-	-	LSB
0x06	YH	MSB	-	-	-	-	-	-	LSB
0x07	YL	MSB	-	-	-	-	-	-	LSB
0x08	SPH	MSB	-	-	-	-	-	-	LSB
0x09	SPL	MSB	-	-	-	-	-	-	LSB
0x0A	CC	V	-	I1	H	I0	N	Z	C

1.3 グローバル設定レジスタ（CFG-GCR）

1.3.1 起動レベル

MCU 起動レベルは、CFG_GCR レジスタの AL ビットをプログラムすることによって設定されます。

このビットの詳細については、*セクション 12.4: 起動レベル/低電力モードの制御（149 ページ）*を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

1.3.2 SWIM ディセーブル

デフォルトでは、MCU リセット後、SWIM ピンは、デバッグ用またはフラッシュ /EEPROM プログラミング用の外部ツールとの通信ができるように設定されます。このピンをアプリケーションによって汎用 I/O として使用できるように設定できます。このためには、CFG_GCR レジスタの SWD ビットをセットします。

1.3.3 グローバル設定レジスタの説明 (CFG_GCR)

アドレスオフセット：0x00

リセット値：0x00

7	6	5	4	3	2	1	0
予約済み						AL	SWD
						rw	rw

ビット 7：2 予約済み、クリア状態を保つ必要があります。

ビット 1 **AL**：起動レベル

このビットは、ソフトウェアによってセット/クリアされます。メインまたは割り込み専用起動レベルを設定します。

0：メイン起動レベル。IRET 命令があると、スタックからコンテキストが取り出され、メインプログラムは WFI 命令後から続行します。

1：割り込み専用起動レベル。IRET 命令があると、CPU はコンテキストを復元せずに、WFI/ホールトモードに戻ります。

ビット 0 **SWD**：SWIM ディセーブル

0：SWIM モードは有効です。

1：SWIM モードは無効です。

SWIM モードが有効なときには、SWIM ピンを汎用 I/O として使用することはできません。

1.3.4 グローバル設定レジスタマップとリセット値

CFG_GCR は、STM8 アドレス空間に配置されます。ベースアドレスについては、対応するデータシートを参照してください。

表 3. CFG_GCR レジスタマップ

アドレスオフセット	レジスタ名	7	6	5	4	3	2	1	0
0x00	CFG_GCR リセット値	- 0	- 0	- 0	- 0	- 0	- 0	AL 0	SWD 0

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

2 ブート ROM

このセクションは、特に指定がない限り、中容量 STM8L15x デバイス、中+容量 STM8L15x デバイス、および大容量 STM8L15x/STM8L16x デバイスに適用されます。

内蔵の 2 KB ブート ROM には、ブートローダコードが含まれています。その主な役割は、USART1、USART2、USART3（非同期モードの USART)、SPI1 または SPI2 インタフェース を通じて、アプリケーションプログラムを内蔵フラッシュ /EEPROM にダウンロードして、内蔵フラッシュ /EEPROM にコード、データ、オプションバイト、および割り込みベクタをプログラムすることです。

ブートローダは、リセット後に実行を開始します。詳細については、STM8 ブートローダのユーザマニュアル（UM0560）を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

3 フラッシュプログラムメモリとデータ EEPROM（フラッシュ）

このセクションの説明は、特に指定がない限り、中容量 STM8L15x デバイス、中+容量 STM8L15x デバイス、および大容量 STM8L15x/STM8L16x デバイスに適用されます。

3.1 はじめに

内蔵のフラッシュプログラムメモリとデータ EEPROM は、共通のレジスタセットによって制御されます。これらのレジスタを使用して、アプリケーションは、メモリ内容をプログラムまたは消去したり、書き込み保護を設定することができます。アプリケーションは、デバイスのオプションバイトをプログラムすることもできます。

3.2 用語

- ブロック

  ブロックとは、1 回のプログラミング操作でプログラムまたは消去できるバイトのセットです。ブロックレベルで実行される操作は、標準のプログラミングおよび消去より高速に実行されます。ブロックサイズの詳細については、*表 4* を参照してください。

- ページ

  ページとは、ブロックのセットです。

  専用オプションバイトを使用して、ユーザブートコード および独自仕様コード（使用可能な場合）のサイズを 1 ページの単位で設定ことができます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

3.3 フラッシュの主な特長

- **中容量および中+容量 STM8L15x** EEPROM は、3 つのメモリ配列に分けられます（メモリマッピングの詳細については、*セクション 3.4: メモリ構成*を参照してください）。
  - 最大 32 KB の組み込みフラッシュプログラム
  - 最大 1 KB のデータ EEPROM
  - 最大 128 バイトのオプションバイト（1 ブロック）

  フラッシュプログラムおよびデータ EEPROM 領域は、共通のレジスタセットによって制御され、メモリの内容をプログラムしたり、消去したり、書き込み保護を有効にすることができます。
- **大容量 STM8L15x/16x** EEPROM は、3 つのメモリ領域に分けられます（メモリマッピングの詳細については、*セクション 3.4: メモリ構成*を参照してください。）
  - 64 KB の組み込みフラッシュプログラム
  - 最大 2 KB のデータ EEPROM
  - 最大 128 バイトのオプションバイト（1 ブロック）

  フラッシュプログラムおよびデータ EEPROM 領域は、共通のレジスタセットによって制御され、メモリの内容をプログラムしたり、消去したり、書き込み保護を有効にすることができます。
- プログラミングモード
  - バイトプログラミングと自動高速バイトプログラミング（消去操作なしで）
  - ワードプログラミング
  - ブロックプログラミングおよび高速ブロックプログラミングモード（消去操作なしで）
  - プログラム/消去操作の終了時と不正プログラム操作時の割り込み生成。
- 書き込み中読み出し機能（RWW）
- アプリケーション内プログラミング（IAP）およびインサーキッドプログラミング（ICP）機能
- 保護機能
  - メモリ読み出し保護（ROP）
  - メモリアクセスセキュリティシステムによるプログラムメモリの書き込み保護（MASS キー）
  - メモリアクセスセキュリティシステムによるデータメモリの書き込み保護（MASS キー）
  - プログラマブルな、書き込み保護されたユーザブートコード領域（UBC）
  - 独自仕様コード領域（使用可能な場合）の自動読み出し保護
- メモリの状態は、待機モード（低電力待機）および実行モード（低電力実行）で通常モードまたはパワーダウンモード（I_{DDQ}）に設定可能。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

3.4 メモリ構成

3.4.1 中容量デバイスメモリ構成

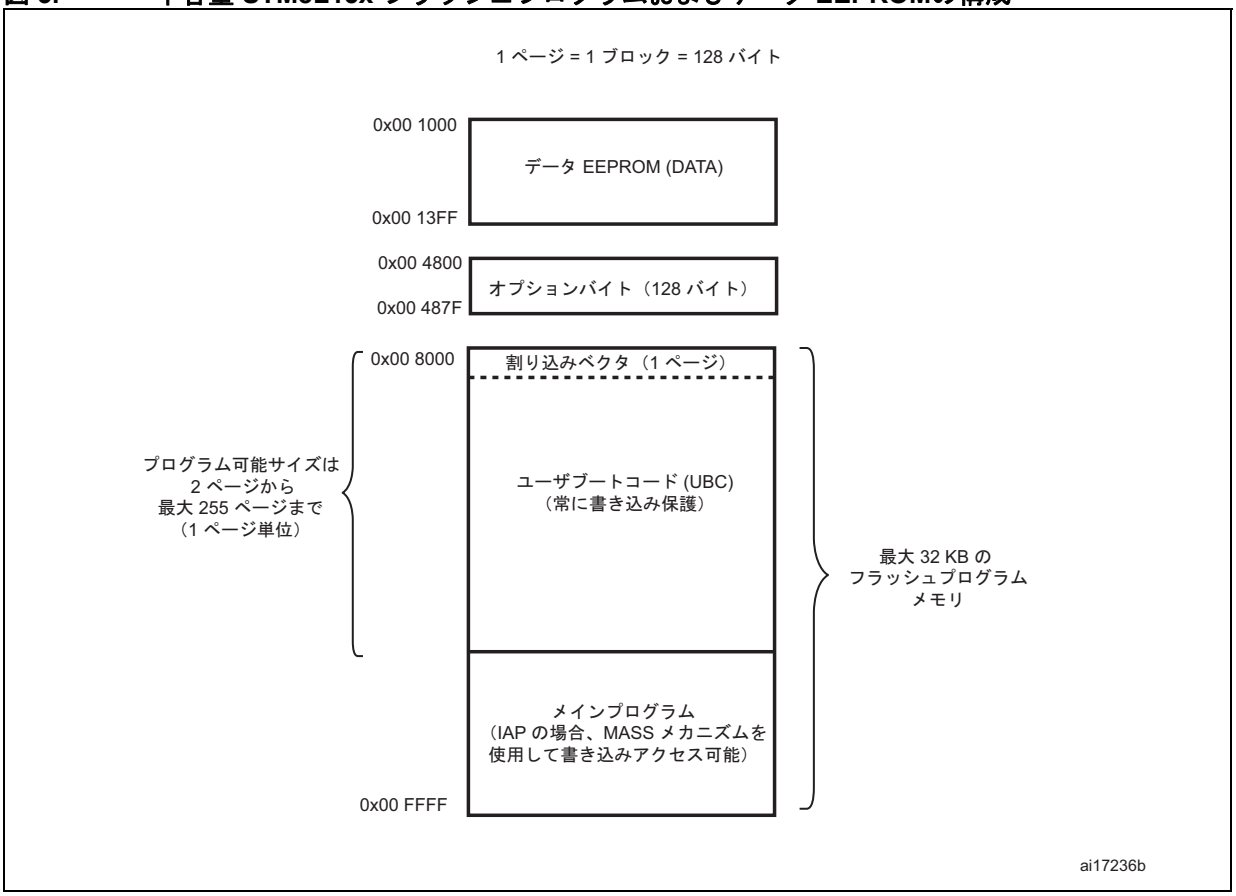
中容量 STM8L15x EEPROM は、2 つのメモリ配列に分けられます。

- それぞれ 128 バイトの 256 ページで構成される最大 32 KB のフラッシュプログラムメモリ。メモリ配列は 32 ビットワード（1 ワードあたり 4 バイト）で構成されます。これは、次の 2 つの領域を含みます。
  - ユーザブートコード領域（UBC）
  - メインプログラム領域

  フラッシュプログラムメモリ（アドレス 0x00 8000 から開始）の最初のブロック（128 バイト）は、割り込みベクタを含みます。
- それぞれ 128 バイトの 8 ページで構成される最大 1 KB のデータ EEPROM。
- 別のメモリ配列にある 1 ブロック（128 バイト）のオプションバイト。

メモリ構成については、*図 3* を参照してください。

図 3. 中容量 STM8L15x フラッシュプログラムおよびデータ EEPROMの構成



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

3.4.2 中+容量デバイスメモリの構成

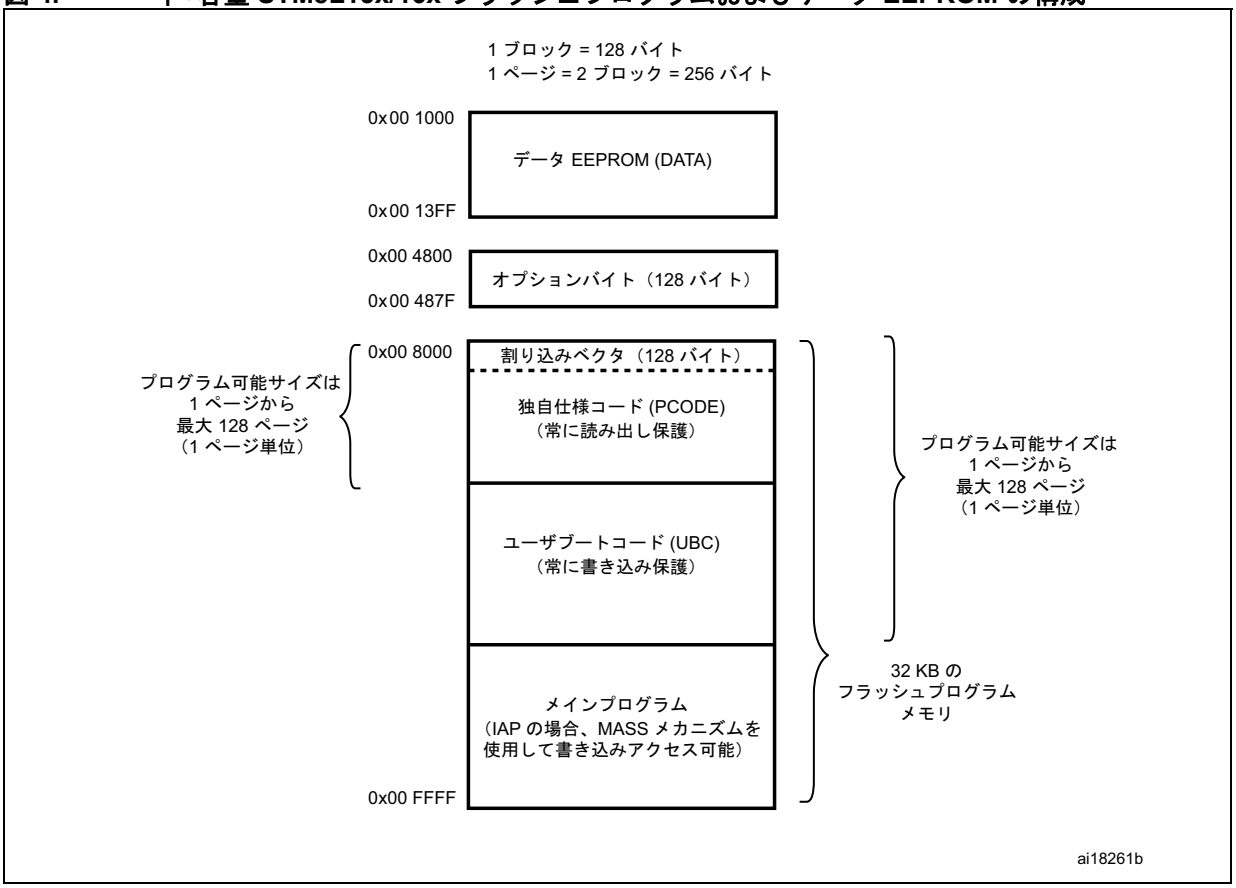
中+容量 STM8L15x EEPROM は、3 つのメモリ配列に分けられます。

- それぞれ 256 バイトの 128 ページで構成される 32 KB のフラッシュプログラムメモリ。メモリ配列は 32 ビットワード（1 ワードあたり 4 バイト）で構成されます。これは、次の 3 つの領域を含みます。
  - ユーザブートコード領域（UBC）
  - 独自仕様コード領域（PCODE）
  - メインプログラム領域

  フラッシュプログラムメモリ（アドレス 0x00 8000 から開始）の最初のブロック（128 バイト）は、割り込みベクタを含みます。
- それぞれ 256 バイトの 4 ページで構成される最大 1 KB のデータ EEPROM。
- 別のメモリ配列にある 1 ブロック（128 バイト）のオプションバイト。

メモリ構成については、*図 4* を参照してください。

図 4. 中+容量 STM8L15x/16x フラッシュプログラムおよびデータ EEPROM の構成



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

3.4.3 大容量デバイスメモリの構成

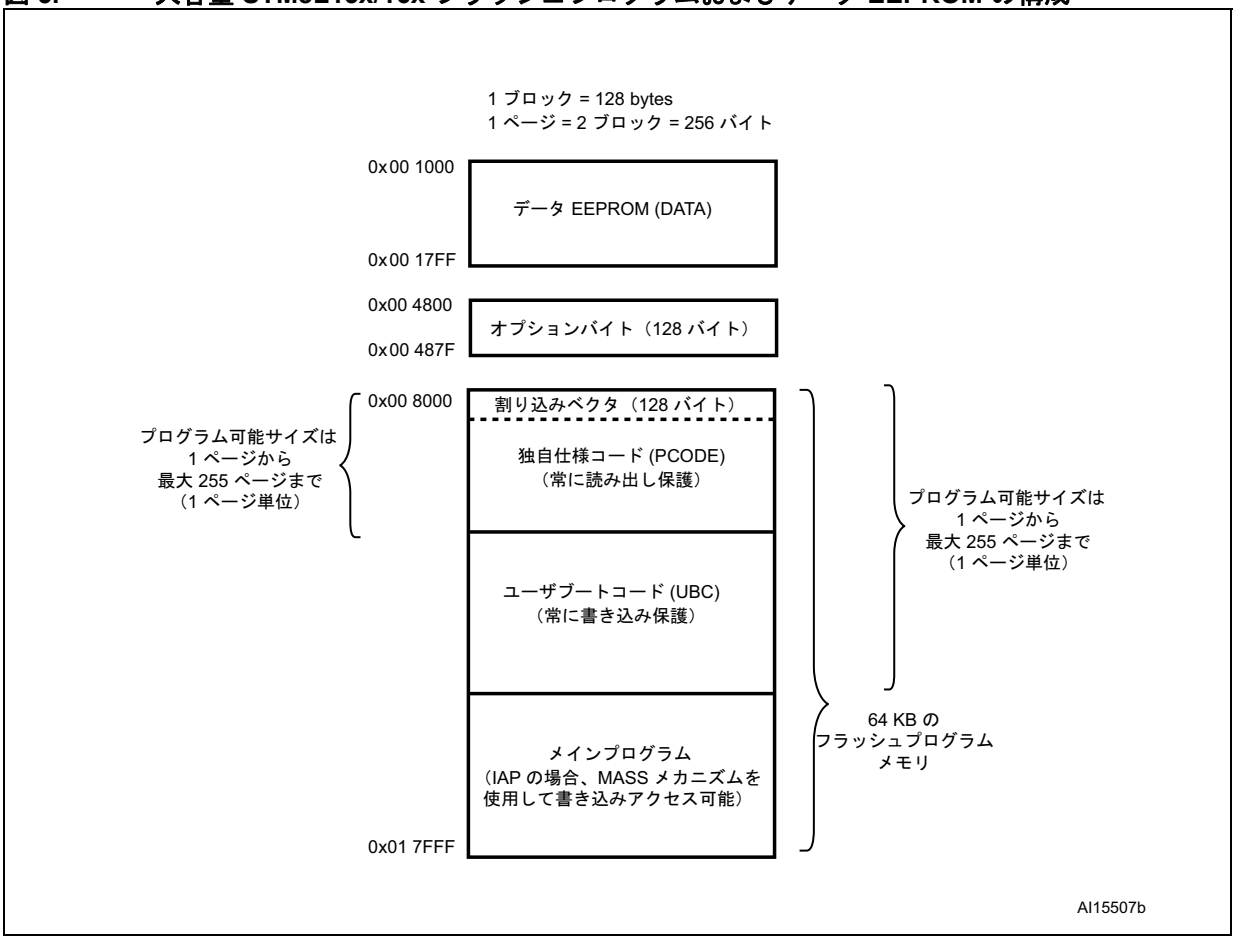
大容量 STM8L15x/16x EEPROM は、3 つのメモリ配列に分けられます。

- それぞれ 256 バイトの 256 ページで構成される 64 KB のフラッシュプログラムメモリ。メモリ配列は 32 ビットワード（1 ワードあたり 4 バイト）で構成されます。これは、次の 3 つの領域を含みます。
  - ユーザブートコード領域（UBC）
  - 独自仕様コード領域（PCODE）
  - メインプログラム領域

  フラッシュプログラムメモリ（アドレス 0x00 8000 から開始）の最初のブロック（128 バイト）は、割り込みベクタを含みます。
- それぞれ 256 バイトの 8 ページで構成される最大 2 KB のデータ EEPROM。
- 別のメモリ配列にある 1 ブロック（128 バイト）のオプションバイト。

メモリ構成については、*図 5* を参照してください。

図 5. 大容量 STM8L15x/16x フラッシュプログラムおよびデータ EEPROM の構成



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

3.4.4 独自仕様コード領域（PCODE）

独自仕様コード領域（PCODE）は、ペリフェラルを駆動する独自仕様ソフトウェアライブラリを保護するために使用できます。中+容量および大容量デバイスでのみ使用できます。

PCODE 領域のサイズは、ICP モードで（SWIM インタフェースを使用して）PCODE オプションバイト（PCODESIZE）によって設定できます。このオプションバイトは、アドレス 0x00 8000 から始まる PCODE 領域に割り当てられるページ数（256 バイト単位）を指定します。プログラムされると、PCODE オプションバイトは消去できなくなり、PCODE 領域のサイズは固定されます。

PCODE 領域の最小実効サイズは 1 ページ（256 バイト）であり、そのうち 128 バイトは割り込みベクタを格納するために使用されます。

中+容量デバイスでは、PCODE 領域の最大サイズは 0x00 8000 から 0x00 FFFF までの 128 ページです。大容量デバイスでは、PCODE 領域の最大サイズは 0x00 8000 から 0x00 7EFF までの 255 ページです。

PCODE 領域は、割り込みベクタの TRAP および TLI を除き、自動的に読み出し保護されます（*セクション 3.5.1: 読み出し保護* および *表 5: メモリアクセスとプログラミング法（中+容量および大容量デバイス）* を参照）。読み出し保護は、この領域内では無効にできません。これは、PCODE の内容を読み出したり、変更できないことを意味します。

PCODE 領域は、TRAP および TLI を通してのみ読み出すことができます。

3.4.5 ユーザブート領域（UBC）

ユーザブート領域（UBC）は、リセットおよび割り込みベクタを含みます。IAP および通信ルーチンを格納するために使用できます。UBC 領域は、IAP プログラミング中の意図しない消去や変更を防ぐために、第 2 レベルの保護対策が施されています。これは、常に書き込み保護され、MASS キーを使用して書き込み保護をロック解除できないことを意味します。

UBC 領域のサイズは、UBC オプションバイトを読み出すことによって確認できます。

UBC 領域のサイズは、ICP モードで（SWIM インタフェースを使用して）UBC オプションバイトによって設定できます。UBC オプションバイトは、アドレス 0x00 8000 から始まる UBC 領域に割り当てられるページ数を指定します。

中容量 STM8L15 x デバイスでは、UBC 領域の最小実効サイズは 2 ページであり、そのうち 1 ページは割り込みベクタを格納するために使用されます。

中+および大容量デバイスでは、UBC 領域の最小実効サイズは 1 ページであり、そのうち 128 バイトは割り込みベクタを格納するために使用されます。

注： ***PCODE 領域が定義されているとき、UBC の最小サイズは PCODESIZE+1 となります。ブートコードの格納に使用できる UBC の部分は、PCODE 領域の終わりと、定義された UBC 領域の終わりとの間に位置する領域です。***

大容量 STM8L15x/16x デバイスでは、ブート領域の最大サイズは 0x00 8000 から 0x01 7EFF までの 255 ページです（割り込みベクタを含む）。

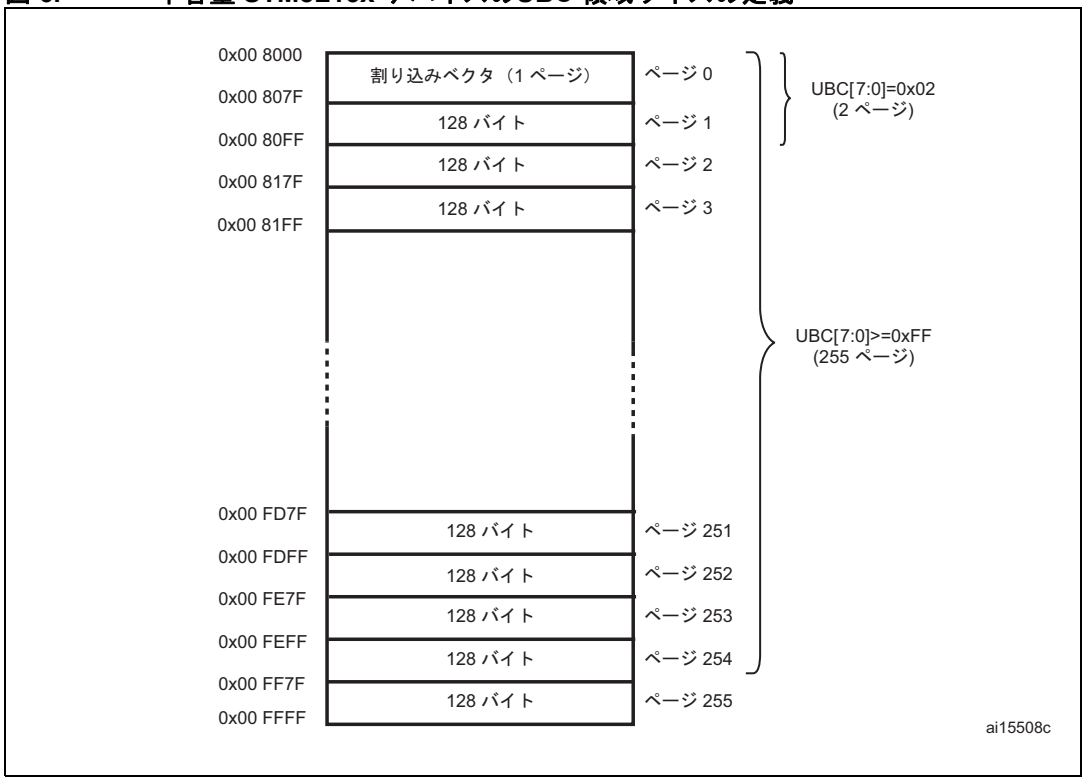
中+容量 STM8L15x デバイスでは、ブート領域の最大サイズは 0x00 8000 から 0x00 FFFF までの 128 ページです（割り込みベクタを含む）。

中容量 STM8L15x デバイスでは、ブート領域の最大サイズは 0x00 8000 から 0x00 FF7F までの 255 ページです（割り込みベクタを含む）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

UBC 領域のメモリマッピングの説明については、*図 6*、*図 7*、および *図 8* を、UBC オプションバイトの詳細については、データシートのオプションバイトの項目を参照してください。

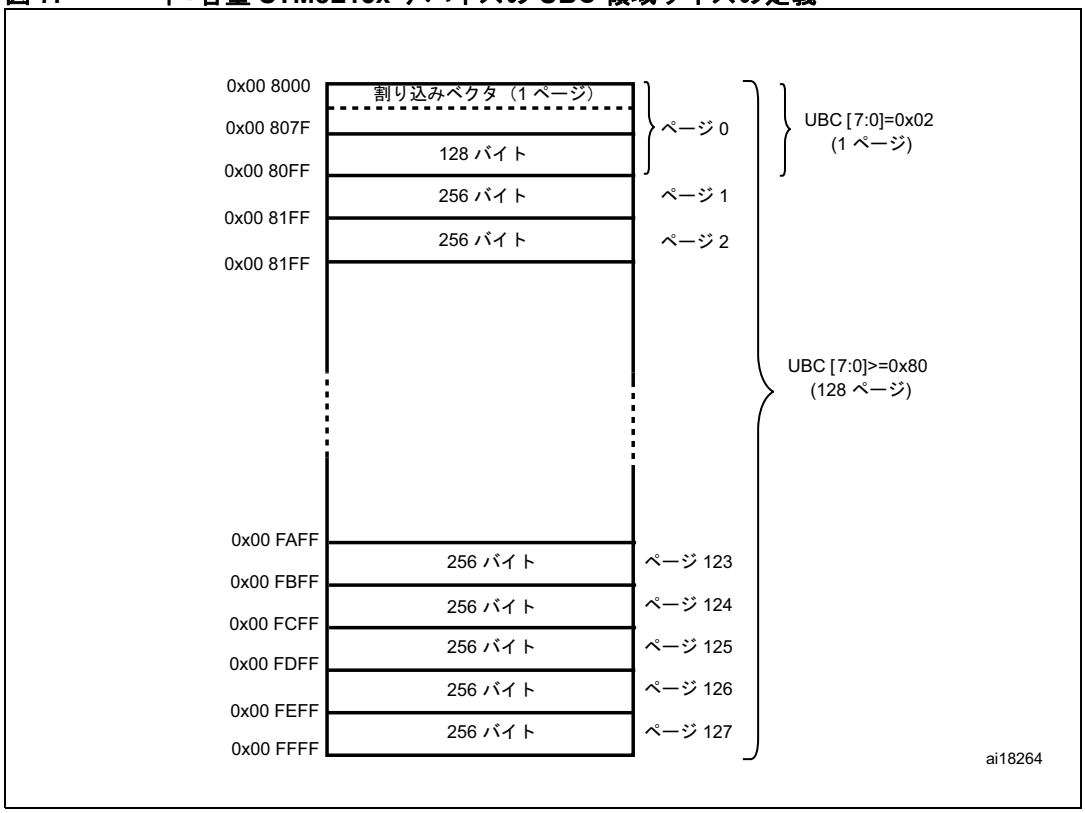
図 6. 中容量 STM8L15x デバイスのUBC 領域サイズの定義



1. UBC[7：0]= 0x00 は、UBC 領域にメモリ空間が割り当てられないことを意味します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

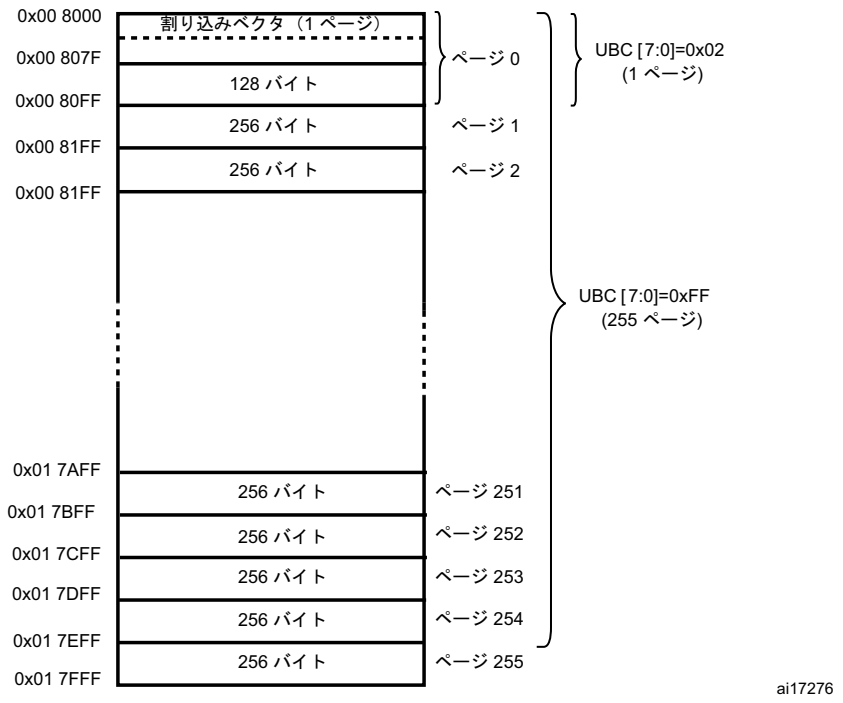
図 7. 中+容量 STM8L15x デバイスの UBC 領域サイズの定義



1. UBC[7：0]= 0x00 は、UBC 領域にメモリ空間が割り当てられないことを意味します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 8. 大容量 STM8L15x/16x デバイスの UBC 領域サイズの定義



1. UBC[7：0]= 0x00 は、UBC 領域にメモリ空間が割り当てられないことを意味します。

3.4.6 データ EEPROM（DATA）

データ EEPROM 領域は、アプリケーションデータを格納するために使用できます。デフォルトでは、DATA 領域は、IAP モードでメインプログラムを更新する際の意図しない変更を防ぐため、書き込み保護されています。書き込み保護は、特定の MASS キーシーケンスを使用することによってのみロック解除できます（*DATA 領域への書き込みアクセスの有効化*を参照）。

DATA 領域のサイズは、中容量および中+容量 STM8L15x デバイスの場合は 1KB、大容量 STM8L15x/16x デバイスの場合は 2 KBです。アドレス 0x00 1000 から始まります（*図 3*、*図 4*、および*図 5* を参照）。

3.4.7 メインプログラム領域

メインプログラム領域は、UBC または PCODE（使用可能な場合）の終わりから始まり、中容量および中+容量 STM8L15x ではアドレス 0x00 FFFFで、大容量 STM8L15x/16x では 0x017FFF で終わる領域です。アプリケーションコードを格納するために使用できます（*図 3*、*図 4*、および *図 5* を参照）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

3.4.8 オプションバイト

オプションバイトは、デバイスハードウェア機能とメモリ保護を設定するために使用されます。1 ブロックの専用メモリ配列にあります。

オプションバイトは、ROP および UBC と PCODESIZE（使用可能な場合）を除き、ICP/SWIM モードと IAP モードのどちらでも変更できます。

オプションバイトの詳細については、データシートのオプションバイトのセクションを、プログラミングの詳細については、STM8 SWIM プロトコルおよびデバッグモジュールユーザマニュアル（UM0470）を参照してください。

3.5 メモリ保護

3.5.1 読み出し保護

読み出し保護は、ROP オプションバイトを 0xAA にプログラミングすることによって解除できます。読み出し保護が有効なときには、ICP モードでのフラッシュプログラムメモリおよび DATA 領域の（SWIM インタフェースを使用した）読み出しと変更は、書き込み保護の設定とは関係なく禁止されます。絶対に打ち破れない保護とは言えないまでも、読み出し保護機能は、汎用マイクロコントローラに対して非常に高いレベルの保護を提供します。

読み出し保護機能は、ICP モードで ROP オプションバイトをプログラミングすることによって、プログラムメモリ、UBC、PCODE（使用可能な場合）、および DATA 領域について無効にできます。。この場合、フラッシュプログラムメモリ、DATA 領域、およびオプションバイトは自動的に消去され、デバイスの再プログラムを行うことができます。

デフォルトでは、PCODE 領域は、割り込みベクタ TRAP および TLI を除いて、常に読み出し保護されます（*セクション 3.4.4: 独自仕様コード領域（PCODE）*を参照）。

読み出し保護が有効または無効なときのメモリアクセスの詳細については、*表 6: メモリアクセスとプログラミング法（中容量デバイス）*を参照してください。

3.5.2 メモリアクセスセキュリティシステム（MASS）

リセット後、メインプログラムおよび DATA 領域は、意図しない書き込み操作に対して保護されます。内容の変更を試みる前に、ロック解除する必要があります。このロック解除メカニズムは、メモリアクセスセキュリティシステム（MASS）によって管理されます。

UBC オプションバイトで指定された UBC 領域は、常に書き込み保護されます（*セクション 3.4.5: ユーザブート領域（UBC）*を参照）。

メモリ内容を変更した後は、メモリの内容が破壊されないように、再び書き込み保護機能を有効にすることを推奨します。

メインプログラムメモリへの書き込みアクセスの有効化

デバイスのリセット後、MASS キー と呼ばれる 2 つの値を FLASH_PUKR レジスタに連続的に書き込むことによって、メインプログラムメモリ書き込み保護を無効にすることが可能です（*セクション 3.9.3: フラッシュプログラムメモリ保護解除キーレジスタ（FLASH_PUKR）*を参照）。これらのプログラムキーは、次に 2 つのハードウェアキーと比較されます。

- 最初のハードウェアキー：0b0101 0110 (0x56)
- 2 番目のハードウェアキー：0b1010 1110 (0xAE)

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

メインプログラム領域の書き込み保護を無効にするには、以下の手順が必要です。

1. 最初の 8 ビットキーを FLASH_PUKR レジスタに書き込みます。このレジスタがリセット後に初めて書き込まれるときには、データバスの内容はレジスタにラッチされず、最初のハードウェアキーの値（0x56）と比較されます。
2. データバス上で使用可能なキーが正しくなかった場合、FLASH_PUKR レジスタは、次のリセットまでロックされたままです。このアドレスに送信された新しい書き込みコマンドは破棄されます。
3. FLASH_PUKR レジスタが 2 回目に書き込まれたとき、最初のハードウェアキーが正しい場合、データバスの内容はレジスタにラッチされず、2 番目のハードウェアキーの値（0xAE）と比較されます。
4. データバス上で使用可能なキーが正しくなかった場合、プログラムメモリの書き込み保護は、次のリセットまでロックされたままです。このアドレスに送信された新しい書き込みコマンドは破棄されます。
5. 2 番目のハードウェアキーが正しい場合、メインプログラムメモリは書き込み保護されず、FLASH_IAPSR レジスタの PUL ビットがセットされます（*セクション 3.9.5: フラッシュステータスレジスタ（FLASH_IAPSR）*レジスタを参照）。

プログラミングを開始する前に、アプリケーションは、PUL ビットが有効にセットされていることを確認する必要があります。アプリケーションはいつでも、PUL ビットをクリアすることによって、フラッシュプログラムメモリへの書き込みアクセスを再び無効にできます。

DATA 領域への書き込みアクセスの有効化

デバイスのリセット後、MASS キー と呼ばれる 2 つの値を連続して FLASH_DUKR レジスタに書き込むことによって、DATA 領域書き込み保護を無効にできます（*セクション 3.9.6: フラッシュレジスタマップとリセット値*を参照）。これらのプログラムキーは、次に 2 つのハードウェアキーと比較されます。

- 最初のハードウェアキー：0b1010 1110 (0xAE)
- 2 番目のハードウェアキー：0b0101 0110 (0x56)

データ領域の書き込み保護を無効にするには、以下の手順が必要です。

1. 最初の 8 ビットキーを FLASH_DUKR レジスタに書き込みます。このレジスタがリセット後に初めて書き込まれるときには、データバスの内容はレジスタにラッチされず、最初のハードウェアキーの値（0xAE）と比較されます。
2. データバス上で使用可能なキーが正しくなかった場合、アプリケーションは、2 つの MASS キーを再入力することによって、DATA 領域の保護解除を試みることができます。
3. 最初のハードウェアキーが正しい場合、FLASH_DUKR レジスタは 2 番目のキーでプログラムされます。データバスの内容は、やはりレジスタにラッチされず、2 番目のハードウェアキーの値（0x56）と比較されます。
4. データバス上で使用可能なキーが正しくなかった場合、データ EEPROM 領域は、次のリセットまで書き込み保護されたままです。このアドレスに送信された新しい書き込みコマンドは無視されます。
5. 2 番目のハードウェアキーが正しい場合、DATA 領域は書き込み保護が解除され、FLASH_IAPSR レジスタの DUL ビットがセットされます（*セクション 3.9.5: フラッシュステータスレジスタ（FLASH_IAPSR）*を参照）。

プログラミングを開始する前に、アプリケーションは、DUL ビットが有効にセットされているかどうかをチェックして、DATA 領域が書き込み保護されていないことを確認する必要があります。アプリケーションはいつでも、DUL ビットをクリアすることによって、DATA 領域への書き込みアクセスを再び無効にできます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

3.5.3 オプションバイトへの書き込みアクセスの有効化

オプションバイト領域への書き込みアクセスは、*フラッシュ制御レジスタ 2（FLASH_CR2）*の OPT ビットをセットすることによって、有効にできます。

3.6 メモリのプログラミング

メインプログラムメモリと DATA 領域は、プログラム操作の実行を試みる前にロック解除する必要があります。ロック解除のメカニズムは、*セクション 3.5.2: メモリアクセスセキュリティシステム（MASS）*で説明されているように、プログラムされるメモリ領域によって異なります。

注： ***PCODE 領域は、常に読み出し保護されています。PCODE 領域を再プログラムする唯一の方法は、ROP オプションバイトをリセットする方法ですが、フラッシュプログラムメモリ、DATA 領域、およびオプションバイトは消去されます。***

3.6.1 同時書き込み／読み出し（RWW）

RWW 機能によって、プログラムメモリの読み出しや実行中に、データ EEPROM への書き込み操作を行うことができます。したがって、実行時間が最適化されます。逆の操作はできません。すなわち、プログラムメモリへの書き込み中にデータメモリを読み出すことはできません。

この RWW 機能は常に有効にでき、いつでも使用できます。

3.6.2 バイトのプログラミング

メインプログラムメモリと DATA 領域は、バイトレベルでプログラムできます。1 バイトをプログラムするには、アプリケーションは、目的のアドレスに直接書き込みます。

- メインプログラムメモリの場合：

  バイトプログラム操作の間、アプリケーションは停止します。
- データ領域の場合：
  - プログラムの実行は、「高電圧の終わり」操作中、すなわち、HVOFF フラグがセットされると停止し、バイトプログラム操作は同時書き込み／読み出し（RWW）機能を使用して IAP モードで実行されます。

バイトを消去するには、対応するアドレスに 0x00 を書き込むだけです。

アプリケーションは、FLASH_IAPSR レジスタを読み出すことによって、プログラミングまたは消去操作が正しく実行されたかどうかを確かめることができます。

- プログラミング操作が成功すると、EOP フラグがセットされます。
- ソフトウェアが保護されたページへの書き込みを試みると、WR_PG_DIS がセットされます。この場合、書き込みプロシージャは実行されません。

FLASH_CR1 レジスタの IE ビットをセットすることによって、以前にフラッシュ割り込みが有効にされていた場合、これらのフラグの 1 つがセットされると、フラッシュ割り込みが生成されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

自動高速バイトプログラミング

プログラミング時間は、目的アドレスの初期内容によって変わることがあります。プログラムされるバイトを含むワード（4 バイト）が空でない場合、プログラム操作の前にワード全体が自動的に消去されます。逆に、ワードが空の場合、消去操作は行われず、プログラミング時間が短くなります（*データシートの表「フラッシュ プログラムメモリ」*の t_{PROG}を参照）。

ただし、FLASH_CR1 レジスタの FIX ビットをセットすると、バイトの内容に関係なく、プログラム操作によってバイトの内容が強制的に消去されるので、プログラミング時間を固定できます（*セクション 3.9.1: フラッシュ制御レジスタ 1（FLASH_CR1）*を参照）。結果として、プログラミング時間は固定され、消去時間と書き込み時間の合計に等しくなります（*データシートの表「フラッシュ プログラムメモリ」*の t_{PROG}を参照）。

注： ***バイト書き込みを高速で（消去なしで）行うには、書き込まれるワード全体の内容が、あらかじめ消去されていなければなりません。結果として、同じワードに 2 回の高速書き込みを行う（2 番目の書き込みの前に消去を行わない）ことはできません。最初の書き込みは高速ですが、他のバイトへの 2 番目の書き込みでは消去が必要です。***

3.6.3 ワードプログラミング

ワード書き込み操作では、4 バイトのワード全体を 1 回でプログラムできるので、プログラミング時間を最小化できます。

バイトプログラミングと同様、ワード操作は、メインプログラムメモリとデータ EEPROM の両方について可能です。データ EEPROM に対してワードプログラミング操作を実行するときには、同時書き込み／読み出し機能も使用できます。詳細については、データシートを参照してください。

- メインプログラムメモリの場合：

  バイトプログラム操作の間、アプリケーションは停止します。
- データ領域の場合：
  - プログラムの実行は停止せず、バイトプログラム操作は IAP モードで同時書き込み／読み出し（RWW）機能を使用して実行されます。

ワードをプログラムするには、FLASH_CR2 レジスタの WPRG ビットがあらかじめセットされていて、ワードプログラミングモードが有効になっている必要があります（*セクション 3.9.2: フラッシュ制御レジスタ 2（FLASH_CR2）*を参照）。次に、プログラムされるワードの 4 バイトが、最初のアドレスからロードされなければなりません。プログラミングサイクルは、4 バイトが書き込まれた時点で自動的に開始します。

バイト操作と同様、FLASH_IAPSR の EOP および WR_PG_DIS 制御フラグとフラッシュ割り込みを使用して、操作が正常に完了したかどうかを確認できます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

3.6.4 ブロックのプログラミング

ブロックプログラム操作は、バイトやワードのプログラム操作よりもはるかに高速です。ブロックプログラム操作では、1 つのプログラミングサイクルでブロック全体がプログラムまたは消去されます。デバイスに応じたブロックサイズの詳細については、*表 4* を参照してください。

ブロック操作は、メインプログラムメモリと DATA 領域の両方に対して実行可能です。

- メインプログラムメモリの場合：

  メインプログラムメモリに対するブロックプログラム操作は、完全に RAM から実行されなければなりません。

- DATA 領域の場合：
  - データブロック操作は、メインプログラムメモリから実行できます。ただし、データロードフェーズ（下記参照）は、RAM から実行されなければなりません。

次の 3 つのブロック操作が可能です。

- ブロックプログラミング（標準ブロックプログラミングとも呼ばれます）：ブロックはプログラムされる前に自動的に消去されます。
- 高速ブロックプログラミング：事前の消去操作は行われません。
- ブロック消去

ブロックプログラミング中は、割り込みはハードウェアによってマスクされます。

標準ブロックプログラミング

標準ブロックプログラム操作では、1 回でブロック全体を書き込むことができます。ブロックは、プログラムの前に自動的に消去されます。

標準モードでブロック全体をプログラムするには、FLASH_CR2 レジスタの PRG ビットがあらかじめセットされていて、標準ブロックプログラミングが有効になっている必要があります（*セクション 3.9.2: フラッシュ制御レジスタ 2（FLASH_CR2）*を参照）。次に、プログラムされるデータのブロックがメインプログラムメモリまたは DATA 領域のデスティネーションアドレスに順にロードされなければなりません。これによって、データのすべてのバイトがラッチされます。ブロック全体のプログラミングを開始するには、データのすべてのバイトが書き込まれなければなりません。プログラミングシーケンスで書き込まれるすべてのバイトは、同じブロック内に存在していなければなりません。これは、同じ上位アドレスを持っていなければならないことを意味します。アドレスの最下位 6 ビットのみが変更可能です。目的ブロックの最後のバイトがロードされると、プログラミングは自動的に開始します。その前にブロック全体が自動的に消去されます。

FLASH_IAPSR の EOP および WR_PG_DIS 制御フラグとフラッシュ割り込みを使用して、操作が正常に完了したかどうかを確認できます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

高速ブロックプログラミング

高速ブロックプログラミングでは、メモリの内容を消去せずにプログラミングできます。したがって、高速ブロックプログラミングは標準プログラミングの 2 倍程度高速です。

このモードは、すでに消去された部分のプログラミングのみを目的としています。時間が節約できるので、空白部分を完全なアプリケーションコードでプログラムするときに役立ちます。

高速ブロックプログラミングは、標準ブロックプログラミングと同じシーケンスを使用して実行されます。高速ブロックプログラミングを有効にするには、FLASH_CR2 レジスタの FPRG ビットが事前にセットされていなければなりません。

FLASH_IAPSR レジスタの EOP および WR_PG_DIS ビットをチェックすることで、高速ブロックプログラミング操作が正常に完了したかどうかを確認できます。

注： **高速ブロックプログラミング操作の前にブロックが空白になっていない場合、そのブロックでプログラムされたデータは保証されません。**

ブロック消去

ブロック消去操作では、ブロック全体を消去できます。

ブロック全体を消去するには、FLASH_CR2 レジスタの ERASE ビットがあらかじめセットされていて、ブロック消去が有効になっている必要があります（*セクション 3.9.2: フラッシュ制御レジスタ 2（FLASH_CR2）*を参照）。次に、ブロック内の任意のワードに‘0x00 00 00 00’を書き込むことによってブロックが消去されます。ワードの開始アドレスは、‘0’、‘4’、‘8’、または‘C’で終わらなければなりません。

FLASH_IAPSR の EOP および WR_PG_DIS 制御フラグとフラッシュ割り込みを使用して、操作が正常に完了したかどうかを確認できます。

表 4. ブロックサイズ

STM8 マイクロコントローラファミリ	ブロックサイズ
中容量 STM8L15x	128 バイト
中+容量 STM8L15x	128 バイト
大容量 STM8L15x/16x	128 バイト

3.6.5 オプションバイトのプログラミング

オプションバイトのプログラミングは、データ EEPROM のバイトプログラミングと同様です。

アプリケーションは目的のアドレスに直接書き込みます。プログラムの実行は停止されず、書き込み操作は RWW 機能を使用して実行されます。

オプションバイトの内容の詳細については、データシートを参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

3.7 フラッシュの低電力モード

すべての STM8L15x/16x フラッシュプログラムメモリおよびデータ EEPROM には、1 つの低電力モード（I_{DDQ} モード）があります。I_{DDQ} モードでは、メモリは電源オフの状態になります。このモードは、デバイスの全ての低電力モード（停止、アクティブ停止、低電力待機、低電力実行モード）で使用されます。

FLASH_CR1 レジスタの EEPM ビットがセットされているとき､フラッシュプログラムメモリとデータ EEPROM は、コードが RAM から実行されたとき、またはデバイスが待機モードに入ったとき、自動的に I_{DDQ} モードに入ります。

WAITM および EEPM ビットの詳細については、*セクション 3.9.1: フラッシュ制御レジスタ 1（FLASH_CR1）*を参照してください。

フラッシュプログラムメモリおよびデータ EEPROM が I_{DDQ} モードから抜けるとき、リカバリ時間は 2.8 µs 未満であり、電源電圧と温度に依存します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

3.8 ICP と IAP

インサーキッドプログラミング（ICP）法は、SWIM インタフェースを使用してユーザアプリケーションをマイクロコントローラにロードして、メモリの内容全体を更新するために使用されます。ICP は、迅速かつ効率的なデザインの繰り返しを提供し、不必要なパッケージ処理やデバイスのソケッティングをなくします。SWIM インタフェース（シングルワイヤインタフェースモジュール）は、プログラミングツールへの接続に SWIM ピンを使用します。

ICP 法とは対照的に、アプリケーション内プログラミング（IAP）は、マイクロコントローラによってサポートされる任意の通信インタフェース（I/O、I^2C、SPI、USART など）を使用して、プログラムされるデータをメモリにダウンロードできます。IAP では、フラッシュプログラムメモリの内容を、アプリケーションの実行中に再プログラムできます。ただし、アプリケーションの一部は、ICP を使用して、フラッシュプログラムメモリに事前にプログラムされていなければなりません。

プログラミング手順の詳細については、STM8L フラッシュプログラミングマニュアル（PM0054）および STM8 SWIM プロトコルおよびデバッグマニュアル（UM0470）を参照してください。

表 5. メモリアクセスとプログラミング法(1) （中+容量および大容量デバイス）

モード	ROP	メモリ領域	コアからのアクセス
ユーザモード、IAP、およびブートローダ	読み出し保護有効	TRAP および TLI を除く割り込みベクタ	R/W(2) /E
		TRAP と TLI	R/W(3) /E
		独自仕様コード領域（PCODE）（使用可能な場合）	R/E
		ユーザブートコード領域（UBC）	R/E
		メインプログラム	R/W/E(4)
		データ EEPROM 領域（DATA）	R/W(5)
		オプションバイト	R
	読み出し保護無効	TRAP および TLI を除く割り込みベクタ	R/W(2)/E
		TRAP と TLI	R/W(3)/E
		独自仕様コード領域（PCODE）（使用可能な場合）	R/E(6)
		ユーザブートコード領域（UBC）	R/E(7)
		メインプログラム	R/W/E(4)
		データ EEPROM 領域（DATA）	R/W(5)
		オプションバイト	R/W(8)

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 5. メモリアクセスとプログラミング法(1) （中+容量および大容量デバイス）（続き）

モード	ROP	メモリ領域	コアからのアクセス
SWIM アクティブ（ICP モード）	読み出し保護有効	TRAP および TLI を除く割り込みベクタ	P
		TRAP と TLI	P
		独自仕様コード領域（PCODE）（使用可能な場合）	P(6)
		ユーザブートコード領域（UBC）	P
		メインプログラム	P
		データ EEPROM 領域（DATA）	P
		オプションバイト	P/W_{ROP}(9)
	読み出し保護無効	TRAP および TLI を除く割り込みベクタ	R/W(2)/E
		TRAP と TLI	R/W/E
		独自仕様コード領域（PCODE）（使用可能な場合）	R/E(6)
		ユーザブートコード領域（UBC）	R/E(7)
		メインプログラム	R/W/E(4)
		データ EEPROM 領域（DATA）	R/W(5)
		オプションバイト	R/W(8)

1. R/W/E = Read（読み出し）、Write（書き込み）、および Execute（実行）
   R/E = 読み出しと実行（書き込み操作は禁止）
   R = 読み出し（書き込みおよび実行操作は禁止）
   P = アクセスできない領域（読み出し、実行、書き込み操作がずべて禁止）
   P/W_{ROP} = 保護されていて、ROP オプションバイト以外の書き込みは禁止。
2. UBC 領域が定義されていない場合、TRAP および TLI を除く割り込みベクタは、ユーザ/IAP モードで変更できます。
3. PCODE 領域が定義されている場合、TRAP および TLI ベクタは、ユーザおよび IAP モードでは変更できません。そうでない場合、TRAP および TLI は他の割り込みベクタと同じルールに従います。
4. フラッシュプログラムメモリは、FLASH_PUKR レジスタに正しい MASS キーが書き込まれるまで、書き込み保護されます（ロックされます）。FLASH_PUKR レジスタの PUL ビットをリセットすることによって、メモリを再びロックできます。ロック解除は、2 回のリセットの間に 1 回だけ行うことができます。正しくないキーを指定した場合は、デバイスをリセットして、新しいキーをプログラムしなければなりません。
5. データメモリは、FLASH_DUKR レジスタに正しい MASS キーが書き込まれるまで、書き込み保護されます（ロックされます）。FLASH_IAPSR レジスタの DUL ビットをリセットすることによって、メモリを再びロックできます。正しくないキーを指定した場合は、デバイスをリセットしなくても、別のキープログラムシーケンスを実行できます。
6. PCODE 領域は、TRAP および TLI ベクタを通じて、特権モードでのみ読み出しおよび実行が可能です。PCODE は、SWIM を通じて直接アクセスすることはできません。
7. UBC 領域をプログラムするには、アプリケーションは、まず、UBC オプションバイトをクリアする必要があります。
8. オプションバイトは、FLASH_DUKR レジスタ（OPT が 1 にセットされた）に正しい MASS キーが書き込まれるまで、書き込み保護されます（ロックされます）。FLASH_IAPSR レジスタの DUL ビットをリセットすることによって、メモリを再びロックできます。正しくないキーを指定した場合は、デバイスをリセットしなくても、別のキープログラムシーケンスを実行できます。
9. ROP が解除されると、オプションバイトを含むメモリ全体が消去されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 6. メモリアクセスとプログラミング法[1]（中容量デバイス）

モード	ROP	メモリ領域	コアからのアクセス
ユーザモード、IAP、およびブートローダ	読み出し保護有効	TRAP および TLI を除く割り込みベクタ	R/W[2] /E
		TRAP と TLI	R/W/E
		ユーザブートコード領域（UBC）	R/E
		メインプログラム	R/W/E[3]
		データ EEPROM 領域（DATA）	R/W[4]
		オプションバイト	R
	読み出し保護無効	TRAP および TLI を除く割り込みベクタ	R/W[2]/E
		TRAP と TLI	R/W/E
		ユーザブートコード領域（UBC）	R/E[5]
		メインプログラム	R/W/E[3]
		データ EEPROM 領域（DATA）	R/W[4]
		オプションバイト	R/W[6]
SWIM アクティブ（ICP モード）	読み出し保護有効	TRAP および TLI を除く割り込みベクタ	P
		TRAP と TLI	P
		ユーザブートコード領域（UBC）	P
		メインプログラム	P
		データ EEPROM 領域（DATA）	P
		オプションバイト	P/W_{ROP}[7]
	読み出し保護無効	TRAP および TLI を除く割り込みベクタ	R/W[2]/E
		TRAP と TLI	R/W/E
		ユーザブートコード領域（UBC）	R/E[5]
		メインプログラム	R/W/E[3]
		データ EEPROM 領域（DATA）	R/W[4]
		オプションバイト	R/W[6]

1. R/W/E = Read（読み出し）、Write（書き込み）、および Execute（実行）
   R/E = 読み出しと実行（書き込み操作は禁止）
   R = 読み出し（書き込みおよび実行操作は禁止）
   P = アクセスできない領域（読み出し、実行、書き込み操作がずべて禁止）
   P/W_{ROP} = 保護されていて、ROP オプションバイト以外の書き込みは禁止。
2. UBC 領域が定義されていない場合、TRAP および TLI を除く割り込みベクタは、ユーザ/IAP モードで変更できます。
3. フラッシュプログラムメモリは、FLASH_PUKR レジスタに正しい MASS キーが書き込まれるまで、書き込み保護されます（ロックされます）。FLASH_PUKR レジスタの PUL ビットをリセットすることによって、メモリを再びロックできます。ロック解除は、2 回のリセットの間に 1 回だけ行うことができます。正しくないキーを指定した場合は、デバイスをリセットして、新しいキーをプログラムしなければなりません。
4. データメモリは、FLASH_DUKR レジスタに正しい MASS キーが書き込まれるまで、書き込み保護されます（ロックされます）。FLASH_IAPSR レジスタの DUL ビットをリセットすることによって、メモリを再びロックできます。正しくないキーを指定した場合は、デバイスをリセットしなくても、別のキープログラムシーケンスを実行できます。
5. UBC 領域をプログラムするには、アプリケーションは、まず、UBC オプションバイトをクリアする必要があります。
6. オプションバイトは、FLASH_DUKR レジスタ（OPT が 1 にセットされた）に正しい MASS キーが書き込まれるまで、書き込み保護されます（ロックされます）。FLASH_IAPSR レジスタの DUL ビットをリセットすることによって、メモリを再びロックできます。正しくないキーを指定した場合は、デバイスをリセットしなくても、別のキープログラムシーケンスを実行できます。
7. ROP が除去されると、オプションバイトを含むメモリ全体が消去されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

3.9 フラッシュレジスタ

3.9.1 フラッシュ制御レジスタ 1（FLASH_CR1）

アドレスオフセット：0x00

リセット値：0x00

7	6	5	4	3	2	1	0
予約済み				EEPM	WAITM	IE	FIX
				rw	rw	rw	rw

ビット 7： 予約済み、ハードウェアによって 0 に固定されています。

ビット 3 **EEPM**：実行モード、低電力実行モード、および低電力待機モード中のフラッシュプログラムおよびデータ EEPROM I_{DDQ} モード選択

0：EEPM は、フラッシュプログラムまたはデータ EEPROM メモリアクセスの直後に、ハードウェアによってクリアされます。ソフトウェアによってこのビットをクリアしても、メモリは I_{DDQ} モードから抜けません。

1：コードが RAM から実行されると、EEPM がセットされている場合、フラッシュプログラムとデータ EEPROM は I_{DDQ} モードに入ります。

フラッシュプログラムとデータ EEPROM は、フラッシュプログラムまたはデータ EEPROM メモリへの次回のアクセスまで I_{DDQ} モードのままです。

*セクション 7.6: 低電力実行モード（80 ページ）*を参照してください。

ビット 2 **WAITM**：待機モード中のフラッシュプログラムおよびデータ EEPROM の I_{DDQ} モード

このビットは、ソフトウェアによってセット/クリアされます。

0：デバイスが待機モードのとき、フラッシュプログラムとデータ EEPROM は I_{DDQ} モードではありません。

1：デバイスが待機モードのとき、フラッシュプログラムとデータ EEPROM は I_{DDQ} モードです。

ビット 1 **IE**：フラッシュ割り込みイネーブル

このビットは、ソフトウェアによってセット/クリアされます。

0：割り込み無効。

1：割り込み有効。FLASH_IAPSR レジスタの EOP または WR_PG_DIS フラグがセットされている場合、割り込みが生成されます。

ビット 0 **FIX**：固定のバイトプログラミング時間

このビットは、ソフトウェアによってセット/クリアされます。

0：メモリがすでに消去されている場合は標準のプログラミング時間（1/2 t_{prog}）、そうでない場合は t_{prog}。

1：プログラミング時間は t_{prog} に固定されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

3.9.2 フラッシュ制御レジスタ 2（FLASH_CR2）

アドレスオフセット：0x01

リセット値：0x00

7	6	5	4	3	2	1	0
OPT	WPRG	ERASE	FPRG	予約済み			PRG
rw	rw	rw	rw				rw

ビット 7 **OPT**：オプションバイトの書き込み

このビットは、ソフトウェアによってセット/クリアされます。

0：オプションバイトへの書き込みアクセスは無効です。

1：オプションバイトへの書き込みアクセスは有効です。

ビット 6 **WPRG**：ワードプログラミング

このビットはソフトウェアによってセットされ、操作が完了したときにハードウェアによってクリアされます。

0：ワードプログラム操作は無効です。

1：ワードプログラム操作は有効です。

ビット 5 **ERASE**(1)：ブロック消去

このビットはソフトウェアによってセットされ、操作が完了したときにハードウェアによってクリアされます。

0：ブロック消去操作は無効です。

1：ブロック消去操作は有効です。

ビット 4 **FPRG**(1)：高速ブロックプログラミング

このビットはソフトウェアによってセットされ、操作が完了したときにハードウェアによってクリアされます。

0：高速ブロックプログラム操作は無効です。

1：高速ブロックプログラム操作は有効です。

ビット 3：1 予約済み

ビット 0 **PRG**：標準ブロックプログラミング

このビットはソフトウェアによってセットされ、操作が完了したときにハードウェアによってクリアされます。

0：標準ブロックプログラミング操作は無効です。

1：標準ブロックプログラミング操作は有効です（自動的に最初に消去）。

1. メモリがビジーのとき、ERASE および FPRG ビットはロックされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

3.9.3 フラッシュプログラムメモリ保護解除キーレジスタ（FLASH_PUKR）

アドレスオフセット：0x02

リセット値：0x00

7	6	5	4	3	2	1	0
MASS_PRG KEYS							
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7：0 **PUK [7：0]**：メインプログラムメモリロック解除キー

このビットはソフトウェアによって書き込まれます（すべてのモード）。読み出し時、0x00 を返します。

メインプログラム領域の書き込み保護解除メカニズムの説明については、*メインプログラムメモリへの書き込みアクセスの有効化（46 ページ）*を参照してください。

3.9.4 データ EEPROM 保護解除キーレジスタ（FLASH_DUKR）

アドレスオフセット：0x03

リセット値：0x00

7	6	5	4	3	2	1	0
MASS_DATA KEYS							
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7：0 **DUK[7：0]**：データ EEPROM 書き込みロック解除キー

このビットはソフトウェアによって書き込まれます（すべてのモード）。読み出し時、0x00 を返します。

メインプログラム領域の書き込み保護解除メカニズムの説明については、*DATA 領域への書き込みアクセスの有効化（47 ページ）*を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

3.9.5 フラッシュステータスレジスタ（FLASH_IAPSR）

アドレスオフセット：0x04

リセット値：0x40

7	6	5	4	3	2	1	0
予約済み	HVOFF	予約済み		DUL	EOP	PUL	WR_PG_DIS
	r			rc_w0	rc_r	rc_w0	rc_r

ビット 7 予約済み、ハードウェアによって 0 に固定されています。

ビット 6 **HVOFF**：高電圧終了フラグ

このビットは、ハードウェアによってセット/クリアされます。

0：HV オン、実際のプログラミングの開始

1：HV オフ、高電圧の終了

ビット 3 **DUL**：データ EEPROM 領域ロック解除フラグ

このビットは、ハードウェアによってセットされ、0 を書き込むことでソフトウェアによってクリアされます。

0：データ EEPROM 領域書き込み保護は有効です。

1：データ EEPROM 領域の書き込み保護は、正しい MASS キーを書き込むことによって無効にされました。

ビット 2 **EOP**：プログラミング（書き込みまたは消去操作）の終了フラグ

このビットは、ハードウェアによってセットされます。レジスタを読み出すことによってソフトウェアによって、または新しい書き込み/消去操作が開始したときにクリアされます。

0：EOP　イベントは発生していません。

1：EOP 操作が発生しました。FLASH_CR1 レジスタの IE ビットがセットされている場合、割り込みが生成されます。

ビット 1 **PUL**：フラッシュプログラムメモリロック解除フラグ

このビットは、ハードウェアによってセットされ、0 を書き込むことでソフトウェアによってクリアされます。

0：メインプログラム領域の書き込み保護は有効です。

1：メインプログラム領域の書き込み保護は、正しい MASS キーを書き込むことによって無効にされました。

ビット 0 **WR_PG_DIS**：保護ページへの書き込み試行フラグ

このビットは、ハードウェアによってセットされ、レジスタを読み出すことによってソフトウェアによってクリアされます。

0：WR_PG_DIS イベントは発生していません。

1：書き込み保護されているページへの書き込みの試みが行われました。FLASH_CR1 レジスタの IE ビットがセットされている場合、割り込みが生成されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

3.9.6 フラッシュレジスタマップとリセット値

レジスタ境界アドレスの詳細については、データシートの一般ハードウェアレジスタマップを参照してください。

表 7. フラッシュレジスタマップ

アドレスオフセット	レジスタ名	7	6	5	4	3	2	1	0
0x00	FLASH_CR1	- 0	- 0	- 0	- 0	EEPM 0	WAITM 0	IE 0	FIX 0
0x01	FLASH_CR2	OPT 0	WPRG 0	ERASE 0	FPRG 0	- 0	- 0	- 0	PRG 0
0x02	FLASH_PUKR	PUK7 0	PUK6 0	PUK5 0	PUK4 0	PUK30	PUK2 0	PUK1 0	PUK0 0
0x03	FLASH_DUKR	DUK7 0	DUK6 0	DUK5 0	DUK4 0	DUK3 0	DUK2 0	DUK1 0	DUK0 0
0x04	FLASH_IAPSR	- 0	HVOFF 1	- 0	- 0	DUL 0	EOP 0	PUL 0	WR_PG_DIS 0

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

4 シングルワイヤインタフェースモジュール（SWIM）およびデバッグモジュール（DM）

このセクションの説明は、特に指定がない限り、中容量 STM8L15x デバイス、中+容量 STM8L15x デバイス、および大容量 STM8L15x/STM8L16x デバイスに適用されます。

4.1 はじめに

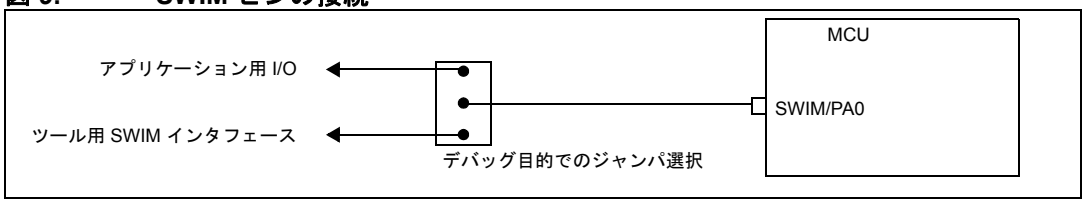
インサーキットデバッギングモードまたはインサーキットプログラミングモードは、超高速のメモリプログラミング機能を備えたシングルワイヤハードウェアインタフェースを通じて管理されます。インサーキットデバッギングモジュールとの組み合わせによって非侵入型エミュレーションモードも提供し、インサーキットデバッガをフル装備のエミュレータに近い性能の、非常に強力なツールにします。

4.2 主な特長

- 非同期の大電流シンク（8mA）、オープンドレイン、双方向通信。
- メモリ空間のどの部分でも読み出しまたは書き込みが可能です。
- CPU レジスタ（A、X、Y、CC、SP）へのアクセスが可能です。読み出しまたは書き込みアクセスについてメモリマッピングされます。
- RAM およびペリフェラルレジスタへの非侵入型の迅速な読み出し/書き込みが可能です。

SWIM ピンは、標準 I/O として使用でき、デバッグ用途で使いたい場合は、いくつかの制約があります。最も安全な方法は、PCB でストラップオプションを提供することです。

図 9. SWIM ピンの接続



4.3 SWIM モード

パワーオンリセット後、SWIM はリセットされ、OFF モードに入ります。

1. **OFF** : パワーオンリセット後のデフォルト状態。SWIM ピンは、アプリケーションが I/O として使用することはできません。
2. **I/O** : *グローバル設定レジスタ（CFG-GCR）*の SWD ビットに書き込むことによって、ソフトウェアによってこの状態になります。この状態では、アプリケーションは SWIM を標準 I/O ピンとして使用できます。リセットの場合、SWIM は OFF モードに戻ります。
3. **SWIM** : SWIM ピンに対して特定のシーケンスが実行されると、この状態になります。この状態では、SWIM ピンは、ホストツールによって STM8 を 3 つのコマンド（SRST システムリセット、ROTF 実行時読み出し、WOTF 実行時書き込み）で制御するために使用されます。

*注 : **SWIM およびデバッグモジュール（DM）については、STM8 SWIM 通信プロトコルおよびデバッグモジュールユーザマニュアルを参照してください。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

5 メモリおよびレジスタマップ

このセクションの説明は、特に指定がない限り、中容量 STM8L15x デバイス、中+容量 STM8L15x デバイス、および大容量 STM8L15x/STM8L16x デバイスに適用されます。

メモリマップ、I/O ポートハードウェアレジスタマップ、および CPU/SWIM/デバッグモジュール/割り込み制御レジスタの詳細については、製品データシートを参照してください。

5.1 レジスタの説明の略語

このリファレンスマニュアルの各章のレジスタの説明では、以下の略語が使用されています。

読み出し/書き込み（rw）	ソフトウェアは、これらのビットの読み出し/書き込みができます。
読み出し専用（r）	ソフトウェアは、これらのビットの読み出しのみが可能です。
書き込み専用（w）	ソフトウェアは、このビットへの書き込みのみが可能です。ビットを読み出した場合、意味のない値が返されます。
読み出し/1 回書き込み（rwo）	ソフトウェアは、このビットに 1 回だけ書き込むことができますが、読み出しはいつでも可能です。このビットをリセット値に戻すには、リセットする必要があります。
読み出し/クリア（rc_w1）	ソフトウェアは、このビットを読み出すことができ、1 を書き込むことによってクリアできます。“0” を書き込んでも、ビットの値は変化しません。
読み出し/クリア（rc_w0）	ソフトウェアは、このビットを読み出すことができ、0 を書き込むことによってクリアできます。“1” を書き込んでも、ビットの値は変化しません。
読み出し/セット（rs）	ソフトウェアは、このビットの読み出しとセットを行うことができます。”0” を書き込んでも、ビットの値は変化しません。
読み出し/読み出しによるクリア（rc_r）	ソフトウェアは、このビットを読み出すことができます。このビットを読み出すと、自動的に‘0’にクリアされます。 ”0” を書き込んでも、ビットの値は変化しません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

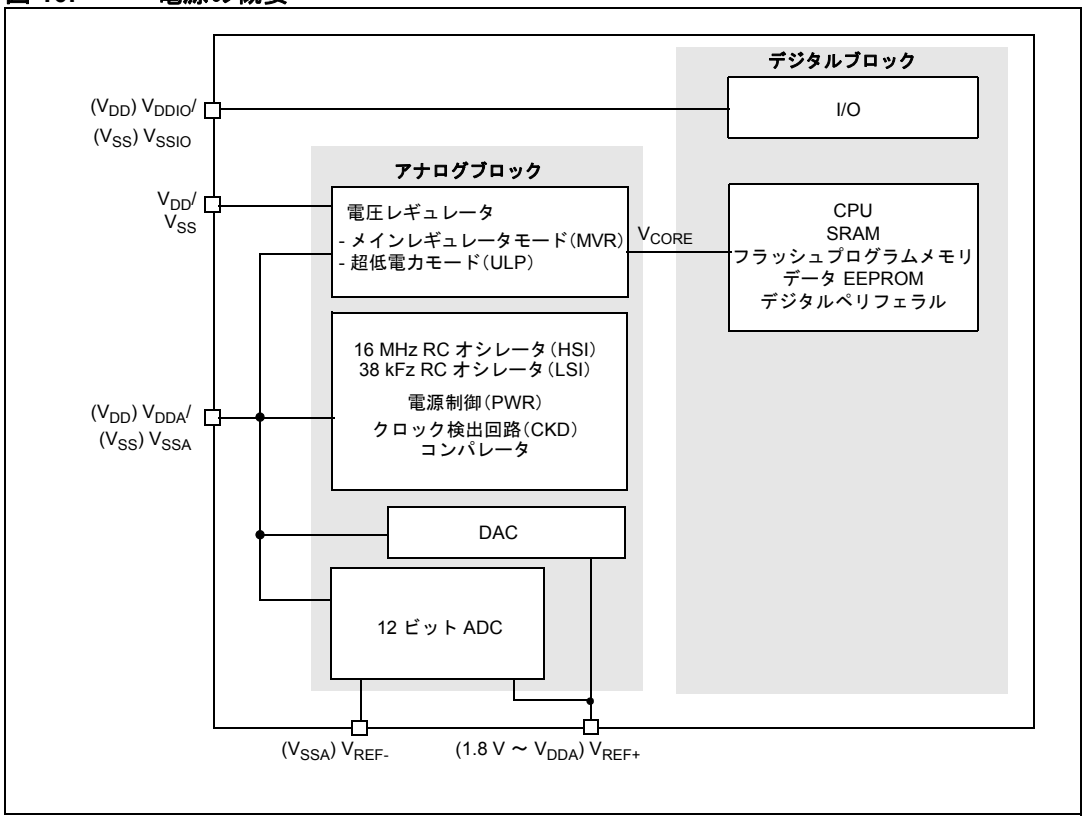
6 電源制御（PWR）

このセクションの説明は、特に指定がない限り、中容量 STM8L15x デバイス、中+容量 STM8L15x デバイス、および大容量 STM8L15x/STM8L16x デバイスに適用されます。

6.1 電源

このデバイスには 1.65～3.6 V の動作電圧供給（V_{DD}）が必要です。V_{CORE} をデジタルコア、SRAM、フラッシュメモリ、およびデータ EEPROM に供給するために、内蔵の電圧レギュレータが使用されます。

図 10. 電源の概要



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

外部電源ピン：

外部電源ピンは、以下のように接続する必要があります。

- V_{SS}; V_{DD} = 1.8 ～ 3.6 V、パワーダウン時は 1.65 V まで低下。I/O および内部レギュレータ用には外部電源を使用。V_{DD} ピンを通して外部から供給。対応するグランドピンは V_{SS}。
- V_{SSA}; V_{DDA} = 1.8 ～ 3.6 V、パワーダウン時は 1.65 V まで低下。アナログペリフェラル用には外部電源を使用（ADC1 が使用されるとき、V_{DDA} に供給されるべき最低電圧は 1.8 V です）。V_{DDA} と V_{SSA} はそれぞれ V_{DD} と V_{SS} に接続する必要があります。
- V_{SSIO}; V_{DDIO} = 1.8 ～ 3.6 V、パワーダウン時は 1.65 V まで低下。I/O 用には外部電源を使用。V_{DDIO} と V_{SSIO} はそれぞれ V_{DD} と V_{SS} に接続する必要があります。
- V_{REF+}; V_{REF-}（ADC1 用）：ADC1 用の外部基準電圧。V_{REF+} および V_{REF-} ピンを通して外部から供給する必要があります。
- V_{REF+}（DAC 用）：DAC 用外部基準電圧は V_{REF+}を通して外部から供給する必要があります。

6.2 パワーオンリセット（POR）/パワーダウンリセット（PDR）

このデバイスは、常時アクティブ状態にある POR/PDR 回路を内蔵しています。このため、外部リセット回路の必要がありません。POR/PDR の閾値は 1.5V 付近に設定されています（製品データシートの電気特性のセクションを参照してください）。

パワーオン時、MCU は電源電圧が V_{POR} 閾値以上になるまではリセット状態に保たれます。中容量デバイスと、1.8 V から 3.6 V の電源範囲で動作する中+容量および大容量デバイスでは、BOR （下記の節を参照）は、この閾値レベル以上で動作を開始します。パワーダウン時、MCU は、BOR がアクティブでない場合、電源電圧が V_{PDR} 以下になると同時にリセット状態に移行します。

6.3 ブラウンアウトリセット（BOR）

中容量デバイスと、1.8 V から 3.6 V の電源範囲で動作する中+容量および大容量デバイスでは、BOR は常にアクティブであり、電源電圧がアプリケーションの動作閾値に達するまで MCU をリセット状態に維持します。

パワーダウン時、BOR 閾値はリセットを生成するためにも使用されます。

この BOR 閾値（V_{BOR}）は、オプションバイトを使用して設定できます。1.8 V から 3 V まで、5 つのレベルから選択できます。BOR が無効な場合、リセット閾値は、パワーダウン時、V_{PDR} です。これによって、V_{DD} の最小値 1.65 V が保証されます。*図 11* を参照してください。

電源制御ユニット（PWR）には、BOR やその他のアナログ機能で使用される内部基準電圧源があります。

HALT モードでの消費電力を抑えるために、PWR_CSR2 レジスタの ULP ビットを使用して、内部基準電圧を自動的にオフにできます。この場合、MCU が HALT モードからウェイクアップするとき、内部基準電圧が立ち上がるまでの追加の遅延が発生します。この遅延は、PWR_CSR2 レジスタの FWU ビットを使用して設定できます（*表 8* を参照）。

BOR を有効にすると、MCU の安全な使用が保証されます。MCU は、V_{DD} が動作範囲未満のときには実行できないからです。

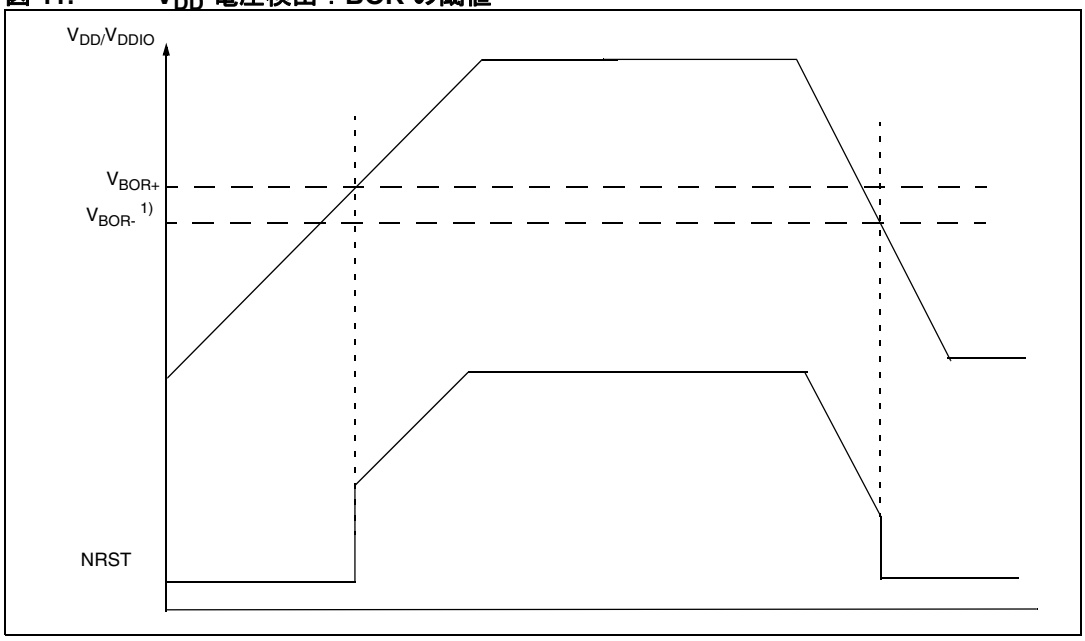
この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 8. HALT/ACTIVE-HALT モード時の BOR の設定 (1)

ULP ビット	FWU ビット	意味	
0	x	内部基準電圧常時オン。 HALT/ACTIVE-HALT モードでは、内部基準電圧の消費電流（I_{REFINT}）が追加されます。(2)	
1	0	HALT/ACTIVE-HALT モードでは内部基準電圧は、停止します。	内部基準電圧が動作を開始するまでに、内部基準電圧ウェイクアップ時間 $t_{VREFINT}$ が追加されます。(2)
1	1		内部基準電圧の開始を待たずに、高速ウェイクアップ時間が強制されます。この場合、ウェイクアップ直後は、アナログ機能は動作しません。

1. PWR_CSR2 レジスタの VREFINTF ビットを使用して、内部基準電圧のステータスをチェックできます。
2. ウェイクアップ時間の値については、製品データシートを参照してください。

図 11. V_{DD} 電圧検出：BOR の閾値



1. パワーダウン時に BOR が無効なときには、この閾値は V_{PDR} です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

6.4 プログラマブル電圧検出器（PVD）

このデバイスは、V_{DD}/V_{DDA} 電源をモニタして、閾値 V_{PVD} と比較するプログラマブル電圧検出器（PVD）を内蔵しています。

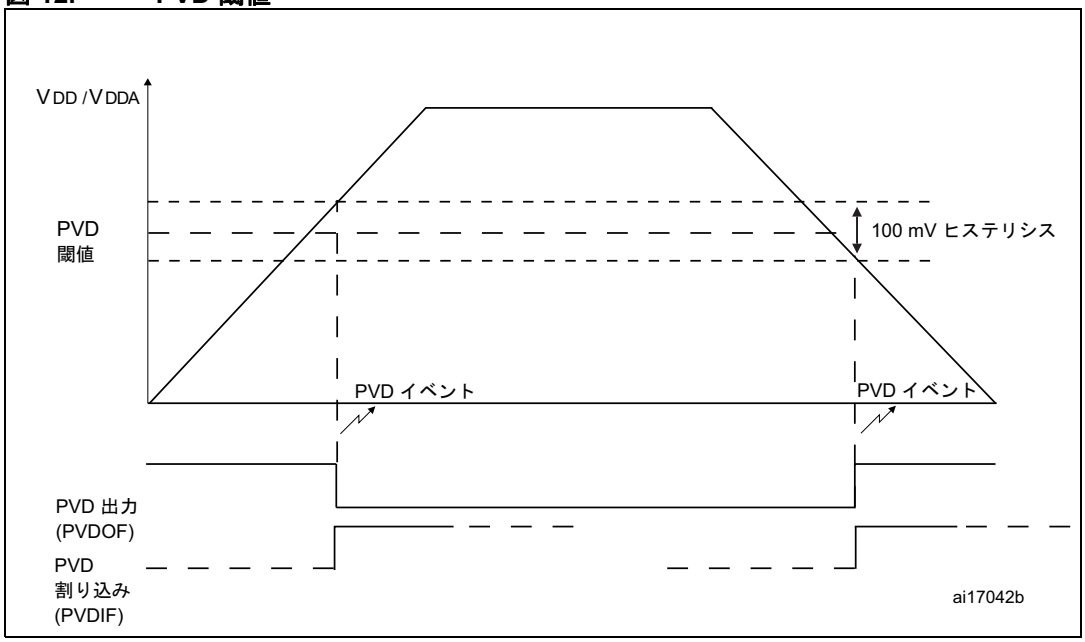
V_{DD}/V_{DDA} が V_{PVD} 閾値未満に低下するか、$V_{DD/VDDA}$ が V_{PVD} 閾値以上に上昇すると、PVD 出力が変化し、PVD イベントが生成されます。PVD イベントが生成されるたびに、PWR_CSR1 レジスタの割り込みフラグ（PVDIF）がセットされます。PVD 出力の現在の状態は、PWR_CSR1 レジスタの PVDOF フラグのステータスを通じて監視できます。PWR_CSR1 レジスタの PVDIEN ビットがセットされている場合は、PVD 割り込みが有効であり、PVDIF フラグがセットされたときに PVD 割り込みが生成されます。派生的な割り込みを防ぐには、PVDIF フラグがソフトウェアによってクリアされなければならないので、ユーザは、PVD 割り込みが有効になる前と、割り込みサービスから戻る前に、PVDIF フラグが クリアされていることを確認する必要があります。PVD は、PWR_CSR1 レジスタの PVDE ビットをセットすることでソフトウェアによって有効にされます。

この PVD には、1.85 V から 3.05 V まで 7 つのレベルがあり、PWR_CSR1 レジスタの PLS[2:0] ビットで約 200 mV 単位で選択されます。製品データシートの「パワーアップ/パワーダウン動作条件」のセクションを参照してください。

PVD_IN 入力ピンの外部基準電圧は、PLS[2:0] ビットを 111 にセットすることによって選択できます。

注： ***PVD_IN（PE6）ピンに入力される電圧が内部基準電圧 V_{REFINT} と比較されます。***

図 12. PVD 閾値



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

6.5 電圧レギュレータ

このデバイスは、コアおよびペリフェラル用の 1.8 V 電源（V_{CORE}）を生成する内部電圧レギュレータを内蔵しています。

このレギュレータには、次の 2 つのモードがあります。

- 実行、割り込み待ち（WFI）、およびイベント待ち（WFE）モード用のメイン電圧レギュレータ（MVR）モード。
- HALT および ACTIVE-HALT モード用の超低電力レギュレータ（ULP）モード。

レギュレータモードは、場合によっては、特定のレジスタ制御ビットに応じて自動的に切り替わります。*表 11* を参照してください。

表 9. PWR 割り込みリクエスト

割り込みイベント	イベントフラグ	イネーブル制御ビット	待機/低電力待機の終了	HALT/ACTIVE-HALT の終了
PVD 割り込みフラグ	PVDIF	PVDIEN	No	Yes

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

6.6 PWR レジスタ

6.6.1 電源制御およびステータスレジスタ 1（PWR_CSR1）

アドレスオフセット：0x00

パワーオンリセット後のリセット値：0x00

7	6	5	4	3	2	1	0
予約済み	PVDOF	PVDIF	PVDIEN	PLS[2:0]			PVDE
	r	rc_w1	rw	rw	rw	rw	rc_w1

ビット 7 予約済み、クリア状態のままでなければなりません。

ビット 6 **PVDOF**：PVD 出力フラグ

このビットは、ハードウェアによってセット/ クリアされます。

0：V_{DD}/V_{DDA} は、V_{PVD} 閾値を上回っています。

1：V_{DD}/V_{DDA} は、V_{PVD} 閾値を下回っています。

ビット 5 **PVDIF**：PVD 割り込みフラグ

このビットは、ハードウェアによってセットされ、ソフトウェアによって 1 を書き込むことでクリアされます。

0：PVD イベントは発生していません。

1：PVD 割り込みが保留中です。このビットは、PVD イベントが発生したときに、ハードウェアによってセットされます。

ビット 4 **PVDIEN**：PVD 割り込みイネーブル

このビットは、ソフトウェアによってセット/クリアされます。

0：PVD 割り込み無効。

1：PVD 割り込み有効。

ビット 3：1 **PLS[2:0]**：PVD レベル選択

これらのビットは、ソフトウェアによってセット/クリアされます。

000：PVD 閾値 = 1.85 V

001：PVD 閾値 = 2.05 V

010：PVD 閾値 = 2.26 V

011：PVD 閾値 = 2.45 V

100： PVD 閾値 = 2.65 V

101：PVD 閾値 = 2.85 V

110：PVD 閾値 = 3.05 V

111：閾値 = PVD_IN 入力ピン

詳細については、製品データシートの「パワーアップ/パワーダウン動作条件」のセクションを参照してください。

ビット 0 **PVDE**：電圧検出器（PVD）イネーブル

このビットは、ハードウェアによってセットされ、ソフトウェアによって 1 を書き込むことでクリアされます。

0：PVD オフ

1：PVD オン

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

6.6.2 PWR 制御およびステータスレジスタ 2（PWR_CSR2）

アドレスオフセット：0x01

パワーオンリセット後のリセット値：0x00

7	6	5	4	3	2	1	0
予約済み					FWU	ULP	VREFINTF
					rw	rw	r

ビット 7：3 予約済み、クリア状態のままでなければなりません。

ビット 2 **FWU**:高速ウェイクアップ設定

表 8 を参照してください。

ビット 1 **ULP**:超低電力設定

表 8 を参照してください。

ビット 0 **VREFINTF**:内部基準電圧ステータスフラグ

このビットは、ハードウェアによってセット/クリアされます。

0：内部基準電圧はオフか、まだ安定していません。

1：内部基準電圧はオンです。

6.6.3 PWR レジスタマップとリセット値

表 10. PWR レジスタマップとリセット値

アドレスオフセット(1)	レジスタ名	7	6	5	4	3	2	1	0
0x00	PWR_CSR1	-	PVDOF	PVDIF	PVDIEN	PLS2	PLS1	PLS0	PVDE
	リセット値	0	0	0	0	0	0	0	0
0x01	PWR_CSR2	-	-	-	-	-	FWU	ULP	VREFINTF
	リセット値	0	0	0	0	0	0	0	0

1. レジスタアドレスの詳細については、データシートの「一般ハードウェアレジスタマップ」の表を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

7 低電力モード

デフォルトでは、マイクロコントローラは、システムリセットまたは電源リセット後は実行モードです。ただし、このデバイスは、低消費電力、起動時間の短縮、および使用可能なウェイクアップソースの 3 つの最善の妥協点を得るために、5 つの低電力モードをサポートしています。

- **待機モード**：CPU クロックは停止しますが、選択されたペリフェラルは実行を続けます。内部または外部割り込み、またはリセットを使用して、マイクロコントローラを待機モードから抜けさせることができます。*セクション 7.3：待機モード（WFI または WFE モード）（71 ページ）*を参照してください。
- **低電力実行モード**：CPU と選択されたペリフェラルは、実行を続けます。実行は低速オシレータ（LSI または LSE）で RAM から行われます。フラッシュおよびデータ EEPROM は停止し、電圧レギュレータは超低電力モードに設定されます。マイクロコントローラはソフトウェアによって低電力実行モードに移行され、ソフトウェアまたはリセットによってこのモードから抜けることができます。
  すべての割り込みはマスクされなければなりません。割り込みを使用して、マイクロコントローラをこのモードから抜けさせることはできません。
- **低電力待機モード**：低電力実行モードでイベント待ちを実行すると、このモードに入ります。CPU クロックが停止すること以外は、低電力実行モードと同様です。このモードからのウェイクアップは、リセットまたは内部または外部イベント（タイマ、シリアルインタフェース、DMA コントローラ、コンパレータ、および I/O ポートによって生成されるペリフェラルイベント）によってトリガされます。ウェイクアップがイベントによってトリガされると、システムは低電力実行モードに戻ります。
  すべての割り込みはマスクされなければなりません。割り込みを使用して、マイクロコントローラをこのモードから抜けさせることはできません。
- **ACTIVE-HALT モード**：CPU およびペリフェラルクロックは、RTC を除いて停止します。ウェイクアップは、RTC 割り込み、外部割り込み、またはリセットによってトリガできます。
- **HALT モード**：CPU およびペリフェラルクロックは停止し、デバイスは電源オンの状態に維持されます。ウェイクアップは、外部割り込みまたはリセットによってトリガされます。少数のペリフェラルは、HALT からのウェイクアップ機能も備えています。内部基準電圧をオフにすることで、消費電力をさらに低減できます。ソフトウェア設定により（*表 8*を参照）、内部基準電圧の起動時間を待たずに、6 µs という短いウェイクアップ時間も可能です。

表 11. 低電力モードの要約

モード	エントリ	オシレータ	CPU	ペリフェラル	ウェイクアップ	電圧レギュレータモード
待機	WFI	オン	オフ	オン	すべての内部または外部割り込み、リセット	MVR
	WFE	オン	オフ	オン	すべての内部または外部割り込み、ウェイクアップイベント、リセット	MVR
低電力実行モード	ソフトウェアシーケンス	LSI または LSE クロック	オン	オン	ソフトウェアシーケンス、リセット	ULP
低電力待機モード	ソフトウェアシーケンス + WFE	LSI または LSE クロック	オフ	オン	内部または外部イベント、リセット	ULP

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 11. 低電力モードの要約 （続き）

モード	エントリ	オシレータ	CPU	ペリフェラル	ウェイクアップ	電圧レギュレータモード
ACTIVE-HALT	HALT(1)	LSI または LSE クロック以外、オフ	オフ	RTC および場合によっては LCD 以外、オフ	外部割り込み、RTC 割り込み、リセット	CLK_ICKCR レジスタに依存して MVR/ULP
HALT	HALT (1)	オフ	オフ	オフ	外部割り込み、リセット	ULP

1. HALT 命令を実行する前に、アプリケーションは、対応するペリフェラル設定レジスタの割り込みペンディングビットをクリアすることによって、保留中のペリフェラル割り込みをクリアする必要があります。そうしないと、HALT 命令が実行されず、プログラム実行が続行されます。

さらに、次のような手段で実行モードの消費電力を節減できます。

- システムクロックの低速化
- 使用しないペリフェラルクロックのゲーティング

7.1 システムクロックの低速化

実行モードでは、パフォーマンスと消費電力の最適な妥協点を得るには、クロック周波数の選択が非常に重要です。選択は、プリスケーラレジスタのプログラミングによって行われます。これらのプリスケーラを使用して、低電力モードに入る前にペリフェラルの速度を低下させておくことも可能です。

注： ***MCU をある期間停止できるアプリケーションでは、アクティブ期間と停止期間（消費電力ゼロ）の比を小さくするために、アクティブ期間のみ高速クロック（高性能実行）を維持することによって、消費電力を最小化できます。***

7.2 ペリフェラルクロックゲーティング（PCG）

さらに消費電力を節約するために、ペリフェラルクロックゲーティング（PCG）を使用できます。これは、個々のペリフェラルへの SYSCLK クロック接続を選択して有効/無効にすることによって、いつでも行うことができます。これらの設定は、実行モードと待機モードの両方で有効です。

各 PCG 状態は、特定の電力レベルまたは低電力レベルを表します。ペリフェラルクロックイネーブルレジスタ（CLK_PCKENR1、CLK_PCKENR2、および CLK_PCKENR3）によって制御されます。

7.3 待機モード（WFI または WFE モード）

WFI（割り込み待ち）または WFE（イベント待ち）命令を実行することによって、実行モードから待機モードに移行します。CPU は停止しますが、他のペリフェラルと割り込みコントローラは実行を続けます。その結果として消費電力が低下します。待機モードと PCG を組み合わせることによって、デバイスの消費電力をさらに削減できます。

待機モードでは、すべてのレジスタと RAM の内容が保持され、クロック分周レジスタ（CLK_CKDIVR）を通じて選択されたクロック設定がそのまま保持されます。

7.4 割り込み待ち（WFI）モード

WFI（割り込み待ち）命令を実行すると、実行モードから割り込み待ちモードに移行します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

内部または外部割り込みリクエストが発生すると、CPU は WFI モードからウェイクアップし、割り込みに対応し、処理を再開します。

注： ***処理のほとんどが割り込みルーチンを通じて行われる割り込みベースのアプリケーションでは、CFG_GCR レジスタのアクティベーションレベルビット（AL）をセットすることによって、メインプログラムを中断できます。このビットをセットすると、CPU は、メインの実行コンテキストを復元せずに、WFI モードに戻ります。このため、コンテキストの保存/復元作業の両方と、消費電力管理のためのメインソフトウェアループ実行の必要性（WFI モードに戻るための）がなくなるので、消費電力が低下します。***

7.5 イベント待ち（WFE）モード

WFE（イベント待ち）命令を実行すると、実行モードからイベント待ちモードに移行します。

このモードでの割り込みリクエストは、CPU_CC レジスタの I0 および I1 ビットに依存して通常どおりに処理されます。

ペリフェラルイベントは、タイマ、シリアルインタフェース、DMA コントローラ、コンパレータ、および I/O ポートによって生成されます。これらは WFE_CRx レジスタによって有効にされます。

ペリフェラルイベントが有効なときには、対応する割り込みは処理されず、対応するフラグステータスをクリアする必要が生じます。

CPU を WFE モードからウェイクアップさせるには、2 つの方法があります。

- **割り込み**：割り込みが発生すると、CPU は WFE モードからウェイクアップして、割り込みに対応します。割り込みを処理した後、プロセッサは WFE モードに戻ります。
- **ウェイクアップイベント**：ウェイクアップイベントが発生すると、CPU はウェイクアップし、処理を再開します。処理は WFE 命令の直後から再開されるので、コンテキストの保存/復元作業は行われません（これによって時間と消費電力が節減されます）。

このモードと RAM からの実行を組み合わせることにより、消費電力をさらに節減できます。一部の超低電力アプリケーションでは、メインのソフトウェアルーチンが短く、実行時間が短いときには、このルーチンを RAM に移動して、RAM から実行できる場合もあります。フラッシュプログラムメモリはウェイクアップ時は使用されないので、実行時間中の消費電力が減ります。
このルーチンをコール/ジャンプするだけで、いつでも、（フラッシュプログラムメモリに格納されている）別のルーチンをソフトウェアによって実行できます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

7.5.1 WFE レジスタ

WFE 制御レジスタ 1（WFE_CR1）

アドレスオフセット：0x00

リセット値：0x00

7	6	5	4	3	2	1	0
EXTI_EV3	EXTI_EV2	EXTI_EV1	EXTI_EV0	TIM1_EV1	TIM1_EV0	TIM2_EV1	TIM2_EV0
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7 **EXTI_EV3**：外部割り込みイベント 3

このビットは、CPU を WFE モードからウェイクアップするために使用される外部割り込みソースを選択するために、ソフトウェアによって書き込まれます。

0：すべてのポートのピン 3 からの外部割り込みでは、ウェイクアップイベントは生成されません。

1：すべてのポートのピン 3 からの外部割り込みが、ウェイクアップイベントを生成するように設定されています。

ビット 6 **EXTI_EV2**：外部割り込みイベント 2

このビットは、CPU を WFE モードからウェイクアップするために使用される外部割り込みソースを選択するために、ソフトウェアによって書き込まれます。

0：すべてのポートのピン 2 からの外部割り込みでは、ウェイクアップイベントは生成されません。

1：すべてのポートのピン 2 からの外部割り込みが、ウェイクアップイベントを生成するように設定されています。

ビット 5 **EXTI_EV1**：外部割り込みイベント 1

このビットは、CPU を WFE モードからウェイクアップするために使用される外部割り込みソースを選択するために、ソフトウェアによって書き込まれます。

0：すべてのポートのピン 1 からの外部割り込みでは、ウェイクアップイベントは生成されません。

1：すべてのポートのピン 1 からの外部割り込みが、ウェイクアップイベントを生成するように設定されています。

ビット 4 **EXTI_EV0**：外部割り込みイベント 0

このビットは、CPU を WFE モードからウェイクアップするために使用される外部割り込みソースを選択するために、ソフトウェアによって書き込まれます。

0：すべてのポートのピン 0 からの外部割り込みでは、ウェイクアップイベントは生成されません。

1：すべてのポートのピン 0 からの外部割り込みが、ウェイクアップイベントを生成するように設定されています。

ビット 3 **TIM1_EV1**：TIM1 割り込みイベント 1

このビットは、CPU を WFE モードからウェイクアップするために使用される TIM1 割り込みソースを設定するために、ソフトウェアによって書き込まれます。

0：TIM1 キャプチャおよび比較割り込み時に、ウェイクアップイベントは生成されません。

1：TIM1 キャプチャおよび比較割り込みは、論理和（OR）がとられ、ウェイクアップイベントを生成するように設定されています。

ビット 2 **TIM1_EV0**：TIM1 割り込みイベント 0

このビットは、CPU を WFE モードからウェイクアップするために使用される TIM1 割り込みソースを設定するために、ソフトウェアによって書き込まれます。

0：TIM1 更新、トリガ、およびブレーク割り込み時に、ウェイクアップイベントは生成されません。

1：TIM1 更新、トリガ、およびブレーク割り込みは、論理和（OR）がとられ、ウェイクアップイベントを生成するように設定されています。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 1 **TIM2_EV1**：TIM2 割り込みイベント 1

このビットは、CPU を WFE モードからウェイクアップするために使用される TIM2 割り込みソースを設定するために、ソフトウェアによって書き込まれます。

0：TIM2 キャプチャおよび比較割り込み時に、ウェイクアップイベントは生成されません。

1：TIM2 キャプチャおよび比較割り込みは、論理和（OR）がとられ、ウェイクアップイベントを生成するように設定されています。

ビット 0 **TIM2_EV0**：TIM2 割り込みイベント 0

このビットは、CPU を WFE モードからウェイクアップするために使用される TIM2 割り込みソースを設定するために、ソフトウェアによって書き込まれます。

0：TIM2 更新、トリガ、およびブレーク割り込み時に、ウェイクアップイベントは生成されません。

1：TIM2 更新、トリガ、およびブレーク割り込みは、論理和（OR）がとられ、ウェイクアップイベントを生成するように設定されています。

WFE 制御レジスタ 2（WFE_CR2）

アドレスオフセット：0x01

リセット値：0x00

7	6	5	4	3	2	1	0
ADC1_COMP_EV	EXTI_EVE_F	EXTI_EVD_H	EXTI_EVB_G	EXTI_EV7	EXTI_EV6	EXTI_EV5	EXTI_EV4
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7 **ADC1_COMP_EV**

このビットは、CPU を WFE モードからウェイクアップするために使用される ADC1 およびコンパレータからの割り込みソースを選択するために、ソフトウェアによって書き込まれます。

0：ADC1 およびコンパレータからの割り込み時、ウェイクアップイベントは生成されません。

1：ADC1 およびコンパレータからの割り込みが、ウェイクアップイベントを生成するように設定されています。

ビット 6 **EXTI_EVE_F**：ポート E またはポート F の外部割り込みイベント

このビットは、CPU を WFE モードからウェイクアップするために使用されるポート E またはポート F 上の外部割り込みソースを選択するために、ソフトウェアによって書き込まれます。

0：ポート E またはポート F 上の外部割り込みイベント時に、ウェイクアップイベントは生成されません。

1：ポート E またはポート F 上の外部割り込みが、ウェイクアップイベントを生成するように設定されています。

ビット 5 **EXTI_EVD**：ポート D またはポート Hの外部割り込み(1)

このビットは、CPU を WFE モードからウェイクアップするために使用されるポート D またはポート H (1) 上の外部割り込みソースを選択するために、ソフトウェアによって書き込まれます。

0：ポート D またはポート H (1) 上の外部割り込みイベント時に、ウェイクアップイベントは生成されません。

1：ポート D またはポート H (1) 上の外部割り込みが、ウェイクアップイベントを生成するように設定されています。

ビット 4 **EXTI_EVB**：ポート B またはポート G 上の外部割り込み(2)

このビットは、CPU を WFE モードからウェイクアップするために使用されるポート B またはポート G (2) 上の外部割り込みソースを選択するために、ソフトウェアによって書き込まれます。

0：ポート B またはポート G (2) 上の外部割り込み時に、ウェイクアップイベントは生成されません。

1：ポート B またはポート G (2) 上の外部割り込みが、ウェイクアップイベントを生成するように設定されています。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 3 **EXTI_EV7**：外部割り込みイベント 7

このビットは、CPU を WFE モードからウェイクアップするために使用される外部割り込みソースを選択するために、ソフトウェアによって書き込まれます。

0：すべてのポートのピン 7 からの外部割り込みでは、ウェイクアップイベントは生成されません。

1：すべてのポートのピン 7 からの外部割り込みが、ウェイクアップイベントを生成するように設定されています。

ビット 2 **EXTI_EV6**：外部割り込みイベント 6

このビットは、CPU を WFE モードからウェイクアップするために使用される外部割り込みソースを選択するために、ソフトウェアによって書き込まれます。

0：すべてのポートのピン 6 からの外部割り込みでは、ウェイクアップイベントは生成されません。

1：すべてのポートのピン 6 からの外部割り込みが、ウェイクアップイベントを生成するように設定されています。

ビット 1 **EXTI_EV5**：外部割り込みイベント 5

このビットは、CPU を WFE モードからウェイクアップするために使用される外部割り込みソースを選択するために、ソフトウェアによって書き込まれます。

0：すべてのポートのピン 5 からの外部割り込みでは、ウェイクアップイベントは生成されません。

1：すべてのポートのピン 5 からの外部割り込みが、ウェイクアップイベントを生成するように設定されています。

ビット 0 **EXTI_EV4**：外部割り込みイベント 4

このビットは、CPU を WFE モードからウェイクアップするために使用される外部割り込みソースを選択するために、ソフトウェアによって書き込まれます。

0：すべてのポートのピン 4 からの外部割り込みでは、ウェイクアップイベントは生成されません。

1：すべてのポートのピン 4 からの外部割り込みが、ウェイクアップイベントを生成するように設定されています。

1. 中容量デバイスのポート D と、中+容量および大容量デバイスのポート D または H 上の外部割り込み
2. 中容量デバイスのポート B と、中+容量および大容量デバイスのポート B または G 上の外部割り込み

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

WFE 制御レジスタ 3（WFE_CR1）

アドレスオフセット：0x00

リセット値：0x00

7	6	5	4	3	2	1	0
DMA1CH23_EV	DMA1CH01_EV	USART1_EV	I2C1_EV	SPI1_EV	TIM4_EV	TIM3_EV1	TIM3_EV0
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7 **DMA1CH23_EV**：DMA1 チャネル 2 および 3 割り込みイベント

このビットは、CPU を WFE モードからウェイクアップするために使用される DMA1 チャネル 2 および 3 割り込みソースを選択するために、ソフトウェアによって書き込まれます。

0：DMA1 チャネル 2 および 3 割り込み時、ウェイクアップイベントは生成されません。

1：DMA1 チャネル 2 および 3 割り込みが、ウェイクアップイベントを生成するように設定されています。

ビット 6 **DMA1CH01_EV**：DMA1 チャネル 0 および 1 割り込みイベント

このビットは、CPU を WFE モードからウェイクアップするために使用される DMA1 チャネル 0 および 1 割り込みソースを選択するために、ソフトウェアによって書き込まれます。

0：DMA1 チャネル 0 および 1 割り込み時、ウェイクアップイベントは生成されません。

1：DMA1 チャネル 0 および 1 割り込みが、ウェイクアップイベントを生成するように設定されています。

ビット 5 **USART1_EV**：USART1 Rx および Tx 割り込みイベント

このビットは、CPU を WFE モードからウェイクアップするために使用される USART1 Rx および Tx 割り込みソースを選択するために、ソフトウェアによって書き込まれます。

0：USART1 Rx および Tx 割り込み時、ウェイクアップイベントは生成されません。

1：USART1 Rx および Tx 割り込みが、ウェイクアップイベントを生成するように設定されています。

ビット 4 **I2C1_EV**：I2C1 Rx および Tx 割り込みイベント

このビットは、CPU を WFE モードからウェイクアップするために使用される I2C1 Rx および Tx 割り込みソースを選択するために、ソフトウェアによって書き込まれます。

0：I2C1 Rx および Tx 割り込み時、ウェイクアップイベントは生成されません。

1：I2C1 Rx および Tx 割り込みが、ウェイクアップイベントを生成するように設定されています。

ビット 3 **SPI1_EV**：SPI1 Rx および Tx 割り込みイベント

このビットは、CPU を WFE モードからウェイクアップするために使用される SPI1 Rx および Tx 割り込みソースを選択するために、ソフトウェアによって書き込まれます。

0：SPI1 Rx および Tx 割り込み時、ウェイクアップイベントは生成されません。

1：SPI1 Rx および Tx 割り込みが、ウェイクアップイベントを生成するように設定されています。

ビット 2 **TIM4_EV**：TIM4 割り込みイベント

このビットは、CPU を WFE モードからウェイクアップするために使用される TIM4 割り込みソースを設定するために、ソフトウェアによって書き込まれます。

0：TIM4 更新およびトリガ割り込み時、ウェイクアップイベントは生成されません。

1：TIM4 更新およびトリガ割り込みは、論理和（OR）がとられ、ウェイクアップイベントを生成するように設定されています。

ビット 1 **TIM3_EV1**：TIM3 割り込みイベント 1

このビットは、CPU を WFE モードからウェイクアップするために使用される TIM3 割り込みソースを設定するために、ソフトウェアによって書き込まれます。

0：TIM3 キャプチャおよび比較割り込み時に、ウェイクアップイベントは生成されません。

1：TIM3 キャプチャおよび比較割り込みは、論理和（OR）がとられ、ウェイクアップイベントを生成するように設定されています。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 0 **TIM3_EV0**：TIM3 割り込みイベント 0

このビットは、CPU を WFE モードからウェイクアップするために使用される TIM3 割り込みソースを設定するために、ソフトウェアによって書き込まれます。

0：TIM3 更新、トリガ、およびブレーク割り込み時に、ウェイクアップイベントは生成されません。

1：TIM3 更新、トリガ、およびブレーク割り込みは、論理和（OR）がとられ、ウェイクアップイベントを生成するように設定されています。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

WFE 制御レジスタ 4（WFE_CR4）

アドレスオフセット：0x03

リセット値：0x00

7	6	5	4	3	2	1	0
予約済み	AES_EV	TIM5_EV1	TIM5_EV0	USART3_EV	USART2_EV	SPI2_EV	RTC_CSSLSE_EV
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7 予約済み

ビット 6 **AES_EV**：AES 割り込みイベント

このビットは、CPU を WFE モードからウェイクアップするために使用される AES 割り込みソースを設定するために、ソフトウェアによって書き込まれます。

0：AES ペリフェラルからはウェイクアップイベントは生成されません。

1：AES 割り込みがウェイクアップイベントを生成するように設定されています。

ビット 5 **TIM5_EV1**：TIM5 割り込みイベント 1

このビットは、CPU を WFE モードからウェイクアップするために使用される TIM5 割り込みソースを設定するために、ソフトウェアによって書き込まれます。

0：TIM5 キャプチャおよび比較割り込み時に、ウェイクアップイベントは生成されません。

1：TIM5 キャプチャおよび比較割り込みは、論理和（OR）がとられ、ウェイクアップイベントを生成するように設定されています。

ビット 4 **TIM5_EV0**：TIM5 割り込みイベント 0

このビットは、CPU を WFE モードからウェイクアップするために使用される TIM5 割り込みソースを設定するために、ソフトウェアによって書き込まれます。

0：TIM5 更新、トリガ、およびブレーク割り込み時に、ウェイクアップイベントは生成されません。

1：TIM5 更新、トリガ、およびブレーク割り込みは、論理和（OR）がとられ、ウェイクアップイベントを生成するように設定されています。

ビット 3 **USART3_EV**：USART3 Rx および Tx 割り込みイベント

このビットは、CPU を WFE モードからウェイクアップするために使用される USART2 Rx および Tx 割り込みソースを選択するために、ソフトウェアによって書き込まれます。

0：USART3 Rx および Tx からウェイクアップイベントは生成されません。

1：USART3 Rx および Tx 割り込みがウェイクアップイベントを生成するように設定されています。

ビット 2 **USART2_EV**：USART2 Rx および Tx 割り込みイベント

このビットは、CPU を WFE モードからウェイクアップするために使用される USART2 Rx および Tx 割り込みソースを選択するために、ソフトウェアによって書き込まれます。

0：USART2 Rx および Tx からウェイクアップイベントは生成されません。

1：USART2 Rx および Tx 割り込みがウェイクアップイベントを生成するように設定されています。

ビット 1 **SPI2_EV：**SPI2 Rx および Tx 割り込みイベント

このビットは、CPU を WFE モードからウェイクアップするために使用される SPI2 Rx および Tx 割り込みソースを選択するために、ソフトウェアによって書き込まれます。

0：SPI2 Rx および Tx からウェイクアップイベントは生成されません。

1：SPI2 Rx および Tx 割り込みがウェイクアップイベントを生成するように設定されています。

ビット 0 **RTC_CSSLSE_EV**：“RTC” または “CSS on LSE” 割り込みイベント

このビットは、CPU を WFE モードからウェイクアップするために使用される割り込みソース（"RTC" または "CSS on LSE"）を選択するために、ソフトウェアによって書き込まれます。

0：RTC または CSS on LSE 割り込みイベントからウェイクアップイベントは生成されません。

1：RTC または CSS on LSE 割り込みイベントがウェイクアップイベントを生成するように設定されています。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

7.5.2 WFE レジスタマップとリセット値

表 12. WFE レジスタマップ

アドレスオフセット(1)	レジスタ名	7	6	5	4	3	2	1	0
0x00	WFE_CR1 リセット値	EXTI_EV3 0	EXTI_EV2 0	EXTI_EV1 0	EXTI_EV0 0	TIM1_EV1 0	TIM1_EV0 0	TIM2_EV1 0	TIM2_EV0 0
0x01	WFE_CR2 リセット値	ADC1_COMP_EV 0	EXTI_EVE_F 0	EXTI_EVD 0	EXTI_EVB 0	EXTI_EV7 0	EXTI_EV6 0	EXTI_EV5 0	EXTI_EV4 0
0x02	WFE_CR3 リセット値	DMA1CH23_EV 0	DMA1CH01_EV 0	USART1_EV 0	I2C1_EV 0	SPI1_EV 0	TIM4_EV 0	TIM3_EV1 0	TIM3_EV0 0
0x03(2)	WFE_CR4 リセット値	予約済み	AES_EV 0	TIM5_EV1 0	TIM5_EV0 0	USART3_EV 0	USART2_EV 0	SPI2_EV 0	RTC_CSSLSE_EV 0

1. レジスタアドレスの詳細については、データシートの「一般ハードウェアレジスタマップ」の表を参照してください。
2. 中+容量および大容量デバイスでのみ使用可能。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

7.6 低電力実行モード

このモードは、超低電力モード（ULP）のレギュレータと I_{DDQ} の EEPROM を使った RAM からのコードのフェッチに基づいています。

このモードを使用中は、高速クロックソースから低速クロックソースに切り替える必要があります。

注： ***ADC は低電力実行モードでは使用できないので、無効にする必要があります。***

7.6.1 低電力実行モードへの移行

このモードへの移行は、次のソフトウェアシーケンスを実行することによって行われます。

1. RAM へジャンプします。
2. システムクロックを LSI または LSE クロックソースに切り替えます。
3. 高速オシレータ、ADC、および使用しないすべてのペリフェラルの電源をオフにします。
4. すべての割り込みをマスクします。
5. FLASH_CR1 レジスタの EEPM ビットをセットすることによって、フラッシュ /データ EEPROM をオフにします。
6. フラッシュ /データ EEPROM のオフ状態を保証するために、ソフトウェア遅延ループを追加します。
7. CLK_REGCSR レジスタの REGOFF ビットをセットすることによって、レギュレータの超低電力モードを設定します。

7.6.2 低電力実行モードの終了

このモードを終了するためには、必ず以下の手順を行う必要があります。

1. CLK_REGCSR レジスタの REGOFF ビットをリセットすることによって、メインレギュレータをオンにします。レギュレータが動作可能になると、CLK_REGCSR レジスタの REGREADY フラグがセットされます。
2. FLASH_CR1 レジスタの EEPM ビットをリセットすることによって、フラッシュ /データ EEPROM をオンにします。フラッシュ/データ1 EEPROM が動作可能になると、CLK_REGCSR レジスタの EEREADY フラグがセットされます。
3. 割り込みマスクをリセットします。
4. 必要なものをオンにして、必要に応じてフラッシュ /データ EEPROM にジャンプします。

7.7 低電力待機モード

MCU が低電力実行モードのときに WFE 命令を実行すると、このモードに入ります。このモードは、外部または内部イベントによってのみ終了できます。この場合、MCU は低電力実行モードに戻ります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

7.8 HALT モード

このモードでは、システムクロックは停止します。これは、CPU と、SYSCLK またはそこから生成されたクロックによってクロック供給されているすべてのペリフェラルが無効になることを意味します。ただし、以下の場合を除きます。

- SWIM によって使用されている場合、HSI クロックは停止しません。
- フラッシュ /データ EEPROM の書き込み操作が進行中の場合、システムクロックソースは停止しません。
- LSI クロックが SWIM または IWDG によって使用されている場合、または IWDG_HALT オプションビットが無効な場合、LSI クロックは停止しません。

HALT モードでは、どのペリフェラルもクロック供給されず、MCU のデジタル部分はほとんど電力を消費しません。

7.8.1 HALT モードへの移行

HALT 命令が実行されると、MCU は HALT モードに入ります。

注： ***低電力実行モードから HALT/ACTIVE-HALT モードに移行することは推奨されません。この 2 つのモードのいずれかから抜ける唯一の安全な方法は、MCU をリセットすることです。***

HALT 命令を実行する前に、アプリケーションは、ペリフェラル設定レジスタの対応する割り込みペンディングビットをクリアすることによって、保留中のすべてのペリフェラル割り込みをクリアする必要があります。そうしないと、HALT 命令が実行されず、プログラム実行が続行されます。

ただし、以下のフラグのいずれかがセットされている場合、HALT 手順は遅延されます。

- CLK_SWCR レジスタの SWBSY フラグ
- CLK_CLK_REGCSR レジスタの EEBUSY フラグ
- CLK_CRTCR レジスタの RTCSWBSY フラグ
- ACTIVE-HALT モードで BEEP が有効なときには、CLK_CBEEPR レジスタの BEEPSWBSY フラグ

CLK_ICKCR レジスタの SAHALT ビットがセットされている場合、メインレギュレータ（MVR）は、高速クロックがシステムによって使用されているかどうかに関係なく、オフになります。

7.8.2 HALT モードの終了

HALT モードからのウェイクアップは、割り込み入力に設定されている汎用 I/O ポート、またはペリフェラル割り込みをトリガできる代替機能ピンによる外部割り込みによってトリガされます。

システムクロックは、CLK_ICKCR レジスタの FHW ビットに応じた周波数で再開します。FHW ビットがセットされている場合、HSI/8 がシステムクロックです。そうでない場合、システムクロックは、HALT モードに入る前に最後に選択されたクロックソースです。

処理のほとんどが割り込みルーチンを通じて行われる割り込みベースのアプリケーションでは、CPU 設定レジスタのアクティベーションレベルビット（AL）をセットすることによって、メインプログラムを中断できます。このビットをセットすると、CPU は割り込みから戻るときに、メインの実行コンテキストを復元せずに、HALT モードに戻ります。

コンテキストの保存/復元作業と、（WFI モードに戻るための）電源管理のためのメインソフトウェアループ実行の必要性がないので、消費電力が削減されます。

HALT モードからのウェイクアップ後、LCD クロックは RTCCLK から SYSCLK に切り替わります。グリッチのない安定したクロック信号を得るには、同期のために 2 RTCCLK サイクルが必要です。したがって、この期間中は、LCD レジスタに対する読み出し/書き込みアクセスはできません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

7.9 ACTIVE-HALT モード

ACTIVE-HALT モードは、HALT モードと同様です。

注： ***低電力実行モードから HALT/ACTIVE-HALT モードに移行することは推奨されません。この 2 つのモードのいずれかから抜ける唯一の安全な方法は、MCU をリセットすることです。***

ACTIVE-HALT モードでは、メインオシレータ、CPU、およびほとんどすべてのペリフェラルの動作が停止します。
オシレータまたは LSE クリスタルのみが実行して、SWIM、ビーパ、IWDG、RTC、および LCD（有効な場合）を駆動します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

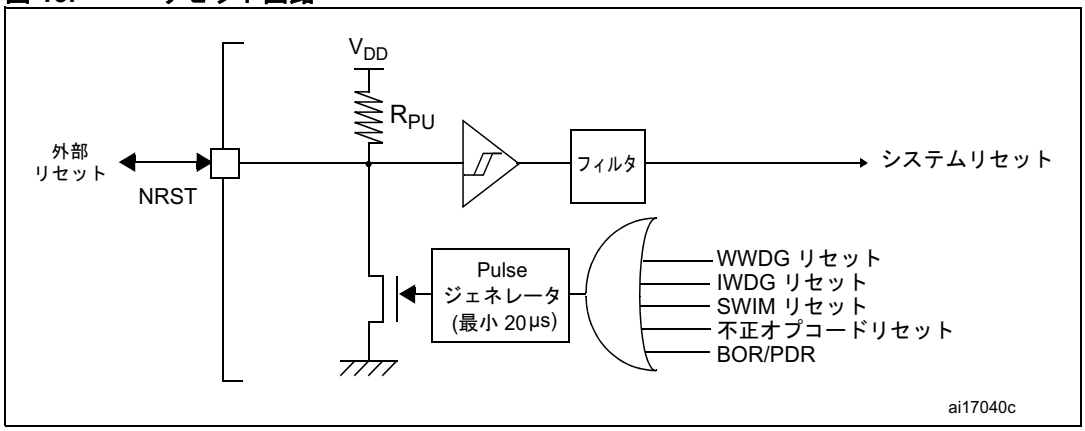
8 リセット（RST）

6 つのリセットリソースがあります。

- NRST ピンを通じた外部リセット（このピンは、汎用出力ピンとして設定することもできます）。
- パワーオンリセット（POR）/パワーダウンリセット（PDR）
- 独立型ウォッチドッグリセット（IWDG）
- ウィンドウ型ウォッチドッグリセット（WWDG）
- 不正オペコードリセット（ILLOP）
- SWIM リセット

これらのソースは、NRST ピンに作用します。リセットサービスルーチンベクタは、メモリマップのアドレス 0x8000 に固定されています。

図 13. リセット回路



8.1 「リセット状態」と「リセット中」の定義

リセットが発生すると、外部ピンのプルダウンから内部リセット信号のリリースまで、リセットフェーズが存在します。このフェーズ中に、マイクロコントローラは、リセットベクタに行く前に、いくつかのハードウェア設定を行います。

このフェーズの終わりに、ほとんどのレジスタが「リセット状態」の値に設定されます。リセットフェーズ中、すなわち「リセット中」では、いくつかのピンの設定が「リセット状態」の設定とは異なることがあります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

8.2 外部リセット（NRST ピン）

8.2.1 非同期外部リセットの説明

NRST ピンは、入力ピンと、内蔵の R_{PU} 弱プルアップ抵抗を備えたオープンドレイン出力ピンの両方として使用できます。

外部リセットを生成するには、NRST ピンに最短で 300 ns のローパルスが必要です。リセットの検出は非同期なので、MCU は HALT モードでもリセット状態に移行できます。

NRST ピンは、外部デバイスをリセットするためのオープンドレイン出力としても働きます。

内部リセットソースからのリセットパルスは、最低 20 µs の間、NRST 出力をローに保持します。内蔵 R_{PU} 弱プルアップ抵抗は、リセットが強制的にローにされなかったときに、NRST ピンをハイレベル状態に保ちます。

8.2.2 NRST/PA1 ピンの汎用出力としての設定

使用可能なピン数を最適化するために、NRST ピン（外部リセットピン）を汎用のプッシュプル出力（PA1）として設定することができます。

セキュリティ上、この設定は、*リセットピン設定レジスタ（RST_CR）*に指定されたキー（0xD0）を書き込むことによって、リセット後に 1 回だけ行うことができます。

PA1 ピンが汎用出力ピンとして設定されているときには、パワーオンリセット（POR）またはその他の内部リセットソースによってのみ、MCU をリセットできます。

8.3 内部リセット

内部リセットソースの場合、NRST ピンはパルスジェネレータによって生成された遅延フェーズの間、ロー状態に保たれます。

各内部リセットソースは、*リセットステータスレジスタ（RST_SR）*の特定のフラグビットにリンクされます。これらのフラグは、与えられたリセットソースに応じて、リセット状態にセットされます。したがって、最後のリセットソースを特定するために使用できます。論理値 "1" を書き込むことによって、ソフトウェアによってクリアされます。

注： ***POR フラグを含むすべてのフラグは POR 時にリセットされます。***

8.3.1 パワーオンリセット（POR）

パワーオン時、POR は、V_{DD} が指定された閾値に達するまで、デバイスをリセットモードに保ちます。POR リセットは、V_{DD} が最低動作電圧に達したことを保証するために、指定された期間、その状態を維持します。
詳細については、データシートの電気パラメータのセクションを参照してください。

8.3.2 独立型ウォッチドッグリセット

詳細については、独立型ウォッチドッグの章を参照してください。

リセットは、アプリケーションソフトウェアによって、独立型ウォッチドッグを使用してトリガされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

8.3.3 ウィンドウ型ウォッチドッグリセット

詳細については、ウィンドウ型ウォッチドッグの章を参照してください。

8.3.4 SWIM リセット

SWIM インタフェースに接続された外部デバイスは、SWIM ブロックに MCU リセットの生成を要求できます。

8.3.5 不正オペコードリセット

不正オペコード検出は、予期しない動作に対するデバイスの安定性を強化するために実装されています。実行されるコードがどのオペコード値やプリバイト値にも対応していない場合、リセットが生成されます。これをウォッチドッグと組み合わせることによって、予期しない故障や干渉からの復帰が可能になります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

8.4 RST レジスタ

8.4.1 リセットピン設定レジスタ（RST_CR）

アドレスオフセット：0x00

リセット値：0x00

7	6	5	4	3	2	1	0
RSTPIN_KEY							
rwo	rwo	rwo	rwo	rwo	rwo	rwo	rwo

ビット 7:0	**RSTPIN_KEY[7:0]**：リセットピン設定キー 0x00：NRST/PA1 はリセットピンとして設定されます（デフォルトのリセット値）。 0xD0：NRST/PA1 は汎用出力として設定されます。 これらのビットは 1 回のみ書き込み可能です。いつでも読み出すことができます。 ***注： 0xD0 以外の値を書き込むと、0x00 を書き込んだものとして扱われます。***

8.4.2 リセットステータスレジスタ（RST_SR）

アドレスオフセット：0x01

パワーオンリセット後のリセット値：0x01

7	6	5	4	3	2	1	0
予約済み		BORF	WWDGF	SWIMF	ILLOPF	IWDGF	PORF
		rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1

ビット 7:6 予約済み、クリア状態のままでなければなりません。

ビット 5 **BORF**：ブラウンアウトリセットフラグ

このビットは、ハードウェアによってセットされ、ソフトウェアによって 1 を書き込むことでクリアされます。

0：BOR リセットは発生していません。

1：BOR リセットが発生しました。

ビット 4 **WWDGF**：ウィンドウ型ウォッチドッグリセットフラグ

このビットは、ハードウェアによってセットされ、ソフトウェアによって 1 を書き込むことでクリアされます。

0：WWDG リセットは発生していません。

1：WWDG リセットが発生しました。

ビット 3 **SWIMF**：SWIM リセットフラグ

このビットは、ハードウェアによってセットされ、ソフトウェアによって 1 を書き込むことでクリアされます。

0：SWIM リセットは発生していません。

1：SWIM リセットが発生しました。

ビット 2 **ILLOPF**：不正オプコードリセットフラグ

このビットは、ハードウェアによってセットされ、ソフトウェアによって 1 を書き込むことでクリアされます。

0：ILLOP リセットは発生していません。

1：ILLOP リセットが発生しました。

ビット 1 **IWDGF**：独立型ウォッチドッグリセットフラグ

このビットは、ハードウェアによってセットされ、ソフトウェアによって 1 を書き込むことでクリアされます。

0：IWDG リセットは発生していません。

1：IWDG リセットが発生しました。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 0 **PORF** : パワーオンリセット（POR）フラグ

このビットは、ハードウェアによってセットされ、ソフトウェアによって 1 を書き込むことでクリアされます。

0 : POR は発生していません。

1 : POR が発生しました。

8.4.3 RST レジスタマップとリセット値

表 13. RST レジスタマップとリセット値

アドレスオフセット(1)	レジスタ名	7	6	5	4	3	2	1	0
0x00	RST_CR リセット値	RSTPIN _KEY7 0	RSTPIN _KEY6 0	RSTPIN _KEY5 0	RSTPIN _KEY4 0	RSTPIN _KEY3 0	RSTPIN _KEY2 0	RSTPIN _KEY1 0	RSTPIN _KEY0 0
0x01	RST_SR リセット値	- 0	- 0	BORF 0	WWDGF 0	SWIMF 0	ILLOPF 0	IWDGF 0	PORF 1

1. レジスタアドレスの詳細については、データシートの「一般ハードウェアレジスタマップ」の表を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

9 クロック制御（CLK）

このセクションの説明は、特に指定がない限り、中容量 STM8L15x デバイス、中+容量 STM8L15x デバイス、および大容量 STM8L15x/STM8L16x デバイスに適用されます。

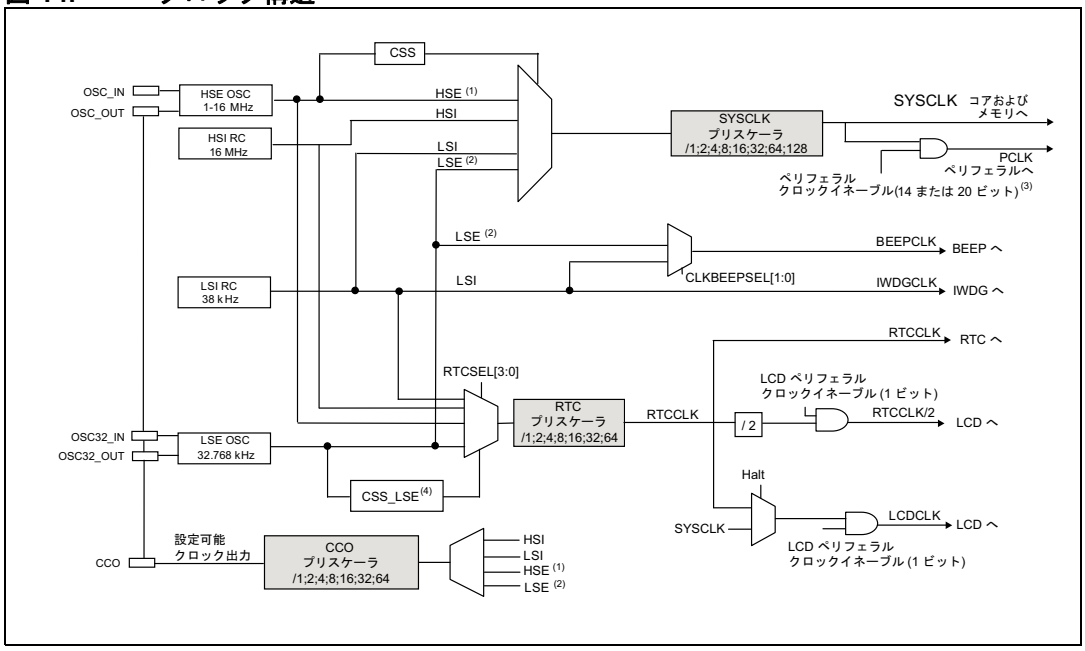
9.1 はじめに

クロックコントローラは、非常に耐ノイズ性に優れていると同時に使いやすく設計されています。その目的は、アプリケーションから最高の性能を引き出すと同時に、すべてのマイクロコントローラの節電機能のメリットをフルに活用することにあります。

CPU とさまざまなペリフェラルへのクロック分配を管理して、電力消費を最適化できます。

安全でグリッチのないスイッチ機構により、クロックプリスケーラを使用して、システムクロックの分周比を動作中に切り替えることができます。

図 14. クロック構造



1. HSE クロックソースには、外部クリスタル/セラミック発振子または外部ソース（HSE バイパス）のいずれかを使用することができます。*セクション 9.2 : HSE クロック*を参照してください。
2. LSE クロックソースには、外部クリスタル/セラミック発振子または外部ソース（LSE バイパス）のいずれかを使用することができます。*セクション 9.4 : LSE クロック*を参照してください。
3. 中容量デバイスでは 14 ビット、中+容量および大容量デバイスでは 20 ビット。
4. 中+容量および大容量デバイスでのみ使用可能。

次の 4 つのクロックソースを使用して、システムクロックを駆動できます。

- 16 MHz 高速内部（HSI）工場出荷時調整済み RC クロック
- 1～16 MHz 高速外部（HSE）オシレータクロック
- 32.768 kHz 低速外部（LSE）オシレータクロック
- 38 kHz 低速内部（LSI）低消費電力クロック

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

それぞれのクロックソースは、使用しないときに個別にオン/オフを切り替えて、電力消費を最適化できます。
この 4 つのクロックをプログラマブルプリスケーラ（1～128 分周）とともに使用して、システムクロック（SYSCLK）を駆動できます。SYSCLK は、コア、メモリ、およびペリフェラルをクロック駆動するために使用されます。リセット後、デバイスは、デフォルトでは、8 分周された HSI クロックで再開します。プリスケーラの分周比とクロックソースは、コードの実行が開始されると、アプリケーションプログラムによって変更できます。

すべてのペリフェラルクロックは、システムクロック（SYSCLK）から生成されます。ただし、次のものを除きます。

- LSE または LSI クロックから生成される BEEP クロック。この選択は、クロック BEEP レジスタ（CLK_CBEEPR）の CLKBEEPSEL[1:0] ビットをプログラムすることによって行われます。
- RTC と、LSE、LSI、HSI、または HSE（HSI と HSE は CLK_CRTCR レジスタのプログラマブルプリスケーラによって分周されます）から生成される LCD クロック。RTC および LCD クロックソース設定の詳細については、*セクション 9.9 : RTC および LCD クロック*を参照してください。
- 常に LSI クロックである IWDG クロック。

9.2 HSE クロック

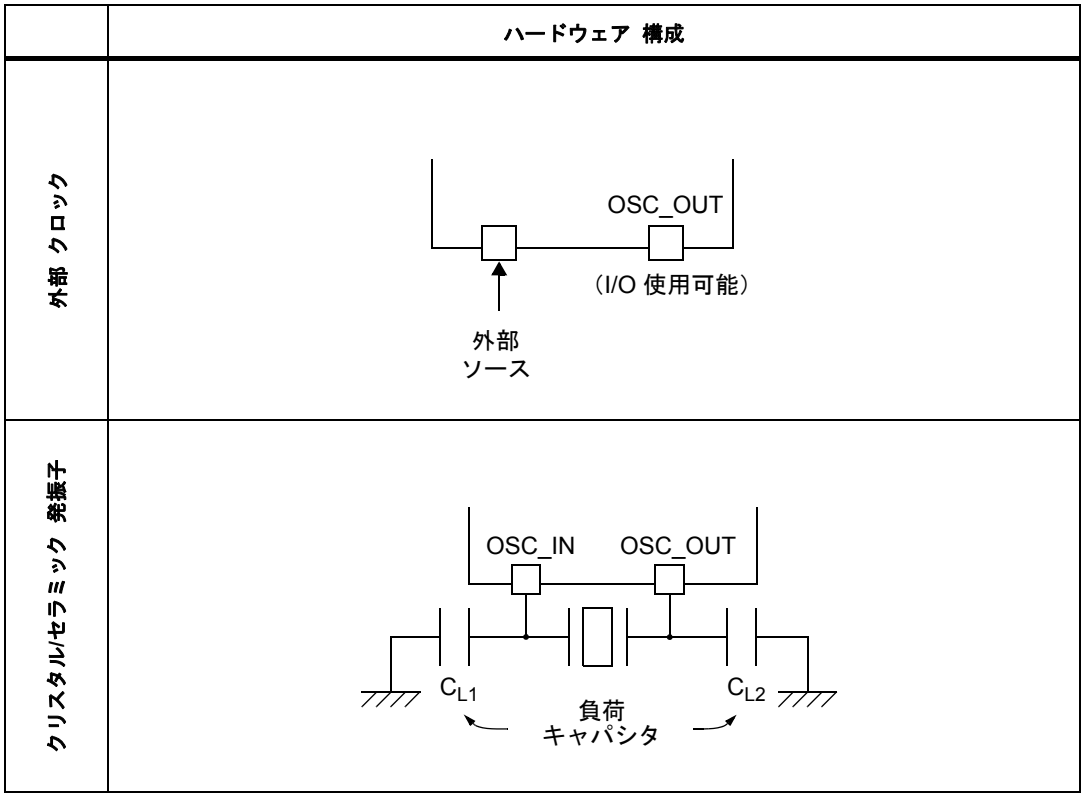
高速外部クロック信号（HSE）は、次のどちらかのクロックソースから生成できます。

- HSE 外部クリスタル/セラミック発振子
- HSE ユーザ外部クロック

注 : ***波形ひずみと発振開始時の安定化までの時間を少なくするために、発振子と負荷キャパシタはオシレータのピンのできるだけ近くに配置する必要があります。負荷コンデンサの値は、選択したオシレータに応じて調整する必要があります。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 15. HSE クロックソース



外部クリスタル/セラミック発振子（HSE クリスタル）

1～16 MHz の外部オシレータには、デューティサイクル 50% のメインクロックを非常に高い精度で生成できる利点があります。

関連するハードウェア構成を*図 15*に示します。詳細については、製品データシートの電気特性のセクションを参照してください。

起動時、オシレータによって生成されたクロック信号は安定しておらず、クロック信号がリリースされる前に、デフォルトでは 1 オシレータサイクル分の遅延が挿入されます。HSECNT オプションバイトで別の安定化時間をプログラムすることも可能です。データシートのオプションバイトのセクションを参照してください。

外部クロックレジスタ（CLK_ECKCR）の HSERDY フラグは、高速外部オシレータが安定に動作しているかどうかを示します。起動時、このビットがハードウェアによってセットされるまで、クロックはリリースされません。

HSE クリスタルは、外部クロックレジスタ（CLK_ECKCR）の HSEON ビットを使用して、オン/オフを切り替えることができます。

外部ソース（HSE バイパス）

このモードでは、外部クロックソースが必要です。最高 16 MHz の周波数を使用することができます。16 MHz アプリケーションは、外部クロックレジスタ（CLK_ECKCR）の HSEBYP および HSEON ビットをセットすることによって、このモードを選択できます。50% までのデューティサイクルを持つ外部クロック信号（矩形波、正弦波、または三角波）で OSC_IN ピンを駆動する必要があり、その間、OSC_OUT ピンは標準 I/O ピンとして使用できます。*図 15.*を参照してください。

注： ***このモードを選択する前に、ユーザは、HSE クロックソースが RTC によって使用されていないこと、出力されていないこと、またはスイッチング動作に関与していないことを確認する必要があります。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

9.3 HSI クロック

HSI クロック信号は、内部 16 MHz RC から生成されます。

起動時、システムクロックソースは、8 分周された HSI RC クロック出力（HSI/8）として自動的に選択されます。

HSI RC オシレータには、低コスト（外付部品なし）で 16 MHz システムクロックソースを供給できるという利点があります。同時に、HSE クリスタルオシレータよりもスタートアップ時間を短縮できますが、較正を実施していても、外部クリスタルオシレータやセラミック発振子よりも周波数の精度は劣ります。

較正

各デバイスは工場で較正されています。リセット後、工場較正値が*HSI 較正レジスタ（CLK_HSICALR）*に自動的にロードされて、HSI オシレータのトリミングに使用されます。CLK_HSICALR レジスタの読み出し専用の内容は、ユーザによる較正の参照値として使用できます。

アプリケーションが電圧または温度の変動を受ける場合は、これが RC オシレータの速度に影響を与えることがあります。*HSI クロック較正トリミングレジスタ（CLK_HSITRIMR）*を使用して、アプリケーションで HSI 周波数をトリミングできます。このレジスタは、内部 HSI 較正レジスタの値を供給します。

このレジスタに書き込む前に、ハードウェア書き込み保護を解除し、以下の手順を実行する必要があります。

1. HSI アンロックレジスタ（CLK_HSIUNLCKR）への 2 つの連続した書き込みアクセス。最初は値 0xAC を、2 回目は値 0x35 を書き込みます。
2. *HSI クロック較正トリミングレジスタ（CLK_HSITRIMR）*に HSI トリミング値を書き込みます。

この手順が適切に実行されると、CLK_HSITRIMR が再びロックされ、書き込まれた HSI トリミング値が HSI オシレータをトリミングするための較正値になります。

バックアップソース

HSI クロックは、HSE クリスタルオシレータに障害がある場合のバックアップソース（補助クロック）としても使用できます。*セクション 9.8：クロックセキュリティシステム (CSS)（96 ページ）*を参照してください。

高速ウェイクアップ機能

*内部クロックレジスタ（CLK_ICKCR）*の FHWU ビットがセットされた場合、MCU が HALT または アクティブ HALT モードからウェイクアップした後、システムクロックとして自動的に HSI クロックが選択されます。そうでない場合は、HALT または アクティブ HALT モードに入る前に使用されていたのと同じクロックソースが選択されます。

9.4 LSE クロック

LSE クリスタルは、32.768 kHz の低速外部クリスタルまたはセラミック発振子です。時計/カレンダやその他のタイミング機能のためのリアルタイムクロックペリフェラル（RTC）に、低電力で高精度なクロックソースを供給できるという利点があります。

LSE クリスタルは、外部クロックレジスタ（CLK_ECKCR）の LSEON ビットを使用して、オン/オフを切り替えます。また、RTC、CCO、Beep、またはシステムクロックソースとして選択されたときには、自動的にオンになります。起動時には、外部クロックレジスタ（CLK_ECKCR）の LSERDY フラグがハードウェアによってセットされた後、LSE クリスタル出力クロック信号が MCU に送信されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

注： ***LSE 起動時間 $t_{SU\ (LSE)}$ の終了前に CCO を有効にすることは禁止されています。***

また、安定した周波数を得るためには、LSE を使用する他の機能を有効にする前に、この LSE 起動時間の間、待つことが推奨されます。

外部ソース（LSE バイパス）

このモードでは、外部クロックソースが必要です。周波数は 32.768 kHz でなければなりません。アプリケーションは、外部クロックレジスタ（CLK_ECKCR）の LSEBYP および LSEON ビットをセットすることによって、このモードを選択できます。50 % までのデューティサイクルを持つ外部クロック信号（矩形波、正弦波、または三角波）で OSC32_IN ピンを駆動する必要があり、その間、OSC32_OUT ピンは標準 I/O ピンとして使用できます。*図 15* を参照してください。

注： ***このモードを選択する前に、ユーザは、LSE クロックソースが RTC によって使用されていないこと、出力されていないこと、またはスイッチング動作に関与していないことを確認する必要があります。***

9.5 LSI クロック

LSI RC は、独立型ウォッチドッグ（IEDG）用に ACTIVE-HALT およびRUN モードで実行を継続できる低電力クロックソースとして働きます。クロック周波数は約 38 kHz です。詳細については、製品データシートの電気特性のセクションを参照してください。

LSI RC は、内部クロックレジスタ（CLK_ICKCR）の LSION ビットでオン/オフを切り替えることができます。

SWIM モードへのエントリシーケンスを検出するために、LSI は HALT および アクティブ HALT モードを除くすべてのモードで自動的に有効状態が維持されます。したがって、LSI は、どのペリフェラルも LSI によってクロック駆動されておらず、SWIM が CFG_GCR レジスタの SWD ビットをセットすることによって無効にされた場合にのみ、LSION ビットをクリアすることによってオフに切り替えることができます。LSI は、HALT および アクティブ HALT モードでは、SWIM によってオン状態を維持することはできません。

内部クロックレジスタ（CLK_ICKCR）の LSIRDY フラグは、低速内蔵オシレータが安定しているかどうかを示します。起動時、このビットがハードウェアによってセットされるまで、クロックはリリースされません。

9.6 システムクロックソース

9.6.1 システムの起動

高速システム起動の場合、リセット後、クロックコントローラは、システムクロックソースを 8 分周された HSI RC クロック出力（HSI/8）として設定します。これは、HSI オシレータの安定化時間を短くするという利点があります。

システムクロックがリリースされると、ユーザプログラムはシステムクロックを別のクロックソース（LSI、HSE、または LSE）に切り替えたり、プリスケーラの分周比を変更したりできます。

9.6.2 システムクロックの切り替え手順

クロック切り替え機能は、アプリケーションがシステムクロックソースを別のシステムクロックソースに切り替えるための、使いやすく、迅速で安全な方法を提供します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

クロックソースを切り替えるには、ユーザは次の 2 つの方法のいずれかを使用できます。

- 自動切り替え
- 手動切り替え

自動切り替え

自動切り替えでは、最小の命令数でクロックを切り替えることができます。ソフトウェアは、切り替えイベントの正確な時間を気にせずに、他の操作を続行できます。
*図 16*のフローチャートを参照してください。
以下の手順に従ってください。

1. *スイッチ制御レジスタ（CLK_SWCR）*の SWEN ビットをセットすることによって、スイッチングメカニズムを有効にします。
2. ターゲットクロックソースを選択するために使用される 8 ビットの値を *システムクロックスイッチレジスタ（CLK_SWR）*に書き込みます。CLK_SWCR レジスタの SWBSY ビットがハードウェアによってセットされ、ターゲットソースオシレータが起動します。古いクロックソースは、CPU とペリフェラルの駆動を継続します。

ターゲットクロックソースの準備ができると（安定すると）、CLK_SWR レジスタの内容が *システムクロックステータスレジスタ（CLK_SCSR）*にコピーされます。

SWSBY ビットがクリアされ、古いクロックソースは新しいクロックソースに置き換えられます。SWIEN ビットがセットされると、CLK_SWCR レジスタの SWIF フラグがセットされ、割り込みが生成されます。

手動切り替え

手動切り替えは自動切り替えのように迅速ではありませんが、スイッチイベント時間を正確に制御することができます。

*図 17*のフローチャートを参照してください。

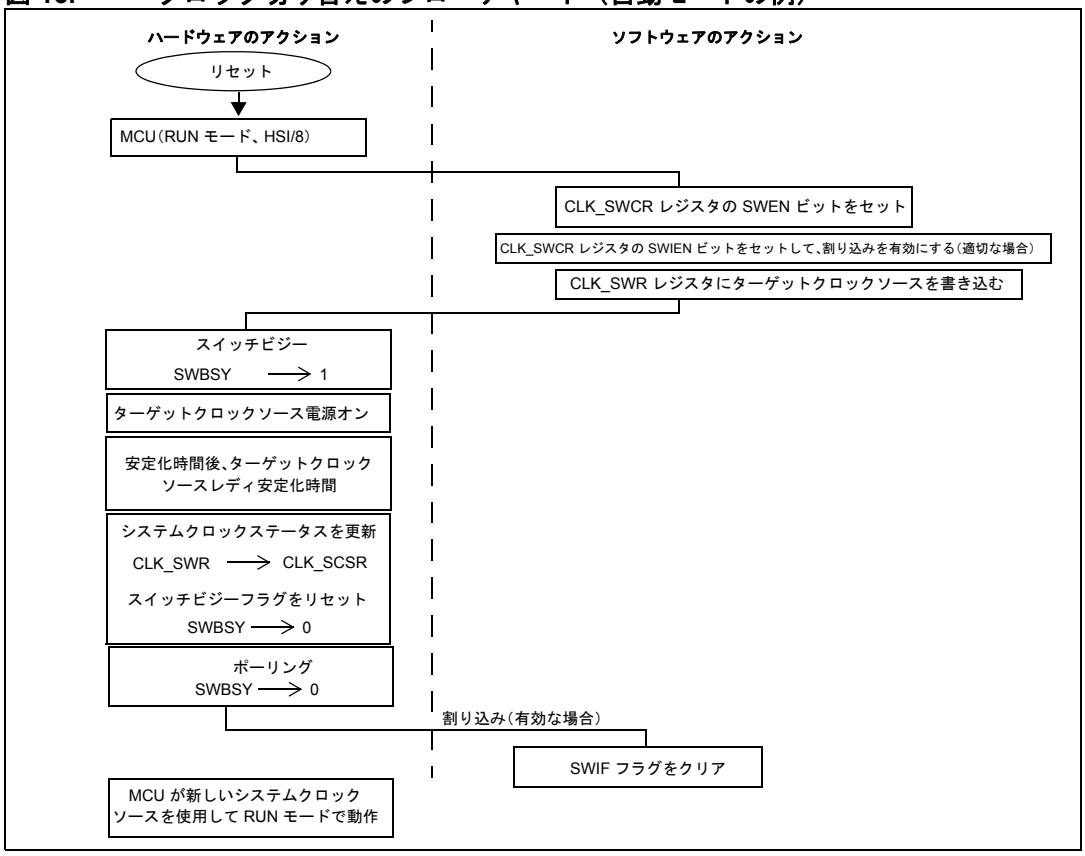
1. ターゲットクロックソースを選択するために使用される 8 ビットの値を *システムクロックスイッチレジスタ（CLK_SWR）*に書き込みます。SWBSY ビットがハードウェアによってセットされ、ターゲットソースオシレータが開始します。古いクロックソースは、CPU とペリフェラルの駆動を継続します。
2. ソフトウェアは、ターゲットクロックソースがレディ状態になるまで（安定するまで）待つ必要があります。これは、CLK_SWCR レジスタの SWIF フラグによって、および SWIEN ビットがセットされている場合は割り込みによって示されます。
3. ソフトウェアの最後の作業は、指定された時間に CLK_SWCR レジスタの SWEN ビットをセットして、切り替えを実行することです。

自動および手動切り替えモードの両方で、古いシステムクロックソースは、他のブロックによって必要とされた場合（たとえば、LSI RC は独立型ウォッチドッグを駆動するために使用されることがあります）、自動的にオフになりません。クロックソースは、内部クロックレジスタ（CLK_ICKCR）と外部クロックレジスタ（CLK_ECKCR）のビットを使用して、オフにできます。
クロック切り替えが何らかの理由で働かない場合、ソフトウェアは、SWBSY フラグをクリアすることによって、現在の切り替え操作をリセットできます。この場合、CLK_SWR レジスタは以前の内容（古いシステムクロック）に復元されます

注： ***SWBSY フラグをクリアすることによってクロックマスタ切り替え手順をリセットした後、アプリケーションは、新しいクロックマスタ切り替えリクエストを生成する前に、少なくとも 2 クロックサイクル経過するまで待つ必要があります。***

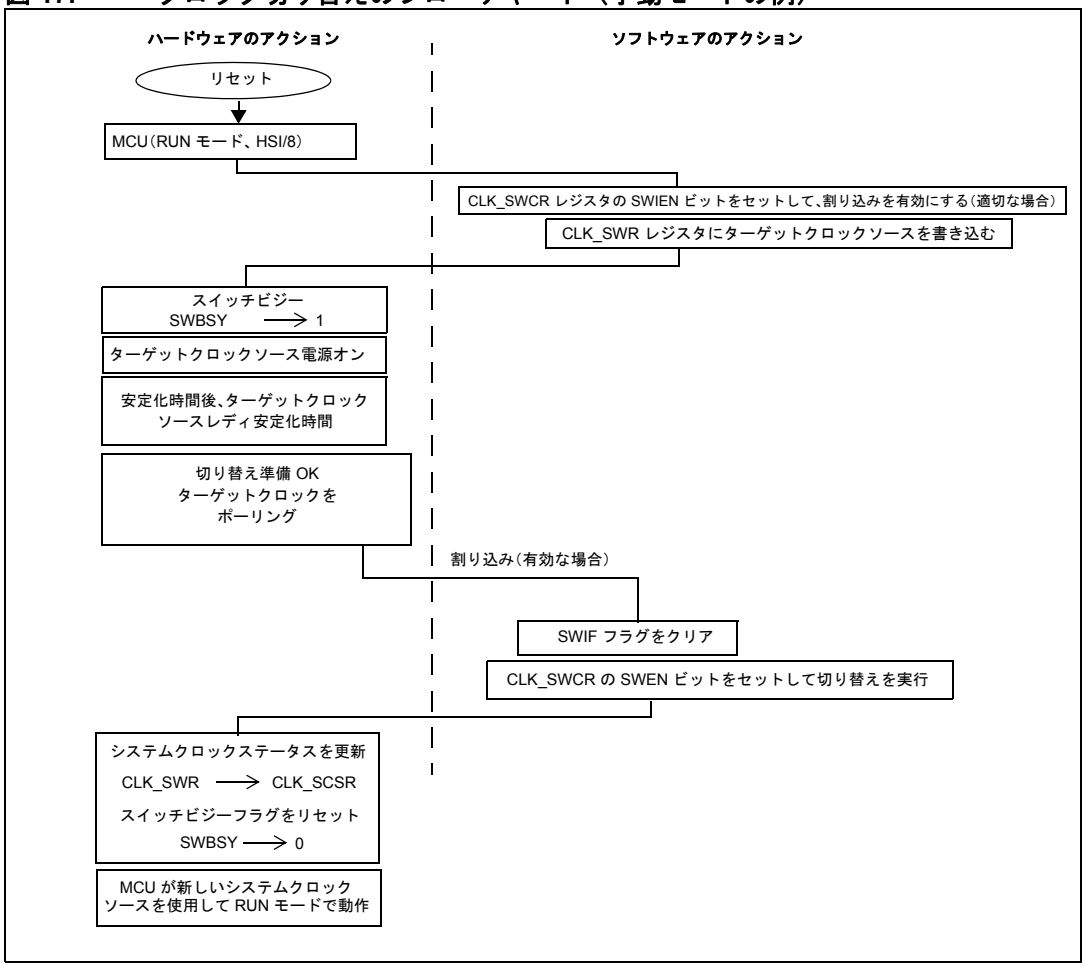
この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 16. クロック切り替えのフローチャート（自動モードの例）



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 17. クロック切り替えのフローチャート（手動モードの例）



9.7 ペリフェラルクロックゲーティング（PCG）

ペリフェラルクロックゲーティング（PCG）モードは、RUN モードまたは低速モード中にいつでも、ペリフェラルへのシステムクロック（SYSCLK）の接続を選択的に有効または無効にして、電力消費を最適化します。

デバイスリセット後、すべてのペリフェラルクロックは無効です。リセット状態でデフォルトで有効な唯一のビットは、ブート ROM 用に使用される PCKEN27 だけです。ソフトウェアは、ブートローダの実行後に ROM クロックをオフにするように適切に作成されていなければなりません。

ペリフェラルクロックゲーティングレジスタ CLK_PCKENRx の対応する PCKEN ビットをセットすることによって、任意のペリフェラルへのクロックを有効にできます。

- ペリフェラルを有効にするには、まず、CLK_PCKENR レジスタの対応する PCKEN ビットを有効にし、次に、ペリフェラル制御レジスタのペリフェラルイネーブルビットをセットします。
- ペリフェラルを適切に無効にするには、まず、ペリフェラル制御レジスタの適切なビットを無効にし、次に、対応するクロックを停止します。

注： ***Beep、RTC、および LCD には、SYSCLK とは異なる特定のクロックが供給されるので、ペリフェラルレジスタへのクロックゲーティングがアサートされた場合でも実行を続けます。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

9.8 クロックセキュリティシステム (CSS)

9.8.1 HSE のクロックセキュリティシステム

クロックセキュリティシステム（CSS）は、HSE がシステムクロックとして使用されているとき、HSE クリスタルクロックソースの障害を監視します。HSE クロックが発振子の破損や接続不良、またはその他の理由で動作不良となった場合、クロックコントローラは、HSE クロックに障害が発生する前に使用されていたのと同じ分周比を持つ HSI に SYSCLK を自動的に切り替えることによって、ストールセーフリカバリメカニズムを起動します。選択された補助クロックソースは、マイクロコントローラがリセットされるまで、有効なままです。アプリケーションは、*クロックセキュリティシステムレジスタ（CLK_CSSR）*の CSSEN ビットをセットすることによって、クロックセキュリティシステムを有効にできます。安全上の理由から、CSS が有効になると、次回のデバイスリセットまで無効にできません。

CSS を通じて HSE クリスタルの障害を検出するには、以下の条件が満たされている必要があります。

- HSE がオンであり、安定していること（外部クロックレジスタ（CLK_ECKCR）の HSEON=1 および HSERDY=1）。*外部クロックレジスタ（CLK_ECKCR）*
- CSS 機能が有効であること（*クロックセキュリティシステムレジスタ (CLK_CSSR)*の CSSEN=1）。

障害が検出されたときに、HSE が現在のシステムクロックである場合、CSS は以下のアクションを実行します。

- HSI の電源がオンになります（HSI 電源がオフであった場合）（*内部クロックレジスタ (CLK_ICKCR)* レジスタの HSION ビットがセットされます）。
- HSE の電源がオフになります（CLK_ECKCR レジスタの HSEON ビットがリセットされます）。
- AUX ビットがセットされて、HSI がシステムクロックソースとして使用されることを示します。システムクロックの分周比は変更されません。
- *システムクロック分周器レジスタ（CLK_CKDIVR）*を除いて、すべての CLK レジスタが書き込み保護されます。アプリケーションは、システムクロックプリスケーラを変更できます。
- CLK_CSSR レジスタの CSSD ビットがセットされ、CSSDIE ビットがセットされている場合は割り込みが生成されます。

注： ***CSSD および AUX フラグはデバイスのリセットによってのみクリアされます。***

障害が検出されたときに HSE が現在のシステムクロックソースでない場合、CSS は以下のアクションを実行します。

- HSE の電源がオフになります（CLK_ECKCR レジスタの HSEON ビットがリセットされます）。
- CLK_CSSR レジスタの CSSD ビットがセットされ、CSSDIE ビットがセットされている場合は割り込みが生成されます。

CSSDIE ビットがセットされているとき、HSE クロックに障害が発生した場合、CSS 割り込みがトリガされ、CSS 割り込みイネーブルビットがクリアされない限り、無限に実行されます。そのため、アプリケーションは、CLK 割り込みサービスルーチン（ISR）で CLK_CSSR レジスタの CSSDIE ビットをクリアしなければなりません。

HSE がシステムクロックソースとして選択されているとき、必要な安定化時間の前に HSE で障害が発生した場合、障害は検出されず（CSSD はゼロ）、システムクロックには依然として前のクロックが供給されます。この場合、アプリケーションは、*スイッチ制御レジスタ（CLK_SWCR）*の SWBSY ビットをクリアすることによって、クロック切り替え手順を中止する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

9.8.2 LSE のクロックセキュリティシステム

中+容量および大容量デバイスでは第 2 のクロックセキュリティシステムが実装されていて、LSE が RTC クロックとして使用されているときに、LSE クリスタルクロックソースの障害を監視します。LSE の障害検出は、LSI オシレータを通じて行われます。

この機能は、RTC ペリフェラルの外部で実装されるので、クロックコントローラレジスタには影響を与えません。この機能が正しく働くためには、LSI クロック周波数が LSI/4 より高い必要があります。

CSSLSE_CSR レジスタの SWITCHEN ビットの設定に応じて、LSE の障害が検出されたときに、RTC クロックを LSE から LSI に自動的に切り替えることができます。

アプリケーションは、CSSLSE_CSR レジスタの CSSEN ビットと SWITCHEN ビットをセットすることによって、LSE のクロックセキュリティシステムを有効にし、LSI に切り替えることができます。

安全上の理由から、LSE 上の CSS が有効になると、次のパワーオンリセットまで無効にできません。

LSE が RTC クロックソースとして使用されているときに、CSS を通じて LSE クォーツクリスタルの障害を検出するためには、以下の条件が満たされている必要があります。

- CLK_PCKENR3 レジスタの CSS_LSE ビットをセットすることによって、ペリフェラルクロックを有効にします。
- CLK_ICKCR レジスタの LSION ビットをセットすることによって、LSI クロックを有効にします。
- CLK_CRTCR レジスタを通じて、LSE を RTC クロックソースとして設定します。

注： ***LSE を RTC クロックソースとして設定せずに LSE 上の CSS を有効にした場合、RTC クロックがないために擬似障害が検出されます。***

- CSSLSE_CSR レジスタの CSSEN ビットをセットすることによって、LSE 上の CSS を有効にします。

注： ***LSE 上の CSS を有効にする前に、ユーザは、LSE 起動時間 $t_{SU\ (LSE)}$ が経過するまで待つ必要があります。***

- 必要に応じて、CSSLSE_CSR レジスタの SWITCHEN ビットをセットすることによって、LSE 障害時に LSE から LSI への自動クロック切り替えを有効にします。
- LSE 障害が検出されると：
  - CSSLSE_CSR レジスタの CSSF ビットがセットされ、CSSIE ビットがセットされている場合は割り込みが生成されます。
  - SWITCHEN ビットがセットされている場合、RTC クロックソースが LSI に切り替えられ、CSSLSE_CSR レジスタの SWITCHF ビットがセットされます。RTC クロックソースは、次のパワーオンリセットまで LSI のままです。CLK_CRTCR レジスタは切り替えによって更新されず、次のパワーオンまで RTC クロックを制御できません。

注： ***SWITCHF ビットがセットされると、RTC クロックソースは LSE クロックではなく LSI クロックになります。***

  - SWITCHEN ビットがリセットされた場合、RTC クロックソースは LSE クロックのままです。

低電力モードでの LSE 上の CSS

次の表に、低電力モードでの LSE 上の CSS の動作を示します。

表 14. 低電力モードでの LSE 上の CSS

モード	説明
HALT/ACTIVE-HALT	CSSF 割り込みによって、デバイスは ACTIVE-HALT または HALT モードから抜けます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

9.7.1.2 LSE 上の CSS 制御およびステータスレジスタ（CSSLSE_CSR）

アドレスオフセット：0x00

パワーオンリセット値：0x00
リセット値：0xXX（レジスタはシステムリセットによる影響を受けません。パワーオン時にリセットされます）。

7	6	5	4	3	2	1	0
予約済み			SWITCHF	CSSF	CSSIE	SWITCHEN	CSSEN
r			r	rw	rw	rwo	rwo

ビット 7:5 予約済み、クリア状態のままでなければなりません。

ビット 4 **SWITCHF**：RTC クロック切り替えフラグ
このビットは、ハードウェアによってセットされ、デバイスのリセットによってのみクリアされます。
0：RTC クロックの切り替えは発生していません。または、LSE の障害は検出されていません。
1：RTC クロックの LSI への切り替えが完了しました。

ビット 3 **CSSF**：LSE 上の CSS フラグ
このビットは、ハードウェアによってセットされ、ソフトウェアによって 0 を書き込むことでクリアされます。
0：LSE 上の CSS はオフか、LSE クリスタルクロック障害が検出されていません。
1：LSE クリスタルクロック障害が検出されました。

ビット 2 **CSSIE**：LSE 上のクロックセキュリティシステム割り込みイネーブル
このビットは、ソフトウェアによってセット/クリアされます。
0：LSE 上のクロックセキュリティシステム割り込みは無効です。
1：LSE 上のクロックセキュリティシステム割り込みは有効です。

ビット 1 **SWITCHEN**：LSE 障害時 RTC クロックの LSI への切り替えイネーブル
このビットは、ソフトウェアによってのみセットされ、デバイスのリセットによってのみクリアされます。
0：LSE 障害時 RTC クロックの LSI への切り替えはオフです。
1：LSE 障害時 RTC クロックの LSI への切り替えはオンです。

ビット 0 **CSSEN**：LSE 上のクロックセキュリティシステムイネーブル
このビットは、ソフトウェアによってのみセットされ、デバイスのリセットによってのみクリアされます。
0：LSE 上のクロックセキュリティシステムはオフです。
1：LSE 上のクロックセキュリティシステムはオンです。

9.8.3 LSE 上の CSS のレジスタマップとリセット値

表 15. LSE 上の CSS のレジスタマップ

アドレスオフセット (1)	レジスタ名	7	6	5	4	3	2	1	0
0x00	CSSLSE_CSR パワーオンリセット値	- 0	- 0	- 0	SWITCHF 0	CSSF 0	CSSIE 0	SWITCHEN 0	CSSEN 0

1. レジスタアドレスの詳細については、データシートの「一般ハードウェアレジスタマップ」を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

9.9 RTC および LCD クロック

RTC には 2 つのクロックソースがあります。

- RTC タイマ/カウンタ用に使用される RTCCLK。

  RTCCLK は、HSE、LSE、HSI、または LSI クロックです。この選択は、クロック RTC レジスタ（CLK_CRTCR）の RTCSEL[3:0] ビットをプログラムすることによって行われます。これらのクロックは、オプションで、クロック RTC レジスタ（CLK_CRTCR）の RTCDIV[2:0] ビットをプログラムすることによって、プログラマブル分周器（1～64 分周）で分周できます。HSE または HSI クロックが RTCCLK として選択されるときには、このクロックは、RTCCLK への入力が最高 1 MHz となるように分周されなければなりません。

- RTC レジスタの読み出し/書き込みアクセスに使用される SYSCLK。

  STSCLK は、ペリフェラルクロックゲーティングレジスタ 2（CLK_PCKENR2）のビット 2 によってゲーティングされます。

LCD には 2 つのクロックソースがあります。

- LCD フレームレートを生成するために使用される 2 分周された RTCCLK。

  このクロックは、ペリフェラルクロックゲーティングレジスタ 2（CLK_PCKENR2）のビット 3 によってゲーティングされます。結果として、RTC がアプリケーションで使用されない場合でも、RTCCLK は LCD を駆動するように設定される必要があります。

- LCD レジスタの読み出し/書き込みアクセスに使用される LCDCLK。

  このクロックは、ペリフェラルクロックゲーティングレジスタ 2（CLK_PCKENR2）のビット 3 をセットすることによって SYSCLK から生成されます。アクティブ HALT モードでは、LDCCLK ソースは SYSCLK ではなく RTCCLK です。

9.10 BEEP クロック

BEEP クロックソースは、LSE または LSI クロックです。*クロック Beep レジスタ（CLK_CBEEPR）*の CLKBEEPSEL[1:0] ビットをプログラムすることによって選択できます。

9.11 設定可能クロック出力機能（CCO）

設定可能クロック出力機能（CCO）によって、外部 CCO ピンにクロックを出力することができます。次の 4 つのクロック信号の 1 つを CCO クロックとして選択できます。

- f_{HSE}
- f_{HSI}
- f_{LSE}
- f_{LSI}

注： ***可能なすべてのプリスケールされた値で 50% のデューティサイクルが保証されるわけではありません。***

この選択は、*設定可能クロック出力レジスタ（CLK_CCOR）*の CCOSEL[3:0] ビットによって制御されます。クロック周波数をプリスケールできます。分周比は CCODIV[2:0] ビットによって決まります。

選択されたクロックを実際に出力する手順は、使用するクロック源と専用 I/O ピン（「ピンの説明」の章を参照）の分周比の選択から始まります。この I/O は、対応する Px_CR1 レジスタで 1 にセットして、プルアップまたはプッシュプル出力を持つ入力として設定する必要があります。PxCR2 レジスタは、使用するクロック源の最高出力速度に合わせて設定してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

CCOSWBSY ビットがセットされて、較正可能クロック出力システムが動作していることを示します。CCOSWBSY ビットがセットされている限り、CCOSEL および CCODIV ビットは書き込み保護されます。

CCO は、必要に応じて自動的にターゲットオシレータを起動します。

クロック出力を無効にするには、CCOSEL ビットをクリアする必要があります。CCOSWBSY フラグは、シャットダウンが完了するまで 1 に保たれます。選択されたクロック出力が f_{CPU} に比べて非常に遅い場合など、CCOSEL ビットがクリアされてからフラグがリセットされるまで時間がかかることがあります。

9.12 TIM2/TIM3 用のクロックに依存しないシステムクロックソース

RTC のタイムベースとして 32.768 kHz のクロックを使用する一部のアプリケーションでは、システムクロックから完全に独立して動作するタイムベースを使用する場合があります。そのような場合、ユーザは、システムクロックを考慮せずに、タスクをスケジュールできます。

この目的のために、LSE クロックは内部で、追加クロックソースとして使用される 2 つのタイマの ETR 入力（TIM2 と TIM3）にリダイレクトされます。*セクション 11.5.2：SYSCFG リマップ制御レジスタ 2（SYSCFG_RMPCR2）（141 ページ）*を参照してください。

注： ***対応するタイマの ETR プリスケーラは、選択されたシステムクロックに対して少なくとも 1：4 の分周比となるように設定されなければなりません。***

LSE クロックは、CLK 設定レジスタで定義されたとおりに適切に電源がオンされなければなりません。

9.13 CLK 割り込み

クロックコントローラによって、以下の割り込みを生成できます。

- システムクロックソース切り替えイベント
- クロックセキュリティシステムイベント

どちらの割り込みも個別にマスクできます。

表 16. CLK 割り込みリクエスト

割り込みイベント	イベントフラグ	イネーブル制御ビット	WAIT/低電力 WAIT の終了	HALT/アクティブ HALTの終了
CSS イベント	CSSD	CSSDIE	Yes	No
システムクロック切り替えイベント	SWIF	SWIEN	Yes	No

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

9.14 CLK レジスタ

9.14.1 システムクロック分周器レジスタ（CLK_CKDIVR）

アドレスオフセット：0x00

リセット値：0x03

7	6	5	4	3	2	1	0
予約済み					CKM[2:0]		
-	-	-	-	-	rw	rw	rw

ビット 7:3 予約済み、クリア状態のままでなければなりません。

ビット 2:0 **CKM[2:0]**：システムクロックプリスケーラ

000：システムクロックソース/1
001：システムクロックソース /2
010：システムクロックソース/4
011：システムクロックソース /8
100：システムクロックソース /16
101：システムクロックソース /32
110：システムクロックソース /64
111：システムクロックソース /128

これらのビットは、システムクロックのプリスケール比を定義するために、ソフトウェアによって書き込まれます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

9.14.2 クロック RTC レジスタ（CLK_CRTCR）

アドレスオフセット：0x01

パワーオンリセット値：0x00

リセット値：影響されません（このレジスタの内容はシステムリセットによる影響を受けません）。

7	6	5	4	3	2	1	0
RTCDIV2	RTCDIV1	RTCDIV0	RTCSEL3	RTCSEL2	RTCSEL1	RTCSEL0	RTCSWBSY
rw	rw	rw	rw	rw	rw	rw	r

ビット 7:5 **RTCDIV[2:0]**：クロック RTC プリスケーラ

これらのビットは、クロック RTC の分周比を選択するために、ソフトウェアによって書き込まれます。

000：RTC クロックソース /1
001：RTC クロックソース /2
010：RTC クロックソース /4
011：RTC クロックソース /8
100：RTC クロックソース /16
101：RTC クロックソース /32
110：RTC クロックソース /64
111：RTC クロックソース /64

注： 無効なターゲットコードでの書き込みはスキップされます。
RTCSWBSY がセットされた場合、これらのビットの内容は凍結され、書き込み保護されます。

ビット 4:1 **RTCSEL[3:0]**：設定可能 RTC クロックソースの選択

これらのビットは、RTC によって使用されるクロックソースを選択するために、ソフトウェアによって書き込まれます。

0000：どのクロックも選択されません。
0001：HSI クロックが RTC クロックソースとして使用されます。
0010：LSI クロックが RTC クロックソースとして使用されます。
0100：HSE クロックが RTC クロックソースとして使用されます。
1000：LSE クロックが RTC クロックソースとして使用されます。

注： 無効なターゲットコードでの書き込みはスキップされます。
RTCSWBSY がセットされた場合、これらのビットの内容は凍結され、書き込み保護されます。

ビット 0 **RTCSWBSY**：RTC クロックの変更中は、システムはビジーとなります。

このビットは、RTC の有効なクロック変更が必要なときに、ハードウェアによってセットされます。

RTC クロック変更手順が完了すると、リセットされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

9.14.3 内部クロックレジスタ（CLK_ICKCR）

アドレスオフセット：0x02

リセット値：0x11

7	6	5	4	3	2	1	0
予約済み	BEEPAHALT	FHWU	SAHALT	LSIRDY	LSION	HSIRDY	HSION
-	rw	rw	rw	r	rw	r	rw

ビット 7 予約済み、クリア状態のままでなければなりません。

ビット 6 **BEEPAHALT**：Beep クロック HALT/アクティブ HALT モード

このビットは、ソフトウェアによってセット/クリアされます。

0：Beep クロックは、HALT モードまたは アクティブ HALT モード中はオフになります。

1：Beep クロックは、HALT モード中も実行を続けます。

ビット 5 **FHWU**：HALT/アクティブ HALT モードからの高速ウェイクアップ

このビットは、ソフトウェアによってセット/クリアされます。

0：HALT/アクティブ HALT モードからの高速ウェイクアップは無効です。システムクロックは、HALT/アクティブ HALT モードに入る前に最後に選択されていたクロックソースです。

1：HALT/アクティブ HALT モードからの高速ウェイクアップは有効です。HALT/アクティブ HALT モードからのウェイクアップ後、システムクロックソースとして HSI/8 が使用されます。

ビット 4 **SAHALT**：低速 アクティブ HALT モード

このビットは、ソフトウェアによってセット/クリアされます。セットされると、MCU が アクティブ HALT モードに入ると、メイン電圧レギュレータが電源オフになるので、ウェイクアップ時間が長くなります。

0：アクティブ HALT モードで、MVR レギュレータの電源はオンです。

1：アクティブ HALT モードで、MVR レギュレータの電源はオフです。

ビット 3 **LSIRDY**：低速内部オシレータレディ

このビットは、ハードウェアによってセット/クリアされます。

0：LSI クロックはレディ状態ではありません。

1：LSI クロックはレディ状態です。

ビット 2 **LSION**：低速内部 RC オシレータイネーブル

このビットは、ソフトウェアによってセット/クリアされます。LSI オシレータが必要なときに、ハードウェアによってセットされます。たとえば次のような場合です。

- LSI クロックに切り替えられたとき（CLK_SWR レジスタを参照）。
- LSI がアクティブ CCO ソースとして選択されたとき（CLK_CCOR レジスタを参照）。
- LSI がアクティブ RTC ソースとして選択されたとき（CLK_CRTCR レジスタを参照してください）。
- LSI がアクティブ Beep クロックソースとして選択されたとき（CLK_CBEEPR レジスタを参照）。
- LSI 測定が有効なとき（BEEP_CSR1 レジスタの MSR ビットがセットされたとき）。

LSI が以下の用途に選択されているときはクリアできません。

- システムクロックソースとして（CLK_SCSR レジスタ）
- アクティブ CCO ソースとして
- BEEPAHALT ビットがセットされている場合に Beep ペリフェラルのクロックソースとして
- または、RTC のアクティブクロックソースとして

0：低速内部 RC はオフです。

1：低速内部 RC はオンです。

ビット 1 **HSIRDY**：高速内部オシレータレディ

このビットは、ハードウェアによってセット/クリアされます。

0：HSI クロックはレディ状態ではありません。

1：HSI クロックはレディ状態です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 0 **HSION**：高速内部 RC オシレータオン

このビットは、ソフトウェアによってセット/クリアされます。LSI オシレータが必要なときに、ハードウェアによってセットされます。たとえば次のような場合です。

- CSS によって安全なオシレータとして起動されたとき。
- HSI クロックに切り替えられたとき（CLK_SWR レジスタを参照）。
- HSI がアクティブ CCO ソース、RTC クロックとして選択されたとき。
- 高速ウェイクアップモードで HALT/ACTIVE-HALT から抜けたとき。

HSI がシステムクロックとして（CLK_SCSR レジスタ）、アクティブ CCO ソースとして、アクティブ RTC クロックとして選択されているとき、または安全なオシレータ（AUX）が有効な場合は、クリアできません。

0：高速内部 RC はオフです。
1：高速内部 RC はオンです。

9.14.4 ペリフェラルクロックゲーティングレジスタ 1（CLK_PCKENR1）

アドレスオフセット：0x3

リセット値：0x00

7	6	5	4	3	2	1	0
PCKEN1[7:0]							
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:0 **PCKEN1[7:0]**：ペリフェラルクロックイネーブル

これらのビットは、対応するペリフェラルへの SYSCLK クロックを有効/無効にするために、ソフトウェアによって書き込まれます。*表 17*を参照してください。

0：ペリフェラルへの SYSCLK は無効です。
1：ペリフェラルへの SYSCLK は有効です。

表 17. ペリフェラルクロックゲーティングビット（PCKEN 10～PCKEN 17）

制御ビット	ペリフェラル
PCKEN17	DAC
PCKEN16	BEEP
PCKEN15	USART1
PCKEN14	SPI1
PCKEN13	I2C1
PCKEN12	TIM4
PCKEN11	TIM3
PCKEN10	TIM2

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

9.14.5 ペリフェラルクロックゲーティングレジスタ 2（CLK_PCKENR2）

アドレスオフセット：0x04

リセット値：0x80

7	6	5	4	3	2	1	0
PCKEN27	予約済み	PCKEN2[5:0]					
		rw	rw	rw	rw	rw	rw

ビット 7 **PCKEN27**：ペリフェラルクロックイネーブル

これらのビットは、対応するペリフェラルへの SYSCLK クロックを有効/無効にするために、ソフトウェアによって書き込まれます。*表 18*を参照してください。

0：ペリフェラルへの SYSCLK は無効です。

1：ペリフェラルへの SYSCLK は有効です。

ビット 6 予約済み

ビット 5：0 **PCKEN2[5:0]**：ペリフェラルクロックイネーブル

これらのビットは、対応するペリフェラルへの SYSCLK クロックを有効/無効にするために、ソフトウェアによって書き込まれます。*表 18*を参照してください。

0：ペリフェラルへの SYSCLK は無効です。

1：ペリフェラルへの SYSCLK は有効です。

表 18. ペリフェラルクロックゲーティングビット（PCKEN 20～PCKEN 27）

制御ビット	ペリフェラル
PCKEN27(1)	ブート ROM
PCKEN25	COMP1 および COMP2
PCKEN24	DMA1
PCKEN23	LCD
PCKEN22	RTC
PCKEN21	TIM1
PCKEN20	ADC1

1. リセット状態でデフォルトで有効な唯一のビットは、ブート ROM 用に使用される PCKEN27 だけです。ソフトウェアは、ブートローダの実行後に ROM クロックをオフにするように適切に作成されていなければなりません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

9.14.6 ペリフェラルクロックゲーティングレジスタ 3（CLK_PCKENR3）

アドレスオフセット：0x10

リセット値：0x00

7	6	5	4	3	2	1	0
予約済み		PCKEN3[5:0]					
		rw	rw	rw	rw	rw	rw

注： このペリフェラルは、中+容量および大容量デバイスでのみ使用可能です。

ビット 7:0 **PCKEN3[5:0]**：ペリフェラルクロックイネーブル

これらのビットは、対応するペリフェラルへの SYSCLK クロックを有効/無効にするために、ソフトウェアによって書き込まれます。*表 19* を参照してください。

0：ペリフェラルへの SYSCLK は無効です。

1：ペリフェラルへの SYSCLK は有効です。

表 19. ペリフェラルクロックゲーティングビット（PCKEN 30～PCKEN 35）

制御ビット	ペリフェラル
PCKEN35	CSS_LSE
PCKEN34	USART3
PCKEN33	USART2
PCKEN32	SPI2
PCKEN31	TIM5
PCKEN30	AES

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

9.14.7 設定可能クロック出力レジスタ（CLK_CCOR）

アドレスオフセット：0x05

リセット値：0x00

7	6	5	4	3	2	1	0
CCODIV[2:0]			CCOSEL[3:0]				CCOSWBSY
rw	rw	rw	rw	rw	rw	rw	r

ビット 7:5 **CCODIV[2:0]**：設定可能クロック出力プリスケーラ

これらのビットは、クロック CCO の分周比を選択するために、ソフトウェアによって書き込まれます。

000：CCO
001：CCO 2 分周
010：CCO 4 分周
011：CCO 8 分周
100：CCO 16 分周
101：CCO 32 分周
110：CCO 64 分周
111：CCO 64 分周

注： 無効なターゲットコードでの書き込みはスキップされます。
CCOSWBSY がセットされた場合、これらのビットの内容は凍結され、書き込み保護されます。

ビット 4:1 **CCOSEL[3:0]**：設定可能クロック出力の選択

これらのビットは、CCO ピンで使用可能な出力クロックのソースを選択するために、ソフトウェアによって書き込まれます。

0000：クロック出力は無効であり、CCO ピン上にクロックが出力されていません。
0001：CCO ピンに HSI クロックが出力されます。
0010：CCO ピンに LSI クロックが出力されます。
0100：CCO ピンに HSI クロックが出力されます。
1000：CCO ピンに LSE クロックが出力されます。

注： 無効なターゲットコードでの書き込みはスキップされます。
CCOSWBSY がセットされた場合、これらのビットの内容は凍結され、書き込み保護されます。

ビット 0 **CCOSWBSY**：設定可能クロック出力スイッチビジー

このビットは、ハードウェアによってセット/クリアされます。選択された CCO クロックソースが起動され、安定化されたことを示します。CCOSWBSY がセットされている間は、CCOSEL ビットと CCODIV ビットは書き込み保護されます。CCOSWBSY は、CCO クロックが有効になるまでセット状態が保たれます。

0：CCO クロックはビジーではありません。
1：CCO クロックはビジーです。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

9.14.8 外部クロックレジスタ（CLK_ECKCR）

アドレスオフセット：0x06

リセット値：0x00

7	6	5	4	3	2	1	0
予約済み		LSEBYP	HSEBYP	LSERDY	LSEON	HSERDY	HSEON
		rw	rw	r	rw	r	rw

ビット 7:6 予約済み、クリア状態のままでなければなりません。

ビット 5 **LSEBYP**：低速外部クロックバイパス

オシレータをバイパスするために、ソフトウェアによってセット/リセットされます。このビットに書き込めるのは、外部低速オシレータが無効なときだけです。

0：LSE オシレータはバイパスされません。

1：LSE オシレータはバイパスされます。

ビット 4 **HSEBYP**：高速外部クロックバイパス

デバッグ時に、外部クロックでオシレータをバイパスするために、ソフトウェアによってセット/リセットされます。このビットは、外部の 1～16 MHz オシレータが無効の場合のみ、書き込むことができます。

0：外部 1～16 MHz オシレータはバイパスされません。

1：外部 1～16 MHz オシレータはバイパスされ、外部クロックが使用されます。

ビット 3 **LSERDY**：低速外部クリスタルオシレータレディ

このビットは、ハードウェアによってセット/クリアされます。

0：LSE クロックはレディ状態ではありません。

1：LSE クロックはレディ状態です（LSE クロックは安定していて、使用可能です）。

ビット 2 **LSEON**：低速外部クリスタルオシレータイネーブル

このビットは、ソフトウェアによってセット/クリアされます。外部クリスタルオシレータのオン/オフを切り替えるために使用できます。以下の場合にハードウェアによってセットされます。

- LSE クロックに切り替えられたとき（CLK_SWR レジスタを参照）。
- アクティブ CCO ソースとして LSE が選択されたとき（CLK_CCOR レジスタを参照）。
- アクティブ RTC ソースとして LSE が選択されたとき（CLK_CRTCR レジスタを参照）。
- アクティブ BEEP ソースとして LSE が選択されたとき（CLK_CBEPR レジスタを参照）。

LSE が以下の用途のために選択されているときはクリアできません。

- システムクロックソースとして（CLK_SCSR レジスタ）
- アクティブ CCO ソースとして
- BEEPAHALT ビットがセットされている場合に Beep ペリフェラルのクロックソースとして
- または、RTC のアクティブクロックソースとして

0：LSE クロックはオフです。

1：LSE クロックはオンです。

ビット 1 **HSERDY**：高速外部クリスタルオシレータレディ

このビットは、ハードウェアによってセット/クリアされます。

0：HSE クロックはレディ状態ではありません。

1：HSE クロックはレディ状態です（HSE クロックは安定していて、使用可能です）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 0 **HSEON**：高速外部クリスタルオシレータイネーブル

このビットは、ソフトウェアによってセット/クリアされます。外部クリスタルオシレータのオン/オフを切り替えるために使用できます。以下の場合にハードウェアによってセットされます。

- HSE クロックに切り替えられたとき（CLK_SWR レジスタを参照）。
- アクティブ CCO ソースとして LSE が選択されたとき（CLK_CCOR レジスタを参照）。
- アクティブ RTC ソースとして HSE が選択されたとき（CLK_CRTCR レジスタを参照）。

HSE がシステムクロックとして（CLK_SCSR レジスタで示されます）、アクティブ CCO ソースとして、またはアクティブ RTC クロックソースとして選択されているときはクリアできません。

0：HSE クロックはオフです。

1：HSE クロックはオンです。

9.14.9 システムクロックステータスレジスタ（CLK_SCSR）

アドレスオフセット：0x07

リセット値：0x01

7	6	5	4	3	2	1	0
CKM[7:0]							
r	r	r	r	r	r	r	r

ビット 7:0 **CKM[7:0]**：システムクロックステータスビット

これらのビットは、ハードウェアによってセット/クリアされます。現在選択されているシステムクロックソースを示します。

0x01：HSI がシステムクロックソースとして選択されています（リセット値）。

0x02：LSI がシステムクロックソースとして選択されています。

0x04：HSE がシステムクロックソースとして選択されています。

0x08：LSE がシステムクロックソースとして選択されています。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

9.14.10 システムクロックスイッチレジスタ（CLK_SWR）

アドレスオフセット：0x08

リセット値：0x01

7	6	5	4	3	2	1	0
SWI[7:0]							
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:0 **SWI[7:0]**：システムクロック選択ビット

これらのビットは、システムクロックソースを選択するために、ソフトウェアによって書き込まれます。これらの内容は、クロック切り替え中は（SWBSY ビットがセットされている間は）書き込み保護されています。CLK_CSSR レジスタの AUX ビットがセットされている場合は、リセット値（HSI）にセットされます。高速 HALT ウェイクアップモードが選択された場合（CLK_ICKCR レジスタの FHW ビット = 1）、これらのビットは、HALT/アクティブ HALT モードから再開するときに、ハードウェアによって 0x01 にセットされます（HSI が選択されます）。

0x01：HSI がシステムクロックソースとして選択されています（リセット値）。
0x02：LSI がシステムクロックソースとして選択されています。
0x04：HSE がシステムクロックソースとして選択されています。
0x08：LSE がシステムクロックソースとして選択されています。

9.14.11 スイッチ制御レジスタ（CLK_SWCR）

アドレスオフセット：0x09

リセット値：0x00

7	6	5	4	3	2	1	0
予約済み				SWIF	SWIEN	SWEN	SWBSY
				rc_w0	rw	rw	rw

ビット 7:4 予約済み、クリア状態のままでなければなりません。

ビット 3 **SWIF**：クロックスイッチ割り込みフラグ

このビットは、SWEN がセットされるときにハードウェアによってセットされ、ソフトウェアによって 0 を書き込むことでクリアされます。意味は、SWEN ビットのステータスに依存します。*図 16* および *図 17* を参照してください。

- **手動切り替えモード時（SWEN=0）**：
  0：ターゲットクロックソースはレディ状態ではありません。
  1：ターゲットクロックソースはレディ状態です。
- **自動切り替えモード時（SWEN=1）**：
  0：クロック切り替えイベントは発生していません。
  1：クロック切り替えイベントが発生しました。

ビット 2 **SWIEN**：クロック切り替え割り込みイネーブル

このビットは、ソフトウェアによってセット/クリアされます。

0：クロック切り替え割り込みは無効です。
1：クロック切り替え割り込みは有効です。

ビット 1 **SWEN**：切り替えの開始/停止

このビットは、ソフトウェアによってセット/クリアされます。このビットに 1 を書き込むと、CLK_SWR レジスタで定義されたソースへのシステムクロックの切り替えが有効になります。

0：クロック切り替えの実行を無効にします。
1：クロック切り替えの実行を有効にします。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 0 **SWBSY**：スイッチビジー

このビットは、ハードウェアによってセット/クリアされます。クロック切り替えプロセスをリセットするために、ソフトウェアによってクリアできます。

0：クロック切り替えは行われていません。

1：クロック切り替えが行われています。

9.14.12 クロックセキュリティシステムレジスタ（CLK_CSSR）

アドレスオフセット：0x0A

リセット値：0x00

7	6	5	4	3	2	1	0
予約済み			CSSDGON	CSSD	CSSDIE	AUX	CSSEN
			rw	rc_w0	rw	r	rwo

ビット 7:5 予約済み、クリア状態のままでなければなりません。

ビット 4 **CSSDGON**：CSS グリッチ回避システム

このビットがセットされると、CSS メカニズムによって実行される HSE スイッチオフ時のグリッチの生成が回避されます。

ビット 3 **CSSD**：クロックセキュリティシステム検出

このビットは、ハードウェアによってセットされ、デバイスのリセットによってのみクリアされます。

0：CSS はオフか、HSE クリスタルクロック障害が検出されていません。

1：HSE クリスタルクロック障害が検出されました。

ビット 2 **CSSDIE**：クロックセキュリティシステム検出割り込みイネーブル

このビットは、ソフトウェアによってセット/クリアされます。

0：クロックセキュリティシステム割り込みは無効です。

1：クロックセキュリティシステム割り込みは有効です。

ビット 1 **AUX**：システムクロックに接続された補助オシレータ

このビットは、ハードウェアによってセット/クリアされます。

0：補助オシレータはオフです。

1：補助オシレータ（HSI）はオンであり、現在のシステムクロックソースとして選択されています。

ビット 0 **CSSEN**：クロックセキュリティシステムイネーブル

このビットは、ソフトウェアによって 1 回だけ書き込むことができます。次のデバイスリセットまでリセットできません。

0：クロックセキュリティシステムはオフです。

1：クロックセキュリティシステムはオンです。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

9.14.13 クロック Beep レジスタ（CLK_CBEEPR）

アドレスオフセット：0x0B

リセット値：0x00

7	6	5	4	3	2	1	0
予約済み					CLKBEEPSEL1	CLKBEEPSEL0	BEEPSWBSY
					rw	rw	r

ビット 7:3 予約済み

ビット 2:1 **CLKBEEPSEL[1:0]**：設定可能 Beep クロックソースの選択。

これらのビットは、Beep によって使用されるクロックソースを選択するために、ソフトウェアによってセットされます。

00：どのクロックも選択されません。

01：Beep クロックソースとして LSI クロックが使用されます。

10：Beep クロックソースとして LSE クロックが使用されます。

注：　無効なターゲットコードでの書き込みはスキップされます。

BEEPSWBSY がセットされた場合、これらのビットの内容は凍結され、書き込み保護されます。

ビット 0 **BEEPSWBSY**：Beep クロックの変更中は、システムはビジーとなります。

このビットは、Beep の有効なクロック変更が必要なときに、ハードウェアによってセットされます。

Beep クロック変更手順が完了したときにリセットされます。

9.14.14 HSI 較正レジスタ（CLK_HSICALR）

アドレスオフセット：0x0C

リセット値：0xXX（X は未定義）

7	6	5	4	3	2	1	0
HSICAL[7:0]							
r	r	r	r	r	r	r	r

ビット 7:0 **HSICAL[7:0]：**HSI の較正

このレジスタには、HSI オシレータのトリミングに使用される工場較正値がロードされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

9.14.15 HSI クロック較正トリミングレジスタ（CLK_HSITRIMR）

アドレスオフセット：0x0D

リセット値：0x00

7	6	5	4	3	2	1	0
HSITRIM[7:0]							
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:0 **HSITRIM[7:0]**：HSI トリミング値。

最高の HSI クロック精度を保証するためには、このレジスタに書き込まれる値は、次の範囲内でなければなりません。[（HSICALR レジスタの値）-12] < x < [（HSICALR レジスタの値）+ 8]

注： このレジスタが設定されると、その値が HSICALR レジスタ値の代わりに使用されます。
これらの ビットは、HSI オシレータのトリミング値を選択/変更するために、アプリケーションによって使用されます。このレジスタへの誤った書き込みアクセスを避けるために、ハードウェアによる保護を提供できます。

9.14.16 HSI アンロックレジスタ（CLK_HSIUNLCKR）

アドレスオフセット：0x0E

リセット値：0x00

7	6	5	4	3	2	1	0
HSIUNLCK[7:0]							
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:0 **HSIUNLCK[7:0]**：HSI アンロックメカニズム

このレジスタは、HSITRIM レジスタのハードウェア書き込み保護の解除と、HSI オシレータのトリミング値としての HSITRIM の使用を有効にするために、アプリケーションによって使用されます。

HSITRIM アンロック/イネーブルの手順は以下のとおりです。

1）このアドレスで 2 回連続の書き込みアクセスを行います。1 回目は値 0xAC を、2 回目は値 0x35 を書き込みます。

2）HSITRIM レジスタに書き込みアクセスを行います。

注： この手順が正しく行われると、HSITRIM が再びロックされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

9.14.17 メインレギュレータ制御ステータスレジスタ（CLK_REGCSR）

アドレスオフセット：0x0F

リセット値：0xB9

7	6	5	4	3	2	1	0
EEREADY	EEBUSY	LSEPD	HSEPD	LSIPD	HSIPD	REGOFF	REGREADY
r	r	r	r	r	r	rw	r

ビット 7 **EEREADY**：フラッシュプログラムメモリおよびデータ EEPROM レディ

このビットは、フラッシュプログラムメモリとデータ EEPROM がレディ状態かどうかを示します。

0：フラッシュプログラムメモリとデータ EEPROM はレディ状態ではありません。

1：フラッシュプログラムメモリおよびデータ EEPROM レディ

ビット 6 **EEBUSY**：フラッシュプログラムメモリおよびデータ EEPROM ビジー

このビットは、フラッシュプログラムメモリとデータ EEPROM がビジー状態かどうかを示します。

0：フラッシュプログラムメモリとデータ EEPROM はビジーではありません。

1：フラッシュプログラムメモリおよびデータ EEPROM ビジー

ビット 5 **LSEPD**：LSE パワーダウン

このビットは、LSE オシレータのステータスを示します。

0：LSE オシレータはオンです。

1：LSE オシレータはオフです。

ビット 4 **HSEPD**：HSE パワーダウン

このビットは、HSE オシレータのステータスを示します。

0：HSE オシレータはオンです。

1：HSE オシレータはオフです。

ビット 3 **LSIPD**：LSI パワーダウン

このビットは、LSI オシレータのステータスを示します。

0：LSI オシレータはオンです。

1：LSI オシレータはオフです。

ビット 2 **HSIPD**：HSI パワーダウン

このビットは、HSI オシレータのステータスを示します。

0：HSI オシレータはオンです。

1：HSI オシレータはオフです。

ビット 1 **REGOFF**：メインレギュレータオフ

このビットは、REGREADY フラグのステータスには関係なく、メインレギュレータの直接オフを有効にします。

0：メインレギュレータは標準の機能で動作します。

1：REGREADY フラグのステータスに関係なく、メインレギュレータはオフに切り替えられ、すべてのクロックが供給されます。

ビット 0 **REGREADY**：メインレギュレータレディ

REGREADY ビットは、メインレギュレータのステータスを示します。このビットは、メインレギュレータがフルパワーを供給できる準備ができたときにセットされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

9.14.18 CLK レジスタマップとリセット値

表 20. CLK レジスタマップとリセット値

アドレスオフセット (1)	レジスタ名	7	6	5	4	3	2	1	0
0x00	CLK_CKDIVR リセット値	- 0	- 0	- 0	- 0	- 0	CKM2 0	CKM1 1	CKM0 1
0x01	CLK_CRTCR リセット値	RTCDIV2 0	RTCDIV1 0	RTCDIV0 0	RTCSEL3 0	RTCSEL2 0	RTCSEL1 0	RTCSEL0 0	RTCSWBSY 0
0x02	CLK_ICKCR リセット値	- 0	BEEPAHALT 0	FHW 0	SAHALT 1	LSIRDY 0	LSION 0	HSIRDY 0	HSION 1
0x03	CLK_PCKENR1 リセット値	PCKEN17 0	PCKEN16 0	PCKEN15 0	PCKEN14 0	PCKEN13 0	PCKEN12 0	PCKEN11 0	PCKEN10 0
0x04	CLK_PCKENR2 リセット値	PCKEN27 1	- 0	PCKEN25 0	PCKEN24 0	PCKEN23 0	PCKEN22 0	PCKEN21 0	PCKEN20 0
0x05	CLK_CCOR リセット値	CCODIV2 0	CCODIV1 0	CCODIV0 0	CCOSEL3 0	CCOSEL2 0	CCOSEL1 0	CCOSEL0 0	CCOSWBSY 0
0x06	CLK_ECKCR リセット値	- 0	- 0	LSEBYP 0	HSEBYP 0	LSERDY 0	LSEON 0	HSERDY 0	HSEON 0
0x07	CLK_SCSR リセット値	CKM7 0	CKM6 0	CKM5 0	CKM4 0	CKM3 0	CKM2 0	CKM1 0	CKM0 1
0x08	CLK_SWR リセット値	SWI7 0	SWI6 0	SWI5 0	SWI4 0	SWI3 0	SWI2 0	SWI1 0	SWI0 1
0x09	CLK_SWCR リセット値	- x	- x	- x	- x	SWIF 0	SWIEN 0	SWEN 0	SWBSY 0
0x0A	CLK_CSSR リセット値	- 0	- 0	- 0	CSSDGON 0	CSSD 0	CSSDIE 0	AUX 0	CSSEN 0
0x0B	CLK_CBEEPR リセット値	- 0	- 0	- 0	- 0	- 0	CLKBEEPSEL1 0	CLKBEEPSEL0 0	BEEPSWBSY 0
0x0C	CLK_HSICALR リセット値	HSICAL7 0	HSICAL6 0	HSICAL5 0	HSICAL4 0	HSICAL3 0	HSICAL2 0	HSICAL1 0	HSICAL0 0
0x0D	CLK_HSITRIMR リセット値	HSITRIM7 0	HSITRIM6 0	HSITRIM5 0	HSITRIM4 0	HSITRIM3 0	HSITRIM2 0	HSITRIM1 0	HSITRIM0 0
0x0E	CLK_HSIUNLCKR リセット値	HSIUNLCK7 0	HSIUNLCK6 0	HSIUNLCK5 0	HSIUNLCK4 0	HSIUNLCK3 0	HSIUNLCK2 0	HSIUNLCK1 0	HSIUNLCK0 0
0x0F	CLK_REGCSR リセット値	EEREADY x	EEBUSY x	LSEPD 1	HSEPD 1	LSIPD 1	HSIPD 0	REGOFF 0	REGREADY x
0x10(2)	CLK_PCKENR3 リセット値	- 0	- 0	PCKEN35 0	PCKEN34 0	PCKEN33 0	PCKEN32 0	PCKEN31 0	PCKEN30 0

1. レジスタアドレスの詳細については、データシートの「一般ハードウェアレジスタマップ」を参照してください。
2. このレジスタは、中+容量および大容量デバイスでのみ使用可能です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

10 汎用入出力ポート (GPIO)

このセクションの説明は、特に指定がない限り、中容量 STM8L15x デバイス、中+容量 STM8L15x デバイス、および大容量 STM8L15x/STM8L16x デバイスに適用されます。

10.1 概要

汎用入出力ポートは、チップと周辺回路との間のデータ転送に使用されます。入出力ポートは、最大 8 本のピンを内蔵できます。各ピンは、デジタル入力またはデジタル出力として個別にプログラミングすることができます。さらに、アナログ入力、外部割り込み、オンチップペリフェラル用の入出力などのオルタネート機能を備えたポートもあります。ピンには、一度に 1 つのオルタネート機能しか配置できません。オルタネート機能の配置は、オプションバイトによって制御されます。オプションバイトの説明については、データシートを参照してください。

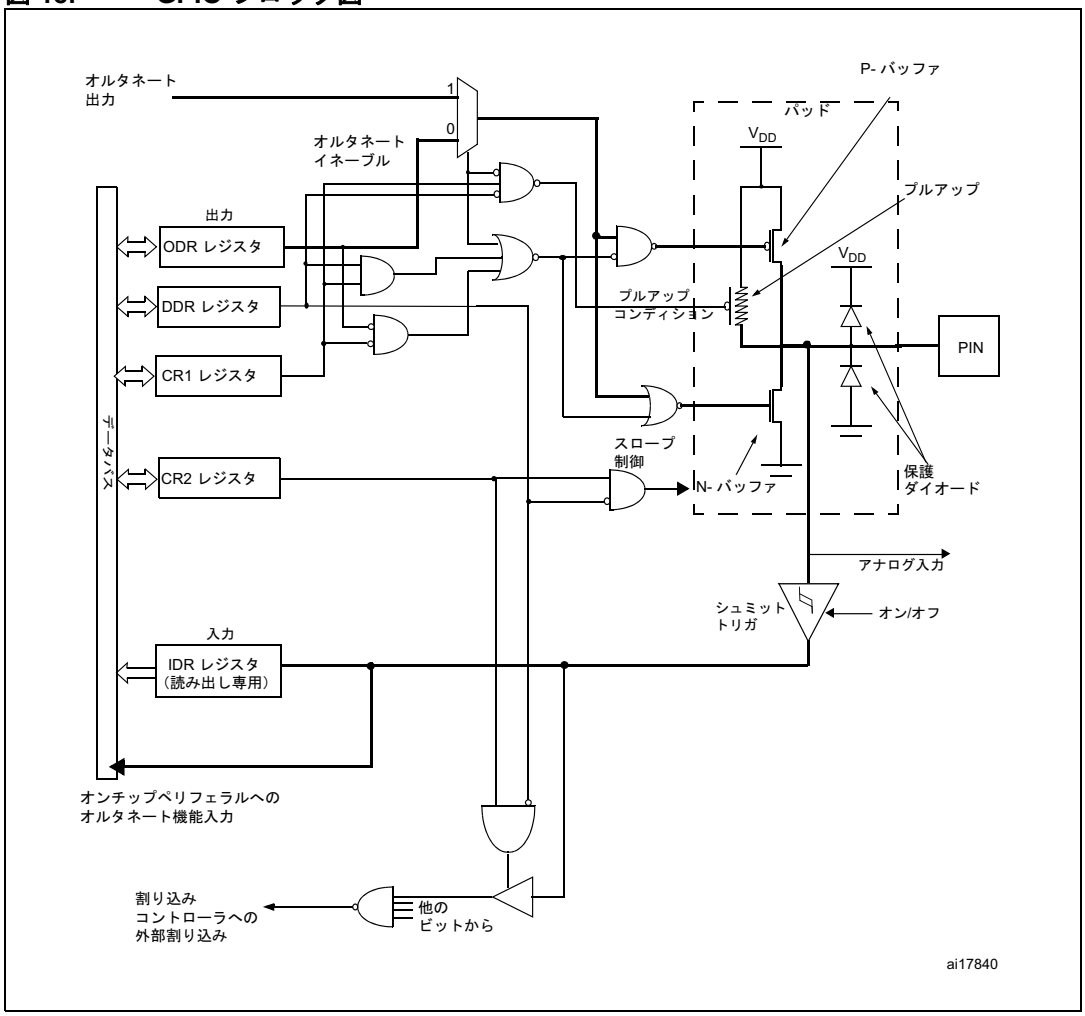
出力データレジスタ、入力ピンレジスタ、データ方向レジスタ、オプションレジスタ、および設定レジスタは、各ポートに関連付けられます。特定のポートは、ポートのデータ方向レジスタのステータスに応じて、入力または出力として動作します。

10.2 GPIO の主な機能

- ポートビットは個別に設定できます。
- 選択可能な入力モード：フローティング入力またはプルアップ付き入力。
- 選択可能な出力モード：プッシュプル出力または疑似オープンドレイン。
- データの入出力に別個のレジスタ。
- 外部割り込みを個別に有効/無効にすることが可能。
- 出力スロープ制御によって EMC ノイズを低減。
- オンチップペリフェラル用のオルタネート機能入出力。
- データ出力のラッチ時に読み出し/変更/書き込みが可能。
- 1.6 V～$V_{DDIOmax}$ の電圧範囲で入出力状態を保証。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 18. GPIO ブロック図



注 : *オープンドレインと 5 V 耐性の入出力では、V_{DD} に対する保護ダイオードは実装されていません。*

10.3 ポートの設定と使い方

出力データレジスタ（ODR）、ピン入力レジスタ（IDR）、データ方向レジスタ（DDR）は、常に各ポートに関連付けられています。

制御レジスタ 1（CR1）と制御レジスタ 2（CR2）によって、入出力オプションが可能になります。入出力ピンは、DDR、ODR、CR1、および CR2 レジスタの対応するビットを使用してプログラミングされます。

レジスタのビット *n* は、ポートのピン *n* に対応します。

表 21. に、さまざまな設定の要約を示します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 21. 入出力ポート設定の要約

<table>
<tr><th rowspan="2">モード</th><th rowspan="2">DDR ビット</th><th rowspan="2">CR1 ビット</th><th rowspan="2">CR2 ビット</th><th rowspan="2">機能</th><th rowspan="2">プルアップ</th><th rowspan="2">P バッファ</th><th colspan="2">ダイオード</th></tr>
<tr><th>V_{DD} へ</th><th>V_{SS} へ</th></tr>
<tr><td rowspan="4">入力</td><td>0</td><td>0</td><td>0</td><td>割り込みのないフローティング</td><td>オフ</td><td rowspan="4">オフ</td><td rowspan="7">オン</td><td rowspan="8">オン</td></tr>
<tr><td>0</td><td>1</td><td>0</td><td>割り込みのないプルアップ</td><td>オン</td></tr>
<tr><td>0</td><td>0</td><td>1</td><td>割り込みのあるフローティング</td><td>オフ</td></tr>
<tr><td>0</td><td>1</td><td>1</td><td>割り込みのあるプルアップ</td><td>オン</td></tr>
<tr><td rowspan="4">出力</td><td>1</td><td>0</td><td>0</td><td>オープンドレイン出力</td><td rowspan="3">オフ</td><td>オフ</td></tr>
<tr><td>1</td><td>1</td><td>0</td><td>プッシュプル出力</td><td>オン</td></tr>
<tr><td>1</td><td>x</td><td>1</td><td>出力速度を 10 MHz に制限</td><td>CR1 ビットに依存</td></tr>
<tr><td>1</td><td>x</td><td>x</td><td>真のオープンドレイン（特定のピンで）</td><td colspan="2">実装なし</td><td>実装なし（注を参照）</td></tr>
</table>

注 : *V_{DD} に接続されるダイオードは、真のオープンドレインパッドでは実装されません。デバイスを正ストレスから保護するために、パッドと V_{OL} の間にローカル保護が実装されています。*

警告 : **パッケージによっては、いくつかのポートは、パッケージに存在しない場合でも、アクティブとみなす必要があります。スプリアス効果を回避するには、起動時に割り込みのないプルアップ入力として設定し、ポート設定の変更時にはこの状態に保持します。詳細については、データシートを参照してください。**

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

10.3.1 入力モード

DDRx ビットをクリアすると、入力モードが選択されます。このモードでは、IDR ビットを読み出すと、対応する入出力ピンのデジタル値が返されます。

アナログ入力、外部割り込み、およびシュミットトリガの有効化/無効化については、*セクション 10.7：入力モードの詳細（120 ページ）*を参照してください。

表 21 に示すように、理論的には、ソフトウェアによって 4 つの異なる入力モード（割り込みのないフローティング、割り込みのあるフローティング、割り込みのないプルアップ、割り込みのあるプルアップ）を設定できます。ただし、実際には、すべてのポートが外部割り込み機能やプルアップを備えているわけではありません。各ポートの実際のハードウェア機能については、データシートのピン配置説明を参照してください。

10.3.2 出力モード

DDRx ビットをセットすると、出力モードが選択されます。このモードでは、ODR ビットへの書き込みによって、デジタル値がラッチを介して入出力に適用されます。IDR ビットを読み出すと、対応する入出力ピンからデジタル値が返されます。CR1 および CR2 レジスタを使用して、異なる出力モード（プッシュプル出力、オープンドレイン出力）をソフトウェアによって設定できます。

詳細については、*セクション 10.8：出力モードの詳細（120 ページ）*を参照してください。

10.4 リセット設定

すべての入出力ピンは、リセット中（すなわち、リセットフェーズ中）とリセット状態時（すなわち、リセットリリース後）には、一般に入力フローティングになっています。ただし、いくつかのピンでは動作が異なる場合もあります。詳細については、データシートのピン配置説明を参照してください。

10.5 未使用の入出力ピン

未使用の入出力ピンは、固定の電圧レベルに接続する必要があります。未使用の入出力ピンには、プルアップまたはプルダウンを接続します。

10.6 低電力モード

表 22. 低電力モードが GPIO ポートに与える影響

モード	説明
WAIT	入出力ポートに影響を与えません。外部割り込みによって、デバイスは WAIT モードから抜けます。
HALT	入出力ポートに影響を与えません。外部割り込みによって、デバイスは HALT モードからウェイクアップします。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

10.7 入力モードの詳細

10.7.1 オルタネート機能入力

いくつかの入出力は、オルタネート機能入力として使用できます。たとえば、ポートはタイマへの入力キャプチャ入力として使用できます。オルタネート機能入力は自動的には選択されません。選択するには、対応するペリフェラルのレジスタの制御ビットに書き込みを行います。オルタネート機能入力の場合、DDR および CR1 レジスタでフローティングまたはプルアップの入力設定を選択してください。

10.7.2 割り込み機能

入出力を割り込みのある入力として設定するには、入出力が入力モードにある間に CR2x ビットをセットします。この設定では、入出力でのレベル入力や信号エッジで割り込みリクエストが生成されます。

立ち下がり/立ち上がりエッジの感度は、EXTI_CR［2:1］レジスタで割り込みベクタごとに個別にプログラミングされます。

外部割り込み機能は、ポートが入力モードに設定された場合にのみ使用できます。

割り込みのマスク

割り込みを個別に有効/無効にするには、設定レジスタ（Px_CR2）の対応するビットをプログラミングします。リセット状態では、割り込みは無効です。

10.8 出力モードの詳細

10.8.1 オルタネート機能出力

オルタネート機能出力は、ペリフェラルから出力または入出力パッドへのダイレクトパスを提供し、データ出力ラッチレジスタ（Px_ODR）のポートビットよりも優先され、Px_DDR の対応するビットを強制的に 1 にします。

オルタネート機能出力は、ペリフェラルと制御レジスタ 1（Px_CR1）に応じて、プッシュプルまたは疑似オープンドレインとすることができます。スロープは、制御レジスタ 2（Px_CR2）の値に応じて制御できます。

例：

SPI 出力は、プッシュプルとしてセットアップする必要があります。SPI 出力のスロープは、ハードウェアによって制御され、最適な動作を可能にするために高速モードで設定されます。したがって、スプリアス割り込みを回避するため、CR2 スロープ制御ビットをクリアした状態に保つ必要があります。

10.8.2 スロープ制御

出力周波数は、ソフトウェアによって CR2 ビットを使用して制御できます。CR ビットをセットすると、10 MHz の出力周波数が選択されます。この機能は、出力タイプ O3 または O4 の入出力ポートで、オープンドレインとプッシュプルの両方の出力モードに適用できます。各ポートの特定の出力タイプ情報については、ピン記述テーブルを参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

10.9 GPIO レジスタ

各ポートレジスタのビットは、ポートの対応するピンを駆動します。

10.9.1 ポート x 出力データレジスタ (Px_ODR)

アドレスオフセット：0x00

リセット値：0x00

7	6	5	4	3	2	1	0
ODR7	ODR6	ODR5	ODR4	ODR3	ODR2	ODR1	ODR0
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:0 **ODR[7:0]**：出力データレジスタのビット

出力モードで ODR レジスタに書き込むと、デジタル値がラッチを介して入出力に適用されます。ODR レジスタを読み出すと、レジスタ内の以前にラッチされた値が返されます。

入力モードでは、ODR レジスタに書き込むと、値がレジスタにラッチされますが、ピン状態は変化しません。リセット後、ODR レジスタは常にクリアされます。DR レジスタでは、ビット読み出し/変更/書き込み命令（BSET、BRST）を使用して、他のピンに影響を与えずに、個々のピンを駆動できます。

10.9.2 ポート x ピン入力レジスタ (Px_IDR)

アドレスオフセット：0x01

リセット値：0xXX

7	6	5	4	3	2	1	0
IDR7	IDR6	IDR5	IDR4	IDR3	IDR2	IDR1	IDR0
r	r	r	r	r	r	r	r

ビット 7:0 **IDR[7:0]**：ピン入力値

ピンレジスタを使用して、ポートが入力モードか出力モードかに関係なく、ピン値を読み出すことができます。このレジスタは読み出し専用です。

0：Lowレベル入力

1：Highレベル入力

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

10.9.3 ポート x データ方向レジスタ (Px_DDR)

アドレスオフセット：0x02

リセット値：0x00

7	6	5	4	3	2	1	0
DDR7	DDR6	DDR5	DDR4	DDR3	DDR2	DDR1	DDR0
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:0 **DDR[7:0]**：データ方向ビット

これらのビットは、ポートの特定のピンの入力または出力モードを選択するために、ソフトウェアによってセット/クリアされます。

0：入力モード

1：出力モード

10.9.4 ポート x 制御レジスタ 1 (Px_CR1)

アドレスオフセット：0x03

リセット値：0x00[1)]

7	6	5	4	3	2	1	0
C17	C16	C15	C14	C13	C12	C11	C10
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:0 **C1[7:0]**：*制御ビット*

これらのビットは、ソフトウェアによってセット/クリアされます。入力モードと出力モードで異なる機能を選択します。*118 ページの表 21 を参照してください。*

- **入力モードの場合（DDR = 0）：**

0：フローティング入力

1：プルアップ付き入力

- **出力モードの場合（DDR = 1）：**

0：疑似オープンドレイン

1：出力のプッシュプル、スロープ制御は対応する CR2 ビットに依存する

注：　このビットは、真のオープンドレインポートには影響がありません（データシートのピン記述テーブルで "T" とマークされたピンを参照）。

1.PA_CR1 の場合、リセット値は 0x01 です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

10.9.5 ポート x 制御レジスタ 2 (Px_CR2)

アドレスオフセット：0x04

リセット値：0x00

7	6	5	4	3	2	1	0
C27	C26	C25	C24	C23	C22	C21	C20
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:0 **C2[7:0]**：制御ビット

これらのビットは、ソフトウェアによってセット/クリアされます。入力モードと出力モードで異なる機能を選択します。入力モードでは、CR2 ビットは割り込み機能を有効にします（使用可能な場合）。入出力に割り込み機能がない場合、CR2 ビットをセットしても影響はありません。出力モードでは、このビットをセットすると入出力の速度が向上します。これは、O3 と O4 の出力タイプのポートに適用されます（ピン記述テーブルを参照）。

- **入力モードの場合（DDR = 0）：**

0：外部割り込み無効

1：外部割り込み有効

- **出力モードの場合（DDR = 1）：**

0：最大 2 MHz の出力速度

1：最大 10 MHz の出力速度

10.9.6 ペリフェラルオルタネート機能の再配置

ペリフェラルオルタネート機能によっては、2 個の再配置レジスタを介して別の入出力ポートに再配置できることがあります。*セクション 11：ルーティングインタフェース（RI）とシステム設定 コントローラ（SYSCFG）*の SYSCFG 再配置制御レジスタ 1（SYSCFG_RMPCR1）と SYSCFG 再配置制御レジスタ 2（SYSCFG_RMPCR2）を参照してください。

10.9.7 GPIO レジスタマップとリセット値

各 GPIO ポートには 5 つのレジスタがあり、*表 23* に示すように配置されます。各ポートのベースアドレスについては、対応するデータシートのレジスタマップを参照してください。

注： ***リセット状態では、すべてのポートは入力フローティングです。例外については、対応するデータシートのピン記述テーブルに示されています。***

表 23. GPIO レジスタマップ

アドレスオフセット	レジスタ名	7	6	5	4	3	2	1	0
0x00	Px_ODR	ODR7 0	ODR6 0	ODR5 0	ODR4 0	ODR3 0	ODR2 0	ODR1 0	ODR0 0
0x01	Px_IDR	IDR7 x	IDR6 x	IDR5 x	IDR4 x	IDR3 x	IDR2 x	IDR1 x	IDR0 x
0x02	Px_DDR	DDR7 0	DDR6 0	DDR5 0	DDR4 0	DDR3 0	DDR2 0	DDR1 0	DDR0 0
0x03	Px_CR1(1)	C17 0	C16 0	C15 0	C14 0	C13 0	C12 0	C11 0	C10 0
0x04	Px_CR2	C27 0	C26 0	C25 0	C24 0	C23 0	C22 0	C21 0	C20 0

1. PA_CR1 の場合、リセット値は 0x01 です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

11 ルーティングインタフェース（RI）とシステム設定コントローラ（SYSCFG）

このセクションの説明は、特に指定がない限り、中容量 STM8L15x デバイス、中+容量 STM8L15x デバイス、および大容量 STM8L15x/STM8L16x デバイスに適用されます。

11.1 概要

システム設定コントローラは、さまざまな入出力ポートと TIM4 および ADC1 DMA チャネルに関して、いくつかのオルタネート機能の再配置機能を提供します。オルタネート機能を使用するには、ペリフェラルレジスタで対応するペリフェラルを有効にする必要があります。オルタネート機能の再配置は、入出力ポートの GPIO 機能に影響を与えません（*セクション 10 : 汎用入出力ポート (GPIO) (116 ページ)*を参照）。TIM4 および ADC1 DMA チャネルの再配置機能については、*セクション 11.5 : SYSCFG レジスタ*を参照してください。

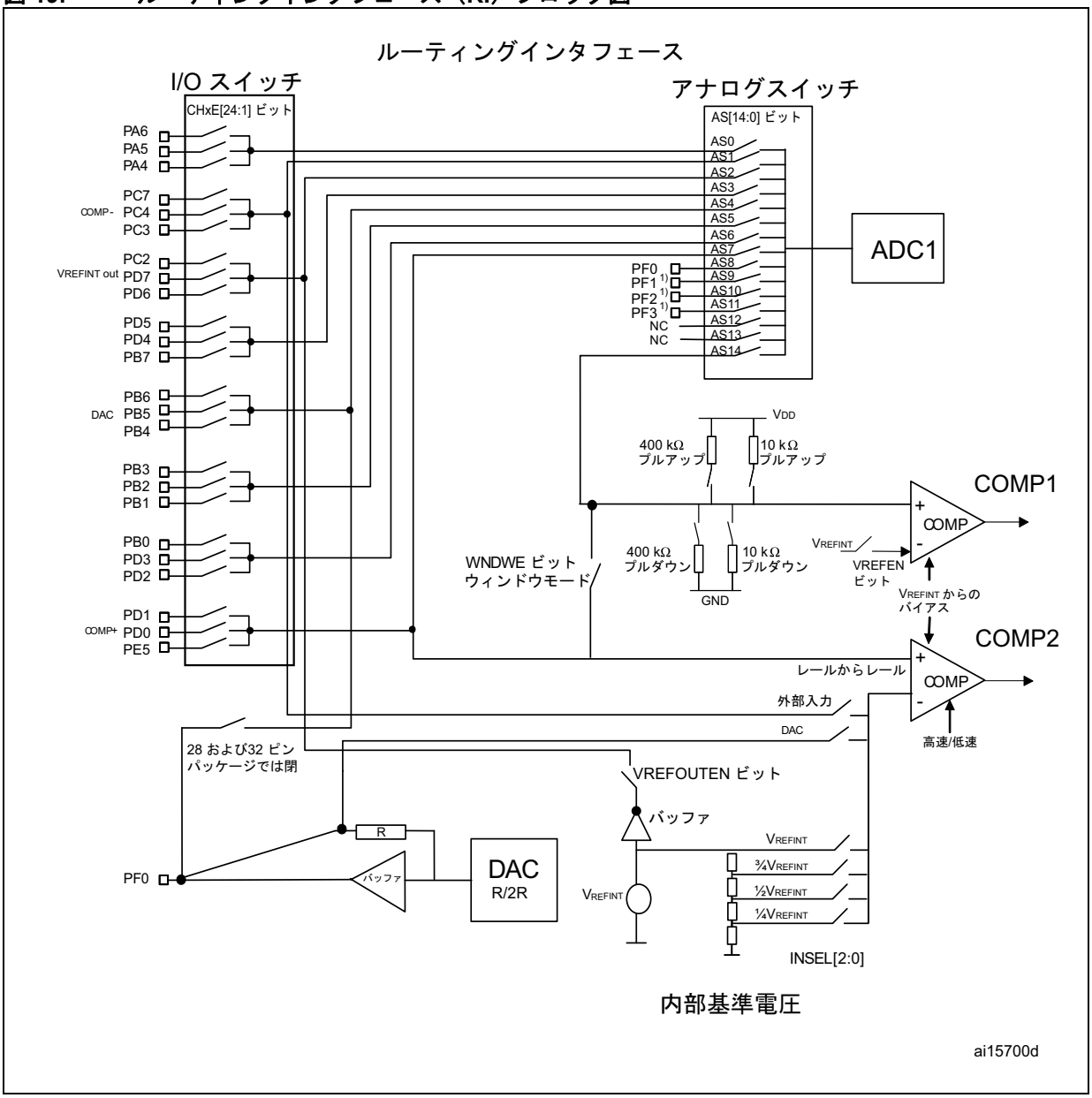
ルーティングインタフェースは、TIM1 の入力キャプチャに対する入出力のソフトウェアルーティングを可能にすることによって、高い柔軟性を提供します。また、ADC1、COMP1、COMP2、DAC、および内部基準電圧 V_{REFINT} に対する内部アナログ信号のルーティングも制御します。さらに、一連のレジスタによって、いくつかの専用入出力を効率的に管理し、ProxSense™ 技術を使用して、最大 16 チャネルの容量センシングをサポートします。*セクション 11.3 : RI 機能の説明*を参照してください。

11.2 RI の主な機能

- 信号ルーティング用のプログラマブルな 24 の入出力スイッチ
- 信号ルーティング用のプログラマブルな 10 （中容量デバイス）または 13 （中+ 容量および大容量デバイス）のアナログスイッチ
- COMP1 と COMP2 の入出力ルーティング
- 選択可能な入出力から TIM1 入力キャプチャ 2 および 3 のルーティング選択
- 選択可能な入出力に対する DAC 出力のルーティング（28 ピンおよび 32 ピンパッケージの場合）
- 選択可能な入出力に対する内部基準電圧のルーティング。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 19. ルーティングインタフェース（RI）ブロック図



11.3 RI 機能の説明

RI レジスタにアクセスできるのは、CLK_PCKENR2 レジスタの PCKEN25 ビットをセットすることによって、コンパレータクロックが有効なときに限られます。*セクション 9.14.5（105 ページ）*を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

11.3.1 入出力グループ

入出力ポートのルーティングでは、24 の汎用入出力が、それぞれ 3 つの入出力で構成される 8 つのグループに分類されます。*表 24* に、入出力グループと、それらをアナログブロックにルーティングするための制御レジスタを示します。

- 2 ブロックのスイッチがアナログブロックへの信号ルーティングを制御します。
  - RI_IOSRx レジスタによって制御される入出力スイッチ
  - RI_ASCRx レジスタによって制御されるアナログスイッチ
- スイッチの追加セットは、TIM1 タイマ入力へのルーティングを制御します（ブロック図には示されていません）。
- レジスタの相補セットは、入出力の設定を制御し、ProxSense™ 技術を使用して最大 16 チャネルの容量センシングを処理するように設計されています（ブロック図には示されていません）。

入出力がアナログモードに切り替えられると、デフォルトではシュミットトリガは無効になります。これを有効にするには、COMP_CSR1 レジスタの STE ビットをセットします。その場合、デバイスの消費電力を減らすために、ヒステリシスは無効な状態に保持されます。

- **入出力が ADC 入力として使用される場合**：入出力スイッチとアナログスイッチは、ADC によって直接制御されます。RI レジスタの対応する CHxE および ASx ビットは使用されず、クリアされた状態（スイッチを ON の状態）に保持する必要があります。
- **入出力が ADC 以外のアナログブロックの入出力として使用される場合**：入出力スイッチとアナログスイッチは、RI_IOSRx および RI_ASCRx レジスタによって制御される必要があります。スイッチを ON/OFF するには、ソフトウェアによって RI レジスタの対応する CHxE ビットと ASx ビットをクリア/セットする必要があります。

表 24. 入出力グループと選択

入出力グループ	GPIO ポート	入出力スイッチ制御ビット RI_IOSRx レジスタ	ADC1 入力	RI_ASCR1 レジスタのアナログスイッチ制御ビット	コンパレータ/DAC/V_{REFINT} 機能
グループ 1	PA6	CH1E ビット	ADC1_IN0	AS0 ビット	COMP1+ 入力
	PA5	CH2E ビット	ADC1_IN1		
	PA4	CH3E ビット	ADC1_IN2		
グループ 2	PC7	CH4E ビット	ADC1_IN3	AS1 ビット	COMP1+ 入力 COMP2- 入力
	PC4	CH5E ビット	ADC1_IN4		
	PC3	CH6E ビット	ADC1_IN5		
グループ 3	PC2	CH7E ビット	ADC1_IN6	AS2 ビット	COMP1+ 入力 V_{REFINT} 出力
	PD7	CH8E ビット	ADC1_IN7		
	PD6	CH9E ビット	ADC1_IN8		
グループ 4	PD5	CH10E ビット	ADC1_IN9	AS3 ビット	COMP1+ 入力
	PD4	CH11E ビット	ADC1_IN10		
	PB7	CH12E ビット	ADC1_IN11		
グループ 5	PB6	CH13E ビット	ADC1_IN12	AS4 ビット	COMP1+ 入力 DAC 出力
	PB5	CH14E ビット	ADC1_IN13		
	PB4	CH15E ビット	ADC1_IN14		

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 24. 入出力グループと選択 （続き）

入出力グループ	GPIO ポート	入出力スイッチ制御ビット RI_IOSRx レジスタ	ADC1 入力	RI_ASCR1 レジスタのアナログスイッチ制御ビット	コンパレータ/DAC/V_{REFINT} 機能
グループ 6	PB3	CH16E ビット	ADC1_IN15	AS5 ビット	COMP1+ 入力
	PB2	CH17E ビット	ADC1_IN16		
	PB1	CH18E ビット	ADC1_IN17		
グループ 7	PB0	CH19E ビット	ADC1_IN18	AS6 ビット	COMP1+ 入力
	PD3	CH20E ビット	ADC1_IN19		
	PD2	CH21E ビット	ADC1_IN20		
グループ 8	PD1	CH22E ビット	ADC1_IN21	AS7 ビット	COMP1+ 入力 COMP2+ 入力
	PD0	CH23E ビット	ADC1_IN22		
	PE5	CH24E ビット	ADC1_IN23		
NA	PF0	NA	ADC1_IN24	AS8 ビット	COMP1+ 入力
NA	PF1(1)	NA	ADC1_IN25	AS9 ビット	COMP1+ 入力
NA	PF2(1)	NA	ADC1_IN26	AS10 ビット	COMP1+ 入力
NA	PF3(1)	NA	ADC1_IN27	AS11 ビット	COMP1+ 入力

1. 中+ 容量および大容量デバイスの場合のみ。

11.3.2 TIM1 入力キャプチャのルーティング

リセット後、タイマ 1 の入力キャプチャ 2 および入力キャプチャ 3 の信号は、データシートのピン配置で割り当てられた入出力ポートに接続されます（デフォルトルーティング）。入出力ルーティングを変更するには、RI_ICR1 および RI_ICR2 レジスタをプログラミングします。*表 25*を参照してください。

表 25. TIM1 入力キャプチャのルーティング

IC2CS[4:0] / IC3CS[4:0] ビット値	TIM1.IC2 入力にルーティングされる入出力ポート	TIM1.IC3 入力にルーティングされる入出力ポート
00000	デフォルトルーティング（PD4）	デフォルトルーティング（PD5）
00001	PF0	予約済み（中容量デバイス） PF1（中+ 容量および大容量デバイス）
00010	予約済み（中容量デバイス） PF2（中+ 容量および大容量デバイス）	予約済み（中容量デバイス） PF3（中+ 容量および大容量デバイス）
00011	PE0	PE1
00100	PE2	PE3
00101	PE4	PE5
00110	PE6	PE7
00111	PD0	PD1
01000	PD2	PD3
01001	PD4	PD5
01010	PD6	PD7
01011	PC0	PC1

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 25. TIM1 入力キャプチャのルーティング （続き）

IC2CS[4:0] / IC3CS[4:0] ビット値	TIM1.IC2 入力にルーティングされる入出力ポート	TIM1.IC3 入力にルーティングされる入出力ポート
01100	PC2	PC3
01101	PC4	PC5
01110	PC6	PC7
01111	PB0	PB1
10000	PB2	PB3
10001	PB4	PB5
10010	PB6	PB7
10011	PA0	PA2
10100	PA3	PA4
10101	PA5	PA6
10110	PA7	デフォルトルーティング（PD5）
その他の値	デフォルトルーティング（PD4）	デフォルトルーティング（PD5）

11.3.3 コンパレータのルーティング

COMP1 相互接続の説明については、*セクション 16.3：コンパレータ 1（COMP1）（234 ページ）*を参照してください。

COMP2 相互接続の説明については、*セクション 16.4：コンパレータ 2（COMP2）（235 ページ）*を参照してください。

11.3.4 DAC のルーティング

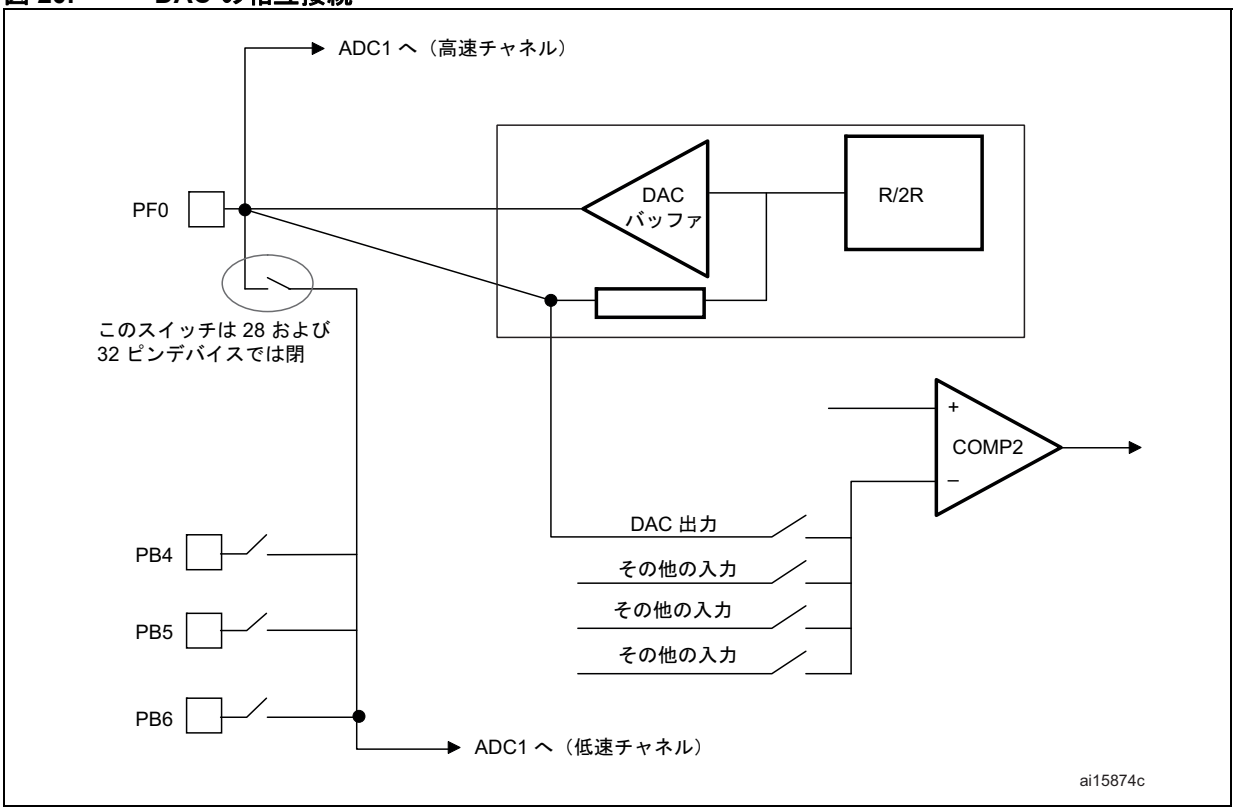
中容量デバイスの 28 ピンおよび 32 ピンデバイスの場合、DAC_OUT1 は、対応する入出力スイッチビット（RI_IOSR1 レジスタの CH13E、RI_IOSR2 レジスタの CH14E、または RI_IOSR3 レジスタの CH15E）をセットすることによって、グループ 5 の任意の入出力にルーティングできます。

中+ 容量および大容量デバイスの 48 ピンデバイスの場合、DAC_OUT2 は、対応する入出力スイッチビット（RI_IOSR1 レジスタの CH13E、RI_IOSR2 レジスタの CH14E、または RI_IOSR3 レジスタの CH15E）をセットすることによって、グループ 5 の任意の入出力にルーティングできます。

注： ***この場合、グループ 5 を ADC1 に使用することはできません。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 20. DAC の相互接続



DAC_OUT1 を COMP2 反転入力にルーティングするには、COMP_CSR3 レジスタの INSEL[2:1] ビットに値 0b110 を書き込みます。

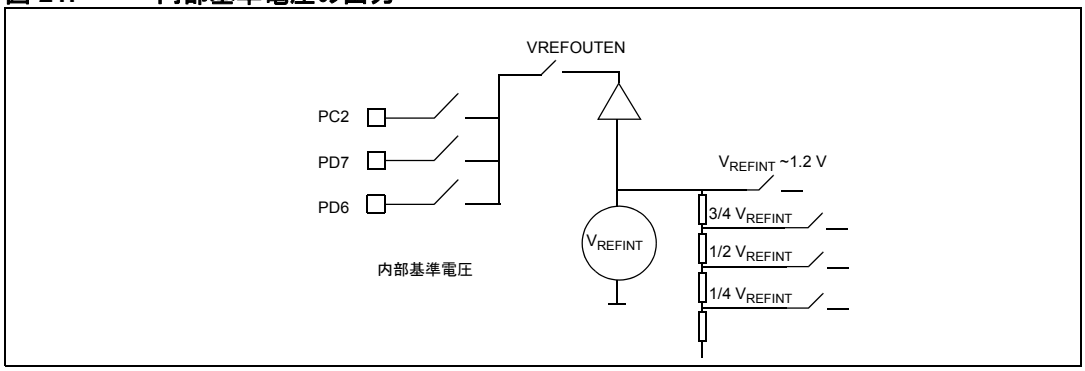
中容量デバイスの 48 ピンパッケージの場合、DAC_OUT1 は ADC1_IN24 入力に接続されます。

中+ 容量および大容量デバイスの 64 ピンおよび 80 ピンパッケージの場合、DAC_OUT2 は ADC1_IN25 入力に接続されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

11.3.5 内部基準電圧のルーティング

図 21. 内部基準電圧の出力



内部基準電圧の出力は、次の手順に従って、グループ 3 の任意の入出力にルーティングできます。

1. COMP_CSR3 のビット VREFOUTEN をセットします。
2. RI_IOSR1 の CH7E、RI_IOSR2 の CH8E、または RI_IOSR3 の CH9E をセットして、グループ 3 の任意の入出力の入出力スイッチを OFF にします。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

11.4 RI レジスタ

11.4.1 タイマ入力キャプチャルーティングレジスタ 1（RI_ICR1）

アドレスオフセット：0x01

リセット値：0x00

7	6	5	4	3	2	1	0
予約済み			IC2CS[4:0]				
			rw	rw	rw	rw	rw

ビット 7:5 予約済み、クリアされた状態に保つ必要があります。

ビット 4:0 **IC2CS[4:0]**：TIM1 入力キャプチャ 2 の入出力選択

これらのビットは、ソフトウェアによってセット/クリアされます。タイマ 1 の入力キャプチャ 2 にルーティングされる入出力ポートを選択します。*表 25* を参照してください。

11.4.2 タイマ入力キャプチャルーティングレジスタ 2（RI_ICR2）

アドレスオフセット：0x02

リセット値：0x00

7	6	5	4	3	2	1	0
予約済み			IC3CS[4:0]				
			rw	rw	rw	rw	rw

ビット 7:5 予約済み、クリアされた状態に保つ必要があります。

ビット 4:0 **IC3CS[4:0]**：TIM1 入力キャプチャ 3 の入出力選択

これらのビットは、ソフトウェアによってセット/クリアされます。タイマ 1 の入力キャプチャ 3 にルーティングされる入出力ポートを選択します。*表 25* を参照してください。

11.4.3 I/O 入力レジスタ 1（RI_IOIR1）

アドレスオフセット：0x03

リセット値：0xXX（X は未定義）。

7	6	5	4	3	2	1	0
CH22I	CH19I	CH16I	CH13I	CH10I	CH7I	CH4I	CH1I
r	r	r	r	r	r	r	r

ビット 7:0 **CHxI**：入出力ピンの入力値

これらのビットは、ポート設定（Px_IDR レジスタと同様）に関係なく、対応する入出力ピンの値を返します。このレジスタは読み出し専用です。

0：Low レベル入力
1：High レベル入力

注： このレジスタは、各グループの 3 つの入出力の最初の入出力を制御します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

11.4.4 I/O 入力レジスタ 2（RI_IOIR2）

アドレスオフセット：0x04

リセット値：0xXX（X は未定義）。

7	6	5	4	3	2	1	0
CH23I	CH20I	CH17I	CH14I	CH11I	CH8I	CH5I	CH2I
r	r	r	r	r	r	r	r

ビット 7:0 **CHxI**：入出力ピンの入力値

これらのビットは、ポート設定（Px_IDR レジスタと同様）に関係なく、対応する入出力ピンの値を返します。このレジスタは読み出し専用です。

0：Lowレベル入力
1：Highレベル入力

注： このレジスタは、各グループの 3 つの入出力の 2 番目の入出力を制御します。

11.4.5 I/O 入力レジスタ 3（RI_IOIR3）

アドレスオフセット：0x05

リセット値：0xXX（X は未定義）。

7	6	5	4	3	2	1	0
CH24I	CH21I	CH18I	CH15I	CH12I	CH9I	CH6I	CH3I
r	r	r	r	r	r	r	r

ビット 7:0 **CHxI**：入出力ピンの入力値

これらのビットは、ポート設定（Px_IDR レジスタと同様）に関係なく、対応する入出力ピンの値を返します。このレジスタは読み出し専用です。

0：Lowレベル入力
1：Highレベル入力

注： このレジスタは、各グループの 3 つの入出力の 3 番目の入出力を制御します。

11.4.6 I/O 制御モードレジスタ 1（RI_IOCMR1）

アドレスオフセット：0x06

リセット値：0x00

7	6	5	4	3	2	1	0
CH22M	CH19M	CH16M	CH13M	CH10M	CH7M	CH4M	CH1M
rw	rw	rw	rw	rw	rw	rw	rw

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 7:0 **CHxM**：入出力制御モード

これらのビットは、入出力の制御方法を選択するために、ソフトウェアによってセット/クリアされます。

0：入出力 x は、標準の GPIO レジスタによって制御されます。入出力 x スイッチは、RI_IOSR1 レジスタによって直接制御されます。

1：入出力 x は、プロテクトモードに設定され、RI_IOSR1 レジスタと RI_IOGCR レジスタによってのみ制御されます（標準の GPIO レジスタは入出力 x の設定に影響を与えません）。

注： このレジスタは、各グループの 3 つの入出力の最初の入出力を制御します。

11.4.7 I/O 制御モードレジスタ 2（RI_IOCMR2）

アドレスオフセット：0x07

リセット値：0x00

7	6	5	4	3	2	1	0
CH23M	CH20M	CH17M	CH14M	CH11M	CH8M	CH5M	CH2M
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:0 **CHxM**：入出力制御モード

これらのビットは、入出力の制御方法を選択するために、ソフトウェアによってセット/クリアされます。

0：入出力 x は、標準の GPIO レジスタによって制御されます。入出力 x スイッチは、RI_IOSR2 レジスタによって直接制御されます。

1：入出力 x は、プロテクトモードに設定され、RI_IOSR2 レジスタと RI_IOGCR レジスタによってのみ制御されます（標準の GPIO レジスタは入出力 x の設定に影響を与えません）。

注： このレジスタは、各グループの 3 つの入出力の 2 番目の入出力を制御します。

11.4.8 I/O 制御モードレジスタ 3（RI_IOCMR3）

アドレスオフセット：0x08

リセット値：0x00

7	6	5	4	3	2	1	0
CH24M	CH21M	CH18M	CH53M	CH12M	CH9M	CH6M	CH3M
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:0 **CHxM**：入出力制御モード

これらのビットは、入出力の制御方法を選択するために、ソフトウェアによってセット/クリアされます。

0：入出力 x は、標準の GPIO レジスタによって制御されます。入出力 x スイッチは、RI_IOSR3 レジスタによって直接制御されます。

1：入出力 x は、プロテクトモードに設定され、RI_IOSR3 レジスタと RI_IOGCR レジスタによってのみ制御されます（標準の GPIO レジスタは入出力 x の設定に影響を与えません）。

注： このレジスタは、各グループの 3 つの入出力の 3 番目の入出力を制御します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

11.4.9 I/O スイッチレジスタ 1（RI_IOSR1）

アドレスオフセット：0x09

リセット値：0x00

7	6	5	4	3	2	1	0
CH22E	CH19E	CH16E	CH13E	CH10E	CH7E	CH4E	CH1E
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:0 **CHxE**：入出力スイッチ制御

対応する RI_IOCMRx ビットがクリアされている場合：

これらのビットは、入出力スイッチを ON/OFF するために、ソフトウェアによってセット/クリアされます。入出力が ADC1 入力に使用される場合、ADC1 から制御できるように、スイッチは ON の状態にしておく必要があります。

0：入出力 x スイッチは ON です（入出力 x は GPIO レジスタまたは ADC1 によって制御されます）。

1：入出力 x スイッチは OFF です（アナログチャネルは有効です）。

対応する RI_IOCMRx ビットがセットされている場合：

これらのビットは、ソフトウェアによってセット/クリアされます。入出力の設定を定義します。

0：入出力 x は、出力プッシュプルローモードに強制されます。

1：入出力 x の設定は、RI_IOGCR レジスタのビット 0 とビット 1 によって決定されます。

注： このレジスタは、各グループの 3 つの入出力の最初の入出力を制御します。

11.4.10 I/O スイッチレジスタ 2（RI_IOSR2）

アドレスオフセット：0x0A

リセット値：0x00

7	6	5	4	3	2	1	0
CH23E	CH20E	CH17E	CH14E	CH11E	CH8E	CH5E	CH2E
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:0 **CHxE**：入出力スイッチ制御

対応する RI_IOCMRx ビットがクリアされている場合：

これらのビットは、入出力スイッチを ON/OFF するために、ソフトウェアによってセット/クリアされます。入出力が ADC1 入力に使用される場合、ADC1 から制御できるように、スイッチは ON の状態にしておく必要があります。

0：入出力 x スイッチは ON です（入出力 x は GPIO レジスタまたは ADC1 によって制御されます）。

1：入出力 x スイッチは OFF です（アナログチャネルは有効です）。

対応する RI_IOCMRx ビットがセットされている場合：

これらのビットは、ソフトウェアによってセット/クリアされます。入出力の設定を定義します。

0：入出力 x は、出力プッシュプルローモードに強制されます。

1：入出力 x の設定は、RI_IOGCR レジスタのビット 2 とビット 3 によって決定されます。

注： このレジスタは、各グループの 3 つの入出力の 2 番目の入出力を制御します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

11.4.11 I/O スイッチレジスタ 3（RI_IOSR3）

アドレスオフセット：0x0B

リセット値：0x00

7	6	5	4	3	2	1	0
CH24E	CH21E	CH18E	CH15E	CH12E	CH9E	CH6E	CH3E
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:0 **CHxE**：入出力スイッチ制御

対応する RI_IOCMRx ビットがクリアされている場合：

これらのビットは、入出力スイッチを ON/OFF するために、ソフトウェアによってセット/クリアされます。入出力が ADC1 入力に使用される場合、ADC1 から制御できるように、スイッチは ON の状態にしておく必要があります。

0：入出力 x スイッチは ON です（入出力 x は GPIO レジスタまたは ADC1 によって制御されます）。

1：入出力 x スイッチは OFF です（アナログチャネルは有効です）。

対応する RI_IOCMRx ビットがセットされている場合：

これらのビットは、ソフトウェアによってセット/クリアされます。入出力の設定を定義します。

0：入出力 x は、出力プッシュプルローモードに強制されます。

1：入出力 x の設定は、RI_IOGCR レジスタのビット 4 とビット 5 によって決定されます。

注： このレジスタは、各グループの 3 つの入出力の 3 番目の入出力を制御します。

11.4.12 I/O グループ制御レジスタ（RI_IOGCR）

アドレスオフセット：0x0C

リセット値：0x3F

7	6	5	4	3	2	1	0
予約済み		IOM3[1:0]		IOM2[1:0]		IOM1[1:0]	
		rw	rw	rw	rw	rw	rw

ビット 7:6 予約済み、クリアされた状態に保つ必要があります。

ビット 5:4 **IOM3[1:0]**：入出力モード 3

これらのビットは、ソフトウェアによってセット/クリアされます。対応する RI_IOCMRx ビットがセットされている場合、入出力の設定を定義します。

00：入出力 x は、出力プッシュプルローモードに強制されます。

01：入出力 x は、出力プッシュプルハイモードに強制されます。

10：入出力 x は、入出力スイッチを ON の状態で、入力フローティングモードに強制されます。

11：入出力 x は、入出力スイッチを OFF の状態で、入力フローティングモードに強制されます。入出力 x のシュミットトリガヒステリシスは無効になりますが、入出力ピン値はまだ読み出すことができます。

このレジスタは、各グループの 3 つの入出力の 3 番目の入出力を制御します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 3:2 **IOM2[1:0]**：入出力モード 2

これらのビットは、ソフトウェアによってセット/クリアされます。対応する RI_IOCMRx ビットがセットされている場合、入出力の設定を定義します。

00：入出力 x は、出力プッシュプルローモードに強制されます。
01：入出力 x は、出力プッシュプルハイモードに強制されます。
10：入出力 x は、入出力スイッチを ON の状態で、入力フローティングモードに強制されます。
11：入出力 x は、入出力スイッチを OFF の状態で、入力フローティングモードに強制されます。入出力 x のシュミットトリガヒステリシスは無効になりますが、入出力ピン値はまだ読み出すことができます。

このレジスタは、各グループの 3 つの入出力の 2 番目の入出力を制御します。

ビット 1:0 **IOM1[1:0]**：入出力モード 1

これらのビットは、ソフトウェアによってセット/クリアされます。対応する RI_IOCMRx ビットがセットされている場合、入出力の設定を定義します。

00：入出力 x は、出力プッシュプルローモードに強制されます。
01：入出力 x は、出力プッシュプルハイモードに強制されます。
10：入出力 x は、入出力スイッチを ON の状態で、入力フローティングモードに強制されます。
11：入出力 x は、入出力スイッチを OFF の状態で、入力フローティングモードに強制されます。入出力 x のシュミットトリガヒステリシスは無効になりますが、入出力ピン値はまだ読み出すことができます。

注：　このレジスタは、各グループの 3 つの入出力の最初の入出力を制御します。

11.4.13 アナログスイッチレジスタ 1（RI_ASCR1）

アドレスオフセット：0x0D

リセット値：0x00

7	6	5	4	3	2	1	0
AS7	AS6	AS5	AS4	AS3	AS2	AS1	AS0
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:0 **ASx**：アナログスイッチ制御

これらのビットは、アナログスイッチを制御するために、ソフトウェアによってセット/クリアされます。入出力が ADC1 入力に使用される場合、ADC1 から制御できるように、スイッチは ON の状態にしておく必要があります。

0：アナログスイッチは ON です。
1：アナログスイッチは OFF です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

11.4.14 アナログスイッチレジスタ 2（RI_ASCR2）

アドレスオフセット：0x0E

リセット値：0x00

7	6	5	4	3	2	1	0
予約済み	AS14	予約済み		AS11(1)	AS10(1)	AS9(1)	AS8
	rw			rw	rw	rw	rw

ビット 7 予約済み、クリアされた状態に保つ必要があります。

ビット 6 **AS14**：アナログスイッチ 14

このビットは、アナログスイッチ 14 を制御するために、ソフトウェアによってセット/クリアされます。

0：アナログスイッチは開いています。
1：アナログスイッチは閉じています。

ビット 5:4 予約済み、クリアされた状態に保つ必要があります。

ビット 3(1) **AS11**：アナログスイッチ 11(1)

このビットは、アナログスイッチ 11 を制御するために、ソフトウェアによってセット/クリアされます。

0：アナログスイッチは開いています。
1：アナログスイッチは閉じています。

ビット 2(1) **AS10**：アナログスイッチ 10(1)

このビットは、アナログスイッチ 10 を制御するために、ソフトウェアによってセット/クリアされます。

0：アナログスイッチは開いています。
1：アナログスイッチは閉じています。

ビット 1(1) **AS9**：アナログスイッチ 9 (1)

このビットは、アナログスイッチ 9 を制御するために、ソフトウェアによってセット/クリアされます。

0：アナログスイッチは開いています。
1：アナログスイッチは閉じています。

ビット 0 **AS8**：アナログスイッチ制御

このビットは、アナログスイッチ 8 を制御するために、ソフトウェアによってセット/クリアされます。

0：アナログスイッチは開いています。
1：アナログスイッチは閉じています。

1. 中+ 容量および大容量デバイスでのみ使用可能。中容量デバイスでは予約済み。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

11.4.15 抵抗制御レジスタ（RI_RCR）

アドレスオフセット：0x0F

リセット値：0x00

7	6	5	4	3	2	1	0
予約済み				400KPD	10KPD	400KPU	10KPU
				rw	rw	rw	rw

ビット 7:4 予約済み、クリアされた状態に保つ必要があります。

ビット 3 **400KPD**：400 kΩ プルダウン抵抗
このビットは 400 kΩ プルダウン抵抗を有効にします。
0：400 kΩ プルダウン抵抗は無効です。
1：400 kΩ プルダウン抵抗は有効です。

ビット 2 **10KPD**：10 kΩ プルダウン抵抗
このビットは 10 kΩ プルダウン抵抗を有効にします。
0：10 kΩ プルダウン抵抗は無効です。
1：10 kΩ プルダウン抵抗は有効です。

ビット 1 **400KPU**：400 kΩ プルアップ抵抗
このビットは 400 kΩ プルアップ抵抗を有効にします。
0：400K プルアップ抵抗は無効です。
1：400K プルアップ抵抗は有効です。

ビット 0 **10KPU**：10 kΩ プルアップ抵抗
このビットは 10 kΩ プルアップ抵抗を有効にします。
0：10 kΩ プルアップ抵抗は無効です。
1：10 kΩ プルアップ抵抗は有効です。

注： 1 プルアップまたはプルダウンを ADC1 入力に接続するには、対応するレジスタを使用して、対応する ADC1 アナログスイッチを有効にする必要があります。

2 余分な消費電力を避けるには、一度に 1 つの抵抗だけを有効にしてください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

11.4.16 RI レジスタマップとリセット値

表 26. ルーティングインタフェースのレジスタマップ

アドレスオフセット	レジスタ名	7	6	5	4	3	2	1	0
0x00	予約済み リセット値	- 0	- 0	- 0	- 0	- 0	- 0	- 0	- 0
0x01	RI_ICR1 リセット値	- 0	- 0	- 0	IC2CS4 0	IC2CS3 0	IC2CS2 0	IC2CS1 0	IC2CS0 0
0x02	RI_ICR2 リセット値	- 0	- 0	- 0	IC3CS4 0	IC3CS3 0	IC3CS2 0	IC3CS1 0	IC3CS0 0
0x03	RI_IOIR1 リセット値	CH22I x	CH19I x	CH16I x	CH13I x	CH10I x	CH7I x	CH4I x	CH1I x
0x04	RI_IOIR2 リセット値	CH23I x	CH20I x	CH17I x	CH14I x	CH11I x	CH8I x	CH5I x	CH2I x
0x05	RI_IOIR3 リセット値	CH24I x	CH21I x	CH18I x	CH15I x	CH12I x	CH9I x	CH6I x	CH3I x
0x06	RI_IOCMR1 リセット値	CH22M 0	CH19M 0	CH16M 0	CH13M 0	CH10M 0	CH7M 0	CH4M 0	CH1M 0
0x07	RI_IOCMR2 リセット値	CH23M 0	CH20M 0	CH17M 0	CH14M 0	CH11M 0	CH8M 0	CH5M 0	CH2M 0
0x08	RI_IOCMR3 リセット値	CH24M 0	CH21M 0	CH18M 0	CH15M 0	CH12M 0	CH9M 0	CH6M 0	CH3M 0
0x09	RI_IOSR1 リセット値	CH22E 0	CH19E 0	CH16E 0	CH13E 0	CH10E 0	CH7E 0	CH4E 0	CH1E 0
0x0A	RI_IOSR2 リセット値	CH23E 0	CH20E 0	CH17E 0	CH14E 0	CH11E 0	CH8E 0	CH5E 0	CH2E 0
0x0B	RI_IOSR3 リセット値	CH24E 0	CH21E 0	CH18E 0	CH15E 0	CH12E 0	CH9E 0	CH6E 0	CH3E 0
0x0C	RI_IOGCR リセット値	- 0	- 0	IOM31 1	IOM30 1	IOM21 1	IOM20 1	IOM11 1	IOM10 1
0x0D	RI_ASCR1 リセット値	AS7 0	AS6 0	AS5 0	AS4 0	AS3 0	AS2 0	AS1 0	AS0 0
0x0E	RI_ASCR2 リセット値	- 0	AS14 0	- 0	- 0	AS11(1) 0	AS10(1) 0	AS9(1) 0	AS8 0
0x0F	RI_RCR リセット値	- 0	- 0	- 0	- 0	400KPD 0	10KPD 0	400KPU 0	10KPU 0

1. 中+ 容量および大容量デバイスの場合のみ。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

11.5 SYSCFG レジスタ

11.5.1 SYSCFG 再配置制御レジスタ 1（SYSCFG_RMPCR1）

アドレスオフセット：0x01

リセット値：0x0C

7	6	5	4	3	2	1	0
SPI1_REMAP1	USART1CK_REMAP	USART1TR_REMAP[1:0]		TIM4DMA_REMAP[1:0]		ADC1DMA_REMAP[1:0]	
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7 **SPI1_REMAP1**：SPI1 の再配置

0：

- SPI1_MIS0 は PB7 に配置されます。
- SPI1_MOSI は PB6 に配置されます。
- SPI1_SCK は PB5 に配置されます。
- SPI1_NSS は PB4 に配置されます。

1：

- SPI1_MIS0 は PA2 に配置されます。
- SPI1_MOSI は PA3 に配置されます。
- SPI1_SCK は PC6 に配置されます。
- SPI1_NSS は PC5 に配置されます。

ビット 6 **USART1CK_REMAP**：USART1_CK の再配置

0：USART1_CK は PC4 に配置されます。

1：USART1_CK は PA0 に配置されます。

ビット 5:4 **USART1TR_REMAP[1:0]**：USART1_TX と USART1_RX の再配置

00：USART1_TX は PC3 に、USART1_RX は PC2 に

01：USART1_TX は PA2 に、USART1_RX は PA3 に

10：USART1_TX は PC5 に、USART1_RX は PC6 に

11：予約済み

ビット 3:2 **TIM4DMA_REMAP[1:0]**：TIM4 DMA チャネルの再配置

00：TIM4 DMA リクエスト/確認応答は DMA1 チャネル 0 に配置

01：TIM4 DMA リクエスト/確認応答は DMA1 チャネル 1 に配置

10：TIM4 DMA リクエスト/確認応答は DMA1 チャネル 2 に配置

11：TIM4 DMA リクエスト/確認応答は DMA1 チャネル 3 に配置

ビット 1:0 **ADC1DMA_REMAP[1:0]**：ADC1 DMA チャネルの再配置

00：ADC1 DMA リクエスト/確認応答は DMA1 チャネル 0 に配置

01：ADC1 DMA リクエスト/確認応答は DMA1 チャネル 1 に配置

10：ADC1 DMA リクエスト/確認応答は DMA1 チャネル 2 に配置

11：ADC1 DMA リクエスト/確認応答は DMA1 チャネル 3 に配置

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

11.5.2 SYSCFG リマップ制御レジスタ 2（SYSCFG_RMPCR2）

アドレスオフセット：0x02

リセット値：0x00

7	6	5	4	3	2	1	0
TIM23BKIN_ REMAP	TIM3TRIG_ REMAP2	SPI2_REMAP	TIM3TRIGLSE_ REMAP	TIM2TRIGLSE_ REMAP	TIM3TRIG_ REMAP1	TIM2TRIG_ REMAP	ADC1TRIG_ REMAP
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:5 (1) 中容量デバイスでは予約済み。

ビット 7(1) **TIM23BKIN_REMAP**：TIM2 ブレーク入力と TIM3 ブレーク入力の再配置

0：TIM2_BKIN と TIM3_BKIN は PA4 と PA5 に配置

1：TIM2_BKIN と TIM3_BKIN は PG0 と PG1 に配置（64 ピンと 80 ピンのパッケージでのみ）

ビット 6(1) **TIM3TRIG_REMAP2**：TIM3 トリガの再配置

0：TIM3_TRIG を、TRIM3TRIG_REMAP1=0 の場合は PD1 に、TRIM3TRIG_REMAP1=1 の場合は PA5 に配置

1：TIM3_TRIG を PG3 に配置（64 ピンと 80 ピンのパッケージでのみ）

ビット 5(1) **SPI2_REMAP**：SPI2 の再配置

0：

- SPI2_MIS0 は PG7 に配置
- SPI2_MOSI は PG6 に配置
- SPI2_SCK は PG5 に配置
- SPI2_NSS は PG4 に配置

1：

- SPI2_MIS0 は PI3 に配置
- SPI2_MOSI は PI2 に配置
- SPI2_SCK は PI1 に配置
- SPI2_NSS は PI0 に配置

ビット 4 **TIM3TRIGLSE_REMAP**：LSE によって制御される TIM3 トリガ

LSE オシレータによって制御される TIM3 トリガ。

0：TIM3_TRIG は TIM3TRIG_REMAP1 ビットでの定義に従って配置されます。

1：TIM3_TRIG は OSC32_IN（LSE オシレータ入力）に配置されます。

注： TIM2TRIGLSE_REMAP または TIM3TRIGLSE_REMAP がセットされると、対応するタイマの ETR プリスケーラは、選択したシステムクロックを基準にして 4 以上の比率を持つように設定する必要があります。
LSE は、CLK 設定レジスタでの定義に従って正しくオンにする必要があります。

ビット 3 **TIM2TRIGLSE_REMAP**：LSE によって制御される TIM2 トリガ

LSE オシレータによって制御される TIM2 トリガ。

0：TIM2_TRIG は TIM2TRIG_REMAP ビットでの定義に従って配置されます。

1：TIM2_TRIG は OSC32_IN（LSE オシレータ入力）に配置されます。

注： TIM2TRIGLSE_REMAP または TIM3TRIGLSE_REMAP がセットされると、対応するタイマの ETR プリスケーラは、選択したシステムクロックを基準にして 4 以上の比率を持つように設定する必要があります。
LSE は、CLK 設定レジスタでの定義に従って正しくオンにする必要があります。

ビット 2 **TIM3TRIG_REMAP1**：TIM3 トリガの再配置

0：TIM3_TRIG は PD1 に配置されます。

1：TIM3_TRIG は PA5 に配置されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

参考資料

ビット 1 **TIM2TRIG_REMAP**：TIM2 トリガの再配置

0：TIM2_TRIG は PB3 に配置されます。

1：TIM2_TRIG は PA4 に配置されます。

ビット 0 **ADC1TRIG_REMAP**：ADC1 トリガの再配置

0：ADC1_TRIG は PA6 に配置されます。

1：ADC1_TRIG は PD0 に配置されます。

1. これらのビットは、中容量デバイスでは予約済みです。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

11.5.3 SYSCFG 再配置制御レジスタ 3（SYSCFG_RMPCR3）

アドレスオフセット：0x00

リセット値：0x00

注： このレジスタは、中+ 容量および大容量デバイスでのみ使用可能です。

7	6	5	4	3	2	1	0
予約済み		CCO_REMAP	TIM3_CH2_REMAP	TIM3_CH1_REMAP	USART3CK_REMAP	USART3TR_REMAP	SPI1_REMAP2
r	r	rw	rw	rw	rw	rw	rw

ビット 7:6 予約済み

ビット 5 **CCO_REMAP**：設定可能なクロック出力の再配置

0：CCO は PC4 に配置されます。

1：CCO は PE2 に配置されます。

ビット 4 **TIM3_CH2_REMAP**：TIM3 チャネル 2 の再配置

0：TIM3_CH2 は PD0 に配置されます。

1：TIM3_CH2 は PI3 に配置されます（80 ピンパッケージのみ）。

ビット 3 **TIM3_CH1_REMAP**：TIM3 チャネル 1 の再配置

0：TIM3_CH1 は PB1 に配置されます。

1：TIM3_CH1 は PI0 に配置されます（80 ピンパッケージのみ）。

ビット 2 **USART3CK_REMAP**：USART3_CK の再配置

0：USART3_CK は PG2 に配置されます。

1：USART3_CK は PF2 に配置されます（80 ピンパッケージのみ）。

ビット 1 **USART3TR_REMAP**：USART3_TX と USART3_RX の再配置

0：USART3_TX は PG1 に配置され、USART3_RX は PG0 に配置されます。

1：USART3_TX は PF0 に配置され、USART3_RX は PF1 に配置されます。

ビット 0 **SPI1_REMAP2**：SPI1 の再配置（80 ピンパッケージのみ）

0：

- SPI1_MIS0 は PB7 に配置されます。
- SPI1_MOSI は PB6 に配置されます。
- SPI1_SCK は PB5 に配置されます。
- SPI1_NSS は PB4 に配置されます。

1：

- SPI1_MIS0 は PF0 に配置されます。
- SPI1_MOSI は PF1 に配置されます。
- SPI1_SCK は PF2 に配置されます。
- SPI1_NSS は PF3 に配置されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

参考資料

11.5.4 SYSCFG レジスタマップとリセット値

表 27. レジスタマップ

オフセットアドレス	レジスタ名称	7	6	5	4	3	2	1	0
0x00	SYSCFG_RMPCR3 (1) リセット値	予約済み 000		CCO_REMAP 0	TIM3_CH2_REMAP 0	TIM3_CH1_REMAP 0	USART3CK_REMAP 0	USART3TR_REMAP 0	SPI1_REMAP2 0
0x01	SYSCFG_RMPCR1 リセット値	SPI1_REMAP1 0	USART1CK_REMAP 0	USART1TR_REMAP[1:0] 00		TIM4DMA_REMAP[1:0] 11		ADC1DMA_REMAP[1:0] 00	
0x02	SYSCFG_RMPCR2 リセット値	TIM23BKIN_REMAP (1) 0	TIM3TRIG_REMAP2 (1) 0	SPI2_REMAP (1) 0	TIM3TRIGLSE_REMAP 0	TIM2TRIGLSE_REMAP 0	TIM3TRIG_REMAP1 0	TIM2TRIG_REMAP 0	ADC1TRIG_REMAP 0

1. 中+ 容量および大容量デバイスの場合のみ。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

12 割り込みコントローラ（ITC）

このセクションは、特に指定がない限り、中容量 STM8L15x デバイス、中+容量デバイス、および大容量 STM8L15x/STM8L16x デバイスに適用されます。

12.1 ITC の概要

- ハードウェア割り込みの管理
  - ポートごとに専用の割り込みベクタとピンごとに専用のフラグによる、すべての入出力ピンで使用可能な外部割り込み機能
  - ペリフェラル割り込み機能
- ソフトウェア割り込みの管理（TRAP）
- 柔軟な割り込み優先順位とレベル管理による、ネスト型/同時割り込み管理：
  - ソフトウェアでプログラムできる最大 4 つのネストレベル
  - ハードウェアによって固定された最大 32 の割り込みベクタ
  - 2 つのノンマスカブルイベント：RESET、TRAP
- 11 のベクタで最大 40 の外部割り込みソース

この割り込み管理は、以下に基づきます。

- CPU 条件コードレジスタ（CCR）のビット I1 と I0
- ソフトウェア優先順位レジスタ（ITC_SPRx）
- プログラムメモリの先頭の 0x00 8000 にあるリセットベクタリセット初期化ルーチンは、STMicroelectronics によって ROM にプログラミングされます。
- メモリマップの上位アドレス（0x00 8004～0x00 807C）にあり、ハードウェアの優先順位によって分類される固定の割り込みベクタアドレス

12.2 割り込みマスクと処理の流れ

割り込みマスキングの管理は、CCR レジスタのビット I1 と I0 に加えて、各割り込みベクタのソフトウェア優先順位レベル（*表 28* を参照）を設定する ITC_SPRx レジスタによって行われます。処理フローを*図 22* に示します。

割り込みリクエストを処理する必要がある場合、

1. 通常の処理は、現在の命令実行の終わりに中断されます。
2. PC、X、Y、A、および CCR レジスタは、スタックに保存されます。
3. CCR レジスタのビット I1 と I0 は、処理された割り込みベクタに対応する ITC_SPRx レジスタの値に基づいてセットされます。
4. 続いて、PC には処理する割り込みの割り込みベクタがロードされ、割り込みサービスルーチンの最初の命令がフェッチされます。

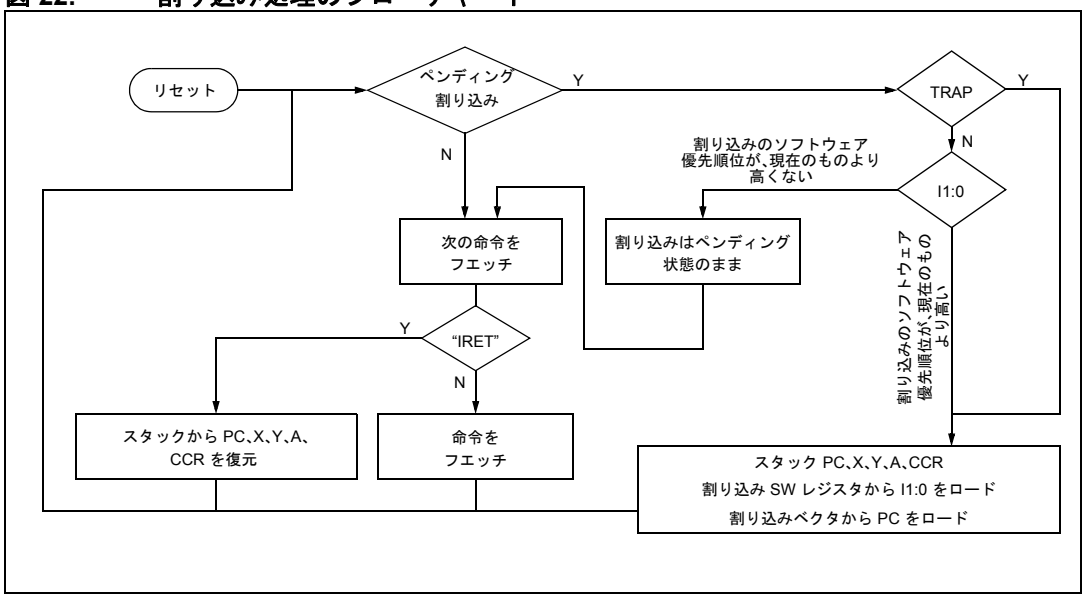
割り込みサービスルーチンは IRET 命令で終わるようにします。これによって、保存されたレジスタの内容がスタックから復旧されます。IRET 命令の結果として、ビット I1 と I0 はスタックから復元され、プログラム実行が再開されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 28. ソフトウェア優先順位レベル

ソフトウェア優先順位	レベル	I1	I0
レベル 0（メイン）	低 ↓ 高	1	0
レベル 1		0	1
レベル 2		0	0
レベル 3（= ソフトウェア優先順位無効）		1	1

図 22. 割り込み処理のフローチャート



12.2.1 ペンディング割り込みの処理

いくつかの割り込みは同時にペンディング状態になることがあります。ペンディングされる割り込みは、次の 2 ステップのプロセスによって決まります。

1. ソフトウェア優先順位が最も高い割り込みが処理されます。
2. いくつかの割り込みのソフトウェア優先順位が同じ場合、ハードウェア優先順位が最も高い割り込みから処理されます。

割り込みリクエストがすぐに処理されないときにはラッチされ、そのソフトウェア優先順位とハードウェア優先順位を組み合わせた値が最も高くなったときに処理されます。

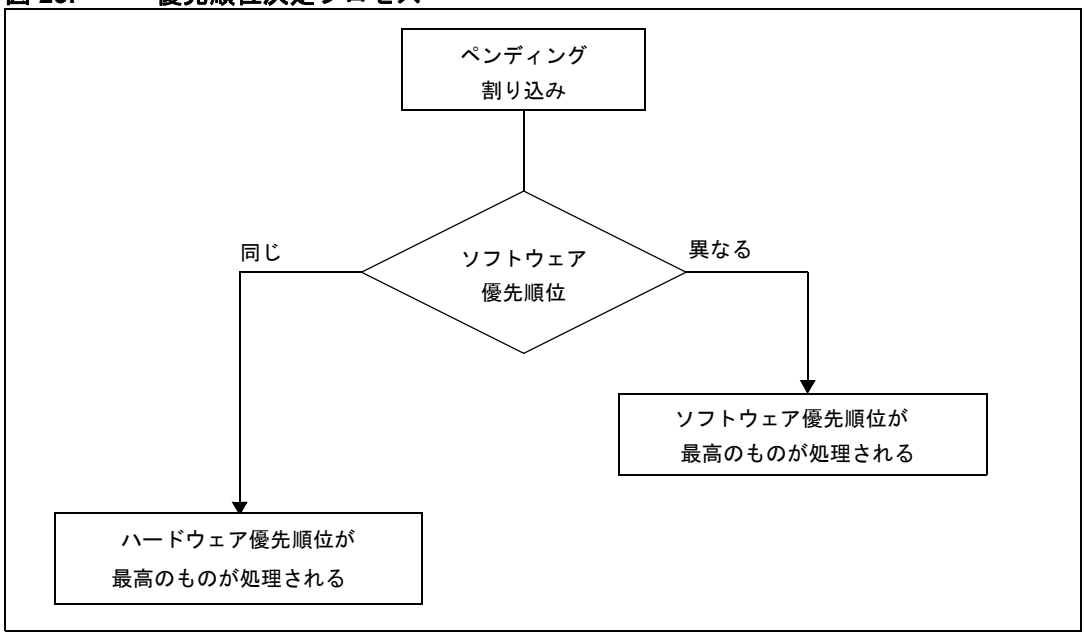
注： 1 ハードウェア優先順位は排他的ですが、ソフトウェア優先順位はそうではありません。このため、先行するプロセスは、ただ 1 つの割り込みを処理できます。

2 リセットとトラップは、決定プロセスにおいて最高のソフトウェア優先順位を持つとみなされます。

ペンディング割り込み処理プロセスについては、*図 23* を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 23. 優先順位決定プロセス



12.2.2 割り込みソース

STM8 割り込みコントローラは、2 種類の割り込みソースを管理します。

- ノンマスカブル割り込み：リセットとトラップ
- マスク可能割り込み：外部割り込みまたは内部ペリフェラルによって生成された割り込み

ノンマスカブル割り込みソース

ノンマスカブル割り込みソースは、CCR レジスタのビット I1 と I0 の状態に関係なく処理されます（*図 22* を参照）。PC、X、Y、A、および CCR レジスタは、トラップ割り込みが発生したときにのみスタックされます。対応するベクタが PC レジスタにロードされ、CCR レジスタのビット I1 と I0 がセットされて、割り込みを無効にします（レベル 3）。

- トラップ（ノンマスカブルソフトウェア割り込み）

  このソフトウェア割り込みソースは、トラップ命令が実行されるときに処理されます。この処理は、*図 22* に示されるフローチャートに従って行われます。

  トラップ割り込みでは、プロセッサは HALT モードから抜けることができません。

- リセット

  リセット割り込みソースは、最も高い STM8 ソフトウェアおよびハードウェア優先順位です。これは、リセットルーチンの始めに、すべての割り込みが無効になることを意味します。RIM 命令によって再び有効にする必要があります（*表 31：専用割り込み命令セット*を参照）。

  リセット割り込みでは、プロセッサは HALT モードから抜けることができます。

リセット割り込み管理の詳細については、リセットの章を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

マスク可能割り込みソース

マスク可能な割り込みベクタソースが処理されるのは、対応する割り込みが有効であり、ITC_SPRx レジスタの割り込みソフトウェア優先順位が現在処理中のもの（CCR レジスタの I1 と I0）より高い場合です。2 つの条件のいずれかが満たされない場合、割り込みはラッチされ、ペンディング状態のままです。

- 外部割り込み

  外部割り込みを使用して、MCU を HALT モードからウェイクアップできます。外部割り込みに対するトリガは、外部割り込み制御レジスタ（EXTI_CRx）を介して、ソフトウェアによって選択できます。

  同じ割り込みラインに接続された複数の入力ピンが同時に選択されたときには、論理和（OR）がとられます。

  レベルトリガされた外部割り込みがラッチされたとき、割り込みルーチンの終わりにそのレベルがまだ存在した場合には、その割り込みは有効なままです（ルーチンで無効にされた場合を除きます）。

- ペリフェラル割り込み

  いくつかのペリフェラル割り込みによって、MCU は HALT モードからウェイクアップします。データシートの割り込みベクタテーブルを参照してください。

  ペリフェラル割り込みが発生するのは、ペリフェラルステータスレジスタの特定のフラグがセットされ、ペリフェラル制御レジスタの対応するイネーブルビットがセットされたときです。

  ペリフェラル割り込みをクリアするための標準的なシーケンスでは、ステータスレジスタへのアクセスを行い、関連するレジスタへの読み出しまたは書き込みを行います。このクリアシーケンスによって、内部ラッチがリセットされます。したがって、クリアシーケンスが実行されると、ペンディング割り込み（すなわち、処理を待っている割り込み）は失われます。

12.3 割り込みと低電力モード

すべての割り込みで、プロセッサは WAIT モードから抜けることができます。

プロセッサが低電力 WAIT モードから抜けられるのは、リセットまたはイベントに限られます。このモードに入るには、低電力 RUN モードで WFE 命令を実行します。イベントによるウェイクアップでは、システムは低電力 RUN モードに戻ります（詳細についてはを参照）。

プロセッサが HALT/アクティブ HALT モードから抜けられるのは、外部割り込みやその他の特定の割り込みに限られます（データシートの割り込みベクタテーブルにある HALT からのウェイクアップおよびアクティブ HALT からのウェイクアップを参照）。

HALT モードからのウェイクアップ中に複数のペンディング割り込みが存在する場合、最初に処理される割り込みは、HALT モードから抜ける機能を備えた割り込みに限られます。これは、*図 23* に示す決定プロセスを通じて選択されます。優先順位が最も高いペンディング割り込みがデバイスを HALT モードからウェイクアップできない場合、その処理は次に回されます。

HALT 命令の実行中に内部割り込みやタイマなどからの外部割り込みが発生した場合、HALT 命令は実行されますが、HALT 命令が実行を終了した直後に、割り込みはウェイクアッププロセスを呼び出します。この場合、MCU は実際には HALT モードから RUN モードへのウェイクアップ中であり、データシートで指定された対応する遅延 t_{WUH} が伴います。

HALT 命令を実行する前に、ユーザプログラムは、ペンディング中のペリフェラル割り込みをクリア（対応するペリフェラル設定レジスタの割り込みペンディングビットをクリア）する必要があります。さもないと、HALT 命令が実行されず、プログラム実行が続行されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

12.4 起動レベル/低電力モードの制御

MCU 起動レベルは、CFG_GCR レジスタの AL ビットをプログラミングすることによって設定されます（グローバル設定レジスタ（CFG_GCR）を参照）。

このビットは、MCU の低電力モードを制御するために使用されます。きわめて低電力のアプリケーションでは、MCU は大部分の時間を WFI/HALT モードで費やし、特定のタスクを実行するために、特定の時点で割り込みによってウェイクアップされます。これらの反復的なタスクのいくつかは十分に短いため、メインプログラムに戻らずに、ISR（割り込みサービスルーチン）で直接処理されます。このようなケースに対応するため、低電力状態に入る前に WFI/HALT 命令を実行して AL ビットをセットすることができます。結果として、割り込みルーチンによってデバイスが低電力モードに戻ってから、割り込みルーチンは低電力モードに直接戻ります。レジスタのコンテキストは最初の割り込み時にのみ保存されるので、実行時間/ISR 実行は削減されます。

結果として、きわめて簡単なアプリケーションでは、すべての操作を ISR で実行できます。より複雑なアプリケーションでは、割り込みルーチンは、AL ビットをリセットするだけでメインプログラムを再起動できます。

たとえば、ピン/センサ/押しボタンのステータスをチェックするために、自動ウェイクアップユニット（AWU）によってアプリケーションを 50 ms ごとにウェイクアップすることが必要な場合もあります。ほとんどの場合、これらのピンは無効になっているので、MCU は、メインプログラムを実行しなくても低電力モードに戻ることができます。1 本でも有効なピンがある場合、ISR は、AL ビットをリセットすることによってメインプログラムを起動します。

12.5 同時およびネスト割り込み管理

STM8 デバイスは、2 つの割り込み管理モードを備えています。

- 同時モード
- ネストモード

12.5.1 同時割り込み管理モード

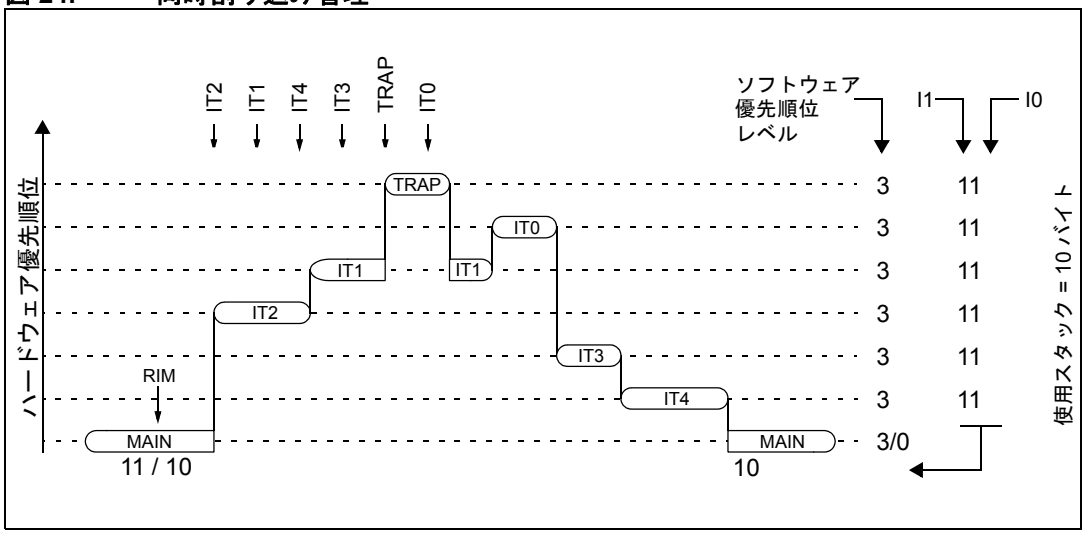
このモードでは、すべての割り込みの割り込み優先順位レベルが 3 なので、リセットやトラップによる場合を除いて、割り込みを受けることはありません。

ハードウェア優先順位は、最低から最高の優先順位まで、MAIN、IT4、IT3、IT2、IT1、IT0、TRAP（同じ優先順位）、および RESET の順です。

図 24 に同時割り込み管理モードの例を示します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 24. 同時割り込み管理



12.5.2 ネスト割り込み管理モード

このモードでは、割り込みルーチンの処理中の割り込みが可能です。このモードは、レベル 3 を下回る割り込み優先順位レベルが設定されると有効になります。

ハードウェア優先順位は、最低から最高の優先順位まで、MAIN、IT4、IT3、IT2、IT1、IT0、および TRAP の順です。

ソフトウェア優先順位は、ITC_SPRx レジスタの対応する I1_x ビットと I0_x ビットをセットすることによって、割り込みベクタごとに設定されます。I1_x および I0_x ビットは、CCR レジスタの I1 および I0 ビットと同じ意味を持ちます（*表 29* を参照）。

レベル 0 はプログラミングできません（I1_x=1、I0_x=0）。この場合、以前に格納された値が保持されます。たとえば、以前の値が CFh であり、プログラミングされた値が 64h に等しい場合、結果は 44h です。

RESET および TRAP ベクタには、ソフトウェア優先順位はありません。これらのベクタが処理されるとき、CCR レジスタのビット I1 と I0 の両方がセットされます。

注： **割り込み x の実行中に I1_x および I0_x ビットが変更された場合、デバイスは次のように動作します。割り込み x がまだペンディング中であり（新しい割り込みまたはフラグがクリアされていない）、新しいソフトウェア優先順位が前のものよりも高い場合、再び割り込み x に入ります。そうでない場合、割り込み x の IRET 後の次の割り込みリクエストまで、ソフトウェア優先順位は変化しません。**

割り込みルーチンの実行時には、HALT、POPCC、RIM、SIM、および WFI 命令は、次の IRET 命令または前述のいずれかの命令が発行されるまで、現在のソフトウェア優先順位を変更します。専用の割り込み命令のリストについては、*セクション 12.7* を参照してください。

図 25 にネスト割り込み管理モードの例を示します。

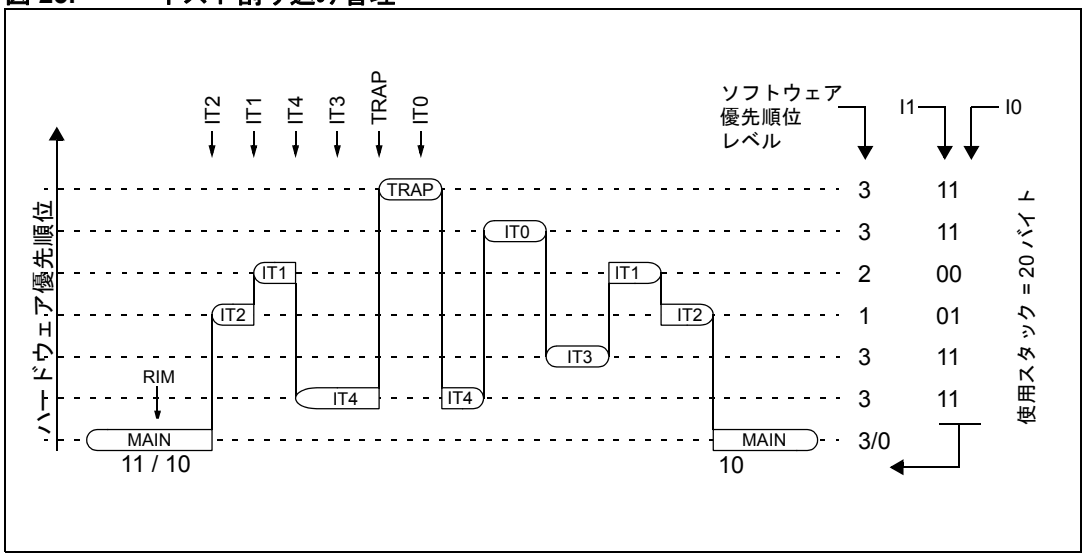
警告： スタックオーバーフローは、ソフトウェアに障害を通知することなく発生することがあります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 29. ベクタアドレスマップとソフトウェア優先順位ビット

ベクタアドレス	ITC_SPRx ビット
0x00 8008h	I1_0 および I0_0 ビット
0x00 800Ch	I1_1 および I0_1 ビット
...	...
0x00 807Ch	I1_29 および I0_29 ビット

図 25. ネスト割り込み管理



12.6 外部割り込み

11 個の割り込みベクタが外部割り込みイベント専用に割り当てられています。

- EXTIB/G - ポート B または G 上の 8 ライン : PB[7:0] または PG[7:0]EXTID/H - ポート D または H 上の 8 ライン : PD[7:0] または PH[7:0]
- EXTIE/F - ポート E または F 上の 8 ライン : PE[7:0] または PF[7:0]
- EXTI0 - ポート A/B/C/D/E/F 上の 6 ライン : ビット 0 : Px[0]
- EXTI1 - ポート A/B/C/D/E 上の 5 ライン : ビット 1 : Px[1]
- EXTI2 - ポート A/B/C/D/E 上の 5 ライン : ビット 2 : Px[2]
- EXTI3 - ポート A/B/C/D/E 上の 5 ライン : ビット 3 : Px[3]
- EXTI4 - ポート A/B/C/D/E 上の 5 ライン : ビット 4 : Px[4]
- EXTI5 - ポート A/B/C/D/E 上の 5 ライン : ビット 5 : Px[5]
- EXTI6 - ポート A/B/C/D/E 上の 5 ライン : ビット 6 : Px[6]
- EXTI7 - ポート A/B/C/D/E 上の 5 ライン : ビット 7 : Px[7]

注 : ポートG、H、および I は、中+容量および大容量デバイスでのみ使用可能です。

割り込みを生成するには、割り込みを有効にした状態で、対応する GPIO ポートを入力モードに設定する必要があります。詳細については、GPIO の章のレジスタ説明を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

外部割り込みが発生すると、EXTI_SRx ステータスレジスタの対応するビットがセットされます。これはペンディング割り込みを示します。このビットに 1 を書き込んでクリアすると、対応する外部ペンディング割り込みがクリアされます。

割り込みトリガは、外部割り込み制御レジスタ 1（EXTI_CR1）、外部割り込み制御レジスタ 2（EXTI_CR2）、および外部割り込み制御レジスタ 3（EXTI_CR3）で設定する必要があります（*セクション 12.9.3*、*セクション 12.9.4*、および*セクション 12.9.5*を参照）。.

表 30. 外部割り込みトリガ

GPIO ポート	割り込みトリガ	設定レジスタ
ポートA、B、C、D、E、および F 上の EXTI0～EXTI3	立ち下がりエッジとローレベル 立ち上がりエッジのみ 立ち下がりエッジのみ 立ち上がりおよび立ち下がりエッジ	EXTI_CR1
ポートA、B、C、D、および E 上の EXTI4～EXTI7		EXTI_CR2
EXTIE および EXITF		EXTI_CR3

12.7 割り込み命令

表 31 に割り込み命令を示します。

表 31. 専用割り込み命令セット

命令	新しい説明	機能/例	I1	H	I0	N	Z	C
HALT	HALT モードへの移行		1		0			
IRET	割り込みルーチン復帰	CCR、A、X、Y、PC をポップ	I1	H	I0	N	Z	C
JRM	I1:0=11（レベル 3）の場合はジャンプ	I1:0=11 ?						
JRNM	if I1:0<>11 の場合はジャンプ	I1:0<>11 ?						
POP CC	スタックから CCR をポップ	Mem => CCR	I1	H	I0	N	Z	C
RIM	割り込みを有効にする（レベル 0 をセット）	CCR の I1:0 に 10 をロード	1		0			
SIM	割り込みを無効にする（レベル 3 をセット）	CCR の I1:0 に 11 をロード	1		1			
TRAP	ソフトウェアトラップ	ソフトウェア NMI	1		1			
WFI	割り込みを待機		1		0			
WFE	イベントを待機		1		0			

12.8 割り込みの配置

割り込みベクタアドレスのテーブルについては、対応するデバイスのデータシートを参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

12.9 ITC および EXTI レジスタ

12.9.1 コンディションコードレジスタ割り込みビット (CCR)

アドレス：データシートの「一般ハードウェアレジスタマップ」の表を参照してください。

リセット値：0x28

7	6	5	4	3	2	1	0
V	-	I1	H	I0	N	Z	C
r	r	rw	r	rw	r	r	r

ビット 5、3[1] **I[1:0]**：ソフトウェア割り込み優先順位ビット[2]

この 2 つのビットは、現在の割り込みリクエストのソフトウェア優先順位を示します。割り込みリクエストが発生すると、対応するベクタのソフトウェア優先順位がソフトウェア優先順位レジスタ（ITC_SPRx）から自動的にロードされます。

I[1:0] ビットは、RIM、SIM、HALT、WFI、IRET、または PUSH/POP 命令を使用して、ソフトウェアによってセット/クリアすることもできます（*図 25：ネスト割り込み管理*を参照）。

I1	I0	優先順位	レベル
1	0	レベル 0（メイン）	低
0	1	レベル 1	↓
0	0	レベル 2	
1	1	レベル 3（= ソフトウェア優先順位無効*）	高

1. 他の CCR ビットの詳細については、「中央演算処理」のセクションを参照してください。
2. TRAP および RESET イベントは、レベル 3 のプログラムに割り込むことができます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

12.9.2 ソフトウェア優先順位レジスタ x (ITC_SPRx)

アドレスオフセット：0x00～0x07

リセット値：0xFF

	7	6	5	4	3	2	1	0
ITC_SPR1	VECT3SPR[1:0]		VECT2SPR[1:0]		VECT1SPR[1:0]		VECT0SPR[1:0]	
ITC_SPR2	VECT7SPR[1:0]		VECT6SPR[1:0]		VECT5SPR[1:0]		VECT4SPR[1:0]	
ITC_SPR3	VECT11SPR[1:0]		VECT10SPR[1:0]		VECT9SPR[1:0]		VECT8SPR[1:0]	
ITC_SPR4	VECT15SPR[1:0]		VECT14SPR[1:0]		VECT13SPR[1:0]		VECT12SPR[1:0]	
ITC_SPR5	VECT19SPR[1:0]		VECT18SPR[1:0]		VECT17SPR[1:0]		VECT16SPR[1:0]	
ITC_SPR6	VECT23SPR[1:0]		VECT22SPR[1:0]		VECT21SPR[1:0]		VECT20SPR[1:0]	
ITC_SPR7	VECT27SPR[1:0]		VECT26SPR[1:0]		VECT25SPR[1:0]		VECT24SPR[1:0]	
ITC_SPR8	予約済み				VECT29SPR[1:0]		VECT28SPR[1:0]	
	rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:0 **VECTxSPR[1:0]**：ベクタ x ソフトウェア優先順位ビット

これら 8 つの読み出し/書き込みレジスタ（ITC_SPR1～ITC_SPR8）は、各割り込みベクタのソフトウェア優先順位を定義するために、ソフトウェアによって書き込まれます。

ベクタのリストを*表 29：ベクタアドレスマップとソフトウェア優先順位ビット*に示します。

優先順位ごとにプログラミングする値については、*セクション 12.9.1：コンディションコードレジスタ割り込みビット (CCR)*を参照してください。

予約済み

ITC_SPR8 のビット 7:4 は、ハードウェアによって 1 に固定されています。

注： ***10（優先順位レベル 0）を書き込むことは禁止されています。10 が書き込まれた場合、以前の値が保持され、割り込み優先順位は変更されません。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

12.9.3 外部割り込み制御レジスタ 1（EXTI_CR1）

アドレスオフセット：0x00

リセット値：0x00

7	6	5	4	3	2	1	0
P3IS[1:0]		P2IS[1:0]		P1IS[1:0]		P0IS[1:0]	
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:6 **P3IS[1:0]**：ポート x ビット 3 外部割り込みトリガビット

これらのビットは、CCR レジスタの I1 と I0 の両方が 1（レベル 3）にセットされた場合にのみ書き込みできます。ポート A、B、C、D、E 外部割り込みのビット 3 のトリガを定義します。

00：立ち下がりエッジとローレベル

01：立ち上がりエッジのみ

10：立ち下がりエッジのみ

11：立ち上がりおよび立ち下がりエッジ

ビット 5:4 **P2IS[1:0]**：ポート x ビット 2 外部割り込みトリガビット

これらのビットは、CCR レジスタの I1 と I0 の両方が 1（レベル 3）にセットされた場合にのみ書き込みできます。ポート A、B、C、D、E 外部割り込みのビット 2 のトリガを定義します。

00：立ち下がりエッジとローレベル

01：立ち上がりエッジのみ

10：立ち下がりエッジのみ

11：立ち上がりおよび立ち下がりエッジ

ビット 3:2 **P1IS[1:0]**：ポート x ビット 1 外部割り込みトリガビット

これらのビットは、CCR レジスタの I1 と I0 の両方が 1（レベル 3）にセットされた場合にのみ書き込みできます。ポート A、B、C、D、E 外部割り込みのビット 1 のトリガを定義します。

00：立ち下がりエッジとローレベル

01：立ち上がりエッジのみ

10：立ち下がりエッジのみ

11：立ち上がりおよび立ち下がりエッジ

ビット 1:0 **P0IS[1:0]**：ポート x ビット 0 外部割り込みトリガビット

これらのビットは、CCR レジスタの I1 と I0 の両方が 1（レベル 3）にセットされた場合にのみ書き込みできます。ポート A、B、C、D、E 、F 外部割り込みのビット 0 のトリガを定義します。

00：立ち下がりエッジとローレベル

01：立ち上がりエッジのみ

10：立ち下がりエッジのみ

11：立ち上がりおよび立ち下がりエッジ

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

12.9.4 外部割り込み制御レジスタ 2（EXTI_CR2）

アドレスオフセット：0x01

リセット値：0x00

7	6	5	4	3	2	1	0
P7IS[1:0]		P6IS[1:0]		P5IS[1:0]		P4IS[1:0]	
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:6 **P7IS[1:0]**：ポート x ビット 7 外部割り込みトリガビット

これらのビットは、CCR レジスタの I1 と I0 の両方が 1（レベル 3）にセットされた場合にのみ書き込みできます。ポート A、B、C、D、E 外部割り込みのビット 7 のトリガを定義します。

00：立ち下がりエッジとローレベル

01：立ち上がりエッジのみ

10：立ち下がりエッジのみ

11：立ち上がりおよび立ち下がりエッジ

ビット 5:4 **P6IS[1:0]**：ポート x ビット 6 外部割り込みトリガビット

これらのビットは、CCR レジスタの I1 と I0 の両方が 1（レベル 3）にセットされた場合にのみ書き込みできます。ポート A、B、C、D、E 外部割り込みのビット 6 のトリガを定義します。

00：立ち下がりエッジとローレベル

01：立ち上がりエッジのみ

10：立ち下がりエッジのみ

11：立ち上がりおよび立ち下がりエッジ

ビット 3:2 **P5IS[1:0]**：ポート x ビット 5 外部割り込みトリガビット

これらのビットは、CCR レジスタの I1 と I0 の両方が 1（レベル 3）にセットされた場合にのみ書き込みできます。ポート A、B、C、D、E 外部割り込みのビット 5 のトリガを定義します。

00：立ち下がりエッジとローレベル

01：立ち上がりエッジのみ

10：立ち下がりエッジのみ

11：立ち上がりおよび立ち下がりエッジ

ビット 1:0 **P4IS[1:0]**：ポート x ビット 4 外部割り込みトリガビット

これらのビットは、CCR レジスタの I1 と I0 の両方が 1（レベル 3）にセットされた場合にのみ書き込みできます。ポート A、B、C、D、E 外部割り込みのビット 4 のトリガを定義します。

00：立ち下がりエッジとローレベル

01：立ち上がりエッジのみ

10：立ち下がりエッジのみ

11：立ち上がりおよび立ち下がりエッジ

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

12.9.5 外部割り込み制御レジスタ 3（EXTI_CR3）

アドレスオフセット：0x02

リセット値：0x00

7	6	5	4	3	2	1	0
PFIS[1:0]		PEIS[1:0]		PDIS[1:0]		PBIS[1:0]	
rw		rw		rw	rw	rw	rw

ビット 7:6 **PFIS[1:0]**：ポート F 外部割り込みトリガビット

これらのビットは、CCR レジスタの I1 と I0 の両方が 1（レベル 3）にセットされた場合にのみ書き込みできます。ポート F[3:0] またはポート F[7:4]（あるいはその両方）の EXTIF が有効なときのポート F 外部割り込みのトリガを定義します。

00：立ち下がりエッジとローレベル

01：立ち上がりエッジのみ

10：立ち下がりエッジのみ

11：立ち上がりおよび立ち下がりエッジ

ビット 5:4 **PEIS[1:0]**：ポート E 外部割り込みトリガビット

これらのビットは、CCR レジスタの I1 と I0 の両方が 1（レベル 3）にセットされた場合にのみ書き込みできます。ポート E[3:0] またはポート E[7:4]（あるいはその両方）の EXTIE が有効なときのポート E 外部割り込みのトリガを定義します。

00：立ち下がりエッジとローレベル

01：立ち上がりエッジのみ

10：立ち下がりエッジのみ

11：立ち上がりおよび立ち下がりエッジ

ビット 3:2 **PDIS[1:0]**：ポート D 外部割り込みトリガビット

これらのビットは、CCR レジスタの I1 と I0 の両方が 1（レベル 3）にセットされた場合にのみ書き込みできます。ポート D[3:0] またはポート D[7:4]（あるいはその両方）の EXTID が有効なときのポート D 外部割り込みのトリガを定義します。

00：立ち下がりエッジとローレベル

01：立ち上がりエッジのみ

10：立ち下がりエッジのみ

11：立ち上がりおよび立ち下がりエッジ

ビット 1:0 **PBIS[1:0]**：ポート B 外部割り込みトリガビット

これらのビットは、CCR レジスタの I1 と I0 の両方が 1（レベル 3）にセットされた場合にのみ書き込みできます。ポート B[3:0] またはポート B[7:4]（あるいはその両方）の EXTIB が有効なときのポート B 外部割り込みのトリガを定義します。

00：立ち下がりエッジとローレベル

01：立ち上がりエッジのみ

10：立ち下がりエッジのみ

11：立ち上がりおよび立ち下がりエッジ

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

12.9.6 外部割り込み制御レジスタ 4（EXTI_CR4）

アドレスオフセット：0x0A

リセット値：0x00

注： ***このレジスタは、中+容量および大容量デバイスでのみ使用可能です。***

7	6	5	4	3	2	1	0
予約済み				PHIS[1:0]		PGIS[1:0]	
				rw	rw	rw	rw

ビット 7:4 予約済み

ビット 3:2 **PHIS[1:0]**：ポート H 外部割り込みトリガビット

これらのビットは、CCR レジスタの I1 と I0 の両方が 1（レベル 3）にセットされた場合にのみ書き込みできます。ポート H[3:0] またはポート H[7:4]（あるいはその両方）の EXTIH が有効なときのポート H 外部割り込みのトリガを定義します。

00：立ち下がりエッジとローレベル

01：立ち上がりエッジのみ

10：立ち下がりエッジのみ

11：立ち上がりおよび立ち下がりエッジ

ビット 1:0 **PGIS[1:0]**：ポート G 外部割り込みトリガビット

これらのビットは、CCR レジスタの I1 と I0 の両方が 1（レベル 3）にセットされた場合にのみ書き込みできます。ポート G[3:0] またはポート G[7:4]（あるいはその両方）の EXTIG が有効なときのポート G 外部割り込みのトリガを定義します。

00：立ち下がりエッジとローレベル

01：立ち上がりエッジのみ

10：立ち下がりエッジのみ

11：立ち上がりおよび立ち下がりエッジ

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

12.9.7 外部割り込みステータスレジスタ 1（EXTI_SR1）

アドレスオフセット：0x03

リセット値：0x00

7	6	5	4	3	2	1	0
P7F	P6F	P5F	P4F	P3F	P2F	P1F	P0F
rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1

ビット 7:0 **PxF：**ポート A/B/C/D/E/F ビット x 外部割り込みフラグ

これらのビットは、対応するピンで割り込みイベントが発生したとき、ハードウェアによってセットされます。ソフトウェアによって”1”を書き込むことによってクリアされます。

0：割り込みは発生していません。

1：外部割り込みがペンディング中です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

12.9.8 外部割り込みステータスレジスタ 2（EXTI_SR2）

アドレスオフセット：0x04

リセット値：0x00

7	6	5	4	3	2	1	0
予約済み	予約済み	PHF(1)	PGF(1)	PFF	PEF	PDF	PBF
予約済み	予約済み	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1

ビット 7:6 予約済み

ビット 5(1) **PHF**：ポート H 外部割り込みフラグ

このビットは、対応するピンで割り込みイベントが発生したとき、ハードウェアによってセットされます。ソフトウェアによって“1”を書き込むことによってクリアされます。

0：割り込みは発生していません。

1：外部割り込みがペンディング中です。

ビット 4(1) **PGF**：ポート G 外部割り込みフラグ

このビットは、対応するピンで割り込みイベントが発生したとき、ハードウェアによってセットされます。ソフトウェアによって“1”を書き込むことによってクリアされます。

0：割り込みは発生していません。

1：外部割り込みがペンディング中です。

ビット 3 **PFF**：ポート F 外部割り込みフラグ

このビットは、対応するピンで割り込みイベントが発生したとき、ハードウェアによってセットされます。ソフトウェアによって“1”を書き込むことによってクリアされます。

0：割り込みは発生していません。

1：外部割り込みがペンディング中です。

ビット 2 **PEF**：ポート E 外部割り込みフラグ

このビットは、対応するピンで割り込みイベントが発生したとき、ハードウェアによってセットされます。ソフトウェアによって“1”を書き込むことによってクリアされます。

0：割り込みは発生していません。

1：外部割り込みがペンディング中です。

ビット 1 **PDF**：ポート D 外部割り込みフラグ

このビットは、対応するピンで割り込みイベントが発生したとき、ハードウェアによってセットされます。ソフトウェアによって“1”を書き込むことによってクリアされます。

0：割り込みは発生していません。

1：外部割り込みがペンディング中です。

ビット 0 **PBF**：ポート B 外部割り込みフラグ

このビットは、対応するピンで割り込みイベントが発生したとき、ハードウェアによってセットされます。ソフトウェアによって“1”を書き込むことによってクリアされます。

0：割り込みは発生していません。

1：外部割り込みがペンディング中です。

1. このビットは、中+容量および大容量デバイスでのみ使用可能です。このビットは、中容量デバイスでは予約済みです。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

12.9.9 外部割り込みポート選択レジスタ（EXTI_CONF1）

アドレスオフセット：0x05

リセット値：0x00

7	6	5	4	3	2	1	0
PFES	PFLIS	PEHIS	PELIS	PDHIS	PDLIS	PBHIS	PBLIS
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7 **PFES**：ポート F またはポート E 外部割り込み選択
0：ポート E が割り込み生成に使用されます。
1：ポート F が割り込み生成に使用されます。

ビット 6 **PFLIS**：ポート F[3:0] 外部割り込み選択
EXTIF 割り込み用のピン PF[3:0] を選択します。
0：PF[3:0] が EXTI3-EXTI0 割り込み生成に使用されます。
1：PF[3:0] が EXTIF 割り込み生成に使用されます。

ビット 5 **PEHIS**：ポート E[7:4] 外部割り込み選択
EXTIE 割り込み用のピン PE[7:4] を選択します。
0：PE[7:4] が EXTI7-EXTI4 割り込み生成に使用されます。
1：PE[7:4] が EXTIE 割り込み生成に使用されます。

ビット 4 **PELIS**：ポート E[3:0] 外部割り込み選択
EXTIE 割り込み用のピン PE[3:0] を選択します。
0：PE[3:0] が EXTI3-EXTI0 割り込み生成に使用されます。
1：PE[3:0] が EXTIE 割り込み生成に使用されます。

ビット 3 **PDHIS**：ポート D[7:4] 外部割り込み選択
EXTID 割り込み用のピン PD[7:4] を選択します。
0：PD[7:4] が EXTI7-EXTI4 割り込み生成に使用されます。
1：PD[7:4] が EXTID 割り込み生成に使用されます。

ビット 2 **PDLIS**：ポート D[3:0] 外部割り込み選択
EXTID 割り込み用のピン PD[3:0] を選択します。
0：PD[3:0] が EXTI3-EXTI0 割り込み生成に使用されます。
1：PD[3:0] が EXTID 割り込み生成に使用されます。

ビット 1 **PBHIS**：ポート B[7:4] 外部割り込み選択
EXTIB 割り込み用のピン PB[7:4] を選択します。
0：PB[7:4] が EXTI7-EXTI4 割り込み生成に使用されます。
1：PB[7:4] が EXTIB 割り込み生成に使用されます。

ビット 0 **PBLIS**：ポート B[3:0] 外部割り込み選択
EXTIB 割り込み用のピン PB[3:0] を選択します。
0：PB[3:0] が EXTI3-EXTI0 割り込み生成に使用されます。
1：PB[3:0] が EXTIB 割り込み生成に使用されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

12.9.10 外部割り込みポート選択レジスタ（EXTI_CONF2）

アドレスオフセット：0x0B

リセット値：0x00

注： このレジスタは、中+容量および大容量デバイスでのみ使用可能です。

7	6	5	4	3	2	1	0
予約済み	PHDS	PGBS	PHHIS	PHLIS	PGHIS	PGLIS	PFHIS
予約済み	rw	rw	rw	rw	rw	rw	rw

ビット 7 予約済み

ビット 6 **PHDS**：ポート H またはポート D 外部割り込み選択
0：ポート D が割り込み生成に使用されます。
1：ポート H が割り込み生成に使用されます。

ビット 5 **PGBS**：ポート G またはポート B 外部割り込み選択
0：ポート B が割り込み生成に使用されます。
1：ポート G が割り込み生成に使用されます。

ビット 4 **PHHIS**：ポート H[7:4] 外部割り込み選択
EXTIH 割り込み用のピン PH[7:4] を選択します。
0：PH[7:4] が EXTI7-EXTI4 割り込み生成に使用されます。
1：PH[7:4] が EXTIH 割り込み生成に使用されます。

ビット 3 **PHLIS**：ポート H[3:0] 外部割り込み選択
EXTIH 割り込み用のピン PH[3:0] を選択します。
0：PH[3:0] が EXTI3-EXTI0 割り込み生成に使用されます。
1：PH[3:0] が EXTIH 割り込み生成に使用されます。

ビット 2 **PGHIS**：ポート G[7:4] 外部割り込み選択
EXTIG 割り込み用のピン PG[7:4] を選択します。
0：PG[7:4] が EXTI7-EXTI4 割り込み生成に使用されます。
1：PG[7:4] が EXTIG 割り込み生成に使用されます。

ビット 1 **PGLIS**：ポート G[3:0] 外部割り込み選択
EXTIG 割り込み用のピン PG[3:0] を選択します。
0：PG[3:0] が EXTI3-EXTI0 割り込み生成に使用されます。
1：PG[3:0] が EXTIG 割り込み生成に使用されます。

ビット 0 **PFHIS**：ポート F[7:4] 外部割り込み選択
EXTIF 割り込み用のピン PF[7:4] を選択します。
0：PF[7:4] が EXTI7-EXTI4 割り込み生成に使用されます。
1：PF[7:4] が EXTIF 割り込み生成に使用されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

12.9.11 ITC および EXTI レジスタマップとリセット値

表 32. ITC および EXTI レジスタマップ

アドレスオフセット	レジスタ名称	7	6	5	4	3	2	1	0
ITC-SPR ブロック(1)									
0x00	ITC_SPR1 リセット値	VECT3SPR1 1	VECT3SPR0 1	VECT2SPR1 1	VECT3SPR0 1	VECT1SPR1 1	VECT1SPR0 1	VECT0SPR1 1	VECT0SPR0 1
0x01	ITC_SPR2 リセット値	VECT7SPR1 1	VECT7SPR0 1	VECT6SPR1 1	VECT6SPR0 1	VECT5SPR1 1	VECT5SPR0 1	VECT4SPR1 1	VECT4SPR0 1
0x02	ITC_SPR3 リセット値	VECT11SPR1 1	VECT11SPR0 1	VECT10SPR1 1	VECT10SPR0 1	VECT9SPR1 1	VECT9SPR0 1	VECT8SPR1 1	VECT8SPR0 1
0x03	ITC_SPR4 リセット値	VECT15SPR1 1	VECT15SPR0 1	VECT14SPR1 1	VECT14SPR0 1	VECT13SPR1 1	VECT13SPR0 1	VECT12SPR1 1	VECT12SPR0 1
0x04	ITC_SPR5 リセット値	VECT19SPR1 1	VECT19SPR0 1	VECT18SPR1 1	VECT18SPR0 1	VECT17SPR1 1	VECT17SPR1 1	VECT16SPR1 1	VECT16SPR0 1
0x05	ITC_SPR6 リセット値	VECT23SPR1 1	VECT23SPR0 1	VECT22SPR1 1	VECT22SPR0 1	VECT21SPR1 1	VECT21SPR0 1	VECT20SPR1 1	VECT20SPR0 1
0x06	ITC_SPR7 リセット値	VECT27SPR1 1	VECT27SPR0 1	VECT26SPR1 1	VECT26SPR0 1	VECT25SPR1 1	VECT25SPR0 1	VECT24SPR0 1	VECT24SPR0 1
0x07	ITC_SPR8 リセット値	- 1	- 1	- 1	- 1	VECT29SPR1 1	VECT29SPR0 1	VECT28SPR1 1	VECT28SPR0 1
ITC-EXTI ブロック(2)									
0x00	EXTI_CR1	P3IS1 0	P3IS0 0	P2IS1 0	P2IS0 0	P1IS1 0	P1IS0 0	P0IS1 0	P0IS0 0
0x01	EXTI_CR2	P7IS1 0	P7IS0 0	P6IS1 0	P6IS0 0	P5IS1 0	P5IS0 0	P4IS1 0	P4IS0 0
0x02	EXTI_CR3	PFIS1 0	PFIS0 0	PEIS1 0	PEIS0 0	PDIS1 0	PDIS0 0	PBIS1 0	PBIS0 0
0x03	EXTI_SR1	P7F 0	P6F 0	P5F 0	P4F 0	P3F 0	P2F 0	P1F 0	P0F 0
0x04	EXTI_SR2	- 0	- 0	- 0	- 0	PFF 0	PEF 0	PDF 0	PBF 0
0x05	EXTI_CONF 1 0	PFES 0	PFLIS 0	PEHIS 0	PELIS 0	PDHIS 0	PDLIS 0	PBHIS 0	PBLIS 0
0x06～ 0x09	予約済み領域								
0x0A(3)	EXTI_CR4(3)	- 0	- 0	- 0	- 0	PHIS1 0	PHIS0 0	PGIS1 0	PGIS0 0
0x0B(3)	EXTI_CONF 2(3)	- 0	PHDS 0	PGBS 0	PHHIS 0	PHLIS 0	PGHIS 0	PGLIS 0	PFHIS 0

1. アドレスオフセットは、ITC-SPR ブロックのベースアドレスに対して示されています（データシートの CPU/SWIM/デバッグモジュール/割り込みコントローラレジスタの表を参照）。
2. アドレスオフセットは、ITC-EXTI ブロックのベースアドレスに対して示されています（データシートの「一般ハードウェアレジスタマップ」の表を参照）。
3. これらのレジスタは、中+容量および大容量デバイスでのみ使用可能です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

13 ダイレクトメモリアクセス（DMA）コントローラ

このセクションの説明は、特に指定がない限り、中容量 STM8L15x デバイス、中+容量 STM8L15x デバイス、および大容量 STM8L15x/STM8L16x デバイスに適用されます。

13.1 DMA の概要

ダイレクトメモリアクセス（DMA）は、ペリフェラルとメモリの間、およびメモリとメモリの間で高速のデータ転送を行うために使用されます。DMA を使用することで、CPU の動作なしにデータをすばやく移動できます。これによって CPU リソースを他の動作のために確保できます。

DMA コントローラには 4 つのチャネルがあります。各チャネルは、1 つまたは複数のペリフェラルからのメモリアクセスリクエストの管理専用に使用されます。また、DMA リクエスト間の優先順位を管理するアービタを備えています。

用語

DMA という用語は、ダイレクトメモリアクセスを意味します。

DMA 転送は、ソフトウェアによるプログラムが可能な一連のデータブロックに対する完全な DMA 読み出し/書き込み操作から構成されます。DMA トランザクションは、1 つずつの DMA 転送に分けることができます。

DMA 転送は、データブロックに対する単一の読み出し/書き込み操作で構成され、割り込み不可です。

データブロックは、選択された転送サイズに応じて、8 ビットまたは 16 ビットのデータです。

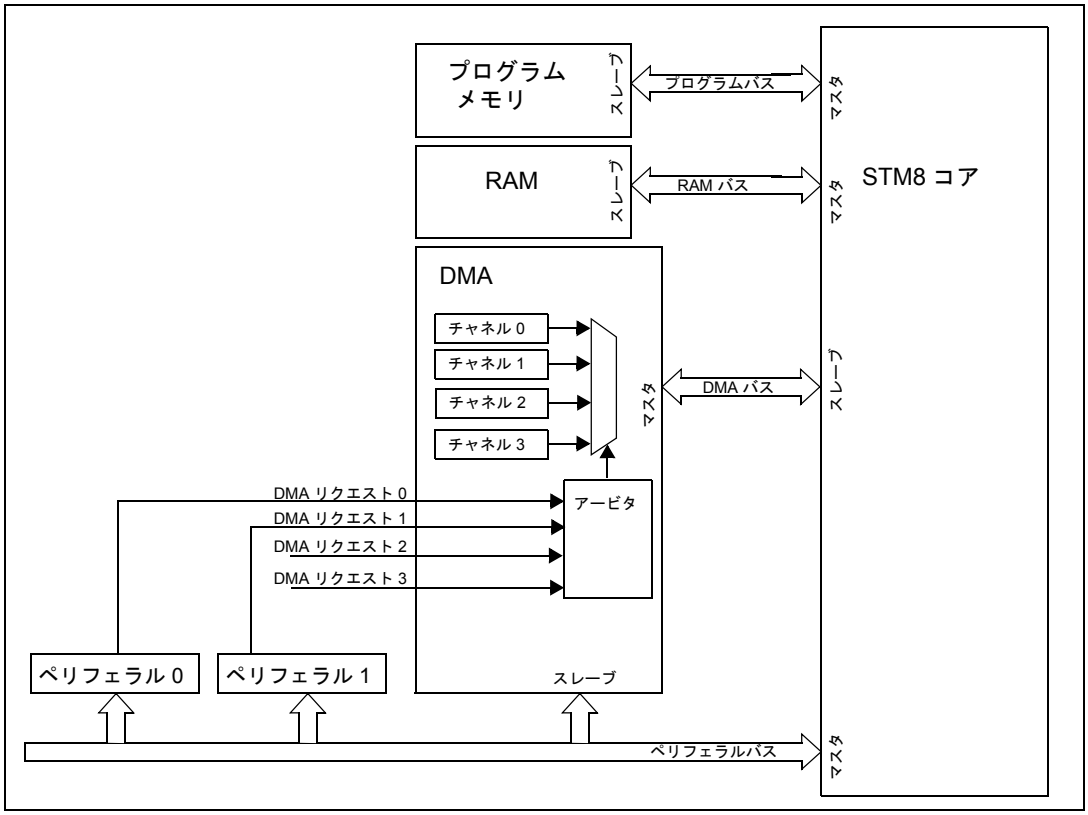
この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

13.2 DMA の主な機能

- 4 チャネルを複数のペリフェラル間で共有（*表 34 : DMA1 チャネルリクエストの配置 (173 ページ)* を参照）
- ペリフェラルからメモリ、メモリからペリフェラル、およびメモリからメモリへのデータ転送
- チャネル間での優先順位レベルに応じたハードウェア/ソフトウェアアービトレーション
- 「転送されるデータ」数をプログラミング可能 : 最大 255 データブロック（バイトまたはワード）のトランザクション
- アドレスのインクリメント/デクリメントモード
- ハードウェアとソフトウェアによってプログラミング可能なチャネル優先順位
- 1/2 転送と転送終了でのオプション割り込み
- 2 つの転送サイズ（8 ビットおよび 16 ビットデータ）をサポートし、ソフトウェアによってプログラミング可能
- チャネルからのリクエスト間の優先順位 : ソフトウェアによってプログラミング可能であり（*最高*、*高*、*中*、*低*の 4 レベル）、等しい場合にはハードウェアによってプログラミング可能（リクエスト 1 はリクエスト 2 に優先など）。
- ハードウェア設定（メモリチャネル）に応じて、メモリチャネルによるソフトウェアトリガもサポート。
- チャネルごとに、1 つの割り込みリクエストにおいて 2 つのフラグ（DMA 1/2 転送終了、DMA 転送完了）の論理和（OR）がとられます。
- サーキュラバッファ管理（自動再ロードモード）
- DMA 転送を中断/再開する機能
- 低電力モード（割り込み待ちまたはイベント待ち）で動作する機能

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 26. DMA ブロック図



13.3 DMA 機能の説明

DMA コントローラは、アドレスとデータバスを STM8 コアと共有することによって、ダイレクトメモリ転送を実行します。CPU と DMA が同じデスティネーション（メモリまたはペリフェラル）をターゲットにしているとき、DMA リクエストは、数バスサイクルにわたってバスへの CPU アクセスを停止させることがあります。このアービトレーションは、STM8 コアの中で実行され、選択されたバス（ペリフェラルバス、RAM バス、またはプログラムバス）に応じて異なる方法で管理されます。詳細については、STM8 コアの説明を参照してください。

また、DMA コントローラは、現在のアクセスが CPU に優先しなければならないことを STM8 コアに通知できます。これには 2 つの方法があります。

- アプリケーションは、DMA_GCSR レジスタの TO[5:0] ビットを設定することによって、タイムアウト時間（前回のリクエストからの待機サイクル数）を指定できます。この場合、DMA は、このタイムアウト時間が経過するまで待ってから、バスへの高優先順位アクセスをコアにリクエストします。
- アプリケーションがチャネルをプログラミングすることによって、常に CPU よりも優先されるようにすることもできます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

13.3.1 DMA 転送

イベントの終了後、ペリフェラルは DMA コントローラにリクエスト信号を送信します。DMA コントローラは、チャネルの優先順位に応じて、リクエストを処理します。DMA コントローラがペリフェラルにアクセスすると、DMA コントローラはペリフェラルに確認応答（1 サイクルパルス）を送信します。ペリフェラルに他にペンディング中のリクエストがない場合、DMA コントローラから確認応答を受け取ると、すぐにそのリクエスト信号をリリースします。

13.3.2 DMA アービタ

アービタは、チャネルリクエストを優先順位に基づいて管理し、ペリフェラル/メモリアクセスシーケンスを起動します。

優先順位は 2 段階で管理されます。

- ソフトウェア：各チャネルの優先順位は、DMA_CxSPR レジスタで設定できます。4 つのレベルがあります。
  - 最高優先順位
  - 高優先順位
  - 中優先順位
  - 低優先順位
- ハードウェア : 2 つのリクエストのソフトウェア優先順位レベルが同じ場合、小さな番号のチャネルが大きな番号のチャネルよりも優先されます。たとえば、チャネル 1 はチャネル 3 よりも優先されます。

注： ***各 DMA リクエストはキューに格納され、シーケンス内でより高い優先順位を持つリクエストがすべて完了したときに処理されます。***

最高優先順位のチャネルは、CPU よりも優先されます。

13.3.3 DMA チャネル

4 つのチャネルを使用できます。すなわち、3 つのレギュラチャネル（チャネル 0、チャネル 1、およびチャネル 2）と 1 つのメモリチャネル（チャネル 3）です。

- レギュラチャネルは、固定アドレスに置かれたペリフェラルレジスタと、自動インクリメント / デクリメントポインタによってアドレス指定されるメモリ領域との間の DMA 転送を処理します。
- メモリチャネルは、2 つのメモリポインタによって管理される 2 つのメモリ領域間でのデータ転送も処理できるレギュラチャネルです。

チャネルがメモリ転送用に設定されると、DMA リクエストは無視され、転送はソフトウェアを介してトリガされます。メモリ領域 0 からメモリ領域 1 へのトランザクションは、チャネルが有効になると開始され、全バイト数が転送されると停止します。

転送されるデータの量（最大 255）は、DMA_CxNDTR レジスタの値に応じてプログラム可能です。この転送されるデータ項目の量を格納している DMA_CxNDTR レジスタは、毎回の転送後にデクリメントされます。

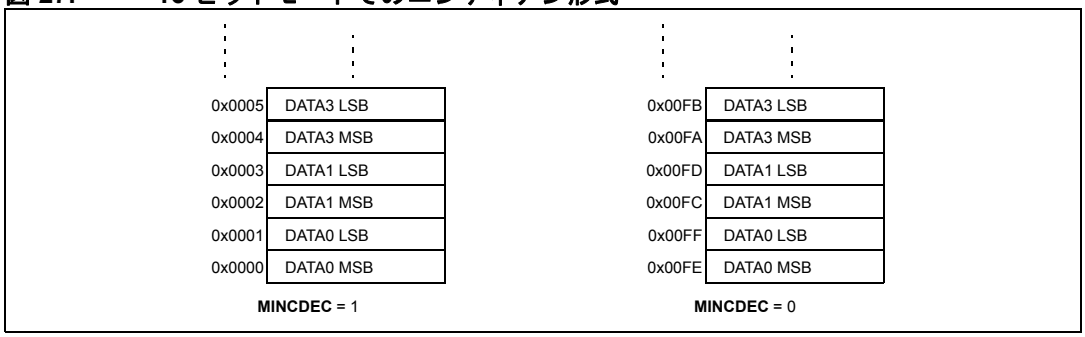
この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

プログラマブルなデータサイズ

転送データサイズ（8 ビットまたは 16 ビット）は、DMA_CxSPR レジスタの TSIZE ビットを介してユーザがプログラミングできます。

注： ***16 ビットモードで動作するとき、システムは、インクリメントモードとデクリメントモードの両方でビッグエンディアンアドレッシングを行います。デスティネーションおよびソースポインタは、MSB のアドレス（偶数アドレス）を含む必要があります。***

図 27. 16 ビットモードでのエンディアン形式



16 ビットデータ転送用に設定されると（TSIZE = 1）、転送は 4 つの連続した 8 ビットの読み出し/書き込み操作で構成されます。

- 偶数アドレスのソースから MSB を読み出します。
- 奇数アドレスのソースから LSB を読み出します。
- 偶数アドレスのデスティネーションに MSB を書き込みます。
- 奇数アドレスのデスティネーションに LSB を書き込みます。

データコヒーレンスを保証するため、2 つの書き込み操作だけでなく、2 つの読み出し操作も分割不能です。

注： ***これは、ソフトウェアが CPU と DMA の 16 ビットアクセスを同期させることを必要とします。ソフトウェアは、CPU がソース領域に 16 ビットデータの半分しか書き込んでいないときに、DMA が 16 ビットデータを読み出さないようにする必要があります。同様に、ソフトウェアは、CPU がすでに 16 ビットデータの半分を読み出し始めたときに、DMA が 16 ビットデータを書き込まないようにする必要があります。***

初期値アドレスの割り当ては、ソフトウェアによって処理されます。

ポインタのインクリメント

メモリからペリフェラルまたはペリフェラルからメモリへのトランザクションの処理時には、メモリポインタは、DMA_CxCR レジスタの MINCDEC ビットに応じて、毎回のトランザクション後に自動的にポストインクリメントまたはポストデクリメントされます。ただし、ペリフェラルポインタは常に固定されています。

インクリメントモードが有効な場合、次の転送のアドレスは、前回のアドレスを 1 だけインクリメントしたアドレスです。最初の転送アドレスは、中容量デバイスでは DMA_CxPARH/L レジスタと DMA_CxM0ARH/L レジスタにプログラミングされ、中+容量および大容量デバイスでは DMA_CxPARH/L、DMA_CxM0ARH/L、および DMA_C3M0EAR（チャネル 3 の場合）レジスタにプログラミングされます。

転送データサイズが 16 ビットモードにプログラミングされた場合（TSIZE = 1）、アドレスは、毎回のバイト転送後に 1 だけ（2 回のバイト転送後に 2 だけ）インクリメント/デクリメントされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

チャネルが非サーキュラモードに設定されている場合、転送の終了後（つまり、転送データ数がゼロになったとき）、DMA リクエストは処理されません。

チャネルの設定手順

DMA チャネル x の設定は、次の手順で行います（x はチャネル番号です）。

1. DMA_CxPARL/H レジスタにペリフェラルレジスタのアドレスを設定します。データは、ペリフェラルイベント後に、このアドレスとメモリとの間で移動されます。
2. メモリアドレスを、中容量デバイスでは DMA_CxPARH/L レジスタと DMA_CxM0ARH/L レジスタで、中+容量および大容量デバイスでは DMA_CxPARH/L、DMA_CxM0ARH/L、および DMA_C3M0EAR（チャネル 3 の場合）レジスタで設定します。データは、ペリフェラルイベント後に、このメモリに書き込まれるか、このメモリから読み出されます。
3. 転送されるデータの合計数を DMA_CxNDTR レジスタで設定します。毎回のペリフェラルイベント後に、この値はデクリメントされます。
4. DMA_CxSPR レジスタの PL[1:0] ビットを使用して、チャネルの優先順位を設定します。
5. データ転送の方向、サーキュラモード、メモリインクリメントモード、転送データサイズ、および 1/2 転送終了または転送完了後の割り込みを DMA_CxCR レジスタで設定します。
6. DMA_CxCR レジスタの EN ビット（チャネルイネーブルビット）をセットして、チャネルを有効にします。
7. すべてのチャネルが正しく設定されると（ステップ 1～6）、DMA_GCSR レジスタの GEN ビット（グローバルイネーブルビット）を介して DMA を有効にすることができます。

チャネルが有効になると、接続されたペリフェラルからの DMA リクエストを処理できます。

バイト数の半分が転送されると、HTIF（1/2 転送終了割り込みフラグ）ビットがセットされ、HTIE（1/2 転送終了割り込みイネーブル）ビットがセットされている場合は割り込みが生成されます。転送の最後に、TCIF（転送完了割り込みフラグ）ビットがセットされ、TCIE（転送完了割り込みイネーブル）ビットがセットされている場合は割り込みが生成されます。

サーキュラモード（自動再ロードモード）

サーキュラモードを使用して、サーキュラバッファと連続的なデータフロー（ADC スキャンモードなど）に対処できます。この機能は、DMA_CxCR レジスタの CIRC ビット（サーキュラバッファモードビット）を使用して有効にできます。

サーキュラモードが有効になると、転送されるデータ数には、チャネル設定フェーズでプログラミングされた初期値が自動的に再ロードされ、DMA リクエストの処理が続行されます。

メモリ間転送モード

このモードは、チャネル 3（メモリチャネル）にのみ使用可能です。

チャネル 3 は、ペリフェラルからのリクエストによってトリガされなくても、2 つのメモリ間のデータ転送を処理できます。このモードは、メモリ間転送モードと呼ばれます。

DMA_C3CR レジスタの MEM ビットがセットされている場合、チャネルは、ソフトウェアによって DMA_C3CR の EN ビット（チャネルイネーブルビット）がセットされて有効になると、すぐに転送を開始します。ペリフェラルリクエストは無視されます。

転送は、DMA_C3NDTR レジスタの値が 0 になると停止します。

メモリ間転送モードとサーキュラモードを同時に使用することはできません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

チャネルがメモリ間転送モードに設定されている場合、

- 自動再ロードモードは無効であり、DMA_C3CR レジスタの CIRC ビットは「無視」されます。
- DMA_C3CR レジスタの DIR ビット（データ転送方向ビット）は「無視」されます。ソースは、常にメモリポインタアドレス 0 です（中容量デバイスでは DMA_CxPARH/L および DMA_CxM0ARH/L レジスタ、大容量デバイスでは DMA_CxPARH/L、DMA_CxM0ARH/L、および DMA_C3M0EAR レジスタ）。デスティネーションは、常にメモリポインタアドレス 1 です（DMA_C3PARL_C3M1ARL および DMA_C3PARH_C3M1ARH レジスタ）。
- ソースポインタアドレス 0 は常にインクリメントされますが、デスティネーションポインタアドレス 1 は、DMA_C3CR レジスタの MINCDEC ビットに応じて、インクリメントまたはデクリメントされます。

ソースおよびデスティネーションアドレス

チャネル 0、1、および 2 が対処できるペリフェラルは、0x5200～0x53FF のアドレス、または RAM メモリ内のアドレス（中容量デバイスでは 0x0000～0x07FF、中+容量および大容量デバイスでは 0x0000～0xFFFF で構成されるアドレス）を持つペリフェラルに限られます。

図 28. レギュラチャネル（中容量デバイス）

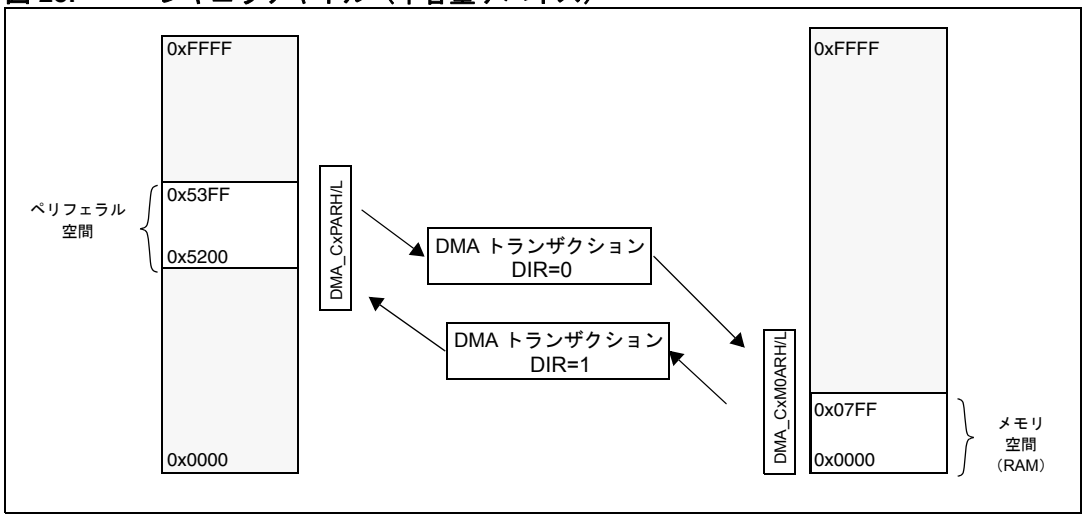
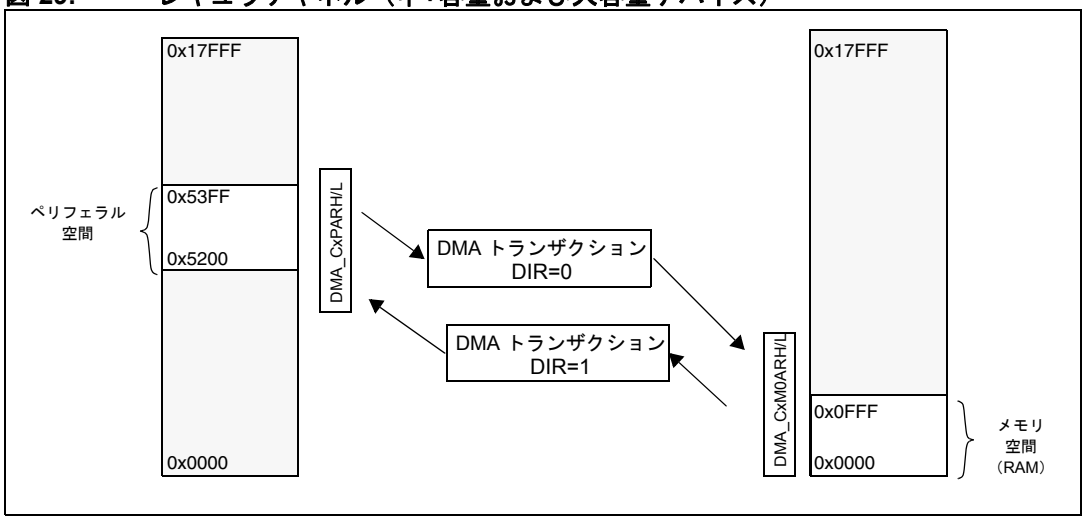


図 29. レギュラチャネル（中+容量および大容量デバイス）



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

チャネル 3（メモリチャネル）は、より多くのメモリ空間に対処できます。

- ペリフェラルからメモリまたはメモリからペリフェラルの転送を実行するとき（MEM=0）、メモリアドレスは、中容量デバイスでは 0x0000～0xFFFF で構成され、中+容量および大容量デバイスでは 0x0000～0x17FFF で構成されます。ペリフェラルアドレスは 0x4000～0x5FFF で構成されます。
- メモリ間転送を実行するとき（MEM=1）、ソースメモリアドレスは、中容量デバイスでは 0x0000～0xFFFF で構成され、中+容量および大容量デバイスでは 0x0000～0x17FFF で構成されます。一方、デスティネーションメモリアドレスは、0x0000～0x1FFF（データ EEPROM を含みます）で構成されます。

図 30. MEM=0 でのメモリチャネル（中容量デバイス）

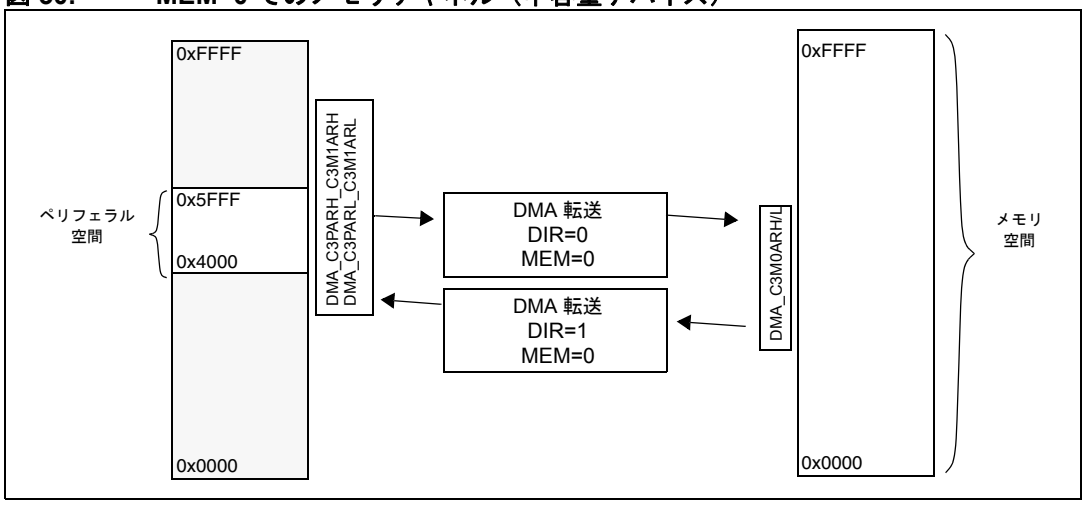
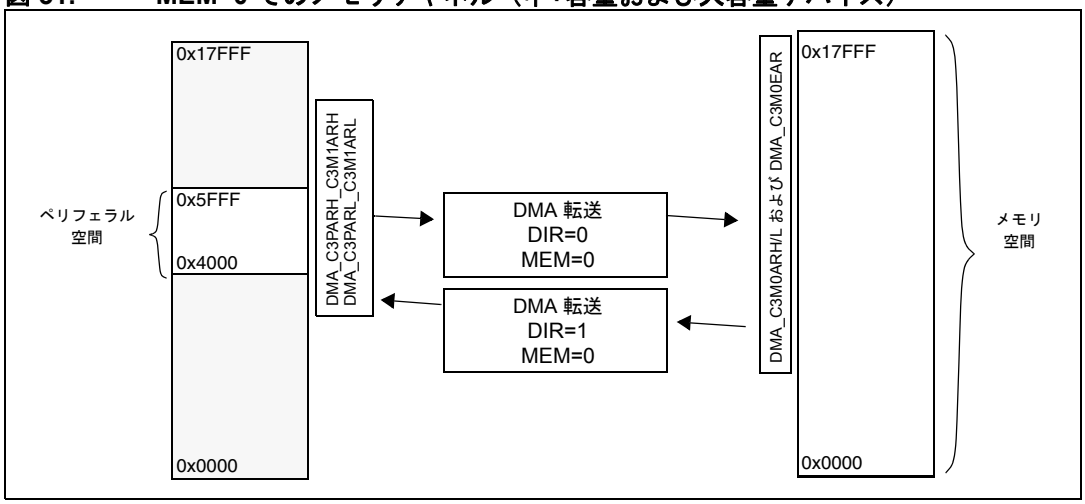


図 31. MEM=0 でのメモリチャネル（中+容量および大容量デバイス）



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 32. MEM=1 でのメモリチャネル（中容量デバイス）

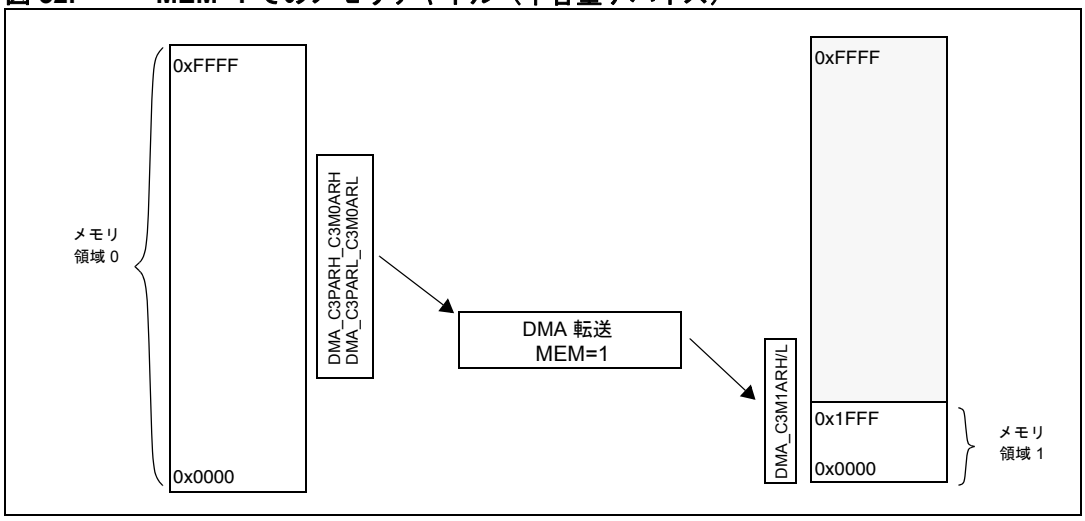
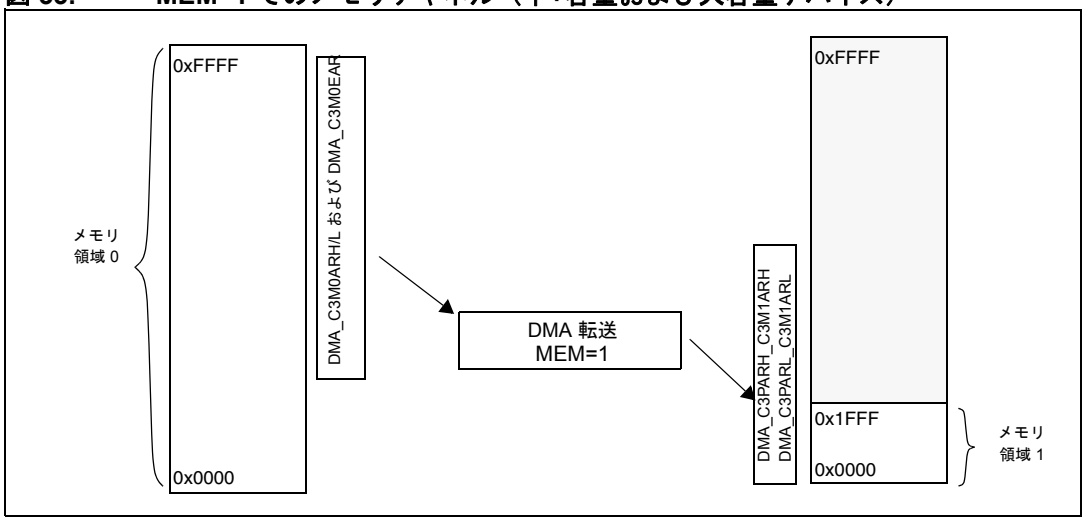


図 33. MEM=1 でのメモリチャネル（中+容量および大容量デバイス）



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 33. ソースおよびデスティネーションアドレス

チャネル	転送方向	ソースアドレス範囲	デスティネーション アドレス範囲
レギュラチャネル *チャネル 0、チャネル 1、チャネル 2*	ペリフェラルからメモリ	0x5200～0x53FF	0x0000～0x07FF(1) 0x0000～0x0FFF(2)
	メモリからペリフェラル	0x0000～0x07FF(1) 0x0000～0x0FFF(2)	0x5200～0x53FF
メモリチャネル *チャネル 3*	ペリフェラルからメモリ	0x4000～0x5FFF	0x0000～0xFFFF(1) 0x0000～0x17FFF(2) （メモリ領域 0）
	メモリからペリフェラル	0x0000～0xFFFF(1) 0x0000～0x17FFF(2) （メモリ領域 0）	0x4000～0x5FFF
	メモリからメモリ	0x0000～0xFFFF(1) 0x0000～0x17FFF(2) （メモリ領域 0）	0x0000～0x1FFF （メモリ領域 1）

1. 中容量デバイスの場合
2. 中+容量および大容量デバイスの場合

DMA 転送の中断

DMA 転送は、DMA_CxCR レジスタの EN ビット（チャネルイネーブルビット）を無効にするか、または DMA_GCSR レジスタの GEN ビット（グローバルイネーブルビット）を使用して各チャネルを無効にすることによって、転送時を含めていつでも中断できます。

DMA データ転送中にチャネルが無効にされた場合、チャネルが実際に無効になるのは、現在のデータ転送が完了してからです。

DMA チャネルを再び有効にすると、DMA 転送が再開されます。

DMA 転送を中断するときには、ソフトウェアは DMA レジスタを変更する必要があります。さもなければ、DMA 転送を正しく再開できないことがあります。転送するデータ数が変更された場合、DMA を再び有効にすると、現在の転送が再開されるのではなく、新しい転送が開始されます。

13.3.4 DMA1 リクエストの配置

ペリフェラルからの 4 つのハードウェアリクエストは、そのまま論理和（OR）がとられてから、DMA に入力されます。つまり、一度に 1 つのハードウェアリクエストだけを有効にする必要があります。*図 34（ページ）174*を参照してください。各 OR 機能によって、ADC1、SPIx、I2C1、USARTx、DAC、および TIMx（x=1、2、3）の DMA リクエストを 4 つのチャネルの 1 つに接続できます。次の表に、チャネルごとの DMA リクエストを示します。

表 34. DMA1 チャネルリクエストの配置

IP	チャネル 0	チャネル 1	チャネル 2	チャネル 3
ADC1 (1)	EOC	EOC	EOC	EOC
SPIx		SPI1_RX	SPI1_TX	
AES	AES_IN			AES_OUT
I2C	I2C_RX			I2C_TX
USART1		USART1_TX	USART1_RX	
DAC		DAC_CH2TRIG		DAC_CH1TRIG

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

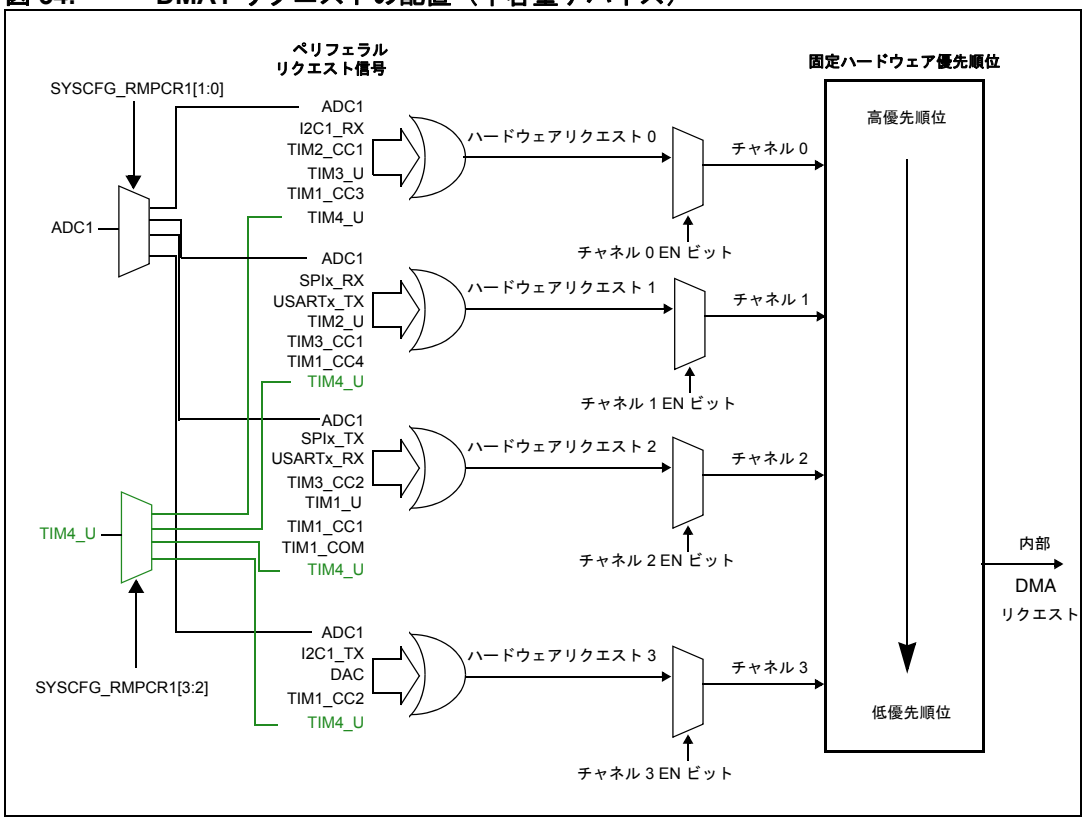
表 34. DMA1 チャネルリクエストの配置 （続き）

IP	チャネル 0	チャネル 1	チャネル 2	チャネル 3
TIM2	TIM2_CC1	TIM2_U		TIM2_CC2
TIM3	TIM3_U	TIM2_CC1	TIM3_CC2	
TIM1	TIM1_CC3	TIM1_CC4	TIM1_U TIM1_CC1 TIM1_COM	TIM1_CC2
USART2	USART2_TX			USART2_RX
USART3		USART3_TX	USART3_RX	
SPI2	SPI2_RX			SPI2_TX
TIM5	TIM5_U		TIM5_CC1	TIM5_CC2
TIM4(2)	TIM4_U	TIM4_U	TIM4_U	TIM4_U

注： 1 ADC1 は、SYSCFG_RMPCR1 [1:0] ビットに応じて、4 つのチャネルのいずれかに配置できます (ADC の章とセクション 11.5 : SYSCFG レジスタを参照)。デフォルト配置はチャネル 0 です。

2 TIM4 は、SYSCFG_RMPCR1 [3:2] ビットに応じて、4 つのチャネルのいずれかに配置できます（タイマの章とセクション 11.5 : SYSCFG レジスタを参照)。デフォルト配置はチャネル 3 です。

図 34. DMA1 リクエストの配置（中容量デバイス）



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

DMA ハードウェアリクエストの説明

AES DMA リクエスト

AES アクセラレータは、DMA コントローラに接続するためのインタフェースを提供します。DMA は、バイトを転送するように設定する必要があります。AES は、2 つの異なる DMA リクエストチャネルに関連付けることができます。

- 入力用の DMA リクエストチャネル：AES_CR レジスタの DMAEN ビットがセットされると、AES は、AES_DINR レジスタにバイトを書き込む必要が生じるたびに、入力フェーズ中に DMA リクエスト（AES_IN）を開始します。DMA チャネルは、メモリからペリフェラルモード（対応する DMA_CxCR レジスタのビット DTD=1）に設定する必要があります。
- 出力用の DMA リクエストチャネル：DMAEN ビットが有効になると、AES は、AES_DOUTR レジスタにバイトを書き込む必要が生じるたびに、出力フェーズ中に DMA リクエスト（AES_OUT）を開始します。DMA チャネルは、ペリフェラルからメモリモード（対応する DMA_CxCR レジスタのビット DTD=0）に設定する必要があります。

SPIx DMA リクエスト

送信 DMA リクエストと受信 DMA リクエストは、SPI 内の制御ビットをプログラミングすることによって個別に有効または無効にできます。

USARTx DMA リクエスト

送信 DMA リクエストと受信 DMA リクエストは、USART 内の制御ビットをプログラミングすることによって個別に有効または無効にできます。

表 35. SPIx/USARTx DMA リクエスト

リクエスト	説明
USARTx_RX SPIx_RX	受信リクエスト：1 キャラクタが受信されたときの DMA 転送リクエスト。
USARTx_TX SPIx_TX	送信リクエスト：送信バッファが空である（送信されるデータがシフトレジスタにロードされた）ときの DMA 転送リクエスト。

I2C1 DMA リクエスト

DMA リクエストは、データ転送用にのみ生成されます。

DMA リクエストは、I2C1 データレジスタ（I2C1_DR）によって生成されます。

- 送信の際には、空になったとき
- 受信の際には、いっぱいになったとき

DMA コントローラにプログラミングされたデータ転送数に達すると、DMA コントローラは、I^2C インタフェースに EOT 信号（転送終了）を送信し、DMA 割り込みを生成します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 36. I2C1 DMA リクエスト

リクエスト	説明
I2C1_TX	*マスタトランスミッタ*：DMA コントローラからの EOT 割り込み時には、DMA リクエストを無効にする必要があります。DMA コントローラは、BTF（バイト転送終了）イベントを待ってから、STOP コンディションをプログラミングする必要があります。
I2C1_RX	*マスタレシーバ*:DMA コントローラは、(バイト数-1)に対応するハードウェア信号 EOT_1 を送信します。ITDMA レジスタで LAST=1 の場合、I2C は、EOT_1 に続く次のバイトの後で自動的に NACK を送信します。DMA コントローラの転送終了割り込みを使用して、STOP コンディションをプログラミングできます。

ADC1 DMA リクエスト

DMA リクエストは、選択したチャネルの変換が完了したときにアサートされます。

TIM*x* DMA リクエスト

TIM*x* DMA リクエストは、タイマ内の DMA 制御ビットをプログラミングすることによって個別に有効/無効にできます。

表 37. TIMx DMA リクエスト

リクエスト	説明
TIMx_UP (1)	更新イベントリクエスト：各更新イベントでの DMA 転送リクエスト
TIMx_CC1 (1)	キャプチャ/比較 1 リクエスト：各キャプチャ/比較 1 イベントでの DMA 転送リクエスト
TIMx_CC2 (1)	キャプチャ/比較 2 リクエスト：各キャプチャ/比較 2 イベントでの DMA 転送リクエスト
TIM1_CC3	キャプチャ/比較 3 リクエスト：各キャプチャ/比較 3 イベントでの DMA 転送リクエスト
TIM1_CC4	キャプチャ/比較 4 リクエスト：各キャプチャ/比較 4 イベントでの DMA 転送リクエスト
TIM1_COM	各転流（COM）イベントでの DMA 転送リクエスト：つまり、CCxE、CCxNE、および OCxM のキャプチャ/比較制御ビットが更新されたとき

1. 中容量デバイスでは、x= 1、2、3、および 4 であり、中+容量および大容量デバイスでは、x= 1、2、3、4、および 5 です。

DAC DMA リクエスト

DAC DMA リクエストが生成されるのは、ソフトウェアトリガ（DAC_SWTRIGR レジスタの SWTRIG ビット）またはハードウェアトリガ（中容量デバイスでは TIM4_TRGO、中+容量および大容量デバイスでは TIM4_TRGO/TIM5_TRGO/外部トリガ入力 PE4）を使用して、外部トリガが発生したときです。このリクエストは、CHxDHR レジスタが CHxDOR レジスタに転送されたことを示します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

13.4 DMA 低電力モード

表 38. 低電力モードでの DMA 動作

モード	説明
WAIT/低電力 WAIT	DMA 転送はまだ動作しています
HALT/アクティブ HALT	DMA 転送は停止しています

13.5 DMA 割り込み

表 39. DMA 割り込みリクエスト

割り込みイベント	イベントフラグ	イネーブル制御ビット	WAIT/低電力 WAIT の終了	HALT/アクティブ HALT の終了
1/2 転送割り込みフラグ	HTIF	HTIE	あり	なし
転送完了割り込みフラグ	TCIF	TCIE	あり	なし

ペリフェラルを使用して DMA リクエストをトリガするときに、転送が実際に完了しているようにするには、ソフトウェアは、DMA 内部割り込みフラグとペリフェラル割り込みのいずれかを慎重に選択する必要があります。

プログラミングされたすべての転送が DMA によって完了すると、TCIF フラグが立てられますが、これは必ずしもペリフェラルがデータ送信を終了したことを意味しません。

注： ***HTIF ビットと TCIF ビットのリセット動作は、セット動作よりも優先されます。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

13.6 DMA レジスタ

DMA コントローラには 2 組のレジスタ群があります。

- グローバルレジスタ：DMA をグローバルに有効/無効にし、割り込みソースを迅速に識別するために使用されます。
- 制御、ステータス、およびポインタレジスタ：各チャネル専用です。

以下の説明では、各チャネル専用のレジスタの名前は DMA_Cx で始まります。*x* はチャネル番号（0～3）を示します。

13.6.1 DMA グローバル設定およびステータスレジスタ（DMA_GCSR）

アドレスオフセット：0x00

リセット値：0xFC

7	6	5	4	3	2	1	0
TO[5:0]						GB	GEN
rw	rw	rw	rw	rw	rw	r	rw

ビット 7：2 **TO[5:0]**：タイムアウト

これらのビットは、タイムアウト時間（前回のリクエストを基準にして、待機すべきサイクル数）を定義します。その後、DMA は、このタイムアウト時間が経過するまで待機してから、バスへの高優先順位アクセスをコアに依頼します。GEN ビットと GB ビットがセットされている場合、これらのビットは書き込み保護されます。

0x00 にプログラミングされると、タイムアウトはなく、リクエストが処理されると、DMA はバスへの高優先順位アクセスをすぐに CPU に依頼します。

ビット 1 **GB**：グローバルビジー

0：進行中の DMA 転送はありません。

1：進行中の DMA 転送があります。

注：　GB ビットは、各チャネルのすべてのビジーフラグと論理和（OR）がとられます。

ビット 0 **GEN**：グローバルイネーブル

0：すべての DMA チャネルは無効です。

1：DMA チャネルは、DMA_CxCR レジスタの EN ビットに応じて、ローカルに有効になります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

13.6.2 DMA グローバル割り込みレジスタ 1（DMA_GIR1）

アドレスオフセット：0x01

リセット値：0x00

7	6	5	4	3	2	1	0
予約済み	予約済み	予約済み	予約済み	IFC3	IFC2	IFC1	IFC0
r	r	r	r	r	r	r	r

ビット 7：4 予約済み

ビット 3 **IFC3**：割り込みフラグチャネル 3

0：チャネル 3 にペンディング割り込みはありません。
1：チャネル 3 に 1 つ以上のペンディング割り込みがあります。

ビット 2 **IFC2**：割り込みフラグチャネル 2

0：チャネル 2 にペンディング割り込みはありません。
1：チャネル 2 に 1 つ以上のペンディング割り込みがあります。

ビット 1 **IFC1**：割り込みフラグチャネル 1

0：チャネル 1 にペンディング割り込みはありません。
1：チャネル 1 に 1 つ以上のペンディング割り込みがあります。

ビット 0 **IFC0**：割り込みフラグチャネル 0

0：チャネル 0 にペンディング割り込みはありません。
1：チャネル 0 に 1 つ以上のペンディング割り込みがあります。

注： *このレジスタは、各チャネルのすべてのステータスレジスタをチェックせずに、割り込みを生成したチャネルを迅速に識別するために役立ちます。その後、ソフトウェアは、対応するチャネルステータスレジスタをチェックして、割り込みソフトウェアの管理を行うことができます。*
チャネルごとに、対応するチャネルの 2 つの割り込みフラグのいずれかがセットされると、ハードウェアはすぐに専用フラグをセットします。ソフトウェアは、割り込みを生成したチャネルの DMA_CxSPR レジスタの割り込みフラグをクリアするときに、この専用フラグをリセットします。

13.6.3 DMA チャネル設定レジスタ（DMA_CxCR）

チャネルごとに 1 個の制御レジスタがあります。*x* はレギュラチャネル番号（0～3）を示します。

アドレスオフセット：*表 40：DMA レジスタマップ（187 ページ）*を参照

リセット値：0x00

7	6	5	4	3	2	1	0
予約済み	MEM（rw）または予約済み（r）	MINCDEC	CIRC	DIR	HTIE	TCIE	EN
r	r/rw	rw	rw	rw	rw	rw	rw

このレジスタは、DMA チャネルが有効である（EN ビットと GEN ビットがセットされている）とき、およびチャネルがビジーである（ビジービットがセットされている）とき、書き込み保護されます。

ビット 7 予約済み

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 6 **MEM**：メモリ転送イネーブル

0：チャネルはレギュラチャネルとして機能します。

1：チャネルはメモリチャネルとして機能します。

注： このビットは、チャネル 3（メモリチャネル）に対してのみ実装されます。それ以外の場合、これは予約済みビットです。

ビット 5 **MINCDEC**：メモリインクリメント/デクリメントモード

0：デクリメントモード。

1：インクリメントモード。

このビットは、メモリアドレスポインタがインクリメントされるかデクリメントされるかを定義します。ただし、ペリフェラルアドレスポインタはインクリメントもデクリメントもされません。

注： メモリ間転送の場合、デスティネーションメモリポインタ（メモリポインタアドレス 1）だけをインクリメント/デクリメントすることができます。このビットは、ソースメモリポインタ（メモリポインタアドレス 0）に影響を与えません。このポインタは常にインクリメントされます（デクリメントすることはできません）。

ビット 4 **CIRC**：サーキュラバッファモード（自動再ロードモード）

0：サーキュラモードは無効です。

1：サーキュラモードは有効です。

注： MEM = 1 の場合、このビットは無視されます（この場合、自動再ロードモードは常に無効です）。

ビット 3 **DIR**：データ転送方向

0：ペリフェラルからメモリへの転送。

1：メモリからペリフェラルへの転送。

注： MEM = 1 の場合、このビットは無視されます。

ビット 2 **HTIE**：1/2 転送割り込みイネーブル

0：1/2 転送割り込みは無効です。

1：1/2 転送割り込みは有効です。

ビット 1 **TCIE**：転送完了割り込みイネーブル

0：転送完了割り込みは無効です。

1：転送完了割り込みは有効です。

ビット 0 **EN**：チャネルイネーブル

0：チャネルは無効です。

1：チャネルは有効です。

注： 1 転送の最後に（現在のデータカウンタがゼロに達すると）、DMA チャネルは自動的に無効になりません（割り込みマスク管理の場合）。

2 チャネルが無効になると、すべてのポインタレジスタは元のままです。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

13.6.4 DMA チャネルステータスおよび優先順位レジスタ（DMA_CxSPR）

チャネルごとに 1 つのステータスおよび優先順位レジスタ（SPR）があります。*x* はチャネル番号（0～3）を示します。

アドレスオフセット：*表 40：DMA レジスタマップ（187 ページ）*を参照

リセット値：0x00

7	6	5	4	3	2	1	0
BUSY	PEND	PL[1:0]		TSIZE	HTIF	TCIF	予約済み
r	r	rw	rw	rw	rc_w0	rc_w0	r

ビット 7 **BUSY**：チャネルビジー

0：進行中の DMA 転送はありません。

1：進行中の DMA 転送があります。

ビット 6 **PEND**：チャネルペンディング

0：ペンディングリクエストはありません。

1：DMA ペンディングリクエストがあります。

注： ***MEM = 1 の場合、このビットは無視されます。***

ビット 5:4 **PL[1:0]**：チャネル優先順位レベル

このビットは、チャネル間のソフトウェアアービトレーションに使用されます。

00：低

01：中

10：高

11：最高（DMA は CPU よりも優先されます）。

注： ***これらのビットは、チャネルが有効である（EN ビットと GEN ビットがセットされている）とき、およびチャネルがビジーである（ビジービットがセットされている）とき、書き込み保護されます。***

ビット 3 **TSIZE**：転送サイズ

このビットは、16 ビット幅の転送を実行して、データコヒーレンスを保証するために使用されます。

0：8 ビットモード

1：16 ビットモード

注： ***このビットは、チャネルが有効である（EN ビットと GEN ビットがセットされている）とき、およびチャネルがビジーである（ビジービットがセットされている）とき、書き込み保護されます。***

ビット 2 **HTIF**：1/2 転送割り込みフラグ

0：イベントはありません。

1：1/2 転送が完了しました。

このビットは、ハードウェアによってセットされ、ソフトウェアで 0 を書き込むことによって（DMA チャネルが有効な場合でも）クリアできます。

注： ***HTIF ビットのリセット動作は、セット動作よりも優先されます。***

ビット 1 **TCIF**：転送完了割り込みフラグ

0：イベントはありません。

1：転送が完了しました。

このビットは、ハードウェアによってセットされ、ソフトウェアで 0 を書き込むことによって（DMA チャネルが有効な場合でも）クリアできます。

注： ***TCIF ビットのリセット動作は、セット動作よりも優先されます。***

ビット 0 予約済み

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

13.6.5 DMA 転送データ数レジスタ（DMA_CxNDTR）

チャネルごとに 1 つの「転送データ数レジスタ」があります。*x* はチャネル番号（0～3）を示します。

アドレスオフセット：*表 40：DMA レジスタマップ（187 ページ）*を参照

リセット値：0x00

7	6	5	4	3	2	1	0
NDT[7:0]							
rw/r	rw/r	rw/r	rw/r	rw/r	rw/r	rw/r	rw/r

ビット 7：0 **NDT[7:0]**：転送データ数

転送されるデータ（バイトまたはワード）の数（0～255）。

このレジスタへの書き込みは、チャネルが無効のときに限られます。チャネルが有効になると、このレジスタは書き込み保護され、残りの送信データを読み出すことができます。

転送が完了すると、このレジスタはゼロのままです。

チャネルが自動再ロードモードに設定されている場合（CIRC = 1）、以前にプログラミングされた値が自動的に再ロードされます。

リクエストが発生し、転送データ数がゼロの場合、DMA は転送を処理しません。

13.6.6 DMA ペリフェラルアドレスハイレジスタ（DMA_CxPARH）

アドレスオフセット：*表 40：DMA レジスタマップ（187 ページ）*を参照

レギュラチャネルごとに 1 つの「ペリフェラルアドレスハイレジスタ」があります。*x* はチャネル番号（0～2）を示します。

このレジスタは、DMA チャネルが有効である（EN = 1 および GEN = 1）とき、およびチャネルがビジーである（BUSY = 1）とき、書き込み保護されます。

リセット値：0x52

7	6	5	4	3	2	1	0
PA[15:8]							
r	r	r	r	r	r	r	rw

ビット 7：0 **PA[15:8]**：ペリフェラルアドレスポインタ（MSB）

PA ポインタは、DIR = 0 のときにソースアドレスであり、DIR = 1 のときにデスティネーションアドレスです。

ビット 0 のみアクセス可能であり、他のビットは固定されているので、値の範囲としては 0x52～0x53 が可能です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

13.6.7 DMA ペリフェラルアドレスローレジスタ（DMA_CxPARL）

レギュラチャネルごとに 1 つの「ペリフェラルアドレスローレジスタ」があります。*x* はレギュラチャネル番号（0～2）を示します。

アドレスオフセット：*表 40：DMA レジスタマップ（187 ページ）*を参照

リセット値：0x00

このレジスタは、DMA チャネルが有効である（EN ビットと GEN ビットがセットされている）とき、およびチャネルがビジーである（ビジービットがセットされている）とき、書き込み保護されます。

7	6	5	4	3	2	1	0
PA[7:0]							
rw/r	rw/r	rw/r	rw/r	rw/r	rw/r	rw/r	rw/r

ビット 7：0 **PA[7:0]**：ペリフェラルアドレスポインタ（LSB）

PA ポインタは、DIR = 0 の場合にソースアドレスであり、DIR = 1 の場合にデスティネーションアドレスです。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

13.6.8 DMA チャネル 3 ペリフェラルアドレスハイおよびメモリ 1 アドレスハイレジスタ（DMA_C3PARH_C3M1ARH）

アドレスオフセット：*表 40：DMA レジスタマップ（187 ページ）*を参照。このレジスタは、DMA チャネルが有効である（EN = 1 および GEN = 1）とき、およびチャネルがビジーである（BUSY = 1）とき、書き込み保護されます。

このレジスタには、MEM ビットの設定に応じて、2 つの異なる意味があります。

- DMA チャネル 3 ペリフェラルアドレスハイ（DMA_C3PARH）

注： ***この定義は、MEM ビットがリセットされたときに有効です。***

リセット値：0x40

7	6	5	4	3	2	1	0
PA[15:8]							
r	r	r	rw/r	rw/r	rw/r	rw/r	rw/r

ビット 7：0 **PA[15:8]**：ペリフェラルアドレスポインタ（MSB）

PA ポインタは、DIR = 0 のときにソースアドレスであり、DIR = 1 のときにデスティネーションアドレスです。

ビット 0、1、2、3、および 4 のみアクセス可能であり、他のビットは固定されているため、値の範囲として 0x40 ～0x5F が可能です。

- DMA チャネル 3 メモリ 1 アドレスハイ（DMA_C3M1ARH）

注： ***この定義は、MEM ビットがセットされたときに有効です。***

リセット値：N/A

7	6	5	4	3	2	1	0
M1A[15:8]							
r	r	r	rw/r	rw/r	rw/r	rw/r	rw/r

ビット 7：0 **M1A[15:8]**：メモリ 1 アドレスポインタ（MSB）

M1A ポインタは、メモリ間転送を実行するときのデスティネーションアドレスです。

ビット 0、1、2、3、および 4 のみアクセス可能であり、他のビットは固定されているため、値の範囲として 0x00 ～0x1F が可能です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

13.6.9 DMA チャネル 3 ペリフェラルアドレスローおよびメモリ 1 アドレスローレジスタ（DMA_C3PARL_C3M1ARL）

アドレスオフセット：*表 40：DMA レジスタマップ（187 ページ）*を参照

リセット値：0x00

このレジスタは、DMA チャネルが有効である（EN ビットと GEN ビットがセットされている）とき、およびチャネルがビジーである（ビジービットがセットされている）とき、書き込み保護されます。

このレジスタには、MEM ビットの設定に応じて、2 つの異なる意味があります。

- DMA チャネル 3 ペリフェラルアドレスロー（DMA_C3PARL）

注： ***この定義は、MEM ビットがリセットされたときに有効です。***

ビット 7：0 **PA[7:0]**：ペリフェラルアドレスポインタ（LSB）
PA ポインタは、DIR = 0 の場合にソースアドレスであり、DIR = 1 の場合にデスティネーションアドレスです。

- DMA チャネル 3 メモリ 1 アドレスロー（DMA_C3M1ARL）

注： ***この定義は、MEM ビットがセットされたときに有効です。***

7	6	5	4	3	2	1	0
M1A[7:0]							
rw/r	rw/r	rw/r	rw/r	rw/r	rw/r	rw/r	rw/r

ビット 7：0 **M1A[7:0]**：メモリ 1 アドレスポインタ（LSB）
M1A ポインタは、メモリ間転送を実行するときのデスティネーションアドレスです。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

13.6.10 DMA メモリ 0 アドレスハイレジスタ（DMA_CxM0ARH）

アドレスオフセット：*表 40：DMA レジスタマップ（187 ページ）*を参照

リセット値：0x00

このレジスタは、DMA チャネルが有効である（EN = 1 および GEN = 1）とき、およびチャネルがビジーである（BUSY = 1）とき、書き込み保護されます。

7	6	5	4	3	2	1	0
M0A[15:8]							
rw/r または r	rw/r または r	rw/r または r	rw/r	rw/r または r	rw/r	rw/r	rw/r

ビット 7：0 **M0A[15:8]**：メモリ 0 アドレスポインタ（MSB）

- MEM = 0 の場合、レギュラチャネルまたはメモリチャネルでは、M0A ポインタは、DIR = 0 のときにデスティネーションアドレスであり、DIR = 1 のときにソースアドレスです。
- MEM = 1 の場合、メモリチャネルでは、M0A ポインタは常にソースアドレスです。すべてのビットがアクセス可能であるため、値の範囲として 0x00～0xFF が可能です。
- レギュラチャネルでは、ビット 0、1、および 2 のみアクセス可能であり、他のビットは固定されているため、値の範囲として 0x00～0x07 が可能です。

13.6.11 DMA メモリ 0 アドレスローレジスタ（DMA_CxM0ARL）

アドレスオフセット：*表 40：DMA レジスタマップ（187 ページ）*を参照

リセット値：0x00

このレジスタは、DMA チャネルが有効である（EN = 1 および GEN = 1）とき、およびチャネルがビジーである（BUSY = 1）とき、書き込み保護されます。

7	6	5	4	3	2	1	0
M0A[7:0]							
rw/r	rw/r	rw/r	rw/r	rw/r	rw/r	rw/r	rw/r

ビット 7：0 **M0A[7:0]**：メモリ 0 アドレスポインタ（LSB）

レギュラチャネルまたはメモリチャネルで MEM = 0 の場合、M0A ポインタは、DIR = 0 のときにデスティネーションアドレスであり、DIR = 1 のときにソースアドレスです。

メモリチャネルで MEM = 1 の場合、M0A ポインタは常にソースアドレスです。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

13.6.12 DMA チャネル 3 メモリ 0 拡張アドレスレジスタ（DMA_C3M0EAR）

アドレスオフセット：*表 40：DMA レジスタマップ（187 ページ）*を参照

リセット値：0x00

注： ***このレジスタは、中+容量および大容量デバイスでのみ使用可能です。***

このレジスタは、DMA チャネルが有効である（EN = 1 および GEN = 1）とき、およびチャネルがビジーである（BUSY = 1）とき、書き込み保護されます。

7	6	5	4	3	2	1	0
予約済み							M0A16
r							rw/r

ビット 0 **M0A16**：メモリ 0 アドレスポインタ 16

レギュラチャネルまたはメモリチャネルで MEM = 0 の場合、M0A ポインタは、DIR = 0 のときにデスティネーションアドレスであり、DIR = 1 のときにソースアドレスです。

メモリチャネルで MEM = 1 の場合、M0A ポインタは常にソースアドレスです。

ビット 7：1 予約済み

13.6.13 DMA レジスタマップとリセット値

表 40. DMA レジスタマップ

オフセットアドレス	レジスタ名	7	6	5	4	3	2	1	0
0x00	DMA_GCSR リセット値	TO5 1	TO4 1	TO3 1	TO2 1	TO1 1	TO0 1	GB 0	GEN 0
0x01	DMA_GIR1 リセット値	- 0	- 0	- 0	- 0	IFC3 0	IFC2 0	IFC1 0	IFC0 0
DMA チャネル 0 レジスタ									
0x05	DMA_C0CR リセット値	- 0	- 0	MINCDEC 0	CIRC 0	DIR 0	HTIE 0	TCIE 0	EN 0
0x06	DMA_C0SPR リセット値	BUSY 0	PEND 0	PL1 0	PL0 0	TSIZE 0	HTIF 0	TCIF 0	- 0
0x07	DMA_C0NDTR リセット値	NDT7 0	NDT6 0	NDT5 0	NDT4 0	NDT3 0	NDT2 0	NDT1 0	NDT0 0
0x08	DMA_C0PARH リセット値	PA15 0	PA14 1	PA13 0	PA12 1	PA11 0	PA10 0	PA9 1	PA8 0
0x09	DMA_C0PARL リセット値	PA7 0	PA6 0	PA5 0	PA4 0	PA3 0	PA2 0	PA1 0	PA0 0
0x0A	予約済み領域								
0x0B	DMA_C0M0ARH リセット値	M0A15 0	M0A14 0	M0A13 0	M0A12 0	M0A11 0	M0A10 0	M0A9 0	M0A8 0
0x0C	DMA_C0M0ARL リセット値	M0A7 0	M0A6 0	M0A5 0	M0A4 0	M0A3 0	M0A2 0	M0A1 0	M0A0 0
DMA チャネル 1 レジスタ									
0x0F	DMA_C1CR リセット値	- 0	- 0	MINCDEC 0	CIRC 0	DIR 0	HTIE 0	TCIE 0	EN 0
0x10	DMA_C1SPR リセット値	BUSY 0	PEND 0	PL1 0	PL0 0	TSIZE 0	HTIF 0	TCIF 0	- 0

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 40. DMA レジスタマップ （続き）

オフセットアドレス	レジスタ名	7	6	5	4	3	2	1	0
0x11	DMA_C1NDTR リセット値	NDT7 0	NDT6 0	NDT5 0	NDT4 0	NDT3 0	NDT2 0	NDT1 0	NDT0 0
0x12	DMA_C1PARH リセット値	PA15 0	PA14 1	PA13 0	PA12 1	PA11 0	PA10 0	PA9 1	PA8 0
0x13	DMA_C1PARL リセット値	PA7 0	PA6 0	PA5 0	PA4 0	PA3 0	PA2 0	PA1 0	PA0 0
0x14	予約済み領域								
0x15	DMA_C1M0ARH リセット値	M0A15 0	M0A14 0	M0A13 0	M0A12 0	M0A11 0	M0A10 0	M0A9 0	M0A8 0
0x16	DMA_C1M0ARL リセット値	M0A7 0	M0A6 0	M0A5 0	M0A4 0	M0A3 0	M0A2 0	M0A1 0	M0A0 0
DMA チャネル 2 レジスタ									
0x19	DMA_C2CR リセット値	- 0	- 0	MINCDEC 0	CIRC 0	DIR 0	HTIE 0	TCIE 0	EN 0
0x1A	DMA_C2SPR リセット値	BUSY 0	PEND 0	PL1 0	PL0 0	TSIZE 0	HTIF 0	TCIF 0	- 0
0x1B	DMA_C2NDTR リセット値	NDT7 0	NDT6 0	NDT5 0	NDT4 0	NDT3 0	NDT2 0	NDT1 0	NDT0 0
0x1C	DMA_C2PARH リセット値	PA15 0	PA14 1	PA13 0	PA12 1	PA11 0	PA10 0	PA9 1	PA8 0
0x1D	DMA_C2PARL リセット値	PA7 0	PA6 0	PA5 0	PA4 0	PA3 0	PA2 0	PA1 0	PA0 0
0x1E	予約済み領域								
0x1F	DMA_C2M0ARH リセット値	M0A15 0	M0A14 0	M0A13 0	M0A12 0	M0A11 0	M0A10 0	M0A9 0	M0A8 0
0x20	DMA_C2M0ARL リセット値	M0A7 0	M0A6 0	M0A5 0	M0A4 0	M0A3 0	M0A2 0	M0A1 0	M0A0 0
DMA チャネル 3 レジスタ									
0x23	DMA_C3CR リセット値	- 0	MEM 0	MINCDEC 0	CIRC 0	DIR 0	HTIE 0	TCIE 0	EN 0
0x24	DMA_C3SPR リセット値	BUSY 0	PEND 0	PL1 0	PL0 0	TSIZE 0	HTIF 0	TCIF 0	- 0
0x25	DMA_C3NDTR リセット値	NDT7 0	NDT6 0	NDT5 0	NDT4 0	NDT3 0	NDT2 0	NDT1 0	NDT0 0
0x26	DMA_C3PARH_C3M1ARH	PA[15:8]（リセット値：0x40）または M1A[15:8]							
0x27	DMA_C3PARL_C3M1ARL リセット値	PA[7:0] または M1A[7:0] 0000 0000							
0x28	DMA_C3M0EAR(1) リセット値	- 0	- 0	- 0	- 0	- 0	- 0	- 0	M0A16 0
0x29	DMA_C3M0ARH リセット値	M0A15 0	M0A14 0	M0A13 0	M0A12 0	M0A11 0	M0A10 0	M0A9 0	M0A8 0
0x2A	DMA_C3M0ARL リセット値	M0A7 0	M0A6 0	M0A5 0	M0A4 0	M0A3 0	M0A2 0	M0A1 0	M0A0 0

1. 中+容量および大容量デバイスでのみ使用可能。中容量デバイスでは予約済み。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

14 A/D コンバータ（ADC）

このセクションの説明は、特に指定がない限り、中容量 STM8L15x デバイス、中+容量 STM8L15x デバイス、および大容量 STM8L15x/STM8L16x デバイスに適用されます。

14.1 ADC の概要

A/D コンバータは、アナログ電圧信号をデジタル値に変換するために使用されます。最大 28 のアナログチャネルが使用できます。A/D 変換は、単一または連続モードで行うことができます。

14.2 ADC の主な機能

- 設定可能な分解能（最大 12 ビットのデータ幅）
- アナログチャネルの数：
  - 中容量デバイス：
    25 アナログチャネル：1 高速チャネル（1 µs）+ 24 低速チャネル
  - 中+容量および大容量デバイス：
    28 アナログチャネル：4 高速チャネル（1 µs）+ 24 低速チャネル
- 2 つの内部チャネルが、温度センサと内部基準電圧に接続
- 設定可能な単一または連続変換
- プリスケーラブル ADC クロック
- アナログウォッチドッグ
- 変換終了時に、ウォッチドッグまたはオーバーランイベント割り込みを個別に生成
- 複数チャネル変換（スキャンモード）
- データ整合性メカニズム
- DMA 機能
- プログラム可能なサンプリング時間
- シュミットトリガ無効化機能
- SYSCLK = 16 MHz のときの最大変換時間は 1 µs
- 電圧範囲：1.8 V～3.6 V
  - 最大変換時間は 2.4 V～3.6 V の電圧範囲で可能
  - 1.8 V～2.4 V の電圧範囲では低速 A/D 変換
  - 1.8 V 未満以下の電圧では、ADC 機能は保証されません。

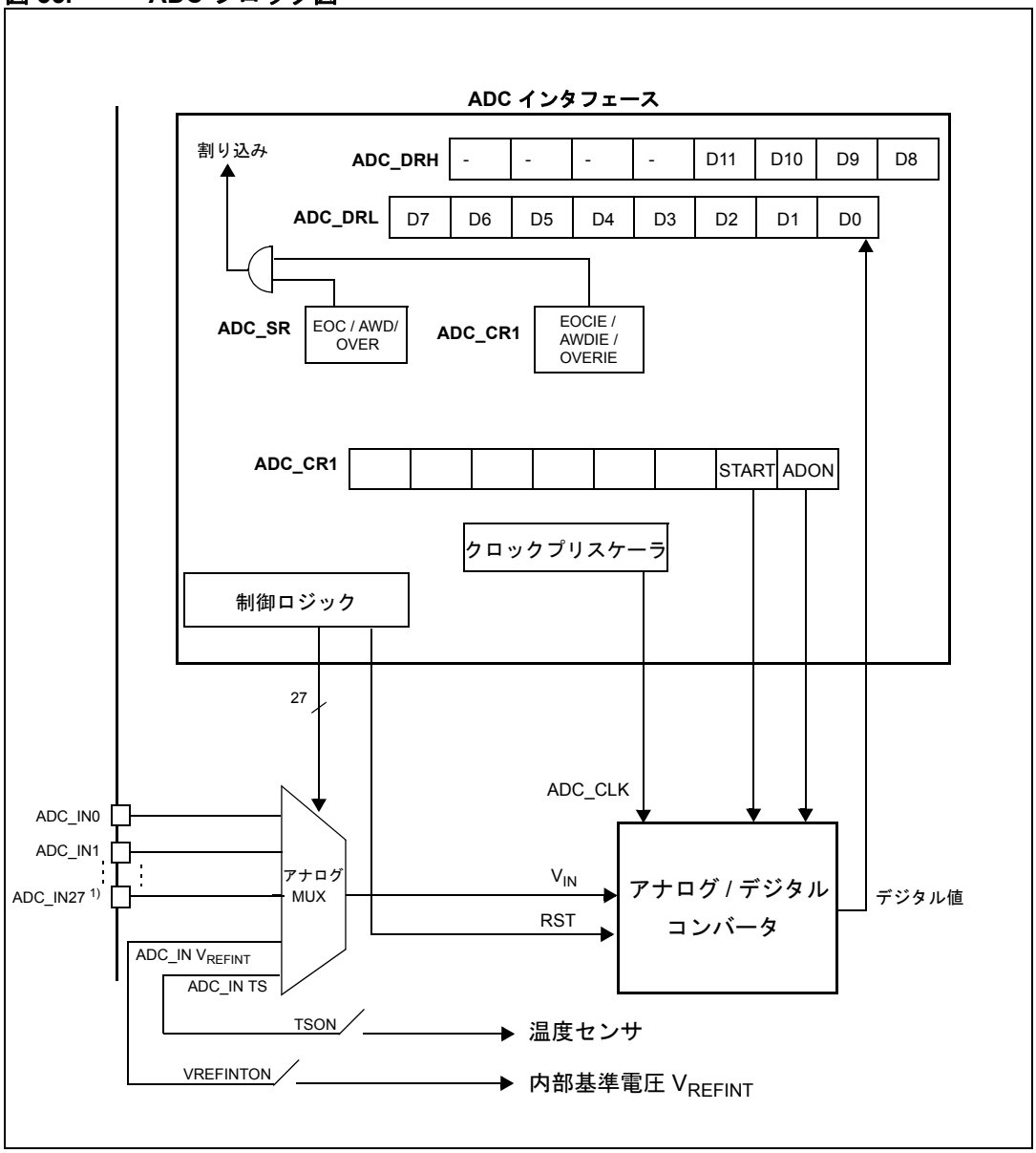
この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

14.3 ADC の機能詳細

14.3.1 概要

図 35 に、完全なシステム ADC インタフェースのブロック図を示します。

図 35. ADC ブロック図



1. 中+容量および大容量デバイス用 ADC_IN27
   中容量デバイス用 ADC_IN24
2. このブロック図には基本機能のみが示されています。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

14.3.2 アナログチャネルの数：

STM8L15xx デバイスは、最大27 または最大 30 のアナログ入力チャネルを備えています。

- 中容量デバイスは、最大 27 のアナログ入力チャネルを備えています。
- 中+容量および大容量デバイスは、最大 30 のアナログ入力チャネルを備えています。

アナログ入力チャネルは、3 つのグループに分けられます。

- 低速チャネル：ADC_CR2 レジスタの SMP1 ビットで選択されたサンプリング時間で動作するチャネル 0～23。
- 高速チャネル：ADC_CR3 レジスタの SMP2 ビットで選択されたサンプリング時間で動作するチャネル 24（中容量デバイス）またはチャネル 24～27（中+容量デバイス）。
- 高速内部チャネル：ADC_CR3 レジスタの SMP2 ビットで選択されたサンプリング時間で動作するチャネルV_{REFINT} および TS。

14.3.3 ADC のオン/オフ制御

ADC は、ADC_CR1 レジスタの ADON ビットをセットすることによって、電源オンにできます。ADON ビットがセットされると、ADC はパワーダウンモードからウェイクアップします。変換は、ADC 起動時間（t_{WKUP}）が経過し、ADC 最大アイドル遅延時間（t_{IDLE}）が経過する前に開始してください。ソフトウェアは、ADON ビットをリセットすることによって、変換を停止し、ADC をパワーダウンモードにできます。

14.3.4 単一変換モード

このモードでは、ADC_SQRx レジスタによって 1 つの入力チャネルだけが選択されなければなりません（複数のチャネルが選択された場合は、選択されたチャネルのうち最高位のチャネルのみが測定されます）。さらに、ADC_SQR1 レジスタの DMAOFF ビットがセットされなければなりません（DMA 転送を無効にするため）。その後、入力チャネルが AD 変換され、ADC 変換動作は停止します（1 回のみの単純な変換）。変換された値は、ADC_DR データレジスタに格納されます。変換後、割り込み（EOC）を生成することができます。2 回の変換の間の時間は、**ADC の最大アイドル遅延時間（t_{IDLE}）より短くなければなりません。2 回の変換の間の時間が t_{IDLE} より長い場合は、2 回の変換の間に ADC をオフにする必要があります（ADON ビットをクリアすることによって）。**

別の方法として、最初の変換（前の変換の後、最大アイドル遅延時間より後に発生した変換）を破棄して、次の変換を破棄せずにおきます。

注： ***ADC_SQR1 レジスタの DMAOFF ビットがリセットされた場合（および DMA が正しくプログラムされている場合）、変換は単一スキャンモードで行われます。***

単一変換モードでは、ADC は 1 回の変換を行います。変換は、次の 2 つの方法で開始できます。

- ソフトウェアによる：変換は、ADC_CR1 レジスタの START ビットをセットすることによって行われます。START ビットは、その後、ハードウェアによってリセットされます。

注： ***チャネル選択は、ADC_SQRX レジスタを使用して行われます。***
変換を開始する前に、ソフトウェアは安定化時間（t_{WKUP}）の間待つ必要があります。

- ハードウェアによる：3 つの外部トリガ（ADC_TRIGR1、ADC_TRIGR2、または ADC_TRIGR3）によって変換を開始できます。この 3 つのトリガのうちの 1 つの選択は、ADC_CR2 レジスタの EXTSEL[1:0] ビットによって行われます。変換は、ADC_CR2 レジスタの TRIG_EDGE[1:0] ビットに応じて、信号の立ち上がりエッジ、立ち下がりエッジ、または両方のエッジでトリガできます。

注： ***変換中に発生した開始イベントは無視されます。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

変換が完了すると、

- EOC フラグがセットされ、
- ADC_CR1 レジスタの EOCIE ビットがセットされている場合は、割り込みが生成されます。

EOC フラグは、ソフトウェアによって、または変換されたデータの LSB を読み出すことによってリセットできます。

次の単一変換は、START ビットをセットするか、外部トリガを立てるだけで開始できます。

注： *1 変換中にチャネルを変更しないでください。*

2 ユーザは、進行中の変換が終了する前のトリガ生成を避ける必要があります。

3 トリガエッジの設定は、トリガを有効にする前に行わなければなりません。

4 どのチャネルもプログラムされていない場合でも、変換を開始でき、EOC フラグがセットされます。

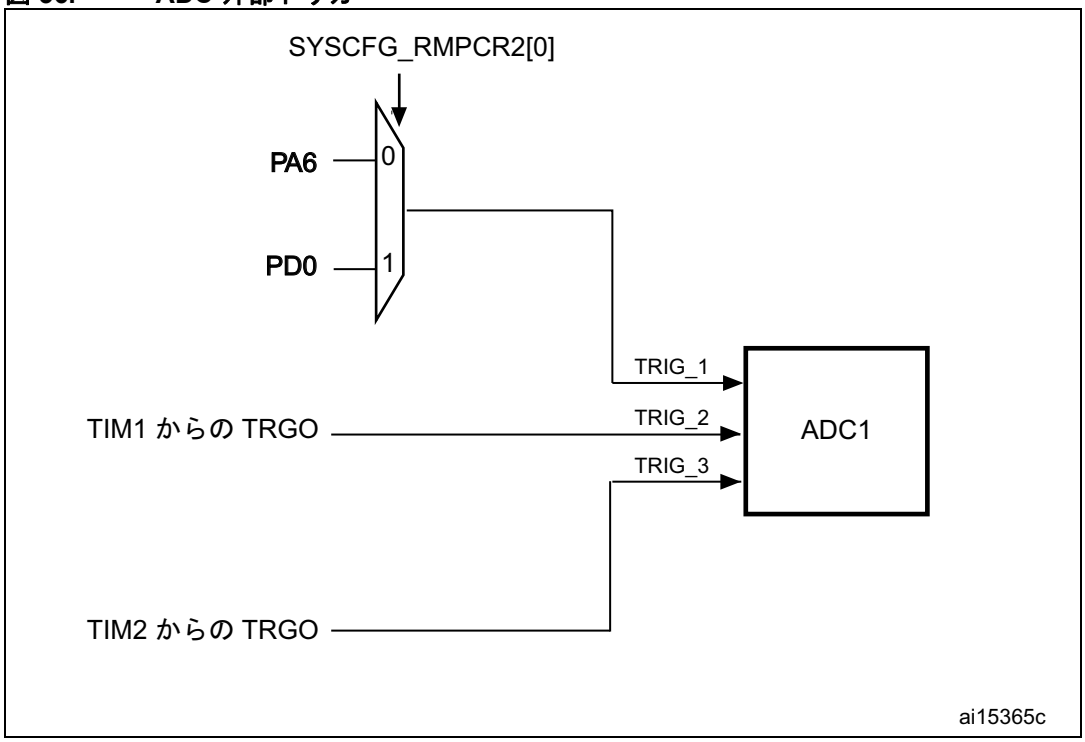
ADC 外部トリガ

次の 3 つのトリガソースを選択できます。

- ADC トリガ 1。
  トリガは、
  - PA6 から*（SYSCFG_RMPCR2 レジスタの ADC_TRIG ビットがリセットされている場合。データシートの「オルタネート機能の再配置」のセクションを参照）*、
  - または PD0 から直接*（SYSCFG_RMPCR2 レジスタの ADC_TRIG ビットがセットされている場合。データシートの「オルタネート機能の再配置」のセクションを参照）*、行うことができます。
- ADC トリガ 2。
  トリガは、Timer 1 トリガ出力（TIM1_TRGO）から直接行われます。
- ADC トリガ 3。
  トリガは、Timer 2 トリガ出力（TIM1_TRGO）から直接行われます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 36. ADC 外部トリガ



14.3.5 連続変換モード

このモードでは、ADC は変換後に停止せず、選択されたチャネルシーケンスの次のチャネルを変換します。変換は、CONT ビットと ADON ビットがセットされ、変換された値が DMA を通じて RAM または EEPROM メモリバッファに転送されるまで続きます。

EOC 割り込みは、選択されたチャネルシーケンスの変換が終了した後でのみ生成されるので、各チャネル変換の結果を ADC_DR レジスタから読み出すことはできません。

各チャネルの変換結果をメモリ（RAM または EEPROM）に保存するには、DMA をペリフェラル/メモリモードで使用する必要があります。変換中に CONT ビットがリセットされた場合、現在選択されているチャネルシーケンスの変換は、最後に選択されたチャネルで終了し、ADC は停止します。

注： ***変換実行中に CONT ビットを再びセットしないでください。***

14.3.6 ADC クロック

クロックコントローラによって供給される ADC クロックは、ADC システムクロック（CK）または 2 分周された ADC システムクロックのいずれかにできます。クロック周波数の選択（$_{ADC_CLK}$= CK または f_{ADC_CLK}= CK/2）は、ADC_CR2 レジスタの PRESC ビットを通じて行われます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

14.3.7 アナログウォッチドッグ

ADC_SR レジスタのアナログウォッチドッグステータスビット（AWD）は、ADC によって変換されたアナログ電圧が ADC_HTRH/L および ADC_LTRH/L レジスタにプログラムされた上側/下側閾値によって定義された基準電圧閾値を上回るか、下回るときにセットされます。

スキャンモードでは、アナログウォッチドッグが有効なチャネルは、ADC_CR3 レジスタの CHSEL[4:0] ビットを通じて選択されたチャネルです。

注： ***閾値は、変換を開始する前にセットまたは変更されなければなりません。***
スキャンモードでは、変換中にウォッチドッグフラグが立てられた場合でも、シーケンスの次の変換は停止されません。これによって、アナログウォッチドッグが有効になるたびに ADC が再起動されるのを防ぎます。
アナログウォッチドッグに関連するアクションは、必ずしも他の ADC チャネルを使用する他のタスクにリンクされるわけではありません。

14.3.8 割り込み

割り込みは、ADC_SR レジスタのアナログウォッチドッグステータスビット（AWD）がセットされているときには、EOC イベントが発生したときに（単一モードでの変換の終わり、またはスキャンモードでの最後のスキャン変換の終わり）、またはスキャンモードでは、DMA リクエストが処理されていず、新しい変換が完了したときに、生成することができます。

共通割り込みラインと同様、個々の割り込みラインも使用できます。次の表に、可能なフラグ/割り込み設定の要約を示します。

表 41. フラグ/割り込みの設定

フラグ	説明	割り込みの生成
OVER	新しく変換されたデータがレディになり、前の変換データが DMA によってまだ読み出されていないときに立てられます（スキャンモード）。	あり
AWD	変換されたデータが基準電圧閾値の範囲外のときに立てられます。	あり
EOC	変換の終了時に立てられます（単一モード）。 シーケンスの最後のチャネルの変換の終了時に立てられます（スキャンモード）。	あり

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

14.3.9 チャネル選択（スキャンモード）

このモードは自動的に連続モードで動作します。ADC_CR1 レジスタの DMAOFF ビットをリセットすることによって、単一モードでも使用できます。

スキャンモードでは、選択されたチャネルシーケンスが考慮され（単一モードと同様）、選択されたチャネルが変換されて、DMA を通じてメモリに転送されます（DMA が適切にプログラムされている必要があります）。

単一モードが選択されている場合、ADC は選択されたチャネルシーケンスを変換して、最後のチャネルを変換した後、停止します。次に選択されたチャネルシーケンスの場合、スキャン変換を行うには、ADC を再起動する必要があります。チャネルシーケンス変換の終了後、割り込み（EOC）を生成できます。

3 つのレジスタを使用して、スキャンモードでの変換に使用されるチャネルまたはチャネルシーケンスを選択することができます。ADC_SQR1、ADC_SQR2、および ADC_SQR3。

注： ***この機能は DMA コントローラと組み合わせて使用する必要があります。***

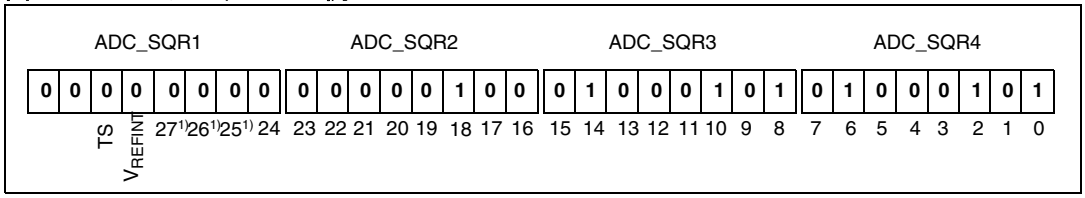
チャネル選択は、ADC のペリフェラルを有効にした後（ADC_CR1 レジスタの ADON ビットをセットすることにより）に行われなければなりません。

シーケンスの各チャネルに対して、単一変換が開始されます。変換が完了すると、シーケンスの次のチャネルが自動的に変換されます。

チャネル選択は、ADC_SQRX レジスタを使用して行われます。これらのレジスタの位置 ‘n’ の論理 1 は、チャネル ‘n’ が変換チャネルリストにあることを意味します。

たとえば、下の*図 37* は、0、2、6、8、10、14、18 のシーケンスを選択する方法を示しています。

図 37. シーケンスの例



1. 中+容量および大容量デバイスでのみ使用。

ADC_CR1 レジスタの CONT ビットがセットされている場合（連続モードが選択されている場合）、変換はチャネル ‘n’ で停止せず、シーケンスの最初のチャネルから再開します。各変換の後、DMA ADC リクエストが送信され、変換されたデータを RAM へ転送するために DMA コントローラが使用されます。

注： ***変換中に ADC_SQRX レジスタを変更しないでください。***

14.3.10 データ整合性

MSB が読み出されるときには、LSB データを格納するために 8 ビットのシャドウレジスタが使用されます。LSB データは、シャドウレジスタから読み出されます。

これによって、MSB と LSB データの読み出しの間に ADC から新しいデータが入ってきた場合の、データの整合性が保証されます。したがって、ソフトウェアは、LSB と MSB の両方が同じデータのものであることを保証するために、LSB を読み出す前に MSB を読み出す必要があります。

注： ***MSB の読み出し操作は、必ず LSB の読み出し操作の前に行わなければなりません。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

14.3.11 DMA 転送

スキャン変換が実行されると、変換終了が検出されると同時に DMA ADC リクエストが送信されて、データの転送準備ができたことを知らせます。

新しい変換が完了し、DMA が前の変換データの転送をまだ完了していなかった場合、オーバーランフラグが立てられ、割り込みが生成されます（有効な場合）。

DMA 転送は、ADC_SQR1 レジスタの DMAOFF ビットをセットすることによって無効にできます。

14.3.12 設定可能な分解能

ADC の分解能を下げることによって、変換時間を短縮できます。

ADC_CR1 レジスタの RES[1:0] ビットを使用して、分解能を 6、8、10、または 12 ビットに設定できます。変換されたデータは、ADC からシリアル出力を通じて受信されます。

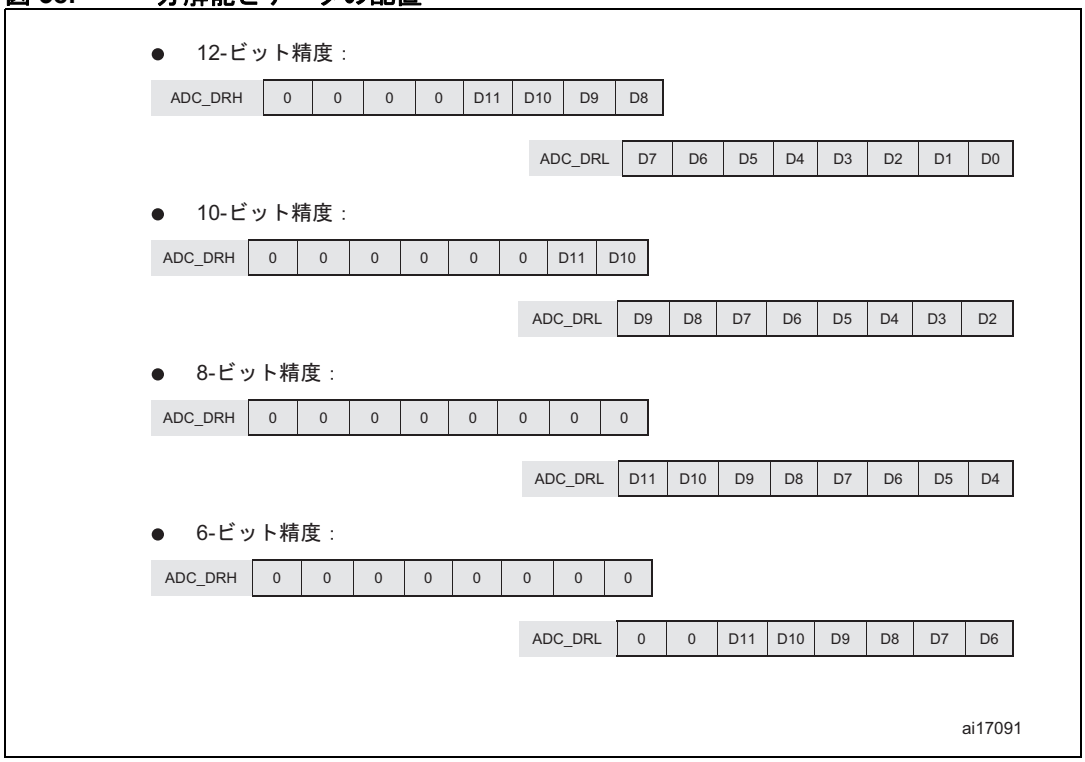
望みのビット数に達すると、ただちに新しい変換を開始できます。

注： ***分解能は、ADC 変換が実行中でないときのみ変更できます。***

14.3.13 データの配置

変換後のデータは右詰めで格納されますが、その構成は、下の図に示すように、選択された分解能によって異なります。

図 38. 分解能とデータの配置



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

14.3.14 プログラム可能なサンプリング時間

ADC 入力電圧は、以下のビットを使用して選択されたサイクル数の間、サンプリングされます。

- 最初の 24 チャネルについては、ADC_CR2 レジスタの SMP1[2:0] ビット、
- チャネル 24 から 27 まで（または中容量デバイスではチャネル 24）については、ADC_CR3 レジスタの SMP2[2:0] ビット、V_{REFINT}、および TS。

次の表に、サンプリングサイクルとして可能な値を示します。

表 42. 認められたサンプリングサイクル

ビット構成		サンプリングサイクル
SMP1[2:0]（チャネル 0～23）および SMP2[2:0]（チャネル 24～27（または中容量デバイスではチャネル 24））、V_{REFINT}、および TS	000	4
	001	9
	010	16
	011	24
	100	48
	101	96
	110	192
	111	384

注： ***低速チャネルや高速チャネルに対して、異なったサンプリング時間を選択できます。***

変換中にサンプリング時間を変更しないでください。

14.3.15 シュミットトリガの無効化

シュミットトリガを無効にして、アナログ入力として使用されるいくつかのピンの消費電力を低減することができます。

2 つの内部チャネルがあるので、中容量デバイスでは 25 のシュミットトリガのみを、また中+容量と大容量デバイスでは 28 のシュミットトリガを無効にできます。

14.3.16 温度センサ

温度センサを使用して、デバイスの内部温度を測定できます。センサの出力電圧をデジタル値に変換するために使用される ADC TS（温度センサ）入力チャネルに内部接続されています。

注： ***使用しないときには、センサをパワーダウンモードにできます。***

ADC_TRIG1 レジスタの TSON ビットをセットして、内部 ADC TS チャネル接続を有効にする必要があります。この接続は、温度センサ変換が必要な場合のみ、有効にされなければなりません。

内部温度センサは、温度変動を検出するためにも使用できます。温度センサの出力電圧は、工場で高温で測定され、ADC 変換の結果は特定のデータアドレスに格納されています。TS_Factory_CONV_V90 バイトは V90 12 ビットの ADC 変換結果の LSB を表します。MSB の値は 0x3 に固定されています。

温度センサのエラーを少なくするには、ユーザは周囲温度（25℃）で測定を行って、平均スロープ（avg_slope）とオフセットをより正確に設定し直すことができます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

温度データの読み取り方法

センサから温度を読み取るには、以下の手順に従ってください。

1. ADC1 TS（温度センサ）入力チャネルを選択します。
2. 10 µs のサンプリング時間を選択します。
3. ADC_TRIG1 レジスタの TSON ビットをセットして、温度センサをパワーダウンモードからウェイクアップします。
4. ADC 変換を開始します。
5. ADC データレジスタ（ADC_DRx）の V_{SENSE} データを読み出します。
6. 次の式を使用して、温度を計算します。

$$T[°K] = \frac{V_{SENSE}}{AvgSlope}$$

$$T[°C] = \frac{V_{SENSE}}{AvgSlope} - 273.15$$

ここで、

Avg_Slope = 温度対 V_{SENSE} 曲線の平均の傾き（V/°K）の推計。

Avg_Slope の値については、電気特性のセクションを参照してください。

注： ***センサがパワーダウンモードからウェイクアップするときには、正しい安定した電圧を出力できるまで、待ち時間が必要です。***

パワーオンの後の変換にも安定するまでの待ち時間が必要です。この遅延を最小化するためには、ADON ビットと TSON ビットを同時にセットする必要があります。

14.3.17 内部基準電圧の変換

内部基準電圧は、内部で V_{REFINT} チャネルに接続されています。このアナログ入力チャネルは、内部基準電圧をデジタル値に変換するために使用されます。

内部基準電圧を有効にするには、ADC_TRIG1 レジスタの VREFINTON ビットをセットする必要があります。この基準電圧は、変換が必要な場合にのみ有効にされなければなりません。

内部基準電圧は工場で測定され、ADC 変換の結果は特定のデータアドレスに格納されています。TS_Factory_CONV バイトは VREFINT 12 ビットの ADC 変換結果の LSB を表します。MSB の値は 0x6 に固定されています。

14.4 ADC 低電力モード

表 43. 低電力モードでの動作

モード	説明
WAIT/ 低電力 WAIT	ADC インタフェースはアクティブです。 割り込みイベントによって、デバイスは WAIT または低電力 WAIT モードから抜けます。
HALT/ アクティブ HALT	ADC インタフェースはアクティブではありません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

14.5 ADC 割り込み

表 44. 割り込みリクエスト

割り込みイベント	イベントフラグ	イネーブル制御ビット	WAIT/低電力 WAIT の終了	HALT/アクティブ HALT の終了
変換終了フラグ	EOC	EOCIE	あり	なし
受信バッファノットエンプティフラグ	AWD	AWDIE	あり	なし
ウェイクアップイベントフラグ	OVER	OVERIE	あり	なし

14.6 ADC レジスタ

14.6.1 ADC 設定レジスタ 1（ADC_CR1）

アドレスオフセット：0x00

リセット値：0x00

7	6	5	4	3	2	1	0
OVERIE	RES[1:0]		AWDIE	EOCIE	CONT	START	ADON
rw	rw		rw	rw	rw	rw	rw

ビット 7 **OVERIE**：オーバーラン割り込みイネーブル

このビットは、ソフトウェアによってセット/クリアされます。セットされた場合、オーバーランイベントによって生成された割り込みを有効にします。

0：オーバーラン割り込みは無効です。

1：オーバーラン割り込みは有効です。

ビット 6:5 **RES[1:0]**：設定可能な分解能

これらのビットは、ソフトウェアによってセット/クリアされます。これらのビットは、ADC 分解能を設定するために使用されます。

00：分解能：12 ビット

01：分解能：10 ビット

10：分解能：8 ビット

11：分解能：6 ビット

ビット 4 **AWDIE**：アナログウォッチドッグ割り込みイネーブル

このビットは、ソフトウェアによってセット/クリアされます。セットされた場合、アナログウォッチドッグによって生成された割り込みを有効にします。

0：アナログウォッチドッグ割り込みは無効です。

1：アナログウォッチドッグ割り込みは有効です。

ビット 3 **EOCIE**：EOC 割り込みイネーブル

このビットは、ソフトウェアによってセット/クリアされます。変換後の割り込みを有効にします。

0：EOC 割り込みは無効です。

1：EOC 割り込みは有効です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 2 **CONT**：連続変換

このビットは、ソフトウェアによってセット/クリアされます。セットされた場合、このビットがリセットされるまで連続的に変換が行われます。

0：単一変換モード

1：連続変換モード

ビット 1 **START**：変換開始

このビットは、ソフトウェアによってセットされ、ハードウェアによってクリアされます。

セットされた場合、変換を開始します（有効な場合）。1 ADC クロックサイクル後に自動的にハードウェアによってリセットされます。

注：　このビットが変換中にセットされた場合、無視されます。

ビット 0 **ADON**：A/D コンバータのオン/オフ

このビットは、ソフトウェアによってセット/リセットされます。ADC をパワーダウンモードからウェイクアップします。

0：ADC は無効です（パワーダウンモード）。

1：ADC は有効です（パワーダウンモードからウェイクアップします）。

14.6.2 ADC 設定レジスタ 2（ADC_CR2）

アドレスオフセット：0x01

リセット値：0x00

7	6	5	4	3	2	1	0
PRESC	TRIG_EDGE1	TRIG_EDGE0	EXTSEL1	EXTSEL0	SMTP1[2:0]		
rw	rw	rw	rw	r	rw	rw	rw

ビット 7 **PRESC**：クロックプリスケーラ

このビットは、ソフトウェアによってセット/クリアされます。セットされた場合、ADC クロック周波数を 2 分周します。

0：$f_{(ADC_CLK)}$ = CK

1：$f_{(ADC_CLK)}$ = CK/2

ビット 6:5 **TRIG_EDGE[1:0]**：外部トリガ用アクティブエッジ

これらのビットは、ソフトウェアによってセット/クリアされます。外部トリガ用アクティブエッジを選択します。

00：予約済み

01：立ち上がりエッジでトリガ

10：立ち下がりエッジでトリガ

11：立ち上がりと立ち下がりの両方のエッジでトリガ

ビット 4:3 **EXTSEL[1:0]**：外部イベントの選択

この 2 つのビットは、ソフトウェアの開始、または変換をトリガできる 3 つの外部イベントの 1 つを選択します。

00：トリガは無効であり、ソフトウェアの開始は有効です。

01：トリガ 1 が有効です。

10：トリガ 2 が有効です。

11：トリガ 3 が有効です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 2:0 **SMTP1[2:0]**：サンプリング時間の選択

これらのビットは、ソフトウェアによってセット/リセットされます。最初の 24 チャネルについて、以下のサンプリング時間から 1 つを選択するために使用されます。

000：4 ADC クロックサイクル
001：9 ADC クロックサイクル
010：16 ADC クロックサイクル
011：24 ADC クロックサイクル
100：48 ADC クロックサイクル
101：96 ADC クロックサイクル
110：192 ADC クロックサイクル
111：384 ADC クロックサイクル

14.6.3 ADC 設定レジスタ 3（ADC_CR3）

アドレスオフセット：0x02

リセット値：0x1F

7	6	5	4	3	2	1	0
SMTP2[2:0]			CHSEL[4:0]				
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:5 **SMTP2[2:0]**：サンプリング時間の選択

これらのビットは、ソフトウェアによってセット/リセットされます。チャネル 24、V_{REFINT}、および TS について、以下のサンプリング時間から 1 つを選択するために使用されます。

000：4 ADC クロックサイクル
001：9 ADC クロックサイクル
010：16 ADC クロックサイクル
011：24 ADC クロックサイクル
100：48 ADC クロックサイクル
101：96 ADC クロックサイクル
110：192 ADC クロックサイクル
111：384 ADC クロックサイクル

ビット 4:0 **CHSEL[4:0]**：チャネル選択

これらのビットは、ソフトウェアによってセット/クリアされます。アナログウォッチドッグによってチェックされるチャネルを選択するために使用されます。

00000：ADC チャネル 0 が選択されます。
00001：ADC チャネル 1 が選択されます。
...
10111：ADC チャネル 23 が選択されます。
11000：ADC チャネル 24 が選択されます。
11001：ADC チャネル 25 が選択されます。(1)
11010：ADC チャネル 26 が選択されます。(1)
11011：ADC チャネル 27 が選択されます。(1)
11100：ADC チャネル V_{REFINT} が選択されます。
11101：ADC チャネル TS が選択されます。

1. この設定は、中容量デバイスでは「予約済み」です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

14.6.4 ADC ステータスレジスタ（ADC_SR）

アドレスオフセット：0x03

リセット値：0x00

7	6	5	4	3	2	1	0
予約済み					OVER	AWD	EOC
					rw_0	rw_0	rw_0

ビット 7:3 予約済み、ハードウェアによって 0 に固定されています。

ビット 2 **OVER**：オーバーランフラグ

このビットは、ソフトウェアによって 0 を書き込むことによって、または ADC がパワーダウンモードになるときにハードウェアによってリセットされます。変換後、2 番目の変換が完了し、DMA が最初の変換値を読み出していないときに、ハードウェアによってセットされます。

ソフトウェアによってセットすることはできません。

0：オーバーランは発生していません。

1：オーバーランが発生しました。

ビット 1 **AWD**：アナログウォッチドッグフラグ

このビットは、ソフトウェアによって 0 を書き込むことによって、または ADC がパワーダウンモードのときにハードウェアによってリセットされます。ADC によって変換されたアナログ電圧が ADC_xTRx レジスタの上側/下側閾値によって定義された基準電圧閾値を上回るか下回るときにセットされます。

ソフトウェアによってセットすることはできません。

0：アナログウォッチドッグイベントは発生していません。

1：アナログウォッチドッグイベントが発生しました。

ビット 0 **EOC**：変換終了

このビットは、変換終了時にハードウェアによってセットされます。ソフトウェアによって 0 を書き込むことによって、または ADC がパワーダウンモードに移行するときに、変換されたデータの LSB を読み出すことによってクリアされます。

スキャン変換の場合、このビットは、シーケンスの最後のチャネルの変換終了時にセットされます。

ソフトウェアによってセットすることはできません。

0：変換は完了していません。

1：変換が完了しました。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

14.6.5 ADC データレジスタハイ（ADC_DRH）

アドレスオフセット：0x04

リセット値：0x00

7	6	5	4	3	2	1	0
予約済み				CONV_DATA[11:8]			
				r	r	r	r

ビット 7:4 予約済み、ハードウェアによって 0 に固定されています。

ビット 3:0 **CONV_DATA[11:8]**：データビットハイ

これらのビットは、ハードウェアによってセット/リセットされ、読み出し専用です。変換されたデータの上位 4 ビットを含みます。変換された電圧データビットは右詰めで配置され、その構成は以下に示すように、プログラムされた分解能によって異なります。

12 ビット分解能：ビット 3:0 = CONV_DATA[11:8]

10 ビット分解能：ビット 3:2 = 予約済み、ビット1:0：CONV_DATA[9:8]

8 ビット分解能：ビット 3:0 = 予約済み

6 ビット分解能：ビット 3:0 = 予約済み

14.6.6 ADC データレジスタロー（ADC_DRL）

アドレスオフセット：0x05

リセット値：0x00

7	6	5	4	3	2	1	0
CONV_DATA[7:0]							
r	r	r	r	r	r	r	r

ビット 7:0 **DATA[7:0]**：データビットロー

これらのビットは、ハードウェアによってセット/リセットされ、読み出し専用です。変換されたデータの下位 8 ビットを含みます。変換された電圧データビットは右詰めで配置され、その構成は以下に示すように、プログラムされた精度によって異なります。

12 ビット分解能：ビット 7:0 = CONV_DATA[7:0]

10 ビット分解能：ビット 7:0 = CONV_DATA[7:0]

8 ビット分解能：ビット 7:0 = CONV_DATA[7:0]

6 ビット分解能：ビット 7:6 = 予約済み；ビット 5：0 = CONV_DATA[5:0]

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

14.6.7 ADC 上側閾値レジスタハイ（ADC_HTRH）

アドレスオフセット：0x06

リセット値：0x0F

7	6	5	4	3	2	1	0
予約済み				HT[11:8]			
				rw	rw	rw	rw

ビット 7:4 予約済み、ハードウェアによって 0 に固定されています。

ビット 3:0 **HT[11:8]**：アナログウォッチドッグ上側閾値ハイ
これらのビットは、ソフトウェアによってセット/リセットされます。アナログウォッチドッグの上側閾値の MSB を定義します。

14.6.8 ADC 上側閾値レジスタ ロー（ADC_HTRL）

アドレスオフセット：0x07

リセット値：0xFF

7	6	5	4	3	2	1	0
HT[7:0]							
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:0 **HT[7:0]**：アナログウォッチドッグ上側閾値ロー
これらのビットは、ソフトウェアによってセット/リセットされます。アナログウォッチドッグの上側閾値の LSB を定義します。

14.6.9 ADC 下側閾値レジスタハイ（ADC_LTRH）

アドレスオフセット：0x08

リセット値：0x00

7	6	5	4	3	2	1	0
予約済み				LT[11:8]			
				rw	rw	rw	rw

ビット 7:4 予約済み、ハードウェアによって 0 に固定されています。

ビット 3:0 **LT[11:8]**：アナログウォッチドッグ下側閾値ハイ
これらのビットは、ソフトウェアによってセット/リセットされます。アナログウォッチドッグの下側閾値の MSB を定義します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

14.6.10 ADC 下側閾値レジスタ ロー（ADC_LTRL）

アドレスオフセット：0x09

リセット値：0x00

7	6	5	4	3	2	1	0
LT[7:0]							
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:0 **LT[7:0]** アナログウォッチドッグ下側閾値ロー

これらのビットは、ソフトウェアによってセット/リセットされます。アナログウォッチドッグの下側閾値の LSB を定義します。

注： ***基準電圧閾値データビットは右詰めで配置され、その構成は以下に示すように、プログラムされた分解能によって異なります。***

分解能：12 ビット

ADC_HTRH & ADC_LTRH ビット 7:4 = 予約済み; ビット 3:0 = HT[11:8] または LT[11:8]

ADC_HTRL & ADC_LTRL ビット 7:0 = HT[7:0] または LT[7:0]

分解能：10 ビット

ADC_HTRH & ADC_LTRH ビット 7:2 = 予約済み; ビット 1:0 = HT[9:8] または LT[9:8]

ADC_HTRL & ADC_LTRL ビット 7:0 = HT[7:0] または LT[7:0]

分解能：8 ビット

ADC_HTRH & ADC_LTRH ビット 7:0 = 予約済み

ADC_HTRL & ADC_LTRL ビット 7:0 = HT[7:0] または LT[7:0]

分解能：6 ビット

ADC_HTRH & ADC_LTRH ビット 7:0 = 予約済み

ADC_HTRH & ADC_LTRH ビット 7:6 = 予約済み; ビット 5:0 = HT[5:0] または LT[5:0]

14.6.11 ADC チャネルシーケンス 1 レジスタ（ADC_SQR1）

アドレスオフセット：0x0A

リセット値：0x00

7	6	5	4	3	2	1	0
DMAOFF	予約済み	CHSEL_STS	CHSEL_ SVREFINT	CHSEL_S[27:24] (1)			
rw	-	rw	rw	rw	rw	rw	rw

ビット 7 **DMAOFF**：単一変換用 DMA ディセーブル

0：DMA は有効です。

1：DMA は無効です。

ビット 6 予約済み、ハードウェアによって 0 に固定されています。

ビット 5 **CHSEL_STS**：スキャン用チャネル TS の選択

これらのビットは、ソフトウェアによってセット/リセットされます。チャネル TS はリセットされたままにしておく必要があります。

CHSEL_Sx ビットの値 ‘1’は、チャネル x がスキャンシーケンスに割り当てられていることを意味します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 4 **CHSEL_SVREFINT**：スキャン用チャネル V_{REFINT} の選択

これらのビットは、ソフトウェアによってセット/リセットされます。チャネル V_{REFINT} はリセットされたままにしておく必要があります。

CHSEL_Sx ビットの値 ‘1’は、チャネル x がスキャンシーケンスに割り当てられていることを意味します。

ビット 3:0[1] **CHSEL_S[27:24]**：スキャン用チャネル 24～27 の選択 [1]

これらのビットは、ソフトウェアによってセット/リセットされます。

CHSEL_Sx ビットの値 ‘1’は、チャネル x がスキャンシーケンスに割り当てられていることを意味します。

1. 中容量デバイスでは、ビット 3:1 は予約済みであり、ビット 0 が CHSEL_S24 ビットです（スキャン用チャネル 24 の選択）。

14.6.12 ADC チャネルシーケンスレジスタ 2（ADC_SQR2）

アドレスオフセット：0x0B

リセット値：0x00

7	6	5	4	3	2	1	0
CHSEL_S[23:16]							
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:0 **CHSEL_S[23:16]**：スキャン用チャネル 16～23 の選択

これらのビットは、ソフトウェアによってセット/リセットされます。

CHSEL_Sx ビットの値 ‘1’は、チャネル x がスキャンシーケンスに割り当てられていることを意味します。

14.6.13 ADC チャネル選択スキャン 3（ADC_SQR3）

アドレスオフセット：0x0C

リセット値：0x00

7	6	5	4	3	2	1	0
CHSEL_S[15:8]							
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:0 **CHSEL_S[15:8]**：スキャン用チャネル 8～15 の選択

これらのビットは、ソフトウェアによってセット/リセットされます。

CHSEL_Sx ビットの値 ‘1’は、チャネル x がスキャンシーケンスに割り当てられていることを意味します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

14.6.14 ADC チャネル選択スキャン 4（ADC_SQR4）

アドレスオフセット：0x0D

リセット値：0x00

7	6	5	4	3	2	1	0
CHSEL_S[7:0]							
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:0 **CHSEL_S[7:0]**：スキャン用チャネル 0～7 の選択

これらのビットは、ソフトウェアによってセット/リセットされます。

CHSEL_Sx ビットの値 ‘1’は、チャネル x がスキャンシーケンスに割り当てられていることを意味します。

14.6.15 ADC トリガディセーブル 1（ADC_TRIGR1）

アドレスオフセット：0x0E

リセット値：0x00

7	6	5	4	3	2	1	0
予約済み		TSON	VREFINTON	TRIG[27:24]			
		rw	rw	rw	rw	rw	rw

ビット 7:6 予約済み、ハードウェアによって 0 に固定されています。

ビット 5 **TSON**：温度センサイネーブル

このビットは、ソフトウェアによってセット/リセットされます。

0：温度センサは無効です。

1：温度センサは有効です。

ビット 4 **VREFINTON**：内部基準電圧イネーブル

このビットは、ソフトウェアによってセット/リセットされます。

0：内部基準電圧は無効です。

1：内部基準電圧は有効です。

ビット 3:0[1] **TRIG[27:24]**：チャネル 24 ～27 シュミットトリガディセーブル

これらのビットは、ソフトウェアによってセット/リセットされます。

TRIGx ビットの値 ‘1’は、チャネル x に対応するシュミットトリガが無効なことを意味します。

1. 中容量デバイスでは、ビット 3:1 は予約済みであり、ビット 0 は TRIG24 ビットです（チャネル 24 シュミットトリガは無効です）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

14.6.16 ADC トリガディセーブル 2（ADC_TRIGR2）

アドレスオフセット：0x0F

リセット値：0x00

7	6	5	4	3	2	1	0
TRIG[23:16]							
				rw	rw	rw	rw

ビット 7:0 **TRIG[23:16]**：チャネル 16 ～23 シュミットトリガディセーブル

これらのビットは、ソフトウェアによってセット/リセットされます。

TRIGx ビットの値 ‘1’は、チャネル x に対応するシュミットトリガが無効なことを意味します。

14.6.17 ADC トリガディセーブル 3（ADC_TRIGR2）

アドレスオフセット：0x10

リセット値：0x00

7	6	5	4	3	2	1	0
TRIG[15:8]							
				rw	rw	rw	rw

ビット 7:0 **TRIG[15:8]**：チャネル 8 ～15 シュミットトリガディセーブル

これらのビットは、ソフトウェアによってセット/リセットされます。

TRIGx ビットの値 ‘1’は、チャネル x に対応するシュミットトリガが無効なことを意味します。

14.6.18 ADC トリガディセーブル 4（ADC_TRIGR4）

アドレスオフセット：0x11

リセット値：0x00

7	6	5	4	3	2	1	0
TRIG(7:0)							
				rw	rw	rw	rw

ビット 7:0 **TRIG[7:0]**：チャネル 0 ～7 シュミットトリガディセーブル

これらのビットは、ソフトウェアによってセット/リセットされます。

TRIGx ビットの値 ‘1’は、チャネル x に対応するシュミットトリガが無効なことを意味します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

14.6.19 ADC レジスタマップとリセット値

表 45. レジスタマップ

アドレスオフセット	レジスタ名	7	6	5	4	3	2	1	0
0x00	ADC_CR1 リセット値	OVERIE 0	RES[1:0] 00		AWDIE 0	EOCIE 0	CONT 0	START 0	ADON 0
0x01	ADC_CR2 リセット値	PRESC 0	TRIG_EDGE1 0	TRIG_EDGE0 0	EXTSEL1 0	EXTSEL0 0	SMPT1_2 0	SMTP1_1 0	SMTP1_0 0
0x02	ADC_CR3 リセット値	SMTP2_2 0	SMTP2_1 0	SMTP2_0 0	CHSEL4 1	CHSEL3 1	CHSEL2 1	CHSEL1 1	CHSEL0 1
0x03	ADC_SR リセット値	-	-	-	-	-	OVER 0	AWD 0	EOC 0
0x04	ADC_DRH リセット値	-	-	-	-	CONV_DATA[11:8] 0			
0x05	ADC_DRL リセット値	CONV_DATA[7:0] 0							
0x06	ADC_HTRH リセット値	-	-	-	-	HT11 1	HT10 1	HT9 1	HT8 1
0x07	ADC_HTRL リセット値	HT7 1	HT6 1	HT5 1	HT4 1	HT3 1	HT2 1	HT1 1	HT0 1
0x08	ADC_LTRH リセット値	-	-	-	-	LT11 0	LT10 0	LT9 0	LT8 0
0x09	ADC_LTRL リセット値	LT7 0	LT6 0	LT5 0	LT4 0	LT3 0	LT2 0	LT1 0	LT0 0
0x0A	ADC_SQR1 リセット値	DMAOFF 0	-	CHSEL_STS 0	CHSEL_SVREFINT 0	CHSEL_S27(1) 0	CHSEL_S26(1) 0	CHSEL_S25(1) 0	CHSEL_S24 0
0x0B	ADC_SQR2 リセット値	CHSEL_S[23:16] 0							
0x0C	ADC_SQR3 リセット値	CHSEL_S[15:8] 0							
0x0D	ADC_SQR4 リセット値	CHSEL_S[7:0] 0							
0x0E	ADC_TRIGR1 リセット値	-	-	TSON 0	VREFINTON 0	-TRIG27(1) 0	-TRIG26(1) 0	TRIG25(1) 0	TRIG24 0
0x0F	ADC_TRIGR2 リセット値	TRIG23 0	TRIG22 0	TRIG21 0	TRIG20 0	TRIG19 0	TRIG18 0	TRIG17 0	TRIG16 0
0x10	ADC_TRIGR3 リセット値	TRIG15 0	TRIG14 0	TRIG13 0	TRIG12 0	TRIG11 0	TRIG10 0	TRIG9 0	TRIG8 0
0x11	ADC_TRIGR4 リセット値	TRIG7 0	TRIG6 0	TRIG5 0	TRIG4 0	TRIG3 0	TRIG2 0	TRIG1 0	TRIG0 0

1. このビットは、中容量デバイスでは予約済みです。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

15 D/A コンバータ（DAC）

このセクションの説明は、特に指定がない限り、中容量 STM8L15x デバイス、中+容量 STM8L15x デバイス、および大容量 STM8L15x/STM8L16x デバイスに適用されます。

15.1 DAC の概要

DAC モジュールは、12 ビットの電圧出力デジタル/アナログコンバータです。DAC は、8 ビットまたは 12 ビットモードを設定でき、DMA コントローラと組み合わせて使用することもできます。12 ビットモードでは、データを左詰めまたは右詰めにできます。DAC には、中容量デバイスの場合は 1 つの出力チャネル、中+容量および大容量デバイスの場合は 2 つの出力チャネル（各出力チャネルが独自のコンバータを備えています）があります。精度を高めるために、入力基準ピン V_{REF+} を使用することができます。

デュアル DAC チャネルモード（中+容量および大容量デバイスでのみ使用可能）では、変換は独立して行うか、両方のチャネルが同期更新操作のためにグループ化されているときには同時に行うことができます。

15.2 DAC の主な機能

- 8 ビットまたは 12 ビットの単調出力
- 12 ビットモードでは、データの左詰めまたは右詰め
- 同期更新機能
- DMA 機能
- 変換の外部トリガ
- 入力基準電圧 V_{REF+}
- ノイズ波の生成（中+容量および大容量デバイスのみ）
- 三角波の生成（中+容量および大容量デバイスのみ）
- 独立または同時変換用デュアル DAC チャネル（中+容量および大容量デバイスのみ）

DAC チャネルのブロック図を *図 39* に示します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 39. DAC チャネルのブロック図（中容量デバイス）

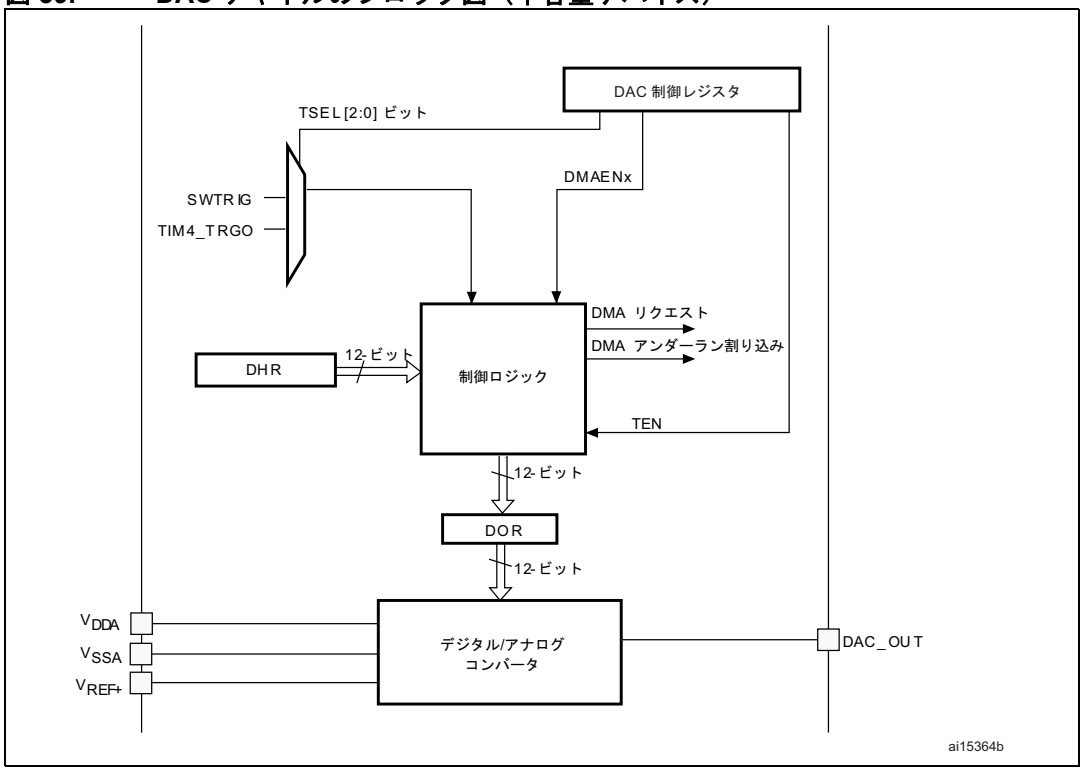
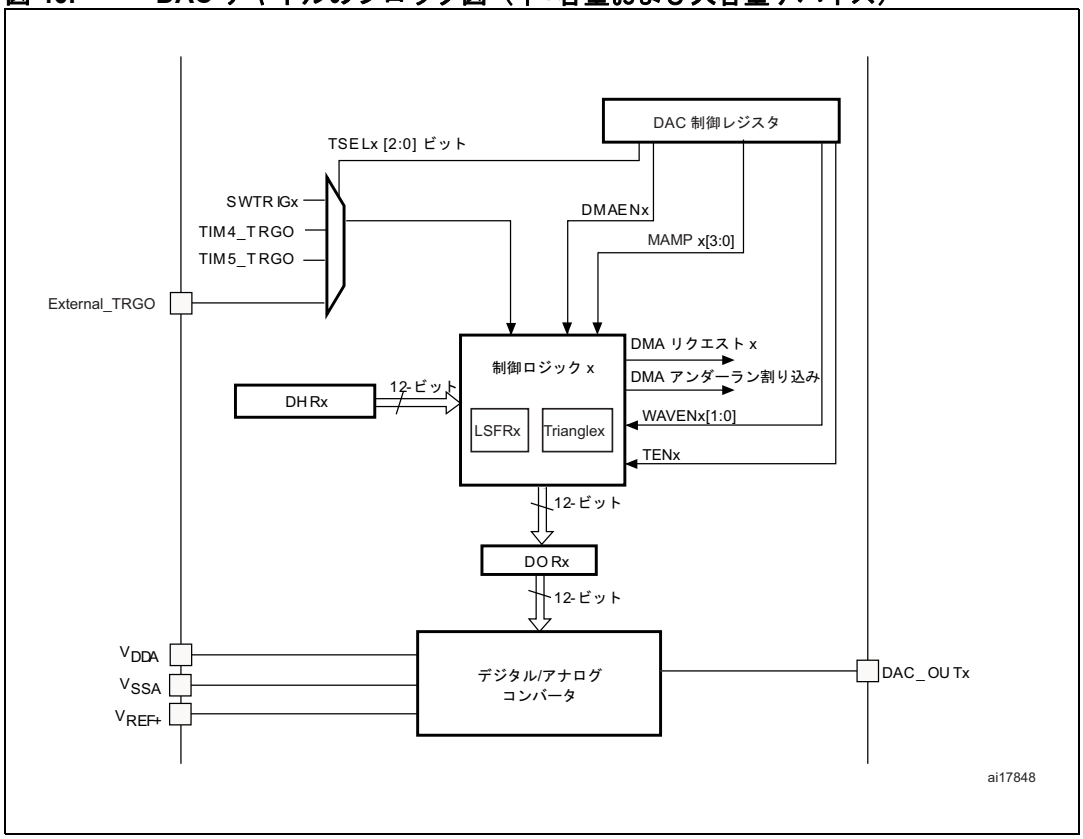


図 40. DAC チャネルのブロック図（中+容量および大容量デバイス）



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

15.3 DAC 機能詳細

15.3.1 DAC チャネル x イネーブル

デジタル/アナログ変換は、DAC_CHxCR1 レジスタの EN ビットをセットすることによって DAC チャネルが電源オンになっている場合のみ実行できます。DAC チャネルは、起動時間 t_{WAKEUP} 後に有効になります（製品データシートを参照）。

15.3.2 DAC 出力バッファイネーブル

DAC は、1 つの出力バッファ（中容量デバイス）または 2 つの出力バッファ（中+容量および大容量デバイス）を内蔵しています。これらを使用して、出力インピーダンスを減らし、外部オペアンプがなくても、外部負荷を直接駆動することができます。DAC_CHxCR1 レジスタの BOFF ビットを使用して有効または無効にできます。

15.3.3 DAC 出力スイッチの設定

次の表に、デバイスおよびパッケージに応じた DAC 出力スイッチの設定を示します。

*図 19：ルーティングインタフェース（RI）ブロック図*も参照してください。

表 47. DAC 出力スイッチの設定（中容量、中+容量、および大容量デバイス）

パッケージ	中+容量および大容量デバイスでの設定	中+容量および大容量デバイスでの設定
64 ピンおよび 80 ピンパッケージ	N/A	DAC_OUT1 は PF0 に接続されます。 DAC_OUT2 は PF1 に接続されます。
48 ピンパッケージ	DAC_OUT1 は PF0 に接続されます。	DAC_OUT1 は PF0 に接続されます。 DAC_OUT2 は、対応する RI スイッチを閉じることによって、PB4、PB5、または PB6 に接続できます（*図 19：ルーティングインタフェース（RI）ブロック図*を参照）。
28 ピンおよび 32 ピンパッケージ	DAC_OUT1 は、対応する RI スイッチを閉じることによって、 PB4、PB5、または PB6 に接続できます（*図 19：ルーティングインタフェース（RI）ブロック図*を参照）。	N/A

15.3.4 DAC データフォーマット

次のように、選択された設定モードに応じて、データは指定されたレジスタに書き込む必要があります。

- 8 ビット右詰め：DAC_DHR8 [7:0] ビットに変換されたデータ [11:4] がロードされます。
- 12 ビット左詰め：DAC_LDHRH [7:0] ビットに変換されたデータ [11:4] が、DAC_LDHRL [7:4] ビットに変換されたデータ [3:0] がロードされます。
- 12 ビット右詰め：DAC_RDHRH [3:0] ビットに変換されたデータ [11:8] が、DAC_RDHRL [7:0] ビットに変換されたデータ [7:0] がロードされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

15.3.5 DAC 変換シーケンス

変換を開始するために、DAC_xDHRx および DAC_DHR8 レジスタの内容が DAC_CHxDORH/L（データ出力）レジスタに移動されます。DAC_CHxCR1 レジスタの TEN ビットに応じて、この DAC_CHxDORH/L への転送は、次の 2 つの方法で行うことができます。

- TEN = 0。転送は、以下のときに行われます。
  - 単一モードでの 8 ビット変換データについて、DAC_DHR8 が書き込まれたとき。
  - 単一モードでの 12 ビット変換データについて、DAC_xDHRL の LSB が書き込まれたとき。
- TEN = 1。転送は、トリガが発生したときに実行されます。中容量デバイスでは 2 つのトリガ（TIM4_TRGO または SWTRIG）を、中+容量および大容量デバイスでは 3 つのトリガ（IM4_TRGO、TIM5_TRGO、または SWTRIG）を、DAC_CHxCR1 レジスタの TSEL ビットを通じて選択できます。*セクション 15.3.7：DAC トリガ選択*を参照してください。

15.3.6 DAC 出力電圧

デジタル入力は、0 から V_{REF+} までのリニア変換で出力電圧に変換されます。DAC OUTx ピンのアナログ出力電圧は、次の式によって求められます。

$$DAC_OUT\,x = V_{REF} \times \frac{DAC_CHxDORH/L}{4096}$$

15.3.7 DAC トリガ選択

DAC_CHxCR1 レジスタの TEN ビットがセットされている場合、以下のイベントによって変換をトリガできます。

- ソフトウェアトリガ（SWTRIG）
- 1 つの外部イベント（TIM4_TRGO：タイマ 4 カウンタチャネル出力）（中容量デバイスの場合）。
- 3 つの外部イベント（TIM4_TRGO、TIM5_TRGO、または外部ピン）（中+容量および大容量デバイスの場合）。

TSEL[2:0] ビットを使用して、2 つ または 4 つのソースから変換をトリガするソースを決めることができます（中容量デバイスでは SWTRIG または TIM4_TRGO、中 + 容量および大容量デバイスでは SWTRIG、TIM4_TRGO、TIM5_TRGO、または外部ピン）。

- ソフトウェアトリガ（SWTRIG）が選択された場合、変換は、DAC_SWTRIGR レジスタの SWTRIGx ビットがセットされると開始します。このビットは、DAC_DORx レジスタに DAC_xDHRx の値がロードされたときに、ハードウェアによってリセットされます。
- TIM4_TRGO、TIM5_TRGO、または外部トリガが選択された場合、データ転送は 2 段階の立ち上がりエッジシンクロナイザによって同期されます。

注： ***DAC_CHxCR1 レジスタの EN ビットがセットされているとき、TSEL[2:0] ビットは変更できません。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

次の表を参照してください。

表 48. 変換のトリガソース（中容量、中+容量、および大容量デバイス）

ソース	タイプ	TSEL[2:0]	中容量デバイス	中+容量および大容量デバイス
タイマ 4 TRGO イベント	オンチップタイマからの内部信号	000	X	X
タイマ 5 TRGO イベント		001		X
PA4 GPIO	外部ピン	010		x
NA（予約済み）		011		
		100		
		101		
		110		
SWTRIG	ソフトウェア制御ビット	111	X	X

15.3.8 DAC DMA リクエスト

各 DAC チャネルは、DMA 機能を備えています。DAC チャネルの DMA リクエストは、2 つの DMA チャネルを使用して処理されます。

DAC チャネル DMA リクエストは、TEN および DMAENx ビットがセットされているときに、外部トリガが発生すると生成されます。DAC チャネル DMA リクエストは、DAC チャネル DMA 確認応答が DMA コントローラから返されるまで、セット状態を維持します。DAC チャネル DMA リクエストは、DACx_DHRx レジスタが DAC_CHxDORH/L レジスタに転送されたことを示します。

DAC チャネル DMA リクエストはリクエストキューに保持されないので、DMA が最初の外部トリガに対する確認応答を受け取る前に第 2 の外部トリガが到着した場合、新しいリクエストは処理されず、エラーも報告されません。

15.3.9 DAC DMA アンダーラン割り込み

DAC DMA アンダーラン割り込みは、前の DMA リクエストがまだ保留中のときに次のトリガイベントが発生すると、DMA モードで生成されます。これは、たとえば、DAC トリガ周波数が DMA リクエスト処理プロセスより高い場合に発生します。

各 DAC チャネルについて、DAC_CHxCR2 レジスタの DMAUDRIE ビットを通じて、DMA アンダーラン割り込みを有効/無効にできます。この場合、DAC_SR レジスタの DMAUDR ビットによって通知されます。

15.3.10 ノイズ生成

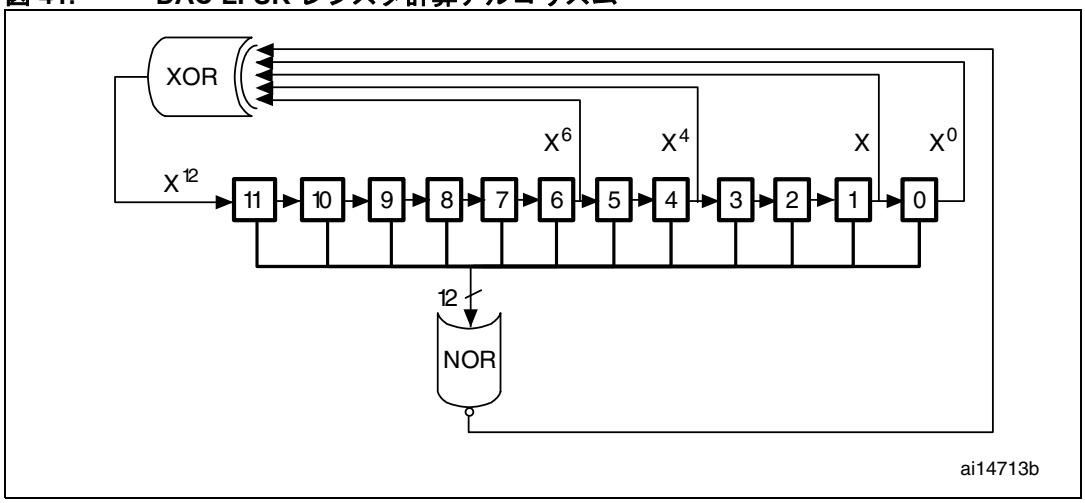
可変振幅の擬似ノイズを生成するために、線形フィードバックシフトレジスタ（LFSRx）を使用できます。DAC ノイズ生成は、DAC_CHxCR1/WAVEN ビットを “01” に、DAC_CHxCR1 レジスタの TENx ビットを 1 にセットすることによって有効になります。LFSR のプリロード値は 0xAAA であり、LFSRx 出力は変換ごとに更新されます。このレジスタは、各トリガイベントの 3 CPU クロックサイクル後に、特定の計算アルゴリズムに従って更新されます（*図 41 : DAC LFSR レジスタ計算アルゴリズム（215 ページ）*を参照）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

LFSRx が 0x000 の場合、"1" がインジェクトされます（アンチロックアップメカニズム）。

LFSRx の値は、DAC_CHxCR2 レジスタの DAC_CHxCR2/MAMP ビットによって部分的または全体的にマスクでき、オーバーフローなしに DAC_DHRx（選択されたデータフォーマットに応じて、DAC_CHxRDHRH/L、DAC_CHxLDHRH/L、または DAC_CHxDHR8 レジスタのいずれか）の内容に加算され、この値が DAC_CHxDORH/L レジスタに格納されます（下の図を参照）。

図 41. DAC LFSR レジスタ計算アルゴリズム



DAC_CHxCR1/WAVEN[1:0] ビットをリセットすることによって、LFSRx 波形生成をリセットできます。

注： ***ノイズ生成のためには、DAC_CHxCR1 レジスタの TENx ビットをセットすることによって DAC トリガを有効にする必要があります。***

15.3.11 三角波生成

DC またはゆっくり変化する信号では、小さな振幅の三角波を追加することが可能です。

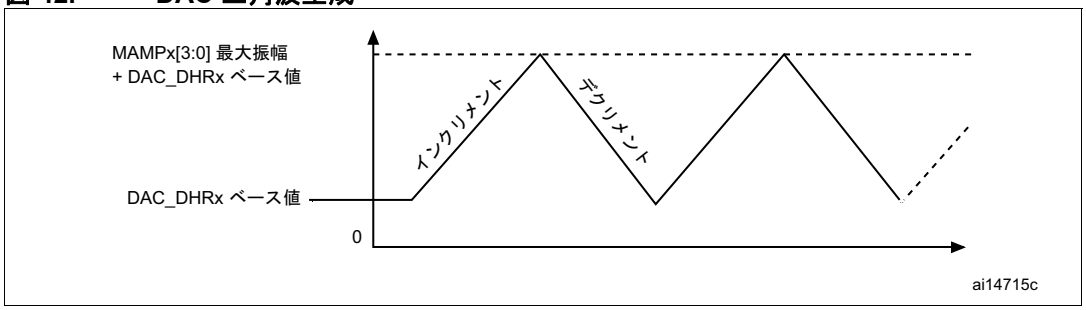
DAC 三角波生成は、DAC_CH2CR1/TSEL レジスタの DAC_CHxCR1/WAVEN[1:0] ビットを “10” に、DAC_CHxCR1/TEN ビットを 1 にセットすることによって選択されます。振幅は、DAC_CHxCR2 レジスタの DAC_CHxCR2/MAMP[3:0] ビットを使用して設定できます。12 ビットの内部三角波カウンタは、各トリガイベントの 3 CPU クロックサイクル後にインクリメントされます。このカウンタの値は、DAC_DHR x（選択されたデータフォーマットに応じて、DAC_CHxRDHRH/L、DAC_CHxLDHRH/L、または DAC_CHxDHR8 レジスタのいずれか）にオーバーフローなしに加算され、この合計が DAC_CHxDORH/L に格納されます。三角波カウンタは、DAC_CHxCR2/MAMP[3:0] ビットによって定義された最大振幅より小さい間はインクリメントされます（DAC_CHxCR2 レジスタを参照）。設定された振幅に達すると、カウンタは 0 までデクリメントされ、再びインクリメントが開始されます。これが WAVENx[1:0]=“10” かつ TENx=‘1’となるまで繰り返されます（*図 42.*）。

DAC_CHxCR1/WAVEN ビットをリセットすることによって、三角波生成をリセットすることができます。

注： ***DAC_CHxCR1/EN ビットがセットされているときには、DAC_CHxCR2/MAMP[3:0] ビットを変更することはできません。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 42. DAC 三角波生成



1. 三角波生成のためには、DAC_CHxCR1 レジスタの TENx ビットをセットすることによって DAC トリガを有効にする必要があります。
2. DAC を有効にする前に、DAC_CH1CR2/MAMP[3:0] ビットを設定する必要があります。有効にした後は、変更できません。

15.3.12 デュアル DAC 変換

同時に 2 つの DAC チャネルを必要とするアプリケーションで、バスバンド幅を有効に使用するために、3 つのデュアルレジスタが実装されています。両方の DAC チャネルを同時に駆動するには、特別なレジスタアクセスが必要です。

2 つの DAC チャネルと これらのデュアルレジスタを使用することで、9 通りの変換モードが使用可能です。すべての変換モードは、必要な場合には、個別の DHRx レジスタを使用して取得することもできます。

すべてのモード（独立モードと同時モード）について、以下の節で説明します。

波形生成なしの独立トリガ

DAC をこの変換モードに設定するには、次の手順が必要です。

- DAC_CH1CR1/TEN と DAC_CH2CR1/TEN の 2 つの DAC チャネルトリガイネーブルビットをセットします。
- DAC_CH1CR1/TSEL[2:0] と DAC_CH2CR1/TSEL[2:0] ビットに異なる値をセットすることによって、異なるトリガソースを設定します。
- デュアル DAC チャネルデータを望ましい DAC_DHRx レジスタ（選択されたデータフォーマットに応じて、DAC_CHxRDHRH/L、DAC_CHxLDHRH/L、または DAC_CHxDHR8 レジスタのいずれか）にロードします。

DAC チャネル 1 トリガが入るると、DAC_DHR1 レジスタ（選択されたデータフォーマットに応じて、DAC_CH1RDHRH/L、DAC_CH1LDHRH/L、または DAC_CH1DHR8 レジスタのいずれか）が DAC_CH1DORH/L に転送されます（3 CPU クロックサイクル後に）。

DAC チャネル 2 トリガが入ると、DAC_DHR2 レジスタ（選択されたデータフォーマットに応じて、DAC_CH2RDHRH/L、DAC_CH2LDHRH/L、または DAC_CH2DHR8 レジスタのいずれか）が DAC_CH2DORH/L に転送されます（3 CPU クロックサイクル後に）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

同じ LFSR 生成による独立トリガ

- DAC_CH1CR1/TEN と DAC_CH2CR1/TEN の 2 つの DAC チャネルトリガイネーブルビットをセットします。
- DAC_CH1CR1/TSEL[2:0] と DAC_CH2CR1/TSEL[2:0] ビットに異なる値をセットすることによって、異なるトリガソースを設定します。
- 2 つの DAC チャネル WAVENx[1:0] ビットを "01" に設定し、同じ LFSR マスク値を MAMPx[3:0] ビットに設定します。
- デュアル DAC チャネルデータを望ましい DAC_DHRx レジスタ（選択されたデータフォーマットに応じて、DAC_CHxRDHRH/L、DAC_CHxLDHRH/L、または DAC_CHxDHR8 レジスタのいずれか）にロードします。

DAC チャネル 1 トリガが入ると、同じマスク/振幅を持つ LSFR1 カウンタが DAC_DHR1 レジスタ（選択されたデータフォーマットに応じて、DAC_CH1RDHRH/L、DAC_CH1LDHRH/L、または DAC_CH1DHR8 レジスタのいずれか）に加算され、その合計が DAC_DOR1 に転送されます。その後、LFSR1 カウンタが更新されます。

DAC チャネル 2 トリガが入ると、LSFR2 カウンタが同じマスクで DAC_DHR2 レジスタ（選択されたデータフォーマットに応じて、DAC_CH2RDHRH/L、DAC_CH2LDHRH/L、または DAC_CH2DHR8 レジスタのいずれか）に加算され、その合計が DAC_DOR2 に転送されます。その後、LFSR2 カウンタが更新されます。

異なる LFSR 生成による独立トリガ

DAC をこの変換モードに設定するには、次の手順が必要です。

- DAC_CH1CR1/TEN と DAC_CH2CR1/TEN の 2 つの DAC チャネルトリガイネーブルビットをセットします。
- DAC_CH1CR1/TSEL[2:0] と DAC_CH2CR1/TSEL[2:0] ビットに異なる値をセットすることによって、異なるトリガソースを設定します。
- 2 つの DAC チャネル WAVEx[1:0] ビットを "01" に設定し、DAC_CH1CR2/MAMP[3:0] ビットと DAC_CH2CR2/MAMP[3:0] ビットで異なる LFSR マスク値をセットします。
- 目的の DHR レジスタにデュアル DAC チャネルデータをロードします。

DAC チャネル 1 トリガが入ると、LFSR1 カウンタが DAC_CH1CR2/MAMP[3:0] によって設定されたマスクで DHR1 レジスタに加算され、その合計が DAC_DOR1 に転送されます（3 CPU クロックサイクル後に）。その後、LFSR1 カウンタが更新されます。

DAC チャネル 2 トリガが入ると、LFSR2 カウンタが DAC_CH2CR2/MAMP[3:0] によって設定されたマスクで DHR2 レジスタに加算され、その合計が DAC_DOR2 に転送されます（3 CPU クロックサイクル後に）。その後、LFSR2 カウンタが更新されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

異なる三角波生成による独立トリガ

DAC をこの変換モードに設定するには、次の手順が必要です。

- DAC_CH1CR1/TEN と DAC_CH2CR1/TEN の 2 つの DAC チャネルトリガイネーブルビットをセットします。
- DAC_CH1CR1/TSEL[2:0] と DAC_CH2CR1/TSEL[2:0] ビットに異なる値をセットすることによって、異なるトリガソースを設定します。
- 2 つの DAC チャネルの WAVEx[1:0] ビットを "1x" に設定し、DAC_CH1CR2/MAMP[3:0] と DAC_CH2CR2/MAMP[3:0] ビットで異なる最大振幅値をセットします。
- 目的の DHR レジスタにデュアル DAC チャネルデータをロードします。

DAC チャネル 1 トリガが入ると、DAC_CH1CR2/MAMP[3:0] によって設定された三角波振幅を持つ 12 ビットの DAC チャネル 1 三角波カウンタが DHR1 レジスタに加算され、その合計が DAC_DOR1 に転送されます（3 CPU クロックサイクル後に）。その後、12 ビット DAC チャネル 1 三角波カウンタが更新されます。

DAC チャネル 2 トリガが入ると、DAC_CH2CR2/MAMP[3:0] によって設定された三角波振幅を持つ DAC チャネル 2 三角波カウンタが DHR2 レジスタに加算され、その合計が DAC_DOR2 に転送されます（3 CPU クロックサイクル後に）。その後、DAC チャネル 2 三角波カウンタが更新されます。

波形生成なしの同時トリガ

DAC をこの変換モードに設定するには、次の手順が必要です。

- DAC_CH1CR1/TEN と DAC_CH2CR1/TEN の 2 つの DAC チャネルトリガイネーブルビットをセットします。
- DAC_CH1CR1/TSEL[2:0] および DAC_CH2CR1/TSEL[2:0] ビットに同じ値をセットすることによって、両方の DAC チャネルに同じトリガソースを設定します。
- 目的の DHR レジスタにデュアル DAC チャネルデータをロードします。

トリガが入ると、DHR1 および DHR2 レジスタが DAC_DOR1 と DAC_DOR2 にそれぞれ転送されます（3 CPU クロックサイクル後に）。

同じ LFSR 生成による同時トリガ

DAC をこの変換モードに設定するには、次の手順が必要です。

- DAC_CH1CR1/TEN と DAC_CH2CR1/TEN の 2 つの DAC チャネルトリガイネーブルビットをセットします。
- DAC_CH1CR1/TSEL[2:0] および DAC_CH2CR1/TSEL[2:0] ビットに同じ値をセットすることによって、両方の DAC チャネルに同じトリガソースを設定します。
- 2 つの DAC チャネル WAVENx[1:0] ビットを "01" に設定し、同じ LFSR マスク値を DAC_CH1CR2/MAMP[3:0] ビットに設定します。
- 目的の DHR レジスタにデュアル DAC チャネルデータをロードします。

トリガが入ると、LFSR1 カウンタが DAC_CH1CR2/MAMP[3:0] によって設定されたマスクで DHR1 レジスタに加算され、その合計が DAC_DOR1 に転送されます（3 APB1 クロックサイクル後に）。その後、LFSR1 カウンタが更新されます。

同時に、LFSR2 カウンタが DAC_CH2CR2/MAMP[3:0] によって設定されたマスクで DHR2 レジスタに加算され、その合計が DAC_DOR2 に転送されます（3 CPU クロックサイクル後に）。その後、LFSR2 カウンタが更新されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

異なる LFSR 生成による同時トリガ

DAC をこの変換モードに設定するには、次の手順が必要です。

- DAC_CH1CR1/TEN と DAC_CH2CR1/TEN の 2 つの DAC チャネルトリガイネーブルビットをセットします。
- DAC_CH1CR1/TSEL[2:0] および DAC_CH2CR1/TSEL[2:0] ビットに同じ値をセットすることによって、両方の DAC チャネルに同じトリガソースを設定します。
- 2 つの DAC チャネル WAVENx[1:0] ビットを "01" に設定し、DAC_CH1CR2/MAMP[3:0] ビットと DAC_CH2CR2/MAMP[3:0] ビットを使用して異なる LFSR マスク値をセットします。
- 目的の DHR レジスタにデュアル DAC チャネルデータをロードします。

トリガが入ると、LFSR1 カウンタが DAC_CH1CR2/MAMP[3:0] によって設定されたマスクで DHR1 レジスタに加算され、その合計が DAC_DOR1 に転送されます（3 CPU クロックサイクル後に）。その後、LFSR1 カウンタが更新されます。
同時に、LFSR2 カウンタが DAC_CH2CR2/MAMP[3:0] によって設定されたマスクで DHR2 レジスタに加算され、その合計が DAC_DOR2 に転送されます（3 CPU クロックサイクル後に）。その後、LFSR2 カウンタが更新されます。

異なる三角波生成による同時トリガ

DAC をこの変換モードに設定するには、次の手順が必要です。

- DAC_CH1CR1/TEN と DAC_CH2CR1/TEN の 2 つの DAC チャネルトリガイネーブルビットをセットします。
- DAC_CH1CR1/TSEL[2:0] および DAC_CH2CR1/TSEL[2:0] ビットに同じ値をセットすることによって、両方の DAC チャネルに同じトリガソースを設定します。
- 2 つの DAC チャネルの WAVEx[1:0] ビットを "1x" に設定し、DAC_CH1CR2/MAMP[3:0] と DAC_CH2CR2/MAMP[3:0] ビットで異なる最大振幅値をセットします。
- 目的の DHR レジスタにデュアル DAC チャネルデータをロードします。

トリガが到着すると、DAC_CH1CR2/MAMP[3:0] によって設定された三角波振幅を持つ DAC チャネル 1 三角波カウンタが DHR1 レジスタに加算され、その合計が DAC_DOR1 に転送されます（3 CPU クロックサイクル後に）。その後、DAC チャネル 1 三角波カウンタが更新されます。
同時に、DAC_CH2CR2/MAMP[3:0] によって設定された三角波振幅を持つ DAC チャネル 2 三角波カウンタが DHR2 レジスタに加算され、その合計が DAC_DOR2 に転送されます（3 CPU クロックサイクル後に）。その後、DAC チャネル 2 三角波カウンタが更新されます。

同時ソフトウェア開始

DAC をこの変換モードに設定するには、次の手順が必要です。

- 目的の DHR レジスタ（DAC_DHR12RD、DAC_DHR12LD、または DAC_DHR8RD）に、デュアル DAC チャネルデータをロードします。

この設定では、1 CPU クロックサイクル後に、DHR1 および DHR2 レジスタが DAC_DOR1 と DAC_DOR2 にそれぞれ転送されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

15.4 DAC レジスタ

15.4.1 DAC チャネル x 制御レジスタ 1（DAC_CHxCR1）

アドレスオフセット：0x00（チャネル 1）または 0x02（チャネル 2、大容量デバイスでのみ使用可能）

リセット値：0x00

7	6	5	4	3	2	1	0
WAVEN[1:0] (1)		TSEL[2:0]			TEN	BOFF	EN
-	-	-	rw	rw	rw	rw	rw
-	-	-	rw	rw	rw	rw	rw

ビット 7:6 (1) **WAVEN[1:0]**：DAC チャネル x ノイズ/三角波生成イネーブル
これらのビットは TEN1=1 の場合のみ使用されます。
00：波形生成は無効です。
01：ノイズ生成が有効です。
1x：三角波生成が有効です。

ビット 5:3 **TSEL[2:0]**：DAC チャネル x トリガ選択
これらのビットは、TEN=1 の場合のみ使用されます。
000：TIM4_TRGO（タイマ 0 カウンタチャネル出力）が選択されました。
001：予約済み
010：予約済み
001 (1)：TIM5_TRGO が選択されました。
010 (1)：外部トリガ（PE4）
011：予約済み
100：予約済み
101：予約済み
110：予約済み
111：SWTRIG（ソフトウェアトリガ）が選択されました。

ビット 2 **TEN**：DAC チャネルトリガイネーブル
0：データ保持レジスタ（DHR）に書き込まれたデータは、1 CPU クロックサイクル後にデータ出力レジスタ（DORx）に転送されます。
1：DHRx から DORx へのデータ転送は、選択されれたトリガによって同期されます。

ビット 1 **BOFF**：DAC チャネル出力バッファディセーブル
0：DAC チャネル出力バッファは有効です。
1：DAC チャネル出力バッファは無効です。

ビット 0 **EN**：DAC チャネルイネーブル
0：DAC チャネルは無効です。
1：DAC チャネルは有効です。

1. 中容量デバイスでは予約済み

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

15.4.2 DAC チャネル x 制御レジスタ 2（DAC_CHxCR2）

アドレスオフセット：0x01（チャネル 1）または 0x03（チャネル 2、中+容量および大容量デバイスでのみ使用可能）

リセット値：0x00

7	6	5	4	3	2	1	0
予約済み		DMAUDRIE	DMAEN	MAMP[3:0](1)			
-	-	rw	rw	-	-	-	-

1. 中容量デバイスでは予約済み

ビット 7:6 予約済み、ハードウェアによって 0 に固定されています。

ビット 5 **DMAUDRIE**：DAC チャネル DMA アンダーラン割り込みイネーブル

0：DMA アンダーラン割り込みは無効です。

1：DMA アンダーラン割り込みは有効です。

ビット 4 **DMAEN**：DAC DMA イネーブル

0：DMA は無効です。

1：DMA は有効です。

ビット 3:0(1) **MAMP[3:0]**：DAC チャネル x マスク/振幅セレクタ

0000：LFSR ビットのアンマスクビット（0）/ 2^1-1 三角波振幅
0001：LFSR ビットのアンマスクビット（1:0）/ 2^2-1 三角波振幅
0010：LFSR ビットのアンマスクビット（2:0）/ 2^3-1 三角波振幅
0011：LFSR ビットのアンマスクビット（3:0）/ 2^4-1 三角波振幅
0100：LFSR ビットのアンマスクビット（4:0）/ 2^5-1 三角波振幅
0101：LFSR ビットのアンマスクビット（5:0）/ 2^6-1 三角波振幅
0110：LFSR ビットのアンマスクビット（6:0）/ 2^7-1 三角波振幅
0111：LFSR ビットのアンマスクビット（7:0）/ 2^8-1 三角波振幅
1000：LFSR ビットのアンマスクビット（8:0）/ 2^9-1 三角波振幅
1001：LFSR ビットのアンマスクビット（9:0）/ 2^10-1 三角波振幅
1010：LFSR ビットのアンマスクビット（10:0）/ 2^11-1 三角波振幅
1x1x：LFSR ビットのアンマスクビット（11:0）/ 2^12-1 三角波振幅

1. 中容量デバイスでは予約済み。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

15.4.3 DAC ソフトウェアトリガレジスタ（DAC_SWTRIGR）

アドレスオフセット：0x04

リセット値：0x00

7	6	5	4	3	2	1	0
予約済み						SWTRIG2[1]	SWTRIG1
-	-	-	-	-	-	rs	rs

1. 中容量デバイスでは予約済み。

ビット 7:2 予約済み、ハードウェアによって 0 に固定されています。

ビット 1[1] **SWTRIG2**：DAC チャネル 2 ソフトウェアトリガ。

このビットは、ソフトウェアトリガを有効/無効にするために、ソフトウェアによってセット/クリアされます。

0：ソフトウェアトリガは無効です。

1：ソフトウェアトリガは有効です。

このビットは、デュアル DAC が実装されている（dual=1）場合にのみ存在し、そうでない場合はハードウェアによって 0 に固定されています。

ビット 0 **SWTRIG1**：DAC チャネル 1 ソフトウェアトリガ。

このビットは、ソフトウェアトリガを有効/無効にするために、ソフトウェアによってセット/クリアされます。

0：ソフトウェアトリガは無効です。

1：ソフトウェアトリガは有効です。

注： このビットは、DAC_DHRx レジスタの値が DAC_DORx レジスタにロードされると、ハードウェアによってリセットされます。

1. 中容量デバイスでは予約済み。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

15.4.4 DAC ステータスレジスタ（DAC_SR）

アドレスオフセット：0x05

リセット値：0x00

7	6	5	4	3	2	1	0
予約済み						DMAUDR2[1]	DMAUDR1
-	-	-	-	-	-	-	rc_w0

1. 中容量デバイスでは予約済み。

ビット 7:2 予約済み、ハードウェアによって 0 に固定されています。

ビット 1[1] **DMAUDR2**：DAC チャネル DMA アンダーランフラグ。

0：DMA アンダーラン条件は検出されていません。

1：DMA アンダーラン条件が検出されました。

このビットは、デュアル DAC が実装されている場合のみ存在します。そうでない場合は、ハードウェアによって 0 に固定されています。

注：　このビットは DMA アンダーラン割り込みを生成します。

ビット 0 **DMAUDR1**：DAC チャネル DMA アンダーランフラグ。

0：DMA アンダーラン条件は検出されていません。

1：DMA アンダーラン条件が検出されました。

注：　このビットは DMA アンダーラン割り込みを生成します。

1. 中容量デバイスでは予約済み。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

15.4.5 DAC チャネル x 右詰めデータ保持レジスタハイ（DAC_RDHRH）

アドレスオフセット：0x08 （チャネル 1）または 0x14 （チャネル 2 は中+容量および大容量デバイス上のみで利用可能）。

リセット値：0x00

7	6	5	4	3	2	1	0
予約済み				RDHRH[3:0]			
-	-	-	-	rw	rw	rw	rw

ビット 7:4 予約済み、ハードウェアによって 0 に固定されています。

ビット 3:0 **RDHRH[3:0]**：DAC 右詰めデータ保持レジスタ最上位ビット。

これらのビットは、DHR に格納された 12 ビットのデジタル/アナログ変換データの最上位 4 ビットとしてロードされます。

15.4.6 DAC チャネル x 右詰めデータ保持レジスタローー（DAC_CHxRDHRL）

アドレスオフセット：0x09（チャネル 1）または 0x15（チャネル 2、中+容量および大容量デバイスでのみ使用可能）

リセット値：0x00

7	6	5	4	3	2	1	0
RDHRL[7:0]							
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:0 **RDHRL[7:0]**：DAC 右詰めデータ保持レジスタ最下位ビット。

これらのビットは、DHR に格納された 12 ビットのデジタル/アナログ変換データの最下位 8 ビットとしてロードされます。

注： ***TEN がセットされていない場合、このレジスタに書き込むと、RDHRH + RDHRL による DHRx レジスタの 12 ビット並列ロードがトリガされます。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

15.4.7 DAC チャネル x 左詰めデータ保持レジスタハイ（DAC_CHxLDHRH）

アドレスオフセット：0x0C（チャネル 1）または 0x18（チャネル 2、中+容量および大容量デバイスでのみ使用可能）

リセット値：0x00

7	6	5	4	3	2	1	0
LDHRH							
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:0 **LDHRH[7:0]**：DAC 左詰めデータ保持レジスタ最上位ビット。

これらのビットは、DHR に格納された 12 ビットのデジタル/アナログ変換データの最上位 8 ビットとしてロードされます。

15.4.8 DAC チャネル x 左詰めデータ保持レジスタローー（DAC_CHxLDHRL）

アドレスオフセット：0x0D（チャネル 1）または 0x19（チャネル 2、中+容量および大容量デバイスでのみ使用可能）

リセット値：0x00

7	6	5	4	3	2	1	0
LDHRL[7:4]				予約済み			
rw	rw	rw	rw	-	-	-	-

ビット 7:4 **LDHRL[7:4]**：DAC チャネル x 左詰めデータ保持レジスタ最下位ビット。

これらのビットは、DHR に格納された 12 ビットのデジタル/アナログ変換データの最下位 4 ビットとしてロードされます。

注： TENx がセットされていない場合、このレジスタに書き込むと、LDHRH + LDHRL による DHRx レジスタの 12 ビット並列ロードがトリガされます。

ビット 3:0 予約済み、ハードウェアによって 0 に固定されています。

15.4.9 DAC チャネル x 8 ビットデータ保持レジスタ（DAC_CHxDHR8）

アドレスオフセット：0x10（チャネル 1）または 0x1C（チャネル 2、中+容量および大容量デバイスでのみ使用可能）

リセット値：0x00

7	6	5	4	3	2	1	0
8DHR							
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:0 **8DHR[7:0]**：DAC 8 ビットデータ保持レジスタ。

これらのビットは、DHR に格納された 12 ビットのデジタル/アナログ変換データの最上位 8 ビットとしてロードされます。

注： TEN がセットされていない場合、このレジスタに書き込むと、DHR8[11:4] による DHR レジスタの 8 ビットロードがトリガされます。DHR バッファの最下位 4 ビットは変更されません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

15.4.10 DAC チャネル x デュアルモード右詰めデータ保持レジスタハイ（DAC_DCHxRDHRH）

アドレスオフセット：0x20（チャネル 1）または 0x22（チャネル 2）

リセット値：0x0000 000

注： このレジスタは、中+容量および大容量デバイスでのみ使用可能です。

7	6	5	4	3	2	1	0
予約済み				RDHRH[3:0]			
-	-	-	-	rw	rw	rw	rw

ビット 7:4 予約済み、ハードウェアによって 0 に固定されています。

ビット 3:0 **RDHRH[3:0]**：DAC チャネル x デュアルモード右詰めデータ保持レジスタ最上位ビット。
これらのビットは、DHR に格納された 12 ビットのデジタル/アナログ変換データの最上位 4 ビットとしてロードされます。

15.4.11 DAC チャネル x デュアルモード右詰めデータ保持レジスタロー（DAC_DCHxRDHRL）

アドレスオフセット：0x21（チャネル 1）または 0x23（チャネル 2）

リセット値：0x0000 0000

注： このレジスタは、中+容量および大容量デバイスでのみ使用可能です。

7	6	5	4	3	2	1	0
RDHRL[7:0]							
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:0 **RDHRL[7:0]**：DAC チャネル x 右詰めデータ保持レジスタ最下位ビット。
これらのビットは、DHR に格納された 12 ビットのデジタル/アナログ変換データの最下位 8 ビットとしてロードされます。

注： TEN がセットされていない場合、DAC_DCH2RDHRL レジスタに書き込むと、DAC_DCHxRDHRH + DAC_DCHxRDHRL による両方の DHRx レジスタの 12 ビット並列ロードがトリガされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

15.4.12 DAC チャネル x デュアルモード左詰めデータ保持レジスタハイ（DAC_DCHxLDHRH）

アドレスオフセット：0x24（チャネル 1）、0x26（チャネル 2）

リセット値：0x0000 0000

注： ***このレジスタは、中+容量および大容量デバイスでのみ使用可能です。***

7	6	5	4	3	2	1	0
LDHRH							
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:0 **LDHRH[7:0]**：DAC チャネル x デュアルモード左詰めデータ保持レジスタ最上位ビット。
これらのビットは、DHR に格納された 12 ビットのデジタル/アナログ変換データの最上位 8 ビットとしてロードされます。

15.4.13 DAC チャネル x 左詰めデータ保持レジスタ ロー（DAC_DCHxLDHRL）

アドレスオフセット：0x25（チャネル 1）、0x27（チャネル 2）

リセット値：0x0000 0000

注： ***このレジスタは、中+容量および大容量デバイスでのみ使用可能です。***

7	6	5	4	3	2	1	0
LDHRL[7:4]				予約済み			
rw	rw	rw	rw	-	-	-	-

ビット 7:4 LDHRL[7:4]：DAC チャネル x データ保持レジスタ左詰めデータ最下位ビット。
これらのビットは、DHR に格納された 12 ビットのデジタル/アナログ変換データの最下位 4 ビットとしてロードされます。

注： ***TEN がセットされていない場合、DAC_DCH2LDHRL レジスタに書き込むと、DAC_DCHxLDHRH + DAC_DCHxLDHRL による両方の DHRx レジスタの 12 ビット並列ロードがトリガされます。***

ビット 3:0 予約済み、ハードウェアによって 0 に固定されています。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

15.4.14 DAC チャネル x デュアルモード 8 ビットデータ保持レジスタ（DAC_DCHxDHR8）

アドレスオフセット：0x28（チャネル 1）または 0x29（チャネル 2）

リセット値：0x0000 0000

注： ***このレジスタは、中+容量および大容量デバイスでのみ使用可能です。***

7	6	5	4	3	2	1	0
8DHR							
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:0 8DHR[7:0]：DAC チャネル x デュアルモード 8 ビットデータ保持レジスタ。
これらのビットは、DHR に格納された 12 ビットのデジタル/アナログ変換データの最上位 8 ビットとしてロードされます。

注： ***TEN がセットされていない場合、DAC_DCH2DHR8 レジスタに書き込むと、DAC_DCHxDHR8 による両方の DHRx[11:4] レジスタの 8 ビットロードがトリガされます。DHRx バッファの最下位 4 ビットは変更されません。***

15.4.15 DAC チャネル x データ出力レジスタハイ（DAC_CHxDORH）

アドレスオフセット：0x2C（チャネル 1）または 0x30（チャネル 2、中+容量および大容量デバイスでのみ使用可能）

リセット値：0x00

7	6	5	4	3	2	1	0
予約済み				DORH[3:0]			
-	-	-	-	r	r	r	r

ビット 7:4 予約済み、ハードウェアによって 0 に固定されています。

ビット 3:0 **DORH[3:0]**：DAC データ出力レジスタ最上位ビット。
現在変換中のデジタルデータの最上位 4 ビット。

15.4.16 DAC チャネル x データ出力レジスタロー （DAC_CHxDORL）

アドレスオフセット：0x2D（チャネル 1）または 0x31（チャネル 2、中+容量および大容量デバイスでのみ使用可能）

リセット値：0x00

7	6	5	4	3	2	1	0
DORL							
r	r	r	r	r	r	r	r

ビット 7:0 **DORL[7:0]**：DAC データ出力レジスタ最下位ビット。
現在変換中のデジタルデータの最下位 8 ビット。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

15.4.17 DAC レジスタマップとリセット値

表 50. DAC レジスタマップ（中容量、中+容量、および大容量デバイス）

アドレスオフセット	レジスタ名称	7	6	5	4	3	2	1	0
0x00	DAC_CH1CR1 リセット値	WAVEN[2:0][(1)] 0		TSEL[2:0] 0			TEN 0	BOFF 0	EN 0
0x01	DAC_CH1CR2 リセット値	-	-	DMAUDRIE 0	DMAEN 0	MAMP[3:0] 0			
0x02	DAC_CH2CR1 リセット値	WAVEN[2:0] 0		TSEL[2:0] 0			TEN 0	BOFF 0	EN 0
0x03	DAC_CH2CR2 リセット値	-	-	DMAUDRIE 0	DMAEN 0	MAMP[3:0][(1)] 0			
0x04	DAC_SWTRIGR リセット値	-	-	-	-	-	-	SWTRIG2[(1)]	SWTRIG1
0x05	DAC_SR リセット値	-	-	-	-	-	-	DMAUDR2[(1)] 0	DMAUDR1 0
0x06～0x07	予約済み領域								
0x08	DAC_CH1RDHRH リセット値	-	-	-	-	RDHRH3 0	RDHRH2 0	RDHRH1 0	RDHRH0 0
0x09	DAC_CH1RDHRL リセット値	RDHRL7 0	RDHRL6 0	RDHRL5 0	RDHRL4 0	RDHRL3 0	RDHRL2 0	RDHRL1 0	RDHRL0 0
0x0A～0x0B	予約済み領域								
0x0C	DAC_CH1LDHRH リセット値	LDHRH7 0	LDHRH6 0	LDHRH5 0	LDHRH4 0	LDHRH3 0	LDHRH2 0	LDHRH1 0	LDHRH0 0
0x0D	DAC_CH1LDHRL リセット値	LDHRL7 0	LDHRL6 0	LDHRL5 0	LDHRL4 0	-	-	-	-
0x0E～0x0F	予約済み領域								
0x10	DAC_CH1DHR8 リセット値	8DHR7 0	8DHR6 0	8DHR5 0	8DHR4 0	8DHR3 0	8DHR2 0	8DHR1 0	8DHR0 0
0x11～0x13	予約済み領域								
0x14	DAC_CH2RDHRH リセット値	-	-	-	-	RDHRH3 0	RDHRH2 0	RDHRH1 0	RDHRH0 0
0x15	DAC_CH2RDHRL リセット値	RDHRL7 0	RDHRL6 0	RDHRL5 0	RDHRL4 0	RDHRL3 0	RDHRL2 0	RDHRL1 0	RDHRL0 0
0x16～0x17	予約済み領域								

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 50. DAC レジスタマップ（中容量、中+容量、および大容量デバイス）（続き）

アドレスオフセット	レジスタ名称	7	6	5	4	3	2	1	0
0x18	DAC_CH2LDHRH リセット値	LDHRH7 0	LDHRH6 0	LDHRH5 0	LDHRH4 0	LDHRH3 0	LDHRH2 0	LDHRH1 0	LDHRH0 0
0x19	DAC_CH2LDHRL リセット値	LDHRL7 0	LDHRL6 0	LDHRL5 0	LDHRL4 0	-	-	-	-
0x1A ～0x1B	予約済み領域								
0x1C	DAC_CH2DHR8 リセット値	8DHR7 0	8DHR6 0	8DHR5 0	8DHR4 0	8DHR3 0	8DHR2 0	8DHR1 0	8DHR0 0
0x1D ～ 0x1F	予約済み領域								
0x20	DAC_DCH1RDHRH リセット値	-	-	-	-	RDHRH3 0	RDHRH2 0	RDHRH1 0	RDHRH0 0
0x21	DAC_DCH1RDHRL リセット値	RDHRL7 0	RDHRL6 0	RDHRL5 0	RDHRL4 0	RDHRL3 0	RDHRL2 0	RDHRL1 0	RDHRL0 0
0x22	DAC_DCH2RDHRH リセット値	-	-	-	-	RDHRH3 0	RDHRH2 0	RDHRH1 0	RDHRH0 0
0x23	DAC_DCH2RDHRL リセット値	RDHRL7 0	RDHRL6 0	RDHRL5 0	RDHRL4 0	RDHRL3 0	RDHRL2 0	RDHRL1 0	RDHRL0 0
0x24	DAC_DCH1LDHRH リセット値	LDHRH7 0	LDHRH6 0	LDHRH5 0	LDHRH4 0	LDHRH3 0	LDHRH2 0	LDHRH1 0	LDHRH0 0
0x25	DAC_DCH1LDHRL リセット値	LDHRL7 0	LDHRL6 0	LDHRL5 0	LDHRL4 0	-	-	-	-
0x26	DAC_DCH2LDHRH リセット値	LDHRH7 0	LDHRH6 0	LDHRH5 0	LDHRH4 0	LDHRH3 0	LDHRH2 0	LDHRH1 0	LDHRH0 0
0x27	DAC_DCH2LDHRL リセット値	LDHRL7 0	LDHRL6 0	LDHRL5 0	LDHRL4 0	-	-	-	-
0x28	DAC_DCH1DHR8 リセット値	8DHR7 0	8DHR6 0	8DHR5 0	8DHR4 0	8DHR3 0	8DHR2 0	8DHR1 0	8DHR0 0
0x29	DAC_DCH2DHR8 リセット値	8DHR7 0	8DHR6 0	8DHR5 0	8DHR4 0	8DHR3 0	8DHR2 0	8DHR1 0	8DHR0 0
0x2A～ 0x2B	予約済み領域								
0x2C	DAC_CH1DORH リセット値	-	-	-	-	DORH3 0	DORH2 0	DORH1 0	DORH0 0

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 50. DAC レジスタマップ（中容量、中+容量、および大容量デバイス）（続き）

アドレスオフセット	レジスタ名称	7	6	5	4	3	2	1	0
0x2D	DAC_CH1DORL リセット値	DORL7 0	DORL6 0	DORL5 0	DORL4 0	DORL3 0	DORL2 0	DORL1 0	DORL0 0
0x2E ～0x2F	予約済み領域								
0x30	DAC_CH2DORH リセット値	-	-	-	-	DORH3 0	DORH2 0	DORH1 0	DORH0 0
0x31	DAC_CH2DORL リセット値	DORL7 0	DORL6 0	DORL5 0	DORL4 0	DORL3 0	DORL2 0	DORL1 0	DORL0 0
0x32 ～ 0x35	予約済み領域								

1. 中容量デバイスでは予約済み。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

16 コンパレータ（COMP）

このセクションの説明は、特に指定がない限り、中容量 STM8L15x デバイス、中+容量 STM8L15x デバイス、および大容量 STM8L15x/STM8L16x デバイスに適用されます。

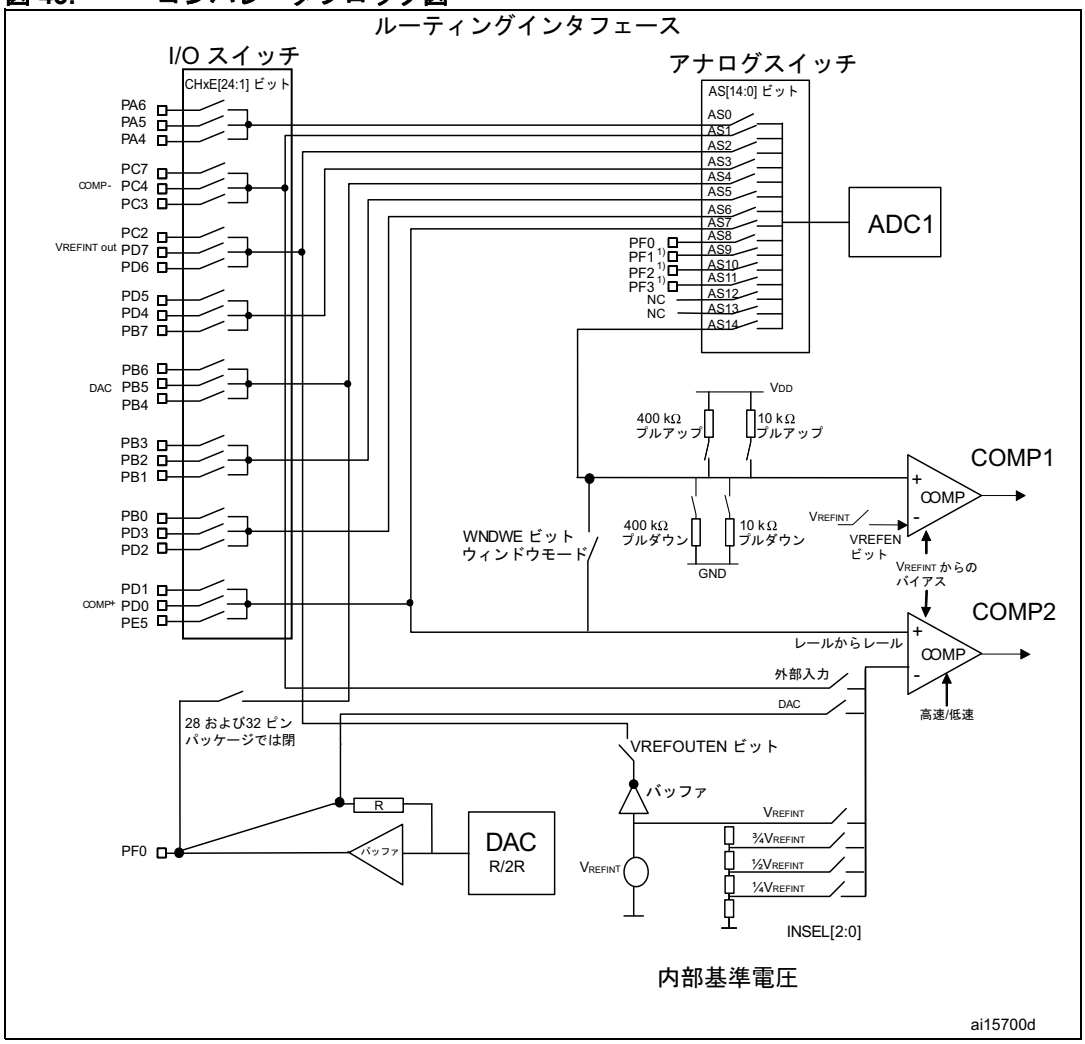
16.1 COMP の概要

STM8L15x は、同じ電流バイアスを共有する 2 つのゼロクロスコンパレータ COMP1 と COMP2 を内蔵しています。

注： *コンパレータ入力として使用されるすべての入出力では、GPIO レジスタの設定は入力フローティングである必要があります。*

ルーティングインタフェース（*セクション 11.2（124 ページ）*を参照）を使用するときには、コンパレータ入力を外部入出力に接続できます。

図 43. コンパレータブロック図



1. 中+容量および大容量デバイスでのみ使用可能。中容量デバイスでは接続されません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

16.2 COMP の主な機能

- 固定の閾値（内部基準電圧）を持つ 1 つのコンパレータ（COMP1）。非反転入力は、25（中容量デバイス）または 28 （中+容量および大容量デバイス）の外部入出力から選択できます。
- 選択可能な閾値を持つ 1 つのフルレンジコンパレータ（COMP2）。非反転入力は、3 つの入出力から選択できます。閾値は、以下から選択できます。
  - 内部基準電圧 V_{REFINT}
  - 内部基準電圧の約数（1/4、1/2、3/4）
  - DAC 出力
  - 3 つの外部入出力のいずれか。
- 2 つのコンパレータを組み合わせてウィンドウコンパレータにすることができます。
- ゼロクロスでは、極性ビットに応じて、コンパレータ出力に立ち上がりエッジまたは立ち下がりエッジを生成できます。
- 各コンパレータは、HALT からのウェイクアップ機能を持つ割り込みを生成できます。
- COMP2 出力は、TIM1 BRK 入力、OCREFCLR 入力、または TIM2/TIM3 入力キャプチャ 2 にリダイレクトできます。
- COMP2 の速度は、最適な速度/消費電力比率が得られるように設定できます。

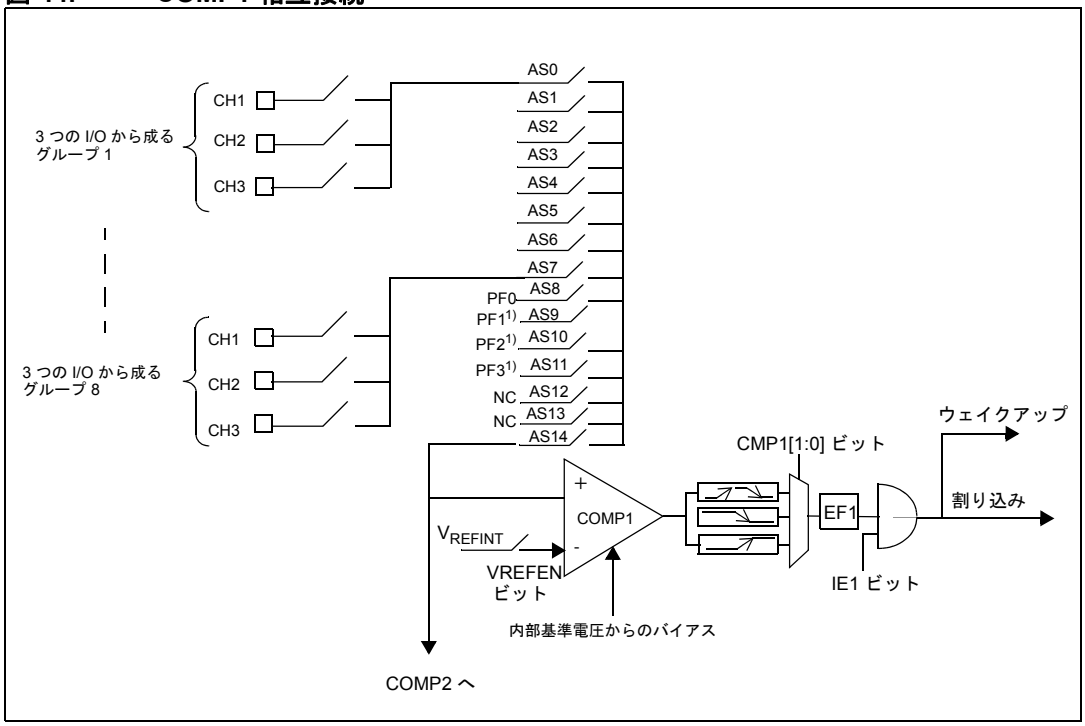
ブロック図を*図 43* に示します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

16.3 コンパレータ 1（COMP1）

図 44 に、コンパレータ 1 の相互接続を示します。

図 44. COMP1 相互接続



1. 中+容量および大容量デバイスの場合のみ。

注： ***COMP1 と ADC は、同じアナログスイッチ群を共有するため、同時に使用することはできません。***

COMP1 コンパレータを使用するには、アプリケーションは以下の手順を実行する必要があります。

1. COMP_CSR3 レジスタの VREFEN ビットをセットして、VREFINT をコンパレータ 1 の反転入力に接続します。
2. アナログスイッチを閉じて、選択した入出力から非反転入力までのパスを作成します。
   - RI_ASCR2 レジスタの AS14 ビットをセットすることによって、アナログスイッチ番号 14 を閉じます。
   - RI_ASCR1 または RI_ASCR2 レジスタの ASx ビットをセットすることによって、入出力グループに対応するアナログスイッチ番号“n”を閉じます（*表 24* を参照）。
3. COMP1 非反転入力に接続される入出力の入出力スイッチを閉じます。入力は、3 つの入出力から成る 8 つのグループから、24 の入出力を自由に選択できます（*表 24* を参照）。
   - 入出力スイッチレジスタ（RI_IOSR1、RI_IOSR2、または RI_IOSR3）の対応する CHxE ビットをセットすることによって、正しい入出力ポートを選択します（*表 24* を参照）。
4. 必要な場合は、COMP_CSR1 レジスタの IE1 ビットをセットすることによって、COMP1 割り込みを有効にします。
5. COMP_CSR1 レジスタの CMP1[1:0] ビットを使用して、立ち上がりエッジ、立ち下がりエッジ、またはその両方を検出するように、コンパレータを設定します。

注： ***コンパレータが有効になると、チャネルを変更できます。***

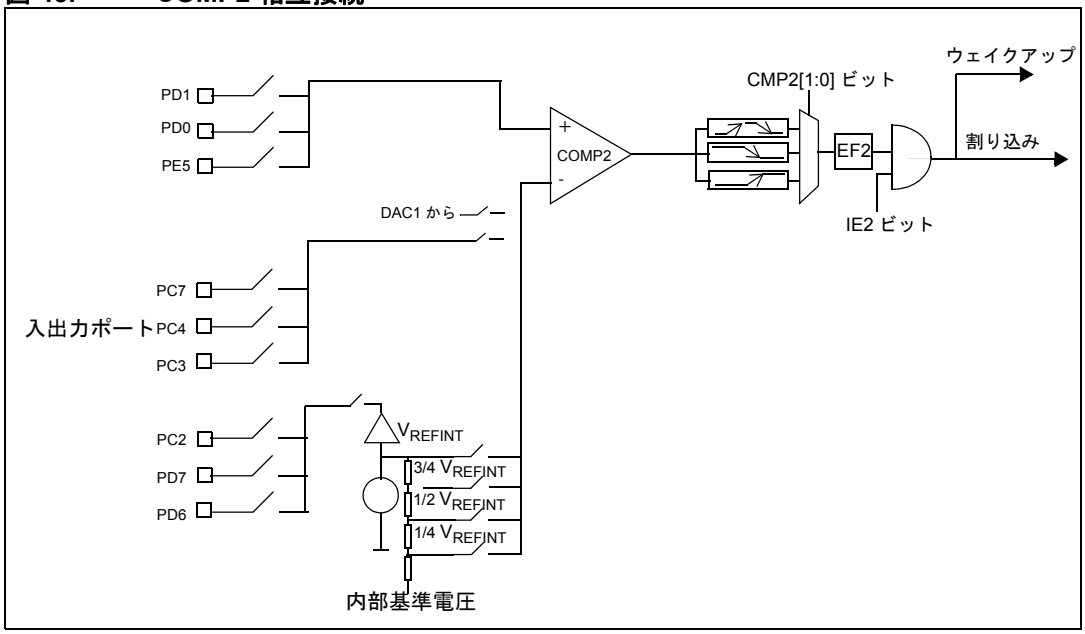
ステップ 3 は、PF0、PF1、PF2、および PF3 には適用されません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

16.4 コンパレータ 2（COMP2）

図 45 に、コンパレータ 2 の相互接続を示します。

図 45. COMP2 相互接続



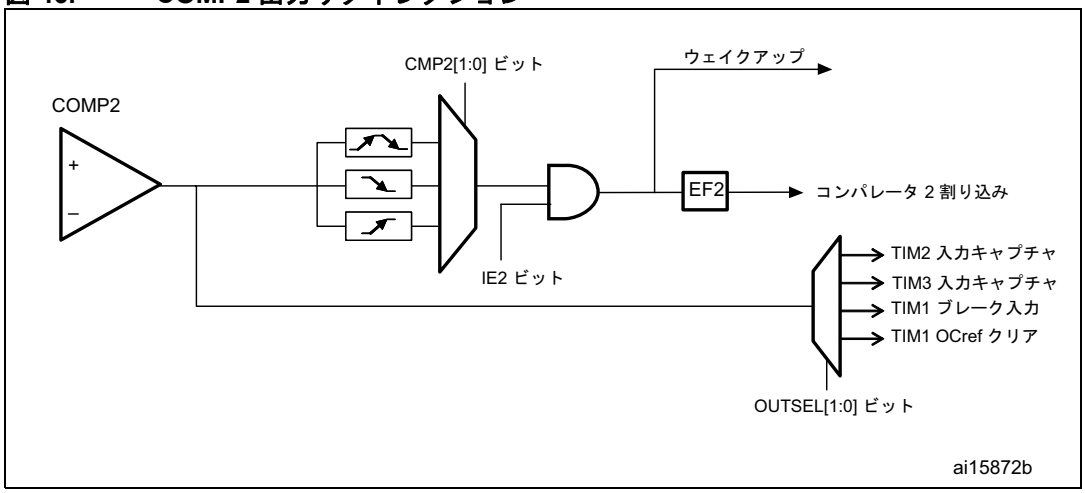
COMP2 コンパレータを使用するには、以下の手順を実行します。

1. COMP_CSR3 レジスタの INSEL[2:0] ビットによって COMP2 反転入力を選択します。
   - 外部入出力（グループ 2 の任意の入出力）を選択するには、RI_IOSR1 の CH4E ビット、RI_IOSR2 の CH5E ビット、または RI_IOSR3 レジスタの CH6E ビットをセットすることによって、入出力チャネルスイッチを閉じます（*表 24*を参照）。
2. 入出力チャネルスイッチを閉じて入出力を COMP2 非反転入力に接続します。入力は、グループ 8 の任意の入出力からとすることができます（*表 24* を参照）。
   - RI_IOSR1 レジスタの CH22E ビット、RI_IOSR2 レジスタの CH23E ビット、または RI_IOSR3 レジスタの CH24E ビットをセットします。
3. 必要な場合、以下の手順を実行します。
   - COMP_CSR2 レジスタの SPEED ビットによって速度を選択します。
   - COMP_CSR3 レジスタの OUTSEL[1:0] ビットを設定することによって、COMP2 出力をタイマ 1、2、または 3 にリダイレクトします（*図 46* を参照）。
   - COMP_CSR2 レジスタの IE2 ビットをセットすることによって、COMP2 割り込みを有効にします。
4. 立ち上がりエッジ、立ち下がりエッジ、またはその両方を検出するには、COMP_CSR2 レジスタの CMP2[1:0] ビットを使用します。

注： ***コンパレータが有効になると、チャネルを変更できます。***

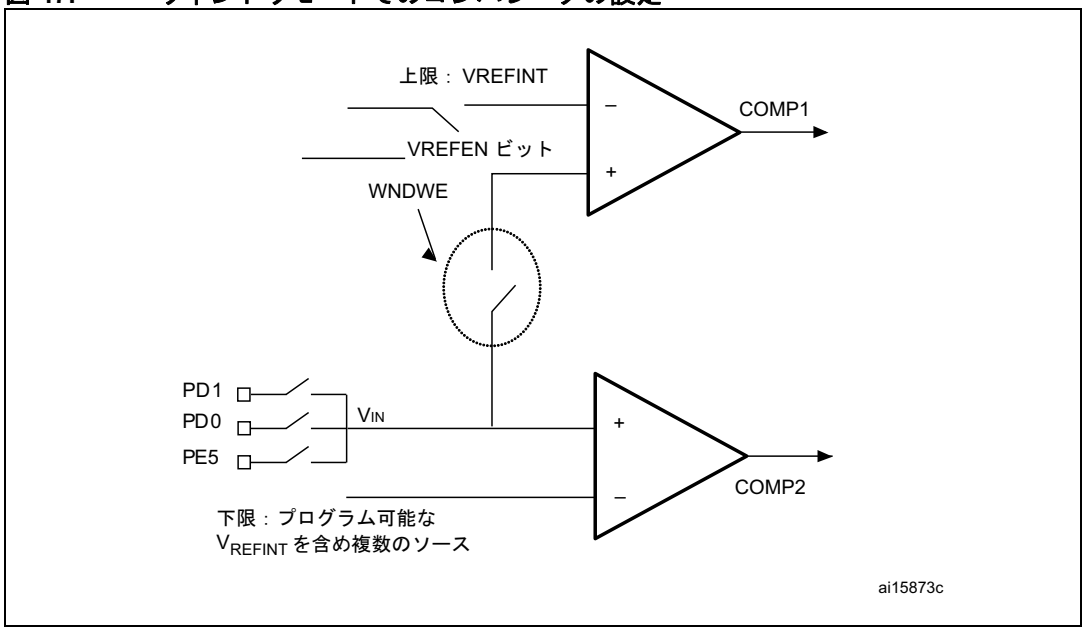
この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 46. COMP2 出力リダイレクション



16.5 ウィンドウモードでのコンパレータの使用

図 47. ウィンドウモードでのコンパレータの設定



注： ***ウィンドウモードでは、グループ 8（PD0、PD1、および PE5）のみを非反転入力として使用できます。***

ウィンドウモードで COMP1 および COMP2 コンパレータを使用するには、以下の手順を実行します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

1. COMP_CSR3 レジスタの VREFEN ビットをセットして、VREFINT をコンパレータ 1 の反転入力に接続します。
2. *セクション 16.4*で説明したように COMP2 反転入力を選択します。
3. COMP_CSR3 レジスタの WNDWE ビットをセットすることによって、ウィンドウモードを有効にします。
4. COMP2 非反転入力を選択します。
   – COMP1 の場合と同様に、セクション 16.3 のステップ 2 と 3 に従います。*セクション 16.3*
   – COMP2 の場合と同様に、セクション 16.4 のステップ 3 に従います。*セクション 16.4*
5. COMP_CSR1 レジスタの CMP1[1:0] ビットを使用して COMP1 コンパレータを有効にし、COMP_CSR2 レジスタの CMP2[1:0] を使用して COMP2 コンパレータを有効にします。正しいウェイクアップまたは割り込みイベントを得るためにプログラミングする必要のあるさまざまな設定については、*表 52* を参照してください。

表 52. ウィンドウ割り込み/ウェイクアップモード

割り込み/ウェイクアップモード	CMP1[1:0] 上限	CMP2[1:0] 下限
Vin > 上限（上回る）	0b10	0b00
Vin < 下限（下回る）	0b00	0b01
下限 < Vin < 上限（範囲内）	0b01	0b10
Vin < 下限または Vin > 上限（範囲外）	0b10	0b01

16.6 COMP 低電力モード

表 53. 低電力モードでのコンパレータの動作

モード	説明
WAIT または 低電力 WAIT モード	コンパレータには影響ありません。 コンパレータ割り込みによって、デバイスは WAIT または低電力 WAIT モードから抜けます。
アクティブ HALT または HALT	コンパレータには影響ありません。 コンパレータ割り込みによって、デバイスはアクティブ HALT または HALT モードから抜けます。

注： ***PWR_CSR2 レジスタの ULP ビットを使用して内部基準電圧を停止させた場合、コンパレータを使用してデバイスを HALT/アクティブ HALT モードから抜けさせることはできません。***

16.7 COMP 割り込み

表 54. コンパレータ割り込みリクエスト

割り込みイベント	イベント フラグ	イネーブル 制御 ビット	WAIT/ 低電力 WAIT 終了	HALT/ アクティブ HALT 終了
コンパレータ 1 イベントフラグ	EF1	IE1	あり	あり
コンパレータ 2 イベントフラグ	EF2	IE2	あり	あり

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

16.8 COMP レジスタ

16.8.1 コンパレータ制御およびステータスレジスタ 1（COMP_CSR1）

アドレスオフセット：0x00

リセット値：0x00

7	6	5	4	3	2	1	0
予約済み		IE1	EF1	CMP1OUT	STE	CMP1[1:0]	
		rw	rc_w0	r	rw	rw	rw

ビット 7:6 予約済み、クリアされた状態に保つ必要があります。

ビット 5 **IE1**：コンパレータ 1 割り込みイネーブル

このビットは、イベントが検出されたときにコンパレータ 1 割り込みの生成を有効にします。

0：コンパレータ 1 割り込み無効。

1：コンパレータ 1 割り込み有効。

ビット 4 **EF1**：コンパレータ 1 イベントフラグ

このビットは、選択したエッジがコンパレータ 1 出力の COMP1[1:0] に発生するとセットされます。0 を書き込むことでクリアされます。コンパレータ割り込みが有効な場合、割り込みが生成されます。

0：イベントは検出されませんでした。

1：イベントが検出されました。

ビット 3 **CMP1OUT**：コンパレータ 1 出力

このビットは、コンパレータ 1 出力のコピーです。

0：非反転入力が反転入力よりも低電圧であるとき、コンパレータ 1 出力はローレベルです。

1：非反転入力が反転入力よりも高電圧であるとき、コンパレータ 1 出力はハイレベルです。

ビット 2 **STE**：シュミットトリガイネーブル

0：シュミットトリガ無効。

1：シュミットトリガ有効。

注： シュミットトリガが有効になると、Px_IDR レジスタには、コンパレータ 1 入力として使用される入出力の状態が格納されます。

ビット 1:0 **CMP1[1:0]**：コンパレータ 1 設定

00：コンパレータ 1 無効。

01：コンパレータ 1 出力の立ち下がりエッジでイベント検出。

10：コンパレータ 1 出力の立ち上がりエッジでイベント検出。

11：コンパレータ 1 出力の立ち上がり/立ち下がり両方のエッジでイベント検出。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

16.8.2 コンパレータ制御およびステータスレジスタ 2（COMP_CSR2）

アドレスオフセット：0x01

リセット値：0x00

7	6	5	4	3	2	1	0
予約済み		IE2	EF2	CMP2OUT	SPEED	CMP2[1:0]	
		rw	rc_w0	r	rw	rw	rw

ビット 7:6 予約済み、クリアされた状態に保つ必要があります。

ビット 5 **IE2**：コンパレータ 2 割り込みイネーブル

このビットは、イベントが検出されたときにコンパレータ 2 割り込みの生成を有効にします。

0：コンパレータ 2 割り込み無効。
1：コンパレータ 2 割り込み有効。

ビット 4 **EF2**：コンパレータ 2 イベントフラグ

このビットは、選択したエッジがコンパレータ 2 出力の COMP2[1:0] に発生するとセットされます。0 を書き込むことによってクリアされます。コンパレータ割り込みが有効な場合、割り込みが生成されます。

0：イベントは検出されませんでした。
1：イベントが検出されました。

ビット 3 **CMP2OUT**：コンパレータ 2 出力

このビットは、コンパレータ 2 出力のコピーです。

0：非反転入力が反転入力よりも低電圧であるとき、コンパレータ 2 出力はローレベルです。
1：非反転入力が反転入力よりも高電圧であるとき、コンパレータ 2 出力はハイレベルです。

ビット 2 **SPEED**：コンパレータ 2 速度モード

0：低速
1：高速

ビット 1:0 **CMP2[1:0]**：コンパレータ 2 設定

00：コンパレータ 2 無効。
01：コンパレータ 2 出力の立ち下がりエッジでイベント検出。
10：コンパレータ 2 出力の立ち上がりエッジでイベント検出。
11：コンパレータ 2 出力の立ち上がり/立ち下がり両方のエッジでイベント検出。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

16.8.3 コンパレータ制御およびステータスレジスタ 3（COMP_CSR3）

アドレスオフセット：0x02

リセット値：0xC0

7	6	5	4	3	2	1	0
OUTSEL[1:0]		INSEL[2:0]			VREFEN	WNDWE	VREFOUTEN
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:6 **OUTSEL[1:0]**：コンパレータ 2 出力選択

これらのビットは、COMP2 の出力を、選択されたタイマ入力に接続するために、ソフトウェアによって書き込まれます。

00：COMP2 出力をタイマ 2 入力キャプチャ 2（TIM2 IC2）に接続。
01：COMP2 出力をタイマ 3 入力キャプチャ 2（TIM3 IC2）に接続。
10：COMP2 出力をタイマ 1 ブレーク入力（TIM1 BRK）に接続。
11：COMP2 出力をタイマ 1 OCREF クリア（TIM1 OCREFCLR）に接続。

ビット 5:3 **INSEL**：コンパレータ 2 反転入力選択

000 = 選択なし
001 = 入出力（入出力のグループ 2）
010 = 内部基準電圧 V_{REFINT}
011 = 3/4 V_{REFINT}
100 = 1/2 V_{REFINT}
101 = 1/4 V_{REFINT}
110 = DAC1
111 = 予約済み

ビット 2 **VREFEN**：内部基準電圧 V_{REFINT} イネーブル

0：V_{REFINT} を COMP1 反転入力から切断。
1：V_{REFINT} を COMP1 反転入力に接続。

ビット 1 **WNDWE**：ウィンドウモードイネーブル

0：無効
1：有効

ビット 0 **VREFOUTEN**：V_{REFINT} 出力イネーブル

このビットは、グループ 3 入出力の内部電圧基準を出力するために、ソフトウェアによってセットできます。*図 21* を参照してください。

0：無効
1：有効

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

16.8.4 コンパレータ制御およびステータスレジスタ 4（COMP_CSR4）

アドレスオフセット：0x03

リセット値：0x00

7	6	5	4	3	2	1	0
予約済み		NINVTRIG[2:0]			INVTRIG[2:0]		
		rw	rw	rw	rw	rw	rw

ビット 7:6 予約済み、クリアされた状態に保つ必要があります。

ビット 5:3 **NINVTRIG[2:0]**：COMP2 非反転入力

これらのビットは、COMP2 非反転入力に対応する、グループ 8 入出力のトリガを制御します。

NINVTRIG[0] は、ピン PE5 でのトリガを有効/無効にします。

NINVTRIG[1] は、ピン PD0 でのトリガを有効/無効にします。

NINVTRIG[2] は、ピン PD1 でのトリガを有効/無効にします。

0：トリガ有効

1：トリガ無効

ビット 2:0 **INVTRIG[2:0]**：COMP2 反転入力

これらのビットは、COMP2 反転入力に対応する、グループ 2 入出力のトリガを制御します。

INVTRIG[0] は、ピン PC3 でのトリガを有効/無効にします。

INVTRIG[1] は、ピン PC4 でのトリガを有効/無効にします。

INVTRIG[2] は、ピン PC7 でのトリガを有効/無効にします。

0：トリガ有効

1：トリガ無効

注： ***入出力でのトリガが無効なときには、入出力がハイレベルに設定されている場合でも、Px_IDR レジスタの関連するビットは 0 です。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

16.8.5 コンパレータ制御およびステータスレジスタ 5（COMP_CSR5）

アドレスオフセット：0x04

リセット値：0x00

7	6	5	4	3	2	1	0
予約済み		DACTRIG[2:0]			VREFTRIG[2:0]		
		rw	rw	rw	rw	rw	rw

ビット 7：6 予約済み、クリアされた状態に保つ必要があります。

ビット 5：3 **DACTRIG[2:0]**：DAC 出力

これらのビットは、DAC 出力に対応する、グループ 5 入出力のトリガを制御します。

DACTRIG[0] は、ピン PB6 でのトリガを有効/無効にします。

DACTRIG[1] は、ピン PB5 でのトリガを有効/無効にします。

DACTRIG[2] は、ピン PB4 でのトリガを有効/無効にします。

0：トリガ有効

1：トリガ無効

ビット 2：0 **VREFTRIG[2:0]**：V_{REFINT} 出力

これらのビットは、V_{REFINT} 出力に対応する、グループ 3 入出力のトリガを制御します。

VREFTRIG[0] は、ピン PC2 でのトリガを有効/無効にします。

VREFTRIG[1] は、ピン PD7 でのトリガを有効/無効にします。

VREFTRIG[2] は、ピン PD6 でのトリガを有効/無効にします。

0：トリガ有効

1：トリガ無効

注： ***入出力でのトリガが無効なときには、入出力がハイレベルに設定されている場合でも、Px_IDR レジスタの関連するビットは 0 です。***

16.8.6 COMP レジスタマップとリセット値

表 55. コンパレータとルーティングインタフェースのレジスタマップ

アドレスオフセット	レジスタ名	7	6	5	4	3	2	1	0
0x00	COMP_CSR1 リセット値	- 0	- 0	IE1 0	EF1 0	CMP1OUT 0	STE 0	CMP11 0	CMP10 0
0x01	COMP_CSR2 リセット値	- 0	- 0	IE2 0	EF2 0	CMP2OUT 0	SPEED 0	CMP21 0	CMP20 0
0x02	COMP_CSR3 リセット値	OUTSEL1 1	OUTSEL0 1	INSEL2 0	INSEL1 0	INSEL0 0	VREFEN 0	WINDWE 0	VREFOUTEN 0
0x03	COMP_CSR4 リセット値	- 0	- 0	INVTRIG2 0	INVTRIG1 0	INVTRIG0 0	NINVTRIG2 0	NINVTRIG1 0	NINVTRIG0 0
0x04	COMP_CSR5 リセット値	- 0	- 0	DACTRIG2 0	DACTRIG1 0	DACTRIG0 0	VREFTRIG2 0	VREFTRIG1 0	VREFTRIG0 0

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

17 LCD コントローラ

このセクションの説明は、特に指定がない限り、中容量 STM8L15x デバイス、中+容量 STM8L15x デバイス、および大容量 STM8L15x/STM8L16x デバイスに適用されます。

17.1 LCD コントローラの概要

LCD コントローラは、パッシブマトリックス LCD（液晶ディスプレイ）ユニットを駆動できます。

- 中+容量および大容量デバイスでは、8 つのコモン端子および最大 44 のセグメント端子とインタフェースして、最大 320 の画素（ピクセル）を駆動できます。
- 中容量デバイスでは､4 つのコモン端子および最大 28 のセグメント端子とインタフェースして、最大 112 の画素（ピクセル）を駆動できます。

LCD は、可視または不可視になる複数のセグメント（ピクセルまたは完全な記号）で構成されます。各セグメントは、2 つの電極間に配置された液晶分子の層で構成されます。閾値電圧より大きな電圧が液晶の両端に印加されると、セグメントは可視になります。セグメント電圧を交替させることで、液晶の表示に悪影響を与える電気泳動効果を避ける必要があります。さらに、直流（DC）の発生を避けるために、セグメントにまたがる波形を生成する必要があります。

17.1.1 定義

用語

- LCD（液晶ディスプレイ）: セグメントを駆動する端子を備えたパッシブディスプレイパネル。
- セグメント : 最小の表示エレメント（液晶ディスプレイ上にキャラクタを作成するのに役立つ単一のバーまたはドット）。
- コモン : 複数のセグメント（28 セグメント）に接続される電気的接続端子。
- デューティ比 : 1/(液晶ディスプレイ上のコモン端子の数) として定義される数。
- バイアス : LCD の駆動時に使用される電圧レベルの数。これは、1/(液晶ディスプレイの駆動に使用される電圧レベルの数 - 1) として定義されます。
- フレーム : セグメントに書き込まれる 1 周期分の波形。
- フレームレート : 1 秒あたりのフレーム数、すなわち、1 秒あたりに LCD セグメントが通電される回数。
- ブースト回路 : コントラストコントローラ回路。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

17.2 LCD コントローラの主な機能

- 柔軟性の高いフレームレート制御
- 中+容量および大容量デバイスの場合
  - スタティック、1/2、1/3、1/4、および 1/8 のデューティをサポート
  - 1/2、1/3、および 1/4 のバイアスをサポート
  - ピクセル（LCD 画素）情報（有効/無効）を含む最大 21 x 8 ビットレジスタから成る LCD データ RAM
  - 176（44x4）または 320（40x8）ピクセルを駆動する機能
- 中容量デバイスの場合
  - スタティック、1/2、1/3、および 1/4 のデューティをサポート
  - 1/2 および 1/3 のバイアスをサポート
  - ピクセル情報（有効/無効）を含む最大 14 x 8 ビットレジスタから成る LCD データ RAM
  - 112（28x4）ピクセルを駆動する機能
- LCD 出力電圧をソフトウェアで選択可能
- 外部アナログコンポーネントが不要
  - V_{DD} より高い内部 V_{LCD} 電圧を生成するためにブースタを内蔵
  - 外部と内部の V_{LCD} 電圧源をソフトウェアで選択内部ソースの場合、内部ブースト回路を無効にして消費電力を低減
  - 中間 V_{LCD} 電圧を生成するために抵抗回路網を内蔵
  - LCD パネルに必要な容量電荷に合わせて消費電力を適合させるために、抵抗回路網の構成はソフトウェアによる設定が可能です。
- コントラストは、2 つの方法で調整できます。
  - 内部ブースタを使用しているときには、ソフトウェアは V_{LCD} を V_{LCDmin} と V_{LCDmax} の間に調整できます。
  - フレーム間のデッドタイム（最大 8 位相周期）をプログラミング可能です。
- 低電力モードのフルサポート：LCD コントローラは、アクティブ HALT、WAIT、低電力 RUN、および低電力 WAIT モードで表示でき、消費電力を低減するために完全に無効にすることもできます。
- 消費電力と EMI（電磁干渉）を低減する位相反転
- LCD データ RAM の更新時にソフトウェアを同期させるためのフレーム開始割り込み。
- 点滅機能：
  - SEG0 COM0、SEG0 COMx、または SEGx COMx は、設定可能な周波数で点滅するようにプログラミング可能。
  - 点滅周波数をソフトウェアで調整することによって、およそ 0.5 Hz、1 Hz、2 Hz、または 4 Hz を実現。
- SEGx（セグメント）ピンと COMx（コモン）ピンの一部を、未使用時に標準の汎用入出力として割り当てる機能。

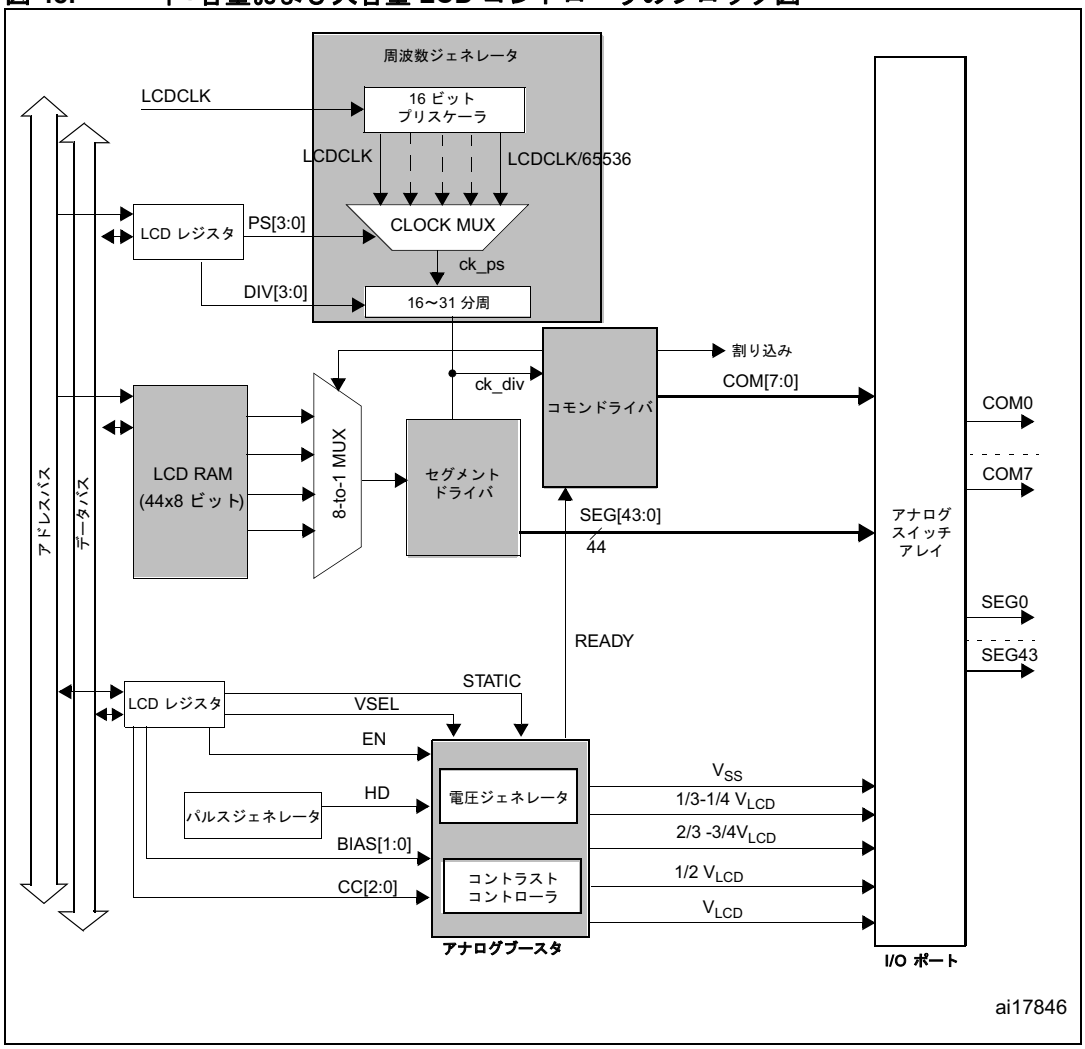
この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

17.3 LCD 機能の説明

17.3.1 概要

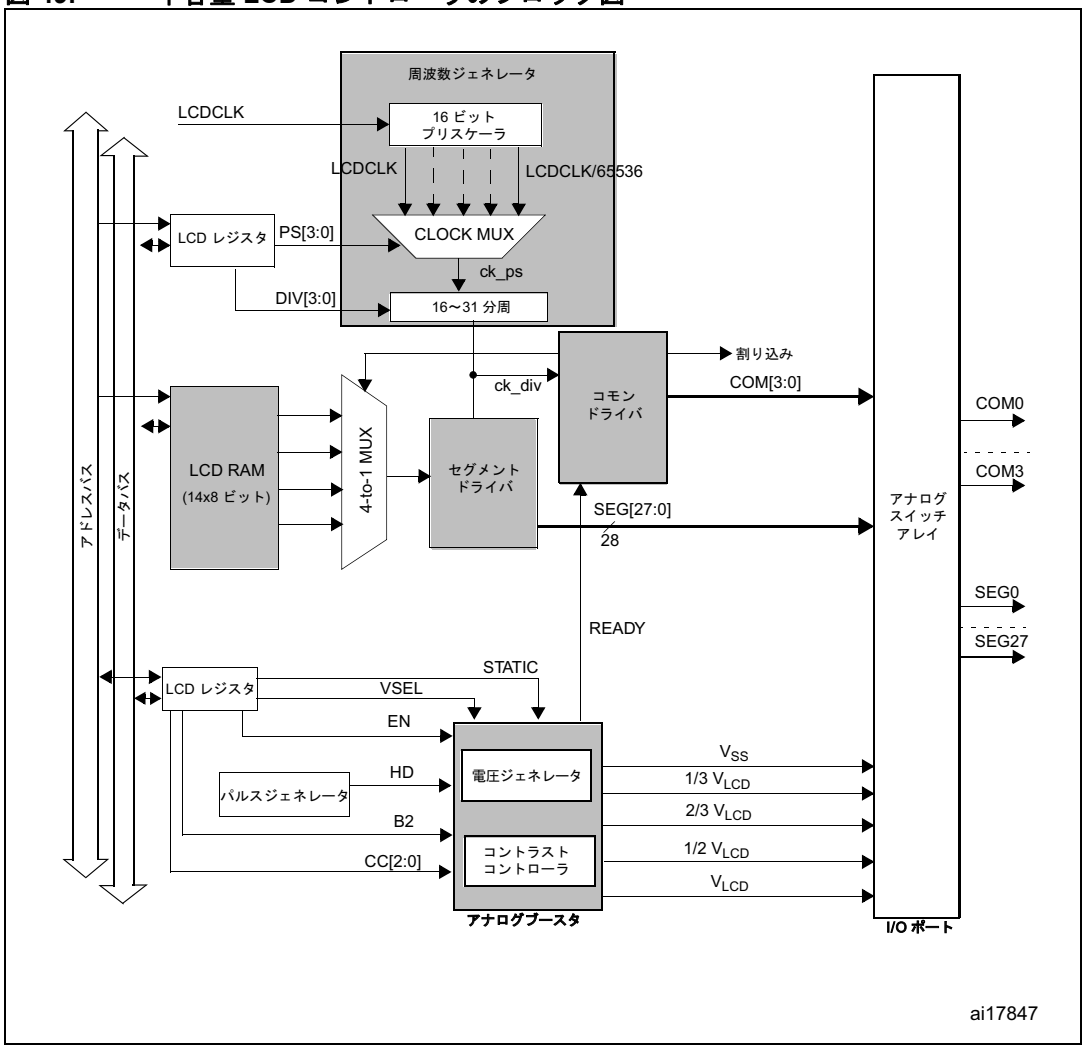
LCD コントローラのブロック図を次に示します。

図 48. 中+容量および大容量 LCD コントローラのブロック図



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 49. 中容量 LCD コントローラのブロック図



17.3.2 周波数ジェネレータ

周波数ジェネレータによって、RTCCLK の 2 分周に等しい入力クロック周波数を最小値として、さまざまな LCD フレームレートを達成できます。LCD クロックソース設定の詳細については、*セクション 9.9 : RTC および LCD クロック*を参照してください。

結果として得られる CLK 入力クロックは、16.384 kHz～500 kHzの範囲内でなければなりません。正確な LCD タイミングを取得し、LCD セグメントにまたがる DC 電圧オフセットを最小限に抑えるには、安定したクロックソースを選択する必要があります。CLK は、1～2^{15} x 31 の値で分周できます。周波数ジェネレータは、プリスケーラ（16 ビットのリップルカウンタ）とプログラマブルクロックディバイダ（係数：16～31）で構成されます。

LCD_FRQ レジスタの PS[3:0] ビットによって、$2^{PS[3:0]}$ 分周された CLK を選択できます。より高い精度のレートが必要な場合は、LCD_FRQ レジスタの DIV[3:0] ビットを使用して、クロックをさらに 16～31 分周することができます。このように、ユーザは周波数を増減させてから、カウンタによってクロックを直線的に較正することによって微調整が可能です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

周波数ジェネレータ CLK_{LCD} の出力は、LCD 周波数（f_{LCD}）を与え、LCD コントローラのタイムベースとして使用されます。

フレーム周波数（f_{frame}）は、LCD 周波数（f_{LCD}）を有効なコモン端子の数で分周（またはデューティ比で逓倍）することによって得られます。したがって、周波数ジェネレータの入力クロック周波数（f_{IN}）とその出力クロック周波数（f_{LCD}）との関係は、次のようになります。

$$f_{LCD} = \frac{f_{IN}}{2^{PS} \times \langle 16 + DIV \rangle}$$

$$f_{frame} = f_{LCD} \times duty$$

フレーム周波数は、およそ ~30 Hz から ~100 Hz の範囲で選択する必要があり、消費電力と許容できるリフレッシュレートとの妥協点です。さらに、専用の点滅プリスケーラで点滅周波数を選択します。この周波数は、次のように定義されます。

$$f_{BLINK} = \frac{f_{LCD}}{2^{BLINKF+3}}$$

BLINKF[2:0] = 0、1、2、..、7

得られる点滅周波数は、0.5 Hz、1 Hz、2 Hz、または 4 Hz の範囲内です。フレームレートの代表的な計算例を、*表 56* と *表 57* に示します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 56. 代表的なフレームレート計算（入力周波数 = 16.384 kHz）

CLK	デューティ	PS[3:0]	DIV[3:0]	比	f_{LCD}	f_{frame}	BLINKF[2:0] ディバイダ	f_{BLINK}
16.384 kHz	1/8	2	0	64	256 Hz	32 Hz	/512 /256 /64	0.5 Hz 1.0 Hz 4.0 Hz
		1	0	32	512 Hz	64 Hz	/1024 /512 /128	0.5 Hz 1.0 Hz 4.0 Hz
		0	0	16	1024 Hz	128 Hz	/1024 /256	1.0 Hz 4.0 Hz
	1/4	3	0	128	128 Hz	32 Hz	/256 /128 /32	0.5 Hz 1.0 Hz 4.0 Hz
		2	0	64	256 Hz	64 Hz	/512 /256 /64	0.5 Hz 1.0 Hz 4.0 Hz
		1	0	32	512 Hz	128 Hz	/1024 /512 /128	0.5 Hz 1.0 Hz 4.0 Hz
	1/2	4	0	256	64 Hz	32 Hz	/128 /64 /16	0.5 Hz 1.0 Hz 4.0 Hz
		3	0	128	128 Hz	64 Hz	/256 /128 /32	0.5 Hz 1.0 Hz 4.0 Hz
		2	0	64	256 Hz	128 Hz	/512 /256 /64	0.5 Hz 1.0 Hz 4.0 Hz
	スタティック	5	0	512	32 Hz	32 Hz	/64 /32 /8	0.5 Hz 1.0 Hz 4.0 Hz
		4	0	256	64 Hz	64 Hz	/128 /64 /16	0.5 Hz 1.0 Hz 4.0 Hz
		3	0	128	128 Hz	128 Hz	/256 /128 /32	0.5 Hz 1.0 Hz 4.0 Hz

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 57. 代表的なフレームレート計算（入力周波数 = 500 kHz）

CLK	デューティ	PS[3:0]	DIV[3:0]	比	f_{LCD}	f_{FRAME}	BLINKF[2:0] ディバイダ	f_{BLINK}
500 kHz	1/8	7	0	2048	244.00 Hz	30.51 Hz	/256 /128 /32	0.47 Hz 0.95 Hz 3.81 Hz
		5	3	608	822.30 Hz	102.79 Hz	/1024 /256	0.80 Hz 3.21 Hz
	1/4	8	0	4096	122.00 Hz	30.51 Hz	/256 /128 /32	0.47 Hz 0.95 Hz 3.81 Hz
		6	3	1216	411.10 Hz	102.79 Hz	/1024 /512 /128	0.40 Hz 0.80 Hz 3.21 Hz
	1/2	9	0	8192	61.00 Hz	30.51 Hz	/128 /64 /16	0.47 Hz 0.95 Hz 3.81 Hz
		7	3	2432	205.60 Hz	102.79 Hz	/512 /256 /64	0.40 Hz 0.80 Hz 3.21 Hz
	スタティック	10	0	16384	30.51 Hz	30.51 Hz	/64 /32 /8	0.47 Hz 0.95 Hz 3.81 Hz
		8	3	4864	102.79 Hz	102.79 Hz	/256 /128 /32	0.40 Hz 0.80 Hz 3.21 Hz

注： *ソフトウェアは、LCD_FRQ レジスタをインクリメントするだけで、フレーム周波数をデクリメントできます。*

17.3.3 コモンドライバ

コモン信号は、プログラマブルなリングカウンタであるコモンドライバによって生成されます（*図 50* を参照）。各コモン信号の波形は同一ですが、位相が異なります。最大振幅 V_{LCD} または V_{SS} は、フレームサイクルの対応する位相の中にのみあります。それ以外の位相の場合、信号振幅は、1/4 バイアス（大容量デバイスのみ）では 1/4 V_{LCD} または 3/4 V_{LCD}、1/3 バイアスでは 1/3 V_{LCD} または 2/3 V_{LCD}、1/2 バイアスでは 1/2 V_{LCD} です。

注： ***LCD コントローラは、1 種類の LCD 波形（消費電力の少ない波形）のみを生成します。波形については、図 52、図 53、図 54、および 図 55 を参照してください。***

1/2、1/3、および 1/4 バイアスモードは、LCD_CR1 レジスタの B2 ビットをプログラミングすることによって選択できます。

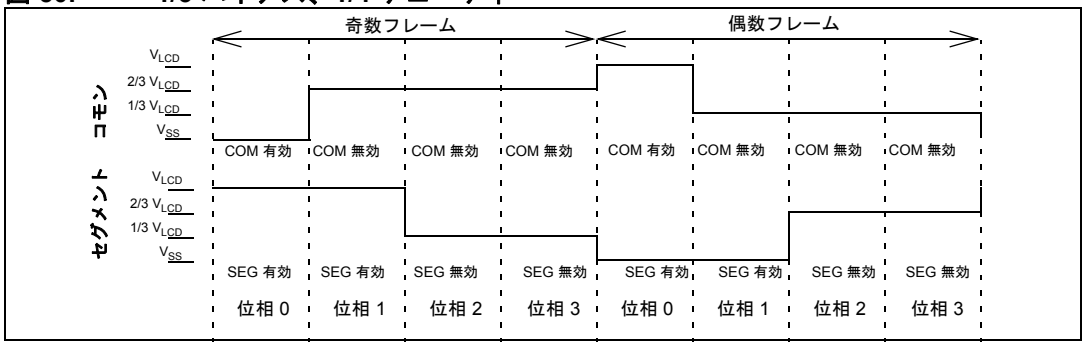
- 中+容量および大容量デバイスでは、LCD_CR1 レジスタの B2 ビットと LCD_CR4 レジスタの B4 ビット
- 中容量デバイスでは、LCD_CR1 レジスタの B2 ビット

ピクセルが有効になるのは、その対応するコモンラインとセグメントラインの両方が同じ位相中に最大振幅を持つときです。EMI（電磁干渉）を低減するために、コモン信号は位相反転されます。*図 50*

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

を参照してください。位相反転の場合には、各奇数サイクルの最後に 1/2 V_{LCD} の平均電圧が存在します。生成される最初のフレームは奇数フレームであり、その後に偶数フレームが続きます。

図 50. 1/3 バイアス、1/4 デューティ



コモンドライバは、コモン信号を生成し、コモンピンと V_{LCD} ピンを駆動できなければなりません。このコモンドライバの入力は、コモン波形の生成に使用される CLK_{LCD} です。各コモン出力ピンは、大容量、中+容量、および中容量デバイスにおいて可能な 4 つの電圧（V_{LCD}、1/3 V_{LCD}、2/3 V_{LCD}、V_{SS}）のうちの 1 つを選択し、さらに中+容量および大容量 STM8L15x デバイスにおいて可能な 5 つの電圧（V_{LCD}、1/4 V_{LCD}、1/2 V_{LCD}、3/4 V_{LCD}、V_{SS}）のうちの 1 つを選択するために、中容量デバイスでは 2 ビット（中+容量および大容量デバイスでは 3 ビット）で示されます。

中+容量および大容量デバイスの場合：

1/2 バイアス（LCD_CR1 レジスタの B2 ビットをセット、LCD_CR4 レジスタの B4 ビットをリセット）の場合、V_{LCD} ピンは、偶数および奇数フレームに対して 1/2 V_{LCD} に等しい中間電圧を生成します（*図 57：抵抗回路網（260 ページ）*を参照）。

コモン信号は、LCD_CR1 レジスタの DUTY[1:0] ビットと LCD_CR4 レジスタの DUTY8 ビットに応じて生成されます。5 つのデューティ比を選択できます。

- スタティックデューティ（*図 52：液晶ディスプレイと端子の接続（スタティックデューティ）(253 ページ)*を参照）
- 1/2 デューティ（*図 53：液晶ディスプレイと端子の接続（1/2 デューティ、1/2 バイアス）(254 ページ)*を参照）
- 1/3 デューティ（*図 54：液晶ディスプレイと端子の接続（1/3 デューティ、1/3 バイアス）(255 ページ)*を参照）
- 1/4 デューティ（*図 55：液晶ディスプレイと端子の接続（1/4 デューティ、1/3 バイアス）(256 ページ)*を参照）
- 1/8 デューティ（*図 56：液晶ディスプレイと端子の接続（1/8 デューティ、1/4 バイアス）(257 ページ)*を参照）

中容量デバイスの場合：

1/2 バイアス（LCD_CR1 レジスタの B2 ビットをセット）の場合、V_{LCD} ピンは、偶数および奇数フレームに対して 1/2 V_{LCD} に等しい中間電圧を生成します（*図 57：抵抗回路網（260 ページ）*を参照）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

コモン信号は、LCD_CR1 レジスタの DUTY[1:0] ビットに応じて生成されます。4 つのデューティ比を選択できます。

- スタティックデューティ（*図 52 : 液晶ディスプレイと端子の接続（スタティックデューティ）(253 ページ)* を参照）
- 1/2 デューティ（*図 53:液晶ディスプレイと端子の接続(1/2 デューティ、1/2 バイアス)(254 ページ)* を参照）
- 1/3 デューティ（*図 54:液晶ディスプレイと端子の接続(1/3 デューティ、1/3 バイアス)(255 ページ)* を参照）
- 1/4 デューティ（*図 55:液晶ディスプレイと端子の接続(1/4 デューティ、1/3 バイアス)(256 ページ)* を参照）

”n”値は COMn の動作に影響を与えます。

- COMn（”n”は、中容量デバイスでは 0～3、中+容量および大容量デバイスでは 0～7）は有効
  - 偶数フレームの位相”n”の間。その後、COMn ピンは V_{LCD} に駆動されます。
  - 奇数フレームの位相”n”の間。その後、COMn ピンは V_{SS} に駆動されます。
- COMn は”n”以外の位相では無効
  - 1/4 バイアス（中+容量および大容量デバイスのみ）の場合、その後、COMn ピンは、偶数フレームの間は 1/4 V_{LCD} に、奇数フレームの間は 3/4 V_{LCD} に駆動されます。
  - 1/3 バイアスの場合、その後、COMn ピンは、偶数フレームの間は 1/3 V_{LCD} に、奇数フレームの間は 2/3 V_{LCD} に駆動されます。
  - 1/2 バイアスの場合、その後、COMn ピンは、常に 1/2 V_{LCD} に駆動されます（奇数および偶数フレーム）。

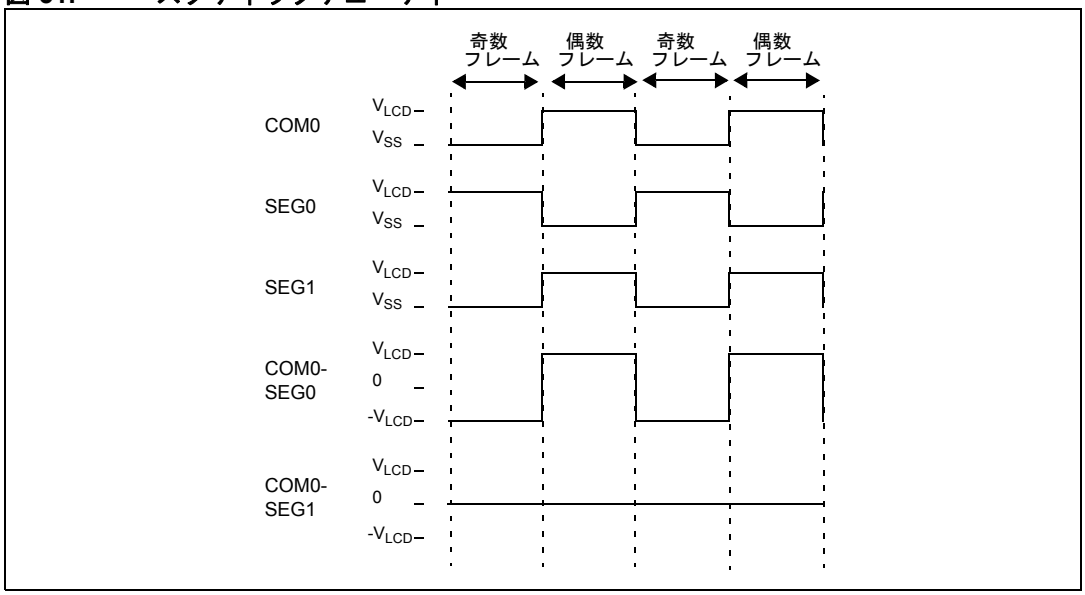
スタティックデューティが選択されると、セグメントラインは多重化されないので、各セグメント出力は 1 ピクセルに対応します。このように、中容量デバイスでは 28 ピクセルだけを、中+容量および大容量デバイスでは最大 44 ピクセルを駆動できます。COM0 は常に有効であり、セグメントラインとコモンラインには 2 つの電圧レベル（V_{LCD} と V_{SS}）のみが使用されます。一方、中容量デバイスの COM[3:1] または中+容量および大容量デバイスの COM[7:1] は使用されず、V_{SS} に駆動されます。

ピクセルは、対応するセグメントラインがコモンラインの電圧とは異なる電圧を得た場合、有効です。両方の電圧が同じ場合、ピクセルは無効です。この場合、LCD のコントラストは最大になります（*図 51* と *図 52* を参照）。

次の図で、ピクセル 0 は有効、ピクセル 1 は無効です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 51. スタティックデューティ



各フレームには 1 つの位相しかないので、f_{frame} は f_{LCD} に等しくなります。

1/4 デューティが選択された場合、フレームには 4 つの位相があり、位相 0 では COM0 が有効、位相 1 では COM1 が有効、位相 2 では COM2 が有効、位相 3 では COM3 が有効です。

このモードでは、セグメント端子が多重化され、それぞれが 4 つのピクセルを制御します。ピクセルが有効になるのは、その対応するセグメントラインとコモンラインの両方が同じ位相で有効な場合のみです。

1/4 デューティの場合：

- COM0 に接続されたピクセル 0 を無効にするには、COM0 が有効である位相 0 の間、SEG0 は無効である必要があります。
- COM1 に接続されたピクセル 27 を有効にするには、COM1 が有効である位相 1 の間、SEG27 は有効である必要があります（*図 55* を参照）。
- COM0 に接続されたピクセル 0～27 を有効にするには、COM0 が有効である位相 0 の間、SEG[0:27] は有効である必要があります。

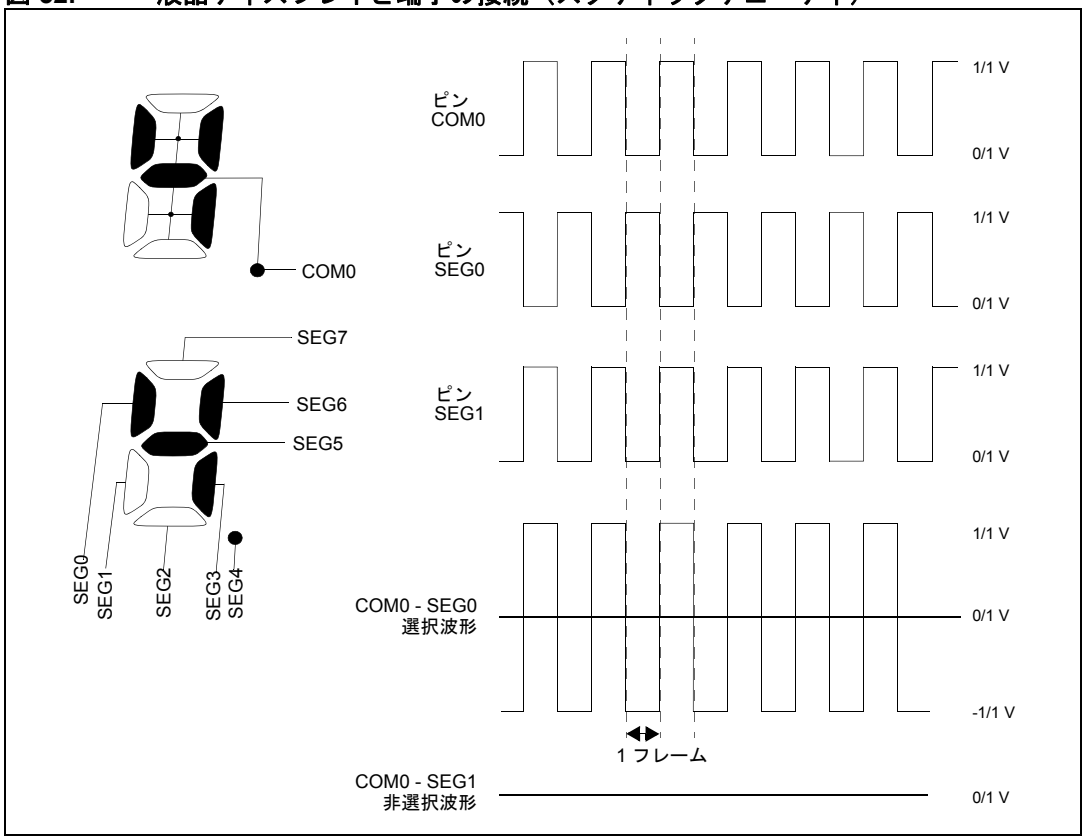
これらの規則は、他のすべてのピクセルにも適用できます。

中+容量および大容量デバイスでは、COM[0] が有効であるとき、最初の RAM レジスタ位置の内容を選択するために、コモンドライバブロックは*図 48：中+容量および大容量 LCD コントローラのブロック図*に示す 8：1 マルチプレクサも駆動します。COM[7] が有効であるとき、8：1 マルチプレクサの出力は最後の RAM 位置の内容です。

中容量デバイスでは、COM[0] が有効であるとき、最初の RAM レジスタ位置の内容を選択するために、コモンドライバブロックは*図 49：中容量 LCD コントローラのブロック図*に示す 4：1 マルチプレクサも駆動します。COM[4] が有効であるとき、4：1 マルチプレクサの出力は最後の RAM 位置の内容です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

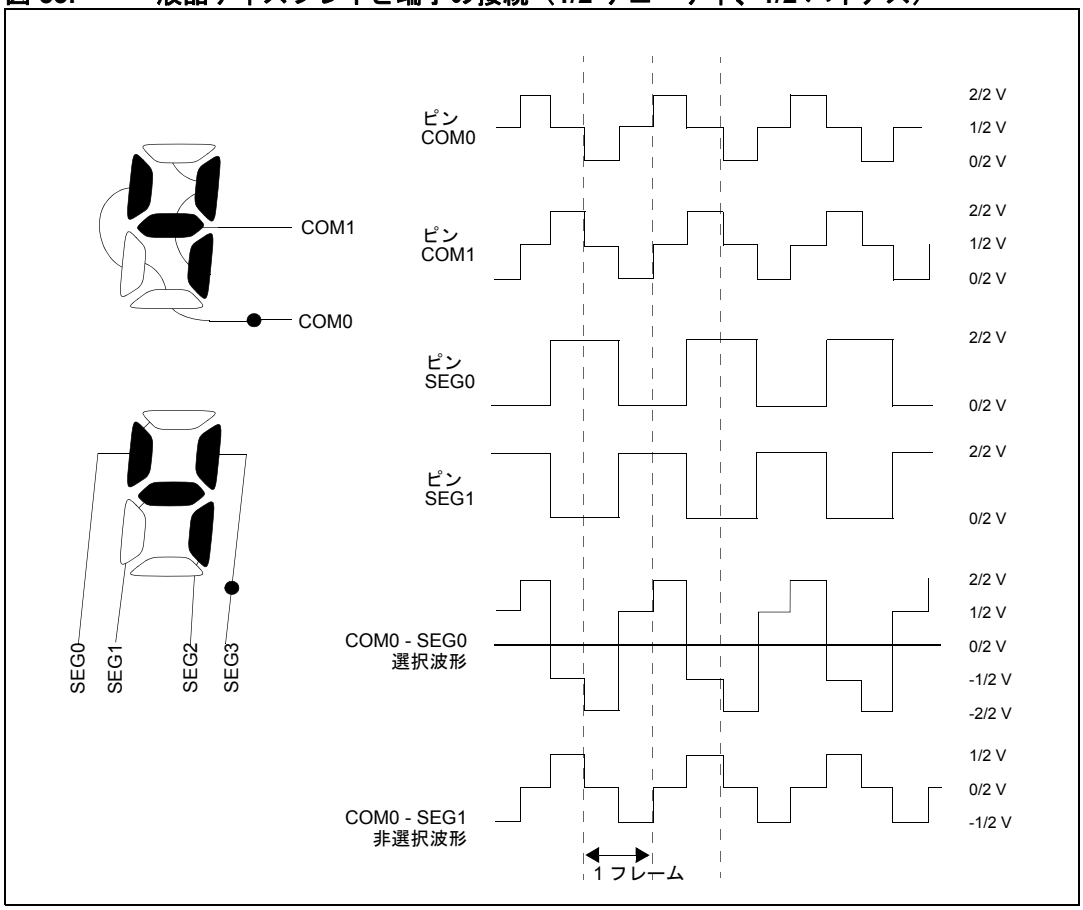
図 52. 液晶ディスプレイと端子の接続（スタティックデューティ）



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

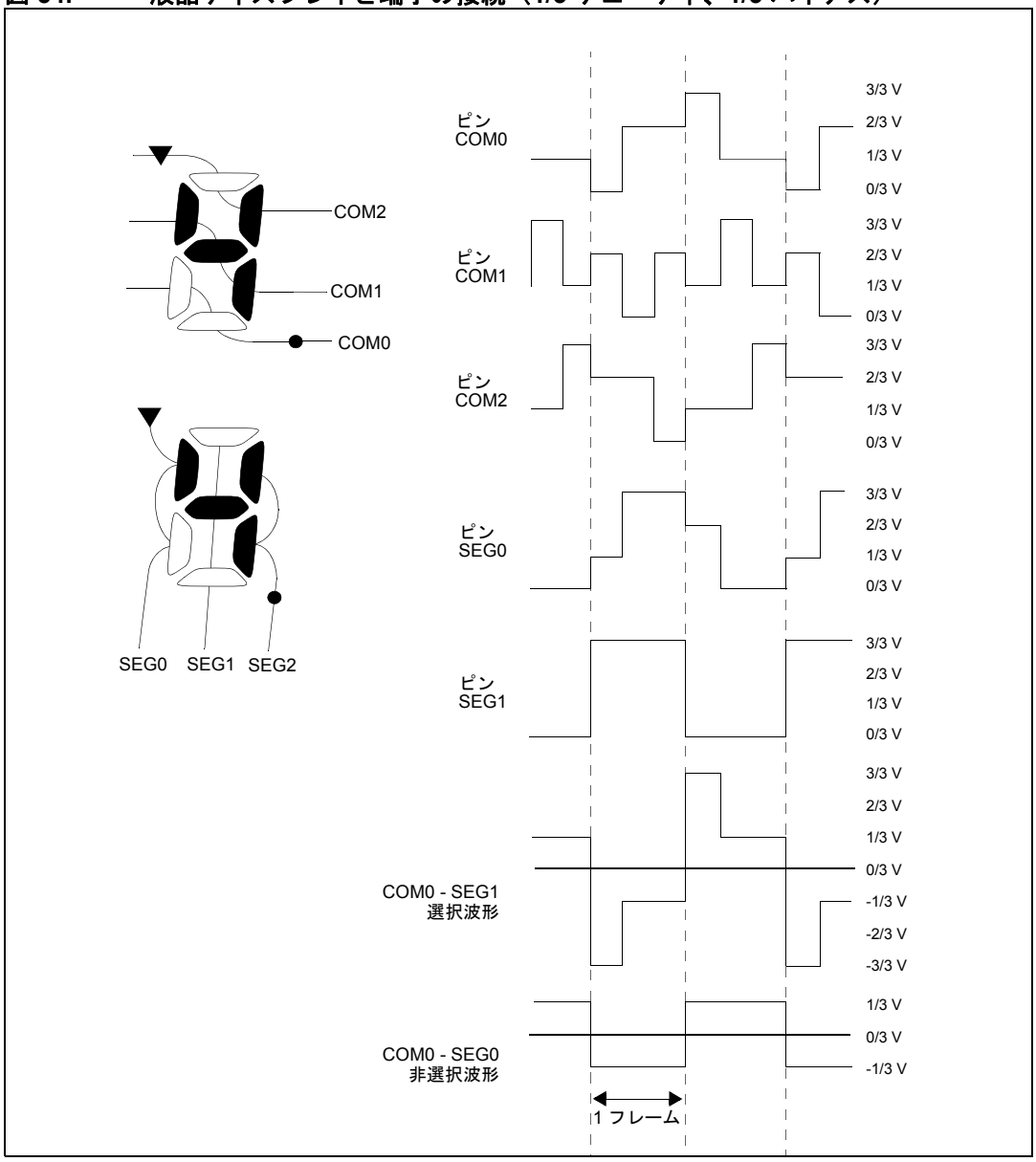
参考資料

図 53. 液晶ディスプレイと端子の接続（1/2 デューティ、1/2 バイアス）



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

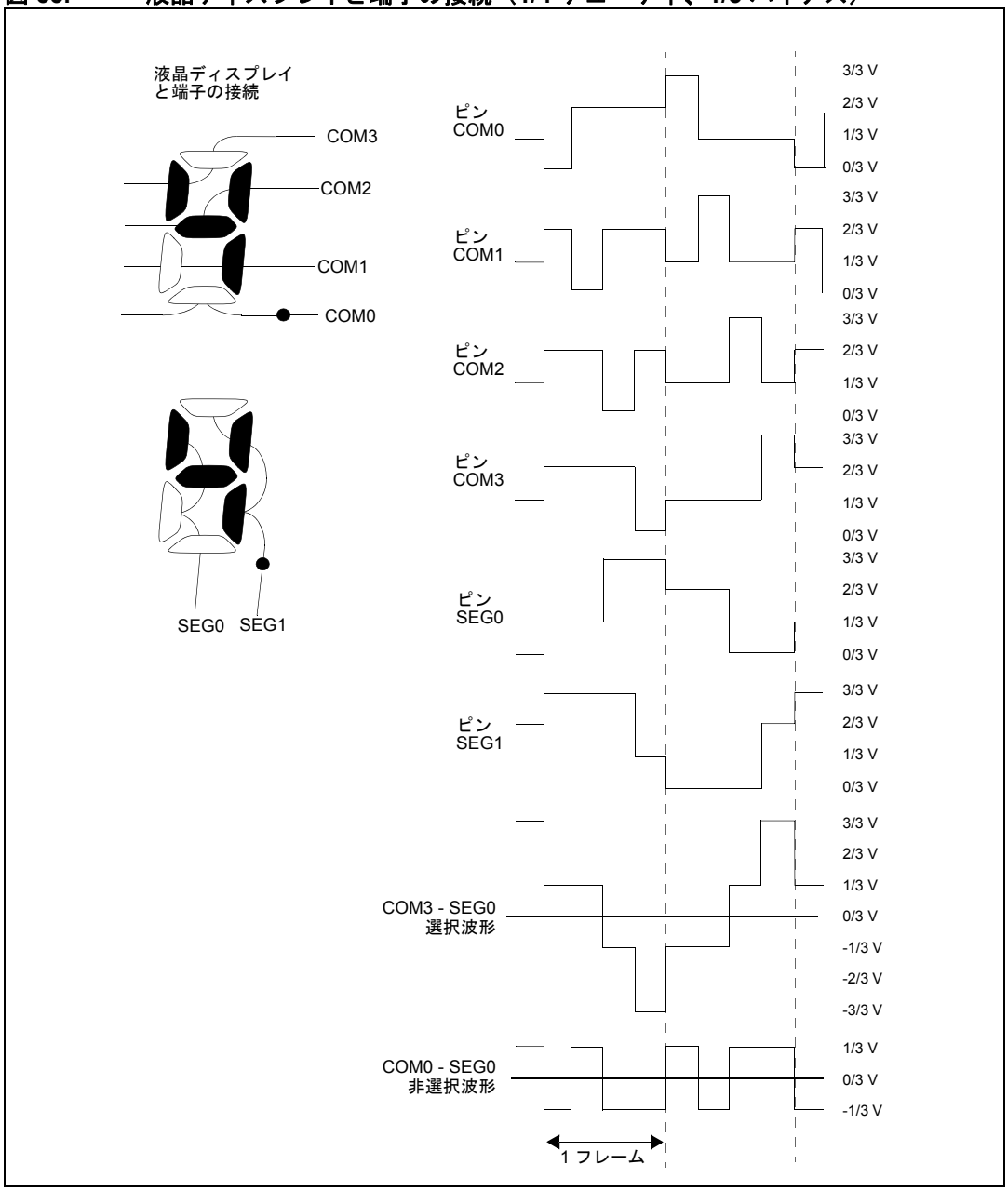
図 54. 液晶ディスプレイと端子の接続（1/3 デューティ、1/3 バイアス）



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

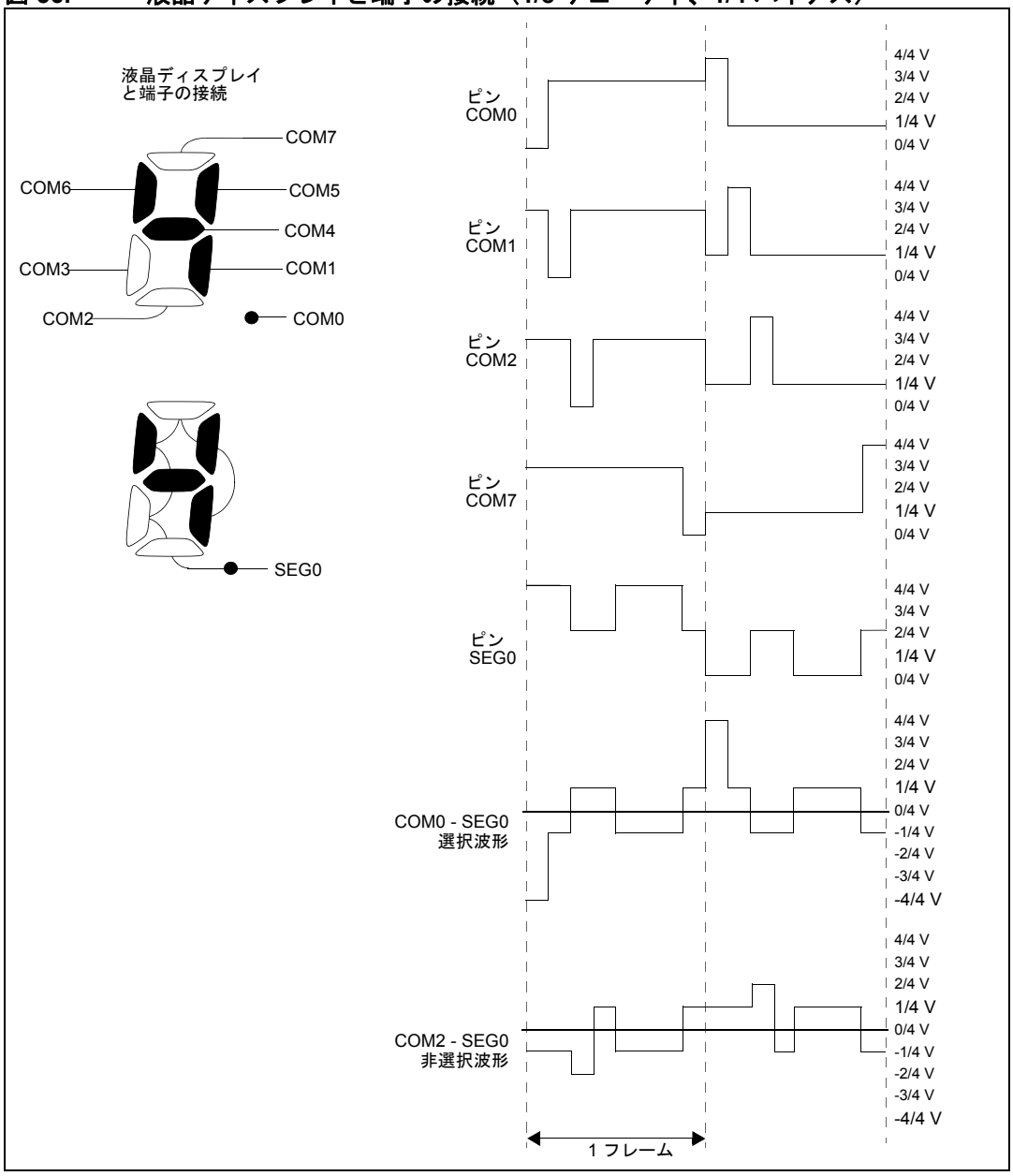
参考資料

図 55. 液晶ディスプレイと端子の接続（1/4 デューティ、1/3 バイアス）



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 56. 液晶ディスプレイと端子の接続（1/8 デューティ、1/4 バイアス）



1. 中+容量および大容量デバイスでのみ使用可能。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

17.3.4 セグメントドライバ

セグメントドライバは、コモンドライバによって各位相で駆動される 4：1 マルチプレクサ（中容量デバイス）または 8：1 マルチプレクサ（中+容量および大容量デバイス）からの入力ピクセルデータに応じてセグメントを制御します。

1/4 デューティの場合、COM0 が有効なとき、COM0 に接続されたピクセル（最初の 8 つの LCD RAM 位置の内容）を基準にしたピクセル情報（有効/無効）は、4：1 マルチプレクサを通過します。

1/8 デューティの場合、COM0 が有効なとき、COM0 に接続されたピクセル（最初の 8 つの LCD RAM 位置の内容）を基準にしたピクセル情報（有効/無効）は、8：1 マルチプレクサを通過します。

セグメントドライバは、さまざまな方法で動作します。

- COM0 が有効なとき、ピクセル”n”が有効な場合：
  - セグメントドライバは、偶数フレームの位相 0 で SEGn ピン（”n”は、中容量デバイスでは 0～27、中+容量および大容量デバイスでは 0～43）を V_{SS} に駆動します。
  - セグメントドライバは、奇数フレームの位相 0 で SEGn ピンを V_{LCD} に駆動します。
- ピクセル”n”が無効な場合：
  - セグメントドライバは、偶数フレームで SEGn ピンを 2/3 V_{LCD} に駆動します。
  - セグメントドライバは、奇数フレームで SEGn ピンを 1/3 V_{LCD} に駆動します（V_{LCD} ピンの電流反転）。
  - 1/2 バイアスの場合：SEGn ピンは、奇数フレームでは V_{SS} に、偶数フレームでは V_{LCD} に、それぞれ駆動されます（*図 53* を参照）。

セグメントドライバは、一般的な入出力として LCD ピンの多重化も行います。

17.3.5 セグメントの有効化

各セグメントピン（SEG[27:0] または SEG[43:0]）は、4 または 6 個の LCD_PM レジスタを介して個別に有効または無効に（汎用入出力として設定）することができます。LCD_CR3 レジスタの LCDEN ビットがリセットされ、ピンがセグメントピンとして設定された場合、セグメントラインは、偶数フレームの最後に V_{SS} までプルダウンされます。

17.3.6 点滅

LCD_CR1 レジスタの BLINK[1:0] ビットを介して、点滅ピクセルの数を選択できます。

- 単一のピクセル（COM0、SEG0）、
- SEG0 に接続されたすべてのピクセル（最大 4）、
- またはすべてのピクセル。

そのためには、LCD データ RAM の対応するビットをプログラミングする必要があります。

点滅プリスケーラは、BLINKF[2:0] ビットを介して、0.5 Hz、1 Hz、2 Hz、または 4 Hzを含む広範囲の点滅周波数を選択します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

17.3.7 COM[7:4] と SEG[43:40]、SEG[39:36]、または SEG[31:28] の多重化

中+容量および大容量デバイスでは、LCD コントローラは、使用可能な N+4 個の LCD ピンを介して、Nx4 または (N-4)x8 個のピクセルを駆動できます。COM4..7 信号と一部の SEG 信号（パッケージに依存）は同じ 4 本のピンを共有し、多重化は LCD_CR4 レジスタの DUTY8 ビットによって制御されます。

注 : "N"の値は、80 ピン、64 ピン、または 48 ピンのパッケージで、それぞれ 44、40、または 32 です。

表 58. SEG および COM 信号の配置

パッケージ	DUTY8 = 0	DUTY8 = 1
80 ピンパッケージ	SEG40...43 は、それぞれポート PF4...PF7 に配置されます。	COM4...7 は、それぞれポート PF4...PF7 に配置されます。
64 ピンパッケージ	SEG36...39 は、それぞれポート PF4...PF7 に配置されます。	COM4...7 は、それぞれポート PF4...PF7 に配置されます。
48 ピンパッケージ	SEG28...31 は、それぞれポート PC4、PC7、PE6、および PE7 に配置されます。	COM4...7 は、それぞれポート PC7、PE6、および PF7 に配置されます。

- 80 ピンパッケージの場合 : LCD コントローラは、使用可能な 48 本の LCD ピンを介して、44x4 個または 40x8 個のピクセルを駆動できます。COM4..7 信号と SEG40..43 信号は同じ 4 本のピンを共有し、多重化は LCD_CR4 レジスタの DUTY8 ビットによって制御されます。
  - DUTY8=0 の場合、SEG40..43 は、それぞれポート PF4..PF7 に配置されます。
  - DUTY8=1 の場合、COM4..7 は、それぞれポート PF4..PF7 に配置されます。
- 64 ピンパッケージの場合 : LCD コントローラは、使用可能な 44 本の LCD ピンを介して、40x4 個または 36x8 個のピクセルを駆動できます。COM4..7 信号と SEG36..39 信号は同じ 4 本のピンを共有し、多重化は LCD_CR4 レジスタの DUTY8 ビットによって制御されます。
  - DUTY8=0 の場合、SEG36..39 は、それぞれポート PF4..PF7 に配置されます。
  - DUTY8=1 の場合、COM4..7 は、それぞれポート PF4..PF7 に配置されます。
- 48 ピンパッケージの場合 : LCD コントローラは、使用可能な 28 本の LCD ピンを介して、24x4 個または 20x8 個のピクセルを駆動できます。COM4..7 信号と SEG28..31 信号は、同じ 4 本のピンを共有し、多重化は LCD_CR4 レジスタの DUTY8 ビットによって制御されます。
  - DUTY8=0 の場合、SEG28..31 は、それぞれポート PC4、PC7、PE6、および PE7 に配置されます。
  - DUTY8=1 の場合、COM4..7 は、それぞれポート PC4、PC7、PE6、および PE7 に配置されます。

17.3.8 LCD 電圧レベルの生成

LCD 電圧レベルは、以下を使用して内部的に生成されます。

- V_{LCD} を生成する内部ブースタ。LCD_CR2 レジスタの VSEL ビットがセットされている場合、ユーザは、VLCD ピンを介して外部的に V_{LCD} 電圧を供給することもできます。
- すべての V_{LCD} 中間電圧を生成する内部抵抗ディバイダネットワーク（*図 57* を参照）。

実際には、遷移時の電流を増やし、静止状態での電力消費を減らすために、2 つの抵抗回路網が使用されます。

- EN 信号がセットされたときは、VLCD ピンでの電力消費を回避するために、R_H ディバイダが有効にされます。
- コモンラインとセグメントラインのレベルが変化すると、プログラマブルな短い期間だけ、R_L ディバイダが有効になります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

EN 信号は以下の規則に従います。

- LCD_CR3 レジスタの LCDEN ビットがセットされている場合、EN 信号は”1”です。
- LCD_CR3 の LCDEN ビットをクリアすると、フレームの処理中に 0 以外の中間電圧レベルを回避するために、偶数フレームの最後に EN 信号は”0”になります。

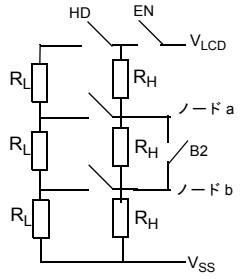
パルス生成（*図 48*を参照）によって HD（高駆動）信号を介して RL が有効にされる時間は、LCD_CR2 レジスタの PON[2:0]（パルスオン期間）ビットによって設定されます。駆動時間を短くすると消費電力は減少しますが、内部抵抗が高いディスプレイでは、十分なコントラストを得るために長い駆動時間を必要とすることがあります。R_L ディバイダは、LCD_CR2 レジスタの HD ビットを使用して、いつでもオンにできます。

HD 信号は、以下の規則に従います。

- LCD_CR2 の HD ビットと PON[2:0] ビットがリセットされた場合、HD 信号は”0”です。
- LCD_CR2 レジスタの HD ビットがリセットされ、LCD_CR2 の PON[2:0] ビットが 00 以外である場合、PON[2:0] ビットで定義されたパルス数の間、HD 信号は”1”です。
- LCD_CR2 レジスタの HD ビットが 1 である場合、HD 信号は常に 1 です。

V_{LCD} 値は、LCD_CR2 レジスタの CC[2:0] ビット（コントラスト制御ビット）を使用して、V_{LCDmin} から V_{LCDmax} までの広い値の中から選択できます（*図 48*を参照）。新しい VLCD 値は、新しいフレームが開始されるたびに有効になります。

図 57. 抵抗回路網



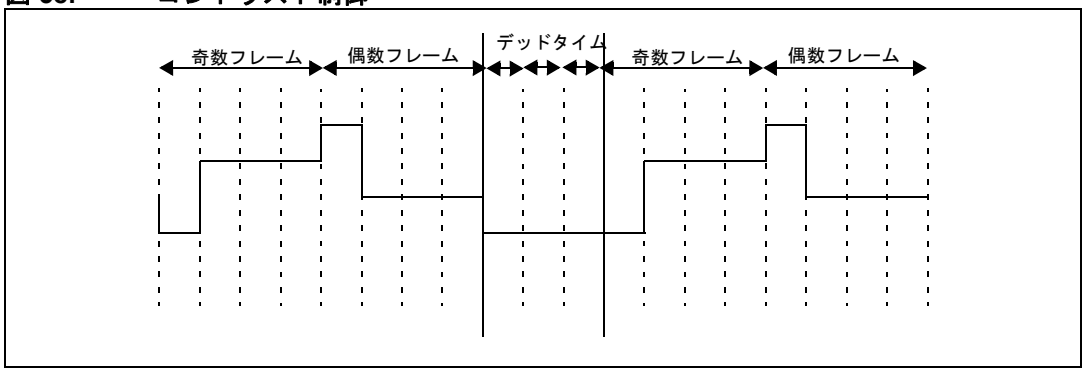
- 1/2 バイアスの場合、1 つの電圧レベル（1/2 V_{LCD}）が生成され、ノード *a* 電圧はノード *b* 電圧に等しく、その値は 1/2 V_{LCD} です。
- 1/3 バイアスの場合、2 つの中間電圧レベル（1/3 V_{LCD}、2/3 V_{LCD}）が生成されます。
  - 偶数フレーム時には、ノード *b* 電圧（VbCOM）は 1/3 V_{LCD} に等しく、ノード *a* 電圧（VaSEG）は 2/3 V_{LCD} です。
  - 奇数フレーム時には、ノード *b* 電圧は 2/3 V_{LCD}、ノード *a* 電圧は 1/3 V_{LCD} です。
- 1/4 バイアスの場合（中+容量および大容量デバイスのみ）、3 つの中間電圧レベル（1/4 V_{LCD}、1/2 V_{LCD}、および 3/4 V_{LCD}）が生成されます。
  - 偶数フレーム時には、ノード *b* 電圧（VbCOM）は 1/3 V_{LCD} に等しく、ノード *a* 電圧（VaSEG）は 3/4 V_{LCD} です。
  - 奇数フレーム時には、ノード *b* 電圧は 3/4 V_{LCD}、ノード *a* 電圧は 1/4 V_{LCD} です。

内部または外部 V_{LCD} ソースは、LCD_CR2 レジスタの VSEL ビットを使用して選択できます。

コントラストを制御するには、COM/SEG 値が同じ時間に Vss に接続される各フレームカップル間でのデッドタイムをプログラミングします。LCD_CR3 レジスタの DEAD[0:2] ビットを使用して、最大 8 回の位相周期をプログラミングできます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 58. コントラスト制御



17.4 LCD コントローラ低電力モード

表 59. 低電力モードでの LCD 動作

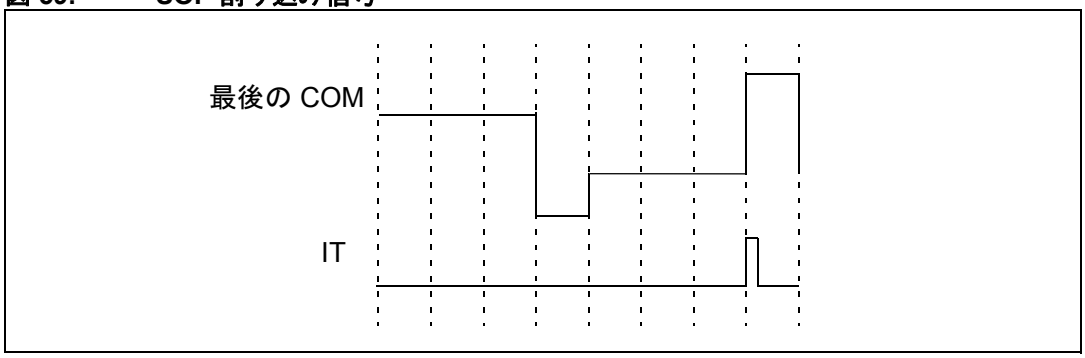
モード	説明
低電力 WAIT/WAIT	LCD はまだ有効です。
アクティブ HALT	LCD はまだ有効です。
HALT 終了	LCD は有効ではありません。

注： デバイスが HALT モードに入れるのは、HSE または HSI が RTC クロックソースとして使用されるときに限られます。LSE または LSI が選択されると、デバイスはアクティブ HALT モードになります。

17.5 LCD コントローラ割り込み

コモンドライバは、LCD_CR3 レジスタの SOF ビットを介して、新フレーム開始フラグを生成することもできます。このビットは、偶数フレームの最後の COM の始めにセットされます。この時点で、最後のセグメントが表示され、CPU がデータ RAM を更新することで、LCD パネルのデータ表示のちらつきを回避できます。

図 59. SOF 割り込み信号



LCD_CR3 レジスタの SOFIE ビット（割り込みイネーブルビット）がセットされた場合、LCD フレーム開始割り込みが生成されます。フレーム開始フラグは、LCD_CR3 レジスタの SOFC ビットに 1 を書き込むことによって、ソフトウェアによってクリアされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 60. LCD 割り込みリクエスト

割り込みイベント	イベントフラグ	イネーブル制御ビット	WAIT 終了	HALT 終了
フレーム開始フラグ	SOF	SOFIE	あり	なし

17.6 LCD コントローラレジスタ

17.6.1 制御レジスタ 1（LCD_CR1）

アドレスオフセット：0x00

リセット値：0x00

7	6	5	4	3	2	1	0
BLINK1	BLINK0	BLINKF2	BLINKF1	BLINKF0	DUTY1	DUTY0	B2
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:6 **BLINK**[1:0]：点滅イネーブル

00：点滅無効
01：SEG0/COM0（1 ピクセル）
10：SEG0/COMx（最大 4 ピクセル）
11：SEGx/COMx（すべてのピクセル）

ビット 5:3 **BLINKF[2:0]**：点滅周波数

000：$f_{LCD}/8$
001：$f_{LCD}/16$
010：$f_{LCD}/32$
011：$f_{LCD}/64$
100：$f_{LCD}/128$
101：$f_{LCD}/256$
110：$f_{LCD}/512$
111：$f_{LCD}/1024$

ビット 2:1 **DUTY**：デューティ比選択

00：スタティックデューティ
01：1/2 デューティ
10：1/3 デューティ
11：1/4 デューティ

ビット 0 **B2**：1/2 バイアスセレクタ

0：1/3 バイアス
1：1/2 バイアス

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

17.6.2 制御レジスタ 2（LCD_CR2）

アドレスオフセット：0x01

リセット値：0x00

7	6	5	4	3	2	1	0
PON2	PON1	PON0	HD	CC2	CC1	CC0	VSEL
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:5 **PON**：パルスオン期間

これらのビットは、パルス期間（CLK_{PS} パルスの数）を指定します。パルス期間は、最初のプリスケーラから着信する PON[2:0] クロックサイクルであり、SEG および COM ピンでの電圧遷移のたびに RL 抵抗回路網がオンになる時間を決定します。駆動時間を短くすると消費電力は減少しますが、内部抵抗が高いディスプレイでは、十分なコントラストを得るために長い駆動時間を必要とすることがあります。

注：　駆動時間は、プリスケールされた LCD クロック周期の半分より長くなることはありません。

000：0 CLK_{PS} パルス
001：1 CLK_{PS} パルス
010：2 CLK_{PS} パルス
011：3 CLK_{PS} パルス
100：4 CLK_{PS} パルス
101：5 CLK_{PS} パルス
110：6 CLK_{PS} パルス
111：7 CLK_{PS} パルス

ビット 4 **HD**：高駆動イネーブル

このビットは、低抵抗ディバイダを常時有効にします。内部抵抗が高いディスプレイは、十分なコントラストを得るために長い駆動時間を必要とすることがあるので、強い電力制約がない場合、ソフトウェアは HD ビットをセットすることができます。

0：高駆動は常時無効。
1：高駆動は常時有効。

ビット 3:1 **CC[2:0]**：コントラスト制御

これらのビットは、V_{LCD} の最大電圧の 1 つを指定します（V_{DD} とは無関係）。

新しい値は、新しいフレームが始まるたびに有効になります。電圧ジェネレータの内部には、コントラストコントローラ（ブースト回路）が必要です。

000：VLCD0
001：VLCD1
010：VLCD2
011：VLCD3
100：VLCD4
101：VLCD5
110：VLCD6
111：VLCD7

注：　VLCDx の値については、デバイスのデータシートを参照してください。

ビット 0 **VSEL**：VSEL ビットは LCD 電圧ソースを決定します。

0：内部ソース
1：外部ソース

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

17.6.3 制御レジスタ 3（LCD_CR3）

アドレスオフセット：0x02

リセット値：0x00

7	6	5	4	3	2	1	0
-	LCDEN	SOFIE	SOF	SOFC	DEAD2	DEAD1	DEAD0
-	rw	rw	r	w	rw	rw	rw

ビット 7 予約済み。0 に固定。

ビット 6 **LCDEN**：LCD イネーブル

このビットをフレーム中でクリアすると、フレーム中の 0 以外の中間電圧レベルを回避するために、偶数フレームの最後のリセットが遅延します。

0：LCD コントローラ無効

1：LCD コントローラ有効

ビット 5 **SOFIE**：割り込みイネーブル

このビットがセットされると、LCD フレーム開始割り込みが有効になります。

0：SOF 割り込み無効。

1：SOF 割り込み有効。

ビット 4 **SOF**：フレーム開始フラグ

このビットは、偶数フレームの最後の COM の始めにハードウェアによってセットされます。SOFIE ビットがセットされている場合、LCD 割り込みが処理されます。SOF は、SOFC ビットをセットすることによって、ソフトウェアによってクリアされます。

0：SOF 無効

1：SOF 有効（新フレーム開始）

ビット 3 **SOFC**：SOF フラグクリア

このビットをセットすると、SOF フラグがクリアされます。このビットは、ハードウェアによって自動的にリセットされます。

ビット 2:0 **DEAD[2:0]**：デッドタイムイネーブル

これらのビットは、コントラストを減らすために COM および SEG 電圧レベルが 0 に固定される、フレームカップル間の位相数を決定します。

Dead = 000：デッドタイムなし

Dead = 001：1 位相周期のデッドタイム

Dead = 010：2 位相周期のデッドタイム

Dead = 011：3 位相周期のデッドタイム

Dead = 100：4 位相周期のデッドタイム

Dead = 101：5 位相周期のデッドタイム

Dead = 110：6 位相周期のデッドタイム

Dead = 111：7 位相周期のデッドタイム

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

17.6.4 周波数選択レジスタ（LCD_FRQ）

アドレスオフセット：0x03

リセット値：0x00

7	6	5	4	3	2	1	0
PS3	PS2	PS1	PS0	DIV3	DIV2	DIV1	DIV0
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:4 **PS[3:0]**：CLK 16 ビットプリスケーラ

入力クロック（CLK）はプリスケーラに送られます。PS[3:0] ビットは、クロックを $2^{PS[3:0]}$ 分周するためのプリスケーラを選択します。プリスケールされた出力 CLK_{PS} は、DIV[3:0] ビットをセットすることによって、さらに分周できます。PS ビットと DIV ビットは、LCD モジュールに送られるプリスケールされた LCD クロック（CLK_{LCD}）を決定します。

ビット 3:0 **DIV[3:0]**：16～31 のディバイダ

これらのビットは、最初のプリスケーラから出てくるクロックの DIV[3:0]+16 個分の周期とすることができるように、LCD クロックの周波数を設定します。このクロックディバイダは、より柔軟なフレームレート選択を実現します。

17.6.5 ポートマスクレジスタ（LCD_PM）

アドレスオフセット：0x04～0x07（中容量デバイス）または 0x04～0x09（中+容量および大容量デバイス）

リセット値：0x00

	7	6	5	4	3	2	1	0
0x04 (LCD_PM0)	SEG07	SEG06	SEG05	SEG04	SEG03	SEG02	SEG01	SEG00
0x05 (LCD_PM1)	SEG15	SEG14	SEG13	SEG12	SEG11	SEG10	SEG09	SEG08
0x06 (LCD_PM2)	SEG23	SEG22	SEG21	SEG20	SEG19	SEG18	SEG17	SEG16
0x07 (LCD_PM3)	SEG31(1)	SEG30(1)	SEG29(1)	SEG28(1)	SEG27	SEG26	SEG25	SEG24
0x08 (LCD_PM4)	SEG39(1)	SEG38(1)	SEG37(1)	SEG36(1)	SEG35(1)	SEG34(1)	SEG33(1)	SEG32(1)
0x09 (LCD_PM5)	予約済み				SEG43(1)	SEG42(1)	SEG41(1)	SEG40(1)
	rw	rw	rw	rw	rw	rw	rw	rw

1. 中+容量および大容量デバイスでのみ使用可能。中容量デバイスでは予約済み。

ビット 7:0 **PM[7:0]**：SEG[i] のポートマスク

これらのビットは、セグメントドライバとして使用されるポートピンの数を決定します。

未使用ピンは、汎用入出力として使用できます。

0：ピンを汎用入出力として設定

1：セグメント有効

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

17.6.6 制御レジスタ 4（LCD_CR4）

アドレスオフセット：0x2F

リセット値：0x00

注： ***このレジスタは、中+容量および大容量デバイスでのみ使用可能です。***

7	6	5	4	3	2	1	0
予約済み					PAGE_COM	DUTY8	B4
r	r	r	r	r	rw	rw	rw

ビット 7:3 予約済み。0 に固定。

ビット 2 **PAGE_COM**：LCD_RAM ページセレクタ

0：アドレス 0x0C～0x021 は、COM0、1、2、および 3 に対応し、LCD RAM の最初のページにアクセスできるようにします。

- S0[i] LCD RAM ビットは、COM0 の SEG[i] に対応します。
- S1[i] LCD RAM ビットは、COM1 の SEG[i] に対応します。
- S2[i] LCD RAM ビットは、COM2 の SEG[i] に対応します。
- S3[i] LCD RAM ビットは、COM3 の SEG[i] に対応します。

1：アドレス 0x0C～0x021 は、COM4、5、6、および 7 に対応し、LCD RAM の最初のページにアクセスできるようにします。

- S0[i] LCD RAM ビットは、COM4 の SEG[i] に対応します。
- S1[i] LCD RAM ビットは、COM5 の SEG[i] に対応します。
- S2[i] LCD RAM ビットは、COM6 の SEG[i] に対応します。
- S3[i] LCD RAM ビットは、COM7 の SEG[i] に対応します。

ビット 1 **DUTY8**：1/8 デューティイネーブル

0：LCD_CR1 レジスタの DUTY [1:0] ビットを介してデューティを選択

1：1/8 デューティ有効

ビット 0 **B4**：1/4 バイアスイネーブル

0：LCD_CR1 レジスタの B2 ビットを介して 1/2 または 1/3 バイアスを選択。

1：1/4 バイアス有効（LCD_CR1 レジスタのビット B2 をリセットする必要があります）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

17.6.7 液晶ディスプレイメモリ（LCD_RAM）

アドレスオフセット：0x0C～0x19（中容量デバイス）または 0x0C～0x21（中+容量および大容量デバイス）

リセット値：0x00

	7	6	5	4	3	2	1	0
0x0C	S0[7:0] *(COM0 または COM4[1])*							
	rw							
0x0D	S0[15:8] *(COM0 または COM4[1])*							
	rw							
0x0E	S0[23:16] *(COM0 または COM4[1])*							
	rw							
0x0F	S1[3:0] *(COM1 または COM5[1])*				S0[27:24] *(COM0 または COM4[1])*			
	rw							
0x10	S1[11:4] *(COM1 または COM5[1])*							
	rw							
0x11	S1[19:12] *(COM1 または COM5[1])*							
	rw							
0x12	S1[27:20] *(COM1 または COM5[1])*							
	rw							
0x13	S2[7:0] *(COM2 または COM6[1])*							
	rw							
0x14	S2[15:8] *(COM2 または COM6[1])*							
	rw							
0x15	S2[23:16] *(COM2 または COM6[1])*							
	rw							
0x16	S3[3:0] *(COM3 または COM7[1])*				S2[27:24] *(COM2 または COM6[1])*			
	rw							
0x17	S3[11:4] *(COM3 または COM7[1])*							
	rw							
0x18	S3[19:12] *(COM3 または COM7[1])*							
	rw							
0x19	S3[27:20] *(COM3 または COM7[1])*							
	rw							
0x1A[2]	S0[35:28][2] *(COM0 または COM4)*							
	rw							

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

0x1B(2)	S0[43:36](2) *(COM0 または COM4)*
	rw
0x1C(2)	S1[35:28](2) *(COM1 または COM5)*
	rw
0x1D(2)	S1[43:36](2) *(COM1 または COM5)*
	rw
0x1E(2)	S2[35:28](2) *(COM2 または COM6)*
	rw
0x1F(2)	S2[43:36](2) *(COM2 または COM6)*
	rw
0x20(2)	S3[35:28](2) *(COM3 または COM7)*
	rw
0x21(2)	S3[43:36](2) *(COM3 または COM7)*
	rw

1. COM4、5、6、および 7 は、中+容量および大容量デバイスでのみ使用可能です。
2. レジスタは中+容量および大容量デバイスでのみ使用可能。中容量デバイスでは予約済み。

各ビットは、液晶ディスプレイの 1 ピクセルに対応します。

0：ピクセル無効

1：ピクセル有効

中+容量および大容量デバイスの場合：

LCD_CR4 の DUTY8 ビットをセットして 8 つの COM を有効にすると、LCD RAM は、LCD_CR4 レジスタの PAGE_COM ビットによってそれぞれ有効にされる 2 つのページを介してアクセスされます。

PAGE_COM=0 のとき、アドレス 0x0C～0x21 は、COM0、1、2、および 3 に対応し、最初のページにアクセスできるようにします。PAGE_COM ビットの説明を参照してください。

PAGE_COM=1 のとき、アドレス 0x0C～0x21 は、COM4、5、6、および 7 に対応し、2 番目のページにアクセスできるようにします。PAGE_COM ビットの説明を参照してください。

中容量デバイスの場合：

アドレス 0x0C～0x19 は、COM0、1、2、および 3 に対応し、LCD RAM ページにアクセスできるようにします。

- LCD RAM ビット S0[i] は、COM0 の SEG[i] に対応します。
- LCD RAM ビット S1[i] は、COM1 の SEG[i] に対応します。
- LCD RAM ビット S2[i] は、COM2 の SEG[i] に対応します。
- LCD RAM ビット S3[i] は、COM3 の SEG[i] に対応します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

17.6.8 LCD レジスタマップとリセット値

LCD レジスタマップ

アドレス オフセット	レジスタ名	7	6	5	4	3	2	1	0
0x00	LCD_CR1 リセット値	BLINK1 0	BLINK0 0	BLINKF2 0	BLINKF1 0	BLINKF0 0	DUTY1 0	DUTY0 0	B2 0
0x01	LCD_CR2 リセット値	PON2 0	PON1 0	PON0 0	HD 0	CC2 0	CC1 0	CC0 0	VSEL 0
0x02	LCD_CR3 リセット値	予約済み 0	LCDEN 0	SOFIE 0	SOF 0	SOFC 0	DEAD2 0	DEAD1 0	DEAD0 0
0x03	LCD_FRQ リセット値	PS3 0	PS2 0	PS1 0	PS0 0	DIV3 0	DIV2 0	DIV1 0	DIV0 0
0x04	LCD_PM0 リセット値	PM_SEG[7:0] 00000000							
0x05	LCD_PM1 リセット値	PM_SEG[15:8] 00000000							
0x06	LCD_PM2 リセット値	PM_SEG[23:16] 00000000							
0x07	LCD_PM3 リセット値	PM_SEG[31:24] 00000000							
0x08	LCD_PM4 リセット値	PM_SEG[39:32](1) 00000000							
0x09	LCD_PM5 リセット値	予約済み				SEG[43:40](2) 00000000			
0x0A～0x0B	予約済み	予約済み							
0x0C	LCD_RAM0 リセット値	S0[7:0]（COM0 または COM4）(3) 00000000							
0x0D	LCD_RAM1 リセット値	S0[15:8]（COM0 または COM4）(3) 00000000							
0x0E	LCD_RAM2 リセット値	S0[23:16]（COM0 または COM4）(3) 00000000							
0x0F	LCD_RAM3 リセット値	S1[3:0]（COM1 または COM5）(3) 0000				S0[27:24]（COM0 または COM4）(3) 0000			
0x10	LCD_RAM4 リセット値	S1[11:4]（COM1 または COM5）(3) 00000000							
0x11	LCD_RAM5 リセット値	S1[19:12]（COM1 または COM5）(3) 00000000							
0x12	LCD_RAM6 リセット値	S1[27:20]（COM1 または COM5）(3) 00000000							
0x13	LCD_RAM7 リセット値	S2[7:0]（COM2 または COM6）(3) 00000000							
0x14	LCD_RAM8 リセット値	S2[15:8]（COM2 または COM6）(3) 00000000							
0x15	LCD_RAM9 リセット値	S2[23:16]（COM2 または COM6）(3) 00000000							
0x16	LCD_RAM10 リセット値	S3[3:0]（COM3 または COM7）(3) 0000				S2[27:24]（COM2 または COM6）(3) 0000			
0x17	LCD_RAM11 リセット値	S3[11:4]（COM3 または COM7）(3) 00000000							

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

LCD レジスタマップ （続き）

アドレス オフセット	レジスタ名	7	6	5	4	3	2	1	0
0x18	LCD_RAM12 リセット値	S3[19:12]（COM3 または COM7）(3) 00000000							
0x19	LCD_RAM13 リセット値	S0[27:20]（COM3 または COM7）(3) 00000000							
0x1A	LCD_RAM14(2) リセット値	S0[35:28]（COM0 または COM4）(2) 00000000							
0x1B	LCD_RAM15(2) リセット値	S0[43:36]（COM0 または COM4）(2) 00000000							
0x1C	LCD_RAM16(2) リセット値	S1[35:28]（COM1 または COM5）(2) 00000000							
0x1D	LCD_RAM17(2) リセット値	S1[43:36]（COM1 または COM5）(2) 00000000							
0x1E	LCD_RAM18(2) リセット値	S2[35:28]（COM2 または COM6）(2) 00000000							
0x1F	LCD_RAM19(2) リセット値	S2[43:36]（COM2 または COM6）(2) 00000000							
0x20	LCD_RAM20(2) リセット値	S3[35:28]（COM3 または COM7）(2) 00000000							
0x21	LCD_RAM21(2) リセット値	S3[43:36]（COM3 または COM7）(2) 00000000							
0x22～0x2E	予約済み リセット値	予約済み 00000000							
0x2F	LCD_CR4(2) リセット値	予約済み 00000					PAGE_COM 0	DUTY8 0	B4 0

1. PM_SEG[39:28] は、中+容量および大容量デバイスでのみ使用可能です。中容量デバイスでは予約済み。
2. 中+容量および大容量デバイスでのみ使用可能。中容量デバイスでは予約済み。
3. COM4、5、6、および 7 は、中+容量および大容量デバイスでのみ使用可能であり、LCD_CR4 の DUTY8 ビットをセットすることによって有効にされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

18 タイマの概要

このセクションの説明は、特に指定がない限り、中容量 STM8L15x デバイス、中+容量 STM8L15x デバイス、および大容量 STM8L15x/STM8L16x デバイスに適用されます。

STM8L15x および STM8L16x ファミリのデバイスは、最大 3 種類のタイマを搭載することができます。高機能制御用（TIM1）、汎用（TIM2/TIM3/TIM5）および基本タイマ （TIM4）の 3 つです。これらのタイマは、同じアーキテクチャを共有していますが、独自の機能を持つものもあります。同一のレジスタマッピングと共通の基本機能など、共通のタイマアーキテクチャにより、使いやすく、アプリケーションの設計も容易です。*表 61* に、タイマの主な特性を示します。

汎用タイマ TIM5 は、中+容量および大容量デバイスでのみ使用可能です（中容量デバイスでは使用できません）。詳細については、製品データシートを参照してください。

タイマはリソースを共有しませんが、互いにリンクして同期することができます。

このセクションでは、さまざまなタイマの機能の比較（*表 62*）と、内部タイマ信号名の用語（*表 63*）を示します。

*セクション 19 : 16 ビット高機能制御タイマ（TIM1）*では、タイマのさまざまなモードについて、詳細に説明します。他のタイマセクション（*セクション 20* および *セクション 21*）では、各タイマの簡単な説明と特定の詳細、ブロック図、およびレジスタについて説明します。

表 61. タイマの特性

記号	パラメータ	最小値	典型的な値	最大値	単位
$t_{w(ICAP)in}$	入力キャプチャパルス時間	2			$1/f_{SYSCLK}$
$t_{res(TIM)}$	タイマの時間分解能	1			$1/f_{SYSCLK}$
Res_{TIM}	16 ビットカウンタを使用したタイマの時間分解能		16		ビット
	8 ビットカウンタを使用したタイマの時間分解能		8		ビット
$t_{COUNTER}$	内部クロックが選択されたときのカウンタクロック周期		1		$1/f_{SYSCLK}$
t_{MAX_COUNT}	16 ビットカウンタを使用したタイマの最大カウント数			65,536	$1/f_{SYSCLK}$
	8 ビットカウンタを使用したタイマの最大カウント数			256	$1/f_{SYSCLK}$

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

18.1 タイマ機能の比較

表 62. タイマ機能の比較

タイマ	カウンタ分解能	カウンタタイプ	プリスケーラ係数	キャプチャ /比較チャネル	相補出力	繰り返しカウンタ	外部トリガ入力	外部ブレーク入力	タイマの同期/連結
TIM1（高機能制御タイマ）	16 ビット	アップ/ダウン	1 から 65536 までの任意の整数	3 + 1	3	あり	1	1	あり
TIM2、TIM3、および TIM5（汎用タイマ）		アップ/ダウン	1 から 128 までの 2 のべき乗	2	なし	なし	1	1	
TIM4（基本タイマ）	8 ビット	アップ	1 から 32768 までの 2 のべき乗	0			0	0	

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

18.2 タイマ信号名の用語

表 63. 内部タイマ信号の用語

内部信号名	説明	関連図
BI	ブレーク割り込み	図 60 : TIM1 の一般的ブロック図 (277 ページ)
CC*i*I : CC1I、CC2I、CC3I、CC4I	キャプチャ /比較割り込み	
CK_CNT	カウンタクロック	図 64 : プリスケーラ = 2 で APRE = 0 (ARR はプリロードされない) のときのカウンタの更新 (281 ページ)
CK_PSC	プリスケーラクロック	
CNT_EN	カウンタイネーブル	
CNT_INIT	カウンタ初期化	図 74 : TI2 外部クロックの接続例 (288 ページ)
ETR	TIMx_ETR ピンからの外部トリガ	図 76 : 外部トリガ入力のブロック図 (290 ページ)
ETRF	フィルタされた外部トリガ	
ETRP	プリスケールされた外部トリガ	
f_{SYSCLK}	クロックコントローラ（CLK）からのタイマペリフェラルクロック	図 14 : クロック構造 (88 ページ)
IC*i* : IC1、IC2	入力キャプチャ	図 93 : TIM 1 チャネル 1 の入力ステージ (303 ページ)
IC*i*PS : IC1PS、IC2PS	プリスケールされた入力キャプチャ	
ITR*i* : ITR0、ITR1、ITR2、ITR3	他の TIM タイマの TRGO に固定された内部トリガ入力	図 60 : TIM1 の一般的ブロック図 (277 ページ)
MATCH1	比較一致	図 83 : トリガ / マスタモード選択ブロック (296 ページ) および セクション 19.8.2 : 制御レジスタ 2 (TIM1_CR2) (329 ページ)
IC*i* : OC1、OC2	タイマ出力チャネル	図 118 : チャネル 1 の出力ステージ (365 ページ)
OC*i*REF : OC1REF、OC2REF	出力比較基準信号	
TGI	トリガ割り込み	図 72 : クロック/トリガコントローラのブロック図 (287 ページ)
TI*i* : TI1、TI2	タイマ入力	図 93 : TIM 1 チャネル 1 の入力ステージ (303 ページ)
TI*i*F : TI1F、TI2F	フィルタされたタイマ入力	
TI1_ED	タイマ入力エッジ検出器	
TI*i*FPn : TI1FP1、TI1FP2、TI2FP1、TI2FP2、TI3FP3、TI3FP4、TI4FP3、TI4FP4	フィルタされ、プリスケールされたタイマ入力	
TRC	トリガキャプチャ	
TRGI	クロック/トリガ/スレーブモードコントローラへのトリガ入力	図 73 : 通常モードの制御回路、fCK_PSC = fSYSCLK (288 ページ)

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 63. 内部タイマ信号の用語 （続き）

内部信号名	説明	関連図
TRGO	他のタイマのトリガ入力 INTx に固定されたトリガ出力	*図 60 : TIM1 の一般的ブロック図 (277 ページ)*
UEV	更新イベント	*図 64 : プリスケーラ = 2 で APRE = 0 (ARR はプリロードされない）のときのカウンタの更新 (281 ページ)*
UIF	更新割り込み	

表 64. インデックス‘*i*’、‘n’、および‘x’の説明(1)

i	信号番号 : デバイスに応じて、1、2、3、4
	ビット番号 : デバイスに応じて、1、2、3、4 .....
	レジスタ番号 : デバイスに応じて、1、2、3、4
n	信号番号（ *i* がすでに使用されている場合）: デバイスに応じて、1、2、3、4
x	タイマ番号 : デバイスに応じて、1、2、3、4、5、6
	無視（ビットに対して）

1. これらのインデックスは、*セクション 19*、*セクション 20*、および *セクション 21* で使用されています。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

19 16 ビット高機能制御タイマ（TIM1）

このセクションでは、タイマ機能のすべての機能について説明します。

19.1 概要

TIM1 は、プログラマブルなプリスケーラによって駆動される 16 ビットのアップダウン自動再ロードカウンタで構成されています。

このタイマは、以下のようなさまざまな目的で使用されます。

- タイムベースの生成
- 入力信号（入力キャプチャ）のパルス長の測定
- 出力波形の生成（出力比較、PWM、およびワンパルスモード）
- さまざまなイベント（キャプチャ、比較、オーバーフロー、ブレーク、トリガ）時の割り込み機能
- キャプチャ、比較、オーバーフローイベント時の DMA リクエスト機能
- 他のタイマ または外部信号（外部クロック、リセット、トリガ、およびイネーブル信号）との同期

このタイマは、相補出力とデッドタイム挿入を伴うセンターアライン PWM 機能を必要とするものなど、広範囲な制御アプリケーションに最適です。

タイマクロックは、内部クロックまたは外部クロックから供給でき、設定レジスタで選択できます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

19.2 TIM1 の主な機能

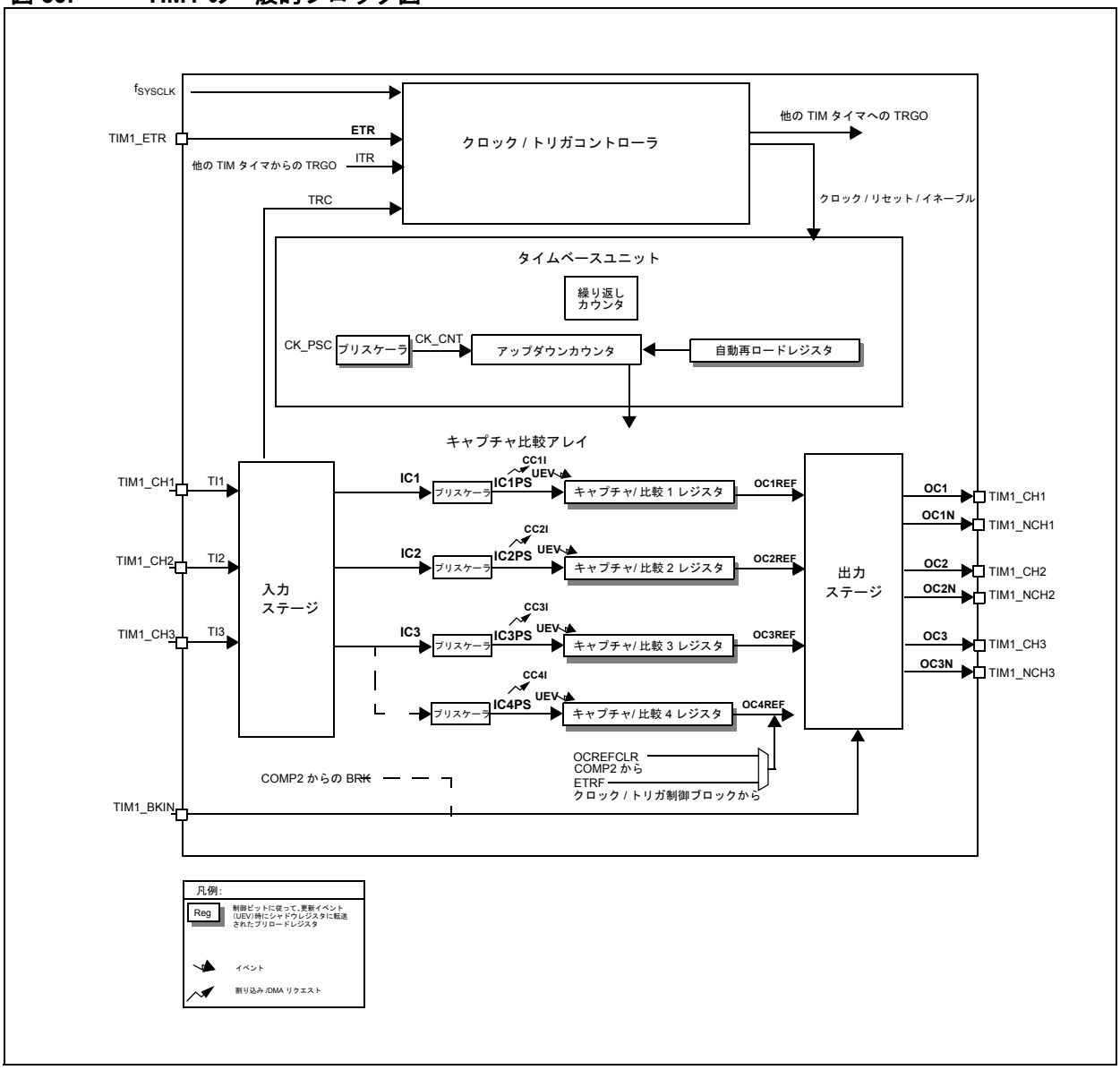
TIM1 の主な機能は、次のとおりです。

- 16 ビットのアップカウンタ、ダウンカウンタ、アップ/ダウン自動再ロードカウンタ。
- カウンタの特定のサイクル数後にのみタイマレジスタを更新する繰り返しカウンタ。
- カウンタクロック周波数を、1 から 65536 の間で動作中に分周できる 16 ビットプログラマブルプリスケーラ。
- 外部信号でタイマを制御し、複数のタイマを相互接続する同期回路。
- 次のように設定することもできる 3 つの独立チャネル（チャネル 1、チャネル 2、およびチャネル 3）：
  - 入力キャプチャ
  - 出力比較
  - PWM 生成（エッジアラインモードとセンターアラインモード）
  - 6 ステップ PWM 生成
  - ワンパルスモード出力
  - プログラマブルなデッドタイム挿入機能を持つ 3 つのチャネルの相補出力
- 外部出力には接続されない、追加のキャプチャ /比較チャネル（チャネル 4）
- タイマの出力信号をリセット状態または既知の状態にするブレーク入力。
- 外部トリガ入力ピン（ETR）
- OCREFCLR 信号またはブレーク入力は、内部でコンパレータ 2（COMP2）出力に接続できます。
- 入力キャプチャ 2 と入力キャプチャ 3 は、選択された 21 の入出力にルーティングできます。
- 以下のイベント時の割り込み生成：
  - 更新：カウンタオーバーフロー /アンダーフロー、カウンタの初期化（ソフトウェアまたは内部/外部トリガによる）
  - トリガイベント（カウンタの開始、停止、初期化、または内部/外部トリガによるカウント）
  - 入力キャプチャ
  - 出力比較
  - ブレーク入力
  - 転流イベント
- 以下のイベント時の DMA リクエスト生成：
  - 更新：カウンタオーバーフロー /アンダーフロー
  - 入力キャプチャ
  - 出力比較
  - 転流イベント
- DMA バースト転送モード

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

参考資料

図 60. TIM1 の一般的ブロック図



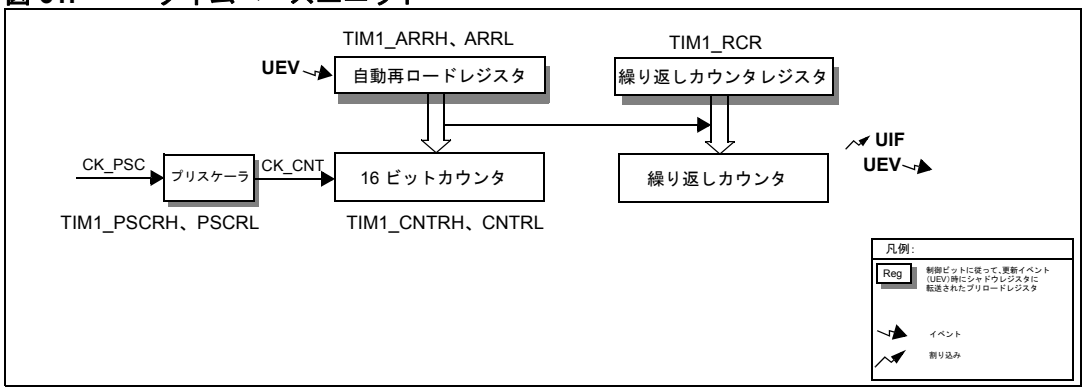
この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

19.3 TIM1 タイムベースユニット

このタイマは、以下を含むタイムベースユニットを備えています。

- 16 ビットアップ/ダウンカウンタ
- 16 ビット自動再ロードレジスタ
- 繰り返しカウンタ
- プリスケーラ

図 61. タイムベースユニット



16 ビットカウンタ、プリスケーラ、自動再ロードレジスタ、および繰り返しカウンタは、ソフトウェアによる読み書きが可能です。

自動再ロードレジスタは、プリロードレジスタとシャドウレジスタで構成されています。

自動再ロードレジスタへの書き込みは、次の 2 つのモードで行うことができます。

- **自動再ロードのプリロード有効**（TIM1_CR1 レジスタの ARPE ビットがセット）このモードでは、データが自動再ロードレジスタに書き込まれると、データはプリロードレジスタに保持され、次の更新イベント（UEV）時にシャドウレジスタに転送されます。
- **自動再ロードのプリロード無効**（TIM1_CR1 レジスタの ARPE ビットがクリア）このモードでは、データが自動再ロードレジスタに書き込まれると、データはただちにシャドウレジスタに転送されます。

更新イベントは、以下の場合に生成されます。

- カウンタオーバーフローまたはアンダーフロー時
- ソフトウェアによって、TIM1_EGR レジスタの UG ビットをセットすることによって
- クロック/トリガコントローラからのトリガイベントによって

プリロードが有効な場合（APRE=1）、更新イベントが発生すると、自動再ロードシャドウレジスタはプリロード値（TIM1_APR）で更新され、プリスケーラのバッファにプリロード値（TIM1_PSCR レジスタの内容）が再ロードされます。

UEV は、TIM1_CR1 レジスタの UDIS ビットをセットすることによって無効にできます。

カウンタのクロックは、TIM1_CR1 レジスタのカウンタイネーブルビット（CEN）がセットされているときにのみ、プリスケーラ出力 CK_CNT から供給されます。

注： ***実際のカウンタイネーブル信号 CNT_EN は、CEN の 1 クロックサイクル後にセットされます。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

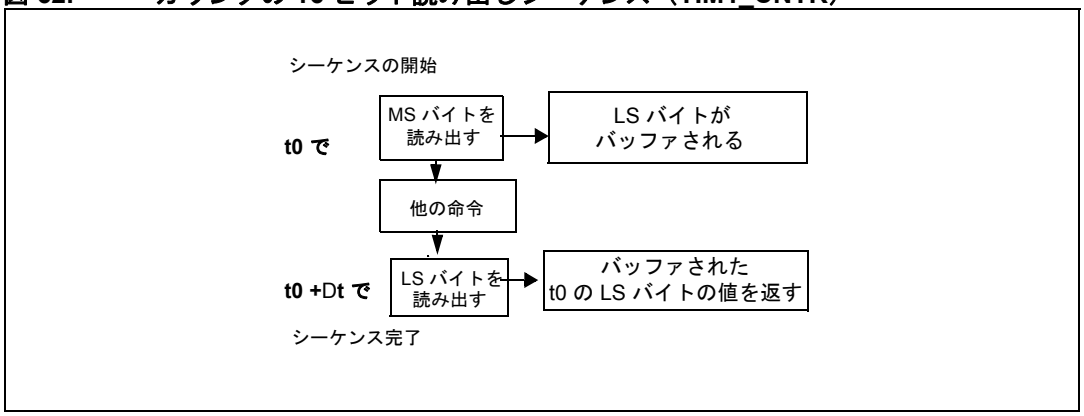
19.3.1 16 ビットカウンタの読み出しと書き込み

カウンタに書き込む場合、バッファリングは行われません。TIM1_CNTRH と TIM1_CNTRL はいつでも書き込みが可能なので、正しくない中間的内容のロードを避けるために、このカウンタの動作中には新しい値を書き込まないでください。

読み出しのために、8 ビットのバッファが実装されています。ソフトウェアは、最初に MS バイトを読み出す必要があります。その後、LS バイトの値が自動的にバッファされます（*図 62* を参照）。このバッファされた値は、16 ビット読み出しシーケンスが完了するまで、そのまま保持されます。

注： ***16 ビットカウンタの読み出しに LDW 命令を使用しないでください。LDW 命令は、最初に LS バイトを読み出すので、正しくない結果を返します。***

図 62. カウンタの 16 ビット読み出しシーケンス（TIM1_CNTR）



19.3.2 16 ビットTIM1_APR レジスタの書き込みシーケンス

TIM1_ARR レジスタには、プリロードレジスタを介して 16 ビットの値がロードされます。これは、2 つの書き込み命令（各バイトについて 1 つずつ）で行う必要があります。MS バイトが最初に書き込まれなければなりません。

シャドウレジスタの更新は、MS バイトが書き込まれると同時にブロックされ、LS バイトが書き込まれるまでブロックされたままです。LDW 命令は最初に LS バイトを書き込むため、正しくない結果になるので、使用しないでください。

19.3.3 プリスケーラ

プリスケーラは以下のように動作します。

TIM1 プリスケーラは、16 ビットレジスタ（TIM1_PSCR レジスタ）を介して制御される 16 ビットカウンタに基づきます。この制御レジスタはバッファされるので、動作中に変更できます。カウンタクロック周波数を 1 から 65536 の間の値で分周できます。

カウンタクロック周波数は、次の式で計算されます。

$f_{CK_CNT} = f_{CK_PSC}/(PSCR[15:0]+1)$

プリスケーラの値は、プリロードレジスタを介してロードされます。シャドウレジスタは、使用される現在値を含み、LS バイトが書き込まれるとロードされます。

16 ビットプリスケーラを更新するには、MSB から始めて、2 バイトを個別の書き込み操作でロードします。LDW 命令は最初に LSB を書き込むので、この目的には使用しないでください。

新しいプリスケーラ値は、次の期間（次の更新イベントの後）で、有効になります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

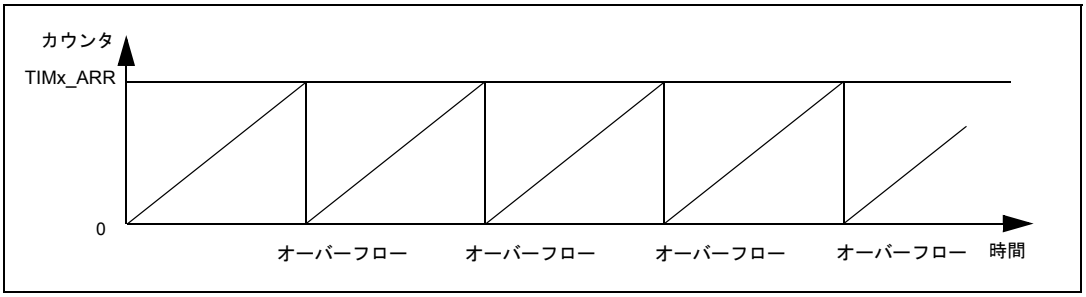
TIM1_PSCR レジスタへの読み出し動作はプリロードレジスタにアクセスするので、読み出しには特別な注意が必要です。

19.3.4 アップカウントモード

アップカウントモードでは、カウンタは、0 からユーザによって定義された比較値（TIM1_ARR レジスタの内容）までカウントします。その後、0 から再スタートして、カウンタオーバーフローイベントを生成し、TIMx_CR1 レジスタの UDIS ビットが 0 の場合は UEV を生成します。

図 63 に、このカウントモードの例を示します。

図 63. アップカウントモードのカウンタ



更新イベントは、TIM1_EGR レジスタの UG ビットをセットすることによって（ソフトウェアによって、または、トリガコントローラを使用して）生成することもできます。

UEV は、TIM1_CR1 レジスタの UDIS ビットをセットすることによって、ソフトウェアによって無効にできます。これは、プリロードレジスタに新しい値を書き込んでいるときにシャドウレジスタが更新されるのを防ぐためです。UDIS ビットに "0" が書き込まれるまで、UEV は発生しません。カウンタとプリスケーラはカウントを 0 から再スタートしますが、プリスケーラの分周数は変わらないことに注意してください。さらに、TIM1_CR1 レジスタの URS ビット（更新リクエスト選択）がセットされている場合、UG ビットをセットすると、UIF フラグをセットせずに UEV を生成します。結果として、割り込み や DMA リクエストは送信されません。これは、キャプチャイベント時にカウンタをクリアしているときに、更新とキャプチャの両方の割り込みを生成するのを防ぐためです。

更新イベントが発生すると、すべてのレジスタが更新され、URS ビットの設定に応じて、更新フラグ（TIM1_SR レジスタの UIF ビット）がセットされます。

- 自動再ロードシャドウレジスタは、プリロード値（TIM1_ARR）で更新されます。
- プリスケーラのバッファにはプリロード値（TIM1_PSCR レジスタの内容）が再びロードされます。

図 64 と *図 65* は、TIMx_ARR = 0x36 のときの、さまざまなクロック周波数におけるカウンタの動作の例を示しています。

図 64 では、プリスケーラ分周回路は 2 にセットされているので、カウンタクロック（CK_CNT）周波数はプリスケーラクロックソース（CK_PSC）の半分です。自動再ロードのプリロードは無効です（ARPE=0）。その結果、シャドウレジスタはただちに変更され、アップカウントが 0x36 に達すると、カウンタオーバーフローが発生します。これにより UEV が生成されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 64. プリスケーラ = 2 で APRE = 0（ARR はプリロードされない）のときのカウンタの更新

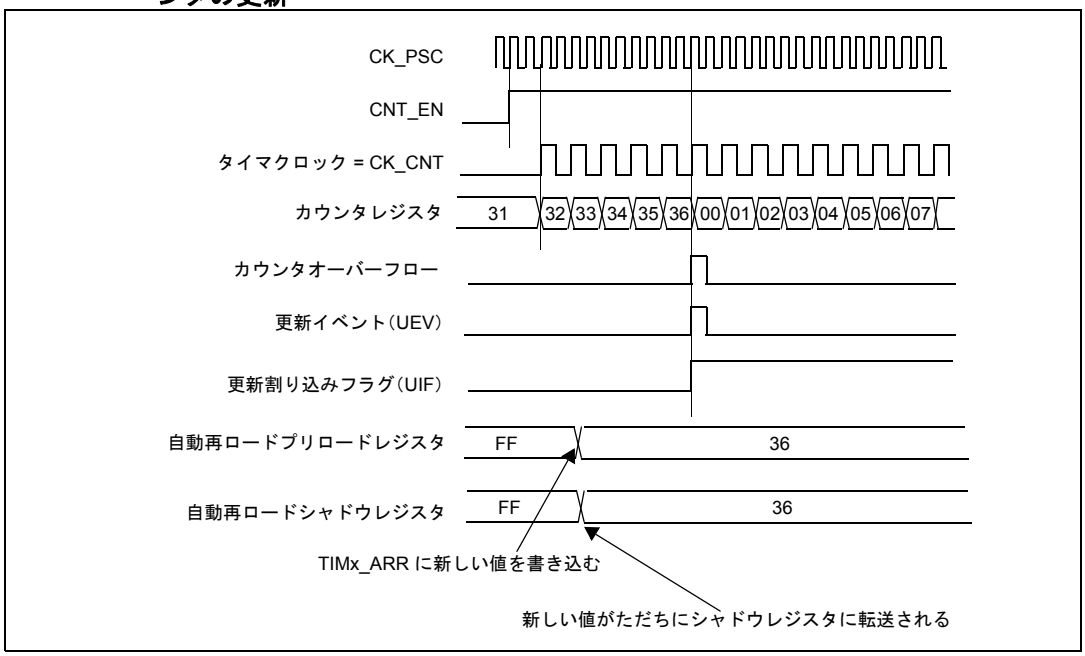
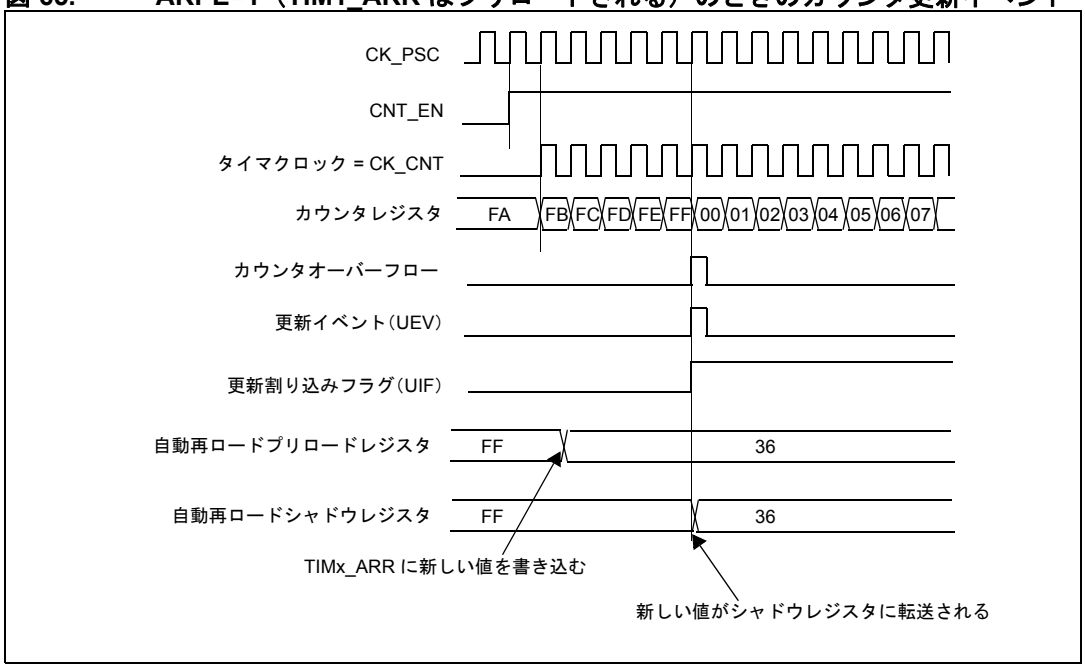


図 65 では、プリスケーラ分周回路は 1 にセットされているので、CK_CNT は CK_PSC と同じ周波数です。自動再ロードのプリロードは有効（ARPE=1）なので、次のカウンタオーバーフローは 0xFF で発生します。新しい自動再ロード値レジスタの値 36h は、UEV を生成するオーバーフローの後、有効になります。

図 65. ARPE=1（TIM1_ARR はプリロードされる）のときのカウンタ更新イベント



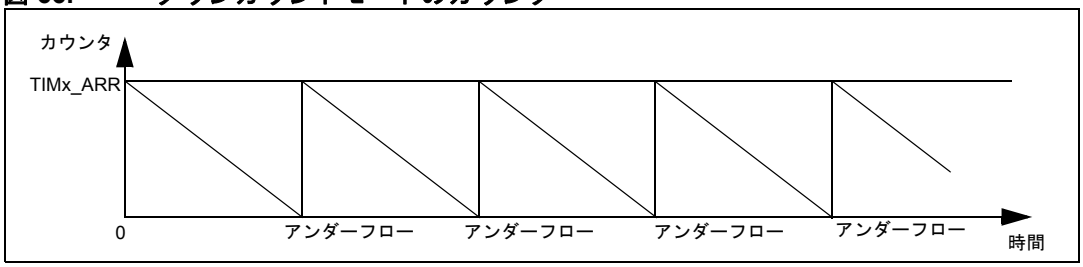
この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

19.3.5 ダウンカウントモード

ダウンカウントモードでは、カウンタは自動再ロード値（TIM1_ARR レジスタの内容）から 0 までカウントします。次にカウンタは自動再ロード値から再スタートして、TIM1_CR1 レジスタの UDIS ビットが 0 の場合は、カウンタアンダーフローと UEV を生成します。

図 66 に、このカウントモードの例を示します。

図 66. ダウンカウントモードのカウンタ



更新イベントは、TIM1_EGR レジスタの UG ビットをセットすることによっても（ソフトウェアによって、または、クロック/トリガモードコントローラを使用して）生成できます。

UEV イベントは、TIM1_CR1 レジスタの UDIS ビットをセットすることによって、ソフトウェアによって無効にできます。これは、プリロードレジスタに新しい値を書き込んでいるときにシャドウレジスタが更新されるのを防ぐためです。UDIS ビットに "0" が書き込まれるまで、更新イベントは発生しません。ただし、カウンタは現在の自動再ロード値から再スタートしますが、プリスケーラのカウンタは 0 から再スタートします（プリスケーラ比は変化しません）。

さらに、TIM1_CR1 レジスタの URS ビット（更新リクエスト選択）がセットされている場合、UG ビットをセットすると、UIF フラグをセットせずに UEV を生成します（したがって割り込み や DMA リクエストは送信されません）。これは、キャプチャイベント時にカウンタをクリアしているときに、更新とキャプチャの両方の割り込みを生成するのを防ぐためです。

更新イベントが発生すると、すべてのレジスタが更新され、URS ビットの設定に応じて、更新フラグ（TIM1_SR レジスタの UIF ビット）がセットされます。

- プリスケーラのバッファにはプリロード値（TIM1_PSCR レジスタの内容）が再びロードされます。
- 自動再ロードシャドウレジスタは、プリロードレジスタの値（TIM1_ARR レジスタの内容）で更新されます。カウンタが再ロードされる前に自動再ロードが更新されるので、次の周期は予想通りの周期になります。

図 67 と *図 68* は、TIM1_ARR = 0x36 のときの、さまざまなクロック周波数におけるカウンタの動作の例を示しています。

ダウンカウントモードでは、プリロードは通常、使用されません。したがって、新しい値は次の周期で有効になります（*図 67* を参照）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 67. プリスケーラ = 2 で APRE = 0（ARR はプリロードされない）のときのカウンタの更新

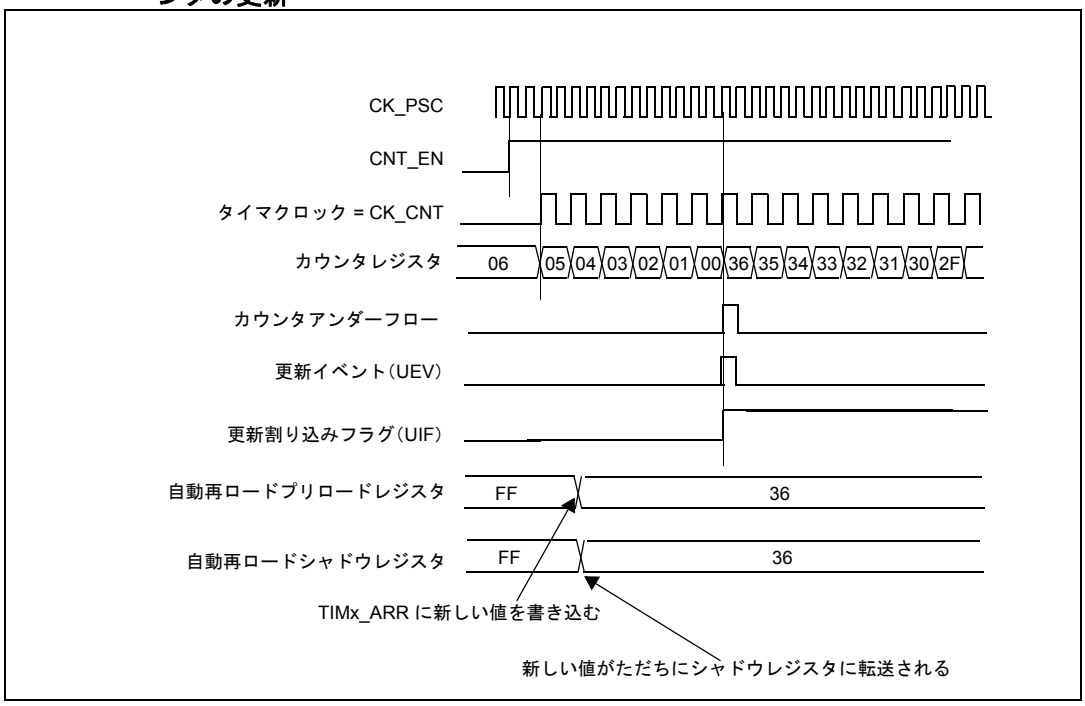
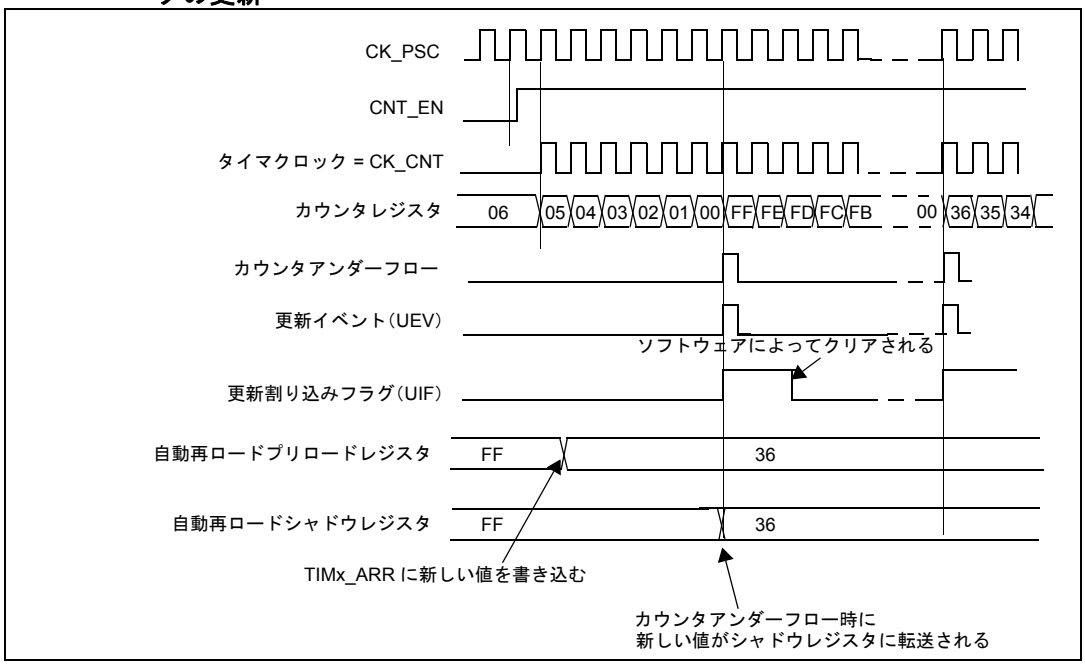


図 68. プリスケーラ = 1 で ARPE = 1（ARR はプリロードされる）のときのカウンタの更新



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

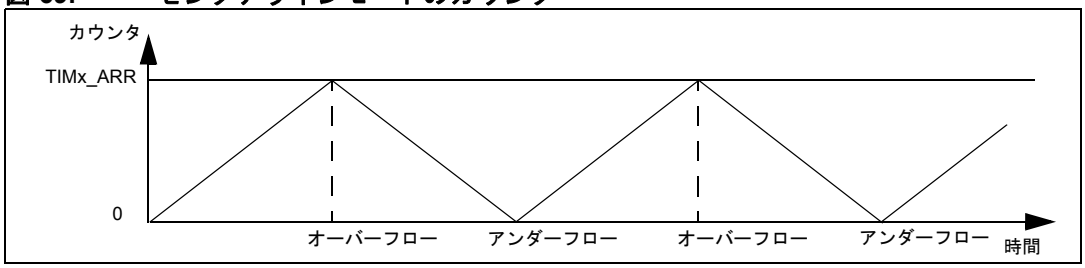
19.3.6 センタアラインモード（アップ/ダウンカウント）

センターアラインモードでは、カウンタは 0 から自動再ロード値 -1（TIM1_ARR レジスタの内容）までカウントします。これにより、カウンタオーバーフローが生成されます。カウンタは次に 0 までカウントダウンして、カウンタアンダーフローイベントを生成します。この後、カウンタは 0 からカウントを再スタートします。

このモードでは、TIM1_CR1 レジスタの方向ビット（DIR）に書き込むことはできません。このビットはハードウェアによって更新されて、カウンタの現在の方向を示します。

図 69 に、このカウントモードの例を示します。

図 69. センタアラインモードのカウンタ



タイマに繰り返しカウンタがある場合（TIM1 のように）、アップ/ダウンカウントの後に UEV が生成され、繰り返しカウンタレジスタ（TIM1_RCR）でプログラムされた回数だけ、アップ/ダウンカウントが繰り返されます。そうでない場合、UEV は、カウンタオーバーフローごと、およびカウンタアンダーフローごとに生成されます。

TIM1_EGR レジスタの UG ビットをセットすることでも（ソフトウェアによって、またはクロック/トリガモードコントローラを使用して）、更新イベントが生成されます。この場合、カウンタとプリスケーラは 0 からカウントを再スタートします。

UEV は、TIM1_CR1 レジスタの UDIS ビットをセットすることによって、ソフトウェアによって無効にできます。これは、プリロードレジスタに新しい値を書き込んでいるときにシャドウレジスタが更新されるのを防ぐためです。このように、UDIS ビットに 0 が書き込まれるまで、更新イベントは発生しません。ただし、カウンタは現在の自動再ロード値に基づいて、カウントアップとカウントダウンを続けます。繰り返しカウンタを持つタイマの場合、繰り返しレジスタはダブルバッファされないので、新しい更新レートが使用されます。このため、更新レートを変更する場合は注意が必要です。

さらに、TIM1_CR1 レジスタの URS ビットがセットされている場合、UG ビットをセットすると、UIF フラグをセットせずに UEV を生成します。結果として、割り込み や DMA リクエストは送信されません。これは、キャプチャイベント時にカウンタをクリアしているときに、更新とキャプチャの両方の割り込みを生成するのを防ぐためです。

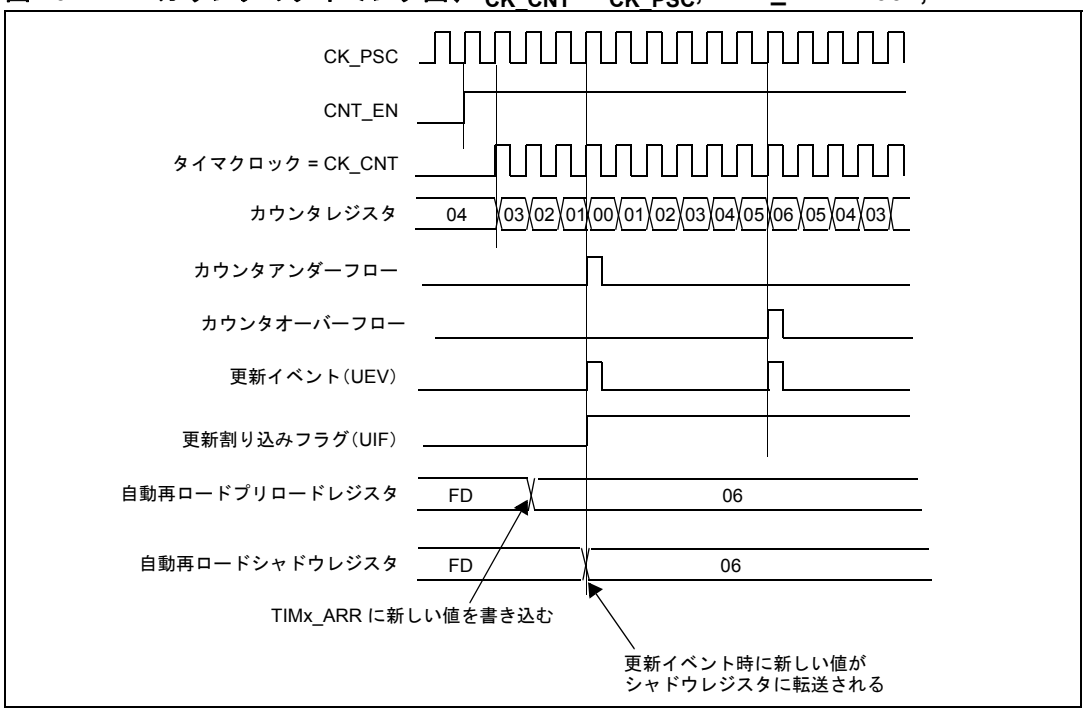
更新イベントが発生すると、すべてのレジスタが更新され、URS ビットの設定に応じて、更新フラグ（TIM1_SR レジスタの UIF ビット）がセットされます。

- プリスケーラのバッファにはプリロード値（TIM1_PSCR レジスタの内容）が再びロードされます。
- 自動再ロードシャドウレジスタは、プリロードレジスタの値（TIM1_ARR レジスタの内容）で更新されます。更新の原因がカウンタオーバーフローである場合には、自動再ロードが更新されてからカウンタが再ロードされるので、次の周期は予想通りの周期になります（カウンタに新しい値がロードされます）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

以下に、さまざまなクロック周波数におけるカウンタの動作の例を示します。

図 70. カウンタのタイミング図、$f_{CK_CNT} = f_{CK_PSC}$, TIM1_ARR = 06h, ARPE = 1



センターアラインモードの使用に関するヒント：

- センターアラインモードで開始するときには、現在のアップ/ダウン設定が使用されます。これは、TIM1_CR1 レジスタの DIR ビットに書き込まれた値に応じて、カウンタがカウントアップまたはカウントダウンを開始することを意味します。さらに、DIR ビットと CMS ビットをソフトウェアによって同時に変更することはできません。
- センターアラインモードで動作中のカウンタへの書き込みは、予期しない結果を招くことがあるので推奨されません。特に、
  - 自動再ロード値より大きい値がカウンタに書き込まれた場合（TIM1_CNT > TIM1_ARR）、方向は更新されません。たとえば、カウンタがカウントアップしていた場合は、カウントアップを続けます。
  - カウンタに 0 または TIM 1 _ARR 値が書き込まれた場合、方向は更新されますが、UEV は生成されません。
- センターアラインモードを使用する最も安全な方法は、カウンタを開始する直前に、ソフトウェアによって更新を生成する（TIM1_EGR レジスタの UG ビットをセットする）ことです。カウンタが動作中は、カウンタへの書き込みを行わないでください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

19.3.7 繰り返しダウンカウンタ

セクション 19.3 : TIM1 タイムベースユニット では、カウンタのオーバーフロー /アンダーフローに伴って、どのように UEV が生成されるかを説明しています。UEV は、繰り返しダウンカウンタが 0 に達したときにのみ生成されます。これは、PWM 信号を生成する際に役立ちます。

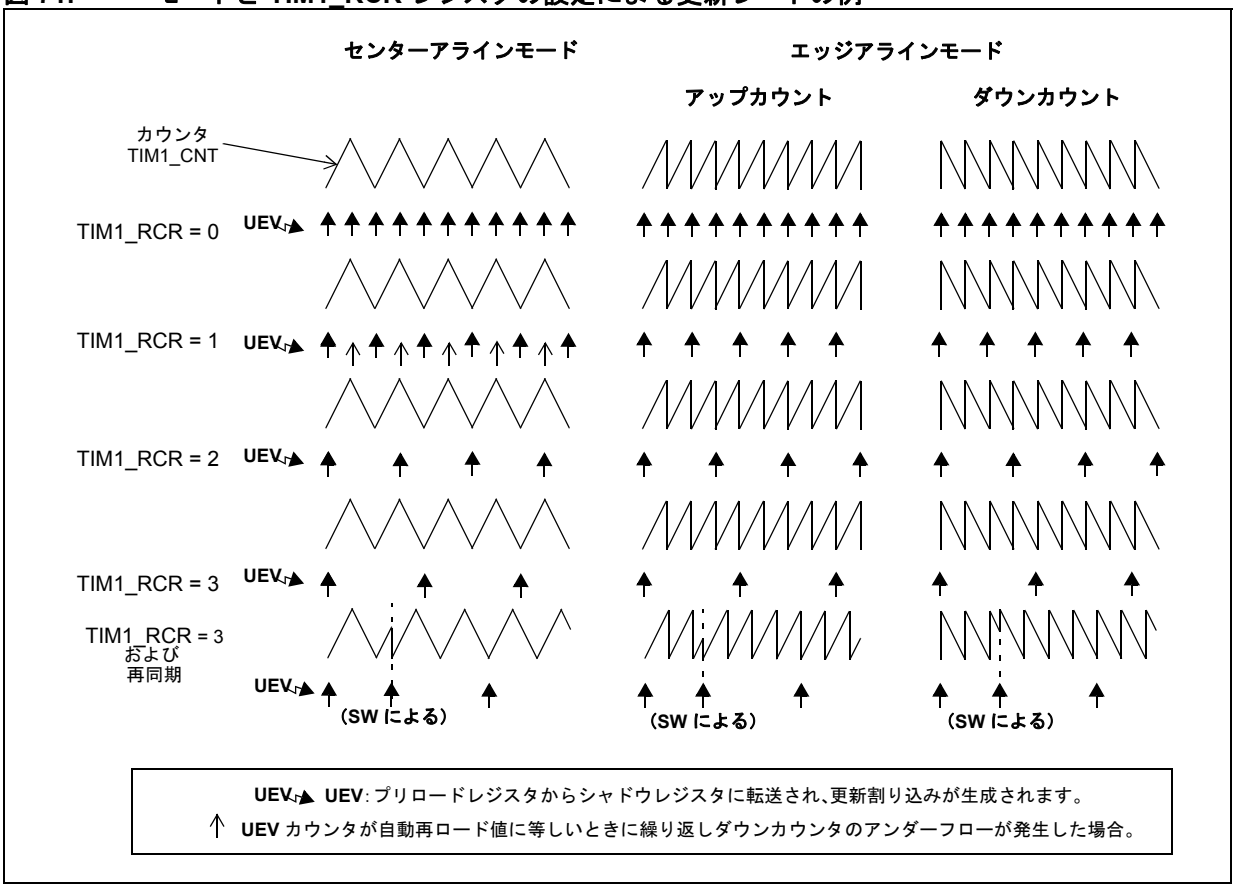
すなわち、n 回目のカウンタオーバーフローまたはアンダーフローごとに、プリロードレジスタからシャドウレジスタ（TIM1_ARR 自動再ロードレジスタ、TIM1_PSCR プリスケーラレジスタ、および比較モードの TIM1_CCRx キャプチャ /比較レジスタ）にデータが転送されます。n は、TIM1_RCR 繰り返しカウンタ レジスタの値です。

繰り返しダウンカウンタは、次の場合にデクリメントされます。

- アップカウントモードで、カウンタオーバーフローごと。
- ダウンカウントモードで、カウンタアンダーフローごと。
- センターアラインモードで、カウンタオーバーフローとカウンタアンダーフローごと。最大繰り返し回数は 128 PWM サイクルに限られますが、PWM 周期ごとにデューティサイクルを 2 回更新することが可能です。センターアラインモードで比較レジスタの値を PWM 周期あたり 1 回のみ更新するときには、パターンが対称的なので、最大精度は2 x t_{CK_PSC} です。

繰り返しダウンカウンタは自動再ロードタイプであり、繰り返しの回数は TIM1_RCR レジスタの値によって指定される値が維持されます（*図 71* を参照）。ソフトウェアによって（TIM1_EGR レジスタの UG ビットをセットすることによって）、またはハードウェアによって（クロック/トリガコントローラを通じて）UEV が生成されると、繰り返しダウンカウンタの値に関係なく、ただちに更新されます。繰り返しダウンカウンタには、TIM1_RCR レジスタの内容が再ロードされます。

図 71. モードと TIM1_RCR レジスタの設定による更新レートの例

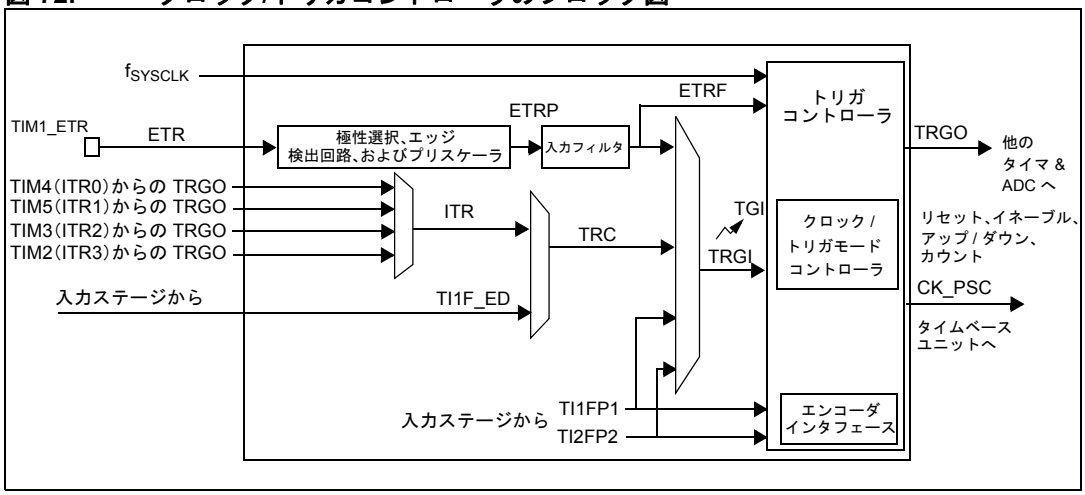


この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

19.4 TIM1 クロック/トリガコントローラ

クロック/トリガコントローラによって、タイマクロックソース、入力トリガ、および出力トリガを設定できます。*図 72.* にブロック図を示します。

図 72. クロック/トリガコントローラのブロック図



19.4.1 プリスケーラクロック（CK_PSC）

タイムベースユニットプリスケーラクロック（CK_PSC）は、次のクロックソースのいずれかから供給できます。

- 内部クロック（f_{SYSCLK}）
- 外部クロックモード1：外部タイマ入力（TIx）
- 外部クロックモード2：外部トリガ入力（ETR）
- 内部トリガ入力（ITR*i*）：タイマを別のタイマのプリスケーラとして使用。詳細については、*タイマを別のタイマのプリスケーラとして使用する（296 ページ）*を参照してください。

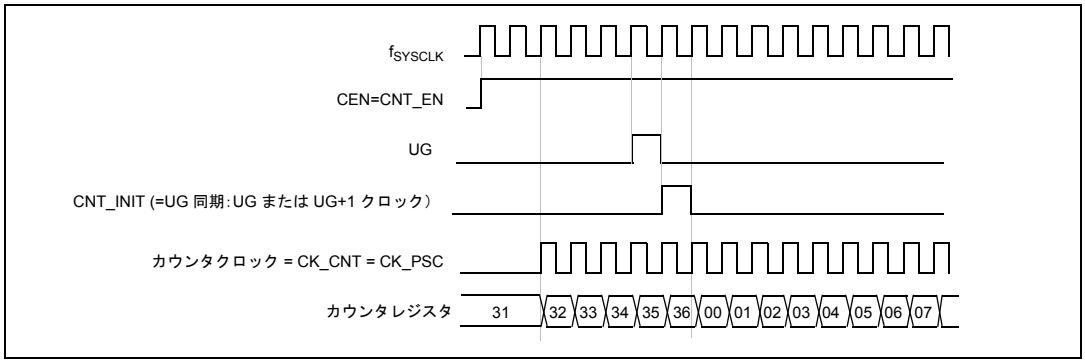
この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

19.4.2 内部クロックソース（f_{SYSCLK}）

クロック/トリガモードコントローラと外部トリガ入力の両方とも無効の場合（TIM1_SMCR レジスタの SMS=000、TIM1_ETR レジスタの CEN=0）、CEN、DIR、および UG ビットは制御ビットとして動作し、ソフトウェアによってのみ変更できます（自動的にクリアされたままの UG ビットを除きます）。CEN ビットに 1 が書き込まれると、プリスケーラには内部クロックが供給されます。

次の図は、プリスケーラを使用しない場合の通常モードの制御回路とアップカウンタの動作を示しています。

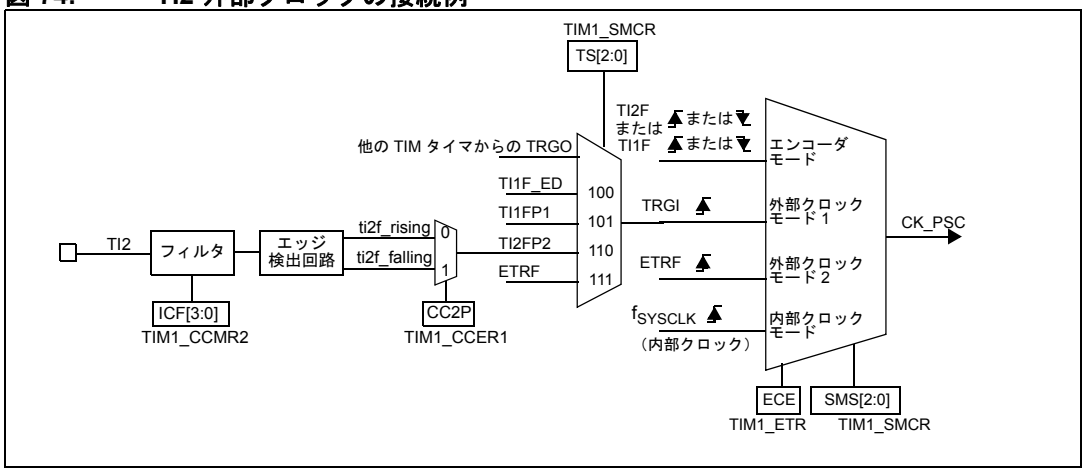
図 73. 通常モードの制御回路、$f_{CK_PSC} = f_{SYSCLK}$



19.4.3 外部クロックソースモード 1

カウンタは、選択されたタイマ入力の立ち上がりまたは立ち下がりエッジでカウントできます。このモードは、TIM1_SMCR レジスタの SMS=111 のときに選択されます（*図 74* を参照）。

図 74. TI2 外部クロックの接続例



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

手順

アップカウンタを設定して、たとえば、TI2 入力の立ち上がりエッジでカウントするように設定するには、以下の手順に従ってください。

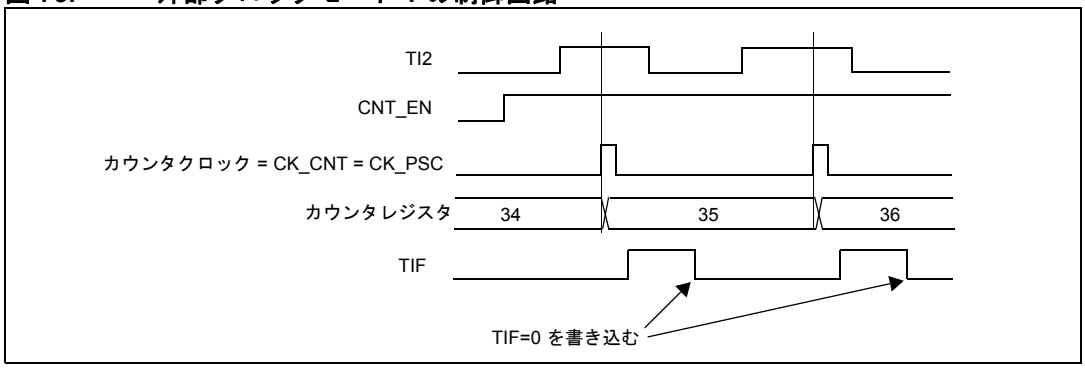
1. TIM1_CCMR2 レジスタに CC2S=01 を書き込むことによって、チャネル 2 が TI2 入力の立ち上がりエッジを検出するように設定します。
2. TIM1_CCMR2 レジスタの IC2F[3:0] ビットに書き込むことによって、入力フィルタ時間を設定します（フィルタを使用しない場合は、IC2F=0000 にしておきます）。

   注：　キャプチャプリスケーラはトリガには使用されないので、設定は不要です。CC2S ビットは、入力キャプチャソースのみを選択するため、設定する必要はありません。
3. TIM1_CCER レジスタの CC2P=0 を書き込むことによって、立ち上がりエッジ極性を選択します。
4. TIM1_SMCR レジスタの SMS=111 を書き込むことによって、タイマを外部クロックモード 1 に設定します。
5. TIM1_SMCR レジスタの TS=110 を書き込むことによって、入力ソースとして TI2 を選択します。
6. TIM1_CR1 レジスタの CEN=1 を書き込むことによって、カウンタを有効にします。

TI2 に立ち上がりエッジが発生すると、カウンタはカウントを開始し、トリガフラグがセットされ（TIM1_SR1 レジスタの TIF ビット）、有効な場合は割り込みリクエストが送信されます（TIM1_IER レジスタの TIE ビットに応じて）。

TI2 の立ち上がりエッジから実際にカウンタがリセットされるまでの遅延は、TI2 入力の再同期回路によるものです。

図 75.　外部クロックモード 1 の制御回路



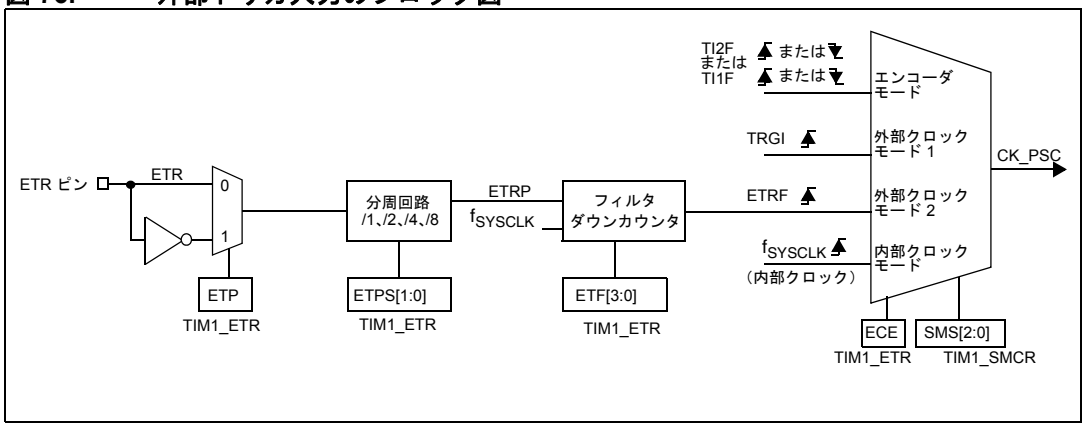
この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

19.4.4 外部クロックソースモード 2

カウンタは、ETR の立ち上がりまたは立ち下がりエッジでカウントできます。このモードは、TIM1_ETR レジスタに ECE=1 を書き込むことによって選択されます。

図 76 に、外部トリガ入力ブロックの概要を示します。

図 76. 外部トリガ入力のブロック図



手順

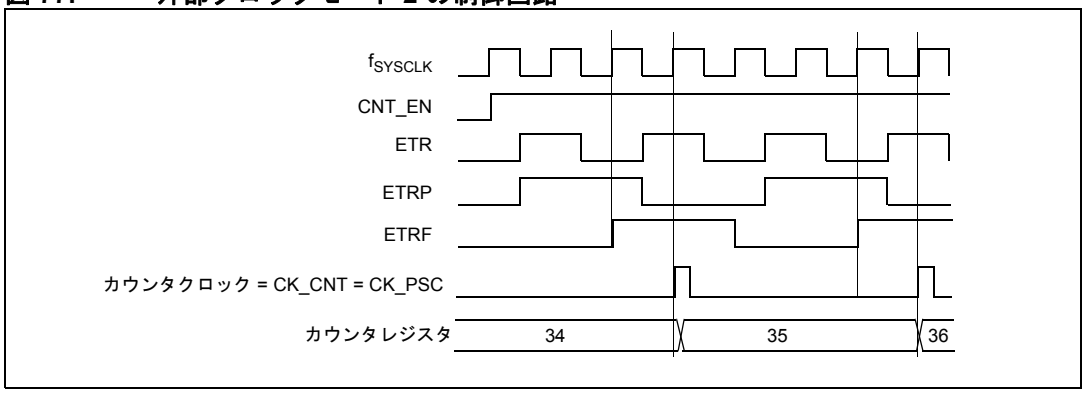
アップカウンタを設定して、たとえば、ETR の 2 回の立ち上がりエッジごとにカウントするように設定するには、以下の手順に従ってください。

1. この例ではフィルタは不要なので、TIM1_ETR レジスタの ETF[3:0] に 0000 を書き込みます。
2. TIM1_ETR レジスタの ETPS[1:0]=01 を書き込むことによって、プリスケーラを設定します。
3. TIM1_ETR レジスタの ETP=0 を書き込むことによって、ETR ピンの立ち上がりエッジ検出を選択します。
4. TIM1_ETR レジスタの ECE=1 を書き込むことによって、外部クロックモード 2 を有効にします。
5. TIM1_CR1 レジスタの CEN=1 を書き込むことによって、カウンタを有効にします。

カウンタは 2 回の ETR 立ち上がりエッジごとに1回カウントします。

ETR の立ち上がりエッジから実際のカウンタのリセットまでの遅延は、外部トリガ信号（ETRP）の再同期回路によるものです。

図 77. 外部クロックモード 2 の制御回路



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

19.4.5 トリガの同期

トリガ入力には、次の 4 つの タイプがあります（*表 63 : 内部タイマ信号の用語 (273 ページ)*を参照）。

- ETR
- TI1
- TI2
- 他のタイマからのTRGO

TIM1 タイマは、外部トリガと次の 3 つのモードで同期できます。トリガ標準モード、トリガリセットモード、およびトリガゲートモード。

トリガ標準モード

選択された入力のイベントに対応して、カウンタがスタートします。

手順

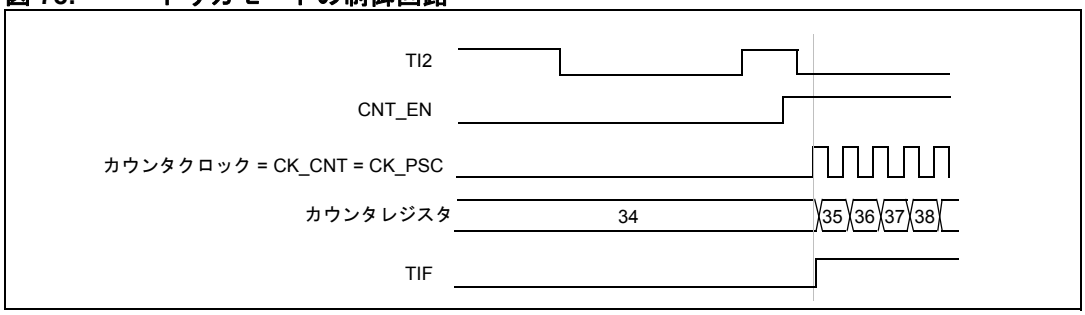
たとえば、TI2 入力の立ち上がりエッジに応じてアップカウンタをスタートするには、以下の手順に従ってください。

1. TI2 の立ち上がりエッジを検出するように、チャネル 2 を設定します。この例ではフィルタは不要なので、入力フィルタ時間を 0 に設定します（IC2F=0000）。キャプチャプリスケーラはトリガには使用されないので、設定する必要はありません。CC2S ビットは入力キャプチャソースを選択するので、設定する必要はありません。TIM1_CCER1 レジスタの CC2P ビットに 0 を書き込んで、立ち上がりエッジの極性を選択します。
2. TIM1_SMCR レジスタに SMS=110 を書き込むことによって、タイマをトリガモードに設定します。TIM1_SMCR レジスタの TS=110 を書き込むことによって、入力ソースとして TI2 を選択します。

TI2 で立ち上がりエッジが発生すると、カウンタは内部クロックでのカウントを開始し、TIF フラグがセットされます。

TI2 の立ち上がりエッジから実際にカウンタがリセットされるまでの遅延は、TI2 入力の再同期回路によるものです。

図 78. トリガモードの制御回路



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

トリガリセットモード

カウンタとそのプリスケーラを、トリガ入力イベントに対応して再初期化できます。さらに、TIM1_CR1 レジスタの URS ビットがローの場合は、UEV が生成されます。その場合、すべてのプリロードされたレジスタ（TIM1_ARR, TIM1_CCR*i*）が更新されます。

例

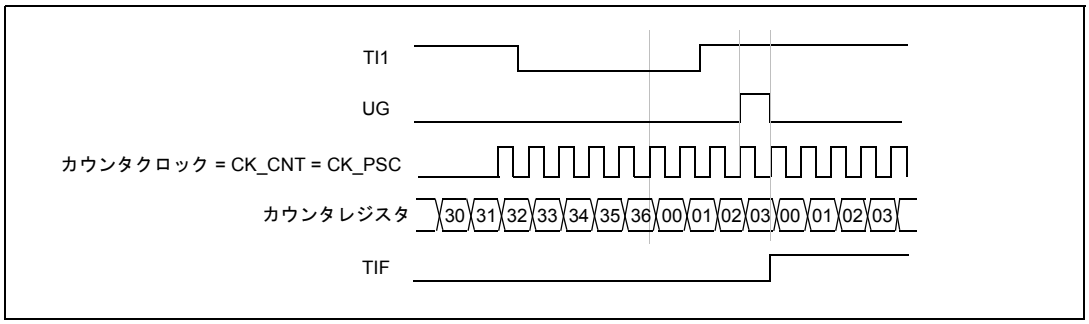
TI1 入力の立ち上がりエッジに対応してアップカウンタをクリアするには、以下の手順に従ってください。

1. TI1 の立ち上がりエッジを検出するように、チャネル 1 を設定します。この例ではフィルタは不要なので、入力フィルタ時間を 0 に設定します（IC2F=0000）。キャプチャプリスケーラはトリガには使用されないので、設定する必要はありません。CC1S ビットは入力キャプチャソースを選択するので、設定する必要はありません。TIM1_CCER レジスタの CC1P=0 を書き込んで、極性を有効にします（そして、立ち上がりエッジを検出します）。
2. TIM1_SMCR レジスタの SMS=100 を書き込むことによって、タイマをリセットモードに設定します。TIM1_SMCR レジスタの TS=101 を書き込むことによって、入力ソースとして TI1 を選択します。
3. TIM1_CR1 レジスタの CEN=1 を書き込むことによって、カウンタをスタートします。

カウンタは内部クロックでカウントを開始し、TI1 の立ち上がりエッジまで通常の動作を行います。TI1 が立ち上がると、カウンタはクリアされ、0 から再スタートします。同時に、トリガフラグがセットされ（TIM1_SR1 レジスタの TIF ビット）、有効な場合は割り込みリクエストを送信できます（TIM1_IER レジスタの TIE ビットに応じて）。

図 79 に、自動再ロードレジスタが TIM1_ARR = 36h のときのこの動作を示します。TI1 の立ち上がりエッジから実際にカウンタがリセットされるまでの遅延は、TI1 入力の同期回路によるものです。

図 79. トリガリセットモードの制御回路



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

トリガゲートモード

選択された入力のレベルに応じて、カウンタを有効にできます。

例

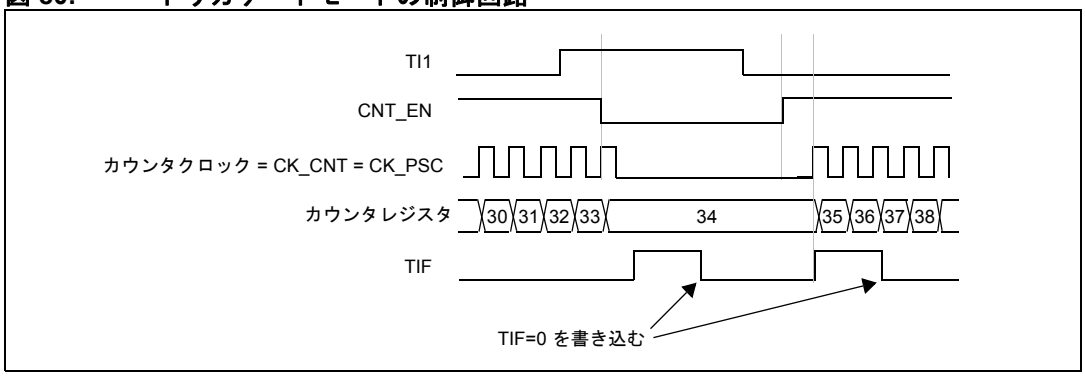
TI1 入力がローのときにアップカウンタを有効にするには、以下の手順に従ってください。

1. TI1 のローレベルを検出するように、チャネル 1 を設定します。入力フィルタ時間を設定します（IC1F=0000）。キャプチャプリスケーラはトリガには使用されないので、設定する必要はありません。CC1S ビットは入力キャプチャソースを選択するので、設定する必要はありません。TIM1_CCER1 レジスタの CC1P=1 を書き込んで、極性を有効にします（また、ローレベルを検出します）。
2. TIM1_SMCR レジスタの SMS=101 を書き込むことによって、タイマをトリガゲートモードに設定します。TIM1_SMCR レジスタの TS=101 を書き込むことによって、入力ソースとして TI1 を選択します。
3. TIM1_CR1 レジスタの CEN=1 を書き込むことによって、カウンタを有効にします（トリガゲートモードでは、CEN=0 の場合、トリガ入力レベルに関係なく、カウンタはスタートしません）。

カウンタは、TI1 がローである限り、内部クロックでカウントを開始します。カウンタは TI1 がハイになると、カウントを停止します。カウンタのスタート時とストップ時に、TIF フラグがセットされます。

TI1 の立ち上がりエッジから実際にカウンタがリセットされるまでの遅延は、TI1 入力の同期回路によるものです。

図 80. トリガゲートモードの制御回路



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

トリガモードと外部クロックモード 2 の組み合わせ

外部クロックモード 2 は、別のトリガモードとともに使用できます。たとえば、ETR を外部クロック入力として使用し、別の入力をトリガ入力として使用することができます（トリガ標準モード、トリガリセットモード、またはトリガゲートモードで）。ETR を TRGI として選択しないように注意してください（TIM1_SMCR レジスタの TS ビットを通じて）。

例

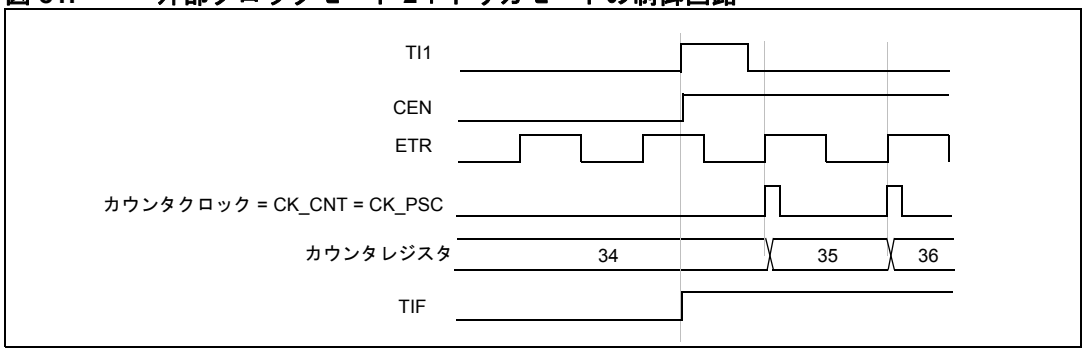
TI1 の立ち上がりエッジが発生すると同時に ETR の各立ち上がりエッジでアップカウンタを有効にするには、以下の手順に従ってください（外部 ETR クロックでの標準トリガモード）。

1. TIM1_SMCR レジスタに書き込むことによって、外部トリガ入力回路を設定します。ETF = 0000 を書き込みます（この例ではフィルタは不要です）。ETPS=00 を書き込んでプリスケーラを無効にし、ETP=0 を書き込んで ETR の立ち上がりエッジを検出し、ECE=1 を書き込んで外部クロックモード 2 を有効にします。
2. TI1 の立ち上がりエッジを検出するように、チャネル 1 を設定します。入力フィルタ時間を設定します（IC1F=0000）。キャプチャプリスケーラはトリガには使用されないので、設定する必要はありません。CC1S ビットは入力キャプチャソースを選択するので、設定する必要はありません。TIM1_CCER1 レジスタの CC1P ビットに 0 を書き込んで、立ち上がりエッジの極性を選択します。
3. TIM1_SMCR レジスタに SMS=110 を書き込むことによって、タイマをトリガモードに設定します。TIM1_SMCR レジスタの TS=101 を書き込むことによって、入力ソースとして TI1 を選択します。

TI1 の立ち上がりエッジでカウンタが有効になり、TIF フラグがセットされます。結果として、カウンタは ETR の立ち上がりエッジでカウントします。

TI1 の立ち上がりエッジから実際にカウンタがリセットされるまでの遅延は、TI1 入力の同期回路によるものです。ETR の立ち上がりエッジから実際のカウンタリセットまでの遅延は、ETRP 信号の再同期回路によるものです。

図 81. 外部クロックモード 2＋トリガモードの制御回路

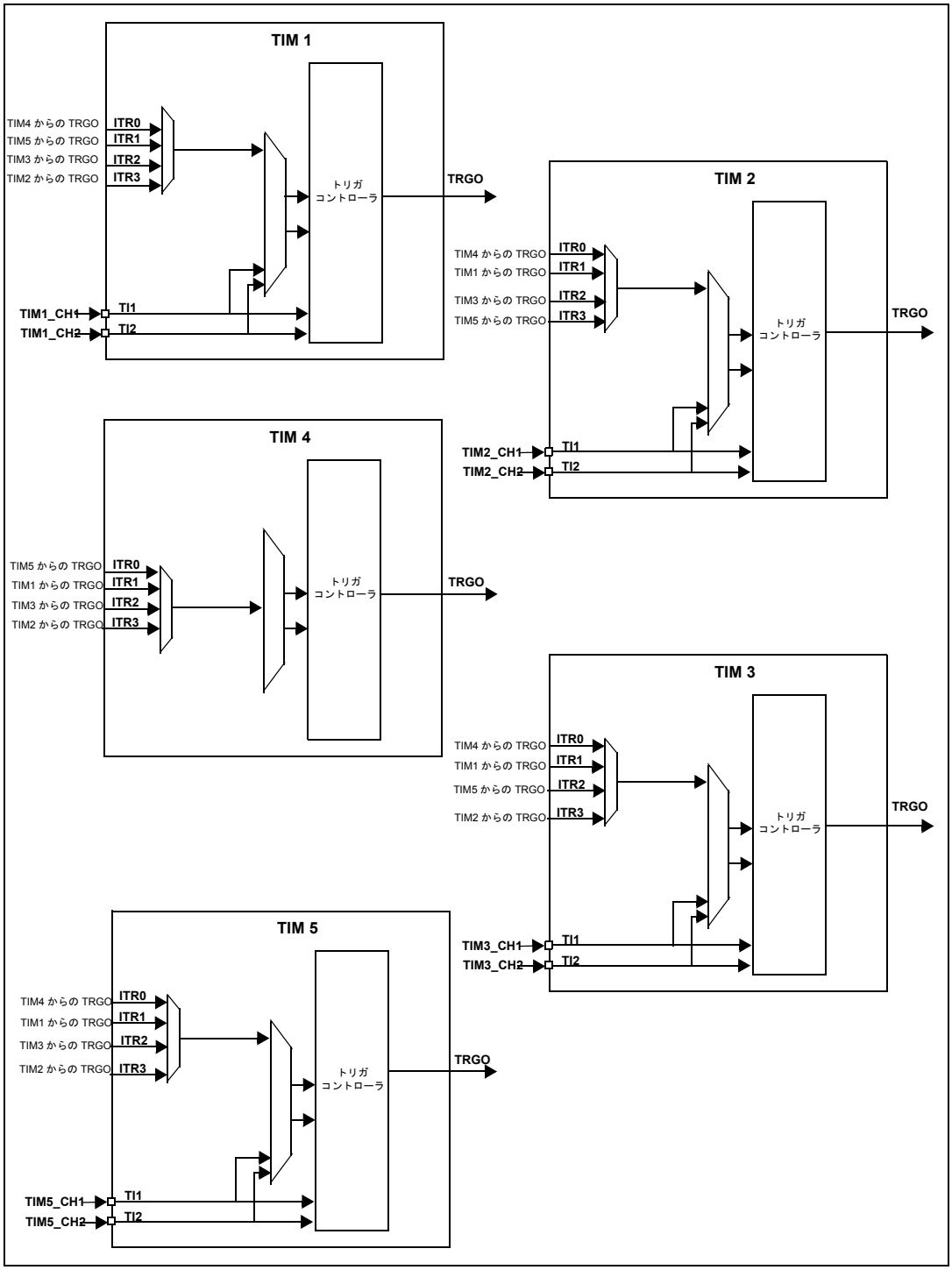


この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

19.4.6 タイマ間の同期

製品によっては、タイマの同期や連結のために、タイマが内部で相互リンクされます。あるタイマがマスタモードに設定されると、そのタイマはスレーブモードに設定された別のタイマのカウンタのリセット、開始、停止、またはクロック供給のためにトリガ（ＴＲＧＯ）を出力することができます。

図 82. タイマ連結システムの実装例

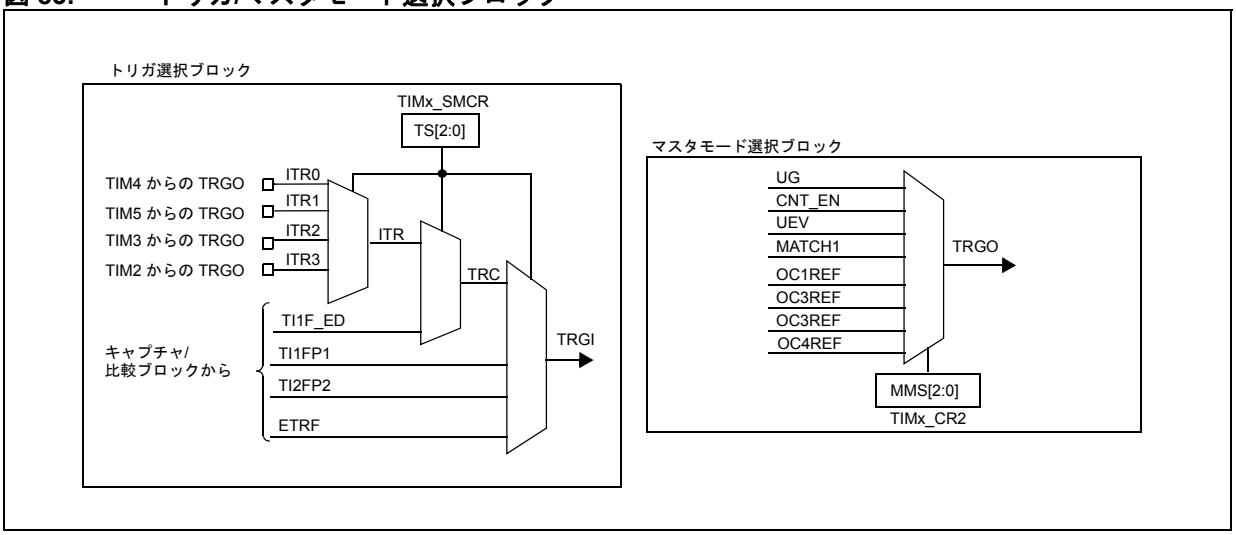


この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

参考資料

図 83 に、トリガ選択およびマスタモード選択ブロックの概要を示します。

図 83. トリガ/マスタモード選択ブロック



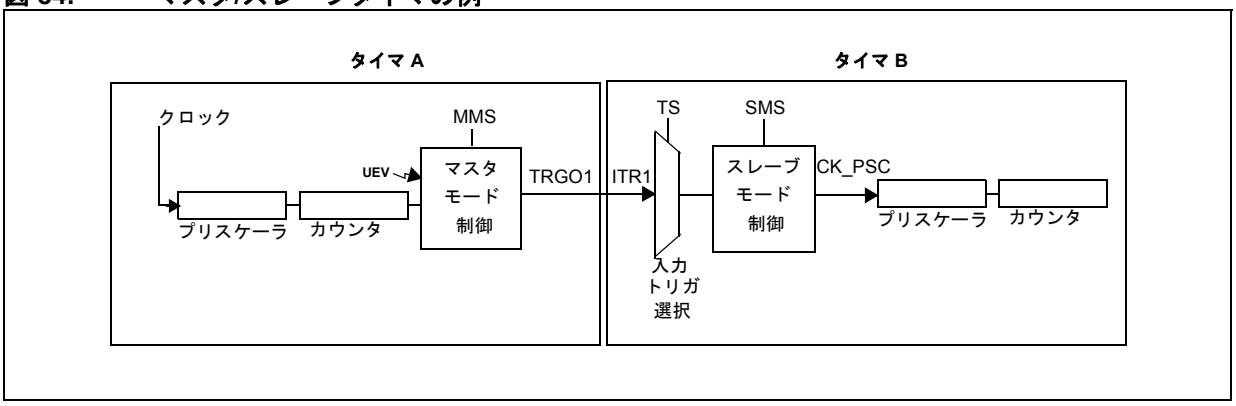
タイマを別のタイマのプリスケーラとして使用する

タイマA をタイマ B のプリスケーラとして設定する方法を*図 84* に示します。

1. UEV ごとに定期的なトリガ信号を出力するように、タイマ A をマスタモードに設定します。更新イベントが生成されるたびに TRGO1 に立ち上がりエッジが出力されるように設定するために、TIMx_CR2 レジスタに MMS=010 を書き込みます。
2. タイマ A の TRGO1 出力をタイマ B に接続します。タイマ B は、内部トリガとして ITR1 を使用するように、スレーブモードに設定する必要があります。TIMx_SMCR レジスタの TS ビットを通じて（TS=001 を書き込んで）選択します。
3. TIMx_SMCR レジスタの SMS=111 を書き込むことによって、クロック/トリガコントローラを外部クロックモード 1 に設定します。これによりタイマ B は、タイマ A の定期的なトリガ信号の立ち上がりエッジ（タイマ A カウンタのオーバーフローに対応）をクロックとして動作します。
4. それぞれのCEN ビット（TIMx_CR1 レジスタ）をセットすることによって、両方のタイマを有効にします。

注： タイマ A のトリガ出力として OCi が選択された場合（MMS=1xx）、その立ち上がりエッジがタイマ B カウンタのクロックとして使用されます。

図 84. マスタ/スレーブタイマの例



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

タイマを使用して別のタイマを有効にする

例 1

タイマ B の有効化は、タイマ A の出力比較 1 で制御されます（接続方法については*図 85* を参照）。タイマ B は、タイマ A の OC1REF がハイのときにのみ、分周された内部クロックでカウントします。両方のカウンタクロック周波数は、f_{SYSCLK} ($f_{CK_CNT} = f_{SYSCLK}/4$)に比較して、プリスケーラによって 4 分周されます。

1. タイマ A をマスタモードに設定して、その出力比較 1 基準（OC1REF）信号をトリガ出力として送信します（TIMx_CR2 レジスタの MMS=100）。
2. タイマ A の OC1REF 波形を設定します（TIM1_CCMR1 レジスタ）。
3. タイマ B がタイマ A から入力トリガを受け取るように設定します（TIMx_SMCR レジスタの TS=001）。
4. タイマ B をトリガゲートモードに設定します（TIMx_SMCR レジスタの SMS=101）。
5. CEN ビット（TIMx_CR1 レジスタ）に 1 を書き込むことによって、タイマ B を有効にします。
6. CEN ビット（TIMx_CR1 レジスタ）に 1 を書き込むことによって、タイマ A をスタートします。

注： ***カウンタ 2 のクロックは、カウンタ 1 と同期されません。このモードは、タイマ B カウンタイネーブル信号にのみ影響します。***

図 85. タイマ A の OC1REF によるタイマ B のゲート操作

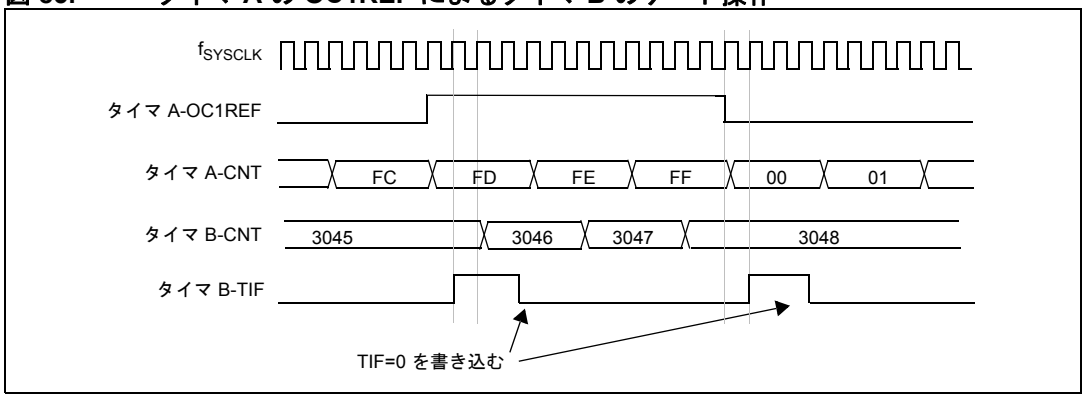


図 85 では、タイマ B のカウンタとプリスケーラはスタート前に初期化されていません。したがって、カウントは現在値から開始されます。タイマ A を開始する前に、両方のタイマをリセットすることによって、任意の値からカウントを開始することが可能です。この場合、タイマカウンタに任意の値を書き込むことができます。TIMx_EGR レジスタの UG ビットを使用して、ソフトウェアによって容易にタイマをリセットできます。

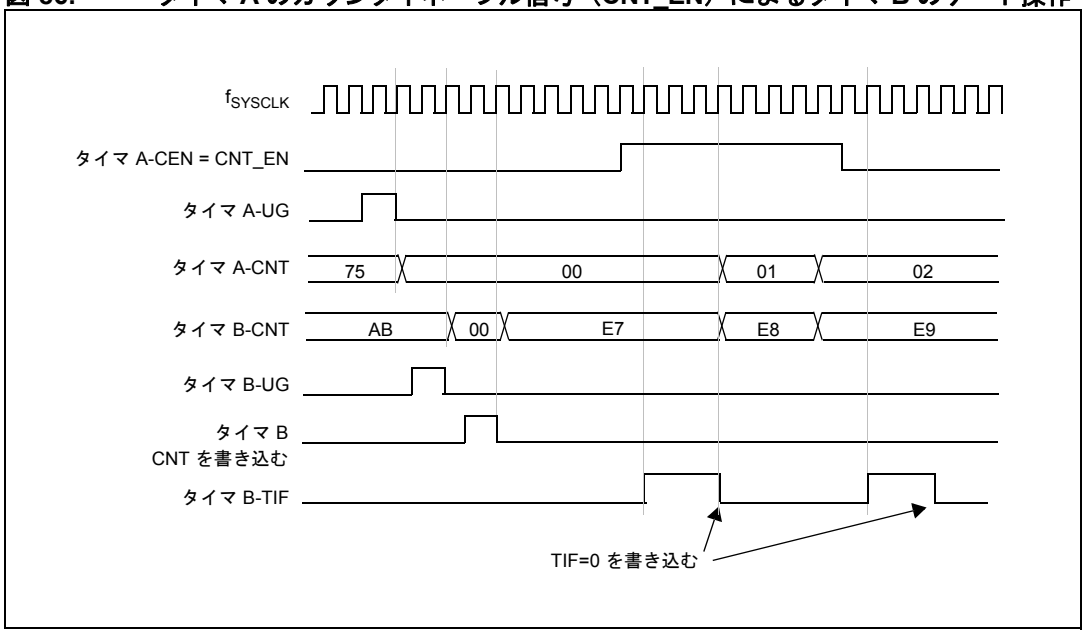
この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

例 2

タイマ A とタイマ B は同期しています。タイマ A はマスタであり、0 からスタートします。タイマ B はスレーブであり、E7h からスタートします。プリスケーラの分周比は両方のタイマで同じです。TIMx_CR1 レジスタの CEN ビットに 0 を書き込むことによってタイマ A を無効にすると、タイマ B は停止します。

1. タイマ A をマスタモードに設定して、その出力比較 1 基準（OC1REF）信号をトリガ出力として送信します（TIMx_CR2 レジスタの MMS=100）。
2. タイマ A の OC1REF 波形を設定します（TIM1_CCMR1 レジスタ）。
3. タイマ B がタイマ A から入力トリガを受け取るように設定します（TIMx_SMCR レジスタの TS=001）。
4. タイマ B をトリガゲートモードに設定します（TIMx_SMCR レジスタの SMS=101）。
5. UG ビット（TIMx_EGR レジスタ）に 1 を書き込むことによって、タイマ A をリセットします。
6. UG ビット（TIMx_EGR レジスタ）に 1 を書き込むことによって、タイマ B をリセットします。
7. タイマ B のカウンタ（TIMx_CNTL）に E7h を書き込むことによって、タイマ B を 0xE7 に初期化します。
8. CEN ビット（TIMx_CR1 レジスタ）に 1 を書き込むことによって、タイマ B を有効にします。
9. CEN ビット（TIMx_CR1 レジスタ）に 1 を書き込むことによって、タイマ A をスタートします。
10. CEN ビット（TIMx_CR1 レジスタ）に 0 を書き込むことによって、タイマ A を停止します。

図 86. タイマ A のカウンタイネーブル信号（CNT_EN）によるタイマ B のゲート操作



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

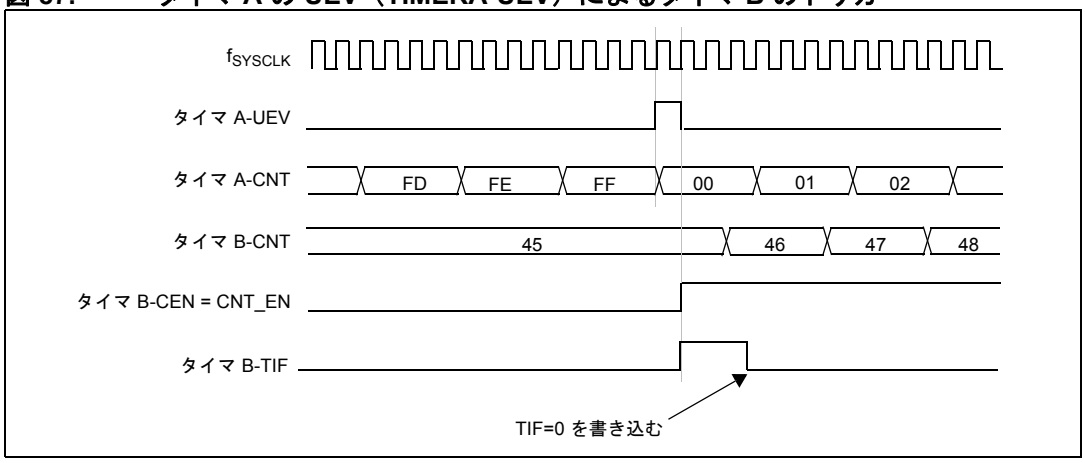
タイマを使用して別のタイマを開始する

例 1

タイマ B の有効化は、タイマ A の UEV で制御されます（接続方法につては*図 84* を参照）。タイマ B は、タイマ A によって EUV が生成されると同時に、分周された内部クロックで現在値（非ゼロでも可）からカウントを開始します。タイマ B がトリガ信号を受信すると、その CEN ビットが自動的にセットされ、カウンタは TIM1_CR1 レジスタの CEN ビットに 0 が書き込まれるまでカウントします。両方のカウンタクロック周波数は、f_{SYSCLK} ($f_{CK_CNT} = f_{SYSCLK}/4$)に比較して、プリスケーラによって 4 分周されます。

1. UEV をトリガ出力として送信するように、タイマ A をマスタモードに設定します（TIM1_CR2 レジスタの MMS=010）。
2. タイマ A の周期を設定します（TIM1_ARR レジスタ）。
3. タイマ A から入力トリガを受け取るように、タイマ B を設定します（TIM1_SMCR レジスタの TS=001）。
4. タイマ B をトリガモードに設定します（TIM1_SMCR レジスタの SMS=110）。
5. CEN ビット（TIM1_CR1 レジスタ）に 1 を書き込むことによって、タイマ A を開始します。

図 87. タイマ A の UEV（TIMERA-UEV）によるタイマ B のトリガ

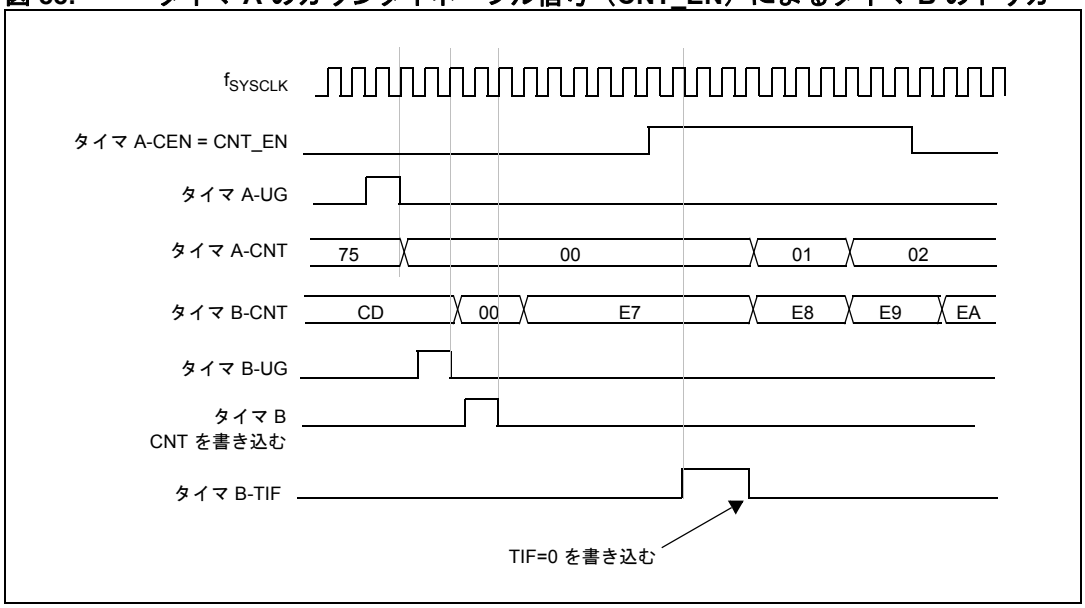


この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

例 2

前の例と同じように、カウントを開始する前に両方のカウンタを初期化できます。*図 88* は、*図 86* と同じ設定ですが、トリガゲートモードではなくトリガ標準モードでの動作を示しています（TIM1_SMCR レジスタの SMS=110）。

図 88. タイマ A のカウンタイネーブル信号（CNT_EN）によるタイマ B のトリガ



外部トリガに対応して、2 つのタイマを同期して開始する

例

TI1 入力が立ち上がり、タイマ B のイネーブルがタイマ A のイネーブル信号でセットされると、タイマ A が有効になります（接続方法については、*図 84* を参照）。カウンタの同時性を確保するには、タイマ A をマスタ/スレーブモードに設定する必要があります（TI1 に対してはスレーブ、タイマ B に対してはマスタ）。

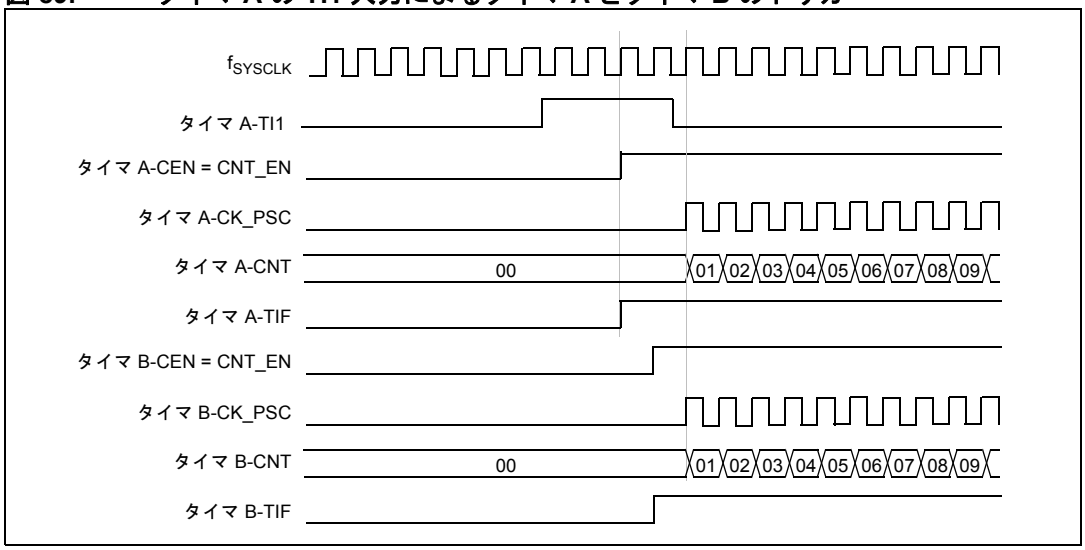
1. イネーブル信号をトリガ出力として送信するように、タイマ A をマスタモードに設定します（TIMx_CR2 レジスタの MMS=001）。
2. TI1 から入力トリガを受け取るように、タイマ A をスレーブモードに設定します（TIMx_SMCR レジスタの TS=100）。
3. タイマ A をトリガモードに設定します（TIMx_SMCR レジスタの SMS=110）。
4. MSM=1（TIMx_SMCR レジスタ）を書き込むことによって、タイマ A をマスタ/スレーブモードに設定します。
5. タイマ B がタイマ A から入力トリガを受け取るように設定します（TIMx_SMCR レジスタの TS=001）。
6. タイマ B をトリガモードに設定します（TIMx_SMCR レジスタの SMS=110）。

TI1（タイマ A）で立ち上がりエッジが発生すると、両方のカウンタが同時に内部クロックによるカウントを開始し、両方の TIF フラグがセットされます。

注： ***この例では、両方のタイマが開始前に初期化されます（それぞれの UG ビットをセットすることによって）。両方のカウンタが 0 からスタートしますが、カウンタレジスタ（TIMx_CNT）に書き込むことによって、容易にオフセットを挿入できます。マスタ/スレーブモードがタイマ A の CNT_EN と CK_PSC の間に遅延を挿入しているのがわかります。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 89. タイマ A の TI1 入力によるタイマ A とタイマ B のトリガ

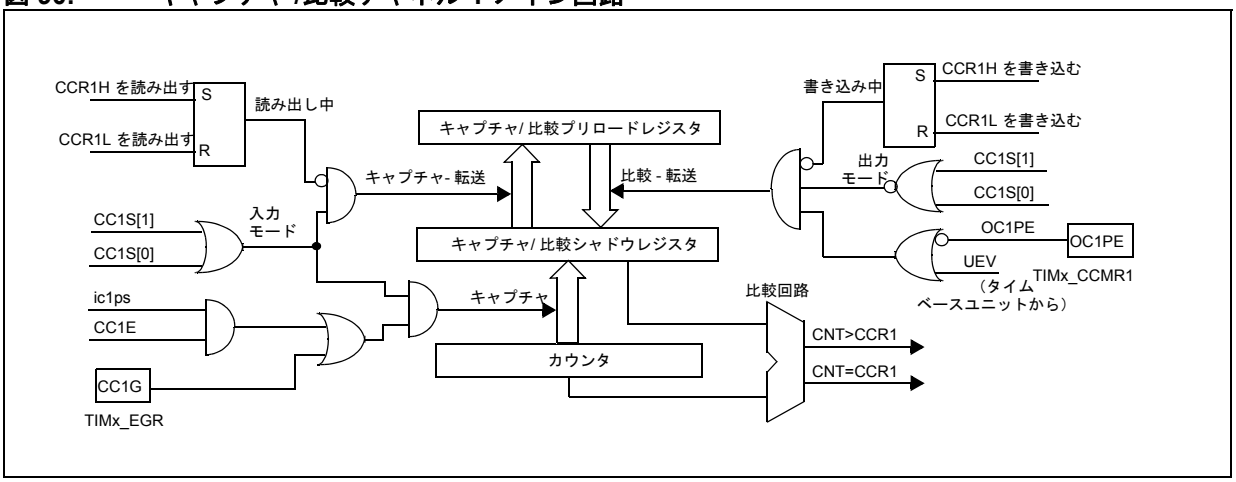


19.5 TIM1 キャプチャ /比較チャネル

タイマ I/O ピン（TIM1_CC*i*）は、入力キャプチャまたは出力比較機能に設定することができます。その選択は、キャプチャ /比較チャネルモードレジスタ（TIM1_CCMR*i*）の CC*i*S チャネル選択ビットを設定することによって行います（*i* はチャネル番号）。

各キャプチャ /比較チャネルは、キャプチャ /比較レジスタ（シャドウレジスタを含む）、キャプチャの入力ステージ（デジタルフィルタ、マルチプレクサ、プリスケーラ）、および出力ステージ（比較回路と出力制御）から構成されています。

図 90. キャプチャ /比較チャネル 1 メイン回路



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

キャプチャ /比較ブロックは、1 つのプリロードレジスタと 1 つのシャドウレジスタで構成されています。読み書きのアクセスは、常にプリロードレジスタに対して行われます。キャプチャモードでは、キャプチャはシャドウレジスタで行われ、その値がプリロードレジスタにコピーされます。比較モードでは、プリロードレジスタの内容がシャドウレジスタにコピーされて、カウンタと比較されます。

チャネルが出力モードに設定されている場合（TIM1_CCMR*i* レジスタの CC*i* S = 00）、TIM1_CCR*i* レジスタには制約なしにアクセスできます。

チャネルが入力モードに設定されている場合、TIM1_CCR*i* レジスタの読み出しシーケンスはカウンタの読み出しシーケンスと同じです（*図 91* を参照）。キャプチャが発生すると、カウンタの内容が TIM1_CCR*i* シャドウレジスタにキャプチャされます。次に、この値がプリロードレジスタにロードされますが、プリロードレジスタがフリーズされている読み出しシーケンス中は除きます。

図 91. キャプチャモードでの TIM1_CCR*i* レジスタの 16 ビット読み出しシーケンス

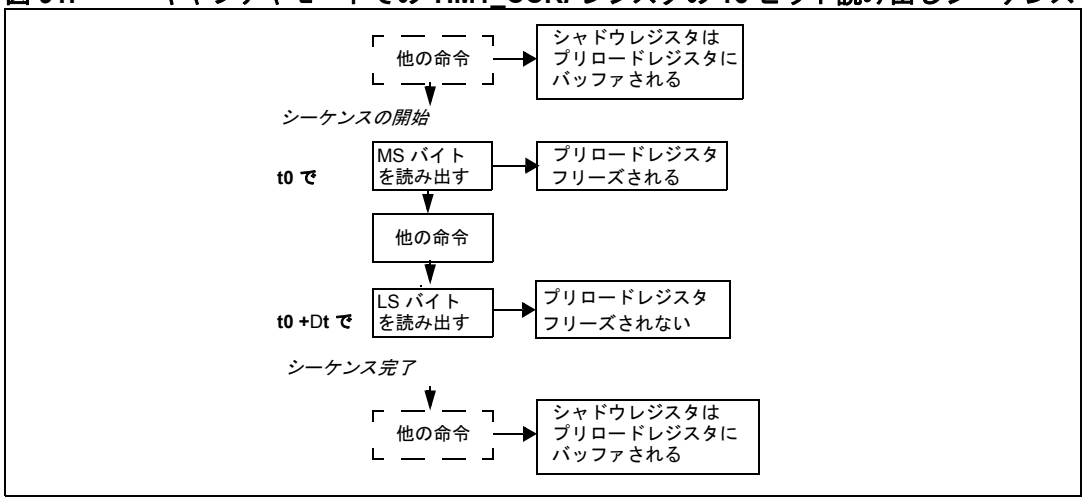


図 91 に、CCR*i* レジスタの 16 ビットタイマ読み出しシーケンスを示します。このバッファされた値は、16 ビット読み出しシーケンスが完了するまで、そのまま保持されます。

読み出しシーケンスの完了後、TIM1_CCR*i*L レジスタのみが読み出された場合、読み出した時点でのカウント値の LS バイトを返します。

LS バイトの後に MS バイトが読み出された場合は、LS バイトと同じキャプチャされた値には対応していません。

19.5.1 16 ビット TIM1_CCR*i* レジスタの書き込みシーケンス

TIM1_CCR*i* レジスタには、プリロードレジスタを介して 16 ビットの値がロードされます。これは、2 つの書き込み命令（各バイトについて 1 つずつ）で行う必要があります。MS バイトが最初に書き込まれなければなりません。

シャドウレジスタの更新は、MS バイトが書き込まれると同時にブロックされ、LS バイトが書き込まれるまでブロックされたままです。LDW 命令は最初に LS バイトを書き込んで、正しくない結果になるので、使用しないでください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

19.5.2 入力ステージ

図 92. チャネル入力ステージのブロック図

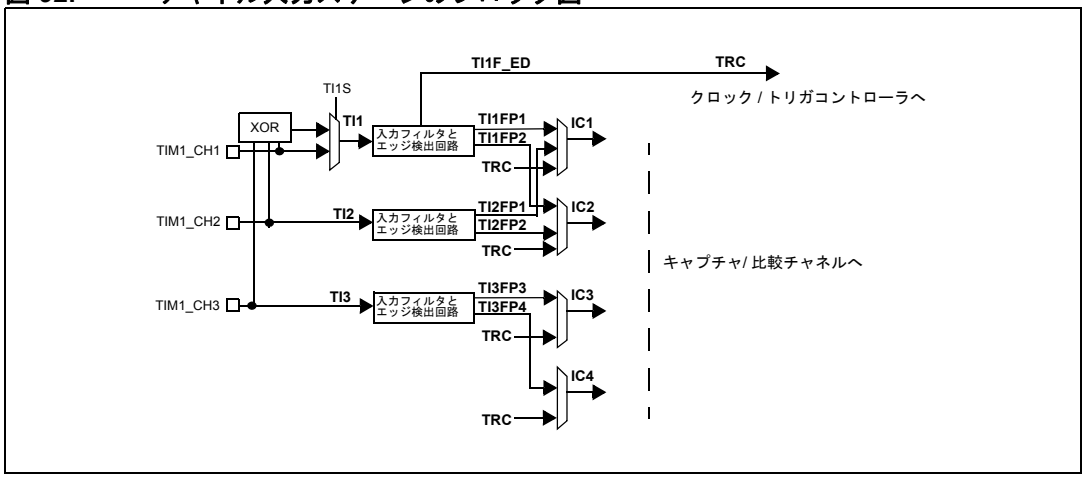
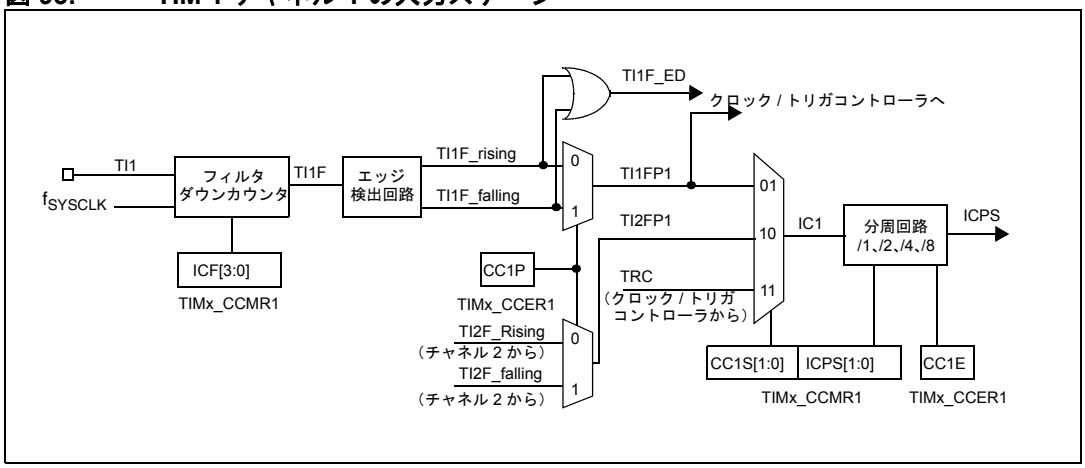


図 93 に、入力ステージで対応する TI*i* 入力をサンプリングして、フィルタされた信号 TI*i*F を生成する方法を示します。次に、極性選択付きのエッジ検出回路が信号（TI*i*FPn）を生成し、それがクロック/トリガコントローラによってトリガ入力として、またはキャプチャコマンドとして使用されます。信号は、キャプチャレジスタ（IC*i*PS）に渡される前にプリスケールされます。

図 93. TIM 1 チャネル 1 の入力ステージ



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

19.5.3 入力キャプチャモード

入力キャプチャモードでは、対応する IC*i* 信号でモード変更が検出された後、カウンタの値をラッチするためにキャプチャ /比較レジスタ（TIM1_CCR*i*）が使用されます。キャプチャが発生すると、対応する CC*i*IF フラグ（TIM1_SR1 レジスタ）がセットされます。

TIM1_IER レジスタの CC*i*IE ビットまたは TIM1_DER レジスタの CCxDE ビットをセットすることによって有効な場合、割り込みまたは DMA リクエストを送信できます。CC*i*IF フラグがすでにハイのときにキャプチャが発生した場合は、オーバーキャプチャフラグ CC*i*OF（TIM1_SR2 レジスタ）がセットされます。CC*i*IF フラグは、0 を書き込むことによって、または、TIMx_CCR*i*L レジスタに格納されたキャプチャデータを読み出すことによって、ソフトウェアによってクリアできます。CC*i*OF は、0 を書き込むことによってクリアされます。

手順

次の手順は、たとえば、TI1 入力が立ち上がったときに、TIM1_CCR1 のカウンタ値をキャプチャする方法を示しています。

1. アクティブな入力を選択します。たとえば、TIM1_CCR1 レジスタを TI1 入力にリンクするには、TIM1_CCMR1 レジスタの CC1S ビットに 01 を書き込みます。これによりチャネルは入力モードに設定され、TIM1_CCR1 レジスタは読み出し専用になります。
2. 信号がタイマに接続されるために必要な入力フィルタ時間をプログラムします。これは、各 TI*i* 入力について、TIM1_CCMR*i* レジスタの IC*i*F ビットを使用して行われます。たとえば、入力信号がトグルするとき、最大 5 t_{SYSCLK} サイクルまで不安定な場合、フィルタ時間は 5 クロックサイクルより長い必要があります。TIMx_CCMR1 レジスタのフィルタビットに 0011 を書き込むことによって、最大 8 サイクルまで持続時間を選択できます。このフィルタ設定では、新しいレベルを持つ連続した 8 個のサンプルが検出されたときのみ（f_{SYSCLK} の周波数でサンプリング）、TI1 の遷移が有効です。
3. TI1 チャネルのアクティブ遷移を選択するには、TIM1_CCER1 レジスタの CC1P ビットに 0 を書き込みます（この場合、立ち上がりエッジを選択します）。
4. 入力プリスケーラをプログラムします。この例では、有効な遷移ごとにキャプチャする必要があるので、プリスケーラを無効にします（TIM1_CCMR1 レジスタの IC1PS ビットに 00 を書き込みます）。
5. TIM1_CCER1 レジスタの CC1E ビットをセットすることによって、カウンタからキャプチャレジスタへのキャプチャを有効にします。
6. 必要な場合は、TIM1_IER レジスタの CC1IE ビットをセットすることによって、関連する割り込みリクエストを有効にするか、TIM1_DER レジスタの CC1 I E ビットをセットすることによって、DMA リクエストを有効にします。

入力キャプチャが発生すると、

- アクティブ遷移時に、カウンタの値が TIM1_CCR1 レジスタに格納されます。
- 入力キャプチャフラグ（CC1IF）がセットされます。このフラグがクリアされていない状態で少なくとも 2 つの連続キャプチャが発生した場合は、オーバーキャプチャフラグ（CC1OF）もセットされます。
- CC1IE ビットに応じて、割り込みが生成されます。
- CC1DE ビットに応じて、DMA リクエストが生成されます。

オーバーキャプチャイベント（CC1OF フラグ）を処理するには、オーバーキャプチャフラグの前にデータを読み出すことが推奨されます。これにより、フラグ読み出し後、データ読み出し前に発生するオーバーキャプチャの見落としを避けることができます。

注： ***IC 割り込みや DMA リクエストは、TIM1_EGR レジスタの対応する CCiG ビットをセットすることによって、ソフトウェアによって生成できます。***

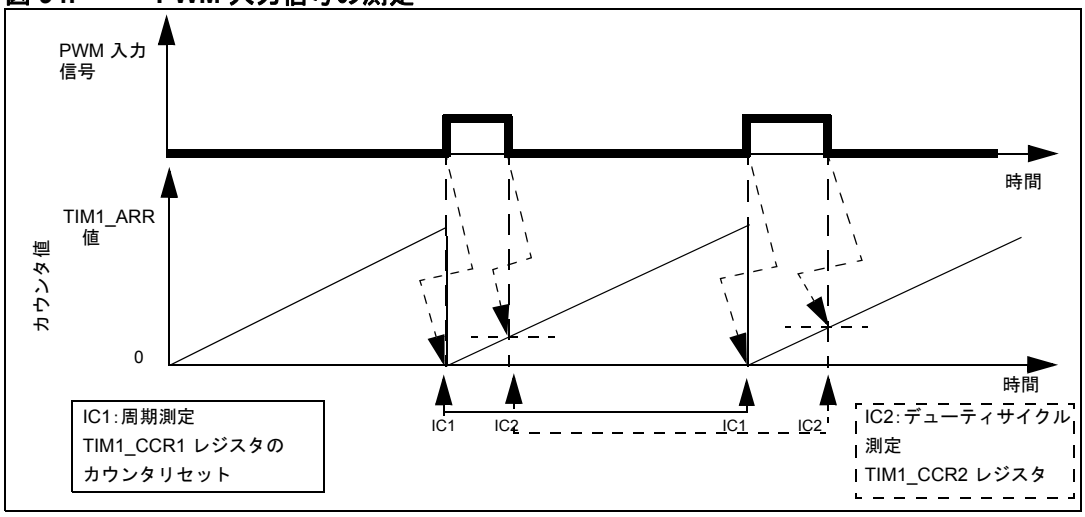
この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

PWM 入力信号の測定

このモードは、入力キャプチャの特殊ケースです（*図 94* を参照）。操作手順は入力キャプチャモードと同様ですが、以下の点が異なります。

- 2 つの IC*i* 信号が、同じ TI*i* 入力にマッピングされます。
- これら 2 つの IC*i* 信号は、反対の極性を持つエッジ上でアクティブです。
- 2 つの TI*i*FP 信号の 1 つがトリガ入力として選択され、クロック/トリガコントローラはリセットモードに設定されます。

図 94. PWM 入力信号の測定



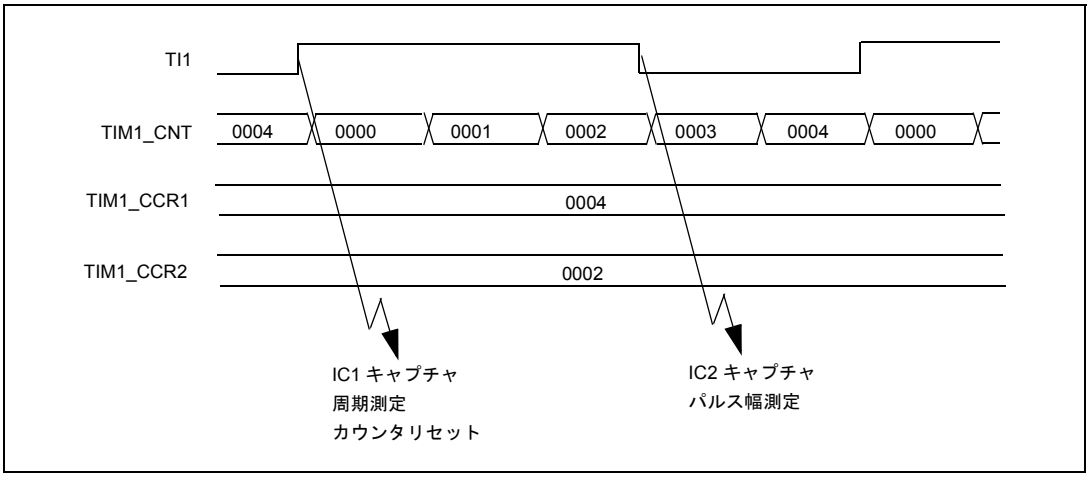
手順

f_{SYSCLK} 周波数とプリスケーラ値に応じて、周期（TIM1_CCR1 レジスタ）の測定が可能であり、PWM のデューティサイクル（TIM1_CCR2 レジスタ）を以下の手順で TI1 に適用できます。

1. TIM1_CCR1 レジスタの CC1S ビットに 01 を書き込むことによって（TI1FP1 を選択）、TM1_CCR1 のアクティブ入力キャプチャまたはトリガ入力を選択します。
2. CC1P ビットに 0 を書き込むことによって（TI1FP1 は立ち上がりエッジでアクティブ）、TI1FP1 のアクティブ極性を選択します（TIMx_CCR1 のキャプチャとカウンタクリアの両方に使用されます）。
3. TIM1_CCMR2 レジスタの CC2S ビットに 10 を書き込むことによって（TI1FP2 を選択）、TIM1_CCR2 のアクティブ入力を選択します。
4. CC2P ビットに 1 を書き込むことによって（TI1FP2 は立ち下がりエッジでアクティブ）、TI1FP2 のアクティブ極性を選択します（TIM1_CCR2 のキャプチャに使用されます）。
5. TIM1_SMCR レジスタの TS ビットに 101 を書き込むことによって（TI1FP1 を選択）、有効なトリガ入力を選択します。
6. TIM1_SMCR レジスタの SMS ビットに 100 を書き込むことによって、クロック/トリガコントローラをリセットモードに設定します。
7. TIM1_CCER1 レジスタの CC1E および CC2E ビットに 1 を書き込むことによって、キャプチャを有効にします。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

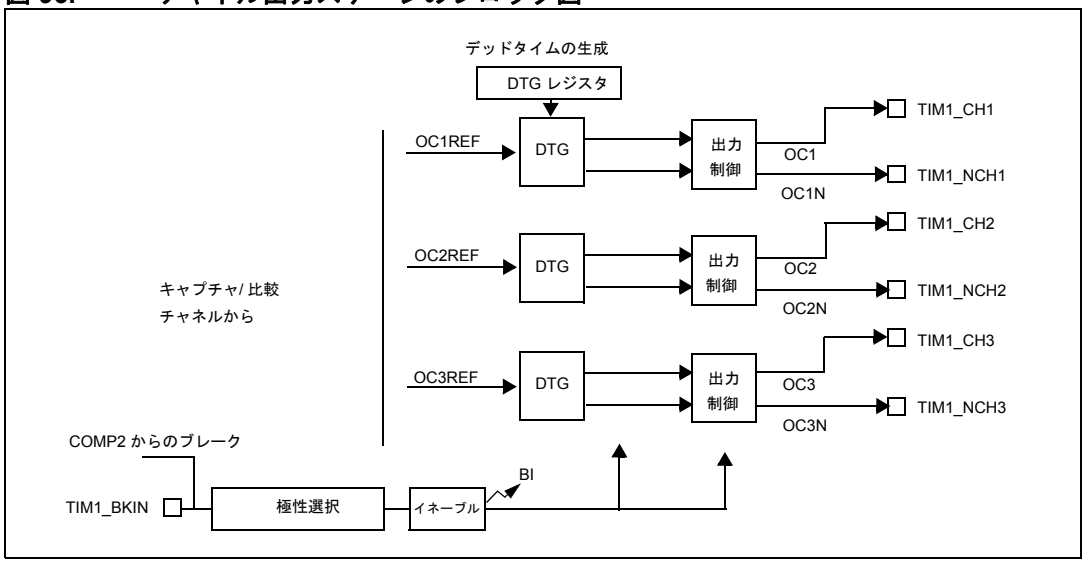
図 95. PWM 入力信号測定の例



19.5.4 出力ステージ

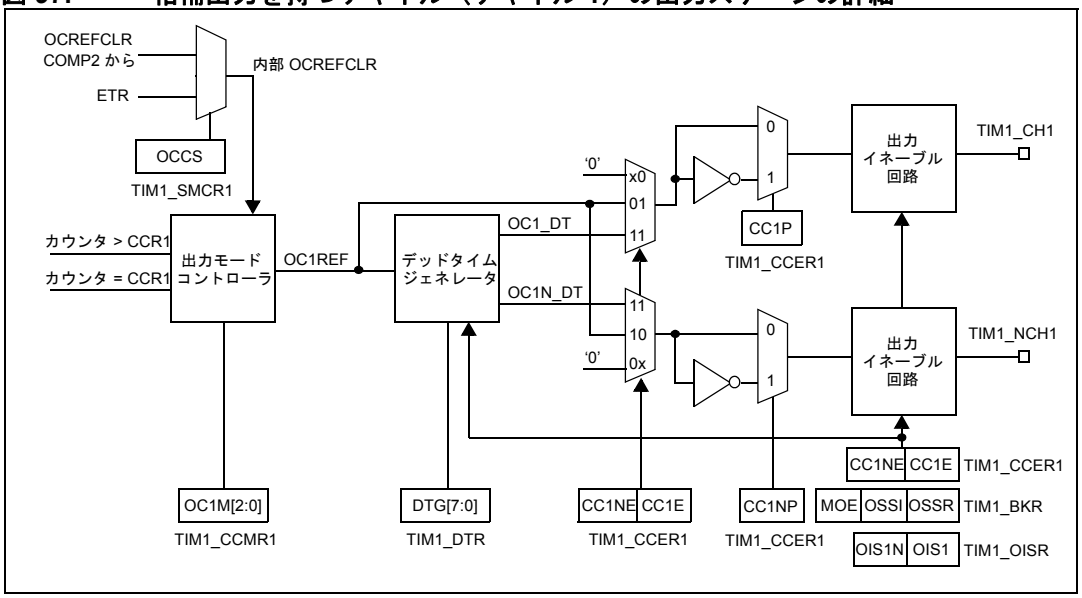
出力ステージは、OC*i*REF（アクティブハイ）と呼ばれ、基準電圧として使用される中間波形を生成します。ブレーク機能と極性は、最終出力に影響を与えます。

図 96. チャネル出力ステージのブロック図



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 97. 相補出力を持つチャネル（チャネル 1）の出力ステージの詳細



19.5.5 強制出力モード

出力モード（TIM1_CCMR*i* レジスタの CC*i*S ビット=00）では、出力比較レジスタとカウンタの比較とは関係なく、ソフトウェアによって直接、各出力比較信号を強制的にハイまたはローレベルにできます。

出力比較信号を強制的にアクティブレベルにするには、対応する TIM1_CCMR*i* レジスタの OC*i*M ビットに 101 を書き込みます。OC*i*REF は強制的にハイになり（OC*i*REF は常にアクティブハイ）、OC*i* 出力は CC*i*P の極性ビットに応じて強制的にハイまたはローになります。

たとえば、CC*i*P = 0（OC*i* アクティブハイ）の場合、OC*i* は強制的にハイになります。

OC*i*REF 信号は、TIMx_CCMRx レジスタの OC*i*M ビットに 100 を書き込むことによって、強制的にローにできます。

いずれにしても、TIM1_CCR*i* シャドウレジスタとカウンタの比較は行われるので、フラグをセットできます。それに応じて、割り込み や DMA リクエストを送信できます。これについては、次の出力比較モードのセクションで説明します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

19.5.6 出力比較モード

この機能は、出力波形を制御したり、一定時間が経過したことを示すために使用されます。

キャプチャ /比較レジスタとカウンタの値が一致すると、

- 出力比較モードに応じて、対応する OC*i* 出力ピンは、
  - レベルを維持します（OC*i*M = 000）。
  - アクティブにセットされます（OC*i*M = 001）。
  - インアクティブにセットされます（OC*i*M = 010）。
  - トグルします（OC*i*M = 011）。
- 割り込みステータスレジスタのフラグがセットされます（TIM1_SR1 レジスタの CC*i*IF ビット）。
- 対応する割り込みマスク（TIM1_IER レジスタの CC*i*IE ビット）がセットされている場合は、割り込みが生成されます。
- 対応するイネーブルビット（TIM1_DER レジスタの CCxDE ビット）がセットされている場合は、DMA リクエストを送信します。

出力比較モードは、対応する TIM1_CCMR*i* レジスタの OC*i*M ビットによって定義されます。アクティブまたはインアクティブレベルの極性は、TIM1_CCER*i* レジスタの CC*i*P ビットによって定義されます。

TIM1_CCR*i* レジスタは、TIM1_CCMR*i* レジスタの OC*i*PE ビットを使用して、プリロードレジスタを使用して、またはプリロードレジスタを使用せずにプログラミングできます。

出力比較モードでは、UEV は OC*i*REF および OC*i* 出力に影響を与えません。タイミングの分解能はカウンタの 1 カウント分です。出力比較モードは、単一パルスを出力するためにも使用できます。

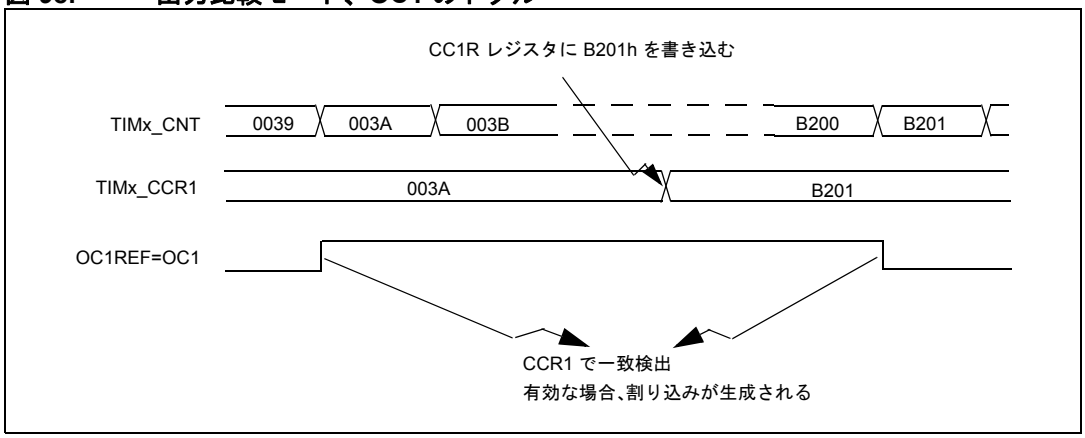
手順

1. カウンタクロックを選択します（内部、外部、またはプリスケーラ）。
2. TIM1_CCR*i* レジスタと TIM1_ARR レジスタに希望のデータを書き込みます。
3. 割り込みリクエストを生成する場合は、CC*i*IE ビットをセットします。
4. DMA リクエストを生成する場合は、CC*i*DE ビットをセットします。
5. 出力モードを以下のように選択します。
   - CNT が CCR*i* に一致したときに OC*i* 出力ピンを反転するには、OC*i*M = 011 を書き込みます。
   - プリロードレジスタを無効にするには、OC*i*PE = 0 を書き込みます。
   - アクティブハイ極性を選択するには、CC*i*P = 0 を書き込みます。
   - 出力を有効にするには、CC*i*E = 1 を書き込みます。
6. TIMx_CR1 レジスタの CEN ビットをセットすることによって、カウンタを有効にします。

TIM1_CCR*i* レジスタは、ソフトウェアによっていつでも更新して、出力波形を制御できます。ただし、プリロードレジスタが有効でない場合（OC*i*PE = 0）に限ります。そうでない場合は、TIMx_CCR*i* シャドウレジスタは、次の UEV でのみ更新されます（*図 98* の例を参照）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 98. 出力比較モード、OC1 のトグル



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

19.5.7 PWM モード

パルス幅変調（PWM）モードでは、TIM1_ARR レジスタの値によって決められた周波数と TIM1_CCR*i* レジスタの値によって決められたデューティサイクルを持つ信号を生成できます。

PWM モードは、TIM1_CCMR*i* レジスタの OC*i*M ビットに 110（PWM モード 1）または 111（PWM モード 2）を書き込むことによって、チャネルごとに個別に選択できます（OC*i* 出力ごとに 1 つの PWM）。TIM1_CCMR*i* レジスタの OC*i*PE ビットをセットすることよって、対応するプリロードレジスタを有効にする必要があります。TIM1_CR1 レジスタの ARPE ビットをセットすることによって、自動再ロードプリロードレジスタ（アップカウントまたはセンターアラインモード）を、オプションで有効にすることができます。

プリロードレジスタは UEV が発生したときにのみシャドウレジスタに転送されるので、カウンタを開始する前に、TIM1_EGR レジスタの UG ビットをセットすることによって、すべてのレジスタを初期化しておく必要があります。

OC*i* 極性は、TIM1_CCER*i* レジスタの CC*i*P ビットを使用して、ソフトウェアでプログラムできます。アクティブハイまたはアクティブローとしてプログラムできます。OC*i* 出力は、CC*i*E、MOE、OIS*i*、OSSR、および OSSI ビット（TIM1_CCER*i* および TIM1_BKR レジスタ）の組み合わせによって有効にされます。詳細については、TIM1_CCER*i* レジスタの説明を参照してください。

PWM モード（1または2）では、TIM1_CNT と TIM1_CCR*i* が常に比較されて、TIM1_CCR*i* ≤ TIM1_CNT または TIM1_CNT≤ TIM1_CCR*i* かどうかが判断されます（カウンタの方向によります）。

タイマは、TIM1_CR1 レジスタの CMS ビットに応じて、エッジアラインモードまたはセンターアラインモードで PWM を生成できます。

PWM エッジアラインモード

アップカウント設定

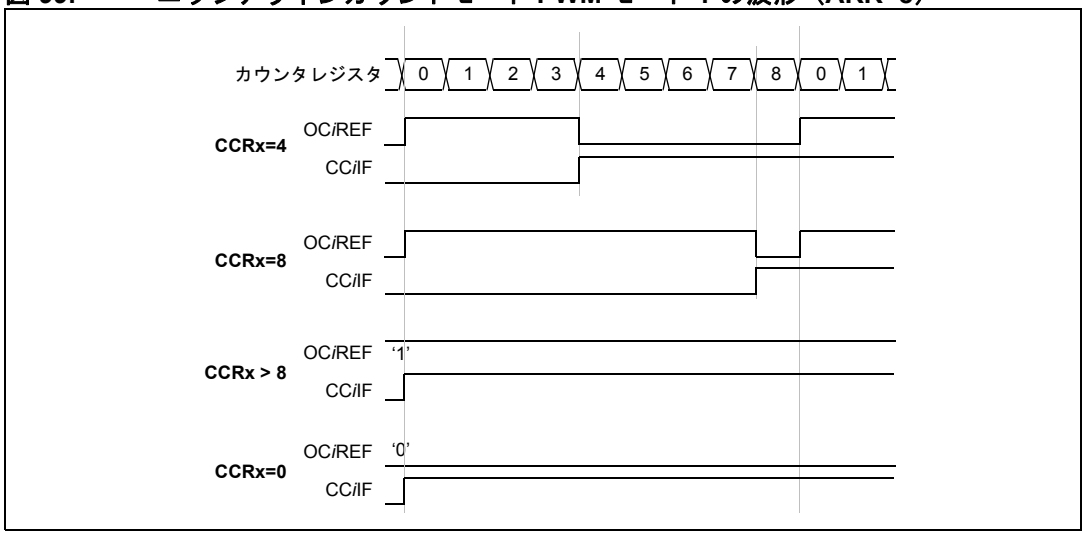
TIM1_CR1 レジスタの DIR ビットがローのときには、アップカウントがアクティブです。

例

この例では、PWM モード 1 を使用しています。基準の PWM 信号、OC*i*REF は TIM1_CNT < TIM1_CCR*i* である限り、ハイです。そうでない場合は、ローになります。TIM1_CCR*i* の比較値が自動再ロード値（TIM1_ARR）より大きい場合、OC*i*REF は 1 に保持されます。比較値が 0 の場合、OC*i*REF は 0 に保持されます。*図 99* に、TIM1_ARR=8 のときのエッジアライン PWM 波形の例を示します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 99. エッジアラインカウントモード PWM モード 1 の波形（ARR=8）



ダウンカウント設定

TIM1_CR1 レジスタの DIR ビットがハイのときには、ダウンカウントがアクティブです。*ダウンカウントモード（282 ページ）*を参照してください。

PWM モード 1 では、基準信号 OC*i*REF は、TIM1_CNT > TIM1_CCR*i* である限り、ローです。そうでない場合は、ハイになります。TIM1_CCR*i* レジスタの比較値が自動再ロード値（TIM1_ARR レジスタ）より大きい場合、OC*i*REF は 1 に保持されます。このモードでは、0 % の PWM 信号を生成することはできません。

PWM センターアラインモード

センターアラインモードは、TIM1_CR1 レジスタの CMS ビットが 00 でないときにアクティブです（その他すべての設定が、OC*i*REF/OC*i* 信号に対して同じ効果を持ちます）。

比較フラグは、CMS ビットの設定に応じて、カウンタがカウントアップ、カウントダウン、またはカウントアップとカウントダウンしているときにセットされます。TIM1_CR1 レジスタの方向ビット（DIR）は、ハードウェアによって更新され、このモードでは読み出し専用です（*センタアラインモード（アップ/ダウンカウント）（284 ページ）*を参照）。

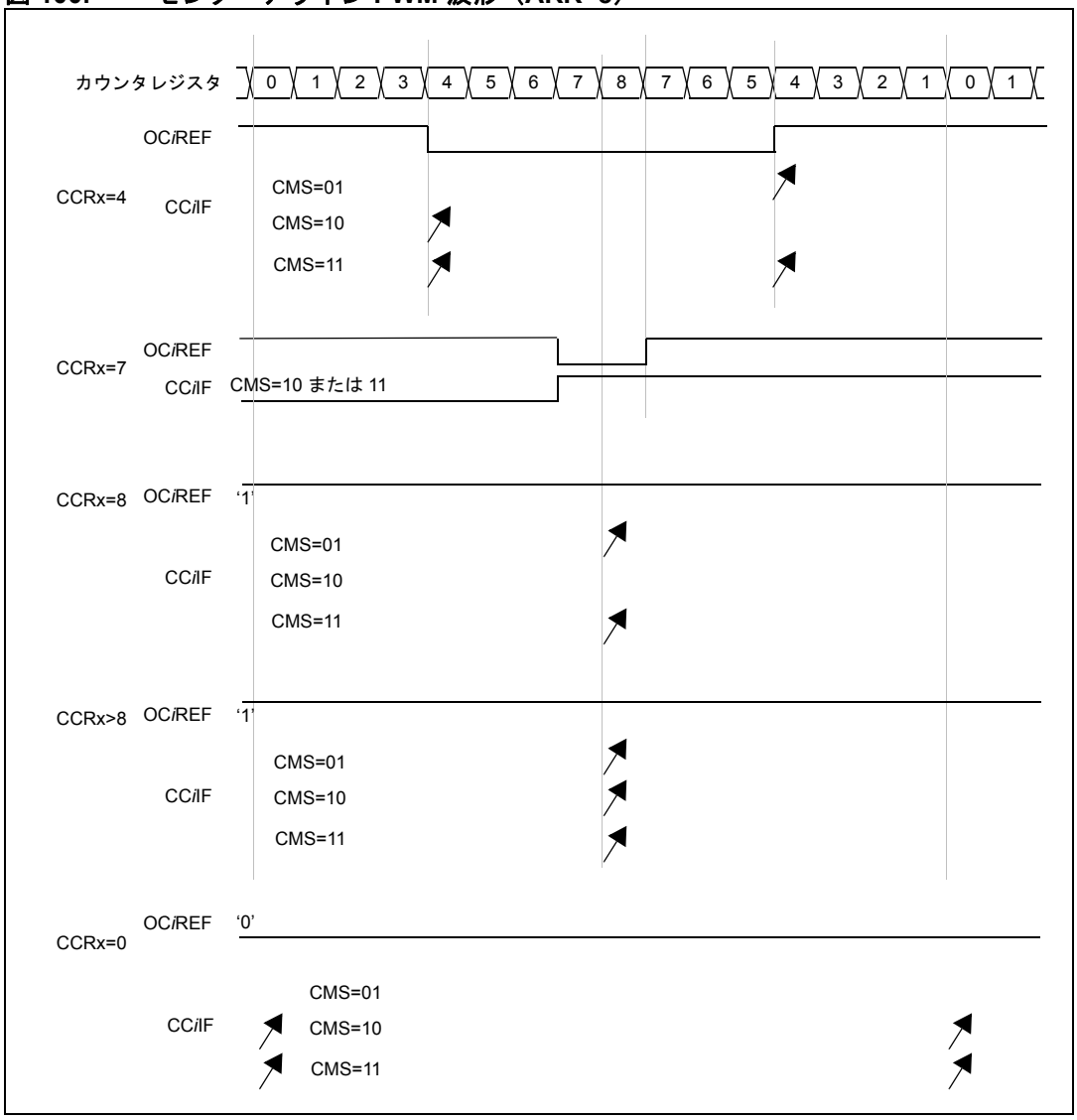
図 100 に、次の条件でのセンターアライン PWM 波形の例を示します。

- TIM1_ARR = 8
- PWM モードは PWM モード 1
- フラグは、次の 3 つの場合にセットされます（*図 100* の矢印）。
  - カウンタがカウントダウンしているとき（CMS = 01）
  - カウンタがカウントアップしているとき（CMS = 10）
  - カウンタがカウントアップおよびカウントダウンしているとき（CMS = 11）

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

参考資料

図 100. センターアライン PWM 波形（ARR=8）



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ワンパルスモード

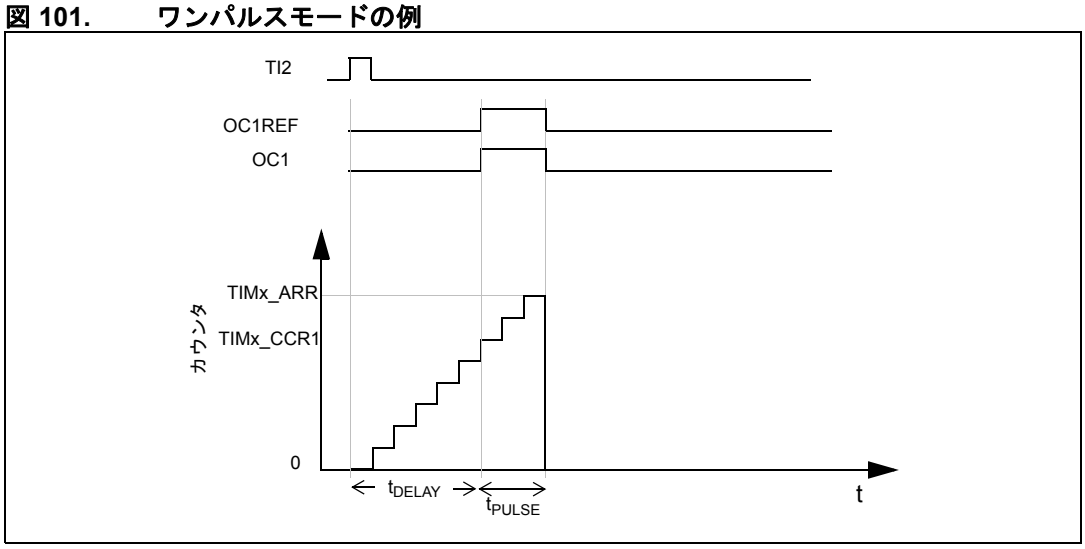
ワンパルスモード（OPM：One Pulse Mode）は、これまでに説明したモードの特殊ケースです。トリガに応じてカウンタを開始して、プログラム可能な遅延後にプログラム可能な長さのパルスを生成できます。

カウンタの開始は、クロック/トリガコントローラを通じて制御できます。波形の生成は、出力比較モードまたは PWM モードで行うことができます。ワンパルスモードを選択するには、TIM1_CR1 レジスタの OPM ビットをセットします。これによって、カウンタは、次の UEV で自動的に停止します。

パルスは、比較値がカウンタの初期値と異なる場合のみ、正しく生成されます。開始する前に（タイマがトリガを待っているときに）、設定が次のようでなければなりません。

- アップカウント時：CNT< CCR*i* ≤ ARR（特に、0 < CCR*i*）
- ダウンカウント時：CNT> CCR*i*

図 101. ワンパルスモードの例



例

この例は、TI2 入力ピンで立ち上がりエッジが検出されたときに、OC1 にパルス幅が t_{PULSE} の正のパルスを遅延時間 t_{DELAY} 後に生成する方法を示しています。

IC2 をトリガ 1 として使用するには、以下の手順に従ってください。

- TIM1_CCMR2 レジスタに CC2S=01 を書き込むことによって、IC2 を TI2 に配置します。
- IC2 は立ち上がりエッジを検出しなければならないので、TIM1_CCER1 レジスタに CC2P=0 を書き込みます。
- TIM1_SMCR レジスタの TS=110 を書き込むことによって、IC2 をクロック/トリガコントローラ（TRGI）のトリガとして設定します。
- IC2 を使用してカウンタを開始するには、TIM 1 _SMCR レジスタの SMS ビットに 110（トリガモード）を書き込みます。

OPM 波形は、次のように比較レジスタに書き込むことによって定義されます（クロック周波数とカウンタプリスケーラを考慮に入れて）。

- t_{DELAY} は、TIM 1 _CCR1 レジスタに書き込まれた値によって定義されます。
- t_{PULSE} は、自動再ロード値と比較値の差（TIM1_ARR - TIM1_CCR1）によって定義されます。
- 比較一致が発生したときに 0 から 1 へ遷移し、カウンタが自動再ロード値に達したときに 1 から 0 へ遷移する波形を生成するには、TIM1_CCMR1 レジスタの OC*i*M = 111 を書き込むことに

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

よって、PWM モード 2 を有効にします。または、TIM1_CCMR1 レジスタの OC1PE=1 を、TIM1_CR1 レジスタに ARPE=0 を書き込むことによって、プリロードレジスタを有効にする方法もあります（オプション）。この場合、TIM1_CCR1 レジスタに比較値を書き込み、TIM1_ARR レジスタに自動再ロード値を書き込みます。次に、UG ビットをセットすることによって更新を生成し、TI2 で外部トリガイベントを待ちます。この例では、CC1P に 0 を書き込みます。

上の例では TIM1_CR1 レジスタの DIR および CMS ビットはローでなければなりません。

必要なパルスは 1 つだけなので、次の UEV（カウンタが自動再ロード値に達して、カウンタの値が 0 に戻る時点）でカウンタが停止するように、TIM1_CR1 レジスタの OPM ビットに 1 を書き込みます。

特殊な場合：OCi 高速イネーブル：

ワンパルスモードでは、TI*i* 入力のエッジ検出によって、カウンタを有効にする CEN ビットがセットされます。その後、カウンタと比較値の比較によって、出力が反転されます。ただし、これの動作には数クロックサイクルが必要なので、実現可能な最小遅延（t_{DELAY} min）に影響します。

最小遅延の波形を出力するには、TIM1_CCMR*i* レジスタの OC*i*FE ビットをセットします。OC*i*REF（および OC*i*）は、比較結果に関係なく、トリガに応じてレベルが強制的に決まります。OC*i*REF（および OC*i*）の新しいレベルは、比較が一致した場合と同じです。OC*i*FE ビットは、チャネルが PWM1 または PWM2 モードに設定されている場合のみ機能します。

相補出力とデッドタイム挿入

TM1 は、チャネルあたり 2 つの相補信号を出力できます。出力のスイッチオフとスイッチオンのタイミングも管理します（*図 60：TIM1 の一般的ブロック図（277 ページ）*を参照）。

この時間は、通常、デッドタイムと呼ばれます。デッドタイムは、出力に接続されたデバイスの特性に応じて調整する必要があります（たとえば、レベルシフタの本来の遅延、電源スイッチによる遅延）。

出力の極性は、各出力について個別に選択できます（メイン出力 OC*i* または相補出力 OC*i* N）。このためには、TIM1_CCER*i* レジスタの CC*i*P および CC*i* NP ビットに書き込みます。

相補信号 OC*i* および OC*i* N は、次のようないくつかの制御ビットの組み合わせによってアクティブ化されます。TIM1_CCER*i* レジスタの CC*i* E および CC*i* NE ビットと、ブレーク機能が実装されている場合は、TIM1_BKR レジスタの MOE、OIS*i*、OIS*i* N、OSSI、および OSSR ビット。詳細については、*表 66：相補型 OCi および OCiN チャネルのブレーク機能による出力制御（348 ページ）*を参照してください。特に、IDLE 状態に切り替わると（MOE が 0 になると）、デッドタイムがアクティブになります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

デッドタイム挿入は、CC*i* E および CC*i* ビットと、ブレーク回路がある場合には、MOE ビットをセットすることによって有効になります。各チャネルには、8 ビットのデッドタイム発生回路が組み込まれています。これは、2 つの出力を生成します。基準波形 OC*i* REF から OC*i* と OC*i* N。OC*i* と OC*i* N がアクティブハイの場合：

- OC*i* 出力信号は基準信号と同じですが、立ち上がりエッジが基準の立ち上がりエッジより遅い点が異なります。
- OC*i* N 出力信号は、立ち上がりエッジが基準波形の立ち下がりエッジより遅れる点を除けば、基準信号を反転させた波形と同じです。

遅延がアクティブ出力（OC*i* または OC*i* N）の幅より大きい場合、対応するパルスは生成されません。

図 102、*図 103*、および *図 104* に、デッドタイム発生回路の出力信号と基準信号 OC*i* REF の関係を示します（これらの例では、CC*i* P = 0、CC*i* NP = 0、MOE = 1、CC*i* E = 1、および CC*i* NE = 1）。

図 102. デッドタイムが挿入された相補出力

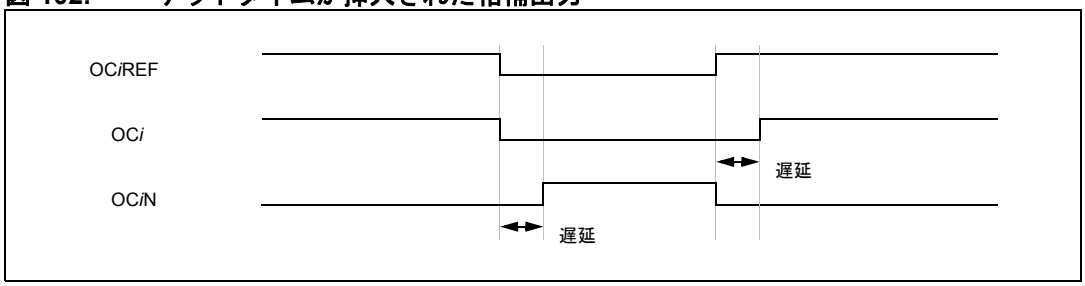


図 103. 負のパルスより遅延が大きいデッドタイム波形

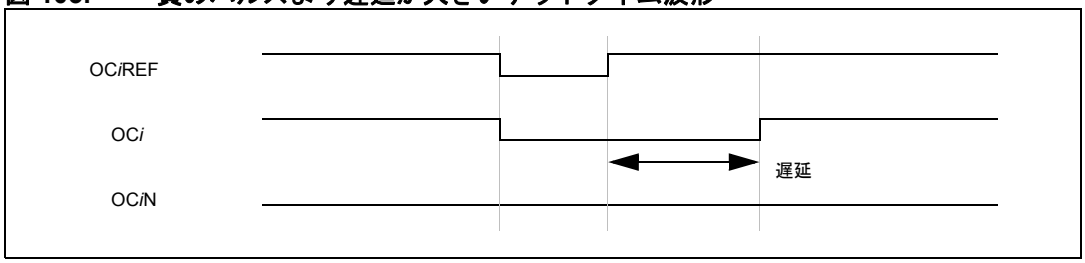
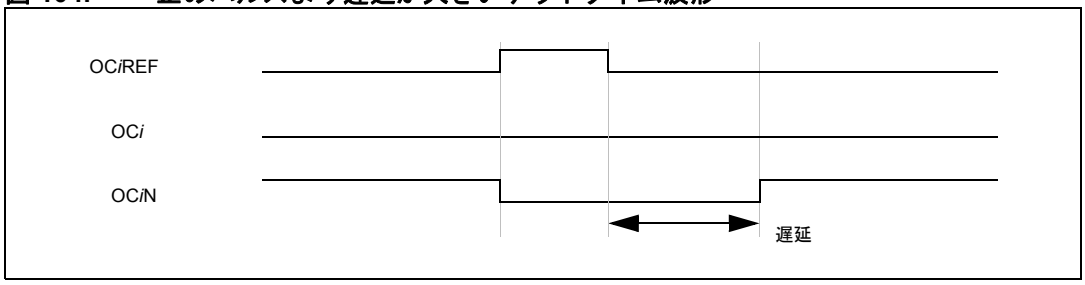


図 104. 正のパルスより遅延が大きいデッドタイム波形



デッドタイム遅延は、各チャネルで同じであり、TIM1_DTR レジスタの DTG ビットでプログラミングできます。遅延計算の詳細については、*セクション 19.8.32：デッドタイムレジスタ（TIM1_DTR）(356 ページ)* を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OC*i* REF から OC*i* または OC*i* N へのリダイレクト

出力モード（強制、出力比較、または PWM）では、対応する TIM1_CCER*i* レジスタの CC*i*E および CC*i*NE ビットを設定することによって、OC*i*REF を OC*i* または OC*i*N 出力にリダイレクトできます。これは、デッドタイム発生回路をバイパスして、特定の波形（PWM や静的アクティブレベルなど）を 1 つの出力に送信し、相補出力をインアクティブレベルのままにできることを意味します。他の例としては、両方の出力をインアクティブレベルにしたり、両方の出力をアクティブなデッドタイム付き相補出力にすることができます。

注： ***OCiN のみが有効なときには（CCiE=0、CCiNE=1）、相補されず、OCiREF がハイになるとアクティブになります。たとえば、CCiNP=0 の場合は、OCiN=OCiREF です。一方、OCi と OCiN の両方が有効なときには（CCiE=CCiNE=1）、OCi は OCiREF がハイになるとアクティブになり、OCiN は OCiREF がローのときに相補され、アクティブになります。***

モーター制御用 6 ステップ PWM の生成

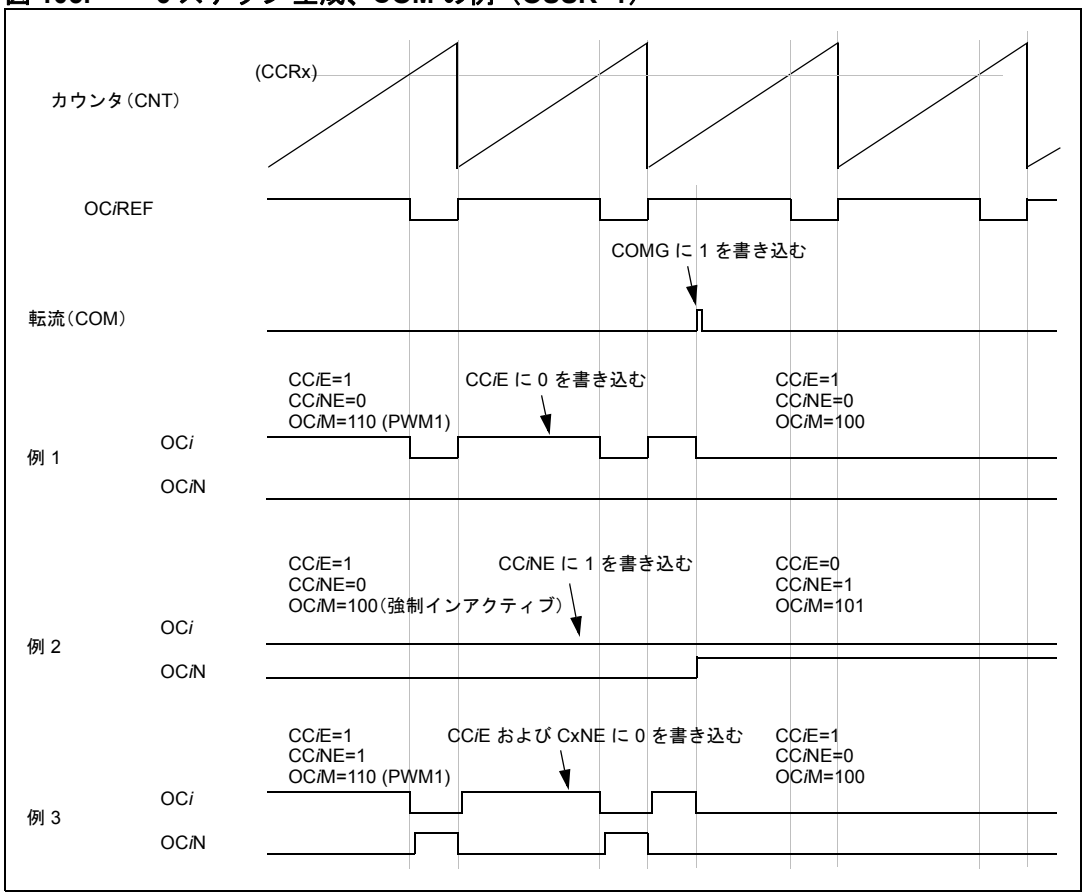
チャネルで相補出力が使用されているときには、OC*i* M、CC*i* E、および CC*i* NE ビットでプリロードビットが使用できます。プリロードビットは、転流イベント（COM）でアクティブビットに転送されます。これにより、次のステップの設定をあらかじめプログラミングして、すべてのチャネルの設定を同時に変更することができます。COM イベントは、TIM1_EGR レジスタの COMG ビットをセットすることによってソフトウェアによって、またはハードウェアによって（TRGI の立ち上がりエッジで）生成することができます。

COM イベントが発生すると、フラグがセットされ（TIM1_SR レジスタの COMIF ビット）、割り込み（TIM1_IER レジスタの COMIE ビットがセットされている場合）または DMA リクエスト（TIM1_DER レジスタの COMDE ビットがセットされている場合）を生成できます。

図 105 に、COM イベントが発生したときの OC*i* および OC*i* N 出力の動作を、3 種類の異なるプログラミング設定の例で示します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 105. 6 ステップ 生成、COM の例（OSSR=1）



19.5.8 ブレーク機能の使用

ブレーク機能は、しばしばモーター制御に使用されます。ブレーク機能を使用すると、出力イネーブル信号とインアクティブレベルは、追加の制御ビット（TIM1_BKR レジスタの MOE、OSSR、および OSSI ビット）に応じて変更されます。

リセットが終了すると、ブレーク回路は無効になり、MOE ビットはローになります。ブレーク機能は、TIM1_BKR レジスタの BKE ビットをセットすることによって有効になります。ブレーク入力の極性は、同じレジスタの BKP ビットを設定することによって選択できます。BKE と BKP は、同時に変更できます。

MOE の立ち下がりエッジは非同期のことがあるので、実際の信号（出力に作用する）と同期制御ビット（TIM1_BKR レジスタからアクセス）の間に、再同期回路が挿入されています。このため、非同期信号と同期信号の間に若干の遅延が発生します。たとえば、MOE がローになった後で 1 が書き込まれた場合、MOE を正しく読み出すためには、遅延（ダミー命令）を挿入する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ブレークが発生すると（ブレーク入力で選択されたレベル）、

- MOE　ビットは非同期にクリアされ、出力は、インアクティブ状態、アイドル状態、またはリセット状態（OSSI ビットで選択）になります。これは、MCU オシレータがオフの場合も同様です。
- 各出力チャネルは、MOE=0 になると、TIM1_OISR レジスタの OIS*i* ビットでプログラムされたレベルに駆動されます。OSSI=0 の場合、タイマはイネーブル出力を解除し、そうでない場合、イネーブル出力はハイのままです。
- 相補出力が使用されているときには、
  - 出力は、まず、インアクティブ状態に置かれます（極性に依存します）。これは、タイマにクロックが供給されていない場合でも機能するように、非同期に行われます。
  - タイマクロックが供給されている場合、デッドタイム後に OIS*i* および OIS*i* N ビットでプログラミングされたレベルで出力を駆動するために、デッドタイム発生回路が再起動されます。この場合も、OIS*i* と OIS*i* N をともにアクティブレベルに駆動することはできません。MOE の再同期により、デッドタイム時間が通常より少し長くなることに注意してください（約 2 CK_TIM クロックサイクル）。
- ブレーク状態フラグ（TIM1_SR1 レジスタの BIF ビット）がセットされます。TIM1_IER レジスタの BIE ビットがセットされている場合は、割り込みを生成できます。
- TIM1_BKR レジスタの AOE ビットがセットされている場合、MOE ビットは次の UEV で再び自動的にセットされます。これを使用して、レギュレーションを行うことができます。そうでない場合、MOE ビットは、再び 1 が書き込まれるまでローのままです。この場合、セキュリティ目的で使用でき、パワー駆動回路、温度センサ、またはセキュリティコンポーネントからのアラームにブレーク入力を接続できます。

注： ***ブレーク入力は、信号レベルに対して作用します。このため、ブレーク入力がアクティブな間は、MOE ビットをセットできません（自動的にも、ソフトウェアによっても）。この間、ステータスフラグ BIF をクリアできません。***

ブレークは、プログラム可能な極性を持つブレーク入力（BKIN）によって生成でき、TIM 1 _BKR レジスタの BKE ビットをセットまたはリセットすることによって、有効または無効にできます。

ブレーク入力と出力管理に加えて、アプリケーションに対する安全策として、ブレークインサーキッドに書き込み保護が施されています。いくつかのパラメータの設定（無効なときの OC*i* の極性と状態、OC*i*M の設定、ブレークイネーブル、および極性）を凍結することができます。TIM1_BKR レジスタの LOCK ビットを使用して、3 つの保護レベルを選択できます。LOCK ビットは、MCU リセット後に 1 回だけ書き込むことができます。

図 106 に、ブレークに対する出力の動作例を示します。

注： ***ブレークは、COMP_CSR3 レジスタの OUTSEL[1:0] ビットを通じて、コンパレータ 2 によって生成することもできます。「コンパレータ」のセクションを参照してください。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 106. ブレークに対する出力の動作（相補出力なしのチャネル）

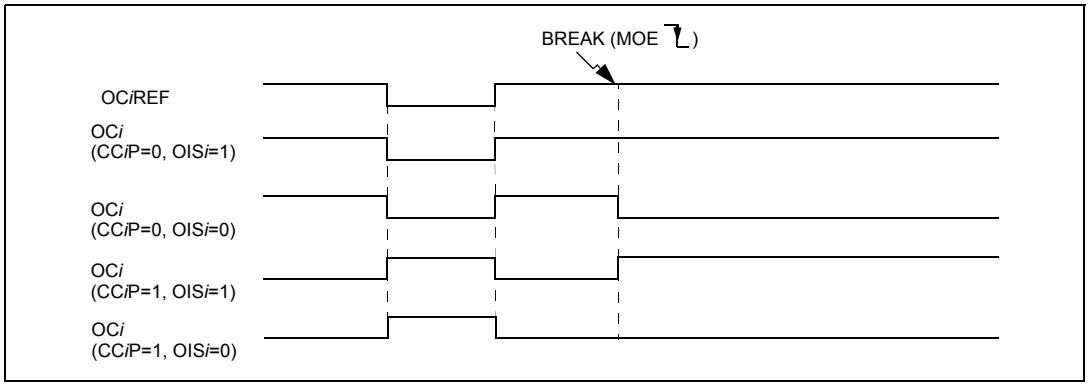
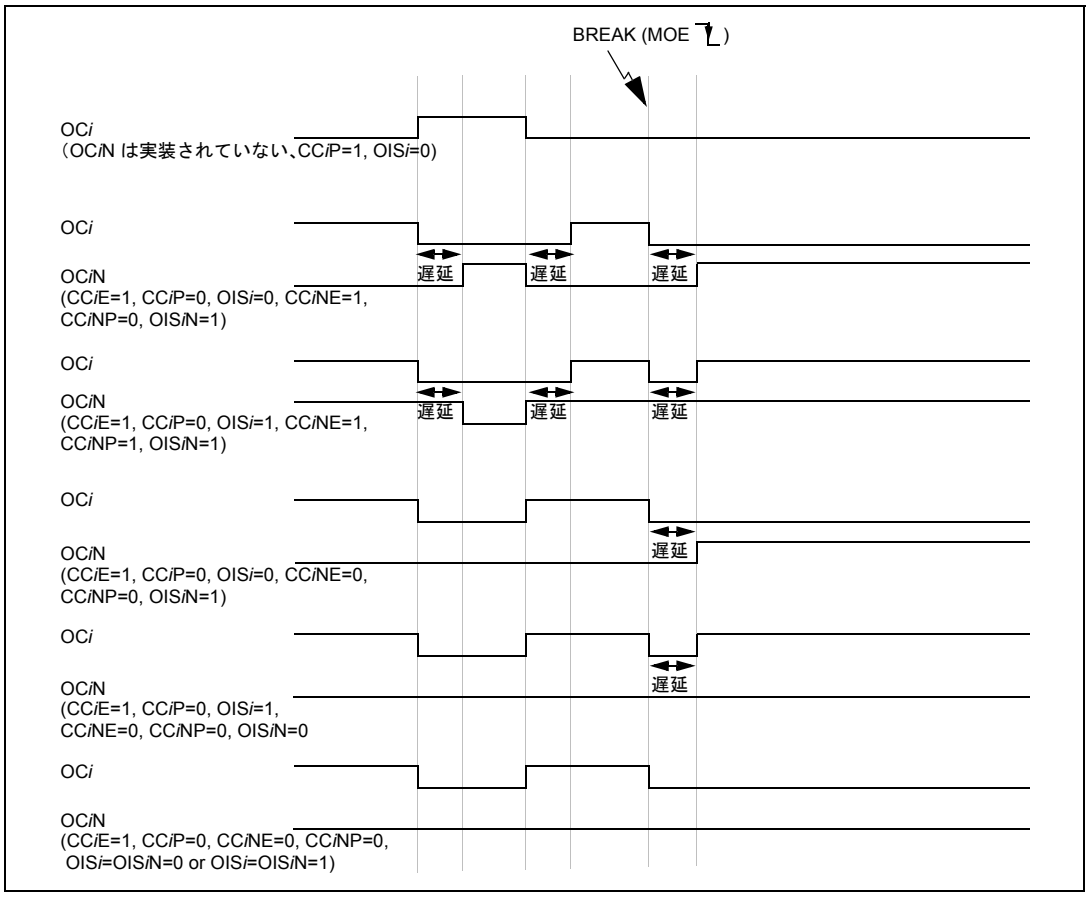


図 107 に、ブレークに対する相補出力（TIM1 のみ）の動作の例を示します。

図 107. ブレークに対する出力の動作（TIM1相補出力）



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

19.5.9 外部イベント時の OC*i*REF 信号のクリア

OCREFCLR 内部信号でハイレベルが検出されたときに、特定のチャネルの OC*i*REF 信号をクリアできます（TIM1_CCMR*i* レジスタの OC*i*CE =1 の場合、チャネルあたり 1 つのイネーブルビット）。OC*i*REF 信号は、次の UEV が発生するまで、ローのままです。この機能は、出力比較モードと PWM モードでのみ使用できます。強制モードでは動作しません。

OCREFCLR 内部信号のソースは、TIM1_SMCR レジスタの OCCS ビットを設定することによって、OCREFCLR 入力と ETRF（フィルタ後の ETR）間で選択できます。

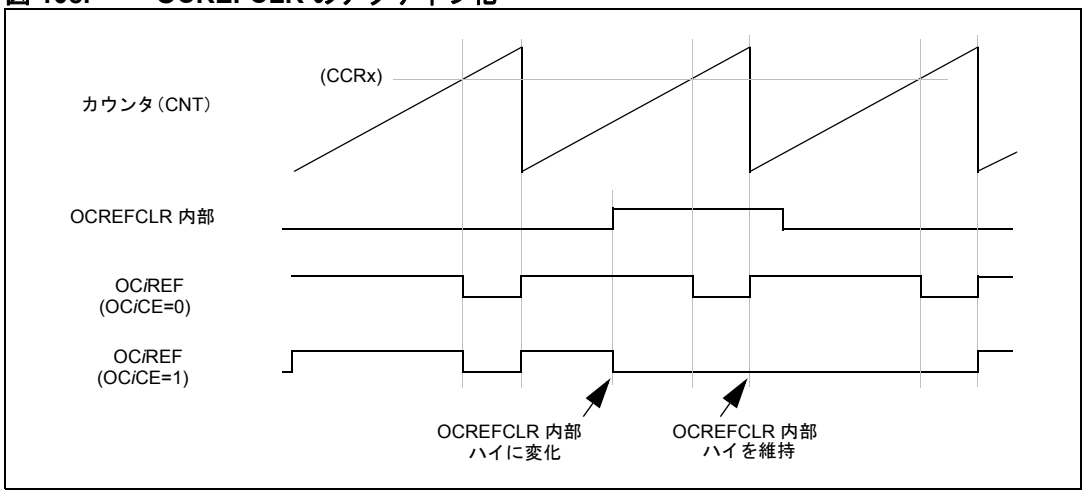
OC*i*REF 信号をコンパレータの出力に接続して、外部トリガを以下のように設定することによって、電流処理に使用できます。

1. TIM 1 _ETR レジスタの ETPS[1:0] ビットを 00 にセットすることによって、外部トリガプリスケーラをオフにします。
2. TIM1_ETR レジスタの ECE ビットを 0 にセットすることによって、外部クロックモード 2 を無効にします。
3. 外部トリガの極性（ETP）と外部トリガフィルタ（ETF）を必要に応じて設定します。

*図 76：外部トリガ入力のブロック図*を参照してください。

図 108 に、イネーブルビット OC*i*CE の両方の値について、ETRF 入力がハイになったときの OC*i*REF 信号の動作を示します。この例では、タイマは PWM モードにプログラミングされています。

図 108. OCREFCLR のアクティブ化



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

19.5.10 エンコーダインタフェースモード

エンコーダインタフェースモードは、通常、モーター制御に使用されます。このモードは、以下のように書き込むことによって選択できます。

- カウンタが TI2 のエッジでのみカウントする場合、TIM1_SMCR レジスタの SMS = 001。
- カウンタが TI1 のエッジでのみカウントする場合、SMS = 010。
- カウンタが TI1 と TI2 の両方のエッジでカウントする場合、SMS = 011。

TIM1_CCER1 レジスタの CC1P および CC2P ビットをプログラミングすることによって、TI1 と TI2 の極性を選択します。必要なときには、入力フィルタもプログラミングできます。

2 つの入力TI1 と TI2 は、インクリメンタルエンコーダとのインタフェースに使用されます（*表 65* を参照）。カウンタが有効な場合（TIM1_CR1 レジスタの CEN ビットが 1 にセットされているとき）、TI1FP1 または TI2FP2 の有効な遷移ごとにクロックされます（*図 93: TIM 1 チャネル 1 の入力ステージ* を参照）。2 つの入力（TI1 と TI2）の遷移シーケンスが評価されて、カウントパルスと方向信号を生成します。シーケンスに応じて、カウンタはカウントアップまたはカウントダウンし、TIM1_CR1 レジスタの DIR ビットがハードウェアによって変更されます。TI1 または TI2 のどちらかからの入力に基づいて、遷移ごとに DIR ビットが計算されます。これは、カウンタが TI1、TI2、またはその両方でパルスをカウントしているかに関係ありません。

エンコーダインタフェースモードは、方向選択を含む外部クロックとして動作します。カウンタは、0 と TIM1_ARR レジスタの自動再ロード値の間で連続的にカウントします（方向に応じて、0 から ARR まで、または ARR から 0 まで）。TIM1_ARR は、開始前に設定されなければなりません。このモードでは、キャプチャ、比較、プリスケーラ、およびトリガ出力機能は、通常動作を続けます。エンコーダモードと外部クロックモード 2 は互換性がないので、同時に選択することはできません。

エンコーダインタフェースモードでは、カウンタはインクリメンタルエンコーダの速度と方向に応じて自動的に変更されます。したがって、カウンタの内容は、常にエンコーダの位置を表します。カウンタの方向は、接続されているセンサの回転方向に対応します。*表 65* に、TI1 と TI2 が同時に切り替わらない前提で、カウント方向とエンコーダ信号の可能な組み合わせを示します。

表 65. カウント方向とエンコーダ信号

アクティブエッジ	他方の信号のレベル（TI2 に対する TI1FP1、TI1 に対する TI2FP2）	TI1FP1 信号		TI2FP2 信号	
		立ち上がり	立ち下がり	立ち上がり	立ち下がり
TI1 のみカウント	ハイ	ダウン	アップ	カウントしない	カウントしない
	ロー	アップ	ダウン	カウントしない	カウントしない
TI2 のみカウント	ハイ	カウントしない	カウントしない	アップ	ダウン
	ロー	カウントしない	カウントしない	ダウン	アップ
TI1 と TI2 の両方をカウント	ハイ	ダウン	アップ	アップ	ダウン
	ロー	アップ	ダウン	ダウン	アップ

外部インクリメンタルエンコーダは、外部にインタフェースロジックなしに、MCU に直接接続できます。ただし、エンコーダの差分出力をデジタル信号に変換するために、通常、コンパレータが使用されます。これにより、耐ノイズ性が大幅に向上します。機械的なゼロ位置を示す 3 番目のエンコーダ出力は、外部割り込み入力に接続して、カウンタのリセットをトリガできます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 109 に、カウント信号の生成と方向制御を含むカウンタの動作例を示します。また、両方のエッジが選択されているときの入力ジッタの補正方法も示します。この状況は、センサの位置が一方のスイッチングポイントの近くにあるときに生じることがあります。下の例では、以下のような設定となっています。

- CC1S=01（TIM1_CCMR1 レジスタ、IC1 はTI1 に配置）
- CC2S=01（TIM1_CCMR2 レジスタ、IC2 は TI2に配置）
- CC1P=0 （TIM1_CCER1 レジスタ、IC1 非反転、IC1=TI1）
- CC2P=0 （TIM1_CCER2 レジスタ、IC2 非反転、IC2=TI2）
- SMS=011（TIM1_SMCR レジスタ、両方の入力が立ち上がりと立ち下がりの両エッジでアクティブ）
- CEN=1（TIM1_CR1 レジスタ、カウンタ有効）

図 109. エンコーダインタフェースモードにおけるカウンタの動作例

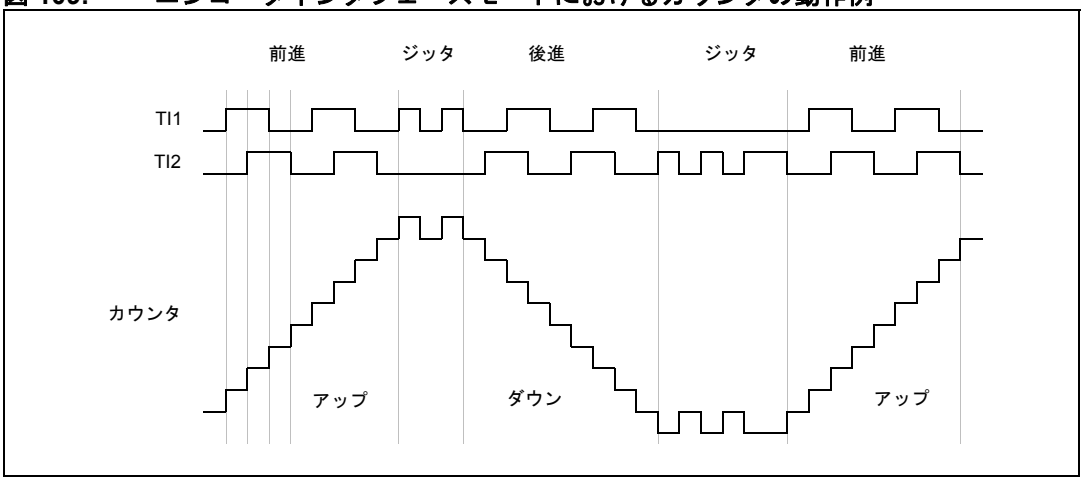
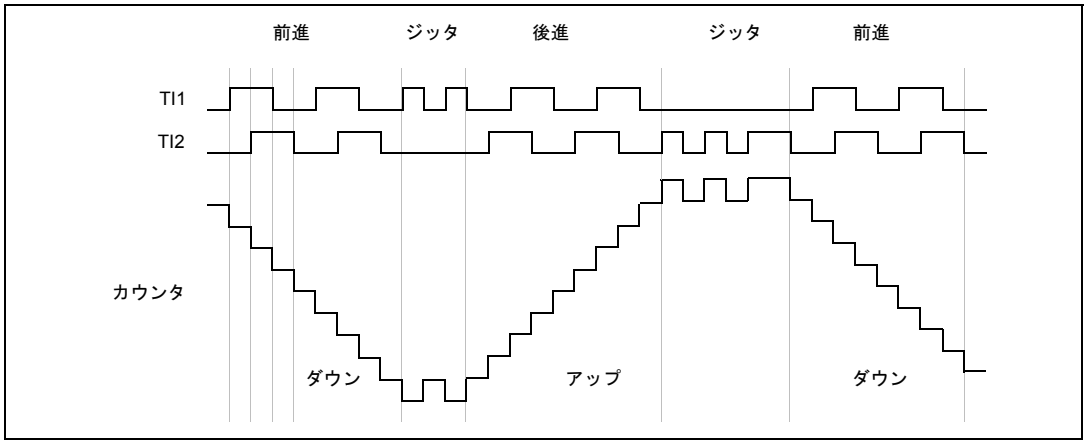


図 110 は、IC1 の極性を反転したときのカウンタの動作例を示しています（*図 109* と同じ設定ですが、CC1P=1 である点が異なります）。

図 110. IC1 の極性を反転したエンコーダインタフェースモードの例



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

タイマがエンコーダインタフェースモードに設定されている場合、タイマはセンサの現在位置に関する情報を提供します。キャプチャモードに設定された 2 番目のタイマを使用して、2 つのエンコーダイベントの時間差を測定することによって、速度、加速度、減速度などの動的な情報を得ることができます。機械的なゼロ位置を示すエンコーダの出力をこの目的に使用できます。2 つのイベントの時間差に応じて、カウンタを定期的に読み出すこともできます。これは、3 番目の入力キャプチャレジスタが使用可能な場合、これにカウンタ値をラッチすることによって行うことができます。この場合、キャプチャ信号は周期的でなければならず、別のタイマによって生成できます。

19.5.11 タイマ入力 XOR 機能

TIM1_CR2 レジスタの TI1S ビットがセットされている場合、チャネル 1 の入力フィルタを、TIM1_CH1、TIM1_CH2、および TIM1_CH3 の 3 つの入力ピンを組み合わせた XOR ゲートの出力に接続できます。

XOR 出力は、トリガや入力キャプチャなど、すべてのタイマ入力機能で使用できます。

この機能を使用して、ホールセンサとインタフェースする例を次のセクションで示します。

19.5.12 ホールセンサとのインタフェース

これを行うには、高機能制御タイマ （TIM1）を使用して PWM 信号を生成し、モータと、*図 111* で「インタフェースタイマ」と記されている別の TIM x タイマ（TIM2、TIM3、または TIM5）を駆動します。「インタフェースタイマ」は、XOR ゲートを通じて TI1 入力チャネル（TIMx_CR2 レジスタの TI1S ビットをセットすることで選択）に接続された 3 つのタイマ入力ピンをキャプチャします。

スレーブモードコントローラはリセットモードに設定され、スレーブ入力は TI1F_ED です。結果として、3 本の入力のいずれかが反転するたびに、カウンタは 0 からカウントを再スタートします。これが、ホール入力の変化によってトリガされるタイムベースとなります。

「インタフェースタイマ」では、キャプチャ /比較チャネル 1 はキャプチャモードに設定され、キャプチャ信号は TRC です（*図 93 : TIM 1 チャネル 1 の入力ステージ (303 ページ)* を参照）。キャプチャされた値（入力の 2 回の変化の間の経過時間に対応）から、モータ速度に関する情報が得られます。

「インタフェースタイマ」を出力モードで使用して、（COM イベントをトリガすることによって）高機能制御タイマ（TIM1）のチャネルの設定を変更するパルスを生成できます。TIM1 タイマは、モータを駆動する PWM 信号を生成するために使用されます。このためには、プログラムした遅延後に正パルスを生成するように、インタフェースタイマチャネルをプログラムする必要があります（出力比較モードまたは PWM モードで）。このパルスは、TRGO 出力を通じて高機能制御タイマ（TIM1）に送信されます。

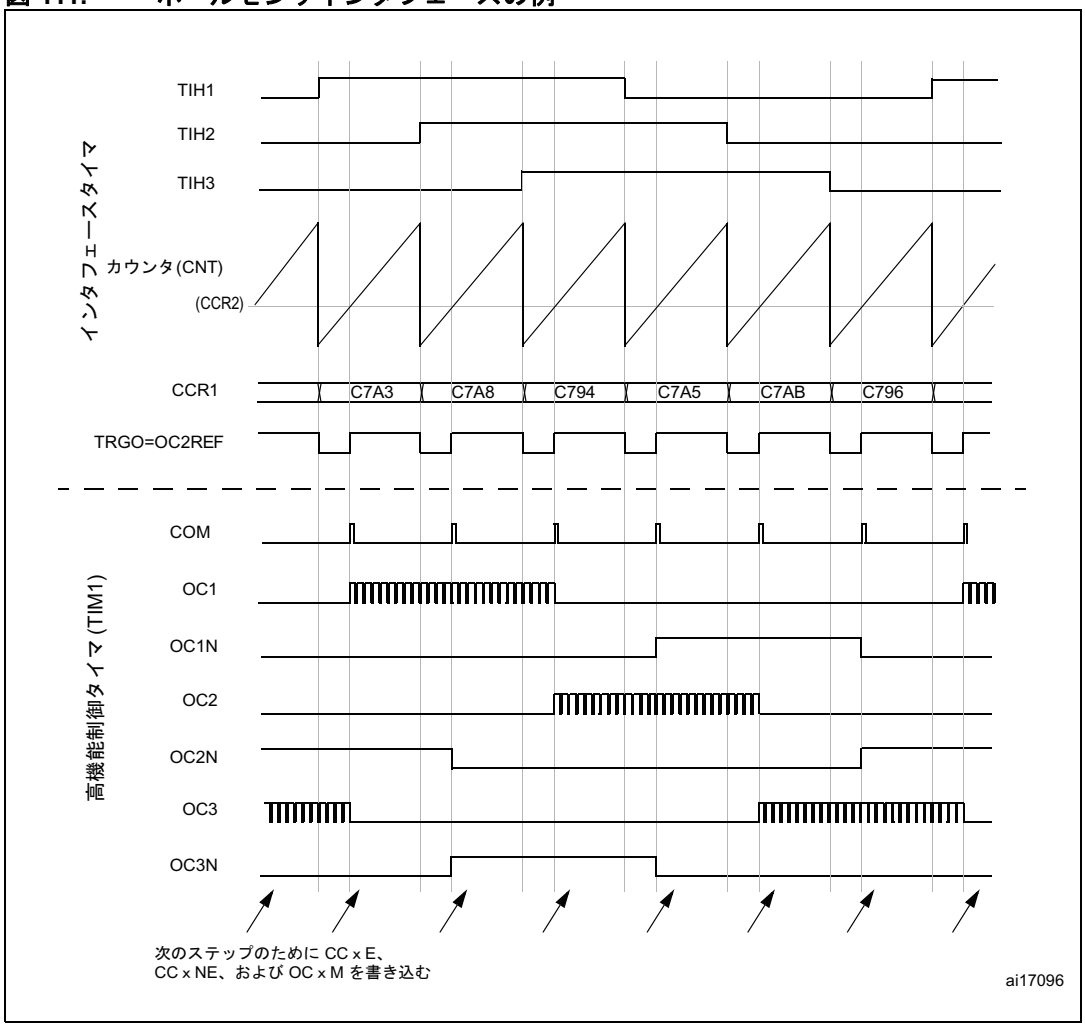
例 : TIMx タイマの 1 つに接続されたホール入力が変化するたびに、プログラムした遅延後に高機能制御タイマ TIM1 の PWM 設定を変更したいとします。以下の手順に従ってください。

- 3 本のタイマ入力を TI1 入力チャネルに XOR 接続します。このためには、TIMx_CR2 レジスタの TI1S に 1 を書き込みます。
- タイムベースをプログラムします。すなわち、TIMx_ARR に最大値を書き込みます（カウンタは TI1 の変化によってクリアされなければなりません）。最大カウンタ時間がセンサの 2 回の変化の間の時間より長くなるように、プリスケーラを設定します。
- チャネル 1 をキャプチャモード（TRC 選択）にプログラムします。すなわち、TIMx_CCMR1 レジスタの CC1S ビットに 11 を書き込みます。必要な場合は、デジタルフィルタをプログラムすることもできます。
- チャネル 2 を、望ましい遅延付きの PWM 2 モードにプログラムします。すなわち、TIMx_CCMR2 レジスタの OC2M ビットに "111" を、CC2S ビットに "00" を書き込みます。
- TRGO のトリガ出力として OC2REF を選択します。すなわち、TIMx_CR2 レジスタの MMS ビットに "101" を書き込みます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

高機能制御タイマ TIM1 では、トリガ入力として適切な ITR 入力を選択する必要があり、PWM 信号を生成するようにタイマをプログラムし、キャプチャ /比較制御信号がプリロードされ（TIMx_CR2 レジスタの CCPC=1）、COM イベントがトリガ入力によって制御される（TIMx_CR2 レジスタの COMS=1）ように設定します。次の手順のために、COM イベント後に PWM 制御ビット（CCxE、OCxM）が書き込まれます。

図 111. ホールセンサインタフェースの例



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

19.6 TIM1 割り込み

TIM1 には 8 つの割り込みリクエストソースがあり、2 つの割り込みベクタに配置されています。

- ブレーク割り込み
- トリガ割り込み
- 転流割り込み
- キャプチャ /比較 4 割り込み
- キャプチャ /比較 3 割り込み
- キャプチャ /比較 2 割り込み
- キャプチャ /比較 1 割り込み
- 更新割り込み（例：オーバーフロー、アンダーフロー、カウンタ初期化）

使用されている各割り込みチャネルに対して割り込み機能を使用するには、TIM1_IER レジスタの必要な割り込みイネーブルビット（BIE、TIE、COMIE、CC*i*IE、および UIE）をセットして、割り込みリクエストを有効にします。

TIM1_EGR レジスタの対応するビットを使用して、ソフトウェアによってさまざまな割り込みソースを生成することもできます。

19.6.1 TIM1 イベント待ち機能

イベント待ちモード（WFE）では、TIM1 キャプチャ /比較、ブレーク、トリガ、および更新割り込みを使用して、デバイスをウェイクアップできます。そのためには、WFE_CR1 レジスタの TIM1_EV0 および TIM1_EV1 を通じて、割り込みイベントをあらかじめ設定しておく必要があります（*セクション 7.5.1：WFE レジスタ*を参照）。

19.7 TIM1 DMA

TIM1 には、6 つの DMA リクエストソースがあります。

- 転流イベント
- キャプチャ /比較 4 イベント
- キャプチャ /比較 3 イベント
- キャプチャ /比較 2 イベント
- キャプチャ /比較 1 イベント
- 更新イベント（例：オーバーフロー、アンダーフロー、カウンタ初期化）

DMA リクエストを使用するには、対応する DMA イネーブルビット、すなわち、TIM1_DER レジスタの COMDE、CC*i*DE、UDE をセットします。

TIM1_EGR レジスタの対応するビットを使用して、ソフトウェアによって、さまざまな DMA リクエストを生成することもできます。

19.7.1 DMA シングルモード

DMA コントローラは、DMA_CxPARH および DMA_CxPARL レジスタのレジスタアドレスをプログラムすることによって、1 つの TIM1 レジスタ（または 2 つの TIM1 レジスタ）との間で 1 バイト（または 2 バイト）を転送するように設定できます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

19.7.2 DMA バーストモード

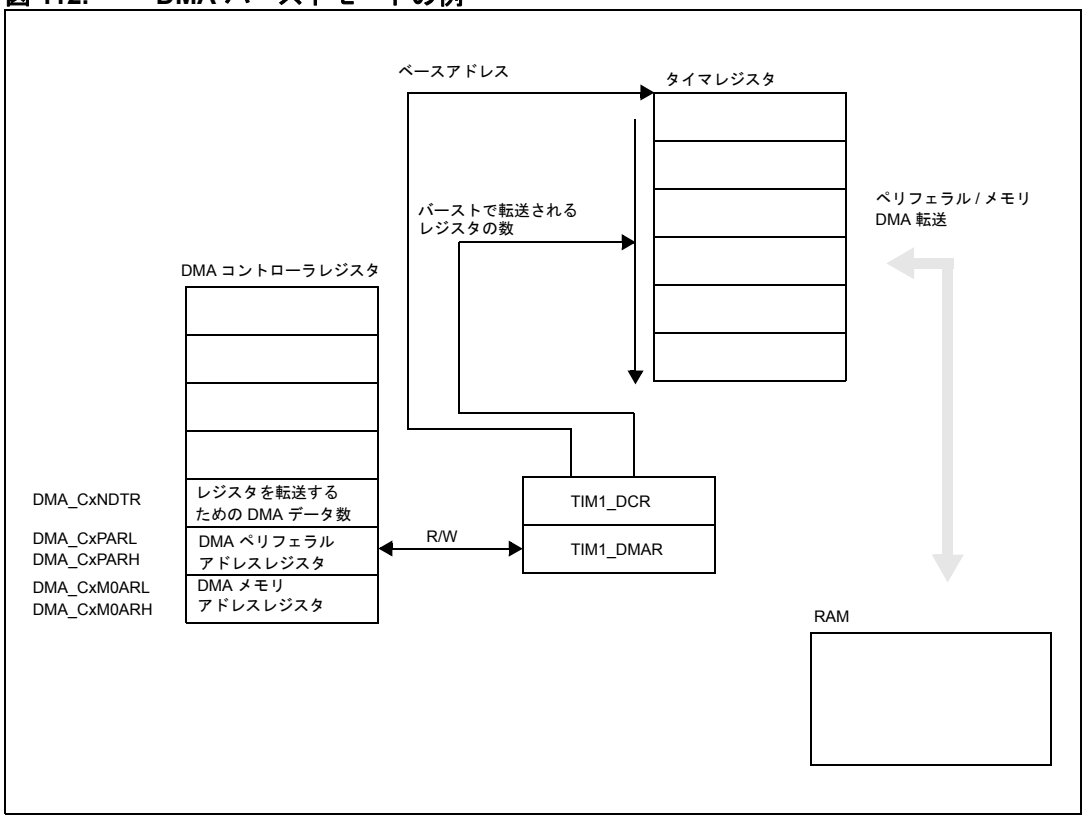
DMA は、TIM1 とともにバーストモードで動作できます。このモードでは、DMA は TIM1 レジスタのブロックとの間でデータブロックを転送することができます。DMA バーストの最大長は 32 バイトです（TIM1_DCR2 レジスタの DBL[4:0] ビットで定義）。

このモードに設定するには、以下のようにします。

1. TIM1_DMAR レジスタのアドレスを DMA_CxPARL および DMA_CxPARH レジスタに書き込みます。
2. TIM1_DCR レジスタに、転送される最初のレジスタのアドレスとバースト内のレジスタ数を書き込みます。

DMA バーストモードの設定方法について、単純な例を*図 112* に示します。

図 112. DMA バーストモードの例



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

19.8 TIM1 レジスタ

19.8.1 制御レジスタ 1（TIM1_CR1）

アドレスオフセット：0x00

リセット値：0x00

7	6	5	4	3	2	1	0
ARPE	CMS[1:0]		DIR	OPM	URS	UDIS	CEN
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7 **ARPE**：自動再ロードプリロードイネーブル

0：TIM1_ARR レジスタは、プリロードレジスタを通じてバッファされません。直接書き込むことができます。

1：TIM1_ARR レジスタは、プリロードレジスタを通じてバッファされます。

ビット 6:5 **CMS[1:0]**：センターアラインモード選択

00：エッジアラインモード。カウンタは、方向ビット（DIR）に応じて、カウントアップまたはカウントダウンします。

01：センターアラインモード 1カウンタは、カウントアップとカウントダウンを交互に行います。出力に設定されたチャネル（TIM1_CCMR*i* レジスタの CC*i*S=00）の出力比較割り込みフラグは、カウンタがカウントダウンしているときのみセットされます。

10：センターアラインモード 2カウンタは、カウントアップとカウントダウンを交互に行います。出力に設定されたチャネル（CCMR*i* レジスタの CC*i*S=00）の出力比較割り込みフラグは、カウンタがカウントアップしているときのみセットされます。

11：センターアラインモード 3カウンタは、カウントアップとカウントダウンを交互に行います。出力に設定されたチャネル（TIM1_CCMR*i* レジスタの CC*i*S=00）の出力比較割り込みフラグは、カウンタがカウントアップおよびカウントダウンしているときにセットされます。

注：　カウンタが有効（CEN=1）なときに、エッジアラインモードからセンターアラインモードに切り替えることはできません。

センターアラインモードでは、エンコーダモード（TIM1_SMCR レジスタの SMS = 001、010 、または 011）を無効にする必要があります。

ビット 4 **DIR**：方向

0：カウンタはアップカウンタとして使用されます。

1：カウンタはダウンカウンタとして使用されます。

注：　このビットは、タイマがセンターアラインモードまたはエンコーダモードに設定されているときには読み出し専用です。

ビット 3 **OPM**：ワンパルスモード

0：カウンタは更新イベントで停止しません。

1：カウンタは次の更新イベントでカウントを停止します（CEN ビットをクリアします）。

ビット 2 **URS**：更新リクエストソース

0：UDIS ビットによって有効にされている場合、以下のイベントのいずれかが発生すると、UIF ビットがセットされ、更新割り込みリクエストが送信されます。

- レジスタが更新されたとき（カウンタオーバーフロー /アンダーフロー）
- UG ビットがソフトウェアによってセットされたとき
- クロック/トリガコントローラを通じて更新イベントが生成されたとき

1：UDIS ビットによって有効にされている場合、レジスタが更新されたときにのみ（カウンタオーバーフロー /アンダーフロー）、UIF ビットがセットされ、更新割り込みリクエストが送信されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 1 **UDIS**：更新ディセーブル

0：カウンタオーバーフローが発生するか、ソフトウェア更新が生成されるか、またはクロック/トリガモードコントローラによってハードウェアリセットが生成されると、UEV が生成されます。バッファを持つレジスタにはプリロード値がロードされます。

1：UEV は生成されず、シャドウレジスタは値を維持します（ARR、PSC、CCR*i*）。カウンタとプリスケーラは、UG ビットがセットされた場合、または、クロック/トリガモードコントローラからハードウェアリセットを受信した場合に再初期化されます。

ビット 0 **CEN**：カウンタイネーブル

0：カウンタは無効です。

1：カウンタは有効です。

注： 外部クロック、トリガゲートモード、およびエンコーダモードは、CEN ビットが事前にソフトウェアによってセットされている場合のみ動作します。ただし、トリガモードでは、ハードウェアによって自動的に CEN ビットをセットできます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

19.8.2 制御レジスタ 2（TIM1_CR2）

アドレスオフセット：0x01

リセット値：0x00

7	6	5	4	3	2	1	0
TI1S	MMS[2:0]			CCDS	COMS	予約済み	CCPC
rw	rw	rw	rw	rw	rw		rw

ビット 7 **TI1S**：TI1（デジタルフィルタ入力）選択

0：TI1 は CH1 入力ピンに接続されます。

1：TI1 は 3 つの入力 CH1、CH2、および CH3 に接続されます（XOR 接続）。

ビット 6:4 **MMS[2:0]**：マスタモード選択

これらのビットは、同期をとるために他の 2 つのタイマに送信される情報を選択します（TRGO）。組み合わせは、次のとおりです。

000：リセット - TIM1_EGR レジスタの UG ビットがトリガ出力（TRGO）として使用されます。トリガ入力によってリセットが生成された場合（クロック/トリガモードコントローラがリセットモードに設定されているとき）、TRGO 信号は実際のリセットから遅れて発生します。

001：イネーブル - カウンタイネーブル信号がトリガ出力（TRGO）として使用されます。複数のタイマを開始して、スレーブタイマが 有効な時間枠を制御するために使用されます。カウンタイネーブル信号は、トリガゲートモードに設定されているとき、CEN 制御ビットとトリガ入力との論理和（OR）によって生成されます。カウンタイネーブル信号がトリガ入力によって制御されているときには、マスタ/スレーブモードが選択されている場合を除き、TRGO に遅延が存在します（TIM1_SMCR レジスタの MSM ビットの説明を参照してください）。

010：更新 - 更新イベントがトリガ出力（TRGO）として選択されます。

011：比較パルス（MATCH1）- キャプチャまたは比較一致が発生すると（TRGO）、CC1F フラグがセットされるとき（フラグがすでにハイの場合でも）、トリガ出力は正のパルスを送信します。

100：比較 - OC1REF 信号がトリガ出力（TRGO）として使用されます。

101：比較 - OC2REF 信号がトリガ出力（TRGO）として使用されます。

110：比較 - OC3REF 信号がトリガ出力（TRGO）として使用されます。

111：比較 - OC4REF 信号がトリガ出力（TRGO）として使用されます。

ビット 3 **CCDS**：キャプチャ /比較 DMA 選択

0：CC*i*（キャプチャ /比較）イベントが発生すると、TIM1_CC*i* DMA リクエストが送信されます。

1：更新イベントが発生すると、TIM1_CC*i* DMA リクエストが送信されます。

ビット 2 **COMS**：キャプチャ /比較制御更新選択

0：キャプチャ /比較制御ビットがプリロードされるときには（CCPC=1）、COMG ビットをセットすることによって更新されます。

1：キャプチャ /比較制御ビットがプリロードされるときには（CCPC=1）、COMG ビットをセットすることによって、または、TRGI の立ち上がりエッジで更新されます。

注：　このビットは、相補出力を持つチャネルでのみ機能します。

ビット 1 予約済み。ハードウェアによって 0 に固定されています。

ビット 0 **CCPC**：キャプチャ /比較プリロード制御

0：TIM1_CCER*i* レジスタの CC*i*E、CC*i*NE、CC*i*P、および CC*i*NP ビットと、TIM1_CCMR*i* レジスタの OC*i*M ビットはプリロードされません。

1：CC*i*E、CC*i*NE、CC*i*P、CC*i*NP、および OC*i*M ビットは、書き込み終了後にプリロードされ、TIM1_EGR レジスタの COMG ビットがセットされたときのみ更新されます。

注：　このビットは、相補出力を持つチャネルでのみ機能します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

19.8.3 スレーブモード制御レジスタ（TIM1_SMCR）

アドレスオフセット：0x02

リセット値：0x00

7	6	5	4	3	2	1	0
MSM	TS[2:0]			OCCS	SMS[2:0]		
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7 **MSM**：マスタ/スレーブモード

0：影響なし。

1：イベントがトリガ入力（TRGI）に与える効果は、TIM1 と別のタイマとの完全な同期（TRGO を通じて）を可能にするために遅延されます。

ビット 6:4 **TS[2:0]**：トリガ選択

このビットフィールドは、カウンタの同期に使用されるトリガ入力（TRGI）を選択します。

000：内部トリガ ITR0 は TIM4 TRGOに接続されます。

001：内部トリガ ITR1 は TIM5 TRGOに接続されます。

010：内部トリガ ITR2 は TIM3 TRGOに接続されます。

011：内部トリガ ITR3 は TIM2 TRGOに接続されます。

100：TI1 エッジ検出回路（TI1F_ED）

101：フィルタタイマ入力 1（TI1FP1）

110：フィルタタイマ入力 2（TI2FP2）

111：外部トリガ入力（ETRF）

注： 遷移時の誤ったエッジ検出を避けるために、これらのビットは、使用されていないとき（SMS=000 のときなど）にのみ変更しなければなりません。

ビット 3 **OCCS**：OCREFCLR 選択

このビットは、内部 OCREFCLR 信号のソースを選択するために、ソフトウェアによってセット/クリアされます。

0：OCREFCLR_Internal は OCREFCLR 入力に接続されます。

1：OCREFCLR_Internal は ETRF 外部トリガに接続されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 2:0 **SMS[2:0]**：クロック/トリガ/スレーブモード選択

外部信号が選択されると、トリガ信号（TRGI）のアクティブエッジが、外部入力で選択された極性にリンクされます（入力制御レジスタおよび制御レジスタの説明を参照）。

000：クロック/トリガコントローラは無効です。CEN = 1 の場合、プリスケーラは内部クロックによって直接クロック供給されます。

001：エンコーダモード 1 - カウンタは、TI1FP1 のレベルに応じて、TI2FP2 のエッジでカウントアップまたはカウントダウンします。

010：エンコーダモード 2 - カウンタは、TI2FP2 のレベルに応じて、TI1FP1 のエッジでカウントアップまたはカウントダウンします。

011：エンコーダモード 3 - カウンタは、他方の入力のレベルに応じて、TI1FP1 と TI2FP2 の両方のエッジでカウントアップまたはカウントダウンします。

100：リセットモード - 選択されたトリガ信号（TRGI）の立ち上がりエッジで、カウンタを再初期化し、レジスタの更新を生成します。

101：トリガゲートモード - カウンタクロックは、トリガ信号（TRGI）がハイのときに有効になります。トリガがローになると、カウンタは停止します（リセットはされません）。カウンタの開始と停止の両方が制御されます。

110：トリガ標準モード - カウンタは、トリガ入力（TRGI）の立ち上がりエッジで開始します（リセットはされません）。カウンタの開始のみが制御されます。

111：外部クロックモード 1 - 選択されたトリガ（TRGI）の立ち上がりエッジで、カウンタにクロックが供給されます。

注： トリガ入力として TI1F_ED が選択されている場合（TS=100）、トリガゲートモードを使用することはできません。TI1F_ED は TI1F の変化ごとに 1 パルスを出力しますが、トリガゲートモードはトリガ信号のレベルをチェックします。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

19.8.4 外部トリガレジスタ（TIM1_ETR）

アドレスオフセット：0x03

リセット値：0x00

7	6	5	4	3	2	1	0
ETP	ECE	ETPS[1:0]		ETF[3:0]			
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7 **ETP**：外部トリガ極性

このビットは、ETR と $\overline{\text{ETR}}$ のいずれがトリガ動作に使用されるかを選択します。

0：ETR は反転されず、ハイレベルまたは立ち上がりエッジでアクティブです。

1：ETR は反転され、ローレベルまたは立ち下がりエッジでアクティブです。

ビット 6 **ECE**：外部クロックイネーブル

このビットは、外部クロックモード 2 を有効にします。

0：外部クロックモード 2 は無効です。

1：外部クロックモード 2 は有効です。カウンタは、ETRF 信号のアクティブエッジによってクロック供給されます。

注： ECE ビットをセットすると、TRGI が ETRF に接続された状態で外部クロックモード 1 を選択することと同じ効果があります（TIM1_SMCR レジスタの SMS=111、TS=111）。

トリガ標準モード、トリガリセットモード、およびトリガゲートモードでは、外部クロックモード 2 を同時に使用することが可能です。ただし、これらの場合、TRGI を ETRF に接続することはできません（TIM1_SMCR レジスタの TS ビットを 111 にしないでください）。

外部クロックモード 1 と外部クロックモード 2 が同時に有効な場合、外部クロック入力は ETRF です。

ビット 5:4 **ETPS**：外部トリガプリスケーラ

ETRP の周波数は、最大でも f_{SYSCLK} 周波数の 1/4 でなければなりません。プリスケーラを有効にすると、ETRP 周波数を低減できます。これは、高速な外部クロックを入力するときに役立ちます。

00：プリスケーラオフ

01：ETRP 周波数は 2 分周されます。

10：ETRP 周波数は 4 分周されます。

11：ETRP 周波数は 8 分周されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 3:0 **ETF**：外部トリガフィルタ

このビットフィールドは、ETRP 信号のサンプリングに使用される周波数と、それに適用されるデジタルフィルタの長さを定義します。デジタルフィルタはイベントカウンタでできていて、出力に有効な変化をもたらすには N 個のイベント発生が必要です。

0000：フィルタなし、サンプリングは f_{SYSCLK} で行われます。

0001：$f_{SAMPLING}=f_{SYSCLK}$、N = 2

0010：$f_{SAMPLING}=f_{SYSCLK}$、N = 4

0011：$f_{SAMPLING}=f_{SYSCLK}$、N = 8

0100：$f_{SAMPLING}=f_{SYSCLK}/2$、N = 6

0101：$f_{SAMPLING}=f_{SYSCLK}/2$、N = 8

0110：$f_{SAMPLING}=f_{SYSCLK}/4$、N = 6

0111：$f_{SAMPLING}=f_{SYSCLK}/4$、N = 8

1000：$f_{SAMPLING}=f_{SYSCLK}/8$、N = 6

1001：$f_{SAMPLING}=f_{SYSCLK}/8$、N = 8

1010：$f_{SAMPLING}=f_{SYSCLK}/16$、N = 5

1011：$f_{SAMPLING}=f_{SYSCLK}/16$、N = 6

1100：$f_{SAMPLING}=f_{SYSCLK}/16$、N = 8

1101：$f_{SAMPLING}=f_{SYSCLK}/32$、N = 5

1110：$f_{SAMPLING}=f_{SYSCLK}/32$、N = 6

1111：$f_{SAMPLING}=f_{SYSCLK}/32$、N = 8

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

19.8.5 DMA リクエストイネーブルレジスタ（TIM1_DER）

アドレスオフセット：0x04

リセット値：0x00

7	6	5	4	3	2	1	0
予約済み		COMDE	CC4DE	CC3DE	CC2DE	CC1DE	UDE
		rw	rw	rw	rw	rw	rw

ビット 7:6 予約済み、クリアされた状態に保つ必要があります。

ビット 5 **COMDE**：更新 DMA リクエストネーブル(1)

0：転流 DMA リクエストは無効です。

1：転流 DMA リクエストは有効です。

ビット 4 **CC4DE**：キャプチャ /比較 4 DMA リクエストイネーブル(1)

0：CC4 DMA リクエストは無効です。

1：CC4 DMA リクエストは有効です。

ビット 3 **CC3DE**：キャプチャ /比較 3 DMA リクエストイネーブル(1)

0：CC3 DMA リクエストは無効です。

1：CC3 DMA リクエストは有効です。

ビット 2 **CC2DE**：キャプチャ /比較 2 DMA リクエストイネーブル(1)

0：CC2 DMA リクエストは無効です。

1：CC2 DMA リクエストは有効です。

ビット 1 **CC1DE**：キャプチャ /比較 1 DMA リクエストイネーブル(1)

0：CC1 DMA リクエストは無効です。

1：CC1 DMA リクエストは有効です。

ビット 0 **UDE**：更新 DMA リクエストイネーブル(1)

0：更新 DMA リクエストは無効です。

1：更新 DMA リクエストは有効です。

注： 更新イベントで DMA リクエストを生成するための条件は、UIF ビット（TIM1_SR1 レジスタの）をセットするための条件と同じです。特に、DMA リクエストは、URS ビット（TIM1_CR1 レジスタの）に依存します。

1. DMA リクエストは実際のイベントに関連づけられ、ステータスビット（TIM1_SR1 レジスタの）には関連づけられません。したがって、対応するステータスビットがすでにセットされている状態で xxDE ビットに 1 が書き込まれた場合、DMA リクエストは送信されません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

19.8.6 割り込みイネーブルレジスタ（TIM1_IER）

アドレスオフセット：0x05

リセット値：0x00

7	6	5	4	3	2	1	0
BIE	TIE	COMIE	CC4IE	CC3IE	CC2IE	CC1IE	UIE
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7 **BIE**：ブレーク割り込みイネーブル
0：ブレーク割り込みは無効です。
1：ブレーク割り込みは有効です。

ビット 6 **TIE**：トリガ割り込みイネーブル
0：トリガ割り込みは無効です。
1：トリガ割り込みは有効です。

ビット 5 **COMIE**：転流割り込みイネーブル
0：転流割り込みは無効です。
1：転流割り込みは有効です。

ビット 4 **CC4IE**：キャプチャ /比較 4 割り込みイネーブル
0：CC4 割り込みは無効です。
1：CC4 割り込みは有効です。

ビット 3 **CC3IE**：キャプチャ /比較 3 割り込みイネーブル
0：CC3 割り込みは無効です。
1：CC3 割り込みは有効です。

ビット 2 **CC2IE**：キャプチャ /比較 2 割り込みイネーブル
0：CC2 割り込みは無効です。
1：CC2 割り込みは有効です。

ビット 1 **CC1IE**：キャプチャ /比較 1 割り込みイネーブル
0：CC1 割り込みは無効です。
1：CC1 割り込みは有効です。

ビット 0 **UIE**：更新割り込みイネーブル
0：更新割り込みは無効です。
1：更新割り込みは有効です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

19.8.7 ステータスレジスタ 1（TIM1_SR1）

アドレスオフセット：0x06

リセット値：0x00

7	6	5	4	3	2	1	0
BIF	TIF	COMIF	CC4IF	CC3IF	CC2IF	CC1IF	UIF
rc_w0	rc_w0	rc_w0	rc_w0	rc_w0	rc_w0	rc_w0	rc_w0

ビット 7 **BIF**：ブレーク割り込みフラグ

このフラグは、ブレーク入力がアクティブになると、ハードウェアによってセットされます。ブレーク入力がアクティブでない場合、ソフトウェアによってクリアできます。

0：ブレークイベントは発生していません。

1：ブレーク入力でアクティブレベルが検出されました。

ビット 6 **TIF**：トリガ割り込みフラグ

このフラグは、トリガイベント時に（TRGI 信号でアクティブエッジが検出されたとき、またはトリガゲートモードが選択されている場合は両方のエッジが検出されたとき）ハードウェアによってセットされます。ソフトウェアによってクリアされます。

0：トリガイベントは発生していません。

1：トリガ割り込みがペンディング中です。

ビット 5 **COMIF**：転流割り込みフラグ

このフラグは、COM 時（キャプチャ /比較制御ビット - CC*i*E、CC*i*NE、OC*i*M - が更新されたとき）、ハードウェアによってセットされます。ソフトウェアによってクリアされます。

0：COM イベントは発生していません。

1：COM 割り込みがペンディング中です。

ビット 4 **CC4IF**：キャプチャ /比較 4 割り込みフラグ

CC1IF の説明を参照してください。

ビット 3 **CC3IF**：キャプチャ /比較 3 割り込みフラグ

CC1IF の説明を参照してください。

ビット 2 **CC2IF**：キャプチャ /比較 2 割り込みフラグ

CC1IF の説明を参照してください。

ビット 1 **CC1IF**：キャプチャ /比較 1 割り込みフラグ

チャネル CC1 が出力として設定されている場合：

このフラグは、カウンタが比較値と一致したときに、ハードウェアによってセットされますが、センターアラインモードでは例外もあります（TIM1_CR1 レジスタの CMS ビットの説明を参照）。ソフトウェアによってクリアされます。

0：一致なし。

1：カウンタレジスタ TIM1_CNT の内容が TIM1_CCR1 レジスタの内容と一致しました。

注： ***センターアラインモードでは、カウンタは、値が 0 のときはカウントアップし、値が ARR の値に等しいときはカウントダウンするとみなされます（0 から ARR-1 までカウントアップし、ARR から 1 までカウントダウンします）。この 2 つの値は、CMS ビットのすべての値についてフラグされません。ただし、CNT が ARR 値に達したとき、または比較値が自動プリロード値より大きいとき（CCR1>ARR）、CC1IF ビットがセットされます。***

チャネル CC1 が入力として設定されている場合：

このビットは、キャプチャ時にハードウェアによってセットされます。ソフトウェアによって、または TIM1_CCR1L レジスタを読み出すことによってクリアされます。

0：入力キャプチャは発生していません。

1：カウンタの値が TIM1_CCR1 レジスタにキャプチャされました（選択された極性に一致するエッジが IC1 で検出されました）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 0 **UIF**：更新割り込みフラグ

このビットは、更新イベント時にハードウェアによってセットされます。ソフトウェアによってクリアされます。

0：更新は発生していません。

1：更新割り込みがペンディング中です。このビットは、レジスタが更新されたときにハードウェアによってセットされます。

- TIM1_CR1レジスタの UDIS = 0 の場合、オーバーフローまたはアンダーフローが発生したとき。
- TIM1_CR1 レジスタの URS=0 かつ UDIS=0 の場合、TIM1_EGR レジスタの UG ビットを使用してソフトウェアによって CNT が再初期化されたとき。
- TIM1_CR1 レジスタの URS=0 かつ UDIS=0 の場合、CNT がトリガイベントによって再初期化されたとき（TIM1_SMCR レジスタの説明を参照）。

19.8.8 ステータスレジスタ 2（TIM1_SR2）

アドレスオフセット：0x07

リセット値：0x00

7	6	5	4	3	2	1	0
予約済み			CC4OF	CC3OF	CC2OF	CC1OF	予約済み
			rc_w0	rc_w0	rc_w0	rc_w0	

ビット 7:5 予約済み、クリアされた状態に保つ必要があります。

ビット 4 **CC4OF**：キャプチャ /比較 4 オーバーキャプチャフラグ

CC1OF の説明を参照してください。

ビット 3 **CC3OF**：キャプチャ /比較 3 オーバーキャプチャフラグ

CC1OF の説明を参照してください。

ビット 2 **CC2OF**：キャプチャ /比較 2 オーバーキャプチャフラグ

CC1OF の説明を参照してください。

ビット 1 **CC1OF**：キャプチャ /比較 1 オーバーキャプチャフラグ

このフラグは、対応するチャネルが入力キャプチャモードに設定されているときのみ、ハードウェアによってセットされます。0 を書き込むことによってソフトウェアによってクリアされます。

0：オーバーキャプチャは検出されていません。

1：CC1IF フラグがすでにセットされているときに、カウンタの値が TIM1_CCR1 レジスタにキャプチャされました。

ビット 0 予約済み。クリア状態に保つ必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

19.8.9 イベント生成レジスタ（TIM1_EGR）

アドレスオフセット：0x08

リセット値：0x00

7	6	5	4	3	2	1	0
BG	TG	COMG	CC4G	CC3G	CC2G	CC1G	UG
w	w	w	w	w	w	w	w

ビット 7 **BG**：ブレーク生成

このビットは、イベントを生成するために、ソフトウェアによってセットされます。ハードウェアによって自動的にクリアされます。

0：影響なし。

1：ブレークイベントが生成されます。MOE ビットがクリアされ、BIF フラグがセットされます。BIE ビットによって有効にされている場合、割り込みが生成されます。

ビット 6 **TG**：トリガ生成

このビットは、イベントを生成するために、ソフトウェアによってセットされます。ハードウェアによって自動的にクリアされます。

0：影響なし。

1：TIM1_SR1 レジスタの TIF フラグがセットされます。TIE ビットによって有効にされている場合、割り込みが生成されます。

ビット 5 **COMG**：キャプチャ /比較制御更新生成

このビットは、ソフトウェアによってセットでき、ハードウェアによって自動的にクリアされます。

0：影響なし。

1：TIM1_CR2 レジスタの CCPC ビットがセットされると、CC*i*E、CC*i*NE、CC*i*P、CC*i*NP、および OC*i*M ビットの更新が可能になります。

注：　このビットは、相補出力を持つチャネルでのみ機能します。

ビット 4 **CC4G**：キャプチャ /比較 4 生成

CC1G の説明を参照してください。

ビット 3 **CC3G**：キャプチャ /比較 3 生成

CC1G の説明を参照してください。

ビット 2 **CC2G**：キャプチャ /比較 2 生成

CC1G の説明を参照してください。

ビット 1 **CC1G**：キャプチャ /比較 1 生成

このビットは、イベントを生成するために、ソフトウェアによってセットされます。ハードウェアによって自動的にクリアされます。

0：影響なし。

1：チャネル 1 でキャプチャ /比較イベントが生成されます。

CC1 チャネルが出力モードに設定されている場合：

CC1IF フラグがセットされ、対応する割り込みリクエストが送信されます（有効な場合）。

CC1 チャネルが入力モードに設定されている場合：

カウンタの現在値が TIM1_CCR1 レジスタにキャプチャされます。CC1IF フラグがセットされ、対応する割り込みリクエストが送信されます（有効な場合）。CC1IF フラグがすでにハイの場合、CC1OF フラグがセットされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 0 **UG**：更新生成

このビットは、ソフトウェアによってセットでき、ハードウェアによって自動的にクリアされます。

0：影響なし。

1：カウンタを再初期化し、レジスタの更新を生成します。プリスケーラカウンタもクリアされることに注意してください。センターアラインモードが選択されている場合、または DIR = 0（アップカウント）の場合、カウンタはクリアされます。そうでない場合、DIR = 1（ダウンカウント）の場合は自動再ロード値（TIM1_ARR）をとります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

19.8.10 キャプチャ /比較モードレジスタ 1（TIM1_CCMR1）

アドレスオフセット：0x09

リセット値：0x00

このチャネルは、入力（キャプチャモード）または出力（比較モード）で使用できます。チャネルの方向は、CC1S ビットを設定することによって定義されます。このレジスタの他のビットはすべて、入力モードと出力モードで異なる機能を持ちます。特定のビットについて、OC*ii* は、チャネルが出力設定のときの機能を示し、IC*ii* はチャネルが入力設定のときの機能を示します。したがって、同じビットが入力ステージと出力ステージで異なる意味を持つことに注意する必要があります。

出力に設定されたチャネル

7	6	5	4	3	2	1	0
OC1CE	OC1M[2:0]			OC1PE	OC1FE	CC1S[1:0]	
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7 **OC1CE**：出力比較 1 クリアイネーブル

このビットは、OCREFCLR 内部信号によるチャネル 1 出力比較信号（OC1REF）のクリアを可能にするために使用されます（*セクション 19.5.9（320 ページ）*を参照）。

0：OC1REF は、OCREFCLR 内部信号の影響を受けません。

1：OC1REF は、OCREFCLR 内部信号でハイレベルが検出されるとクリアされます。

ビット 6:4 **OC1M**：出力比較 1 モード

これらのビットは、OC1 が派生される出力基準信号 OC1REF の動作を定義します。OC1REF はアクティブハイですが、OC1 のアクティブレベルは CC1P ビットに依存します。

000：凍結 - 出力比較レジスタ TIM1_CCR1 とカウンタレジスタ TIM1_CNT との比較結果は出力に影響しません。

001：一致時にチャネル 1 をアクティブレベルにセット - カウンタレジスタ TIM1_CNT がキャプチャ /比較レジスタ 1（TIM1_CCR1）と一致すると、OC1REF 信号は強制的にハイになります。

010：一致時にチャネル 1 をインアクティブレベルにセット - カウンタレジスタ TIM1_CNT がキャプチャ /比較レジスタ 1（TIM1_CCR1）と一致すると、OC1REF 信号は強制的にローになります。

011：反転 - TIM1_CNT = TIM1_CCR1 のとき、OC1REF は反転します。

100：強制インアクティブレベル - OC1REF は強制的にローになります。

101：強制アクティブレベル - OC1REF は強制的にハイになります。

110：PWM モード 1 - カウントアップ時、チャネル 1 は、TIM 1 _CNT < TIM 1 _CCR1 の場合はアクティブに、そうでない場合はインアクティブになります。カウントダウン時、チャネル 1 は、TIM1_CNT > TIM1_CCR1 の場合はインアクティブ（OC1REF= 0）に、そうでない場合はアクティブ（OC1REF= 1）になります。

111：PWM モード 2 - カウントアップ時、チャネル 1 は、TIM 1 _CNT < TIM 1 _CCR1 の場合はインアクティブに、そうでない場合はアクティブになります。カウントダウン時、チャネル 1 は、TIM1_CNT > TIM1_CCR1 の場合はアクティブに、そうでない場合はインアクティブになります。

注： ***これらのビットは、LOCK レベル 3 がプログラムされていて（TIM1_BKR レジスタの LOCK ビット）、CC1S= 00（チャネルは出力に設定）の場合は、変更できなくなります。***

PWM モード 1 または 2 では、OCiREF レベルは、比較結果が変化したとき、または出力比較モードが「凍結」モードから PWM モードに切り替わったときのみ、変化します（詳細については、PWM モード（310 ページ）を参照）。

相補出力を持つチャネルでは、このビットフィールドはプリロードされます。TIM1_CR2 レジスタの CCPC ビットがセットされた場合、OCM アクティブビットは、COM が生成されたときにのみプリロードから新しい値をとります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 3 **OC1PE**：出力比較 1 プリロードイネーブル

0：TIM 1 _CCR1 のプリロードレジスタは無効です。TIM1_CCR1 はいつでも書き込みが可能です。新しい値はただちに有効になります。

1：TIM1_CCR1 のプリロードレジスタは有効です。読み出し/書き込み動作はプリロードレジスタに対して行われます。TIM1_CCR1 プリロード値は、UEV のたびにシャドウレジスタにロードされます。

注： ***これらのビットは、LOCK レベル 3 がプログラムされていて（TIM1_BKR レジスタの LOCK ビット）、CC1S= 00（チャネルは出力に設定）の場合は、変更できなくなります。***

正しい動作のためには、プリロードレジスタは、タイマが PWM モードのときに有効でなければなりません。これはワンパルスモードの場合（TIM1_CR1 レジスタの OPM ビットがセットされている場合）は、必須ではありません。

ビット 2 **OC1FE**：出力比較 1 高速イネーブル

このビットは、トリガ入力のイベントから CC 出力への影響の伝播を加速するために使用されます。

0：CC1 の動作は、トリガがオンのときでも、通常、カウンタと CCR1 の値に依存します。トリガ入力のエッジ発生から CC1 が有効になるまでの最小遅延は、5 クロックサイクルです。

1：トリガ入力のアクティブエッジは、CC1 出力に対して、比較一致のように働きます。このような場合、OC は、比較結果に関係なく、比較レベルにセットされます。トリガ入力をサンプリングし、CC1 出力を有効にするまでの遅延は、3 クロックサイクルに短縮されます。OCFE は、チャネルが PWM1 または PWM2 モードに設定されている場合のみ機能します。

ビット 1:0 **CC1S[1:0]**：キャプチャ /比較 1 選択

このビットフィールドは、チャネルの方向（入力/出力）と、使用される入力を定義します。

00：CC1 チャネルは出力として設定されます。

01：CC1 チャネルは入力として設定され、IC1 は TI1FP1 にマップされます。

10：CC1 チャネルは入力として設定され、IC1 は TI2FP1 にマップされます。

11：CC1 チャネルは入力として設定され、IC1 は TRC にマップされます。このモードは、TS ビット（TIM1_SMCR レジスタ）を通じて内部トリガ入力が選択されている場合のみ機能します。

注： ***CC1S ビットは、チャネルがオフ（TIM1_CCER1 レジスタの CC1E=0）のときのみ、書き込みができます。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

入力に設定されたチャネル

7	6	5	4	3	2	1	0
IC1F[3:0]				IC1PSC[1:0]		CC1S[1:0]	
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:4 **IC1F[3:0]**：入力キャプチャ 1 フィルタ

このビットフィールドは、TI1 入力をサンプリングするために使用される周波数 $f_{SAMPLING}$ と、TI1 に適用されるデジタルフィルタの長さを定義します。デジタルフィルタはイベントカウンタでできていて、出力に有効な変化をもたらすには N 個のイベント発生が必要です。

0000：フィルタなし、$f_{SAMPLING}= f_{SYSCLK}$

0001：$f_{SAMPLING}=f_{SYSCLK}$、N = 2

0010：$f_{SAMPLING}=f_{SYSCLK}$、N = 4

0011：$f_{SAMPLING}=f_{SYSCLK}$、N = 8

0100：$f_{SAMPLING}=f_{SYSCLK}/2$、N = 6

0101：$f_{SAMPLING}=f_{SYSCLK}/2$、N = 8

0110：$f_{SAMPLING}=f_{SYSCLK}/4$、N = 6

0111：$f_{SAMPLING}=f_{SYSCLK}/4$、N = 8

1000：$f_{SAMPLING}=f_{SYSCLK}/8$、N = 6

1001：$f_{SAMPLING}=f_{SYSCLK}/8$、N = 8

1010：$f_{SAMPLING}=f_{SYSCLK}/16$、N = 5

1011：$f_{SAMPLING}=f_{SYSCLK}/16$、N = 6

1100：$f_{SAMPLING}=f_{SYSCLK}/16$、N = 8

1101：$f_{SAMPLING}=f_{SYSCLK}/32$、N = 5

1110：$f_{SAMPLING}=f_{SYSCLK}/32$、N = 6

1111：$f_{SAMPLING}=f_{SYSCLK}/32$、N = 8

注： 相補出力を持つチャネルでも、このビットフィールドはプリロードされず、CCPC ビット（TIM1_CR2 レジスタ）の内容は考慮されません。

ビット 3:2 **IC1PSC[1:0]**：入力キャプチャ 1 プリスケーラ

このビットフィールドは、CC1 入力（IC1）に作用するプリスケーラの分周比を定義します。プリスケーラは、CC1E=0（TIM1_CCER レジスタ）になるとリセットされます。

00：プリスケーラなし。キャプチャ入力でエッジが検出されるたびにキャプチャが行われます。

01：イベント 2 回ごとにキャプチャが行われます。

10：イベント 4 回ごとにキャプチャが行われます。

11：イベント 8 回ごとにキャプチャが行われます。

ビット 1:0 **CC1S[1:0]**：キャプチャ /比較 1 選択

このビットフィールドは、チャネルの方向（入力/出力）と、使用される入力を定義します。

00：CC1 チャネルは出力として設定されます。

01：CC1 チャネルは入力として設定され、IC1 は TI1FP1 にマップされます。

10：CC1 チャネルは入力として設定され、IC1 は TI2FP1 にマップされます。

11：CC1 チャネルは入力として設定され、IC1 は TRC にマップされます。このモードは、TS ビット（TIM1_SMCR レジスタ）を通じて内部トリガ入力が選択されている場合のみ機能します。

注： CC1S ビットは、チャネルがオフ（TIM1_CCER1 レジスタの CC1E=0）のときのみ、書き込みができます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

19.8.11 キャプチャ /比較モードレジスタ 2（TIM1_CCMR2）

アドレスオフセット：0x0A

リセット値：0x00

出力に設定されたチャネル

7	6	5	4	3	2	1	0
OC2CE	OC2M[2:0]			OC2PE	OC2FE	CC2S[1:0]	
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7 **OC2CE**：出力比較 2 クリアイネーブル

ビット 6:4 **OC2M[2:0]**：出力比較 2 モード

ビット 3 **OC2PE**：出力比較 2 プリロードイネーブル

ビット 2 **OC2FE**：出力比較 2 高速イネーブル

ビット 1:0 **CC2S[1:0]**：キャプチャ /比較 2 選択

このビットフィールドは、チャネルの方向（入力/出力）と、使用される入力を定義します。

00：CC2 チャネルは出力として設定されます。

01：CC2 チャネルは入力として設定され、IC2 は TI2FP2 にマップされます。

10：CC2 チャネルは入力として設定され、IC2 は TI1FP2 にマップされます。

11：CC2 チャネルは入力として設定され、IC2 は TRC にマップされます。このモードは、TS ビット（TIM1_SMCR レジスタ）を通じて内部トリガ入力が選択されている場合のみ機能します。

注： CC2S ビットは、チャネルがオフ（TIM1_CCER1 レジスタの CC2E および CC2NE=0）のときにのみ書き込みができます。

入力に設定されたチャネル

7	6	5	4	3	2	1	0
IC2F[3:0]				IC2PSC[1:0]		CC2S[1:0]	
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:4 **IC2F**：入力キャプチャ 2 フィルタ

ビット 3:2 **IC2PSC[1:0]**：入力キャプチャ 2 プリスケーラ

ビット 1:0 **CC2S[1:0]**：キャプチャ /比較 2 選択

このビットフィールドは、チャネルの方向（入力/出力）と、使用される入力を定義します。

00：CC2 チャネルは出力として設定されます。

01：CC2 チャネルは入力として設定され、IC2 は TI2FP2 にマップされます。

10：CC2 チャネルは入力として設定され、IC2 は TI1FP2 にマップされます。

11：CC2 チャネルは入力として設定され、IC2 は TRC にマップされます。このモードは、TS ビット（TIM1_SMCR レジスタ）を通じて内部トリガ入力が選択されている場合のみ機能します。

注： CC2S ビットは、チャネルがオフ（TIM1_CCER1 レジスタの CC2E および CC2NE=0）のときにのみ書き込みができます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

19.8.12 キャプチャ /比較モードレジスタ 3（TIM1_CCMR3）

アドレスオフセット：0x0B

リセット値：0x00

上記の CCMR1 レジスタの説明を参照してください。

出力に設定されたチャネル

7	6	5	4	3	2	1	0
OC3CE	OC3M[2:0]			OC3PE	OC3FE	CC3S[1:0]	
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7 **OC3CE**：出力比較 3 クリアイネーブル

ビット 6:4 **OC3M[2:0]**：出力比較 3 モード

ビット 3 **OC3PE**：出力比較 3 プリロードイネーブル

ビット 2 **OC3FE**：出力比較 3 高速イネーブル

ビット 1:0 **CC3S[1:0]**：キャプチャ /比較 3 選択

このビットフィールドは、チャネルの方向（入力/出力）と、使用される入力を定義します。

00：CC3 チャネルは出力として設定されます。

01：CC3 チャネルは入力として設定され、IC3 は TI3FP3 にマップされます。

10：予約済み

11：CC3 チャネルは入力として設定され、IC3 は TRC にマップされます。この設定は、TIM1_SMCR レジスタの TS ビットを通じて内部トリガ入力が選択されている場合のみ機能します。

*注： **CC3S ビットは、チャネルがオフ（TIM_CCER2 の CC3E および CC3NE=0 であり、更新された）のときにのみ書き込みができます。***

入力に設定されたチャネル

7	6	5	4	3	2	1	0
IC3F[3:0]				IC3PSC[1:0]		CC3S[1:0]	
	rw	rw	rw	rw	rw	rw	rw

ビット 7:4 **IC3F**：入力キャプチャ 3 フィルタ

ビット 3:2 **IC3PSC[1:0]**：入力キャプチャ 3 プリスケーラ

ビット 1:0 **CC3S[1:0]**：キャプチャ /比較 3 選択

このビットフィールドは、チャネルの方向（入力/出力）と、使用される入力を定義します。

00：CC3 チャネルは出力として設定されます。

01：CC3 チャネルは入力として設定され、IC3 は TI3FP3 にマップされます。

10：予約済み

11：CC3 チャネルは入力として設定され、IC3 は TRC にマップされます。この設定は、TIM1_SMCR レジスタの TS ビットを通じて内部トリガ入力が選択されている場合のみ機能します。

CC3S ビットは、チャネルがオフ（TIM_CCER2 の CC3E および CC3NE=0 であり、更新された）のときにのみ書き込みができます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

19.8.13 キャプチャ /比較モードレジスタ 4（TIM1_CCMR4）

アドレスオフセット：0xC

リセット値：0x00

上記の CCMR1 レジスタの説明を参照してください。

出力に設定されたチャネル

7	6	5	4	3	2	1	0
OC4CE	OC4M[2:0]			OC4PE	予約済み	CC4S[1:0]	
rw	rw	rw	rw	rw		rw	rw

ビット 7 **OC4CE**：出力比較 4 クリアイネーブル

ビット 6:4 **OC4M[2:0]**：出力比較 4 モード

ビット 3 **OC4PE**：出力比較 4 プリロードイネーブル

ビット 2 予約済み

ビット 1:0 **CC4S[1:0]**：キャプチャ /比較 4 選択

このビットフィールドは、チャネルの方向（入力/出力）と、使用される入力を定義します。

00：CC4 チャネルは出力として設定されます。

01：予約済み

10：CC4 チャネルは入力として設定され、IC4 は TI3FP4 にマップされます。

11：CC4 チャネルは入力として設定され、IC4 は TRC にマップされます。この設定は、TIM1_SMCR レジスタの TS ビットを通じて内部トリガ入力が選択されている場合のみ機能します。

*注： **CC4S ビットは、チャネルがオフ（TIM1_CCER2 レジスタの CC4E および CC4NE= 0 であり、更新された）のときにのみ書き込みができます。***

入力に設定されたチャネル

7	6	5	4	3	2	1	0
IC4F[3:0]				IC4PSC[1:0]		CC4S[1:0]	
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:4 **IC4F**：入力キャプチャ 4 フィルタ

ビット 3:2 **IC4PSC[1:0]**：入力キャプチャ 4 プリスケーラ

ビット 1:0 **CC4S[1:0]**：キャプチャ /比較 4 選択

このビットフィールドは、チャネルの方向（入力/出力）と、使用される入力を定義します。

00：CC4 チャネルは出力として設定されます。

01：予約済み

10：CC4 チャネルは入力として設定され、IC4 は TI3FP4 にマップされます。

11：CC4 チャネルは入力として設定され、IC4 は TRC にマップされます。この設定は、TIM1_SMCR レジスタの TS ビットを通じて内部トリガ入力が選択されている場合のみ機能します。

*注： **CC4S ビットは、チャネルがオフ（TIM_CCER2 レジスタの CC4E および CC4NE=0 であり、更新された）のときにのみ書き込みができます。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

19.8.14 キャプチャ /比較イネーブルレジスタ 1（TIM1_CCER1）

アドレスオフセット：0x0D

リセット値：0x00

7	6	5	4	3	2	1	0
CC2NP	CC2NE	CC2P	CC2E	CC1NP	CC1NE	CC1P	CC1E
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7 **CC2NP**：キャプチャ /比較 2 相補出力極性

CC1NP の説明を参照してください。

ビット 6 **CC2NE**：キャプチャ /比較 2 相補出力イネーブル

CC1NE の説明を参照してください。

ビット 5 **CC2P**：キャプチャ /比較 2 出力極性

CC1P の説明を参照してください。

ビット 4 **CC2E**：キャプチャ /比較 2 出力イネーブル

CC1E の説明を参照してください。

ビット 3 **CC1NP**：キャプチャ /比較 1 相補出力極性

0：OC1N はアクティブハイ。

1：OC1N はアクティブロー。

注： このビットは、LOCK レベル 2 または 3 がプログラムされていて（TIM1_BKR レジスタの LOCK ビット）、CC1S=00 （チャネルは出力として設定）の場合、書き込みができなくなります。

相補出力を持つチャネルでは、このビットはプリロードされます。TIM1_CR2 レジスタの CCPC ビットがセットされた場合、CC1NP アクティブビットは、COM が生成されたときにのみ、プリロードから新しい値をとります。

ビット 2 **CC1NE**：キャプチャ /比較 1 相補出力イネーブル

0：オフ - OC1N はアクティブではありません。OC1N のレベルは、MOE、OSSI、OSSR、OIS1、OIS1N、および CC1E ビットの組合わせによって決まります。

1：オン - OC1N 信号は、MOE、OSSI、OSSR、OIS1、OIS1N、および CC1E ビットに応じて、対応する出力ピンへの出力です。

注： 相補出力を持つチャネルでは、このビットはプリロードされます。TIM1_CR2 レジスタの CCPC ビットがセットされた場合、CC1NE アクティブビットは、COM が生成されたときにのみ、プリロードビットから新しい値をとります。

ビット 1 **CC1P**：キャプチャ /比較 1 出力極性

CC1 チャネルが出力として設定されている場合:

0：OC1 はアクティブハイです。

1：OC1 はアクティブローです。

CC1 チャネルがトリガ機能のための入力として設定されている場合（図 93 を参照）：

0：TI1F のハイレベルまたは立ち上がりエッジでトリガします。

1：TI1Fのローレベルまたは立ち下がりエッジでトリガします。

CC1 チャネルがキャプチャ機能のための入力として設定されている場合（図 93 を参照）：

0：TI1F または TI2F の立ち上がりエッジでキャプチャします。

1：TI1F または TI2F の立ち下がりエッジでキャプチャします。

注： このビットは、LOCK レベル 2 または 3 がプログラムされた場合（TIM1_BKR レジスタの LOCK ビット）、書き込みができなくなります。

相補出力を持つチャネルでは、このビットはプリロードされます。TIM1_CR2 レジスタの CCPC ビットがセットされた場合、CC1P アクティブビットは、COM が生成されたとき、プリロードビットから新しい値をとります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 0 **CC1E**：キャプチャ /比較 1 出力イネーブル

CC1 チャネルが出力として設定されている場合：

0：オフ - OC1 はアクティブではありません。OC1 のレベルは、MOE、OSSI、OSSR、OIS1、OIS1N、および CC1NE ビットの組合わせによって決まります。

1：オン - OC1 信号は、MOE、OSSI、OSSR、OIS1、OIS1N、および CC1NE ビットに応じて、対応する出力ピンに出力されます。

CC1 チャネルが入力として設定されている場合：

このビットは、入力キャプチャ /比較レジスタ 1（TIM1_CCR1）でカウンタ値のキャプチャが可能かどうかを決めます。

0：キャプチャは無効です。

1：キャプチャは有効です。

注： ***相補出力を持つチャネルでは、このビットはプリロードされます。TIM1_CR2 レジスタの CCPC ビットがセットされた場合、CC1E アクティブビットは、COM が生成されたときにのみ、プリロードから新しい値をとります。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 66. 相補型 OC*i* および OC*i*N チャネルのブレーク機能による出力制御[1]

制御ビット					出力状態	
MOE	OSSI	OSSR	CCiE	CCiNE	OCi	OCiN
1	x[2]	0	0	0	出力無効 （タイマによって駆動されない）	出力無効 （タイマによって駆動されない）
		0	0	1	出力無効 （タイマによって駆動されない）	OCiREF + 極性 OC*i*N = OCiREF xor CC*i*NP
		0	1	0	OC*i*REF + 極性 OC*i* = OC*i*REF xor CC*i*P	出力無効 （タイマによって駆動されない）
		0	1	1	OC*i*REF + 極性 + デッドタイム	OC*i*REF に対して相補 （not OC*i*REF）+ 極性 + デッドタイム
		1	0	0	出力無効 （タイマによって駆動されない）	出力無効 （タイマによって駆動されない）
		1	0	1	オフ状態 （インアクティブ状態で出力有効） OC*i* = CC*i*P	OCiREF + 極性 OC*i*N = OC*i*REF xor CC*i*NP
		1	1	0	OCiREF + 極性 OC*i* = OC*i*REF xor CC*i*P	オフ状態 （インアクティブ状態で出力有効） OC*i* N = CCiNP
		1	1	1	OCiREF + 極性 + デッドタイム	OC*i*REF に対して相補 （not OC*i*REF）+ 極性 + デッドタイム
0	0	x[2]	x	x	出力無効（タイマによって駆動されない）	
	0					
	0					
	0					
	1				オフ状態（インアクティブ状態で出力有効） 非同期：OC*i* = CC*i*P および OC*i*N = CC*i*NP クロックが存在する場合：デッドタイム後、OC*i* = OIS*i* および OC*i*N = OIS*i*N。ただし、OIS*i* と OIS*i*N はインアクティブ状態の OC*i* と OC*i*N に対応しないと仮定します。	
	1					
	1					
	1					

1. チャネルが使用されているときは、CCiE = CCNiE = 0 とセットしないでください。チャネルが使用されていないときに、CCiP = CCiNP = OISi = OISiN = 0 とプログラムしてください。
2. 無視

注： OCi チャネルに接続されている外部 I/O ピンの状態は、OCi チャネルの状態と GPIO レジスタに依存します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

19.8.15 キャプチャ /比較イネーブルレジスタ 2（TIM1_CCER2）

アドレスオフセット：0x0E

リセット値：0x00

7	6	5	4	3	2	1	0
予約済み		CC4P	CC4E	CC3NP	CC3NE	CC3P	CC3E
		rw	rw	rw	rw	rw	rw

ビット 7:6 予約済み

ビット 5 **CC4P**：キャプチャ /比較 4 出力極性

CC1P の説明を参照してください。このビットは外部出力に接続されていないので、チャネル 4 が出力モードに設定されているときには使用されません。

ビット 4 **CC4E**：キャプチャ /比較 4 出力イネーブル

CC1E の説明を参照してください。このビットは外部出力に接続されていないので、チャネル 4 が出力モードに設定されているときには使用されません。

ビット 3 **CC3NP**：キャプチャ /比較 3 相補出力極性

CC1NP の説明を参照してください。

ビット 2 **CC3NE**：キャプチャ /比較 3 相補出力イネーブル

CC1NE の説明を参照してください。

ビット 1 **CC3P**：キャプチャ /比較 3 出力極性

CC1P の説明を参照してください。

ビット 0 **CC3E**：キャプチャ /比較 3 出力イネーブル

CC1E の説明を参照してください。

19.8.16 カウンタハイ（TIM1_CNTRH）

アドレスオフセット：0x0F

リセット値：0x00

7	6	5	4	3	2	1	0
CNT[15:8]							
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:0 **CNT[15:8]**：カウンタ値（MSB）

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

19.8.17 カウンタロー（TIM1_CNTRL）

アドレスオフセット：0x10

リセット値：0x00

7	6	5	4	3	2	1	0
CNT[7:0]							
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:0 **CNT[7:0]**：カウンタ値（MSB）

19.8.18 プリスケーラハイ（TIM1_PSCRH）

アドレスオフセット：0x11

リセット値：0x00

7	6	5	4	3	2	1	0
PSC[15:8]							
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:0 **PSC[15:8]**：プリスケーラ値（MSB）

プリスケーラ値は、CK_PSC クロック周波数を分周します。カウンタのクロック周波数 f_{CK_CNT} は、f_{CK_PSC} /（PSCR[15:0]+1）に等しくなります。PSCR は、UEV ごとにアクティブプリスケーラレジスタにロードされる値を含みます（TIM_EGR レジスタの UG ビットを通じて、またはトリガリセットモードに設定されているときにはトリガコントローラを通じて、カウンタがクリアされた場合を含みます）。新しいプリスケーラ値が取り入れられるように、UEV が生成されなければなりません。

19.8.19 プリスケーラロー（TIM1_PSCRL）

アドレスオフセット：0x12

リセット値：0x00

7	6	5	4	3	2	1	0
PSC[7:0]							
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:0 **PSC[7:0]**：プリスケーラ値（LSB）

プリスケーラ値は、CK_PSC クロック周波数を分周します。カウンタのクロック周波数 f_{CK_CNT} は、f_{CK_PSC} /（PSCR[15:0]+1）に等しくなります。PSCR は、UEV ごとにアクティブプリスケーラレジスタにロードされる値を含みます（TIM1_EGR レジスタの UG ビットを通じて、またはトリガリセットモードに設定されているときにはトリガコントローラを通じて、カウンタがクリアされた場合を含みます）。

新しいプリスケーラ値が取り入れられるように、UEV が生成されなければなりません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

19.8.20 自動再ロードレジスタハイ（TIM1_ARRH）

アドレスオフセット：0x13

リセット値：0xFF

7	6	5	4	3	2	1	0
ARR[15:8]							
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:0 **ARR[15:8]**：自動再ロード値（MSB）

ARR は、実際の自動再ロードレジスタにロードされる値です。APR の更新と動作の詳細については、*セクション 19.3：TIM1 タイムベースユニット（278 ページ）*を参照してください。自動再ロード値がヌルのときには、カウンタはブロックされます。

19.8.21 自動再ロードレジスタロー（TIM1_ARRL）

アドレスオフセット：0x14

リセット値：0xFF

7	6	5	4	3	2	1	0
ARR[7:0]							
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:0 **ARR[7:0]**：自動再ロード値（LSB）

19.8.22 繰り返しカウンタレジスタ（TIM1_RCR）

アドレスオフセット：0x15

リセット値：0xFF

7	6	5	4	3	2	1	0
REP[7:0]							
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:0 **REP[7:0]**：繰り返しカウンタ値

プリロードレジスタが有効なとき、これらのビットによって、比較レジスタの更新レート（プリロードレジスタからシャドウレジスタへの定期的な転送）と、更新割り込みが有効（UIE=1）な場合の更新割り込み生成レートをセットアップできます。

REP_CNT に関連するダウンカウンタがゼロに達するたびに、UEV が生成され、REP 値からカウントを再スタートします。REP_CNT には、繰り返し更新イベント U_RC でのみ、REP の値がロードされ、TIM1_RCR レジスタへの書き込みは、次の繰り返し更新イベントまで効果を持ちません。

PWM モードでは、（REP+1）は次のことを意味します。

- エッジアラインモードでは、PWM 周期の数。
- センターアラインモードでは、PWM の 1/2 周期の数。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

19.8.23 キャプチャ /比較レジスタ 1 ハイ（TIM1_CCR1H）

アドレスオフセット：0x16

リセット値：0x00

7	6	5	4	3	2	1	0
CCR1[15:8]							
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:0 **CCR1[15:8]**：キャプチャ /比較 1 の値（MSB）

CC1 チャネルが出力として設定されている場合（TIM1_CCMR1 レジスタの CC1S ビット）：

CCR1 の値は、プリロード機能が有効な場合（TIMx_CCMR1 の OC1PE ビット）、実際のキャプチャ /比較 1 レジスタに不変にロードされます。そうでない場合、プリロード値は、UEV が発生したときに、アクティブキャプチャ /比較 1 レジスタにコピーされます。アクティブキャプチャ /比較レジスタは、カウンタレジスタ TIMx_CNT と比較されて、OC1 出力に送信される値を含みます。

CC1 チャネルが入力として設定されている場合（TIM1_CCMR1 レジスタの CC1S ビット）：

CCR1 の値は、最後の入力キャプチャ 1 イベント（IC1）によって転送されたカウンタ値です。この場合、これらのビットは読み出し専用です。

19.8.24 キャプチャ /比較レジスタ 1 ロー（TIM1_CCR1L）

アドレスオフセット：0x17

リセット値：0x00

7	6	5	4	3	2	1	0
CCR1[7:0]							
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:0 **CCR1[7:0]**：キャプチャ /比較 1 の値（LSB）

19.8.25 キャプチャ /比較レジスタ 2 ハイ（TIM1_CCR2H）

アドレスオフセット：0x18

リセット値：0x00

7	6	5	4	3	2	1	0
CCR2[15:8]							
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:0 **CCR2[15:8]**：キャプチャ /比較 2 の値（MSB）

CC2 チャネルが出力として設定されている場合（TIM1_CCMR2 レジスタの CC2S ビット）：

CCR2 の値は、プリロード機能が有効でない場合（TIM1_CCMR2 の OC2PE ビット）、実際のキャプチャ /比較 2 レジスタに不変にロードされます。そうでない場合、プリロード値は、UEV が発生したときに、アクティブキャプチャ /比較 2 レジスタにコピーされます。アクティブキャプチャ /比較レジスタは、カウンタレジスタ TIM1_CNT と比較され、OC2 出力に送信される値を含みます。

CC2 チャネルが入力として設定されている場合（TIM1_CCMR2 レジスタの CC2S ビット）：

CCR2 の値は、最後の入力キャプチャ 2 イベント（IC2）によって転送されたカウンタ値です。この場合、これらのビットは読み出し専用です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

19.8.26 キャプチャ /比較レジスタ 2 ロー（TIM1_CCR2L）

アドレスオフセット：0x19

リセット値：0x00

7	6	5	4	3	2	1	0
CCR2[7:0]							
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:0 **CCR2[7:0]**：キャプチャ /比較値（LSB）

19.8.27 キャプチャ /比較レジスタ 3 ハイ（TIM1_CCR3H）

アドレスオフセット：0x1A

リセット値：0x00

7	6	5	4	3	2	1	0
CCR3[15:8]							
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:0 **CCR3[15:8]**：キャプチャ /比較値（MSB）

CC3 チャネルが出力として設定されている場合（TIM_CCMR3 レジスタの CC3S ビット）：

CCR3 の値は、プリロード機能が有効でない場合（TIM1_CCMR3 の OC3PE ビット）、実際のキャプチャ /比較 2 レジスタに不変にロードされます。そうでない場合、プリロード値は、UEV が発生したときに、アクティブキャプチャ /比較 3 レジスタにコピーされます。アクティブキャプチャ /比較レジスタは、カウンタレジスタ TIM1_CNT と比較され、OC3 出力に送信される値を含みます。

CC3 チャネルが入力として設定されている場合（TIM_CCMR3 レジスタの CC3S ビット）：

CCR3 の値は、最後の入力キャプチャ 3 イベント（IC31）によって転送されたカウンタ値です。

19.8.28 キャプチャ /比較レジスタ 3 ロー（TIM1_CCR3L）

アドレスオフセット：0x1B

リセット値：0x00

7	6	5	4	3	2	1	0
CCR3[7:0]							
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:0 **CCR3[7:0]**：キャプチャ /比較値（LSB）

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

19.8.29 キャプチャ /比較レジスタ 4 ハイ（TIM1_CCR4H）

アドレスオフセット：0x1C

リセット値：0x00

7	6	5	4	3	2	1	0
CCR4[15:8]							
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:0 **CCR4[15:8]**：キャプチャ /比較値（MSB）

CC4 チャネルが出力として設定されている場合（TIM1_CCMR4 レジスタの CC4S ビット）：
CCR4 の値は、プリロード機能が有効でない場合（TIM1_CCMR4 の OC4PE ビット）、実際のキャプチャ /比較 4 レジスタに不変にロードされます。そうでない場合、プリロードは、UEV が発生したときに、アクティブキャプチャ /比較 4 レジスタにコピーされます。アクティブキャプチャ /比較レジスタは、カウンタ TIM1_CNT と比較され、OC4 出力に送信される値を含みます。

CC4 チャネルが入力として設定されている場合（TIM1_CCMR4 レジスタの CC4S ビット）：
CCR4 の値は、最後の入力キャプチャ 4 イベント（IC4）によって転送されたカウンタ値です。

19.8.30 キャプチャ /比較レジスタ 4 ロー（TIM1_CCR4L）

アドレスオフセット：0x1D

リセット値：0x00

7	6	5	4	3	2	1	0
CCR4[7:0]							
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:0 **CCR4[7:0]**：キャプチャ /比較値（LSB）

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

19.8.31 ブレークレジスタ（TIM1_BKR）

アドレスオフセット：0x1E

リセット値：0x00

7	6	5	4	3	2	1	0
MOE	AOE	BKP	BKE	OSSR	OSSI	LOCK	
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7 **MOE**：メイン出力イネーブル

このビットは、ブレーク入力がアクティブとなると、ハードウェアによって非同期にクリアされます。ソフトウェアによって、または、AOE ビットに応じて自動的にセットされます。出力として設定されたチャネルに対してのみ有効です。

0：OC および OCN 出力は無効か、強制的にアイドル状態になります。

1：OC および OCN 出力は、それぞれのイネーブルビット（TIM1_CCER*i* レジスタの CC*i*E ビット）がセットされている場合に有効です。

詳細については、OC/OCN イネーブルの説明を参照してください（*セクション 19.8.14（346 ページ）*）。

ビット 6 **AOE**：自動出力イネーブル

0：MOE はソフトウェアによってのみセットできます。

1：MOE は、ソフトウェアによって、または次の UEV で自動的にセットできます（ブレーク入力がアクティブでない場合）。

注：　このビットは、LOCK レベル 1 がプログラムされると（TIM1_BKR レジスタの LOCK ビット）、変更できなくなります。

ビット 5 **BKP**：ブレーク極性

0：ブレーク入力 BKIN はアクティブローです。

1：ブレーク入力 BKIN はアクティブハイです。

注：　このビットは、LOCK レベル 1 がプログラムされると（TIM1_BKR レジスタの LOCK ビット）、変更できなくなります。

ビット 4 **BKE**：ブレークイネーブル

0：ブレーク入力（BKIN）は無効です。

1：ブレーク入力（BKIN）は有効です。

注：　このビットは、LOCK レベル 1 がプログラムされると（TIM1_BKR レジスタの LOCK ビット）、変更できなくなります。

ビット 3 **OSSR**：RUN モードのオフ状態の選択

このビットは、MOE=1 のとき、相補出力を持ち、出力として設定されているチャネルで使用されます。詳細については、OC/OCN イネーブルの説明を参照してください（*セクション 19.8.14*）。

0：インアクティブのとき、OC/OCN 出力は無効です（OC/OCN イネーブル出力信号 = 0）。

1：インアクティブのとき、CC*i*E = 1 または CC*i*NE = 1 になると、OC/OCN 出力は有効になり、その後、OC/OCN イネーブル出力信号 = 1 になります。

注：　このビットは、LOCK レベル 2 がプログラムされると（TIM1_BKR レジスタの LOCK ビット）、変更できなくなります。

ビット 2 **OSSI**：アイドルモードのオフ状態の選択

このビットは、MOE=0 のとき、出力として設定されているチャネルで使用されます。詳細については、OC イネーブルの説明を参照してください（*セクション 19.8.14*）。

0：インアクティブのとき、OC*i* 出力は無効です（OC*i* イネーブル出力信号 = 0）。

1：インアクティブのとき、CC*i*E=1 になると、OC*i* 出力は、まず、強制的にアイドルレベルになります（OC イネーブル出力信号 = 1）。

注：　このビットは、LOCK レベル 2 がプログラムされると（TIM1_BKR レジスタの LOCK ビット）、変更できなくなります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 1:0 **LOCK[1:0]**：ロック設定

これらのビットは、ソフトウェアエラーに対する書き込み保護を提供します。

00：LOCK オフ - どのビットも書き込み保護されません。

01：LOCK レベル 1 ー TIM1_OSIR レジスタの OIS*i* ビットと TIM1_BKR レジスタの BKE/BKP/AOE ビットは書き込めなくなります。

10：LOCK レベル 2 ー LOCK レベル 1 に加えて、CC 極性ビット（関連するチャネルが CC*i*S ビットを通じて出力に設定されている場合は、TIM1_CCER*i* レジスタの CC*i*P ビット）と OSSR および OSSI ビットも書き込めなくなります。

11：LOCK レベル 3 ー LOCK レベル 2 に加えて、CC 制御ビット（関連するチャネルが CC*i*S ビットを通じて出力に設定されている場合は、TIM1_CCMR*i* レジスタの OC*i*M および OC*i*PE ビット）が書き込めなくなります。

*注： **LOCK ビットは、リセット後に一度だけ書き込みができます。いったん TIM1_BKR レジスタに書き込みが行われると、それらの内容は次のリセットまで凍結されます。***

*注： **AOE、BKP、BKE、OSSR、および OSSI は LOCK 設定に応じて書き込みがロックされるので、TIM1_BKR レジスタへの最初の書き込みアクセスで、これらのすべてを設定する必要があります。***

19.8.32 デッドタイムレジスタ（TIM1_DTR）

アドレスオフセット：0x1F

リセット値：0x00

7	6	5	4	3	2	1	0
DTG[7:0]							
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:0 **DTG[7:0]**：デッドタイム発生回路のセットアップ

このビットフィールドは、相補出力の間に挿入されるデッドタイムの長さを定義します。DT はこの時間に対応し、t_{CK_PSC} は TIM のクロックパルスです。

DTG[7:5] = 0xx => DT= DTG[7:0] x t_{dtg} with t_{dtg} = t_{CK_PSC} (f1)

DTG[7:5] = 10x => DT= (64 + DTG[5:0]) x t_{dtg} with t_{dtg}= 2 x t_{CK_PSC} (f2)

DTG[7:5] = 110 => DT = (32 + DTG[4:0]) x t_{dtg} with t_{dtg}= 8 x t_{CK_PSC} (f3)

DTG[7:5] = 111 => DT = (32 + DTG[4:0]) x t_{dtg} with t_{dtg} = 16 x t_{CK_PSC} (f4)

例

t_{CK_PSC}= 125 ns（8 MHz）の場合、デッドタイムが取り得る値は以下のようになります。

DTG[7:0] = 0 x 0～0 x 7F、0～15875 ns（125 ns ステップ）、（f1 を参照）

DTG[7:0] = 0 x 80～0 x BF、16 µs～31750 ns（125 ns ステップ）、（f2 を参照）

DTG[7:0] = 0 x C0～0 x DF、32 µs～63 µs（1µs ステップ）、（f3 を参照）

DTG[7:0] = 0 x E0～0 x FF、64 µs～126 µs（2µs ステップ）、（f4 を参照）

*注： **このビットフィールドは、LOCK レベル 1、2、または 3 がプログラムされているときには変更できません（TIM_BKR レジスタの LOCK ビット）。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

19.8.33 出力アイドル状態レジスタ（TIM1_OISR）

アドレスオフセット：0x20

リセット値：0x00

7	6	5	4	3	2	1	0
予約済み		OIS3N	OIS3	OIS2N	OIS2	OIS1N	OIS1
		rw	rw	rw	rw	rw	rw

ビット 7:6 予約済み。ハードウェアによって 0 に固定されています。

ビット 5 **OIS3N**：出力アイドル状態 3（OC3N 出力）
OIS1N ビットを参照

ビット 4 **OIS3**：出力アイドル状態 3（OC3 出力）
OIS1 ビットを参照

ビット 3 **OIS2N**：出力アイドル状態 2（OC2N 出力）
OIS1N ビットを参照

ビット 2 **OIS2**：出力アイドル状態 2（OC2 出力）
OIS1 ビットを参照

ビット 1 **OIS1N**：出力アイドル状態 1（OC1N 出力）
0：MOE=0 のとき、デッドタイム後に OC1N=0
1：MOE=1 のとき、デッドタイム後に OC1N=0

注： このビットは、LOCK レベル 1、2、または 3 がプログラムされているときには変更できません（TIM1_BKR レジスタの LOCK ビット）。

ビット 0 **OIS1**：出力アイドル状態 1（OC1 出力）
0：MOE=0 のとき、OC1=0（OC1N が実装されている場合、デッドタイム後に）
1：MOE=1 のとき、OC1=0（OC1N が実装されている場合、デッドタイム後に）

注： このビットは、LOCK レベル 1、2、または 3 がプログラムされているときには変更できません（TIM1_BKR レジスタの LOCK ビット）。

19.8.34 DMA 制御レジスタ 1（TIM1_DCR1）

アドレスオフセット：0x21

リセット値：0x00

7	6	5	4	3	2	1	0
予約済み			DBA[4:0]				
			rw	rw	rw	rw	rw

ビット 7:5 予約済み。ハードウェアによって 0 に固定されています。

ビット 4:0 **DBA[4:0]**：DMA ベースアドレス
この 5 ビットのベクタは、バーストモードでの DMA 転送のベースアドレスを定義します（TIM1_DMAR アドレスを通じて読み出し/書き込みアクセスが行われるとき）。DBA は、TIM1_CR1 レジスタのアドレスから始まるオフセットとして定義されます。
00000：TIM1_CR1
00001：TIM1_CR2
00010：TIM1_SMCR
00011：TIM1_ETR
...

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

19.8.35 DMA 制御レジスタ 2（TIM1_DCR2）

アドレスオフセット：0x22

リセット値：0x00

7	6	5	4	3	2	1	0
予約済み			DBL[4:0]				
			rw	rw	rw	rw	rw

ビット 7:5 予約済み。ハードウェアによって 0 に固定されています。

ビット 4:0 **DBL[4:0]**：DMA バースト長

この 5 ビットのベクタは、アクセスされるレジスタの数を設定することによって、バーストモードでの DMA 転送の長さを定義します。

00000：1 レジスタ

00001：2 レジスタ

00010：3 レジスタ

...

11111：32 レジスタ

注： タイマは、TIM1_DMAR レジスタへの読み出しまたは書き込みアクセスが行われるとき、バースト転送を認識します。

19.8.36 バーストモード DMA アドレス（TIM1_DMAR）

アドレスオフセット：0x23

リセット値：0x00

7	6	5	4	3	2	1	0
DMAB[7:0]							
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:0 **DMAB[15:0]**：DMA バーストアクセスレジスタ

TIM1_DMAR レジスタへの読み出しまたは書き込みアクセスは、次のアドレスにあるレジスタへのアクセスとなります。

（TIM1_CR1 アドレス）+ DBA + （DMA インデックス）：

- TIM1_CR1 は、制御レジスタ 1 のアドレスです。
- DBA は、TIM1_DCR1 レジスタで設定された DMA ベースアドレスです。
- DMA インデックスは、DMA 転送によって自動的に制御されるオフセットです。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

19.8.37 TIM1 レジスタマップとリセット値

表 67. TIM1 レジスタマップ

アドレス オフセット	レジスタ名	7	6	5	4	3	2	1	0
0x00	TIM1_CR1 リセット値	ARPE 0	CMS1 0	CMS0 0	DIR 0	OPM 0	URS 0	UDIS 0	CEN 0
0x01	TIM1_CR2 リセット値	TI1S 0	MMS2 0	MMS1 0	MMS0 0	CCDS 0	COMS- 0	- 0	CCPC- 0
0x02	TIM1_SMCR リセット値	MSM 0	TS2 0	TS1 0	TS0 0	OCCS 0	SMS2 0	SMS1 0	SMS0 0
0x03	TIM1_ETR リセット値	ETP 0	ECE 0	ETPS1 0	ETPS0 0	EFT3 0	EFT2 0	EFT1 0	EFT0 0
0x04	TIM1_DER リセット値	- 0	- 0	COMDE 0	CC4DE 0	CC3DE 0	CC2DE 0	CC1DE 0	UDE 0
0x05	TIM1_IER リセット値	BIE 0	TIE 0	COMIE 0	CC4IE 0	CC3IE 0	CC2IE 0	CC1IE 0	UIE 0
0x06	TIM1_SR1 リセット値	BIF 0	TIF 0	COMIF 0	CC4IF 0	CC3IF 0	CC2IF 0	CC1IF 0	UIF 0
0x07	TIM1_SR2 リセット値	- 0	- 0	- 0	CC4OF 0	CC3OF 0	CC2OF 0	CC1OF 0	- 0
0x08	TIM1_EGR リセット値	BG 0	TG 0	COMG 0	CC4G 0	CC3G 0	CC2G 0	CC1G 0	UG 0
0x09	TIM1_CCMR1 （出力モード） リセット値	CC1CE 0	OC1M2 0	OC1M1 0	OC1M0 0	OC1PE 0	OC1FE 0	CC1S1 0	CC1S0 0
	TIM1_CCMR1 （入力モード） リセット値	IC1F3 0	IC1F2 0	IC1F1 0	IC1F0 0	IC1PSC1 0	IC1PSC0 0	CC1S1 0	CC1S0 0
0x0A	TIM1_ CCMR2 （出力モード） リセット値	CC2CE 0	OC2M2 0	OC2M1 0	OC2M0 0	OC2PE 0	OC2FE 0	CC2S1 0	CC2S0 0
	TIM1_CCMR2 （入力モード） リセット値	IC2F3 0	IC2F2 0	IC2F1 0	IC2F0 0	IC2PSC1 0	IC2PSC0 0	CC2S1 0	CC2S0 0
0x0B	TIM1_CCMR3 （出力モード） リセット値	CC3CE 0	OC3M2 0	OC3M1 0	OC3M0 0	OC3PE 0	OC3FE 0	CC3S1 0	CC3S0 0
	TIM1_CCMR3 （入力モード） リセット値	IC3F3 0	IC3F2 0	IC3F1 0	IC3F0 0	IC3PSC1 0	IC3PSC0 0	CC3S1 0	CC3S0 0
0x0C	TIM1_CCMR4 （出力モード） リセット値	OC4CE 0	OC4M2 0	OC4M1 0	OC4M0 0	OC4PE 0	- 0	CC4S1 0	CC4S0 0
	TIM1_CCMR4 （入力モード） リセット値	IC4F3 0	IC4F2 0	IC4F1 0	IC4F0 0	IC4PSC1 0	IC4PSC0 0	CC4S1 0	CC4S0 0
0x0D	TIM1_CCER1 リセット値	CC2NP 0	CC2NE 0	CC2P 0	CC2E 0	CC1NP 0	CC1NE 0	CC1P 0	CC1E 0
0x0E	TIM1_CCER2 リセット値	- 0	- 0	CC4P 0	CC4E 0	CC3NP 0	CC3NE 0	CC3P 0	CC3E 0
0x0F	TIM1_CNTRH リセット値	CNT15 0	CNT14 0	CNT13 0	CNT12 0	CNT11 0	CNT10 0	CNT9 0	CNT8 0
0x10	TIM1_CNTRL リセット値	CNT7 0	CNT6 0	CNT5 0	CNT4 0	CNT3 0	CNT2 0	CNT1 0	CNT0 0

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 67. TIM1 レジスタマップ （続き）

アドレス オフセット	レジスタ名	7	6	5	4	3	2	1	0
0x11	TIM1_PSCRH リセット値	PSC15 0	PSC14 0	PSC13 0	PSC12 0	PSC11 0	PSC10 0	PSC9 0	PSC8 0
0x12	TIM1_PSCRL リセット値	PSC7 0	PSC6 0	PSC5 0	PSC4 0	PSC3 0	PSC2 0	PSC1 0	PSC0 0
0x13	TIM1_ARRH リセット値	ARR15 1	ARR14 1	ARR13 1	ARR12 1	ARR11 1	ARR10 1	ARR9 1	ARR8 1
0x14	TIM1_ARRL リセット値	ARR7 1	ARR6 1	ARR5 1	ARR4 1	ARR3 1	ARR2 1	ARR1 1	ARR0 1
0x15	TIM1_RCR リセット値	REP7 0	REP6 0	REP5 0	REP4 0	REP3 0	REP2 0	REP1 0	REP0 0
0x16	TIM1_CCR1H リセット値	CCR115 0	CCR114 0	CCR113 0	CCR112 0	CCR111 0	CCR110 0	CCR19 0	CCR18 0
0x17	TIM1_CCR1L リセット値	CCR17 0	CCR16 0	CCR15 0	CCR14 0	CCR13 0	CCR12 0	CCR11 0	CCR10 0
0x18	TIM1_CCR2H リセット値	CCR215 0	CCR214 0	CCR213 0	CCR212 0	CCR211 0	CCR210 0	CCR29 0	CCR28 0
0x19	TIM1_CCR2L リセット値	CCR27 0	CCR26 0	CCR25 0	CCR24 0	CCR23 0	CCR22 0	CCR21 0	CCR20 0
0x1A	TIM1_CCR3H リセット値	CCR315 0	CCR314 0	CCR313 0	CCR312 0	CCR311 0	CCR310 0	CCR39 0	CCR38 0
0x1B	TIM1_CCR3L リセット値	CCR37 0	CCR36 0	CCR35 0	CCR34 0	CCR33 0	CCR32 0	CCR31 0	CCR30 0
0x1C	TIM1_CCR4H リセット値	CCR415 0	CCR414 0	CCR413 0	CCR412 0	CCR411 0	CCR410 0	CCR49 0	CCR48 0
0x1D	TIM1_CCR4L リセット値	CCR47 0	CCR46 0	CCR45 0	CCR44 0	CCR43 0	CCR42 0	CCR41 0	CCR40 0
0x1E	TIM1_BKR リセット値	MOE 0	AOE 0	BKP 0	BKE 0	OSSR 0	OSSI 0	LOCK 0	LOCK 0
0x1F	TIM1_DTR リセット値	DTG7 0	DTG6 0	DTG5 0	DTG4 0	DTG3 0	DTG2 0	DTG1 0	DTG0 0
0x20	TIM1_OISR リセット値	- 0	- 0	OIS3N 0	OIS3 0	OIS2N 0	OIS2 0	OIS1N 0	OIS1 0
0x21	TIM1_DCR1 リセット値	- 0	- 0	- 0	DBA4 0	DBA3 0	DBA2 0	DBA1 0	DBA0 0
0x22	TIM1_DCR2 リセット値	- 0	- 0	- 0	DBL4 0	DBL3 0	DBL2 0	DBL1 0	DBL0 0
0x23	TIM1_DMAR リセット値	DMAB7 0	DMAB6 0	DMAB5 0	DMAB4 0	DMAB3 0	DMAB2 0	DMAB1 0	DMAB0 0

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

20 16 ビット汎用タイマ（TIM2、TIM3、TIM5）

20.1 概要

この章では、同じタイマである TIM2、TIM3、および TIM5 について説明します。

各タイマは、プログラマブルなプリスケーラによって駆動される 16 ビットのアップダウン自動再ロードカウンタで構成されています。

次のようなさまざまな目的に使用できます。

- タイムベースの生成
- 入力信号 （入力キャプチャ）のパルス長の測定
- 出力波形の形成（出力比較、PWM、およびワンパルスモード）
- さまざまなイベント（キャプチャ、比較、オーバーフロー）時の割り込み機能
- 他のタイマまたは外部信号（外部クロック、リセット、トリガ、およびイネーブル）との同期

タイマクロックは、内部クロック または外部クロックから供給でき、設定レジスタで選択できます。

この章では、汎用タイマの主な機能についてのみ説明します。各機能の詳細については、*セクション 19：16 ビット高機能制御タイマ（TIM1）（275 ページ）*の対応する節を参照してください。

20.2 TIMx の主な機能

汎用 TIMx TIM2/TIM3/TIM5 には、次のような機能があります。

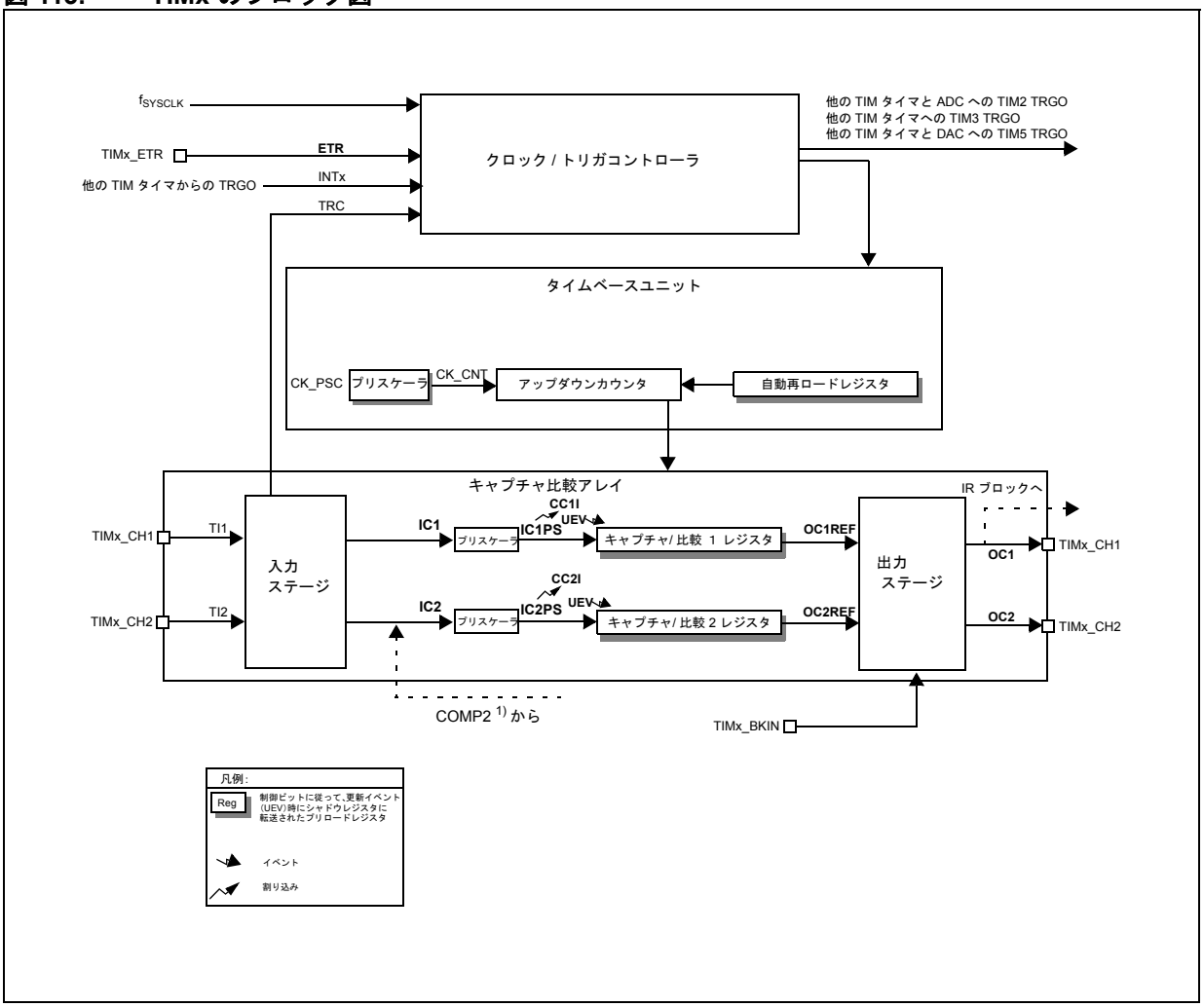
- 16 ビットのアップカウンタ、ダウンカウンタ、アップ/ダウン自動再ロードカウンタ。
- カウンタクロック周波数を､動作中に 1 から 128 までの 2 の累乗で分周するための3ビットのプログラマブルプリスケーラ 。
- 以下に対応する2 つの独立チャネル。
  - 入力キャプチャ
  - 出力比較
  - PWM 生成（エッジアラインモード）
  - ワンパルスモード出力
- タイマの出力信号をリセット状態または既知の状態にするブレーク入力。
- 入力キャプチャ 2 は、COMP2 コンパレータからルーティングできます。
- 以下のイベント時の割り込み/DMA リクエストの生成。
  - 更新：カウンタオーバーフロー、カウンタの初期化（ソフトウェアによる）
  - 入力キャプチャ
  - 出力比較
  - ブレーク入力
  - トリガイベント（カウンタの開始、停止、初期化、または内部/外部トリガによるカウント）

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

参考資料

20.3 TIMx の機能詳細

図 113. TIMx のブロック図



1. TIM2 および TIM3 に対してのみ有効

20.3.1 タイムベースユニット

このタイマは、以下を含むタイムベースユニットを備えています。

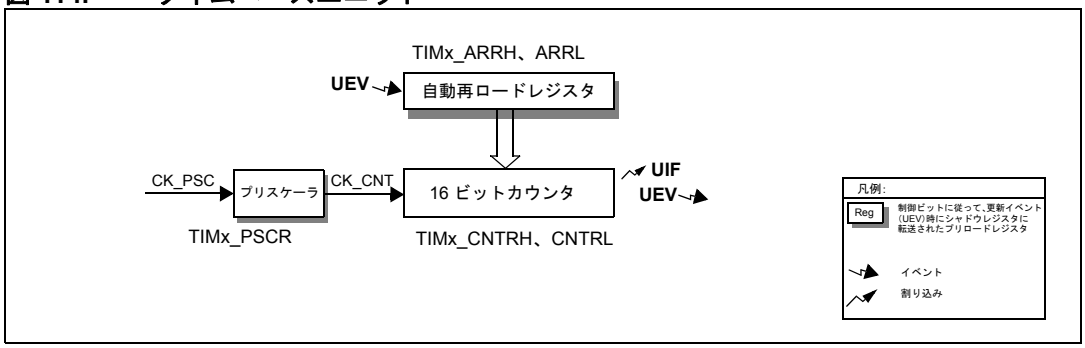
- 16 ビットアップダウン カウンタ
- 16 ビット自動再ロードレジスタ
- 3 ビットプログラマブルプリスケーラ

繰り返しカウンタはありません。

クロックソースは内部クロック（f_{SYSCLK}）です。カウンタクロック CK_CNT を駆動するプリスケーラに供給される CK_PSC クロックに直接接続されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 114. タイムベースユニット



詳細については、*セクション 19.3 : TIM1 タイムベースユニット (278 ページ)* を参照してください。

プリスケーラ

プリスケーラは以下のように動作します。

- プリスケーラは、3 ビットレジスタ（TIMx_PSCR レジスタ）を通じて制御される 7 ビットのカウンタに基づきます。この制御レジスタはバッファされるので、動作中に変更できます。カウンタクロック周波数を 1、2、4、8、16、32、64、または 128 分周することができます。

  カウンタクロック周波数は、次の式で計算されます。

  $f_{CK_CNT} = f_{CK_PSC}/2^{(PSCR[2:0])}$

カウンタの動作

セクション 19.3.4 : アップカウントモード (280 ページ)、*セクション 19.3.5 : ダウンカウントモード (282 ページ)*、および *セクション 19.3.6 : センタアラインモード（アップ/ダウンカウント）(284 ページ)* を参照してください。

20.3.2 クロック/トリガコントローラ

セクション 19.4 : TIM1 クロック/トリガコントローラ（287 ページ） を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

20.3.3 キャプチャ /比較チャネル

入力ステージ

*セクション 19.5 : TIM1 キャプチャ/比較チャネル（301 ページ）*を参照してください。

*図 115 : 入力ステージのブロック図*に示されているように、2 つの入力チャネルがあります。チャネル 2 は内部でコンパレータに接続されています。

図 115. 入力ステージのブロック図

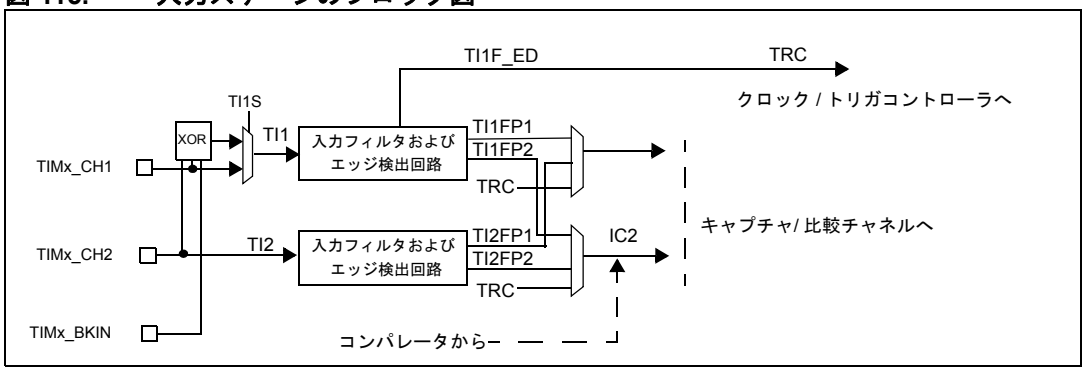
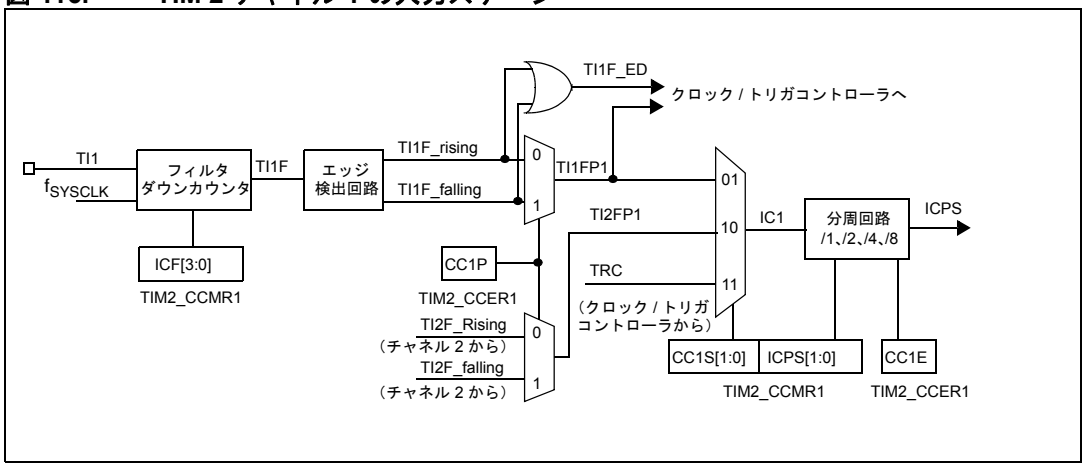


図 116. TIM 2 チャネル 1 の入力ステージ



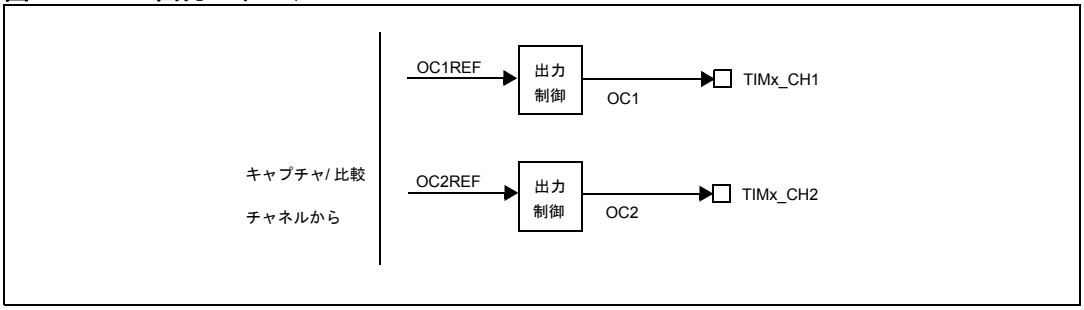
この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

出力ステージ

セクション 19.5.4 : 出力ステージ (306 ページ)、*セクション 19.5.5 : 強制出力モード (307 ページ)*、*セクション 19.5.7 : PWM モード（310 ページ）*を参照してください。

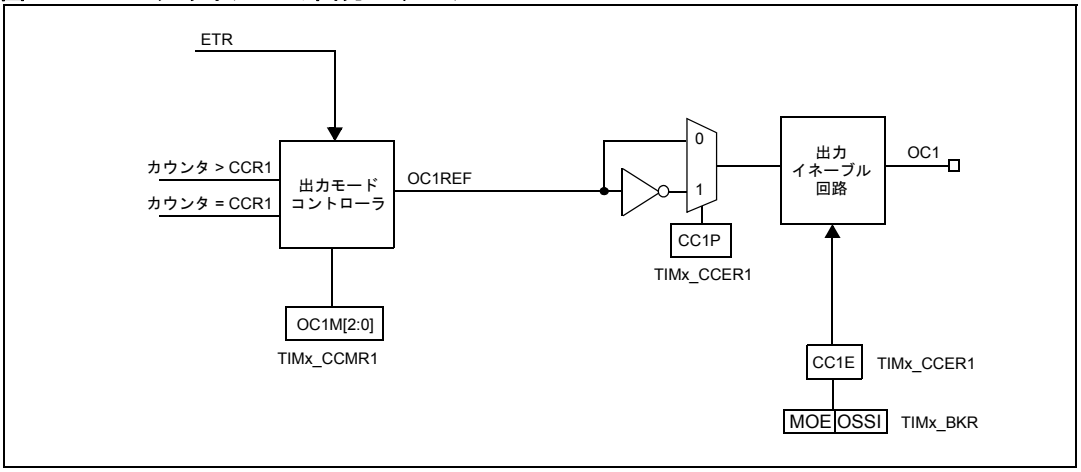
*図 117*に示されているように、TIMx 出力には、デッドタイムまたは相補出力はありません。

図 117. 出力ステージ



出力ステージは、OCxREF（アクティブハイ）として使用される中間波形を生成します。ブレーク機能と極性は最終段に影響を与えます（*図 118*を参照）。

図 118. チャネル 1 の出力ステージ



ブレーク

ブレーク機能を使用するとき、出力イネーブル信号とインアクティブレベルは、追加の制御ビット（TIMx_BKR レジスタの MOE および OSSI ビット）に応じて変更されます。

リセットが終了すると、ブレーク回路は無効になり、MOE ビットはローになります。TIMx_BKR レジスタの BKE ビットをセットすることによって、ブレーク機能を有効にできます。ブレーク入力の極性は、同じレジスタの BKP ビットを設定することによって選択できます。BKE と BKP は、同時に変更できます。

詳細については、*ブレーク機能の使用（317 ページ）*を参照してください。*表 69 : ブレーク機能を持つ OCi チャネルの出力制御ビット （ブレーク機能 は組み込まれており、相補出力は組み込まれていない）（385 ページ）*も参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

20.3.4 タイマ入力 XOR 機能

TIMx_CR2 レジスタの TI1S ビットによって、チャネル 1 の入力フィルタを、3 つの入力ピン TIMx_CH1、TIMx_CH2、および TIMx_BKIN を組み合わせた XOR ゲートの出力に接続できます。

XOR 出力は、トリガや入力キャプチャなど、すべてのタイマ入力機能で使用できます。

この機能を使用してホールセンサとインタフェースする例を*セクション 19.5.12：ホールセンサとのインタフェース（323 ページ）*に示します。

20.4 TIMx 割り込み

タイマには 5 つの割り込みリクエストソースがあります。

- キャプチャ /比較 2 割り込み
- キャプチャ /比較 1 割り込み
- 更新割り込み
- ブレーク入力
- トリガ割り込み

割り込み機能を使用するには、使用される各割り込みチャネルについて、TIMx_IER レジスタの必要な CC2IE および/または CC1IE ビットをセットして、割り込みリクエストを有効にします。

TIMx_EGR レジスタの対応するビットを使用して、ソフトウェアによってさまざまな割り込みソースを生成することもできます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

20.5 TIMx レジスタ

20.5.1 制御レジスタ1（TIMx_CR1）

アドレスオフセット：0x00

リセット値：0x00

7	6	5	4	3	2	1	0
ARPE	CMS[1:0]		DIR	OPM	URS	UDIS	CEN
rw	rw		rw	rw	rw	rw	rw

ビット 7 **ARPE**：自動再ロードプリロードイネーブル

0：TIMx_ARR レジスタは、プリロードレジスタを通じてバッファされません。直接書き込むことができます。

1：TIMx_ARR レジスタは、プリロードレジスタを通じてバッファされます。

ビット 6:5 **CMS[1:0]**：センターアラインモード選択

00：エッジアラインモード。カウンタは、方向ビット（DIR）に応じて、カウントアップまたはカウントダウンします。

01：センターアラインモード 1カウンタは、カウントアップとカウントダウンを交互に行います。出力に設定されたチャネルの出力比較割り込みフラグ（TIMx_CCMR*i* レジスタの CC*i*S=00）は、カウンタがカウントダウンしているときのみセットされます。

10：センターアラインモード 2カウンタは、カウントアップとカウントダウンを交互に行います。出力に設定されたチャネルの出力比較割り込みフラグ（TIMx_CCMR*i* レジスタの CC*i*S=00）は、カウンタがカウントアップしているときのみセットされます。

11：センターアラインモード 3カウンタは、カウントアップとカウントダウンを交互に行います。出力に設定されたチャネルの出力比較割り込みフラグ（TIMx_CCMR*i* レジスタの CC*i*S=00）は、カウンタがカウントアップまたはカウントダウンしているときにセットされます。

注：　カウンタが有効（CEN=1）なときには、エッジアラインモードからセンターアラインモードに切り替えることはできません。

センターアラインモードでは、エンコーダモード（GPT_SMCR レジスタの SMS = 001、010 、または 011）を無効にする必要があります。

ビット 4 **DIR**：方向

0：カウンタはアップカウンタとして使用されます。

1：カウンタはダウンカウンタとして使用されます。

注：　このビットは、タイマがセンターアラインモードまたはエンコーダモードに設定されているときには読み出し専用です。

ビット 3 **OPM**：ワンパルスモード

0：カウンタは更新イベントで停止しません。

1：カウンタは次の更新イベントでカウントを停止します（CEN ビットをクリアします）。

ビット 2 **URS**：更新リクエストソース

0：有効なときには、レジスタが更新されると（カウンタオーバーフロー）、更新割り込みリクエストが送信されます。

1：有効なときには、カウンタがオーバーフローしたときのみ、更新割り込みリクエストが送信されます。

ビット 1 **UDIS**：更新ディセーブル

0：カウンタオーバーフローが発生するか、ソフトウェア更新が生成されるか、またはクロック/トリガモードコントローラによってハードウェアリセットが生成されると、UEV が生成されます。バッファを持つレジスタにはプリロード値がロードされます。

1：UEV は生成されず、シャドウレジスタ（ARR、PSC、CCR*i*）は値を維持します。UG ビットがセットされている場合、カウンタとプリスケーラは再初期化されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 0 **CEN**：カウンタイネーブル

0：カウンタは無効です。

1：カウンタは有効です。

20.5.2 制御レジスタ 2（TIMx_CR2）

アドレスオフセット：0x01

リセット値：0x00

7	6	5	4	3	2	1	0
TI1S	MMS[2:0]			CCDS	予約済み		
	rw	rw	rw	rw			

ビット 7 **TI1S**：TI1（デジタルフィルタ入力）選択

0：TI1 は CH1 入力ピンに接続されます。

1：TI1 は 3 つの入力 CH1、CH2、および ブレーク に接続されます（XOR 接続）。

ビット 6:4 **MMS[2:0]**：マスタモード選択

これらのビットは、同期のためにマスタモードで スレーブタイマに送信される情報を選択します（TRGO）。組み合わせは、次のとおりです。

000：リセット - TIM3_EGR レジスタの UG ビットがトリガ出力（TRGO）として使用されます。トリガ入力によってリセットが生成された場合（クロック/トリガモードコントローラがトリガリセットモードに設定されているとき）、TRGO 信号は実際のリセットより遅延します。

001：イネーブル - カウンタイネーブル信号がトリガ出力（TRGO）として使用されます。複数のタイマを同時に開始するときや、スレーブタイマが有効な時間枠を制御するために使用されます。カウンタイネーブル信号は、CEN 制御ビットとゲートモードに設定されているときのトリガ入力との論理和（OR）によって生成されます。カウンタイネーブル信号がトリガ入力によって制御されているとき、マスタ/スレーブモードが選択されている場合を除いて、TRGO には遅延が存在します（TIM3_SMCR レジスタの MSM ビットの説明を参照）。

010：更新 - 更新イベントがトリガ出力（TRGO）として選択されます。

011：予約済み

100：予約済み

101：予約済み

111：予約済み

ビット 3 **CCDS**：キャプチャ /比較 DMA 選択

0：TIMx_CC*i* DMA リクエストは、CC*i*（キャプチャ /比較）イベントの発生時に送信されます。

1：TIMx_CC*i* DMA リクエストは、更新イベントの発生時に送信されます。

ビット 2:0 予約済み、クリアされた状態に保つ必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

20.5.3 スレーブモード制御レジスタ（TIMx_SMCR）

アドレスオフセット：0x02

リセット値：0x00

7	6	5	4	3	2	1	0
MSM	TS[2:0]			予約済み	SMS[2:0]		
rw	rw	rw	rw		rw	rw	rw

ビット 7 **MSM** マスタ/スレーブモード

0：影響なし。

1：トリガ入力（TRGI）に対するイベントの効果は、タイマ間の完全な同期（TRGO を通じて）を可能にするために遅延されます。

ビット 6:4 **TS[2:0]** トリガ選択[1]

このビットフィールドは、カウンタを同期するために使用されるトリガ入力を選択します。

000：内部トリガ ITR0

001：内部トリガ ITR1

010：内部トリガ ITR2

011：内部トリガ ITR3

100：TI1 エッジ検出回路（TI1F_ED）

101：フィルタタイマ入力 1（TI1FP1）

110：フィルタタイマ入力 2（TI2FP2）

111：外部トリガ入力（ETRF）（TIM1_ETR ピンから）信号のフィルタリングと極性は、TIM5_CCMRi および TIM5_CCERi レジスタによって制御できます。

注： 遷移時の誤ったエッジ検出を避けるために、これらのビットは、使用されていないとき（SMS=000 のときなど）にのみ変更しなければなりません。

ビット 3 予約済み、常に 0 として読み出されます。

ビット 2:0 **SMS[2:0]** クロック/トリガ/スレーブモード選択

外部信号が選択されると、トリガ信号（TRGI）のアクティブエッジが、外部入力で選択された極性にリンクされます（入力制御レジスタおよび制御レジスタの説明を参照）。

000：クロック/トリガコントローラは無効です。CEN = 1 の場合、プリスケーラは内部クロックによって直接クロック供給されます。

001：予約済み

010：予約済み

011：予約済み

100：トリガリセットモード - 選択されたトリガ信号（TRGI）の立ち上がりエッジで、カウンタが再初期化され、レジスタの更新が生成されます。

101：ゲートモード - カウンタクロックは、トリガ信号（TRGI）がハイのときに有効です。トリガがローになると、カウンタは停止します（リセットはされません）。カウンタの開始と停止の両方が制御されます。

110：トリガモード - カウンタは、トリガ入力（TRGI）の立ち上がりエッジで開始します（リセットはされません）。カウンタの開始のみが制御されます。

111：外部クロックモード 1 - 選択されたトリガ（TRGI）の立ち上がりエッジで、カウンタにクロックが供給されます。

1. 各タイマの ITRx の意味の詳細については、*表 68：TIMx 内部トリガ接続（370 ページ）*を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 68. TIMx 内部トリガ接続

スレーブ TIM	ITR0 (TS = 000)	ITR1 (TS = 001)	ITR2 (TS = 010)	ITR3 (TS = 011)
TIM2	TIM4	TIM1	TIM3	
TIM3	TIM4	TIM1		TIM2
	TIM4	TIM1	TIM3	TIM2

注： 製品にタイマがない場合、対応するトリガ（ITRx ）は使用できません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

20.5.4 外部トリガレジスタ（TIMx_ETR）

アドレスオフセット：0x03

リセット値：0x00

7	6	5	4	3	2	1	0
ETP	ECE	ETPS[1:0]		ETF[3:0]			
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7 **ETP**：外部トリガ極性

このビットは、ETR と $\overline{\text{ETR}}$ のいずれがトリガ動作に使用されるかを選択します。

0：ETR は反転されず、ハイレベルまたは立ち上がりエッジがアクティブとなります。

1：ETR は反転され、ローレベルまたは立ち下がりエッジでアクティブになります。

ビット 6 **ECE**：外部クロックイネーブル

このビットは、外部クロックモード 2 を有効にします。

0：外部クロックモード 2 は無効です。

1：外部クロックモード 2 は有効です。カウンタは、ETRF 信号のアクティブエッジによってクロック供給されます。

注： ECE ビットをセットすることは、TRGI が ETRF に接続された状態で外部クロックモード 1 を選択することと同じ効果を持ちます（TIM1_SMCR レジスタの SMS=111、TS=111）。

外部クロックモード 2 と同時に次のモードを使用できます。トリガ標準モード、トリガリセットモード、およびトリガゲートモード。ただし、この場合、TRGI を ETRF に接続することはできません（TIMx_SMCR レジスタの TS ビットを 111 にしないでください）。

外部クロックモード 1 と外部クロックモード 2 が同時に有効な場合、外部クロック入力は ETRF です。

ビット 5:4 **ETPS[1:0]**：外部トリガプリスケーラ

外部トリガ信号 ETRP の周波数は、f_{SYSCLK} 周波数の 1/4 でなければなりません。プリスケーラを有効にすると、ETRP 周波数を低減できます。これは、高速な外部クロックを入力するときに役立ちます。

00：プリスケーラオフ

01：ETRP 周波数は 2 分周されます。

10：ETRP 周波数は 4 分周されます。

11：ETRP 周波数は 8 分周されます。

ビット 3:0 **ETF[3:0]**：外部トリガフィルタ

このビットフィールドは、ETRP 信号のサンプリングに使用される周波数と、ETRP に適用されるデジタルフィルタの長さを定義します。デジタルフィルタはイベントカウンタでできていて、出力に有効な変化をもたらすには N 個のイベント発生が必要です。

0000：フィルタなし、サンプリングは f_{SYSCLK} で行われます。

0001：$f_{SAMPLING}=f_{SYSCLK}$、N = 2

0010：$f_{SAMPLING}=f_{SYSCLK}$、N = 4

0011：$f_{SAMPLING}=f_{SYSCLK}$、N = 8

0100：$f_{SAMPLING}=f_{SYSCLK}/2$、N = 6

0101：$f_{SAMPLING}=f_{SYSCLK}/2$、N = 8

0110：$f_{SAMPLING}=f_{SYSCLK}/4$、N = 6

0111：$f_{SAMPLING}=f_{SYSCLK}/4$、N = 8

1000：$f_{SAMPLING}=f_{SYSCLK}/8$、N = 6

1001：$f_{SAMPLING}=f_{SYSCLK}/8$、N = 8

1010：$f_{SAMPLING}=f_{SYSCLK}/16$、N = 5

1011：$f_{SAMPLING}=f_{SYSCLK}/16$、N = 6

1100：$f_{SAMPLING}=f_{SYSCLK}/16$、N = 8

1101：$f_{SAMPLING}=f_{SYSCLK}/32$、N = 5

1110：$f_{SAMPLING}=f_{SYSCLK}/32$、N = 6

1111：$f_{SAMPLING}=f_{SYSCLK}/32$、N = 8

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

20.5.5 DMA リクエストイネーブルレジスタ（TIMx_DER）

アドレスオフセット：0x04

リセット値：0x00

7	6	5	4	3	2	1	0
予約済み					CC2DE	CC1DE	UDE
					rw	rw	rw

ビット 7:3 予約済み、常に 0 として読み出されます。

ビット 2 **CC2DE**：キャプチャ /比較 2 DMA リクエストイネーブル(1)

0：CC2 DMA リクエストは無効です。

1：CC2 DMA リクエストは有効です。

ビット 1 **CC1DE**：キャプチャ /比較 1 DMA リクエストイネーブル(1)

0：CC1 DMA リクエストは無効です。

1：CC1 DMA リクエストは有効です。

ビット 0 **UDE**：更新 DMA リクエストイネーブル(1)

0：更新 DMA リクエストは無効です。

1：更新 DMA リクエストは有効です。

注： 更新イベントで DMA リクエストを生成するための条件は、UIF ビット（TIMx_SR1 レジスタの）をセットするための条件と同じです。特に、DMA リクエストは URS ビット（TIMx_CR1 レジスタの）に依存します。

1. DMA リクエストは実際のイベントに関連づけられ、ステータスビット（TIMx_SR1 レジスタの）には関連づけられません。したがって、対応するステータスビットがすでにセットされている状態で xxDE ビットに 1 が書き込まれた場合、DMA リクエストは送信されません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

20.5.6 割り込みイネーブルレジスタ（TIM x _IER）

アドレスオフセット：0x05

リセット値：0x00

7	6	5	4	3	2	1	0
BIE	TIE	予約済み			CC2IE	CC1IE	UIE
rw	rw				rw	rw	rw

ビット 7 **BIE**：ブレーク割り込みイネーブル
0：ブレーク割り込みは無効です。
1：ブレーク割り込みは有効です。

ビット 6 **TIE**：トリガ割り込みイネーブル
0：トリガ割り込みは無効です。
1：トリガ割り込みは有効です。

ビット 5:3 予約済み、クリアされた状態に保つ必要があります。

ビット 2 **CC2IE**：キャプチャ /比較 2 割り込みイネーブル
0：CC2 割り込みは無効です。
1：CC2 割り込みは有効です。

ビット 1 **CC1IE**：キャプチャ /比較 1 割り込みイネーブル
0：CC1 割り込みは無効です。
1：CC1 割り込みは有効です。

ビット 0 **UIE**：更新割り込みイネーブル
0：更新割り込みは無効です。
1：更新割り込みは有効です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

20.5.7 ステータスレジスタ 1（TIMx_SR1）

アドレスオフセット：0x06

リセット値：0x00

7	6	5	4	3	2	1	0
BIF	TIF	予約済み			CC2IF	CC1IF	UIF
rc_w0	rc_w0				rc_w0	rc_w0	rc_w0

ビット 7 **BIF**：ブレーク割り込みフラグ

このフラグは、ブレーク入力がアクティブになると、ハードウェアによってセットされます。ブレーク入力がアクティブでない場合、ソフトウェアによってクリアできます。

0：ブレークイベントは発生していません。

1：ブレーク入力でアクティブレベルが検出されました。

ビット 6 **TIF**：トリガ割り込みフラグ

このフラグは、トリガイベント時に（TRGI 信号でアクティブエッジが検出されたときと、ゲートモードが選択されている場合は両方のエッジが検出されたとき）ハードウェアによってセットされます。ソフトウェアによってクリアされます。

0：トリガイベントは発生していません。

1：トリガ割り込みがペンディング中です。

ビット 5:3 予約済み、クリアされた状態に保つ必要があります。

ビット 2 **CC2IF**：キャプチャ /比較 2 割り込みフラグ

CC1IF の説明を参照してください。

ビット 1 **CC1IF**：キャプチャ /比較 1 割り込みフラグ

チャネル CC1 が出力として設定されている場合：

このフラグは、カウンタの値が比較値と一致したときにハードウェアによってセットされます。ソフトウェアによってクリアされます。

0：一致なし。

1：カウンタ TIMx_CNT の内容が TIMx_CCR1 レジスタの内容と一致しました。

チャネル CC1 が入力として設定されている場合：

このビットは、キャプチャ時にハードウェアによってセットされます。ソフトウェアによって、または TIMx_CCR1L レジスタを読み出すことによってクリアされます。

0：入力キャプチャは発生していません。

1：カウンタの値が TIMx_CCR1 レジスタにキャプチャされました（IC1 で、選択された極性に一致するエッジが検出されました）。

ビット 0 **UIF**：更新割り込みフラグ

このビットは、更新イベント時にハードウェアによってセットされます。ソフトウェアによってクリアされます。

0：更新は発生していません。

1：更新割り込みがペンディング中です。このビットは、レジスタが以下で更新されたときにハードウェアによってセットされます。

– TIMx_CR1 レジスタの UDIS = 0 の場合、オーバーフローが発生したとき。

– TIMx_CR1 レジスタの URS=0 かつ UDIS=0 の場合、TIMx_EGR レジスタの UG ビットを使用して、ソフトウェアによって CNT が再初期化されたとき。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

20.5.8 ステータスレジスタ 2（TIMx_SR2）

アドレスオフセット：0x07

リセット値：0x00

7	6	5	4	3	2	1	0
予約済み					CC2OF	CC1OF	予約済み
					rc_w0	rc_w0	

ビット 7：3 予約済み

ビット 2 **CC2OF**：キャプチャ /比較 2 オーバーキャプチャフラグ

CC1OF の説明を参照してください。

ビット 1 **CC1OF**：キャプチャ /比較 1 オーバーキャプチャフラグ

このフラグは、対応するチャネルが入力キャプチャモードに設定されているときのみ、ハードウェアによってセットされます。0 を書き込むことによってソフトウェアによってクリアされます。

0：オーバーキャプチャは検出されていません。

1：CC1IF フラグがすでにセットされているときに、カウンタの値が TIMx_CCR1 レジスタにキャプチャされました。

ビット 0 予約済み。ハードウェアによって 0 に固定されています。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

20.5.9 イベント生成レジスタ（TIMx_EGR）

アドレスオフセット：0x08

リセット値：0x00

7	6	5	4	3	2	1	0
BG	TG	予約済み			CC2G	CC1G	UG
W	W				w	w	w

ビット 7 **BG**：ブレーク生成

このビットは、イベントを生成するために、ソフトウェアによってセットされます。ハードウェアによって自動的にクリアされます。

0：影響なし。

1：ブレークイベントが生成されます。MOE ビットがクリアされ、BIF フラグがセットされます。BIE ビットによって有効にされている場合、割り込みが生成されます。

ビット 6 **TG**：トリガ生成

このビットは、イベントを生成するために、ソフトウェアによってセットされます。ハードウェアによって自動的にクリアされます。

0：影響なし。

1：TIMx_SR1 レジスタの TIF フラグがセットされます。TIE ビットによって有効にされている場合、割り込みが生成されます。

ビット 5:3 予約済み

ビット 2 **CC2G**：キャプチャ /比較 2 生成

CC1G の説明を参照してください。

ビット 1 **CC1G**：キャプチャ /比較 1 生成

このビットは、イベントを生成するために、ソフトウェアによってセットされます。ハードウェアによって自動的にクリアされます。

0：影響なし。

1：チャネル 1 でキャプチャ /比較イベントが生成されます。

– CC1 チャネルが出力モードに設定されている場合：この場合、CC1IF フラグがセットされ、対応する割り込みリクエストが送信されます（有効な場合）。

– CC1 チャネルが入力モードに設定されている場合：この場合、カウンタの現在値が TIMx_CCR1 レジスタにキャプチャされます。CC1IF フラグがセットされ、対応する割り込みリクエストが送信されます（有効な場合）。CC1IF フラグがすでにハイの場合、CC1OF フラグがセットされます。

ビット 0 **UG**：更新生成

このビットは、ソフトウェアによってセットでき、ハードウェアによって自動的にクリアされます。

0：影響なし。

1：カウンタを再初期化し、レジスタの更新を生成します。プリスケーラカウンタもクリアされることに注意してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

20.5.10 キャプチャ /比較モードレジスタ 1（TIMx_CCMR1）

チャネルは、入力（キャプチャモード）または出力（比較モード）で使用できます。チャネルの方向は、CC1S ビットを設定することによって定義されます。このレジスタの他のビットはすべて、入力モードと出力モードで異なる意味を持ちます。特定のビットについて、OC*i* は、チャネルが出力に設定されているときの機能を示し、IC*i* は、チャネルが入力に設定されているときの機能を示します。したがって、同じビットが入力ステージと出力ステージで異なる意味を持つことに注意する必要があります。

アドレスオフセット：0x09

リセット値：0x00

出力に設定されたチャネル

7	6	5	4	3	2	1	0
	rw	rw	rw	rw		rw	rw
予約済み	OC1M[2:0]			OC1PE	OC1FE	CC1S[1:0]	
	rw	rw	rw	rw	rw	rw	rw

ビット 7 予約済み

ビット 6:4 **OC1M[2:0]**：出力比較 1 モード

これらのビットは、OC1 が生成される出力基準信号 OC1REF の動作を定義します。OC1REF はアクティブハイですが、OC1 のアクティブレベルは CC1P ビットに依存します。

000：凍結 - 出力比較レジスタ TIMx_CCR1 とカウンタ TIMx_CNT との間の比較結果は出力に影響しません。

001：一致時にチャネル 1 をアクティブレベルに設定します。OC1REF 信号は、カウンタ TIMx_CNT がキャプチャ /比較レジスタ 1（TIMx_CCR1）と一致したときに、強制的にハイになります。

010：一致時にチャネル 1 をインアクティブレベルに設定します。OC1REF 信号は、カウンタ TIMx_CNT がキャプチャ /比較レジスタ 1（TIMx_CCR1）と一致したときに、強制的にローになります。

011：反転 - TIMx_CNT = TIMx_CCR1 のとき、OC1REF は反転します。

100：強制インアクティブレベル - OC1REF は強制的にローになります。

101：強制アクティブレベル - OC1REF は強制的にハイになります。

110：PWM モード 1 - カウントアップ時、TIMx_CNT < TIMx_CCR1 の場合、チャネル 1 はアクティブになります。そうでない場合、チャネル 1 はインアクティブです。カウントダウン時、TIMx_CNT > TIMx_CCR1 の場合、チャネル 1 はインアクティブ（OC1REF=0）です。そうでない場合、チャネル 1 はアクティブ（OC1REF = 1）です。

111：PWM モード 2 - カウントアップ時、TIMx_CNT < TIMx_CCR1 の場合、チャネル 1 はインアクティブです。そうでない場合、チャネル 1 はアクティブです。

*注： **PWM モード 1 または 2 では、比較結果が変化したとき、または出力比較モードが凍結モードから PWM モードに変更されたときにのみ、OCiREF のレベルが変化します。詳細については、セクション 19.5.7 (310 ページ) を参照してください。***

ビット 3 **OC1PE**：出力比較 1 プリロードイネーブル

0：TIMx_CCR1 のプリロードレジスタは無効です。TIM1_CCR1 はいつでも書き込みが可能です。新しい値はただちに有効になります。

1：TIMx_CCR1 のプリロードレジスタは有効です。読み出し/書き込み動作はプリロードレジスタに対して行われます。TIMx_CCR1 プリロード値は、更新イベントのたびにシャドウレジスタにロードされます。

*注： **正しい動作のためには、プリロードレジスタは、タイマが PWM モードのときに有効でなければなりません。これは、ワンパルスモードの場合（TIMx_CR1 レジスタの OPM ビットがセットされている場合）は必須ではありません。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 2 **OC1FE**：出力比較 1 高速イネーブル

このビットは、トリガ入力のイベントから CC 出力への影響の伝播を加速するために使用されます。

0：CC1 は、トリガがオンであっても、通常はカウンタと CCR1 の値に依存します。トリガ入力のエッジ発生から CC1 が有効になるまでの最小遅延は、5 クロックサイクルです。

1：トリガ入力のアクティブエッジは、CC1 出力に対して比較一致のように働きます。このため、OC は、比較結果には関係なく、比較レベルにセットされます。トリガ入力をサンプリングし、CC1 出力を有効にするまでの遅延は、3 クロックサイクルに短縮されます。OCFE は、チャネルが PWM1 または PWM2 モードに設定されている場合のみ機能します。

ビット 1:0 **CC1S[1:0]**：キャプチャ /比較 1 選択

このビットフィールドは、チャネルの方向（入力/出力）と、使用される入力を定義します。

00：CC1 チャネルは出力として設定されます。

01：CC1 チャネルは入力として設定され、IC1 は TI1FP1 にマップされます。

10：CC1 チャネルは入力として設定され、IC1 は TI2FP1 にマップされます。

11：CC1 チャネルは入力として設定され、IC1 は TRC にマップされます。このモードは、TS ビット（TIM5_SMCR レジスタ）で内部トリガ入力が選択されている場合のみ機能します。

*注： **CC1S ビットは、チャネルがオフのときのみ（TIMx_CCER1 レジスタの CC1E=0 であり、更新されたとき）、書き込みができます。***

入力に設定されたチャネル

7	6	5	4	3	2	1	0
IC1F[3:0]				IC1PSC[1:0]		CC1S[1:0]	
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:4 **IC1F[3:0]**：入力キャプチャ 1 フィルタ

このビットフィールドは、TI1 入力をサンプルする周波数と、TI1 に適用されるデジタルフィルタの長さを定義します。デジタルフィルタはイベントカウンタでできていて、出力に有効な変化をもたらすには N 個のイベント発生が必要です。

0000：フィルタなし、サンプリングは f_{SYSCLK} で行われます。

0001：$f_{SAMPLING}= f_{SYSCLK}$、N = 2

0010：$f_{SAMPLING}= f_{SYSCLK}$、N = 4

0011：$f_{SAMPLING}= f_{SYSCLK}$、N = 8

0100：$f_{SAMPLING}=f_{SYSCLK}/2$、N = 6

0101：$f_{SAMPLING}=f_{SYSCLK}/2$、N = 8

0110：$f_{SAMPLING}=f_{SYSCLK}/4$、N = 6

0111：$f_{SAMPLING}=f_{SYSCLK}/4$、N = 8

1000：$f_{SAMPLING}=f_{SYSCLK}/8$、N = 6

1001：$f_{SAMPLING}=f_{SYSCLK}/8$、N = 8

1010：$f_{SAMPLING}=f_{SYSCLK}/16$、N = 5

1011：$f_{SAMPLING}=f_{SYSCLK}/16$、N = 6

1100：$f_{SAMPLING}=f_{SYSCLK}/16$、N = 8

1101：$f_{SAMPLING}=f_{SYSCLK}/32$、N = 5

1110：$f_{SAMPLING}=f_{SYSCLK}/32$、N = 6

1111：$f_{SAMPLING}=f_{SYSCLK}/32$、N = 8

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 3:2 **IC1PSC[1:0]**：入力キャプチャ 1 プリスケーラ

このビットフィールドは、CC1 入力（IC1）に作用するプリスケーラの分周比を定義します。プリスケーラは、CC1E=0（TIMx_CCER レジスタ）になるとリセットされます。

00：プリスケーラなし。キャプチャは、キャプチャ入力のエッジが検出されるたびに行われます。

01：イベント 2 回ごとにキャプチャが行われます。

10：イベント 4 回ごとにキャプチャが行われます。

11：イベント 8 回ごとにキャプチャが行われます。

注：　動作中に IC1PSC が変更された場合、内部イベントカウンタはリセットされません。この場合、次のキャプチャが発生するまで、古い値が使用されます。新しい値を強制的にすぐに有効にするには、CCIE ビットをクリアして、再びセットします。

ビット 1:0 **CC1S[1:0]**：キャプチャ /比較 1 選択

このビットフィールドは、チャネルの方向（入力/出力）と、使用される入力を定義します。

00：CC1 チャネルは出力として設定されます。

01：CC1 チャネルは入力として設定され、IC1 は TI1FP1 にマップされます。

10：CC1 チャネルは入力として設定され、IC1 は TI2FP1 にマップされます。

11：予約済み

注：　CC1S ビットは、チャネルがオフのときのみ（TIMx_CCER 1 レジスタの CC1E=0 であり、更新されたとき）、書き込みができます。

20.5.11 キャプチャ /比較モードレジスタ 2（TIMx_CCMR2）

注：　これらのビットの使用方法の詳細については、キャプチャ /比較モードレジスタ 1（TIMx_CCMR1）(377 ページ) を参照してください。

アドレスオフセット：0x0A

リセット値：0x00

出力に設定されたチャネル

7	6	5	4	3	2	1	0
予約済み	OC2M[2:0]			OC2PE	OC2FE	CC2S[1:0]	
	rw	rw	rw	rw	rw	rw	

ビット 7 予約済み

ビット 6:4 **OC2M[2:0]**：出力比較 2 モード

ビット 3 **OC2PE**：出力比較 2 プリロードイネーブル

ビット 2 **OC2FE**：出力比較 2 高速イネーブル

ビット 1:0 **CC2S[1:0]**：キャプチャ /比較 2 選択

このビットフィールドは、チャネルの方向（入力/出力）と、使用される入力を定義します。

00：CC2 チャネルは出力として設定されます。

01：CC2 チャネルは入力として設定され、IC2 は TI2FP2 にマップされます。

10：CC2 チャネルは入力として設定され、IC2 は TI1FP2 にマップされます。

11：CC2 チャネルは入力として設定され、IC2 は TRC に配置されます。このモードは、TS ビット（TIM5_SMCR レジスタ）で内部トリガ入力が選択されている場合のみ機能します。

注：　CC2S ビットは、チャネルがオフ（TIMx_CCER 1 レジスタの CC2E=0）のときにのみ書き込み可能です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

入力に設定されたチャネル

7	6	5	4	3	2	1	0
IC2F[3:0]				IC2PSC[1:0]		CC2S[1:0]	
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:4 **IC2F[3:0]**：入力キャプチャ 2 フィルタ

ビット 3:2 **IC2PCS[1:0]**：入力キャプチャ 2 プリスケーラ

ビット 1:0 **CC2S[1:0]**：キャプチャ /比較 2 選択

このビットフィールドは、チャネルの方向（入力/出力）と、使用される入力を定義します。

00：CC2 チャネルは出力として設定されます。

01：CC2 チャネルは入力として設定され、IC2 は TI2FP2 にマップされます。

10：CC2 チャネルは入力として設定され、IC2 は TI1FP2 にマップされます。

11：予約済み

注： CC2S ビットは、チャネルがオフ（TIMx_CCER 1 レジスタの CC2E=0）のときにのみ書き込み可能です。

20.5.12 キャプチャ /比較イネーブルレジスタ 1（TIMx_CCER1）

アドレスオフセット：0x0B

リセット値：0x00

7	6	5	4	3	2	1	0
予約済み		CC2P	CC2E	予約済み		CC1P	CC1E
		rw	rw			rw	rw

ビット 6:7 予約済み

ビット 5 **CC2P**：キャプチャ /比較 2 出力極性

CC1P の説明を参照してください。

ビット 4 **CC2E**：キャプチャ /比較 2 出力イネーブル

CC1E の説明を参照してください。

ビット 2:3 予約済み

ビット 1 **CC1P**：キャプチャ /比較 1 出力極性

CC1 チャネルが出力として構成されている場合：

0：OC1 はアクティブハイです。

1：OC1 はアクティブローです。

CC1 チャネルがキャプチャ機能のための入力として設定されている場合（図 93 を参照）：

0：キャプチャは TI1F または TI2F の立ち上がりエッジで行われます。

1：キャプチャは、TI1F または TI2F の立ち下がりエッジで行われます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 0 **CC1E**：キャプチャ /比較 1 出力イネーブル

CC1 チャネルが出力として設定されている場合：

0：オフ - OC1 はアクティブではありません。

1：オン - OC1 信号は、対応する出力ピンに出力されます。

CC1 チャネルが入力として設定されている場合：

この場合、このビットは、入力キャプチャ /比較レジスタ 1（TIMx_CCR1）でカウンタ値のキャプチャが可能かどうかを決めます。

0：キャプチャは無効です。

1：キャプチャは有効です。

20.5.13 カウンタハイ（TIMx_CNTRH）

アドレスオフセット：0x0C

リセット値：0x00

7	6	5	4	3	2	1	0
CNT[15:8]							
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:0 **CNT[15:8]**：カウンタ値（MSB）

20.5.14 カウンタロー（TIMx_CNTRL）

アドレスオフセット：0x0D

リセット値：0x00

7	6	5	4	3	2	1	0
CNT[7:0]							
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:0 **CNT[7:0]**：カウンタ値（MSB）

20.5.15 プリスケーラレジスタ（TIMx_PSCR）

アドレスオフセット：0x0E

リセット値：0x00

7	6	5	4	3	2	1	0
予約済み					PSC[2:0]		
					rw	rw	rw

ビット 7:3 予約済み

ビット 2:0 **PSC[2:0]**：プリスケーラ値

プリスケーラ値は、CK_PSC クロック周波数を分周します。

カウンタのクロック周波数 f_{CK_CNT} は $f_{CK_PSC} / 2^{(PSC[2:0])}$ に等しくなります。PSC[7:3] は、ハードウェアによって 0 に固定されています。

PSCR は、更新イベントごとにアクティブプリスケーラレジスタにロードされる値を含みます（TIMx_EGR レジスタの UG ビットを通じてカウンタがクリアされる場合を含みます）。

新しいプリスケーラ値が取り入れられるように、UEV が生成されなければなりません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

20.5.16 自動再ロードレジスタハイ（TIMx_ARRH）

アドレスオフセット：0x0F

リセット値：0xFF

7	6	5	4	3	2	1	0
ARR[15:8]							
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:0 **ARR[15:8]**：自動再ロード値（MSB）

ARR は、実際の自動再ロードレジスタにロードされる値です。

APR の更新と動作の詳細については、*セクション 19.3 : TIM1 タイムベースユニット (278 ページ)* を参照してください。

自動再ロード値が 0 のときには、カウンタはブロックされます。

20.5.17 自動再ロードレジスタ ロー（TIMx_ARRL）

アドレスオフセット：0x10

リセット値：0xFF

7	6	5	4	3	2	1	0
ARR[7:0]							
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:0 **ARR[7:0]**：自動再ロード値（LSB）

20.5.18 キャプチャ /比較レジスタ 1 ハイ（TIMx_CCR1H）

アドレスオフセット：0x11

リセット値：0x00

7	6	5	4	3	2	1	0
CCR1[15:8]							
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:0 **CCR1[15:8]**：キャプチャ /比較 1 の値（MSB）

CC1 チャネルが出力として設定されている場合（TIMx_CCMR1 レジスタの CC1S ビット）：

CCR1 の値は、プリロード機能が有効でない場合（TIMx_CCMR1 の OC1PE ビット）、実際のキャプチャ /比較 1 レジスタに不変にロードされます。そうでない場合、プリロード値は、UEV が発生したときに、アクティブキャプチャ /比較 1 レジスタにコピーされます。アクティブキャプチャ /比較レジスタは、カウンタレジスタ TIMx_CNT と比較されて、OC1 出力に送信される値を含みます。

CC1 チャネルが入力として設定されている場合（TIMx_CCMR1 レジスタの CC1S ビット）：

CCR1 の値は、最後の入力キャプチャ 1 イベント（IC1）によって転送されたカウンタ値です。この場合、これらのビットは読み出し専用です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

20.5.19 キャプチャ /比較レジスタ 1 ロー（TIMx_CCR1L）

アドレスオフセット：0x12

リセット値：0x00

7	6	5	4	3	2	1	0
CCR1[7:0]							
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:0 **CCR1[7:0]**：キャプチャ /比較 1 の値（LSB）

20.5.20 キャプチャ /比較レジスタ 2 ハイ（TIMx_CCR2H）

アドレスオフセット：0x13

リセット値：0x00

7	6	5	4	3	2	1	0
CCR2[15:8]							
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:0 **CCR2[15:8]**：キャプチャ /比較 2 の値（MSB）

CC2 チャネルが出力として設定されている場合（TIMx_CCMR2 レジスタの CC2S ビット）：
CCR2 の値は、プリロード機能が有効でない場合（TIMx_CCMR2 の OC2PE ビット）、実際のキャプチャ /比較 2 レジスタに不変にロードされます。そうでない場合、プリロード値は、UEV が発生したときに、アクティブキャプチャ /比較 2 レジスタにコピーされます。アクティブキャプチャ /比較レジスタは、カウンタレジスタ TIMx_CNT と比較され、OC2 出力に送信される値を含みます。

CC2 チャネルが入力として設定されている場合（TIMx_CCMR2 レジスタの CC2S ビット）：
CCR2 の値は、最後の入力キャプチャ 2 イベント（IC2）によって転送されたカウンタ値です。

20.5.21 キャプチャ /比較レジスタ 2 ロー（TIMx_CCR2L）

アドレスオフセット：0x14

リセット値：0x00

7	6	5	4	3	2	1	0
CCR2[7:0]							
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:0 **CCR2[7:0]**：キャプチャ /比較値（LSB）

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

20.5.22 ブレークレジスタ（TIMx_BKR）

アドレスオフセット：0x15

リセット値：0x00

7	6	5	4	3	2	1	0
MOE	AOE	BKP	BKE	予約済み	OSSI	LOCK	
rw	rw	rw	rw		rw	rw	rw

ビット 7 **MOE**：メイン出力イネーブル

このビットは、ブレーク入力がアクティブとなると、ハードウェアによって非同期にクリアされます。ソフトウェアによって、または、AOE ビットに応じて自動的にセットされます。出力として設定されたチャネルに対してのみ有効です。

0：OC 出力は無効か、または強制的にアイドル状態になります。

1：それぞれのイネーブルビットがセットされている場合（TIMx_CCER*i* レジスタの CCxE）、OC 出力は有効です。

詳細については、OC イネーブルの説明を参照してください（*セクション 19.8.14（346 ページ）*）。

ビット 6 **AOE**：自動出力イネーブル

0：MOE はソフトウェアによってのみセットできます。

1：MOE は、ソフトウェアによって、または次の UEV で自動的にセットされます（ブレーク入力がアクティブでない場合）。

注：　このビットは、LOCK レベル 1 がプログラムされると（TIMx_BKR レジスタの LOCK ビット）、変更できなくなります。

ビット 5 **BKP**：ブレーク極性

0：ブレーク入力 BKIN はアクティブローです。

1：ブレーク入力 BKIN はアクティブハイです。

注：　このビットは、LOCK レベル 1 がプログラムされると（TIMx_BKR レジスタの LOCK ビット）、変更できなくなります。

ビット 4 **BKE**：ブレークイネーブル

0：ブレーク入力（BKIN）は無効です。

1：ブレーク入力（BKIN）は有効です。

注：　このビットは、LOCK レベル 1 がプログラムされると（TIMx_BKR レジスタの LOCK ビット）、変更できなくなります。

ビット 3 予約済み、クリアされた状態に保つ必要があります。

ビット 2 **OSSI**：アイドルモードのオフ状態の選択

このビットは、MOE=0 のとき、出力として設定されているチャネルで使用されます。詳細については、OC イネーブルの説明を参照してください（*セクション 19.8.14（346 ページ）*）。

0：インアクティブのとき、OC*i* 出力は無効です（OC*i* イネーブル出力信号 = 0）。

1：インアクティブのとき、CC*i* E=1 になると、OC*i* 出力は、まず、強制的にアイドルレベルになります。（OC イネーブル出力信号 = 1）。

注：　このビットは、LOCK レベル 2 がプログラムされると（TIMx_BKR レジスタの LOCK ビット）、変更できなくなります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 1:0 **LOCK[1:0]**：ロック設定

これらのビットは、ソフトウェアエラーに対する書き込み保護を提供します。

00：LOCK オフ - どのビットも書き込み保護されません。

01：LOCK レベル 1 = TIMx_OSIR レジスタの OIS*i* ビットと TIMx_BKR レジスタの BKE/BKP/AOE ビットは書き込めなくなります。

10：LOCK レベル 2 = LOCK レベル 1 に加えて、CC 極性ビット（関連するチャネルが CC*i*S ビットを通じて出力に設定されている場合は、TIMx_CCER*i* レジスタの CC*i*P ビット）と OSSR および OSSI ビットも書き込めなくなります。

11：LOCK レベル 3 = LOCK レベル 2 に加えて、CC 制御ビット（関連するチャネルが CC*i*S ビットを通じて出力に設定されている場合は、TIMx_CCMR*i* レジスタの OC*i*M および OC*i*PE ビット）が書き込めなくなります。

注： ***LOCK ビットは、リセット後に一度だけ書き込みができます。TIMx_BKR レジスタに書き込みが行われると、これらのビットの値は次のリセットまで凍結されます。***

注： ***AOE、BKP、BKE、および OSSI は LOCK 設定に応じて書き込みがロックされるので、TIMx_BKR レジスタへの最初の書き込みアクセスで、これらのすべてを設定する必要があります。***

表 69. ブレーク機能を持つ OC*i* チャネルの出力制御ビット（ブレーク機能は組み込まれており、相補出力は組み込まれていない）

制御ビット			OC*i*/OC*i*_EN 出力の状態
MOE ビット	OSSI ビット	CC*i*E ビット	
1	x	0	出力無効（タイマによって駆動されない） OC*i* = CC*i*P、OC*i*_EN = 0
		1	OC*i* = OC*i*REF + 極性（OC*i*REF xor CC*i*P） OC*i*_EN = 1
0	0	0	出力無効（タイマによって駆動されない） OC*i* = CC*i*P、OC*i*_EN = 0
	0	1	
	1	0	
	1	1	オフ状態（インアクティブ状態で出力有効） OC*i* = OIS*i*、OCx_EN = 1

注： ***OCx チャネルに接続されている外部入出力ピンの状態は、OCx チャネルの状態と GPIO レジスタに依存します。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

20.5.23 出力アイドル状態レジスタ（TIMx_OISR）

アドレスオフセット：0x16

リセット値：0x00

7	6	5	4	3	2	1	0
予約済み					OIS2	予約済み	OIS1
					rw		rw

ビット 7:3 予約済み、クリアされた状態に保つ必要があります。

ビット 2 **OIS2**：出力アイドル状態 2（OC2 出力）
OIS1 ビットを参照

ビット 1 予約済み、クリアされた状態に保つ必要があります。

ビット 0 **OIS1**：出力アイドル状態 1（OC1 出力）
0：MOE = 0 のとき、OC1 = 0
1：MOE = 1 のとき、OC1 = 0

注： このビットは、LOCK レベル 1、2、または 3 がプログラムされると（TIMx_BKR レジスタの LOCK ビット）、変更できなくなります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

20.5.24 TIMx レジスタマップとリセット値

表 70. TIMx レジスタマップ

アドレスオフセット	レジスタ名	7	6	5	4	3	2	1	0
0x00	TIMx_CR1 リセット値	ARPE 0	CMS1 0	CMS0 0	DIR 0	OPM 0	URS 0	UDIS 0	CEN 0
0x01	TIMx_CR2 リセット値	TI1S 0	MMS2 0	MMS1 0	MMS0 0	CCDS 0	- 0	- 0	- 0
0x02	TIMx_SMCR リセット値	MSM 0	TS2 0	TS1 0	TS0 0	- 0	SMS2 0	SMS1 0	SMS0 0
0x03	TIMx_ETR リセット値	ETP 0	ECE 0	ETPS1 0	ETPS0 0	EFT3 0	EFT2 0	EFT1 0	EFT0 0
0x04	TIMx_DER リセット値	- 0	- 0	- 0	- 0	- 0	CC2DE 0	CC1DE 0	UDE 0
0x05	TIMx_IER リセット値	BIE 0	TIE 0	- 0	- 0	- 0	CC2IE 0	CC1IE 0	UIE 0
0x06	TIMx_SR1 リセット値	BIF 0	TIF 0	- 0	- 0	- 0	CC2IF 0	CC1IF 0	UIF 0
0x07	TIMx_SR2 リセット値	- 0	- 0	- 0	- 0	- 0	CC2OF 0	CC1OF 0	- 0
0x08	TIMx_EGR リセット値	BG 0	TG 0	- 0	- 0	- 0	CC2G 0	CC1G 0	UG 0
0x09	TIMx_CCMR1 （出力モード） リセット値	- 0	OC1M2 0	OC1M1 0	OC1M0 0	OC1PE 0	OC1FE 0	CC1S1 0	CC1S0 0
	TIMx_CCMR1 （入力モード） リセット値	IC1F3 0	IC1F2 0	IC1F1 0	IC1F0 0	IC1PSC1 0	IC1PSC0 0	CC1S1 0	CC1S0 0
0x0A	TIMx_ CCMR2 （出力モード） リセット値	- 0	OC2M2 0	OC2M1 0	OC2M0 0	OC2PE 0	OC2FE 0	CC2S1 0	CC2S0 0
	TIMx_CCMR2 （入力モード） リセット値	IC2F3 0	IC2F2 0	IC2F1 0	IC2F0 0	IC2PSC1 0	IC2PSC0 0	CC2S1 0	CC2S0 0
0x0B	TIMx_CCER1 リセット値	- 0	- 0	CC2P 0	CC2E 0	- 0	- 0	CC1P 0	CC1E 0
0x0C	TIMx_CNTRH リセット値	CNT15 0	CNT14 0	CNT13 0	CNT12 0	CNT11 0	CNT10 0	CNT9 0	CNT8 0
0x0D	TIMx_CNTRL リセット値	CNT7 0	CNT6 0	CNT5 0	CNT4 0	CNT3 0	CNT2 0	CNT1 0	CNT0 0
0x0E	TIMx_PSCR リセット値	- 0	- 0	- 0	- 0	- 0	PSC2 0	PSC1 0	PSC0 0
0x0F	TIMx_ARRH リセット値	ARR15 1	ARR14 1	ARR13 1	ARR12 1	ARR11 1	ARR10 1	ARR9 1	ARR8 1
0x10	TIMx_ARRL リセット値	ARR7 1	ARR6 1	ARR5 1	ARR4 1	ARR3 1	ARR2 1	ARR1 1	ARR0 1
0x11	TIMx_CCR1H リセット値	CCR115 0	CCR114 0	CCR113 0	CCR112 0	CCR111 0	CCR110 0	CCR19 0	CCR18 0
0x12	TIMx_CCR1L リセット値	CCR17 0	CCR16 0	CCR15 0	CCR14 0	CCR13 0	CCR12 0	CCR11 0	CCR10 0
0x13	TIMx_CCR2H リセット値	CCR215 0	CCR214 0	CCR213 0	CCR212 0	CCR211 0	CCR210 0	CCR29 0	CCR28 0

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

参考資料

表 70. TIMx レジスタマップ （続き）

アドレスオフセット	レジスタ名	7	6	5	4	3	2	1	0
0x14	TIMx_CCR2L リセット値	CCR27 0	CCR26 0	CCR25 0	CCR24 0	CCR23 0	CCR22 0	CCR21 0	CCR20 0
0x15	TIMx_BKR リセット値	MOE 0	AOE 0	BKP 0	BKE 0	OSSR 0	OSSI 0	LOCK 0	LOCK 0
0x16	TIMx_OISR リセット値	- 0	OIS4 0	OIS3N 0	OIS3 0	OIS2N 0	OIS2 0	OIS1N 0	OIS1 0

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

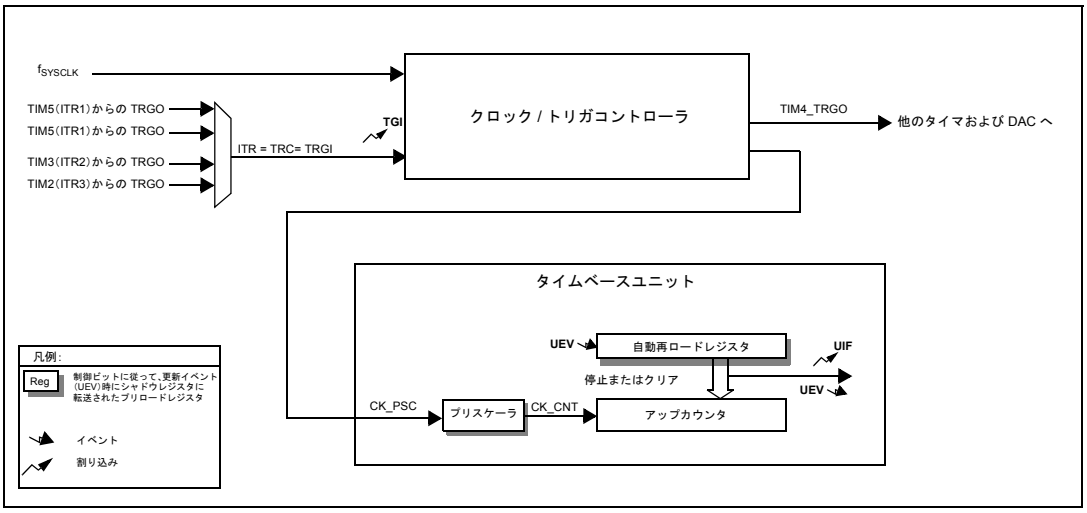
21 8 ビット基本タイマ（TIM4）

21.1 概要

このタイマは、プログラマブルなプリスケーラによって駆動される 8 ビット自動再ロードカウンタで構成されています。タイマオーバーフロー時の割り込み生成機能を備え、タイムベース生成に使用できます。

タイマ機能の一般的な説明については、*セクション 19.3（278 ページ）*を参照してください。

図 119. TIM4 ブロック図



21.2 TIM4 の主な機能

主な機能は、次のとおりです。

- 8 ビット自動再ロードアップカウンタ
- カウンタクロック周波数を 1 から 32768 までの任意の 2 の累乗で（動作中に）分周できる 4ビットプログラマブルプリスケーラ。
- 割り込みの生成
  - カウンタ更新時：カウンタオーバーフロー
  - トリガ入力時
- DMA リクエストの生成
  - カウンタ更新時：カウンタオーバーフロー

21.3 TIM4 割り込み

タイマには 2 つの割り込みリクエストソースがあります。

- 更新割り込み（オーバーフロー、カウンタ初期化）
- トリガ入力

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

21.4 TIM4 クロックの選択

このタイマのクロックソースは、内部クロック（f_{SYSCLK}）です。カウンタクロック CK_CNT を駆動するプリスケーラに供給される CK_PSC クロックに直接接続されます。

プリスケーラ

プリスケーラは以下のように動作します。

- TIM4 プリスケーラは、4 ビットレジスタ（TIM4_PSCR レジスタ）を介して制御される 16 ビットのカウンタに基づきます。この制御レジスタはバッファされるので、動作中に変更できます。カウンタクロック周波数を 1 から 32768 までの任意の 2 の累乗で分周することができます。

  カウンタクロック周波数は、次の式で計算されます。

  $f_{CK_CNT} = f_{CK_PSC}/2^{(PSCR[3:0])}$

プリスケーラの値は、プリロードレジスタを介してロードされます。シャドウレジスタは、使用される現在値を含み、LS バイトが書き込まれるとロードされます。

TIM_PSCR レジスタの読み出し動作はプリロードレジスタにアクセスするので、読み出しには特別な注意が必要です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

21.5 TIM4 レジスタ

21.5.1 制御レジスタ 1（TIM4_CR1）

アドレスオフセット：0x00

リセット値：0x00

7	6	5	4	3	2	1	0
ARPE	予約済み			OPM	URS	UDIS	CEN
rw				rw	rw	rw	rw

ビット 7 **ARPE**：自動再ロードプリロードイネーブル

0：TIM4_ARR レジスタは、プリロードレジスタを通じてバッファされません。直接書き込むことができます。

1：TIM4_ARR レジスタは、プリロードレジスタを通じてバッファされます。

ビット 6:4 予約済み、クリアされた状態に保つ必要があります。

ビット 3 **OPM**：ワンパルスモード

0：カウンタは更新イベントで停止しません。

1：カウンタは次の更新イベントでカウントを停止します（CEN ビットをクリアします）。

ビット 2 **URS**：更新リクエストソース

0：有効なときには、レジスタが更新されると（カウンタオーバーフロー）、更新割り込みリクエストが送信されます。

1：有効なときには、カウンタがオーバーフロー /アンダーフローしたときのみ、更新割り込みリクエストが送信されます。

ビット 1 **UDIS**：更新ディセーブル

0：カウンタオーバーフローが発生したとき、またはソフトウェア更新が生成されたとき、UEV が生成されます。バッファを持つレジスタにはプリロード値がロードされます。

1：UEV は生成されず、シャドウレジスタ（ARR、PSC）は値を維持します。UG ビットがセットされている場合、カウンタとプリスケーラは再初期化されます。

ビット 0 **CEN**：カウンタイネーブル

0：カウンタは無効です。

1：カウンタは有効です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

21.5.2 制御レジスタ 2（TIM4_CR2）

アドレスオフセット：0x01

リセット値：0x00

7	6	5	4	3	2	1	0
予約済み	MMS[2:0]			予約済み			
	rw	rw	rw				

ビット 7 予約済み、クリアされた状態に保つ必要があります。

ビット 6:4 **MMS[2:0]**：マスタモード選択

これらのビットは、同期のためにマスタモードでスレーブタイマに送信される情報（TRGO）を選択するために使用されます。組み合わせは、次のとおりです。

000：リセット - TIM4_EGR レジスタの UG ビットがトリガ出力（TRGO）として使用されます。トリガ入力によってリセットが生成された場合（クロック/トリガモードコントローラがトリガリセットモードに設定されているとき）、TRGO 信号は実際のリセットより遅延します。

001：イネーブル - カウンタイネーブル信号がトリガ出力（TRGO）として使用されます。複数のタイマを同時に開始するときや、スレーブタイマが有効な時間枠を制御するために使用されます。カウンタイネーブル信号は、CEN 制御ビットとゲートモードに設定されているときのトリガ入力との論理和（OR）によって生成されます。カウンタイネーブル信号がトリガ入力によって制御されているとき、マスタ/スレーブモードが選択されている場合を除いて、TRGO 出力には遅延が存在します（TIM4_SMCR レジスタの MSM ビットの説明を参照）。

010：更新 - 更新イベントがトリガ出力（TRGO）として選択されます。

011：予約済み

100：予約済み

101：予約済み

111：予約済み

ビット 3:0 予約済み、クリアされた状態に保つ必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

21.5.3 スレーブモード制御レジスタ（TIM4_SMCR）

アドレスオフセット：0x02

リセット値：0x00

7	6	5	4	3	2	1	0
MSM	TS[2:0]			予約済み	SMS[2:0]		
rw	rw	rw	rw		rw	rw	rw

ビット 7 **MSM**：マスタ/スレーブモード

0：影響なし。

1：トリガ入力（TRGI）に対するイベントの効果は、タイマ間の完全な同期（TRGO を通じて）を可能にするために遅延されます。

ビット 6:4 **TS[2:0]**：トリガ選択

このビットフィールドは、カウンタを同期するために使用されるトリガ入力を選択します。

000：内部トリガ ITR0 は TIM5 TRGOに接続されます。

001：内部トリガ ITR1 は TIM1 TRGOに接続されます。

010：内部トリガ ITR2 は TIM3 TRGOに接続されます。

011：内部トリガ ITR3 は TIM2 TRGOに接続されます。

100：予約済み

101：予約済み

110：予約済み

111：予約済み

注： 設定変更時の誤ったエッジ検出を避けるために、これらのビットは、使用されていないとき（SMS=000 のときなど）にのみ変更しなければなりません。

ビット 3 予約済み、常に 0 として読み出されます。

ビット 2:0 **SMS[2:0]**：クロック/トリガ/スレーブモード選択

外部信号が選択されると、トリガ信号（TRGI）のアクティブエッジが外部入力で選択された極性にリンクされます（入力制御レジスタおよび制御レジスタの説明を参照してください）。

000：クロック/トリガコントローラは無効です。CEN = 1 の場合、プリスケーラは内部クロックによって直接クロック供給されます。

001：予約済み

010：予約済み

011：予約済み

100：トリガリセットモード - 選択されたトリガ信号（TRGI）の立ち上がりエッジで、カウンタが再初期化され、レジスタの更新が生成されます。

101：ゲートモード - カウンタクロックは、トリガ信号（TRGI）がハイのときに有効です。トリガがローになると、カウンタは停止します（リセットはされません）。カウンタの開始と停止の両方が制御されます。

110：トリガモード - カウンタは、トリガ入力（TRGI）の立ち上がりエッジで開始します（リセットはされません）。カウンタの開始のみが制御されます。

111：外部クロックモード 1 - 選択されたトリガ（TRGI）の立ち上がりエッジで、カウンタのクロックが供給されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

21.5.4 DMA リクエストイネーブルレジスタ（TIM4_DER）

アドレスオフセット：0x03

リセット値：0x00

7	6	5	4	3	2	1	0
予約済み							UDE
							rw

ビット 7:1 予約済み、常に 0 として読み出されます。

ビット 0 **UDE**：更新 DMA リクエストイネーブル(1)

0：更新 DMA リクエストは無効です。

1：更新 DMA リクエストは有効です。

注： UEV で DMA リクエストを生成するための条件は、UIF ビット（TIM4_SR1 レジスタの）をセットするための条件と同じです。特に、DMA リクエストは URS ビット（TIM4_CR1 レジスタの）に依存します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

21.5.5 割り込みイネーブルレジスタ（TIM4_IER）

アドレスオフセット：0x04

リセット値：0x00

7	6	5	4	3	2	1	0
予約済み	TIE	予約済み					UIE
	rw						rw

ビット 7 予約済み、クリアされた状態に保つ必要があります。

ビット 6 **TIE**：トリガ割り込みイネーブル

0：トリガ割り込みは無効です。

1：トリガ割り込みは有効です。

ビット 5:1 予約済み、クリアされた状態に保つ必要があります。

ビット 0 **UIE**：更新割り込みイネーブル

0：更新割り込みは無効です。

1：更新割り込みは有効です。

21.5.6 ステータスレジスタ 1（TIM4_SR）

アドレスオフセット：0x05

リセット値：0x00

7	6	5	4	3	2	1	0
予約済み	TIF	予約済み					UIF
	rc_w0						rc_w0

ビット 7 予約済み、クリアされた状態に保つ必要があります。

ビット 6 **TIF**：トリガ割り込みフラグ

このフラグは、トリガイベント時に（TRGI 信号でアクティブエッジが検出されたときと、ゲートモードが選択されている場合は両方のエッジが検出されたとき）ハードウェアによってセットされます。ソフトウェアによってクリアされます。

0：トリガイベントは発生していません。

1：トリガ割り込みがペンディング中です。

ビット 5:1 予約済み、クリアされた状態に保つ必要があります。

ビット 0 **UIF**：更新割り込みフラグ

このビットは、更新イベント時にハードウェアによってセットされます。ソフトウェアによってクリアされます。

0：更新は発生していません。

1：更新割り込みがペンディング中です。このビットは、レジスタが以下で更新されたときにハードウェアによってセットされます。

– TIM4_CR1レジスタの UDIS = 0 の場合、オーバーフローが発生したとき。

– TIM4_CR1 レジスタの URS=0 かつ UDIS=0 の場合、TIM4_EGR レジスタの UG ビットを使用して、ソフトウェアによって CNT が再初期化されたとき。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

21.5.7 イベント生成レジスタ（TIM4_EGR）

アドレスオフセット：0x06

リセット値：0x00

7	6	5	4	3	2	1	0
予約済み	TG	予約済み					UG
	w						w

ビット 7 予約済み、クリアされた状態に保つ必要があります。

ビット 6 **TG**：トリガ生成

このビットは、イベントを生成するために、ソフトウェアによってセットされます。ハードウェアによって自動的にクリアされます。

0：影響なし。

1：TIM4_SR1 レジスタの TIF フラグがセットされます。TIE ビットによって有効にされている場合、割り込みが生成されます。

ビット 5:1 予約済み、クリアされた状態に保つ必要があります。

ビット 0 **UG**：更新生成

このビットは、ソフトウェアによってセットでき、ハードウェアによって自動的にクリアされます。

0：影響なし。

1：カウンタを再初期化し、レジスタの更新を生成します。プリスケーラカウンタもクリアされることに注意してください。

21.5.8 カウンタ（TIM4_CNTR）

アドレスオフセット：0x07

リセット値：0x00

7	6	5	4	3	2	1	0
CNT[7:0]							
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:0 **CNT[7:0]**：カウンタ値

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

21.5.9 プリスケーラレジスタ（TIM4_PSCR）

アドレスオフセット：0x08

リセット値：0x00

7	6	5	4	3	2	1	0
予約済み				PSC[3:0]			
				rw	rw	rw	rw

ビット 7：34 予約済み、クリアされた状態に保つ必要があります。

ビット 3:0 **PSC[3:0]**：プリスケーラ値

プリスケーラ値は、CK_PSC クロック周波数を分周します。カウンタのクロック周波数 f_{CK_CNT} は f_{CK_PSC} / 2(PSC[3:0]) に等しくなります。

PSC は、UEV ごとにアクティブプリスケーラレジスタにロードされる値を含みます（TIM4_EGR レジスタの UG ビットを通じてカウンタがクリアされる場合を含みます）。

したがって、新しいプリスケーラ値が取り入れられるように、UEV が生成されなければなりません。

21.5.10 自動再ロードレジスタ（TIM4_ARR）

アドレスオフセット：0x09

リセット値：0xFF

7	6	5	4	3	2	1	0
ARR[7:0]							
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:0 **ARR[7:0]**：自動再ロード値

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

21.5.11 TIM4 レジスタマップとリセット値

表 71. TIM4 レジスタマップ

アドレスオフセット	レジスタ名	7	6	5	4	3	2	1	0
0x00	TIM4_CR1 リセット値	ARPE 0	- 0	- 0	- 0	OPM 0	URS 0	UDIS 0	CEN 0
0x01	TIM4_CR2 リセット値	- 0	MMS2 0	MMS1 0	MMS0 0	- 0	- 0	- 0	- 0
0x02	TIM4_SMCR リセット値	MSM 0	TS2 0	TS1 0	TS0 0	- 0	SMS2 0	SMS1 0	SMS0 0
0x03	TIM4_DER リセット値	- 0	- 0	- 0	- 0	- 0	- 0	- 0	UDE 0
0x04	TIM4_IER リセット値	- 0	TIE 0	- 0	- 0	- 0	- 0	- 0	UIE 0
0x05	TIM4_SR1 リセット値	- 0	TIF 0	- 0	- 0	- 0	- 0	- 0	UIF 0
0x06	TIM4_EGR リセット値	- 0	TG 0	- 0	- 0	- 0	- 0	- 0	UG 0
0x07	TIM4_CNTR リセット値	CNT7 0	CNT6 0	CNT5 0	CNT4 0	CNT3 0	CNT2 0	CNT1 0	CNT0 0
0x08	TIM4_PSCR リセット値	- 0	- 0	- 0	- 0	PSC3 0	PSC2 0	PSC1 0	PSC0 0
0x09	TIM4_ARR リセット値	ARR7 1	ARR6 1	ARR5 1	ARR4 1	ARR3 1	ARR2 1	ARR1 1	ARR0 1

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

22 赤外線インタフェース（IRTIM）

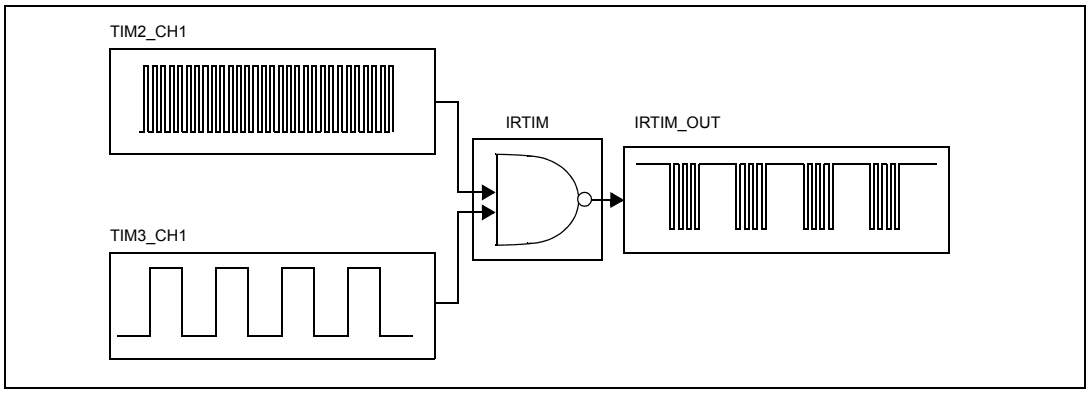
このセクションの説明は、特に指定がない限り、中容量 STM8L15x デバイス、中+容量 STM8L15x デバイス、および大容量 STM8L15x/STM8L16x デバイスに適用されます。

22.1 概要

赤外線インタフェース（IRTIM）は、リモート制御機能を実行するために IR LED と組み合わせて使用できます。

赤外線リモート制御信号を生成するには、IR インタフェ —スを有効にし、正しい波形を生成するように TIM2 チャネル 1（TIM2_OC1）と TIM3 チャネル 1（TIM3_OC1）を適切に設定する必要があります。

図 120. TIM2 および TIM3 と IR の内部ハードウェア接続



22.2 主な機能

すべての標準的 IR パルス変調モードは、2 つのタイマ出力比較チャネルをプログラミングすることによって指定できます。
TIM2 は高周波キャリヤ信号を生成するために使用されるのに対して、TIM3 は変調包絡線を生成します。

赤外線機能は IR_TIM ピンに出力されます。この機能の起動は、IR_CR レジスタを通じて行われます。IR_EN ビットをセットすることによって IR 機能が有効にされると、標準の TIM2_CC1 と TIM3_CC1 は自動的にインアクティブとなります（これらのピンは汎用 I/O ピンとして、または他の代替機能のために使用することができます）。

大電流シンクの LED ドライバ機能（IR_TIM ピンでのみ使用可能）は、IR_CR レジスタの HS_EN ビットを通じて起動でき、赤外線 LED の直接制御に必要な大電流を流すために使用できます。ピンがこのモードで LED を駆動しているときには、他のピンの入出力レベルは保証されません。したがって、赤外線信号を送信する前に、他のすべてのデバイスの I/O を割り込みなしの入力モードにプログラムすることを推奨します。赤外線通信の完了後すぐに、以前の機能を復元できます。
ピンの大電流シンク機能が使用されていないとき（または電流が標準 I/O 機能に限られているとき）、デバイスの他のすべてのピンは通常どおりに使用できます。

22.3 IRTIM レジスタ

22.3.1 制御レジスタ（IR_CR）

リセット値：0x00

7	6	5	4	3	2	1	0
予約済み	予約済み	予約済み	予約済み	予約済み	予約済み	HS_EN	IR_EN
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:2 予約済み。クリアされた状態に保つ必要があります。

ビット 1 **HS_EN** *:* 大電流シンク LED ドライバ機能イネーブル

0：大電流シンク LED ドライバ機能は無効です。

1：大電流シンク LED ドライバ機能は有効です。

このピンがアクティブ化されると、電源が 2 V まで低下した状態でも最小 20 mAの電流を流すことができます。

ビット 0 **IR_EN** *:* 赤外線出力イネーブル

このビットは、IR 出力を有効にします。

0：IR_TIM 出力は無効です。

1：IR_TIM 出力は有効であり、PA0 に供給されます（TIM2 と TIM3 はソフトウェアによってあらかじめ適切に設定されていなければなりません）。

22.3.2 IR TIM レジスタマップとリセット値

表 72. IR レジスタマップ

アドレスオフセット	レジスタ名	7	6	5	4	3	2	1	0
0x00	IR_CR リセット値	- 0	- 0	- 0	- 0	- 0	- 0	HS_EN 0	IR_EN 0

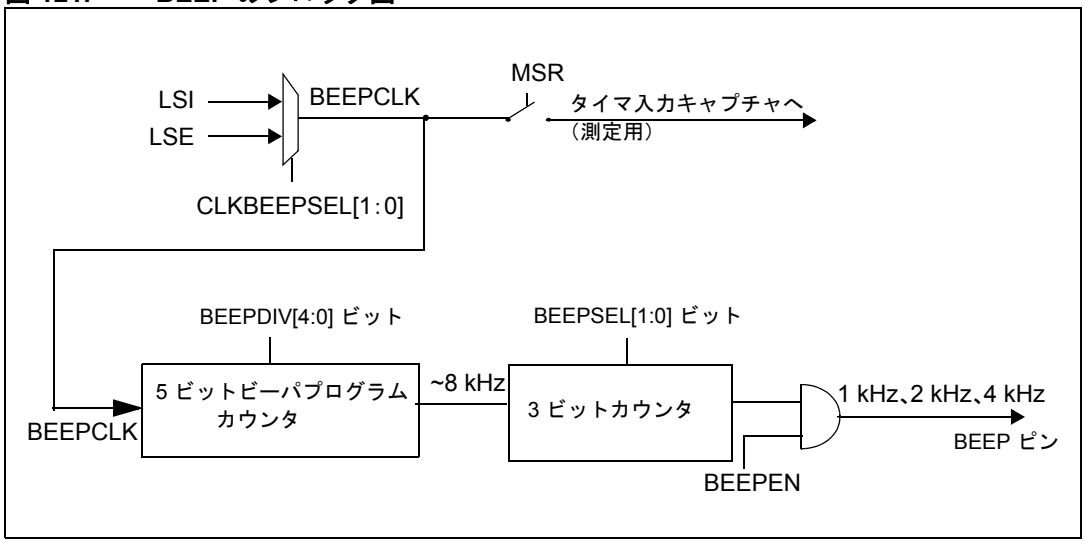
23 ビーパ（BEEP）

このセクションの説明は、特に指定がない限り、中容量 STM8L15x デバイス、中+容量 STM8L15x デバイス、および大容量 STM8L15x/STM8L16x デバイスに適用されます。

23.1 概要

このビーパモジュールは、1、2、または 4 kHz の範囲で BEEP 信号を生成するために使用されます。ビーパクロックは、LSE または LSI クロックから派生されます。クロックは、クロックビープレジスタ（CLK_CBEEPR）の CLKBEEPSEL[1：0] ビットをプログラムすることによって選択されます。

図 121. BEEP のブロック図



23.2 BEEP 機能の説明

23.2.1 ビーパの動作

BEEP 機能を使用するには、以下の手順を順に実行します。

1. *セクション 23.2.2：ビーパの較正* の説明に従って LSI クロック周波数を較正して、BEEPDIV[4:0] の値を定義します。
2. *BEEP 制御/ステータスレジスタ 2（BEEP_CSR2）* の BEEPSEL[1:0] ビットに書き込むことによって、1 kHz、2 kHz、または 4 kHz の出力周波数を選択します。
3. *BEEP 制御/ステータスレジスタ 2（BEEP_CSR2）* の BEEPEN ビットをセットして、LS のクロックソースを有効にします。

注： ***BEEPDIV[4:0] の値がリセット値 0x1F と違う場合にのみ、プリスケーラカウンタはカウントを開始します。***

23.2.2 ビーパの較正

この手順を使用して LSI クロックソースを較正し、標準周波数出力 1 kHz、2 kHz、または 4 kHz を得ることができます。

以下の手順に従ってください。

1. CLK_CBEEPR レジスタの CLKBEEPSEL ビットをリセットすることによって、BEEP クロックを無効にします。
2. LSI クロック周波数を測定します（*セクション 23.2.3：LSI クロック周波数の測定* を参照）。

注： ***この手順は、ビーパが LSI クロックソースからクロックを供給されているときに行います。***

3. 次のように、$BEEP_{DIV}$ の値を計算します。A と x は、それぞれ BEEPCLK/8（kHz）の整数部と小数部です。

   x が A/(1+2*A) より小さいか等しいときには、$BEEP_{DIV}$ = A-2 です。そうでない場合、

   $BEEP_{DIV}$ = A-1 です。
4. 結果として得られた $BEEP_{DIV}$ の値を *BEEP 制御/ステータスレジスタ 2（BEEP_CSR2）* の BEEPDIV[4:0] ビットに書き込みます。

23.2.3 LSI クロック周波数の測定

RC の工場トリミング後の低速内部 RC（LSI）オシレータの周波数は、全温度範囲で 38 kHz です。正確なビーパ出力を得るには、正確な LSI 周波数を測定する必要があります。

以下の手順に従ってください。

1. *BEEP 制御/ステータスレジスタ 1 (BEEP_CSR1)* の MSR ビットをセットして、LSI クロックを TIM2 タイマの ICAP1 に内部接続します。
2. タイマ入力キャプチャ割り込みを使用して、LSI クロックの周波数を測定します。

23.3 BEEP レジスタ

23.3.1 BEEP 制御/ステータスレジスタ 1 (BEEP_CSR1)

アドレスオフセット：0x00

リセット値：0x00

7	6	5	4	3	2	1	0
予約済み							MSR
							rw

ビット 7:1 予約済み。クリア状態に保つ必要があります。

ビット 0 **MSR**：測定イネーブル

このビットは、BEEPCLK を TIM2 チャネル 1 入力キャプチャに接続します。これによって、タイマを使用して LSI 周波数を測定できます（f_{LSI}）。

0：測定は無効です。

1：測定は有効です。

23.3.2 BEEP 制御/ステータスレジスタ 2（BEEP_CSR2）

アドレスオフセット：0x03

リセット値：0x1F

7	6	5	4	3	2	1	0
BEEPSEL[1:0]		BEEPEN	BEEPDIV[4:0]				
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:6 **BEEPSEL[1:0]**：BEEP 選択

これらのビットは、較正終了時に 1 kHz、2 kHz、または 4 kHz の BEEP 出力を選択するために、ソフトウェアによってセット/クリアされます。

00：BEEPCLK/(8 x $BEEP_{DIV}$) kHz 出力

01：BEEPCLK/(4 x $BEEP_{DIV}$) kHz 出力

1x：BEEPCLK/(2 x $BEEP_{DIV}$) kHz 出力

ビット 5 **BEEPEN**：BEEP イネーブル

このビットは、BEEP 機能を有効にするために、ソフトウェアによってセット/クリアされます。

0：BEEP 機能は無効です。

1：BEEP 機能は有効です。

注： ***BEEP 機能を有効または無効にする前に、CLK_CBEEPR レジスタの CLKBEEPSEL[1:0] ビットをリセットすることによって BEEP クロックを無効にする必要があります。***

ビット 4:0 **BEEPDIV[4:0]**：*BEEP プリスケーラディバイダ*

これらのビットは、ビーパのプリスケーラ分周比 $BEEP_{DIV}$ を定義するために、ソフトウェアによってセット/クリアされます。

0x00：$BEEP_{DIV}$ = 2

0x01：$BEEP_{DIV}$ = 3

...

0x0E：$BEEP_{DIV}$ = 16

0x0F：$BEEP_{DIV}$ = 17

....

0x1E：$BEEP_{DIV}$ = 32

注： ***このレジスタは、リセット値（0x1F）に保持されてはなりません。***

23.3.3 BEEP レジスタマップとリセット値

表 73. BEEP レジスタマップ

アドレスオフセット	レジスタ名	7	6	5	4	3	2	1	0
0x00	BEEP_CSR1	- 0	- 0	- 0	- 0	- 0	- 0	- 0	MSR 0
0x01～ 0x02	予約済み								
0x03	BEEP_CSR2	BEEPSEL2 0	BEEPSEL1 0	BEEPEN 0	BEEPDIV4 1	BEEPDIV3 1	BEEPDIV2 1	BEEPDIV1 1	BEEPDIV0 1

24 リアルタイムクロック（RTC）

このセクションの説明は、特に指定がない限り、中容量 STM8L15x デバイス、中+容量 STM8L15x デバイス、および大容量 STM8L15x/STM8L16x デバイスに適用されます。

24.1 概要

リアルタイムクロック（RTC）は、独立した BCD タイマ/カウンタです。日時クロックおよびカレンダと、関連するプログラマブルなアラームを提供します。RTC は、低電力モードの管理に便利な自動ウェイクアップ機能も含んでいます。

8 ビットレジスタは、サブセカンド（1 秒以下、但し中容量と大容量デバイスのみ）、秒、分、時（12 または 24 時間表示）、日（曜日）、日付、月、および年の情報を、バイナリコード 10 進形式（BCD）で含みます。28 日、29 日（閏年）、30 日、および 31 日 の調整は自動的に行われます。

追加の 8 ビットレジスタは、プログマブルアラームのサブセカンド（中+容量および大容量デバイスのみ）、秒、分、時、曜日、および日付の情報を含みます。

中+容量および大容量デバイスでは、0.954 ppm の精度で RTC を較正することもできます。

リセット後、RTC レジスタは不正な書き込みアクセスから保護されます。

電源電圧が動作範囲内にある限り、RTC は、MCU の状態（Run モード、低電力モード、またはリセット中）に関係なく、停止することはありません。

24.2 RTC の主な機能

RTC ユニットの主な機能は、次のとおりです（*図 122: RTC のブロック図（中容量デバイス）*および*図 123: RTC のブロック図（中+容量および大容量デバイス）*を参照）。

- サブセカンド（中+容量および大容量デバイスのみ）、秒、分、時（12 または 24 時間表示）、曜日、日付、月、および年を含むカレンダ。
- ソフトウェアによる夏時間調整。
- 割り込み機能付きプログラマブルアラーム（アラーム A）。アラームは、カレンダフィールドの任意の組み合わせによってトリガできます。
- 自動ウェイクアップ割り込みをトリガする周期的フラグを提供する自動ウェイクアップユニット。
- 2 つのマスク可能な割り込み/イベント。
  - アラーム A
  - ウェイクアップ割り込み
- サブセカンドシフト機能を使用した外部クロックとの正確な同期（中+容量および大容量デバイス）。
- 0.954 ppm の精度でのデジタル較正（中+容量および大容量デバイス）。
- CPU をウェイクアップするための設定可能なフィルタと内部プルアップを備えた 3 つのタンパ入力（中+容量および大容量デバイスでのみ使用可能）。
- オルタネート機能出力：
  - RTC_CALIB 出力：設定可能な 512 Hz クロック出力または中+容量および大容量デバイスでは 1 Hz クロック出力（RTC クロック 32.768 kHz）。
  - RTC_ALARM 出力：アラーム A またはウェイクアップフラグをこの出力へルーティングできます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

24.3 RTC 機能の説明

RTC ユニットは、読み出しまたは書き込みモードでアクセス可能な 8 ビットレジスタのセットによって制御されます。詳細については、*セクション 24.11: RTC レジスタ*を参照してください。

このセクションでは：

- RTC_CRx は、RTC_CR1/RTC_CR2/RTC_CR3 を表します。
- RTC_SSRx は、RTC_SSRH/RTC_SSRL を表します。
- RTC_TRx は、RTC_TR1/RTC_TR2/RTC_TR3 を表します。
- RTC_DRx は、RTC_DR1/RTC_DR2/RTC_DR3 を表します。
- RTC_ALRMARx は、RTC_ALRMAR1/RTC_ALRMAR2/RTC_ALRMAR3/RTC_ALRMAR4 を表します。
- RTC_ALRMASSRx は、RTC_ALRMASSRH/RTC_ALRMASSRL を表します。
- RTC_SHIFTRx は、RTC_SHIFTRH/RTC_SHIFTRL を表します。
- RTC_CALRx は、RTC_CALRH/RTC_CALRL を表します。
- RTC_TCRx は、RTC_TCR1/RTC_TCR2 を表します。

24.3.1 クロックとプリスケーラ

タイマ/カウンタに使用される RTC クロックソース（RTCCLK）は、クロックコントローラを通じて選択されます。HSE、LSE、HSI、または LSI クロックのいずれかを選択できます。RTC クロックソース設定の詳細については、*セクション 9.9: RTC および LCD クロック*を参照してください。

LSE のクロックセキュリティシステムは、中+容量および大容量デバイスで実装されていて、RTC クロックソースとして使用される低速外部クロックを監視します。LSE での CSS 機能の使用方法の詳細については、*セクション 9.8.2: LSE のクロックセキュリティシステム*を参照してください。

RTC レジスタに正しくアクセスするためには、システムクロック周波数（f_{SYSCLK}）が RTC クロック周波数 f_{RTCCLK} の 4 倍に等しいかそれ以上でなければなりません。これにより、同期メカニズムの確実な動作が保証されます。

システムクロック（SYSCLK）が低速クロック（LSE または LSI など）に等しいとき、ユーザは RTCCLK と正確に等しいクロックを使用する必要があり、RTC_CR1 レジスタの RATIO ビットをセットして、同期メカニズムを無効にする必要があります。これらの条件では、RSF 同期フラグは意味を持ちません。

プログラマブルプリスケーラステージは、カレンダを更新するために使用される 1 Hz のクロックを生成します。このプリスケーラステージは、次の 2 つのプログラマブルプリスケーラに分かれています（*図 122* および *図 123*を参照）。

- RTC_APRER レジスタの PREDIV_A ビットを通じて設定される 7 ビットの非同期プリスケーラ。
- RTC_SPRERx レジスタの PREDIV_S ビットを通じて設定される 7 ビットの同期プリスケーラ。このプリスケーラは、中容量デバイスでは 13 ビット、中+容量および大容量デバイスでは 15 ビットです。

注： ***2 つのブロック（非同期プリスケーラと同期プリスケーラ）に分けられているのは、消費電力を可能な限り少なくするためです。***

両方のプリスケーラを使用するときには、最良の消費電力レベルを得るために、非同期プリスケーラの値を高くすることを推奨します。

結果として、非同期プリスケーラの分周比はデフォルトで 128 に設定され、同期プリスケーラの分周比は、LSE の周波数 32768 Hz で内部クロック周波数 1 Hz（ck_spre）を得るために 256 に設定されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

最小分周比は、中容量デバイスでは 2、中+容量および大容量デバイスでは 1 です。最大分周比は、中容量デバイスでは 2^{20}、中+容量および大容量デバイスでは 2^{22} です。これは、約 1 MHz の最大入力周波数に対応しています。

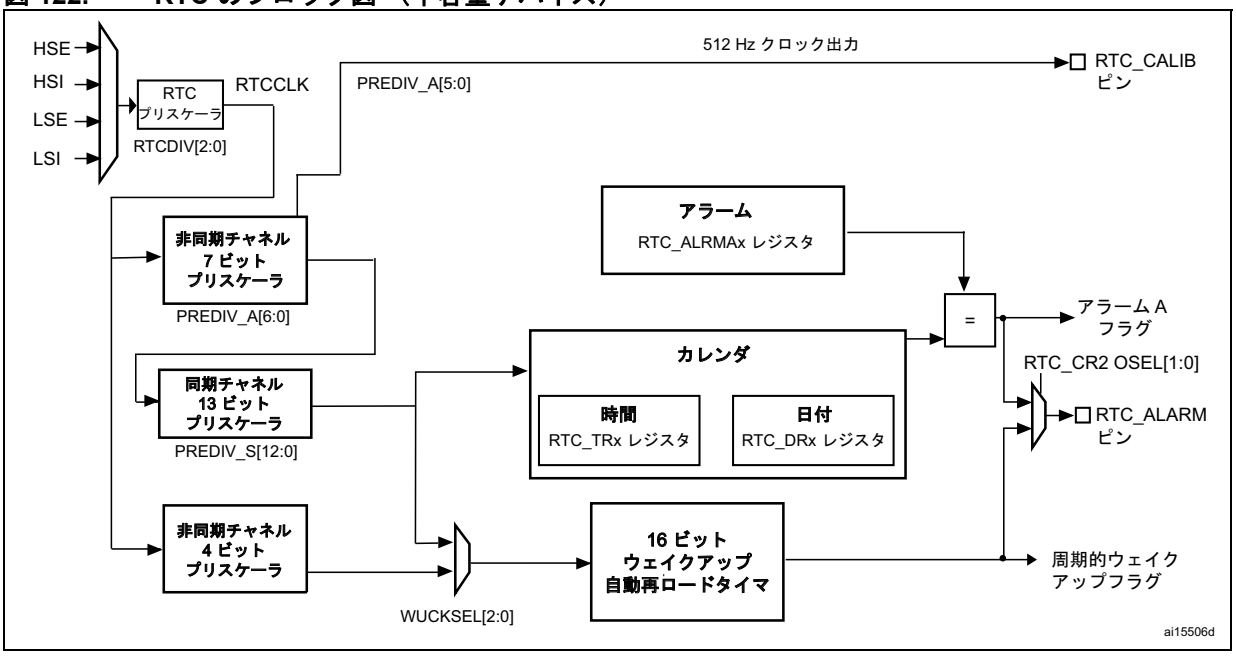
$$f_{CK_SPRE} = \frac{f_{RTCCLK}}{(PREDIV_S + 1)(PREDIV_A + 1)}$$

1 Hz の内部クロック（ck_spre）がカレンダに入力されます。

ck_spre クロックは、16 ビットのウェイクアップ自動再ロードタイマのタイムベースとしても使用できます。

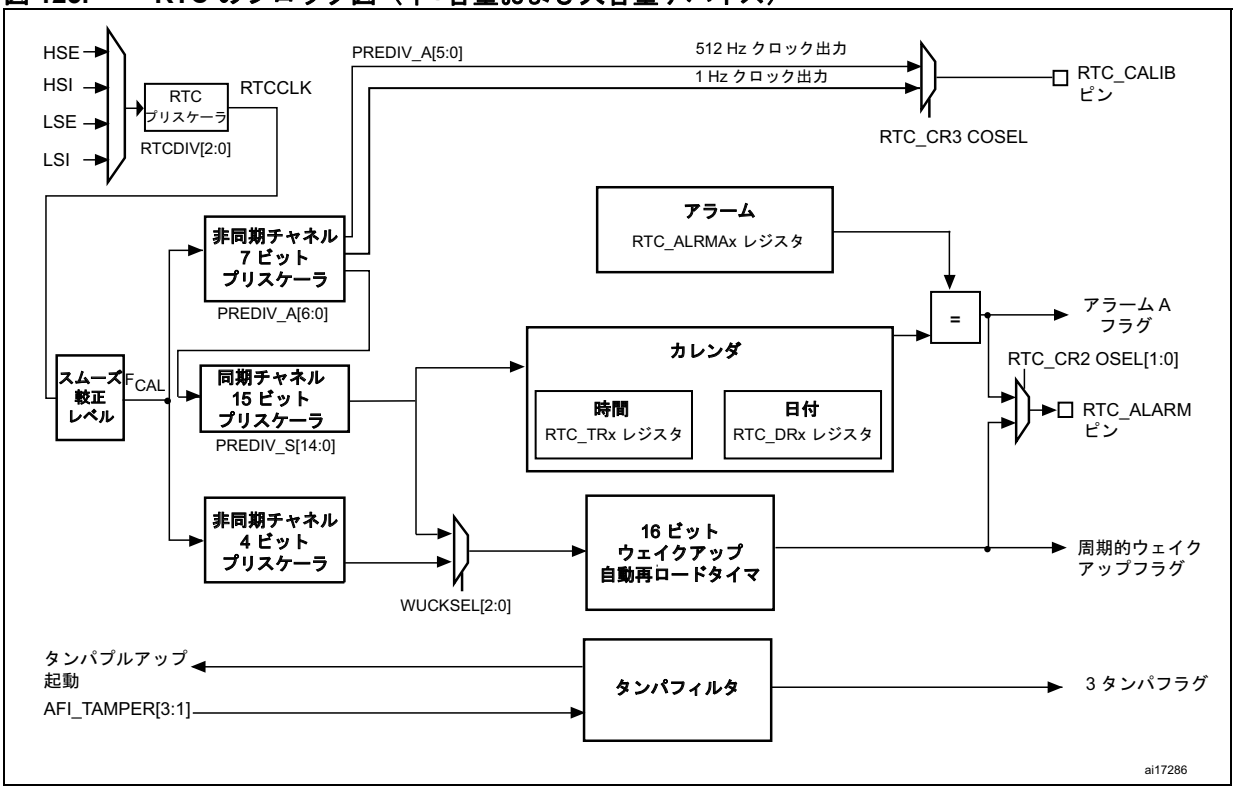
注： *16 ビットのウェイクアップ自動ロードタイマは、短いタイムアウト時間を得るために、プログラマブルな 4 ビット非同期プリスケーラによって分周された RTCCLK でも動作します。詳細については、セクション 24.3.4: 周期的自動ウェイクアップを参照してください。*

図 122. RTC のブロック図 （中容量デバイス）



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 123. RTC のブロック図（中+容量および大容量デバイス）



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

24.3.2 リアルタイムクロックとカレンダ

RTC カレンダの時間および日付レジスタは、SYSCLK（システムクロック）と同期したシャドウレジスタを通じてアクセスされます。中+容量および大容量デバイスでは、同期タイムアウト待ちを避けるために直接アクセスすることも可能です。

- RTC_SSRx（サブセカンド）（中+容量および大容量デバイスでのみ使用可能）
- RTC_TR1（秒）、
- RTC_TR2（分）、
- RTC_TR3（時）、
- RTC_DR1（曜日）、
- RTC_DR2（月日）、
- RTC_DR3（年）

現在のカレンダ値は、定期的にこれらのシャドウレジスタにコピーされて、システムリセットによってリセットされます。コピーの周期は、RTCCLK 周期です。

注： ***アクティブ HALT モード中は、コピーは実行されません。アクティブ HALT モードが終了すると、シャドウレジスタは最大 1 RTCCLK 周期後に更新されます。***

ユーザがカレンダレジスタに読み出しアクセスを行うと、シャドウレジスタの内容が読み出されます。中+容量および大容量デバイスでは、RTC_CR1 レジスタの BYPSHAD 制御ビットをセットすることによって、カレンダレジスタに直接アクセスできます。デフォルトでは、このビットはクリアされていて、ユーザはシャドウレジスタにアクセスします。

中容量デバイスでは、または BYPSHAD がクリアされているときには、ソフトウェアは RTC_SSRx、RTC_TRx、および RTC_DRx を読み出す前に、RTC_ISR1 レジスタの RSF ビットを待つ必要があります（*セクション 24.11.12*を参照）。

ソフトウェアがカレンダを読み出すとき、数値間の整合性を保証するために、すべてのシャドウレジスタ（RTC_SSRL、RTC_SSRH、RTC_TR1、RTC_TR2、RTC_TR3、RTC_DR1、RTC_DR2、および RTC_DR3）は、RTC_SSRL (中+容量および大容量デバイス）または RTC_TR1（中容量デバイス）が読み出されてから RTC_DR3 が読み出されるまで凍結されます。中+容量および大容量デバイスでは、ソフトウェアがサブセカンド値を読み出す必要がない場合は、最初に RTC_TR1 を読み出すことができ、すべての値は RTC_DR3 が読み出されるまでロックされます。

中+容量および大容量デバイスでは、RTC_CR1 レジスタの BYPSHAD 制御ビットが 1 にセットされると（シャドウレジスタをバイパス）、カレンダレジスタを読み出すことによってカレンダカウンタから値を直接得られるので、RSF がセットされるまで待つ必要がありません。これは、アクティブ HALT モード中はシャドウレジスタが更新されないので、アクティブ HALT の終了後に特に役立ちます。BYPSHAD が 1 にセットされているとき、レジスタへの 2 回の読み出しアクセスの間に RTCCLK エッジが発生した場合、異なるレジスタの結果が一致しないことがあります。さらに、読み出し動作中に RTCCLK エッジが発生した場合、レジスタの 1 つの値が正しくない可能性があります。ソフトウェアは、すべてのレジスタを 2 回読み出した後、結果を比較して、それらのデータが一致していて、正しいことを確認する必要があります。

注： ***BYPSHAD が 1 にセットされたとき、カレンダレジスタを読み出す命令には、比較のために余分に 1 システムサイクルが必要です。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

24.3.3 プログラマブルアラーム

RTC は、プログラマブルアラーム（アラーム A）を提供します。プログラマブルアラーム機能は、RTC_CR2 レジスタの ALRAE ビットを通じて有効にされます。

カレンダのサブセカンド（中+容量および大容量デバイスのみ）、秒、分、時、および/または日が RTC_ALRMASSRx および RTC_ALRMARx アラームレジスタでプログラムされた値に一致した場合、ALRAF フラグは 1 にセットされます。サブセカンド、秒、分、時、および/または日は、RTC_ALRMASSRx および RTC_ALRMARx レジスタの ALSSx および MSKx ビットを通じて個別に選択またはマスクできます。

アラーム割り込みは、RTC_CR2 レジスタの ALRAIE ビットを通じて有効にされます。有効なとき、プログラマブルアラーム割り込みでデバイスを低電力モードから復帰します。

アラーム A フラグ信号は、RTC_CR3 レジスタの OSEL[1:0] ビットが適切な値を持っているとき、RTC_ALARM デバイス出力にルーティングできます。RTC_ALARM の極性は、RTC_CR3 レジスタの POL ビットを通じて設定できます（*セクション 24.11.11*を参照）。

サブセカンドフィールドが比較される場合（RTC_ALRMASSMSKR レジスタの MASKSS ビットがゼロでない場合）、正シフト動作（*セクション 24.4.7: RTC の同期（中+容量および大容量デバイスのみ）*を参照）によって、アラームが失われることがあります。同様に、負シフト動作も、サブセカンドフィールドが比較される場合、予期しない時間にアラームを起動させることがあります。

注： **秒フィールドがマスクされた場合（RTC_ALRMAR1 レジスタの MSK1 ビットがセットされた場合）、RTC_SPRER レジスタでセットされた同期プリスケーラの分周比は、RTC の正しい動作を保証するために、少なくとも 3 以上でなければなりません。**

24.3.4 周期的自動ウェイクアップ

周期的自動ウェイクアップフラグは、16 ビットのプログラマブルバイナリ自動再ロードダウンカウントタイマによって生成されます。ウェイクアップタイマの範囲は、17 ビットまで拡張できます。

ウェイクアップ機能は、RTC_CR2 レジスタの WUTE ビットを通じて有効にされます。ウェイクアップタイマクロックとして、以下のクロックが使用されます。

- 2、4、8、または 16 分周された RTC クロック（RTCCLK）：これにより、RTCCLK が 32768 Hz のとき、ウェイクアップ割り込み時間を 122 µs から 32 秒まで（61 µs 単位で）延長できます。
- ウェイクアップ時間を 1 秒 から約36 時間まで 1 秒刻みで設定するための 1 Hz 内部クロック（ck_spre）。この広い、プログラマブルな時間範囲は 2 つの部分に分けられます。
  - 1 秒から 18 時間まで（WUCKSEL [2:1] = 10 の場合）
  - 約 18 時間から 36 時間まで（WUCKSEL[2:1] = 11.の場合）後者の場合、16 ビットカウンタの現在値に 2^{16} が加算されます。

初期化シーケンスが完了すると（*セクション 24.4.6: 自動ウェイクアップタイマのプログラミング*を参照）、ウェイクアップタイマがダウンカウントを開始します。ウェイクアップ機能が有効なとき、ダウンカウントは低電力モードでアクティブ状態を維持します。さらに、カウンタが 0 に達すると、RTC_ISR2 レジスタの WUTF フラグがセットされ、ウェイクアップカウンタに自動的に再ロード値（WUT レジスタ値）が再ロードされます。

その後、WUTF フラグはソフトウェアによってリセットされなければなりません。

RTC_CR2 レジスタの WUTIE ビットをセットすることによって周期的ウェイクアップ割り込みが有効にされると、デバイスを低電力モードから復帰させることができます。

周期的ウェイクアップフラグは、RTC_CR3 レジスタの OSEL[1:0] ビットが適切な値を持っているとき、RTC_ALARM デバイス出力にルーティングできます。RTC_ALARM の極性は、RTC_CR3 レジスタの POL ビットを通じて設定できます（*セクション 24.11.11*を参照）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

RUN モード、低電力動作モードに加えて、システムリセットもダウンカウントタイマには何の影響も与えません。

24.4 RTC の初期化と設定

24.4.1 RTC レジスタの書き込み保護

デフォルトでは、すべての RTC レジスタ（アラームおよび自動ウェイクアップタイマ割り込みソースフラグを含む RTC_ISR2 レジスタを除く）は、書き込み保護されます。RTC レジスタへの書き込みは、書き込み保護レジスタ RTC_WPR にキーを書き込むことによって有効になります。

RTC レジスタの書き込み保護をロック解除するには、以下の手順が必要です。

1. RTC_WPR レジスタに'**0xCA**'を書き込みます。
2. RTC_WPR レジスタに'**0x53**'を書き込みます。

注： ***正しくないキーを書き込むと、書き込み保護が再び有効になります。***

24.4.2 カレンダの初期化と設定

時間形式とプリスケーラの設定を含め、カレンダの初期日時の値をプログラムするには、以下の手順が必要です。

1. RTC_ISR1 レジスタの INIT ビットを 1 にセットして、初期化フェーズモードに入ります。ここで、カレンダカウンタは停止され、更新が有効になります。
2. RTC_ISR1 レジスタの INITF ビットをポーリングして、INITF がセットされる初期化フェーズモードの確認を待ちます。クロックを同期させるためには約 2 RTCLK クロックサイクルがかかります。
3. カレンダカウンタに対して 1 Hz クロックを生成する必要がある場合は、3 つのプリスケーラレジスタ（RTC_APRER および RTC_SPRERx）をプログラムします。
4. 日時の初期値をシャドウレジスタ（TRx と DRx）にロードし、RTC_CR1 レジスタの FMT ビットを使用して、時間形式（12h または 24h）を設定します。
5. INIT ビットをクリアすることによって初期化フェーズを終了します。実際のカレンダカウンタが自動的にロードされて、4 RTCLK 期間後にカウントが再スタートします。

初期化シーケンスが完了すると、サブセカンド値も再初期化されるので、次の秒インクリメントは完全な 1 秒後に発生します。

注： ***1 システムリセット後、ソフトウェアは RTC_ISR1 レジスタの INITS フラグを読み出して、カレンダを初期化する必要があるかどうかを知ることができます。このフラグが 0 に等しい場合、"年" フィールドがパワーオンリセットのデフォルト値（0x00）にセットされているので、カレンダは初期化されません。***

2 BYPSHAD=0 のときにカレンダを読み出すには、ソフトウェアは、まず、RTC_ISR1 レジスタの RSF フラグがセットされていることを確認しなければなりません。これは、カレンダレジスタが RTC_TRx および RTC_DRx にコピーされたことを意味します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

24.4.3 カレンダの読み出し

シャドウレジスタを通じて（BYPSHAD=0）カレンダを読み出すためには、ソフトウェアは、まず、RTC_ISR1 レジスタの RSF フラグ（読み出し同期フラグ）がセットされていることを確認する必要があります。これは、カレンダレジスタがシャドウレジスタ（RTC_SSRx、RTC_TRx、および RTC_DRx）に正しくコピーされたことを意味します。

注： ***“BYPSHAD = 0” 設定でカレンダを読み出すことによって、すべてのカレンダレジスタ間の一貫性が保証されます。***

RUN モードでは、カレンダの読み出し後に、ソフトウェアによって RSF をクリアしなければなりません。

低電力モードウェイクアップの後、RSF をソフトウェアによってクリアしなければならず、その後、ソフトウェアは、カレンダを読み出す前に、RSF が再びセットされるまで待つ必要があります。

システムリセットによって、シャドウレジスタはリセット値にセットされます。そのため、システムリセット後は、ソフトウェアは、RTC_ISR1 レジスタの RSF ビットをチェックして（*セクション 24.11.12*を参照）、現在のカレンダがシャドウレジスタにコピーされたことと、ソフトウェアが正しい現在のカレンダ日時を使用していることを確認する必要があります。

注： **RSF ビットは、低電力モードに入る前ではなく、ウェイクアップ後にクリアされなければなりません。**

24.4.4 夏時間

夏時間の管理には、RTC_CR3 の 3 つのビットを使用します。

SUB1H または ADD1H によって、ソフトウェアは、初期化手順を行わなくても、1 つの動作でカレンダに 1 時間を足したり引いたりすることができます。

さらに、ソフトウェアは、BCK ビットを使用して、この動作を記憶させることができます。

24.4.5 アラームのプログラミング

プログラマブルアラーム（アラーム A）をプログラムまたは更新するには、以下の手順に従ってください。

1. RTC_CR2 の ALRAE をクリアして、アラーム A を無効にします。
2. RTC_ISR1 の ALRAWF がセットされるまでポーリングして、アラームレジスタへのアクセスが許可されたことを確認します。中容量デバイスの場合、約 2 RTCCLK クロックサイクルかかります（クロック同期のため）。中+容量および大容量デバイスでは、ALRAWF は常にセットされているので、このステップをスキップできます。
3. アラーム A レジスタのプログラミング：RTC_ALRMASSRx と RTC_ ALRMASSMSKR（中+容量および大容量デバイスのみ）、および RTC_ALRMARx をプログラムします。
4. RTC_CR2 の ALRAE をセットして、アラーム A を再び有効にします。
5. 中+容量および大容量デバイスでは、ALRAE を '1' にセットした後、アラームは余分に 1 ck_apre サイクルの間、無効状態のままです。言い換えると、アラームを有効にした後、最初のサブセカンド更新時に発生するようにセットされたアラームはマスクされます。

注： ***RTC_CR2 レジスタの変更は、クロック同期のため、約 2 RTCCLK クロックサイクル後に有効になります。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

24.4.6 自動ウェイクアップタイマのプログラミング

ウェイクアップタイマの再ロード値を設定または変更するには、以下の手順が必要です。

1. RTC_CR2 の WUTE をクリアして、ウェイクアップタイマを無効にします。
2. RTC_ISR1 の WUTWF がセットされるまでポーリングして、ウェイクアップ自動再ロードカウンタと WUCKSEL[2:0] ビットへのアクセスが許可されていることを確認します。これには約 2 RTCCLK クロックサイクルかかります（クロック同期のため）。
3. ウェイクアップタイマ（RTC_WUTRL および RTC_WUTRH）に値をプログラムし、希望のクロックを選択します（RTC_CR1 の WUCKSEL[2:0] ビット）。
4. RTC_CR2 レジスタの WUTE をセットして、タイマを再び有効にします。ウェイクアップタイマがダウンカウントを再スタートします。

24.4.7 RTC の同期（中+容量および大容量デバイスのみ）

中+容量および大容量デバイスでは、RTC を高い精度でリモートクロックと同期できます。サブセカンドフィールド（RTC_SSRx）を読み出した後、リモートクロックと RTC によって維持されている時間の正確なオフセットを計算できます。その後、RTC を微調整して、RTC_SHIFTRx レジスタを使用して 1 秒の数分の 1 以上、クロックをシフトする（進める、または遅らせる）ことによって、このオフセットをなくすことができます。

RTC_SSRx レジスタを読み出すと、同期プリスケーラカウンタの値が得られます。これによって、1/(PREDIV_S + 1) 秒の精度で正確な RTC 時間を計算できます。結果として、同期プリスケーラの値（PREDIV_S[14:0]）を増やすことによって、精度を高めることができます。可能な最大精度（32768 Hz のクロックで 30.52 µs）は、PREDIV_S が 0x7FFF にセットされたときに得られます。

ただし、同期プリスケーラ値を増やすということは、同期プリスケーラの出力を 1 Hz に保つために、非同期プリスケーラ値（PREDIV_A[6:0]）を小さくする必要があることを意味します。結果として、非同期プリスケーラ出力の周波数が増加し、RTC の動的な電力消費が増える可能性があります。

RTC_SHIFTRL レジスタへの書き込みによってシフト動作が開始されると、SHPF フラグがハードウェアによってセットされ、シフト動作がペンディング中であることを示します。このビットは、シフト動作が完了すると、ハードウェアによってクリアされます。

24.5 RTC のリセット

カレンダのシャドウレジスタ（RTC_SSRx、RTC_TRx、および RTC_DRx）と RTC ステータスレジスタ（RTC_ISR x ）は、使用可能なすべてのシステムリセットソースによってデフォルト値にリセットされます。

逆に、RTC の現在のカレンダレジスタおよび制御レジスタ（RTC_CRx）、プリスケーラレジスタ（RTC_SPREx および RTC_APRE）、ウェイクアップタイマレジスタ（RTC_WUTRx）、およびアラーム A レジスタ（RTC_ALRMASSRx および RTC_ALRMARx）は、パワーオンリセットによってのみ、デフォルト値にリセットされます。システムリセットではリセットされません。

さらに、RTC クロックが CLK_CRTCR クロックコントローラレジスタで有効にされると、RTC はリセット中も動作を続行します（リセットソースがパワーオンリセット以外の場合）。

パワーオンリセットが発生すると（電源電圧オフ）、RTC は停止し、すべてのレジスタがリセット値にセットされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

24.6 RTC のスムーズなデジタル較正（中+容量および大容量デバイスのみ）

中+容量および大容量デバイスの場合、RTC の周波数は –487.1 から +488.5 ppm までの範囲で約 0.5 ppm の精度でデジタル較正できます。周波数の補正は、一連の微小調整（個々の RTCCLK クロックサイクルの加算/減算）を使用して行われます。このような調整は、周波数のずれがごく短時間の間観測されたときでも RTC を十分に較正できるように搭載された便利な機能です。

較正は、約 2^{20} RTCCLK クロックサイクルの間、または入力周波数が 32768 Hz のときには 32 秒で行われます。

較正レジスタ（RTC_CALRx）は、32 秒のサイクル中にマスクされる RTCCLK クロックサイクル数を指定します。

- CALM[0] を 1 にセットすると、32 秒のサイクル中、正確に 1 パルスがマスクされます。
- CALM[1] を 1 にセットすると、さらに 2 サイクルがマスクされます。
- SMC[2] を 1 にセットすると、さらに 4 サイクルがマスクされます。
- 以下同様に、SMC[8] を 1 にセットすると、256 クロックがマスクされます。

CALM ビットによって RTC 周波数を最大 487.1 ppm だけ高精度に下げることができ、一方、RTC_CALRH レジスタの CALP ビットを使用して、周波数を 488.5 ppm だけ上げることができます。このビットを 1 にセットすると、2^{11} RTCCLK サイクルごとに追加の RTCCLK クロックサイクルを効果的に挿入でき、これは 32 秒のサイクルごとに 512 ブロックが追加されることを意味します。

CALM ビットと CALP ビットを組み合わせて使用することにより、–511 から 512 RTCCLK までの範囲のオフセットを 32 秒サイクルごとに追加できます。これは、約 0.954 ppm の精度で –487.1 から 488.5 ppm までの範囲を較正することに相当します。

入力周波数（F_{RTCCLK}）が一定のときに、較正後の実効周波数（F_{CAL}）を計算するための式は、次のとおりです。

$$F_{CAL} = F_{RTCCLK} \times (1 + (CALP \times 512 - CALM)/(2^{20} + CALM - CALP \times 512))$$

24.6.1 PREDIV_A<3 のときの較正

非同期プリスケーラ値（RTC_APRER レジスタの PREDIV_A ビット）が 3 未満のときには、CALP ビットを 1 にセットすることはできません。CALP がすでに 1 にセットされていて、PREDIV_A ビットが 3 未満の値にセットされた場合、CALP は無視され、較正は CALP が 0 に等しいものとして行われます。

3 未満の PREDIV_A で較正を行うには、各秒が 8 RTCCLK クロックサイクルだけ加速されるように、同期プリスケーラ値（PREDIV_S）を小さくする必要があります。これは、32 秒ごとに 256 クロックサイクルを追加することに相当します。結果として、CALM ビットのみを使用して、–255 と 256 の間のクロックパルス（–243.3 から 244.1 ppm までの較正範囲に対応）を 32 秒サイクルごとに効果的に追加できます。

RTCCLK の公称周波数 32768 Hz では、PREDIV_A が 1 に等しいとき（分周比 2）、PREDIV_S は 16383 ではなく 16379（4 少ない）にセットされなければなりません。その他の唯一の興味あるケースは、PREDIV_A が 0 に等しいときであり、PREDIV_S は 32767 ではなく 32459（8 少ない）にセットされなければなりません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

PREDIV_S がこのように減らされた場合、較正後の入力クロックの実効周波数を求める式は、次のとおりです。

$$F_{CAL} = F_{RTCCLK} \times (1 + (256 - CALM) / (2^{20} + CALM - 256))$$

この場合、CALM[7:0] は 0x100（CALM 値の範囲の中間点）であり、これが、RTCCLK が正確に 32768.00 Hz のときの正しい設定です。

24.6.2 RTC 較正の検証

RTC の正確さは、RTCCLK の正確な周波数を測定し、正しい CALM 値と CALP 値を計算することによって保証されます。ただし、アプリケーションによっては、規格により、各デバイス上で RTC の精度を測定し、検証しなければならない場合があります。オプションの 1 Hz 出力は、中+容量および大容量デバイスで提供され、これによりアプリケーションは RTC の精度を測定し、検証することができます。

RTC の正確な周波数を限られた時間間隔で測定すると、デジタル較正サイクルと測定時間との調整方法にもよりますが、測定時間全体で最大 2 RTCCLK　クロックサイクルの測定誤差が見込まれます。ただし、測定時間と較正サイクル時間が同じ長さの場合、この測定誤差をなくすことができます。この場合、観察される唯一の誤差は、デジタル較正の精度による誤差です。

デフォルトでは、較正サイクル時間は 32 秒です。このモードを使用し、正確に 32 秒間にわたって 1 Hz 出力の正確さを測定することによって、測定が 0.477 ppm（較正精度の制限により、32 秒間で 0.5 RTCCLK サイクル）以内の精度に収まることが保証されます。各デバイスの RTC の精度を検証するために 32 秒間を費やすことができるアプリケーションの場合、これが最良の方法です。

または、RTC_CALRH レジスタの CALW16 ビットを 1 にセットすると、較正サイクル時間を強制的に 16 秒に設定できます。この場合、RTC の精度を、最大誤差 0.954 ppm（16 秒で 0.5 RTCCLK サイクル）で、16 秒間で測定できます。ただし、較正精度が低くなるので、長期の RTC 精度も 0.954 ppm に低下します。CALM[0] と CALW16 を同時に 1 にセットすることはできません。

較正サイクルを 8 秒に短縮するには、RTC_CALRH レジスタの CALW8 ビットを 1 にセットします。この場合、RTC の精度を最大誤差 1.907 ppm（8 秒で 0.5 RTCCLK サイクル）で、8 秒間で測定できます。長期 RTC 精度も 1.907 ppm に低下します。CALW8 が 1 にセットされると、CALM[1:0] ビットは 00 に固定されます。

24.6.3 動作中の再較正

較正レジスタ（RTC_CALRH/RTC_CALRL）は、RTC_ISR1/INITF=0 のとき、以下の手順を使用することによって、動作中に更新できます。

1. RTC_ISR1/RECALPF（再較正ペンディングフラグ）をポーリングします。
2. これが 0 にセットされている場合、必要に応じて、RTC_CALRH レジスタに新しい値を書き込みます。
3. RTC_CALRL レジスタに書き込みます。RECALPF が自動的に 1 にセットされます。
4. RTC_CALRL への書き込み動作後 3 ck_apre サイクル以内に、新しい較正設定が有効になります。
5. RECALPF は自動的に 0 にセットされます。RECALPF は、RTC_CALRL レジスタへの書き込み後 4 ck_apre サイクルプラス 2 システムクロックサイクルの間、1 を維持できます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

24.7 タンパ検出（中+容量および大容量デバイスのみ）

3 つのタンパ検出入力があります。それぞれ、RTC_ISR2 レジスタのフラグ TAMP1F/TAMP2F/TAMP3F に関連付けられています。

各入力は、対応する TAMP1E/TAMP2E/TAMP3E ビットを 1 にセットすることによって有効にできます。タンパ検出制御ビットは、RTC_TCR1 および RTC_TCR2 レジスタにあります。

RTC_TCR1 レジスタの TAMPIE ビットをセットすることによって、タンパ検出イベントが発生したときに割り込みが生成されます。タンパ検出イベントは、2、4、または 8 個の連続したサンプル（TAMPFLT ビットに依存）が、TAMPLEVEL ビットを通じて設定されたレベルで観察されたときに生成されます。

TAMPER 入力は、状態がサンプリングされる前に、内部抵抗を通じてプリチャージされますが、TAMPPUDIS ビットを 1 にセットすることによってプルアップが無効にされた場合を除きます。プリチャージ/プリディスチャージの時間は、TAMPPRCH ビットによって決まり、タンパ入力の容量を大きくできます。

タンパ検出の遅延と弱いプルアップ/プルダウンによる電力消費とのトレードオフは、レベル検出のためのサンプリング周波数を決める TAMPFREQ を使用して最適化できます。

注： プルアップ抵抗の電気特性については、データシートを参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

24.8 基準クロック出力

RTC_CR3 レジスタの COE ビットが 1 にセットされると、基準クロックが RTC_CALIB デバイス出力に供給されます。COSEL ビット（RTC_CR3 レジスタのビット 3）がリセットされ、PREDIV_A = 0x7F の場合、RTC_CALIB 周波数は $f_{RTCCLK}/64$ です。これは、32.768 kHz の RTCCLK 周波数に対して 512 Hz での較正出力に対応します。

注： ***RTC_CALIB のデューティサイクルは不規則であり、立ち下がりエッジで軽いジッタがあります。したがって、立ち上がりエッジを使用することを推奨します。***

中+容量および大容量デバイスでは、COSEL がセットされ、“PREDIV_S+1” がゼロでない 256 の倍数である場合（すなわち、PREDIV_S[7:0] = 0xFF)、RTC_CALIB 周波数は $f_{RTCCLK}/(256 * (PREDIV_A+1))$ です。これは、プリスケーラのデフォルト値（PREDIV_A = Ox7F、PREDIV_S = 0xFF）で、RTCCLK 周波数 32.768 kHz のとき、1 Hz の較正出力に対応します。

24.9 RTC 低電力モード

表 74. 低電力モードが RTC に与える影響

モード	説明
低電力 WAIT/WAIT	影響なし RTC 割り込みによって、デバイスは WAIT モードから復帰します。
アクティブ HALT/HALT	RTC はアクティブ状態のままです。RTC 割り込みは、デバイスをアクティブ HALT/HALT モードから復帰させることができます（*セクション 24.10: RTC 割り込み*を参照）。

注： 1 ***アクティブ HALT モードは低電力モードであり、CPU とペリフェラルクロックは RTC を除いて停止します。セクション 7: 低電力モード （70 ページ）を参照してください。***

2 ***RTC は、LSE/LSI によってクロック供給されるときに消費電力が少なくなるように設計されています（詳細については、デバイスのデータシートの電気特性のセクションを参照してください）。***

24.10 RTC 割り込み

アラーム A と周期的ウェイクアップ割り込みは論理和（OR）されます。

表 75. 割り込み制御ビット

割り込みイベント	イベントフラグ	イネーブル制御ビット	WAIT の終了	HALT の終了
アラーム A	ALRAF	ALRAIE (RTC_CR2)	あり	あり(1)
周期的ウェイクアップ	WUTF	WUTIE	あり	あり(1)
タンパ 1 イベント	TAMP1F	TAMPIE (RTC_TCR1)	あり	あり(1)
タンパ 2 イベント	TAMP2F		あり	あり(1)
タンパ 3 イベント	TAMP3F		あり	あり(1)

1. HALT からのウェイクアップは、RTC クロックソースが LSE または LSI のときのみ可能です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

24.11 RTC レジスタ

レジスタの説明で使用されている略語のリストについては、*セクション 5.1（62 ページ）*を参照してください。

24.11.1 タイムレジスタ 1（RTC_TR1）

RTC_TR1 は、カレンダタイムのシャドウレジスタです。カレンダ秒のコピーを含みます。中+容量および大容量デバイスでは、BYPSHAD=1 の場合、このレジスタを読み出すと、カレンダの秒値を直接得ることができます（*24.3.2 章*を参照）。RTC_ISR1 レジスタの INITF ビットが 1 にセットされた場合のみ、初期化中に書き込むことができます。

BYPSHAD=0 のとき、ソフトウェアは、まず、RTC_ISR1 の RSF ビットを読み出して、RTC_TR1 が更新されたかどうかをチェックする必要があります。

アドレスオフセット：0x00

リセット値：0x00

7	6	5	4	3	2	1	0
予約済み	ST[2:0]			SU[3:0]			
	rw	rw	rw	rw	rw	rw	rw

ビット 7 予約済み、常に 0 として読み出されます。

ビット 6:4 **ST[2:0]**：BCD 形式での秒表示の 10 の桁

ビット 3:0 **SU[3:0]**：BCD 形式での秒表示の 1 の桁

注： ***このレジスタは書き込み保護されています。書き込みアクセス手順については、セクション 24.4.1: RTC レジスタの書き込み保護で説明されています。***

24.11.2 タイムレジスタ 2（RTC_TR2）

RTC_TR2 は、カレンダタイムのシャドウレジスタです。カレンダ秒のコピーを含みます。中+容量および大容量デバイスでは、BYPSHAD=1 の場合、このレジスタを読み出すと、カレンダの秒値を直接得ることができます（*24.3.2 章*を参照）。RTC_ISR1 レジスタの INITF ビットが 1 にセットされた場合のみ、初期化中に書き込むことができます。

BYPSHAD=0 のとき、このレジスタの内容は、RTC_TR1 または RTC_SSRL の読み出し後、RTC_DR3 が読み出されるまで凍結されます。

アドレスオフセット：0x01

リセット値：0x00

7	6	5	4	3	2	1	0
予約済み	MNT[2:0]			MNU[3:0]			
	rw	rw	rw	rw	rw	rw	rw

ビット 7 予約済み、常に 0 として読み出されます。

ビット 6:4 **MNT[2:0]**：BCD 形式での分表示の 10 の桁

ビット 3:0 **MNT[3:0]**：BCD 形式での分表示の 1 の桁

注： ***このレジスタは書き込み保護されています。書き込みアクセス手順については、セクション 24.4.1: RTC レジスタの書き込み保護で説明されています。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

24.11.3 タイムレジスタ 3（RTC_TR3）

RTC_TR3 は、カレンダタイムのシャドウレジスタです。カレンダ秒のコピーを含みます。中+容量および大容量デバイスでは、BYPSHAD=1 の場合、このレジスタを読み出すと、カレンダの秒値を直接得ることができます（*24.3.2 章*を参照）。RTC_ISR1 レジスタの INITF ビットが 1 にセットされた場合のみ、初期化中に書き込むことができます。

BYPSHAD=0 のとき、このレジスタの内容は、RTC_TR1 または RTC_SSRL の読み出し後、RTC_DR3 が読み出されるまで凍結されます。

アドレスオフセット：0x02

リセット値：0x00

7	6	5	4	3	2	1	0
予約済み	PM	HT[1:0]		HU[3:0]			
	rw	rw	rw	rw	rw	rw	rw

ビット 7 予約済み、常に 0 として読み出されます。

ビット 6 **PM**：AM/PM 表示
0：AM または 24 時間形式
1：PM

ビット 5:4 **HT[1:0]**：BCD 形式での時間表示の 10 の桁

ビット 3:0 **HT[3:0]**：BCD 形式での時間表示の 1 の桁

注： ***このレジスタは書き込み保護されています。書き込みアクセス手順については、セクション 24.4.1: RTC レジスタの書き込み保護で説明されています。***

24.11.4 日付レジスタ 1（RTC_DR1）

RTC_DR1 は、カレンダ日付のシャドウレジスタです。カレンダ日付のコピーを含みます。中+容量および大容量デバイスでは、BYPSHAD=1 の場合、このレジスタを読み出すと、カレンダの日付の値を直接得ることができます（*24.3.2 章*を参照）。RTC_ISR1 レジスタの INITF ビットが 1 にセットされた場合のみ、初期化中に書き込むことができます。

BYPSHAD=0 のとき、このレジスタの内容は、RTC_TR1 または RTC_SSRL の読み出し後、RTC_DR3 が読み出されるまで凍結されます。

アドレスオフセット：0x04

リセット値：0x01

7	6	5	4	3	2	1	0
予約済み		DT[1:0]		DU[3:0]			
		rw	rw	rw	rw	rw	rw

ビット 7:6 予約済み、常に 0 として読み出されます。

ビット 5:4 **DT[1:0]**：BCD 形式での日付表示の 10 の桁

ビット 3:0 **DU[3:0]**：BCD 形式での日付表示の 1 の桁

注： ***このレジスタは書き込み保護されています。書き込みアクセス手順については、セクション 24.4.1: RTC レジスタの書き込み保護で説明されています。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

24.11.5 日付レジスタ 2（RTC_DR2）

RTC_DR2 は、カレンダ日付のシャドウレジスタです。カレンダ日付のコピーを含みます。中+容量および大容量デバイスでは、BYPSHAD=1 の場合、このレジスタを読み出すと、カレンダの日付の値を直接得ることができます（*24.3.2 章*を参照）。RTC_ISR1 レジスタの INITF ビットが 1 にセットされた場合のみ、初期化中に書き込むことができます。

BYPSHAD=0 のとき、このレジスタの内容は、RTC_TR1 または RTC_SSRL の読み出し後、RTC_DR3 が読み出されるまで凍結されます。

アドレスオフセット：0x05

リセット値：0x21

7	6	5	4	3	2	1	0
WDU[2:0]			MT	MU[3:0]			
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:5 **WDU[2:0]：**曜日

000：使用禁止

001：月曜日

...

111：日曜日

ビット 4 **MT**：BCD 形式での月表示の 10 の桁

ビット 3:0 **MU[3:0]**：BCD 形式での月表示の 1 の桁

注： ***このレジスタは書き込み保護されています。書き込みアクセス手順については、セクション 24.4.1: RTC レジスタの書き込み保護で説明されています。***

24.11.6 日付レジスタ 3（RTC_DR3）

RTC_DR3 は、カレンダ日付のシャドウレジスタです。カレンダ日付のコピーを含みます。中+容量および大容量デバイスでは、BYPSHAD=1 の場合、このレジスタを読み出すと、カレンダの日付の値を直接得ることができます（*24.3.2 章*を参照）。RTC_ISR1 レジスタの INITF ビットが 1 にセットされた場合のみ、初期化中に書き込むことができます。

BYPSHAD=0 のとき、このレジスタの内容は、RTC_TR1 または RTC_SSRL の読み出し後、RTC_DR3 が読み出されるまで凍結されます。

アドレスオフセット：0x06

リセット値：0x00

7	6	5	4	3	2	1	0
YT[3:0]				YU[3:0]			
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:4 **YT[3:0]：**BCD 形式での年表示の 10 の桁

ビット 3:0 **YU[3:0]**：BCD 形式での年表示の 1 の桁

注： ***このレジスタは書き込み保護されています。書き込みアクセス手順については、セクション 24.4.1: RTC レジスタの書き込み保護で説明されています。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

24.11.7 サブセカンドレジスタハイ（RTC_SSRH）

RTC_SSRH レジスタは、中+容量および大容量デバイスでのみ使用可能です。カレンダのサブセカンドの上位ビットのコピーを含みます（*セクション 24.3.2: リアルタイムクロックとカレンダ*を参照）。プログラミングできません。BYPSHAD=1 の場合、このレジスタを読み出すと、カレンダからサブセカンド値を直接得ることができます（*24.3.2 章*を参照）。RTC_ISR1 レジスタの INITF ビットが 1 にセットされた場合のみ、初期化中に書き込むことができます。

BYPSHAD=0 のとき、ソフトウェアは、まず、RTC_ISR1 の RSF ビットを読み出して、RTC_SSRH が更新されたかどうかをチェックする必要があります。

アドレスオフセット：0x17

リセット値：0x00

7	6	5	4	3	2	1	0
SS[15:8]							
r	r	r	r	r	r	r	r

ビット 7:0 **SS[15:8]**：サブセカンド値の上位ビット

詳細については、RTC_SSRL を参照してください。

24.11.8 サブセカンドレジスタローー（RTC_SSRL）

RTC_SSRL レジスタは、中+容量および大容量デバイスでのみ使用可能です。カレンダのサブセカンドの下位ビットのコピーを含みます（*セクション 24.3.2: リアルタイムクロックとカレンダ*を参照）。プログラミングできません。

BYPSHAD=1 の場合、このレジスタを読み出すと、カレンダからサブセカンド値を直接得ることができます（*24.3.2 章*を参照）。RTC_ISR1 レジスタの INITF ビットが 1 にセットされた場合のみ、初期化中に書き込むことができます。

BYPSHAD=0 のとき、ソフトウェアは、まず、RTC_ISR1 の RSF ビットを読み出して、RTC_SSRL が更新されたかどうかをチェックする必要があります。

アドレスオフセット：0x18

リセット値：0x00

7	6	5	4	3	2	1	0
SS[7:0]							
r	r	r	r	r	r	r	r

ビット 7:0 **SS[7:0]**：サブセカンド値の下位ビット

SS[15:0]（RTC_SSRH/RTC_SSRL に含まれる）は、同期プリスケーラのカウンタの値です。このカウンタが連続的に 0 までカウントダウンした後、RTC_SPRE[14:0] から値を再ロードする場合、秒以下の値の計算式は次のとおりです。

秒以下の値 = (RTC_SPRE - SS) / (RTC_SPRE + 1)

SS は、シフト動作または一連のシフト動作の後でのみ、RTC_SPRE より大きくなります（SUBFS の説明を参照）。この場合、「秒以下の値」は負であり、（直観的に）正しい日時が RTC_TRx/RTC_DRx によって示される値より少なくとも 1 秒以上少ないことを示します。

BYPSHAD = 0 のとき、RTC_SSRL を読み出すと、RTC_SSRx、RTC_TRx、および RTC_DRx の値は、RTC_DR3 が読み出されるまでロックされ、これによってすべてのレジスタから一貫した値が得られることが保証されます。アプリケーションがサブセカンド値を読み出す必要がない場合には、RTC_TRx と RTC_DRx を読み出すだけです（RTC_TR1 から始まり、RTC_DR3 で終了）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

24.11.9 制御レジスタ 1（RTC_CR1）

アドレスオフセット：0x08

パワーオンリセット値：0x00

リセット値：0xXX（このレジスタはシステムリセットによる影響を受けません。パワーオン時にリセットされます）。

7	6	5	4	3	2	1	0
予約済み	FMT	RATIO	BYPSHAD	予約済み	WUCKSEL[2:0]		
	rw	rw	rw		rw	rw	rw

ビット 7 予約済み、常に 0 として読み出されます。

ビット 6 **FMT**：時間表示形式

0：24 時間/日形式

1：AM/PM 時間形式

ビット 5 **RATIO**：システムクロック（SYSCLK)対 RTCCLK の比

0：$f_{SYSCLK} \geq 2 \times f_{RTCCLK}$ を守る必要があります。

1：$f_{SYSCLK} = f_{RTCCLK}$

注： ***f_{SYSCLK} が 2 f_{RTCCLK} 未満であり、f_{RTCCLK} に等しくない組み合わせは禁止されています。カレンダレジスタ（RTC_TRx、RTC_DRx、および RTC_SSRx）への読み出しアクセスを行うためには、RATIO=0 のとき、f_{SYSCLK} は ≥4 x f_{RTCCLK} でなければなりません。***

ビット 4 **BYPSHAD**：シャドウレジスタのバイパス

このビットは、中+容量および大容量デバイスでのみ使用可能です。

0：カレンダ値（RTC_SSRx、RTC_TRx、および RTC_DRx からの読み出し時）は、シャドウレジスタから読み出され、RTCCLK サイクルごとに更新されます。

1：カレンダ値（RTC_SSRx、RTC_TRx、および RTC_DRx からの読み出し時）は、カレンダカウンタから直接読み出されます。

ビット 3 予約済み、常に 0 として読み出されます。

ビット 2:0 **WUCKSEL[2:0]**：ウェイクアップクロックの選択

000：RTCCLK/16 クロックが選択されます。

001：RTCCLK/8 クロックが選択されます。

010：RTCCLK/4 クロックが選択されます。

011：RTCCLK/2 クロックが選択されます。

10x：ck_spre（通常 1 Hz）クロックが選択されます。

11x：ck_spre（通常 1 Hz）クロックが選択され、2^{16} が WUT カウンタ値に加算されます（下記の注を参照）。

注： ***ウェイクアップユニットカウンタ＝WUT カウンタ値（0x0000 から最大 0xFFFF まで）+ 0x10000 (WUCKSEL[2:1]=”11” のとき加算される値）***

このレジスタのビット 6 は、RTC_ISR1 レジスタの INITF ビットが 1 にセットされているときのみ、初期化モードで書き込むことができます。

このレジスタのビット 2 からビット 0 までは、RTC_CR2 レジスタの WUTE ビットが 0 にセットされ、RTC_ISR1 レジスタの WUTWF ビットが 1 にセットされているときのみ、書き込むことができます。

このレジスタは書き込み保護されています。書き込みアクセス手順については、セクション 24.4.1: RTC レジスタの書き込み保護で説明されています。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

24.11.10 制御レジスタ 2（RTC_CR2）

アドレスオフセット：0x09

パワーオンリセット値：0x00

リセット値：0xXX（このレジスタはシステムリセットによる影響を受けません。パワーオン時にリセットされます）。

7	6	5	4	3	2	1	0
予約済み	WUTIE	予約済み	ALRAIE	予約済み	WUTE	予約済み	ALRAE
	rw		rw		rw		rw

ビット 7 予約済み、常に 0 として読み出されます。

ビット 6 **WUTIE**：ウェイクアップタイマ割り込みイネーブル
0：ウェイクアップタイマ割り込みは無効です。
1：ウェイクアップタイマ割り込みは有効です。

ビット 5 予約済み、常に 0 として読み出されます。

ビット 4 **ALRAIE**：アラーム A 割り込みイネーブル
0：アラーム A 割り込みは無効です。
1：アラーム A 割り込みは有効です。

ビット 3 予約済み、常に 0 として読み出されます。

ビット 2 **WUTE**：ウェイクアップタイマイネーブル
0：ウェイクアップタイマは無効です。
1：ウェイクアップタイマは有効です。

ビット 1 予約済み、常に 0 として読み出されます。

ビット 0 **ALRAIE**：アラーム A イネーブル
0：アラーム A は無効です。
1：アラーム A は有効です。

注：このレジスタは書き込み保護されています。書き込みアクセス手順については、セクション 24.4.1: RTC レジスタの書き込み保護で説明されています。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

24.11.11 制御レジスタ 3（RTC_CR3）

アドレスオフセット：0x0A

パワーオンリセット値：0x00

リセット値：0xXX（このレジスタはシステムリセットによる影響を受けません。パワーオン時にリセットされます）。

7	6	5	4	3	2	1	0
COE	OSEL[1:0]		POL	COSEL	BCK	SUB1H	ADD1H
rw	rw	rw	rw	rw	rw	w	w

ビット 7 **COE** 較正出力イネーブル

このビットは、RTC_CALIB デバイス出力を有効にします。

0：較正出力は無効です。

1：較正出力は有効です。

ビット 6:5 **OSEL[1:0]**：出力の選択

これらのビットは、RTC_ALARM 出力にルーティングされるフラグを選択するために使用されます。

00：出力は無効です。

01：アラーム A 出力は有効です。

10：予約済み

11：ウェイクアップ出力は有効です。

ビット 4 **POL**：出力の極性

このビットは、RTC_ALARM デバイス出力の極性を設定するために使用されます。

0：ALRAF/WUTF がアサートされたとき、RTC_ALARM ピンはハイになります（OSEL に依存）。

1：ALRAF/WUTF がアサートされたとき、RTC_ALARM ピンはローになります（OSEL に依存）。

ビット 3 **COSEL**：較正出力の選択

このビットは、中+容量および大容量デバイスでのみ使用可能です。

COE=1 のとき、このビットは、どの信号が RTC_CALIB に出力されるかを選択します。

0：較正出力は 512 Hz です。

1：較正出力は 1 Hz です。

注： これらの周波数は、32.768 kHz の RTCCLK とデフォルト値のプリスケーラ（PREDIV_A=127 および PREDIV_S=255）に対して有効です。詳細については、セクション 24.8: 基準クロック出力 を参照してください。

ビット 2 **BCK**：バックアップ

このビットは、夏時間の変更が行われたかどうかを記憶するために、ソフトウェアによって書き込むことができます。

ビット 1 **SUB1H**：1 時間引く（冬時間への変更）

このビットが初期化モード以外でセットされると、現在の時間が 0 でない場合、カレンダ値から 1 時間引かれます。このビットは常に 0 として読み出されます。

このビットをセットしても、現在の時間が 0 のときは、効果がありません。

0：影響なし。

1：現在時刻から 1 時間引かれます。これは冬時間への変更のために使用できます。

ビット 0 **ADD1H**：1 時間加える（夏時間への変更）

このビットが初期化モード以外でセットされると、カレンダ値に 1 時間加算されます。このビットは常に 0 として読み出されます。

0：影響なし。

1：現在時刻に 1 時間加算します。これは夏時間への変更のために使用できます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

注： ***ADD1H または SUB1H の動作によって日付を変更しないでください。***

カレンダ時間のインクリメントをマスクすることがあるので、カレンダ時間がインクリメントされる前の最後の秒の間には時間を変更しないことを推奨します。

このレジスタは書き込み保護されています。書き込みアクセス手順については、セクション 24.4.1: RTC レジスタの書き込み保護で説明されています。

24.11.12 初期化およびステータスレジスタ 1（RTC_ISR1)

アドレスオフセット：0x0C

リセット値：中容量デバイスでは 0x00、中+容量および大容量デバイスでは 0x01。

7	6	5	4	3	2	1	0
INIT	INITF	RSF	INITS	SHPF	WUTWF	RECALPF	ALRAWF
rw	r	rc_w0	r	r	r	r	r

ビット 7 **INIT**：初期化モード

このビットは書き込み保護されています。書き込みアクセス手順については、*24.4.1 章*で説明されています。

0：フリーランニングモード

1：時間および日付レジスタ（RTC_TRx および RTC_DRx）とプリスケーラレジスタをプログラミングするために、初期化モードが使用されます。カウンタは停止し、INIT ビットがリセットされると、新しい値からカウントを開始します。

ビット 6 **INITF**：初期化フラグ

このビットが 1 にセットされると、RTC は初期化モードに入り、時間、日付、およびプリスケーラレジスタを更新できます。

0：カレンダレジスタの更新はできません。

1：カレンダレジスタの更新ができます。

ビット 5 **RSF**：レジスタ同期フラグ

このビットは、時間および日付レジスタが更新されるたびに、ハードウェアによってセットされます。つまり、RTCCLK クロックがシステムクロック（ck）と同期されるとセットされます。

初期化モードで、ソフトウェアまたはハードウェアによってクリアされます。

注意：このビットをソフトウェアによってクリアするときには、RTC_ISR1 に 0x00 を書き込むことを推奨します。0xDF を書き込むと、書き込み保護が無効な場合、INIT ビットがセットされるからです。

0：カレンダレジスタはまだ同期していません。

1：カレンダレジスタは同期されました。

ビット 4 **INITS**：初期化ステータスフラグ

このビットは、カレンダの年フィールドが 0（パワーオンリセットステータス）でないときに、ハードウェアによってセットされます。

0：カレンダは初期化されていません。

1：カレンダは初期化されました。

ビット 3 **SHPF**：シフト動作ペンディング

このビットは、中+容量および大容量デバイスでのみ使用可能です。

0：シフト動作はペンディングされていません。

1：シフト動作がペンディング中です。

このフラグは、RTC_SHIFTRL への書き込みによってシフト動作が開始されると、ハードウェアによってセットされます。対応するシフト動作が完了すると、ハードウェアによってクリアされます。

SHPF への書き込みは効果がありません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 2 **WUTWF**：ウェイクアップタイマ書き込みフラグ

このビットは、RTC_CR2 の WUTE ビットが 0 にセットされた後、ウェイクアップタイマ値を変更できるときに、ハードウェアによってセットされます。

0：ウェイクアップタイマの更新はできません。

1：ウェイクアップタイマの更新が可能です。

ビット 1 **RECALPF**：再較正ペンディングフラグ

このビットは、中+容量および大容量デバイスでのみ使用可能です。

ステータスフラグ RECALPF は、ソフトウェアが RTC_CALRL レジスタに書き込みを行うと、自動的に 1 にセットされ、RTC_CALRH/RTC_CALRL レジスタがブロックされていることを示します。新しい較正設定が有効になると、このビットは 0 に戻ります。*セクション 24.6.3: 動作中の再較正*を参照してください。

ビット 0 **ALRAWF**：アラーム A 書き込みフラグ

このビットは、RTC_CR2 の ALRAE ビットが 0 にセットされた後、アラーム A の値を変更できるときに、ハードウェアによってセットされます。ALRAWF ビットは、中+容量および大容量デバイスでは常にセットされますが、アラーム A の値を変更する前に、ALRAE をクリアする必要があります。

0：アラーム A の更新はできません。

1：アラーム A の更新が可能です。

24.11.13 初期化およびステータスレジスタ 2（RTC_ISR2）

アドレスオフセット：0x0D

リセット値：0x00

7	6	5	4	3	2	1	0
TAMP3F	TAMP2F	TAMP1F	予約済み		WUTF	予約済み	ALRAF
rc_w0	rc_w0	rc_w0			rc_w0		rc_w0

ビット 7 **TAMP3F**：TAMPER3 検出フラグ

このビットは、中+容量および大容量デバイスでのみ使用可能です。

このフラグは、タンパ入力 3 でタンパ検出イベントが検出されたときに、ハードウェアによってセットされます。

0 を書き込むことによって、ソフトウェアによってクリアされます。

ビット 6 **TAMP2F**：TAMPER2 検出フラグ

このビットは、中+容量および大容量デバイスでのみ使用可能です。

このフラグは、タンパ入力 2 でタンパ検出イベントが検出されたときに、ハードウェアによってセットされます。

0 を書き込むことによって、ソフトウェアによってクリアされます。

ビット 5 **TAMP1F**：TAMPER1 検出フラグ

このビットは、中+容量および大容量デバイスでのみ使用可能です。

このフラグは、タンパ入力 1 でタンパ検出イベントが検出されたときに、ハードウェアによってセットされます。

0 を書き込むことによって、ソフトウェアによってクリアされます。

ビット 4:3 予約済み、常に 0 として読み出されます。

ビット 2 **WUTF**：周期的ウェイクアップフラグ

このフラグは、ウェイクアップ自動再ロードダウンカウンタが 0 に達したときに、ハードウェアによってセットされます。

0 を書き込むことによって、ソフトウェアによってクリアされます。

注： ***このフラグは、WUTF が再び 1 にセットされる少なくとも 1.5 RTCCLK サイクル前に、ソフトウェアによってクリアされる必要があります。***

ビット 1 予約済み、常に 0 として読み出されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 0 **ALRAF**：アラーム A フラグ

このフラグは、時間および日付レジスタ（RTC_TRx および RTC_DRx）が RTC_ALRMARx レジスタと一致したときにハードウェアによってセットされます。中+容量および大容量デバイスでは、このフラグをセットするには、サブセカンドレジスタ（RTC_SSRx）も RTC_ALRMASSRx レジスタと一致しなければなりません。

このフラグは、0 を書き込むことによって、ソフトウェアによってクリアされます。

注： ***これらのフラグは、0 が書き込まれてから約 2 CK クロックサイクル後にクリアされます。***

24.11.14 同期プリスケーラレジスタハイ（RTC_SPRERH）

アドレスオフセット：0x10

パワーオンリセット値：0x00

リセット値：0xXX（このレジスタはシステムリセットによる影響を受けません。パワーオン時にリセットされます）。

7	6	5	4	3	2	1	0
予約済み	PREDIV_S[14:8]						
	rw	rw	rw	rw	rw	rw	rw

ビット7 予約済み、常に 0 として読み出されます。

ビット 6:0 **PREDIV_S[14:8]**：同期プリスケーラ分周比の MSB

このレジスタは、同期分周比の MSB を含みます。ck_spre 周波数 = ck_apre 周波数/ (PREDIV_S+1)。

注： ***PREDIV_S[14:13] は、中+容量および大容量デバイスでのみ使用可能です。***

注： ***このレジスタのは、RTC_ISR1 の INITF ビットが 1 にセットされているときのみ、初期化モードで書き込むことができます。***

このレジスタは書き込み保護されています。書き込みアクセス手順については、セクション 24.4.1: RTC レジスタの書き込み保護で説明されています。

24.11.15 同期プリスケーラレジスタローー（RTC_SPRERL）

アドレスオフセット：0x11

パワーオンリセット値：0xFF

リセット値：0xXX（このレジスタはシステムリセットによる影響を受けません。パワーオン時にリセットされます）。

7	6	5	4	3	2	1	0
PREDIV_S[7:0]							
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:0 **PREDIV_S[7:0]**：*同期* プリスケーラ分周比の LSB

このレジスタは、同期分周比の LSB を含みます。ck_spre 周波数 = ck_apre 周波数/ (PREDIV_S+1)。

注： ***このレジスタのは、RTC_ISR1 の INITF ビットが 1 にセットされているときのみ、初期化モードで書き込むことができます。***

このレジスタは書き込み保護されています。書き込みアクセス手順については、セクション 24.4.1: RTC レジスタの書き込み保護で説明されています。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

24.11.16 非同期プリスケーラレジスタ（RTC_APRER）

アドレスオフセット：0x12

パワーオンリセット値：0x7F

リセット値：0xXX（このレジスタはシステムリセットによる影響を受けません。パワーオン時にリセットされます）。

7	6	5	4	3	2	1	0
予約済み	PREDIV_A[6:0]						
	rw	rw	rw	rw	rw	rw	rw

ビット 7 予約済み、常に 0 として読み出されます。

ビット 6:0 **PREDIV_A[6:0]**：非同期プリスケーラ分周比

これは非同期の分周比です。

ck_apre 周波数 = f_{RTCCLK} 周波数/ (PREDIV_A+1)

*注： **PREDIV_A[6:0] = 000000 は、中容量デバイスでは禁止されている値です。***

*注： **このレジスタのは、RTC_ISR1 の INITF ビットが 1 にセットされているときのみ、初期化モードで書き込むことができます。***

このレジスタは書き込み保護されています。書き込みアクセス手順については、セクション 24.4.1: RTC レジスタの書き込み保護で説明されています。

24.11.17 ウェイクアップタイマレジスタハイ（RTC_WUTRH）

アドレスオフセット：0x14

パワーオンリセット値：0xFF

リセット値：0xXX（このレジスタはシステムリセットによる影響を受けません。パワーオン時にリセットされます）。

7	6	5	4	3	2	1	0
WUT[15:8]							
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:0 **WUT[15:8]**：ウェイクアップ MSB

ウェイクアップタイマが有効になると（WUTE が 1 にセットされると）、(WUT[15:0]+1)*ck_wut サイクルごとに WUTF フラグがセットされます。ck_wut の時間は、RTC_CR1 レジスタの WUCKSEL[2:0] ビットを通じて選択されます。

*注： **WUTF の最初のアサートは、WUTF がセットされてから (WUT+1) ck_wut サイクル ± 1 後に発生します。WUCKSEL[2:0]=011(f_{RTCCLK}/2) でのとき、WUT[15:0] を 000000 にセットすることは禁止されています。***

*注： **このレジスタは、RTC_CR2 の WUTE ビットが 0 にセットされ、RTC_ISR1 の WUTWF ビットが 1 にセットされたときのみ、書き込むことができます。***

このレジスタは書き込み保護されています。書き込みアクセス手順については、セクション 24.4.1: RTC レジスタの書き込み保護で説明されています。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

24.11.18 ウェイクアップタイマレジスタ ロー（RTC_WUTRL）

アドレスオフセット：0x15

パワーオンリセット値：0xFF

リセット値：0xXX（このレジスタはシステムリセットによる影響を受けません。パワーオン時にリセットされます）。

7	6	5	4	3	2	1	0
WUT[7:0]							
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:0 **WUT[7:0]**：ウェイクアップ LSB

ウェイクアップタイマが有効になると（WUTE が 1 にセットされると）、(WUT[15:0]+1)*ck_wut サイクルごとに WUTF フラグがセットされます。ck_wut の時間は、RTC_CR1 レジスタの WUCKSEL[2:0] ビットを通じて選択されます。

注： ***WUTF の最初のアサートは、WUTF がセットされてから (WUT+1) ck_wut サイクル ± 1 後に発生します。***

WUCKSEL[2:0]=011($f_{RTCCLK}/2$) でのとき、WUT[15:0] を 000000 にセットすることは禁止されています。

注： ***このレジスタは、RTC_CR2 の WUTE ビットが 0 にセットされ、RTC_ISR1 の WUTWF ビットが 1 にセットされたときのみ、書き込むことができます。***

このレジスタは書き込み保護されています。書き込みアクセス手順については、セクション 24.4.1: RTC レジスタの書き込み保護で説明されています。

24.11.19 書き込み保護レジスタ（RTC_WPR）

アドレスオフセット：0x19

リセット値：0x00

7	6	5	4	3	2	1	0
KEY[7:0]							
w	w	w	w	w	w	w	w

ビット 7:0 **KEY[7:0]**：書き込み保護キー

このバイトは、ソフトウェアによって書き込まれます。

このレジスタを読み出すと、0x00　が返されます。

RTC レジスタ書き込み保護を解除する方法については、*RTC レジスタの書き込み保護* を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

24.11.20 RTC シフト制御レジスタハイ（RTC_SHIFTRH）

RTC_SHIFTRH レジスタは、中+容量および大容量デバイスでのみ使用可能です。

アドレスオフセット：0x1A

リセット値：0x00

7	6	5	4	3	2	1	0
ADD1S	SUBFS[14:8]						
w	w	w	w	w	w	w	w

ビット 7 **ADD1S**：1 秒加算

0：影響なし。

1：クロック/カレンダに 1 秒を加算します。

このビットは書き込み専用であり、常に 0 として読み出されます。このビットに書き込まれた値は、RTC_SHIFTRL が書き込まれたときに有効になります。すでにペンディング中のシフト動作があった場合（RTC_ISR1 の SHPF=1）、このビットへの書き込みは、何の影響も与えません。

この機能は、SUBFS（RTC_SHIFTRL の説明を参照）とともに使用して、1 回の動作でクロックに 1 秒以下の値を効果的に加算することを目的としています。

ビット 6:0 **SUBFS[14:8]**：1 秒以下の値を減算するための MSB

このビットは書き込み専用であり、常に 0 として読み出されます。すでにペンディング中のシフト動作があった場合（RTC_ISR1 の SHPF=1）、このビットへの書き込みは、何の影響も与えません。

このレジスタに書き込まれた値は、RTC_SHIFTRL が書き込まれたときに有効になります。RTC_SHIFTRL の説明を参照してください。

24.11.21 RTC シフト制御レジスタロー（RTC_SHIFTRL）

RTC_SHIFTRL レジスタは、中+容量および大容量デバイスでのみ使用可能です。

アドレスオフセット：0x1B

リセット値：0x00

7	6	5	4	3	2	1	0
SUBFS[7:0]							
w	w	w	w	w	w	w	w

ビット 7:0 **SUBFS[7:0]**：1 秒以下の値を減算するための LSB

このレジスタに書き込む前に、まず、RTC_SHIFTRH に書き込むことによって、ADD1S と SUBFS[14:8] の値を定義しておく必要があります。

SUBFS[14:0]（RTC_SHIFTRH および RTC_SHIFTRL に含まれる）に書き込まれた値は、同期プリスケーラカウンタに加算されます。このカウンタはカウントダウンするので、この動作は実質的に、クロックからの減算（遅延）を行うことになります。

*セクション 24.4.7: RTC の同期（中+容量および大容量デバイスのみ）*も参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

24.11.22 アラーム A レジスタ 1 （RTC_ALRMAR1）

アドレスオフセット：0x1C

パワーオンリセット値：0x00

リセット値：0xXX（このレジスタはシステムリセットによる影響を受けません。パワーオン時にリセットされます）。

7	6	5	4	3	2	1	0
MSK1	ALST[2:0]			ALSU[3:0]			
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7 **MSK1**：アラーム A 秒マスク

0：秒が一致した場合、アラーム A がセットされます。
1：アラーム A の比較において秒は無視されます。

ビット 6:4 **ALST[2:0]**：BCD 形式での秒表示の 10 の桁

ビット 3:0 **ALSU[3:0]**：BCD 形式での秒表示の 1 の桁

注： ***このレジスタは、初期化モードで、または、RTC_CR2 の ALRAE ビットが 0 にセットされ、RTC_ISR1 の ALRAWF ビットが 1 にセットされたときに書き込むことができます。***

このレジスタは書き込み保護されています。書き込みアクセス手順については、セクション 24.4.1: RTC レジスタの書き込み保護で説明されています。

24.11.23 アラーム A レジスタ 2（RTC_ALRMAR2）

アドレスオフセット：0x1D

パワーオンリセット値：0x00

リセット値：0xXX（このレジスタはシステムリセットによる影響を受けません。パワーオン時にリセットされます）。

7	6	5	4	3	2	1	0
MSK2	ALMNT[2:0]			ALMNU[3:0]			
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7 **MSK2**：アラーム A 分マスク

0：分が一致した場合、アラーム A がセットされます。
1：アラーム A の比較において分は無視されます。

ビット 6:4 **ALMNT[2:0]**：BCD 形式での分表示の 10 の桁

ビット 3:0 **ALMNT[3:0]**：BCD 形式での分表示の 1 の桁

注： ***このレジスタは、初期化モードで、または、RTC_CR1 の ALRAE ビットが 0 にセットされ、RTC_ISR1 の ALRAWF ビットが 1 にセットされたときに書き込むことができます。***

このレジスタは書き込み保護されています。書き込みアクセス手順については、セクション 24.4.1: RTC レジスタの書き込み保護で説明されています。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

24.11.24 アラーム A レジスタ 3（RTC_ALRMAR3）

アドレスオフセット：0x1E

パワーオンリセット値：0x00

リセット値：0xXX（このレジスタはシステムリセットによる影響を受けません。パワーオン時にリセットされます）。

7	6	5	4	3	2	1	0
MSK3	PM	ALHT[1:0]		ALHU[3:0]			
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7 **MSK3**：アラーム A 時マスク

0：時が一致した場合、アラーム A がセットされます。
1：アラーム A の比較において時は無視されます。

ビット 6 **PM** ：AM/PM 表示

0：AM または 24 時間形式
1：PM

ビット 5:4 **ALHT[1:0]**：BCD 形式での時間表示の 10 の桁

ビット 3:0 **ALHT[3:0]**：BCD 形式での時間表示の 1 の桁

注： ***このレジスタは、初期化モードで、または、RTC_CR1 の ALRAE ビットが 0 にセットされ、RTC_ISR1 の ALRAWF ビットが 1 にセットされたときに書き込むことができます。***

このレジスタは書き込み保護されています。書き込みアクセス手順については、セクション 24.4.1: RTC レジスタの書き込み保護で説明されています。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

24.11.25 アラーム A レジスタ 4（RTC_ALRMAR4）

アドレスオフセット：0x1F

パワーオンリセット値：0x00

リセット値：0xXX（このレジスタはシステムリセットによる影響を受けません。パワーオン時にリセットされます）。

7	6	5	4	3	2	1	0
MSK4	WDSel	AL DT[1:0]		ALDU[3:0]/Day[2:0]			
r	r	rw	rw	rw	rw	rw	rw

ビット 7 **MSK4**：アラーム A 日付マスク

0：日付/曜日が一致した場合、アラーム A がセットされます。
1：アラーム A の比較において日付/曜日は無視されます。

ビット 6 **WDSEL**：曜日選択

0：DU[3:0] は日付を表します。
1: DU[3:0] は曜日を表します。DT[1:0] は無視されます。

ビット 5:4 **ALDT[1:0]**：BCD 形式での日付表示の 10 の桁

ビット 3:0 **ALHT[3:0]**：BCD 形式での日付表示の 1 の桁

注： ***このレジスタは、初期化モードで、または、RTC_CR1 の ALRAE ビットが 0 にセットされ、RTC_ISR1 の ALRAWF ビットが 1 にセットされたときに書き込むことができます。***

このレジスタは書き込み保護されています。書き込みアクセス手順については、セクション 24.4.1: RTC レジスタの書き込み保護で説明されています。

24.11.26 アラーム　A サブセカンドレジスタハイ（RTC_ALRMASSRH)

RTC_ALRMASSRH レジスタは、中+容量および大容量デバイスでのみ使用可能です。

アドレスオフセット：0x24

パワーオンリセット値：0x00

リセット値：0xXX（このレジスタはシステムリセットによる影響を受けません。パワーオン時にリセットされます）。

7	6	5	4	3	2	1	0
予約済み	ALSS[14:8]						
r	rw	rw	rw	rw	rw	rw	rw

ビット 7 予約済み

ビット 6:0 **ALSS[14:8]**：サブセカンド値の MSB

この値は、アラーム A を起動する必要があるかどうかを判断するために、同期プリスケーラカウンタの内容と比較されます。ビット 0 から MASKSS-1（RTC_ALRMAMSKR レジスタで定義）までだけが比較されることに注意してください。

この値が PREDIV_S より大きい場合（および MASKSS が十分大きい場合）、アラームは起動されません。

注： ***このレジスタは、RTC_CR1/ALRAE がリセットされたとき、または初期化モードでのみ、書き込むことができます。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

24.11.27 アラーム A サブセカンドレジスタ ロー（RTC_ALRMASSRL）

RTC_ALRMASSRL レジスタは、中+容量および大容量デバイスでのみ使用可能です。

アドレスオフセット：0x25

パワーオンリセット値：0x00

リセット値：0xXX（このレジスタはシステムリセットによる影響を受けません。パワーオン時にリセットされます）。

7	6	5	4	3	2	1	0
ALSS[7:0]							
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:0 **ALSS[7:0]**：サブセカンド値の LSB

この値は、アラーム A を起動する必要があるかどうかを判断するために、同期プリスケーラカウンタの内容と比較されます。ビット 0 から MASKSS-1（RTC_ALRMAMSKR レジスタで定義）までだけが比較されることに注意してください。

この値が PREDIV_S より大きい場合（および MASKSS が十分大きい場合）、アラームは起動されません。

注： ***このレジスタは、RTC_CR1/ALRAE がリセットされたとき、または初期化モードでのみ、書き込むことができます。***

24.11.28 アラーム A サブセカンドマスクレジスタ（RTC_ALRMASSMSKR）

RTC_ALRMASSMSKR レジスタは、中+容量および大容量デバイスでのみ使用可能です。

アドレスオフセット：0x26

パワーオンリセット値：0x00

リセット値：0xXX（このレジスタはシステムリセットによる影響を受けません。パワーオン時にリセットされます）。

7	6	5	4	3	2	1	0
予約済み				MASKSS[3:0]			
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:4 予約済み

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 3:0 **MASKSS[3:0]**：このビットから始めて、最上位ビットをマスク

0：アラーム A のサブセカンドの比較は行いません。アラームは、秒がインクリメントされたときに起動されます（残りのフィールドが一致していることが前提）。
1：アラーム A の比較において SS[14:1] は無視されます。SS[0] のみが比較されます。
2：アラーム A の比較において SS[14:2] は無視されます。SS[1:0] のみが比較されます。
3：アラーム A の比較において SS[14:3] は無視されます。SS[2:0] のみが比較されます。
...
12：アラーム A の比較において SS[14:12] は無視されます。SS[11:0] のみが比較されます。
13：アラーム A の比較において SS[14:13] は無視されます。SS[12:0] のみが比較されます。
14：アラーム A の比較において SS[14] は無視されます。SS[13:0] のみが比較されます。
15：アラーム A の比較において SS[14:0] は無視されます。

注：　同期カウンタのオーバーフロービット（ビット 15）は比較されません。このビットは、シフト動作の直後のみ 0 でなくなることがあります。

注：　このレジスタは、RTC_CR0/ALRBE がリセットされたとき、または初期化モードでのみ書き込むことができます。

24.11.29 較正レジスタハイ（RTC_CALRH）

RTC_CALRH レジスタは、中+容量および大容量デバイスでのみ使用可能です。

アドレスオフセット：0x2A

パワーオンリセット値：0x00

リセット値：0xXX（このレジスタはシステムリセットによる影響を受けません。パワーオン時にリセットされます）。

7	6	5	4	3	2	1	0
CALP	CALW8	CALW16	予約済み				CALM[8]
rw	rw	rw					rw

ビット 7 **CALP**：RTC 周波数を 488.5 ppm だけ増加する

0：RTCCLK パルスは追加されません。
1: 2^{11} パルスごとに 1 RTCCLK パルスが挿入され、カレンダの周波数を 488.5 ppm だけ増加します。これは、入力周波数 32768 Hz のとき、32 秒ごとに 512 クロックパルス（または 16 秒ごとに 256 パルス、あるいは 8 秒ごとに 128 パルス）が追加されることに相当します。

この機能は、CALM と組み合わせて使用して、カレンダの周波数を高精度で低下させることを目的としています。32 秒の時間枠で追加される RTCCLK パルスの数は、(512*CALP)-CALM です。このように、カレンダの周波数を -487.1 ppm から +488.5 ppm までの間で、約 0.954 ppm の精度で調整できます（*セクション 24.6: RTC のスムーズなデジタル較正（中+容量および 大容量デバイスのみ）*を参照）。

注：　PREDIV_A (RTC_APRER) がすでに 3 未満の値にセットされている場合、CALP を 1 にセットすることはできません。CALP がすでに 1 にセットされていて、後で PREDIV_A が 3 未満の値にセットされた場合、CALP は無視され、較正は CALP が 0 にセットされたものとして機能します。この場合、PREDIV_S を下げて、各秒が 8 RTCCLK クロックサイクルだけ加速されるようにする必要があります。これによって、CALP 機能を効果的に置き換えることができます（セクション 24.6.1: PREDIV_A<3 のときの較正を参照）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 6 **CALW8**：8 秒の較正サイクル時間

1：強制的に 8 秒の較正サイクル時間にします（*セクション 24.6: RTC のスムーズなデジタル較正（中+容量および 大容量デバイスのみ）*を参照）。

RTC の精度を 8 秒間で測定することができ、最大誤差は、CALP/CALM[8:0] に対して最良の値が選択されたと仮定して、1.907 ppm（8 秒間で 0.5 RTCCLK サイクル）です。この場合、RTC の長期精度も 1.907 ppm に低下します。CAL8 が 1 にセットされたとき、CALM[1:0] ビットは 0b00 にセットされたままであることに注意してください。

ビット 5 **CALW16**：16 秒の較正サイクル時間

1：強制的に 16 秒の較正サイクル時間にします（*セクション 24.6: RTC のスムーズなデジタル較正（中+容量および 大容量デバイスのみ）*を参照）。

この場合、RTC の精度を 16 秒間で測定でき、最大誤差は、0.954 ppm（16 秒で 0.5 RTCCLK サイクル）です。ただし、較正精度が低下するので、RTC の長期精度も 0.954 ppm に低下します。CALW8 または CALW16 が 1 にセットされた場合、CALM[0] を 1 にセットすることはできません。

ビット 4:1 予約済み

ビット 0 **CALM[8]**：較正マイナスの MSB

RTC_CALRL の説明を参照してください。

注： ***このレジスタは、RTC_ISR1/RECALPF が 1 にセットされたときは書き込むことができません（セクション 24.6.3: 動作中の再較正を参照）。***

24.11.30 較正レジスタ ロー（RTC_CALRL）

RTC_CALRL レジスタは、中+容量および大容量デバイスでのみ使用可能です。

アドレスオフセット：0x2B

パワーオンリセット値：0x00

リセット値：0xXX（このレジスタはシステムリセットによる影響を受けません。パワーオン時にリセットされます）。

7	6	5	4	3	2	1	0
CALM[7:0]							
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:0 **CALM[7:0]**：較正マイナスの LSB

カレンダの周波数は、約 2^{20} RTCCLK パルスから CALM[8:0] パルス（RTC_CALRH および RTC_CALRL で定義）をマスクすることによって、言い換えると、入力を 32768 Hz と仮定して、32 秒ごとに CALM RTCCLK パルスを取り除くことによって減少されます。これによって、カレンダの周波数は 0.9537 ppm の精度で減少されます。パルスがかなり定期的な間隔でマスクされることによって、ごく短時間でも RTC を十分に較正できます。

カレンダの周波数を高めるには、この機能を CALP と組み合わせて使用する必要があります。

注： ***このレジスタは、RTC_ISR1/RECALPF が 1 のときには、書き込むことができません（セクション 24.6.3: 動作中の再較正を参照）。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

24.11.31 タンパ制御レジスタ 1（RTC_TCR1）

RTC_TCR1 レジスタは、中+容量および大容量デバイスでのみ使用可能です。

アドレスオフセット：0x2C

パワーオンリセット値：0x00

リセット値：0xXX（このレジスタはシステムリセットによる影響を受けません。パワーオン時にリセットされます）。

7	6	5	4	3	2	1	0
予約済み	TAMP3LEVEL	TAMP3E	TAMP2LEVEL	TAMP2E	TAMP1LEVEL	TAMP1E	TAMPIE
	rw	rw	rw	rw	rw	rw	rw

ビット 7 予約済み

ビット 6 **TAMP3LEVEL**：タンパ入力 3 のアクティブレベル

0：TAMPER3 ローレベルがタンパ検出イベントをトリガします。

1：TAMPER3 ハイレベルがタンパ検出イベントをトリガします。

ビット 5 **TAMP3E**：タンパ入力 3（TAMPER3）のタンパ検出イネーブル

TAMP3E がセットされると、タンパ入力 3 のタンパ検出機能が起動され、タンパ検出イベントによってタンパ検出割り込みが生成されます（有効な場合）。

0：タンパ入力 3 でのタンパ検出は無効です。

1：タンパ入力 3 でのタンパ検出は有効です。

ビット 4 **TAMP2LEVEL**：タンパ入力 2 のアクティブレベル

0：TAMPER2 ローレベルがタンパ検出イベントをトリガします。

1：TAMPER2 ハイレベルがタンパ検出イベントをトリガします。

ビット 3 **TAMP2E**：タンパ入力 2（TAMPER2）のタンパ検出イネーブル

TAMP2E がセットされると、タンパ入力 2 のタンパ検出が起動され、タンパ検出イベントによってタンパ検出割り込みが生成されます（有効な場合）。

0：タンパ入力 2 でのタンパ検出は無効です。

1：タンパ入力 2 でのタンパ検出は有効です。

ビット 2 **TAMP1LEVEL**：タンパ 1 のアクティブレベル

0：TAMPER1 ローレベルがタンパ検出イベントをトリガします。

1：TAMPER1 ハイレベルがタンパ検出イベントをトリガします。

ビット 1 **TAMP1E**：タンパ入力 1（TAMPER1）のタンパ検出イネーブル

TAMP1E がセットされると、タンパ入力 1 のタンパ検出が起動され、タンパ検出イベントによってタンパ検出割り込みが生成されます（有効な場合）。

0：タンパ入力 1 でのタンパ検出は無効です。

1：タンパ入力 1 でのタンパ検出は有効です。

ビット 0 **TAMPIE**：タンパ割り込みイネーブル

TAMPIE がセットされると、タンパ検出イベントによって割り込みが生成されます。

0：タンパ割り込みは無効です。

1：タンパ割り込みは有効です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

24.11.32 タンパ制御レジスタ 2（RTC_TCR2）

RTC_TCR2 レジスタは、中+容量および大容量デバイスでのみ使用可能です。

アドレスオフセット：0x2D

パワーオンリセット値：0x00

リセット値：0xXX（このレジスタはシステムリセットによる影響を受けません。パワーオン時にリセットされます）。

7	6	5	4	3	2	1	0
TAMPPUDIS	TAMPPRCH[1:0]		TAMPFLT[1:0]		TAMPFREQ[2:0]		
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7 **TAMPPUDIS**：TAMPER プルアップディセーブル

このビットは、各サンプリングの前に各タンパピンがプリチャージされるかどうかを決めます。

0：タンパピンはサンプリングの前にプリチャージされます（プルアップ）。

1：タンパピンのプリチャージは無効です。

ビット 6:5 **TAMPPRCH[1:0]**：タンパプリチャージ/ディスチャージ時間

このビットは、各サンプリングの前に弱プルアップが有効な時間を決めます。TAMPPRCH[1:0] は、各タンパ入力に対して有効です。このフィールドは、TAMPPUDIS=1 のときは意味を持ちません。

0x0：1 RTCCLK クロックサイクル
0x1：2 RTCCLK クロックサイクル
0x2：4 RTCCLK クロックサイクル
0x3：8 RTCCLK クロックサイクル

ビット 4:3 **TAMPFLT[1:0]**：タンパフィルタカウント

このビットは、タンパイベントの起動に必要な、TAMPxLEVEL によって指定されたレベルでの連続サンプル数を決めます。TAMPFLT は、各タンパ入力に対して有効です。

0x0：タンパは、アクティブレベルで 1 サンプル後に起動されます。
0x1：タンパは、アクティブレベルで連続 2 サンプル後に起動されます。
0x2：タンパは、アクティブレベルで連続 4 サンプル後に起動されます。
0x3：タンパは、アクティブレベルで連続 8 サンプル後に起動されます。

ビット 2:0 **TAMPFREQ[2:0]**：タンパサンプリング周波数

このビットは、各タンパ入力がサンプリングされる周波数を決めます。

0x0：RTCCLK / 32768 （RTCCLK = 32768 Hz のとき 1 Hz）
0x1：RTCCLK / 16384 （RTCCLK = 32768 Hz のとき 2 Hz）
0x2：RTCCLK / 8192 （RTCCLK = 32768 Hz のとき 4 Hz）
0x3：RTCCLK / 4096 （RTCCLK = 32768 Hz のとき 8 Hz）
0x4：RTCCLK / 2048 （RTCCLK = 32768 Hz のとき 16 Hz）
0x5：RTCCLK / 1024 （RTCCLK = 32768 Hz のとき 32 Hz）
0x6：RTCCLK / 512 （RTCCLK = 32768 Hz のとき 64 Hz）
0x7：RTCCLK / 256 （RTCCLK = 32768 Hz のとき 128 Hz）

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

24.11.33 RTC レジスタマップとリセット値

表 76. RTC レジスタマップとリセット値

アドレスオフセット	レジスタ名	7	6	5	4	3	2	1	0
0x00	RTC_TR1 リセット値 (1)	0	ST[2:0] 000			SU[3:0] 0000			
0x01	RTC_TR2 リセット値 (1)	0	MNT[2:0] 000			MNU[3:0] 0000			
0x02	RTC_TR3 リセット値 (1)	0	PM 0	HT[1:0] 00		HU[3:0] 0000			
0x03	予約済み								
0x04	RTC_DR1 リセット値 (1)	0	0	DT[1:0] 00		DU[3:0] 0001			
0x05	RTC_DR2 リセット値 (1)	WDU[2:0] 001			MT 0	MU[3:0] 0001			
0x06	RTC_DR3 リセット値 (1)	YT[3:0] 0000				YU[3:0] 0000			
0x07	予約済み								
0x08	RTC_CR1 パワーオン リセット値(1)	0	FMT 0	RATIO 0	BYPSHAD (3) 0	0	WUCKSEL[2:0] 000		
0x09	RTC_CR2 パワーオン リセット値 (1)	0	WUTIE 0	0	ALRAIE 0	0	WUTE 0	0	ALRAE 0
0x0A	RTC_CR3 パワーオン リセット値 (1)	COE 0	OSEL[1:0] 00		POL 0	COSEL (3) 0	BCK 0	SUB1H 0	ADD1H 0
0x0B	予約済み								
0x0C	RTC_ISR1 リセット値 (1)	INIT 0	INITF 0	RSF 0	INITS 0	SHPF (3) 0	WUTWF 0	RECALPF (3) 0	ALRAWF(2) 1
0x0D	RTC_ISR2 リセット値 (1)	TAMP3F(3) 0	TAMP2F (3) 0	TAMP1F (3) 0	- 0	- 0	WUTF 0	- 0	ALRAF 0
0x0E- 0x0F	予約済み								
0x10	RTC_SPRERH パワーオン リセット値 (1)	- 0	PREDIV_S[14:13] (3) 00		PREDIV_S[12:8] 00000				
0x11	RTC_SPRERL パワーオン リセット値 (1)	PREDIV_S[7:0] 111111111							
0x12	RTC_APRER パワーオン リセット値 (1)	0	PREDIV_A[6:0] 1111111						
0x13	予約済み								
0x14	RTC_WUTRH パワーオン リセット値 (1)	WUT[15:8] 11111111							
0x15	RTC_WUTRL パワーオン リセット値 (1)	WUT[7:0] 11111111							
0x16	予約済み								

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 76. RTC レジスタマップとリセット値 （続き）

アドレスオフセット	レジスタ名	7	6	5	4	3	2	1	0
0x17	RTC_SSRL (3) リセット値 (1)	ALSS[15:8] -							
0x18	RTC_SSRH (3) リセット値 (1)	ALSS[7:0] -							
0x19	RTC_WPR リセット値 (1)	KEY 0x00							
0x1A	RTC_SHIFTRH (3) リセット値 (1)	ADD1S 0	SUBFS[14:8] 0000000						
0x1B	RTC_SHIFTRL (3) リセット値 (1)	SUBFS[7:0] 00000000							
0x1C	RTC_ALRMAR1 パワーオンリセット値 (1)	MSK1 0	ALST[2:0] 000			ALSU[3:0] 0000			
0x1D	RTC_ALRMAR2 パワーオンリセット値 (1)	MSK2 0	ALMNT[2:0] 000			ALMNU[3:0] 0000			
0x1E	RTC_ALRMAR3 パワーオンリセット値 (1)	MSK3 0	PM 0	ALHT[1:0] 00		ALHU[3:0] 0000			
0x1F	RTC_ALRMAR4 パワーオンリセット値 (1)	MSK4 0	WDSEL 0	ALDT[1:0] 00		ALDU[3:0] 0000			
0x20-0x23	予約済み								
0x24	RTC_ALRMASSRH (3) パワーオンリセット値 (1)	ALSS[14:8] 00000000							
0x25	RTC_ALRMASSRL (3) パワーオンリセット値 (1)	ALSS[7:0] 00000000							
0x26	RTC_ALRMASSMSKR (3) パワーオンリセット値 (1)	0	0	0	0	MASKSS[3:0] 0000			
0x27-0x29	予約済み								
0x2A	RTC_CALRH (3) パワーオンリセット値 (1)	CALP 0	CALW8 0	CALW16 0	-	0000			CALM[8] 0
0x2B	RTC_CALRL (3) パワーオンリセット値 (1)	CALM[7:0] 00000000							

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 76. RTC レジスタマップとリセット値 （続き）

アドレスオフセット	レジスタ名	7	6	5	4	3	2	1	0
0x2C	RTC_TCR1 (3) パワーオンリセット値 (1)	- 0	TAMP3 レベル 0	TAMP3E 0	TAMP2 レベル 0	TAMP2E 0	TAMP1 レベル 0	TAMP1E 0	TAMPIE 0
0x2D	RTC_TCR2 (3) パワーオンリセット値 (1)	TAMPPUDIS 0	TAMPPRCH[1:0] 00		TAMPFLT[1:0] 00		TAMPFREQ[2:0] 000		

1. パワーオンリセット値は、システムリセットによる影響を受けず、パワーオン時にリセットされるレジスタ（RTC_CRx、RTC_SPREx、RTC_APRE、RTC_WUTRx、RTC_SSRx、および RTC_ALRMARx、RTC_ALRMASSx、RTC_CALx、RTC_TCRx）に対して与えられます。システムリセット値は、その他のレジスタ（RTC_TRx、RTC_DRx、RTC_ISRx）に対して与えられます。
2. リセット値は、中+容量デバイスでは 1、中容量デバイスでは 0 です。
3. 中+容量および大容量デバイスでのみ使用可能です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

25 独立型ウォッチドッグ（IWDG）

このセクションの説明は、特に指定がない限り、中容量 STM8L15x デバイス、中+容量 STM8L15x デバイス、および大容量 STM8L15x/STM8L16x デバイスに適用されます。

25.1 概要

独立型ウォッチドッグペリフェラルは、ハードウェアまたはソフトウェア障害によるプロセッサの誤動作を解決するために使用できます。LSI 内部 RC クロックソースによってクロック供給されるので、メインクロックに障害が発生しても動作を継続します。

25.2 IWDG 機能の説明

*図 124*に、独立型ウォッチドッグモジュールの機能ブロックを示します。

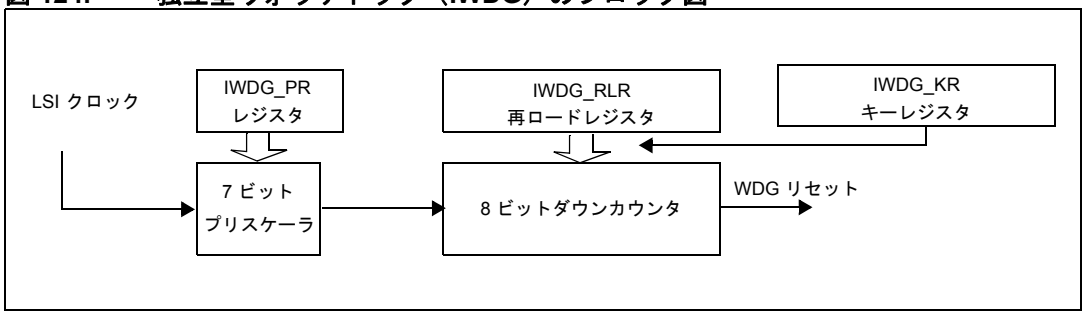
キーレジスタ（IWDG_KR）に値 0xCC が書き込まれることによって独立型ウォッチドッグが開始すると、カウンタはリセット値 0xFF からカウントダウンを開始します。カウント値の終わり（0x00）に達すると、リセット信号が生成されます（WDG_RESET）。

有効にした後、独立型ウォッチドッグは、IWDG_PR および IWDG_RLR レジスタを通じて設定できます。IWDG_PR レジスタは、カウンタクロックを供給するプリスケーラ分周回路を選択するために使用されます。IWDG_KR レジスタに KEY_REFRESH 値（0xAA）が書き込まれると、IWDG_RLR の値をカウンタに 再ロードすることによって IWDG がリフレッシュされ、ウォッチドッグのリセットが防止されます。

IWDG_PR および IWDG_RLR レジスタは書き込み保護されます。これらを変更するには、まず、IWDG_KR レジスタに KEY_ACCESS コード（0x55）を書き込みます。このシーケンスは、IWDG_KR レジスタに 0xAA を書き込んで更新することによって中止できます。

IWDG レジスタの詳細については、*セクション 25.3: IWDG レジスタ*を参照してください。

図 124. 独立型ウォッチドッグ（IWDG）のブロック図



ハードウェアウォッチドッグ機能

IWDG_HW オプションバイトを通じてハードウェアウォッチドッグ機能が有効になった場合、ウォッチドッグは電源投入時に自動的に有効になり、カウンタが最終値に達する前にソフトウェアによってキーレジスタへの書き込みが行われない限り、リセットを生成します。データシートのオプションバイトの説明を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

タイムアウト時間

タイムアウトまでの時間は、この値とクロックプリスケーラによって決まります。次の式で与えられます。

$$T = T_{LSI} \times P_S \times (R_v + 1)$$

ここで：

T = カウントダウンの時間（再ロード後、リセットの生成に必要な時間）

T_{LSI} = 低速内部クロックソース（低電力 RC）の周期

Ps= プリスケーラの選択（IWDG_PR レジスタに応じて、4 から 256 まで）

Rv = 再ロード値（IWDG_PR レジスタに応じて、0 から 255 まで)

最小タイムアウト時間の値については、次の表を参照してください。

表 77. IWDG タイムアウト時間の最小値/最大値（LSI クロック周波数 = 38 kHz)

プリスケーラ分周回路	PR[2:0] ビット	RL[7:0]= 0x00	RL[7:0]= 0xFF
		タイムアウト最小値(ms)	タイムアウト最大値(ms)
/4	0	0.10	26.94
/8	1	0.21	53.89
/16	2	0.42	107.789
/32	3	0.84	215.57
/64	4	1.68	431.15
/128	5	3.36	862.31
/256	6	6.73	1724.63

HALT/アクティブ HALT モードでの IWDG の使用

IWDG は、IWDG_HALT オプションバイトの設定に応じて、HALT またはアクティブ HALT モードでも動作を続行できます。この場合、これらのモードのいずれかからデバイスをウェイクアップできます。詳細については、データシートのオプションバイトの説明を参照してください。

注： ***予期しない IWDG のリセットを避けるために、アプリケーションは、HALT 命令を実行する前に、IWDG のタイムアウトを正しく設定し、IWDG カウンタを更新しておく必要があります。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

25.3 IWDG レジスタ

25.3.1 キーレジスタ (IWDG_KR)

アドレスオフセット：0x00

リセット値：未定義

7	6	5	4	3	2	1	0
KEY[7:0]							
w	w	w	w	w	w	w	w

ビット 7:0 **KEY[7:0]**：キー値

KEY_REFRESH の値は、ソフトウェアによって一定間隔で書き込まれなければなりません。さもないと、カウンタが 0 に達したときにウォッチドッグが MCU リセットを生成します。

IWDG がオプションバイトによって有効にされていない場合（データシートのオプションバイトの説明を参照）、KEY_ENABLE の値がこのレジスタに書き込まれる最初の値になります。

KEY_ENABLE 値 = 0xCC
KEY_ENABLE の値が書き込まれると、IWDG がスタートします。
KEY_REFRESH 値 = 0xAA
KEY_ENABLE の値が書き込まれると 、IWDG が更新されます。
KEY_ACCESS 値 = 0x55
KEY_ENABLE の値が書き込まれると、保護されている IWDG_PR および IWDG_RLR レジスタへのアクセスが可能になります（*セクション 25.2*を参照）。

25.3.2 プリスケーラレジスタ (IWDG_PR)

アドレスオフセット：0x01

リセット値：0x00

7	6	5	4	3	2	1	0
予約済み					PR[2:0]		
					rw	rw	rw

ビット 7:3 予約済み、クリア状態に保つ必要があります。

ビット 2:0 **PR[2:0]**：*プリスケーラ分周回路*

これらのビットは、書き込みアクセス保護がなされています（*セクション 25.2*を参照）。カウンタクロックを供給するプリスケーラ分周回路を選択するために、ソフトウェアによって書き込まれます。

000：4 分周
001：8 分周
010：16 分周
011：32 分周
100：64 分周
101：128 分周
110：256 分周
111：予約済み

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

25.3.3 再ロードレジスタ (IWDG_RLR)

アドレスオフセット：0x02

リセット値：0xFF

7	6	5	4	3	2	1	0
RL[7:0]							
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:0 **RL[7:0]**：ウォッチドッグカウンタ再ロード値

これらのビットは、書き込みアクセス保護がなされています（*セクション 25.2* を参照）。IWDG_KR レジスタに値 0xAA が書き込まれるたびにウォッチドッグカウンタにロードされる値を定義するために、ソフトウェアによって書き込まれます。ウォッチドッグカウンタは、この値からカウントダウンします。タイムアウトまでの時間は、この値とクロックプリスケーラによって決まります。*表 77* を参照してください。

25.3.4 IWDG レジスタマップとリセット値

表 78. IWDG レジスタマップ

アドレスオフセット	レジスタ名	7	6	5	4	3	2	1	0
0x00	IWDG_KR リセット値	KEY7 x	KEY6 x	KEY5 x	KEY4 x	KEY3 x	KEY2 x	KEY1 x	KEY0 x
0x01	IWDG_PR リセット値	- 0	- 0	- 0	- 0	- 0	PR2 0	PR1 0	PR0 0
0x02	IWDG_RLR リセット値	RL7 1	RL6 1	RL5 1	RL4 1	RL3 1	RL2 1	RL1 1	RL0 1

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

26 ウィンドウ型ウォッチドッグ（WWDG）

このセクションの説明は、特に指定がない限り、中容量 STM8L15x デバイス、中+容量 STM8L15x デバイス、および大容量 STM8L15x/STM8L16x デバイスに適用されます。

26.1 概要

ウィンドウ型ウォッチドッグは、通常、外部の影響や予期しない論理条件などによって発生し、アプリケーションプログラムを正常なシーケンスから逸脱させるソフトウェア障害を検出するために使用されます。ウォッチドッグ回路は、T6 ビットがクリアされる前にプログラムがダウンカウンタの内容を更新しない限り、プログラムされた時間の経過後に MCU リセットを生成します。MCU リセットは、ダウンカウンタがウィンドウレジスタ値に達する前に 7 ビットのダウンカウンタの値（制御レジスタ内）が更新された場合にも生成されます。このことは、限られた時間枠（time-window）の間にカウンタが更新されなければならないことを意味します。

26.2 WWDG の主な機能

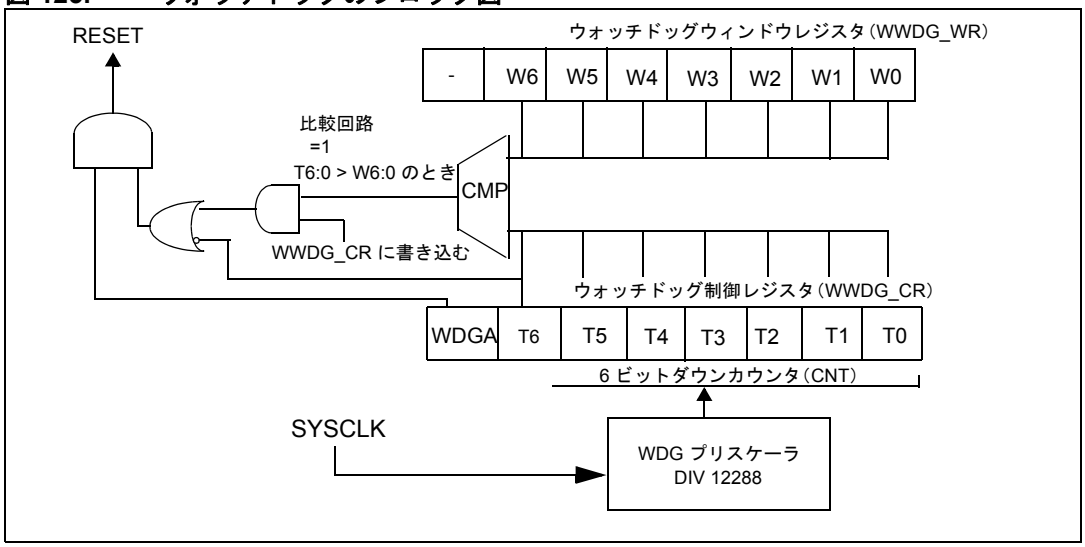
- プログラム可能なフリーランニングダウンカウンタ
- 条件付きリセット
  - ダウンカウンタの値が 0x40 より小さくなったときにリセット（ウォッチドッグが有効な場合）。
  - ダウンカウンタがウィンドウ外で再ロードされた場合にリセット（ウォッチドッグが有効な場合）（*図 126* を参照）
- ハードウェア/ソフトウェアウォッチドッグの起動（オプションバイトで選択可能）。
- HALT 命令によるオプションのリセット（オプションバイトで設定可能）。

26.3 WWDG 機能の説明

ウォッチドッグが有効であり（WDGA ビットがセット）、7 ビットのダウンカウンタ（T[6:0] ビット）が 0x40 から 0x3F にロールオーバーすると（T6 がクリア）、リセットサイクルを開始して、リセットピンをローに引き下げます。カウンタがウィンドウレジスタに格納された値より大きい間にソフトウェアがカウンタをリフレッシュした場合にも、リセットが生成されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 125. ウォッチドッグのブロック図



アプリケーションプログラムは、通常動作時には定期的に WWDG_CR レジスタへの書き込みを行って、MCU リセットを防ぐ必要があります。この操作は、カウンタの値がウィンドウレジスタの値より小さいときに限られます。WWDG_CR レジスタに格納される値は、0xFF から 0xC0 の間でなければなりません。

- ウォッチドッグを有効にするには：
  ソフトウェアウォッチドッグが選択されると（オプションバイトによって）、ウォッチドッグはリセット後に無効になります。これを有効にするには、WWDG_CR レジスタの WDGA ビットをセットします。この後は、リセット以外の方法でウォッチドッグを無効にすることはできません。

  ハードウェアウォッチドッグが選択されると（オプションバイトによって）、ウォッチドッグは常にアクティブであり、WDGA ビットは使用されません。
- ダウンカウンタを制御するには：
  このダウンカウンタはフリーランニングであり、ウォッチドッグが無効状態であってもカウントダウンを続けます。ウォッチドッグを有効にするときには、T6 ビットをセットして、リセットの生成を防ぐ必要があります。
  T[5:0] ビットは、ウォッチドッグがリセットを生成するまでの時間遅延を表すインクリメント数を含みます。WWDG_CR レジスタに書き込むときのプリスケーラの状態は不明なので、タイミングは最小値から最大値までさまざまです（*図 126*を参照）。

  ウィンドウレジスタ（WWDG_WR）はウィンドウの上限値を含みます。リセットを防ぐには、ダウンカウンタの再ロードは、カウンタの値がウィンドウレジスタの値より小さく、0x3F より大きいときに行わなければなりません。*図 126* に、ウィンドウ型ウォッチドッグプロセスを示します。

注： ***T6 ビットを使用して、ソフトウェアリセットを生成することができます（WDGA ビットはセット、T6 ビットはクリアされます）。***

- ホールトオプションによるウォッチドッグのリセット
  ウォッチドッグが起動され、ホールトオプションによるウォッチドッグのリセットが選択された場合、HALT 命令によってリセットが生成されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

26.4 ウォッチドッグタイムアウトをプログラムするには

次の式を使用して、WWDG タイムアウト t_{WWDG}（ms 単位）を計算できます。

$$t_{WWDG} = T_{SYSCLK} \times 12288 \times (T[5:0] + 1)$$

T_{SYSCLK} は、ペリフェラルのクロック時間です（単位：ms）。

警告： **ただちにリセットされるのを防ぐために、WWDG_CR レジスタに書き込むときには、常に T6 ビットに 1 を書き込んでください。**

図 126. ウィンドウ型ウォッチドッグのタイミング図

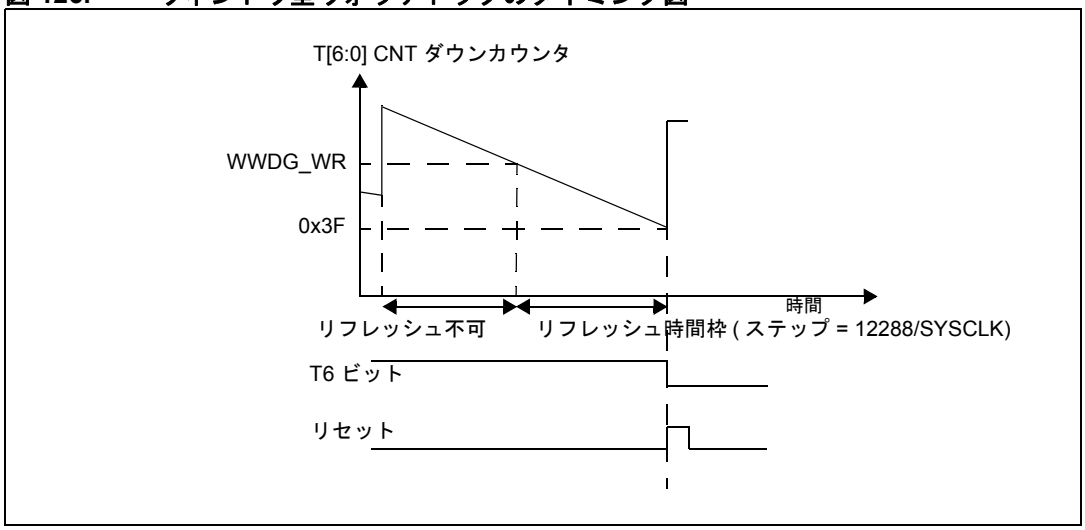


表 79. ウィンドウ型ウォッチドッグのタイミング例

T[6:0]	SYSCLK (MHz)	
	2	16
40h	6.144	0.768
7Fh	393.216	49.152

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

26.5 WWDG 低電力モード

表 80. 低電力モードが WWDG に与える影響

モード	説明	
WAIT	ウォッチドッグに影響なし：ダウンカウンタはデクリメントを続行します。	
HALT	オプションバイトの WWDG_HALT	
	0	ウォッチドッグリセットは生成されません。MCU は HALT モードに入ります。ウォッチドッグカウンタは、デクリメントされた後、カウントを停止し、MCU が外部割り込みまたはリセットを受け取るまで、ウォッチドッグリセットを生成できなくなります。 割り込みを受信した場合（HALT モードで発生する可能性のある割り込みについては、割り込みテーブルマッピングを参照）、ウォッチドッグは安定化遅延後にカウントを再スタートします。リセットが生成された場合、オプションバイトによってハードウェアウォッチドッグが選択されていない限り、ウォッチドッグは無効になります（リセット状態）。アプリケーションの推奨事項については、下記の*セクション 26.7*を参照してください。
	1	HALT モードに入る代わりに、リセットが生成されます。
アクティブ HALT	x	リセットは生成されません。MCU はアクティブ HALT モードに入ります。ウォッチドッグカウンタは、デクリメントされません。カウントを停止します。MCU がオシレータ割り込みまたは外部割り込みを受け取ると、ウォッチドッグはただちにカウントを再スタートします。MCU がリセットを受け取ると、ウォッチドッグは安定化遅延後にカウントを再スタートします。

26.6 ハードウェアウォッチドッグオプション

ハードウェアウォッチドッグがオプションバイトによって選択された場合、ウォッチドッグは常にアクティブであり、WWDG_CR レジスタの WDGA ビットは使用されません。データシートのオプションバイトの説明を参照してください。

26.7 WWDG 割り込み

なし

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

26.8 WWDG レジスタ

26.8.1 Control register (WWDG_CR)

アドレスオフセット：0x00

リセット値：0x7F

7	6	5	4	3	2	1	0
WDGA	T6	T5	T4	T3	T2	T1	T0
rs	rw	rw	rw	rw	rw	rw	rw

ビット 7 **WDGA**：有効化ビット [(1)]

このビットは、ソフトウェアによってセットされ、リセット後はハードウェアによってのみクリアされます。WDGA = 1 のとき、ウォッチドッグはリセットを生成できます。

0：ウォッチドッグは無効です。
1：ウォッチドッグは有効です。

ビット 6:0 **T[6:0]**：7 ビットカウンタ（MSB から LSB まで）

これらのビットは、ウォッチドッグカウンタの値を含みます。12288 SYSCLK サイクル（およそ）ごとにデクリメントされます。0x40 から 0x3F にロールオーバーすると（T6 がクリアされると）、リセットが生成されます。

1. このビットは、ハードウェアウォッチドッグオプションがオプションバイトによって有効にされた場合には使用されません。

26.8.2 Window register (WWDG_WR)

アドレスオフセット：0x01

リセット値：0x7F

7	6	5	4	3	2	1	0
予約済み	W6	W5	W4	W3	W2	W1	W0
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7 予約済み

ビット 6:0 **W[6:0]**：7 ビットウィンドウ値

これらのビットは、ダウンカウンタと比較されるウィンドウ値を含みます。

26.9 ウィンドウ型ウォッチドッグレジスタマップとリセット値

表 81. WWDG レジスタマップとリセット値

アドレスオフセット	レジスタ名	7	6	5	4	3	2	1	0
0x00	WWDG_CR リセット値	WDGA 0	T6 1	T5 1	T4 1	T3 1	T2 1	T1 1	T0 1
0x01	WWDG_WR リセット値	- 0	W6 1	W5 1	W4 1	W3 1	W2 1	W1 1	W0 1

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

27 AES ハードウェアアクセラレータ（AES）

このセクションは、大容量 STM8L 16x デバイスのみに適用されます。

27.1 概要

AES ハードウェアアクセラレータは、AES アルゴリズムを使用したデータの暗号化と復号の両方に使用されます。

連邦情報処理規格（FIPS：Federal Information Processing Standards Publication、FIPS PUB 197, 2001 November 26）によって定義されている高度暗号化標準（AES：Advanced Encryption Standard）に完全準拠しています。

このアクセラレータは、128 ビット長のキーを使用して 128 ビットのブロックの暗号化と復号を行います。キーの生成を行うこともできます。

ECB（Electronic CodeBook）モード、CBC（Cipher Block Chaining）モード、CTR (Counter）モード、GCM（Galois Counter Mode）など、さまざまな連結アルゴリズムをサポートしています。

受信データと送信データの両方で DMA 転送をサポートします（2 つの DMA チャネルが必要）。

27.2 AES の主な機能

- AES Rijndael ブロック暗号アルゴリズムを使用した暗号化/復号
- NIST FIPS 197 に準拠した AES 暗号化/復号アルゴリズムの実装
- キースケジューラ
- 復号のためのキー生成
- 128 ビットデータブロックの処理
- 128 ビットのキー長
- 1 つの 128 ビットブロックの暗号化または復号には、892 クロックサイクル
- 1 x 8 ビットの入力バッファと 1 x 8 ビットの出力バッファ
- 2 つのチャネル（受信データ用と送信データ用）を使用したダイレクトメモリアクセス（DMA）による自動データフロー制御

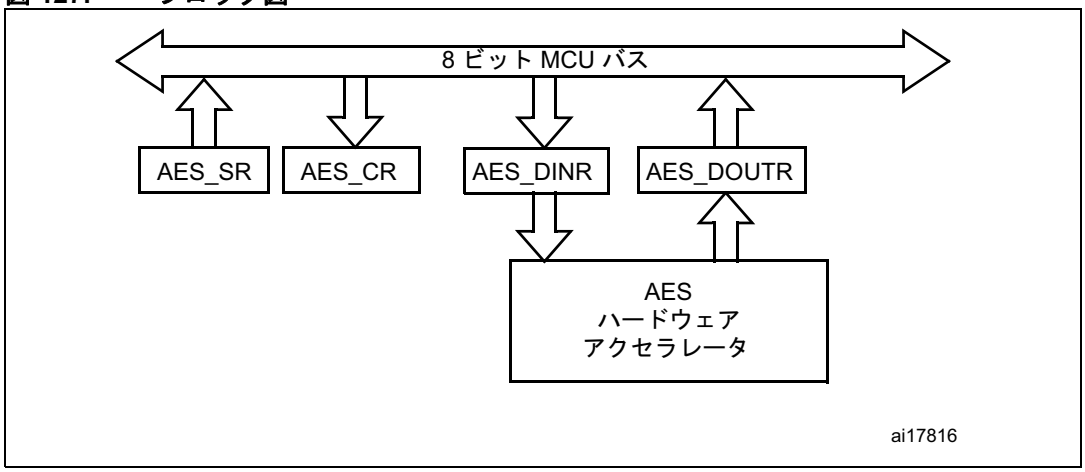
この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

27.3 AES 機能の説明

暗号プロセッサは、AES 暗号アルゴリズムの処理をハードウェアによって加速します。

図 127 に、暗号プロセッサのブロック図を示します。

図 127. ブロック図



AES アクセラレータは、128 ビット長のキーを使用して、以下の 4 つの動作モードで 128 ビット（16 バイト）のデータブロックを処理します。

- モード 1：暗号化
- モード 2：キー生成
- モード 3：与えられた（事前に計算された）復号キーを使用した復号
- モード 4：キー生成と暗号化キーを使用した復号

動作モードは、AES_CR レジスタの MODE[1:0] ビットをプログラムすることによって選択されます。モードは、AES が無効なとき（AES_CR レジスタの EN ビット= 0）のみ変更できます。

有効になると（EN ビット=1）、AES は入力フェーズになり、ソフトウェアが入力データバイトを AES_DINRに書き込むのを待ちます（動作モードにより、32 または 16 バイト）。

すべての書き込み動作が終了すると、計算フェーズが始まります。計算フェーズが完了すると、AES_SR レジスタの CCF ステータスフラグ（計算完了フラグ）がセットされます。AES_CR レジスタの CCIE ビット=1 の場合、割り込みを生成できます。

動作は出力フェーズで終了します。このフェーズでは、ソフトウェアは、AES_DOUTR レジスタから出力データ 16 バイトを連続して読み出します。

入力フェーズと出力フェーズの間、ソフトウェアは、データバイトの読み出しまたは書き込みを連続して行う必要がありますが、AES は各読み出しまたは書き込み動作の間の遅延に対する耐性があります（この時点で別の割り込みを処理する場合など）。

AES_SR レジスタの RDERR および WRERR フラグは、予期しない読み出しまたは書き込み動作が検出されたときにセットされます。AES_CR レジスタの ERRIE ビット=1 の場合、割り込みを生成できます。AES は、エラー検出後も無効にならず、通常動作を続行します。

汎用 DMA を使用して、入力バイトを書き込んだり、出力バイトを読み出したりすることも可能です（*図 132*および*図 133*を参照）。

注： ***CCF フラグは、AES_CR レジスタの DMAEN=1 のときには意味を持ちません。AES_DINR および AES_DOUTR レジスタへの書き込みおよび読み出し動作は、ソフトウェアが介入しなくても、DMA によって自動的に管理されるからです。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

AES は、AES_CR レジスタの EN ビットをリセットすることによって、いつでも再初期化できます。その場合、AES は、EN ビットをセットすることによって、始めから再スタートでき、最初の入力データが書き込まれるのを待ちます。

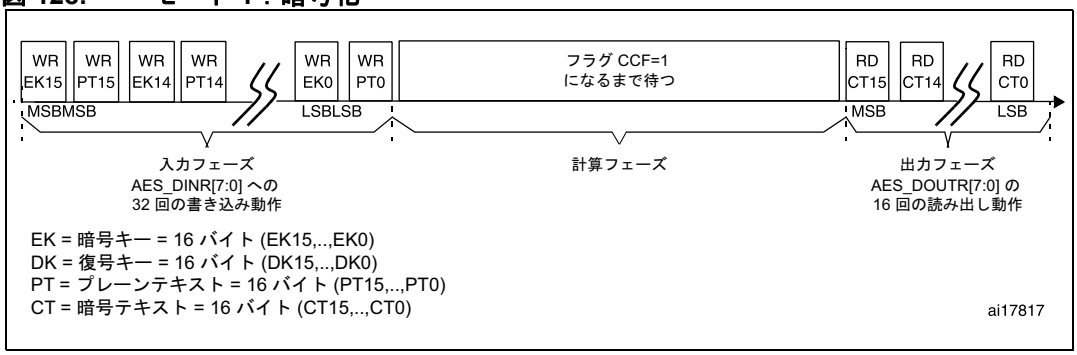
27.4 動作モード

27.4.1 モード 1：暗号化

このモードを選択するには、次の手順を使用します。

1. AES_CR レジスタの EN ビットをリセットすることによって、AES を無効にします。
2. AES_CR レジスタの MODE[1:0]=00 とプログラムすることによって、モード 1 を設定します。
3. 必要な場合は、AES_CR レジスタの CCIE および ERRIE ビットを通じて、計算完了割り込みおよびエラー割り込みを有効にします。
4. AES_CR レジスタの EN ビットをセットすることによって、AES を有効にします。
5. *図 128：モード 1：暗号化（453 ページ）*に示されているように、AES_DINR レジスタに、暗号化キーとプレーンテキストを表す 32 バイト（MSB から LSB）を書き込みます。
6. AES_SR レジスタの CCF フラグがセットされるまで待ちます。
7. *図 128：モード 1：暗号化（453 ページ）*に示されているように、AES_DOUTR レジスタを 16 回読み出して、暗号テキスト（MSB が最初）を取得します。
8. 手順 4、5、6 を繰り返して、すべてのブロックを処理します。

図 128. モード 1：暗号化



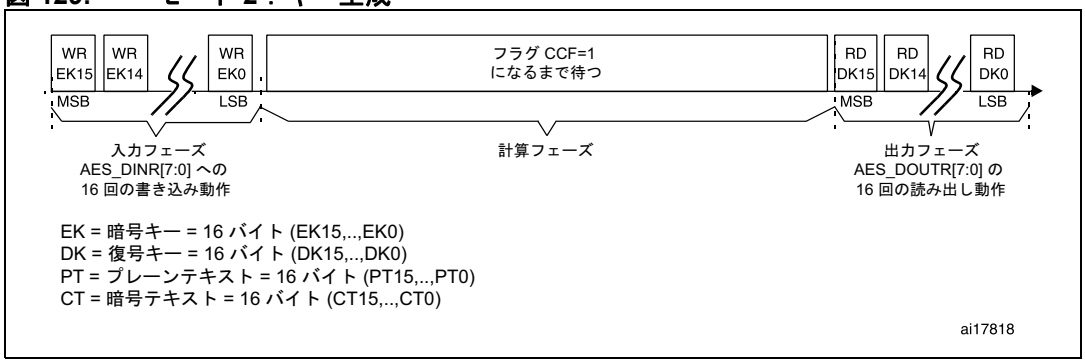
この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

27.4.2 モード 2：キー生成

このモードを選択するには、次の手順を使用します。

1. AES_CR レジスタの EN ビットをリセットすることによって、AES を無効にします。
2. AES_CR レジスタの MODE[1:0]=01 とプログラムすることによって、モード 2 を設定します。
3. 必要な場合は、AES_CR レジスタの CCIE および ERRIE ビットを通じて、計算完了割り込みおよびエラー割り込みを有効にします。
4. AES_CR レジスタの EN ビットをセットすることによって、AES を有効にします。
5. *図 129：モード 2：キー生成（454 ページ）*に示されているように、AES_DINR レジスタに、暗号化キーを表す 16 バイト（MSB から LSB）を書き込みます。
6. AES_SR レジスタの CCF フラグがセットされるまで待ちます。
7. *図 129：モード 2：キー生成（454 ページ）*に示されているように、AES_DOUTR レジスタを 16 回読み出して、復号キー（MSB が最初）を取得します。
8. CPU がデータ入力またはデータ出力フェーズで使用されているときに、AES_CR レジスタの CCFC ビットをセットすることによって、計算完了フラグ CCF をクリアします。
9. 手順 5、6、7、8 を繰り返して、すべてのキーを処理します。

図 129. モード 2：キー生成



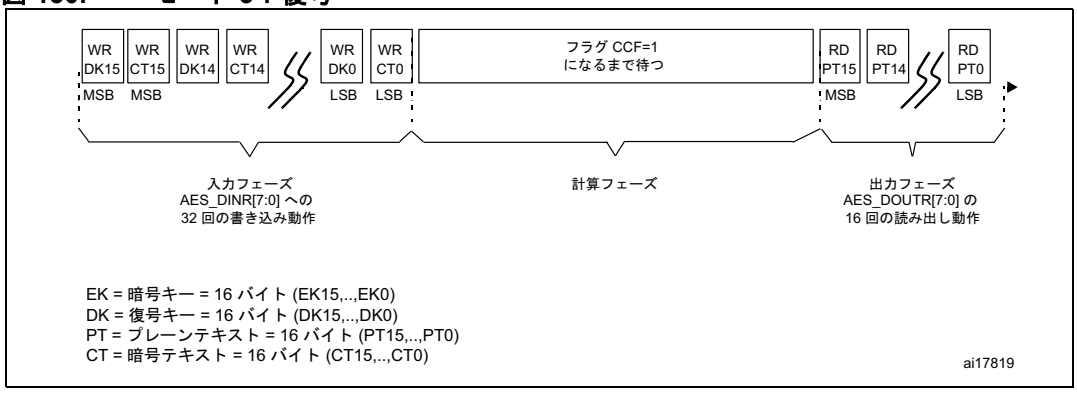
27.4.3 モード 3：復号

このモードを選択するには、次の手順を使用します。

1. AES_CR レジスタの EN ビットをリセットすることによって、AES を無効にします。
2. AES_CR レジスタの MODE[1:0]=10 とプログラムすることによってモード 3 を設定します。
3. 必要な場合は、AES_CR レジスタの CCIE および ERRIE ビットを通じて、計算完了割り込みおよびエラー割り込みを有効にします。
4. AES_CR レジスタの EN ビットをセットすることによって、AES を有効にします。
5. *図 130：モード 3：復号（455 ページ）*に示されているように、AES_DINR レジスタに、復号キーとプレーンテキストを表す 32 バイト（MSB から LSB）を書き込みます。
6. AES_SR レジスタの CCF フラグがセットされるまで待ちます。
7. *図 130：モード 3：復号（455 ページ）*に示されているように、AES_DOUTR レジスタを 16 回読み出して、プレーンテキスト（MSB が最初）を取得します。
8. CPU がデータ入力またはデータ出力フェーズで使用されているときに、AES_CR レジスタの CCFC ビットをセットすることによって、計算完了フラグ CCF をクリアします。
9. 手順 5、6、7、8 を繰り返して、すべてのブロックを処理します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 130. モード 3：復号

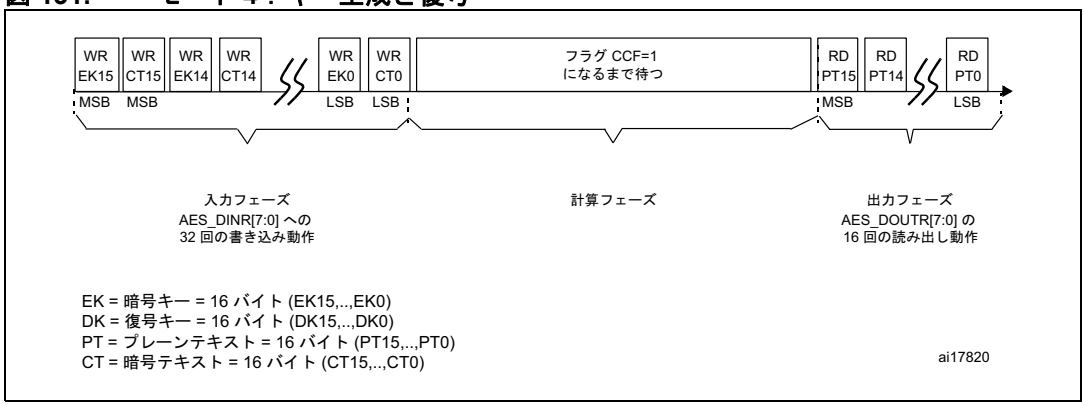


27.4.4 モード 4：キー生成と復号

このモードを選択するには、次の手順を使用します。

1. AES_CR レジスタの EN ビットをリセットすることによって、AES を無効にします。
2. AES_CR レジスタの MODE[1:0]=11 とプログラムすることによってモード 4 を設定します。
3. 必要な場合は、AES_CR レジスタの CCIE および ERRIE ビットを通じて、計算完了割り込みおよびエラー割り込みを有効にします。
4. AES_CR レジスタの EN ビットをセットすることによって、AES を有効にします。
5. *図 131：モード 4：キー生成と復号（455 ページ）*に示されているように、AES_DINR レジスタに、暗号化キーと暗号テキストを表す 32 バイト（MSB から LSB）を書き込みます。
6. AES_SR レジスタの CCF フラグがセットされるまで待ちます。
7. *図 131：モード 4：キー生成と復号（455 ページ）*に示されているように、AES_DOUTR レジスタを 16 回読み出して、プレーンテキスト（MSB が最初）を取得します。
8. CPU がデータ入力またはデータ出力フェーズで使用されているときに、AES_CR レジスタの CCFC ビットをセットすることによって、計算完了フラグ CCF をクリアします。
9. 手順 5、6、7、8 を繰り返して、すべてのブロックを処理します。

図 131. モード 4：キー生成と復号



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

27.5 AES DMA インタフェース

AES アクセラレータは、DMA コントローラに接続するためのインタフェースを提供します。DMA は、バイトを転送するように設定する必要があります。

AES は、2 つの異なる DMA リクエストチャネルに関連付けることができます。

- 入力用の DMA リクエストチャネル：AES_CR レジスタの DMAEN ビットがセットされると、AES は、AES_DINR レジスタにバイトを書き込む必要が生じるたびに、入力フェーズ中に DMA リクエスト（AES_IN）を開始します。DMA チャネルは、メモリからペリフェラルモード（対応する DMA_CxCR レジスタの DIR=1）に設定する必要があります。
- 出力用の DMA リクエストチャネル：DMAEN ビットが有効になると、AES は、AES_DOUTR レジスタからバイトを読み出す必要が生じるたびに、出力フェーズ中に DMA リクエスト（AES_OUT）を開始します。DMA チャネルは、ペリフェラルからメモリモード（対応する DMA_CxCR レジスタの DIR=0）に設定する必要があります。

各フェーズに対してアサートされる DMA リクエストの数は、*図 132* および*図 133* に示されているように、動作モードによって異なります。

DMA リクエストは、AES が無効になるまで生成されます。したがって、1 つの 128 ビットデータブロックの処理に対応するデータ出力フェーズの後、AES は自動的に次のデータブロックの処理のための新しいデータ入力フェーズに切り替わります。

図 132. 入力フェーズ中の DMA リクエストとデータ転送（AES_IN）

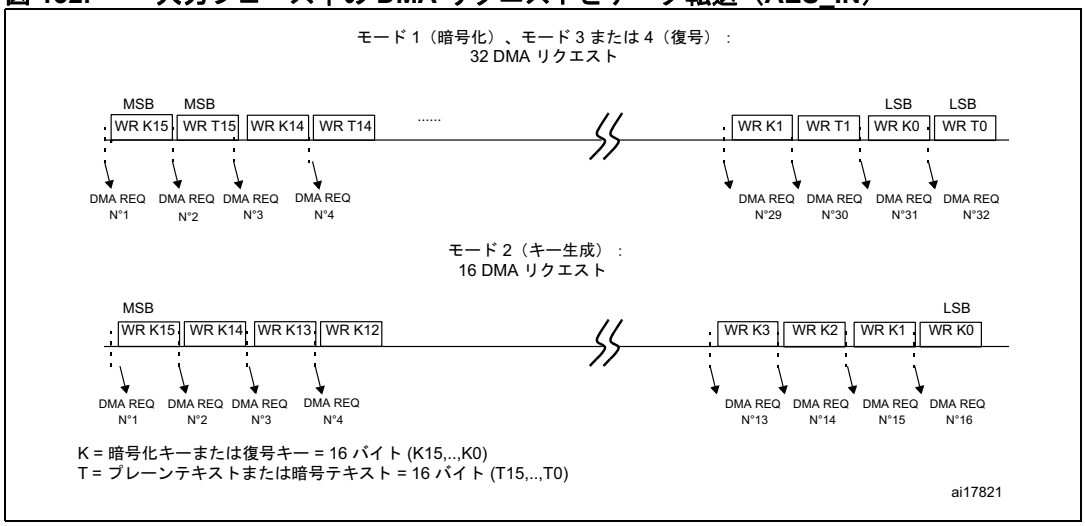
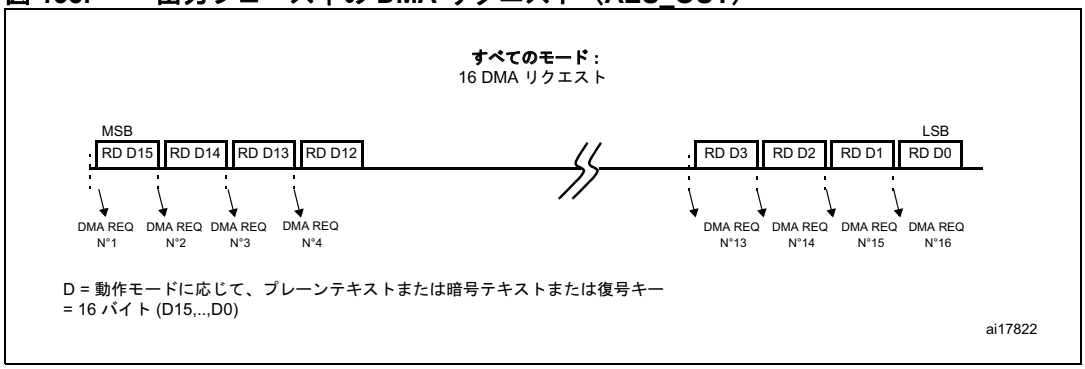


図 133. 出力フェーズ中の DMA リクエスト（AES_OUT）



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

注： ***DMA が有効なとき（DMAEN=1）、CCF ビットの状態は関係がありません。このビットはハイに維持され、この場合、特別な注意を払う必要はありません。ただし、アプリケーションが DMA モードから抜け出して、データ入力またはデータ出力フェーズのために CPU アクセスを有効にする必要がある場合には、ソフトウェアはこのビットをクリアしなければなりません。***

27.6 エラーフラグ

AES_SR レジスタの RDERR フラグは、計算フェーズ中または入力フェーズ中に予期しない読み出し動作が検出された場合にセットされます。

AES_SR レジスタの WRERR フラグは、出力フェーズ中または計算フェーズ中に予期しない書き込み動作が検出された場合にセットされます。

AES_CR レジスタの ERRIE ビットがあらかじめセットされていた場合、この 2 つのフラグのいずれかがセットされたときに割り込みを生成できます。

エラーが検出された場合、AES はハードウェアによっては無効にされず、進行中の処理（ある場合）を通常どおりに続行します。

27.7 処理時間

次の表は、各動作モードで 128 ビットブロックの処理に必要な時間を示しています。

表 82. 処理時間（クロックサイクル単位）

動作モード	計算フェーズ
モード 1：暗号化	892
モード 2：キー生成	320
モード 3：復号	892
モード 4：キー生成と復号	1228

27.8 AES 低電力モード

表 83. 低電力モードが AES に与える影響

モード	説明
低電力 WAIT/WAIT	AES には影響ありません。 AES 割り込みによって、デバイスは WAIT または低電力 WAIT モードから抜けます。
アクティブ HALT/HALT	AES は、HALT またはアクティブ HALT モードが終了するまで停止します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

27.9 AES 割り込み

表 84. AES 割り込みリクエスト

割り込みイベント	イベントフラグ	イネーブル制御ビット	WAIT の終了	HALT の終了
AES 計算完了フラグ	CCF	CCIE	あり	なし
AES 読み出しエラーフラグ	RDERR	ERRIE	あり	なし
AES 書き込みエラーフラグ	WRERR	ERRIE	あり	なし

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

27.10 AES レジスタ

27.10.1 AES 制御レジスタ（AES_CR）

アドレスオフセット：0x00

リセット値：0x00

7	6	5	4	3	2	1	0
DMAEN	ERRIE	CCIE	ERRFC	CCFC	MODE[1:0]		EN
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7 **DMAEN**：DMA イネーブル

0：DMA は無効です。

1：DMA は有効です。

DMAEN ビットがセットされている場合、データ入力フェーズでも、データ出力フェーズでも、DMA リクエストが生成されます。

ビット 6 **ERRIE**：エラー割り込みイネーブル

この 2 つのフラグ RDERR と WRERR のいずれかがセットされると、割り込みが生成されます。

0：ERR 割り込みは無効です。

1：ERR 割り込みは有効です。

ビット 5 **CCIE**：計算完了割り込みイネーブル

CCF フラグがセットされている場合、割り込みが生成されます。

0：CCF 割り込みは無効です。

1：CCF 割り込みは有効です。

ビット 4 **ERRFC**：エラーフラグクリア

このビットに 1 を書き込むと、RDERR および WRERR フラグの両方がクリアされます。

このビットは常に ローとして読み出されます。

ビット 3 **CCFC**：計算完了フラグクリア

このビットに 1 を書き込むと、CCF フラグがクリアされます。

このビットは常に ローとして読み出されます。

ビット 2:1 **MODE[1:0]**：AES 動作モード

00：モード 1：暗号化

01：モード 2：キー生成

10：モード 3：復号

11：モード 4：キー派生と復号

注： 動作モードは、AES が無効なときのみ変更できます。AES が有効なときにこれらのビットに書き込むことは、予測できない AES 動作を防ぐために禁止されています。

ビット 0 **EN**：AES イネーブル

0：AES は無効です。

1：AES は有効です。

AES は、このビットをリセットすることによって、いつでも再初期化できます。AES は、次に EN がセットされると、新しいブロックの処理を開始できます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

27.10.2 AES ステータスレジスタ（AES_SR）

アドレスオフセット：0x01

リセット値：0x00

7	6	5	4	3	2	1	0
予約済み、0 として読み出されます。					WRERR	RDERR	CCF
					r	r	r

ビット 7:3 予約済み、0 として読み出されます。

ビット 2 **WRERR**：書き込みエラーフラグ

このビットは、AES_DINR への予期しない書き込み動作が検出されたときに、ハードウェアによってセットされます。AES_CR レジスタの ERRIE ビットがあらかじめセットされていた場合、割り込みが生成されます。

AES_CR レジスタの ERRFC ビットをセットすることによって、ソフトウェアによってクリアされます。

0：書き込みエラーは検出されていません。

1：書き込みエラーが検出されました。

ビット 1 **RDERR**：読み出しエラーフラグ

このビットは、AES_DOUTR の予期しない読み出し動作が検出されたときに、ハードウェアによってセットされます。AES_CR レジスタの ERRIE ビットがあらかじめセットされていた場合、割り込みが生成されます。

AES_CR レジスタの ERRFC ビットをセットすることによって、ソフトウェアによってクリアされます。

0：読み出しエラーは検出されていません。

1：読み出しエラーが検出されました。

ビット 0 **CCF**：計算完了フラグ

このビットは、計算が完了したときにハードウェアによってセットされます。AES_CR レジスタの CCIE ビットがあらかじめセットされていた場合、割り込みが生成されます。

AES_CR レジスタの CCFC ビットをセットすることによって、ソフトウェアによってクリアされます。

0：計算は完了していません。

1：計算が完了しました。

注：　このビットは、DMAEN=0 のときのみ意味を持ちます。DMAEN=1 の場合はハイ状態を維持します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

27.10.3 AES データ入力レジスタ（AES_DINR）

アドレスオフセット：0x02

リセット値：0x00

7	6	5	4	3	2	1	0
DINR[7:0]							
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:0 **DINR[7:0]**：データ入力レジスタ

このレジスタは入力フェーズの間に 16 回または 32 回書き込まれなければなりません。

– モード 1（暗号化）では、プレーンテキストと暗号化キーを表す 32 バイト（MSB から LSB）が書き込まれなければなりません（キーとプレーンテキストを交互に）。
– モード 2（キー生成）では、暗号化キーを表す 16 バイト（MSB から LSB）が書き込まれなければなりません。
– モード 3 （復号）およびモード 4（キー生成と復号）では、暗号テキストと復号または暗号化キーを表す 32 バイト（MSB から LSB）が書き込まれなければなりません（キーと暗号テキストを交互に）。

27.10.4 AES データ出力レジスタ（AES_DOUTR）

アドレスオフセット：0x03

リセット値：0x00

7	6	5	4	3	2	1	0
DOUTR[7:0]							
r	r	r	r	r	r	r	r

ビット 7:0 **DOUTR[7:0]**：データ出力レジスタ

このレジスタは読み出し専用です。

CCF フラグ（計算完了フラグ）がセットされると、このデータレジスタから 16 回読み出すと、128 ビットの出力結果へのアクセスが得られます。

– モード 1（暗号化）では、16 バイトの読み出しによって、暗号テキスト（MSB から LSB）が得られます。
– モード 2（キー生成）では、16 バイトの読み出しによって、復号キー（MSB から LSB）が得られます。
– モード 3（復号）およびモード 4（キー生成と復号）では、16 バイトの読み出しによってプレーンテキスト（MSB から LSB）が得られます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

27.10.5 AES レジスタマップとリセット値

表 85. AES レジスタマップとリセット値

アドレスオフセット	レジスタ名	7	6	5	4	3	2	1	0
0x00	AES_CR リセット値	DMAEN 0	ERRIE 0	CCIE 0	ERRFC 0	CCFC 0	MOD[1:0] 00		EN 0
0x01	AES_SR リセット値	- 0	- 0	- 0	- 0	- 0	WRERR 0	RDERR 0	CCF 0
0x02	AES_DINR リセット値	DINR[7:0] 0x00							
0x03	AES_DOUTR リセット値	DOUTR[7:0] 0x00							

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

28 I²C（Inter-Integrated Circuit）インタフェース

このセクションの説明は、特に指定がない限り、中容量 STM8L15x デバイス、中+容量 STM8L15x デバイス、および大容量 STM8L15x/STM8L16x デバイスに適用されます。

28.1 概要

I²C（Inter-Integrated Circuit）バスインタフェースは、マイクロコントローラとシリアル I²C バスとの間のインタフェースとして機能します。マルチマスタ機能を提供し、I²C バス固有のすべてのシーケンシング、プロトコル、アービトレーション、およびタイミングを制御します。標準モードと高速モードをサポートします。CRC の生成と検証、SMBus（System Management Bus）、PMBus（Power Management Bus）など、さまざまな目的に使用できます。DMA 機能を使用して CPU の負荷を軽減することもできます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

28.2 I²C の主な機能

- パラレルバス/I²C プロトコル間のコンバータ
- マルチマスタ機能：同じインタフェースがマスタまたはスレーブとして機能
- I²C マスタの機能：
  - クロック生成
  - START 信号、STOP 信号の生成
- I²C スレーブの機能：
  - プログラマブルな I²C アドレス検出
  - ストップビット検出
  - 2 つのスレーブアドレスを確認応答する I²C デュアルアドレス機能（中+容量および大容量デバイスのみ）
- 7 ビット/10 ビットアドレッシングおよび同報（General Call）の生成と検出
- 複数の通信速度をサポート：
  - 標準速度（最大 100 kHz）
  - 高速（最大 400 kHz）
- ステータスフラグ：
  - トランスミッタ/レシーバモードフラグ
  - バイト終わり送信フラグ
  - I²C ビジーフラグ
- エラーフラグ：
  - マスタモードのアービトレーションロスト条件
  - アドレス/データ送信後の確認応答障害
  - START/STOP コンディションの誤配置検出
  - クロック伸長が無効な場合のオーバーラン/アンダーラン
- 3 種類の割り込み：
  - 通信割り込み
  - エラー条件割り込み
  - HALT からのウェイクアップ割り込み
- ウェイクアップ機能：
  - MCU は、スレーブモードでのアドレス検出時に低電力モードからウェイクアップします。
- オプションのクロック伸長
- DMA 機能付きの 1 バイトバッファ
- 設定可能な PEC（Packet Error Checking）の生成/検証：
  - PEC 値は、送信モードで最終バイトとして送信可能
  - 最後の受信バイトの PEC エラーチェック
- SMBus 2.0 互換性：
  - クロックロータイムアウト遅延：25 ms
  - マスタのクロックロー累積延長時間：10 ms
  - スレーブのクロックロー累積延長時間：25 ms
  - ハードウェアによる PEC 生成/検証（ACK 制御付き）
  - ARP（アドレス解決プロトコル）のサポート
- PMBus 互換性

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

28.3 I²C の概要

データの送受信に加えて、このインタフェースは、データをシリアル形式からパラレル形式（およびその逆）に変換します。割り込みは、ソフトウェアによって有効または無効にできます。このインタフェースは、データピン（SDA）とクロックピン（SCL）によって I²C バスに接続されます。標準（最大 100 kHz）または高速（最大 400 kHz）の I²C バスと接続できます。

モード選択

このインタフェースは、次の 4 つのモードのいずれかで動作できます。

- スレーブトランスミッタ
- スレーブレシーバ
- マスタトランスミッタ
- マスタレシーバ

デフォルトでは、スレーブモードで動作します。このインタフェースは、START コンディションを生成した後はスレーブからマスタに、アービトレーションロストまたは STOP 生成が発生した場合はマスタからスレーブに、それぞれ自動的に切り替わることで、マルチマスタ機能を可能にします。

通信の流れ

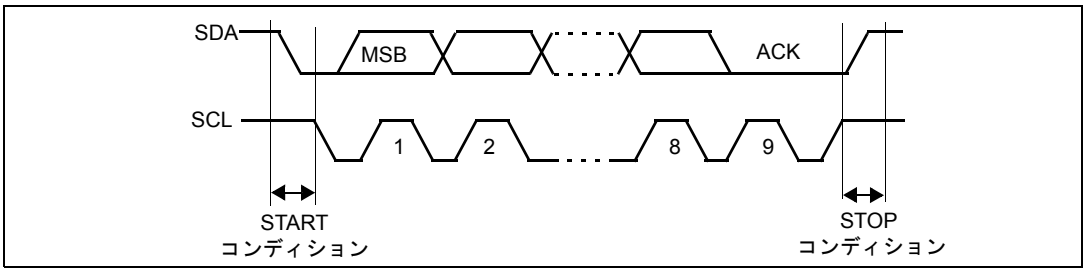
マスタモードでは、I²C インタフェースは、データ転送を開始し、クロック信号を生成します。シリアルデータ転送は、常に START コンディションで始まり、STOP コンディションで終わります。START および STOP コンディションは、マスタモードではソフトウェアによって生成されます。

スレーブモードでは、このインタフェースは、自己アドレス（7 または 10 ビット）と同報アドレスを認識できます。同報アドレスの検出は、ソフトウェアによって有効/無効にできます。

データとアドレスは、MSB ファーストの 8 ビットバイトとして転送されます。START コンディションの後に続く最初のバイト（7 ビットモードでは 1 バイト、10 ビットモードでは 2 バイト）にアドレスが含まれています。アドレスは、常にマスタモードで送信されます。

8 クロックサイクルのバイト転送の後には 9 番目のクロックパルスが続きます。その間に、レシーバはトランスミッタに確認応答ビットを送信する必要があります。次の図を参照してください。

図 134. I²C バスプロトコル

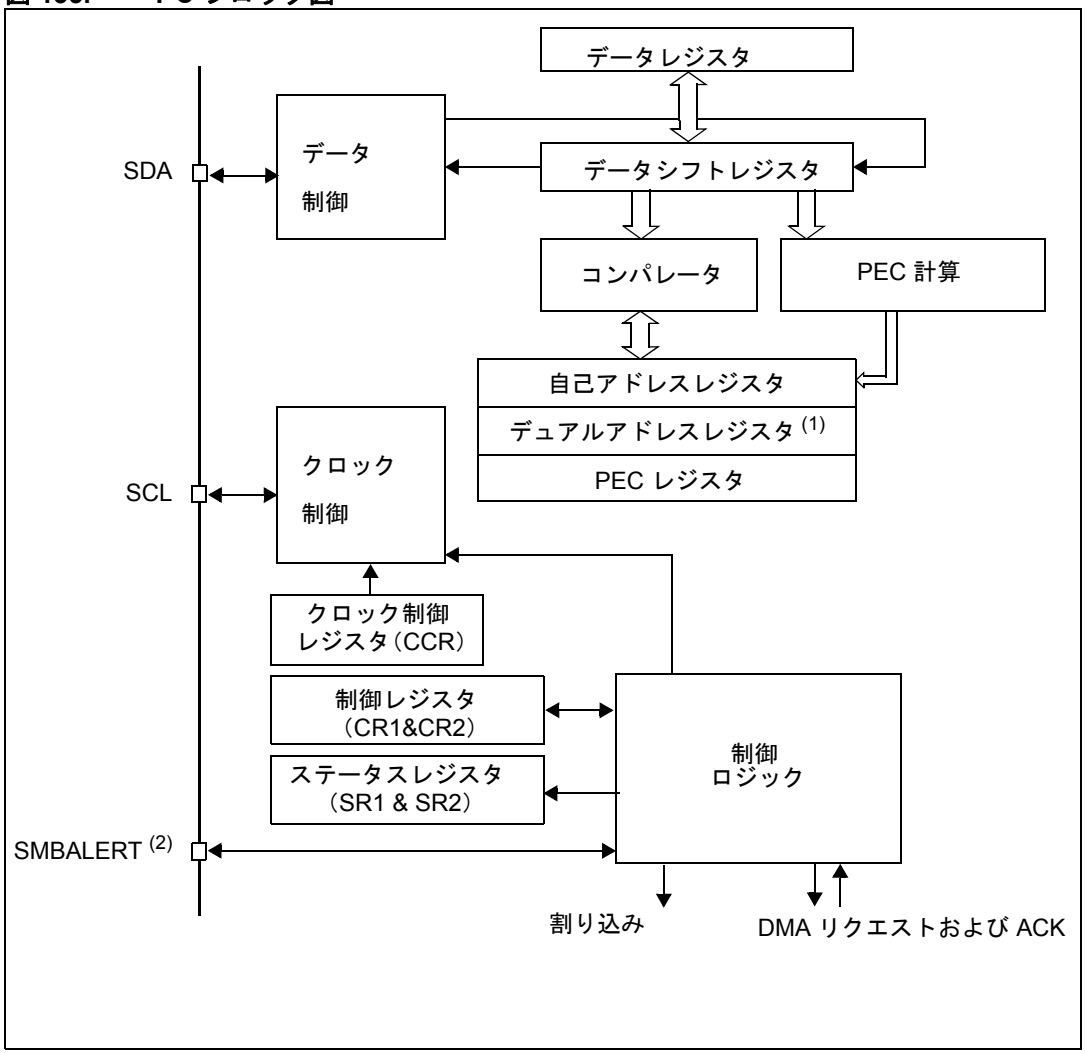


確認応答は、ソフトウェアによって有効/無効にできます。I²C インタフェースアドレス（7 ビット/10 ビットや同報アドレス）は、ソフトウェアによって選択できます。

次の図に、I²C インタフェースのブロック図を示します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 135. I²C ブロック図



1. 中+容量および大容量デバイスでのみ使用可能。
2. SMBA（ALERT 信号）は、SMBus モードでのオプション信号です。SMBus が無効な場合、この信号は適用されません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

28.4 I2C 機能の説明

デフォルトでは、I2C インタフェースはスレーブモードで動作します。デフォルトのスレーブモードからマスタモードに切り替えるには、START コンディションの生成が必要です。

28.4.1 I2C スレーブモード

正しいタイミングを生成するには、ペリフェラル入力クロックを I2C_FREQR レジスタにプログラミングする必要があります。ペリフェラル入力クロックは、少なくとも次の周波数以上でなければなりません。

- 標準モード：1 MHz
- 高速モード：4 MHz

START コンディションが検出されると、アドレスが SDA ラインから受信されて、シフトレジスタに送信されます。その後、インタフェースのアドレス（中+容量および大容量デバイスでは、ENDUAL = 1 の場合、I2C_OARL と I2C_OAR2、中容量デバイスでは、I2C_OARL）または同報アドレス（ENGC = 1 の場合）と比較されます。

注： ***10 ビットアドレスモードでは、この比較にはヘッダシーケンス（11110xx0）が含まれます。xx は、アドレスの上位 2 ビットを示します。***

ヘッダまたはアドレスの不一致：インタフェースはこれを無視し、別の START コンディションを待ちます。

ヘッダー致（10 ビットモードのみ）：インタフェースは、ACK ビットがセットされている場合は確認応答パルスを生成し、8 ビットのスレーブアドレスを待ちます。

アドレス一致：インタフェースは以下のものを順に生成します。

- ACK ビットがセットされている場合、確認応答パルスを生成します。
- ADDR ビットがハードウェアによってセットされ、ITEVTEN ビットがセットされている場合は割り込みが生成されます。中+容量および大容量デバイスでは、ENDUAL=1 の場合、ソフトウェアは、DUALF ビットを読み出して、どのスレーブアドレスが確認応答されたかをチェックする必要があります。

10 ビットモードでは、アドレスシーケンスの受信後、スレーブは常にレシーバモードになります。反復 START コンディションの後、アドレスビットが一致し、最下位ビットがセットされた（11110xx1）ヘッダシーケンスを受信すると、トランスミッタモードに入ります。

TRA ビットは、スレーブがレシーバモードかトランスミッタモードかを示します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

スレーブトランスミッタ

アドレス受信に続いて、ADDR をクリアした後、スレーブは、内部シフトレジスタを介して、DR レジスタから SDA ラインにバイトを送信します。

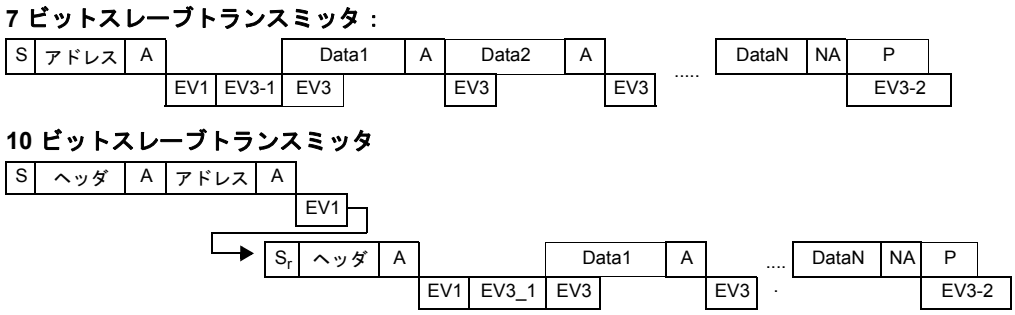
スレーブは、ADDR がクリアされ、DR が送信データでいっぱいになるまで、SCL のローレベルを延長します（次の図の転送シーケンスの EV1 EV3 を参照）。

確認応答パルスが受信されると：

- TxE ビットがハードウェアによってセットされ、ITEVTEN および ITBUFEN ビットがセットされている場合は割り込みが生成されます。

TxE がセットされ、次のデータ送信の終わりまでに DR レジスタにデータが書き込まれなかった場合は、BTF ビットがセットされ、インタフェースは、SR1 レジスタの読み出しと、それに続く DR レジスタへの書き込みによって BTF がクリアされるまで、SCL のローレベルを延長して待ちます。

図 136. スレーブトランスミッタの転送シーケンス図



凡例：S = START、S_r = 反復 START、P = STOP、A = 確認応答、NA = 否定応答、
EVx = イベント（ITEVTEN=1 の場合は割り込み付き）

EV1：ADDR=1、SR1 の読み出しとそれに続く SR3 の読み出しによってクリア
EV3-1：TxE=1、シフトレジスタエンプティ、データレジスタエンプティ、Data1 を DR に書き込み
EV3：TxE=1、シフトレジスタノットエンプティ、データレジスタエンプティ、DR への書き込みによって
EV3-2：AF=1（AF は、SR2 レジスタの AF ビットに “0” を書き込むことによってクリア）

1. EV1 および EV3-1 イベントは、対応するソフトウェアシーケンスの終わりまで SCL のローレベルを延長します。
2. EV3 ソフトウェアシーケンスは、現在のバイト転送が終わる前に完了する必要があります。現在のバイト転送の終了までに EV3 ソフトウェアシーケンスを管理できない場合に備えて、通信が遅くなる欠点はありますが、TXE の代わりに BTF を使用することを推奨します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

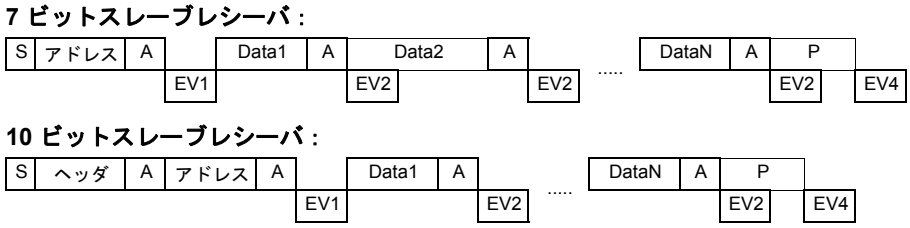
スレーブレシーバ

アドレス受信に続いて、ADDR がクリアされた後、スレーブは、SDA ラインからのバイトを内部シフトレジスタを介して DR レジスタに受信します。各バイトの後、インタフェースは以下のものを順に生成します。

- ACK ビットがセットされている場合、確認応答パルスを生成します。
- RxNE ビットがハードウェアによってセットされ、ITEVTEN および ITBUFEN ビットがセットされている場合は割り込みが生成されます。

RxNE がセットされ、次のデータ受信の終わりまでに DR レジスタ内のデータが読み出されなかった場合、BTF ビットがセットされます。インタフェースは、SR1 レジスタの読み出しと、それに続く DR レジスタの読み出しによって BTF がクリアされるまで、SCL のローレベルを延長して待ちます（*図 137* 転送シーケンスを参照）。

図 137. スレーブレシーバの転送シーケンス図



凡例：S = START、S_r = 反復 START、P = STOP、A = 確認応答、NA = 否定応答、
EVx = イベント（ITEVTEN=1 の場合は割り込み付き）

EV1：ADDR=1、SR1 の読み出しとそれに続く SR3 の読み出しによってクリア
EV2：RxNE=1、DR レジスタの読み出しによってクリア
EV4：STOPF=1、SR1 レジスタの読み出しとそれに続く CR2 レジスタへの書き込みによってクリア

1. EV1 イベントは、対応するソフトウェアシーケンスの終わりまで SCL のローレベルを延長します。
2. EV2 ソフトウェアシーケンスは、現在のバイト転送が終わる前に完了する必要があります。
3. *注 8（493 ページ）*も参照してください。

スレーブ通信の終了

最後のデータバイトが転送された後、マスタは STOP コンディションを生成します。インタフェースは、この条件を検出して、STOPF ビットをセットし、ITEVTEN ビットがセットされている場合は割り込みを生成します。

次に、インタフェースは、SR1 レジスタの読み出しと、それに続く CR2 レジスタへの書き込みを待ちます（*図 137* 転送シーケンスの EV4 を参照）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

28.4.2 I²C マスタモード

マスタモードでは、I²C インタフェースは、データ転送を開始し、クロック信号を生成します。シリアルデータ転送は、常に START コンディションで開始され、STOP コンディションで終わります。スタートビットによってバス上に START コンディションが生成されると、マスタモードが選択されます。

次に、マスタモードで必要なシーケンスを示します。

- 正しいタイミングを生成するために、I2C_FREQR レジスタにペリフェラル入力クロックをプログラミングします。
- クロック制御レジスタを設定します。
- 立ち上がり時間レジスタを設定します。
- I2C_CR1 レジスタをプログラミングして、ペリフェラルを有効にします。
- I2C_CR2 レジスタのスタートビットをセットして、START コンディションを生成します。

ペリフェラル入力クロックは、少なくとも次の周波数以上でなければなりません。

- 標準モード：1 MHz
- 高速モード：4 MHz

START コンディション

BUSY ビットがクリアされているときにスタートビットをセットすると、インタフェースは、START コンディションを生成し、マスタモードに切り替わります（MSL ビットをセット）。

注： ***マスタモードでスタートビットをセットすると、インタフェースは、現在のバイト転送の最後に RESTART コンディションを生成します。***

START コンディションが送信されると、

- SB ビットがハードウェアによってセットされ、ITEVTEN ビットがセットされている場合は割り込みが生成されます。

次に、マスタは、SR1 レジスタの読み出しと、それに続く DR レジスタへのスレーブアドレスの書き込みを待ちます（*図 138* と*図 139*の転送シーケンスの EV5 を参照）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

スレーブアドレス送信

次に、スレーブアドレスが内部シフトレジスタを介して SDA ラインに送信されます。

- 10 ビットアドレスモードでは、ヘッダシーケンスの送信によって、次のイベントが発生します。
  - ADD10 ビットがハードウェアによってセットされ、ITEVTEN ビットがセットされている場合は割り込みが生成されます。

  次に、マスタは、SR1 レジスタの読み出しと、それに続く DR レジスタへの 2 番目のアドレスバイトの書き込みを待ちます（*図 138* と *図 139* の転送シーケンスの EV9 を参照）。

  ADDR ビットがハードウェアによってセットされ、ITEVTEN ビットがセットされている場合は割り込みが生成されます。
  次に、マスタは、SR1 レジスタの読み出しと、それに続く SR3 レジスタの読み出しを待ちます（*図 138* と *図 139* の転送シーケンスの EV6 を参照）。
- 7 ビットアドレスモードでは、1 個のアドレスバイトが送信されます。

  アドレスバイトが送信されると、
  - ADDR ビットがハードウェアによってセットされ、ITEVTEN ビットがセットされている場合は割り込みが生成されます。

  次に、マスタは、SR1 レジスタの読み出しと、それに続く SR3 レジスタの読み出しを待ちます（*図 138* と *図 139* の転送シーケンスの EV6 を参照）。

  マスタは、送信されたスレーブアドレスの LSB に応じて、トランスミッタモードに入るか、レシーバモードに入るかを決定できます。
- 7 ビットアドレスモードでは、
  - トランスミッタモードに入るには、マスタは、LSB をリセットしたスレーブアドレスを送信します。
  - レシーバモードに入るには、マスタは、LSB をセットしたスレーブアドレスを送信します。
- 10 ビットアドレスモードでは、
  - トランスミッタモードに入るには、マスタは、ヘッダ（11110xx0）を送信してから、スレーブアドレスを送信します（xx はアドレスの上位 2 ビットです）。
  - レシーバモードに入るには、マスタは、ヘッダ（11110xx0）を送信してから、スレーブアドレスを送信します。さらに、反復 START コンディションと、それに続いてヘッダ（11110xx1）を送信します（xx はアドレスの上位 2 ビットです）。

  TRA ビットは、マスタがレシーバモードにあるか、トランスミッタモードにあるかを示します。

マスタ トランスミッタ

アドレス送信に続いて、ADDR がクリアされた後、マスタは、内部シフトレジスタを介して DR レジスタから SDA ラインにバイトを送信します。

マスタは、最初のデータバイトが DR レジスタに書き込まれるまで待ちます（*図 138* 転送シーケンスの EV8_1を参照）。

確認応答パルスが受信されると：

- TxE ビットがハードウェアによってセットされ、ITEVTEN および ITBUFEN ビットがセットされている場合は割り込みが生成されます。

TxE がセットされていて、次のデータ送信が終わるまでにデータバイトが DR レジスタに書き込まれなかった場合、BTF がセットされ、インタフェースは、SR1 レジスタからの読み出しと、それに続く DR レジスタへの書き込みによって BTF がクリアされるまで、SCL のローレベルを延長して待ちます。

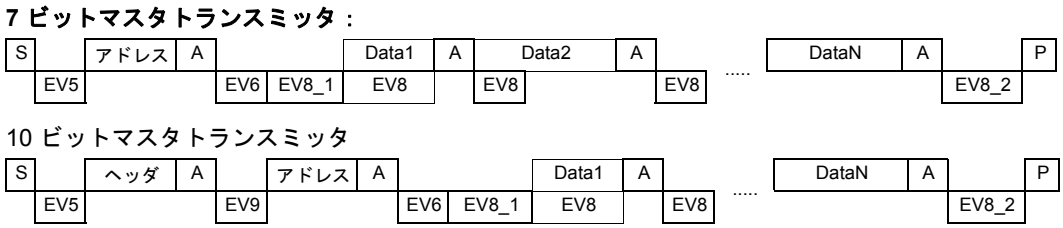
この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

通信の終了

最後のバイトが DR レジスタに書き込まれた後、ストップビットがソフトウェアによってセットされて STOP コンディションを生成します（*図 138* 転送シーケンスの EV8_2 を参照）。インタフェースは自動的にスレーブモードに戻ります（MSL ビットがクリアされます）。

注： ***STOP コンディションは、TxE または BTF ビットがセットされたとき、EV8_2 イベント時にプログラミングしてください。***

図 138. マスタトランスミッタの転送シーケンス図



凡例：S = START、S_r = 反復 START、P = STOP、A = 確認応答、NA = 否定応答、
EVx = イベント（ITEVTEN=1 の場合は割り込み付き）

EV5：SB=1、SR1 レジスタの読み出しと、それに続く DR レジスタへのアドレスの書き込みによってクリア。

EV6：ADDR=1、SR1 レジスタの読み出しと、それに続く SR3 の読み出しによってクリア。

EV8_1：TxE=1、シフトレジスタエンプティ、データレジスタエンプティ、DR レジスタへの書き込み。

EV8：TxE=1、シフトレジスタノットエンプティ、データレジスタエンプティ、DR レジスタへの書き込みによってクリア。

EV8_2：TxE=1、BTF = 1、STOP リクエストのプログラミング。TxE と BTF は、STOP コンディションでハードウェアによってクリア。

EV9：ADD10=1、SR1 レジスタの読み出しと、それに続く DR レジスタへの書き込みによってクリア。

*注 8（493 ページ）*も参照してください。

1. EV5、EV6、EV9、EV8_1、および EV8_2 の各イベントは、対応するソフトウェアシーケンスの終わりまで SCL のローレベルを延長します。
2. EV8 ソフトウェアシーケンスは、現在のバイト転送の終わりまでに完了する必要があります。現在のバイト転送の終わりまでに EV8 ソフトウェアシーケンスを管理できない場合に備えて、通信を低速にする欠点はありますが、TXE の代わりに BTF を使用することを推奨します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

マスタレシーバ

アドレス送信に続いて ADDR がクリアされると、I²C インタフェースはマスタレシーバモードに入ります。このモードでは、インタフェースは、SDA ラインから内部シフトレジスタを介して DR レジスタにバイトを受信します。各バイトの後、インタフェースは以下のものを順に生成します。

- ACK ビットがセットされている場合、確認応答パルスを生成します。
- RxNE ビットがセットされ、ITEVTEN および ITBUFEN ビットがセットされている場合は割り込みが生成されます（*図 139* 転送シーケンスの EV7を参照）。

RxNE ビットがセットされ、次のデータ受信の終わりまでに DR レジスタ内のデータが読み出されなかった場合、BTF ビットがハードウェアによってセットされ、インタフェースは、I2C_SR1 レジスタの読み出しと、それに続く I2C_DR レジスタの読み出しによって BTF ビットがクリアされるまで、SCL のローレベルを延長して待ちます。

通信の終了

方法 1：この方法は、I2C がアプリケーション内で最高優先順位の割り込みによって使用されるケースに使用します。

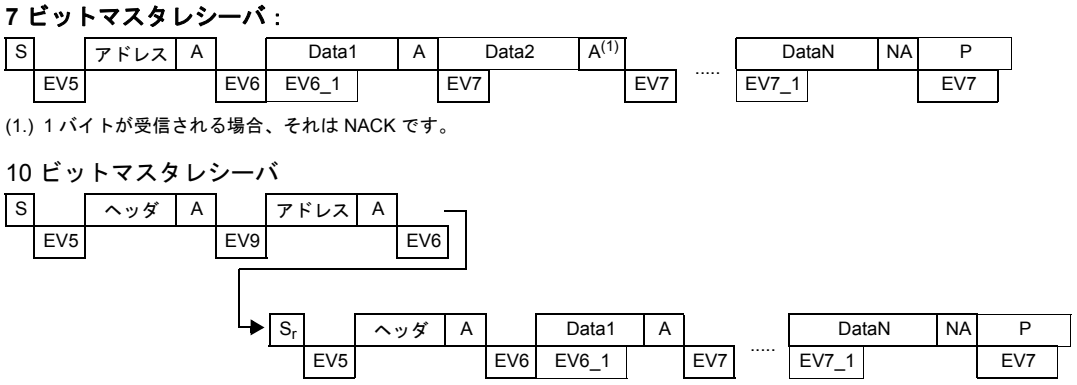
マスタは、スレーブから受信した最終バイトに対して NACK を送信します。この NACK を受信したスレーブは、SCL ラインと SDA ラインの制御を解除します。これによって、マスタは STOP/RESTART コンディションを送信できます。

- 最後の受信データバイトの後で否定応答パルスを生成するには、最後から 2 番目の RxNE イベントの後で最後から 2 番目のデータバイトの読み出し直後に、ACK ビットをクリアする必要があります。
- STOP/RESTART コンディションを生成するには、ソフトウェアは、最後から 2 番目の RxNE イベントの後で最後から 2 番目のデータバイトの読み出し直後に、ストップ/スタートビットをセットする必要があります。
- 1 バイトの受信に備えて、確認応答の無効化と STOP コンディションの生成は、EV6 の直後（*EV6-1* では、ADDR がクリアされた直後）に行われます。

STOP コンディションの生成後、インタフェースは自動的にスレーブモードに戻ります（MSL ビットがクリアされます）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 139. 方法 1：マスタレシーバの転送シーケンス図



凡例：S = START、S_r = 反復 START、P = STOP、A = 確認応答、NA = 否定応答、
EVx = イベント（ITEVTEN=1 の場合は割り込み付き）

EV5：SB=1、SR1 レジスタの読み出しと、それに続く DR レジスタへの書き込みによってクリア。

EV6：ADDR=1、SR1 レジスタの読み出しと、それに続く SR3 の読み出しによってクリア。10 ビットマスタレシーバモードでは、このシーケンスの後に続けて、CR2 に START = 1 を書き込んでください。

EV6_1：関連するフラグイベントはありません。1 バイト受信にのみ使用されます。ADDR をクリアした後、ACK=0 と STOP=1 をプログラミングします。

EV7：RxNE=1、DR レジスタの読み出しによってクリア。

EV7_1：RxNE=1、DR レジスタの読み出しによってクリア、ACK=0 と STOP リクエストのプログラミング。

EV9：ADD10=1、SR1 レジスタの読み出しと、それに続く DR レジスタへの書き込みによってクリア。

1. DR レジスタとシフトレジスタがいっぱいの場合、次のデータ受信（スレーブ用の I²C クロック生成）は、EV7 イベントがクリアされた後で実行されます。この場合、EV7 はデータ受信とオーバーラップしません。
2. EV5、EV6、および EV9 イベントは、対応するソフトウェアシーケンスの終わりまで、SCL のローレベルを延長します。
3. EV7 ソフトウェアシーケンスは、現在のバイト転送の終わりまでに完了する必要があります。現在のバイトの転送終了までに EV7 ソフトウェアシーケンスを管理できない場合に備えて、通信を低速にする欠点はありますが、RXNE の代わりに BTF を使用することを推奨します。
4. EV6_1 または EV7_1 ソフトウェアシーケンスは、現在のバイト転送の ACK パルスより前に完了する必要があります。
5. *注 8（493 ページ）*も参照してください。

方法 2：この方法は、アプリケーション内で最高の優先順位を持たない割り込みによって I2C が使用される場合、またはポーリングによって I²C が使用されるケースに使用します。

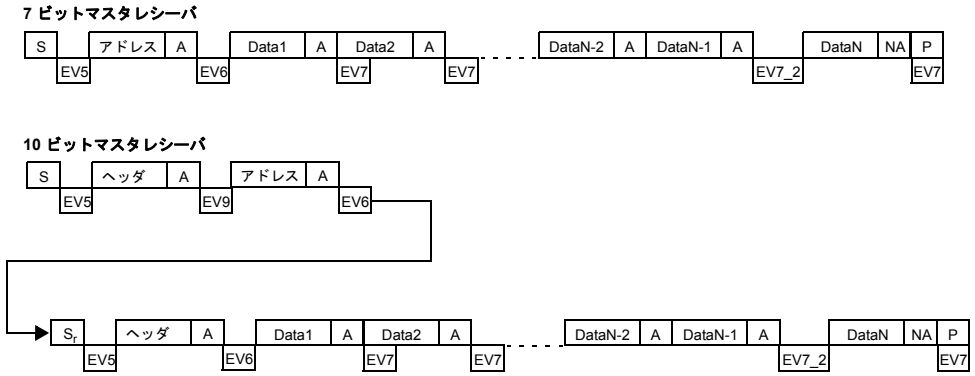
この方法では、

- DataN_2 は読み出されないので、DataN_1 の後で、通信は延長されます（RxNE と BTF がセットされます）。
- 次に、DR の DataN-2 を読み出す前に ACK ビットをクリアすることで、DataN の確認応答パルスより前にこれがクリアされるようにします。
- その後、DataN_2 を読み出した直後に、ソフトウェアは、ストップ/スタートビットをセットし、DataN_1 を読み出す必要があります。RxNE がセットされた後、DataN を読み出します。

これを次の図に示します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 140. 方法 2：マスタレシーバの転送シーケンス図（N >2 の場合）



凡例：S = START、S_r = 反復 START、P = STOP、A = 確認応答、NA = 否定応答、
EVx = イベント（ITEVFEN = 1 の場合は割り込み付き）

EV5：SB=1、SR1 レジスタの読み出しと、それに続く DR レジスタへの書き込みによってクリアされます。
EV6：ADDR=1、SR1 レジスタの読み出しと、それに続く SR3 の読み出しによってクリアされます。
10 ビットマスタレシーバモードでは、このシーケンスの後に続けて、CR2 に START = 1 を書き込んでください。
EV7：RxNE=1、DR レジスタの読み出しによってクリアされます。
EV7_2：BTF = 1、DR の Data N-2 とシフトレジスタの DataN-1、ACK = 0 をプログラミング、DR の DataN-2 の読み出し。
STOP = 1 をプログラミング、DataN-1 の読み出し。
EV9：ADD10=1、SR1 レジスタの読み出しと、それに続く DR レジスタへの書き込みによってクリアされます。

1. EV5、EV6、および EV9 イベントは、対応するソフトウェアシーケンスの終わりまで、SCL のローレベルを延長します。
2. EV7 ソフトウェアシーケンスは、現在のバイト転送の終わりまでに完了する必要があります。現在のバイトの転送終了までに EV7 ソフトウェアシーケンスを管理できない場合に備えて、通信を低速にする欠点はありますが、RXNE の代わりに BTF を使用することを推奨します。

まだ 3 バイトが読み出されていないとき：

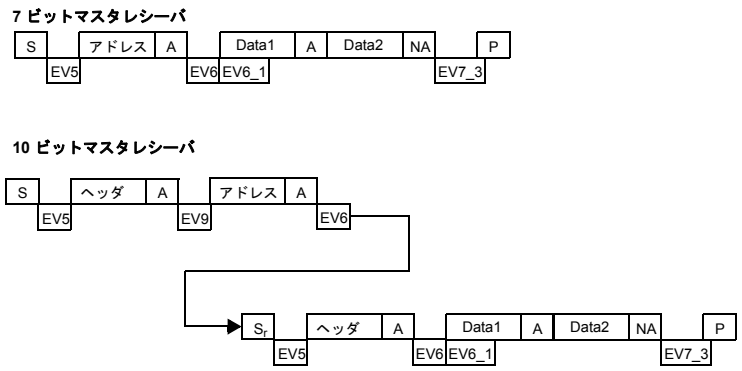
- RxNE = 1 => 何もしません（DataN-2 は読み出されません）
- DataN-1 が受信されます。
- シフトレジスタとデータレジスタがいっぱいなので、BTF = 1：DR の DataN-2 とシフトレジスタの DataN-1 => SCL をローに接続：このバスでは他のデータは受信されません。
- ACK ビットをクリアします。
- DR の DataN-2 の読み出し => これによって、シフトレジスタに DataN の受信を開始。
- DataN の受信（NACK 付き）。
- START/STOP のプログラミング。
- DataN-1 の読み出し。
- RxNE = 1
- DataN の読み出し。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

上述の手順は N > 2 の場合に有効です。1 バイトまたは 2 バイトを受信するケースでは、下記のように別の方法で処理してください。

- 1 バイトを受信するケース：
  - ADDR イベントで、ACK ビットをクリアします。
  - ADDR をクリアします。
  - ストップ/スタートビットをプログラミングします。
  - RxNE フラグがセットされた後、データを読み出します。
- 2 バイトを受信するケース：
  - POS と ACK をセットします。
  - ADDR フラグがセットされるのを待ちます。
  - ADDR をクリアします。
  - ACK をクリアします。
  - BTF がセットされるのを待ちます。
  - STOP をプログラミングします。
  - DR を 2 回読み出します

図 141. 方法 2：マスタレシーバの転送シーケンス図（N=2 の場合）

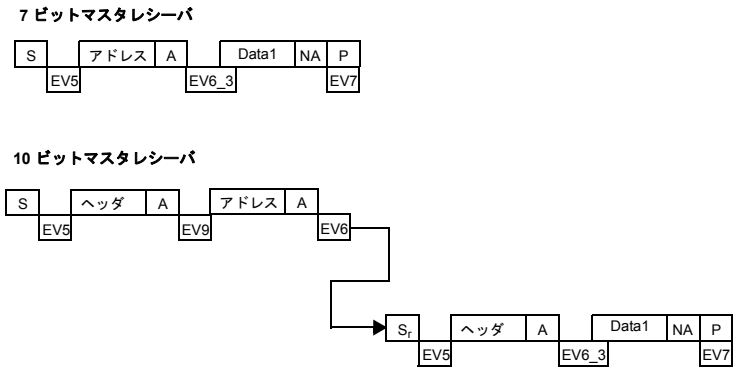


凡例:S = START、S_r = 反復 START、P = STOP、A = 確認応答、NA = 否定応答、
EVx = イベント（ITEVFEN = 1 の場合は割り込み付き）
EV5:SB=1、SR1 レジスタの読み出しと、それに続く DR レジスタへの書き込みによってクリアされます。
EV6:ADDR=1、SR1 レジスタの読み出しと、それに続く SR3 の読み出しによってクリアされます。
10 ビットマスタレシーバモードでは、このシーケンスの後に続けて、CR2 に START = 1 を書き込んでください。
EV6_1:関連するフラグイベントはありません。確認応答は、EV6 の直後、つまり ADDR がクリアされた後で無効にしてください。
EV7_3:BTF = 1、STOP = 1 をプログラミング、STOP のプログラミング直後に DR を 2 回読み出します（Data1 と Data2 を読み出します）。
EV9:ADD10=1、SR1 レジスタの読み出しと、それに続く DR レジスタへの書き込みによってクリアされます。

1. EV5、EV6、および EV9 イベントは、対応するソフトウェアシーケンスの終わりまで、SCL のローレベルを延長します。
2. EV6_1 ソフトウェアシーケンスは、現在のバイト転送の ACK パルスより前に完了する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 142. 方法 2：マスタレシーバの転送シーケンス図（N=1 の場合）



凡例:S = START、S_r = 反復 START、P = STOP、A = 確認応答、NA = 否定応答、
EVx = イベント（ITEVFEN = 1 の場合は割り込み付き）

EV5:SB=1、SR1 レジスタの読み出しと、それに続く DR レジスタへの書き込みによってクリアされます。
EV6:ADDR=1、SR1 レジスタの読み出しと、それに続く SR3 レジスタの読み出しによってクリアされます。
EV6_3:ADDR = 1、ACK = 0 をプログラミング、SR1 レジスタの読み出しとそれに続く SR3 レジスタの読み出しによって ADDR をクリア、ADDR がクリアされた直後に STOP =1 をプログラミング。

EV7: RxNE=1、DR レジスタの読み出しによってクリアされます。
EV9:ADD10=1、SR1 レジスタの読み出しと、それに続く DR レジスタへの書き込みによってクリアされます。

.

1. EV5、EV6、および EV9 イベントは、対応するソフトウェアシーケンスの終わりまで、SCL のローレベルを延長します。
2. EV6_3 ソフトウェアシーケンスは、現在のバイト転送の ACK パルスより前に完了する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

28.4.3 エラー条件

以下は、通信障害を引き起こす可能性のあるエラー条件です。

バスエラー（BERR）

このエラーは、I²C インタフェースがアドレスやデータの転送中に外部の STOP または START コンディションを検出したときに発生します。このとき、

- BERR ビットがセットされ、ITERREN ビットがセットされている場合は割り込みが生成されます。
- スレーブモードの場合：データは破棄され、ラインはハードウェアによって解放されます。
  - START の誤配置である場合、スレーブはこれを RESTART とみなし、アドレスまたは STOP コンディションを待ちます。
  - STOP の誤配置である場合、スレーブは STOP コンディションの場合のように動作し、ラインはハードウェアによって解放されます。
- マスタモードの場合：ラインは解放されず、現在の送信の状態は影響を受けません。現在の送信を中止するかどうかは、ソフトウェアしだいです。

確認応答障害（AF）

このエラーは、インタフェースが否定応答ビットを検出したときに発生します。このとき、

- AF ビットがセットされ、ITERREN ビットがセットされている場合は割り込みが生成されます。
- NACK を受信したトランスミッタは、通信をリセットする必要があります。
  - スレーブの場合：ラインはハードウェアによって解放されます。
  - マスタの場合：ソフトウェアが STOP または反復 START コンディションを生成する必要があります。

アービトレーションロスト（ARLO）

このエラーは、I²C インタフェースがアービトレーションロスト条件を検出したときに発生します。このとき、

- ARLO ビットがハードウェアによってセットされます（ITERREN ビットがセットされている場合、割り込みが生成されます）。
- I²C インタフェースは自動的にスレーブモードに戻ります（MSL ビットがクリアされます）。
- I²C がアービトレーションを失うと、同じ転送ではそのスレーブアドレスを確認応答できませんが、マスタからの反復 START 後に確認応答できます。
- ラインはハードウェアによって解放されます。

オーバーラン/アンダーランエラー（OVR）

スレーブモードでオーバーランエラーが発生するのは、クロック伸長が無効であり、I²C インタフェースがデータを受信しているときです。インタフェースがすでにバイトを受信し（RxNE=1）、インタフェースが次のバイトを受信するまでに DR 内のデータがまだ読み出されていません。このとき、

- 最後に受信されたバイトは失われます。
- オーバーランエラーが発生した場合、ソフトウェアで RxNE ビットをクリアし、トランスミッタで最後の受信バイトを再送信してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

スレーブモードでアンダーランエラーが発生するのは、クロック伸長が無効であり、I²C インタフェースがデータを送信しているときです。次のバイト用のクロックが到着するまでに、まだ DR は次のバイトで更新されていません（TxE=1）。このとき、

- DR レジスタ内の同じバイトが再送信されます。
- ユーザは、アンダーランエラー中にレシーバ側で受信されたデータが捨てられ、I²C バス規格で指定されたクロックロー時間内に次のバイトが書き込まれるようにしてください。
- 送信される最初のバイトに関しては、ADDR がクリアされてから最初の SCL 立ち上がりエッジまでに DR を書き込む必要があります。さもなければ、レシーバは最初のデータを捨てなければなりません。

28.4.4 SDA/SCL ライン制御

- クロック伸長が有効な場合：
  - トランスミッタモード：TxE=1 および BTF=1 の場合：インタフェースは、送信の前にクロックラインをローレベルに保ち、マイクロコントローラが SR1 を読み出し、そのバイトをデータレジスタに書き込むのを待ちます（バッファとシフトレジスタは、いずれも空）。
  - レシーバモード：RxNE=1 および BTF=1 の場合：インタフェースは、受信後にクロックラインをローレベルに保ち、マイクロコントローラが SR1 を読み出し、データレジスタ内のバイトを読み出すか CR2 に書き込むのを待ちます（バッファとシフトレジスタは、いずれもいっぱい）。
- スレーブモードでクロック伸長が無効な場合：
  - オーバーランエラー：RxNE=1 で、次のバイトが受信されるまでに DR が読み出されていない場合。最後に受信されたバイトは失われます。
  - アンダーランエラー：TxE=1 で、次のバイトを送信するまでに DR への書き込みが行われていない場合。同じバイトが再送信されます。
  - 書き込み衝突は管理されません。

28.4.5 SMBus

概要

システム管理バス（SMBus）は、さまざまなデバイスが互いに通信したり、残りのシステム部分と通信したりできる 2 線インタフェースです。これは I²C の動作原理をベースにしています。SMBus は、システムおよびパワーマネジメント関連のタスク向けの制御バスを提供します。システムが SMBus を使用することで、個々の制御ラインをトグルすることなく、デバイスとの間でメッセージをやり取りできます。

System Management Bus Specification では、3 種類のデバイスを規定しています。*スレーブ*とは、コマンドを受信したり、コマンドに応答したりするデバイスです。*マスタ*とは、コマンドを発行し、クロックを生成し、転送を終了させるデバイスです。*ホスト*とは、システムの CPU にメインインタフェースを提供する特殊なマスタです。ホストは、マスタ/スレーブとすることができ、SMBus ホスト通知プロトコルをサポートする必要があります。システム内では、ただ 1 つのホストが許容されます。

SMBus と I²C との類似点

- 2 線バスプロトコル（1 クロック、1 データ）+ SMBus アラートライン（オプション）
- マスタ/スレーブ通信（マスタがクロックを供給します）
- マルチマスタ機能
- I²C 7 ビットアドレスフォーマットに類似した SMBus データフォーマット（*図 134*）

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

SMBus と I²C との相違点

次の表に、SMBus と I²C の相違点を示します。

表 86. SMBus と I²C の比較

SMBus	I²C
最大速度：100 kHz	最大速度：400 kHz
最小クロック速度：10 kHz	最小クロック速度の規定なし
クロックロータイムアウト：35 ms	タイムアウトなし
論理レベルは固定	論理レベルは VDD に依存
種々のアドレスタイプ（予約、ダイナミック、など）	7 ビット、10 ビット、および同報のスレーブアドレスタイプ
種々のバスプロトコル（クイックコマンド、プロセスコール、など）	バスプロトコルなし

SMBus アプリケーションの用途

SMBus を使用すれば、デバイスは、製造者情報を提供し、モデル/部品番号をシステムに通知し、サスペンドイベントに備えてその状態を保存し、種々のエラーを報告し、制御パラメータを受け付け、そのステータスを返すことができます。SMBus は、システムおよびパワーマネジメント関連のタスク向けの制御バスを提供します。

デバイス識別

SMBus 上にスレーブとして存在するデバイスには、スレーブアドレスと呼ばれるユニークなアドレスがあります。予約済みのスレーブアドレスの一覧については、SMBus 仕様 ver. 2.0（*http://smbus.org/specs/*）を参照してください。

バスプロトコル

SMBus 仕様では、最大 9 種のプロトコルをサポートします。これらのプロトコルと SMBus アドレスタイプの詳細については、SMBus 仕様 ver. 2.0（*http://smbus.org/specs/*）を参照してください。これらのプロトコルは、ユーザのソフトウェアによって実装してください。

アドレス解決プロトコル（ARP）

SMBus スレーブアドレスの競合は、各スレーブデバイスに新しいユニークなアドレスを動的に割り当てることによって解決できます。アドレス解決プロトコル（ARP）には、以下の属性があります。

- アドレス割り当てには、標準の SMBus 物理層アービトレーション機構を使用します。
- 割り当てられたアドレスは、デバイスに電源が供給されている間は一定しています。デバイスの電源切断後もアドレスの保持が可能です。
- アドレス割り当ての後、新たな SMBus パケットのオーバーヘッドは生じません（つまり、割り当てられたスレーブアドレスへのその後のアクセスでは、固定アドレスのデバイスへのアクセスと同じオーバーヘッドになります）。
- いずれの SMBus マスタも、バスの番号付けが可能です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ユニークデバイス識別子（UDID）

アドレス割り当てを目的として各デバイスを分離する仕組みを提供するために、各デバイスはユニークデバイス識別子（UDID）を実装する必要があります。

128 ビット UDID と ARP の詳細については、SMBus 仕様 ver. 2.0（*http://smbus.org/specs/*）を参照してください。

SMBus アラートモード

SMBus アラートは、マスタ機能をピンに置き換えたいデバイス用の割り込みラインを持つオプション信号です。SMBALERT は、SCL 信号や SDA 信号と同じく、ワイヤード AND 信号です。SMBALERT は、SMBus 同報アドレスとともに使用されます。SMBus で呼び出されるメッセージの長さは 2 バイトです。

スレーブ専用デバイスは、I2C_CR2 レジスタの ALERT ビットをセットすることによって、ホストに接続したいことを SMBALERT を通じて通知できます。ホストは、割り込みを処理し、*アラート応答アドレス*（ARA と呼ばれ、値は 0001 100X）を通じて全 SMBALERT デバイスに同時にアクセスします。SMBALERT をローレベルにプルダウンしたデバイスのみが、アラート応答アドレスを確認応答します。このステータスは、I2C_SR2 レジスタの SMBALERT ステータスフラグを使用して識別されます。ホストは、モディファイド受信バイト動作を行います。スレーブ送信デバイスによって提供された 7 ビットのデバイスアドレスは、バイトの上位 7 ビットに置かれます。8 番目のビットは 0 または 1 にできます。

複数のデバイスが SMBALERT をローレベルにプルダウンしている場合、スレーブアドレス転送時の標準的なアービトレーションによって、最高優先順位（最小アドレス）のデバイスが通信権を獲得します。スレーブアドレスの確認応答後、デバイスは、その SMBALERT のプルダウンを解放する必要があります。メッセージ転送の完了時に、SMBALERT が依然としてローレベルであることにホストが気づいた場合、再びARA の読み出しが行われます。
SMBALERT 信号を実装していないホストは、周期的に ARA にアクセスすることができます。

SMBu s アラートモードの詳細については、SMBus 仕様 ver. 2.0（*http://smbus.org/specs/*）を参照してください。

タイムアウトエラー

I²C と SMBus では、タイミング仕様に違いがあります。
SMBus では、クロックロータイムアウトとして 35 ms の TIMEOUT が定義されています。さらに SMBus では、スレーブデバイスのクロックロー累積延長時間として TLOW:SEXT を規定しています。また、マスタデバイスのクロックロー累積延長時間として TLOW:MEXT も規定しています。これらのタイムアウトの詳細については、SMBus 仕様 ver. 2.0（*http://smbus.org/specs/*）を参照してください。

I2C_SR2 レジスタのステータスフラグ Timeout や Tlow Error は、この機能のステータスを示します。

SMBus モードでのインタフェースの使い方

I²C モードから SMBus モードに切り替えるには、次のシーケンスを実行してください。

- I2C_CR1 レジスタの SMBus ビットをセットします。
- アプリケーションの必要に応じて、I2C_CR1 レジスタの SMBTYPE ビットと ENARP ビットを設定します。

デバイスをマスタとして設定したい場合、*セクション 28.4.2 : I2C マスタモード*に記載されている START コンディションの生成手順に従ってください。そうでない場合は、*セクション 28.4.1 : I2C スレーブモード*に記載されている手順に従ってください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

アプリケーションは、ソフトウェアによってさまざまな SMBus プロトコルを制御する必要があります。

- ENARP=1 および SMBTYPE=0 の場合 : SMB デバイスのデフォルトアドレスが確認応答されます。
- ENARP=1 および SMBTYPE=1 の場合 : SMB ホストヘッダが確認応答されます。
- SMBALERT=1 の場合 : SMB アラート応答アドレスが確認応答されます。

28.4.6 DMA リクエスト

DMA リクエストは、データ転送用にのみ生成されます（有効な場合）。DMA リクエストが生成されるのは、送信中にデータレジスタが空になったとき、および受信中にデータレジスタがいっぱいになったときです。DMA リクエストは、現在のバイト転送の終わりまでに処理される必要があります。対応する DMA チャネルにプログラミングされたデータ転送回数に達したとき、DMA コントローラは、I²C インタフェースに転送終了（EOT）信号を送信し、転送完了割り込みを生成します（有効な場合）。

- マスタトランスミッタ : EOT 割り込み後の割り込みルーチンでは、DMA リクエストを無効にし、BTF イベントの発生を待ってから、STOP コンディションをプログラミングします。
- マスタレシーバ : 受信するバイト数が 2 以上であるとき、DMA コントローラは、最後から 2 番目のデータ（number_of_bytes - 1）に対応するハードウェア信号（EOT_1）を送信します。I2C_CR2 レジスタで LAST ビットがセットされた場合、I²C は、EOT_1 に続く次のバイトの後に、自動的に NACK を送信します。ユーザは、DMA 転送完了割り込みルーチンで STOP コンディションを生成できます。

注 : ***DMA チャネル 0 は受信用に I²C に配置され、DMA チャネル 3 は送信用に I²C に配置されます。***

DMA を使用した送信

DMA モードの送信を有効にするには、I2C_ITR レジスタの DMAEN ビットをセットします。データは、TxE ビットがセットされるたびに、DMA ペリフェラルを使用して設定されたメモリ領域（DMA 仕様を参照）から I2C_DR レジスタにロードされます。I²C 送信用の DMA チャネル 3 を配置するには、次のシーケンスを実行します。

1. I2C_DR レジスタのアドレスを DMA_C3PARH/L レジスタにセットします。データは、毎回の TxE イベント後に、メモリからこのアドレスに移動されます。
2. メモリアドレスを DMA_C3M0ARH/L レジスタにセットします。データは、毎回の TxE イベント後に、このメモリから I2C_DR にロードされます。
3. 転送されるバイトの総数を DMA_C3NDTR レジスタに設定します。毎回の TxE イベント後に、この値はデクリメントされます。
4. DMA_C3SPR レジスタの PL[0:1] ビットを使用して、チャネルの優先順位を設定します。
5. DMA_C3CR レジスタの DTD ビットをセットし、アプリケーション条件に応じて 1/2 転送終了後または転送完了後に、割り込みを設定します。
6. DMA_C3CR レジスタの CE ビットをセットすることによって、チャネルを有効にします。

DMA コントローラのレジスタにプログラミングされたデータ転送回数に達したとき、DMA コントローラは、I²C インタフェースに転送終了（EOT/EOT_1）信号を送信し、DMA は DMA チャネル割り込みベクタ上に割り込みを生成します（有効な場合）。

注 : ***DMA が送信に使用される場合、I2C_ITR レジスタの ITBUFEN ビットを有効にしないでください。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

DMA を使用した受信

DMA モードの受信を有効にするには、I2C_ITR レジスタの DMAEN ビットをセットします。データは、データバイトが受信されるたびに、DMA ペリフェラルを使用して設定されたメモリ領域に I2C_DR レジスタからロードされます。I2C 受信用の DMA チャネル 0 を配置するには、次のシーケンスを実行します。

1. I2C_DR レジスタのアドレスを DMA_C0PARH/L レジスタに設定します。データは、毎回の RxNE イベント後に、このアドレスからメモリに移動されます。
2. メモリアドレスを DMA_C0M0ARH/L レジスタに設定します。データは、毎回の RxNE イベント後に、I2C_DR レジスタからこのメモリ領域にロードされます。
3. 転送されるバイトの総数を DMA_C0NDTR レジスタに設定します。毎回の RxNE イベント後に、この値はデクリメントされます。
4. DMA_C0SPR レジスタの PL[0:1] ビットを使用して、チャネル 0 の優先順位を設定します。
5. DTD ビットをリセットし、アプリケーション条件に応じて 1/2 転送終了後または転送完了後に、割り込みを設定します。
6. DMA_C0CR レジスタの CE ビットをセットすることによって、チャネル 0 を有効にします。DMA コントローラのレジスタにプログラミングされたデータ転送回数に達したとき、DMA コントローラは、I²C インタフェースに転送終了（EOT/EOT_1）信号を送信し、DMA は DMA チャネル割り込みベクタ上に割り込みを生成します（有効な場合）。

注： ***DMA が受信に使用される場合、I2C_ITR レジスタの ITBUFEN ビットを有効にしないでください。***

28.4.7 パケットエラーチェック

通信の信頼性を高めるため、PEC 計算回路が実装されています。PEC の計算には、$C(x) = x^8 + x^2 + x + 1$ という CRC-8 多項式を各ビットに連続的に適用します。

- PEC 計算を有効にするには、I2C_CR1 レジスタの ENPEC ビットをセットします。PEC は、アドレスと R/W ビットを含むすべてのメッセージバイトに基づいて計算される CRC-8 コードです。
  - 送信時：最後のバイトに対応する TxE イベントの後、I2C_CR1 レジスタの PEC 転送ビットをセットします。PEC は、最後に送信されたバイトの後で転送されます。
  - 受信時：最後のバイトに対応する RxNE イベントの後、I2C_CR2 レジスタの PEC ビットをセットすることで、次に受信するバイトが内部的に計算した PEC と等しくない場合にレシーバが NACK を送信するようにします。PEC は、現在のバイト受信の ACK パルスよりも前にセットする必要があります。マスタレシーバの場合、チェックの結果にかかわらず、PEC の後には NACK が続く必要があります。
- PECERR エラーフラグ/割り込みは、I2C_SR2 レジスタでも使用できます。
- DMA と PEC 計算機能がともに有効な場合：
  - 送信時：I²C インタフェースが DMA コントローラから EOT 信号を受信すると、最終バイトの後で自動的に PEC を送信します。
  - 受信時：I²C インタフェースが DMA コントローラから EOT_1 信号を受信すると、次のバイトを自動的に PEC とみなし、その検査を行います。PEC 受信後に DMA リクエストが生成されます。
- 中間での PEC 転送を可能にするため、I2C_ITR レジスタには制御ビット（LAST ビット）が用意されており、本当に最後の DMA 転送かどうかを判定できます。マスタレシーバの最後の DMA リクエストである場合、最後に受信されたバイトの後で自動的に NACK が送信されます。
- PEC 計算は、アービトレーションロスによって損なわれます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

28.5 I²C 低電力モード

表 87. 低電力モードでの I²C インタフェース動作

モード	説明
WAIT/ 低電力 WAIT	I²C インタフェースには影響ありません。 I²C 割り込みによって、デバイスは WAIT または低電力 WAIT モードから抜けます。
HALT/ アクティブ HALT	**スレーブモードの場合**：設定レジスタを除いて、通信はリセットされます。デバイスはスレーブモードです。 ITEVTEN = 1 であり、許容ヘッダも含めてアドレスが一致した場合、HALT からのウェイクアップ割り込みが生成されます。 一致したアドレスは HALT モードでは確認応答されないため、マスタは、CPU がウェイクアップしたときにこれを再送信して確認応答を受信する必要があります。 NOSTRETCH = 0 の場合、SCLH は、WUFH がソフトウェアによってクリアされるまで、HALT モードでの確認応答パルス後に延長されます。 どのフラグも、CPU をウェイクアップするアドレスによってはセットされません。 **マスタモードの場合**：通信は、CPU がウェイクアップされるまで凍結されます。ITEVTEN=1 であり、HALT 命令がある場合、HALT からのウェイクアップフラグと割り込みが生成されます。 ***注：　通信中に HALT モードに入ることは禁止されています。***

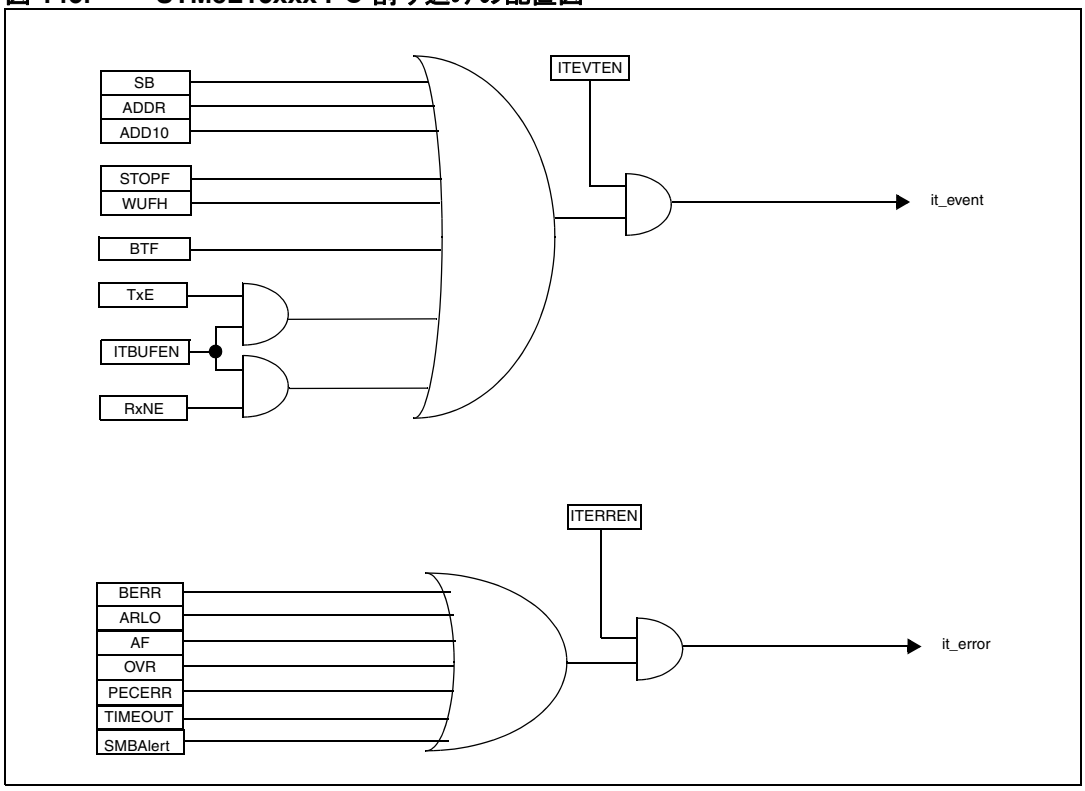
28.6 I²C 割り込み

表 88. I²C 割り込みリクエスト

割り込みイベント	イベントフラグ	イネーブル制御ビット	WAIT/低電力 WAIT 終了	HALT/アクティブ HALT 終了
スタートビット送信（マスタ）	SB	ITEVTEN	あり	なし
アドレス送信（マスタ）またはアドレス一致（スレーブ）	ADDR			
10 ビットヘッダ送信（マスタ）	ADD10			
STOP 受信（スレーブ）	STOPF			
データバイト転送終了	BTF			
HALT からのウェイクアップ	WUFH	ITEVTEN		あり
受信バッファノットエンプティ	RxNE	ITEVTEN および ITBUFEN		なし
送信バッファエンプティ	TxE			
バスエラー	BERR	ITERREN		
アービトレーションロス（マスタ）	ARLO			
確認応答障害	AF			
オーバーラン/アンダーラン	OVR			
PEC エラー	PECERR		あり	なし
Timeout/Tlow error	TIMEOUT		あり	なし
SMBus アラート	SMBALERT		あり	なし

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 143. STM8L15xxx I²C 割り込みの配置図



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

28.7 I²C レジスタ

28.7.1 制御レジスタ 1（I2C_CR1）

アドレスオフセット：0x00

リセット値：0x00

7	6	5	4	3	2	1	0
NOSTRETCH	ENGC	ENPEC	ENARP	SMBTYPE	予約済み	SMBUS	PE
rw	rw	rw	rw	rw		rw	rw

ビット 7 **NOSTRETCH**：クロック伸長ディセーブル（スレーブモード）

このビットは、スレーブモードで ADDR または BTF フラグがセットされているとき、ソフトウェアによってリセットされるまで、クロック伸長を無効にするために使用されます。

0：クロック伸長は有効です。

1：クロック伸長は無効です。

ビット 6 **ENGC**：同報イネーブル

0：同報は無効です。アドレス 0x00 は NACK されます。

1：同報は有効です。アドレス 0x00 は ACK されます。

ビット 5 **ENPEC**：PEC イネーブル

0：PEC 計算は無効です。

1：PEC 計算は有効です。

ビット 4 **ENARP**：ARP イネーブル

0：ARP は無効です。

1：ARP は有効です。

SMBTYPE=0 の場合、SMBus デバイスのデフォルトアドレスが認識されます。

SMBTYPE=1 の場合、SMBus ホストのアドレスが認識されます。

ビット 3 **SMBTYPE**：SMBus タイプ

0：SMBus デバイス

1：SMBus ホスト

ビット 2 予約済み、ハードウェアで 0 に固定されています。

ビット 1 **SMBUS**：SMBus モード

0：I²C モード

1：SMBus モード

ビット 0 **PE**：ペリフェラルイネーブル

0：ペリフェラルは無効です。

1：ペリフェラルは有効です。対応する入出力はオルタネート機能として選択されます。

注： 通信中にこのビットがリセットされた場合、現在の通信の最後にアイドル状態に戻ったとき、ペリフェラルは無効になります。
通信の最後には PE=0 になるので、すべてのビットがリセットされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

28.7.2 制御レジスタ 2（I2C_CR2）

アドレスオフセット：0x01

リセット値：0x00

7	6	5	4	3	2	1	0
SWRST	予約済み	ALERT	PEC	POS	ACK	STOP	START
rw	r	rw	rw	rw	rw	rw	rw

ビット 7 **SWRST**：ソフトウェアリセット

このビットがセットされると、I²C はリセット状態になります。このビットをリセットする前に、I²C ラインが解放されていて、バスが空いていることを確認してください。

0：I²C ペリフェラルはリセット状態ではありません。

1：I²C ペリフェラルはリセット状態です。

注： このビットは、バス上で STOP コンディションが検出されていないときに BUSY ビットが"1"に設定された場合に備えて使用できます。

ビット 6 予約済み、"0"として読み出されます。

ビット 5 **ALERT**：SMBus アラート

このビットは、ソフトウェアによってセット/クリアされ、PE=0 のときにハードウェアによってクリアされます。

0：SMBAlert ピンをハイレベルに解放します。アラート応答アドレスヘッダの後には NACK が続きます。

1：SMBAlert ピンをローレベルに駆動します。アラート応答アドレスヘッダの後には ACK が続きます。

ビット 4 **PEC**：パケットエラーチェック

このビットは、ソフトウェアによってセット/クリアされ、PEC が転送されたとき、START/STOP コンディションが検出されたとき、または PE=0 のときにハードウェアによってクリアされます。

0：PEC は転送されません。

1：PEC が転送されます（送信または受信モード）。

注： PEC 計算は、アービトレーションロストによって損なわれます。

ビット 3 **POS**：確認応答位置（データ受信）

このビットは、ソフトウェアによってセット/クリアされ、PE=0 のときにハードウェアによってクリアされます。

0：ACK ビットは、シフトレジスタに受信されている現在のバイトの (N)ACK を制御します。PEC ビットは、シフトレジスタ内の現在のバイトが PEC であることを示します。

1：ACK ビットは、シフトレジスタに受信される次のバイトの (N)ACK を制御します。PEC ビットは、シフトレジスタ内の次のバイトが PEC であることを示します。

注： 2 バイトの受信手順が実行されるとき、POS ビットが使用されます（方法 2：マスタレシーバの転送シーケンス図（N=2 の場合）を参照）。このビットは、データ受信が始まる前に設定される必要があります。この場合、2 番目のバイトを NACK するには、ADDR がクリアされた直後に ACK ビットをクリアする必要があります。

PEC が 2 番目の受信バイトであるときに PEC をチェックするには、POS ビットが設定された後の ADDR 拡張イベント処理中に PEC ビットをセットする必要があります。

ビット 2 **ACK**：確認応答イネーブル

このビットは、ソフトウェアによってセット/クリアされ、PE=0 のときにハードウェアによってクリアされます。

0：確認応答は返されません。

1：バイトの受信後（アドレスまたはデータの一致）、確認応答が返されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 1 **STOP**：STOP 生成

このビットは、ソフトウェアによってセット/クリアされ、STOP コンディションの検出時にハードウェアによってクリアされ、タイムアウトエラーの検出時にハードウェアによってセットされます。

- マスタモード：

0：STOP は生成されません。

1：現在のバイト転送後、または現在の START コンディションの送信後に、STOP が生成されます。

- スレーブモード：

0：STOP は生成されません。

1：現在のバイト転送後に SCL ラインと SDA ラインを解放します。

ビット 0 **START**：START 生成

このビットは、ソフトウェアによってセット/クリアされ、START の送信時または PE=0 のときにハードウェアによってクリアされます。

- マスタモード：

0：START は生成されません。

1：反復 START が生成されます。

- スレーブモード：

0：START は生成されません。

1：バスが空いていれば、START が生成されます。

注： ***STOP、START、または PEC がセットされると、制御ビットがハードウェアによってクリアされるまで、ユーザは I2C_CR2 に書き込みアクセスを実行してはいけません。さもなければ、2 番目の STOP、START、または PEC リクエストが発生することがあります。***

28.7.3 周波数レジスタ（I2C_FREQR）

アドレスオフセット：0x02

リセット値：0x00

7	6	5	4	3	2	1	0
予約済み		FREQ[5:0]					
		rw	rw	rw	rw	rw	rw

ビット 7：6 予約済み、“0”として読み出されます。

ビット 5：0 **FREQ[5:0]**：ペリフェラルクロック周波数 (1)

入力クロック周波数は正しいタイミングを生成するようにプログラミングする必要があります。

許容範囲は 1 MHz～16 MHz です。

000000：設定禁止

000001：1 MHz

000010：2 MHz

...

010000：16 MHz

さらに高い値：設定禁止

(1.) I²C バスタイミングを守るための最小ペリフェラルクロック周波数は、標準モードでは 1MHz、高速モードでは 4MHz です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

28.7.4 自己アドレスレジスタ LSB（I2C_OARL）

アドレスオフセット：0x03

リセット値：0x00

7	6	5	4	3	2	1	0
ADD[7:1]							ADD0
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7：1 **ADD[7:1]**：インタフェースアドレス
アドレスのビット 7:1

ビット 0 **ADD0**：インタフェースアドレス
7 ビットアドレスモード：無視
10 ビットアドレスモード：アドレスのビット 0

28.7.5 自己アドレスレジスタ MSB（I2C_OARH）

アドレスオフセット：0x04

リセット値：0x00

7	6	5	4	3	2	1	0
ADDMODE	ADDCONF	予約済み			ADD[9:8]		予約済み
rw	rw	r	r	r	rw	rw	r

ビット 7 **ADDMODE**：アドレスモード（スレーブモード）
0：7 ビットスレーブアドレス（10 ビットアドレスは確認応答されません）
1：10 ビットスレーブアドレス（7 ビットアドレスは確認応答されません）

ビット 6 **ADDCONF** アドレスモード設定
このビットは、ソフトウェアによってセットされる必要があります（常に“1”として書き込まれます）。

ビット 5：3 予約済み、“0”として読み出されます。

ビット 2：1 **ADD[9:8]**：インタフェースアドレス
10 ビットアドレスモード：アドレスのビット 9:8

ビット 0 予約済み、“0”として読み出されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

28.7.6 自己アドレスレジスタ 2（I2C_OAR2）

アドレスオフセット：0x05
リセット値：0x00

注： ***このレジスタは、中+容量および大容量デバイスでのみ使用可能です。***

7	6	5	4	3	2	1	0
ADD2[7:1]							ENDUAL
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7：1 **ADD2[7:1]**：インタフェースアドレス
デュアルアドレスモードでアドレスのビット 7:1

ビット 0 **ENDUAL**：デュアルアドレスモードイネーブル
0：7 ビットアドレスモードで、OAR1 のみが認識されます。
1：7 ビットアドレスモードで、OAR1 と OAR2 の両方が認識されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

28.7.7 データレジスタ（I2C_DR）

アドレスオフセット：0x06

リセット値：0x00

7	6	5	4	3	2	1	0
DR[7:0]							
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7：0 DR[7:0]：データレジスタ (1)(2)(3)

受信されたバイト、またはバスに送信されるバイト。

- トランスミッタモード：DR レジスタにバイトが書き込まれると、バイト送信が自動的に始まります。送信が始まり（TxE=1）、次に送信されるデータが DR に書き込まれた場合、連続的な送信ストリームを維持できます。
- レシーバモード：受信したバイトは DR にコピーされます（RxNE=1）。DR が読み出されてから次のデータが受信された場合（RxNE=1）、連続的な送信ストリームを維持できます。

(1.) スレーブモードでは、アドレスは DR にコピーされません。

(2.) 書き込み衝突は管理されません（TxE=0 の場合、DR は書き込み可能です）。

(3.) ACK パルスで ARLO イベントが発生した場合、受信したバイトは DR にコピーされないため、読み出しできません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

28.7.8 ステータスレジスタ 1（I2C_SR1）

アドレスオフセット：0x07

リセット値：0x00

7	6	5	4	3	2	1	0
TxE	RxNE	予約済み	STOPF	ADD10	BTF	ADDR	SB
r	r	r	r	r	r	r	r

ビット 7 **TxE**：データレジスタエンプティ（トランスミッタ）(1) (2)

0：データレジスタは空ではありません。
1：データレジスタは空です。

- 送信中に DR が空になったときにセットされます。TxE はアドレスフェーズではセットされません。
- DR レジスタへのソフトウェア書き込みによってクリアされ、START/STOP コンディションの後または PE=0 のときにハードウェアによってクリアされます。

注： 送信中に最初のデータを書き込んだり、BTF がセットされているときにデータを書き込んだりしても、TxE はクリアできません。いずれの場合も、DR レジスタはまだ空だからです。

ビット 6 **RxNE**：データレジスタノットエンプティ（レシーバ）(3) (4)

0：データレジスタは空です。
1：データレジスタは空ではありません。

- レシーバモードで、データレジスタが空でないときにセットされます。RxNE は、アドレスフェーズではセットされません。
- ソフトウェアで DR レジスタへの読み書きを行ってクリアするか、PE=0 のときにハードウェアによってクリアされます。

注： BTF ビットがセットされているときにデータを読み出しても、DR レジスタはまだいっぱいなので、RxE はクリアできません。

ビット 5 予約済み、“0”として読み出されます。

ビット 4 **STOPF**：STOP 検出（スレーブモード）(5)

0：STOP コンディションは検出されていません。
1：STOP コンディションが検出されました。

- 確認応答後に、スレーブがバス上で STOP コンディションを検出したとき、ハードウェアによってセットされます（ACK=1 の場合）。
- ソフトウェアで SR1 レジスタを読み出し、続いて CR2 レジスタに書き込むとクリアされます。または、PE=0 のときにハードウェアによってクリアされます。

ビット 3 **ADD10**：10 ビットヘッダの送信（マスタモード）(6)

0：ADD10 イベントは発生していません。
1：マスタは最初のアドレスバイト（ヘッダ）を送信しました。

- マスタが 10 ビットアドレスモードで最初のバイトを送信すると、ハードウェアによってセットされます。
- ソフトウェアで SR1 レジスタを読み出し、続いて DR レジスタに 2 番目のアドレスバイトを書き込むとクリアされます。または、PE=0 のときにハードウェアによってクリアされます。

ビット 2 **BTF**：バイト転送終了 (7)(8) (9)

0：データバイト転送は完了していません。
1：データバイト転送が正常に終了しました。

- NOSTRETCH=0 の場合、次の条件でハードウェアによってセットされます。
  - 受信時、新しいバイト（ACK パルスを含む）が受信され、DR レジスタがまだ読み出されていないとき（RxNE=1）。
  - 送信時、新しいバイトを送信すべきときに、DR レジスタへの書き込みがまだ行われていないとき（TxE=1）。
- ソフトウェアで SR1 を読み出し、続いて DR レジスタへの読み書きを行ったときにクリアされます。または、送信時の START/STOP コンディションの後や PE=0 のときに、ハードウェアによってクリアされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 1 **ADDR** : アドレス送信（マスタモード）/アドレス一致（スレーブモード）(8)

このビットは、ソフトウェアで SR1 レジスタを読み出し、続いて SR3 レジスタを読み出すことでクリアされます。または、PE=0 のときにハードウェアによってクリアされます。

- アドレス一致（スレーブ）

0 : アドレスは受信されていないか、一致しませんでした。

1 : 受信したアドレスが一致しました。

– 受信したスレーブアドレスが OAR レジスタの内容と一致したとき、あるいは同報または SMBus が認識されたとき、ハードウェアによってセットされます（設定に応じて、それぞれ有効である場合）。

- アドレス送信（マスタ）

0 : アドレス送信は終了していません。

1 : アドレス送信は終了しました。

– 10 ビットアドレッシングでは、2 番目のバイトの ACK 後にビットがセットされます。

– 7 ビットアドレッシングでは、バイトの ACK 後にビットがセットされます。

注 : ADDR は、NACK 受信後にはセットされません。

ビット 0 **SB** : スタートビット（マスタモード）(8)

0 : START コンディションなし。

1 : START コンディションが生成されました。

– START コンディションが生成されたときにセットされます。

– ソフトウェアで SR1 レジスタを読み出し、続いて DR レジスタへの書き込みを行うとクリアされます。または、PE=0 のときにハードウェアによってクリアされます。

(1.) ACK パルスの後で DR がシフトレジスタにコピーされると、割り込みまたは DMA リクエストが生成されます。NACK が受信された場合、コピーは行われず、TxE はセットされません。

(2.) 送信される次のバイトが PEC である場合、TxE はセットされません。

(3.) ACK パルスの後でシフトレジスタが DR にコピーされると、割り込みまたは DMA リクエストが生成されます。

(4.) ARLO イベントの場合、RxNE はセットされません。

(5.) STOPF ビットは、NACK 受信後にはセットされません。

(6.) ADD10 ビットは、NACK 受信後にはセットされません。

(7.) BTF ビットは、NACK 受信後または ARLO イベントの場合にはセットされません。

(8.) タイミング制約があるため、標準モードにおいて CCR が 9 未満（つまり、ペリフェラルクロックが 2 MHz 未満）、$f_{SYSCLK} = f_{CPU}$、およびイベント割り込みが無効である場合、以下の手順に従う必要があります。
フラグのクリアシーケンスにおける各動作間に少なくとも 5 サイクルを挿入するため、リセットシーケンスを変更します。
たとえば、$f_{SYSCLK} = f_{CPU}$ = 1 MHz のとき、以下のシーケンスを使用して SB ビットをポーリングします。

```
_label_wait: BTJF I2C_SR1,SB,_label_wait
NOP ;
NOP;
NOP ;
NOP
NOP
LD A,I2C_SR3 ; 実行後、SB ビットはクリアされます。
```

(9.) 次に送信されるバイトが PEC である場合（TRA=1 および PEC=1）、BTF ビットはセットされません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

28.7.9 ステータスレジスタ 2（I2C_SR2）

アドレスオフセット：0x08

リセット値：0x00

7	6	5	4	3	2	1	0
SMBALERT	TIMEOUT	WUFH	PECERR	OVR	AF	ARLO	BERR
rc_w0	rc_w0	rc_w0	rc_w0	rc_w0	rc_w0	rc_w0	rc_w0

ビット 7 **SMBALERT**：SMBus アラート

SMBus ホストモードで、

0：SMBAlert はありません。

1：SMBAlert イベントがピンに発生しました。

SMBus スレーブモードで、

0：SMBAlert 応答アドレスヘッダはありません。

1：SMBAlert ローへの SMBAlert 応答アドレスヘッダを受信しました。

– ソフトウェアによって 0 を書き込んでクリアするか、PE=0 のときにハードウェアによってクリアされます。

ビット 6 **TIMEOUT**：Timeout または Tlow エラー

0：タイムアウトエラーは発生していません。

1：SCL は 25 ms の間ローレベルを維持しました（タイムアウト）。

または

マスタのクロックロー累積延長時間が 10 ms を超えました（Tlow:mext）。

または

スレーブのクロックロー累積延長時間が 25 ms を超えました（Tlow:sext）。

– スレーブモードに設定した場合：スレーブは通信をリセットし、ラインはハードウェアによって解放されます。

– マスタモードに設定した場合：STOP コンディションがハードウェアによって送信されます。

– ソフトウェアによって 0 を書き込んでクリアするか、PE=0 のときにハードウェアによってクリアされます。

ビット 5 **WUFH**：HALT からのウェイクアップ

0：HALT モードからのウェイクアップなし。

1：HALT モード（スレーブモード）で 7 ビットアドレスまたはヘッダが一致、あるいはマスタモードのときに HALT になりました。

注：このビットは、スレーブモードで（HALT モード中に）非同期にセットされます。ITEVTEN = 1 の場合にのみセットされます。

– ソフトウェアによって 0 を書き込んでクリアするか、PE=0 のときにハードウェアによってクリアされます。

ビット 4 **PECERR**：受信時の PEC エラー

0：PEC エラーなし。レシーバは PEC 受信後に ACK を返します（ACK=1 の場合）。

1：PEC エラーあり。レシーバは PEC 受信後に NACK を返します（ACK は任意）。

– ソフトウェアによって 0 を書き込んでクリアするか、PE=0 のときにハードウェアによってクリアされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 3 **OVR**：オーバーラン/アンダーラン

0：オーバーラン/アンダーランなし。

1：オーバーランまたはアンダーランあり。

– スレーブモードで NOSTRETCH=1 の場合、次の条件でハードウェアによってセットされます。

– 受信時、新しいバイト（ACK パルスを含む）が受信され、DR レジスタがまだ読み出されていないとき。新しい受信バイトは失われます。

– 送信時、新しいバイトを送信すべきときに、DR レジスタへの書き込みがまだ行われていないとき。同じバイトが 2 回送信されます。

ソフトウェアによって 0 を書き込んでクリアするか、PE=0 のときにハードウェアによってクリアされます。

注： DR への書き込みが SCL の立ち上がりエッジのごく近くで行われた場合、送信されるデータは不定で、ホールドタイミングエラーが発生します。

ビット 2 **AF**：確認応答障害

0：確認応答障害なし。

1：確認応答障害あり。

– 確認応答が返されないとき、ハードウェアによってセットされます。

– ソフトウェアによって 0 を書き込んでクリアするか、PE=0 のときにハードウェアによってクリアされます。

ビット 1 **ARLO**：アービトレーションロスト（マスタモード）

0：アービトレーションロストは検出されていません。

1：アービトレーションロストが検出されました。

インタフェースがバスのアービトレーションを他のマスタに開放したとき、ハードウェアによってセットされます。

– ソフトウェアによって 0 を書き込んでクリアするか、PE=0 のときにハードウェアによってクリアされます。

ARLO イベントの後、インタフェースは自動的にスレーブモード（MSL=0）に切り替わります。

ビット 0 **BERR**：バスエラー

0：START または STOP コンディションの誤配置はありません。

1：START または STOP コンディションが誤配置されました。

– インタフェースが START または STOP コンディションの誤配置を検出したとき、ハードウェアによってセットされます。

– ソフトウェアによって 0 を書き込んでクリアするか、PE=0 のときにハードウェアによってクリアされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

28.7.10 ステータスレジスタ 3（I2C_SR3）

アドレスオフセット：0x09

リセット値：0x00

7	6	5	4	3	2	1	0
	SMBHOST	SMBDEFAULT	GENCALL	予約済み	TRA	BUSY	MSL
r	r	r	r	r	r	r	r

ビット 7[1] **DUALF**：デュアルフラグ（スレーブモード）

0：受信アドレスが OAR1 と一致

1：受信アドレスが OAR2 と一致

– STOP コンディションまたは反復 START コンディションの後、あるいは PE=0 のときに、ハードウェアによってクリアされます。

ビット 6 **SMBHOST**：SMBus ホストヘッダ（スレーブモード）

0：SMBus ホストアドレスは受信されていません。

1：SMBTYPE=1 かつ ENARP=1 のとき、SMBus ホストアドレスが受信されました。

– STOP コンディションまたは反復 START コンディションの後、あるいは PE=0 のときに、ハードウェアによってクリアされます。

ビット 5 **SMBDEFAULT**：SMBus デバイスデフォルトアドレス（スレーブモード）

0：SMBus デバイスデフォルトアドレスは受信されていません。

1：ENARP=1 のとき、SMBus デバイスデフォルトアドレスが受信されました。

– STOP コンディションまたは反復 START コンディションの後、あるいは PE=0 のときに、ハードウェアによってクリアされます。

ビット 4 **GENCALL**：同報ヘッダ（スレーブモード）

0：同報ヘッダは受信されていません。

1：ENGC=1 のとき、同報ヘッダが受信されました。

– STOP コンディションまたは反復 START コンディションの後、あるいは PE=0 のときに、ハードウェアによってクリアされます。

ビット 3 予約済み、“0”として読み出されます。

ビット 2 **TRA**：トランスミッタ/レシーバ

0：データバイトが受信されました。

1：データバイトが送信されました。

このビットは、全アドレスフェーズの終わりで、アドレスバイトの R/W ビットに応じてセットされます。

また、STOP コンディション（STOPF=1）、反復 START コンディション、バスアービトレーションロス（ARLO=1）の検出後、または PE=0 のときに、ハードウェアによってクリアされます。

ビット 1 **BUSY**：バスビジー

0：バス上で通信は行われていません。

1：バス上で通信が行われています。

– SDA または SCL のローレベル検出時に、ハードウェアによってセットされます。

– STOP コンディションの検出時に、ハードウェアによってクリアされます。

このビットは、バス上で通信が進行中であることを示します。この情報は、インタフェースが無効である（PE=0）ときにも更新されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 0 **MSL**：マスタ/スレーブ

0：スレーブモード

1：マスタモード

– インタフェースがマスタモードになると（SB=1）、ハードウェアによってセットされます。

– バス上での STOP コンディションまたはアービトレーションロス（ARLO=1）を検出した後、または PE=0 のときに、ハードウェアによってクリアされます。

(1.) このビットは、中+容量および大容量デバイスでのみ使用可能です（中容量デバイスでは予約済み）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

28.7.11 割り込みおよび DMA レジスタ（I2C_ITR）

アドレスオフセット：0x0A

リセット値：0x00

7	6	5	4	3	2	1	0
予約済み			LAST	DMAEN	ITBUFEN	ITEVTEN	ITERREN
r	r	r	rw	rw	rw	rw	rw

ビット 7：5 予約済み、“0”として読み出されます。

ビット 4 **LAST**：DMA 最終転送

0：次の DMA EOT は最終転送ではありません。
1：次の DMA EOT は最終転送です。

注： このビットは、最後の受信データで の NACK の生成を可能にするために、マスタレシーバモードで使用されます。

ビット 3 **DMAEN**：DMA リクエストイネーブル

0：DMA リクエストは無効です。
1：TxE=1 または RxNE =1 のとき、DMA リクエストは有効です。

ビット 2 **ITBUFEN**：バッファ割り込みイネーブル

0：TxE = 1 または RxNE = 1 で、割り込みは生成されません。
1：TxE = 1 または RxNE = 1 で、イベント割り込みを生成します。

ビット 1 **ITEVTEN**：イベント割り込みイネーブル

0：イベント割り込みは無効です。
1：イベント割り込みは有効です。

この割り込みは、以下の場合に生成されます。

- SB = 1（マスタ）
- ADDR = 1（マスタ/スレーブ）
- ADD10= 1（マスタ）
- STOPF = 1（スレーブ）
- BTF = 1（ただし、TxE または RxNE イベントが発生していないとき）
- ITBUFEN = 1 で TxE イベントが 1 になったとき
- ITBUFEN = 1 で RxNE イベントが 1 になったとき
- WUFH = 1（HALT からのウェイクアップへの非同期割り込み）

ビット 0 **ITERREN**：エラー割り込みイネーブル

0：エラー割り込みは無効です。
1：エラー割り込みは有効です。

この割り込みは、以下の場合に生成されます。

- BERR = 1
- ARLO = 1
- AF = 1
- OVR = 1
- PECERR = 1
- TIMEOUT = 1
- SMBALERT = 1

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

28.7.12 クロック制御レジスタ0（I2C_CCRL）

アドレスオフセット：0x02

リセット値：0x0B

7	6	5	4	3	2	1	0
CCR[7:0]							
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7：0 **CCR[7:0]** クロック制御レジスタ（マスタモード）

マスタモードにおける SCLH クロックを制御します。

- 標準モードまたは SMBus：

Period(I2C) = 2 * CCR * t_{CK}

t_{high} = CCR * t_{CK}

t_{low} = CCR * t_{CK}

- 高速モード：

DUTY = 0 の場合：

Period(I2C) = 3* CCR * t_{CK}

t_{high} = CCR * t_{CK}

t_{low} = 2 * CCR * t_{CK}

DUTY = 1の場合：（400 kHz に到達するには）

Period(I2C) = 25 * CCR * t_{CK}

t_{high} = 9 * CCR * t_{CK}

t_{low} = 16 * CCR * t_{CK}

注： ***t_{CK} = 1/ f_{CK}. f_{CK} は、クロック制御レジスタを使用して設定されたペリフェラルへの入力クロックです。***
最小許容値は 04h です。ただし、FAST DUTY モードでは最小許容値は 0x01 になります。
t_{high} = $t_{r(SCL)}$ + $t_{w(SCLH)}$パラメータの定義については、デバイスのデータシートを参照してください
t_{low} = $t_{f(SCL)}$ + $t_{w(SCLL)}$パラメータの定義については、デバイスのデータシートを参照してください
I²C 通信速度、f_{SCL} = 1/(Thigh + Tlow)
これらのタイミングは、フィルタを通さないものです。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

28.7.13 クロック制御レジスタハイ（I2C_CCRH）

アドレスオフセット：0x0C

リセット値：0x00

7	6	5	4	3	2	1	0
F/S	DUTY	予約済み		CCR[11:8]			
rw	rw	r		rw			

ビット 7 **F/S**：I^2C マスタモード選択

0：標準モード I^2C

1：高速モード I^2C

ビット 6 **DUTY**：高速モードデューティサイクル

0：高速モード t_{low}/t_{high} = 2

1：高速モード t_{low}/t_{high} = 16/9（CCR を参照）

ビット 5：4 予約済み、クリアされた状態に保つ必要があります。

ビット 3：0 **CCR[11:8]**：高速/標準モード（マスタモード）でのクロック制御レジスタ(1)

マスタモードにおける SCLH クロックを制御します。

- 標準モード：

Period(I2C) = 2 * CCR * t_{CK}

t_{high} = CCR * t_{CK}

t_{low} = CCR * t_{CK}

- 高速モード：

DUTY = 0 の場合：

Period(I2C) = 3 * CCR * t_{CK}

t_{high} = CCR * t_{CK}

t_{low} = 2 * CCR * t_{CK}

DUTY = 1の場合：（400 kHz に到達するには）

Period(I2C) = 25 * CCR * t_{CK}

t_{high} = 9 * CCR * t_{CK}

t_{low} = 16 * CCR * t_{CK}

例：標準モードで 100 kHz の SCL 周波数を生成するには、

FREQR = 08、t_{CK} = 125 ns の場合、CCR には 0x28 をプログラミングする必要があります。

(0x28 <=> 40 x 125 ns = 5000 ns.)

注： ***$t_{high} = t_{r(SCL)} + t_{w(SCLH)}$パラメータの定義については、デバイスのデータシートを参照してください***

$t_{low} = t_{f(SCL)} + t_{w(SCLL)}$パラメータの定義については、デバイスのデータシートを参照してください

これらのタイミングは、フィルタを通さないものです。

(1.) 表 88 を参照してください。*表 89：SCL 周波数テーブルに対する I2C_CCR 値（fSYSCLK= 10 MHz または 16 MHz）（ページ）501*

注： ***CCR レジスタは、I^2C が無効（PE=0）の場合にのみ設定する必要があります。***

400 kHz で高速クロックを生成するには、f_{CK} = 10 MHz の倍数にする必要があります。

100 kHz で標準クロックを生成するには、$f_{CK} \geq 1$ MHz にする必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 89. SCL 周波数テーブルに対する I2C_CCR 値（f_{SYSCLK}= 10 MHz または 16 MHz(1)）

I²C 速度	I²C 周波数（f_{SCL}）	f_{SYSCLK} = 10 MHz				f_{SYSCLK}= 16 MHz			
	Hz 単位	実際（Hz）	誤差（%）	I2C_CCR（h）	デューティサイクルビット	実際（Hz）	誤差（%）	I2C_CCR（h）	デューティサイクルビット
高速モード	400000	400000	0	1	1	410256.41	2.56	D	0
	370000	370370.37	0.10	9	0	380952.38	2.96	E	0
	350000	370370.37	5.82	9	0	355555.56	1.59	F	0
	320000	333333.33	4.17	A	0	320000	0	2	1
	300000	303030.30	1.01	B	0	313725.49	4.57	11	0
	270000	277777.78	2.88	C	0	280701.75	3.96	13	0
	250000	256410.26	2.56	D	0	253968.25	1.59	15	0
	220000	222222.22	1.01	F	0	222222.22	1.01	18	0
	200000	200000	0	2	1	205128.20	2.56	1A	0
	170000	175438.60	3.20	13	0	172043.01	1.20	1F	0
	150000	151515.15	1.01	16	0	152380.95	1.59	23	0
	120000	123456.79	2.88	1B	0	121212.12	1.01	2C	0
標準モード	100000	100000	0	32	影響なし	100000	0	50	影響なし
	50000	50000	0	64		50000	0	A0	
	30000	30120.48	0.40	A6		30075.19	0.25	10A	
	20000	20000	0	FA		20000	0	190	

(1.) 次の表は、必要な I²C SCL ライン周波数を得るために I2C_CCR レジスタに書き込む値を示します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

28.7.14 TRISE レジスタ（I2C_TRISER）

アドレスオフセット：0x0D

リセット値：0x02

7	6	5	4	3	2	1	0
予約済み		TRISE[5:0]					
r	r	rw	rw	rw	rw	rw	rw

ビット 7：6 予約済み、“0”として読み出されます。

ビット 5：0 **TRISE[5:0]**：高速/標準モード（マスタモード）における最大立ち上がり時間

これらのビットには、I^2C バス仕様で定められている SCL 最大立ち上がり時間より 1 だけ大きな値をプログラミングする必要があります。

例：標準モードで許容される SCL の最大立ち上がり時間は 1000 ns です。

I2C_FREQR レジスタの値が 08h で、t_{CK} = 125 ns である場合、TRISE[5:0] ビットには 0x09 をプログラミングする必要があります。

（1000 ns / 125 ns = 8 + 1）

フィルタ値も TRISE[5:0] に加算することができます。

結果が整数でない場合、t_{HIGH} パラメータを考慮して、その整数部を TRISE[5:0] にプログラミングする必要があります。

注：　TRISE[5:0] の設定は、I^2C が無効なとき（PE=0）にのみ行う必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

28.7.15 PEC レジスタ（I2C_PECR）

アドレスオフセット：0x0E

リセット値：0x00

7	6	5	4	3	2	1	0
PEC[7:0]							
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7：0 **PEC[7:0]**：パケットエラーチェックレジスタ

ENPEC=1 のとき、このレジスタは内部 PEC を含みます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

参考資料

28.7.16 I²C レジスタマップとリセット値

表 90. I²C レジスタマップ

アドレスオフセット	レジスタ名	7	6	5	4	3	2	1	0
0x00	I2C_CR1 リセット値	NO STRETCH 0	ENGC 0	ENPEC 0	ENARP 0	SMBTYPE 0	I2CLOAD 0	SMBUS 0	PE 0
0x01	I2C_CR2 リセット値	SWRST 0	- 0	ALERT 0	PEC 0	POS 0	ACK 0	STOP 0	START 0
0x02	I2C_FREQR リセット値	- 0	- 0	FREQ5 0	FREQ4 0	FREQ3 0	FREQ2 0	FREQ1 0	FREQ0 0
0x03	I2C_OARL リセット値	ADD7 0	ADD6 0	ADD5 0	ADD4 0	ADD3 0	ADD2 0	ADD1 0	ADD0 0
0x04	I2C_OARH リセット値	ADDMODE 0	ADDCONF 0	- 0	- 0	- 0	ADD9 0	ADD8 0	- 0
0x05(1)		ADD2[7:1]							ENDUAL
0x06	I2C_DR リセット値	DR7 0	DR6 0	DR5 0	DR4 0	DR3 0	DR2 0	DR1 0	DR0 0
0x07	I2C_SR1 リセット値	TxE 0	RxNE 0	- 0	STOPF 0	ADD10 0	BTF 0	ADDR 0	SB 0
0x08	I2C_SR2 リセット値	SMBALERT 0	TIMEOUT 0	WUFH 0	PECERR 0	OVR 0	AF 0	ARLO 0	BERR 0
0x09	I2C_SR3 リセット値	DUALF(1) 0	SMBHOST 0	SMBDEFAULT 0	GENCALL 0	- 0	TRA 0	BUSY 0	MSL 0
0x0A	I2C_ITR リセット値	- 0	- 0	- 0	LAST 0	DMAEN 0	ITBUFEN 0	ITEVTEN 0	ITERREN 0
0x0B	I2C_CCRL リセット値	CCR7 0	CCR6 0	CCR5 0	CCR4 0	CCR3 0	CCR2 0	CCR1 0	CCR0 0
0x0C	I2C_CCRH リセット値	FS 0	DUTY 0	- 0	- 0	CCR11 0	CCR10 0	CCR9 0	CCR8 0
0x0D	I2C_TRISER リセット値	- 0	- 0	TRISE5 0	TRISE4 0	TRISE3 0	TRISE2 0	TRISE1 1	TRISE0 0
0x0E	I2C_PECR リセット値	PEC7 0	PEC6 0	PEC5 0	PEC4 0	PEC3 0	PEC2 0	PEC1 0	PEC0 0

(1.) 中+容量および大容量デバイスでのみ使用可能。中容量デバイスでは予約済み。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

29 USART (Universal synchronous/asynchronous receiver transmitter)

このセクションの説明は、特に指定がない限り、中容量 STM8L15x デバイス、中+容量 STM8L15x デバイス、および大容量 STM8L15x/STM8L16x デバイスに適用されます。

29.1 USART の概要

USART（Universal Synchronous Asynchronous Receiver Transmitter）を使用すれば、業界標準の NRZ 非同期シリアルデータフォーマットを必要とする外部機器と柔軟に全二重データ交換を行うことができます。USART は広範囲なボーレートを提供します。

USART は、同期式単方向通信 と半二重単線通信をサポートします。USART は、スマートカードプロトコルおよび IrDA（Infrared Data Association）SIR ENDEC 仕様もサポートしています。USART は、また、マルチプロセッサ通信にも使用することができます。マルチバッファ設定用の DMA を使用して、高速データ通信が可能です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

29.2 USART の主な機能

- 全二重、非同期通信
- NRZ 標準フォーマット（マーク/スペース）
- 高精度ボーレートジェネレータシステム
  - プログラミング可能な送受信共通のボーレート：最大 $f_{SYSCLK}/16$
- プログラミング可能なデータワード長：8 または 9 ビット
- 設定可能な ストップビット：1 個または 2 個の ストップビットをサポート
- 同期通信用のトランスミッタクロック出力
- 単線半二重通信
- IrDA SIR エンコーダデコーダ
  - 通常モード用に 3/16 ビット持続時間のサポート
- スマートカードエミュレーション機能
  - スマートカードインタフェースは、ISO 7816-3 規格で定義されたスマートカードの非同期プロトコルをサポート
  - スマートカード用に 1.5 の ストップビット
- DMA（Direct Memory Access）を使用した設定可能なマルチバッファ通信
  - 集中型 DMA を使用して、送受信バイトを専用 RAM にバッファリング
- トランスミッタとレシーバ用に別個のイネーブルビット
- 転送検出フラグ：
  - 受信バッファフル
  - 送信バッファエンプティ
  - 送信終了フラグ
- パリティ制御：
  - パリティビットの送信
  - 受信したデータバイトのパリティ検査
- 4 つのエラー検出フラグ：
  - オーバーランエラー
  - ノイズエラー
  - フレームエラー
  - パリティエラー
- 8 つの割り込みソースとフラグ：
  - 送信データレジスタエンプティ
  - 送信完了
  - 受信データレジスタフル
  - アイドルラインの受信
  - パリティエラー
  - オーバーランエラー
  - フレーミングエラー
  - ノイズエラー
- 2 つの割り込みベクタ：
  - トランスミッタ割り込み
  - レシーバ割り込み

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

- 低電力モード
- マルチプロセッサ通信：アドレス不一致の場合、ミュートモードに遷移
- ミュートモードからのウェイクアップ（アイドルライン検出またはアドレスマーク検出による）
- 2 つのレシーバウェイクアップモード：
  - アドレスビット（MSB）
  - アイドルライン

29.3 USART 機能の説明

インタフェースは、3 本のピンによって他のデバイスに外部接続されます（*図 144* を参照）。USART 双方向通信では、少なくとも USART 受信データ入力（USART_RX）と送信データ出力（USART_TX）の 2 本のピンが必要です。

USART_RX はシリアルデータ入力です。データ復旧にはオーバーサンプリング技術が使用され、有効な入力データとノイズを区別します。

USART_TX はシリアルデータ出力です。トランスミッタが無効なときには、出力ピンは入出力ポート設定に戻ります。トランスミッタが有効であり、送信すべきデータがないときには、ピンはハイレベルになります。

通常の USART モードでは、これらのピンを通じてシリアルデータが以下のフレームとして送受信されます。

- 送受信前のアイドルライン
- スタートビット
- データワード（8 または 9 ビット）、LSB ファースト
- フレームの完了を示す 1、1.5、および 2 の ストップビット
- ステータスレジスタ（USART_SR）
- データレジスタ（USART_DR）
- 16 ビットのボーレートプリスケーラ（USART_BRR）
- スマートカードモードで使用するためのガードタイムレジスタ

各ビットの定義については、レジスタの説明を参照してください。

同期モードでのインタフェースには、以下のピンが必要です。

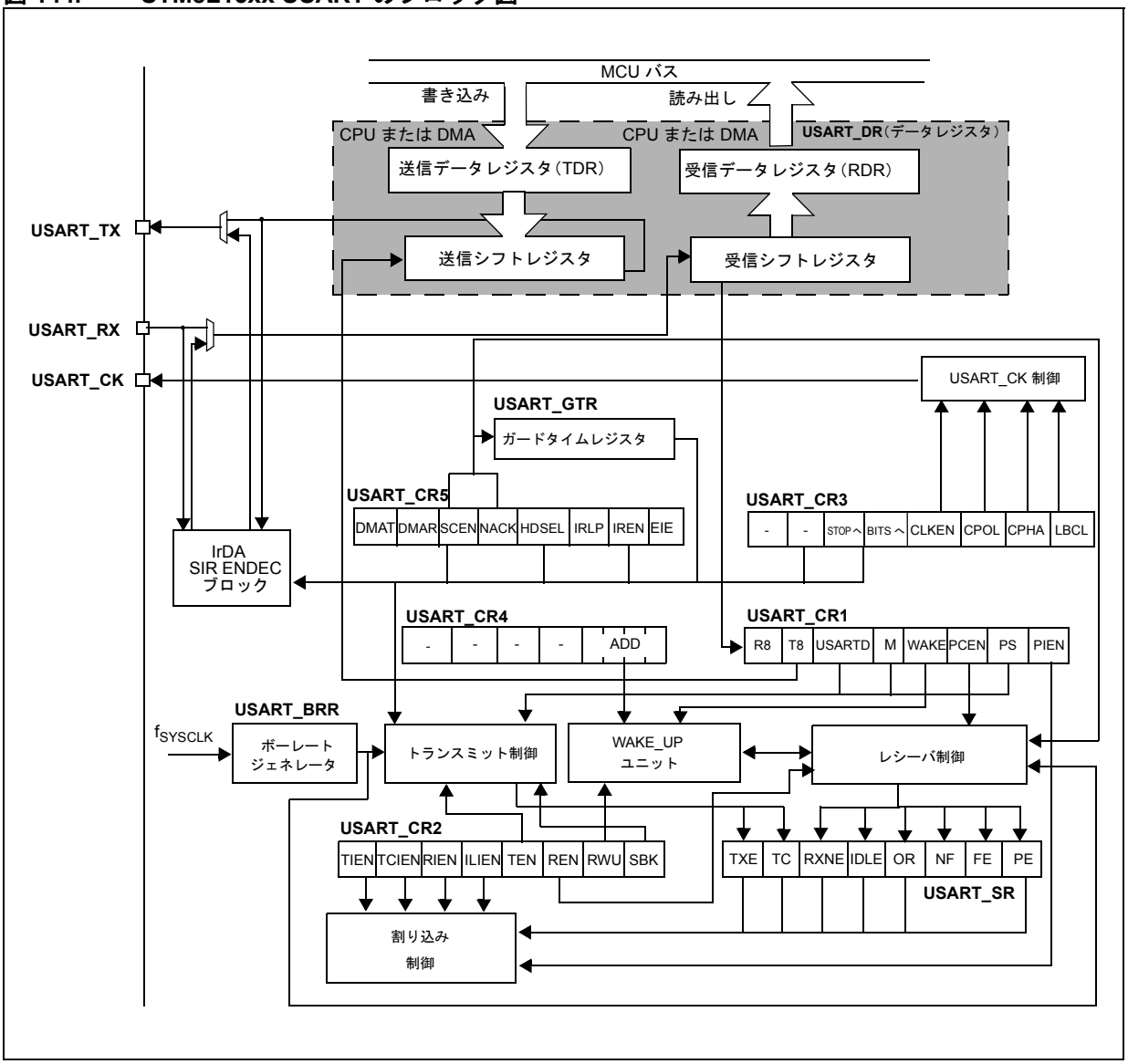
USART_CK：トランスミッタクロック出力。このピンは、同期送信用のトランスミッタデータクロックを出力します（スタートビットとストップビットのクロックパルスはなく、ソフトウェアオプションで最後のデータビットのクロックパルスを送信します）。これを使用して、シフトレジスタを持つペリフェラル（例：LCD ドライバ）を制御できます。クロックの位相と極性は、ソフトウェアでプログラミングできます。スマートカードモードでは、USART_CK はスマートカードにクロックを供給できます。

USART_RX および USART_TX ピンは、IrDA モードで次のように使用されます。

USART_RX = IrDA_RDI：IrDA モードでの受信データ入力
USART_TX =IrDA_TDO：IrDA モードでの送信データ出力

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 144. STM8L15xx USART のブロック図



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

29.3.1 USART キャラクタの説明

ワード長は、USART_CR1 レジスタの M ビットをプログラミングすることによって、8 ビットまたは 9 ビットとして選択できます（*図 145*を参照）。

USART_TX ピンは、スタートビットの処理中にはロー状態です。また、ストップビットの処理中にはハイ状態です。

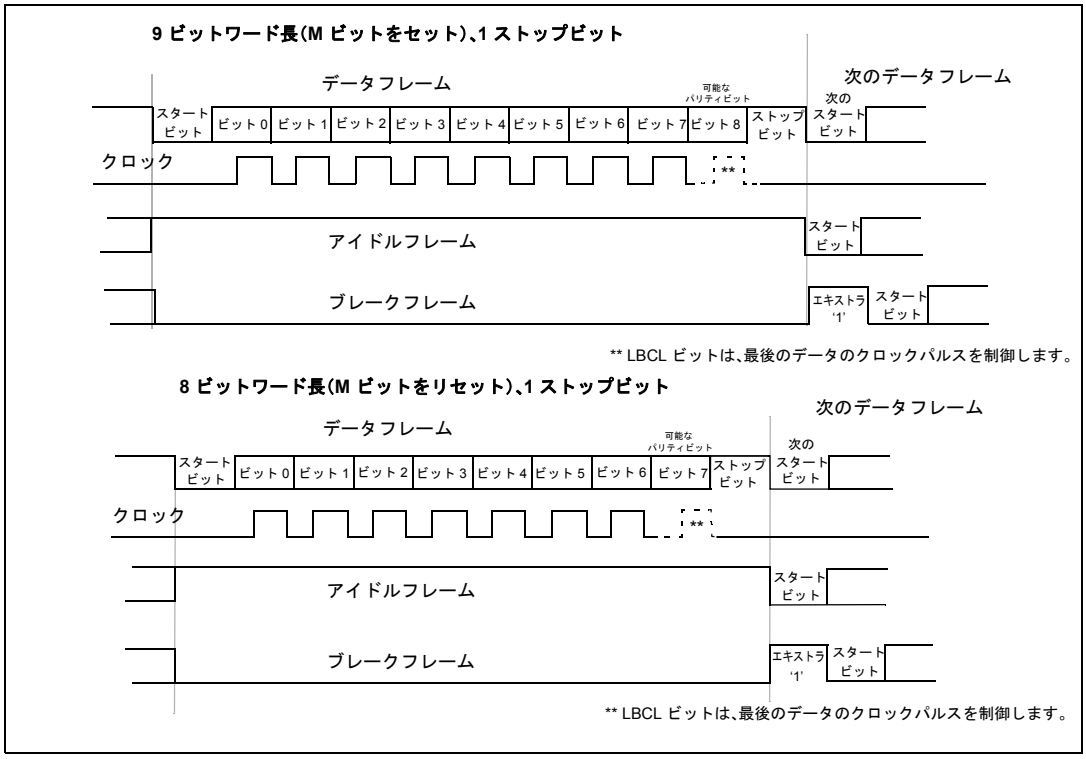
アイドルキャラクタ は、1 のフレーム全体として解釈されます（1 の数には、スタートビット、データビットの数、およびストップビットの数が含まれます）。

ブレークキャラクタは、フレーム周期中に“0”を受信することであると解釈されます。ブレークフレームの終わりに、トランスミッタは、スタートビットに確認応答するために、1 個または 2 個の ストップビット（論理“1”ビット）を挿入します。

送信と受信は、共通のボーレートジェネレータによって駆動され、それぞれのクロックは、トランスミッタとレシーバのイネーブルビットがそれぞれセットされたときに生成されます。

各ブロックの詳細を次に示します。

図 145. ワード長のプログラミング



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

29.3.2 トランスミッタ

トランスミッタは、M ビットのステータスに応じて、8 または 9 ビットのデータワードを送信できます。M ビットがセットされると、ワード長は 9 ビットとなり、9 番目のビット（MSB）が USART_CR1 レジスタの T8 ビットに格納されなければなりません。

送信イネーブルビット（TEN）がセットされると、送信シフトレジスタ内のデータが USART_TX ピンに出力され、対応するクロックパルスが USART_CK ピンに出力されます。

キャラクタの送信

USART 送信時、データは LSB ファーストで USART_TX ピンにシフトアウトされます。このモードでは、USART_DR レジスタは、内部バスと送信シフトレジスタの間のバッファ（TDR）で構成されます（*図 144* を参照）。

各キャラクタの前にスタートビット（1 ビット周期の間、論理レベルロー）があります。キャラクタは、設定可能な数のストップビットによって終端されます。

以下のストップビットが USART によってサポートされます。

注： 1 ***TEN ビットは、データ送信中はリセットしないでください。送信中に TEN ビットをリセットすると、ボーレートカウンタが凍結されるので、USART_TX ピンのデータが破壊されます。現在送信中のデータは失われます。***

2 ***TEN ビットが有効にされた後、アイドルフレームが送信されます。***

設定可能な送信時のストップビット

キャラクタごとに送信されるストップビットの数は、制御レジスタ 3 のビット 5、4 でプログラミングできます。

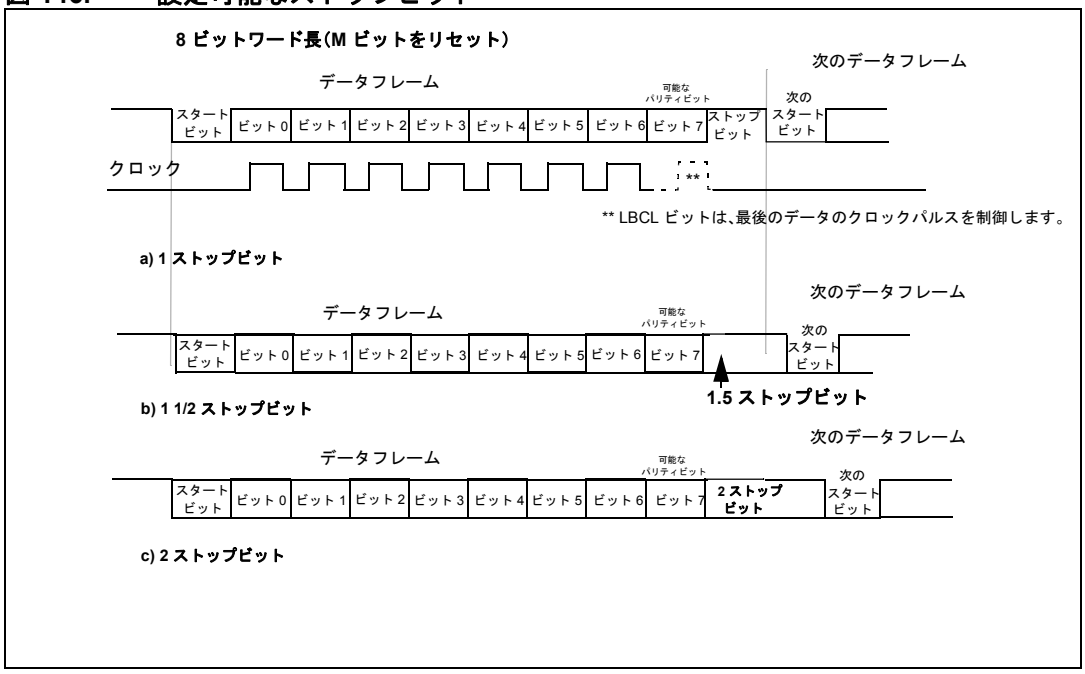
- *1 ストップビット*：これはストップビット数のデフォルト値です。
- *2 ストップビット*：通常モードの USART でサポートされます。
- *1.5 ストップビット*：スマートカードモードで使用されます。

アイドルフレームの送信にはストップビットが含まれます。

ブレーク送信では、10 個（m = 0 の場合）または 11 個（m = 1 の場合）のロービットの後に、設定された数のストップビットが続きます。ローレベルビットの数が 10/11 個を超える長いブレークを送信することはできません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 146. 設定可能なストップビット



手順

1. USART_CR1 の M ビットをプログラミングして、ワード長を定義します。
2. USART_CR3 で、ストップビットの数をプログラミングします。
3. マルチバッファ通信を行う場合には、USART_CR5 の DMA イネーブル（DMAT）を選択します。*セクション 29.3.12：DMA を使用した連続通信（527 ページ）*の説明に基づいて、DMA レジスタを設定します。
4. 以下の順序でボーレートレジスタをプログラミングすることによって、望ましいボーレートを選択します。
   a) USART_BRR2
   b) USART_BRR1
5. USART_CR2 の TEN ビットをセットして、トランスミッタモードを有効にします。
6. 送信するデータを USART_DR レジスタに書き込みます（これによって TXE ビットがクリアされます）。シングルバッファの場合、送信されるデータごとにこれを繰り返します。
7. USART_DR レジスタに最後のデータが書き込まれたら、TC が 1 にセットされるまで、すなわち最後のデータ送信が完了するまで待ちます。この最後の手順は、たとえば、USART を無効にするときや HALT モードに入るときに、最後のデータ送信の破損を避けるために必要です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

単一バイト通信

TXE ビットのクリアは、常にデータレジスタへの書き込みによって行われます。

TXE ビットは、ハードウェアによってセットされ、次のことを示します。

- データが TDR からシフトレジスタに移動され、データ送信が開始されました。
- TDR レジスタは空です。
- 次のデータを、前のデータを上書きすることなく、USART_DR レジスタに書き込めます。

TIEN ビットがセットされている場合、このフラグは割り込みを生成します。

送信が行われているときは、データは USART_DR レジスタへの書き込み命令によって TDR レジスタに格納されます。データは現在の送信が終了した時点でシフトレジスタにコピーされます。

送信が行われていないときには、データは、USART_DR レジスタへの書き込み命令によってシフトレジスタに直接格納され、データ送信が開始され、TXE ビットがただちにセットされます。

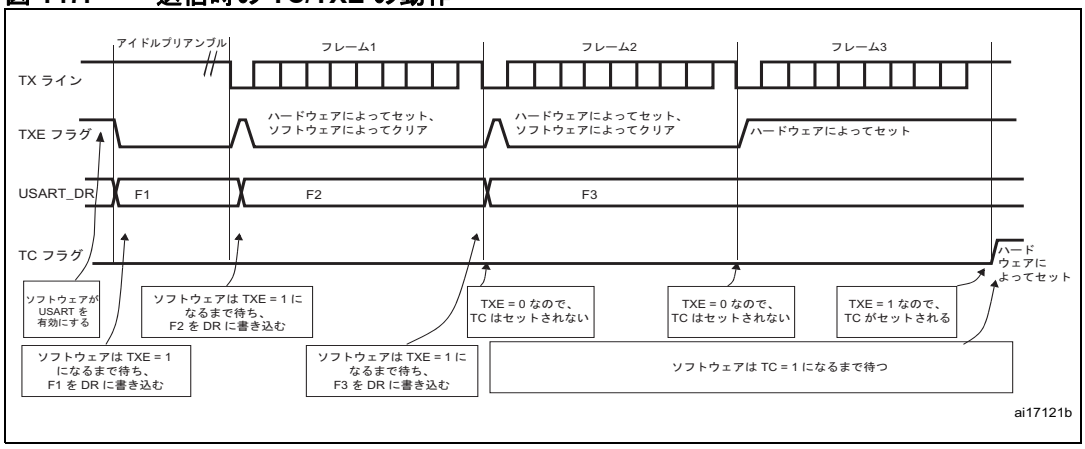
フレームの送信が完了し（ストップビット後）、TXE ビットがセットされると、TC ビットがセットされます。USART_CR2 レジスタの TCIEN ビットがセットされている場合、割り込みが生成されます。USART_DR レジスタにデータを書き込んだ後、HALT モードに入るか USART を無効にする前に、TC が'1' にセットされるまで待つ必要があります（*図 147：送信時の TC/TXE の動作*を参照）。

TC ビットのクリアは、以下のソフトウェアシーケンスによって行われます。

1. USART_SR レジスタの読み出し
2. USART_DR レジスタへの書き込み

注： ***TC ビットは、"0"を書き込むことによってもクリアされます。このクリアシーケンスは、マルチバッファ通信の場合にのみ推奨されます。***

図 147. 送信時の TC/TXE の動作



1. この例では、TE がセットされた後、複数の別の送信が発生したと仮定しています。そうでない場合は、USART_DR に初めて書き込みを行ったときに IDLE プリアンブルが最初に送信されます。

注： ***TC ビットは、"0"を書き込むことによってもクリアされます。このクリアシーケンスは、マルチバッファ通信の場合にのみ推奨されます。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ブレークキャラクタ

SBK ビットをセットすると、ブレークキャラクタが送信されます。ブレークフレーム長は、M ビットに依存します（*図 145* を参照）。

SBK ビットが“1”にセットされると、現在のキャラクタ送信が完了してから、USART_TX ラインにブレークキャラクタが送信されます。このビットは、ブレークキャラクタが完了したとき（ブレークキャラクタのストップビット）、ハードウェアによってリセットされます。USART は、次のフレームのスタートビットが正しく認識されるように、最後のブレークフレームの終わりに論理 1 ビットを挿入します。

注： ***ブレークキャラクタは、ストップビットの数に関係なく送信されます。USART が 2 つの ストップビットでプログラムされた場合、TX ラインは、最初のストップビットの終了までローに引き下げられます。次に、2 つの論理 1 ビットが次のキャラクタの前に挿入されます。***

注： ***ソフトウェアがブレーク送信の開始前に SBK ビットをリセットした場合、ブレークキャラクタは送信されません。2 つの連続したブレークの場合、前のブレークのストップビットの後で SBK ビットをセットしてください。***

アイドルキャラクタ

TEN ビットをセットすると、USART は、最初のデータフレームの前にアイドルフレームを送信します。

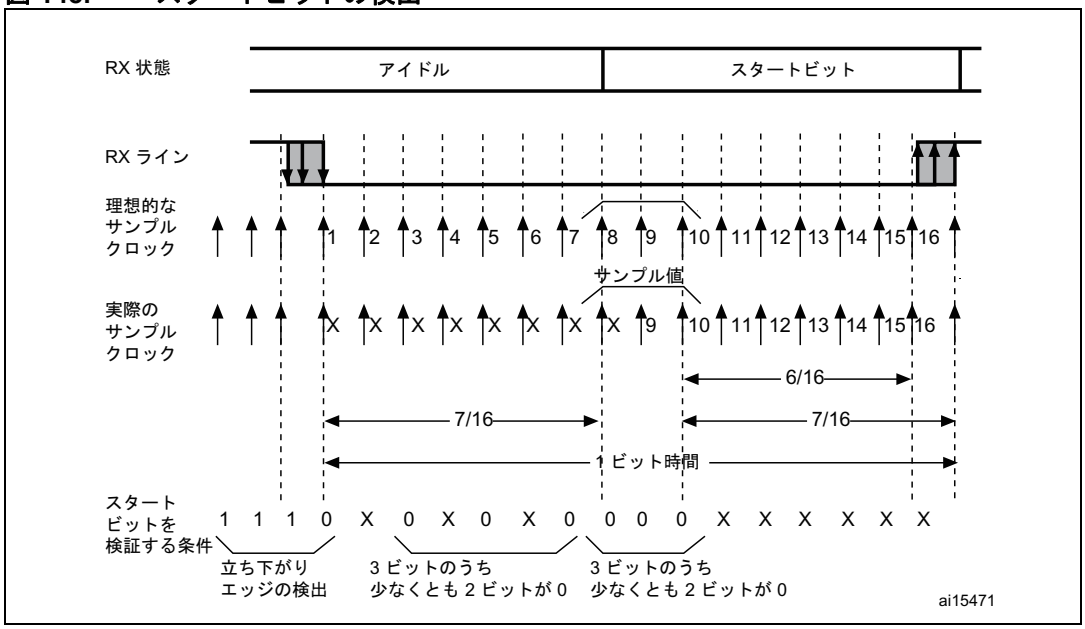
29.3.3 レシーバ

USART は、8 ビットまたは 9 ビットのデータワードを受け取ることができます。M ビットがセットされると、ワード長は 9 ビットとなり、MSB が USART_CR1 レジスタの R8 ビットに格納されます。

スタートビットの検出

USART では、特定のサンプルシーケンスが認識されると、スタートビットが検出されます。このシーケンスは、1 1 1 0 X 0 X 0X 0X 0 X 0X 0 です。スタートビットの検出シーケンスを*図 148* に示します。

図 148. スタートビットの検出



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

注： ***シーケンスが完了していない場合、スタートビットの検出は中止され、レシーバはアイドル状態に戻って（フラグはセットされません）、立ち下がりエッジを待ちます。***

3 ビットのうち 2 ビットのみが 0 の場合（3 番目、5 番目、および 7 番目のビットでのサンプリング、または 8 番目、9 番目、および 10 番目のビットでのサンプリング）、スタートビットは確認されますが、NF ノイズフラグビットがセットされます。

スタートビットは、最後の 3 つのサンプルが 0 である場合に確認されます（8 番目、9 番目、および 10 番目のビットでのサンプリング）。

キャラクタの受信

USART の受信時には、データは USART_RX ピンを通じて LSB ファーストでシフトインされます。このモードでは、USART_DR レジスタは、内部バスと受信シフトレジスタの間のバッファ（RDR）で構成されます（*図 144* を参照）。

手順：

1. USART_CR1 の M ビットをプログラミングして、ワード長を定義します。
2. USART_CR3 で、ストップビットの数をプログラミングします。
3. マルチバッファ通信を行う場合には、USART_CR5 の DMA イネーブル（DMAR）を選択します。*セクション 29.3.12：DMA を使用した連続通信（527 ページ）*の説明に基づいて、DMA レジスタを設定します。
4. 以下の順序でボーレートレジスタをプログラミングすることによって、望ましいボーレートを選択します。
   a) USART_BRR2
   b) USART_BRR1
5. USART_CR2 の REN ビットをセットします。これによってレシーバが有効になり、スタートビットの検索を開始します。

キャラクタが受信されると、

- RXNE ビットがセットされます。これは、シフトレジスタの内容が RDR に転送されたことを示します。
- RIEN ビットがセットされている場合、割り込みが生成されます。
- 受信時にフレームエラー、ノイズ、またはオーバーランエラーが検出された場合、エラーフラグをセットできます。
- マルチバッファでは、RXNE ビットは、バイトが受信されるたびにセットされ、データレジスタへの DMA 読み出しによってクリアされます。
- シングルバッファモードでは、RXNE ビットのクリアは、USART_DR レジスタへのソフトウェア読み出しによって行われます。RXNE フラグは、0 を書き込むことによってもクリアできます。オーバーランエラーを避けるには、次のキャラクタの受信が終了する前に、RXNE ビットをクリアする必要があります。

注： ***データの受信中には、REN ビットをリセットしないでください。受信中に REN ビットが無効にされた場合、現在のバイトの受信は中止されます。***

ブレークキャラクタ

ブレークキャラクタが受信されると、USART はフレーミングエラーとして処理します。

アイドルキャラクタ

アイドルフレームが検出されたときには、データキャラクタの受信と同じ手順があり、ILIEN ビットがセットされている場合は割り込みが生成されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

オーバーランエラー

RXNE ビットがリセットされていないときにキャラクタが受信されると、オーバーランエラーが発生します。RXNE ビットがクリアされない限り、データをシフトレジスタから RDR レジスタに転送することはできません。

RXNE フラグは、バイトが受信されるたびにセットされます。RXNE フラグがセットされていた場合、次のデータが受信されたとき、または前の DMA リクエストがまだ処理されていないとき、オーバーランエラーが発生します。

オーバーランエラーが発生すると、

- OR ビットがセットされます。
- RDR の内容は失われません。USART_DR への読み出しが行われると、前回のデータが読み出されます。
- シフトレジスタは上書きされます。オーバーラン中に受信された 2 番目のデータは失われます。
- RIEN ビットがセットされていた場合、または EIE ビットと DMAR ビットの両方がセットされていた場合、割り込みが生成されます。
- OR ビットは、USART_SR レジスタの読み出しと、それに続く USART_DR レジスタの読み出し動作によってリセットされます。

ノイズエラー

データ復旧にはオーバーサンプリング技術が使用され、有効な入力データとノイズを区別します。

図 149. ノイズ検出のためのデータサンプリング

注： サンプルクロック周波数はボーレートの 16 倍です。

表 91. サンプリングされたデータからのノイズ検出

サンプリングされた値	NF の状態	受信ビットの値	データの有効性
000	0	0	有効
001	1	0	無効
010	1	0	無効
011	1	1	無効
100	1	0	無効
101	1	1	無効
110	1	1	無効
111	0	1	有効

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

フレーム内でノイズが検出された場合：

- RXNE ビットの立ち上がりエッジで、NF ビットがセットされます。
- 無効なデータがシフトレジスタから USART_DR レジスタへ転送されます。

ただし、このビットは、割り込みを生成する RXNE ビットと同時に立ち上がります。NF ビットは、USART_SR レジスタの読み出し動作と、それに続く USART_DR レジスタの読み出し動作によってリセットされます。

フレーミングエラー

フレーミングエラーは、次の場合に検出されます。

非同期化または過剰なノイズのため、受信時に予想されたタイミングでストップビットが認識されない場合。

フレーミングエラーが検出された場合：

- ハードウェアによって FE ビットがセットされます。
- 無効なデータがシフトレジスタから USART_DR レジスタへ転送されます。
- 1 バイト通信の場合、割り込みは生成されません。ただし、このビットは、割り込みを生成する RXNE ビットと同時に立ち上がります。

FE ビットは、USART_SR レジスタの読み出し動作と、それに続く USART_DR レジスタの読み出し動作によってリセットされます。

設定可能な受信時のストップビット

受信するストップビット数は、制御レジスタ 3 の制御ビットを通じて設定でき、通常モードでは 1 または 2、IrDA モードでは 1、スマートカードモードでは 1.5 に設定できます。

1. *1 ストップビット*：8 番目、9 番目、10 番目のサンプルで 1 ストップビットのサンプリングが行われます。
2. *1.5 ストップビット（スマートカードモードのみ）*：1.5 ストップビットのサンプリングが、16 番目、17 番目、および 18 番目のサンプルで行われます。スマートカードから NACK 信号が受信されると、データ信号はサンプリングの間、強制的にローになり、フレーミングエラーとしてフラグが立てられます。その後、1.5 ストップビットの最後に、RXNE ビットとともに FE フラグがセットされます。
3. *2 ストップビット*：2 つの ストップビットのサンプリングが、最初の ストップビットの 8 番目、9 番目、および 10 番目のサンプルで行われます。最初のストップビットでフレーミングエラーが検出された場合、フレーミングエラーフラグがセットされます。2 番目のストップビットでは、フレーミングエラーの検査は行われません。RXNE フラグは、最初のストップビットの最後でセットされます。

29.3.4 高精度ボーレートジェネレータ

レシーバとトランスミッタ（Rx と Tx）は、次の式に従って、16 ビットのディバイダ USART_DIV によってプログラミングされた同じボーレートにセットされます。

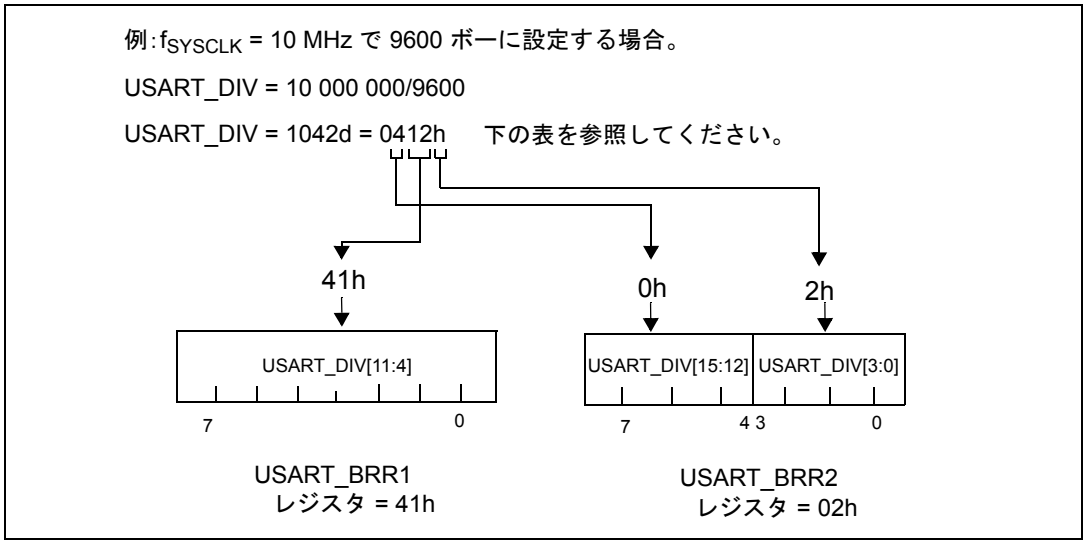
$$\text{Tx/Rx ボーレート} = \frac{f_{SYSCLK}}{USART_DIV}$$

USART_DIV ボーレートディバイダは、符号なし整数であり、*図 150* に示されているように、BRR1 および BRR2 レジスタでコード化されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

典型的なボーレートのプログラム例を*表 92* に示します。

図 150. BRR レジスタで USART_DIV をコード化する方法



注 : BRR1 に書き込みが行われた後、ボーレートカウンタはボーレートレジスタの新しい値で更新されます。したがって、トランザクション中はボーレートレジスタの値を変更しないでください。BRR2 は BRR1 の前にプログラムされなければなりません。

注 : USART_DIV は 16d 以上でなければなりません。

表 92. ボーレートのプログラミングとエラー計算

ボーレート	f_{SYSCLK}= 10 MHz					f_{SYSCLK} = 16 MHz				
単位 : bps	実際 (bps)	誤差 (%)(1)	USART_DIV (h)	BRR1 (h)	BRR2 (h)	実際	誤差 (%) (1)	USART_ DIV	BRR1	BRR2
2400	2399.81	-0.008	1047	4	17	2399.88	-0.005	1A0B	A0	1B
9600	9596.93	-0.03	412	41	2	9598.08	-0.02	683	68	3
19200	19193.86	-0.03	209	20	9	19207.68	0.04	341	34	1
57600	57471.26	-0.22	AE	A	E	57553.96	-0.08	116	11	6
115200	114942.53	-0.22	57	5	7	115107.91	-0.08	8B	8	B
230400	232558.14	0.94	2B	2	B	231884.06	0.64	45	4	5
460800	454545.45	-1.36	16	1	6	457142.86	-0.79	23	2	3
921600	NA	NA	NA	NA	NA	941176.47	2.12	11	1	1

1. エラー（%）= （計算値 - 期待値）ボーレート/ボーレート期待値

注 : f_{SYSCLK} 周波数が低いほど、特定のボーレートに対する精度は低くなります。このデータで到達可能なボーレートの上限を固定できます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

29.3.5 クロック偏差に対する USART レシーバの許容誤差

USART の非同期レシーバが正しく機能するのは、クロックシステムの合計偏差が USART レシーバの許容誤差を下回る場合に限ります。合計偏差の要因は、次のとおりです。

- DTRA：トランスミッタの誤差に起因する偏差（トランスミッタのローカルオシレータの偏差も含みます）
- DQUANT：レシーバのボーレート量子化に起因する誤差
- DREC：レシーバのローカルオシレータの偏差
- DTCL：送信ラインに起因する偏差（一般には、ローからハイへの遷移タイミングとハイからローへの遷移タイミングの間に非対称性をもたらすトランシーバに起因）

DTRA + DQUANT + DREC + DTCL < USART レシーバの許容誤差

データを正しく受信するための USART レシーバの許容誤差は、許容される最大偏差と等しく、次の選択に依存します。

- USART_CR1 レジスタの M ビットによって定義される 10/11 ビットのキャラクタ長
- 小数点適用のボーレートを使用するかどうか

表 93. USART レシーバの許容誤差（USART_DIV が 0 の場合）

M ビット	NF はエラー	NF は無視
0	3.75%	4.375%
1	3.41%	3.97%

表 94. USART レシーバの許容誤差（USART_DIV が 0 でない場合）

M ビット	NF はエラー	NF は無視
0	3.33%	3.88%
1	3.03%	3.53%

注： *表 93 と 表 94 に示されている数値は、受信したフレームが正確に 10 ビット時間（M=0 の場合）または 11 ビット時間(M=1 の場合)のアイドルフレームを含んでいる場合、若干異なることがあります。*

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

29.3.6 パリティ制御

パリティ制御（送信中のパリティビット生成と受信中のパリティ検査）を有効にするには、USART_CR1 レジスタの PCEN ビットをセットします。M ビットによって定義されるフレーム長に応じて、予想される USART フレームフォーマットを*表 95* に示します。

表 95. フレームフォーマット

M ビット	PCEN ビット	USART フレーム
0	0	| SB | 8 ビットデータ | STB |
0	1	| SB | 7 ビットデータ | PB | STB |
1	0	| SB | 9 ビットデータ | STB |
1	1	| SB | 8 ビットデータ | PB | STB |

凡例：SB：スタートビット、STB：ストップビット、PB：パリティビット

注： ***アドレスマークによるウェイクアップの場合、データの最上位ビットが考慮されます（パリティビットではありません）。***

偶数パリティ：下位 7 ビットまたは 8 ビット（M=0 または M=1 に応じて）とパリティビットから構成されるフレーム内で、“1”のビット数が偶数になるように、パリティビットが計算されます。

例：データ = 00110101、4 ビットがセット => 偶数パリティが選択された場合（USART_CR1 の PS ビット=0）、パリティビットは 0 になります。

奇数パリティ：下位 7 ビットまたは 8 ビット（M=0 または M=1 に応じて）とパリティビットから構成されるフレーム内で、“1”のビット数が奇数になるように、パリティビットが計算されます。

例：データ = 00110101、4 ビットがセット => 奇数パリティが選択された場合（USART_CR1 の PS=1）、パリティビットは 1 になります。

送信：USART_CR1 の PCEN ビットがセットされていると、データレジスタに書き込まれたデータの MSB は送信されませんが、パリティビットによって変更され、偶数パリティが選択されている（PS=0）場合には 1 を偶数個付与し、奇数パリティが選択されている場合には 1 を奇数個付与します。

受信：パリティ検査に失敗した場合、USART_SR レジスタの PE フラグがセットされ、USART_CR1 レジスタの PIEN ビットがセットされている場合は割り込みが生成されます。

29.3.7 マルチプロセッサ通信

複数の USART をネットワークに接続することによって、マルチプロセッサ通信を行うことができます。たとえば、1 つの USART をマスタとして、その TX 出力を別の USART の RX 入力に接続することができます。別の USART はスレーブであり、それぞれの TX 出力の論理積をとった上でマスタの RX 入力に接続します。

マルチプロセッサ設定では、メッセージの本来の受信者のみがメッセージ内容の全体を能動的に受信することが望ましい場合が多く、これによって対象外の受信者に対する USART サービスの余分なオーバヘッドを減らすことができます。

対象外のデバイスは、ミュート機能によってミュートモードに置かれます。ミュートモードでは、

- 受信ステータスビットはセットできません。
- すべての受信割り込みは禁止されます。
- USART_CR1 レジスタの RWU ビットが 1 にセットされます。RWU ビットは、ハードウェアによって自動的に制御されますが、特定の条件下ではソフトウェアによる書き込みが可能です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

USART は、USART_CR1 レジスタの WAKE ビットの設定に応じて、次のいずれかの方法でミュートモードの出入りを制御できます。

- WAKE ビットがリセットされている場合は、アイドルライン検出
- WAKE ビットがセットされている場合は、アドレスマーク検出

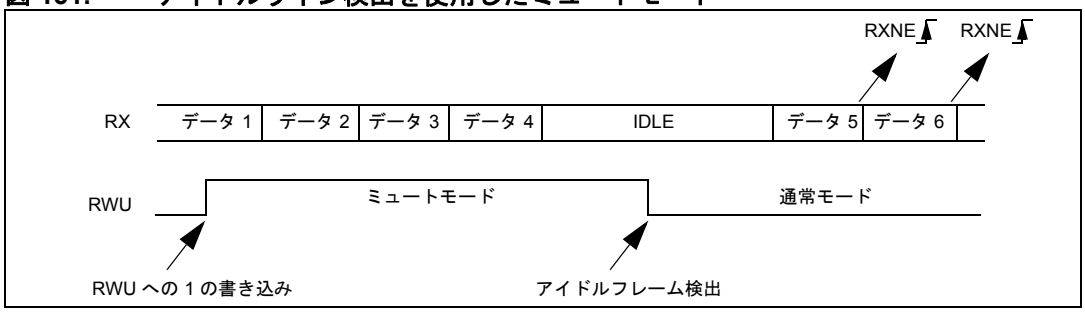
アイドルライン検出 (WAKE=0)

RWU ビットに 1 が書き込まれると、USART はミュートモードに入ります。

USART は、アイドルフレームの検出によってウェイクアップします。その後、RWU ビットはハードウェアによってクリアされますが、USART_SR レジスタの IDLE ビットはセットされません。RWU ビットには、ソフトウェアによって 0 を書き込むこともできます。

アイドルライン検出を使用したミュートモードの動作例を*図 151* に示します。

図 151. アイドルライン検出を使用したミュートモード



アドレスマーク検出 (WAKE=1)

このモードでは、MSB が“1”のバイトはアドレスとして、そうでないバイトはデータとして、それぞれ認識されます。アドレスバイトでは、ターゲットレシーバのアドレスは下位 4 ビットに置かれます。レシーバは、この 4 ビットワードを、USART_CR4 レジスタの ADD ビットにプログラミングされている自分のアドレスと比較します。

プログラミングされたアドレスと一致しないアドレスキャラクタが受信されると、USART はミュートモードに入ります。USART はミュートモードに入っているので、このアドレスバイトに対して RXNE フラグはセットされず、割り込みも DMA リクエストも発行されません。

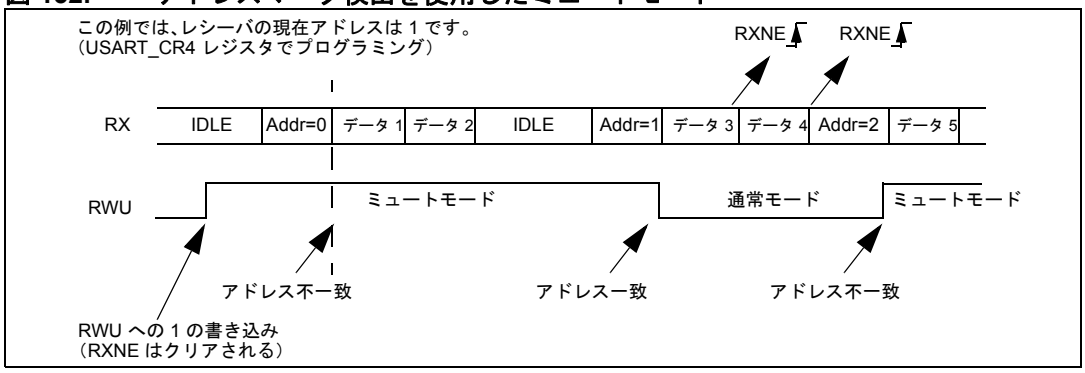
プログラミングされたアドレスと一致するアドレスキャラクタが受信されると、USART はミュートモードから抜けます。続いて RWU ビットがクリアされ、それ以降のバイトは通常どおりに受信されます。RWU ビットはクリアされているので、アドレスキャラクタに対して RXNE ビットがセットされます。

レシーババッファにデータが存在しない場合（USART_SR レジスタの RXNE=0）、RWU ビットに 0 または 1 を書き込むことができます。そうでない場合、書き込みは無視されます。

アドレスマーク検出を使用したミュートモードの動作例を*図 152* に示します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 152. アドレスマーク検出を使用したミュートモード



注： ***パリティ制御が有効な場合、パリティビットは MSB に残っており、アドレスビットは MSB - 1 ビットに入れられます。***

たとえば、7 ビットデータの場合、アドレスモードとパリティ制御は次のようになります。

SB I 7 ビットデータ I ADD I PB I STB

SB = スタートビット
STB = ストップビット
ADD = アドレスビット
PB = パリティビット

29.3.8 USART 同期通信

USART トランスミッタでは、マスタモードで双方向の同期シリアル通信を制御できます。

注： ***この機能は USART_CK ピンを備えたデバイスでのみ使用できます。使用できるかどうかは、デバイスのピン配置を確認してください。***

USART_CK ピンは USART トランスミッタクロックの出力です。スタートビットと ストップビットの処理中には、USART_CK ピンにクロックパルスは送信されません。USART_CR3 レジスタの LBCL ビットの状態によっては、有効な最後のデータビット（アドレスマーク）の処理中にクロックパルスが生成されることもあります。USART_CR3 レジスタの CPOL ビットによってクロック極性を選択でき、同じレジスタの CPHA ビットによって外部クロックの位相を選択できます（*図 153*、*図 154*、および*図 155* を参照）。

アイドル状態時、プリアンブル処理時、およびブレーク送信時には、外部 USART_CK クロックは起動されません。同期モードでは、USART トランスミッタは非同期モードの場合とまったく同じように機能します。しかし、USART_CK が USART_TX と同期すると（CPOL と CPHA に依存して）、TX 上のデータが同期します。このモードでは、USART レシーバは非同期モードとは若干異なる動作をします。REN=1 の場合、データは依然として内部オーバーサンプリングクロックを使用してサンプリングされ、ボーレートクロックは USART_CK ピンに出力されます（CPOL および CPHA に応じて、立ち上がりまたは立ち下がりエッジがデータサンプリングイベントに整列されます）。しかし、非同期モードとは異なり、データは 3 つのサンプルの多数決ではなく 1 つのサンプルで評価されます。これは NF ビットがセットされないことを意味します。

このとき、ボーレート（整数ボーレートに対して 1/16 ビット時間）に応じたセットアップ時間とホールド時間を守る必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

注： 1 *USART_CK ピンは TX ピンとともに動作します。したがって、クロックが供給されるのは、トランスミッタが有効であり（TEN=1）、データが送信中（データレジスタ USART_DR への書き込み）の場合に限られます。つまり、データ送信を行わずに同期データを受信することはできません。*

2 *トランスミッタとレシーバが無効にされた場合（TEN=REN=0）、クロックパルスが正常に機能するには、USART_CR3 の LBCL、CPOL、および CPHA の各ビットを選択する必要があります。これらのビットは、トランスミッタまたはレシーバが有効である間は、変更しないでください。*

3 *レシーバのセットアップ時間とホールド時間を最小限に抑えるには、TEN ビットと REN ビットを同じ命令でセットすることをお勧めします。*

4 *USART は、マスタモードのみをサポートし、入力クロックに関連するデータを送受信することはできません（USART_CK は常に出力です）。*

5 *このセクションに記載されているデータは、USART_BRR2 レジスタの USART_DIV[3:0] ビットが 0 に保持されているときのみ有効です。そうでない場合、セットアップおよびホールドタイムはビットタイムの 1/16 ではなく、ビットタイムの 4/16 となります。*

このオプションによって、非同期通信の機能を失わずに（他の非同期トランスミッタおよびレシーバと通信可能）、シフトレジスタから成るペリフェラルをシリアルに制御できます。

図 153. USART の同期送信の例

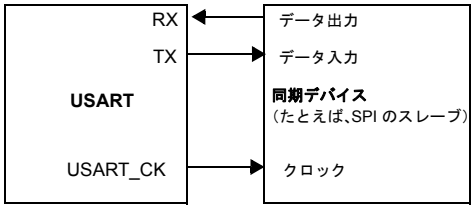
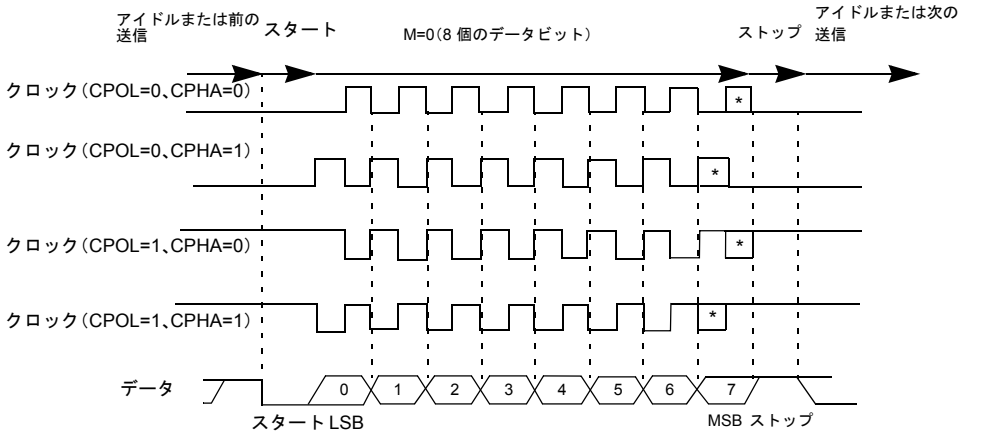


図 154. USART データクロックタイミング図（M=0）



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 155. USART データクロックタイミング図（M=1）

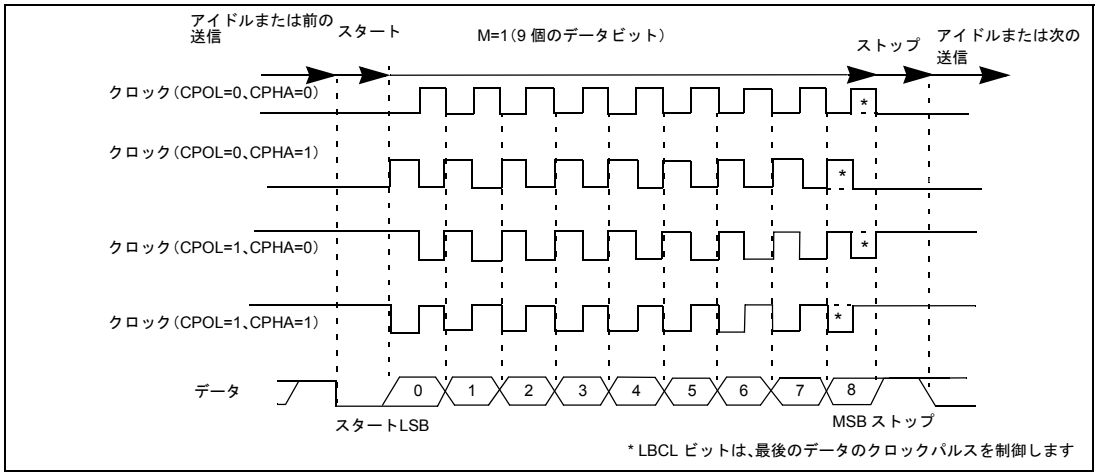
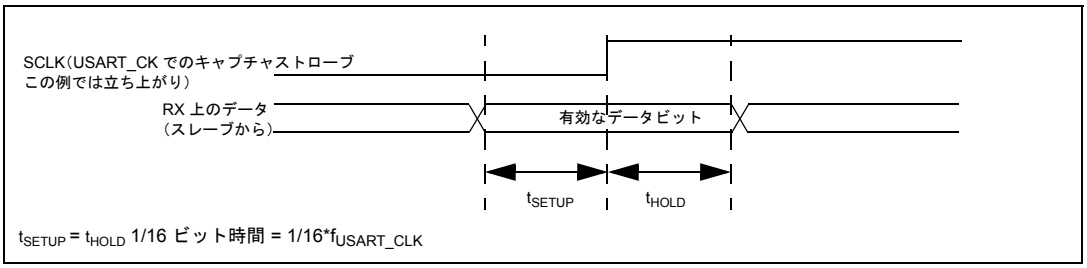


図 156. RX データのセットアップ/ホールド時間



注： ***スマートカードモードでは USART_CK の機能が異なります。詳細については、セクション 29.3.10：スマートカードを参照してください。***

29.3.9 単線半二重通信

USART は単線半二重のプロトコルに従うように設定できます。単線半二重モードを選択するには、USART_CR5 レジスタの HDSEL ビットをセットします。このモードでは、次のビットはクリアされた状態に保つ必要があります。

- USART_CR3 レジスタの LINEN および CLKEN ビット
- USART_CR5 レジスタの SCEN および IREN ビット

HDSEL がセットされると、

- USART_RX は使用されなくなります。
- USART_TX は、データが送信されないときには常に解放されます。つまり、アイドルまたは受信時に標準入出力として動作します。これは、USART_TX が USART によって駆動されていないときにはフローティング入力（またはオープンドレーン出力）となるよう、入出力ポートとして設定しておかなければなりません。

この点を除くと、通信は通常の USART モードの場合と同様です。ラインの競合はソフトウェアによって管理する必要があります（たとえば、集中型アービタを使用）。特に、TEN ビットがセットされている間は、送信はハードウェアによってブロックされることはなく、データがデータレジスタに書き込まれると送信を続行します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

29.3.10 スマートカード

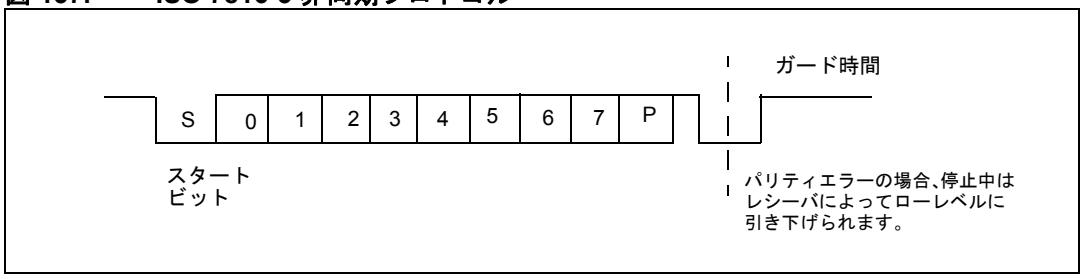
スマートカードモードを選択するには、USART_CR5 レジスタの SCEN ビットをセットします。スマートカードモードでは、次のビットはクリアされた状態に保つ必要があります。

- USART_CR3 レジスタの LINEN ビット、
- USART_CR5 レジスタの HDSEL および IREN ビット

さらに、スマートカードにクロックを供給するために CKEN ビットをセットすることもできます。

スマートカードインタフェースは ISO7816-3 規格で定められている非同期プロトコルスマートカードをサポートするように設計されています。USART は、8 ビットプラスパリティおよび 1.5 ストップビットとして設定されなければなりません。スマートカードモードが有効な場合（USART_CR5 の SCEN ビットをセットすることによって有効にできます）、USART は非同期スマートカードと通信できます。

図 157. ISO 7816-3 非同期プロトコル



スマートカードと接続されると、USART_TX 出力は、やはりスマートカードによって駆動される双方向ラインを駆動します。

スマートカードは、単線半二重通信プロトコルです。

- 送信シフトレジスタからのデータの送信は、少なくとも 1/2 ボークロックの遅れが保証されます。通常動作では、データの入っている送信シフトレジスタは、次のボークロックエッジでシフト動作を開始します。スマートカードモードでは、この送信は、保証された 1/2 ボークロック分だけさらに遅れます。
- 1.5 ストップビット周期がプログラミングされたフレームの受信時にパリティエラーが検出された場合、1/2 ボークロック周期後に 1 ボークロック周期の間、送信ラインはローレベルに引き下げられます。これは、USART に送信されたデータが正しく受信されなかったことをスマートカードに知らせるためです。この NACK 信号（1 ボークロックの間、送信ラインをローにプル）は、1.5 ストップビットが組み込まれたトランスミッタ側にフレーミングエラーを引き起こします。アプリケーションは、プロトコルに基づいて、データの再送信に対処できます。NACK 制御ビットがセットされている場合、パリティエラーはレシーバによって“NACK”されます。それ以外の場合、NACK は送信されません。
- 以下のことを可能にするために TEN ビットをセットする必要があります。
  - データの送信
  - パリティエラー発生時の確認応答の送信

    ソフトウェアは、データレジスタに新しいデータを書き込むときにデータライン上での競合を避けるためにデータ送信のタイミングを管理する必要があります。
- 以下のことを可能にするために REN ビットをセットする必要があります。
  - データ（スマートカードや USART から送られたデータ）の受信
  - パリティエラー発生時の確認応答の検出
- TC フラグのアサーションは、ガードタイムレジスタのプログラミングによって遅らせることができます。通常動作では、TC がアサートされるのは、送信シフトレジスタが空であり、他に未

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

処理の送信リクエストがない場合です。スマートカードモードでは、空の送信シフトレジスタは、ガードタイムカウンタをトリガして、ガードタイムレジスタにプログラミングされた値までカウントアップします。この間、TC は強制的にローレベルに保たれます。ガードタイムカウンタがプログラミングされた値に達すると、TC がハイにアサートされます。

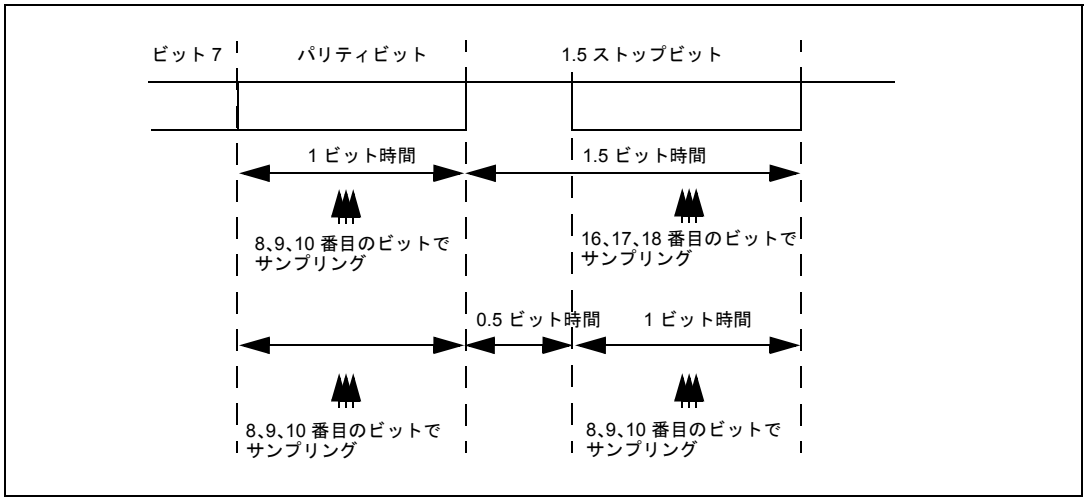
- TC フラグのディアサーションは、スマートカードモードの影響を受けません。
- レシーバからの NACK によってトランスミッタ端でフレーミングエラーが検出された場合、トランスミッタの受信ブロックは、この NACK を スタートビットとして検出しません。ISO プロトコルによれば、受信される NACK の期間は 1 または 2 ボークロック周期にできます。
- レシーバ側では、パリティエラーが検出されて NACK が送信された場合、レシーバはこの NACK を スタートビットとして検出しません。
- スマートカード I/O の出力イネーブル信号により、スマートカードによって駆動される双方向ラインの駆動が可能です。この信号は、スタートおよびデータビットの送信中と NACK の送信中にアクティブとなります。ストップビットの送信中は、この信号は無効になるので、USART は双方向ラインで 1 を弱く駆動します。

注： 1 *スマートカードモードでは、ブレークキャラクタは重要ではありません。フレーミングエラー発生時のデータ 00h は、ブレークではなくデータとして処理されます。*

2 *TEN ビットをトグルするとき、IDLE フレームは送信されません。アイドルフレームは、他の設定では定義されていますが、ISO プロトコルでは定義されていません。*

図 158 に、USART による NACK 信号のサンプリング方法を示します。この例では、USART はデータを送信中であり、1.5 ストップビットが組み込まれています。データと NACK 信号の整合性を検査するために、USART のレシーバ部が有効にされます。

図 158. 1.5 ストップビットを利用したパリティエラー検出



USART は、USART_CK 出力を通じてスマートカードにクロックを供給できます。スマートカードモードでは、USART_CK は通信に関係せず、5 ビットのプリスケーラを通じて単に内部のペリフェラル入力クロックから得られます。この分周比は、プリスケーラレジスタ USART_PSCR で設定されます。ペリフェラル入力クロックの周波数を f_{SYSCLK}としたとき、USART_CK の周波数は $f_{SYSCLK}/2$ から $f_{SYSCLK}/62$ の間でプログラミングできます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

29.3.11 IrDA SIR ENDEC ブロック

IrDA モードを選択するには、USART_CR5 レジスタの IREN ビットをセットします。IrDA モードでは、USART_CR3 レジスタの ストップビットを“1 ストップビット”に設定する必要があります。IrDA モードでは、次のビットはクリアされた状態に保つ必要があります。

- USART_CR3 レジスタの LINEN、STOP、および CKEN ビット
- USART_CR5 レジスタの SCEN および HDSEL ビット

IrDA SIR フィジカルレイヤは、ロジック 0 を赤外光パルスとして表現するRZI（Return to Zero, Inverted）変調方式の使用を指定します（*図 159* を参照）。

SIR 送信エンコーダは、USART からの NRZ（Non Return to Zero）送信ビットストリーム出力を変調します。出力パルスストリームは、外部の出力ドライバと赤外線 LED に送信されます。SIR ENDEC の場合、USART は最大 115.2 kbps のビットレートしかサポートしません。通常モードでは、送信されるパルス幅は、ビット周期の 3/16 と指定されます。

SIR 受信デコーダは、赤外線検出回路からの RZ（Return to Zero）ビットストリームを復調し、受信した NRZ シリアルビットストリームを USART に出力します。デコーダの入力は、アイドル状態のノーマルハイレベル（マーク状態）です。送信エンコーダの出力は、デコーダ入力とは逆の極性になっています。デコーダ入力がローレベルのとき、スタートビットが検出されます。

- IrDA は半二重通信プロトコルです。トランスミッタがビジーである（つまり、USART が IrDA エンコーダにデータを送信している）場合、IrDA デコーダは IrDA 受信ライン上のデータを無視します。レシーバがビジーである（USART がデコードされたデータを受信している）場合、IrDA は USART から IrDA への TX 上のデータをエンコードしません。データの受信中には、送信データの破壊を防ぐために、送信を避けてください。
- “0”はハイパルスとして送信され、“1”は“0”として送信されます。通常モードでは、パルスの幅は、選択されたビット周期の 3/16 と規定されます（*図 160* を参照）。
- SIR デコーダは、IrDA 準拠の受信信号を USART 用のビットストリームに変換します。
- SIR 受信ロジックは、ハイ状態を論理値 1 とみなし、ローパルスを論理値 0 とみなします。
- 送信エンコーダの出力は、デコーダ入力とは逆の極性になっています。SIR 出力は、アイドル時にロー状態になります。
- IrDA 仕様では、1.41 µs より大きなパルスを受け入れる必要があります。受け入れられるパルス幅は、プログラミング可能です。レシーバ端のグリッチ検出回路は、2 PSC 周期（PSC は USART_PSCR にプログラミングされたプリスケーラ値）より小さな幅のパルスを取り除きます。1 PSC 周期より小さな幅のパルスは常に除かれますが、1～2 周期の幅のパルスは受け入れられることも、除かれることもあります。2 周期より大きな幅のパルスは、パルスとして受け入れられます。PSC=0 のとき、IrDA エンコーダ/デコーダは機能しません。
- レシーバは、低電力トランスミッタと通信できます。
- IrDA モードでは、USART_CR2 レジスタの ストップビットを“1 ストップビット”に設定する必要があります。

IrDA 低電力モード

IrDA は、通常モードまたは低電力モードのいずれかで使用できます。低電力モードを選択するには、USART_CR5 レジスタの IRLP ビットをセットします。

トランスミッタ :

低電力モードでは、パルス幅はビット周期の 3/16 には維持されません。代わりに、パルス幅は低電力ボーレート（最小で 1.42 MHz）の 3 倍です。一般に、この値は 1.8432 MHz（1.42 MHz < PSC < 2.12 MHz）です。低電力モードのプログラマブル分周器は、この値を得るためにシステムクロックを分周します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

レシーバ:

低電力モードでの受信は、通常モードでの受信と同様です。グリッチ検出の場合、USART は 1/PSC よりも短いパルスを破棄する必要があります。有効なローレベルは、その期間が IrDA 低電力ボークロック（USART_PSCR の PSC 値）の 2 周期分を超える場合にのみ受け入れられます。

注： *1 1～2 PSC 周期の幅のパルスは、除去されることも、除去されないこともあります。*

2 レシーバのセットアップ時間は、ソフトウェアで管理してください。IrDA フィジカルレイヤ仕様では、送信と受信の間に最小 10 ms の遅延を指定しています（IrDA は半二重プロトコルです）。

図 159. IrDA SIR ENDEC のブロック図

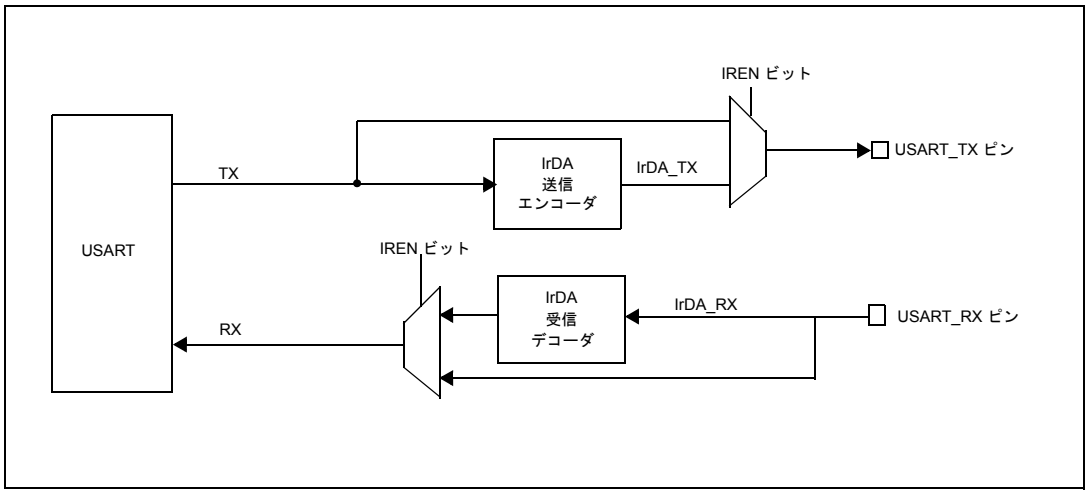
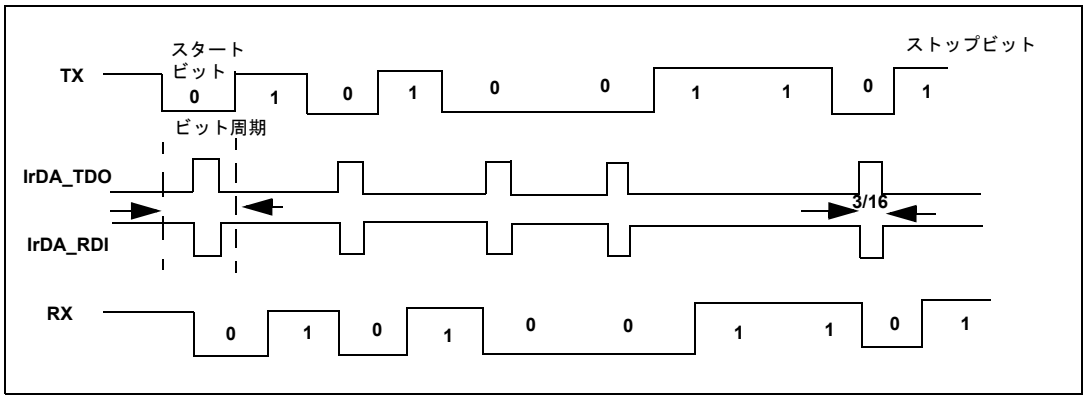


図 160. IrDA データ変調（3/16）- 通常モード



29.3.12 DMA を使用した連続通信

USART は、DMA を使用して通信を継続することができます。受信バッファと送信バッファに対する DMA リクエストは、それぞれ独立して生成できます。

注： *DMA コントローラを使用できるかどうかについては、個々の製品仕様を参照してください。目的の製品で DMA を使用できない場合は、セクション 29.3.2 または 29.3.3 の説明に従って USART を使用してください。USART_SR レジスタでは、TXE/RXNE フラグをクリアして、連続通信を実現できます。*

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

DMA を使用した送信

DMA モードでの送信を有効にするには､USART_CR5 レジスタの DMAT ビットをセットします｡TXE ビットがセットされるたびに、データは、DMA ペリフェラル（DMA 仕様を参照）を使用して設定された SRAM 領域から USART_DR レジスタにロードされます。DMA チャネルを USART 送信用に配置するには、次の手順で行います（x はチャネル番号を示します）。

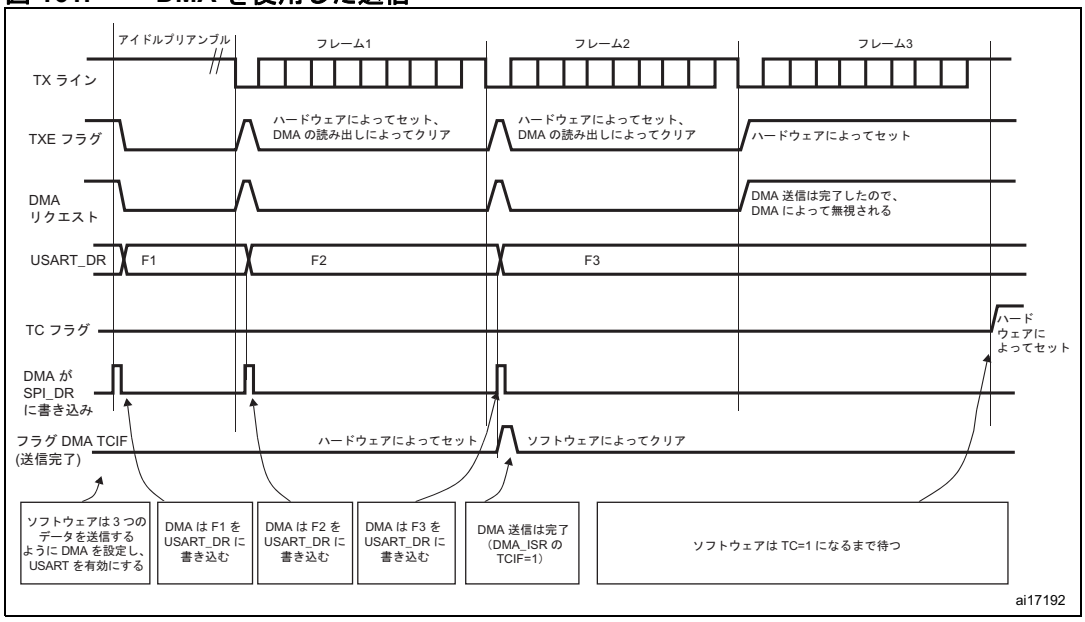
1. DMA 制御レジスタに USART_DR レジスタのアドレスを書き込んで、これを転送先として設定します。データは、毎回の TXE イベント後に、メモリからこのアドレスに移されます。
2. DMA 制御レジスタにメモリアドレスを書き込んで、これを転送元として設定します。データは、毎回の TXE イベント後に、このメモリ領域から USART_DR レジスタにロードされます。
3. 転送すべきバイト総数を DMA 制御レジスタに設定します。
4. チャネル優先順位を DMA レジスタに設定します。
5. アプリケーションで必要とされる 1/2 転送終了、転送完了後の DMA 割り込み生成を設定します。
6. DMA レジスタのチャネルを有効にします。

DMA が送信されるべきすべてのデータを書き込んだとき（DMA_ISR レジスタのフラグ TCIF がセットされます)、TC フラグを監視することで USRT 通信の完了を確認できます。これは、USART を無効にしたり、HALT またはアクティブ HALT モードに入ったりする前に、最後の送信を破壊から守るために必要です。ソフトウェアは、まず、TxE が 1 にセットされるまで待ち、次に、TC が 1 にセットされるまで待つ必要があります。

DMA コントローラにプログラミングされたデータ転送数に達したとき、DMA コントローラは、DMA チャネルの割り込みベクタに基づいて割り込みを生成します。

注： ***送信に DMA を使用するときには、TIEN ビットを有効にしないでください。***

図 161. DMA を使用した送信



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

DMA を使用した受信

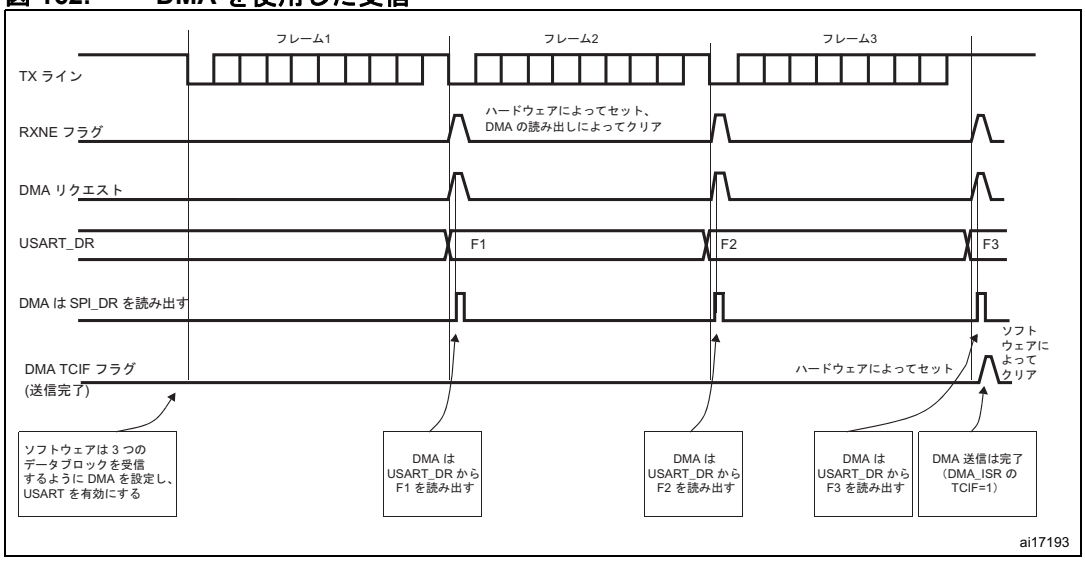
DMA モードでの受信を有効にするには、USART_CR5 レジスタの DMAR ビットをセットします。データバイトが受信されるたびに、データは、USART_DR レジスタから、DMA ペリフェラル（DMA 仕様を参照）を使用して設定された SRAM 領域にロードされます。DMA チャネルを USART 受信用に配置するには、次の手順で行います。

1. DMA 制御レジスタに USART_DR レジスタのアドレスを書き込んで、これを転送元として設定します。データは、毎回の RXNE イベントの後に、このアドレスからメモリに移されます。
2. DMA 制御レジスタにメモリアドレスを書き込んで、これを転送先として設定します。データは、毎回の RXNE イベントの後に、USART_DR レジスタからこのメモリ領域にロードされます。
3. 転送すべきバイト総数を DMA 制御レジスタに設定します。
4. チャネル優先順位を DMA 制御レジスタで設定します。
5. アプリケーションで必要とされる 1/2 転送終了、転送完了後の割り込み生成を設定します。
6. DMA 制御レジスタのチャネルを有効にします。

DMA コントローラにプログラミングされたデータ転送数に達したとき、DMA コントローラは、DMA チャネルの割り込みベクタに基づいて割り込みを生成します。割り込み処理ルーチンの中では、USART_CR5 レジスタの DMAR ビットをソフトウェアでクリアしなければなりません。

注： ***受信に DMA を使用するときには、RIEN ビットを有効にしないでください。***

図 162. DMA を使用した受信



マルチバッファ通信におけるエラーフラグと割り込み生成

マルチバッファ通信で、トランザクションの処理中にエラーが発生した場合、現在のバイトの後でエラーフラグがアサートされます。割り込みイネーブルフラグがセットされている場合、割り込みが生成されます。1 バイト受信において RXNE とともにアサートされるフレーミングエラー、オーバーランエラー、およびノイズフラグに関しては、別個のエラーフラグ割り込みイネーブルビット（USART_CR 5 レジスタの EIE ビット）が用意されていて、セットされている場合、いずれかのエラーを持つ現在のバイトの後で割り込みを発行します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

29.4 USART 低電力モード

表 96. 低電力モードでの USART インタフェースの動作

モード	説明
WAIT/ 低電力 WAIT	USART には影響ありません。 USART 割り込みによって、デバイスは WAIT または低電力 WAIT モードから抜けます。
HALT/ アクティブ HALT	USART レジスタは凍結されます。 HALT モードでは、USART は HALT またはアクティブ HALT モードが終了するまで送信/受信を停止します。

29.5 USART 割り込み

表 97. USART 割り込みリクエスト

割り込みイベント	イベントフラグ	イネーブル制御ビット	WAIT/低電力 WAIT 終了	HALT/アクティブ HALT 終了
送信データレジスタエンプティ	TXE	TIEN	あり	なし
送信完了	TC	TCIEN	あり	なし
受信データ読み出し可能	RXNE	RIEN	あり	なし
オーバーランエラー検出	OR		あり	なし
アイドルライン検出	IDLE	ILIEN	あり	なし
パリティエラー	PE	PIEN	あり	なし
マルチバッファ通信におけるノイズフラグ、オーバーランエラー、およびフレーミングエラー	NF または ORE または FE	EIE	あり	なし

注： 1 *USART 割り込みイベントは、2 つの割り込みベクタに接続されます（図 163 を参照）。*

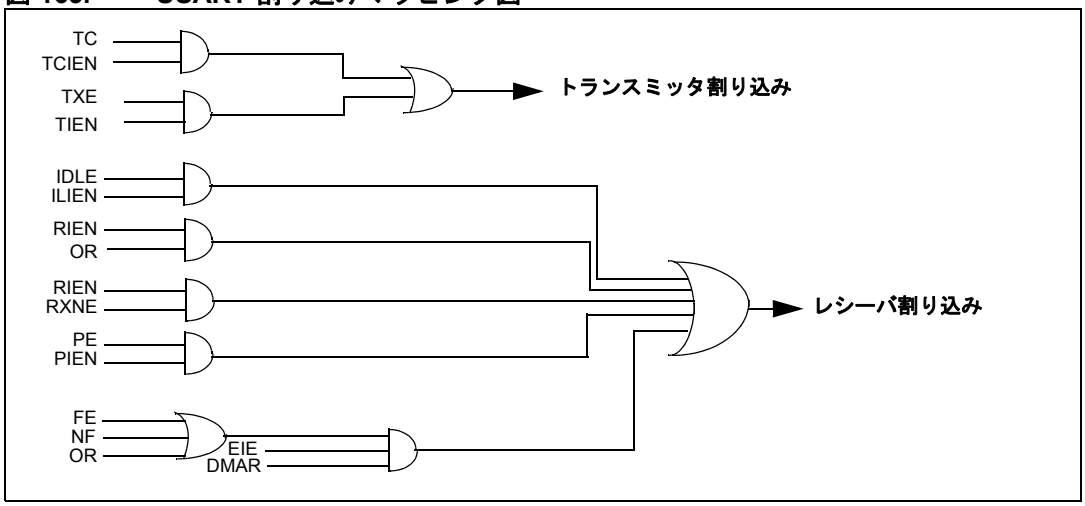
a) 送信完了または送信データレジスタエンプティ割り込み。

b) アイドルライン検出、オーバーランエラー、受信データレジスタフル、パリティエラー割り込み、およびノイズフラグ（マルチバッファ通信時のみ）、フレーミングエラー（マルチバッファ通信時のみ）。

2 *これらのイベント時、対応するイネーブル制御ビットがセットされ、CCR レジスタの割り込みマスクがリセットされていた場合、割り込みが生成されます（RIM 命令）。*

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 163. USART 割り込みマッピング図



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

29.6 USART レジスタ

29.6.1 ステータスレジスタ (USART_SR)

アドレスオフセット：0x00

リセット値：0xC0

7	6	5	4	3	2	1	0
TXE	TC	RXNE	IDLE	OR	NF	FE	PE
r	r	r	r	r	r	r	r

ビット 7 **TXE**：送信データレジスタエンプティ

このビットは、TDR レジスタの内容がシフトレジスタに転送されたとき、ハードウェアによってセットされます。USART_CR2 レジスタの TIEN ビット=1 の場合、割り込みが生成されます。USART_DR レジスタへの書き込みによってクリアされます。

0：データはシフトレジスタに転送されていません。

1：データはシフトレジスタに転送されました。

ビット 6 **TC**：送信完了

TC ビットは、データを含んでいるフレームの送信が完了し、TXE ビットがセットされている場合に、ハードウェアによってセットされます。USART_CR2 レジスタの TCIEN=1 である場合、割り込みが生成されます。

TC ビットは、ソフトウェアシーケンス（USART_SR レジスタの読み出しに続く USART_DR レジスタへの書き込み）、またはこのビットを 0 にプログラミングすることによってクリアされます。このクリアシーケンスは、マルチバッファ通信の場合にのみ推奨されます。

0：送信は完了していません。

1：送信は完了しています。

ビット 5 **RXNE**：読み出しデータレジスタノットエンプティ

このビットは、RDR シフトレジスタの内容が USART_DR レジスタに転送されたときに、ハードウェアによってセットされます。USART_CR2 レジスタの RIEN=1 である場合、割り込みが生成されます。USART_DR レジスタの読み出しによってクリアされます。

0：データは受信されていません。

1：受信データを読み出すことができます。

ビット 4 **IDLE**：アイドルライン検出 (1)

このビットは、アイドルラインが検出されたときに、ハードウェアによってセットされます。USART_CR2 レジスタの ILIEN=1 である場合、割り込みが生成されます。ソフトウェアシーケンスによってクリアされます（USART_SR レジスタの読み出しに続く USART_DR レジスタの読み出し）。

0：アイドルラインは検出されていません。

1：アイドルラインが検出されました。

ビット 3 **OR**：オーバーランエラー(2)

このビットは、RXNE=1 のときに、シフトレジスタに受信中のワードを RDR レジスタに転送する準備ができたときに、ハードウェアによってセットされます。USART_CR2 レジスタの RIEN=1 である場合、割り込みが生成されます。ソフトウェアシーケンスによってクリアされます（USART_SR レジスタの読み出しに続く USART_DR レジスタの読み出し）。

0：オーバーランエラーはありません。

1：オーバーランエラーが検出されました。

ビット 2 **NF**：ノイズフラグ (3)

このビットは、受信フレームでノイズが検出されたときに、ハードウェアによってセットされます。ソフトウェアシーケンスによってクリアされます（USART_SR レジスタの読み出しに続く USART_DR レジスタの読み出し）。

0：ノイズは検出されていません。

1：ノイズが検出されました。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 1 **FE**：フレーミングエラー [(4)]

このビットは、非同期化、過度なノイズ、またはブレークキャラクタが検出されたときに、ハードウェアによってセットされます。ソフトウェアシーケンスによってクリアされます（USART_SR レジスタの読み出しに続く USART_DR レジスタの読み出し）。

0：フレーミングエラーは検出されていません。

1：フレーミングエラーまたはブレークキャラクタが検出されました。

ビット 0 **PE**：パリティエラー

このビットは、レシーバモードでパリティエラーが発生したときに、ハードウェアによってセットされます。ソフトウェアシーケンスによってクリアされます（ステータスレジスタの読み出しと、それに続く USART_DR データレジスタの読み出し）。クリアする前に、RXNE フラグがセットされるまで待つ必要があります。USART_CR1 レジスタの PIEN=1 の場合、割り込みが生成されます。

0：パリティエラーはありません。

1：パリティエラー。

1. RXNE ビットがセットされる（つまり、新しいアイドルラインが発生する）まで、IDLE ビットが再びセットされることはありません。
2. このビットがセットされると、RDR レジスタの内容は失われませんが、シフトレジスタは上書きされます。
3. このビットは、割り込みを生成する RXNE ビットと同時に現れるので、割り込みを生成しません。
4. このビットは、割り込みを生成する RXNE ビットと同時に現れるので、割り込みを生成しません。現在転送中のワードによってフレームエラーとオーバーランエラーの両方が発生した場合、転送は行われ、OR ビットのみがセットされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

29.6.2 データレジスタ (USART_DR)

アドレスオフセット：0x01

リセット値：未定義

7	6	5	4	3	2	1	0
DR[7:0]							
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:0 **DR[7:0]**：データ値

読み出しか書き込みかに応じて、受信または送信されたデータキャラクタを含みます。

データレジスタは、送信用（TDR）と受信用（RDR）の 2 個のレジスタから構成されるため、2 つの機能（読み出しと書き込み）を実行します。

TDR レジスタは、内部バスと出力シフトレジスタとの間にパラレルインタフェースを提供します。

RDR レジスタは、入力シフトレジスタと内部バスとの間にパラレルインタフェースを提供します。

29.6.3 ボーレートレジスタ 1 (USART_BRR1)

ボーレートレジスタは、トランスミッタとレシーバの両方に共通です。ボーレートは、BRR1 と BRR2 の 2 つのレジスタを使用してプログラムされます。BRR1 への書き込みによってボーカウンタが更新されるので、BRR2 への書き込みを先に行ってください（必要な場合）。

*図 150：BRR レジスタで USART_DIV をコード化する方法（517 ページ）*および*表 92：ボーレートのプログラミングとエラー計算（517 ページ）*を参照してください

注： ***TEN または REN ビットがそれぞれ無効にされている場合、ボーカウンタはカウントを停止します。***

アドレスオフセット：0x02

リセット値：0x00

7	6	5	4	3	2	1	0
USART_DIV[11:4]							
rw	rw	rw	rw	-	rw	rw	rw

ビット 7:0 **USART_DIV[11:4]**：USART_DIV ビット [(1)]

これらの 8 ビットは、16 ビット USART ディバイダ（USART_DV）の 2 番目と 3 番目のニブルを定義します。

1. BRR1 = 0x00 は、USART クロックが無効であることを意味します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

29.6.4 ボーレートレジスタ 2 (USART_BRR2)

アドレスオフセット：0x03

リセット値：0x00

7	6	5	4	3	2	1	0
USART_DIV[15:12]				USART_DIV[3:0]			
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:4 **USART_DIV[15:12]**：USART_DIV の MSB

これらの 4 ビットは、USART ディバイダ（USART_DIV）の MSB を定義します。

ビット 3:0 **USART_DIV[3:0]**：USART_DIV の LSB

これらの 4 ビットは、USART ディバイダ（USART_DIV）の LSB を定義します。

29.6.5 制御レジスタ 1 (USART_CR1)

アドレスオフセット：0x04

リセット値：0x00

7	6	5	4	3	2	1	0
R8	T8	USARTD	M	WAKE	PCEN	PS	PIEN
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7 **R8**：受信データのビット 8

このビットは、M=1 のときの受信ワードの 9 番目のビットを格納するために使用されます。

ビット 6 **T8**：送信データのビット 8

このビットは M=1 のときの送信ワードの 9 番目のビットを格納するために使用されます。

ビット 5 **USARTD**：USART ディセーブル（低電力用）

このビットがセットされると、消費電力を低減するため、USART プリスケーラと信号出力は進行中の転送動作が終わった時点で停止します。このビットは、ソフトウェアによってセット/クリアされます。

0：USART は有効です。

1：USART プリスケーラと出力は無効です。

ビット 4 **M**：ワード長

このビットは、ワード長を決定します。ソフトウェアによってセット/クリアされます。

0：1 スタートビット、8 データビット、n ストップビット（n は USART_CR3 レジスタの STOP[1:0] ビットで指定）。

1：1 スタートビット、9 データビット、1 ストップビット。

注： M ビットは、送受信のデータ転送中に変更することはできません。

ビット 3 **WAKE**：ウェイクアップ方法

このビットは、USART のウェイクアップ方法を決定し、ソフトウェアによってセット/クリアされます。

0：アイドルライン

1：アドレスマーク

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 2 **PCEN**：パリティ制御イネーブル

このビットは、ハードウェアのパリティ制御（生成と検出）を選択します。パリティ制御が有効なとき、算出されたパリティは MSB 位置（M=1 の場合はビット 9、M=0 の場合はビット 8）に挿入され、受信されたデータではパリティが検査されます。このビットは、ソフトウェアによってセット/クリアされます。このビットがセットされると、送受信での現在のバイトの後で PCEN が有効になります。

0：パリティ制御は無効です。

1：パリティ制御は有効です。

ビット 1 **PS**：パリティ選択

このビットは、パリティの生成/検出が有効である（PCEN ビットがセットされた）とき、奇数パリティ /偶数パリティを選択します。ソフトウェアによってセット/クリアされます。パリティは、現在のバイトの後で選択されます。

0：偶数パリティ

1：奇数パリティ

ビット 0 **PIEN**：パリティ割り込みイネーブル

このビットは、ソフトウェアによってセット/クリアされます。

0：パリティ割り込みは無効です。

1：USART_SR レジスタの PE=1 のときには、パリティ割り込みが生成されます。

29.6.6 制御レジスタ 2 (USART_CR2)

アドレスオフセット：0x05

リセット値：0x00

7	6	5	4	3	2	1	0
TIEN	TCIEN	RIEN	ILIEN	TEN	REN	RWU	SBK
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7 **TIEN**：トランスミッタ割り込みイネーブル

このビットは、ソフトウェアによってセット/クリアされます。

0：割り込みは禁止です。

1：USART_SR レジスタの TXE=1 のときには、USART 割り込みが生成されます。

ビット 6 **TCIEN**：送信完了割り込みイネーブル

このビットは、ソフトウェアによってセット/クリアされます。

0：割り込みは禁止です。

1：USART_SR レジスタの TC=1 のときには、USART 割り込みが生成されます。

ビット 5 **RIEN**：レシーバ割り込みイネーブル

このビットは、ソフトウェアによってセット/クリアされます。

0：割り込みは禁止です。

1：USART_SR レジスタの OR=1 または RXNE=1 のときには、USART 割り込みが生成されます。

ビット 4 **ILIEN**：アイドルライン割り込みイネーブル

このビットは、ソフトウェアによってセット/クリアされます。

0：割り込みは禁止です。

1：USART_SR レジスタの IDLE=1 のときには、USART 割り込みが生成されます。

ビット 3 **TEN**：トランスミッタイネーブル (1) (2)

このビットは、トランスミッタを有効にします。ソフトウェアによってセット/クリアされます。

0：トランスミッタは無効です。

1：トランスミッタは有効です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 2 **REN**：レシーバイネーブル

このビットは、レシーバを有効にします。ソフトウェアによってセット/クリアされます。

0：レシーバは無効です。

1：レシーバは有効であり、スタートビットの検索を開始します。

ビット 1 **RWU**：レシーバウェイクアップ (3) (4)

このビットは、USART がミュートモードかどうかを決定します。ソフトウェアによってセット/クリアされ、ウェイクアップシーケンスが認識されたときに、ハードウェアによってクリアできます。

0：レシーバはアクティブモードです。

1：レシーバはミュートモードです。

ビット 0 **SBK**：ブレーク送信

このビットは、ブレークキャラクタを送信するために使用されます。ソフトウェアによってセット/クリアできます。ソフトウェアによってセットされ、ブレークのストップビットの処理時にハードウェアによってリセットされます。

0：ブレークキャラクタは送信されません。

1：ブレークキャラクタは送信されます。

1. 送信中に TEN ビットに 0 パルスを与える（0 を書き込み、続いて 1 を書き込む）と、現在のワードの後にプリアンブル（アイドルライン）が送信されます。
2. TEN がセットされると、送信が開始されるまでに 1 ビット時間の遅延が生じます。
3. ミュートモードを選択する（RWU ビットをセットする）前に、まず、USART はデータバイトを受信しなければなりません。そうしないと、ミュートモードで、アイドルライン検出によるウェークアップを伴う動作はできません。
4. アドレスマーク検出によるウェークアップ設定（WAKE=1）では、RXNE ビットがセットされているときには、ソフトウェアによって RWU ビットを変更することはできません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

29.6.7 制御レジスタ 3 (USART_CR3)

アドレスオフセット：0x06

リセット値：0x00

7	6	5	4	3	2	1	0
予約済み		STOP[1:0]		CLKEN	CPOL	CPHA	LBCL
		rw	rw	rw	rw	rw	rw

ビット 7 予約済み、クリア状態を保つ必要があります。

ビット 5:4 **STOP**：ストップビット

これらのビットは、ストップビットのプログラミングに使用されます。

00：1 ストップビット
01：予約済み
10：2 ストップビット
11：1.5 ストップビット

ビット 3 **CLKEN**：クロックイネーブル

このビットによって、USART_CK ピンを有効にできます。

0：USART_CK ピンは無効です。
1：USART_CK ピンは有効です。

ビット 2 **CPOL**：クロック極性 (1)

このビットによって、同期モードにおける USART_CK ピンのクロック出力の極性を選択できます。CPHA ビットと連携して機能し、希望するクロック/データ関係をもたらします。

0：アイドル時には、USART_CK は 0 になります。
1：アイドル時には、USART_CK は 1 になります。

ビット 1 **CPHA**：クロック位相 (1)

このビットによって、USART_CK ピンのクロック出力の位相を選択できます。CPOL ビットと連携して機能し、希望するクロック/データ関係をもたらします。

0：最初のクロック遷移が最初のデータキャプチャエッジです。
1：2 番目のクロック遷移が最初のデータキャプチャエッジです。

ビット 0 **LBCL**：最終ビットのクロックパルス (1)(2)

このビットによって、送信される最終データビット（MSB）に関連するクロックパルスを USART_CK ピンに出力する必要があるかどうかを選択できます。

0：最終データビットのクロックパルスは、USART_CK ピンに出力されません。
1：最終データビットのクロックパルスは、USART_CK ピンに出力されます。

1. CPOL、CPHA、LBCL の 3 ビットには、トランスミッタが有効である間は書き込まないでください。
2. 最終ビットは、USART_CR1 レジスタの M ビットによって選択された 8 または 9 ビットフォーマットに応じて送信された 8 番目または 9 番目のデータビットです。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

29.6.8 制御レジスタ 4 (USART_CR4)

アドレスオフセット：0x07

リセット値：0x00

7	6	5	4	3	2	1	0
予約済み				ADD[3:0]			
				rw	rw	rw	rw

ビット 7:4 予約済み、クリア状態を保つ必要があります。

ビット 3:0 **ADD[3:0]**：USART ノードのアドレス

このビットフィールドは、USART ノードのアドレスを示します。

これは、ミュートモードでのマルチプロセッサ通信において、アドレスマーク検出によるウェイクアップに使用されます。

29.6.9 制御レジスタ 5（USART_CR5）

アドレスオフセット：0x08

リセット値：0x00

7	6	5	4	3	2	1	0
DMAT	DMAR	SCEN	NACK	HDSEL	IRLP	IREN	EIE
rw	rw	r	r	rw	rw	rw	rw

ビット 7 **DMAT**：DMA 対応のトランスミッタ

このビットは、ソフトウェアによってセット/リセットされます。

1：DMA モードの送信は有効です。

0：DMA モードの送信は無効です。

ビット 6 **DMAR**：DMA 対応のレシーバ

このビットは、ソフトウェアによってセット/リセットされます。

1：DMA モードの受信は有効です。

0：DMA モードの受信は無効です。

ビット 5 **SCEN**：スマートカードモードイネーブル

このビットは、スマートカードモードを有効にするために使用されます。

0：スマートカードモードは無効です。

1：スマートカードモードは有効です。

ビット 4 **NACK**：スマートカード NACK イネーブル

0：パリティエラーの場合の NACK 送信は無効です。

1：パリティエラーの場合の NACK 送信は有効です。

ビット 3 **HDSEL**：半二重通信選択

単線半二重モードの選択。

0：半二重モードは選択されません。

1：半二重モードが選択されます。

ビット 2 **IRLP**：IrDA 低電力

このビットは、通常 IrDA モードと低電力 IrDA モードの選択に使用されます。

0：通常モード

1：低電力モード

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 1 **IREN**：IrDA モードイネーブル

このビットは、ソフトウェアによってセット/クリアされます。

0：IrDA は無効です。

1：IrDA は有効です。

ビット 0 **EIE**：エラー割り込みイネーブル

このビットは、マルチバッファ通信（USART_CR3 レジスタの DMAR=1）において、フレーミングエラー、オーバーランエラー、またはノイズエラー（USART_SR レジスタの FE=1、OR=1、または N F =1）の場合に割り込み生成を有効にするために必要です。

0：割り込みは禁止です。

1：USART_CR5 レジスタの DMAR=1 のとき、および USART_SR レジスタの FE=1、OR=1、または NF=1 のときには、割り込みが生成されます。

29.6.10 ガードタイムレジスタ（USART_GTR）

アドレスオフセット：0x09

リセット値：0x00

7	6	5	4	3	2	1	0
GT[7:0]							
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:0 **GT**：ガードタイム値

このレジスタは、ガードタイム値をボークロック数で示します。

これは、スマートカードモードで使用されます。このガードタイム値の後、送信完了フラグがセットされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

29.6.11 プリスケーラレジスタ（USART_PSCR）

アドレスオフセット：0x0A

リセット値：0x00

注： *アプリケーションでスマートカードと IrDA インタフェースの両方が使用されているときには、このレジスタに正しい値をプログラムするように特に注意する必要があります。*

7	6	5	4	3	2	1	0
PSC[7:0]							
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7:0 **PSC[7:0]**：プリスケーラ値

– **IrDA 低電力モードでは：**

PSC[7:0] = IrDA 低電力モードのボーレート (1)

システムクロックを分周して低電力周波数を得るために、プリスケーラのプログラミングに使用されます。

ソースクロックは、レジスタで指定された値（上位 8 ビット）で分周されます。

00000000：予約済み - この値をプログラミングしないでください。

00000001：ソースクロックは 1 分周されます。

00000010：ソースクロックは 2 分周されます。

...

– スマートカードモードでは：

PSC[4:0]：プリスケーラ*値*。(2) (3)

システムクロックを分周してスマートカードのクロックを提供するために、プリスケーラのプログラミングに使用されます。

レジスタで指定された値（下位 5 ビット）を 2 倍して、ソースクロック周波数の分周係数を求めます。

00000：予約済み - この値をプログラミングしないでください。

00001：ソースクロックは 2 分周されます。

00010：ソースクロックは 4 分周されます。

00011：ソースクロックは 6 分周されます。

...

1. このプリスケーラ設定は、IrDA モードが有効でない場合は無視されます。
2. このプリスケーラ設定は、スマートカードモードが有効でない場合は無視されます。
3. ビット [7:5] は、スマートカードモードが有効な場合も無視されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

29.6.12 USART レジスタマップとリセット値

表 98. USART レジスタマップ

アドレスオフセット	レジスタ名	7	6	5	4	3	2	1	0
0x00	USART_SR リセット値	TXE 1	TC 1	RXNE 0	IDLE 0	OR 0	NF 0	FE 0	PE 0
0x01	USART_DR リセット値	DR7 x	DR6 x	DR5 x	DR4 x	DR3 x	DR2 x	DR1 x	DR0 x
0x02	USART_BRR1 リセット値	USART_DIV[11:4] 00000000							
0x03	USART_BRR2 リセット値	USART_DIV[15:12] 0000				USART_DIV[3:0] 0000			
0x04	USART_CR1 リセット値	R8 0	T8 0	USARTD 0	M 0	WAKE 0	PCEN 0	PS 0	PIEN 0
0x05	USART_CR2 リセット値	TIEN 0	TCIEN 0	RIEN 0	ILIEN 0	TEN 0	REN 0	RWU 0	SBK 0
0x06	USART_CR3 リセット値	- 0	- 0	STOP 00		CKEN 0	CPOL 0	CPHA 0	LBCL 0
0x07	USART_CR4 リセット値	- 0	- 0	- 0	- 0	ADD[3:0] 0000			
0x08	USART_CR5 リセット値	DMAT 0	DMAR 0	SCEN 0	NACK 0	HDSEL 0	IRLP 0	IREN 0	EIE 0
0x09	USART_GTR リセット値	GT7 0	GT6 0	GT5 0	GT4 0	GT3 0	GT2 0	GT1 0	GT0 0
0x0A	USART_PSCR リセット値	PSC7 0	PSC6 0	PSC5 0	PSC4 0	PSC3 0	PSC2 0	PSC1 0	PSC0 0

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

30 シリアルペリフェラルインタフェース（SPI）

このセクションの説明は、特に指定がない限り、中容量 STM8L15x デバイス、中+容量 STM8L15x デバイス、および大容量 STM8L15x/STM8L16x デバイスに適用されます。

30.1 概要

SPI（シリアルペリフェラルインタフェース）では、外部デバイスとの半二重/全二重の同期シリアル通信が可能です。このインタフェースはマスタとして設定することも可能で、その場合、外部スレーブデバイスに通信クロック（SCK）を供給します。このインタフェースは、マルチマスタ設定で動作することもできます。

2 本のライン（双方向データラインを使用可能）での単方向同期転送や、CRC チェックを使用した信頼性の高い通信など、さまざまな目的に使用できます。

30.2 SPI の主な機能

- 3 本のラインで全二重同期転送
- 2 本のラインで単方向同期転送（双方向データラインの有無にかかわらず）
- マスタまたはスレーブ動作
- 8 つのマスタモード周波数（最大：$f_{SYSCLK}/2$）
- スレーブモード周波数（最大：$f_{SYSCLK}/2$）
- 高速通信 - 最大 SPI 速度：8 MHz
- マスタとスレーブの両方に対するハードウェア/ソフトウェアによる NSS 管理
- クロックの極性と位相をプログラミング可能
- データ順序をプログラミング可能（MSB ファースト/LSB ファーストのシフト）
- 専用の送受信フラグ（割り込み機能付き）
- SPI バスビジーステータスフラグ
- マスタモードの障害およびオーバーランフラグ（割り込み機能付き）
- 1 バイトの送受信バッファ（DMA 機能付き：送受信リクエスト）
- ハードウェア CRC 機能による信頼性の高い通信：
  - 送信モードでは CRC 値を最終バイトとして送信可能
  - 最終受信バイトの CRC エラーチェック
- ウェイクアップ機能：
  MCU は、全二重/半二重の送信専用モードにおいて、低電力モードからウェイクアップします

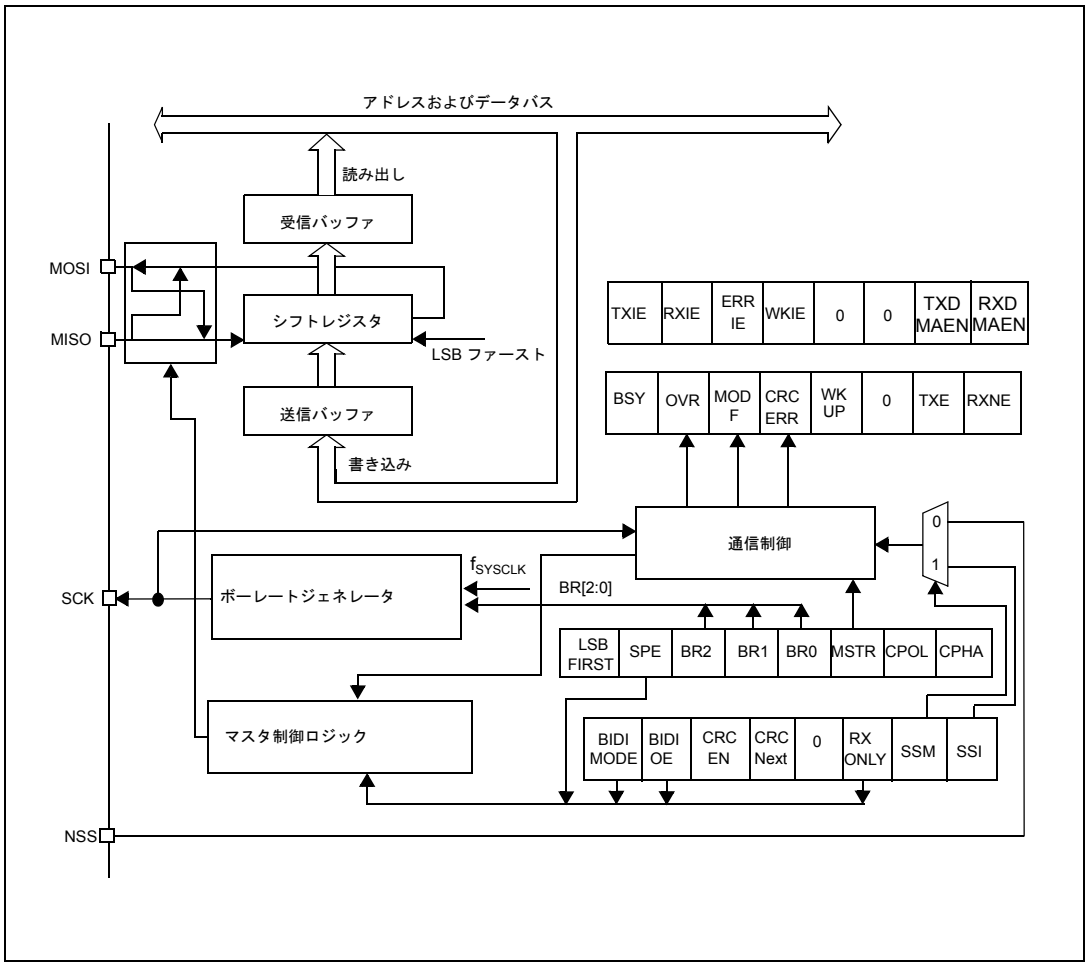
この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

30.3 SPI 機能の説明

30.3.1 概要

SPI のブロック図を*図 164* に示します。

図 164. SPI のブロック図



SPI は 4 本のピンで外部デバイスに接続されます。

- MISO : Master In / Slave Out データ（ポート C7）。このピンは、マスタモードではデータの受信に、スレーブモードではデータの送信に使用できます。
- MOSI : Master Out / Slave In データ（ポート C6）。このピンは、マスタモードではデータの送信に、スレーブモードではデータの受信に使用できます。
- SCK : SPI マスタではシリアルクロック出力（ポート C5）に、SPI スレーブではシリアルクロック入力に使用されます。
- NSS : スレーブ選択（ポート E5）。これは、スレーブデバイスを選択するためのオプションピンです。このピンが“チップセレクト”として機能することで、SPI マスタは複数のスレーブと個別に通信を行うことができ、データラインの競合を避けることができます。スレーブの NSS 入力は、マスタデバイスの標準入出力ポートによって駆動できます。SPI がマスタモードに設定され（MSTR ビット=1）、NSS がローレベルに引っぱられた場合、SPI はマスタモードフォルト状

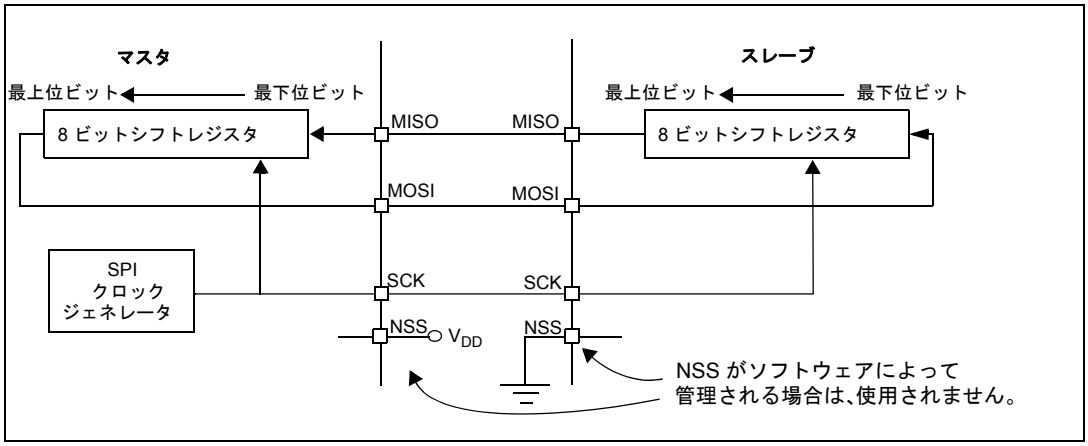
この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

態に入ります。MSTR ビットは自動的にリセットされ、デバイスはスレーブモードに設定されます（*セクション 30.3.10：エラーフラグ（560 ページ）*を参照）。

1 個のマスタと 1 個のスレーブの間の基本的な相互接続例を*図 165* に示します。

注： ***SPI 出力が接続される入出力スロープは、入出力ポートの設定とは無関係に、高速スロープ出力としてハードウェアによって制御されます。***

図 165. シングルマスタ/シングルスレーブアプリケーション



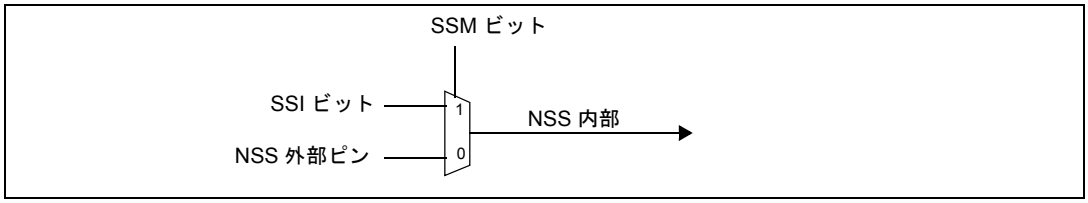
MOSI ピンと MISO ピンは、それぞれに相互接続されています。このようにして、データはマスタとスレーブの間を（MSB ファーストで）シリアルに転送されます。

通信は常にマスタによって開始されます。マスタデバイスが MOSI ピンを介してスレーブデバイスにデータを送信すると、スレーブデバイスは MISO ピンを介して応答します。このことは、データ出力とデータ入力がマスタデバイスから SCK ピンを介して供給される同じクロック信号に同期した全二重通信を意味します。

スレーブ選択（NSS）ピンの管理

NSS ピンを使用してスレーブ選択信号を制御する（NSS ピン、ポート E5）代わりに、アプリケーションは、ソフトウェアによってスレーブ選択信号を管理することもできます。これは、SPI_CR2 レジスタの SSM ビットによって設定されます（*図 166* を参照）。ソフトウェア管理では、外部 NSS ピンは他のアプリケーションで自由に使用でき、内部 NSS 信号レベルは SPI_CR2 レジスタの SSI ビットへの書き込みによって駆動されます。

図 166. ハードウェア/ソフトウェアのスレーブ選択管理



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

クロックの位相と極性

CPOL ビットと CPHA ビットを使用することによって、4 つのタイミング関係をソフトウェアで選択できます。CPOL（クロック極性）ビットは、データが転送されていないときのクロックの定常値を制御します。このビットは、マスタモードとスレーブモードの両方に影響を与えます。CPOL がリセットされた場合、SCK ピンはローレベルのアイドル状態になります。CPOL がセットされた場合、SCK ピンはハイレベルのアイドル状態になります。

注： ***SPI セルを有効または無効にするときに SPI クロックピンでのエッジ生成を避けるには、SPI ピンを SPI のアイドル状態レベルで設定するようにします。***

CPHA（クロック位相）ビットがセットされている場合、SCK ピンの 2 番目のエッジ（CPOL ビットがリセットされていれば立ち下がりエッジ、CPOL ビットがセットされていれば立ち上がりエッジ）が最上位ビットのキャプチャストローブです。データは、最初のクロック遷移でラッチされます。CPHA ビットがリセットされている場合、SCK ピンでの最初のエッジ（CPOL ビットがリセットされていれば立ち上がりエッジ、セットされていれば立ち下がりエッジ）が最上位ビットのキャプチャストローブです。データは、2 番目のクロック遷移でラッチされます。

CPOL（クロック極性）ビットと CPHA（クロック位相）ビットの組み合わせによって、データキャプチャのクロックエッジを選択できます。

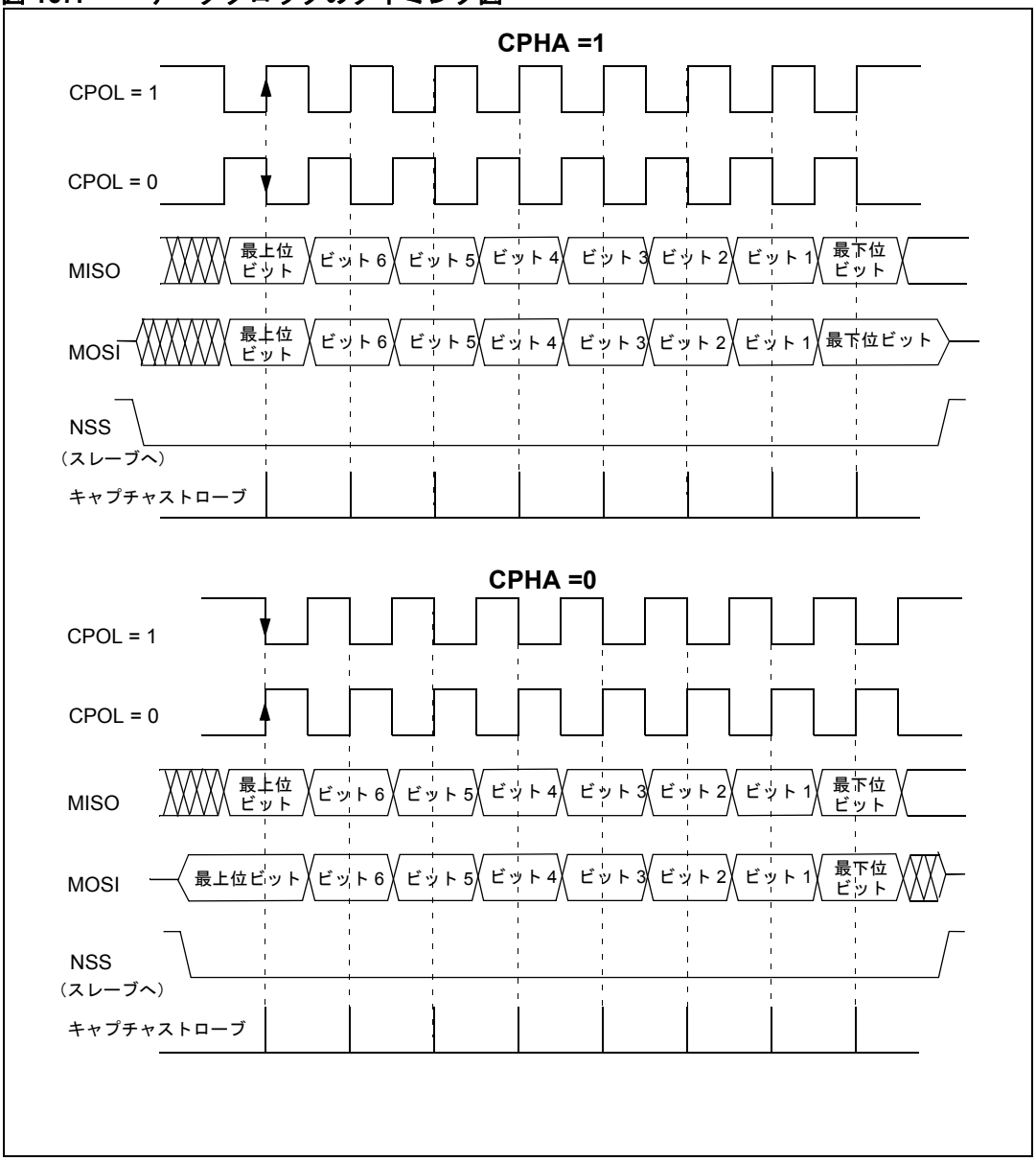
図 167 は、CPHA ビットと CPOL ビットの 4 つの組み合わせによる SPI 転送を示しています。この図は、SCK ピン、MISO ピン、MOSI ピンがマスタ/スレーブデバイス間で直接接続されている場合のマスタまたはスレーブのタイミング図とみなすことができます。

注：

1. ***CPOL/CPHA ビットを変更する前に、SPE ビットをリセットすることによって、SPI を無効にする必要があります。***
2. ***マスタとスレーブは、同じタイミングモードでプログラミングする必要があります。***
3. ***SCK のアイドル状態は、SPI_CR1 レジスタで（CPOL=1 の場合は SCK のプルアップ、CPOL=0 の場合は SCK のプルダウンによって）選択された極性に一致する必要があります。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 167. データクロックのタイミング図



1. これらのタイミングは、SPI_CR1 レジスタの LSBFIRST ビットをリセットした状態で示されています。

フレームフォーマット

データは、SPI_CR1 レジスタの LSBFIRST ビットの値に応じて、MSB ファーストまたは LSB ファーストでシフトアウトできます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

30.3.2 SPI のスレーブモード設定

スレーブ設定では、マスタデバイスからのシリアルクロックは SCK ピンで受信されます。SPI_CR1 レジスタの BR[2:0] ビットに設定された値は、データ転送速度に影響を与えません。

SPI をスレーブモードに設定するには、次の手順に従ってください。

1. CPOL ビットと CPHA ビットを選択して、データ転送とシリアルクロックの間の 4 つの関係のうちの 1 つを定義します（*図 167* を参照）。データを正しく転送するには、スレーブデバイスとマスタデバイスで CPOL ビットと CPHA ビットを同じに設定する必要があります。
2. フレームフォーマット（SPI_CR1 レジスタの LSBFIRST ビットの値に応じて、MSB ファーストまたは LSB ファースト）は、マスタデバイスと同じでなければなりません。
3. ハードウェアモード（*スレーブ選択（NSS）ピンの管理（545 ページ）*を参照）では、バイト送信シーケンス全体を通じて、NSS ピンをローレベル信号に接続しておく必要があります。NSS ソフトウェアモードでは、SPI_CR2 レジスタの SSM ビットをセットし、SSI ビットをクリアします。
4. ピンをオルタネート機能に割り当てるには、MSTR ビットをクリアし、SPE ビットをセットします。

この設定では、MOSI ピンはデータ入力に、MISO ピンはデータ出力になります。

注： ***パラレルマルチスレーブ構造のアプリケーションでは、別個の NSS 信号とスレーブ MISO 出力を接続することによって、対応する GPIO レジスタを正しく設定する必要があります。MISO ピンが SPI_MISO オルタネート機能によって制御されるのは、NSS 信号が有効であり、デバイスがスレーブとして選択された場合に限られます。NSS 信号がリリースされると、ピンの制御は、GPIO レジスタの設定によってのみ駆動されます。正しく機能させるには、GPIO を割り込みなしの入力プルアップモードに設定する必要があります。この設定には、GPIO_ODR、GPIO_DDR、および GPIO_CR2 レジスタを使用します（セクション 10.8.1：オルタネート機能出力を参照）。***

30.3.3 SPI マスタモード設定

マスタ設定では、シリアルクロックは SCK ピンに生成されます。

SPI をマスタモードに設定するには、次の手順に従ってください。

1. BR[2:0] ビットを選択して、シリアルクロックのボーレートを定義します（SPI_CR1 レジスタを参照）。
2. CPOL ビットと CPHA ビットを選択して、データ転送とシリアルクロックの間の 4 つの関係のうちの 1 つを定義します（*図 167* を参照）。
3. SPI_CR1 レジスタの LSBFIRST ビットを設定して、フレームフォーマットを定義します。
4. ハードウェアモードでは、完全なデータ送信シーケンス中に NSS ピンをハイレベル信号に接続します。ソフトウェアモードでは、SPI_CR2 レジスタの SSM ビットと SSI ビットをセットします。
5. MSTR ビットと SPE ビットをセットします（これらのビットは、NSS ピンがハイレベル信号に接続されている場合にのみ、セット状態を維持します）。

この設定では、MOSI ピンはデータ出力、MISO ピンはデータ入力になります。

30.3.4 SPI の単方向通信設定

SPI は、次の 2 つの設定において単方向モードで動作できます。

- 1 本のクロック線と 1 本の双方向データ線
- 1 本のクロック線と 1 本のデータ線（受信専用または送信専用）

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

1 本のクロック線と 1 本の双方向データ線

このモードを有効にするには、SPI_CR2 レジスタの BDM ビットをセットします。このモードでは、SCK ピンがクロックに使用され、マスタモードでは MOSI ピン、スレーブモードでは MISO ピンがデータ通信に使用されます。転送方向（入力/出力）は、SPI_CR2 レジスタの BDOE ビットによって選択されます。このビットが 1 にセットされた場合、データラインは出力です。そうでない場合、データラインは入力です。

1 本のクロック線と 1 本の単方向データ線（BDM=0）

このモードでは、アプリケーションは、SPI を送信専用モードまたは受信専用モードで使用できます。

- 送信専用モードは全二重モード（BDM=0、RXONLY=0）と似ています。データは送信ピン（マスタモードでは MOSI ピン、スレーブモードでは MISO ピン）で送信され、受信ピン（マスタモードでは MISO ピン、スレーブモードでは MOSI ピン）は汎用入出力として使用できます。この場合、アプリケーションは受信バッファを無視する必要があります（データレジスタに受信したデータ値は含まれていません）。
- 受信専用モードでは、アプリケーションは、SPI_CR2 レジスタの RXONLY ビットをセットすることによって、SPI 出力機能を無効にできます。この場合、送信 I/O ピン（マスタモードでは MOSI ピン、スレーブモードでは MISO ピン）が解放されるので、他の目的に使用できます。

受信専用モードで通信を開始するには、SPI を設定して有効にします。

- マスタモードでは、通信はただちに開始され、SPE ビットがリセットされて現在の受信が停止すると、通信は停止します。このモードでは、BSY フラグを読み出す必要はありません。SPI 通信が行われているときは、常にセットされています。
- スレーブモードでは、NSS がプルダウンされていて（または NSS ソフトウェアモードで SSI ビットがリセットされていて）、SCK が動作している限り、SPI は受信を続行します。

30.3.5 データの送受信手順

受信バッファと送信バッファ

受信の場合、受信されたデータは内部の受信バッファに格納されます。一方、送信の場合、データはまず内部の送信バッファに格納されてから、送信されます。

SPI_DR レジスタの読み出しアクセスでは、受信バッファに格納された値が返されます。一方、SPI_DR への書き込みアクセスでは、書き込まれたデータが送信バッファに格納されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

マスタモードでの開始シーケンス

- 全二重の場合（BDM=0 および RXONLY=0）
  - データが SPI_DR レジスタ（送信バッファ）に書き込まれると、シーケンスが開始されます。
  - その後、データは、最初のビット送信時に送信バッファから 8 ビットシフトレジスタに同時にロードされてから、MOSI ピンに連続的にシフトアウトされます。
  - 同時に、MISO ピンで受信されたデータは、8 ビットシフトレジスタに連続的にシフトインされてから、SPI_DR レジスタ（受信バッファ）に同時にロードされます。
- 単方向受信専用モードの場合（BDM=0 および RXONLY=1）
  - SPE=1 になると、このシーケンスはすぐに開始されます。
  - レシーバのみが有効になり、MISO ピンで受信されたデータは 8 ビットシフトレジスタに連続的にシフトインされてから、SPI_DR レジスタ（受信バッファ）に同時にロードされます。
- 双方向モードでの送信時（BDM=1 および BDOE=1）
  - データが SPI_DR レジスタ（送信バッファ）に書き込まれると、シーケンスが開始されます。
  - その後、データは、最初のビット送信時に送信バッファから 8 ビットシフトレジスタに同時にロードされてから、MOSI ピンに連続的にシフトアウトされます。
  - データは受信されません。
- 双方向モードでの受信時（BDM=1 および BDOE=0）
  - SPE=1 および BDOE=0 になると、このシーケンスはすぐに開始されます。
  - MOSI ピンで受信されたデータは、8 ビットシフトレジスタに連続的にシフトインされてから、SPI_DR レジスタ（受信バッファ）に同時にロードされます。
  - トランスミッタは有効にされず、MOSI ピンに連続的にシフトアウトされるデータはありません。

スレーブモードでの開始シーケンス

- 全二重モードの場合（BDM=0 および RXONLY=0）
  - スレーブデバイスが MOSI ピンでクロック信号と、データの最初のビットを受信すると、このシーケンスが開始されます。残りの 7 ビットは、シフトレジスタにロードされます。
  - 同時に、最初のビット送信時にデータは送信バッファから 8 ビットシフトレジスタに同時にロードされてから、MISO ピンに連続的にシフトアウトされます。SPI マスタデバイスが転送を開始する前に、ソフトウェアは送信すべきデータを書き込んでおく必要があります。
- 単方向受信専用モードの場合（BDM=0 および RXONLY=1）
  - スレーブデバイスが MOSI ピンでクロック信号と、データの最初のビットを受信すると、このシーケンスが開始されます。残りの 7 ビットは、シフトレジスタにロードされます。
  - トランスミッタは有効にされず、MISO ピンに連続的にシフトアウトされるデータはありません。
- 双方向モードでの送信時（BDM=1 および BDOE=1）
  - スレーブデバイスがクロック信号を受信し、送信バッファの最初のビットが MISO ピンで送信されると、このシーケンスが開始されます。
  - その後、データは、最初のビット送信時に送信バッファから 8 ビットシフトレジスタに同時にロードされてから、MISO ピンに連続的にシフトアウトされます。SPI マスタデバイスが転送を開始する前に、ソフトウェアは送信すべきデータを書き込んでおく必要があります。
  - データは受信されません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

- 双方向モードでの受信時（BDM=1 および BDOE=0）
  - スレーブデバイスが MISO ピンでクロック信号と、データの最初のビットを受信すると、このシーケンスが開始されます。
  - MISO ピンで受信されたデータは、8 ビットシフトレジスタに連続的にシフトインされてから、SPI_DR レジスタ（受信バッファ）に同時にロードされます。
  - トランスミッタは有効にされず、MISO ピンに連続的にシフトアウトされるデータはありません。

データの送受信処理

データが送信バッファからシフトレジスタに転送されると、TXE フラグ（送信バッファエンプティ）がセットされます。これは、内部の送信バッファに次のデータをロードする準備ができていることを示します。SPI_ICR レジスタの TXIE ビットがセットされている場合は、割り込みを生成できます。

注： ***ソフトウェアは、送信バッファへの書き込みを行う前に、TXE フラグを 1 にセットする必要があります。そうしないと、以前に送信バッファに書き込まれたデータに上書きされます。***

データがシフトレジスタから受信バッファに転送されると、最後のサンプリングクロックエッジで RXNE フラグ（受信バッファノットエンプティ）がセットされます。これは、SPI_DR レジスタからデータを読み出す準備ができていることを示します。SPI_ICR レジスタの RXIE ビットがセットされている場合は、割り込みを生成できます。RXNE ビットのクリアは、SPI_DR レジスタを読み出すことで行われます。

設定によっては、最後のデータ転送時に BSY フラグを使用して、転送の完了まで待つことができます。

マスタまたはスレーブモードでの全二重送受信手順（BDM=0 および RXONLY = 0）

1. SPE ビットをセットすることによって、SPI を有効にします。
2. 送信する最初のデータを SPI_DR レジスタに書き込みます（これによって TXE フラグがクリアされます）。
3. TXE=1 になるまで待ち、送信する 2 番目のデータを書き込みます。その後、RXNE=1 になるまで待ち、SPI_DR を読み出して、最初の受信データを取得します（これによって RXNE ビットがクリアされます）。n-1 個のデータを受信するまで、送受信するデータごとにこの操作を繰り返します。
4. RXNE=1 になるまで待ち、最後の受信データを読み出します。
5. TXE=1 になるまで待ち、BSY=0 になるまで待ってから、SPI を無効にします。

この手順は、RXNE または TXE フラグの立ち上がりエッジのたびに起動される専用の割り込みサブルーチンを使用しても実行できます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 168. 全二重モードでの TXE/RXNE/BSY 動作（RXONLY = 0）連続転送の場合

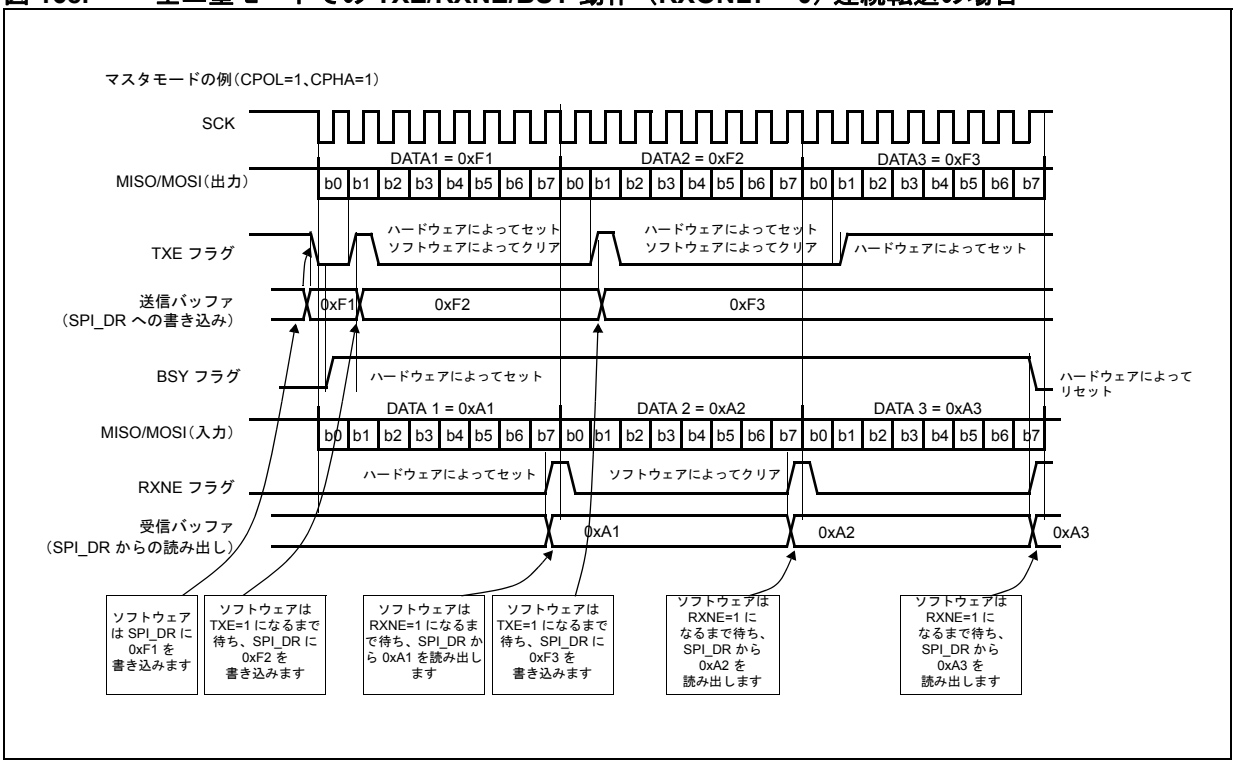
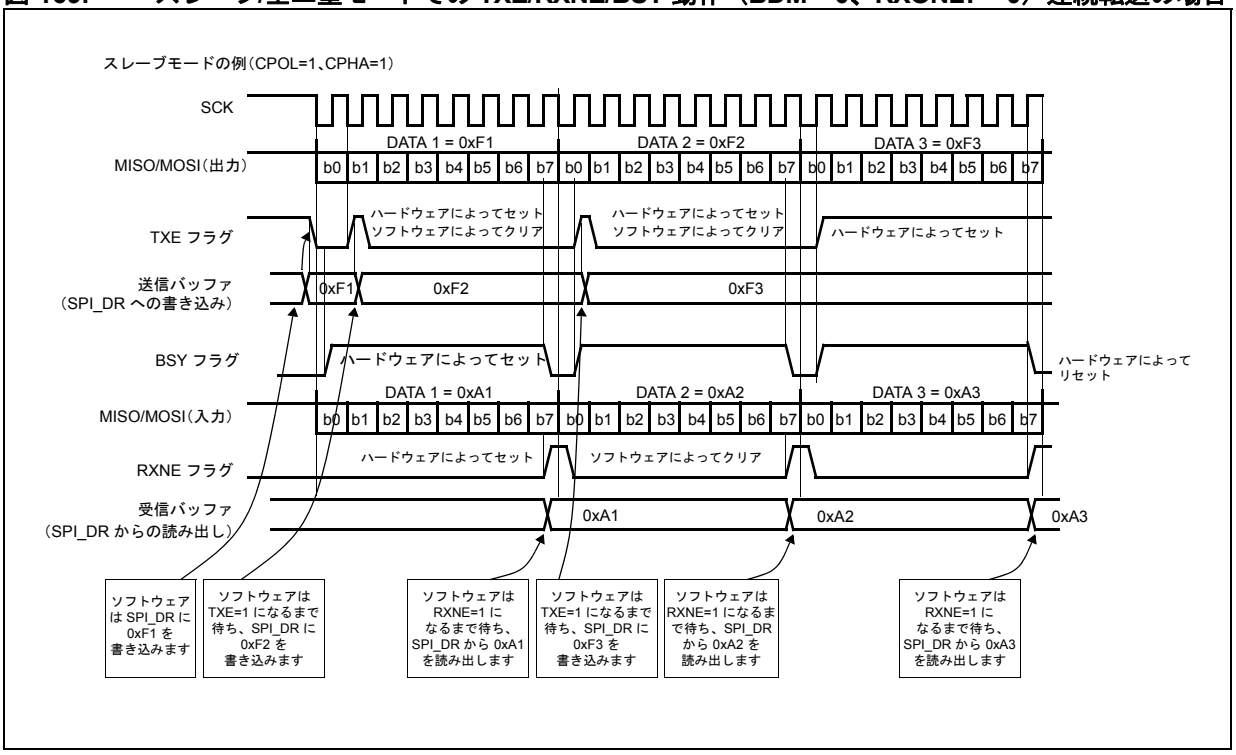


図 169. スレーブ/全二重モードでの TXE/RXNE/BSY 動作（BDM = 0、RXONLY = 0）連続転送の場合



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

送信専用手順（BDM = 0 RXONLY = 0）

このモードでは、手順は下記のように短縮でき、BSY ビットを使用して送信の完了まで待つことができます（*図 168* と *図 169* を参照）。

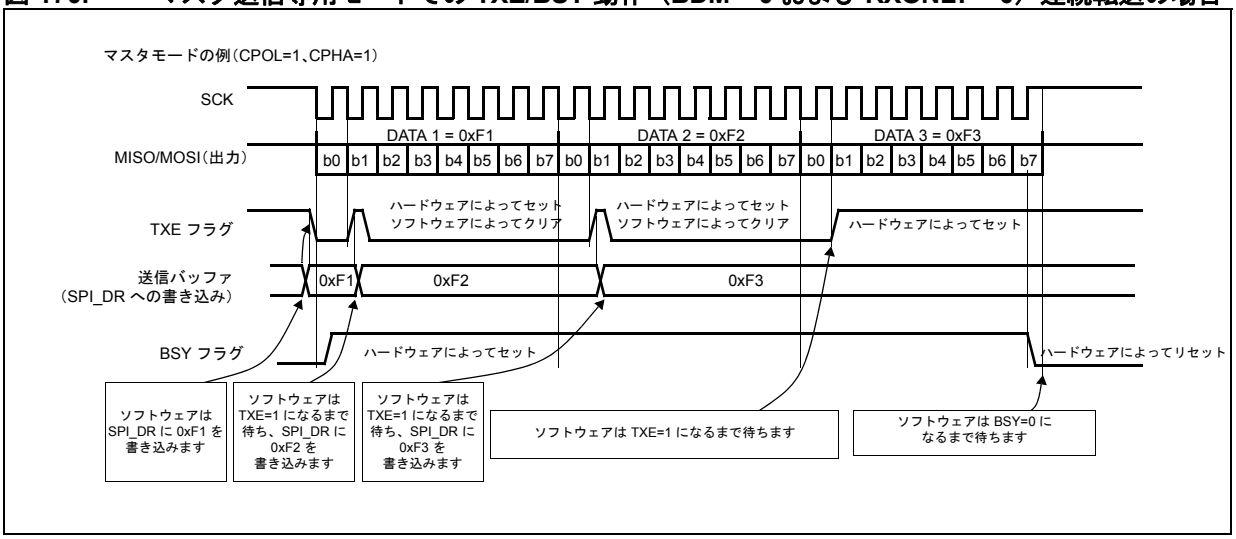
1. SPE ビットをセットすることによって、SPI を有効にします。
2. 送信する最初のデータを SPI_DR レジスタに書き込みます（これによって TXE ビットがクリアされます）。
3. TXE=1 になるまで待ち、送信する次のデータを書き込みます。送信するデータごとに、このステップを繰り返します。
4. SPI_DR レジスタに最後のデータを書き込んだ後、TXE=1 になるまで待ち、さらに BSY=0 になるまで待ちます。これは最後のデータの送信が完了したことを示します。

この手順は、TXE フラグの立ち上がりエッジのたびに起動される専用の割り込みサブルーチンを使用しても実行できます。

注： 1 マスタモードでの不連続通信時には、SPI_DR への書き込み動作と BSY ビットの設定の間に、CPU の 2 クロック周期分の遅延があります。その結果、送信専用モードでは、最後のデータを書き込んだ後、まず TXE がセットされるまで待ち、さらに BSY がリセットされるまで待つ必要があります。

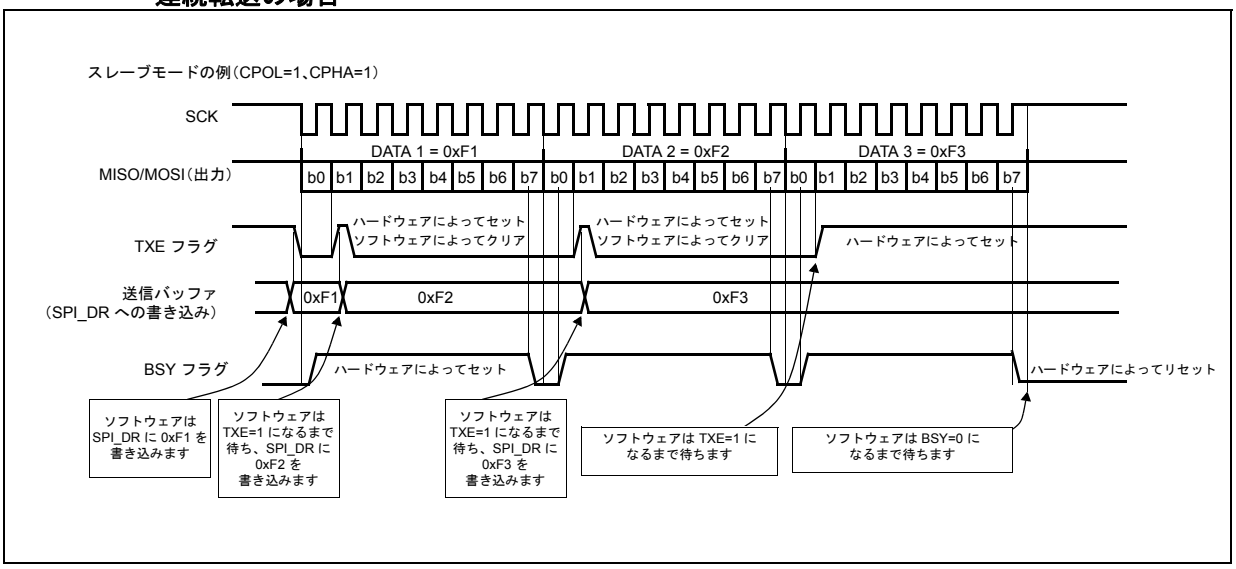
2 2 つのデータを送信専用モードで送信した後、受信データが読み出されることはないので、SPI_SR レジスタの OVR フラグがセットされます。

図 170. マスタ送信専用モードでの TXE/BSY 動作（BDM = 0 および RXONLY = 0）連続転送の場合



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 171. スレーブ送信専用モードでの TXE/BSY 動作（BDM = 0 および RXONLY = 0）連続転送の場合



双方向送信手順（BDM = 1 および BDOE = 1）

このモードでは、手順は送信専用モードの手順と似ていますが、SPI を有効にする前に、SPI_CR2 レジスタの BDM ビットと BDOE ビットをセットする必要があります。

単方向受信専用手順（BDM = 0 および RXONLY = 1）

このモードでは、手順は下記のように短縮できます（*図 172* を参照）：

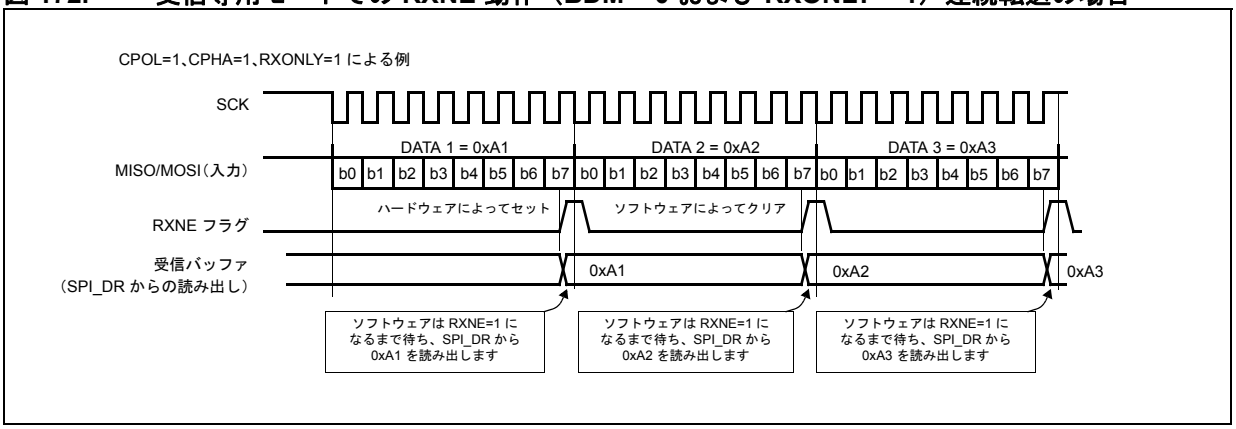
1. SPI_CR2 レジスタの RXONLY ビットをセットします。
2. SPE ビットを 1 にセットすることによって、SPI を有効にします：
   a) マスタモードでは、これによって SCK クロックの生成がすぐに有効になり、データは、SPI が無効にされる（SPE = 0）まで連続的に受信されます。
   b) スレーブモードでは、SPI マスタデバイスが NSS をローレベルに駆動して SCK クロックを生成すると、データが受信されます。
3. RXNE=1 になるまで待ち、SPI_DR レジスタから受信データを読み出します（これによって RXNE ビットがクリアされます）。受信されるデータごとにこの操作を繰り返します。

この手順は、RXNE フラグの立ち上がりエッジのたびに起動される専用の割り込みサブルーチンを使用しても実行できます。

注： ***最後の転送の後に SPI を無効にする必要がある場合は、セクション 30.3.8 : SPI の無効化（558 ページ）に述べる推奨事項に従ってください。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 172. 受信専用モードでの RXNE 動作（BDM = 0 および RXONLY = 1）連続転送の場合



双方向受信手順（BDM = 1 および BDOE = 0）

このモードでは、手順は受信専用モードの手順と似ていますが、SPI を有効にする前に、SPI_CR2 レジスタの BDM ビットをセットし、BDOE ビットをリセットする必要があります。

連続転送と不連続転送

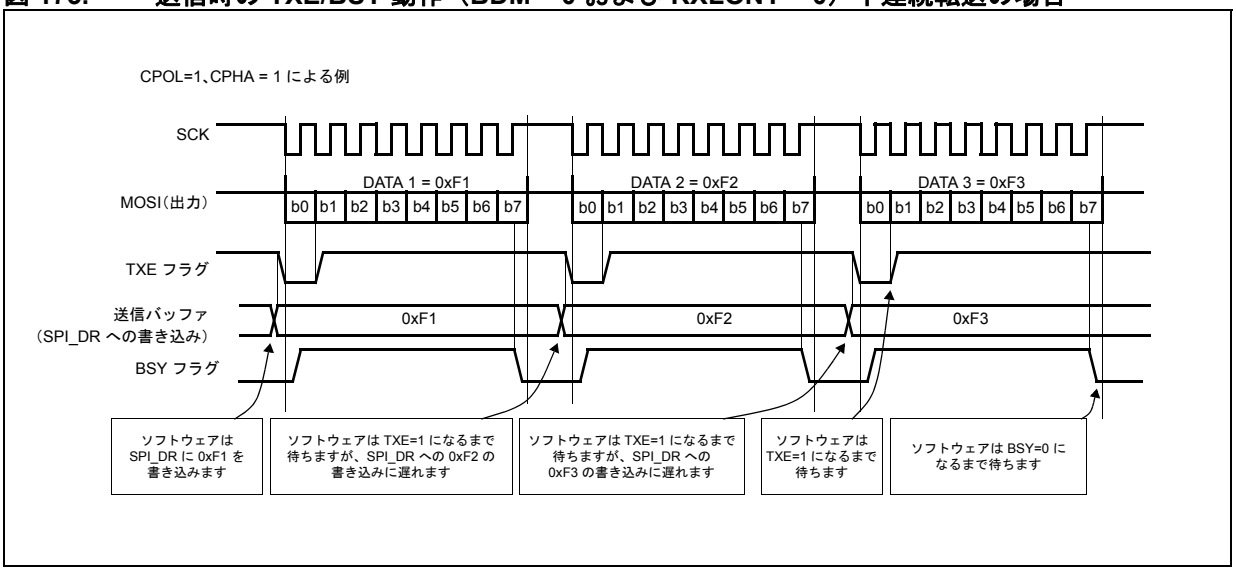
マスタモードでデータを送信するとき、ソフトウェアが十分に高速であり、各 TXE 立ち上がりエッジ（または TXE 割り込み）を検出し、現在のデータ転送が完了する前に SPI_DR レジスタにすぐに書き込みできる場合、通信は連続的であると言われます。この場合、各データ間で SPI クロックを生成する際に不連続性はなく、各データ転送間で BSY ビットがリセットされることはありません。

逆に、ソフトウェアが十分に高速でない場合、通信に若干の不連続性が生じることがあります。この場合、各データ送信間で BSY ビットがリセットされます（*図 173* を参照）。

マスタ受信専用モード（BDM = 0 および RXONLY = 1）または双方向受信モード（BDM = 1 および BDOE = 0）では、通信は常に連続的であり、BSY フラグは常に 1 で読み出されます。

スレーブモードでは、通信の連続性は SPI マスタデバイスによって決定されます。しかし通信が連続的であっても、BSY フラグは、各転送間で SPI の 1 クロックサイクルという最小期間だけローレベルになります（*図 169* を参照）。

図 173. 送信時の TXE/BSY 動作（BDM = 0 および RXLONY = 0）不連続転送の場合



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

30.3.6 CRC の計算

CRC 計算機は、信頼性の高い通信を実現するために実装されました。送信データと受信データに対して、それぞれの CRC 計算機が実装されています。CRC は、各ビットに対してプログラミング可能な多項式を連続的に使用して計算されます。CRC は、SPI_CR1 レジスタの CPHA ビットと CPOL ビットによって定義されるサンプリングクロックエッジで計算されます。

CRC 計算は、SPI_CR1 レジスタの CRCEN ビットをセットすることによって有効になります。これによって CRC レジスタ（SPI_RXCRCR および SPI_TXCRCR）がリセットされます。SPI_CR2 レジスタの CRCNEXT ビットがセットされると、現在のバイト送信の最後に SPI_TXCRCR レジスタの値が送信されます。

送信バッファにバイトが存在する場合、CRC 値はこのバイトの送信後にのみ送信されます。CRC の送信時に、CRC 計算機はスイッチオフされ、レジスタの値は変化しません。

SPI_TXCRCR 値の送信時にシフトレジスタに受信された値が SPI_RXCRCR の値と一致しなかった場合は、SPI_SR レジスタの CRCERR フラグがセットされます。

CRC を使用した SPI 通信は、次の手順によって可能になります。

- CPOL、CPHA、LSBfirst、BR、SSM、SSI、および MSTR の値をプログラミングします。
- SPI_CRCPR レジスタに多項式をプログラミングします。
- SPI_CR1 レジスタの CRCEN ビットをセットして、CRC 計算を有効にします。これによって、SPI_RXCRCR レジスタと SPI_TXCRCR レジスタがクリアされます。
- SPI_CR1 レジスタの SPE ビットをセットして、SPI を有効にします。
- 通信を開始し、最後の 1 つを除いてすべてのバイトが送受信されるまで、通信を維持します。
- 送信バッファに最後のバイトを書き込むとき、SPI_CR2 レジスタの CRCNext ビットをセットすることによって、最後のバイトの送信後に CRC を送信するように指示します。CRC 送信時には、CRC 計算は凍結されます。
- 最後のバイトを送信した後、SPI は CRC を送信します。CRCNext ビットがリセットされます。CRC は受信され、SPI_RXCRCR レジスタの値と比較されます。値が一致しない場合、SPI_SR レジスタの CRCERR フラグがセットされ、SPI_ICR レジスタの ERRIE がセットされていれば、割り込みを生成できます。

注： ***高ビットレート周波数では、CRC 送信に注意が必要です。CRC 転送フェーズで使用される CPU サイクル数は、できるだけ少なくする必要があります。したがって、最後のデータと CRC 受信におけるエラーを避けるために、CRC 送信シーケンスでソフトウェア関数を呼び出すことは禁止されています。***

SPI がスレーブモードのとき、CRC 計算を有効にするのは、クロックが安定しているときのみにしてください。そうしないと、CRC 計算を間違うことがあります。

ビットレートの高い周波数では、CPU アクセスが SPI 帯域幅に影響を与えることによる SPI 速度性能の低下を避けるため、DMA モードの使用をお勧めします。

STM8L15x がスレーブとして設定され、NSS ハードウェアモードが使用される場合、データフェーズと CRC フェーズの間で NSS ピンをローレベルに保持する必要があります。

CRC 機能を有効にした状態で SPI がスレーブモードに設定されると、NSS ピンにハイレベルが入力された場合でも、CRC 計算が行われます。これは、たとえば、通信マスタが複数のスレーブに交互に対処するマルチスレーブ環境の場合に起こることがあります。

スレーブの選択解除（NSS のハイレベル）と新しいスレーブの選択（NSS のローレベル）の間では、マスタとスレーブをそれぞれの CRC 計算用に再同期するために、マスタ側とスレーブ側の両方で CRC 値をクリアしてください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

CRC をクリアするには、次の手順に従います。

1. SPI を無効にします（SPE = 0）。
2. CRCEN ビットをクリアします。
3. CRCEN ビットをセットします。
4. SPI を有効にします（SPE = 1）。

30.3.7 ステータスフラグ

アプリケーションが SPI バスの状態を完全に監視できるように、3 つのステータスフラグが用意されています。

送信バッファエンプティフラグ（TXE）

このフラグがセットされると、送信バッファが空であり、次に送信するデータをバッファにロードできることを示します。TXE フラグは、SPI_DR レジスタへの書き込み時にリセットされます。

受信バッファノットエンプティ（RXNE）

このフラグがセットされると、受信バッファに有効な受信データがあることを示します。このフラグは SPI_DR の読み出し時にリセットされます。

ビジーフラグ（BSY）

この BSY フラグは、ハードウェアによってセット/リセットされます（このフラグへの書き込みは無効です）。BSY フラグは、SPI の通信層の状態を示します。

BSY がセットされると、SPI が通信中でビジーであることを示します。マスタモード/双方向受信モード（MSTR=1、BDM=1、および BDOE=0）には 1 つの例外があり、BSY フラグは受信時にローレベルに保持されます。

ソフトウェアが SPI を無効にして HALT モードに入りたい（またはペリフェラルクロックを無効にしたい）場合、BSY フラグは転送の終わりを検出するのに役立ちます。これによって、最後の転送データの破壊を回避します。このため、下記の手順を厳しく順守する必要があります。

BSY フラグは、マルチマスタシステムでの書き込み衝突の回避にも役立ちます。

BSY フラグは転送が開始されるとセットされます。ただし、マスタモード/双方向受信モード（MSTR=1、BDM=1、および BDOE=0）の場合を除きます。

BSY フラグは次の場合にリセットされます。

- 転送が終わったとき（通信が連続的である場合はマスタモードを除きます）
- SPI が無効にされたとき
- マスタモード障害が発生したとき（MODF=1）

通信が連続的でないとき、BSY フラグは各通信間でローレベルになります。

通信が連続的なとき、マスタモードでは、BSY フラグはすべての転送期間を通じてハイレベルに保持されます。

通信が連続的なとき、スレーブモードでは、BSY フラグは、各転送間で SPI の 1 クロックサイクルの間ローレベルに戻ります。

注： ***各データの送受信の処理には BSY フラグを使用しないでください。代わりに、TXE フラグと RXNE フラグを使用することをお勧めします。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

30.3.8 SPI の無効化

転送が終了すると、アプリケーションは SPI ペリフェラルを無効にすることによって、通信を停止することができます。これには SPE ビットをリセットします。

設定によっては、転送が行われているときに SPI を無効にして HALT モードに入ると、現在の転送内容が破壊されたり、BSY フラグが信頼できなくなることがあります。

このような影響を回避するには、SPI を無効にするとき、以下の手順を順守することをお勧めします。

マスタまたはスレーブの全二重モード（BDM = 0、RXONLY = 0）の場合：

1. RXNE=1 になるまで待ってから、最後のデータを受信します。
2. TXE=1 になるまで待ちます。
3. 次に、BSY=0 になるまで待ちます。
4. SPI を無効にし（SPE=0）、結果的に HALT モードに入ります（あるいは、ペリフェラルクロックを無効にします）。

マスタまたはスレーブの単方向送信専用モード（BDM=0、RXONLY=0）または双方向送信モード（BDM=1、BDOE=1）の場合：

SPI_DR レジスタに最後のデータが書き込まれた後：

1. TXE=1 になるまで待ちます。
2. 次に、BSY=0 になるまで待ちます。
3. SPI を無効にし（SPE = 0）、必要なら、HALT モードに入ります（あるいは、ペリフェラルクロックを無効にします）。

マスタの単方向受信専用モード（MSTR=1、BDM=0、RXONLY=1）または双方向受信モード（MSTR=1、BDM=1、BDOE=0）の場合：

このケースは、SPI が新しい転送を開始しないように、特別の方法で管理する必要があります。

1. RXNE=1（n–1）の最後から 2 番目の出現を待ちます。
2. ソフトウェアループを使用して SPI の 1 クロックサイクルの間待ってから、SPI を無効にします
（SPE=0）。
3. 次に、最後の RXNE=1 になるまで待ってから、HALT モードに入ります（あるいは、ペリフェラルクロックを無効にします）。

注： ***マスタの双方向受信モード（MSTR=1、BDM=1、および BDOE=0）では、BSY フラグは転送時にローレベルに保持されます。***

スレーブの受信専用モード（MSTR=0、BDM=0、RXONLY=1）または双方向受信モード（MSTR=0、BDM=1、BDOE=0）の場合：

1. SPI はいつでも無効にできます（SPE=1 の書き込み）。現在の転送が完了してから、SPI は実質的に無効になります。
2. 次に、HALT モードに入りたい場合は、まず BSY = 0 になるまで待ってから、HALT モードに入ります（あるいは、ペリフェラルクロックを無効にします）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

30.3.9 DMA（Direct Memory Addressing）を使用する SPI 通信

SPI が最大速度で動作するには、SPI に送信用のデータを供給し、受信バッファに受信したデータを読み出してオーバーランを回避する必要があります。転送を容易にするため、SPI は簡単なリクエスト/確認応答プロトコルを実現する DMA 機能を備えています。

SPI_ICR レジスタのイネーブルビットを有効にすると、DMA アクセスがリクエストされます。送信バッファと受信バッファには、別々のリクエストを発行する必要があります（*図 174* と *図 175* を参照）。

- 送信では、TXE が 1 にセットされるたびに DMA リクエストが発行されます。その後、DMA は SPI_DR に書き込みます（これによって TXE フラグがクリアされます）。
- 受信では、RXNE が 1 にセットされるたびに DMA リクエストが発行されます。その後、DMA は SPI_DR を読み出します（これによって RXNE フラグがクリアされます）。

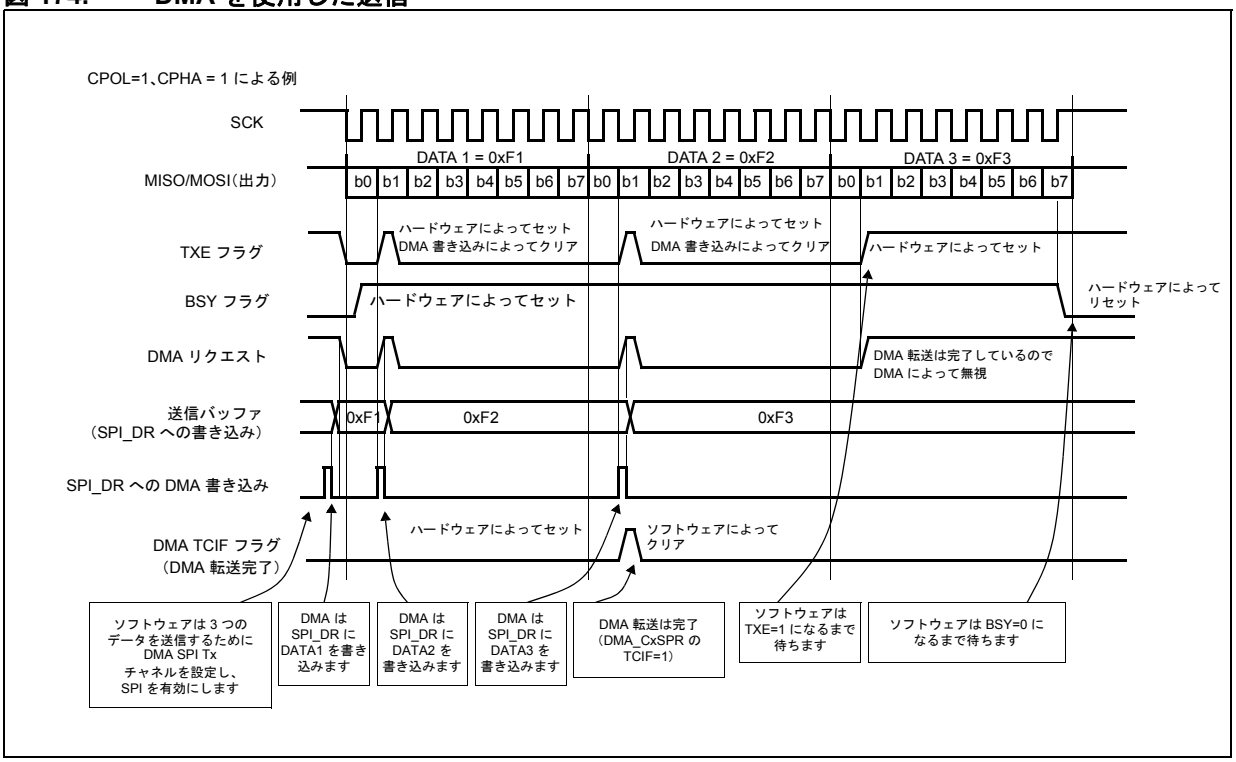
SPI がデータの送信にのみ使用される場合、SPI Tx DMA チャネルのみを有効にすることができます。この場合、受信されたデータは読み出されないため、OVR フラグがセットされます。

SPI がデータの受信にのみ使用される場合、SPI Rx DMA チャネルだけを有効にすることができます。

送信モードで、DMA が送信されるすべてのデータを書き込んだとき（DMA_CxSPR レジスタのフラグ TCIF がセットされます）、BSY フラグを監視することで SPI 通信の完了を確認できます。この操作は、SPI を無効にしたり HALT モードに入る前に、最後の送信内容の破壊を避けるために必要です。ソフトウェアは、まず TXE=1 になるまで待ってから、BSY=0 になるまで待つ必要があります。

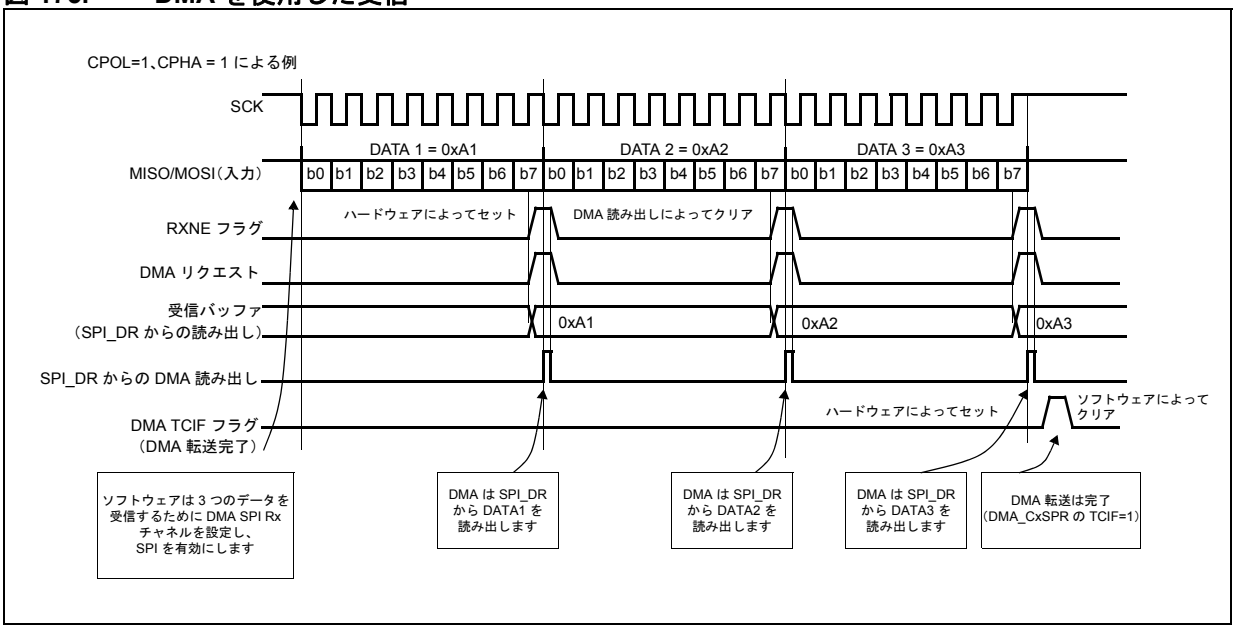
注： ***不連続通信時には、SPI_DR への書き込み動作と BSY ビットの設定の間に、CPU の 2 クロック周期分の遅延があります。結果として、最後のデータを書き込んだ後、まず TXE=1 になるまで待ち、さらに BSY=0 になるまで待つ必要があります。***

図 174. DMA を使用した送信



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 175. DMA を使用した受信



30.3.10 エラーフラグ

マスタモードフォールト（MODF）

マスタモードフォールトは、マスタデバイスが NSS ピンをローにしたとき（NSS ハードウェアモード）、または SSI ビットをローにしたとき（NSS ソフトウェアモード）に発生し、MODF ビットが自動的にセットされます。マスタモードフォールトは、SPI ペリフェラルに次のような影響を与えます。

- MODF ビットがセットされ、ERRIE ビットがセットされている場合は SPI 割り込みが生成されます。
- SPE ビットがクリアされます。これによって、デバイスからのすべての出力がブロックされ、SPI インタフェースが無効になります。
- MSTR ビットがリセットされ、デバイスは強制的にスレーブモードになります。

MODF ビットをクリアするには、次のソフトウェアシーケンスを実行します。

1. MODF ビットがセットされている間に、SPI_SR レジスタに読み出し/書き込みアクセスを行います。
2. 次に、SPI_CR1 レジスタに書き込みを行います。

複数の MCU で構成されるシステムでスレーブ間の競合を避けるには、MODF ビットをクリアするシーケンス中、NSS ピンをハイレベルにプルアップする必要があります。このクリアシーケンスの後、SPE ビットと MSTR ビットは、元の状態に戻すことができます。

安全のため、MODF ビットがセットされている間、ハードウェアは SPE ビットと MSTR ビットのセットを許可しません。

スレーブデバイスでは、MODF ビットをセットできません。ただし、マルチマスタ設定では、デバイスはこの MODF ビットをセットした状態でスレーブモードになることができます。この場合、MODF ビットは、システム制御に関してマルチマスタ競合が生じた可能性を示します。割り込みルーチンを使用して、リセットを行ったりデフォルト状態に復帰することによって、この状態からクリーンに回復できます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

オーバーラン条件

オーバーラン条件が発生するのは、マスタデバイスがデータバイトを送信し、スレーブデバイスが以前に送信されたデータバイトに起因する RXNE ビットをクリアしなかった場合です。オーバーラン条件が発生すると、

- OVR ビットがセットされ、ERRIE ビットがセットされている場合は割り込みが生成されます。

この場合、レシーババッファは、マスタデバイスから新しく受信したデータによって更新されません。このバイトは、SPI_DR レジスタを読み出すことによって返されます。その後に送信されたすべてのバイトは失われます。

OVR ビットのクリアは、SPI_DR レジスタを読み出した後に SPI_SR レジスタを読み出すことによって行われます。

CRC エラー

このフラグを使用して、SPI_CR2 レジスタの CRCEN ビットがセットされているときに受信された値の正確さを検証します。SPI_TXCRCR 値が送信された後でシフトレジスタに受信された値が SPI_RXCRCR 値と一致しない場合、SPI_SR レジスタの CRCERR フラグがセットされます。*30.3.6 章 : CRC の計算*を参照してください。

30.3.11 SPI 低電力モード

表 99. 低電力モードでの SPI 動作

モード	説明
WAIT/低電力 WAIT	SPI には影響ありません。 SPI 割り込みイベントによって、デバイスは WAIT または低電力 WAIT モードから抜けます。
HALT/アクティブ HALT	SPI レジスタは凍結されます。 HALT モードでは、SPI は無効です。SPI がマスタモードにある場合、「HALT モードからのウェイクアップ」機能を備えた割り込みによってデバイスがウェイクアップすると、通信は再開します。 SPI がスレーブモードにある場合、データの最初のサンプリングエッジを検出した後、MCU を HALT モードからウェイクアップできます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

SPI を使用してデバイスを HALT モードからウェイクアップする方法

マイクロコントローラが HALT モードにあるときでも、SPI はスレーブとして応答することができます。ただし、NSS ピンがローに接続されているか、HALT モードに入る前に SSI ビットがリセットされている必要があります。

データの最初のサンプリングエッジ（CPHA ビットによって定義）が検出されると、

- SPI_SR レジスタの WKUP ビットがセットされます。
- SPI_ICR レジスタの WKIE ビットがセットされている場合、割り込みが生成されます。
- この割り込みは、デバイスを HALT モードからウェイクアップします。
- システムクロックの復元には時間が必要なので、SPI スレーブは、正しく通信できるようになる前に、いくつかのデータを送受信します。したがって、次のプロトコルを使用することが不可欠です。
  - HALT モードに入る前に、SPI_DR に特定の値が書き込まれます。この値は、SPI が HALT モードにあることを外部マスタに知らせます。
  - 外部マスタは、SPI が HALT モードにあることを示すユニークな値以外の新しい値を SPI スレーブデバイスから受信するまで、同じバイトを連続的に送信します。この新しい値は、SPI スレーブがウェイクアップし、正しく通信できることを示します。

受信専用モードでの制約

受信専用モード（BDM = 0 と RXONLY = 1 または BDM = 1 と BDOE = 0）
では、システムクロックの復元に必要な時間がデータ受信時間を上回ることがあるため、ウェイクアップ機能は保証されません。これによって受信時にデータの消失が発生するため、スレーブデバイスは、どのデータが正しく受信されたかをマスタに知らせることができません。

30.3.12 SPI 割り込み

表 100. SPI 割り込みリクエスト

割り込みイベント	イベントフラグ	イネーブル制御ビット	WAIT/低電力 WAIT 終了	HALT/アクティブ HALT 終了
送信バッファエンプティフラグ	TXE	TXIE	あり	なし
受信バッファノットエンプティフラグ	RXNE	RXIE	あり	なし
ウェイクアップイベントフラグ	WKUP	WKIE	あり	あり
マスタモードフォールトイベント	MODF	ERRIE	あり	なし
オーバーランエラー	OVR		あり	なし
CRC エラーフラグ	CRCERR		あり	なし

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

30.4 SPI レジスタ

30.4.1 SPI 制御レジスタ 1（SPI_CR1）

アドレスオフセット：0x00

リセット値：0x00

7	6	5	4	3	2	1	0
LSBFIRST	SPE	BR[2:0]			MSTR	CPOL	CPHA
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7 **LSBFIRST**：フレームフォーマット (1)

0：MSB が最初に送信されます

1：LSB が最初に送信されます

ビット 6 **SPE**：SPI イネーブル (2)

0：ペリフェラルは無効です。

1：ペリフェラルは有効です。

ビット 5：3 **BR[2:0]**：ボーレート制御

000：$f_{SYSCLK}/2$

001：$f_{SYSCLK}/4$

010：$f_{SYSCLK}/8$

011：$f_{SYSCLK}/16$

100：$f_{SYSCLK}/32$

101：$f_{SYSCLK}/64$

110：$f_{SYSCLK}/128$

111：$f_{SYSCLK}/256$

注：　これらのビットは、通信中には変更しないでください。

ビット 2 **MSTR**：マスタ選択(1)

0：スレーブ設定

1：マスタ設定

ビット1 **CPOL**：クロック極性(1)

0：アイドル時に 0 に SCK

1：アイドル時に 1 に SCK

ビット 0 **CPHA**：クロック位相(1)

0：最初のクロック遷移が最初のデータキャプチャエッジです。

1：2 番目のクロック遷移が最初のデータキャプチャエッジです。

1. このビットは、通信中には変更しないでください。
2. SPI を無効にするときには、*セクション 30.3.8：SPI の無効化（558 ページ）*で説明されている手順に従ってください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

30.4.2 SPI 制御レジスタ 2（SPI_CR2）

アドレスオフセット：0x01

リセット値：0x00

7	6	5	4	3	2	1	0
BDM	BDOE	CRCEN	CRCNEXT	予約済み	RXOnly	SSM	SSI
rw	rw	rw	rw		rw	rw	rw

ビット 7 **BDM**：双方向データモードイネーブル

0：2 線単方向データモードを選択

1：1 線双方向データモードを選択

ビット 6 **BDOE**：双方向モードの入力/出力イネーブル

このビットは、BDM に 1 がセットされた場合の双方向モードでの転送方向を選択します。

0：入力有効（受信専用モード）

1：出力有効（送信専用モード）

マスタモードでは MOSI ピンが使用され、スレーブモードでは MISO ピンが使用されます。

ビット 5 **CRCEN**：ハードウェア CRC 計算イネーブル

0：CRC 計算は無効です。

1：CRC 計算は有効です。

注：　正しい動作のためには、このビットへの書き込みは、SPI が無効（SPE = ”0”）のときにのみ行います。

ビット 4 **CRCNEXT**：CRC 送信指示

0：次の送信値は送信バッファからです

1：次の送信値は送信 CRC レジスタからです

ビット 3 予約済み、クリアされた状態に保つ必要があります。

ビット 2 **RXONLY**：受信専用

0：全二重（送受信）

1：出力無効（受信専用モード）

2 線単方向モードでの転送方向は、このビットと BDM ビットを組み合わせて選択します。

このビットはマルチスレーブシステムでも役立ちます。つまり、この特定のスレーブはアクセスされず、アクセスされたスレーブからの出力は破壊されません。

ビット 1 **SSM**：ソフトウェアスレーブ管理

0：ソフトウェアスレーブ管理は無効です。

1：ソフトウェアスレーブ管理は有効です。

SSM ビットがセットされているとき、NSS ピンの入力は SSI ビットからの値によって置き換えられます。

ビット 0 **SSI**：内部スレーブ選択

このビットは、SSM ビットがセットされているときにのみ有効です。このビットの値は NSS ピンに設定され、NSS ピンの I/O 値は無視されます。

0：スレーブモード

1：マスタモード

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

30.4.3 SPI 割り込み制御レジスタ（SPI_ICR）

アドレスオフセット：0x02

リセット値：0x00

7	6	5	4	3	2	1	0
TXIE	RXIE	ERRIE	WKIE	予約済み		TXDMAEN	RXDMAEN
rw	rw	rw	rw			rw	rw

ビット 7 **TXIE**：送信バッファエンプティ割り込みイネーブル [(1)]

0：TXE 割り込みはマスクされます。

1：TXE 割り込みはマスクされません。TXE フラグがセットされたとき、割り込みリクエストの生成に使用されます。

ビット 6 **RXIE**：受信バッファノットエンプティ割り込みイネーブル [(2)]

0：RXNE 割り込みはマスクされます。

1：RXNE 割り込みはマスクされません。RXNE フラグがセットされたとき、割り込みリクエストの生成に使用されます。

ビット 5 **ERRIE**：エラー割り込みイネーブル

0：エラー割り込みはマスクされます。

1：エラー割り込みは有効です。エラー条件が発生したとき（CRCERR、OVR、MODF）、割り込みリクエストの生成に使用されます。

ビット 4 **WKIE**：ウェイクアップ割り込みイネーブル

0：ウェイクアップ割り込みはマスクされます。

1：ウェイクアップ割り込みは有効です。WKUP フラグがセットされたとき、割り込みリクエストの生成に使用されます。

ビット 3:2 予約済み、クリアされた状態に保つ必要があります。

ビット 1 **TXDMAEN**：*送信バッファ DMA イネーブル*

このビットがセットされると、TXE フラグがセットされるたびに DMA リクエストが行われます。

0：送信バッファ DMA 無効

1：送信バッファ DMA 有効

ビット 0 **RXDMAEN**：*受信バッファ DMA イネーブル*

このビットがセットされると、RXNE フラグがセットされるたびに DMA リクエストが行われます。

0：受信バッファ DMA 無効

1：受信バッファ DMA 有効

1. 正しく機能させるためには、TXIE ビットと TXDMAEN ビットを同時にセットしないでください。
2. 正しく機能させるためには、RXIE ビットと RXDMAEN ビットを同時にセットしないでください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

30.4.4 SPI ステータスレジスタ（SPI_SR）

アドレスオフセット：0x03

リセット値：0x02

7	6	5	4	3	2	1	0
BSY	OVR	MODF	CRCERR	WKUP	予約済み	TXE	RxNE
r	rc_w0	rc_w0	rc_w0	rc_w0	r	r	r

ビット 7 **BSY**：ビジーフラグ

0：SPI はビジー状態ではありません。

1：SPI は通信ビジー状態です。

このフラグは、ハードウェアによってセット/リセットされます。

注： ***BSY フラグの使用には注意が必要です（セクション 30.3.7：ステータスフラグ（557 ページ）およびセクション 30.3.8：SPI の無効化（558 ページ）を参照）。***

ビット 6 **OVR**：オーバーランフラグ

0：オーバーランは発生していません。

1：オーバーランが発生しました。

このフラグは、ハードウェアによってセットされ、ソフトウェアシーケンスによってリセットされます。

ビット 5 **MODF**：モードフォールト

0：モードフォールトは発生していません。

1：モードフォールトが発生しました。

このフラグは、ハードウェアによってセットされ、ソフトウェアシーケンスによってリセットされます。

ビット 4 **CRCERR**：CRC エラーフラグ

0：受信した CRC 値が SPI_RXCRCR 値と一致します。

1：受信した CRC 値が SPI_RXCRCR 値と一致しません。

このフラグは、ハードウェアによってセットされ、ソフトウェアによって 0 を書き込むことでクリアされます。

ビット 3 **WKUP**：ウェイクアップフラグ

0：ウェイクアップイベントは発生していません。

1：ウェイクアップイベントが発生しました。

このフラグは、STM8 が HALT モードであり、SPI がスレーブとして設定されているとき、SCK の最初のサンプリングエッジでセットされます。

このフラグは、ソフトウェアで 0 を書き込むことによってリセットされます。

ビット 2 予約済み、クリアされた状態に保つ必要があります。

ビット 1 **TXE**：送信バッファエンプティ

0：送信バッファは空ではありません。

1：送信バッファは空です。

ビット 0 **RxNE**：受信バッファノットエンプティ

0：受信バッファは空です。

1：受信バッファは空ではありません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

30.4.5 SPI データレジスタ（SPI_DR）

アドレスオフセット：0x04

リセット値：0x00

7	6	5	4	3	2	1	0
DR[7:0]							
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7：0 **DR[7:0]**：データレジスタ

受信されたバイト、または送信されるバイト。

データレジスタは 2 つのバッファに分割されます。一方は書き込み用（送信バッファ）であり、もう一方は読み出し用（受信バッファ）です。データレジスタへの書き込みは、送信バッファへの書き込みになります。データレジスタからの読み出しでは、受信バッファに保持されている値が返されます。

30.4.6 SPI CRC 多項式レジスタ（SPI_CRCPR）

アドレスオフセット：0x05

リセット値：0x07

7	6	5	4	3	2	1	0
CRCPOLY[7:0]							
rw	rw	rw	rw	rw	rw	rw	rw

ビット 7：0 **CRCPOLY[7:0]**：CRC 多項式レジスタ

このレジスタは、CRC 計算用の多項式を内蔵します。

CRC 多項式（0x07）は、このレジスタのリセット値です。他の多項式は、アプリケーションの必要に応じて設定することができます。

30.4.7 SPI Rx CRC レジスタ（SPI_RXCRCR）

アドレスオフセット：0x06リセット値：0x00

7	6	5	4	3	2	1	0
RxCRC[7:0]							
r	r	r	r	r	r	r	r

ビット 7：0 **RXCRC[7:0]**：Rx CRC レジスタ

CRC 計算が有効なとき、RxCRC[7:0] ビットには、その後に受信したバイトから算出された CRC 値が格納されています。このレジスタは、SPI_CR2 レジスタの CRCEN ビットに 1 が書き込まれたときにリセットされます。CRC は、SPI_CRCPR レジスタにプログラミングされた多項式を使用して連続的に計算されます。

注：　BSY フラグがセットされているときにこのレジスタを読み出すと、誤った値が返されることがあります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

30.4.8 SPI Tx CRC レジスタ（SPI_TXCRCR）

アドレスオフセット：0x07リセット値：0x00

7	6	5	4	3	2	1	0
TxCRC[7:0]							
r	r	r	r	r	r	r	r

ビット 7：0 **TxCRC[7:0]**：Tx CRC レジスタ

CRC 計算が有効なとき、TxCRC[7:0] ビットには、その後に送信されたバイトから算出された CRC 値が格納されます。このレジスタは、SPI_CR2 の CRCEN ビットに 1 が書き込まれたときにリセットされます。CRC は、SPI_CRCPR レジスタにプログラミングされた多項式を使用して連続的に計算されます。

注： BSY フラグがセットされているときにこのレジスタを読み出すと、誤った値が返されることがあります。

30.5 SPI レジスタマップとリセット値

表 101. SPI レジスタマップとリセット値

アドレスオフセット	レジスタ名	7	6	5	4	3	2	1	0
0x00	SPI_CR1 リセット値	LSBFirst 0	SPE 0	BR2 0	BR1 0	BR1 0	MSTR 0	CPOL 0	CPHA 0
0x01	SPI_CR2 リセット値	BDM 0	BDOE 0	CRCEN 0	CRCNEXT 0	予約済み 0	RXONLY 0	SSM 0	SSI 0
0x02	SPI_ICR リセット値	TXIE 0	RXIE 0	ERRIE 0	WKIE 0	予約済み 0	予約済み 0	TXDMAEN 0	RXDMAEN 0
0x03	SPI_SR リセット値	BSY 0	OVR 0	MODF 0	CRCERR 0	WKUP 0	予約済み 0	TXE 1	RXNE 0
0x04	SPI_DR リセット値	MSB 0	- 0	- 0	- 0	- 0	- 0	- 0	LSB 0
0x05	SPI_CRCPR リセット値	MSB 0	- 0	- 0	- 0	- 0	- 1	- 1	LSB 1
0x06	SPI_RXCRCR リセット値	MSB 0	- 0	- 0	- 0	- 0	- 0	- 0	LSB 0
0x07	SPI_TXCRCR リセット値	MSB 0	- 0	- 0	- 0	- 0	- 0	- 0	LSB 0

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

31 改版履歴

表 102. 改版履歴

日付	版	変更内容
2009 年 8 月 5 日	1	初版リリース。
2009 年 9 月 10 日	2	ドキュメントの主要セクションを再編成し、ADC、SPI、I2C、USART、および DMA ペリフェラルを ADC1、SPI1、I2C1、USART1、および DMA1 に名前変更。 *図 9：リセット回路*を更新。*セクション 7.8.1：HALT モードへの移行*を更新。*表 10* の下に*注 1* を追加。PWR_CR2 レジスタの BGF を VREFINTF に変更。 クロック制御セクション全体を再編成。*89 ページの図 13* を更新。 *セクション 12.3：割り込みと低電力モード*および*セクション 12.9.8：外部割り込みポート選択レジスタ（EXTI_CONF1）*を更新。 f_{MASTER} と SYSCLK/DIV を SYSCLK に変更。*セクション 9.13.1*、*セクション 9.13.2*、*セクション 9.13.3*、および*セクション 9.13.12* を更新。*表 17：ペリフェラルクロックゲーティングビット（PCKEN 20～PCKEN 25）*に PCKEN26 を追加。 *セクション 11：ルーティングインタフェース（RI）とシステム設定コントローラ（SYSCFG）（109 ページ）*を変更。 *図 15* と*表 22：入出力グループと選択（111 ページ）*を更新。 *DMA を使用した送信*を更新。 *セクション 15.3.3：DAC 出力スイッチの設定*を追加。 *図 32：コンパレータブロック図*、*図 33* を更新。*セクション 16.3*の COMP1 設定シーケンスを変更。*セクション 16.4.1：ウィンドウモードでのコンパレータの使用*のステップ 1 を更新。*セクション 16.7.1：コンパレータ制御およびステータスレジスタ 1（COMP_CSR1）*、*セクション 16.7.2：コンパレータ制御およびステータスレジスタ 2（COMP_CSR2）*を更新。*セクション 16.7.4* と*セクション 16.7.5*を更新。 *セクション 17：LCD コントローラ*の*セクション 17.3.2：周波数ジェネレータ*を更新。 *図 59：クロック/トリガコントローラのブロック図*、*図 69：タイマ連結システムの実装例*、*図 70：トリガ/マスタモード選択ブロック*、*図 102：入力ステージブロック図*、および*図 106：TIM4 ブロック図*を更新。*セクション 19.8.3*、*セクション 20.5.3*、および*セクション 21.5.3*で TS ビットの定義を変更。*表 61：ブレーク機能をもつ相補 OCi および OCiN チャネルの出力制御*の下に*注 1*を追加。 *図 79*、*セクション 19.8.2：制御レジスタ 2 （TIM1_CR2）*に TIMx XOR を復元。*セクション 19.8.13：キャプチャ/比較モードレジスタ 4（TIM1_CCMR4）*で OC4FE ビットを更新。*セクション 20.3.3：キャプチャ/比較チャネル*を更新。*セクション 23：ビーパ（BEEP）*の*セクション 23.1：概要*と*図 108：BEEP ブロック図*を更新。f_{LS} を BEEPCLK に変更。 RTC の*クロックとプリスケーラ*、*セクション 24.3.4：周期的自動ウェイクアップ*を更新。*セクション 24.9.14：非同期プリスケーラレジスタ（RTC_APRER）*に注を追加。 続き

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 102. 改版履歴 （続き）

日付	版	変更内容
2009 年 9 月 10 日	2	*図 110：独立型ウォッチドッグ（IWDG）ブロック図*、*表 72：IWDG タイムアウト期間の最小/最大値（LSI クロック周波数 = 38 kHz）*、および*セクション 25.3：Halt/アクティブ HALT モードでの IWDG の使用*を更新。*図 111* および *図 112*を更新。ウィンドウ型ウォッチドッグのセクション全体で fckc_wwdg_ck を SYSCLK に置き換え。セクション「WWDG での HALT モードの使用」および図「概略タイムアウト時間」を削除。*セクション 26.4*を更新。 *セクション 29.3.5：データの送受信手順*：SPI タイミング図を改訂、受信専用モードの説明を増補。*セクション 29.3.8：SPI の無効化*を追加。
2009 年 12 月 11 日	3	独自仕様コード領域（PCODE）を削除。 TLI 割り込みベクタを削除。 *セクション 2：ブート ROM（33 ページ）*を追加。 *図 3：中容量 STM8L15x フラッシュプログラムおよびデータ EEPROM の構成（36 ページ）*を変更。 *セクション 6.3：ブラウンアウトリセット（BOR）（55 ページ）*および *セクション 6.4：プログラマブル電圧検出器（PVD）（56 ページ）*を更新。 *図 4：UBC 領域サイズの定義（37 ページ）*を変更。 ビット 6 の名前と *セクション 6.6.1：電源制御およびステータスレジスタ 1（PWR_CSR1）（58 ページ）の説明*を変更。 *セクション 7：低電力モード（60 ページ）*の低電力 RUN モードの説明を変更。 *表 10：低電力モードの要約（60 ページ）*を変更。 *セクション 7.6：低電力 RUN モード（68 ページ）*を変更。 *図 9：リセット回路（71 ページ）*を変更。 *セクション 9.5：LSI クロック（78 ページ）*のクロック周波数を変更（32 kHz の代わりに 38 kHz）。 *セクション ：手動切り替え（79 ページ）*に注を追加。 *セクション 4：シングルワイヤインタフェースモジュール（SWIM）およびデバッグモジュール（DM）（52 ページ）*の位置を変更。 *セクション 12.9.8：外部割り込みポート選択レジスタ（EXTI_CONF1）（140 ページ）*を変更。 *表 32：DMA1 チャネルリクエストの配置（150 ページ）*（ADC1 と DAC）を変更。 *セクション ：DAC DMA リクエスト（153 ページ）*を更新。 *セクション 14.3：ADC 機能の説明（167 ページ）*で t_{STAB} を t_{WKUP} に置き換え。 *セクション 14.3.3：ADC のオン/オフ制御（168 ページ）*を変更（ADC_CR2 の代わりに ADC_CR1） *セクション 14.3.4：単一変換モード（168 ページ）*を変更（注を 1 つ追加） *セクション 14.3.5：連続変換モード（170 ページ）*を変更。 *セクション 14.3.9：チャネル選択（スキャンモード）（171 ページ）*を変更。 *セクション 14.3.16：温度センサ（174 ページ）*を更新（パラグラフを 1 つ追加） *セクション 14.3.17：内部基準電圧の変換（175 ページ）*を追加。 *セクション 16.5：COMP 低電力モード（204 ページ）*に注を追加。 *セクション 19.7.1：DMA シングルモード（287 ページ）*を変更。 続き
		...

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 102. 改版履歴 （続き）

日付	版	変更内容
2009 年 12 月 11 日	3	*セクション 19.7.2 : DMA バーストモード（288 ページ）*を変更。 *セクション 15.3.8 : DAC DMA リクエスト*を変更（TSEL ビット条件）。 *セクション 25.1 : 概要（392 ページ）*を変更。 *セクション 24 : リアルタイムクロック（RTC）（368 ページ）*を変更。 *図 146 : データクロックのタイミング図（483 ページ）*: MISO と MOSI の下の「マスタから」と「スレーブから」を削除。 *セクション 29.4.5 : SPI データレジスタ（SPI_DR）（504 ページ）*と*セクション 29.4.6 : SPI CRC 多項式レジスタ（SPI_CRCPR）（504 ページ）*を変更。 *マスタモードフォールト（MODF）（497 ページ）*: SPE ビットと MSTR ビットは、MODF ビットのクリアシーケンスの後でのみ、元の状態に戻すことができます。 *バスエラー（BERR）（416 ページ）*を更新。
2010 年 2 月 11 日	4	EXTI_CONF の代わりに EXTI_CONF1 *セクション 9.4 : LSE クロック（78 ページ）*を変更。 *セクション 9.11 : 設定可能クロック出力機能（CCO）（85 ページ）*を変更。 *セクション 9.13.5 : ペリフェラルクロックゲーティングレジスタ 2（CLK_PCKENR2）（91 ページ）*を変更（PCKEN26 と PCKEN27 を削除）し、 *表 17 : ペリフェラルクロックゲーティングビット（PCKEN 20～PCKEN 25）（91 ページ）*を変更（WWDG を削除）し、 *セクション 9.13.7 : 外部クロックレジスタ（CLK_ECKCR）（93 ページ）*でビット 3 とビット 5 の説明を変更。 *セクション 9.13.13 : HSI 較正レジスタ（CLK_HSICALR）（97 ページ）*の説明を変更。 *セクション 9.13.14 : HSI クロック較正トリミングレジスタ（CLK_HSITRIMR）（98 ページ）*を変更。 *セクション 11.5.1 : SYSCFG 再配置制御レジスタ 1（SYSCFG_RMPCR1）（123 ページ）*で SPI1_REMAP を SPI1_REMAP1 に置き換え。 *セクション 11.5.1 : SYSCFG 再配置制御レジスタ 1（SYSCFG_RMPCR1）（123 ページ）*を変更。 *セクション 11.5.2* と*セクション 11.5.3* で TIM3TRIG_REMAP を TIM3TRIG_REMAP1 に置き換え。 *図 14 : GPIO ブロック図（102 ページ）*を追加。 *セクション 11.3.4 : DAC のルーティング（113 ページ）*で 64 ピンパッケージへの言及を削除。 *セクション 19.7.1 : DMA シングルモード（287 ページ）*、*セクション 19.7.2 : DMA バーストモード（288 ページ）*、および*図 99 : DMA バーストモードの例（288 ページ）*で DMA1 を DMA に置き換え。 *セクション 19.5.11 : タイマ入力 XOR 機能（285 ページ）*、*セクション 19.5.12 : ホールセンサとのインタフェース（285 ページ）*、および*セクション 20.3.4 : タイマ入力 XOR 機能（328 ページ）*を追加。 *セクション 24.8 : RTC 割り込み（376 ページ）*を変更。 *セクション 24.9.18 : アラームレジスタ 1（RTC_ALRMAR1）（387 ページ）*で注を変更（RTC_CR1 の代わりに RTC_CR2）。 *表 80 : SCL 周波数テーブルに対する I2C_CCR 値（fSYSCLK = 10 MHz または 16 MHz）（437 ページ）*を変更。 *表 83 : ボーレートプログラミングと誤差計算（451 ページ）*を変更。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 102. 改版履歴 （続き）

日付	版	変更内容
2010 年 7 月 26 日	5	概要を変更（最初のページ）。 *SYSCFG 再配置制御レジスタ 1（SYSCFG_RMPCR1）*と*SYSCFG リマップ制御レジスタ 2（SYSCFG_RMPCR2）*でアドレスオフセットを変更。 *セクション 8：リセット（RST）（83 ページ）*を変更。 *セクション 8.1：「リセット状態」と「リセット中」の定義（83 ページ）*を追加。 *セクション 2：ブート ROM*（ペリフェラルリファレンス）を変更。 *図 14：クロック構造（88 ページ）*を変更。 *セクション 9.5：LSI クロック（92 ページ）*を変更。 *セクション 9.8：クロックセキュリティシステム (CSS)（96 ページ）*を変更。 UBC 最終ページのアドレスを更新。 *セクション 9.12：TIM2/TIM3 用のクロックに依存しないシステムクロックソース（100 ページ）*を追加。 *セクション 9.14.5：ペリフェラルクロックゲーティングレジスタ 2（CLK_PCKENR2）（105 ページ）*を変更。 *セクション 9.14.2：クロック RTC レジスタ（CLK_CRTCR）（102 ページ）*でリセット値を変更。 *セクション 7.8.1：HALT モードへの移行 (81 ページ)*と*セクション 7.9：ACTIVE-HALT モード（82 ページ）*に注を追加。 *セクション 10.4：リセット設定（119 ページ）*を変更。 *セクション 10.9.2：ポート x ピン入力レジスタ (Px_IDR)（121 ページ）*、*セクション 10.9.4：ポート x 制御レジスタ 1 (Px_CR1)（122 ページ)*、および*表 23：GPIO レジスタマップ（ページ）123*でリセット値を変更。 *セクション 11.3.4：DAC のルーティング（128 ページ）*を変更。 *セクション 14.3.3：ADC のオン/オフ制御（191 ページ）*を変更。 *セクション 14.3.4：単一変換モード（191 ページ）*を変更。 *セクション 14.3.16：温度センサ（197 ページ）*と*セクション 14.3.17：内部基準電圧の変換（198 ページ）*を変更。 *図 43：コンパレータブロック図（232 ページ）*を変更。 *図 43：コンパレータブロック図（232 ページ）*を更新。 *図 44：COMP1 相互接続 (234 ページ)*と*図 45：COMP2 相互接続 (235 ページ)*を変更。 *図 44：COMP1 相互接続（234 ページ）*の下に注を追加。 *図 47：ウィンドウモードでのコンパレータの設定（236 ページ）*を更新。 *図 47：ウィンドウモードでのコンパレータの設定（236 ページ）*の下に注を追加。 *セクション 30.3.2：SPI のスレーブモード設定*に注を追加。 *セクション 23.3.2：BEEP 制御/ステータスレジスタ 2（BEEP_CSR2）（403 ページ）*のビット 5 に注を追加。 *セクション 24.2：RTC の主な機能*、*セクション 24.3.1：クロックとプリスケーラ*、*セクション 24.3.4：周期的自動ウェイクアップ*、*セクション 24.5：RTC のリセット*、*セクション 24.6：RTC のスムーズなデジタル較正（中+容量および 大容量デバイスのみ）*、および*セクション 24.11：RTC レジスタ*など、RTC セクションを変更。 *セクション 17.6.5：ポートマスクレジスタ（LCD_PM）（265 ページ）*を変更。 *図 100：センターアライン PWM 波形（ARR=8）（312 ページ）*を変更。 *セクション 24.2：RTC の主な機能*、*セクション 24.6：RTC のスムーズなデジタル較正（中+容量および 大容量デバイスのみ）*、および*セクション 24.11.11：制御レジスタ 3 (RTC_CR3)（424 ページ）*を変更。 *図 135：I2C ブロック図（466 ページ)*、*図 135：スレーブトランスミッタの転送シーケンス（468 ページ)*、および*図 137：スレーブレシーバの転送シーケンス図 (469 ページ)*を変更。 *セクション 28.4.2：I2C マスタモード（470 ページ）*を変更。 続き

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 102. 改版履歴 （続き）

日付	版	変更内容
2010 年 7 月 26 日	5	... *セクション 28.7.2 : 制御レジスタ 2 (I2C_CR2) (487 ページ)*で PO ビットの説明を変更。 *セクション 28.7.8 : ステータスレジスタ 1 (I2C_SR1) (492 ページ)*、*セクション 28.7.12 : クロック制御レジスタロー (I2C_CCRL) (499 ページ)*、および*セクション 28.7.13 : クロック制御レジスタハイ (I2C_CCRH) (500 ページ)*で注 8 を変更。 *セクション 30.3.6 : CRC の計算*を変更（パラグラフを 1 つ追加）。
2010 年 9 月 10日	6	STM8L15x 中+容量および大容量デバイスに関する情報を追加。 *セクション 2 : ブート ROM*（ペリフェラルリファレンス）を変更。 *セクション 3 : フラッシュ プログラムメモリとデータ EEPROM （フラッシュ）(37 ページ)*を変更。 *セクション : WFE 制御レジスタ 4 (WFE_CR4) (78 ページ)*を追加。 *セクション 13.3.4 : DMA1 リクエストの配置 (173 ページ)*を変更。 *セクション 9.8.2 : LSE のクロックセキュリティシステム (97 ページ)*を追加。 *セクション 9.14.6 : ペリフェラルクロックゲーティングレジスタ 3 (CLK_PCKENR3) (106 ページ)*を追加。 *表 24 : 入出力グループと選択 (ページ) 126*と*表 25 : TIM1 入力キャプチャのルーティング (ページ) 127*を変更。 *セクション 11.3.4 : DAC のルーティング (128 ページ)*を変更。 *セクション 11.4.14 : アナログスイッチレジスタ 2 (RI_ASCR2) (137 ページ)*を変更。 *セクション 11.5.1 : SYSCFG 再配置制御レジスタ 1 (SYSCFG_RMPCR1) (140 ページ)*、*セクション 11.5.2*、および*セクション 11.5.3 : SYSCFG 再配置制御レジスタ 3 (SYSCFG_RMPCR3)*を変更。 *セクション 24 : リアルタイムクロック (RTC) (405 ページ)*に機能を追加：カレンダおよびアラームサブセカンド、デジタル較正、タンパ、AFO_CALIB（1Hz）、サブセカンドシフト。 *セクション 12.9.7 : 外部割り込みステータスレジスタ 1 (EXTI_SR1) (159 ページ)*を追加。 *セクション 12.9.7 : 外部割り込みステータスレジスタ 1 (EXTI_SR1) (159 ページ)*を変更。 *セクション 12.9.7 : 外部割り込みステータスレジスタ 1 (EXTI_SR1)*を追加。 *セクション : AES DMA リクエスト (175 ページ)*を追加。 *セクション 14 : A/D コンバータ (ADC) (189 ページ)*でチャネル数を変更（25 の代わりに 28）。 *セクション 28.7.5 : 自己アドレスレジスタ MSB (I2C_OARH) (489 ページ)*を追加。 *セクション 28.7.10 : ステータスレジスタ 3 (I2C_SR3) (496 ページ)*のレジスタに DUALF ビットを追加。 タイマセクションに TIM5 を追加。 *セクション 9.8.2 : LSE のクロックセキュリティシステム (97 ページ)*を追加。 *セクション 24.4.5 : アラームのプログラミング*など、RTC セクションを変更。 *セクション 30.3.6 : CRC の計算*を変更（パラグラフを 1 つ追加）。 *セクション 27 : AES ハードウェアアクセラレータ (AES) (451 ページ)*を追加。 *セクション 6.2 : パワーオンリセット (POR) / パワーダウンリセット (PDR) (64 ページ)*、*セクション 6.3 : ブラウンアウトリセット (BOR) (64 ページ)*を変更。 *セクション 24.11 : RTC レジスタ (418 ページ)*でリセット値（パワーオンリセット値）を変更。 *セクション 7.8 : HALT モード (81 ページ)*を変更。 *セクション 17.2 : LCD コントローラの主な機能 (244 ページ)*を変更。 *セクション 17.6.2 : 制御レジスタ 2 (LCD_CR2) (263 ページ)*で CC ビットの説明を変更。 *セクション 26.8.1 : Control register (WWDG_CR) (450 ページ)*を変更。 *セクション 24.11.9 : 制御レジスタ 1 (RTC_CR1) (422 ページ)*で RATIO の説明を変更。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

よくお読み下さい：

本書記載の内容はST 製品に関してのみ適用されるものです。STMicroelectronics NV およびその子会社（以下、ST）は、本書、本製品ならびに本書に記載されたサービスの内容を予告なく変更、修正、改定もしくは改良する権利を留保します。

すべてのST 製品はST の販売条件に従って販売されます。

本書記載のST製品およびサービスの選択並びに使用については購入者が全ての責任を負うものとし、本書記載のST製品およびサービスの選択並びに使用に関してST は一切の責任を負いません。

本書は、明示されているか否かに関わらず、また禁反言によるとよらずに関わらず、いかなる知的財産権の実施権を許諾するためのものではありません。本書で第三者の製品もしくはサービスに言及する場合、そのような言及は、STが当該第三者の製品、サービスまたはそれらに含まれる知的財産権を利用する実施権を許諾したとみなすものではなく、またいかなる用法であれ当該第三者の製品、サービスまたはそれらに含まれる知的財産権の使用を保証するものではありません。

ST の販売条件に規定される場合を除き、STは、商品性、特定目的への適合性(その他管轄の如何を問わず法律で認められる同等のもの)、若しくは特許権、著作権その他の知的財産権の侵害に関する黙示の保証を含め、ST 製品の使用または販売に関する明示または黙示の保証をすべて放棄します。

権限のあるST の代表者による書面での明示の許可がある場合を除き、ST 製品を軍事用、航空技術、宇宙用、救命用、若しくは生命維持用に用いること、または不具合若しくは誤動作により負傷または死亡事故、深刻な財産上または環境上の損害を招くおそれのある製品またはシステムへ使用することは、推奨、認可、保証されておりません。「自動車向け」として指定されていないST 製品を自動車用に用いることは、使用者自身の責任においてなされるものとします。

本書に説明されている記述または技術的特徴とは異なる条件でST 製品が再販された場合、本書に記載されるST 製品またはサービスについてのST による保証は直ちに失われるものとし、いかなる形であれ、ST の責任を生ぜしめること、若しくはその責任が延長されることはないものとします。

ST およびST ロゴは各国におけるSTMicroelectronics の商標または登録商標です。

本書の情報はそれ以前に提供された全ての情報に優先します。

ST ロゴはSTMicroelectronics の登録商標です。その他の名称は、それぞれの所有者に帰属します。

© 2011 STMicroelectronics - All rights reserved

STMicroelectronics group of companies

Australia - Belgium - Brazil - Canada - China - Czech Republic - Finland - France - Germany - Hong Kong - India - Israel - Italy - Japan - Malaysia - Malta - Morocco - Singapore - Spain - Sweden - Switzerland - United Kingdom - United States of America

www.st.com