参考資料

RM0008
リファレンスマニュアル

STM32F101xx、STM32F102xx、STM32F103xx、STM32F105xx、および STM32F107xx 高度 ARM ベース 32 ビット MCU

概要

このリファレンスマニュアルは、アプリケーション開発者を対象として、STM32F101xx、STM32F102xx、STM32F103xx、および STM32F105xx/STM32F107xx マイクロコントローラのメモリやペリフェラルの使用方法について詳細に説明しています。本書の全体を通じて、別段の記載がない限り、STM32F101xx、STM32F102xx、STM32F103xx、および STM32F105xx/STM32F107xx を STM32F10xxx と呼びます。

STM32F10xxx は、異なるメモリサイズ、パッケージ、およびペリフェラルを持つマイクロコントローラ製品群です。

注文情報、外形寸法、電気特性については、小容量、中容量、大容量、および特大容量*STM32F101xx および STM32F103xx* データシート、小容量および中容量 STM32F102xx データシート、および STM32F105xx/STM32F107xx コネクティビティラインデータシートを参照してください。

内蔵フラッシュメモリのプログラミング、消去、および保護については、下記を参照してください。

- *RM0042：小容量、中容量、大容量およびコネクティビティラインSTM32F10xxx デバイス向けフラッシュプログラミングマニュアル*
- *PM0068：特大容量 STM32F10xxx デバイス向けフラッシュプログラミングマニュアル*

ARM Cortex™-M3 コアについては、*STM32F10xxx Cortex™-M3 プログラミングマニュアル*（PM0056）を参照してください。

関連ドキュメント

次の資料が *www.st.com* から入手できます。

- *STM32F101xx、STM32F102xx、STM32F103xx、STM32F105xx/STM32F107xx およびデータシート*
- *STM32F10xxx Cortex™-M3 プログラミング・マニュアル（PM0056）*
- *STM32F10xxx フラッシュプログラミングマニュアル（PM0042）*
- *STM32F10xxx 特大容量フラッシュプログラミングマニュアル（PM0068）*

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

目次

1 このマニュアルにおける表記の規則 40

1.1 レジスタに関する略記 40

1.2 用語集 40

1.3 ペリフェラルの可用性 41

2 メモリとバスのアーキテクチャ 42

2.1 システムアーキテクチャ 42

2.2 メモリ構成 44

2.3 メモリマップ 45

2.3.1 内蔵 SRAM 48

2.3.2 ビットバンディング 48

2.3.3 内蔵フラッシュメモリ 49

2.4 ブート設定 55

3 CRC 計算ユニット 57

3.1 CRC の概要 57

3.2 CRC の主な機能 57

3.3 CRC 機能の説明 58

3.4 CRC レジスタ 58

3.4.1 データレジスタ（CRC_DR） 58

3.4.2 独立型データレジスタ（CRC_DR） 58

3.4.3 制御レジスタ（CRC_CR） 59

3.4.4 CRC レジスタマップ 59

4 電源制御 (PWR) 60

4.1 電源供給 60

4.1.1 独立 A/D コンバータ電源と基準電圧 61

4.1.2 バッテリバックアップドメイン 62

4.1.3 電圧レギュレータ 62

4.2 電源供給スーパバイザ 63

4.2.1 パワーオンリセット（POR）/ パワーダウンリセット（PDR） 63

4.2.2 プログラマブル電圧検出器（PVD） 63

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

4.3 低電力モード 65
4.3.1 システムクロック周波数の低減 65
4.3.2 ペリフェラルクロックの停止 66
4.3.3 SLEEP モード 66
4.3.4 STOP モード 67
4.3.5 STANDBY モード 68
4.3.6 低電力モードからの自動ウェイクアップ（AWU） 70
4.4 電源制御レジスタ 70
4.4.1 電源制御レジスタ（PWR_CR） 70
4.4.2 電源制御 / ステータスレジスタ（PWR_CSR） 72
4.4.3 PWR レジスタマップ 73

5 バックアップレジスタ（BKP） 74
5.1 BKP の概要 74
5.2 BKP の主な機能 74
5.3 BKP の機能説明 75
5.3.1 タンパ検出 75
5.3.2 RTC 周波数調整 75
5.4 BKP レジスタ 76
5.4.1 バックアップデータレジスタ x (BKP_DRx) (x = 1 ..42) 76
5.4.2 RTC クロック較正レジスタ（BKP_RTCCR） 76
5.4.3 バックアップ制御レジスタ（BKP_CR） 77
5.4.4 バックアップ制御 / ステータスレジスタ（BKP_CSR） 77
5.4.5 BKP レジスタマップ 78

6 小容量、中容量、大容量、および特大容量のリセットおよび クロック制御（RCC） 82
6.1 リセット 82
6.1.1 システムリセット 82
6.1.2 電源リセット 83
6.1.3 バックアップドメインリセット 83
6.2 クロック 84
6.2.1 HSE クロック 86
6.2.2 HSI クロック 87
6.2.3 PLL 87
6.2.4 LSE クロック 88
6.2.5 LSI クロック 88

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

6.2.6 システムクロック（SYSCLK）の選択 89
6.2.7 クロックセキュリティシステム（CSS） 89
6.2.8 RTC クロック 89
6.2.9 ウォッチドッグクロック 90
6.2.10 クロック信号出力 90
6.3 RCC レジスタ 91
6.3.1 クロック制御レジスタ（RCC_CR） 91
6.3.2 クロック設定レジスタ（RCC_CFGR） 93
6.3.3 クロック割り込みレジスタ（RCC_CIR） 96
6.3.4 APB2 ペリフェラルリセットレジスタ（RCC_APB2RSTR） 98
6.3.5 APB1 ペリフェラルリセットレジスタ（RCC_APB1RSTR） 100
6.3.6 AHB ペリフェラルクロック有効レジスタ（RCC_AHBENR） 103
6.3.7 APB2 ペリフェラルクロック有効レジスタ（RCC_APB2ENR） 104
6.3.8 APB1 ペリフェラルクロック有効レジスタ（RCC_APB1ENR） 106
6.3.9 バックアップドメイン制御レジスタ（RCC_BDCR） 109
6.3.10 制御 / ステータスレジスタ（RCC_CSR） 110
6.3.11 RCC レジスタマップ 112

7 コネクティビティラインデバイス：リセットおよびクロック制御（RCC） 113
7.1 リセット 113
7.1.1 システムリセット 113
7.1.2 電源リセット 114
7.1.3 バックアップドメインリセット 115
7.2 クロック 115
7.2.1 HSE クロック 117
7.2.2 HSI クロック 118
7.2.3 PLL 119
7.2.4 LSE クロック 119
7.2.5 LSI クロック 120
7.2.6 システムクロック（SYSCLK）の選択 120
7.2.7 クロックセキュリティシステム（CSS） 121
7.2.8 RTC クロック 121
7.2.9 ウォッチドッグクロック 121
7.2.10 クロック信号出力 122
7.3 RCC レジスタ 122
7.3.1 クロック制御レジスタ（RCC_CR） 122

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

7.3.2 クロック設定レジスタ（RCC_CFGR）.....124
7.3.3 クロック割り込みレジスタ（RCC_CIR）.....127
7.3.4 APB2 ペリフェラルリセットレジスタ（RCC_APB2RSTR）.....130
7.3.5 APB1 ペリフェラルリセットレジスタ（RCC_APB1RSTR）.....131
7.3.6 AHB ペリフェラルクロックイネーブルレジスタ（RCC_AHBENR）.....134
7.3.7 APB2 ペリフェラルクロック有効レジスタ（RCC_APB2ENR）.....135
7.3.8 APB1 ペリフェラルクロック有効レジスタ（RCC_APB1ENR）.....137
7.3.9 バックアップドメイン制御レジスタ（RCC_BDCR）.....139
7.3.10 制御 / ステータスレジスタ（RCC_CSR）.....141
7.3.11 AHB ペリフェラルクロックリセットレジスタ（RCC_AHBRSTR）.....142
7.3.12 クロック設定レジスタ 2（RCC_CFGR2）.....143
7.3.13 RCC レジスタマップ.....145

8 汎用およびオルタネート機能入出力（GPIO および AFIO）..... 147

8.1 GPIO 機能の説明 147
8.1.1 汎用入出力（GPIO）.....149
8.1.2 ビット単位のセット / リセット.....149
8.1.3 外部割り込み / ウェイクアップライン.....150
8.1.4 オルタネート機能（AF）.....150
8.1.5 ソフトウェアによる入出力オルタネート機能の再配置.....150
8.1.6 GPIO ロック機構.....150
8.1.7 入力設定.....151
8.1.8 出力設定.....151
8.1.9 オルタネート機能設定.....152
8.1.10 アナログ設定.....153
8.1.11 ペリフェラルの GPIO 設定.....154
8.2 GPIO レジスタ 158
8.2.1 ポート設定レジスタ（下位）（GPIOx_CRL）（x=A..G）.....158
8.2.2 ポート設定レジスタ（上位）（GPIOx_CRH）（x=A..G）.....159
8.2.3 ポート入力データレジスタ（GPIOx_IDR）（x=A..G）.....159
8.2.4 ポート出力データレジスタ（GPIOx_ODR）（x=A..G）.....160
8.2.5 ポートビットセット / リセットレジスタ（GPIOx_BSRR）（x=A..G）.....160
8.2.6 ポートビットリセットレジスタ（GPIOx_BRR）（x=A..G）.....161
8.2.7 ポート設定ロックレジスタ（GPIOx_LCKR）（x=A..G）.....161
8.3 オルタネート機能入出力とデバッグ設定（AFIO）..... 162
8.3.1 OSC32_IN/OSC32_OUT ピンの GPIO ポート PC14/PC15 としての使用....162
8.3.2 OSC_IN/OSC_OUT ピンの GPIO ポート PD0/PD1 としての使用.....162

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

8.3.3 CAN1 オルタネート機能の再配置 163
8.3.4 CAN2 オルタネート機能の再配置 163
8.3.5 JTAG/SWD オルタネート機能の再配置 163
8.3.6 ADC オルタネート機能の再配置 164
8.3.7 タイマオルタネート機能の再配置 165
8.3.8 USART オルタネート機能の再配置 167
8.3.9 I2C1 オルタネート機能の再配置 168
8.3.10 SPI1 オルタネート機能の再配置 168
8.3.11 SPI3/I2S3 オルタネート機能の再配置 168
8.3.12 イーサネットオルタネート機能の再配置 169
8.4 AFIO レジスタ 169
8.4.1 イベント制御レジスタ（AFIO_EVCR）. 170
8.4.2 オルタネート機能の再配置とデバッグ入出力設定レジスタ（AFIO_MAPR） 171
8.4.3 外部割り込み設定レジスタ 1（AFIO_EXTICR1）. 177
8.4.4 外部割り込み設定レジスタ 2（AFIO_EXTICR2）. 177
8.4.5 外部割り込み設定レジスタ 3（AFIO_EXTICR3）. 178
8.4.6 外部割り込み設定レジスタ 4（AFIO_EXTICR4）. 178
8.4.7 オルタネート機能の再配置とデバッグ入出力設定レジスタ 2（AFIO_MAPR2） 179
8.5 GPIO および AFIO レジスタマップ 180

9 割り込みとイベント 182
9.1 ネスト化されたベクタ割り込みコントローラ（NVIC） 182
9.1.1 SysTick 較正値レジスタ 182
9.1.2 割り込みベクタと例外ベクタ 183
9.2 外部割り込み / イベントコントローラ（EXTI） 190
9.2.1 主な特長 190
9.2.2 ブロック図 190
9.2.3 ウェイクアップイベント管理 191
9.2.4 機能詳細 191
9.2.5 外部割り込み / イベントラインのマッピング 192
9.3 EXTI レジスタ 194
9.3.1 割り込みマスクレジスタ（EXTI_IMR）. 194
9.3.2 イベントマスクレジスタ（EXTI_EMR）. 194
9.3.3 立ち上がりトリガ選択レジスタ（EXTI_RTSR）. 195
9.3.4 立ち下がりトリガ選択レジスタ（EXTI_FTSR）. 195

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

9.3.5 ソフトウェア割り込みイベントレジスタ（EXTI_SWIER）.....196
9.3.6 ペンディングレジスタ（EXTI_PR）.....196
9.3.7 EXTI レジスタマップ.....197

10 DMA コントローラ（DMA）.....198
10.1 DMA の概要.....198
10.2 DMA の主な機能.....198
10.3 DMA の機能詳細.....200
10.3.1 DMA トランザクション.....200
10.3.2 アービタ.....201
10.3.3 DMA チャネル.....201
10.3.4 プログラミング可能なデータ幅、データの配置、およびエンディアン.....203
10.3.5 エラー管理.....204
10.3.6 割り込み.....204
10.3.7 DMA リクエストの配置.....204
10.4 DMA レジスタ.....208
10.4.1 DMA 割り込みステータスレジスタ（DMA_ISR）.....208
10.4.2 DMA 割り込みフラグクリアレジスタ（DMA_IFCR）.....209
10.4.3 DMA チャネル x 設定レジスタ（DMA_CCRx）（x = 1..7、x = チャネル番号）210
10.4.4 DMA チャネル x データ数レジスタ（DMA_CNDTRx）（x = 1..7、x = チャネル番号）.....211
10.4.5 DMA チャネル x ペリフェラルアドレスレジスタ（DMA_CPARx）（x = 1..7、x = チャネル番号）.....212
10.4.6 DMA チャネル x メモリアドレスレジスタ（DMA_CMARx）（x = 1..7、x = チャネル番号）.....212
10.4.7 DMA レジスタマップ.....213

11 A/D コンバータ（ADC）.....215
11.1 ADC の概要.....215
11.2 ADC の主な機能.....216
11.3 ADC の機能詳細.....216
11.3.1 ADC 電源の制御.....218
11.3.2 ADC クロック.....218
11.3.3 チャネル選択.....218
11.3.4 シングル変換モード.....219
11.3.5 連続変換モード.....219
11.3.6 タイミング図.....219

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

11.3.7 アナログウォッチドッグ 220
11.3.8 スキャンモード 221
11.3.9 インジェクトチャネルの管理 221
11.3.10 不連続モード 222
11.4 較正 223
11.5 データの配置 224
11.6 チャネルごとにプログラミング可能なサンプル時間 224
11.7 外部トリガによる変換 224
11.8 DMA リクエスト 226
11.9 デュアル ADC モード 227
11.9.1 インジェクト同時モード 229
11.9.2 レギュラ同時モード 229
11.9.3 高速インタリーブモード 230
11.9.4 低速インタリーブモード 230
11.9.5 オルタネートトリガモード 231
11.9.6 独立モード 232
11.9.7 レギュラ / インジェクト同時モードの組み合わせ 232
11.9.8 レギュラ同時 + オルタネートトリガモードの組み合わせ 232
11.9.9 インジェクト同時 + インタリーブの組み合わせ 233
11.10 温度センサ 234
11.11 ADC 割り込み 235
11.12 ADC レジスタ 236
11.12.1 ADC ステータスレジスタ （ADC_SR） 236
11.12.2 ADC 制御レジスタ 1（ADC_CR1） 237
11.12.3 ADC 制御レジスタ 2（ADC_CR2） 239
11.12.4 ADC サンプル時間レジスタ 1（ADC_SMPR1） 242
11.12.5 ADC サンプル時間レジスタ 2（ADC_SMPR2） 243
11.12.6 ADC インジェクトチャネルデータオフセットレジスタ x（ADC_JOFRx）（x=1..4） 243
11.12.7 ADC ウォッチドッグ高閾値レジスタ （ADC_HTR） 244
11.12.8 ADC ウォッチドッグ低閾値レジスタ（ADC_LTR） 244
11.12.9 ADC レギュラシーケンスレジスタ 1（ADC_SQR1） 245
11.12.10 ADC レギュラシーケンスレジスタ 2（ADC_SQR2） 245
11.12.11 ADC レギュラシーケンスレジスタ 3（ADC_SQR3） 246
11.12.12 ADC インジェクトシーケンスレジスタ（ADC_JSQR） 247
11.12.13 ADC インジェクトデータレジスタ x（ADC_JDRx）（x= 1..4） 247

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

11.12.14 ADC レギュラデータレジスタ（ADC_DR） 248
11.12.15 ADC レジスタマップ 248

12 D/A コンバータ（DAC） 250

12.1 DAC の概要 250
12.2 DAC の主な機能 250
12.3 DAC 機能詳細 252
12.3.1 DAC チャネルイネーブル 252
12.3.2 DAC 出力バッファイネーブル 252
12.3.3 DAC データフォーマット 252
12.3.4 DAC 変換 253
12.3.5 DAC 出力電圧 254
12.3.6 DAC トリガ選択 254
12.3.7 DMA リクエスト 255
12.3.8 ノイズ生成 255
12.3.9 三角波生成 256
12.4 デュアル DAC チャネル変換 257
12.4.1 波形生成なしの独立トリガ 257
12.4.2 同じ LFSR 生成による独立トリガ 258
12.4.3 異なる LFSR 生成による独立トリガ 258
12.4.4 同じ三角波生成による独立トリガ 258
12.4.5 異なる三角波生成による独立トリガ 259
12.4.6 同時ソフトウェア開始 259
12.4.7 波形生成なしの同時トリガ 259
12.4.8 同じ LFSR 生成による同時トリガ 260
12.4.9 異なる LFSR 生成による同時トリガ 260
12.4.10 同じ三角波生成による同時トリガ 260
12.4.11 異なる三角波生成による同時トリガ 261
12.5 DAC レジスタ 261
12.5.1 DAC 制御レジスタ（DAC_CR） 261
12.5.2 DAC ソフトウェアトリガレジスタ（DAC_SWTRIGR） 264
12.5.3 DAC チャネル 1 12 ビット右詰めデータ保持レジスタ（DAC_DHR12R1） . . . 265
12.5.4 DAC チャネル 1 12 ビット左詰めデータ保持レジスタ（DAC_DHR12L1） . . . 265
12.5.5 DAC チャネル 1 8 ビット右詰めデータ保持レジスタ（DAC_DHR8R1） 265
12.5.6 DAC チャネル 2 12 ビット右詰めデータ保持レジスタ（DAC_DHR12R2） . . . 266
12.5.7 DAC チャネル 2 12 ビット左詰めデータ保持レジスタ（DAC_DHR12L2） . . . 266
12.5.8 DAC チャネル 2 8 ビット右詰めデータ保持レジスタ（DAC_DHR8R2） 266

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

12.5.9 デュアル DAC 12 ビット右詰めデータ保持レジスタ（DAC_DHR12RD）....267
12.5.10 デュアル DAC 12 ビット左詰めデータ保持レジスタ（DAC_DHR12LD）....267
12.5.11 デュアル DAC 8 ビット右詰めデータ保持レジスタ（DAC_DHR8RD）.....268
12.5.12 DAC チャネル 1 データ出力レジスタ（DAC_DOR1）.....268
12.5.13 DAC チャネル 2 データ出力レジスタ（DAC_DOR2）.....268
12.5.14 DAC レジスタマップ.....269

13 高機能制御タイマ（TIM1 および TIM8）..... 270

13.1 TIM1 および TIM8 の概要.....270
13.2 TIM1 および TIM8 の主な機能.....270
13.3 TIM1 および TIM8 の機能詳細.....273
13.3.1 タイムベースユニット.....273
13.3.2 カウンタモード.....274
13.3.3 繰り返しカウンタ.....282
13.3.4 クロック選択.....284
13.3.5 キャプチャ / 比較チャネル.....286
13.3.6 入力キャプチャモード.....288
13.3.7 PWM 入力モード.....289
13.3.8 強制出力モード.....290
13.3.9 出力比較モード.....291
13.3.10 PWM モード.....292
13.3.11 相補出力とデッドタイム挿入.....295
13.3.12 ブレーク機能の使用.....296
13.3.13 外部イベントによる OCxREF 信号のクリア.....299
13.3.14 6 ステップ PWM 生成.....300
13.3.15 ワンパルスモード.....301
13.3.16 エンコーダインタフェースモード.....302
13.3.17 タイマ入力 XOR 機能.....304
13.3.18 ホールセンサとのインタフェース.....304
13.3.19 TIMx と外部トリガの同期.....307
13.3.20 タイマの同期.....310
13.3.21 デバッグモード.....310
13.4 TIM1 および TIM8 レジスタ.....311
13.4.1 TIM1 および TIM8 制御レジスタ 1（TIMx_CR1）.....311
13.4.2 TIM1 および TIM8 制御レジスタ 2（TIMx_CR2）.....312
13.4.3 TIM1 および TIM8 スレーブモード制御レジスタ（TIMx_SMCR）.....315
13.4.4 TIM1 および TIM8 DMA/ 割り込みイネーブルレジスタ（TIMx_DIER）.....317

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

13.4.5 TIM1 および TIM8 ステータスレジスタ（TIMx_SR）.....319
13.4.6 TIM1 および TIM8 イベント生成レジスタ（TIMx_EGR）.....320
13.4.7 TIM1 および TIM8 キャプチャ / 比較モードレジスタ 1（TIMx_CCMR1）....322
13.4.8 TIM1 および TIM8 キャプチャ / 比較モードレジスタ 2（TIMx_CCMR2）....325
13.4.9 TIM1 および TIM8 キャプチャ / 比較イネーブルレジスタ（TIMx_CCER）....326
13.4.10 TIM1 および TIM8 カウンタ（TIMx_CNT）.....329
13.4.11 TIM1 および TIM8 プリスケーラ（TIMx_PSC）.....329
13.4.12 TIM1 および TIM8 自動再ロードレジスタ（TIMx_ARR）.....330
13.4.13 TIM1 および　TIM8 繰り返しカウンタレジスタ（TIMx_RCR）.....331
13.4.14 TIM1 および TIM8 キャプチャ / 比較レジスタ 1（TIMx_CCR1）.....331
13.4.15 TIM1 および TIM8 キャプチャ / 比較レジスタ 2（TIMx_CCR2）.....332
13.4.16 TIM1 および TIM8 キャプチャ / 比較レジスタ 3（TIMx_CCR3）.....332
13.4.17 TIM1 および TIM8 キャプチャ / 比較レジスタ 4（TIMx_CCR4）.....333
13.4.18 TIM1 および TIM8 ブレークおよびデッドタイムレジスタ（TIMx_BDTR）...333
13.4.19 TIM1 および TIM8 DMA 制御レジスタ（TIMx_DCR）.....335
13.4.20 TIM1 および TIM8 完全転送 DMA アドレス（TIMx_DMAR）.....336
13.4.21 TIM1 および TIM8 レジスタマップ.....336

14 汎用タイマ（TIM2 ～ TIM5）..... 339

14.1 TIM2 ～ TIM5 の概要.....339
14.2 TIMx の主な機能.....340
14.3 TIMx の機能詳細.....342
14.3.1 タイムベースユニット.....342
14.3.2 カウンタモード.....343
14.3.3 クロック選択.....352
14.3.4 キャプチャ / 比較チャネル.....355
14.3.5 入力キャプチャモード.....356
14.3.6 PWM 入力モード.....357
14.3.7 強制出力モード.....358
14.3.8 出力比較モード.....358
14.3.9 PWM モード.....359
14.3.10 ワンパルスモード.....363
14.3.11 外部イベントによる OCxREF 信号のクリア.....364
14.3.12 エンコーダインタフェースモード.....365
14.3.13 タイマ入力 XOR 機能.....367
14.3.14 タイマと外部トリガの同期.....367
14.3.15 タイマの同期.....370

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

14.3.16 デバッグモード 375
14.4 TIMx2 ～ TIM5 レジスタ 376
14.4.1 TIMx 制御レジスタ 1（TIMx_CR1） 376
14.4.2 TIMx 制御レジスタ 2（TIMx_CR2） 377
14.4.3 TIMx スレーブモード制御レジスタ（TIMx_SMCR）. 378
14.4.4 TIMx DMA/ 割り込みイネーブルレジスタ（TIMx_DIER）. 381
14.4.5 TIMx ステータスレジスタ（TIMx_SR）. 382
14.4.6 TIMx イベント生成レジスタ（TIMx_EGR） 383
14.4.7 TIMx およびキャプチャ / 比較モードレジスタ 1（TIMx_CCMR1） 384
14.4.8 キャプチャ / 比較モードレジスタ 2（TIMx_CCMR2） 388
14.4.9 TIMx キャプチャ / 比較イネーブルレジスタ （TIMx_CCER）. 389
14.4.10 TIMx カウンタ（TIMx_CNT） 390
14.4.11 TIMx プリスケーラ（TIMx_PSC）. 391
14.4.12 TIMx 自動再ロードレジスタ（TIMx_ARR）. 391
14.4.13 TIMx キャプチャ / 比較レジスタ 1（TIMx_CCR1）. 391
14.4.14 TIMx キャプチャ / 比較レジスタ 2（TIMx_CCR2）. 392
14.4.15 TIMx キャプチャ / 比較レジスタ 3（TIMx_CCR3）. 392
14.4.16 TIMx キャプチャ / 比較レジスタ 4（TIMx_CCR4）. 393
14.4.17 TIMx DMA 制御レジスタ（TIMx_DCR） 393
14.4.18 完全転送の TIMx DMA アドレス（TIMx_DMAR）. 394
14.4.19 TIMx レジスタマップ 394

15 汎用タイマ（TIM9 ～ TIM14）. 396
15.1 TIMx の概要 396
15.2 汎用タイマ TIM9 および TIM12 397
15.3 汎用タイマ TIM10/TIM11 および TIM13/TIM14 398
15.4 TIMx の機能詳細 399
15.4.1 タイムベースユニット 399
15.4.2 カウンタモード 400
15.4.3 クロック選択 403
15.4.4 キャプチャ / 比較チャネル 405
15.4.5 入力キャプチャモード 407
15.4.6 PWM 入力モード時（TIM9 のみ） 408
15.4.7 強制出力モード 409
15.4.8 出力比較モード 409
15.4.9 PWM モード 410
15.4.10 ワンパルスモード（TIM9/12 のみ） 412

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

15.4.11 TIM9/12 と外部トリガの同期 414
15.4.12 タイマ間の同期（TIM9/12） 416
15.4.13 デバッグモード 416
15.5 TIM9 および TIM12 レジスタ 417
15.5.1 TIM9/12 制御レジスタ 1（TIMx_CR1） 417
15.5.2 TIM9/12 制御レジスタ 2（TIMx_CR2） 418
15.5.3 TIM9/12 スレーブモード制御レジスタ（TIMx_SMCR） 419
15.5.4 TIM9/12 割り込みイネーブルレジスタ（TIMx_DIER） 420
15.5.5 TIM9/12 ステータスレジスタ（TIMx_SR） 421
15.5.6 TIM9/12 イベント生成レジスタ（TIMx_EGR） 422
15.5.7 TIM9/12 キャプチャ / 比較モードレジスタ 1（TIMx_CCMR1） 423
15.5.8 TIM9/12 キャプチャ / 比較イネーブルレジスタ（TIMx_CCER） 426
15.5.9 TIM9/12 カウンタ（TIMx_CNT） 427
15.5.10 TIM9/12 プリスケーラ（TIMx_PSC） 427
15.5.11 TIM9/12 自動再ロードレジスタ（TIMx_ARR） 427
15.5.12 TIM9/12 キャプチャ / 比較レジスタ 1（TIMx_CCR1） 428
15.5.13 TIM9/12 キャプチャ / 比較レジスタ 2（TIMx_CCR2） 428
15.5.14 TIM9/12 レジスタマップ 429
15.6 TIM10/11 および TIM13/14 レジスタ 430
15.6.1 TIM10/11 および TIM13/14 制御レジスタ 1（TIMx_CR1） 430
15.6.2 TIMx 制御レジスタ 2（TIMx_CR2） 431
15.6.3 TIM10/11 および TIM13/14 DMA/ 割り込みイネーブルレジスタ（TIMx_DIER） 432
15.6.4 TIM10/11 および TIM13/14 制御レジスタ（TIMx_SR） 432
15.6.5 TIM10/11 および TIM13/14 イベント生成レジスタ（TIMx_EGR） 433
15.6.6 TIM10/11 および TIM13/14 キャプチャ / 比較モードレジスタ 1（TIMx_CCMR1） 434
15.6.7 TIM10/11 および TIM13/14 キャプチャ / 比較イネーブルレジスタ（TIMx_CCER） 437
15.6.8 TIM10/11 および TIM13/14 カウンタ 1（TIMx_CNT） 438
15.6.9 TIM10/11 および TIM13/14 プリスケーラ（TIMx_PSC） 438
15.6.10 TIM10/11 および TIM13/14 自動再ロードレジスタ 1（TIMx_ARR） 438
15.6.11 TIM10/11 および TIM13/14 キャプチャ / 比較レジスタ 1（TIMx_CCR1） 439
15.6.12 TIM10/11/13/14 レジスタマップ 439

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

16 基本タイマ （TIM6、TIM7） 441

16.1 TIM6 および TIM7 の概要 441

16.2 TIM6 および TIM7 の主な機能 441

16.3 TIM6 および TIM7 の機能詳細 442

16.3.1 タイムベースユニット 442

16.3.2 カウントモード 444

16.3.3 クロックソース 446

16.3.4 デバッグモード 447

16.4 TIM6 および TIM7 レジスタ 447

16.4.1 TIM6 および TIM7 制御レジスタ 1（TIMx_CR1） 447

16.4.2 TIM6 および TIM7 制御レジスタ 2（TIMx_CR2） 449

16.4.3 TIM6 および TIM7 DMA/ 割り込みイネーブルレジスタ（TIMx_DIER） 449

16.4.4 TIM6 および TIM7 ステータスレジスタ（TIMx_SR） 450

16.4.5 TIM6 および TIM7 イベント生成レジスタ（TIMx_EGR） 450

16.4.6 TIM6 および TIM7 カウンタ（TIMx_CNT） 450

16.4.7 TIM6 および TIM7 プリスケーラ（TIMx_PSC） 451

16.4.8 TIM6 および TIM7 自動再ロードレジスタ（TIMx_ARR） 451

16.4.9 TIM6 および TIM7 レジスタマップ 452

17 リアルタイムクロック（RTC） 453

17.1 RTC の概要 453

17.2 RTC の主な機能 454

17.3 RTC の機能詳細 454

17.3.1 概要 454

17.3.2 RTC レジスタのリセット 455

17.3.3 RTC レジスタの読み出し 455

17.3.4 RTC レジスタの設定 456

17.3.5 RTC フラグのアサート 456

17.4 RTC レジスタ 457

17.4.1 RTC 制御レジスタ（上位）（RTC_CRH） 458

17.4.2 RTC 制御レジスタ（下位）（RTC_CRL） 458

17.4.3 RTC プリスケーラロードレジスタ（RTC_PRLH/RTC_PRLL） 460

17.4.4 RTC プリスケーラ分周レジスタ（RTC_DIVH/RTC_DIVL） 460

17.4.5 RTC カウンタレジスタ（RTC_CNTH/RTC_CNTL） 461

17.4.6 RTC アラームレジスタ（上位）（RTC_ALRH/RTC_ALRL） 462

17.4.7 RTC レジスタマップ 463

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

18 独立型ウォッチドッグ（IWDG）. 464

18.1 IWDG の概要 464

18.2 IWDG の主な機能 464

18.3 IWDG の機能詳細 464

18.3.1 ハードウェアウォッチドッグ 465

18.3.2 レジスタアクセスに対する保護 465

18.3.3 デバッグモード 465

18.4 IWDG レジスタ 466

18.4.1 キーレジスタ（IWDG_KR）. 466

18.4.2 プリスケーラレジスタ（IWDG_PR） 467

18.4.3 再ロードレジスタ（IWDG_RLR）. 468

18.4.4 ステータスレジスタ（IWDG_SR） 468

18.4.5 IWDG レジスタマップ 469

19 ウィンドウ型ウォッチドッグ（WWDG） 470

19.1 WWDG の概要 470

19.2 WWDG の主な機能 470

19.3 WWDG の機能詳細 470

19.4 ウォッチドッグタイムアウトのプログラムの方法 472

19.5 デバッグモード 472

19.6 WWDG レジスタ 473

19.6.1 制御レジスタ（WWDG_CR） 473

19.6.2 設定レジスタ（WWDG_CFR） 473

19.6.3 ステータスレジスタ（WWDG_SR） 474

19.6.4 WWDG レジスタマップ 474

20 フレキシブルスタティックメモリコントローラ（FSMC）. 475

20.1 FSMC の主な機能 475

20.2 ブロック図 476

20.3 AHB インタフェース 477

20.3.1 サポートされるメモリおよびトランザクション 478

20.4 外部デバイスアドレスマッピング 478

20.4.1 NOR/PSRAM アドレスマッピング 479

20.4.2 NAND/PC カードアドレスマッピング 480

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

20.5 NOR 型フラッシュ /PSRAM コントローラ 481
20.5.1 外部メモリインタフェース信号 482
20.5.2 サポートされるメモリおよびトランザクション 483
20.5.3 一般的なタイミング規則 484
20.5.4 NOR 型フラッシュ /PSRAM コントローラ非同期トランザクション 485
20.5.5 同期バーストトランザクション 500
20.5.6 NOR/PSRAM 制御レジスタ 507
20.6 NAND 型フラッシュ /PC カードコントローラ 512
20.6.1 外部メモリインタフェース信号 513
20.6.2 NAND 型フラッシュ /PC カードによってサポートされるメモリおよび トランザクション 515
20.6.3 NAND および PC カードのタイミング図 515
20.6.4 NAND 型フラッシュの操作 516
20.6.5 NAND 型フラッシュのプリウェイト機能 517
20.6.6 エラー訂正コード計算 ECC（NAND 型フラッシュ） 518
20.6.7 PC カード / コンパクトフラッシュの操作 518
20.6.8 NAND 型フラッシュ /PC カード制御レジスタ 521
20.6.9 FSMC レジスタマップ 527

21 セキュアデジタル入力 / 出力インタフェース（SDIO）. 529
21.1 SDIO の主な機能 529
21.2 SDIO バストポロジ 530
21.3 SDIO の機能詳細 532
21.3.1 SDIO アダプタ 533
21.3.2 SDIO AHB インタフェース 543
21.4 カード機能詳細 544
21.4.1 カード識別モード 544
21.4.2 カードリセット 544
21.4.3 動作電圧範囲の検証 544
21.4.4 カード識別プロセス 544
21.4.5 ブロック書き込み 545
21.4.6 ブロック読み出し 546
21.4.7 ストリームアクセス、ストリーム書き込み、およびストリーム読み出し （マルチメディアカードのみ） 546
21.4.8 消去：グループ消去とセクタ消去 548
21.4.9 ワイドバス選択または選択解除 549
21.4.10 保護管理 549

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

21.4.11 カードステータスレジスタ 552
21.4.12 SD ステータスレジスタ 555
21.4.13 SD I/O モード 559
21.4.14 コマンドとレスポンス 560
21.5 レスポンスフォーマット 563
21.5.1 R1（ノーマルレスポンスコマンド） 563
21.5.2 R1b 564
21.5.3 R2（CID、CSD レジスタ） 564
21.5.4 R3（OCR レジスタ） 564
21.5.5 R4（高速 I/O） 565
21.5.6 R4b 565
21.5.7 R5（割り込みリクエスト） 566
21.5.8 R6 566
21.6 SDIO I/O カード固有の操作 567
21.6.1 SDIO_D2 信号による SDIO I/O 読み出しウェイト操作 567
21.6.2 SDIO_CK 停止による SDIO 読み出しウェイト操作 567
21.6.3 SDIO サスペンド / レジューム操作 567
21.6.4 SDIO 割り込み 568
21.7 CE-ATA 固有の操作 568
21.7.1 コマンド完了信号ディセーブル 568
21.7.2 コマンド完了信号イネーブル 568
21.7.3 CE-ATA 割り込み 568
21.7.4 CMD61 の中止 568
21.8 HW フロー制御 569
21.9 SDIO レジスタ 569
21.9.1 SDIO 電源制御レジスタ（SDIO_POWER） 569
21.9.2 SDI クロック制御レジスタ（SDIO_CLKCR） 570
21.9.3 SDIO 引数レジスタ（SDIO_ARG） 571
21.9.4 SDIO コマンドレジスタ（SDIO_CMD） 571
21.9.5 SDIO コマンドレスポンスレジスタ（SDIO_RESPCMD） 572
21.9.6 SDIO レスポンス 1..4 レジスタ（SDIO_RESPx） 573
21.9.7 SDIO データタイマレジスタ（SDIO_DTIMER） 573
21.9.8 SDIO データ長レジスタ（SDIO_DLEN） 574
21.9.9 SDIO データ制御レジスタ（SDIO_DCTRL） 574
21.9.10 SDIO データカウンタレジスタ（SDIO_DCOUNT） 576
21.9.11 SDIO ステータスレジスタ（SDIO_STA） 576

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

21.9.12 SDIO 割り込みクリアレジスタ（SDIO_ICR）.....578
21.9.13 SDIO マスクレジスタ（SDIO_MASK）.....580
21.9.14 SDIO FIFO カウンタレジスタ（SDIO_FIFOCNT）.....583
21.9.15 SDIO データ FIFO レジスタ（SDIO_FIFO）.....583
21.9.16 SDIO レジスタマップ 584

22 ユニバーサルシリアルバス（USB）フルスピードデバイス インタフェース 585

22.1 USB の概要 585
22.2 USB の主な機能 585
22.3 USB の機能詳細 586
22.3.1 USB ブロックの説明 587
22.4 プログラミングの際の注意 588
22.4.1 一般的な USB デバイスのプログラミング 588
22.4.2 システムリセットとパワーオンリセット 588
22.4.3 ダブルバッファエンドポイント 594
22.4.4 アイソクロナス転送 596
22.4.5 サスペンド / レジュームイベント 597
22.5 USB レジスタ 598
22.5.1 一般レジスタ 599
22.5.2 エンドポイント固有のレジスタ 605
22.5.3 バッファ記述子テーブル 609
22.5.4 USB レジスタマップ 612

23 コントローラエリアネットワーク（bxCAN）..... 614

23.1 bxCAN の概要 614
23.2 bxCAN の主な機能 614
23.3 bxCAN の概要 615
23.3.1 CAN 2.0B アクティブコア 616
23.3.2 制御レジスタ、ステータスレジスタ、設定レジスタ 616
23.3.3 Tx メールボックス 616
23.3.4 受信フィルタ 616
23.4 bxCAN 動作モード 618
23.4.1 初期化モード 618
23.4.2 通常モード 618
23.4.3 SLEEP モード（低電力）.....619

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

23.5 テストモード 620
23.5.1 サイレントモード 620
23.5.2 ループバックモード 620
23.5.3 サイレントモードとループバックモードの組み合わせ 621
23.6 STM32F10xxx（デバッグモード） 621
23.7 bxCAN 機能の説明 621
23.7.1 送信処理 621
23.7.2 タイムトリガ通信モード 623
23.7.3 受信処理 623
23.7.4 識別子フィルタリング 625
23.7.5 メッセージストレージ 629
23.7.6 エラー管理 630
23.7.7 ビットタイミング 631
23.8 bxCAN の割り込み 633
23.9 CAN レジスタ 634
23.9.1 レジスタのアクセス保護 634
23.9.2 CAN 制御 / ステータスレジスタ 635
23.9.3 CAN メールボックスレジスタ 645
23.9.4 CAN フィルタレジスタ 652
23.9.5 bxCAN レジスタマップ 656

24 シリアルペリフェラルインタフェース（SPI） 659
24.1 SPI の概要 659
24.2 SPI と I^2S の主な機能 660
24.2.1 SPI 機能 660
24.2.2 I^2S 機能 661
24.3 SPI 機能の説明 662
24.3.1 概要 662
24.3.2 SPI のスレーブモード設定 665
24.3.3 SPI のマスタモード設定 666
24.3.4 SPI の単方向通信設定 667
24.3.5 データの送受信手順 668
24.3.6 CRC の計算 674
24.3.7 ステータスフラグ 676
24.3.8 SPI の無効化 677
24.3.9 DMA（direct memory addressing）を使用する SPI 通信 678

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

24.3.10 エラーフラグ 679
24.3.11 SPI 割り込み 680
24.4 I²S 機能の説明 681
24.4.1 I²S の概要 681
24.4.2 サポートされるオーディオプロトコル 682
24.4.3 クロックジェネレータ 689
24.4.4 I²S マスタモード 693
24.4.5 I²S スレーブモード 695
24.4.6 ステータスフラグ 696
24.4.7 エラーフラグ 697
24.4.8 I²S 割り込み 698
24.4.9 DMA 機能 698
24.5 SPI レジスタと I²S レジスタ 698
24.5.1 SPI 制御レジスタ 1（SPI_CR1）（I2S モードでは使用しません） 699
24.5.2 SPI 制御レジスタ 2（SPI_CR2） 701
24.5.3 SPI ステータスレジスタ（SPI_SR） 702
24.5.4 SPI データレジスタ（SPI_DR） 703
24.5.5 SPI CRC 多項式レジスタ（SPI_CRCPR）（I²S モードでは未使用） 703
24.5.6 SPI 受信用 CRC レジスタ（SPI_RXCRCR）（I2S モードでは未使用） 704
24.5.7 SPI 送信用 CRC レジスタ（SPI_TXCRCR）（I2S モードでは未使用） 704
24.5.8 SPI_I²S 設定レジスタ（SPI_I2SCFGR） 705
24.5.9 SPI_I²S プリスケーラレジスタ（SPI_I2SPR） 706
24.5.10 SPI レジスタマップ 707

25 I²C（Inter-Integrated Circuit）インタフェース 708
25.1 I²C の概要 708
25.2 I²C の主な機能 708
25.3 I²C 機能の説明 709
25.3.1 モード選択 709
25.3.2 I2C スレーブモード 711
25.3.3 I2C マスタモード 714
25.3.4 エラー条件 720
25.3.5 SDA/SCL ライン制御 721
25.3.6 SMBus 722
25.3.7 DMA リクエスト 724
25.3.8 パケットエラーチェック 725

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

25.4 I2C 割り込み 726
25.5 I2C デバッグモード 728
25.6 I2C レジスタ 728
25.6.1 制御レジスタ 1（I2C_CR1） 728
25.6.2 制御レジスタ 2（I2C_CR2） 730
25.6.3 自己アドレスレジスタ 1（I2C_OAR1） 731
25.6.4 自己アドレスレジスタ 2（I2C_OAR2） 732
25.6.5 データレジスタ（I2C_DR） 732
25.6.6 ステータスレジスタ 1（I2C_SR1） 733
25.6.7 ステータスレジスタ 2（I2C_SR2） 737
25.6.8 クロック制御レジスタ（I2C_CCR） 738
25.6.9 TRISE レジスタ（I2C_TRISE） 739
25.6.10 I2C レジスタマップ 740

26 USART（Universal synchronous asynchronous receiver transmitter） 741
26.1 USART の概要 741
26.2 USART の主な機能 742
26.3 USART 機能の説明 743
26.3.1 USART キャラクタの説明 746
26.3.2 トランスミッタ 747
26.3.3 レシーバ 750
26.3.4 ボーレート生成 754
26.3.5 クロック偏差に対する USART レシーバの許容誤差 755
26.3.6 マルチプロセッサ通信 756
26.3.7 パリティ制御 758
26.3.8 LIN（local interconnection network）モード 758
26.3.9 USART 同期モード 761
26.3.10 単線半二重通信 763
26.3.11 スマートカード 764
26.3.12 IrDA SIR ENDEC ブロック 766
26.3.13 DMA を使用した連続通信 768
26.3.14 ハードウェアフロー制御 770

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

26.4 USART 割り込み 772
26.5 USART モード設定 773
26.6 USART レジスタ 773
26.6.1 ステータスレジスタ（USART_SR） 773
26.6.2 データレジスタ（USART_DR） 775
26.6.3 ボーレートレジスタ（USART_BRR） 776
26.6.4 制御レジスタ 1（USART_CR1） 777
26.6.5 制御レジスタ 2（USART_CR2） 779
26.6.6 制御レジスタ 3（USART_CR3） 780
26.6.7 ガード時間 / プリスケーラレジスタ（USART_GTPR） 782
26.6.8 USART レジスタマップ 783

27 USB On-The-Go FS 784

27.1 OTG_FS の概要 784
27.2 OTG_FS の主な機能 785
27.2.1 標準機能 785
27.2.2 ホストモード機能 786
27.2.3 ペリフェラルモードの機能 786
27.3 OTG_FS 機能の説明 787
27.3.1 OTG フルスピードコア 787
27.3.2 フルスピード OTG PHY 788
27.4 OTG デュアルロールデバイス（DRD） 788
27.4.1 ID ラインの検出 789
27.4.2 HNP デュアルロールデバイス 789
27.4.3 SRP デュアルロールデバイス 789
27.5 USB ペリフェラル 790
27.5.1 SRP 対応ペリフェラル 790
27.5.2 ペリフェラルの状態 791
27.5.3 ペリフェラルエンドポイント 792
27.6 USB ホスト 794
27.6.1 SRP 対応ホスト 795
27.6.2 USB ホストの状態 795
27.6.3 ホストチャネル 796
27.6.4 ホストスケジューラ 798
27.7 SOF トリガ 799
27.7.1 ホスト SOF 800

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

27.7.2 ペリフェラル SOF 800
27.8 電力オプション 801
27.9 USB データ FIFO 802
27.10 ペリフェラル FIFO アーキテクチャ 802
27.10.1 ペリフェラル Rx FIFO 803
27.10.2 ペリフェラル Tx FIFO 803
27.11 ホスト FIFO アーキテクチャ 803
27.11.1 ホスト Rx FIFO 804
27.11.2 ホスト Tx FIFO 804
27.12 FIFO RAM の割り当て 805
27.12.1 デバイスモード 805
27.12.2 ホストモード 805
27.13 USB システムのパフォーマンス 806
27.14 OTG_FS 割り込み 806
27.15 OTG_FS 制御 / ステータスレジスタ 808
27.15.1 CSR メモリマップ 809
27.15.2 OTG_FS グローバルレジスタ 814
27.15.3 ホストモードレジスタ 835
27.15.4 デバイスモードレジスタ 845
27.15.5 OTG_FS パワーおよびクロックゲーティング制御レジスタ（OTG_FS_PCGCCTL） 867
27.15.6 OTG_FS レジスタマップ 868
27.16 OTG_FS プログラミングモデル 875
27.16.1 コアの初期化 875
27.16.2 ホストの初期化 876
27.16.3 デバイスの初期化 876
27.16.4 ホストプログラミングモデル 877
27.16.5 デバイスプログラミングモデル 894
27.16.6 動作モデル 896
27.16.7 最悪なケースの応答時間 914
27.16.8 OTG プログラミングモデル 916

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

28 イーサネット（ETH）：DMA コントローラによる メディアアクセス制御（MAC）DMA コントローラ 922

28.1 イーサネットの概要 922

28.2 イーサネットの主な機能 923

28.2.1 MAC コア機能 923

28.2.2 DMA 機能 924

28.2.3 PTP 機能 925

28.3 イーサネットピン 925

28.4 イーサネットの機能詳細 SMI、MII、および RMII 926

28.4.1 ステーション管理インタフェース：SMI 927

28.4.2 メディア独立インタフェース：MII 930

28.4.3 縮小メディア独立インタフェース：:RMII 932

28.4.4 MII/RMII の選択 933

28.5 イーサネットの機能詳細：MAC 802.3 934

28.5.1 MAC 802.3 フレームフォーマット 935

28.5.2 MAC フレームの送信 938

28.5.3 MAC フレームの受信 945

28.5.4 MAC 割り込み 950

28.5.5 MAC フィルタリング 951

28.5.6 MAC ループバックモード 954

28.5.7 MAC 管理カウンタ：MMC 954

28.5.8 電源管理：PMT 955

28.5.9 高精度時間プロトコル（IEEE1588 PTP） 958

28.6 イーサネットの機能詳細：DMA コントローラの動作 964

28.6.1 DMA を使用した転送の初期化 965

28.6.2 ホストバスバーストアクセス 966

28.6.3 ホストデータバッファ整列 966

28.6.4 バッファサイズの計算 967

28.6.5 DMA アービタ 967

28.6.6 **DMA へのエラー応答 967**

28.6.7 Tx DMA の設定 968

28.6.8 Rx DMA の設定 981

28.6.9 DMA 割り込み 990

28.7 イーサネット割り込み 991

28.8 イーサネットレジスタの説明 992

28.8.1 MAC レジスタの説明 992

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

28.8.2 MMC レジスタの説明 1009
28.8.3 IEEE 1588 タイムスタンプレジスタ 1014
28.8.4 DMA レジスタの説明 1019
28.8.5 イーサネットレジスタマップ 1032

29 デバイス電子署名 1035
29.1 メモリサイズレジスタ 1035
29.1.1 フラッシュサイズレジスタ 1035
29.2 ユニークデバイス ID レジスタ（96 ビット） 1036

30 デバッグサポート（DBG） 1038
30.1 概要 1038
30.2 ARM リファレンス資料 1040
30.3 SWJ デバッグポート（シリアルワイヤと JTAG） 1040
30.3.1 JTAG-DP または SW-DP の選択メカニズム 1041
30.4 ピン名とデバッグポートピン 1041
30.4.1 SWJ デバッグポートピン 1041
30.4.2 柔軟性の高い SWJ-DP ピンの割り当て 1041
30.4.3 JTAG ピンでの内部プルアップ / プルダウン 1042
30.4.4 シリアルワイヤの使用と、未使用のデバッグピンを GPIO として解放する方法 1043
30.5 STM32F10xxx JTAG TAP 接続 1044
30.6 ID コードとロック機構 1044
30.6.1 MCU デバイス ID コード 1044
30.6.2 バウンダリスキャン TAP 1046
30.6.3 Cortex-M3 TAP 1046
30.6.4 Cortex-M3 JEDEC-106 ID コード 1046
30.7 JTAG デバッグポート 1046
30.8 SW デバッグポート 1048
30.8.1 SW プロトコルの概要 1048
30.8.2 SW プロトコルシーケンス 1048
30.8.3 SW-DP ステートマシン（リセット、アイドル状態、ID コード） 1050
30.8.4 DP と AP の読み出し / 書き込みアクセス 1050
30.8.5 SW-DP レジスタ 1051
30.8.6 SW-AP レジスタ 1051

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

30.9 AHB-AP（AHB アクセスポート）- JTAG-DP と SW-DP の両方に有効 1052
30.10 コアデバッグ 1053
30.11 システムリセット中のデバッガホスト接続機能 1053
30.12 FPB（フラッシュパッチブレークポイント） 1054
30.13 DWT（データウォッチポイントトリガ） 1054
30.14 ITM（計測トレースマクロセル） 1054
30.14.1 概要 1054
30.14.2 タイムスタンプパケット、同期、およびオーバーフローパケット 1055
30.15 ETM（組み込みトレースマクロセル） 1056
30.15.1 概要 1056
30.15.2 信号プロトコル、パケットタイプ 1057
30.15.3 主な ETM レジスタ 1057
30.15.4 設定例 1057
30.16 MCU デバッグコンポーネント（DBGMCU） 1058
30.16.1 低電力モードのデバッグサポート 1058
30.16.2 タイマ、ウォッチドッグ、bxCAN、および I^2C のデバッグサポート 1058
30.16.3 デバッグ MCU 設定レジスタ 1058
30.17 TPIU（トレースポートインタフェースユニット） 1061
30.17.1 概要 1061
30.17.2 TRACE ピンの割り当て 1061
30.17.3 TPIU フォーマッタ 1063
30.17.4 TPIU フレーム同期パケット 1063
30.17.5 同期フレームパケットの送信 1064
30.17.6 同期モード 1064
30.17.7 非同期モード 1064
30.17.8 STM32F10xxx 内部の TRACECLKIN 接続 1064
30.17.9 TPIU レジスタ 1065
30.17.10 設定例 1065
30.18 DBG レジスタマップ 1066

31 改版履歴 1067

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表の一覧

表 1. レジスタ境界アドレス 45
表 2. フラッシュモジュールの構成（小容量デバイス） 49
表 3. フラッシュモジュールの構成（中容量デバイス） 50
表 4. フラッシュモジュールの構成（大容量デバイス） 51
表 5. フラッシュモジュールの構成（コネクティビティラインデバイス） 52
表 6. フラッシュモジュールの構成（特大容量デバイス） 52
表 7. ブートモード 55
表 8. CRC 計算ユニットのレジスタマップとリセット値 59
表 9. 低電力モードの概要 65
表 10. Sleep-now 67
表 11. Sleep-on-exit 67
表 12. STOP モード 68
表 13. STANDBY モード 69
表 14. PWR レジスタマップとリセット値 73
表 15. BKP レジスタマップとリセット値 78
表 16. RCC レジスタマップとリセット値 112
表 17. RCC レジスタマップとリセット値 145
表 18. ポートビット設定表 149
表 19. 出力モードビット 149
表 20. 高機能タイマ TIM1/TIM8 154
表 21. 汎用タイマ TIM2/3/4/5 154
表 22. USART 154
表 23. SPI 154
表 24. I2S 155
表 25. I2C 155
表 26. BxCAN 155
表 27. USB 155
表 28. OTG_FS ピン配置 156
表 29. SDIO 156
表 30. ADC / DAC 156
表 31. FSMC 157
表 32. 他の入出力 157
表 33. CAN1 オルタネート機能の再配置 163
表 34. CAN2 オルタネート機能の再配置 163
表 35. デバッグインタフェース信号 163
表 36. デバッグポートの配置 164
表 37. ADC1 外部トリガインジェクト変換オルタネート機能の再配置 164
表 38. ADC1 外部トリガレギュラ変換オルタネート機能の再配置 164
表 39. ADC2 外部トリガインジェクト変換オルタネート機能の再配置 164
表 40. ADC2 外部トリガレギュラ変換オルタネート機能の再配置 165
表 41. TIM5 オルタネート機能の再配置 165
表 42. TIM4 オルタネート機能の再配置 165
表 43. TIM3 オルタネート機能の再配置 165
表 44. TIM2 オルタネート機能の再配置 166
表 45. TIM1 オルタネート機能の再配置 166
表 46. TIM9 の再配置 166
表 47. TIM10 の再配置 166
表 48. TIM11 の再配置 167
表 49. TIM13 の再配置 167

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 50. TIM14 の再配置 167
表 51. USART3 の再配置 167
表 52. USART2 の再配置 167
表 53. USART1 の再配置 168
表 54. I2C1 の再配置 168
表 55. SPI1 の再配置 168
表 56. SPI3/I2S3 の再配置 168
表 57. ETH の再配置 169
表 58. GPIO のレジスタマップとリセット値 180
表 59. AFIO レジスタマップとリセット値. 180
表 60. コネクティビティラインデバイスのベクタテーブル 183
表 61. 特大容量デバイスのベクタテーブル 185
表 62. その他の STM32F10xxx デバイスのベクタテーブル 187
表 63. 外部割り込み / イベントコントローラのレジスタマップとリセット値 197
表 64. プログラミング可能なデータ幅とエンディアン動作（ビット PINC = MINC = 1 のとき）. 203
表 65. DMA 割り込みリクエスト 204
表 66. チャネルごとの DMA1 リクエストの一覧. 205
表 67. チャネルごとの DMA2 リクエストの一覧. 207
表 68. DMA レジスタマップとリセット値. 213
表 69. ADC ピン. 218
表 70. アナログウォッチドッグのチャネル選択 220
表 71. ADC1 と ADC2 のレギュラチャネルに対する外部トリガ 225
表 72. ADC1 および ADC2 のインジェクトチャネルに対する外部トリガ. 225
表 73. ADC3 のレギュラチャネルに対する外部トリガ 225
表 74. ADC3 のインジェクトチャネルに対する外部トリガ 226
表 75. ADC 割り込み 235
表 76. ADC レジスタマップとリセット値 248
表 77. DAC ピン. 251
表 78. 外部トリガ. 254
表 79. DAC レジスタマップ. 269
表 80. カウント方向とエンコーダ信号 303
表 81. TIMx 内部トリガ接続. 317
表 82. ブレーク機能を持つ相補 OCx および OCxN チャネルの出力制御ビット 328
表 83. TIM1 および TIM8 レジスタマップとリセット値 336
表 84. カウントの方向とエンコーダ信号. 366
表 85. TIMx 内部トリガ接続. 380
表 86. 標準 OCx チャネルの出力制御ビット 390
表 87. TIMx レジスタマップとリセット値. 394
表 88. TIMx 内部トリガ接続. 420
表 89. 標準 OCx チャネルの出力制御ビット 427
表 90. TIM9/12 レジスタマップとリセット値 429
表 91. 標準 OCx チャネルの出力制御ビット 437
表 92. TIM10/11/13/14 レジスタマップとリセット値 439
表 93. TIM6 および TIM7 レジスタマップとリセット値 452
表 94. RTC レジスタマップとリセット値 463
表 95. 最小 / 最大 IWDG タイムアウト期間（40 kHz）（LSI） 466
表 96. IWDG レジスタマップとリセット値 469
表 97. WWDG レジスタマップとリセット値. 474
表 98. NOR/PSRAM バンク選択 479
表 99. 外部メモリアドレス 479
表 100. メモリマッピングとタイミングレジスタ 480
表 101. NAND バンク選択 480

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 102. プログラマブル NOR/PSRAM アクセスパラメータ 481
表 103. 非多重化 I/O NOR 型フラッシュ 482
表 104. 多重化 I/O NOR 型フラッシュ 482
表 105. 非多重化 I/O PSRAM/SRAM 483
表 106. NOR 型フラッシュ /PSRAM でサポートされるメモリおよびトランザクション 483
表 107. FSMC_BCRx ビットフィールド 486
表 108. FSMC_BTRx ビットフィールド 487
表 109. FSMC_BCRx ビットフィールド 488
表 110. FSMC_BTRx ビットフィールド 489
表 111. FSMC_BWTRx ビットフィールド 489
表 112. FSMC_BCRx ビットフィールド 491
表 113. FSMC_BTRx ビットフィールド 492
表 114. FSMC_BWTRx ビットフィールド 492
表 115. FSMC_BCRx ビットフィールド 494
表 116. FSMC_BTRx ビットフィールド 494
表 117. FSMC_BWTRx ビットフィールド 494
表 118. FSMC_BCRx ビットフィールド 496
表 119. FSMC_BTRx ビットフィールド 496
表 120. FSMC_BWTRx ビットフィールド 496
表 121. FSMC_BCRx ビットフィールド 498
表 122. FSMC_BTRx ビットフィールド 498
表 123. FSMC_BCRx ビットフィールド 503
表 124. FSMC_BTRx ビットフィールド 504
表 125. FSMC_BCRx ビットフィールド 506
表 126. FSMC_BTRx ビットフィールド 506
表 127. プログラマブル NAND/PC カードアクセスパラメータ 513
表 128. 8 ビット NAND 型フラッシュ 513
表 129. 16 ビット NAND 型フラッシュ 514
表 130. 16 ビット PC カード 514
表 131. サポートされるメモリおよびトランザクション 515
表 132. 16 ビット PC カード信号とアクセスタイプ 519
表 133. ECC リザルト関連ビット 526
表 134. FSMC レジスタマップ 527
表 135. SDIO I/O 定義 533
表 136. コマンドフォーマット 537
表 137. ショートレスポンスフォーマット 538
表 138. ロングレスポンスフォーマット 538
表 139. コマンドパスステータスフラグ 538
表 140. データトークンフォーマット 541
表 141. 送信 FIFO ステータスフラグ 542
表 142. 受信 FIFO ステータスフラグ 542
表 143. カードステータス 553
表 144. SD ステータス 555
表 145. 速度クラスコードフィールド 556
表 146. 移動パフォーマンスフィールド 557
表 147. AU_SIZE フィールド 557
表 148. 最大 AU サイズ 557
表 149. 消去サイズフィールド 558
表 150. 消去タイムアウトフィールド 558
表 151. 消去オフセットフィールド 558
表 152. ブロック指向書き込みコマンド 561
表 153. ブロック指向書き込み保護コマンド 561

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 154. 消去コマンド 562
表 155. I/O モードコマンド 562
表 156. カードのロック 562
表 157. アプリケーション固有コマンド 563
表 158. R1 レスポンス 563
表 159. R2 レスポンス 564
表 160. R3 レスポンス 564
表 161. R4 レスポンス 565
表 162. R4b レスポンス 565
表 163. R5 レスポンス 566
表 164. R6 レスポンス 566
表 165. レスポンスタイプと SDIO_RESPx レジスタ 573
表 166. SDIO レジスタマップ 584
表 167. ダブルバッファリングのバッファフラグ定義 594
表 168. バルクダブルバッファリングメモリのバッファ使用 595
表 169. アイソクロナスメモリバッファの使用 596
表 170. レジュームイベント検出 598
表 171. 受信ステータスエンコーディング 608
表 172. エンドポイントタイプのエンコーディング 608
表 173. エンドポイントの種類の意味 608
表 174. 送信ステータスのエンコーディング 609
表 175. 割り当てられるバッファメモリの定義 612
表 176. USB レジスタマップとリセット値 612
表 177. 送信メールボックスの配置 629
表 178. 受信メールボックスの配置 629
表 179. bxCAN レジスタマップとリセット値 656
表 180. SPI 割り込みリクエスト 680
表 181. 標準の 8 MHz HSE を使用したオーディオ周波数精度（大容量および特大容量デバイスのみ） . . . 691
表 182. 標準の 25 MHz と PLL3 を使用したオーディオ周波数精度
（コネクティビティラインデバイスのみ） 692
表 183. 標準の 14.7456 MHz と PLL3 を使用したオーディオ周波数精度
（コネクティビティラインデバイスのみ） 692
表 184. I^2S 割り込みリクエスト 698
表 185. SPI レジスタマップとリセット値 707
表 186. SMBus と I2C の比較 722
表 187. I2C 割り込みリクエスト 726
表 188. I2C レジスタマップとリセット値 740
表 189. サンプリングされたデータからのノイズ検出 753
表 190. プログラミングされたボーレートの誤差計算 755
表 191. USART レシーバの許容誤差（DIV_Fraction が 0 の場合） 756
表 192. USART レシーバの許容誤差（DIV_Fraction が 0 でない場合） 756
表 193. フレームフォーマット 758
表 194. USART 割り込みリクエスト 772
表 195. USART モード設定 773
表 196. USART のレジスタマップとリセット値 783
表 197. コアグローバル制御およびステータスレジスタ（CSR） 810
表 198. ホストモード制御およびステータスレジスタ（CSR） 811
表 199. デバイスモード制御およびステータスレジスタ 811
表 200. データ FIFO（DFIFO）アクセススレジスタマップ 813
表 201. パワーおよびクロックゲーティング制御およびステータスレジスタ 813
表 202. ソフト切断のための最短時間 847
表 203. OTG_FS レジスタマップとリセット値 868

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 204. イーサネットピン構成 925
表 205. 管理フレームのフォーマット 928
表 206. クロック範囲 930
表 207. TX インタフェース信号のエンコーディング 931
表 208. RX インタフェース信号のエンコーディング 931
表 209. フレームのステータス 947
表 210. デスティネーションアドレスフィルタリングテーブル 953
表 211. ソースアドレスフィルタリングテーブル 954
表 212. 受信ディスクリプタ 0 986
表 213. イーサネットレジスタマップとリセット値 1032
表 214. SWJ デバッグポートピン 1041
表 215. 柔軟性の高い SWJ-DP ピンの割り当て 1042
表 216. JTAG デバッグポートのデータレジスタ 1046
表 217. シフトされた値 A[3:2] によってアドレス指定される 32 ビットデバッグポートレジスタ 1048
表 218. パケットリクエスト（8 ビット） 1049
表 219. ACK 応答（3 ビット） 1049
表 220. DATA 転送（33 ビット） 1049
表 221. SW-DP レジスタ 1051
表 222. Cortex-M3 AHB-AP レジスタ 1052
表 223. コアデバッグレジスタ 1053
表 224. 主な ITM レジスタ 1055
表 225. 主な ETM レジスタ 1057
表 226. 非同期 TRACE ピンの割り当て 1061
表 227. 同期 TRACE ピンの割り当て 1062
表 228. 柔軟性の高い TRACE ピン割り当て 1062
表 229. 重要な TPIU レジスタ 1065
表 230. DBG レジスタマップとリセット値 1066
表 231. 改版履歴 1067

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図の一覧

図 1. システムアーキテクチャ 42
図 2. コネクティビティラインデバイスのシステムアーキテクチャ 43
図 3. CRC 計算ユニットブロック図 57
図 4. 電源供給の概要 61
図 5. パワーオンリセット / パワーダウンリセット波形 63
図 6. PVD 閾値 64
図 7. 簡略化されたリセット回路図 83
図 8. クロックツリー 85
図 9. HSE/LSE クロックソース 86
図 10. 簡略化されたリセット回路図 114
図 11. クロックツリー 116
図 12. HSE/LSE クロックソース 118
図 13. 標準入出力ポートビットの基本構造 148
図 14. 5V 耐性入出力ポートビットの基本構造 148
図 15. 入力フローティング / プルアップ / プルダウン設定 151
図 16. 出力設定 152
図 17. オルタネート機能設定 153
図 18. ハイインピーダンスアナログ設定 153
図 19. 外部割り込み / イベントコントローラのブロック図 190
図 20. 外部割り込み / イベントの GPIO マッピング 192
図 21. コネクティビティラインデバイスの DMA ブロック図 199
図 22. 小、中、大、特大容量デバイスの DMA ブロック図 200
図 23. DMA1 リクエストの配置 205
図 24. DMA2 リクエストの配置 207
図 25. 単一 ADC ブロック図 217
図 26. タイミング図 220
図 27. アナログウォッチドッグによって保護される領域 220
図 28. インジェクト変換の遅延時間 222
図 29. 較正のタイミング図 223
図 30. データの右詰め 224
図 31. データの左詰め 224
図 32. デュアル ADC ブロック図 (1) 228
図 33. 4 チャネルのインジェクト同時モード 229
図 34. 16 チャネルのレギュラ同時モード 230
図 35. 連続変換モードでの 1 チャネルの高速インタリーブモード 230
図 36. 1 チャネルの低速インタリーブモード 231
図 37. オルタネートトリガ：各 ADC のインジェクトチャネルグループ 231
図 38. オルタネートトリガ：不連続モデルの（各 ADC の）4 つのインジェクトチャネル 232
図 39. オルタネート + レギュラ同時 233
図 40. インジェクト変換中にトリガが発生した場合 233
図 41. インジェクトシーケンス CH11 と CH12 での単一チャネルのインタリーブ 233
図 42. 温度センサおよび VREFINT チャネルのブロック図 234
図 43. DAC チャネルブロック図 251
図 44. シングル DAC チャネルモードのデータレジスタ 253
図 45. デュアル DAC チャネルモードのデータレジスタ 253
図 46. トリガ無効（TEN = 0）時の変換タイミング図 254
図 47. DAC LFSR レジスタ計算アルゴリズム 255
図 48. LSFR 波形生成による DAC 変換（SW トリガ有効） 256
図 49. DAC 三角波生成 256

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 50. 三角波生成による DAC 変換（SW トリガ有効）.....257
図 51. 高機能制御タイマのブロック図 272
図 52. プリスケーラ分周比が 1 から 2 に変化したときのカウンタのタイミング図.....274
図 53. プリスケーラ分周比が 1 から 4 に変化したときのカウンタのタイミング図.....274
図 54. 内部クロック分周比が 1 の場合のカウンタのタイミング図.....275
図 55. 内部クロック分周比が 2 の場合のカウンタのタイミング図.....275
図 56. 内部クロック分周比が 4 の場合のカウンタのタイミング図.....276
図 57. 内部クロック分周比が N の場合のカウンタのタイミング図 276
図 58. ARPE=0 時（TIMx_ARR はプリロードされない）、更新イベント時のカウンタのタイミング図 ..276
図 59. ARPE=1 時（TIMx_ARR はプリロードされる）、更新イベント時のカウンタのタイミング図 277
図 60. 内部クロック分周比が 1 の場合のカウンタのタイミング図.....278
図 61. 内部クロック分周比が 2 の場合のカウンタのタイミング図.....278
図 62. 内部クロック分周比が 4 の場合のカウンタのタイミング図.....278
図 63. 内部クロック分周比が N の場合のカウンタのタイミング図 279
図 64. 繰り返しカウンタが使用されていないときの更新イベントとカウンタのタイミング図 279
図 65. 内部クロック分周比が 1、TIMx_ARR=0x6 の場合のカウンタのタイミング図 280
図 66. 内部クロック分周比が 2 の場合のカウンタのタイミング図.....281
図 67. ロードレジスタ内部クロック分周比が 4、TIMx_ARR=0x36 の場合のカウンタのタイミング図...281
図 68. 内部クロック分周比が N の場合のカウンタのタイミング図 281
図 69. ARPE=1 時の更新イベントのカウンタのタイミング図（カウンタアンダーフロー）.....282
図 70. ARPE=1 時の更新イベントのカウンタのタイミング図（カウンタオーバーフロー）.....282
図 71. モードと TIMx_RCR レジスタの設定による更新状況の例.....283
図 72. 内部クロック分周比 1 の場合の、通常モードの制御回路 284
図 73. TI2 外部クロックの接続例.....284
図 74. 外部クロックモード 1 の制御回路 285
図 75. 外部トリガ入力ブロック 286
図 76. 外部クロックモード 2 の制御回路 286
図 77. キャプチャ / 比較チャネル（例：チャネル 1 入力ステージ）.....287
図 78. キャプチャ / 比較チャネル 1 メイン回路 287
図 79. キャプチャ / 比較チャネル（チャネル 1 ～ 3）の出力ステージ.....288
図 80. キャプチャ / 比較チャネル（チャネル 4）の出力ステージ.....288
図 81. PWM 入力モードのタイミング 290
図 82. 出力比較モード、OC1 出力のトグル 292
図 83. エッジアライン PWM 波形（ARR=8）.....293
図 84. センターアライン PWM 波形（ARR=8）.....294
図 85. デッドタイム挿入のある相補出力.....295
図 86. 負のパルスより長い遅延があるときのデッドタイムの波形.....295
図 87. 正のパルスより長い遅延があるときのデッドタイムの波形.....296
図 88. ブレークに対する出力の動作 298
図 89. TIMx OCxREF のクリア 299
図 90. 6 ステップ生成 COM の例（OSSR=1）.....300
図 91. ワンパルスモードの例.....301
図 92. エンコーダインタフェースモードにおけるカウンタの動作例 303
図 93. TI1FP1 の極性を反転したエンコーダインタフェースモードの例 304
図 94. ホールセンサインタフェースの例.....306
図 95. リセットモードでの制御回路 307
図 96. ゲートモードでの制御回路 308
図 97. トリガモードの制御回路.....309
図 98. 外部クロックモード 2 ＋トリガモードの制御回路.....310
図 99. 汎用タイマのブロック図 341
図 100. プリスケーラ分周比が 1 から 2 に変化したときのカウンタのタイミング図.....343
図 101. プリスケーラ分周比が 1 から 4 に変化したときのカウンタのタイミング図.....343

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 102. 内部クロック分周比が 1 の場合のカウンタのタイミング図 344
図 103. 内部クロック分周比が 2 の場合のカウンタのタイミング図 344
図 104. 内部クロック分周比が 4 の場合のカウンタのタイミング図 345
図 105. 内部クロック分周比が N の場合のカウンタのタイミング図 345
図 106. ARPE=0（TIMx_ARR はプリロードされない）のときの更新イベントのカウンタタイミング図 . . 345
図 107. ARPE=1（TIMx_ARR はプリロードされる）のときの更新イベントのカウンタタイミング図 346
図 108. 内部クロック分周比が 1 の場合のカウンタのタイミング図 347
図 109. 内部クロック分周比が 2 の場合のカウンタのタイミング図 347
図 110. 内部クロック分周比が 4 の場合のカウンタのタイミング図 347
図 111. 内部クロック分周比が N の場合のカウンタのタイミング図 348
図 112. 繰り返しカウンタが使用されていないときの更新イベントとカウンタのタイミング図 348
図 113. 内部クロック分周比が 1、TIMx_ARR=0x6 の場合のカウンタタイミング図 349
図 114. 内部クロック分周比が 2 の場合のカウンタのタイミング図 350
図 115. 内部クロック分周比が 4、TIMx_ARR=0x36 の場合のカウンタのタイミング図 350
図 116. 内部クロック分周比が N の場合のカウンタのタイミング図 350
図 117. ARPE=1(カウンタアンダーフロー) のときの更新イベント時のカウンタタイミング図 351
図 118. ARPE=1（カウンタオーバーフロー）のときの更新イベント時のカウンタのタイミング図 351
図 119. 内部クロック分周比 1 の場合の、通常モードの制御回路 352
図 120. TI2 外部クロックの接続例 352
図 121. 外部クロックモード 1 の制御回路 353
図 122. 外部トリガ入力ブロック 354
図 123. 外部クロックモード 2 の制御回路 354
図 124. キャプチャ / 比較チャネル（例：チャネル 1 入力ステージ） 355
図 125. キャプチャ / 比較チャネル 1 メイン回路 355
図 126. キャプチャ / 比較チャネル（チャネル 1）の出力ステージ 356
図 127. PWM 入力モードのタイミング 358
図 128. 出力比較モード、OC1 出力のトグル 359
図 129. エッジアライン PWM 波形（ARR=8） 360
図 130. センターアライン PWM 波形（ARR=8） 362
図 131. ワンパルスモードの例 363
図 132. TIMx OCxREF のクリア 365
図 133. エンコーダインタフェースモードにおけるカウンタの動作例 366
図 134. IC1FP1 の極性を反転したエンコーダインタフェースモードの例 367
図 135. リセットモードにおける制御回路 368
図 136. ゲートモードでの制御回路 369
図 137. トリガモードでの制御回路 369
図 138. 外部クロックモード 2 ＋トリガモードの制御回路 370
図 139. マスタ / スレーブタイマの例 371
図 140. タイマ 1 の OC1REF によるタイマ 2 のゲート操作 372
図 141. タイマ 1 の有効化によるタイマ 2 のゲート操作 373
図 142. タイマ 1 の更新によるタイマ 2 のトリガ 373
図 143. タイマ 1 の有効化によるタイマ 2 のトリガ 374
図 144. タイマ 1 の TI1 入力によるタイマ 1 とタイマ 2 のトリガ 375
図 145. 汎用タイマのブロック図 （TIM9 および TIM12） 397
図 146. 汎用タイマのブロック図（TIM10/11/13/14） 398
図 147. プリスケーラ分周比が 1 から 2 に変化したときのカウンタのタイミング図 400
図 148. プリスケーラ分周比が 1 から 4 に変化したときのカウンタのタイミング図 400
図 149. 内部クロック分周比が 1 の場合のカウンタのタイミング図 401
図 150. 内部クロック分周比が 2 の場合のカウンタのタイミング図 401
図 151. 内部クロック分周比が 4 の場合のカウンタのタイミング図 402
図 152. 内部クロック分周比が N の場合のカウンタのタイミング図 402
図 153. ARPE=0 時（TIMx_ARR はプリロードなし）、更新イベント時のカウンタのタイミング図 402

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 154. ARPE=1 時（TIMx_ARR はプリロード）、更新イベント時のカウンタのタイミング図 403
図 155. 内部クロック分周比 1 の場合の、通常モードの制御回路 404
図 156. TI2 外部クロックの接続例 404
図 157. 外部クロックモード 1 の制御回路 405
図 158. キャプチャ / 比較チャネル（例：チャネル 1 入力ステージ） 405
図 159. キャプチャ / 比較チャネル 1 メイン回路 406
図 160. キャプチャ / 比較チャネル（チャネル 1）の出力ステージ 406
図 161. PWM 入力モードのタイミング 408
図 162. 出力比較モード、OC1 出力のトグル 410
図 163. エッジアライン PWM 波形（ARR=8） 411
図 164. ワンパルスモードの例 412
図 165. リセットモードの制御回路 414
図 166. ゲートモードの制御回路 415
図 167. トリガモードの制御回路 416
図 168. 基本タイマブロック図 442
図 169. プリスケーラ分周比が 1 から 2 に変化したときのカウンタのタイミング図 443
図 170. プリスケーラ分周比が 1 から 4 に変化したときのカウンタのタイミング図 443
図 171. 内部クロック分周比が 1 の場合のカウンタのタイミング図 444
図 172. 内部クロック分周比が 2 の場合のカウンタのタイミング図 445
図 173. 内部クロック分周比が 4 の場合のカウンタのタイミング図 445
図 174. 内部クロック分周比が N の場合のカウンタのタイミング図 445
図 175. ARPE=0（TIMx_ARR はプリロードされない）のときの更新イベント時の
カウンタのタイミング図 446
図 176. ARPE=1 のとき（TIMx_ARR はプリロードされる）更新イベント時のカウンタの
タイミング図 446
図 177. 内部クロック分周比 1 の場合の、通常モードの制御回路 447
図 178. RTC の単純化されたブロック図 455
図 179. RTC 秒およびアラーム波形の例 （PR=0003、ALARM=00004） 457
図 180. RTC オーバーフロー波形の例（PR=0003） 457
図 181. 独立型ウォッチドッグのブロック図 465
図 182. ウォッチドッグのブロック図 471
図 183. ウィンドウ型ウォッチドッグのタイミング図 472
図 184. FSMC のブロック図 477
図 185. FSMC メモリバンク 479
図 186. モード 1 読み出しアクセス 485
図 187. モード 1 書き込みアクセス 486
図 188. モード A 読み出しアクセス 487
図 189. モード A 書き込みアクセス 488
図 190. モード 2/B 読み出しアクセス 490
図 191. モード 2 書き込みアクセス 490
図 192. モード B 書き込みアクセス 491
図 193. モード C 読み出しアクセス 493
図 194. モード C 書き込みアクセス 493
図 195. モード D 読み出しアクセス 495
図 196. 多重化読み出しアクセス 497
図 197. 多重書き込みアクセス 497
図 198. 読み出しアクセス中の非同期ウェイト 499
図 199. 書き込みアクセス中の非同期ウェイト 500
図 200. ウェイト設定 502
図 201. 同期多重読み出しモードー NOR、PSRAM（CRAM） 503
図 202. 同期多重書き込みモードー NOR、PSRAM（CRAM） 505
図 203. 共通メモリアクセスの NAND/PC カードコントローラのタイミング 516

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 204. ‘CE don't care’ でない NAND 型フラッシュへのアクセス 517
図 205. SDIO "no response" と "no data" 操作 530
図 206. SDIO（複数）ブロック読み出し操作 530
図 207. SDIO（複数）ブロック書き込み操作 531
図 208. SDIO 順次読み出し操作 531
図 209. SDIO 順次書き込み操作 531
図 210. SDIO ブロック図 532
図 211. SDIO アダプタ 533
図 212. 制御ユニット 534
図 213. SDIO アダプタコマンドパス 535
図 214. コマンドパスステートマシン（CPSM） 536
図 215. SDIO コマンド転送 537
図 216. データパス 539
図 217. データパスステートマシン（DPSM） 540
図 218. USB ペリフェラルのブロック図 586
図 219. パケットバッファ領域とバッファ記述テーブルの位置の例 590
図 220. CAN ネットワークのトポロジ 615
図 221. デュアル CAN のブロック図（コネクティビティデバイス） 617
図 222. bxCAN 動作モード 619
図 223. bxCAN（サイレントモード） 620
図 224. bxCAN（ループバックモード） 620
図 225. bxCAN（組み合わせモード） 621
図 226. 送信メールボックスの状態 623
図 227. 受信 FIFO の状態 624
図 228. フィルタバンクのスケール設定 - レジスタ構造 626
図 229. フィルタ番号の例 627
図 230. フィルタのメカニズム - 例 628
図 231. CAN エラー状態図 630
図 232. ビットタイミング 631
図 233. CAN フレーム 632
図 234. イベントフラグと割り込み生成 633
図 235. SPI のブロック図 662
図 236. シングルマスタ / シングルスレーブアプリケーション 663
図 237. ハードウェア / ソフトウェアのスレーブ選択管理 664
図 238. データクロックのタイミング図 665
図 239. マスタ / 全二重モードでの TXE/RXNE/BSY 動作（BIDIMODE=0 および RXONLY=0）
連続転送の場合 670
図 240. スレーブ / 全二重モードでの TXE/RXNE/BSY 動作（BIDIMODE=0、RXONLY=0）
連続転送の場合 671
図 241. マスタ送信専用モードでの TXE/BSY 動作（BIDIMODE=0 および RXONLY=0）
連続転送の場合 672
図 242. スレーブ送信専用モードでの TXE/BSY 動作（BIDIMODE=0 および RXONLY=0）
連続転送の場合 672
図 243. 受信専用モードでの RXNE 動作（BIDIRMODE=0 および RXONLY=1）
連続転送の場合 673
図 244. 送信時の TXE/BSY 動作（BIDIRMODE=0 および RXONLY=0）
不連続転送の場合 674
図 245. DMA を使用した送信 678
図 246. DMA を使用した受信 679
図 247. I^2S のブロック図 681
図 248. I2S フィリップスプロトコルの波形（16/32 ビットフル精度、CPOL = 0） 683
図 249. I2S フィリップス規格の波形（24 ビットフレーム、CPOL = 0） 683

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 250. 0x8EAA33 の送信 684
図 251. 0x8EAA33 の受信 684
図 252. I2S フィリップス規格（16 ビットを 32 ビットのパケットフレームに拡張、CPOL = 0）. 684
図 253. 例 685
図 254. MSB 詰め 16 ビットまたは 32 ビットフル精度長、CPOL = 0. 685
図 255. MSB 詰め 24 ビットフレーム長、CPOL = 0. 685
図 256. MSB 詰め 16 ビットを 32 ビットパケットフレームに拡張、CPOL = 0. 686
図 257. LSB 詰め 16 ビットまたは 32 ビットのフル精度、CPOL = 0 686
図 258. LSB 詰め 24 ビットフレーム長、CPOL = 0 687
図 259. 0x3478AE を送信するために必要な動作 687
図 260. 0x3478AE の受信に必要な動作. 687
図 261. LSB 詰め 16 ビットを 32 ビットパケットフレームに拡張、CPOL = 0 688
図 262. 例 688
図 263. PCM 規格の波形（16 ビット）. 689
図 264. PCM 規格の波形（32 ビットパケットフレームに拡張された 16 ビット）. 689
図 265. オーディオサンプリング周波数の定義 690
図 266. I^2S クロックジェネレータのアーキテクチャ 690
図 267. I2C バスプロトコル. 710
図 268. I2C ブロック図 711
図 269. スレーブトランスミッタの転送シーケンス 712
図 270. スレーブレシーバの転送シーケンス図 713
図 271. マスタトランスミッタの転送シーケンス図 716
図 272. 方法 1：マスタレシーバの転送シーケンス図 717
図 273. 方法 2：マスタレシーバの転送シーケンス図（N > 2 の場合）. 718
図 274. 方法 2：マスタレシーバの転送シーケンス図（N=2 の場合）. 719
図 275. 方法 2：マスタレシーバの転送シーケンス図（N=1 の場合）. 720
図 276. I2C 割り込みの配置図 727
図 277. USART ブロック図 745
図 278. ワード長のプログラミング 746
図 279. 設定可能なストップビット 748
図 280. 送信時の TC/TXE 動作 749
図 281. スタートビットの検出. 750
図 282. ノイズ検出のためのデータサンプリング 752
図 283. アイドルライン検出を使用したミュートモード. 757
図 284. アドレスマーク検出を使用したミュートモード. 757
図 285. LIN モードでのブレーク検出（11 ビットブレーク長、LBDL=1）. 760
図 286. LIN モードでのブレーク検出とフレーミングエラー検出 761
図 287. USART 同期送信の例 762
図 288. USART データクロックタイミング図（M=0）. 762
図 289. USART データクロックタイミング図（M=1）. 763
図 290. RX データセットアップ / ホールド時間 763
図 291. ISO 7816-3 非同期プロトコル. 764
図 292. 1.5 ストップビットを使用したパリティエラー検出 765
図 293. IrDA SIR ENDEC- ブロック図. 767
図 294. IrDA データ変調（3/16）- 通常モード. 767
図 295. DMA を使用した送信. 769
図 296. DMA を使用した受信. 770
図 297. 2 つの USART 間のハードウェアフロー制御 770
図 298. RTS フロー制御. 771
図 299. CTS フロー制御. 771
図 300. USART 割り込みの配置図 772
図 301. ブロック図. 787

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 302. OTG A-B デバイス接続 788
図 303. USB ペリフェラル専用接続 790
図 304. USB ホスト専用接続 795
図 305. SOF 接続性 799
図 306. デバイスモード FIFO アドレスマッピングと AHB FIFO アクセスマッピング 802
図 307. ホストモード FIFO アドレスマッピングと AHB FIFO アクセスマッピング 803
図 308. 割り込みの階層 807
図 309. CSR メモリマップ. 809
図 310. 送信 FIFO 書き込みタスク 878
図 311. 受信 FIFO 読み出しラスク 879
図 312. 通常のバルク / 制御 OUT/SETUP およびバルク / 制御 IN トランザクション. 880
図 313. バルク / 制御 IN トランザクション 884
図 314. 通常の割り込み OUT/IN トランザクション. 886
図 315. 通常のアイソクロナス OUT/IN トランザクション 891
図 316. 受信 FIFO パケットの読み出し. 898
図 317. SETUP パケットの処理. 900
図 318. バルク OUT トランザクション 906
図 319. TRDT 最大タイミングのケース. 916
図 320. A デバイスの SRP. 917
図 321. B デバイスの SRP. 918
図 322. A デバイスの HNP. 919
図 323. B デバイスの HNP. 920
図 324. ETH のブロック図. 927
図 325. SMI インタフェース信号. 927
図 326. MDIO のタイミングとフレーム構造 - 書き込みサイクル 929
図 327. MDIO のタイミングとフレーム構造 - 読み出しサイクル 929
図 328. メディア独立インタフェースの信号. 930
図 329. MII クロックソース 932
図 330. 縮小メディア独立インタフェース信号 933
図 331. RMII クロックソース. 933
図 332. クロック構成. 934
図 333. アドレスフィールドのフォーマット. 936
図 334. MAC フレームのフォーマット 937
図 335. タグ付き MAC フレームのフォーマット. 937
図 336. 送信ビットの順序 943
図 337. 衝突がない場合の送信. 944
図 338. 衝突がある場合の送信. 944
図 339. MMI および RMII モードでのフレーム送信. 945
図 340. 受信ビットの順序 949
図 341. エラーなしでの受信 949
図 342. エラーありでの受信 950
図 343. 誤キャリア表示付きの受信 950
図 344. MAC コア割り込みマスク構成 951
図 345. ウェイクアップフレームフィルタレジスタ 956
図 346. ネットワーク時間の同期. 959
図 347. 密補正法を使用したシステム時間の更新 961
図 348. TIM2 ITR1 への PTP トリガ出力. 964
図 349. PPS 出力 964
図 350. ディスクリプタのリングおよびチェイン構造. 965
図 351. デフォルトモードでの TxDMA の動作 969
図 352. OSF モードでの TxDMA の動作 971
図 353. 送信ディスクリプタ 972

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 354. IEEE1588 タイムスタンプが有効な送信ディスクリプタフィールドのフォーマット 977
図 355. 受信 DMA の動作. 982
図 356. Rx DMA ディスクリプタの構造 983
図 357. IEEE1588 タイムスタンプが有効な受信ディスクリプタフィールドのフォーマット 989
図 358. 割り込み方式 991
図 359. イーサネット MAC リモートウェイクアップフレームフィルタレジスタ（ETH_MACRWUFFR） 1001
図 360. STM32F10xxx レベルと Cortex-M3 レベルのデバッグサポートのブロック図. 1039
図 361. SWJ デバッグポート 1040
図 362. JTAG TAP 接続 1044
図 363. TPIU ブロック図 1061

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

参考資料

1 このマニュアルにおける表記の規則

1.1 レジスタに関する略記

レジスタの説明では、次の略記が使用されます。

読み出し/書き込み（rw）	ソフトウェアは、これらのビットの読み出しと書き込みができます。
読み出し専用（r）	ソフトウェアは、これらのビットの読み出しのみが可能です。
書き込み専用（w）	ソフトウェアは、このビットへの書き込みのみが可能です。ビットを読み出すと、リセット値が返されます。
読み出し/クリア（rc_w1）	ソフトウェアは、このビットを読み出すことができ、1 を書き込むことによってクリアすることもできます。‘0’を書き込んでも、ビットの値は変化しません。
読み出し/クリア（rc_w0）	ソフトウェアは、このビットを読み出すことができ、0 を書き込むことによってクリアすることもできます。‘1’を書き込んでも、ビットの値は変化しません。
読み出し/読み出しによるクリア（rc_r）	ソフトウェアは、このビットを読み出すことができます。このビットを読み出すと、自動的に‘0’にクリアされます。‘0’を書き込んでも、ビットの値は変化しません。
読み出し/セット（rs）	ソフトウェアは、このビットの読み出しとセットができます。‘0’を書き込んでも、ビットの値は変化しません。
読み出し専用書き込みトリガ（rt_w）	ソフトウェアは、このビットを読み出すことができます。‘0’または‘1’を書き込むと、イベントがトリガされますが、ビットの値は変化しません。
トグル（t）	ソフトウェアは、‘1’を書き込むことによって、このビットをトグルすることだけができます。‘0’を書き込んでも、ビットの値は変化しません。
予約済み（Res.）	予約済みのビットであり、リセット値のままにしておかなければなりません。

1.2 用語集

- **小容量デバイス**は、フラッシュメモリ容量が 16～32KB の STM32F101xx、STM32F102xx、および STM32F103xx マイクロコントローラです。
- **中容量デバイス**は、フラッシュメモリ容量が 64～128KB の STM32F101xx、STM32F102xx、および STM32F103xx マイクロコントローラです。
- **大容量デバイス**は、フラッシュメモリ容量が 256～512KB の STM32F101xx および STM32F103xx マイクロコントローラです。
- **特大容量デバイス**は、フラッシュメモリ容量が 768KB～1MB の STM32F101xx および STM32F103xx マイクロコントローラです。
- **コネクティビティラインデバイス**は、STM32F105xx および STM32F107xx マイクロコントローラです。
- **ワード**：32ビット長のデータ。
- **ハーフワード**：16ビット長のデータ。
- **バイト**：8ビット長のデータ。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

1.3 ペリフェラルの可用性

すべての STM32F10xxx 製品タイプのペリフェラルの可用性と数については、小容量、中容量、大容量、および特大容量 STM32F101xx および STM32F103xx のデータシート、小容量および中容量 STM32F102xx のデータシート、およびコネクティビティラインデバイス STM32F105xx/STM32F107xx のデータシートを参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

2 メモリとバスのアーキテクチャ

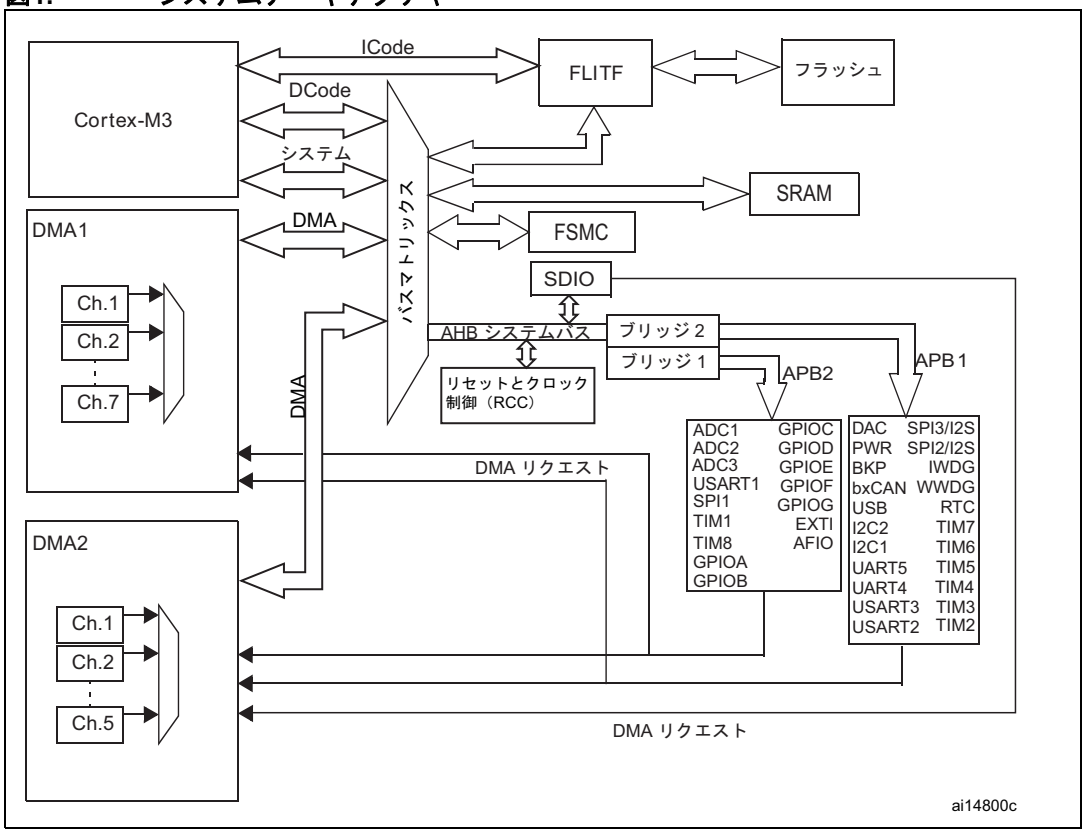
2.1 システムアーキテクチャ

小容量、中容量、大容量、および特大容量のデバイスでは、メインシステムは以下のもので構成されます。

- 4 つのマスタ回路：
  - Cortex™-M3 コア DCode バス（D-bus）およびシステムバス（S-bus）
  - GP-DMA1 および 2（汎用 DMA）
- 4つのスレーブ回路：
  - 内蔵 SRAM
  - 内蔵フラッシュメモリ
  - FSMC
  - すべての APB ペリフェラルを接続するための AHB/APBx（APB1 または APB2）ブリッジ

これらは*図1*に示されているように、マルチレイヤ AHB バスアーキテクチャで相互に接続されています。

図1. システムアーキテクチャ



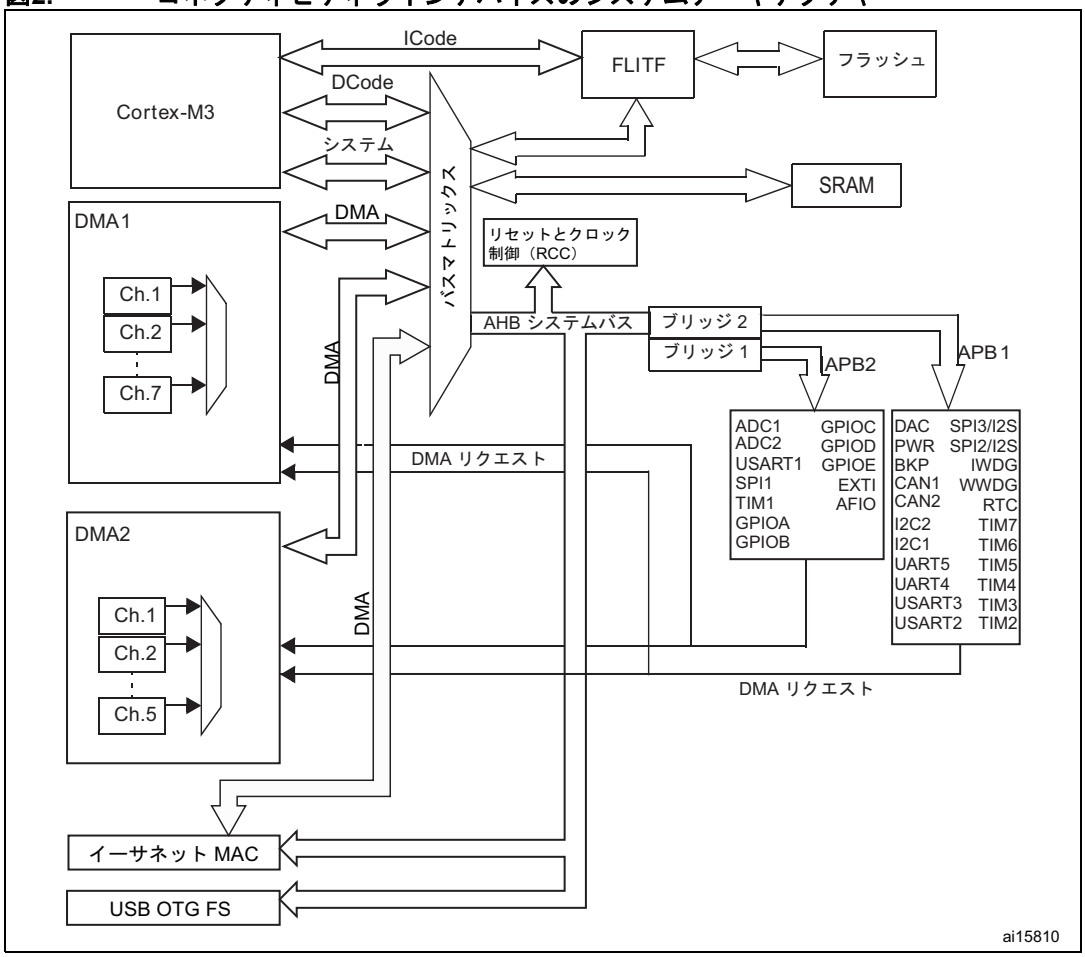
この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

コネクティビティラインデバイスでは、メインシステムは以下のもので構成されます。

- 5 つのマスタ回路：
  - Cortex™-M3 コア DCode バス（D-bus）およびシステムバス（S-bus）
  - GP-DMA1 および 2（汎用 DMA）
  - イーサネット DMA
- 3 つのスレーブ回路：
  - 内蔵 SRAM
  - 内蔵フラッシュメモリ
  - すべての APB ペリフェラルを接続するための AHB/APB ブリッジ（AHB から APBx）

これらは図2 に示されているように、マルチレイヤ AHB バスアーキテクチャで相互に接続されています。

図2. コネクティビティラインデバイスのシステムアーキテクチャ



ICode バス

このバスは Cortex™-M3 コアの命令バスをフラッシュメモリの命令インタフェースに接続します。プリフェッチは、このバスを経由して行われます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

DCode バス

このバスは、Cortex™-M3 コアの Dcode バス（リテラルのロードとデバッグのためのアクセス）をフラッシュメモリデータインタフェースに接続します。

システムバス

このバスは、Cortex™-M3 のシステムバス（ペリフェラルバス）を、コアと DMA の間の調停を管理するバスマトリックスに接続します。

DMA バス

このバスは、DMA の AHB マスタインタフェースをバスマトリックスに接続し、CPU の DCode バスと DMA から SRAM やフラッシュメモリ、ペリフェラルへのアクセスを管理しています。

バスマトリックス（BusMatrix）

バスマトリックスは、コアシステムバスと DMA マスタバスの間のアクセス調停をラウンドロビン方式で管理します。コネクティビティラインデバイスでは、バスマトリックスは 5つのマスタ（CPU DCode、システムバス、イーサネット DMA、DMA1、および DMA2 バス）と 3 つのスレーブ（FLITF、SRAM、AHB2APB ブリッジ）で構成されています。その他のデバイスでは、バスマトリックスは 4 つのマスタ（CPU DCode、システムバス、DMA1 バス、および DMA2 バス）と 4 つのスレーブ（FLITF、SRAM、FSMC、および AHB2APB ブリッジ）で構成されています。

AHB ペリフェラルは、DMA アクセスを可能とするため、バスマトリックスを経由してシステムバスに接続されています。

AHB/APB ブリッジ（APB）

2 つの AHB/APB ブリッジは、AHB と 2 つの APB バスの間の、完全同期式の接続を提供します。APB1 は最大周波数 36 MHz で、APB2 はフルスピード（デバイスに依存し、最大 72 MHz）で動作します。

各ブリッジに接続されているペリフェラルのアドレスマッピングについては、*表1（45ページ）*を参照してください。

各デバイスリセットの後、すべてのペリフェラルクロックは無効になります（SRAM とFLITF は除く）。ペリフェラルを使う前に、RCC_AHBENR、RCC_APB2ENR、または RCC_APB1ENR レジスタでクロックを有効にする必要があります。

注： ***APB レジスタへ 16 または 8 ビットアクセスが行われるとき、アクセスは 32 ビットアクセスに変換されます。ブリッジが 16 または 8 ビットデータを複製し、32 ビットのベクタを提供します。***

2.2 メモリ構成

プログラムメモリ、データメモリ、レジスタ、および入出力ポートは、同じ 4 GB のリニアなアドレス空間に配置されています。

バイトは、メモリ内でリトルエンディアン形式でコード化されます。ワード内で最も小さな番号のバイトがワードの最下位バイトとみなされ、最も大きな番号のバイトが最上位バイトとみなされます。

ペリフェラルのレジスタの詳細なマッピングについては、該当する章を参照してください。

アドレス可能なメモリ空間は、それぞれ 512 MB の 8 つのメインブロックに分けられています。

オンチップメモリとペリフェラルに割り当てられていないメモリ領域はすべて、「予約済み」とみなされます。該当する製品データシートのメモリマップの図を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

2.3 メモリマップ

総合的なメモリマップの図については、お使いのデバイスに該当するデータシートを参照してください。*表1*に、すべての STM32F10xxx デバイスで使用可能なペリフェラルの境界アドレスを示します。

表1. レジスタ境界アドレス

境界アドレス	ペリフェラル	バス	レジスタマップ
0x5000 0000 - 0x5003 FFFF	USB OTG FS	AHB	*セクション 27.15.6（868 ページ）*
0x4003 0000 - 0x4FFF FFFF	予約済み		
0x4002 8000 - 0x4002 9FFF	イーサネット		*セクション 28.8.5（1032 ページ）*
0x4002 3400 - 0x4002 7FFF	予約済み		
0x4002 3000 - 0x4002 33FF	CRC		*セクション 3.4.4（59 ページ）*
0x4002 2000 - 0x4002 23FF	フラッシュメモリインタフェース		
0x4002 1400 - 0x4002 1FFF	予約済み		
0x4002 1000 - 0x4002 13FF	リセットとクロック制御 RCC		*セクション 6.3.11（112 ページ）*
0x4002 0800 - 0x4002 0FFF	予約済み		
0x4002 0400 - 0x4002 07FF	DMA2		*セクション 10.4.7（213 ページ）*
0x4002 0000 - 0x4002 03FF	DMA1		*セクション 10.4.7（213 ページ）*
0x4001 8400 - 0x4001 7FFF	予約済み		
0x4001 8000 - 0x4001 83FF	SDIO		*セクション 21.9.16（584 ページ）*

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表1. レジスタ境界アドレス （続き）

境界アドレス	ペリフェラル	バス	レジスタマップ
0x4001 5800 - 0x4001 7FFF	予約済み	APB2	
0x4001 5400 - 0x4001 57FF	TIM11 タイマ		*セクション 15.5.14 （429 ページ）*
0x4001 5000 - 0x4001 53FF	TIM10 タイマ		*セクション 15.5.14 （429 ページ）*
0x4001 4C00 - 0x4001 4FFF	TIM9 タイマ		*セクション 15.5.14 （429 ページ）*
0x4001 4000 - 0x4001 4BFF	予約済み		
0x4001 3C00 - 0x4001 3FFF	ADC3		*セクション 11.12.15 （248 ページ）*
0x4001 3800 - 0x4001 3BFF	USART1		*セクション 26.6.8 （783 ページ）*
0x4001 3400 - 0x4001 37FF	TIM8 タイマ		*セクション 13.4.21 （336 ページ）*
0x4001 3000 - 0x4001 33FF	SPI1		*セクション 24.5 （698 ページ）*
0x4001 2C00 - 0x4001 2FFF	TIM1 タイマ		*セクション 13.4.21 （336 ページ）*
0x4001 2800 - 0x4001 2BFF	ADC2		*セクション 11.12.15 （248 ページ）*
0x4001 2400 - 0x4001 27FF	ADC1		*セクション 11.12.15 （248 ページ）*
0x4001 2000 - 0x4001 23FF	GPIO ポート G		*セクション 8.5 （180 ページ）*
0x4001 1C00 - 0x4001 1FFF	GPIO ポート F		*セクション 8.5 （180 ページ）*
0x4001 1800 - 0x4001 1BFF	GPIO ポート E		*セクション 8.5 （180 ページ）*
0x4001 1400 - 0x4001 17FF	GPIO ポート D		*セクション 8.5 （180 ページ）*
0x4001 1000 - 0x4001 13FF	GPIO ポート C		*セクション 8.5 （180 ページ）*
0x4001 0C00 - 0x4001 0FFF	GPIO ポート B		*セクション 8.5 （180 ページ）*
0x4001 0800 - 0x4001 0BFF	GPIO ポート A		*セクション 8.5 （180 ページ）*
0x4001 0400 - 0x4001 07FF	EXTI		*セクション 9.3.7 （197 ページ）*
0x4001 0000 - 0x4001 03FF	AFIO		*セクション 8.5 （180 ページ）*

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表1. レジスタ境界アドレス （続き）

境界アドレス	ペリフェラル	バス	レジスタマップ
0x4000 7800 - 0x4000 FFFF	予約済み	APB1	
0x4000 7400 - 0x4000 77FF	DAC		セクション 12.5.14 （269 ページ）
0x4000 7000 - 0x4000 73FF	電源制御 PWR		セクション 4.4.3 （73 ページ）
0x4000 6C00 - 0x4000 6FFF	バックアップレジスタ （BKP）		セクション 5.4.5 （78 ページ）
0x4000 6800 - 0x4000 6BFF	予約済み		
0x4000 6400 - 0x4000 67FF	bxCAN1		セクション 23.9.5 （656 ページ）
0x4000 6800 - 0x4000 6BFF	bxCAN2		セクション 23.9.5 （656 ページ）
0x4000 6000(1) - 0x4000 63FF	USB/CAN 共用 SRAM 512 バイト		
0x4000 5C00 - 0x4000 5FFF	USB デバイス FS レジスタ		セクション 22.5.4 （612 ページ）
0x4000 5800 - 0x4000 5BFF	I2C2		セクション 25.6.10 （740 ページ）
0x4000 5400 - 0x4000 57FF	I2C1		セクション 25.6.10 （740 ページ）
0x4000 5000 - 0x4000 53FF	UART5		セクション 26.6.8 （783 ページ）
0x4000 4C00 - 0x4000 4FFF	UART4		セクション 26.6.8 （783 ページ）
0x4000 4800 - 0x4000 4BFF	USART3		セクション 26.6.8 （783 ページ）
0x4000 4400 - 0x4000 47FF	USART2		セクション 26.6.8 （783 ページ）
0x4000 4000 - 0x4000 3FFF	予約済み		
0x4000 3C00 - 0x4000 3FFF	SPI3/I2S		セクション 24.5 （698 ページ）
0x4000 3800 - 0x4000 3BFF	SPI2/I2S		セクション 24.5 （698 ページ）
0x4000 3400 - 0x4000 37FF	予約済み		
0x4000 3000 - 0x4000 33FF	独立型ウォッチドッグ （IWDG）		セクション 18.4.5 （469 ページ）
0x4000 2C00 - 0x4000 2FFF	ウィンドウ型ウォッチドッグ （WWDG）		セクション 19.6.4 （474 ページ）
0x4000 2800 - 0x4000 2BFF	RTC		セクション 17.4.7 （463 ページ）
0x4000 2400 - 0x4000 27FF	予約済み		
0x4000 2000 - 0x4000 23FF	TIM14 タイマ		セクション 15.6.12 （439 ページ）
0x4000 1C00 - 0x4000 1FFF	TIM13 タイマ		セクション 15.6.12 （439 ページ）
0x4000 1800 - 0x4000 1BFF	TIM12 タイマ		セクション 15.6.12 （439 ページ）
0x4000 1400 - 0x4000 17FF	TIM7 タイマ		セクション 16.4.9 （452 ページ）
0x4000 1000 - 0x4000 13FF	TIM6 タイマ		セクション 16.4.9 （452 ページ）
0x4000 0C00 - 0x4000 0FFF	TIM5 タイマ		セクション 14.4.19 （394 ページ）
0x4000 0800 - 0x4000 0BFF	TIM4 タイマ		セクション 14.4.19 （394 ページ）
0x4000 0400 - 0x4000 07FF	TIM3 タイマ		セクション 14.4.19 （394 ページ）
0x4000 0000 - 0x4000 03FF	TIM2 タイマ		セクション 14.4.19 （394 ページ）

1. この共有 SRAM は、小容量、中容量、大容量、および 特大デバイスでのみ完全アクセスが可能であり、コネクティビティラインデバイスでは完全アクセスはできません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料 （以下、「正規英語版資料」） を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

2.3.1 内蔵 SRAM

STM32F10xxx は、最大 96 KB の スタティック SRAM を搭載しています。SRAM は、バイト、ハーフワード（16 ビット）、またはフルワード（32 ビット）によるアクセスが可能です。SRAM の開始アドレスは、0x2000 0000 です。

2.3.2 ビットバンディング

Cortex™-M3 のメモリマップには、2 つのビットバンド領域が含まれています。これらの領域は、メモリのエイリアス領域の各ワードをメモリのビットバンド領域のビットにマップします。エイリアス領域のワードへの書き込みは、ビットバンド領域の対象ビットへのリードモディファイライト操作と同じ効果を持ちます。

STM32F10xxx では、ペリフェラルのレジスタと SRAM の両方がビットバンド領域でマッピングされます。これにより、単一のビットバンド書き込み読み出し操作を実行することができます。操作は Coretex-M3 アクセスでのみ可能であり、他のバスマスタ（DMA など）からはできません。

マッピングの計算式は、ビットバンド領域の対象ビットがどのようにエイリアス領域のワードに対応するかを示しています。マッピング計算式は、次のとおりです。

bit_word_addr = *bit_band_base* + (*byte_offset* x 32) + (*bit_number* × 4)

ここで、

bit_word_addr は、対象ビットにマップされるエイリアスメモリ領域のワードのアドレスです。

bit_band_base はエイリアス領域の開始アドレスです。

byte_offset は対象ビットを含むビットバンド領域のバイト数です。

bit_number は対象ビットのビット位置（0-7）です。

例：

次の例は、SRAM アドレス 0x20000300 にあるバイトのビット 2 がエイリアス領域でどのようにマップされるかを示しています。

0x22006008 = 0x22000000 + (0x300*32) + (2*4).

アドレス 0x22006008 への書き込みは、SRAM アドレス 0x20000300 のバイトのビット 2 に対してリードモディファイライト操作を実行することと同じ効果があります。

アドレス 0x22006008 を読み出すと、SRAM アドレス 0x20000300 のバイトのビット 2 の値（0x01 または 0x00）が返されます（ビットがセットされていれば 0x01、リセットされていれば 0x00）。

ビットバンディングの詳細については、*Cortex™-M3 テクニカルリファレンスマニュアル*を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

2.3.3 内蔵フラッシュメモリ

高機能なフラッシュメモリモジュールには、次のような特徴があります。

- 特大容量デバイス：書き込み中読み出し（RWW）機能のためのデュアルバンク構造を持つ最大 1MB の容量：
  - バンク 1：512KB の固定サイズ
  - バンク 2：最大 512KB
- その他のデバイス：最大 512KB
- メモリ構成: フラッシュメモリはメインブロックとインフォメーションブロックで構成されています。
  - メインメモリブロックサイズ：

    特大容量デバイスでは、それぞれ 2KB の 512 ページに分割される最大 128KB × 64 ビット（*表6* を参照）。

    小容量デバイスでは、それぞれ 1KB の 32 ページに分割される最大 4KB × 64 ビット（*表2* を参照）。

    中容量デバイスでは、それぞれ 1KB の 128 ページに分割される最大 16KB × 64 ビット（*表3* を参照）。

    大容量デバイスでは、それぞれ 2KB の 256 ページに分割される最大 64KB × 64 ビット（*表4* を参照）。

    コネクティビティラインデバイスでは、それぞれ 2KB の 128 ページに分割される最大 32K ビット × 64 ビット（*表5* を参照）。
  - インフォメーションブロックのサイズ：

    特大容量デバイスでは、770 × 64 ビット（*表6* を参照）

    コネクティビティラインデバイスでは、2360 × 64 ビット（*表5* を参照）

    その他のデバイスでは、258 × 64 ビット（*表2*、*表3*、および*表4* を参照）

フラッシュメモリインタフェース（FLITF）は次の機能を持っています。

- プリフェッチバッファ（2 x 64 ビットワード）を持つ読み出しインタフェース
- オプションバイトローダ
- フラッシュプログラミング/消去操作
- 読み出し/書き込み保護

表2. フラッシュモジュールの構成（小容量デバイス）

ブロック	名称	ベースアドレス	サイズ（バイト）
メインメモリ	ページ 0	0x0800 0000 - 0x0800 03FF	1 K
	ページ 1	0x0800 0400 - 0x0800 07FF	1 K
	ページ 2	0x0800 0800 - 0x0800 0BFF	1 K
	ページ 3	0x0800 0C00 - 0x0800 0FFF	1 K
	ページ 4	0x0800 1000 - 0x0800 13FF	1 K
	. . .	. . .	. . .
	ページ 31	0x0800 7C00 - 0x0800 7FFF	1 K
インフォメーションブロック	システムメモリ	0x1FFF F000 - 0x1FFF F7FF	2 K
	オプションバイト	0x1FFF F800 - 0x1FFF F80F	16

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表2. フラッシュモジュールの構成（小容量デバイス）（続き）

ブロック	名称	ベースアドレス	サイズ（バイト）
フラッシュメモリインタフェースレジスタ	FLASH_ACR	0x4002 2000 - 0x4002 2003	4
	FLASH_KEYR	0x4002 2004 - 0x4002 2007	4
	FLASH_OPTKEYR	0x4002 2008 - 0x4002 200B	4
	FLASH_SR	0x4002 200C - 0x4002 200F	4
	FLASH_CR	0x4002 2010 - 0x4002 2013	4
	FLASH_AR	0x4002 2014 - 0x4002 2017	4
	予約済み	0x4002 2018 - 0x4002 201B	4
	FLASH_OBR	0x4002 201C - 0x4002 201F	4
	FLASH_WRPR	0x4002 2020 - 0x4002 2023	4

表3. フラッシュモジュールの構成（中容量デバイス）

ブロック	名称	ベースアドレス	サイズ（バイト）
メインメモリ	ページ 0	0x0800 0000 - 0x0800 03FF	1 K
	ページ 1	0x0800 0400 - 0x0800 07FF	1 K
	ページ 2	0x0800 0800 - 0x0800 0BFF	1 K
	ページ 3	0x0800 0C00 - 0x0800 0FFF	1 K
	ページ 4	0x0800 1000 - 0x0800 13FF	1 K
	. . .	. . .	. . .
	ページ 127	0x0801 FC00 - 0x0801 FFFF	1 K
インフォメーションブロック	システムメモリ	0x1FFF F000 - 0x1FFF F7FF	2 K
	オプションバイト	0x1FFF F800 - 0x1FFF F80F	16
フラッシュメモリインタフェースレジスタ	FLASH_ACR	0x4002 2000 - 0x4002 2003	4
	FLASH_KEYR	0x4002 2004 - 0x4002 2007	4
	FLASH_OPTKEYR	0x4002 2008 - 0x4002 200B	4
	FLASH_SR	0x4002 200C - 0x4002 200F	4
	FLASH_CR	0x4002 2010 - 0x4002 2013	4
	FLASH_AR	0x4002 2014 - 0x4002 2017	4
	予約済み	0x4002 2018 - 0x4002 201B	4
	FLASH_OBR	0x4002 201C - 0x4002 201F	4
	FLASH_WRPR	0x4002 2020 - 0x4002 2023	4

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表4. フラッシュモジュールの構成（大容量デバイス）

ブロック	名称	ベースアドレス	サイズ（バイト）
メインメモリ	ページ 0	0x0800 0000 - 0x0800 07FF	2 K
	ページ 1	0x0800 0800 - 0x0800 0FFF	2 K
	ページ 2	0x0800 1000 - 0x0800 17FF	2 K
	ページ 3	0x0800 1800 - 0x0800 1FFF	2 K
	. . .	. . .	. . .
	ページ 255	0x0807 F800 - 0x0807 FFFF	2 K
インフォメーションブロック	システムメモリ	0x1FFF F000 - 0x1FFF F7FF	2 K
	オプションバイト	0x1FFF F800 - 0x1FFF F80F	16
フラッシュメモリインタフェースレジスタ	FLASH_ACR	0x4002 2000 - 0x4002 2003	4
	FLASH_KEYR	0x4002 2004 - 0x4002 2007	4
	FLASH_OPTKEYR	0x4002 2008 - 0x4002 200B	4
	FLASH_SR	0x4002 200C - 0x4002 200F	4
	FLASH_CR	0x4002 2010 - 0x4002 2013	4
	FLASH_AR	0x4002 2014 - 0x4002 2017	4
	予約済み	0x4002 2018 - 0x4002 201B	4
	FLASH_OBR	0x4002 201C - 0x4002 201F	4
	FLASH_WRPR	0x4002 2020 - 0x4002 2023	4

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表5. フラッシュモジュールの構成（コネクティビティラインデバイス）

ブロック	名称	ベースアドレス	サイズ（バイト）
メインメモリ	ページ 0	0x0800 0000 - 0x0800 07FF	2 K
	ページ 1	0x0800 0800 - 0x0800 0FFF	2 K
	ページ 2	0x0800 1000 - 0x0800 17FF	2 K
	ページ 3	0x0800 1800 - 0x0800 1FFF	2 K
	. . .	. . .	. . .
	ページ 127	0x0803 F800 - 0x0803 FFFF	2 K
インフォメーションブロック	システムメモリ	0x1FFF B000 - 0x1FFF F7FF	18 K
	オプションバイト	0x1FFF F800 - 0x1FFF F80F	16
フラッシュメモリインタフェースレジスタ	FLASH_ACR	0x4002 2000 - 0x4002 2003	4
	FLASH_KEYR	0x4002 2004 - 0x4002 2007	4
	FLASH_OPTKEYR	0x4002 2008 - 0x4002 200B	4
	FLASH_SR	0x4002 200C - 0x4002 200F	4
	FLASH_CR	0x4002 2010 - 0x4002 2013	4
	FLASH_AR	0x4002 2014 - 0x4002 2017	4
	予約済み	0x4002 2018 - 0x4002 201B	4
	FLASH_OBR	0x4002 201C - 0x4002 201F	4
	FLASH_WRPR	0x4002 2020 - 0x4002 2023	4

表6. フラッシュモジュールの構成（特大容量デバイス）

ブロック		名称	ベースアドレス	サイズ（バイト）
メインメモリ	バンク 1	ページ 0	0x0800 0000 - 0x0800 07FF	2 K
		ページ 1	0x0800 0800 - 0x0800 0FFF	2 K
		...	...	...
		ページ 255	0x0807 F800 - 0x0807 FFFF	2 K
	バンク 2	ページ 256	0x0808 0000 - 0x0808 07FF	2 K
		ページ 257	0x0808 0800 - 0x0808 0FFF	2 K
		. . .	. . .	. . .
		ページ 511	0x080F F800 - 0x080F FFFF	2 K
インフォメーションブロック		システムメモリ	0x1FFF E000 - 0x1FFF F7FF	6 K
		オプションバイト	0x1FFF F800 - 0x1FFF F80F	16

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表6. フラッシュモジュールの構成（特大容量デバイス）（続き）

ブロック	名称	ベースアドレス	サイズ（バイト）
フラッシュメモリインタフェースレジスタ	FLASH_ACR	0x4002 2000 - 0x4002 2003	4
	FLASH_KEYR	0x4002 2004 - 0x4002 2007	4
	FLASH_OPTKEYR	0x4002 2008 - 0x4002 200B	4
	FLASH_SR	0x4002 200C - 0x4002 200F	4
	FLASH_CR	0x4002 2010 - 0x4002 2013	4
	FLASH_AR	0x4002 2014 - 0x4002 2017	4
	予約済み	0x4002 2018 - 0x4002 201B	4
	FLASH_OBR	0x4002 201C - 0x4002 201F	4
	FLASH_WRPR	0x4002 2020 - 0x4002 2023	4
	予約済み	0x4002 2024 - 0x4002 2043	32
	FLASH_KEYR2	0x4002 2044 - 0x4002 2047	4
	予約済み	0x4002 2048 - 0x4002 204B	4
	FLASH_SR2	0x4002 204C - 0x4002 204F	4
	FLASH_CR2	0x4002 2050 - 0x4002 2053	4
	FLASH_AR2	0x4002 2054 - 0x4002 2057	4

注： ***フラッシュメモリインタフェースレジスタの詳細については、以下を参照してください。***

- *特大容量デバイスについては、「STM32F10xxx 特大容量デバイスフラッシュプログラミングマニュアル」（PM0068）*
- *その他のデバイスについては、「STM32F10xxx フラッシュプログラミングマニュアル」（PM0042）*

フラッシュメモリの読み出し

フラッシュメモリの命令やデータアクセスは、AHB バスを経由して行われます。プリフェッチブロックは、ICode バスを通しての命令フェッチに使用されます。アクセス競合の管理は、フラッシュメモリインタフェースで行われ、DCode バスを経由するデータアクセスが最も優先されます。

読み出しアクセスでは、次の設定オプションが指定できます。

- 遅延：その場でプログラミングされる読み出し操作のウェイトステート数。
- プリフェッチバッファ（2 x 64 ビットブロック）：リセット後に有効になります。ブロックサイズがフラッシュメモリのバンド幅に適合するので、フラッシュメモリからの 1 回の読み出しでブロック全体を置き換えることができます。プリフェッチバッファがあるため、CPU の実行が高速になります。CPU は一度に 1 つのワードをフェッチしますが、次のワードはプリフェッチバッファにすでにあるからです。
- ハーフサイクル：消費電力の最適化。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

注： *1 これらのオプションは、フラッシュメモリのアクセス時間に従って使用してください。ウェイトステートは、フラッシュメモリアクセス時間に対する SYSCLK（システムクロック）周期の比率を表します。*

0 < SYSCLK ≦ 24 MHz の場合、ゼロウェイトステート
24 MHz < SYSCLK ≦ 48 MHz の場合、1 ウェイトステート
48 MHz < SYSCLK ≦ 72 MHz の場合、2 ウェイトステート

2 ハーフサイクル設定は、AHB 上のプリスケーラと同時に利用することはできません。システムクロック（SYSCLK）は、HCLK クロックと同じにする必要があります。このため、この機能は 8 MHz 以下の低周波数クロックのみで使用できます。このクロックは HSI または HSE から生成できますが、PLL からは生成できません。

3 AHB クロックで 1 と異なるプリスケーラを使用する場合は、プリフェッチバッファを使用する必要があります。

4 SYSCLK が 24 MHz より低く、プリスケーラが AHB クロックに適用されないときのみ、プリフェッチバッファのオン/オフを切り替える必要があります（SYSCLK は HCLK に等しくなければなりません）。プリフェッチバッファは、通常、初期化ルーチンでオン/オフが切り替えられますが、マイクロコントローラは内部 8 MHz RC（HSI）オシレータで動作します。

5 DMA の使用：DMA は、DCode バスを経由してフラッシュメモリにアクセスし、ICode 命令より優先されます。DMA では、各転送動作のあとに 1 サイクル分の空き時間がおかれるよう制御しています。いくつかの命令は DMA 転送と同時に実行できます。

フラッシュメモリのプログラミングと消去

フラッシュメモリは、一度に 16 ビット（ハーフワード）ずつプログラミングされます。

フラッシュメモリの消去は、ページ単位か、またはフラッシュメモリ全体に対して（全消去）実行されます。全消去の場合でも、インフォメーションブロックは消去されません。

正確なフラッシュプログラミング時間を維持するため、フラッシュプログラミング/消去コントローラブロックには固定されたクロックが供給されています。

書き込み操作（プログラミングまたは消去）の終了時に割り込みをトリガできます。FLITF クロックが有効な場合は、この割り込みを使用して WFI モードから抜けることができます。FLITF クロックが無効なときには、WFI モードの終了後に割り込みが行われます。

FLASH_ACR レジスタは、プリフェッチおよびハーフサイクルアクセスを有効/無効にし、CPU 周波数に従ってフラッシュメモリアクセス時間を制御するために使用されます。次の表に、このレジスタのビットマップとビットの説明を示します。

フラッシュメモリ操作とレジスタ設定の詳細については、「STM32F10xxx フラッシュプログラミングマニュアル（PM0042）」または「STM32F10xxx 特大容量フラッシュプログラミングマニュアル（PM0068）」を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

Flash アクセス制御レジスタ（FLASH_ACR）

アドレスオフセット：0x00
リセット値：0x0000 0030

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み										PRFTBS	PRFTBE	HLFCYA	LATENCY		
										r	rw	rw	rw	rw	rw

ビット 31:6 予約済み。クリアしたままでなければなりません。

ビット 5 **PRFTBS**：プリフェッチバッファステータス
このビットは、プリフェッチバッファのステータスを示します。
0：プリフェッチバッファは無効。
1：プリフェッチバッファは有効。

ビット 4 **PRFTBE**：プリフェッチバッファイネーブル
0：プリフェッチは無効。
1：プリフェッチは有効。

ビット 3 **HLFCYA**：フラッシュハーフサイクルアクセスイネーブル
0：ハーフサイクルは無効。
1：ハーフサイクルは有効。

ビット 2:0 **LATENCY**：遅延
これらのビットは、フラッシュアクセス時間に対する SYSCLK（システムクロック）周期の比率を表します。
000 0 ウェイトステート 0 < SYSCLK ≦ 24 MHz の場合
001 1 ウェイトステート 24 MHz < SYSCLK ≦ 48 MHz の場合
010 2 ウェイトステート 48 MHz < SYSCLK ≦ 72 MHz の場合

2.4 ブート設定

STM32F10xxx では、*表7* に示されているように、BOOT[1:0] ピンによって 3 種類のブートモードを選択できます。

表7. ブートモード

ブートモード選択ピン		ブートモード	摘要
BOOT1	BOOT0		
x	0	メインフラッシュメモリ	ブート領域にメインフラッシュメモリが選択されます。
0	1	システムメモリ	ブート領域にシステムメモリが選択されます。
1	1	内蔵 SRAM	ブート領域に内蔵 SRAM が選択されます。

BOOT ピンの値は、リセット後、SYSCLK の 4 番目の立ち上がりエッジでラッチされます。ユーザはリセット後のブートモードを指定するために BOOT1 と BOOT0 ピンを設定する必要があります。

BOOT ピンは STANDBY モードから抜ける場合にもサンプルされます。したがって、これらのピンは STANDBY モードでも必要なブートモード設定に保たれる必要があります。このスタートアップ遅延が経過した後、CPU はアドレス 0x0000 0000 からスタック最上位の値をフェッチし、0x0000 0004 から始まるブートメモリからコードの実行を開始します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

固定メモリマップにより、コード領域はアドレス 0x0000 0000 から始まり（ICode/DCode バス経由でアクセス）、データ領域（SRAM）はアドレス 0x2000 0000 から始まります（システムバス経由でアクセス）。Cortex-M3 CPU は常に ICode バスのリセットベクタをフェッチします。これは、ブート空間はコード領域（一般にはフラッシュメモリ）でのみ使用可能なことを意味します。STM32F10xxx マイクロコントローラは、メインフラッシュメモリとシステムメモリからだけでなく、SRAM からもブートできる特殊なメカニズムを実装しています。

選択したブートモードに応じて、メインフラッシュメモリ、システムメモリ、または SRAM は次のようにアクセス可能です。

- メインフラッシュメモリからブート：メインフラッシュメモリは aliased ブートメモリ空間（0x0000 0000）に割り当てられますが、オリジナルのメモリ空間（0x800 0000）からもアクセス可能です。言い換えると、フラッシュメモリの内容は、0x0000 0000 または 0x800 0000 の開始アドレスからアクセスできます。
- システムメモリからブート：システムメモリは aliased ブートメモリ空間（0x0000 0000）に割り当てられますが、オリジナルのメモリ空間（コネクティビティラインデバイスでは 0x1FFF B000、その他のデバイスでは 0x1FFF F000）からもアクセス可能です。
- 内蔵 SRAM からブート：SRAM はアドレス 0x2000 0000 でのみアクセス可能です。

注： ***SRAM からブートするときには、アプリケーションの初期化コードで、NVIC 例外テーブルとオフセットレジスタを使用して SRAM のベクタテーブルを再配置する必要があります。***

特大容量デバイスの場合、メインフラッシュメモリからブートするときには、2 つのメモリバンクのどちらからでもブートできます。デフォルトでは、フラッシュメモリバンク 1 からのブートが選択されます。ユーザオプションバイトの BFB2 ビットをクリアすることで、フラッシュメモリバンク 2 からブートできます。このビットがクリアされ、ブートピンがメインフラッシュメモリからのブート設定になっているとき、デバイスはシステムメモリからブートし、ブートローダはジャンプして、フラッシュメモリのバンク 2 でプログラミングされているユーザアプリケーションを実行します。詳細については、AN2606 を参照してください。

注： ***バンク 2 からブートするときには、アプリケーションの初期化コードで、NVIC 例外テーブルとオフセットレジスタを使用して、ベクタテーブルをバンク 2 のベースアドレス（0x0808 0000）に再配置する必要があります。***

内蔵ブートローダ

内蔵ブートローダは、ST により生産時にプログラムされ、システムメモリに配置されます。使用可能なシリアルインタフェースの 1 つでフラッシュメモリを再プログラミングするために使用されます。

- 小容量、中容量、および大容量デバイスでは、ブートローダは USART1 インタフェースを通じて起動されます。
- 特大容量デバイスでは、ブートローダは USART1 または USART2（再配置）を通じて起動されます。
- コネクティビティラインデバイスでは、ブートローダは、USART1、USART2（再配置）、CAN2（再配置）、または USB OTG FS のデバイスモード（DFU：デバイスファームウェアアップグレード）のいずれかのインタフェースを通じて起動できます。
  USART ペリフェラルは、内部 8 MHz オシレータ（HSI）で動作します。ただし、CAN と USB OTG FS は、外部 8 MHz、14.7456 MHz、または 25 MHz クロック（HSE）が存在する場合のみ機能します。

注： ***詳細については、AN2606 を参照してください。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

3 CRC 計算ユニット

小容量デバイスは、フラッシュメモリ容量が 16～32 KBの STM32F101xx、STM32F102xx、および STM32F103xx マイクロコントローラです。

中容量デバイスは、フラッシュメモリ容量が 64～128 KB の STM32F101xx、STM32F102xx、および STM32F103xx マイクロコントローラです。

大容量デバイスは、フラッシュメモリ容量が 256～512 KB の STM32F101xx および STM32F103xx マイクロコントローラです。

特大容量デバイスは、フラッシュメモリ容量が 768 KB～1 MB の STM32F101xx および STM32F103xx マイクロコントローラです。

コネクティビティラインデバイスは、STM32F105xx および STM32F107xx マイクロコントローラです。

このセクションは、別段の指定がない限り、STM32F10xxx ファミリ全体に適用されます。

3.1 CRC の概要

CRC（Cyclic Redundancy Check）計算ユニットは、32 ビットデータワードと決められた生成多項式から CRC コードを取得するために使用されます。

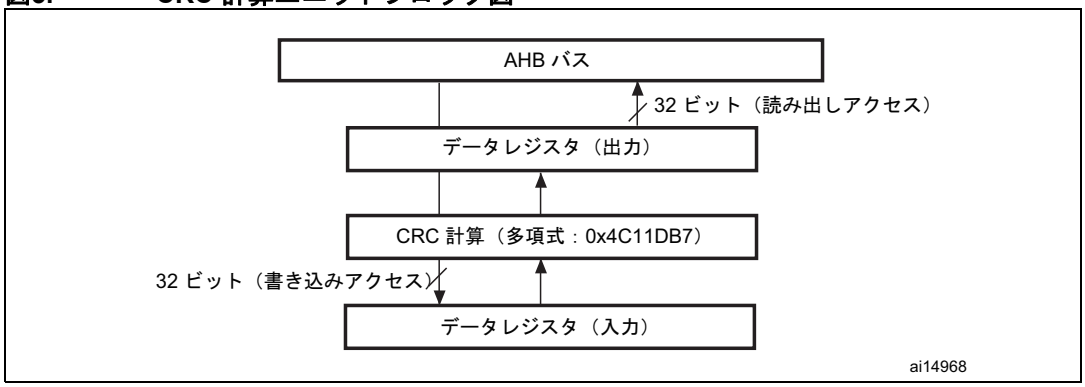
他のアプリケーションの中でも、CRC ベースのテクニックはデータ転送やストレージの整合性を確認するために使用されます。EN/IEC 60335-1 標準の範囲では、フラッシュメモリの整合性を確認する手段となっています。リンク時に生成され、特定のメモリ位置に保存されたリファレンス署名と比較するために、CRC 計算ユニットは、ランタイム時にソフトウェアの署名の計算を支援します。

3.2 CRC の主な機能

- CRC-32 （イーサネット）多項式：0x4C11DB7 を使用
  - $X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^{8} + X^{7} + X^{5} + X^{4} + X^{2} + X + 1$
- シングル入力/出力 32 ビットデータレジスタ
- CRC の計算は 4 AHB クロックサイクル（HCLK）で完了
- 汎用 8 ビットレジスタ（一時的なストレージとして使用可能）

図3 にブロック図を示します。

図3. CRC 計算ユニットブロック図



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

3.3 CRC 機能の説明

CRC 計算ユニットは、主に次のような 1 つの 32 ビットデータレジスタから構成されています。

- CRC 計算機に新しいデータを入力する入力レジスタとして使用されます（レジスタに書き込むとき）。
- 前の CRC 計算結果を保持します（レジスタを読み出すとき）

データレジスタへの書き込み操作のたびに、前の CRC 値と新しい値の組み合わせが作成されます（CRC 計算は 32 ビットデータワード単位で行われ、バイト単位ではありません）。

書き込み操作は、CRC 計算の終了まで停止されるので、back-to-back 書き込みアクセスや連続した書き込み/読み出しアクセスが可能です。

CRC 計算機は、CRC_CR レジスタの RESET 制御ビットで FFFF FFFFh にリセットすることができます。この操作は、CRC_IDR レジスタの内容に影響しません。

3.4 CRC レジスタ

CRC 計算ユニットは、2 つのデータレジスタと制御レジスタから構成されています。

3.4.1 データレジスタ（CRC_DR）

アドレスオフセット：0x00

リセット値：0xFFFF FFFF

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DR [31:16]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DR [15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0 **データレジスタビット**

新しいデータを CRC 計算機に書き込むときに入力レジスタとして使用されます。

読み出し時には、前の CRC 計算結果を保持します。

3.4.2 独立型データレジスタ（CRC_DR）

アドレスオフセット：0x04

リセット値：0x0000 0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								IDR[7:0]							
								rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:8 予約済み

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 7:0 **汎用 8 ビットデータレジスタビット**

1 バイトの一時的なストレージとして使用できます。

このレジスタは、CRC_CR レジスタの RESET ビットによって生成される CRC リセットの影響を受けません。

3.4.3 制御レジスタ（CRC_CR）

アドレスオフセット：0x08

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															RESET
															w

ビット 31:1 **予約済み**

ビット 0 **RESET ビット**

CRC 計算ユニットをリセットして、データレジスタを FFFF FFFFh にセットします。

このビットはセットのみで、ハードウェアによって自動的にクリアされます。

3.4.4 CRC レジスタマップ

次の表に、CRC レジスタマップとリセット値を示します。

表8. CRC 計算ユニットのレジスタマップとリセット値

オフセット	レジスタ	31-24	23-16	15-8	7	6	5	4	3	2	1	0
0x00	**CRC_DR** リセット値:	データレジスタ 0xFFFF FFFF										
0x04	**CRC_IDR** リセット値	予約済み			独立型データレジスタ 0x00							
0x08	**CRC_CR** リセット値	予約済み								予約済み 0		RESET 0

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

4 電源制御 (PWR)

小容量デバイスは、フラッシュメモリ容量が 16～32 KB の STM32F101xx、STM32F102xx、および STM32F103xx マイクロコントローラです。

中容量デバイスは、フラッシュメモリ容量が 64～128 KB の STM32F101xx、STM32F102xx、および STM32F103xx マイクロコントローラです。

大容量デバイスは、フラッシュメモリ容量が 256～512 K B の STM32F101xx および STM32F103xx マイクロコントローラです。

特大容量デバイスは、フラッシュメモリ容量が 768 KB ～1 MB の STM32F101xx および STM32F103xx マイクロコントローラです。

コネクティビティラインデバイスは、STM32F105xx および STM32F107xx マイクロコントローラです。

このセクションは、別段の指定がない限り、STM32F10xxx ファミリ全体に適用されます。

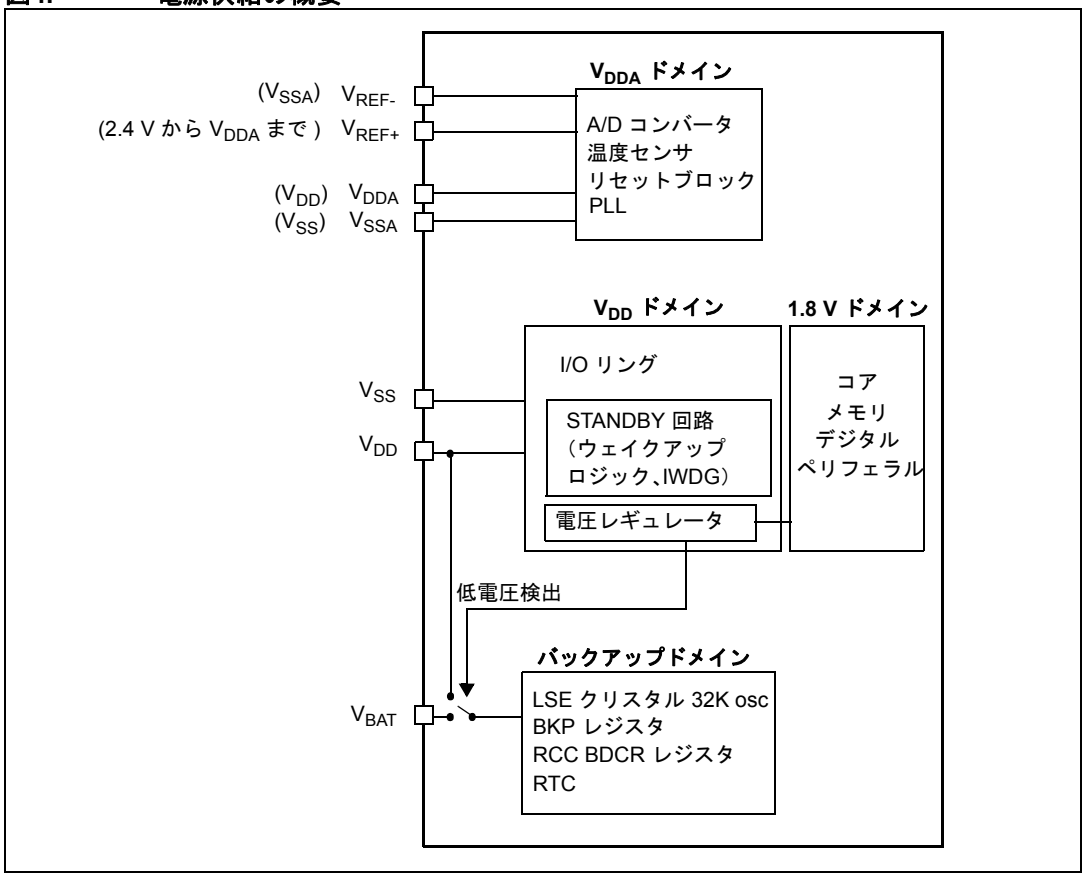
4.1 電源供給

このデバイスには 2.0～3.6 V の V_{DD} 電源供給が必要です。内部の 1.8 V デジタル電源に供給するために、レギュレータが搭載されています。

リアルタイムクロック（RTC）とバックアップレジスタの電源は、主電源 V_{DD} がオフのときに V_{BAT} から供給されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図4. 電源供給の概要



注： 1 V_{DDA} と V_{SSA} はそれぞれ V_{DD} と V_{SS} に接続する必要があります。

4.1.1 独立 A/D コンバータ電源と基準電圧

AD 変換の精度を向上させるため、ADC には独立した電源が供給されます。この電源回路はフィルタやシールドを内蔵しているため、PCB 上のノイズを防ぐことができます。

- ADC 電圧供給入力は独立した V_{DDA} ピンから供給されます。
- V_{SSA} ピンには、独立して供給されるグランド接続が用意されています。

可能な限り（パッケージによります）、V_{REF-} は V_{SSA} に接続する必要があります。

100 ピンおよび 144ピンのパッケージ

低電圧入力での精度を確保するため、独立した外部基準電圧 ADC 入力を V_{REF+} および V_{REF-} に接続することができます。V_{REF+} の電圧は 2.4 V から V_{DDA} の範囲になります。

64 ピン以下のパッケージ

V_{REF+} および V_{REF-} ピンは使用できません。これらは ADC 電圧供給（V_{DDA}）およびグランド（V_{SSA}）に内部接続されています。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

4.1.2 バッテリバックアップドメイン

V_{DD} がオフのときにバックアップレジスタの内容を保持し、RTC 機能を提供するために、V_{BAT} ピンを電池やその他の電源によって供給されるオプションのスタンバイ電源に接続することができます。

V_{BAT} ピンからは RTC ユニット、LSE オシレータ、および PC13～15 の入出力にも電源供給されるので、RTC はメインのデジタル電源（V_{DD}）がオフのときでも動作できます。V_{BAT} 電源への切り替えはリセットブロックに組み込まれているパワーダウンリセット回路によって制御されます。

警告： **$t_{RSTTEMPO}$（V_{DD} スタートアップ時の一時的供給）中または PDR の検出後、V_{BAT} と V_{DD} の間の電源スイッチは V_{BAT} に接続されたままになります。**
スタートアップフェーズ中、V_{DD} が $t_{RSTTEMPO}$ 未満で確立され（$t_{RSTTEMPO}$ の値については、データシートを参照）、$V_{DD} > V_{BAT} + 0.6$ V の場合、電流は V_{DD} と電源スイッチ（V_{BAT}）の間に接続された内部ダイオードを通じて V_{BAT} に注入されます。
V_{BAT} ピンに接続された電源/バッテリがこの電流注入をサポートできない場合は、この電源と V_{BAT} ピンの間に外部低電圧ダイオードを接続することを強く推奨します。

外部バッテリが使用されないアプリケーションでは、V_{BAT} を 100 nF の外部セラミック安定化コンデンサ経由で V_{DD} に外部接続することを推奨します（詳細については AN2586 を参照）。

バックアップドメインが V_{DD}（V_{DD} に接続されたアナログスイッチ）から供給を受けている場合には、次の機能が使用できます。

- PC14 と PC15 は GPIO または LSE ピンとして使用できます。
- PC13 は GPIO、TAMPER ピン、RTC 較正クロック、RTC アラーム、または秒出力として使用できます（*セクション 5：バックアップレジスタ（BKP）（74 ページ）*を参照）。

注： ***スイッチに流すことができる電流は限られているので（3mA）、出力モードでの GPIO PC 13 から PC15 までの使用は制限があります。最大負荷 30 pF で最大速度 2 MHz に制限する必要があり、これらの入出力を（たとえば、LED を駆動するための）電流源として使用することはできません。***

バックアップドメインが V_{BAT} から供給を受けているときには（V_{DD} が存在しないので、アナログスイッチは V_{BAT} に接続）、次の機能が使用できます。

- PC14 と PC15 は LSE ピンとしてのみ使用できます。
- PC13 は TAMPER ピン、RTC アラーム、または秒出力として使用できます（*セクション 5.4.2：RTC クロック較正レジスタ（BKP_RTCCR）（76 ページ）*を参照）。

4.1.3 電圧レギュレータ

電圧レギュレータは、リセット後は常に有効です。アプリケーションのモードに応じて 3 種類のモードで動作します。

- RUN モードでは、レギュレータは 1.8 V ドメイン（コア、メモリ、およびデジタルペリフェラル）にフル電力を供給します。
- STOP モードでは、レギュレータは 1.8 V ドメインに対して、レジスタと SRAM の内容を保持できる低電力を供給します。
- STANDBY モードでは、レギュレータはパワーオフ状態です。STANDBY 回路とバックアップドメイン以外のレジスタと SRAM の内容は失われます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

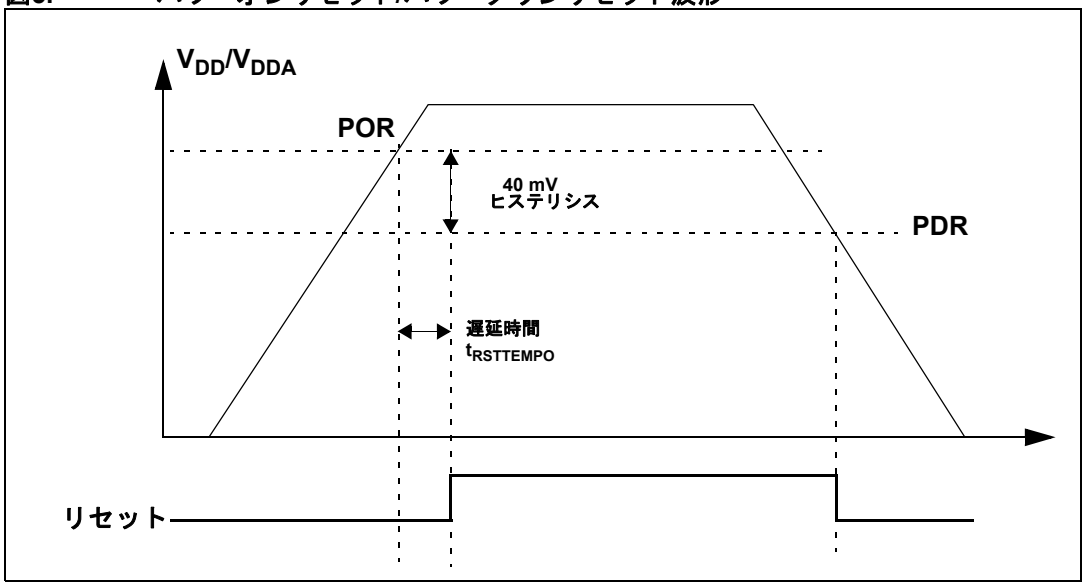
4.2 電源供給スーパバイザ

4.2.1 パワーオンリセット（POR）/パワーダウンリセット（PDR）

このデバイスには、電源電圧が 2 V を超えたとき、または低下したときに必要な動作を行わせるための POR/PDR 回路が搭載されています。

デバイスは、V_{DD}/V_{DDA} が所定の閾値（$V_{POR/PDR}$)を下回っている間は、外部のリセット回路を必要とせずに、リセットモードを維持することができます。POR/PDR 閾値の詳細については、データシートの電気特性の項を参照してください。

図5. パワーオンリセット/パワーダウンリセット波形



4.2.2 プログラマブル電圧検出器（PVD）

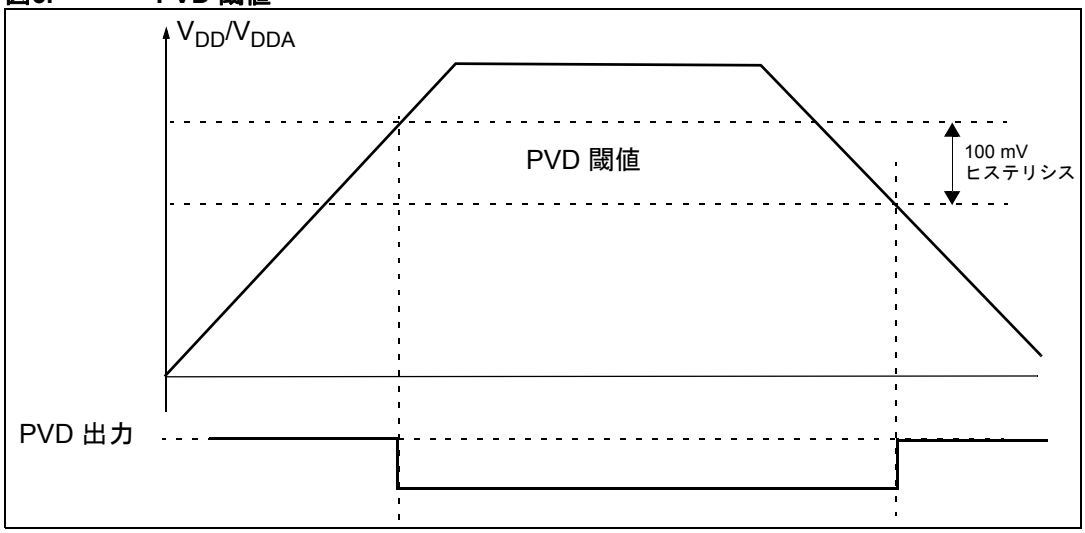
PVD を使用すると、*電源制御レジスタ（PWR_CR）*の PLS[2:0] ビットによって選択された閾値と比較することによって、V_{DD}/V_{DDA} 電源を監視できます。

PVD は、PVDE ビットをセットすることによって有効になります。

*電源制御/ステータスレジスタ（PWR_CSR）*の PVDO フラグは、V_{DD}/V_{DDA} が PVD 閾値より高いか低いかを示します。このイベントは EXTI のライン 16 に内部接続され、EXTI レジスタで有効な場合は、割り込みリクエストを生成できます。V_{DD}/V_{DDA} が PVD 閾値を下回るか、V_{DD}/V_{DDA} が PVD 閾値を上回るときには、EXTI ライン 16 の立ち上がり/立ち下がりエッジ設定に応じて、PVD 出力割り込みを生成できます。たとえば、サービスルーチンで緊急停止処理を行わせることなどができます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図6. PVD 閾値



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

4.3 低電力モード

デフォルトでは、マイクロコントローラは、システムリセットまたは電源リセット後は RUN モードです。外部イベント待ちなど、CPU の実行が不要なときの節電のために、いくつかの低電力モードが用意されています。消費電力の節減、スタートアップ時間の短縮、および使用可能なウェイクアップソースを考慮して、ユーザは最適なモードを選択します。

STM32F10xxx デバイスは、次の 3 つの低電力モードを備えています。

- SLEEP モード（CPU クロックはオフ、NVIC、SysTick などの Cortex-M3 コアペリフェラルを含むすべてのペリフェラルは実行状態を維持）
- STOP モード（すべてのクロックが停止）
- STANDBY モード(1.8V ドメインの電源オフ）

さらに、次のような手段で RUN モードの消費電力を節減できます。

- システムクロック周波数の低減
- 使用されない APB およびAHB ペリフェラルのクロックの停止

表9. 低電力モードの概要

<table>
<tr><th>モード名</th><th>モードへのエントリ</th><th>ウェイクアップ</th><th>1.8V ドメインクロックへの影響</th><th>V_{DD} ドメインクロックへの影響</th><th>電圧レギュレータ</th></tr>
<tr><td rowspan="2">SLEEP (Sleep-now または Sleep-on-exit)</td><td>WFI</td><td>割り込み</td><td rowspan="2">CPU クロック OFF 他のクロックまたはアナログクロックソースへの影響なし</td><td rowspan="2">なし</td><td rowspan="2">ON</td></tr>
<tr><td>WFE</td><td>ウェイクアップイベント</td></tr>
<tr><td>STOP</td><td>PDDS および LPDS ビット + SLEEPDEEP ビット + WFI または WFE</td><td>EXTI ライン（EXTI レジスタで設定）</td><td rowspan="2">すべての 1.8V ドメインクロック OFF</td><td rowspan="2">HSI および HSE オシレータ OFF</td><td>ON または低電力モード（電源制御レジスタ（PWR_CR）に依存）</td></tr>
<tr><td>STANDBY</td><td>PDDS ビット + SLEEPDEEP ビット + WFI または WFE</td><td>WKUP ピン立ち上がりエッジ、RTC アラーム、NRST ピンの外部リセット、IWDG リセット</td><td>OFF</td></tr>
</table>

4.3.1 システムクロック周波数の低減

RUN モードでは、プリスケーラレジスタのプログラミングによってシステムクロック（SYSCLK、HCLK、PCLK1、PCLK2）の速度を低下させることができます。これらのプリスケーラを使用して、SLEEP モードに入る前にペリフェラルの速度を低下させておくこともできます。

詳細については、*セクション 6.3.2：クロック設定レジスタ（RCC_CFGR）*を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

4.3.2 ペリフェラルクロックの停止

RUN モードでは、個々のペリフェラルとメモリの HCLK および PCLKx をいつでも停止して、消費電力を節減できます。

SLEEP モードで消費電力をさらに節減するには、WFI または WFE 命令を実行する前に、ペリフェラルクロックを停止しておきます。

ペリフェラルクロックの停止は、*AHB ペリフェラルクロック有効レジスタ（RCC_AHBENR）*、*APB1 ペリフェラルクロック有効レジスタ（RCC_APB1ENR）*、および *APB2 ペリフェラルクロック有効レジスタ（RCC_APB2ENR）*によって制御されます。

4.3.3 SLEEP モード

SLEEP モードへのエントリ

SLEEP モードに入るには、WFI（Wait For Interrupt）または WFE（Wait for Event）命令を実行します。SLEEP モードに入るメカニズムの選択には、Cortex-M3 システム制御レジスタの SLEEPONEXIT ビットに応じて 2 つのオプションが使用できます。

- Sleep-now：SLEEPONEXIT ビットがクリアされている場合、MCU は、WFI または WFE 命令の実行と同時に SLEEP モードに入ります。
- Sleep-on-exit：SLEEPONEXIT ビットがセットされている場合、MCU は、最も優先度の低い ISR から抜けた時点で SLEEP モードに入ります。

SLEEP モードでは、すべての入出力ピンは RUN モードと同じ状態を保ちます。

SLEEP モードへの入り方の詳細については、*表10* および *表11* を参照してください。

SLEEP モードからの復帰

WFI 命令によってSLEEP モードに入った場合、ペリフェラルの割り込みがネスト化されたベクタ割り込みコントローラ（NVIC）によって受けつけられると、デバイスは SLEEP モードを終了します。

WFE 命令によって SLEEP モードに入った場合、イベントが発生すると同時に MCU はSLEEP モードを終了します。ウェイクアップイベントは、次のどちらかによって生成できます。

- NVIC で有効にするのではなくペリフェラル制御レジスタで割り込みを有効にして、Cortex-M3 システム制御レジスタの SEVONPEND ビットを有効にします。MCU が WFE からリスタートするときには、ペリフェラル割り込み保留ビットとペリフェラル NVIC IRQ チャネル保留ビット（NVIC 割り込みクリア保留レジスタ）をクリアする必要があります。
- または、イベントモードで外部または内部 EXIT ラインを設定します。CPU が WFE からリスタートするときには、イベントラインに対応する保留ビットはセットされないので、ペリフェラル割り込み保留ビットや NVIC IRQ チャネル保留ビットをクリアする必要はありません。

このモードは、割り込みの入口と出口で余分な時間を必要としないため、ウェイクアップ時間は最も短くなります。

SLEEP モードの終了方法の詳細については、*表10* および *表11* を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表10. Sleep-now

Sleep-now モード	説明
モードへのエントリ	以下の条件下での WFI（Wait for Interrupt）または WFE（Wait for Event） – SLEEPDEEP = 0 および – SLEEPONEXIT = 0 Cortex™-M3 システム制御レジスタを参照。
モードからの復帰	WFI 命令で SLEEP モードに入った場合： 割り込み：*表 62：その他の STM32F10xxx デバイスのベクタテーブル*を参照。 WFE 命令で SLEEP モードに入った場合、 ウェイクアップイベント：*セクション 9.2.3：ウェイクアップイベント管理* を参照。
ウェイクアップ時の遅延	なし

表11. Sleep-on-exit

Sleep-on-exit	説明
モードへのエントリ	以下の条件下での WFI（Wait for Interrupt） – SLEEPDEEP = 0 および – SLEEPONEXIT = 1 Cortex™-M3 システム制御レジスタを参照。
モードからの復帰	割り込み：*表 62：その他の STM32F10xxx デバイスのベクタテーブル* を参照。
ウェイクアップ時の遅延	なし

4.3.4 STOP モード

STOP モードは、Cortex-M3 のディープスリープ (deepsleep) モードとペリフェラルクロックスイッチ機能を組み合わせたものです。電圧レギュレータは、通常モードか、低電力モードのいずれかに設定できます。STOP モードでは、1.8 V ドメインのすべてのクロックが停止し、PLL、HSI、および HSE RC オシレータは無効になります。SRAM とレジスタの内容は保持されます。

STOP モードでは、すべての入出力ピンが RUN モードと同じ状態を保ちます。

STOP モードへのエントリ

STOP モードへの入り方については、*表12* を参照してください。

STOP モードで消費電力をさらに節減するには、内蔵されている電圧レギュレータを低電力モードにします。この設定は、*電源制御レジスタ（PWR_CR）*の LPDS ビットで行います。

フラッシュメモリのプログラミング中の場合は、メモリアクセスが終了するまで、STOP モードへの遷移が遅延します。

APB ドメインへアクセス中の場合、APB アクセスが終了するまで、STOP モードへの遷移が遅延します。

STOP モードでは、個別の制御ビットをプログラミングすることによって、次の機能を選択できます。

- 独立型ウォッチドッグ（IWDG）: IWDGは、キーレジスタへの書き込みによって、またはハードウェアオプションによって開始されます。ウォッチドッグの動作がいったん開始されると、リセット以外では停止できません。*セクション 18：独立型ウォッチドッグ（IWDG）*の*セクション 18.3：IWDG の機能詳細* を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

- リアルタイムクロック（RTC）: これはバックアップドメイン制御レジスタ（RCC_BDCR）*バックアップドメイン制御レジスタ（RCC_BDCR）*の RTCEN ビットによって設定されます。
- 内部 RC オシレータ（LSI RC）: これは、*制御/ステータスレジスタ（RCC_CSR）*の LSION ビットによって設定されます。
- 外部 32.768 kHz オシレータ（LSE OSC）: これは、*バックアップドメイン制御レジスタ（RCC_BDCR）*の LSEON ビットによって設定されます。.

ADC または DAC も、STOP モードに入る前に無効にされない限り、STOP モード中に電力を消費します。これらを無効にするには、ADC_CR2 レジスタの ADON ビットと DAC_CR レジスタの ENx ビットの両方に 0 を書き込む必要があります。

STOP モードからの復帰

STOP モードの終了方法の詳細については、*表12* を参照してください。

割り込みまたはウェイクアップイベントによって STOP モードを終了するときには、HSI RC オシレータがシステムクロックとして選択されます。

電圧レギュレータが低電力モードで動作しているときには、STOP モードからのウェイクアップの際に余分なスタートアップ時間が必要になります。STOP モードの間も内蔵レギュレータをオン状態に保つと、消費電力は増加しますが、ウェイクアップ時間は短縮されます。

表12. STOP モード

STOP モード	説明
モードへのエントリ	以下の条件下での WFI（Wait for Interrupt）または WFE（Wait for Event） – Cortex™-M3 システム制御レジスタの SLEEPDEEP ビットをセット – 電力制御レジスタ（PWR_CR）の PDDS ビットをクリア – PWR_CR の LPDS ビットの設定によって電圧レギュレータのモードを選択 **注 : STOP モードに入るには、すべての EXTI ライン保留ビット（*ペンディングレジスタ（EXTI_PR）*）と RTC アラームフラグをリセットする必要があります。さもないと、STOP モード遷移手順が無視されて、プログラムの実行が続けられます。**
モードからの復帰	WFI 命令で STOP モードに入った場合 : 割り込みモードに設定されている任意の EXTI ライン（対応する EXTI 割り込みベクタが NVIC で有効になっている必要があります）。*Table 62: その他の STM32F10xxx デバイスのベクタテーブル on page 187* を参照。 WFE 命令で STOP モードに入った場合 : イベントモードに設定されている任意の EXTI ライン。*セクション 9.2.3 : ウェイクアップイベント管理（191 ページ）*を参照。
ウェイクアップ時の遅延	HSI RC ウェイクアップ時間 + レギュレータの低電力モードからのウェイクアップ時間

4.3.5 STANDBY モード

STANDBY モードでは、消費電力を最も少なくできます。このモードは、電圧レギュレータが無効なときの Cortex-M3 ディープ SLEEP モードをベースにしています。結果として、1.8 V ドメインの電力がオフになります。PLL、HSI オシレータ、および HSE オシレータもオフになります。SRAM とレジスタの内容は、バックアップドメインのレジスタと STANDBY 回路を除いて失われます（*図4* を参照）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

STANDBY モードへのエントリ

STANBY への入り方の詳細については、*表13* を参照してください。

STANDBY モードでは、個別の制御ビットをプログラミングすることによって、次の機能を選択できます。

- 独立型ウォッチドッグ（IWDG）: IWDGは、キーレジスタへの書き込み、またはハードウェアオプションによって開始されます。ウォッチドッグの動作がいったん開始されると、リセット以外では停止できません。*セクション 18 : 独立型ウォッチドッグ（IWDG）*の*セクション 18.3 : IWDG の機能詳細*を参照してください。
- リアルタイムクロック（RTC）: この設定は、バックアップドメイン制御レジスタ（RCC_BDCR）の RTCEN ビットで行います。
- 内部 RC オシレータ（LSI RC）: この設定は、制御/ステータスレジスタ（RCC_CSR）のLSION ビットで行います。
- 外部 32.768 kHz オシレータ（LSE OSC）: この設定は、バックアップドメイン制御レジスタ（RCC_BDCR）の LSEON ビットで行います。

STANDBY モードからの復帰

マイクロコントローラは、外部リセット（NRST ピン）、IWDG リセット、WKUP ピンの立ち上がりエッジ、または RTC アラームの立ち上がりエッジで STANDBY モードから抜けます（*図 178 : RTC の単純化されたブロック図* を参照）。STANDBY モードからのウェイクアップ後、*電源制御/ステータスレジスタ（PWR_CSR）*を除くすべてのレジスタがリセットされます。

STANDBY モードからのウェイクアップ後、プログラム実行はリセット後と同じ手順でリスタートされます（ブートピン信号のサンプリング、ベクタリセットのフェッチなど）。*電源制御/ステータスレジスタ（PWR_CSR）*の SBF ステータスフラグは、MCU が STANDBY モードにあったことを示します。

STANBY モードの終了方法の詳細については、*表13* を参照してください。

表13. STANDBY モード

STANDBY モード	説明
モードへのエントリ	以下の条件下での WFI（Wait for Interrupt）または WFE（Wait for Event） – Cortex™-M3 システム制御レジスタの SLEEPDEEP をセット – 電源制御レジスタ (PWR_CR) の PDDS ビットをセット – 電源制御/ステータスレジスタ（PWR_CSR）の WUF ビットをクリア
モードからの復帰	WKUP ピンの立ち上がりエッジ、RTC アラームイベントの立ち上がりエッジ、NRST ピンの外部リセット、IWDG リセット
ウェイクアップ時の遅延	レギュレータのスタートアップ。リセットフェーズ。

STANDBY モードでの入出力の状態

STANDBY モードでは、以下の信号を除いて、すべての入出力ピンがハイインピーダンス状態となります。

- リセットパッド（有効）
- TAMPER ピン（タンパまたは較正出力用に設定されている場合）
- WKUP ピン（有効な場合）

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

デバッグモード

デフォルトでは、デバッグ機能が使用されているときにアプリケーションが MCU を STOP または STANDBY モードにすると、デバッグ接続は失われます。これは、Cortex™-M3 コアにクロックが供給されなくなるためです。

ただし、DBGMCU_CR レジスタの設定ビットをセットすることによって、低電力モードを多用しているときでも、ソフトウェアのデバッグを行うことができます。詳細については、*セクション 30.16.1: 低電力モードのデバッグサポート* を参照してください。

4.3.6 低電力モードからの自動ウェイクアップ（AWU）

外部割り込みに依存せずに、RTC を使用して MCU を低電力モードからウェイクアップできます（自動ウェイクアップモード）。RTC は、一定の時間間隔で STOP または STANDBY モードからウェイクアップするためのプログラム可能なタイムベースとなります。この目的のため、*バックアップドメイン制御レジスタ（RCC_BDCR）* の RTCSEL[1 : 0] ビットをプログラミングすることによって、3 つの選択可能な RTC クロックソースのうちの 2 つを選択できます。

- 低電力 32.768 kHz 外部クリスタルオシレータ (LSE OSC)
  このクロックソースは、非常に少ない消費電力（標準的な条件で追加消費電力 1µA 未満）で高精度のタイムベースを提供します。
- 低電力 内蔵 RC オシレータ（LSI RC）
  このクロックソースには、32.768 kHz クリスタルのコストを節減できるという利点があります。内部 RC オシレータは、追加の消費電力が最小となるように設計されています。

RTC アラームイベントによって STOP モードからウェイクアップするには、次の設定が必要です。

- EXTI ライン 17 を立ち上がりエッジに反応するように設定します。
- RTC が RTC アラームを生成するように設定します。

STANDBY モードからウェイクアップするには、EXTI ライン 17 の設定は不要です。

4.4 電源制御レジスタ

ペリフェラルレジスタには、ハーフワード（16 ビット）またはワード（32 ビット）単位でアクセスできます。

4.4.1 電源制御レジスタ（PWR_CR）

アドレスオフセット：0x00

リセット値：0x0000 0000（STANDBY モードからのウェイクアップによってリセット）

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み							DBP	PLS[2:0]			PVDE	CSBF	CWUF	PDDS	LPDS
							rw	rw	rw	rw	rw	rc_w1	rc_w1	rw	rw

ビット 31:9　予約済み、常に 0 として読み出されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 8 DBP：バックアップドメイン書き込み保護を無効にします。

リセット状態では、RTC レジスタとバックアップレジスタは不要な書き込みアクセスから保護されます。これらのレジスタへの書き込みアクセスを可能にするには、このビットをセットする必要があります。

0：RTC およびバックアップレジスタへのアクセスは無効

1：RTC およびバックアップレジスタへのアクセスは有効

注： HSE の 128 分周が RTC クロックとして使用される場合、このビットは 1 にセットしたままにする必要があります。

ビット 7:5 PLS[2:0]：PVD レベル選択。

これらのビットは、電源電圧検出器によって検出される電圧閾値を選択するために、ソフトウェアによって書き込まれます。

000: 2.2V

001: 2.3V

010: 2.4V

011: 2.5V

100: 2.6V

101: 2.7V

110: 2.8V

111: 2.9V

注： 詳細については、データシートの電気特性を参照してください。

ビット 4 PVDE：電源電圧検出器イネーブル

このビットは、ソフトウェアによってセット/クリアされます。

0：PVD 無効

1：PVD 有効

ビット 3 CSBF：STANDBY フラグのクリア

このビットは常に 0 として読み出されます。

0：ビットの値に影響を与えません。

1：SBF STANDBY フラグをクリアします（書き込み）。

ビット 2 CWUF：ウェイクアップフラグのクリア

このビットは常に 0 として読み出されます。

0：ビットの値に影響を与えません。

1：WUF ウェイクアップフラグを 2 システムクロックサイクル後にクリアします。（書き込み）

ビット 1 PDDS：パワーダウンディープスリープ。

このビットは、ソフトウェアによってセット/クリアされます。LPDS ビットとの組み合わせで動作します。

0：CPU がディープスリープに入ると、STOP モードになります。レギュレータの状態は LPDS ビットに依存します。

1：CPU がディープスリープに入ると、STANDBY モードになります。

ビット 0 LPDS：低電力ディープスリープ。

このビットは、ソフトウェアによってセット/クリアされます。このビットは PDDS ビットとの組み合わせで動作します。

0：電圧レギュレータは STOP モードの間もオン状態を保ちます。

1：電圧レギュレータは STOP モードの間は低電力モードになります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

4.4.2 電源制御/ステータスレジスタ（PWR_CSR）

アドレスオフセット：0x04

リセット値：0x0000 0000（STANDBY モードからのウェイクアップによってリセットされない）

このレジスタを読み出すには、標準の APB 読み出しに対して追加の APB サイクルが必要です。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み							EWUP	予約済み					PVDO	SBF	WUF
							rw						r	r	r

ビット 31:9 予約済み、常に 0 として読み出されます。

ビット 8 EWUP：WKUP ピンを有効にします。
このビットは、ソフトウェアによってセット/クリアされます。
0：WKUP ピンは汎用入出力として使用されます。この WKUP ピンでイベントが発生しても、デバイスは STANDBY モードからウェイクアップしません。
1：WKUP ピンは STANDBY モードからのウェイクアップに使用され、強制的にプルダウン入力モードに設定されます（WKUP ピンの立ち上がりエッジで、システムは STANDBY モードからウェイクアップします）。

注：　このビットはシステムリセットによってリセットされます。

ビット 7:3 予約済み、常に 0 として読み出されます。

ビット 2 **PVDO**：PVD 出力
このビットは、ハードウェアによってセット/ クリアされます。PVDE ビットによって PVD が有効な場合のみ有効です。
0：V_{DD}/V_{DDA} は PLS[2:0] ビットで選択された PVD 閾値より高い。
1：V_{DD}/V_{DDA} は PLS[2:0] ビットで選択された PVD 閾値より低い。

注：　PVD は STANDBY モードで停止します。このため、このビットは STANDBY またはリセット後は、PVDE ビットがセットされるまで 0 になります。

ビット 1 **SBF**：STANDBY フラグ
このビットはハードウェアによってセットされ、POR/PDR（パワーオンリセット/パワーダウンリセット）によって、または *電源制御レジスタ（PWR_CR）* の CSBF ビットをセットすることによってのみクリアされます。
0：デバイスは STANDBY モードではありません。
1：デバイスは STANDBY モードです。

ビット 0 **WUF**：ウェイクアップフラグ
このビットはハードウェアによってセットされ、POR/PDR（パワーオンリセット/パワーダウンリセット）によって、または *電源制御レジスタ（PWR_CR）* の CWUF ビットをセットすることによってのみクリアされます。
0：ウェイクアップイベントは発生していません。
1：WKUP ピンまたは RTC アラームからウェイクアップイベントを受信しました。

注：　WKUP ピンのレベルが常にハイのとき、WKUP ピンが有効な場合（EWUP ビットがセットされている）、追加のウェイクアップイベントが検出されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

4.4.3 PWR レジスタマップ

次の表は PWR レジスタの一覧です。

表14. PWR レジスタマップとリセット値

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x000	PWR_CR	予約済み																							DBP	PLS[2:0]			PVDE	CSBF	CWUF	PDDS	LPDS
	リセット値																								0	0	0	0	0	0	0	0	0
0x004	PWR_CSR	予約済み																							EWUP	予約済み					PVDO	SBF	WUF
	リセット値																								0						0	0	0

レジスタ境界アドレスについては、*表1（45ページ）*を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

5 バックアップレジスタ（BKP）

小容量デバイスは、フラッシュメモリ容量が 16～32 KB の STM32F101xx、STM32F102xx、および STM32F103xx マイクロコントローラです。

中容量 デバイスは、フラッシュメモリ容量が 64～128 KB の STM32F101xx、STM32F102xx、および STM32F103xx マイクロコントローラです。

大容量デバイスは、フラッシュメモリ容量が 256～512 KB の STM32F101xx および STM32F103xx マイクロコントローラです。

特大容量デバイスは、フラッシュメモリ容量が 768 KB～1 MB の STM32F101xx および STM32F103xx マイクロコントローラです。

コネクティビティラインデバイスは、STM32F105xx および STM32F107xx マイクロコントローラです。

このセクションは、別段の指定がない限り、STM32F10xxx ファミリ全体に適用されます。

5.1 BKP の概要

バックアップレジスタは、84 バイトのユーザアプリケーションデータを保存するための 42 個の 16 ビットレジスタです。これらのレジスタは、V_{DD} 電源が遮断されたときに、V_{BAT} によって電源を維持するバックアップドメインに搭載されています。これらのレジスタは、デバイスが STANDBY モードからウェイクアップするときや、システムリセットまたは電源リセットされてもリセットされません。

さらに、BKP 制御レジスタはタンパ検出機能や RTC 周波数調整の管理にも使用されます。

リセット後のバックアップレジスタと RTC へのアクセスは無効であり、バックアップドメイン（BKP）は不正な書き込みアクセスから保護されます。バックアップレジスタと RTC へのアクセスを有効にするには、次の手順に従ってください。

- RCC_APB1ENR レジスタの PWREN および BKPEN ビットをセットすることによって、電源およびバックアップインタフェースクロックを有効にします。
- 電源制御レジスタ（PWR_CR）の DBP ビットをセットして、バックアップレジスタと RTC へのアクセスを有効にします。

5.2 BKP の主な機能

- 20 バイトのデータレジスタ（中容量デバイスおよび小容量デバイス）または 84 バイトのデータレジスタ（大容量、特大容量、およびコネクティビティラインデバイス）
- 割り込みによるタンパ検出を管理するステータス/制御レジスタ
- RTC 周波数の調整値を格納する較正レジスタ
- RTC 較正クロック、RTC アラームパルス、またはタンパピン PC13 の 2 つ目のパルス（このピンがタンパ検出に使用されないとき）の出力

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

5.3 BKP の機能説明

5.3.1 タンパ検出

TAMPER ピンは、*バックアップ制御レジスタ（BKP_CR）*の TPAL ビットに応じて、ピンが 0 から 1 または 1 から 0 に変化したときにタンパ検出イベントを生成します。タンパ検出イベントは、すべてのデータバックアップレジスタの内容をリセットします。

ただし、タンパイベントの見落しを防ぐため、エッジ検出に使用される信号はタンパ有効ビットとの論理積がとられています。これにより、TAMPER ピンが有効になる前にすでに発生していたタンパイベントも検出することができます。

- **TPAL=0** : TAMPER ピンが TPE ビットをセットすることで有効になる前にすでにハイであった場合、TAMPER ピンが有効になると同時に追加のタンパイベントが検出されます（このとき、TPE がセットされた後には TAMPER ピンの立ち上がりエッジは存在していません）。
- **TPAL=1** : TAMPER ピンが TPE ビットをセットすることによって有効になる前にすでにローであった場合、TAMPER ピンが有効になると同時に追加のタンパイベントが検出されます（このとき、TPE がセットされた後には TAMPER ピンの立ち下がりエッジは存在していません）。

BKP_CSR レジスタの TPIE ビットをセットすることにより、タンパ検出イベントが発生したときに割り込みが生成されます。

タンパイベントが検出されて、クリアされた後、TAMPER ピンはいったん無効になり、バックアップデータレジスタ（BKP_DRx）に書き込みを行う前に TPE ビットで再び有効にしなければなりません。これによって、TAMPER ピンの値がまだタンパ検出を示しているときに、ソフトウェアがバックアップデータレジスタ（BKP_DRx）に書き込むのを防ぎます。これは、TAMPER ピンでのレベル検出と同じことです。

注： ***タンパ検出は、V_{DD} 電源がオフのときでも有効です。バックアップデータレジスタの不用意なリセットを避けるには、TAMPER ピンは外部で必要な信号レベルに接続しておく必要があります。***

5.3.2 RTC 周波数調整

測定目的で、周波数を 64 分周した RTC クロックを TAMPER ピンに出力できます。これは、*RTC クロック較正レジスタ（BKP_RTCCR）*の CCO ビットをセットすることによって有効になります。

クロック周波数は CAL[6:0] ビットの設定で 121 ppm まで低下させることができます。

RTC 周波数調整とタイミング管理の精度を高める方法の詳細については、AN2604 「*STM32F101xx と STM32F103xx RTC 周波数調整*」を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

5.4 BKP レジスタ

レジスタの説明で使用されている略語については、*セクション 1.1 (40 ページ)* を参照してください。

ペリフェラルレジスタには、ハーフワード（16 ビット）またはワード（32 ビット）単位でアクセスできます。

5.4.1 バックアップデータレジスタ x (BKP_DRx) (x = 1 ..42)

アドレスオフセット：0x04～0x28、0x40～0xBC

リセット値：0x0000 0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
D[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **D[15:0]** バックアップデータ

これらのビットにはユーザデータを書き込むことができます。

注： BKP_DRx レジスタは、システムリセットやパワーリセット、または STANDBY モードからのウェイクアップではリセットされません。
レジスタの内容は、バックアップドメインリセットまたは TAMPER ピンイベント（この機能が有効な場合）によってリセットされます。

5.4.2 RTC クロック較正レジスタ（BKP_RTCCR）

アドレス・オフセット：0x2C

リセット値：0x0000 0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み						ASOS	ASOE	CCO	CAL[6:0]						
						rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:10 予約済み、常に 0 として読み出されます。

ビット 9 **ASOS**：アラームまたは秒出力選択

ASOE ビットがセットされているときには、ASOS ビットを使用して、TAMPER ピンの信号出力を RTC 秒パルス信号にするか、アラームパルス信号にするかを選択できます。

0：RTC アラームパルス出力が選択されます。

1：RTC 秒パルス出力が選択されます。

注： このビットは、バックアップドメインリセットによってのみリセットされます。

ビット 8 **ASOE**：アラームまたは秒出力イネーブル

このビットをセットすると、ASOS ビットに応じて、RTC アラームパルス信号または秒パルス信号が TAMPER ピンに出力されます。

出力パルス周期は、1 RTC クロック周期です。ASOE ビットがセットされている間は、TAMPER ピンを有効にすることはできません。

注： このビットは、バックアップドメインリセットによってのみリセットされます。

ビット 7 **CCO**：較正クロック出力

0：影響なし。

1：このビットをセットすると、64 分周された RTC クロックが TAMPER ピンに出力されます。不要なタンパ検出を防ぐため、CCO ビットがセットされているときには TAMPER ピンを有効にすることはできません。

注： このビットは、V_{DD} 供給がオフになるとクリアされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 6:0 **CAL[6:0]：**較正値

この値は、2^20 クロックパルスごとに無視されるクロックパルス数を示します。これにより、RTC の較正ができ、クロックを 1000000/2^20 ppm 単位で下げることができます。

RTC クロックは、0 から 121ppm まで下げることができます。

5.4.3 バックアップ制御レジスタ（BKP_CR）

アドレスオフセット：0x30

リセット値：0x0000 0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み														TPAL	TPE
														rw	rw

ビット 15:2 予約済み、常に 0 として読み出されます。

ビット 1 **TPAL：**TAMPER ピンアクティブレベル

0：TAMPER ピンのハイレベルですべてのデータバックアップレジスタがリセットされます（TPE ビットがセットされている場合）。

1：TAMPER ピンのローレベルですべてのデータバックアップレジスタがリセットされます（TPE ビットがセットされている場合）。

ビット 0 **TPE：**TAMPER ピンイネーブル

0：TAMPER ピンは汎用入出力（GPIO）として使用できます。

1：タンパオルタネート入出力機能が有効です。

注： ***TPAL と TPE ビットを同時にセットすることは常に可能ですが、両方を同時にクリアすると、副作用としてタンパイベントを発生させてしまうことがあります。このため、TPAL ビットの変更は、TPE ビットがリセットされているときにのみ行うように注意してください。***

5.4.4 バックアップ制御/ステータスレジスタ（BKP_CSR）

アドレスオフセット：0x34

リセット値：0x0000 0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み						TIF	TEF	予約済み					TPIE	CTI	CTE
						r	r						rw	w	w

ビット 15:10 予約済み、常に 0 として読み出されます。

ビット 9 **TIF：**タンパ割り込みフラグ

このビットは、タンパイベントが検出され、TPIE ビットがセットされているときに、ハードウェアによってセットされます。CTI ビットに 1 を書き込むことでクリアされます（割り込みもクリアされます）。また、TPIE ビットがリセットされた場合もクリアされます。

0：タンパ割り込みは発生していません。

1：タンパ割り込みが発生しました。

注： ***このビットは、システムリセットと STANDBY モードからのウェイクアップでのみリセットされます。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 8 **TEF**：タンパイベントフラグ

このビットは、タンパイベントが検出されたときに、ハードウェアによってセットされます。CTE ビットに 1 を書き込むことによってクリアされます。

0：タンパイベントは発生していません。

1：タンパイベントが発生しました。

注： タンパイベントはすべての BKP_DRx レジスタをリセットします。レジスタは、TEF ビットがセットされている間、リセット状態に置かれます。このビットがセットされているときに BKP_DRx レジスタに書き込んでも、値は格納されません。

ビット 7:3 予約済み、常に 0 として読み出されます。

ビット 2 **TPIE**：TAMPER ピン割り込みイネーブル

0：タンパ割り込み無効

1：タンパ割り込み有効（BKP_CR レジスタの TPE ビットもセットされていなければなりません）

注： 1：タンパ割り込みがあっても、コアは低電力モードからウェイクアップしません。

2：このビットは、システムリセットと STANDBY モードからのウェイクアップでのみリセットされます。

ビット 1 **CTI**：タンパ割り込みをクリアします。

このビットは書き込み専用であり、常に 0 として読み出されます。

0：影響なし。

1：タンパ割り込みと TIF タンパ割り込みフラグをクリアします。

ビット 0 **CTE**：タンパイベントをクリアします。

このビットは書き込み専用であり、常に 0 として読み出されます。

0：影響なし。

1：TEF タンパイベントフラグ（およびタンパ検出回路）をリセットします。

5.4.5 BKP レジスタマップ

BKP レジスタは、次の表のように、16 ビットのアドレス可能レジスタとしてマップされます。

表15. BKP レジスタマップとリセット値

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	予約済み																																
0x04	**BKP_DR1**	予約済み																D[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x08	**BKP_DR2**	予約済み																D[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0C	**BKP_DR3**	予約済み																D[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x10	**BKP_DR4**	予約済み																D[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x14	**BKP_DR5**	予約済み																D[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x18	**BKP_DR6**	予約済み																D[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表15. BKP レジスタマップとリセット値（続き）

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x1C	BKP_DR7	予約済み																D[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x20	BKP_DR8	予約済み																D[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x24	BKP_DR9	予約済み																D[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x28	BKP_DR10	予約済み																D[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x2	BKP_RTCCR	予約済み																						ASOS	ASOE	CCO	CAL[6:0]						
	リセット値																							0	0	0	0	0	0	0	0	0	0
0x30	BKP_CR	予約済み																														TPAL	TPE
	リセット値																															0	0
0x34	BKP_CSR	予約済み																						TIF	TEF	予約済み					TPIE	CTI	CTE
	リセット値																							0	0						0	0	0
0x38	予約済み																																
0x3C	予約済み																																
0x40	BKP_DR11	予約済み																D[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x44	BKP_DR12	予約済み																D[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x48	BKP_DR13	予約済み																D[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x4C	BKP_DR14	予約済み																D[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x50	BKP_DR15	予約済み																D[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x54	BKP_DR16	予約済み																D[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x58	BKP_DR17	予約済み																D[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x5C	BKP_DR18	予約済み																D[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表15. BKP レジスタマップとリセット値（続き）

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x60	**BKP_DR19**	予約済み																D[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x64	**BKP_DR20**	予約済み																D[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x68	**BKP_DR21**	予約済み																D[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x6C	**BKP_DR22**	予約済み																D[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x70	**BKP_DR23**	予約済み																D[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x74	**BKP_DR24**	予約済み																D[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x78	**BKP_DR25**	予約済み																D[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x7C	**BKP_DR26**	予約済み																D[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x80	**BKP_DR27**	予約済み																D[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x84	**BKP_DR28**	予約済み																D[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x88	**BKP_DR29**	予約済み																D[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x8C	**BKP_DR30**	予約済み																D[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x90	**BKP_DR31**	予約済み																D[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x94	**BKP_DR32**	予約済み																D[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x98	**BKP_DR33**	予約済み																D[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x9C	**BKP_DR34**	予約済み																D[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0xA0	**BKP_DR35**	予約済み																D[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表15. BKP レジスタマップとリセット値（続き）

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0xA4	**BKP_DR36**	予約済み																D[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0xA8	**BKP_DR37**	予約済み																D[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0xAC	**BKP_DR38**	予約済み																D[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0xB0	**BKP_DR39**	予約済み																D[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0xB4	**BKP_DR40**	予約済み																D[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0xB8	**BKP_DR41**	予約済み																D[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0xBC	**BKP_DR42**	予約済み																D[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

レジスタ境界アドレスについては、*表 1（45 ページ）*を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

6 小容量、中容量、大容量、および特大容量のリセットおよびクロック制御（RCC）

小容量デバイスは、フラッシュメモリ容量が 16～32 KB の STM32F101xx、STM32F102xx、および STM32F103xx マイクロコントローラです。

中容量デバイスは、フラッシュメモリ容量が 64～128 KB の STM32F101xx、STM32F102xx、および STM32F103xx マイクロコントローラです。

大容量デバイスは、フラッシュメモリ容量が 256～512 KB の STM32F101xx および STM32F103xx マイクロコントローラです。

特大容量デバイスは、フラッシュメモリ容量が 768 KB～1 MB の STM32F101xx および STM32F103xx マイクロコントローラです。

コネクティビティラインデバイスは、STM32F105xx および STM32F107xx マイクロコントローラです。

このセクションは、小容量、中容量、大容量、および特大容量の STM32F10xxx デバイスに適用されます。コネクティビティラインデバイスについては、別のセクションで述べます（*コネクティビティラインデバイス：リセットおよびクロック制御（RCC）（113 ページ）*を参照）。

6.1 リセット

リセットには、システムリセット、電源リセット、バックアップドメインリセットの 3 種類があります。

6.1.1 システムリセット

システムリセットは、クロックコントローラ CSR レジスタのリセットフラグとバックアップドメインのレジスタを除き、すべてのレジスタをリセット値にセットします（*図 4* を参照）。

システムリセットは、次のイベントのいずれかの発生時に生成されます。

1. NRST ピンのローレベル（外部リセット）
2. ウィンドウ型ウォッチドッグのカウント終了条件（WWDG リセット）
3. 独立型ウォッチドッグのカウント終了条件（IWDG リセット）
4. ソフトウェアリセット（SW リセット）（*ソフトウェアリセット* を参照）
5. 低電力管理リセット（*低電力管理リセット* を参照）

リセットソースは、制御/ステータスレジスタ RCC_CSR のリセットフラグを確認することによって識別できます（*セクション 6.3.10：制御/ステータスレジスタ（RCC_CSR）*を参照）。

ソフトウェアリセット

Cortex™-M3 アプリケーション割り込みおよびリセット制御レジスタの SYSRESETREQ ビットをセットすると、デバイスのソフトウェアリセットが強制的に行われす。詳細については、STM32F10xxx Cortex-M3 プログラミングマニュアルを参照してください（*関連ドキュメント（1 ページ）*を参照）。

低電力管理リセット

低電力管理リセットを生成するには、2 つの方法があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

1. STANDBY モードに入るときに生成されるリセット：

   このリセットは、ユーザオプションバイトの nRST_STDBY ビットをリセットすることによって有効になります。この場合、STANDBY モードへの遷移シーケンスが正常に実行されるたびに、STANDBY モードに入る代わりにデバイスがリセットされます。

2. STOP モードに入るときのリセット：

   このリセットは、ユーザオプションバイトの RST_ストップビットをリセットすることによって有効になります。この場合、STOP モード遷移シーケンスが正常に実行されるたびに、STOP モードに入る代わりにデバイスがリセットされます。

ユーザオプションバイトの詳細については、STM32F10xxx フラッシュプログラミングマニュアルを参照してください。

6.1.2 電源リセット

電源リセットは、次のいずれかのイベントが発生したときに生成されます。

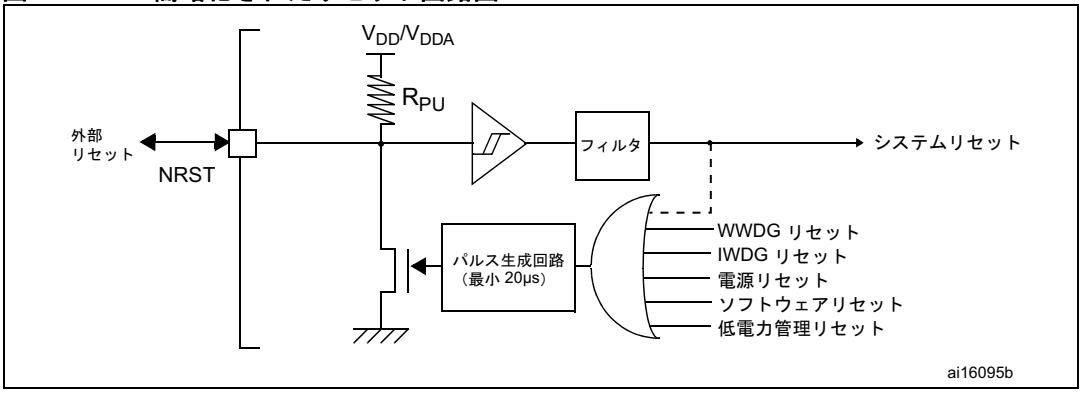
1. パワーオン/パワーダウンリセット (POR/PDR リセット)
2. STANDBY モードを終了するとき

電源リセットは、バックアップドメインを除くすべてのレジスタをリセット値にセットします（*図 4* を参照）。

これらのソースは NRST ピンに作用し、遅延フェーズの間、ピンをローに保ちます。RESET サービスルーチンのベクタは、メモリマップのアドレス 0x0000_0004 に固定されます。

デバイスに与えられるシステムリセット信号は、NRST ピンに出力されます。パルス発生回路は、各リセットソース（外部または内部リセット）について 20µs の最小リセットパルス期間を保証します。外部リセットの場合、リセットパルスは NRST ピンがローにアサートされているときに生成されます。

図7. 簡略化されたリセット回路図



6.1.3 バックアップドメインリセット

バックアップドメインには、バックアップドメインだけに影響する 2 種類のリセットがあります（*図 4* を参照）。

バックアップドメインのリセットは、次のいずれかのイベントによって実行されます。

1. ソフトウェアリセット。*バックアップドメイン制御レジスタ（RCC_BDCR）*の BDRST ビットをセットすることによってトリガされます。
2. V_{DD} または V_{BAT} パワーオン、両方の供給が以前にオフされていた場合。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

6.2 クロック

次の 3 つのクロックソースを使用して、システムクロック (SYSCLK) を駆動できます。

- HSI オシレータクロック
- HSE オシレータクロック
- PLL クロック

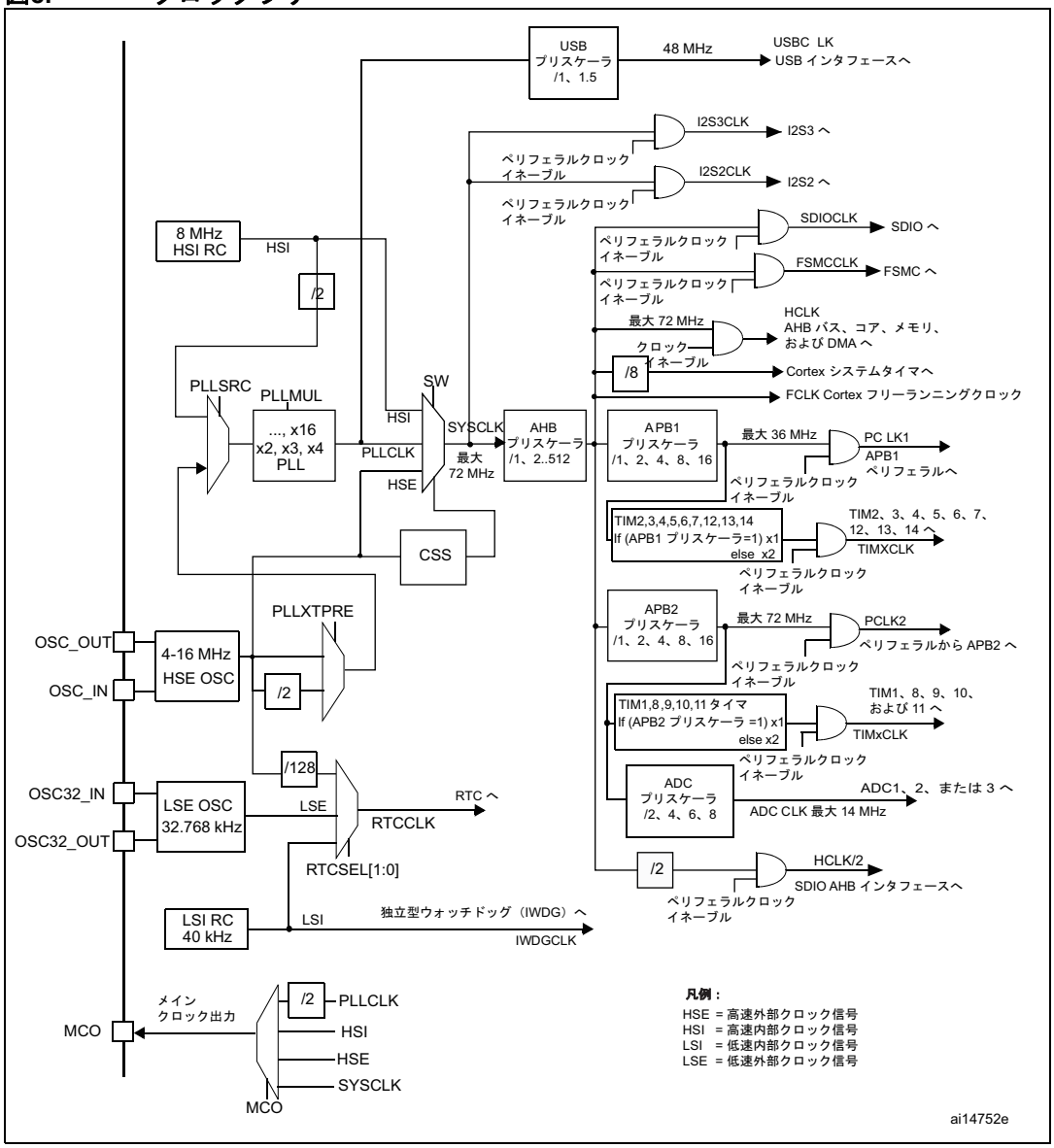
デバイスは次の 2 つの 2 次クロックソースを持ちます。

- 40 kHz 低速内蔵 RC (LSI RC)。独立型ウォッチドッグを駆動し、オプションで、STOP/STANDBY モードからの自動ウェイクアップ に使用される RTC を駆動します。
- 32.768 kHz 低速外部クリスタル (LSE クリスタル)。オプションで、リアルタイムクロック（RTCCLK）を駆動します。

それぞれのクロックソースは、未使用時の電力消費を防ぐために、個別にオン/オフが可能です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図8. クロックツリー



1. HSI が PLL クロック入力として使用されるとき、設定可能な最大システムクロック周波数は 64 MHzです。
2. 内部および外部クロックソース特性の詳細については、デバイスのデータシートの「電気特性」のセクションを参照してください。

複数のプリスケーラを利用して、AHB 周波数、高速 APB (APB2)、および低速 APB (APB1) ドメインの周波数を設定することができます。AHB および APB2 ドメインの最大周波数は 72 MHz です。APB1 ドメインの最大許容周波数は 36 MHz です。SDIO AHB インタフェースは、HCLK/2 に等しい固定周波数クロックで動作します。

RCC は Cortex システムタイマ（SysTick）外部クロックに、8 分周した AHB クロックを供給します。SysTick は、この分周されたクロックか Cortex クロック（HCLK）のいずれかで動作でき、SysTick 制御およびステータスレジスタで設定できます。ADC には、高速ドメイン（APB2）を 2、4、6、または 8 分周したクロックが供給されます。

タイマクロック周波数は、ハードウェアによって自動的に決定されます。これには、2 つのケースがあります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

1. APB プリスケーラが 1 のときには、タイマのクロック周波数は、接続されている APB ドメインのクロックと同じになります。
2. そうでない場合は、タイマが接続されている APB ドメインの周波数の 2 倍に設定されます。

FCLK は、Cortex™-M3 のフリーランニングクロックとして動作します。詳細については、ARM *Cortex™-M3 r1p1 Technical Reference Manual（TRM）*を参照してください。

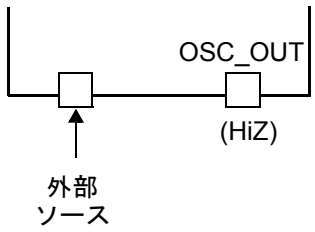
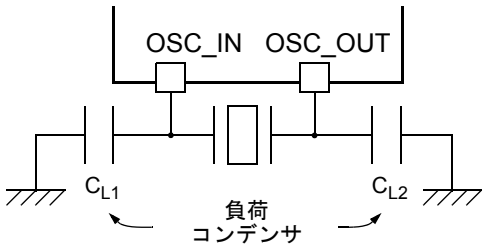
6.2.1 HSE クロック

高速外部クロック信号 (HSE) は、次のいずれかのクロックソースから生成できます。

- HSE 外部クリスタル/セラミック発振子
- HSE ユーザ外部クロック

波形ひずみと発振開始時の安定化までの時間を少なくするために、発振子と負荷キャパシタはオシレータのピンのできるだけ近くに配置する必要あります。負荷コンデンサの値は、選択したオシレータに応じて調整する必要があります。

図9. HSE/LSE クロックソース

クロックソース	ハードウェア設定
外部クロック	
クリスタル/セラミック発振子	

外部ソース（HSE バイパス）

このモードでは、外部クロックソースが必要です。最大 25 MHz の周波数が接続できます。このモードを選択するには、*クロック制御レジスタ（RCC_CR）*の HSEBYP および HSEON ビットをセットします。50% までのデューティサイクルを持つ外部クロック信号（矩形波、正弦波、または三角波）で OSC_IN ピンを駆動する必要があり、その間、OSC_OUT ピンはハイ・インピーダンスに保たれます。*図 9* を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

外部クリスタル/セラミック発振子（HSE クリスタル）

4～16 MHz の外部オシレータには、メインクロックの周波数を高精度にできる利点があります。

関連するハードウェア設定を *図 9* に示します。詳細については、データシートの電気特性のセクションを参照してください。

*クロック制御レジスタ（RCC_CR）*の HSERDY フラグは、高速外部オシレータが安定しているかどうかを示します。起動時、このビットがハードウェアによってセットされるまで、クロック信号は出力されません。*クロック割り込みレジスタ（RCC_CIR）*で有効になっている場合、割り込みを生成できます。

HSE クリスタルは、*クロック制御レジスタ（RCC_CR）*の HSEON ビットを使用してオン/オフできます。

6.2.2 HSI クロック

HSI クロック信号は、内蔵 8 MHz RC オシレータから生成され、システムクロックとして直接、または 2 分周して PLL 入力として使用できます。

HSI RC オシレータには、低コスト（外付部品なし）でクロックソースを供給できるという利点があります。同時に、HSE クリスタルオシレータを使用する場合に比べ、スタートアップに要する時間が短縮されますが、較正を実施していても、外部クリスタルオシレータやセラミック発振子を使用する場合に比べて周波数の精度は劣ります。

較正

RC オシレータの周波数は、製造工程でのばらつきのため、チップごとに異なります。このため、T_A=25 ℃で 1 % の精度を確保するよう、製造時に ST 社においてデバイスごとの較正が行われています。

リセット後、工場較正値が *クロック制御レジスタ（RCC_CR）*の HSICAL[7:0] ビットにロードされます。

アプリケーションが電圧または温度変動にさらされる場合は、これが RC オシレータ速度に影響を与えることがあります。*クロック制御レジスタ（RCC_CR）*の HSITRIM[4:0] ビットを使用して、アプリケーションで HSI 周波数をトリミングできます。

*クロック制御レジスタ（RCC_CR）*の HSIRDY フラグは、HSI RC が安定しているかどうかを示します。HSI RC 出力はこのフラグがハードウェアでセットされるまでHIS RC 信号は出力されません。

HSI RC は、*クロック制御レジスタ（RCC_CR）*の HSION ビットを使用してオン/オフできます。

HSI 信号は、HSE クリスタルオシレータに障害がある場合のバックアップソース（補助クロック）として使用することもできます。*セクション 6.2.7：クロックセキュリティシステム（CSS）（89 ページ）*を参照してください。

6.2.3 PLL

内蔵 PLL を使用して、HSI RC 出力や HSE クリスタル出力のクロック周波数を逓倍することができます。*図 8* および *クロック制御レジスタ（RCC_CR）*を参照してください。

PLL の設定（PLL 入力クロックとして、2 分周した HSI オシレータまたは HSE オシレータの選択、および逓倍数）は、PLL を有効にする前に行う必要があります。PLL が有効になると、これらのパラメータを変更できません。

*クロック割り込みレジスタ（RCC_CIR）*で有効になっている場合、PLL の準備ができていると、割り込みを生成できます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

アプリケーションで USB インタフェースが使用される場合は、48 または 72 MHz を出力するように PLL をプログラミングする必要があります。これは、48 MH z の USBCLK を供給するためです。

6.2.4 LSE クロック

LSE クリスタルは、32.768 kHz の低速外部クリスタル/セラミック発振子です。時計/カレンダ、その他のタイミング機能のためのリアルタイムクロックペリフェラル（RTC）に、低電力で高精度なクロックソースを供給できるという利点があります。

LSE クリスタルは、*バックアップドメイン制御レジスタ（RCC_BDCR）*の LSEON ビットを使用してオン/オフできます。

*バックアップドメイン制御レジスタ（RCC_BDCR）*の LSERDY フラグは、LSE クリスタルが安定しているかどうかを示します。起動時、このビットがハードウェアによってセットされるまで、LSE クリスタル出力クロック信号は出力されません。*クロック割り込みレジスタ（RCC_CIR）*で有効になっている場合、割り込みを生成できます。

外部ソース（LSE バイパス）

このモードでは、外部クロックソースが必要です。最大 1 MHz の周波数が接続できます。このモードを選択するには、*バックアップドメイン制御レジスタ（RCC_BDCR）*の LSEBYP および LSEON ビットをセットします。50 % までのデューティサイクルを持つ外部クロック信号（矩形波、正弦波、または三角波）で OSC_32IN ピンを駆動する必要があり、その間、OSC_32OUT ピンはハイインピーダンスに保たれます。*図 9* を参照してください。

6.2.5 LSI クロック

LSI RC は、独立型ウォッチドッグ（IWDG）や自動ウェイクアップユニット（AWU）のために STOP モードおよび STANDBY モードで動作する低電力のクロッソースとして動作します。クロック周波数は、約 40 kHz（30 kHz～60 kHz）です。詳細については、データシートの電気特性のセクションを参照してください。

LSI RC は、*制御/ステータスレジスタ（RCC_CSR）*の LSION ビットを使用してオン/オフできます。

*制御/ステータスレジスタ（RCC_CSR）*の LSIRDY フラグは、低速内部オシレータが安定しているかどうかを示します。起動時、このビットがハードウェアによってセットされるまで、クロック信号は出力されません。*クロック割り込みレジスタ（RCC_CIR）*で有効になっている場合、割り込みを生成できます。

注： ***LSI の較正は、大容量、特大容量、およびコネクティビティラインデバイスに限り可能です。***

LSI 較正

低速内部 RC（LSI）オシレータの周波数のばらつきを較正して、正確な RTC 基準時間および/または妥当な精度の IWDG タイムアウト（これらのペリフラルのクロックソースとして LSI が使用されているとき）を確保できます。

この較正は、TIM5 入力クロック（TIM5CLK）に対して LSI クロック周波数を計測することによって行われます。HSE オシレータの精度で行われたこの計測に従って、ソフトウェアは RTC のプログラマブル 20 ビットプリスケーラを調整して、正確な基準時間を得たり、正確な IWDG タイムアウトを計算することができます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

LSI を較正するには、次の手順に従ってください。

1. TIM5 タイマを有効にして、チャネル 4 を入力キャプチャモードに設定します。
2. AFIO_MAPR レジスタの TIM5CH4_IREMAP ビットをセットして、較正目的で、LSI クロックを TIM5 チャネル 4 入力キャプチャに内部接続します。
3. TIM5 キャプチャ/比較 4 イベントまたは割り込みを使用して、LSI クロックの周波数を計測します。
4. 計測した LSI 周波数を使用して、必要な基準時間および/または、IWDG タイムアウトを計算するために、RTC の 20 ビットプリスケーラを更新します。

6.2.6 システムクロック（SYSCLK）の選択

システムリセット後は、HSI オシレータがシステムクロックとして選択されています。クロックソースが直接、または PLL を経由してシステムクロックとして使用されているときには、このクロック信号を停止することはできません

あるクロックソースから別のクロックソースへの切り替えは、ターゲットクロックソースの準備ができている場合のみ行われます（スタートアップ遅延後にクロックが安定しているか、PLL がロックされている状態）。準備ができていないクロックソースが選択された場合は、クロックソースの準備ができたときに切り替えが行われます。*クロック制御レジスタ（RCC_CR）*のステータスビットは、準備ができているクロックと、システムクロックとして使用されているクロックを示します。

6.2.7 クロックセキュリティシステム（CSS）

クロックセキュリティシステムはソフトウェアで有効にできます。この場合、HSE オシレータのスタートアップ遅延時間の後にクロック検出回路が有効になり、オシレータが停止すると検出回路も無効になります。

HSE オシレータクロックで障害が検出された場合、このオシレータは自動的に無効になり、クロック障害イベントが高機能制御タイマ（TIM1 および TIM8）に送信され、障害をソフトウェアに通知するために割り込みが生成されるので（クロックセキュリティシステム割り込み CSSI）、MCU は対応処理を行うことができます。CSSI は、Cortex™-M3 NMI（Non-Maskable Interrupt）例外ベクタにリンクされています。

注： ***CSS が有効になると、HSE クロック異常が発生した場合、CSS 割り込みが発生し、NMI が自動的に生成されます。NMI は、CSS 割り込みペンディングビットがクリアされない限り、無条件に実行されます。結果として、NMI ISR では、ユーザが クロック割り込みレジスタ（RCC_CIR）の CSSC ビットをセットすることによって、CSS 割り込みをクリアしなければなりません。***

HSE オシレータが直接または間接的にシステムクロックとして使用されている場合（間接的とは、PLL 入力クロックとして使用されていて、PLL クロックがシステムクロックとして使用されていることを意味します）、障害が検出されると、システムクロックが HSI オシレータに切り替えられ、外部 HSE オシレータは無効になります。HSE オシレータクロック（分周されているかどうかにかかわらず）が、システムクロックとして使用されている PLL のクロック入力の場合、障害が生すると、PLL も無効になります。

6.2.8 RTC クロック

RTCCLK クロックソースは、HSE/128、LSE、または LSI クロックのいずれかです。これは、*バックアップドメイン制御レジスタ（RCC_BDCR）*の RTCSEL[1:0] ビットのプログラミングによって選択されます。この選択は、バックアップドメインをリセットしない限り変更できません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

LSE クロックはバックアップドメインに属しますが、HSE と LSI クロックはそうではありません。このため、

- LSE が RTC クロックとして使用されている場合、
  - V_{DD} 供給がオフになった場合でも、V_{BAT} の供給が保たれている限り、RTC は動作を続けます。
- LSI が自動ウェイクアップ（AWU）クロックとして選択されている場合、
  - V_{DD} 供給がオフになった場合、AWU の状態は保証されません。LSI 較正の詳細については、*セクション 6.2.5 : LSI クロック（88 ページ）*を参照してください。
- 128 分周した HSE クロックが RTC クロックとして使用されている場合、
  - V_{DD} 供給がオフになった場合や、内蔵されている電圧レギュレータがオフになった場合（1.8 V ドメインから電源が取り除かれた場合）、RTC の状態は保存されません。
  - 電源コントローラレジスタの DPB ビット（バックアップドメイン書き込み保護無効）を 1 にセットする必要があります（*セクション 4.4.1 : 電源制御レジスタ（PWR_CR）*を参照)。

6.2.9 ウォッチドッグクロック

独立型ウォッチドッグ（IWDG）がハードウェアのオプションまたはソフトウェアアクセスによって開始された場合、LSI オシレータは強制的にオンになり、オフにすることはできません。LSI オシレータの立ち上がりの過渡状態が終わると、このクロックが IWDG に供給されます。

6.2.10 クロック信号出力

マイクロコントローラクロック出力（MCO）機能によって、クロックを外部 MCO ピンに出力できます。対応する GPIO ポートの設定レジスタをオルタネート機能モードでプログラミングする必要があります。以下の 4 つの信号の 1 つを MCU クロックとして選択することができます。

- SYSCLK
- HSI
- HSE
- 2 分周された PLL クロック

この選択は、*クロック設定レジスタ（RCC_CFGR）*の MCO[2:0] ビットによって制御されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

6.3 RCC レジスタ

レジスタの説明で使用されている略語については、*セクション 1.1 (40 ページ)* を参照してください。

6.3.1 クロック制御レジスタ（RCC_CR）

アドレスオフセット：0x00

リセット値：0x0000 XX83（X は未定義）。

アクセス：ノーウェイト、ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み						PLL RDY	PLLON	予約済み				CSS ON	HSE BYP	HSE RDY	HSE ON
						r	rw					rw	rw	r	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HSICAL[7:0]								HSITRIM[4:0]					予約済み	HSI RDY	HSION
r	r	r	r	r	r	r	r	rw	rw	rw	rw	rw		r	rw

ビット 31:26　予約済み、常に 0 として読み出されます。

ビット 25　**PLLRDY**：PLL クロックレディフラグ
ハードウェアによってセットされ、PLL がロック状態であることを示します。
0：PLL アンロック
1：PLL ロック

ビット 24　**PLLON**：PLL イネーブル
PLL を有効にするために、ソフトウェアによってセット/クリアされます。
STOP または STANDBY モードに入るときに、ハードウェアによってクリアされます。このビットは、PLL クロックがシステムクロックとして使用されている場合や、システムクロックになるように選択されている場合は、リセットできません。
0：PLL オフ
1：PLL オン

ビット 23:20　予約済み、常に 0 として読み出されます。

ビット 19　**CSSON**：クロックセキュリティシステムイネーブル
クロック検出回路を有効にするために、ソフトウェアによってセット/クリアされます。
0：クロック検出回路オフ
1：クロック検出回路オン（外部 4～16 MHz オシレータの準備ができている場合）

ビット 18　**HSEBYP**：外部高速クロックバイパス
外部クロックでオシレータをバイパスするために、ソフトウェアによってセット/クリアされます。このビットは、外部 4～16 MHz オシレータが無効の場合のみ、書き込むことができます。
0：外部 4～16 MHz オシレータはバイパスされません。
1：外部 4～16 MHz オシレータはバイパスされ、外部クロックが使用されます。

ビット 17　**HSERDY**：外部高速クロックレディフラグ
外部 4～16 MHz オシレータが安定していることを示すために、ハードウェアによってセットされます。このビットは、HSEON のリセット後、立ち下がるまでに外部 4～16 MHz オシレータクロックの 6 サイクルを必要とします。
0：外部 4～16 MHz オシレータはレディ状態ではありません。
1：外部 4～16 MHz オシレータはレディ状態です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 16 **HSEON**：外部高速クロックイネーブル

ソフトウェアによってセット/クリアされます。

STOP または STANDBY モードに入るときに、外部 1～25 MHz オシレータを停止するためにハードウェアによってクリアされます。外部 4～16 MHz オシレータが直接または間接的にシステムクロックとして使用されている場合や、システムクロックになるように選択されている場合は、このビットをリセットできません。

0：HSE オシレータ OFF

1：HSE オシレータ ON

ビット 15:8 **HSICAL[7:0]**：内蔵高速クロック較正

これらのビットは、スタートアップ時に自動的に初期化されます。

ビット 7:3 **HSITRIM[4:0]**：内蔵高速クロックトリミング

これらのビットは、HSICAL[7:0] ビットに追加されるユーザがプログラミング可能なトリミング値を提供します。内蔵 HSI RC の周波数に影響する電圧や温度の変化に対応できるようにプログラミングできます。

デフォルト値は 16 であり、これが HSICAL 値に追加されると、HSI を 8 MHz±1 % にトリムします。トリミングステップ（$F_{hsitrim}$）は、2 つの連続する HSICAL ステップの間で約 40 kHz です。

ビット 2 予約済み、常に 0 として読み出されます。

ビット 1 **HSIRDY**：内蔵高速クロックレディフラグ

内蔵 8 MHz RC オシレータが安定していることを示すために、ハードウェアによってセットされます。HSION ビットがクリアされた後、HSIRDY は、内部 8 MHｚ RC オシレータクロックの 6 サイクル後にローになります。

0：内部 8 MHz RC オシレータはレディ状態ではありません。

1：内部 8 MHz RC オシレータはレディ状態です。

ビット 0 **HSION**：内蔵高速クロックイネーブル

ソフトウェアによってセット/クリアされます。

STOP または STANDBY モードを終了するとき、または、直接または間接的にシステムクロックとして使用されている外部 4～16 MHz オシレータに障害が生じた場合、内部 8 MHz RC オシレータを強制的にオンにするために、ハードウェアによってセットされます。内部 8 MHz RC が直接または間接的にシステムクロックとして使用されている場合や、システムクロックになるように選択されている場合は、このビットをリセットできません。

0：内部 8 MHz RC オシレータは OFF です。

1：内部 8 MHz RC オシレータは ON です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

6.3.2 クロック設定レジスタ（RCC_CFGR）

アドレスオフセット：0x04

リセット値：0x0000 0000

アクセス：0≦ウェイトステート≦2、ワード、ハーフワード、およびバイトアクセス

クロックソースの切り替え中にアクセスが発生した場合に限り、1 または 2 個のウェイトステートが挿入されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み					MCO[2:0]			予約済み	USB PRE	PLLMUL[3:0]				PLL XTPRE	PLL SRC
					rw	rw	rw		rw	rw	rw	rw	rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADC PRE[1:0]		PPRE2[2:0]			PPRE1[2:0]			HPRE[3:0]				SWS[1:0]		SW[1:0]	
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	r	r	rw	rw

ビット 31:27 予約済み、常に 0 として読み出されます。

ビット 26:24 **MCO**：マイクロコントローラクロック出力

ソフトウェアによってセット/クリアされます。

0xx：クロックなし

100：システムクロック（SYSCLK）の選択

101：HSI クロックの選択

110：HSE クロックの選択

111：2 分周された PLL クロックの選択

注： このクロック出力は、スタートアップ時または MCO クロックソースの切り替え中は、サイクルが短縮されることがあります。

システムクロックが MCO ピンに出力するように選択されているときには、このクロックが 50 MHz（最大入出力速度）を超えないようにしてください。

ビット 22 **USBPRE**：USB プリスケーラ

48 MHz の USB クロックを生成するために、ソフトウェアによってセット/クリアされます。このビットは、RCC_APB1ENR レジスタで USB クロックを有効にする前に有効でなければなりません。USB クロックが有効になった場合、このビットをリセットすることはできません。

0：PLL クロックは 1.5 分周されます。

1：PLL クロックは分周されません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 21:18 **PLLMUL**：PLL 逓倍数

これらのビットは、PLL 逓倍数を定義するために、ソフトウェアによって書き込まれます。これらのビットに書き込めるのは、PLL が無効なときだけです。

注意：PLL 出力周波数が 72 MHz を超えてはなりません。

0000：PLL 入力クロック x 2
0001：PLL 入力クロック x 3
0010：PLL 入力クロック x 4
0011：PLL 入力クロック x 5
0100：PLL 入力クロック x 6
0101：PLL 入力クロック x 7
0110：PLL 入力クロック x 8
0111：PLL 入力クロック x 9
1000：PLL 入力クロック x 10
1001：PLL 入力クロック x 11
1010：PLL 入力クロック x 12
1011：PLL 入力クロック x 13
1100：PLL 入力クロック x 14
1101：PLL 入力クロック x 15
1110：PLL 入力クロック x 16
1111：PLL 入力クロック x 16

ビット 17 **PLLXTPRE:** PLL 入力に対する HSE 分周

PLL 入力前に、HSE を分周するために、ソフトウェアによってセット/クリアされます。このビットに書き込めるのは、PLL が無効のときだけです。

0：HSE クロックは分周されません。
1：HSE クロックは 2 分周されます。

ビット 16 **PLLSRC**：PLL 入力クロックソース

PLL クロックソースを選択するために、ソフトウェアによってセット/クリアされます。このビットに書き込めるのは、PLL が無効のときだけです。

0：HSI オシレータクロック / 2 が PLL 入力クロックとして選択されます。
1: HSE オシレータクロックが PLL 入力クロックとして選択されます。

ビット 15:14 **ADCPRE**：ADC プリスケーラ

ADCへのクロックの周波数を選択するために、ソフトウェアによってセット/クリアされます。

00：PCLK2 は 2 分周されます。
01：PCLK2 は 4 分周されます。
10：PCLK2 は 6 分周されます。
11：PCLK2 は 8 分周されます。

ビット 13:11 **PPRE2**：高速 APB プリスケーラ（APB2）

APB 高速クロック（PCLK2）の分周比を制御するために、ソフトウェアによってセット/クリアされます。

0xx：HCLK は分周されません。
100：HCLK は 2 分周されます。
101：HCLK は 4 分周されます。
110：HCLK は 8 分周されます。
111：HCLK は 16 分周されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 10:8 **PPRE1：**低速 APB プリスケーラ（APB1）

APB 低速クロック（PCLK1）の分周比を制御するために、ソフトウェアによってセット/クリアされます。

警告：ソフトウェアは、このドメインで 36 MHz を超えないように、これらのビットを正しくセットする必要があります。

0xx：HCLK は分周されません。

100：HCLK は 2 分周されます。

101：HCLK は 4 分周されます。

110：HCLK は 8 分周されます。

111：HCLK は 16 分周されます。

ビット 7:4 **HPRE：**AHB プリスケーラ

AHB クロックの分周比を制御するために、ソフトウェアによってセット/クリアされます。

0xxx：SYSCLK は分周されません。

1000：SYSCLK は 2 分周されます。

1001：SYSCLK は 4 分周されます。

1010：SYSCLK は 8 分周されます。

1011：SYSCLK は 16 分周されます。

1100：SYSCLK は 64 分周されます。

1101：SYSCLK は 128 分周されます。

1110：SYSCLK は 256 分周されます。

1111：SYSCLK は 512 分周されます。

注：　AHB クロックで 1 とは異なるプリスケーラを使用しているときには、プリフェッチバッファを保持する必要があります。詳細については、フラッシュメモリの読み出し（53 ページ）を参照してください。

ビット 3:2 **SWS：**システムクロックスイッチステータス

システムクロックとして使用されているクロックソースを示すために、ハードウェアによってセット/クリアされます。

00：HSI オシレータがシステムクロックとして使用されています。

01：HSE オシレータがシステムクロックとして使用されています。

10：PLL がシステムクロックとして使用されています。

11：設定できません。

ビット 1:0 **SW：**システムクロックスイッチ

SYSCLK のソースを選択するために、ソフトウェアによってセット/クリアされます。

STOP および STANDBY モードを終了するときや、直接または間接的にシステムクロックとして使用されている HSE オシレータに障害が発生した場合、強制的に HSI を選択するために、ハードウェアによってセットされます（クロックセキュリティシステムが有効な場合）。

00：HSI がシステムクロックとして選択されます。

01：HSE がシステムクロックとして選択されます。

10：PLL がシステムクロックとして選択されます。

11：設定できません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

6.3.3 クロック割り込みレジスタ（RCC_CIR）

アドレスオフセット：0x08

リセット値：0x0000 0000

アクセス：ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み								CSSC	予約済み		PLL RDYC	HSE RDYC	HSI RDYC	LSE RDYC	LSI RDYC
								w			w	w	w	w	w

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み			PLL RDYIE	HSE RDYIE	HSI RDYIE	LSE RDYIE	LSI RDYIE	CSSF	予約済み		PLL RDYF	HSE RDYF	HSI RDYF	LSE RDYF	LSI RDYF
			rw	rw	rw	rw	rw	r			r	r	r	r	r

ビット 31:24 予約済み、常に 0 として読み出されます。

ビット 23 **CSSC**：クロックセキュリティシステム割り込みクリア
このビットは、CSSF フラグをクリアするために、ソフトウェアによってセットされます。
0：ビットの値に影響を与えません。
1：CSSF フラグをクリアします。

ビット 22:21 予約済み、常に 0 として読み出されます。

ビット 20 **PLLRDYC**：PLL レディ割り込みクリア
このビットは、PLLRDYF フラグをクリアするために、ソフトウェアによってセットされます。
0：ビットの値に影響を与えません。
1：PLLRDYF がクリアされます。

ビット 19 **HSERDYC**：HSE レディ割り込みクリア
このビットは、HSERDYF フラグをクリアするために、ソフトウェアによってセットされます。
0：ビットの値に影響を与えません。
1：HSERDYF がクリアされます。

ビット 18 **HSIRDYC**：HSI レディ割り込みクリア
このビットは、HSIRDYF フラグをクリアするために、ソフトウェアによってセットされます。
0：ビットの値に影響を与えません。
1：HSIRDYF がクリアされます。

ビット 17 **LSERDYC**：LSE レディ割り込みクリア
このビットは、LSERDYF フラグをクリアするために、ソフトウェアによってセットされます。
0：ビットの値に影響を与えません。
1：LSERDYF がクリアされます。

ビット 16 **LSIRDYC**：LSI レディ割り込みクリア
このビットは、LSIRDYF フラグをクリアするために、ソフトウェアによってセットされます。
0：ビットの値に影響を与えません。
1：LSIRDYF がクリアされます。

ビット 15:13 予約済み、常に 0 として読み出されます。

ビット 12 **PLLRDYIE**：PLL レディ割り込みイネーブル
PLL ロックによって発生する割り込みを有効/無効にするために、ソフトウェアによってセット/クリアされます。
0：PLL ロック割り込み無効
1：PLL ロック割り込み有効

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 11 **HSERDYIE**：HSE レディ割り込みイネーブル
外部 4～16 MHz オシレータの安定化によって発生する割り込みを有効/無効にするために、ソフトウェアによってセット/クリアされます。
0：HSE レディ割り込み無効
1：HSE レディ割り込み有効

ビット 10 **HSIRDYIE**：HSI レディ割り込みイネーブル
内部 8 MHz RC オシレータの安定化によって発生する割り込みを有効/無効にするために、ソフトウェアによってセット/クリアされます。
0：HSI レディ割り込み無効
1：HSI レディ割り込み有効

ビット 9 **LSERDYIE**：LSE レディ割り込みイネーブル
外部 32 kHz オシレータの安定化によって発生する割り込みを有効/無効にするために、ソフトウェアによってセット/クリアされます。
0：LSE レディ割り込み無効
1：LSE レディ割り込み有効

ビット 8 **LSIRDYIE**：LSI レディ割り込みイネーブル
内部 RC 40 kHz オシレータの安定化によって発生する割り込みを有効/無効にするために、ソフトウェアによってセット/クリアされます。
0：LSI レディ割り込み無効
1：LSI レディ割り込み有効

ビット 7 **CSSF**：クロックセキュリティシステム割り込みフラグ
外部 4～16 MHz オシレータで障害が検出されたときに、ハードウェアによってセットされます。
CSSC ビットをセットすることによって、ソフトウェアによってクリアされます。
0：HSE クロック障害によるクロックセキュリティ割り込みは発生していません。
1：HSE クロック障害によってクロックセキュリティ割り込みが発生しました。

ビット 6:5 予約済み、常に 0 として読み出されます。

ビット 4 **PLLRDYF**：PLL レディ割り込みフラグ
PLL がロックされ、PLLRDYIE ビットがセットされているときに、ハードウェアによってセットされます。
PLLRDYC ビットをセットすることによって、ソフトウェアによってクリアされます。
0：PLL ロックによるクロックレディ割り込みは発生していません。
1：PLL ロックによるクロックレディ割り込みが発生しました。

ビット 3 **HSERDYF**：HSE レディ割り込みフラグ
外部低速クロックが安定し、HSERDYDIE ビットがセットされているとき、ハードウェアによってセットされます。
HSERDYC ビットをセットすることによって、ソフトウェアによってクリアされます。
0：外部 4～16 MHz オシレータによるクロックレディ割り込みは発生していません。
1：外部 4～16 MHz オシレータによるクロックレディ割り込みが発生しました。

ビット 2 **HSIRDYF**：HSI レディ割り込みフラグ
内部高速クロックが安定し、HSIRDYDIE ビットがセットされているとき、ハードウェアによってセットされます。
HSIRDYC ビットをセットすることによって、ソフトウェアによってクリアされます。
0：内部 8 MHz RC オシレータによるクロックレディ割り込みは発生していません。
1：内部 8 MHz RC オシレータによるクロックレディ割り込みが発生しました。

ビット 1 **LSERDYF**：LSE レディ割り込みフラグ
外部低速クロックが安定し、LSERDYDIE ビットがセットされているとき、ハードウェアによってセットされます。
LSERDYC ビットをセットすることによって、ソフトウェアによってクリアされます。
0：外部 32 kHz オシレータによるクロックレディ割り込みは発生していません。
1：外部 32 kHz オシレータによるクロックレディ割り込みが発生しました。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 0 **LSIRDYF**：LSI レディ割り込みフラグ
内部低速クロックが安定し、LSIRDYDIE ビットがセットされているとき、ハードウェアによってセットされます。
LSIRDYC ビットをセットすることによって、ソフトウェアによってクリアされます。
0：内部 RC 40 kHz オシレータによるクロックレディ割り込みは発生していません。
1：内部 RC 40 kHz オシレータによるクロックレディ割り込みが発生しました。

6.3.4 APB2 ペリフェラルリセットレジスタ（RCC_APB2RSTR）

アドレスオフセット：0x0C

リセット値：0x00000 0000

アクセス：ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み										TIM11 RST	TIM10 RST	TIM9 RST	予約済み		
										rw	rw	rw			

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADC3 RST	USART1 RST	TIM8 RST	SPI1 RST	TIM1 RST	ADC2 RST	ADC1 RST	IOPG RST	IOPF RST	IOPE RST	IOPD RST	IOPC RST	IOPB RST	IOPA RST	予約済み	AFIO RST
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	予約済み	rw

ビット 31：22 予約済み、常に 0 として読み出されます。

ビット 21 **TIM11RST**：TIM11 タイマリセット
ソフトウェアによってセット/クリアされます。
0：ビットの値に影響を与えません。
1：TIM11 タイマをリセットします。

ビット 20 **TIM10RST**：TIM10 タイマリセット
ソフトウェアによってセット/クリアされます。
0：ビットの値に影響を与えません。
1：TIM10 タイマをリセットします。

ビット 19 **TIM9RST**：TIM9 タイマリセット
ソフトウェアによってセット/クリアされます。
0：ビットの値に影響を与えません。
1：TIM9 タイマをリセットします。

ビット 18:16 予約済み、常に 0 として読み出されます。

ビット 15 **ADC3RST**：ADC3 インタフェースリセット
ソフトウェアによってセット/クリアされます。
0：ビットの値に影響を与えません。
1：ADC3 インタフェースをリセットします。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 14 **USART1RST**：USART1 リセット
ソフトウェアによってセット/クリアされます。
0：ビットの値に影響を与えません。
1：USART1 をリセットします。

ADC1RST：ADC1 インタフェースリセット
ソフトウェアによってセット/クリアされます。
0：ビットの値に影響を与えません。
1：ADC1 インタフェースをリセットします。

ビット 13 **TIM8RST**：TIM8 タイマ リセット
ソフトウェアによってセット/クリアされます。
0：ビットの値に影響を与えません。
1：TIM8 タイマ をリセットします。

ビット 12 **SPI1RST**：SPI1 リセット
ソフトウェアによってセット/クリアされます。
0：ビットの値に影響を与えません。
1：SPI1 をリセットします。

ビット 11 **TIM1RST**：TIM1 タイマ リセット
ソフトウェアによってセット/クリアされます。
0：ビットの値に影響を与えません。
1：TIM1 タイマ をリセットします。

ビット 10 **ADC2RST**：ADC 2 インタフェース リセット
ソフトウェアによってセット/クリアされます。
0：ビットの値に影響を与えません。
1：ADC 2 インタフェース をリセットします。

ビット 9 **ADC1RST**：ADC 1 インタフェース リセット
ソフトウェアによってセット/クリアされます。
0：ビットの値に影響を与えません。
1：ADC 1 インタフェース をリセットします。

ビット 8 **IOPGRST**：IO ポート G リセット
ソフトウェアによってセット/クリアされます。
0：ビットの値に影響を与えません。
1：IO ポート G をリセットします。

ビット 7 **IOPFRST**：IO ポート F リセット
ソフトウェアによってセット/クリアされます。
0：ビットの値に影響を与えません。
1：IO ポート F をリセットします。

ビット 6 **IOPERST**：IO ポート E リセット
ソフトウェアによってセット/クリアされます。
0：ビットの値に影響を与えません。
1：IO ポート E をリセットします。

ビット 5 **IOPDRST**：IO ポート D リセット
ソフトウェアによってセット/クリアされます。
0：ビットの値に影響を与えません。
1：IO ポート D をリセットします。

ビット 4 **IOPCRST**：IO ポート C リセット
ソフトウェアによってセット/クリアされます。
0：ビットの値に影響を与えません。
1：IO ポート C をリセットします。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 3 **IOPBRST**：IO ポート B リセット
ソフトウェアによってセット/クリアされます。
0：ビットの値に影響を与えません。
1：IO ポート B をリセットします。

ビット 2 **IOPARST**：IO ポート A リセット
ソフトウェアによってセット/クリアされます。
0：ビットの値に影響を与えません。
1：IO ポート A をリセットします。

ビット 1 予約済み、常に 0 として読み出されます。

ビット 0 **AFIORST**：オルタネート機能 IO リセット
ソフトウェアによってセット/クリアされます。
0：ビットの値に影響を与えません。
1：オルタネート機能をリセットします。

6.3.5 APB1 ペリフェラルリセットレジスタ（RCC_APB1RSTR）

アドレスオフセット：0x10

リセット値：0x0000 0000

アクセス：ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み		DAC RST	PWR RST	BKP RST	予約済み	CAN RST	予約済み	USB RST	I2C2 RST	I2C1 RST	UART5 RST	UART4 RST	USART3 RST	USART2 RST	予約済み
		rw	rw	rw		rw		rw	rw	rw	rw	rw	rw	rw	

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SPI3 RST	SPI2 RST	予約済み		WWDG RST	予約済み		TIM14 RST	TIM13 RST	TIM12 RST	TIM7 RST	TIM6 RST	TIM5 RST	TIM4 RST	TIM3 RST	TIM2 RST
rw	rw			rw			rw	rw	rw	rw	rw	rw	rw	rw	rw

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 31:30 予約済み、常に 0 として読み出されます。

ビット 29 **DACRST**：DAC インタフェースリセット
ソフトウェアによってセット/クリアされます。
0：ビットの値に影響を与えません。
1：DAC インタフェースをリセットします。

ビット 28 **PWRRST**：電源インタフェースリセット
ソフトウェアによってセット/クリアされます。
0：ビットの値に影響を与えません。
1：電源インタフェースをリセットします。

ビット 27 **BKPRST**：バックアップインタフェースリセット
ソフトウェアによってセット/クリアされます。
0：ビットの値に影響を与えません。
1：バックアップインタフェースをリセットします。

ビット 26 予約済み、常に 0 として読み出されます。

ビット 25 **CANRST**：CAN リセット
ソフトウェアによってセット/クリアされます。
0：ビットの値に影響を与えません。
1：CAN をリセットします。

ビット 24 予約済み、常に 0 として読み出されます。

ビット 23 **USBRST**：USB リセット
ソフトウェアによってセット/クリアされます。
0：ビットの値に影響を与えません。
1：USB をリセットします。

ビット 22 **I2C2RST**：I2C 2 リセット
ソフトウェアによってセット/クリアされます。
0：ビットの値に影響を与えません。
1：I2C 2 をリセットします。

ビット 21 **I2C1RST**：I2C 1 リセット
ソフトウェアによってセット/クリアされます。
0：ビットの値に影響を与えません。
1：I2C 1 をリセットします。

ビット 20 **UART5RST**：USART 5 リセット
ソフトウェアによってセット/クリアされます。
0：ビットの値に影響を与えません。
1：USART 5 をリセットします。

ビット 19 **UART4RST**：USART 4 リセット
ソフトウェアによってセット/クリアされます。
0：ビットの値に影響を与えません。
1：USART 4 をリセットします。

ビット 18 **UART3RST**：USART 3 リセット
ソフトウェアによってセット/クリアされます。
0：ビットの値に影響を与えません。
1：USART 3 をリセットします。

ビット 17 **UART2RST**：USART 2 リセット
ソフトウェアによってセット/クリアされます。
0：ビットの値に影響を与えません。
1：USART 2 をリセットします。

ビット 16 予約済み、常に 0 として読み出されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 15 **SPI3RST**：SPI 3 リセット
ソフトウェアによってセット/クリアされます。
0：ビットの値に影響を与えません。
1：SPI 3 をリセットします。

ビット 14 **SPI2RST**：SPI 2 リセット
ソフトウェアによってセット/クリアされます。
0：ビットの値に影響を与えません。
1：SPI 2 をリセットします。

ビット 13:12 予約済み、常に 0 として読み出されます。

ビット 11 **WWDGRST**：ウィンドウ型ウォッチドッグリセット
ソフトウェアによってセット/クリアされます。
0：ビットの値に影響を与えません。
1：ウィンドウ型ウォッチドッグをリセットします。

ビット 10：9 予約済み、常に 0 として読み出されます。

ビット 8 **TIM14RST**：TIM14 タイマリセット
ソフトウェアによってセット/クリアされます。
0：ビットの値に影響を与えません。
1：TIM14 をリセットします。

ビット 7 **TIM13RST**：TIM13 タイマリセット
ソフトウェアによってセット/クリアされます。
0：ビットの値に影響を与えません。
1：TIM13 をリセットします。

ビット 6 **TIM12RST**：TIM12 タイマリセット
ソフトウェアによってセット/クリアされます。
0：ビットの値に影響を与えません。
1：TIM12 をリセットします。

ビット 5 **TIM7RST**：TIM7 タイマリセット
ソフトウェアによってセット/クリアされます。
0：ビットの値に影響を与えません。
1：TIM7 をリセットします。

ビット 4 **TIM6RST**：TIM6 タイマリセット
ソフトウェアによってセット/クリアされます。
0：ビットの値に影響を与えません。
1：TIM6 をリセットします。

ビット 3 **TIM5RST**：TIM5 タイマリセット
ソフトウェアによってセット/クリアされます。
0：ビットの値に影響を与えません。
1：TIM5 をリセットします。

ビット 2 **TIM4RST**：TIM4 タイマリセット
ソフトウェアによってセット/クリアされます。
0：ビットの値に影響を与えません。
1：TIM4 をリセットします。

ビット 1 **TIM3RST**：TIM3 タイマリセット
ソフトウェアによってセット/クリアされます。
0：ビットの値に影響を与えません。
1：TIM3 をリセットします。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 0 **TIM2RST**：TIM2 タイマリセット
ソフトウェアによってセット/クリアされます。
0：ビットの値に影響を与えません。
1：TIM2 をリセットします。

6.3.6 AHB ペリフェラルクロック有効レジスタ（RCC_AHBENR）

アドレスオフセット：0x14

リセット値：0x0000 0014

アクセス：ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

注： ***ペリフェラルクロックが有効でないときには、ペリフェラルレジスタの値をソフトウェアによって読み出すことはできず、返される値は常に 0 x 0 です。***

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み					SDIO EN	予約済み	FSMC EN	予約済み	CRCEN	予約済み	FLITF EN	予約済み	SRAM EN	DMA2 EN	DMA1 EN
					rw		rw		rw		rw		rw	rw	rw

ビット 31：11 予約済み、常に 0 として読み出されます。

ビット 10 **SDIOEN**：SDIO クロックイネーブル
ソフトウェアによってセット/クリアされます。
0：SDIO クロック無効
1：SDIO クロック有効

ビット 9 予約済み、常に 0 として読み出されます。

ビット 8 **FSMCEN**：FSMC クロックイネーブル
ソフトウェアによってセット/クリアされます。
0：FSMC クロック無効
1：FSMC クロック有効

ビット 7 予約済み、常に 0 として読み出されます。

ビット 6 **CRCEN**：CRC クロックイネーブル
ソフトウェアによってセット/クリアされます。
0：CRC クロック無効
1：CRC クロック有効

ビット 5 予約済み、常に 0 として読み出されます。

ビット 4 **FLITFEN**：FLITF クロックイネーブル
SLEEP モード時の FLITF クロックを無効/有効にするために、ソフトウェアによってセット/クリアされます。
0：SLEEP モード時は FLITF クロック無効
1：SLEEP モード時は FLITF クロック有効

ビット 3 予約済み、常に 0 として読み出されます。

ビット 2 **SRAMEN**：SRAM インタフェースクロックイネーブル
SLEEP モード時の SRAM インタフェースクロックを無効/有効にするために、ソフトウェアによってセット/クリアされます。
0：SLEEP モード時は SRAM インタフェースクロック無効
1：SLEEP モード時は SRAM インタフェースクロック有効

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 1 **DMA2EN**：DMA2 クロックイネーブル
ソフトウェアによってセット/クリアされます。
0：DMA2 クロック無効
1：DMA2 クロック有効

ビット 0 **DMA1EN**：DMA1 クロックイネーブル
ソフトウェアによってセット/クリアされます。
0：DMA1 クロック無効
1：DMA1 クロック有効

6.3.7 APB2 ペリフェラルクロック有効レジスタ（RCC_APB2ENR）

アドレス：0x18

リセット値：0x0000 0000

アクセス：ワード、ハーフワード、およびバイトアクセス

ノーウェイトステート。ただし、APB2 ドメイン内のペリフェラルへのアクセス中にアクセスが発生した場合を除きます。この場合、APB2 ペリフェラルへのアクセスが終了するまで、ウェイトステートが挿入されます。

注： ***ペリフェラルクロックが有効でないときには、ペリフェラルレジスタの値をソフトウェアによって読み出すことはできず、返される値は常に 0 x0 です。***

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み										TIM11 EN	TIM10 EN	TIM9 EN	予約済み		
										rw	rw	rw			

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADC3 EN	USART 1EN	TIM8 EN	SPI1 EN	TIM1 EN	ADC2 EN	ADC1 EN	IOPG EN	IOPF EN	IOPE EN	IOPD EN	IOPC EN	IOPB EN	IOPA EN	予約済み	AFIO EN
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw		rw

ビット 31：22 予約済み、常に 0 として読み出されます。

ビット 21 **TIM11EN**：TIM11 タイマクロックイネーブル
ソフトウェアによってセット/クリアされます。
0：TIM11 タイマクロック無効
1：TIM11 タイマクロック有効

ビット 20 **TIM10EN**：TIM10 タイマクロックイネーブル
ソフトウェアによってセット/クリアされます。
0：TIM10 タイマクロック無効
1：TIM10 タイマクロック有効

ビット 19 **TIM9EN**：TIM9 タイマクロックイネーブル
ソフトウェアによってセット/クリアされます。
0：TIM9 タイマクロック無効
1：TIM9 タイマクロック有効

ビット 18:16 予約済み、常に 0 として読み出されます。

ビット 15 **ADC3EN**：ADC 3 インタフェースクロックイネーブル
ソフトウェアによってセット/クリアされます。
0：ADC 3 インタフェースクロック無効
1：ADC 3 インタフェースクロック有効

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 14 **USART1EN** : USART1 クロックイネーブル
ソフトウェアによってセット/クリアされます。
0: USART1 クロック無効
1: USART1 クロック有効

ビット 13 **TIM8EN** : TIM8 タイマ クロックイネーブル
ソフトウェアによってセット/クリアされます。
0 : TIM8 タイマ クロック無効
1 : TIM8 タイマ クロック有効

ビット 12 **SPI1EN** : SPI 1 クロックイネーブル
ソフトウェアによってセット/クリアされます。
0 : SPI 1 クロック無効
1 : SPI 1 クロック有効

ビット 11 **TIM1EN** : TIM1 タイマクロックイネーブル
ソフトウェアによってセット/クリアされます。
0 : TIM1 タイマクロック無効
1 : TIM1 タイマクロック有効

ビット 10 **ADC2EN** : ADC 2 インタフェース クロックイネーブル
ソフトウェアによってセット/クリアされます。
0 : ADC 2 インタフェース クロック無効
1 : ADC 2 インタフェース クロック有効

ビット 9 **ADC1EN** : ADC 1 インタフェース クロックイネーブル
ソフトウェアによってセット/クリアされます。
0 : ADC 1 インタフェース 無効
1 : ADC 1 インタフェース クロック有効

ビット 8 **IOPGEN** : IO ポート G クロックイネーブル
ソフトウェアによってセット/クリアされます。
0 : IO ポート G クロック無効
1 : IO ポート G クロック有効

ビット 7 **IOPFEN** : IO ポート F クロックイネーブル
ソフトウェアによってセット/クリアされます。
0 : IO ポート F クロック無効
1 : IO ポート F クロック有効

ビット 6 **IOPEEN** : IO ポート E クロックイネーブル
ソフトウェアによってセット/クリアされます。
0 : IO ポート E クロック無効
1 : IO ポート E クロック有効

ビット 5 **IOPDEN** : IO ポート D クロックイネーブル
ソフトウェアによってセット/クリアされます。
0 : IO ポート D クロック無効
1 : IO ポート D クロック有効

ビット 4 **IOPCEN** : IO ポート C クロックイネーブル
ソフトウェアによってセット/クリアされます。
0 : IO ポート C クロック無効
1 : IO ポート C クロック有効

ビット 3 **IOPBEN** : IO ポート B クロックイネーブル
ソフトウェアによってセット/クリアされます。
0 : IO ポート B クロック無効
1 : IO ポート B クロック有効

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 2 **IOPAEN**：IO ポート A クロックイネーブル
ソフトウェアによってセット/クリアされます。
0：IO ポート A クロック無効
1：IO ポート A クロック有効

ビット 1 予約済み、常に 0 として読み出されます。

ビット 0 **AFIOENT**：オルタネート機能 IO クロックイネーブル
ソフトウェアによってセット/クリアされます。
0：オルタネート機能 IO クロック無効
1：オルタネート機能 IO クロック有効

6.3.8 APB1 ペリフェラルクロック有効レジスタ（RCC_APB1ENR）

アドレス：0x1C

リセット値：0x0000 0000

アクセス：ワード、ハーフワード、およびバイトアクセス

ノーウェイトステート。ただし、APB1 ドメイン内のペリフェラルへのアクセス中にアクセスが発生した場合を除きます。この場合、APB1 ペリフェラルへのアクセスが終了するまで、ウェイトステートが挿入されます。

注： ***ペリフェラルクロックが有効でないときには、ペリフェラルレジスタの値をソフトウェアによって読み出すことはできず、返される値は常に 0 x 0 です。***

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み		DAC EN	PWR EN	BKP EN	予約済み	CAN EN	予約済み	USB EN	I2C2 EN	I2C1 EN	UART5E N	UART4E N	USART3 EN	USART2 EN	予約済み
		rw	rw	rw		rw		rw	rw	rw	rw	rw	rw	rw	

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SPI3 EN	SPI2 EN	予約済み		WWDG EN	予約済み		TIM14 EN	TIM13 EN	TIM12 EN	TIM7 EN	TIM6 EN	TIM5 EN	TIM4 EN	TIM3 EN	TIM2 EN
rw	rw			rw			rw	rw	rw	rw	rw	rw	rw	rw	rw

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 31：30 予約済み、常に 0 として読み出されます。

ビット 29 **DACEN**：DAC インタフェースクロックイネーブル
ソフトウェアによってセット/クリアされます。
0：DAC インタフェースクロック無効
1：DAC インタフェースクロック有効

ビット 28 **PWREN**：電源インタフェースクロックイネーブル
ソフトウェアによってセット/クリアされます。
0：電源インタフェースクロック無効
1：電源インタフェースクロック有効

ビット 27 **BKPEN**：バックアップインタフェースクロックイネーブル
ソフトウェアによってセット/クリアされます。
0：バックアップインタフェースクロック無効
1：バックアップインタフェースクロック有効

ビット 26 予約済み、常に 0 として読み出されます。

ビット 25 **CANEN**：CAN クロックイネーブル
ソフトウェアによってセット/クリアされます。
0：CAN クロック無効
1：CAN クロック有効

ビット 24 予約済み、常に 0 として読み出されます。

ビット 23 **USBEN**：USB クロックイネーブル
ソフトウェアによってセット/クリアされます。
0：USB クロック無効
1：USB クロック有効

ビット 22 **I2C2EN**：I2C 2 クロックイネーブル
ソフトウェアによってセット/クリアされます。
0：I2C 2 クロック無効
1：I2C 2 クロック有効

ビット 21 **I2C1EN**：I2C 1 クロックイネーブル
ソフトウェアによってセット/クリアされます。
0：I2C 1 クロック無効
1：I2C 1 クロック有効

ビット 20 **UART5EN**：USART 5 クロックイネーブル
ソフトウェアによってセット/クリアされます。
0：USART 5 クロック無効
1：USART 5 クロック有効

ビット 19 **USART4EN**：USART 4 クロックイネーブル
ソフトウェアによってセット/クリアされます。
0：USART 4 クロック無効
1：USART 4 クロック有効

ビット 18 **USART3EN**：USART 3 クロックイネーブル
ソフトウェアによってセット/クリアされます。
0：USART 3 クロック無効
1：USART 3 クロック有効

ビット 17 **USART2EN**：USART 2 クロックイネーブル
ソフトウェアによってセット/クリアされます。
0：USART 2 クロック無効
1：USART 2 クロック有効

ビット 16 予約済み、常に 0 として読み出されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 15 SPI3EN：SPI 3 クロックイネーブル
ソフトウェアによってセット/クリアされます。
0：SPI 3 クロック無効
1：SPI 3 クロック有効

ビット 14 **SPI2EN：**SPI 2 クロックイネーブル
ソフトウェアによってセット/クリアされます。
0：SPI 2 クロック無効
1：SPI 2 クロック有効

ビット 13:12 予約済み、常に 0 として読み出されます。

ビット 11 **WWDGEN：**ウィンドウ型ウォッチドッグクロックイネーブル
ソフトウェアによってセット/クリアされます。
0：ウィンドウ型ウォッチドッグクロック無効
1：ウィンドウ型ウォッチドッグクロック有効

ビット 10：9 予約済み、常に 0 として読み出されます。

ビット 8 **TIM14EN：**TIM14 タイマクロックイネーブル
ソフトウェアによってセット/クリアされます。
0：TIM14 クロック無効
1：TIM14 クロック有効

ビット 7 **TIM13EN：**TIM13 タイマクロックイネーブル
ソフトウェアによってセット/クリアされます。
0：TIM13 クロック無効
1：TIM13 クロック有効

ビット 6 **TIM12EN：**TIM12 タイマクロックイネーブル
ソフトウェアによってセット/クリアされます。
0：TIM12 クロック無効
1：TIM12 クロック有効

ビット 5 **TIM7EN：**TIM7 タイマクロックイネーブル
ソフトウェアによってセット/クリアされます。
0：TIM7 クロック無効
1：TIM7 クロック有効

ビット 4 **TIM6EN：**TIM6 タイマクロックイネーブル
ソフトウェアによってセット/クリアされます。
0：TIM6 クロック無効
1：TIM6 クロック有効

ビット 3 TIM5EN：TIM5 タイマクロックイネーブル
ソフトウェアによってセット/クリアされます。
0：TIM5 クロック無効
1：TIM5 クロック有効

ビット 2 **TIM4EN：**TIM4 タイマクロックイネーブル
ソフトウェアによってセット/クリアされます。
0：TIM4 クロック無効
1：TIM4 クロック有効

ビット 1 **TIM3EN：**TIM3 タイマクロックイネーブル
ソフトウェアによってセット/クリアされます。
0：TIM3 クロック無効
1：TIM3 クロック有効

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 0 **TIM2EN :** TIM2 タイマクロックイネーブル
ソフトウェアによってセット/クリアされます。
0 : TIM2 クロック無効
1 : TIM2 クロック有効

6.3.9 バックアップドメイン制御レジスタ（RCC_BDCR）

アドレスオフセット : 0x20
リセット値 : 0 x 0000 0000、バックアップドメインリセットによってリセットされます。
アクセス : 0≦ウェイトステート≦3、ワード、ハーフワード、およびバイトアクセス
このレジスタへの連続したアクセスで、ウェートステートが挿入されます。

注 : ***バックアップドメイン制御レジスタ（RCC_BDCR）の LSEON、LSEBYP、RTCSEL、および RTCEN ビットは、バックアップドメインにあります。このため、リセット後、これらのビットは書き込み保護されるので、これらを変更するには、電源制御レジスタ（PWR_CR）の DBP ビットをセットする必要があります。詳細については、セクション 5（74 ページ）を参照してください。これらのビットは、バックアップドメインリセット後にのみリセットされます（セクション 6.1.3 : バックアップドメインリセット を参照）。内部または外部リセットは、これらのビットに影響しません。***

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															BDRST
															rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RTC EN	予約済み					RTCSEL[1:0]		予約済み					LSE BYP	LSE RDY	LSEON
rw						rw	rw						rw	r	rw

ビット 31:17 予約済み、常に 0 として読み出されます。

ビット 16 **BDRST :** バックアップドメインソフトウェアリセット
ソフトウェアによってセット/クリアされます。
0 : リセットが発生しません。
1 : バックアップドメイン全体をリセットします。

ビット 15 **RTCEN :** RTC クロックイネーブル
ソフトウェアによってセット/クリアされます。
0 : RTC クロック無効
1 : RTC クロック有効

ビット 14:10 予約済み、常に 0 として読み出されます。

ビット 9:8 **RTCSEL[1:0] :** RTC クロックソース選択
RTC のクロックソースを選択するために、ソフトウェアによってセットされます。RTC クロックソースが選択されると、バックアップドメインがリセットされない限り、変更はできません。BDRST ビットを使用してリセットできます。
00 : クロックなし
01 : LSE オシレータクロックが RTC クロックとして使用されます。
10 : LSI オシレータクロックが RTC クロックとして使用されます。
11 : 128 分周された HSE オシレータクロックが RTC クロックとして使用されます。

ビット 7 : 3 予約済み、常に 0 として読み出されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 2 **LSEBYP**：外部低速オシレータバイパス

デバッグモードでオシレータをバイパスするために、ソフトウェアによってセット/クリアされます。このビットは、外部 32 kHz オシレータが無効のときのみ、書き込みができます。

0：LSE オシレータはバイパスされません。

1：LSE オシレータはバイパスされます。

ビット 1 **LSERDY**：外部低速オシレータレディ

外部 32 kHz オシレータが安定していることを示すために、ハードウェアによってセット/クリアされます。LSEON ビットがクリアされた後、LSERDY は、外部低速オシレータクロックの 6 サイクル後にローになります。

0：外部 32 kHz オシレータはレディ状態ではありません。

1：外部 32 kHz オシレータはレディ状態です。

ビット 0 **LSEON**：外部低速オシレータイネーブル

ソフトウェアによってセット/クリアされます。

0：外部 32 kHz オシレータは OFF です。

1：外部 32 kHz オシレータは ON です。

6.3.10 制御/ステータスレジスタ（RCC_CSR）

アドレス：0x24

リセット値：0x0C00 0000。システムリセットによってリセットされます。ただし、リセットフラグは電源リセット時のみリセットされます。

アクセス：0≦ウェイトステート≦3、ワード、ハーフワード、およびバイトアクセス

このレジスタへの連続したアクセスの場合、ウェイトステートが挿入されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
LPWR RSTF	WWDG RSTF	IWDG RSTF	SFT RSTF	POR RSTF	PIN RSTF	予約済み	RMVF	予約済み							
rw	rw	rw	rw	rw	rw		rw								

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み														LSI RDY	LSION
														r	rw

ビット 31 **LPWRRSTF**：低電力リセットフラグ

低電力管理リセットが発生したときに、ハードウェアによってセットされます。

RMVF ビットに書き込むことによってクリアされます。

0：低電力管理リセットは発生していません。

1：低電力管理リセットが発生しました。

低電力管理リセットの詳細については、*低電力管理リセット* を参照してください。

ビット 30 **WWDGRSTF**：ウィンドウ型ウォッチドッグリセットフラグ

ウィンドウ型ウォッチドッグリセットが発生したときに、ハードウェアによってセットされます。

RMVF ビットに書き込むことによってクリアされます。

0：ウィンドウ型ウォッチドッグリセットは発生していません。

1：ウィンドウ型ウォッチドッグリセットが発生しました。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 29 **IWDGRSTF**：独立型ウォッチドッグリセットフラグ

V_{DD} ドメインから独立型ウォッチドッグリセットが発生したときに、ハードウェアによってセットされます。

RMVF ビットに書き込むことによってクリアされます。

0：ウォッチドッグリセットは発生していません。

1：ウォッチドッグリセットが発生しました。

ビット 28 **SFTRSTF**：ソフトウェアリセットフラグ

ソフトウェアリセットが発生したときに、ハードウェアによってセットされます。

RMVF ビットに書き込むことによってクリアされます。

0：ソフトウェアリセットは発生していません。

1：ソフトウェアリセットが発生しました。

ビット 27 **PORRSTF**：POR/PDR リセットフラグ

POR/PDR リセットが発生したときに、ハードウェアによってセットされます。

RMVF ビットに書き込むことによってクリアされます。

0：POR/PDR リセットは発生していません。

1：POR/PDR リセットが発生しました。

ビット 26 **PINRSTF**：PIN リセットフラグ

NRST ピンからリセットが発生したときに、ハードウェアによってセットされます。

RMVF ビットに書き込むことによってクリアされます。

0：NRST ピンからのリセットは発生していません。

1：NRST ピンからリセットが発生しました。

ビット 25 予約済み、常に 0 として読み出されます。

ビット 24 **RMVF**：リセットフラグ解除

リセットフラグをクリアするために、ソフトウェアによってセットされます。

0：リセットフラグに影響しません。

1：リセットフラグをクリアします。

ビット 23:2 予約済み、常に 0 として読み出されます。

ビット 1 **LSIRDY**：内部低速オシレータレディ

内部 RC 40 kHz オシレータが安定していることを示すために、ハードウェアによってセット/クリアされます。LSION ビットがクリアされた後、LSIRDY は、内部 RC 40 kHｚ オシレータクロックの 3 サイクル後にローになります。

0：内部 RC 40 kHz オシレータはレディ状態ではありません。

1：内部 RC 40 kHz オシレータはレディ状態です。

ビット 0 **LSION**：内部低速オシレータイネーブル

ソフトウェアによってセット/クリアされます。

0：内部 RC 40 kHz オシレータは OFF です。

1：内部 RC 40 kHz オシレータは ON です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

6.3.11 RCC レジスタマップ

次の表に、RCC レジスタマップおよびリセット値を示します。

表16. RCCレジスタマップとリセット値

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x000	RCC_CR	予約済み						PLL RDY	PLL オン	予約済み				CSSON	HSEBYP	HSERDY	HSEON	HSICAL[7:0]								HSITRIM[4:0]					予約済み	HSIRDY	HSION
	リセット値							0	0					0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0		1	1
0x004	RCC_CFGR	予約済み					MCO[2:0]			予約済み	USBPRE	PLLMUL[3:0]				PLLXTPRE	PLLSRC	ADC PRE [1:0]		PPRE2[2:0]			PPRE1[2:0]			HPRE[3:0]				SWS [1:0]		SW [1:0]	
	リセット値						0	0	0		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x008	RCC_CIR	予約済み								CSSC	予約済み		PLLRDYC	HSERDYC	HSIRDYC	LSERDYC	LSIRDYC	予約済み			PLLRDYIE	HSERDYIE	HSIRDYIE	LSERDYIE	LSIRDYIE	CSSF	予約済み		PLLRDYF	HSERDYF	HSIRDYF	LSERDYF	LSIRDYF
	リセット値									0			0	0	0	0	0				0	0	0	0	0	0			0	0	0	0	0
0x00C	RCC_APB2RSTR	予約済み										TIM11RST	TIM10RST	TIM9RST	予約済み			ADC3RST	USART1RST	TIM8RST	SPI1RST	TIM1RST	ADC2RST	ADC1RST	IOPGRST	IOPFRST	IOPERST	IOPDRST	IOPCRST	IOPBRST	IOPARST	予約済み	AFIORST
	リセット値											0	0	0				0	0	0	0	0	0	0	0	0	0	0	0	0	0		0
0x010	RCC_APB1RSTR	予約済み	DACRST	PWRRST	BKPRST	予約済み	CANRST	予約済み	USBRST	I2C2RST	I2C1RST	UART5RST	UART4RST	USART3RST	USART2RST	予約済み		SPI3RST	SPI2RST	予約済み		WWDGRST	予約済み		TIM14RST	TIM13RST	TIM12RST	TM7RST	TM6RST	TM5RST	TIM4RST	TIM3RST	TIM2RST
	リセット値		0	0	0		0		0	0	0	0	0	0	0			0	0			0			0	0	0	0	0	0	0	0	0
0x014	RCC_AHBENR	予約済み																					SDIOEN	予約済み	FSMCEN	予約済み	CRCEN	予約済み	FLITFEN	予約済み	SRAMEN	DM2AEN	DM1AEN
	リセット値																						0		0		0		1		1	0	0
0x018	RCC_APB2ENR	予約済み										TIM11 EN	TIM10 EN	TIM9 EN	予約済み			ADC3EN	USART1EN	TIM8EN	SPI1EN	TIM1EN	ADC2EN	ADC1EN	IOPGEN	IOPFEN	IOPEEN	IOPDEN	IOPCEN	IOPBEN	IOPAEN	予約済み	AFIOEN
	リセット値											0	0	0				0	0	0	0	0	0	0	0	0	0	0	0	0	0		0
0x01C	RCC_APB1ENR	予約済み	DACEN	PWREN	BKPEN	予約済み	CANEN	予約済み	USBEN	I2C2EN	I2C1EN	UART5EN	UART4EN	USART3EN	USART2EN	予約済み		SPI3EN	SPI2EN	予約済み		WWDGEN	予約済み		TIM14EN	TIM13EN	TIM12EN	TIM7EN	TIM6EN	TIM5EN	TIM4EN	TIM3EN	TIM2EN
	リセット値		0	0	0		0		0	0	0	0	0	0	0			0	0			0			0	0	0	0	0	0	0	0	0
0x020	RCC_BDCR	予約済み															BDRST	RTCEN	予約済み					RTC SEL [1:0]		予約済み						LSEBYP	LSERDY	LSEON
	リセット値																0	0						0	0							0	0	0
0x024	RCC_CSR	LPWRSTF	WWDGRSTF	IWDGRSTF	SFTRSTF	PORRSTF	PINRSTF	予約済み	RMVF	予約済み																						LSIRDY	LSION
	リセット値	0	0	0	0	1	1		0																							0	0

レジスタ境界アドレスについては、*表 1 (45 ページ)* を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

7 コネクティビティラインデバイス：リセットおよびクロック制御（RCC）

小容量 デバイス は、フラッシュメモリ容量が 16～32 KB の STM32F101xx、STM32F102xx、および STM32F103xx マイクロコントローラです。

中容量デバイスは、フラッシュメモリ容量が 64～128 KB の STM32F101xx、STM32F102xx、および STM32F103xx マイクロコントローラです。

大容量デバイスは、フラッシュメモリ容量が 256～512 KB の STM32F101xx および STM32F103xx マイクロコントローラです。

特大容量デバイスは、フラッシュメモリ容量が 768 KB～1 MB の STM32F101xx および STM32F103xx マイクロコントローラです。

コネクティビティラインデバイスは、STM32F105xx および STM32F107xx マイクロコントローラです。

このセクションは、別段の指定がない限り、すべてのコネクティビティラインデバイスに適用されます。

7.1 リセット

リセットには、システムリセット、電源リセット、バックアップドメインリセットの 3 種類があります。

7.1.1 システムリセット

システムリセットは、クロックコントローラ CSR レジスタのリセットフラグとバックアップドメインにあるレジスタを除き、すべてのレジスタをリセット値に設定します（*図 4* を参照）。

システムリセットは、次のイベントのいずれかの発生時に生成されます。

1. NRST ピンのローレベル（外部リセット）
2. ウィンドウ型ウォッチドッグのカウント終了条件（WWDG リセット）
3. 独立型ウォッチドッグのカウント終了条件（IWDG リセット）
4. ソフトウェアリセット（SW リセット）（*ソフトウェアリセット* を参照）
5. 低電力管理リセット（*低電力管理リセット* を参照）

リセットソースは、制御/ステータスレジスタ RCC_CSR のリセットフラグを確認することによって識別できます（*セクション 7.3.10：制御/ステータスレジスタ（RCC_CSR）* を参照）。

ソフトウェアリセット

Cortex™-M3 アプリケーション割り込みおよびリセット制御レジスタの SYSRESETREQ ビットをセットすると、デバイスのソフトウェアリセットが強制的に行われます。詳細については、*STM32F10xxx* Cortex-M3 プログラミングマニュアルを参照してください（*関連ドキュメント（1 ページ）* を参照）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

低電力管理リセット

低電力管理リセットを生成するには、2 つの方法があります。

1. STANDBY モードに入るときに生成されるリセット：

   この種類のリセットは、ユーザオプションバイトの nRST_STDBY ビットをリセットすることによって有効になります。この場合、STANDBY モードへ入るためのシーケンスが正常に実行されるたびに、STANDBY モードに入る代わりにデバイスがリセットされます。

2. STOP モードに入るときのリセット：

   この種類のリセットは、ユーザオプションバイトの nRST_ストップビットをリセットすることによって有効になります。この場合、STOP モードへ入るためのシーケンスが正常に実行されるたびに、STOP モードに入る代わりにデバイスがリセットされます。

ユーザオプションバイトの詳細については、STM32F10xxx フラッシュプログラミングマニュアルを参照してください。

7.1.2 電源リセット

電源リセットは、次のいずれかのイベントが発生したときに生成されます。

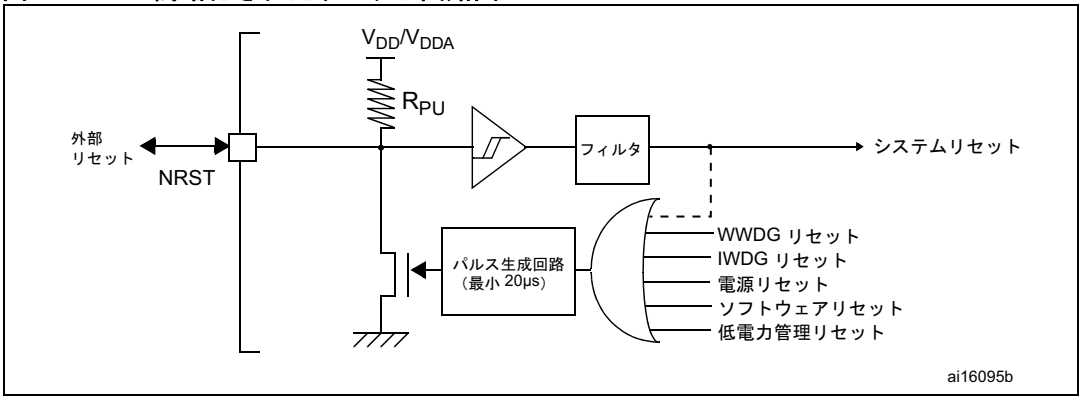
1. パワーオン/パワーダウンリセット (POR/PDR リセット)
2. STANDBY モードを終了するとき

電源リセットは、バックアップドメインを除くすべてのレジスタをリセット値に設定します（*図 4* を参照）。

これらのソースは NRST ピンに作用し、遅延フェーズの間、ピンをローに保ちます。RESET サービスルーチンのベクタは、メモリマップのアドレス 0x0000_0004 に固定されます。詳細については、*表 62：その他の STM32F10xxx デバイスのベクタテーブル（187 ページ）*を参照してください。

デバイスに与えられるシステムリセット信号は、NRST ピンに出力されます。パルス発生回路は、各リセットソース（外部または内部リセット）について 20µs の最小リセットパルス期間を保証します。外部リセットの場合、リセットパルスは NRST ピンがローにアサートされているときに生成されます。

図10. 簡略化されたリセット回路図



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

7.1.3 バックアップドメインリセット

バックアップドメインには、バックアップドメインだけに影響する 2 種類のリセットがあります（*図 4* を参照）。

バックアップドメインのリセットは、次のいずれかのイベントによって実行されます。

1. ソフトウェアリセット。*バックアップドメイン制御レジスタ（RCC_BDCR）*の BDRST ビットをセットすることによってトリガされます。
2. V_{DD} または V_{BAT} パワーオン。ただし、両方の電源供給がともにオフ状態であった場合。

7.2 クロック

次の 3 つのクロックソースを使用して、システムクロック (SYSCLK) を駆動できます。

- HSI オシレータクロック
- HSE オシレータクロック
- PLL クロック

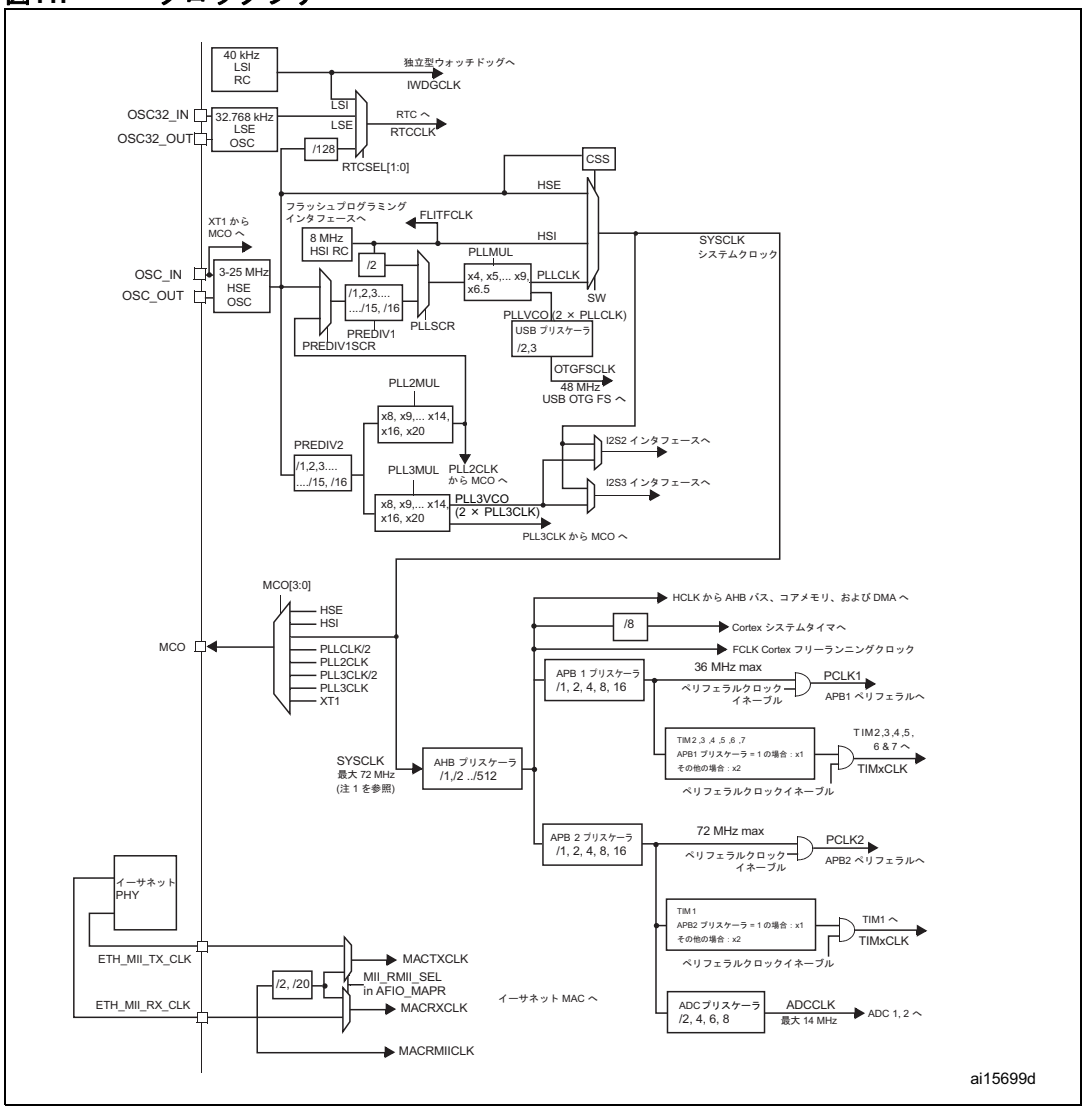
デバイスには、次の 2 つのセカンダリクロックソースがあります。

- 40 kHz 低速内蔵 RC (LSI RC)。独立型ウォッチドッグを駆動し、オプションで、STOP/STANDBY モードからの自動ウェイクアップ に使用される RTC を駆動します。
- 32.768 kHz 低速外部クリスタル（LSE クリスタル）。オプションで、リアルタイムクロック（RTCCLK）を駆動します。

それぞれのクロックソースは、未使用時の電力消費を省くために、個別にオン/オフが可能です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図11. クロックツリー



1. HSI が PLL クロック入力として使用されるとき、実現可能な最大システムクロック周波数は 36 MHzです。
2. 内部および外部クロックソース特性の詳細については、デバイスのデータシートの「電気特性」のセクションを参照してください。

先進のクロックコントローラは、外部クリスタルまたはオシレータの選択において高い柔軟性をアプリケーションに提供する 3 つの PLL が特長であり、コアおよびペリフェラルを最高の周波数で動作させます。また、イーサネットおよび USB OTG FS に適した周波数を保証します。

1 つの 25 MHz クリスタルで、システム全体と、イーサネットおよび USB OTG FS ペリフェラルを含むすべてのペリフェラルにクロック信号を供給できます。高品質なオーディオ性能を実現するために、オーディオクリスタルを使用することができます。この場合、I2S マスタクロックは、8 kHz から 96 kHz のすべての標準サンプリング周波数を 0.5% 未満の精度で生成できます。
イーサネット、USB OTG FS、および/または I^2S（オーディオ）を必要とするアプリケーションのクロック設定の詳細については、コネクティビティラインデバイスのデータシートの「付録 A アプリケーションブロック図」を参照してください。

複数のプリスケーラを利用して、AHB 周波数、高速 APB（APB2）、および低速 APB（APB1）ドメインを設定することができます。AHB および APB2 ドメインの最大周波数は 72 MHz です。APB1 ドメインの最大許容周波数は 36 MHz です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

すべてのペリフェラルクロックは、システムクロック（SYSCLK）から導かれます。ただし、次のものを除きます。

- フラッシュメモリプログラミングインタフェースクロック。これは常に HSI クロックです。
- USB OTG FS 48 MHz クロック。これは PLL VCO クロック（2 × PLLCLK）から導かれ、プログラマブルプリスケーラ（3 分周または 2 分周）が続きます。この選択は、RCC_CFGR レジスタの OTGFSPRE ビットを通じて行われます。適切な USB OTG FS の操作のためには、72 MHz または 48 MHz を出力するように PLL を設定する必要があります。
- I2S2 および I2S3 クロック。システムクロック（SYSCLK）または PLL3 VCO クロック（2 × PLL3CLK）から導かれます。この選択は、RCC_CFGR2 レジスタの I2SxSRC ビットを通じて行われます。PLL3 の詳細と高品質なオーディオ性能を実現するための I2S クロックの設定方法については、*セクション 24.4.3：クロックジェネレータ* を参照してください。
- イーサネット MAC クロック（TX、RX、および RMII）。外部 PHY から供給されます。イーサネットの設定の詳細については、*セクション 28.4.4：MII/RMII の選択* を参照してください。
  イーサネットを使用するときは、AHB クロック周波数は少なくとも 25 MHz でなければなりません。

RCC は Cortex システムタイマ（SysTick）外部クロックに、AHB クロック（HCLK）の8 分周を供給します。SysTick は、この分周されたクロックか Cortex クロック（HCLK）のいずれかで動作でき、SysTick 制御およびステータスレジスタで設定できます。ADC には、高速ドメイン（APB2）クロックの 2、4、6、または 8 分周が供給されます。

タイマクロック周波数は、ハードウェアによって自動的に固定されます。これには、2 つのケースがあります。

1. APB プリスケーラが 1 の場合、タイマクロック周波数は、タイマが接続されている APB ドメインのクロックと同じ周波数に設定されます。
2. その他の場合は、タイマが接続されている APB ドメインの周波数の 2 倍に設定されます。

FCLK は、Cortex™-M3 のフリーランニングクロックとして動作します。詳細については、ARM *Cortex™-M3 r1p1 Technical Reference Manual（TRM）* を参照してください。

7.2.1 HSE クロック

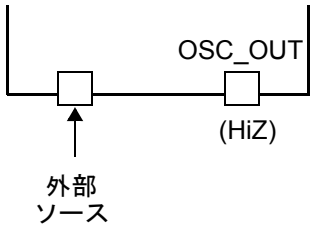
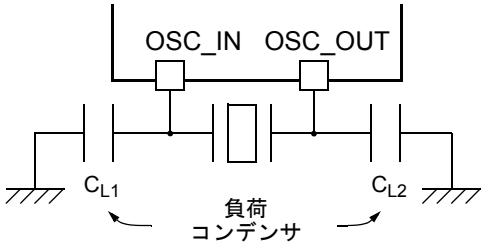
高速外部クロック信号（HSE）は、次の 2 種類のクロックソースから生成できます。

- HSE 外部クリスタル/セラミック発振子
- HSE ユーザ外部クロック

波形ひずみと発振開始時の安定化までの時間を最小にするために、発振子と負荷キャパシタはオシレータのピンのできるだけ近くに配置する必要あります。負荷キャパシタの値は、選択したオシレータに応じて調整する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図12. HSE/LSE クロックソース

クロックソース	ハードウェア設定
外部クロック	
クリスタル/ セラミック発振子	

外部ソース（HSE バイパス）

このモードでは、外部クロックソースが必要です。最大 50 MHz の周波数まで入力可能です。このモードを選択するには、*クロック制御レジスタ（RCC_CR）*の HSEBYP および HSEON ビットをセットします。50% 程度のデューティサイクルを持つ外部クロック信号（矩形波、正弦波、または三角波）で OSC_IN ピンを駆動する必要があり、OSC_OUT ピンはハイインピーダンスに保たれている必要があります。*図 12* を参照してください。

外部クリスタル/セラミック発振子（HSE クリスタル）

3～25 MHz の外部オシレータには、メインクロックの周波数を非常に高い精度で生成できる利点があります。

関連するハードウェア設定を *図 12* に示します。詳細については、データシートの電気特性のセクションを参照してください。

*クロック制御レジスタ（RCC_CR）*の HSERDY フラグは、高速外部オシレータが安定しているかどうかを示します。起動時、このビットがハードウェアによってセットされるまで、クロック信号は出力されません。*クロック割り込みレジスタ（RCC_CIR）*で有効になっている場合、割り込みを生成できます。

HSE クリスタルは、*クロック制御レジスタ（RCC_CR）*の HSEON ビットを使用してオン/オフできます。

7.2.2 HSI クロック

HSI クロック信号は、内蔵 8 MHz RC オシレータから生成され、システムクロックとして直接、または 2 分周して PLL 入力として使用できます。

HSI RC オシレータには、低コスト（外付部品なし）でクロックソースを供給できるという利点があります。同時に、HSE クリスタルオシレータよりもスタートアップ時間を短縮できますが、較正を実施しても、外部クリスタルオシレータやセラミック発振子よりも周波数の精度は劣ります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

較正

RC オシレータの周波数は、製造工程でのばらつきのため、チップごとに異なります。このため、T_A=25 °Cで 1 % の精度を確保するよう、製造時に ST 社においてデバイスごとの較正が行われています。

リセット後、工場較正値が *クロック制御レジスタ（RCC_CR）* の HSICAL[7:0] ビットにロードされます。

アプリケーションが電圧または温度変動を受けると、RC オシレータ速度に影響を与えることがあります。*クロック制御レジスタ（RCC_CR）* の HSITRIM[4:0] ビットを使用して、アプリケーション内で HSI 周波数をトリミングできます。

クロック制御レジスタ（RCC_CR） の HSIRDY フラグは、HSI RC が安定しているかどうかを示します。起動時、このビットがハードウェアによってセットされるまで、HSI RC クロックは出力されません。

HSI RC は、*クロック制御レジスタ（RCC_CR）* の HSION ビットを使用してオン/オフできます。

HSI 信号は、HSE クリスタルオシレータに障害がある場合のバックアップソース（補助クロック）として使用することもできます。*セクション 7.2.7：クロックセキュリティシステム（CSS）（121 ページ）* を参照してください。

7.2.3 PLL

メイン PLL は、次のいずれかのクロックソースから始まる周波数の逓倍数を提供します。

- HSI クロックの 2 分周
- HSE または PLL2 クロックの設定可能な分周

図 11 および *クロック制御レジスタ（RCC_CR）* を参照してください。

PLL2 および PLL3 は、専用の設定可能な分周による HSE によってクロック信号を供給されます。*図 11* および*クロック設定レジスタ2（RCC_CFGR2）を参照してください。*

各 PLL の設定（クロックソース、事前分周数、および逓倍数の選択）は、PLL を有効にする前に行う必要があります。各 PLL は、入力クロックが安定してから（レディフラグ）、有効にすべきです。一度、PLL が有効になると、これらのパラメータを変更できません。

メイン PLL の入力クロックソースを変更するときは、新しいクロックソースを選択してから（クロック設定レジスタ（RCC_CFGR）の PLLSRC ビットにて行います）、元のクロックソースをオフにしなければなりません。

クロック割り込みレジスタ（RCC_CIR） で割り込みが有効になっている場合、PLL の準備ができていると、割り込みを生成できます。

7.2.4 LSE クロック

LSE クリスタルは、32.768 kHz の低速外部クリスタルまたはセラミック発振子です。時計/カレンダ、その他のタイミング機能のためのリアルタイムクロックペリフェラル（RTC）に、低電力で高精度なクロックソースを供給できるという利点があります。

LSE クリスタルは、*バックアップドメイン制御レジスタ（RCC_BDCR）* の LSEON ビットを使用してオン/オフできます。

バックアップドメイン制御レジスタ（RCC_BDCR） の LSERDY フラグは、LSE クリスタルが安定しているかどうかを示します。起動時、このビットがハードウェアによってセットされるまで、LSE クリスタル出力クロック信号は出力されません。*クロック割り込みレジスタ（RCC_CIR）* で割り込みが有効になっている場合、割り込みを生成できます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

外部ソース（LSE バイパス）

このモードでは、外部クロックソースが必要です。最大 1 MHz の周波数まで入力可能です。このモードを選択するには、*バックアップドメイン制御レジスタ（RCC_BDCR）*の LSEBYP および LSEON ビットをセットします。50 % 程度のデューティサイクルを持つ外部クロック信号（矩形波、正弦波、または三角波）で OSC_32IN ピンを駆動する必要があり、OSC_32OUT ピンはハイインピーダンスに保たれている必要があります。*図 12* を参照してください。

7.2.5 LSI クロック

LSI RC は、独立型ウォッチドッグ（IWDG）や自動ウェイクアップユニット（AWU）のために STOP モードおよび STANDBY モードで動作する低電力のクロッソースとして動作します。クロック周波数は、約 40 kHz（30 kHz～60 kHz）です。詳細については、データシートの電気特性のセクションを参照してください。

LSI RC は、*制御/ステータスレジスタ（RCC_CSR）*の LSION ビットを使用してオン/オフできます。

*制御/ステータスレジスタ（RCC_CSR）*の LSIRDY フラグは、低速内部オシレータが安定しているかどうかを示します。起動時、このビットがハードウェアによってセットされるまで、クロック信号は出力されません。*クロック割り込みレジスタ（RCC_CIR）*で割り込みが有効になっている場合、割り込みを生成できます。

LSI 較正

低速内部 RC（LSI）オシレータの周波数のばらつきを較正して、正確な RTC 基準時間および/または許容できる精度の IWDG タイムアウト（これらのペリフラルのクロックソースとして LSI が使用されているとき）を確保できます。

この較正は、TIM5 入力クロック（TIM5CLK）に対して LSI クロック周波数を計測することによって行われます。HSE オシレータの精度で行われたこの計測に従って、ソフトウェアは RTC のプログラマブル 20 ビットプリスケーラを調整して、正確な基準時間を得たり、正確な IWDG タイムアウトを計算することができます。

LSI を較正するには、次の手順に従ってください。

1. TIM5 タイマを有効にして、チャネル 4 を入力キャプチャモードに設定します。
2. AFIO_MAPR レジスタの TIM5CH4_IREMAP ビットをセットして、較正のために、LSI クロックを TIM5 チャネル 4 入力キャプチャに内部接続します。
3. TIM5 キャプチャ/比較 4 イベントまたは割り込みを使用して、LSI クロックの周波数を計測します。
4. 計測した LSI 周波数を使用して、必要な基準時間および/または、IWDG タイムアウトを計算するために、RTC の 20 ビットプリスケーラを更新します。

7.2.6 システムクロック（SYSCLK）の選択

システムリセット後は、HSI オシレータがシステムクロックとして選択されています。クロックソースが直接、または PLL を経由してシステムクロックとして使用されているときには、このクロック信号を停止することはできません

あるクロックソースから別のクロックソースへの切り替えは、ターゲットクロックソースの準備ができている場合（スタートアップ遅延後にクロックが安定しているか、PLL がロックされている状態）のみ行われます。準備ができていないクロックソースが選択された場合は、クロックソースの準備ができたときに切り替えが行われます。*クロック制御レジスタ（RCC_CR）*のステータスビットは、準備ができているクロックと、システムクロックとして使用されているクロックを示します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

7.2.7 クロックセキュリティシステム（CSS）

クロックセキュリティシステムはソフトウェアで有効にできます。この場合、HSE オシレータのスタートアップ遅延時間の後にクロック検出回路が有効になり、オシレータが停止すると検出回路も無効になります。

HSE オシレータクロックに障害が検出された場合、このオシレータは自動的に無効になり、クロック障害イベントが TIM1 高機能制御タイマのブレーク入力に送られます。また、ソフトウェアに障害を通知する割り込み（クロックセキュリティシステム割り込み（CSSI））が生成されるので、MCU 対応処理を行うことができます。CSSI は、Cortex™-M3 NMI（Non-Maskable Interrupt）例外ベクタにリンクされています。

注： ***CSS が有効になると、HSE クロック障害が発生した場合、CSS 割り込みが発生し、NMI が自動的に生成されます。NMI は、CSS 割り込みペンディングビットがクリアされない限り、無限に実行されます。従って、NMI ISR では、ユーザが クロック割り込みレジスタ（RCC_CIR）の CSSC ビットをセットすることによって、CSS 割り込みをクリアしなければなりません。***

HSE オシレータが直接または間接的にシステムクロックとして使用されている場合（間接的とは、HSE オシレータが PLL 入力クロックとして直接または PLL2 を通じて使用されていて、PLL クロックがシステムクロックとして使用されていることを意味します）、障害が検出されると、システムクロックが HSI オシレータに切り替えられ、外部 HSE オシレータは無効になります。HSE オシレータクロックがシステムクロックとして使用されている PLL（直接または PLL2 を通じて）へのクロック入力の場合、障害が発生すると、PLL も無効になります。

7.2.8 RTC クロック

RTCCLK クロックソースは、HSE/128、LSE、または LSI クロックのいずれかです。これは、*バックアップドメイン制御レジスタ（RCC_BDCR）*の RTCSEL[1:0] ビットのプログラミングによって選択されます。この選択は、バックアップドメインをリセットしない限り変更できません。

LSE クロックはバックアップドメインに属しますが、HSE と LSI クロックはそうではありません。このため、

- LSE が RTC クロックとして使用されている場合、
  - V_{DD} 供給がオフになった場合でも、V_{BAT} の供給が保たれている限り、RTC は動作を続けます。
- LSI が自動ウェイクアップ（AWU）クロックとして選択されている場合、
  - V_{DD} 供給がオフになった場合、AWU の状態は保証されません。LSI 較正の詳細については、*セクション 7.2.5 : LSI クロック（120 ページ）*を参照してください。
- HSE を 128 分周したクロックがRTC クロックとして使われているときには、
  - V_{DD} 供給がオフになった場合や、内蔵されている電圧レギュレータがオフになった場合（1.8 V ドメインから電源が失われた場合）、RTC の状態は保持されません。
  - 電源コントローラレジスタの DPB ビット（バックアップドメイン書き込み保護無効）を 1 にセットする必要があります（*セクション 4.4.1 : 電源制御レジスタ（PWR_CR）*を参照)。

7.2.9 ウォッチドッグクロック

独立型ウォッチドッグ（IWDG）がハードウェアのオプションまたはソフトウェアアクセスによって開始された場合、LSI オシレータは強制的にオンになり、オフにすることはできません。LSI オシレータの立ち上がりの過渡状態が終わると、このクロックが IWDG に供給されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

7.2.10 クロック信号出力

マイクロコントローラクロック出力（MCO）機能によって、クロックを外部 MCO ピンに出力できます。対応する GPIO ポートの設定レジスタをオルタネート機能モードでプログラミングする必要があります。以下の 8 つのクロック信号の 1 つを MCO クロックとして選択することができます。

- SYSCLK
- HSI
- HSE
- PLL クロックの 2 分周。
- PLL2 クロック。
- PLL3 クロックの 2 分周。
- XT1 外部 3～25 MHz オシレータクロック（イーサネット用）。
- PLL3 クロック（イーサネット用）。

選択されたクロックの MCO への出力が 50 MHz（最大 I/O 速度）を超えないようにしてください。

この選択は、*クロック設定レジスタ（RCC_CFGR）*の MCO[3:0] ビットによって制御されます。

7.3 RCC レジスタ

レジスタの説明で使用されている略語については、*セクション 1.1（40 ページ）*を参照してください。

7.3.1 クロック制御レジスタ（RCC_CR）

アドレスオフセット：0x00

リセット値：0x0000 XX83（X は未定義）。

アクセス：ノーウェイト、ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み		PLL3 RDY	PLL3 ON	PLL2 RDY	PLL2 ON	PLLRDY	PLLON	予約済み				CSSON	HSEBYP	HSERDY	HSEON
		r	rw	r	rw	r	rw					rw	rw	r	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HSICAL[7:0]								HSITRIM[4:0]					予約済み	HSIRDY	HSION
r	r	r	r	r	r	r	r	rw	rw	rw	rw	rw		r	rw

ビット 31:30　予約済み、常に 0 として読み出されます。

ビット 29　**PLL3RDY**：PLL3 クロックレディフラグ
ハードウェアによってセットされ、PLL3 がロック状態であることを示します。
0：PLL3 アンロック
1：PLL3 ロック

ビット 28　**PLL3ON**：PLL3 イネーブル
PLL3 を有効にするために、ソフトウェアによってセット/クリアされます。
STOP または STANDBY モードに入るときに、ハードウェアによってクリアされます。
0：PLL3 オフ
1：PLL3 オン

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 27 **PLL2RDY**：PLL2 クロックレディフラグ
ハードウェアによってセットされ、PLL2 がロック状態であることを示します。
0：PLL2 アンロック
1：PLL2 ロック

ビット 26 **PLL2ON**：PLL2 イネーブル
PLL2 を有効にするために、ソフトウェアによってセット/クリアされます。
STOP または STANDBY モードに入るときに、ハードウェアによってクリアされます。このビットは、PLL2 クロックがシステムクロックとして間接的に使用されている場合（すなわち、システムクロックとして使用される PLL クロック入力として使用されている場合）は、クリアできません。
0：PLL2 オフ
1：PLL2 オン

ビット 25 **PLLRDY**：PLL クロックレディフラグ
ハードウェアによってセットされ、PLL がロック状態であることを示します。
0：PLL アンロック
1：PLL ロック

ビット 24 **PLLON**：PLL イネーブル
PLL を有効にするために、ソフトウェアによってセット/クリアされます。
STOP または STANDBY モードに入るときに、ハードウェアによってクリアされます。このビットは、PLL クロックがシステムクロックとして使用されている場合や、システムクロックになるように選択されている場合は、リセットできません。ソフトウェアは、このビットをクリアする前に、USB OTG FS クロックを無効にする必要があります。
0：PLL オフ
1：PLL オン

ビット 23:20 予約済み、常に 0 として読み出されます。

ビット 19 **CSSON**：クロックセキュリティシステムイネーブル
クロック検出回路を有効にするために、ソフトウェアによってセット/クリアされます。
0：クロック検出回路オフ
1：クロック検出回路オン（外部 3～25 MHz オシレータがレディ状態の場合）

ビット 18 **HSEBYP**：外部高速クロックバイパス
外部クロックでオシレータをバイパスするために、ソフトウェアによってセット/クリアされます。このビットは 外部3～25MHzオシレータが無効の場合のみ書き込むことができます。
0：外部 3～25 MHz オシレータはバイパスされません。
1：外部 3～25 MHz オシレータはバイパスされ、外部クロックが使用されます。

ビット 17 **HSERDY**：外部高速クロックレディフラグ
外部 3～25 MHz オシレータが安定していることを示すために、ハードウェアによってセットされます。HSEON リセット後、このビットが立ち下がるまで、外部 3～25 MHzオシレータクロックの 6 サイクルが必要です。
0：外部 3～25 MHz オシレータはレディ状態ではありません。
1：外部 3～25 MHz オシレータはレディ状態です。

ビット 16 **HSEON**：外部高速クロックイネーブル
ソフトウェアによってセット/クリアされます。
STOP または STANDBY モードに入るときに、外部 3～25 MHz オシレータを停止するためにハードウェアによってクリアされます。このビットは外部 3～25 MHz オシレータが直接または間接的にシステムクロックとして使用されている場合、またはシステムクロックになるように選択されている場合、リセットできません。
0：HSE オシレータ OFF
1：HSE オシレータ ON

ビット 15:8 **HSICAL[7:0]**：内部高速クロック較正
これらのビットは、スタートアップ時に自動的に初期化されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 7:3 **HSITRIM[4:0]**：内部高速クロックトリミング

これらのビットは、HSICAL[7:0] ビットに追加されるユーザプログラミング可能トリミング値を提供します。内蔵 HSI RC の周波数に影響する電圧や温度の変化に対応できるようにプログラミングできます。

デフォルト値は 16 であり、これが HSICAL 値に追加されると、HSI を 8 MHz±1 % に調整します。トリミングステップ（$F_{hsitrim}$）は、2 つの連続する HSICAL ステップの間が約 40 kHz です。

ビット 2 予約済み、常に 0 として読み出されます。

ビット 1 **HSIRDY**：内部高速クロックレディフラグ

内部 8 MHz RC オシレータが安定していることを示すために、ハードウェアによってセットされます。HSION ビットがクリアされた後、HSIRDY は、内部 8 MHz RC オシレータクロックの 6 サイクル後にローになります。

0：内部 8 MHz RC オシレータはレディ状態ではありません。

1：内部 8 MHz RC オシレータはレディ状態です。

ビット 0 **HSION**：内部高速クロックイネーブル

ソフトウェアによってセット/クリアされます。

STOP または STANDBY モードを終了するとき、または、直接または間接的にシステムクロックとして使用されている外部 3～25 MHz オシレータに障害が発生した場合、内部 8 MHz RC オシレータを強制的にオンにするために、ハードウェアによってセットされます。内部 8 MHz RC が直接または間接的にシステムクロックとして使用されている場合、またはシステムクロックになるように選択されている場合、このビットをクリアできません。

0：内部 8 MHz RC オシレータはオフです。

1：内部 8 MHz RC オシレータはオンです。

7.3.2 クロック設定レジスタ（RCC_CFGR）

アドレスオフセット：0x04

リセット値：0x0000 0000

アクセス：0≦ウェイトステート≦2、ワード、ハーフワード、およびバイトアクセス

クロックソースの切り替え中にアクセスが発生した場合に限り、1 または 2 個のウェイトステートが挿入されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み				MCO[3:0]				予約済み	OTGFS PRE	PLLMUL[3:0]				PLL XTPRE	PLL SRC
				rw	rw	rw	rw		rw	rw	rw	rw	rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADC PRE[1:0]		PPRE2[2:0]			PPRE1[2:0]			HPRE[3:0]				SWS[1:0]		SW[1:0]	
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	r	r	rw	rw

ビット 31:27 予約済み、常に 0 として読み出されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 26:24 **MCO[3:0]**：マイクロコントローラクロック出力

ソフトウェアによってセット/クリアされます。

00xx：クロックなし

0100：システムクロック（SYSCLK）

0101：HSI クロック

0110：HSE クロック

0111：PLL クロックの 2 分周

1000：PLL2 クロック

1001：PLL3 クロックの 2 分周

1010：XT1 外部 3～25 MHz オシレータクロック（イーサネット用）。

1011：PLL3 クロック（イーサネット用）。

注： このクロック出力は、スタートアップ時または MCO クロックソースの切り替え中は、サイクルが短縮されることがあります。

選択されたクロックの MCO への出力は 50 MHz（最大 I/O 速度）を超えないようにしてください。

ビット 22 **OTGFSPRE**：USB OTG FS プリスケーラ

48 MHz の USB OTG FS クロックを生成するために、ソフトウェアによってセット/クリアされます。このビットは、RCC_AHBENR レジスタで OTG FS クロックを有効にする前に有効でなければなりません。OTG FS クロックが有効になった場合、このビットをクリアすることはできません。

0：PLL VCO（2 × PLLCLK）クロックは 3 分周されます（72 MHz を出力するように PLL を設定する必要があります）。

1：PLL VCO（2 × PLLCLK）クロックは 2 分周されます（48 MHz を出力するように PLL を設定する必要があります）。

ビット 21:18 **PLLMUL[3:0]**：PLL 逓倍数

これらのビットは、PLL 逓倍数を定義するために、ソフトウェアによって書き込まれます。これらのビットに書き込めるのは、PLL が無効なときだけです。

000x：予約済み

0010：PLL 入力クロック x 4

0011：PLL 入力クロック x 5

0100：PLL 入力クロック x 6

0101：PLL 入力クロック x 7

0110：PLL 入力クロック x 8

0111：PLL 入力クロック x 9

10xx：予約済み

1100：予約済み

1101：PLL 入力クロック x 6.5

111x：予約済み

注： PLL 出力周波数は 72 MHz を超えてはいけません。

ビット 17 **PLLXTPRE**：分周数 PREDIV1 の LSB

PREDIV1 分周数の最下位ビットを選択するために、ソフトウェアによってセット/クリアされます。RCC_CFGR2 レジスタのビット（0）と同じビットなので、RCC_CFGR2 レジスタのビット（0）を変更すると、このビットも変更されます。

レジスタ RCC_CFGR2 のビット [3:1] がセットされていなかった場合、PREDIV1 が入力を 2 分周する（PLLXTPRE=1）か、2 分周しない（PLLXTPRE=0）かは、このビットによって決まります。

このビットに書き込めるのは、PLL が無効なときだけです。

ビット 16 **PLLSRC**：PLL 入力クロックソース

PLL クロックソースを選択するために、ソフトウェアによってセット/クリアされます。このビットに書き込めるのは、PLL が無効なときだけです。

0：HSI オシレータクロック / 2 が PLL 入力クロックとして選択されます。

1：PREDIV1 からのクロックが PLL 入力クロックとして選択されます。

注： メイン PLL の入力クロックソースを変更するときには、新しいクロックソースを選択してから、元のクロックソースをオフにしなければなりません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 14:14 **ADCPRE[1:0]**：ADC プリスケーラ

ADC へのクロックの周波数を選択するために、ソフトウェアによってセット/クリアされます。

00：PCLK2 は 2 分周されます。

01：PCLK2 は 4 分周されます。

10：PCLK2 は 6 分周されます。

11：PCLK2 は 8 分周されます。

ビット 13:11 **PPRE2[2:0]**：APB 高速 プリスケーラ（APB2）

APB 高速クロック（PCLK2）の分周数を制御するために、ソフトウェアによってセット/クリアされます。

0xx：HCLK は分周されません。

100：HCLK は 2 分周されます。

101：HCLK は 4 分周されます。

110：HCLK は 8 分周されます。

111：HCLK は 16 分周されます。

ビット 10:8 **PPRE1[2:0]**：APB 低速プリスケーラ（APB1）

APB 低速クロック（PCLK1）の分周数を制御するために、ソフトウェアによってセット/クリアされます。

0xx：HCLK は分周されません。

100：HCLK は 2 分周されます。

101：HCLK は 4 分周されます。

110：HCLK は 8 分周されます。

111：HCLK は 16 分周されます。

注：　ソフトウェアは、このドメインの周波数が 36 MHz を超えないように、これらのビットを設定する必要があります。

ビット 7:4 **HPRE[3:0]**：AHB プリスケーラ

AHB クロックの分周数を制御するために、ソフトウェアによってセット/クリアされます。

0xxx：SYSCLK は分周されません。

1000：SYSCLK は 2 分周されます。

1001：SYSCLK は 4 分周されます。

1010：SYSCLK は 8 分周されます。

1011：SYSCLK は 16 分周されます。

1100：SYSCLK は 64 分周されます。

1101：SYSCLK は 128 分周されます。

1110：SYSCLK は 256 分周されます。

1111：SYSCLK は 512 分周されます。

注：　AHB クロックで 1 とは異なるプリスケーラを使用しているときには、プリフェッチバッファを保持する必要があります。詳細については、フラッシュメモリの読み出し（53 ページ）を参照してください。

注：　イーサネットを使用するとき、AHB クロック周波数は少なくとも 25 MHz でなければなりません。

ビット 3:2 **SWS[1:0]**：システムクロックスイッチステータス

システムクロックとして使用されているクロックソースを示すために、ハードウェアによってセット/クリアされます。

00：HSI オシレータがシステムクロックとして使用されています。

01：HSE オシレータがシステムクロックとして使用されています。

10：PLL がシステムクロックとして使用されています。

11：適用されません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 1:0 **SW[1:0]**：システムクロックスイッチ

SYSCLK のソースを選択するために、ソフトウェアによってセット/クリアされます。

STOP および STANDBY モードを終了するときや、直接または間接的にシステムクロックとして使用されている HSE オシレータに障害が発生した場合、強制的 HSI を選択するために、ハードウェアによってセットされます（クロックセキュリティシステムが有効な場合）。

00：HSI がシステムクロックとして選択されます。

01：HSE がシステムクロックとして選択されます。

10：PLL がシステムクロックとして選択されます。

11：設定できません。

7.3.3 クロック割り込みレジスタ（RCC_CIR）

アドレスオフセット：0x08

リセット値：0x0000 0000

アクセス：ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み								CSSC	PLL3 RDYC	PLL2 RDYC	PLL RDYC	HSE RDYC	HSI RDYC	LSE RDYC	LSI RDYC
								w	w	w	w	w	w	w	w

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み	PLL3 RDYIE	PLL2 RDYIE	PLL RDYIE	HSE RDYIE	HSI RDYIE	LSE RDYIE	LSI RDYIE	CSSF	PLL3 RDYF	PLL2 RDYF	PLL RDYF	HSE RDYF	HSI RDYF	LSE RDYF	LSI RDYF
	rw	rw	rw	rw	rw	rw	rw	r	r	r	r	r	r	r	r

ビット 31:24 予約済み、常に 0 として読み出されます。

ビット 23 **CSSC**：クロックセキュリティシステム割り込みクリア

このビットは、CSSF フラグをクリアするために、ソフトウェアによってセットされます。

0：ビットの値に影響を与えません。

1：CSSF フラグをクリアします。

ビット 22 **PLL3RDYC**：PLL3 レディ割り込みクリア

このビットは、PLL3RDYF フラグをクリアするために、ソフトウェアによってセットされます。

0：ビットの値に影響を与えません。

1：PLL3RDYF フラグをクリアします。

ビット 21 **PLL2RDYC**：PLL2 レディ割り込みクリア

このビットは、PLL2RDYF フラグをクリアするために、ソフトウェアによってセットされます。

0：ビットの値に影響を与えません。

1：PLL2RDYF フラグをクリアします。

ビット 20 **PLLRDYC**：PLL レディ割り込みクリア

このビットは、PLLRDYF フラグをクリアするために、ソフトウェアによってセットされます。

0：ビットの値に影響を与えません。

1：PLLRDYF フラグをクリアします。

ビット 19 **HSERDYC**：HSE レディ割り込みクリア

このビットは、HSERDYF フラグをクリアするために、ソフトウェアによってセットされます。

0：ビットの値に影響を与えません。

1：HSERDYF フラグをクリアします。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

参考資料

ビット 18 **HSIRDYC**：HSI レディ割り込みクリア
このビットは、HSIRDYF フラグをクリアするために、ソフトウェアによってセットされます。
0：ビットの値に影響を与えません。
1：HSIRDYF フラグをクリアします。

ビット 17 **LSERDYC**：LSE レディ割り込みクリア
このビットは、LSERDYF フラグをクリアするために、ソフトウェアによってセットされます。
0：ビットの値に影響を与えません。
1：LSERDYF フラグをクリアします。

ビット 16 **LSIRDYC**：LSI レディ割り込みクリア
このビットは、LSIRDYF フラグをクリアするために、ソフトウェアによってセットされます。
0：ビットの値に影響を与えません。
1：LSIRDYF フラグをクリアします。

ビット 15 予約済み、常に 0 として読み出されます。

ビット 14 **PLL3RDYIE**：PLL3 レディ割り込みイネーブル
PLL3 ロックによって発生する割り込みを有効/無効にするために、ソフトウェアによってセット/クリアされます。
0：PLL3 ロック割り込み無効
1：PLL3 ロック割り込み有効

ビット 13 **PLL2RDYIE**：PLL2 レディ割り込みイネーブル
PLL2 ロックによって発生する割り込みを有効/無効にするために、ソフトウェアによってセット/クリアされます。
0：PLL2 ロック割り込み無効
1：PLL2 ロック割り込み有効

ビット 12 **PLLRDYIE**：PLL レディ割り込みイネーブル
PLL ロックによって発生する割り込みを有効/無効にするために、ソフトウェアによってセット/クリアされます。
0：PLL ロック割り込み無効
1：PLL ロック割り込み有効

ビット 11 **HSERDYIE**：HSE レディ割り込みイネーブル
外部 3～25 MHz オシレータの安定化によって発生する割り込みを有効/無効にするために、ソフトウェアによってセット/クリアされます。
0：HSE レディ割り込み無効
1：HSE レディ割り込み有効

ビット 10 **HSIRDYIE**：HSI レディ割り込みイネーブル
内部 8 MHz RC オシレータの安定化によって発生する割り込みを有効/無効にするために、ソフトウェアによってセット/クリアされます。
0：HSI レディ割り込み無効
1：HSI レディ割り込み有効

ビット 9 **LSERDYIE**：LSE レディ割り込みイネーブル
外部 32 kHz オシレータの安定化によって発生する割り込みを有効/無効にするために、ソフトウェアによってセット/クリアされます。
0：LSE レディ割り込み無効
1：LSE レディ割り込み有効

ビット 8 **LSIRDYIE**：LSI レディ割り込みイネーブル
内部 RC 40 kHz オシレータの安定化によって発生する割り込みを有効/無効にするために、ソフトウェアによってセット/クリアされます。
0：LSI レディ割り込み無効
1：LSI レディ割り込み有効

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 7 **CSSF**：クロックセキュリティシステム割り込みフラグ

外部 3～25 MHz オシレータで障害が検出されたときに、ハードウェアによってセットされます。CSSC ビットをセットすることによって、ソフトウェアによってクリアされます。

0：HSE クロック障害によるクロックセキュリティ割り込みは発生していません。

1：HSE クロック障害によるクロックセキュリティ割り込みが発生しました。

ビット 6 **PLL3RDYF**：PLL3 レディ割り込みフラグ

PLL3 がロックされ、PLL3RDYIE がセットされているときに、ハードウェアによってセットされます。PLL3RDYC ビットをセットすることによって、ソフトウェアによってクリアされます。

0：PLL3 ロックによるクロックレディ割り込みは発生していません。

1：PLL3 ロックによるクロックレディ割り込みが発生しました。

ビット 5 **PLL2RDYF**：PLL2 レディ割り込みフラグ

PLL2 がロックされ、PLL2RDYIE がセットされているときに、ハードウェアによってセットされます。PLL2RDYC ビットをセットすることによって、ソフトウェアによってクリアされます。

0：PLL2 ロックによるクロックレディ割り込みは発生していません。

1：PLL2 ロックによるクロックレディ割り込みが発生しました。

ビット 4 **PLLRDYF**：PLL レディ割り込みフラグ

PLL がロックされ、PLLRDYIE ビットがセットされているときに、ハードウェアによってセットされます。PLLRDYC ビットをセットすることによって、ソフトウェアによってクリアされます。

0：PLL ロックによるクロックレディ割り込みは発生していません。

1：PLL ロックによるクロックレディ割り込みが発生しました。

ビット 3 **HSERDYF**：HSE レディ割り込みフラグ

外部低速クロックが安定し、HSERDYDIE がセットされているとき、ハードウェアによってセットされます。HSERDYC ビットをセットすることによって、ソフトウェアによってクリアされます。

0：外部 3～25 MHz オシレータによるクロックレディ割り込みは発生していません。

1：外部 3～25 MHz オシレータによるクロックレディ割り込みが発生しました。

ビット 2 **HSIRDYF**：HSI レディ割り込みフラグ

内部高速クロックが安定し、HSIRDYDIE がセットされているとき、ハードウェアによってセットされます。HSIRDYC ビットをセットすることによって、ソフトウェアによってクリアされます。

0：内部 8 MHz RC オシレータによるクロックレディ割り込みは発生していません。

1：内部 8 MHz RC オシレータによるクロックレディ割り込みが発生しました。

ビット 1 **LSERDYF**：LSE レディ割り込みフラグ

外部低速クロックが安定し、LSERDYDIE がセットされているとき、ハードウェアによってセットされます。LSERDYC ビットをセットすることによって、ソフトウェアによってクリアされます。

0：外部 32 kHz オシレータによるクロックレディ割り込みは発生していません。

1：外部 32 kHz オシレータによるクロックレディ割り込みが発生しました。

ビット 0 **LSIRDYF**：LSI レディ割り込みフラグ

内部低速クロックが安定し、LSIRDYIE がセットされているとき、ハードウェアによってセットされます。LSIRDYC ビットをセットすることによって、ソフトウェアによってクリアされます。

0：内部 RC 40 kHz オシレータによるクロックレディ割り込みは発生していません。

1：内部 RC 40 kHz オシレータによるクロックレディ割り込みが発生しました。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

7.3.4 APB2 ペリフェラルリセットレジスタ（RCC_APB2RSTR）

アドレスオフセット：0x0C

リセット値：0x00000 0000

アクセス：ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み	USART1 RST	予約済み	SPI1 RST	TIM1 RST	ADC2 RST	ADC1 RST	予約済み		IOPE RST	IOPD RST	IOPC RST	IOPB RST	IOPA RST	予約済み	AFIO RST
	rw		rw	rw	rw	rw			rw	rw	rw	rw	rw		rw

ビット 31:15 予約済み、常に 0 として読み出されます。

ビット 14 **USART1RST**：USART1 リセット
ソフトウェアによってセット/クリアされます。
0：ビットの値に影響を与えません。
1：USART1 をリセットします。

ビット 13 予約済み、常に 0 として読み出されます。

ビット 12 **SPI2RST**：SPI 1 リセット
ソフトウェアによってセット/クリアされます。
0：ビットの値に影響を与えません。
1：SPI 1 をリセットします。

ビット 11 **TIM1RST**：TIM1 タイマリセット
ソフトウェアによってセット/クリアされます。
0：ビットの値に影響を与えません。
1：TIM1 タイマをリセットします。

ビット 10 **ADC2RST**：ADC2 インタフェースリセット
ソフトウェアによってセット/クリアされます。
0：ビットの値に影響を与えません。
1：ADC2 インタフェースをリセットします。

ビット 9 **ADC1RST**：ADC1 インタフェースリセット
ソフトウェアによってセット/クリアされます。
0：ビットの値に影響を与えません。
1：ADC1 インタフェースをリセットします。

ビット 8:7 予約済み、常に 0 として読み出されます。

ビット 6 **IOPERST**：IO ポート E リセット
ソフトウェアによってセット/クリアされます。
0：ビットの値に影響を与えません。
1：IO ポート E をリセットします。

ビット 5 **IOPDRST**：IO ポート D リセット
ソフトウェアによってセット/クリアされます。
0：ビットの値に影響を与えません。
1：IO ポート D をリセットします。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 4 **IOPCRST**：IO ポート C リセット
ソフトウェアによってセット/クリアされます。
0：ビットの値に影響を与えません。
1：IO ポート C をリセットします。

ビット 3 **IOPBRST**：IO ポート B リセット
ソフトウェアによってセット/クリアされます。
0：ビットの値に影響を与えません。
1：IO ポート B をリセットします。

ビット 2 **IOPARST**：IO ポート A リセット
ソフトウェアによってセット/クリアされます。
0：ビットの値に影響を与えません。
1：IO ポート A をリセットします。

ビット 1 予約済み、常に 0 として読み出されます。

ビット 0 **AFIORST**：オルタネート機能 IO リセット
ソフトウェアによってセット/クリアされます。
0：ビットの値に影響を与えません。
1：オルタネート機能をリセットします。

7.3.5 APB1 ペリフェラルリセットレジスタ（RCC_APB1RSTR）

アドレスオフセット：0x10

リセット値：0x0000 0000

アクセス：ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み		DAC RST	PWR RST	BKP RST	CAN2 RST	CAN1 RST	予約済み		I2C2 RST	I2C1 RST	UART 5 RST	UART 4 RST	USART 3 RST	USART 2 RST	予約済み
		rw	rw	rw	rw	rw			rw	rw	rw	rw	rw	rw	

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SPI3 RST	SPI2 RST	予約済み		WWD GRST	予約済み					TIM7 RST	TIM6 RST	TIM5 RST	TIM4 RST	TIM3 RST	TIM2 RST
rw	rw			rw						rw	rw	rw	rw	rw	rw

ビット 31:30 予約済み、常に 0 として読み出されます。

ビット 29 **DACRST**：DAC インタフェースリセット
ソフトウェアによってセット/クリアされます。
0：ビットの値に影響を与えません。
1：DAC インタフェースをリセットします。

ビット 28 **PWRRST**：電源インタフェースリセット
ソフトウェアによってセット/クリアされます。
0：ビットの値に影響を与えません。
1：電源インタフェースをリセットします。

ビット 27 **BKPRST**：バックアップインタフェースリセット
ソフトウェアによってセット/クリアされます。
0：ビットの値に影響を与えません。
1：バックアップインタフェースをリセットします。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 26 **CAN2RST**：CAN2 リセット
ソフトウェアによってセット/クリアされます。
0：ビットの値に影響を与えません。
1：CAN2 をリセットします。

ビット 25 **CAN1RST**：CAN1 リセット
ソフトウェアによってセット/クリアされます。
0：ビットの値に影響を与えません。
1：CAN1 をリセットします。

ビット 24:23 予約済み、常に 0 として読み出されます。

ビット 22 **I2C2RST**：I2C 2 リセット
ソフトウェアによってセット/クリアされます。
0：ビットの値に影響を与えません。
1：I2C 2 をリセットします。

ビット 21 **I2C1RST**：I2C 1 リセット
ソフトウェアによってセット/クリアされます。
0：ビットの値に影響を与えません。
1：I2C 1 をリセットします。

ビット 20 **UART5RST**：USART 5 リセット
ソフトウェアによってセット/クリアされます。
0：ビットの値に影響を与えません。
1：USART 5 をリセットします。

ビット 19 **UART4RST**：USART 4 リセット
ソフトウェアによってセット/クリアされます。
0：ビットの値に影響を与えません。
1：USART 4 をリセットします。

ビット 18 **UART3RST**：USART 3 リセット
ソフトウェアによってセット/クリアされます。
0：ビットの値に影響を与えません。
1：USART 3 をリセットします。

ビット 17 **UART2RST**：USART 2 リセット
ソフトウェアによってセット/クリアされます。
0：ビットの値に影響を与えません。
1：USART 2 をリセットします。

ビット 16 予約済み、常に 0 として読み出されます。

ビット 15 **SPI3RST**：SPI 3 リセット
ソフトウェアによってセット/クリアされます。
0：ビットの値に影響を与えません。
1：SPI 3 をリセットします。

ビット 14 **SPI2RST**：SPI 2 リセット
ソフトウェアによってセット/クリアされます。
0：ビットの値に影響を与えません。
1：SPI2 をリセットします。

ビット 13:12 予約済み、常に 0 として読み出されます。

ビット 11 **WWDGRST**：ウィンドウ型ウォッチドッグリセット
ソフトウェアによってセット/クリアされます。
0：ビットの値に影響を与えません。
1：ウィンドウ型ウォッチドッグをリセットします。

ビット 10:6 予約済み、常に 0 として読み出されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

参考資料

ビット 5 **TIM7RST**：タイマ 7 リセット
ソフトウェアによってセット/クリアされます。
0：ビットの値に影響を与えません。
1：タイマ 7 をリセットします。

ビット 4 **TIM6RST**：タイマ 6 リセット
ソフトウェアによってセット/クリアされます。
0：ビットの値に影響を与えません。
1：タイマ 6 をリセットします。

ビット 3 **TIM5RST**：タイマ 5 リセット
ソフトウェアによってセット/クリアされます。
0：ビットの値に影響を与えません。
1：タイマ 5 をリセットします。

ビット 2 **TIM4RST**：タイマ 4 リセット
ソフトウェアによってセット/クリアされます。
0：ビットの値に影響を与えません。
1：タイマ 4 をリセットします。

ビット 1 **TIM3RST**：タイマ 3 リセット
ソフトウェアによってセット/クリアされます。
0：ビットの値に影響を与えません。
1：タイマ 3 をリセットします。

ビット 0 **TIM2RST**：タイマ 2 リセット
ソフトウェアによってセット/クリアされます。
0：ビットの値に影響を与えません。
1：タイマ 2 をリセットします。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

7.3.6 AHB ペリフェラルクロックイネーブルレジスタ（RCC_AHBENR）

アドレスオフセット：0x14

リセット値：0x0000 0014

アクセス：ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															ETHMACRXEN
															rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ETHMACTXEN	ETHMACEN	予約済み	OTGFSEN	予約済み					CRCEN	予約済み	FLITFEN	予約済み	SRAMEN	DMA2EN	DMA1EN
rw	rw		rw						rw		rw		rw	rw	rw

ビット 31:17 予約済み、常に 0 として読み出されます。

ビット 16 **ETHMACRXEN**：イーサネット MAC RX クロックイネーブル
ソフトウェアによってセット/クリアされます。
0：イーサネット MAC RX クロック無効
1：イーサネット MAC RX クロック有効
注： ***RMII モードでは、このクロックが有効な場合、MAC の RMII クロックも有効です。***

ビット 15 **ETHMACTXEN**：イーサネット MAC TX クロックイネーブル
ソフトウェアによってセット/クリアされます。
0：イーサネット MAC TX クロック無効
1：イーサネット MAC TX クロック有効
注： ***RMII モードでは、このクロックが有効な場合、MAC の RMII クロックも有効です。***

ビット 14 **ETHMACEN**：イーサネット MAC クロックイネーブル
ソフトウェアによってセット/クリアされます。PHY インタフェースの選択（MII/RMII）は、MAC クロックを有効にする前に行う必要があります。
0：イーサネット MAC クロック無効
1：イーサネット MAC クロック有効

ビット 13 予約済み、常に 0 として読み出されます。

ビット 12 **OTGFSEN**：USB OTG クロックイネーブル
ソフトウェアによってセット/クリアされます。
0：USB OTG FS クロック無効
1：USB OTG FS クロック有効

ビット 11:7 予約済み、常に 0 として読み出されます。

ビット 6 **CRCEN**：CRC クロックイネーブル
ソフトウェアによってセット/クリアされます。
0：CRC クロック無効
1：CRC クロック有効

ビット 5 予約済み、常に 0 として読み出されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 4 **FLITFEN**：FLITF クロックイネーブル
SLEEP モード時の FLITF クロックを無効/有効にするために、ソフトウェアによってセット/クリアされます。
0：SLEEP モード時は FLITF クロック無効
1：SLEEP モード時は FLITF クロック有効

ビット 3 予約済み、常に 0 として読み出されます。

ビット 2 **SRAMEN**：SRAM インタフェースクロックイネーブル
SLEEP モード時の SRAM インタフェースクロックを無効/有効にするために、ソフトウェアによってセット/クリアされます。
0：SLEEP モード時は SRAM インタフェースクロック無効
1：SLEEP モード時は SRAM インタフェースクロック有効

ビット 1 **DMA2EN**：DMA2 クロックイネーブル
ソフトウェアによってセット/クリアされます。
0：DMA2 クロック無効
1：DMA2 クロック有効

ビット 0 **DMA1EN**：DMA1 クロックイネーブル
ソフトウェアによってセット/クリアされます。
0：DMA1 クロック無効
1：DMA1 クロック有効

7.3.7 APB2 ペリフェラルクロック有効レジスタ（RCC_APB2ENR）

アドレス：0x18

リセット値：0x0000 0000

アクセス：ワード、ハーフワード、およびバイトアクセス

ノーウェイトステート。ただし、APB2 ドメイン内のペリフェラルへのアクセス中にアクセスが発生した場合を除きます。この場合、APB2 ペリフェラルへのアクセスが終了するまで、ウェイトステートが挿入されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み	USART1EN	予約済み	SPI1EN	TIM1EN	ADC2EN	ADC1EN	予約済み		IOPEEN	IOPDEN	IOPCEN	IOPBEN	IOPAEN	予約済み	AFIOEN
	rw		rw	rw	rw	rw			rw	rw	rw	rw	rw		rw

ビット 31:15 予約済み、常に 0 として読み出されます。

ビット 14 **USART1EN**：USART1 クロックイネーブル
ソフトウェアによってセット/クリアされます。
0：USART1 クロック無効
1：USART1 クロック有効

ビット 13 予約済み、常に 0 として読み出されます。

ビット 12 **SPI1EN**：SPI 1 クロックイネーブル
ソフトウェアによってセット/クリアされます。
0：SPI 1 クロック無効
1：SPI 1 クロック有効

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 11 **TIM1EN**：TIM1 タイマクロックイネーブル
ソフトウェアによってセット/クリアされます。
0：TIM1 タイマクロック無効
1：TIM1 タイマクロック有効

ビット 10 **ADC2EN**：ADC 2 インタフェースクロックイネーブル
ソフトウェアによってセット/クリアされます。
0：ADC 2 インタフェースクロック無効
1：ADC 2 インタフェースクロック有効

ビット 9 **ADC1EN**：ADC 1 インタフェースクロックイネーブル
ソフトウェアによってセット/クリアされます。
0：ADC 1 インタフェースクロック無効
1：ADC 1 インタフェースクロック有効

ビット 8:7 予約済み、常に 0 として読み出されます。

ビット 6 **IOPEEN**：IO ポート E クロックイネーブル
ソフトウェアによってセット/クリアされます。
0：IO ポート E クロック無効
1：IO ポート E クロック有効

ビット 5 **IOPDEN**：IO ポート D クロックイネーブル
ソフトウェアによってセット/クリアされます。
0：IO ポート D クロック無効
1：IO ポート D クロック有効

ビット 4 **IOPCEN**：IO ポート C クロックイネーブル
ソフトウェアによってセット/クリアされます。
0：IO ポート C クロック無効
1：IO ポート C クロック有効

ビット 3 **IOPBEN**：IO ポート B クロックイネーブル
ソフトウェアによってセット/クリアされます。
0：IO ポート B クロック無効
1：IO ポート B クロック有効

ビット 2 **IOPAEN**：IO ポート A クロックイネーブル
ソフトウェアによってセット/クリアされます。
0：IO ポート A クロック無効
1：IO ポート A クロック有効

ビット 1 予約済み、常に 0 として読み出されます。

ビット 0 **AFIOEN**：オルタネート機能 IO クロックイネーブル
ソフトウェアによってセット/クリアされます。
0：オルタネート機能 IO クロック無効
1：オルタネート機能 IO クロック有効

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

7.3.8 APB1 ペリフェラルクロック有効レジスタ（RCC_APB1ENR）

アドレス：0x1C

リセット値：0x0000 0000

アクセス：ワード、ハーフワード、およびバイトアクセス

ノーウェイトステート。ただし、APB1 ドメイン内のペリフェラルへのアクセス中にアクセスが発生した場合を除きます。この場合、APB1 ペリフェラルへのアクセスが終了するまで、ウェイトステートが挿入されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み		DAC EN	PWR EN	BKP EN	CAN2 EN	CAN1 EN	予約済み		I2C2 EN	I2C1 EN	UART5E N	UART4 EN	USART 3EN	USART 2EN	予約済み
		rw	rw	rw	rw	rw			rw	rw	rw	rw	rw	rw	

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SPI3 EN	SPI2 EN	予約済み		WWD GEN	予約済み					TIM7 EN	TIM6 EN	TIM5 EN	TIM4 EN	TIM3 EN	TIM2 EN
rw	rw			rw						rw	rw	rw	rw	rw	rw

ビット 31:30 予約済み、常に 0 として読み出されます。

ビット 29 **DACEN**：DAC インタフェースクロックイネーブル
ソフトウェアによってセット/クリアされます。
0：DAC インタフェースクロック無効
1：DAC インタフェースクロック有効

ビット 28 **PWREN**：電源インタフェースクロックイネーブル
ソフトウェアによってセット/クリアされます。
0：電源インタフェースクロック無効
1：電源インタフェースクロック有効

ビット 27 **BKPEN**：バックアップインタフェースクロックイネーブル
ソフトウェアによってセット/クリアされます。
0：バックアップインタフェースクロック無効
1：バックアップインタフェースクロック有効

ビット 26 **CAN2EN**：CAN2 クロックイネーブル
ソフトウェアによってセット/クリアされます。
0：CAN2 クロック無効
1：CAN2 クロック有効

ビット 25 **CAN1EN**：CAN1 クロックイネーブル
ソフトウェアによってセット/クリアされます。
0：CAN1 クロック無効
1：CAN1 クロック有効

ビット 24:23 予約済み、常に 0 として読み出されます。

ビット 22 **I2C2EN**：I2C 2 クロックイネーブル
ソフトウェアによってセット/クリアされます。
0：I2C 2 クロック無効
1：I2C 2 クロック有効

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 21 **I2C1EN**：I2C 1 クロックイネーブル
ソフトウェアによってセット/クリアされます。
0：I2C 1 クロック無効
1：I2C 1 クロック有効

ビット 20 **UART5EN**：UART 5 クロックイネーブル
ソフトウェアによってセット/クリアされます。
0：UART 5 クロック無効
1：UART 5 クロック有効

ビット 19 **UART4EN**：USART 4 クロックイネーブル
ソフトウェアによってセット/クリアされます。
0：UART 4 クロック無効
1：UART 4 クロック有効

ビット 18 **USART3EN**：USART 3 クロックイネーブル
ソフトウェアによってセット/クリアされます。
0：USART 3 クロック無効
1：USART 3 クロック有効

ビット 17 **USART2EN**：USART 2 クロックイネーブル
ソフトウェアによってセット/クリアされます。
0：USART 2 クロック無効
1：USART 2 クロック有効

ビット 16 予約済み、常に 0 として読み出されます。

ビット 15 **SPI3EN**：SPI 3 クロックイネーブル
ソフトウェアによってセット/クリアされます。
0：SPI 3 クロック無効
1：SPI 3 クロック有効

ビット 14 **SPI2EN**：SPI 2 クロックイネーブル
ソフトウェアによってセット/クリアされます。
0：SPI 2 クロック無効
1：SPI 2 クロック有効

ビット 13:12 予約済み、常に 0 として読み出されます。

ビット 11 **WWDGEN**：ウィンドウ型ウォッチドッグクロックイネーブル
ソフトウェアによってセット/クリアされます。
0：ウィンドウ型ウォッチドッグクロック無効
1：ウィンドウ型ウォッチドッグクロック有効

ビット 10:6 予約済み、常に 0 として読み出されます。

ビット 5 **TIM7EN**：タイマ 7 クロックイネーブル
ソフトウェアによってセット/クリアされます。
0：タイマ 7 クロック無効
1：タイマ 7 クロック有効

ビット 4 **TIM6EN**：タイマ 6 クロックイネーブル
ソフトウェアによってセット/クリアされます。
0：タイマ 6 クロック無効
1：タイマ 6 クロック有効

ビット 3 **TIM5EN**：タイマ 5 クロックイネーブル
ソフトウェアによってセット/クリアされます。
0：タイマ 5 クロック無効
1：タイマ 5 クロック有効

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 2 **TIM4EN**：タイマ 4 クロックイネーブル
ソフトウェアによってセット/クリアされます。
0：タイマ 4 クロック無効
1：タイマ 4 クロック有効

ビット 1 **TIM3EN**：タイマ 3 クロックイネーブル
ソフトウェアによってセット/クリアされます。
0：タイマ 3 クロック無効
1：タイマ 3 クロック有効

ビット 0 **TIM2EN**：タイマ 2 クロックイネーブル
ソフトウェアによってセット/クリアされます。
0：タイマ 2 クロック無効
1：タイマ 2 クロック有効

7.3.9 バックアップドメイン制御レジスタ（RCC_BDCR）

アドレス：0x20

リセット値：0 x 0000 0000、バックアップドメインリセットによってリセットされます。

アクセス：0≦ウェイトステート≦3、ワード、ハーフワード、およびバイトアクセス

このレジスタへの連続したアクセスの場合、ウェイトステートが挿入されます。

注： ***バックアップドメイン制御レジスタ（RCC_BDCR）の LSEON、LSEBYP、RTCSEL、および RTCEN ビットは、バックアップドメインにあります。このため、リセット後、これらのビットは書き込み保護されるので、これらを変更するには、リセット前に電源制御レジスタ（PWR_CR）の DBP ビットをセットする必要があります。詳細については、セクション 5（74 ページ）を参照してください。これらのビットは、バックアップドメインリセット後にのみリセットされます（セクション 7.1.3：バックアップドメインリセット を参照）。内部または外部リセットは、これらのビットに影響しません。***

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															BDRST
															rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RTC EN	予約済み					RTCSEL[1:0]		予約済み					LSE BYP	LSE RDY	LSEON
rw						rw	rw						rw	r	rw

ビット 31:17 予約済み、常に 0 として読み出されます。

ビット 16 **BDRST**：バックアップドメインソフトウェアリセット
ソフトウェアによってセット/クリアされます。
0：リセットが有効ではありません。
1：バックアップドメイン全体をリセットします。

ビット 15 **RTCEN**：RTC クロックイネーブル
ソフトウェアによってセット/クリアされます。
0：RTC クロック無効
1：RTC クロック有効

ビット 14:10 予約済み、常に 0 として読み出されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 9:8 **RTCSEL[1:0]**：RTC クロックソース選択

RTC のクロックソースを選択するために、ソフトウェアによってセットされます。RTC クロックソースが選択されると、バックアップドメインがリセットされない限り、変更はできません。BDRST ビットを使用して、RTCSEL[1:0] ビットをリセットできます。

00：クロックなし

01：LSE オシレータクロックが RTC クロックとして使用されます。

10：LSI オシレータクロックが RTC クロックとして使用されます。

11：128 分周された HSE オシレータクロックが RTC クロックとして使用されます。

ビット 7:3 予約済み、常に 0 として読み出されます。

ビット 2 **LSEBYP**：外部低速オシレータバイパス

デバッグモードでオシレータをバイパスするために、ソフトウェアによってセット/クリアされます。このビットは、外部 32 kHz オシレータが無効のときのみ、書き込みができます。

0：LSE オシレータはバイパスされません。

1：LSE オシレータはバイパスされます。

ビット 1 **LSERDY**：外部低速オシレータレディ

外部 32 kHz オシレータが安定していることを示すために、ハードウェアによってセット/クリアされます。LSEON ビットがクリアされた後、LSERDY は、外部低速オシレータクロックの 6 サイクル後にローになります。

0：外部 32 kHz オシレータはレディ状態ではありません。

1：外部 32 kHz オシレータはレディ状態です。

ビット 0 **LSEON**：外部低速オシレータイネーブル

ソフトウェアによってセット/クリアされます。

0：外部 32 kHz オシレータはオフです。

1：外部 32 kHz オシレータはオンです。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

7.3.10 制御/ステータスレジスタ（RCC_CSR）

アドレス：0x24

リセット値：0x0C00 0000。システムリセットによってリセットされます。ただし、リセットフラグは電源リセット時のみリセットされます。

アクセス：0≦ウェイトステート≦3、ワード、ハーフワード、およびバイトアクセス

このレジスタへの連続したアクセスの場合、ウェイトステートが挿入されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
LPWR RSTF	WWDG RSTF	IWDG RSTF	SFT RSTF	POR RSTF	PIN RSTF	予約済み	RMVF	予約済み							
rw	rw	rw	rw	rw	rw		rw								

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み														LSI RDY	LSION
														r	rw

ビット 31 **LPWRRSTF**：低電力リセットフラグ
低電力管理リセットが発生したときに、ハードウェアによってセットされます。RMVF ビットへの書き込みによってクリアされます。
0：低電力管理リセットは発生していません。
1：低電力管理リセットが発生しました。
低電力管理リセットの詳細については、*セクション：低電力管理リセット* を参照してください。

ビット 30 **WWDGRSTF**：ウィンドウ型ウォッチドッグリセットフラグ
ウィンドウ型ウォッチドッグリセットが発生したときに、ハードウェアによってセットされます。RMVF ビットへの書き込みによってクリアされます。
0：ウィンドウ型ウォッチドッグリセットは発生していません。
1：ウィンドウ型ウォッチドッグリセットが発生しました。

ビット 29 **IWDGRSTF**：独立型ウォッチドッグリセットフラグ
V_{DD} ドメインから独立型ウォッチドッグリセットが発生したときに、ハードウェアによってセットされます。RMVF ビットへの書き込みによってクリアされます。
0：ウォッチドッグリセットは発生していません。
1：ウォッチドッグリセットが発生しました。

ビット 28 **SFTRSTF**：ソフトウェアリセットフラグ
ソフトウェアリセットが発生したときに、ハードウェアによってセットされます。RMVF ビットへの書き込みによってクリアされます。
0：ソフトウェアリセットは発生していません。
1：ソフトウェアリセットが発生しました。

ビット 27 **PORRSTF**：POR/PDR リセットフラグ
POR/PDR リセットが発生したときに、ハードウェアによってセットされます。RMVF ビットへの書き込みによってクリアされます。
0：POR/PDR リセットは発生していません。
1：POR/PDR リセットが発生しました。

ビット 26 **PINRSTF**：PIN リセットフラグ
NRST ピンからリセットが発生したときに、ハードウェアによってセットされます。RMVF ビットへの書き込みによってクリアされます。
0：NRST ピンからのリセットは発生していません。
1：NRST ピンからリセットが発生しました。

ビット 25 予約済み、常に 0 として読み出されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 24 **RMVF**：リセットフラグ解除
リセットフラグをクリアするために、ソフトウェアによってセットされます。
0：ビットの値に影響を与えません。
1：リセットフラグをクリアします。

ビット 23:2 予約済み、常に 0 として読み出されます。

ビット 1 **LSIRDY**：内部低速オシレータレディ
内部 RC 40 kHz オシレータが安定していることを示すために、ハードウェアによってセット/クリアされます。LSION ビットがクリアされた後、LSIRDY は、内部 40 kHz RC オシレータクロックの 3 サイクル後にローになります。
0：内部 RC 40 kHz オシレータはレディ状態ではありません。
1：内部 RC 40 kHz オシレータはレディ状態です。

ビット 0 **LSION**：内部低速オシレータイネーブル
ソフトウェアによってセット/クリアされます。
0：内部 RC 40 kHz オシレータはオフです。
1：内部 RC 40 kHz オシレータはオンです。

7.3.11 AHB ペリフェラルクロックリセットレジスタ（RCC_AHBRSTR）

アドレスオフセット：0x28

リセット値：0x0000 0000

アクセス：ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み	ETHMACRST rw	予約済み	OTGFSRST rw	予約済み											

ビット 31:15 予約済み、常に 0 として読み出されます。

ビット 14 **ETHMACRST**：イーサネット MAC リセット
ソフトウェアによってセット/クリアされます。
0：ビットの値に影響を与えません。
1：イーサネット MAC をリセットします。

ビット 13 予約済み、常に 0 として読み出されます。

ビット 12 **OTGFSRST**：USB OTG FS リセット
ソフトウェアによってセット/クリアされます。
0：ビットの値に影響を与えません。
1：USB OTG FS をリセットします。

ビット 11:0 予約済み、常に 0 として読み出されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

7.3.12 クロック設定レジスタ 2（RCC_CFGR2）

アドレス・オフセット：0x2C

リセット値：0x0000 0000

アクセス：ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み													I2S3SRC	I2S2SRC	PREDIV1SRC
													rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PLL3MUL[3:0]				PLL2MUL[3:0]				PREDIV2[3:0]				PREDIV1[3:0]			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:19 予約済み、常に 0 として読み出されます。

ビット 18 **I2S3SRC**：I2S3 クロックソース
I2S3 クロックソースを選択するために、ソフトウェアによってセット/クリアされます。このビットは、I2S3 クロックを有効にする前に有効でなければなりません。
0：システムクロック（SYSCLK）が I2S3 クロックエントリとして選択されます。
1：PLL3 VCO クロックが I2S3 クロックエントリとして選択されます。

ビット 17 **I2S2SRC**：I2S2 クロックソース
I2S2 クロックソースを選択するために、ソフトウェアによってセット/クリアされます。このビットは、I2S2 クロックを有効にする前に有効でなければなりません。
0：システムクロック（SYSCLK）が I2S2 クロックエントリとして選択されます。
1：PLL3 VCO クロックが I2S2 クロックエントリとして選択されます。

ビット 16 **PREDIV1SRC**：PREDIV1 エントリクロックソース
PREDIV1 クロックソースを選択するために、ソフトウェアによってセット/クリアされます。このビットに書き込めるのは、PLL が無効のときだけです。
0：HSE オシレータクロックが PREDIV1 クロックエントリとして選択されます。
1：PLL2 が PREDIV1 クロックエントリとして選択されます。

ビット 15:12 **PLL3MUL[3:0]**：PLL3 逓倍数
PLL3 の逓倍数を制御するために、ソフトウェアによってセット/クリアされます。これらのビットに書き込めるのは、PLL3 が無効のときだけです。
00xx：予約済み
010x：予約済み
0110：PLL3 クロックエントリ x 8
0111：PLL3 クロックエントリ x 9
1000：PLL3 クロックエントリ x 10
1001：PLL3 クロックエントリ x 11
1010：PLL3 クロックエントリ x 12
1011：PLL3 クロックエントリ x 13
1100：PLL3 クロックエントリ x 14
1101：予約済み
1110：PLL3 クロックエントリ x 16
1111：PLL3 クロックエントリ x 20

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 11:8 **PLL2MUL[3:0]**：PLL2 逓倍数

PLL2 の逓倍数を制御するために、ソフトウェアによってセット/クリアされます。これらのビットに書き込めるのは、PLL2 が無効のときだけです。

00xx：予約済み
010x：予約済み
0110：PLL2 クロックエントリ x 8
0111：PLL2 クロックエントリ x 9
1000：PLL2 クロックエントリ x 10
1001：PLL2 クロックエントリ x 11
1010：PLL2 クロックエントリ x 12
1011：PLL2 クロックエントリ x 13
1100：PLL2 クロックエントリ x 14
1101：予約済み
1110：PLL2 クロックエントリ x 16
1111：PLL2 クロックエントリ x 20

ビット 7:4 **PREDIV2[3:0]**：PREDIV2 分周数

PREDIV2 の分周数を制御するために、ソフトウェアによってセット/クリアされます。これらのビットに書き込めるのは、PLL2 と PLL3 の両方が無効のときだけです。

0000：PREDIV2 入力クロックは分周されません。
0001：PREDIV2 入力クロックは 2 分周されます。
0010：PREDIV2 入力クロックは 3 分周されます。
0011：PREDIV2 入力クロックは 4 分周されます。
0100：PREDIV2 入力クロックは 5 分周されます。
0101：PREDIV2 入力クロックは 6 分周されます。
0110：PREDIV2 入力クロックは 7 分周されます。
0111：PREDIV2 入力クロックは 8 分周されます。
1000：PREDIV2 入力クロックは 9 分周されます。
1001：PREDIV2 入力クロックは 10 分周されます。
1010：PREDIV2 入力クロックは 11 分周されます。
1011：PREDIV2 入力クロックは 12 分周されます。
1100：PREDIV2 入力クロックは 13 分周されます。
1101：PREDIV2 入力クロックは 14 分周されます。
1110：PREDIV2 入力クロックは 15 分周されます。
1111：PREDIV2 入力クロックは 16 分周されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 3:0 **PREDIV1[3:0]**：PREDIV1 分周数

PREDIV1 の分周数を選択するために、ソフトウェアによってセット/クリアされます。これらのビットに書き込めるのは、PLL が無効なときだけです。

注： ビット (0) は RCC_CFGR レジスタのビット (17) と同じなので、それに応じてビット (0) を変更します。

0000：PREDIV1 入力クロックは分周されません。
0001：PREDIV1 入力クロックは 2 分周されます。
0010：PREDIV1 入力クロックは 3 分周されます。
0011：PREDIV1 入力クロックは 4 分周されます。
0100：PREDIV1 入力クロックは 5 分周されます。
0101：PREDIV1 入力クロックは 6 分周されます。
0110：PREDIV1 入力クロックは 7 分周されます。
0111：PREDIV1 入力クロックは 8 分周されます。
1000：PREDIV1 入力クロックは 9 分周されます。
1001：PREDIV1 入力クロックは 10 分周されます。
1010：PREDIV1 入力クロックは 11 分周されます。
1011：PREDIV1 入力クロックは 12 分周されます。
1100：PREDIV1 入力クロックは 13 分周されます。
1101：PREDIV1 入力クロックは 14 分周されます。
1110：PREDIV1 入力クロックは 15 分周されます。
1111：PREDIV1 入力クロックは 16 分周されます。

7.3.13 RCC レジスタマップ

次の表に、RCC レジスタマップおよびリセット値を示します。

表17. RCCレジスタマップとリセット値

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x000	RCC_CR	予約済み		PLL3 RDY	PLL3 ON	PLL2 RDY	PLL2 ON	PLL RDY	PLLON	予約済み				CSSON	HSEBYP	HSERDY	HSEON	HSICAL[7:0]								HSITRIM[4:0]					予約済み	HSIRDY	HSION
	リセット値			0	0	0	0	0	0					0	0	0	0	x	x	x	x	x	x	x	x	1	0	0	0	0		1	1
0x004	RCC_CFGR	予約済み				MCO[3:0]				予約済み	OTGFSPRE	PLLMUL[3:0]				PLLXTPRE	PLLSRC	ADC PRE [1:0]		PPRE2 [2:0]			PPRE1 [2:0]			HPRE[3:0]				SWS [1:0]		SW [1:0]	
	リセット値					0	0	0	0		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x008	RCC_CIR	予約済み								CSSC	PLL3RDYC	PLL2RDYC	PLLRDYC	HSERDYC	HSIRDYC	LSERDYC	LSIRDYC	予約済み	PLL3RDYIE	PLL2RDYIE	PLLRDYIE	HSERDYIE	HSIRDYIE	LSERDYIE	LSIRDYIE	CSSF	PLL3RDYF	PLL2RDYF	PLLRDYF	HSERDYF	HSIRDYF	LSERDYF	LSIRDYF
	リセット値									0	0	0	0	0	0	0	0		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x00C	RCC_APB2RSTR	予約済み																予約済み	USART1RST	予約済み	SPI1RST	TIM1RST	ADC2RST	ADC1RST	予約済み	IOPERST	IOPDRST	IOPCRST	IOPBRST	IOPARST	予約済み	AFIORST	
	リセット値																		0		0	0	0	0		0	0	0	0	0		0	
0x010	RCC_APB1RSTR	予約済み		DACRST	PWRRST	BKPRST	CAN2RST	CAN1RST	予約済み	I2C2RST	I2C1RST	UART5RST	UART4RST	USART3RST	USART2RST	予約済み		SPI3RST	SPI2RST	予約済み		WWDGRST	予約済み					TM7RST	TM6RST	TM5RST	TIM4RST	TIM3RST	TIM2RST
	リセット値			0	0	0	0	0		0	0	0	0	0	0			0	0			0						0	0	0	0	0	0

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表17. RCCレジスタマップとリセット値（続き）

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x014	RCC_AHBENR	予約済み															ETHMACRXEN	ETHMACTXEN	ETHMACEN	予約済み	OTGFSEN	予約済み					CRCEN	予約済み	FLITFEN	予約済み	SRAMEN	DM2AEN	DM1AEN
	リセット値																0	0	0		0						0		1		1	0	0
0x018	RCC_APB2ENR	予約済み																予約済み	USART1EN	予約済み	SPI1EN	TIM1EN	ADC2EN	ADC1EN	予約済み		IOPEEN	IOPDEN	IOPCEN	IOPBEN	IOPAEN	予約済み	AFIOEN
	リセット値																		0		0	0	0	0			0	0	0	0	0		0
0x01C	RCC_APB1ENR	予約済み		DACEN	PWREN	BKPEN	CAN2EN	CAN1EN	予約済み		I2C2EN	I2C1EN	UART5EN	UART4EN	USART3EN	USART2EN	予約済み	SPI3EN	SPI2EN	予約済み		WWDGEN	予約済み					TIM7EN	TIM6EN	TIM5EN	TIM4EN	TIM3EN	TIM2EN
	リセット値			0	0	0	0	0			0	0	0	0	0	0		0	0			0						0	0	0	0	0	0
0x020	RCC_BDCR	予約済み															BDRST	RTCEN	予約済み					RTC SEL [1:0]		予約済み					LSEBYP	LSERDY	LSEON
	リセット値																0	0						0	0						0	0	0
0x024	RCC_CSR	LPWRSTF	WWDGRSTF	IWDGRSTF	SFTRSTF	PORRSTF	PINRSTF	予約済み	RMVF	予約済み																						LSIRDY	LSION
	リセット値	0	0	0	0	1	1		0																							0	0
0x028	RCC_AHBSTR	予約済み																	ETHMACRST	予約済み	OTGFSRST	予約済み											
	リセット値																		0		0												
0x02C	RCC_CFGR2	予約済み															I2S3SRC	I2S2SRC	PREDIV1SRC	PLL3MUL [3:0]				PLL2MUL [3:0]				PREDIV2[3:0]				PREDIV1[3:0]			
	リセット値																0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

レジスタ境界アドレスについては、*表 1（45ページ）*を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

8 汎用およびオルタネート機能入出力（GPIO および AFIO）

小容量デバイスは、フラッシュメモリ容量が 16～32 KB の STM32F101xx、STM32F102xx、および STM32F103xx マイクロコントローラです。

中容量デバイスは、フラッシュメモリ容量が 64～128 KB の STM32F101xx、STM32F102xx、および STM32F103xx マイクロコントローラです。

大容量デバイスは、フラッシュメモリ容量が 256～512 KB の STM32F101xx および STM32F103xx マイクロコントローラです。

特大容量デバイスは、フラッシュメモリ容量が 768 KB～1 MB の STM32F101xx および STM32F103xx マイクロコントローラです。

コネクティビティラインデバイス は、STM32F105xx および STM32F107xx マイクロコントローラです。

このセクションは、別段の指定がない限り、STM32F10xxx ファミリ全体に適用されます。

8.1 GPIO機能の説明

汎用入出力（GPIO）ポートのそれぞれには、2 つの 32 ビット設定レジスタ（GPIOx_CRL、GPIOx_CRH）、2 つの 32 ビットデータレジスタ（GPIOx_IDR、GPIOx_ODR）、32 ビットセット/リセットレジスタ（GPIOx_BSRR）、16 ビットリセットレジスタ（GPIOx_BRR）、32 ビットロックレジスタ（GPIOx_LCKR）があります。

各入出力ポートの特定のハードウェア特性については、*データシート*に記載されています。汎用入出力（GPIO）ポートの各ポートビットは、ソフトウェアによって以下の動作モードを個別に設定できます。

- 入力フローティング
- 入力プルアップ
- 入力プルダウン
- アナログ
- 出力オープンドレイン
- 出力プッシュプル
- オルタネート機能プッシュプル
- オルタネート機能オープンドレイン

各入出力ポートビットは自由にプログラミングできますが、入出力ポートレジスタには 32 ビットワード単位でアクセスする必要があります（ハーフワードやバイト単位でのアクセスはできません）。GPIOx_BSRR レジスタと GPIOx_BRR レジスタを使用すると、GPIO レジスタにビット単位の読み出し/変更アクセスを行うことができます。これにより、読み出しと変更アクセスの間に IRQ が発生するリスクを回避できます。

図 13 に、入出力ポートビットの基本構造を示します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図13. 標準入出力ポートビットの基本構造

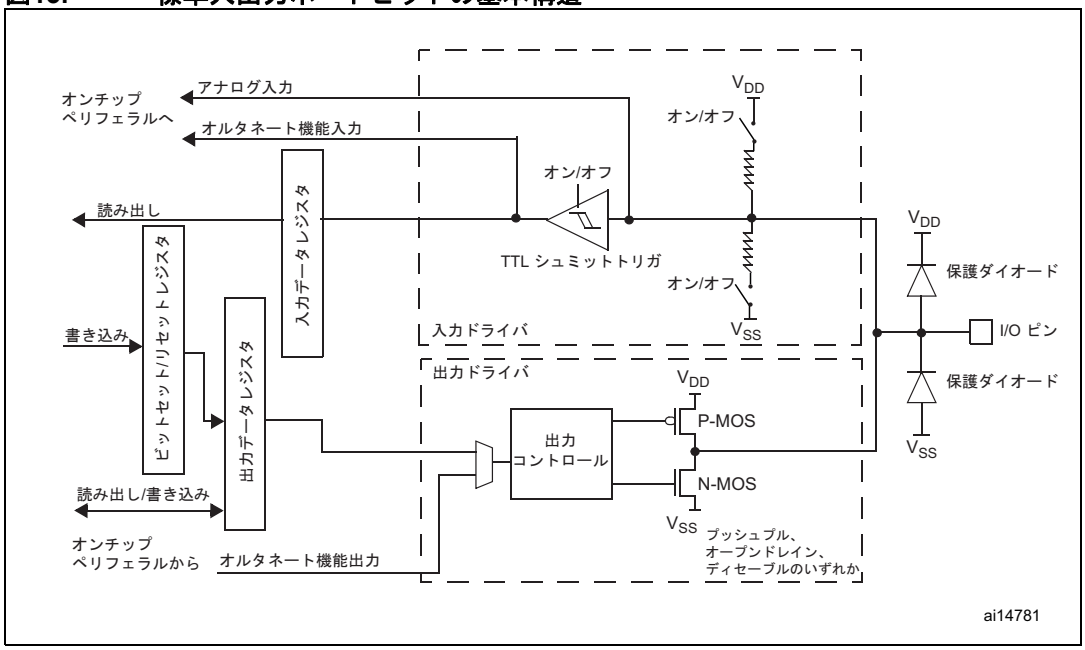
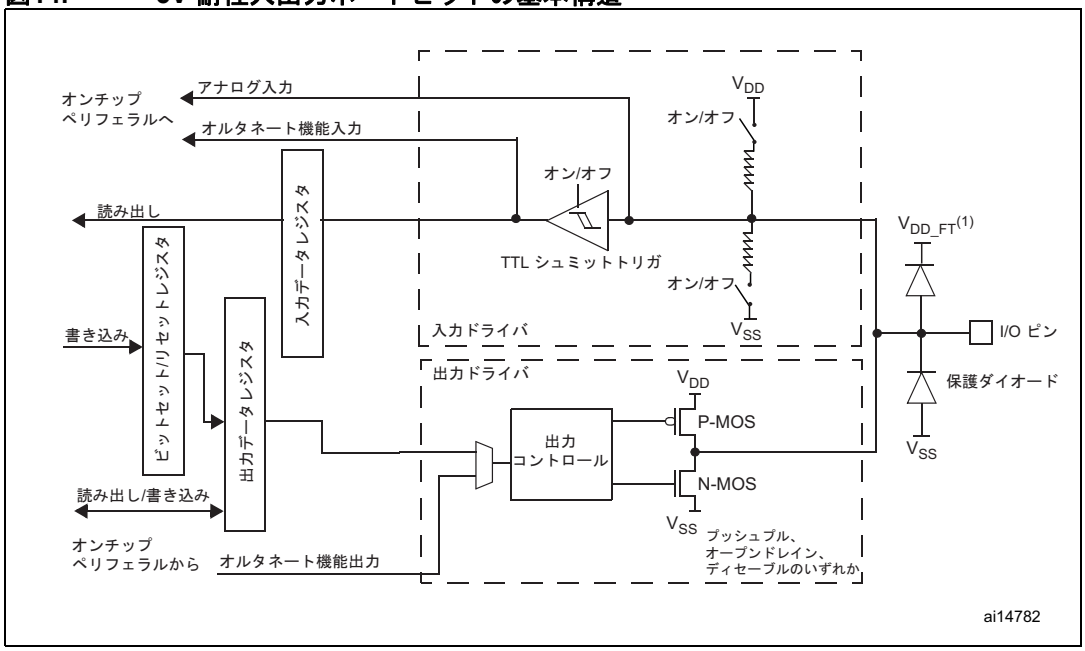


図14. 5V 耐性入出力ポートビットの基本構造



1. V_{DD_FT} は、5V 耐性入出力に固有の電位であり、V_{DD} とは異なります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表18. ポートビット設定表

設定モード		CNF1	CNF0	MODE1	MODE0	PxODR レジスタ
汎用出力	プッシュプル	0	0	01		0 または 1
	オープンドレイン		1	10		0 または 1
オルタネート機能出力	プッシュプル	1	0	11		無視
	オープンドレイン		1	*表 19* を参照してください		無視
入力	アナログ	0	0	00		無視
	入力フローティング		1			無視
	入力プルダウン	1	0			0
	入力プルアップ					1

表19. 出力モードビット

MODE[1:0]	意味
00	予約済み
01	最大出力速度 10 MHz
10	最大出力速度 2 MHz
11	最大出力速度 50 MHz

8.1.1 汎用入出力（GPIO）

リセット中とリセット直後は、オルタネート機能は有効ではなく、入出力ポートはフローティングモード（CNFx[1:0]=01b、MODEx[1:0]=00b）に設定されています。

リセット後、JTAG ピンは入力プルアップ/プルダウンになっています。

PA15：JTDI プルアップ

PA14：JTCK プルダウン

PA13：JTMS プルアップ

PB4 ：NJTRST プルアップ

出力として設定されたときには、出力データレジスタ（GPIOx_ODR）に書き込まれた値が入出力ピンに出力されます。出力ドライバをプッシュプルモードまたはオープンドレインモードで使用することができます（0 を出力すると、N-MOS のみが有効になります）。

入力データレジスタ（GPIOx_IDR）は、APB2 クロックサイクルごとに、入出力ピン上のデータをキャプチャします。

すべての GPIO ピンには、内部ウィークプルアップおよびウィークプルダウンがあり、入力として設定されたときに有効/無効にすることができます。

8.1.2 ビット単位のセット/リセット

GPIOx_ODR をビットレベルでプログラミングするときには、ソフトウェアで割り込みを無効にする必要はありません。アトミックな 1 回の APB2 書き込みアクセスで 1 ビットまたは数ビットのみを変更することができます。このためには、ビットセット/リセットレジスタ（GPIOx_BSRR、またはリセットのみであれば GPIOx_BRR）の変更したいビットに対応する位置に“1”をプログラミングします。選択されなかった（= 0）ビットの値は変更されません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

8.1.3 外部割り込み/ウェイクアップライン

すべてのポートに外部割り込み機能があります。外部割り込みラインを使用するには、ポートを入力モードにする必要があります。外部割り込みの詳細については、次のセクションを参照してください。

- *セクション 9.2：外部割り込み/イベントコントローラ（EXTI）（190 ページ）*および
- *セクション 9.2.3：ウェイクアップイベント管理（191 ページ）*

8.1.4 オルタネート機能（AF）

デフォルトのオルタネート機能を使用するには、ポートビット設定レジスタをプログラミングする必要があります。

- オルタネート機能の入力では、ポートは入力モード（フローティング、プルアップ、プルダウン）に設定し、入力ピンは外部から駆動しなければなりません。

注： ***GPIO コントローラをプログラミングすることによって、ソフトウェアで AFI 入力ピンをエミュレートすることもできます。この場合、ポートをオルタネート機能出力モードに設定する必要があります。また、当然、対応するポートは、ソフトウェアによって GPIO コントローラを使用して駆動されるので、外部から駆動しないでください。***

- オルタネート機能出力では、ポートをオルタネート機能出力モード（プッシュプル、オープンドレイン）に設定する必要があります。
- 双方向オルタネート機能の場合、ポートビットはオルタネート機能出力モード（プッシュプル、オープンドレイン）に設定する必要があります。この場合、入力ドライバは入力フローティングモードに設定されます。

ポートビットをオルタネート機能出力に設定した場合、ピンは出力レジスタから切り離され、オンチップペリフェラルの出力信号に接続されます。

ソフトウェアで GPIO ピンをオルタネート機能出力として設定したが、ペリフェラルが有効でない場合には、出力は指定されません。

8.1.5 ソフトウェアによる入出力オルタネート機能の再配置

さまざまなデバイスパッケージに対してペリフェラル入出力機能の数を最適化するために、いくつかのオルタネート機能を別のピンに再配置することができます。これは、対応するレジスタをプログラミングすることによって、ソフトウェアによって実現されます（*AFIO レジスタ（169 ページ）*を参照してください）。この場合、オルタネート機能は、元の割り当てには配置されなくなります。

8.1.6 GPIO ロック機構

ロック機構によって、入出力設定をロックすることができます。ポートビットにロックシーケンスが適用されると、次のリセットまで、ポートビットの値を変更できなくなります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

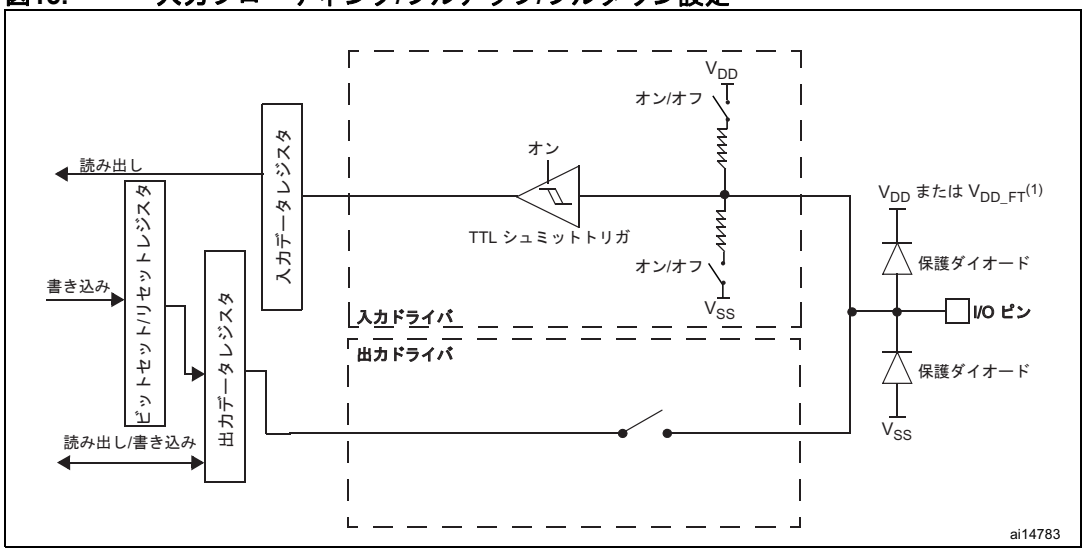
8.1.7 入力設定

入出力ポートが入力としてプログラミングされたときには、

- 出力バッファは無効になります。
- シュミットトリガ入力は有効になります。
- 入力設定（プルアップ、プルダウン、またはフローティング）に応じて、ウィークプルアップおよびプルダウン抵抗は有効または無効になります。
- 入出力ピン上のデータは、APB2 クロックサイクルごとに入力データレジスタにサンプリングされます。
- 入力データレジスタへの読み出しアクセスによって、入出力状態が得られます。

*図 15（151 ページ）*は、入出力ポートビットの入力設定を示しています。

図15. 入力フローティング/プルアップ/プルダウン設定



1. V_{DD_FT} は、5V 耐性入出力に固有の電位であり、V_{DD} とは異なります。

8.1.8 出力設定

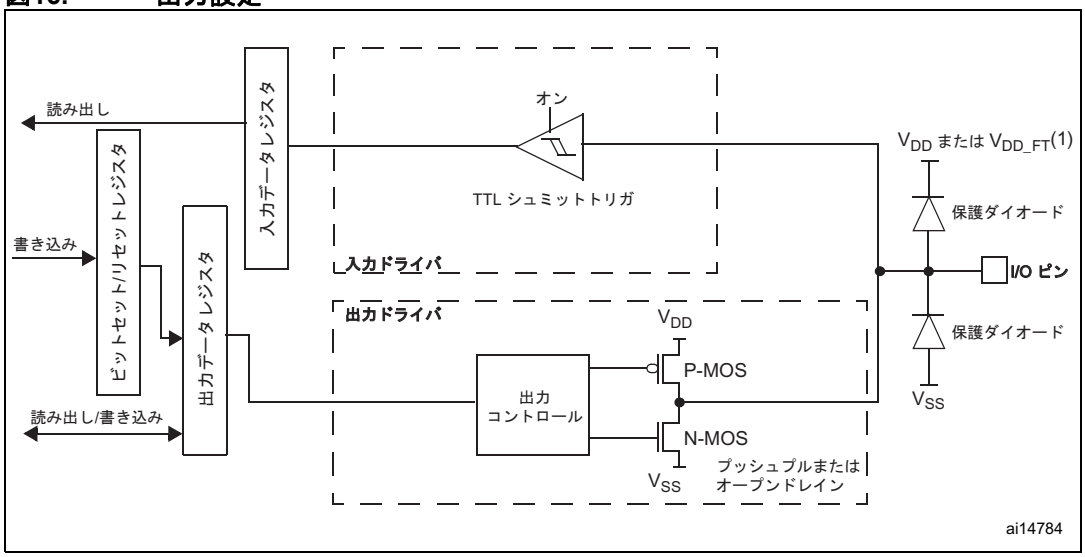
入出力ポートが出力としてプログラミングされたときには、

- 出力バッファが有効になります。
  - オープンドレインモード：出力レジスタが“0”のときには N-MOS が有効になり、出力レジスタが“1”のときにはポートはハイインピーダンス状態のままです（P-MOS が有効になることはありません）。
  - プッシュプルモード：出力レジスタが“0”のとき N-MOS が有効になり、“1”のときには P-MOS が有効になります。
- シュミットトリガ入力が有効になります。
- ウィークプルアップおよびプルダウン抵抗は無効になります。
- 入出力ピン上のデータは、APB2 クロックサイクルごとに入力データレジスタにサンプリングされます。
- オープンドレインモードでは、入力データレジスタの読み出しアクセスによって入出力状態が得られます。
- プッシュプルモードでは、出力データレジスタの読み出しアクセスによって、最後に書き込まれたデータが得られます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

*図 16（152 ページ）*は、入出力ポートビットの出力設定を示しています。

図16. 出力設定



1. V_{DD_FT} は、5V 耐性入出力に固有の電位であり、V_{DD} とは異なります。

8.1.9 オルタネート機能設定

入出力ポートがオルタネート機能としてプログラミングされたときには、

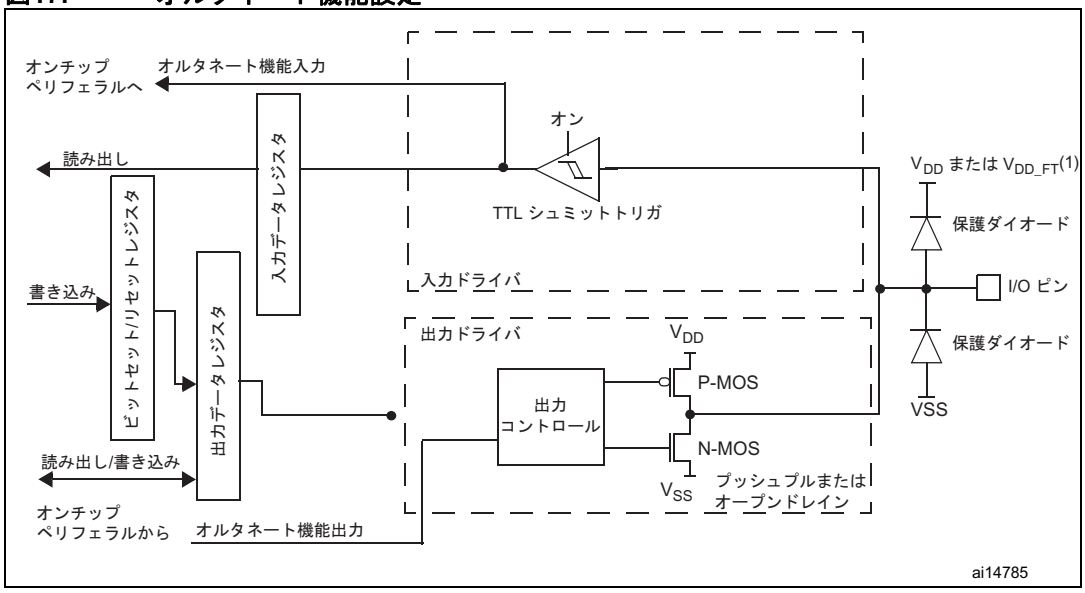
- 出力バッファは、オープンドレインまたはプッシュプル設定で有効になります。
- 出力バッファは、ペリフェラルからの信号で駆動されます（オルタネート機能出力）。
- シュミットトリガ入力は有効になります。
- ウィークプルアップおよびプルダウン抵抗は無効になります。
- 入出力ピン上のデータは、APB2 クロックサイクルごとに入力データレジスタにサンプリングされます。
- オープンドレインモードでは、入力データレジスタの読み出しアクセスによって入出力状態が得られます。
- プッシュプルモードでは、出力データレジスタの読み出しアクセスによって、最後に書き込まれたデータが得られます。

*図 17（153 ページ）*は、入出力ポートビットのオルタネート機能設定を示しています。詳細については、*セクション 8.4 : AFIO レジスタ（169 ページ）*も参照してください。

オルタネート機能入出力（AFIO）レジスタの設定で、オルタネート機能を別のピンに再配置できます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図17. オルタネート機能設定



1. V_{DD_FT} は、5V 耐性入出力に固有の電位であり、V_{DD} とは異なります。

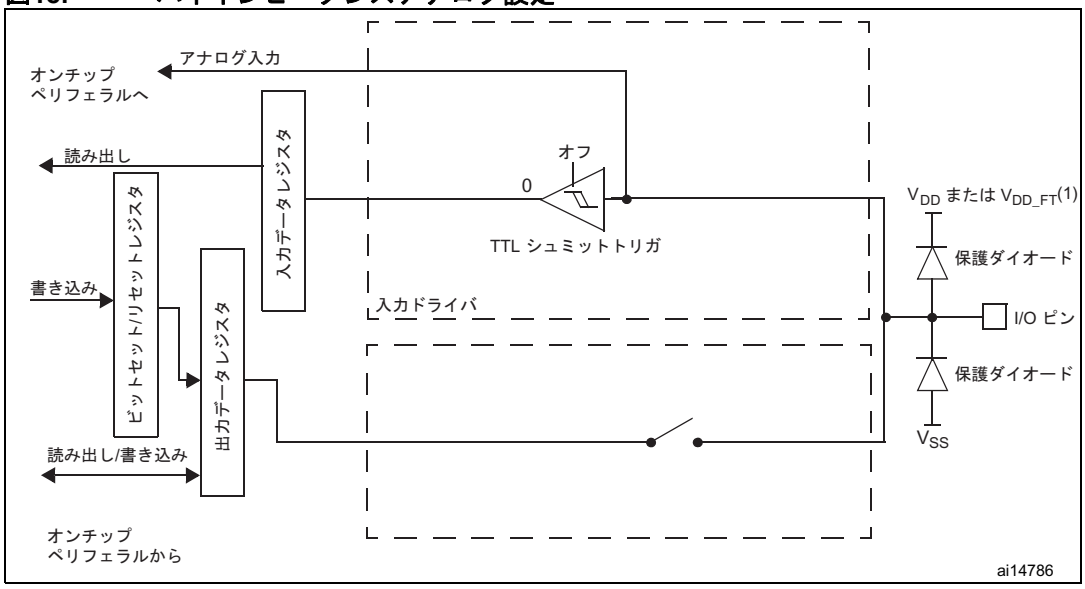
8.1.10 アナログ設定

入出力ポートがアナログ設定としてプログラミングされたときには、

- 出力バッファは無効になります。
- シュミットトリガ入力は無効になります。ただし、入出力ピンのすべてのアナログ値がゼロ消費の場合に限ります。シュミットトリガ回路の出力は、常に 0 になります。
- ウィークプルアップおよびプルダウン抵抗は無効になります。
- 入力データレジスタの読み出しアクセスでは、値“0”が得られます。

*図 18（153 ページ）*は、入出力ポートビットのハイインピーダンスアナログ設定を示しています。

図18. ハイインピーダンスアナログ設定



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

8.1.11 ペリフェラルの GPIO 設定

表 20～*表 32* に、デバイスペリフェラルの GPIO 設定を示します。

表20. 高機能タイマ TIM1/TIM8

TIM1/8 ピン名	設定	GPIO 設定
TIM1/8_CHx	入力キャプチャチャネル x	入力フローティング
	出力比較チャネル x	オルタネート機能プッシュプル
TIM1/8_CHxN	補助出力チャネル x	オルタネート機能プッシュプル
TIM1/8_BKIN	ブレーク入力	入力フローティング
TIM1/8_ETR	外部トリガタイマ入力	入力フローティング

表21. 汎用タイマ TIM2/3/4/5

TIM2/3/4/5 ピン名	設定	GPIO 設定
TIM2/3/4/5_CHx	入力キャプチャチャネル x	入力フローティング
	出力比較チャネル x	オルタネート機能プッシュプル
TIM2/3/4/5_ETR	外部トリガタイマ入力	入力フローティング

表22. USART

USART ピン名	設定	GPIO 設定
USARTx_TX	全二重	オルタネート機能プッシュプル
	半二重同期モード	オルタネート機能プッシュプル
USARTx_RX	全二重	入力フローティング/入力プルアップ
	半二重同期モード	未使用。GPIO として使用できます
USARTx_CK	同期モード	オルタネート機能プッシュプル
USARTx_RTS	ハードウェアフロー制御	オルタネート機能プッシュプル
USARTx_CTS	ハードウェアフロー制御	入力フローティング/入力プルアップ

表23. SPI

SPI ピン名	設定	GPIO 設定
SPIx_SCK	マスタ	オルタネート機能プッシュプル
	スレーブ	入力フローティング
SPIx_MOSI	全二重/マスタ	オルタネート機能プッシュプル
	全二重/スレーブ	入力フローティング/入力プルアップ
	単向双方向データ線/マスタ	オルタネート機能プッシュプル
	単向双方向データ線/スレーブ	未使用。GPIO として使用できます

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表23. SPI（続き）

SPI ピン名	設定	GPIO 設定
SPIx_MISO	全二重/マスタ	入力フローティング/入力プルアップ
	全二重/スレーブ	オルタネート機能プッシュプル
	単向双方向データ線/マスタ	未使用。GPIO として使用できます
	単向双方向データ線/スレーブ	オルタネート機能プッシュプル
SPIx_NSS	ハードウェアマスタ/スレーブ	入力フローティング/入力プルアップ/入力プルダウン
	ハードウェアマスタ/NSS 出力有効	オルタネート機能プッシュプル
	ソフトウェア	未使用。GPIO として使用できます

表24. I2S

I2S ピン名	設定	GPIO 設定
I2Sx_ WS	マスタ	オルタネート機能プッシュプル
	スレーブ	入力フローティング
I2Sx_CK	マスタ	オルタネート機能プッシュプル
	スレーブ	入力フローティング
I2Sx_SD	トランスミッタ	オルタネート機能プッシュプル
	レシーバ	入力フローティング/入力プルアップ/入力プルダウン
I2Sx_MCK	マスタ	オルタネート機能プッシュプル
	スレーブ	未使用。GPIO として使用できます

表25. I2C

I2C ピン名	設定	GPIO 設定
I2Cx_SCL	I2C クロック	オルタネート機能オープンドレイン
I2Cx_SDA	I2C データ入出力	オルタネート機能オープンドレイン

表26. BxCAN

BxCAN ピン名	GPIO 設定
CAN_TX（送信データライン）	オルタネート機能プッシュプル
CAN_RX（受信データライン）	入力フローティング/入力プルアップ

表27. USB(1)

USB ピン名	GPIO 設定
USB_DM / USB_DP	USB が有効になると、これらのピンは USB 内部トランシーバに自動的に接続されます。

1. この表は、小容量、中容量、大容量、および特大容量デバイスにのみ適用されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表28. OTG_FS ピン配置[1]

OTG_FS ピン名	設定	GPIO 設定
OTG_FS_SOF	ホスト	AF プッシュプル（使用している場合）
	デバイス	AF プッシュプル（使用している場合）
	OTG	AF プッシュプル（使用している場合）
OTG_FS_VBUS[2]	ホスト	入力フローティング
	デバイス	入力フローティング
	OTG	入力フローティング
OTG_FS_ID	ホスト	ソフトウェアによって強制ホストモードが選択（OTG_FS_GUSBCFG レジスタの FHMOD がセット）された場合は不要です。
	デバイス	ソフトウェアによって強制デバイスモードが選択（OTG_FS_GUSBCFG レジスタの FDMOD がセット）された場合は不要です。
	OTG	入力プルアップ
OTG_FS_DM	ホスト	USB パワーダウンによって自動的に制御されます。
	デバイス	USB パワーダウンによって自動的に制御されます。
	OTG	USB パワーダウンによって自動的に制御されます。
OTG_FS_DP	ホスト	USB パワーダウンによって自動的に制御されます。
	デバイス	USB パワーダウンによって自動的に制御されます。
	OTG	USB パワーダウンによって自動的に制御されます。

1. この表は、コネクティビティラインデバイスにのみ適用されます。
2. OTG_FS_VBUS ピン（PA9）を別の共有ペリフェラルによって使用するか、GPIO として使用する場合、PHY パワーダウンモードを有効にする必要があります（OTG_FS_GCCFG レジスタのビット 16 をクリアします）。

表29. SDIO

SDIO ピン名	GPIO 設定
SDIO_CK	オルタネート機能プッシュプル
SDIO_CMD	オルタネート機能プッシュプル
SDIO[D7:D0]	オルタネート機能プッシュプル

ADC 入力の GPIO 設定はアナログにします。

表30. ADC / DAC

ADC/DAC ピン名	GPIO 設定
ADC/DAC	アナログ

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表31. FSMC

FSMC ピン名	GPIO 設定
FSMC_A[25:0] FSMC_D[15:0]	オルタネート機能プッシュプル
FSMC_CK	オルタネート機能プッシュプル
FSMC_NOE FSMC_NWE	オルタネート機能プッシュプル
FSMC_NE[4:1] FSMC_NCE[3:2] FSMC_NCE4_1 FSMC_NCE4_2	オルタネート機能プッシュプル
FSMC_NWAIT FSMC_CD	入力フローティング/入力プルアップ
FSMC_NIOS16, FSMC_INTR FSMC_INT[3:2]	入力フローティング
FSMC_NL FSMC_NBL[1:0]	オルタネート機能プッシュプル
FSMC_NIORD, FSMC_NIOWR FSMC_NREG	オルタネート機能プッシュプル

表32. 他の入出力

ピン名	オルタネート機能	GPIO 設定
TAMPER-RTC ピン	RTC 出力	BKP_CR および BKP_RTCCR レジスタを設定するとき、ハードウェアによって強制されます。
	タンパイベント入力	
MCO	クロック出力	オルタネート機能プッシュプル
EXTI 入力ライン	外部入力割り込み	入力フローティング/入力プルアップ/入力プルダウン

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

8.2 GPIO レジスタ

レジスタの説明で使用されている略語については、*セクション 1.1（40 ページ）*を参照してください。

ペリフェラルレジスタには、ワード（32 ビット）単位でアクセスする必要があります。

8.2.1 ポート設定レジスタ（下位）（GPIOx_CRL）（x=A..G）

アドレスオフセット：0x00

リセット値：0x4444 4444

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CNF7[1:0]		MODE7[1:0]		CNF6[1:0]		MODE6[1:0]		CNF5[1:0]		MODE5[1:0]		CNF4[1:0]		MODE4[1:0]	
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CNF3[1:0]		MODE3[1:0]		CNF2[1:0]		MODE2[1:0]		CNF1[1:0]		MODE1[1:0]		CNF0[1:0]		MODE0[1:0]	
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:30, 27:26, 23:22, 19:18, 15:14, 11:10, 7:6, 3:2

CNFy[1:0]：ポート x 設定ビット（y= 0 ..7）

これらのビットは、対応する入出力ポートを設定するために、ソフトウェアによって書き込まれます。*表 18：ポートビット設定表（149 ページ）*を参照してください。

入力モード時（MODE[1:0]=00）：

00：アナログモード

01：フローティング入力（リセット状態）

10：プルアップ/プルダウン付きの入力

11：予約済み

出力モード時（MODE[1:0] > 00）：

00：汎用出力プッシュプル

01：汎用出力オープンドレイン

10：オルタネート機能出力プッシュプル

11：オルタネート機能出力オープンドレイン

ビット 29:28, 25:24, 21:20, 17:16, 13:12, 9:8, 5:4, 1:0

MODEy[1:0]：ポート x モードビット（y= 0 ..7）

これらのビットは、対応する入出力ポートを設定するために、ソフトウェアによって書き込まれます。*表 18：ポートビット設定表（149 ページ）*を参照してください。

00：入力モード（リセット状態）

01：出力モード、最大速度 10 MHz

10：出力モード、最大速度 2 MHz

11：出力モード、最大速度 50 MHz

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

8.2.2 ポート設定レジスタ（上位）（GPIOx_CRH）（x=A..G）

アドレスオフセット：0x04

リセット値：0x4444 4444

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CNF15[1:0]		MODE15[1:0]		CNF14[1:0]		MODE14[1:0]		CNF13[1:0]		MODE13[1:0]		CNF12[1:0]		MODE12[1:0]	
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CNF11[1:0]		MODE11[1:0]		CNF10[1:0]		MODE10[1:0]		CNF9[1:0]		MODE9[1:0]		CNF8[1:0]		MODE8[1:0]	
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:30, 27:26, 23:22, 19:18, 15:14, 11:10, 7:6, 3:2 **CNFy[1:0]**：ポート x 設定ビット（y= 8 ..15）

これらのビットは、対応する入出力ポートを設定するために、ソフトウェアによって書き込まれます。*表 18：ポートビット設定表（149 ページ）*を参照してください。

入力モード時（MODE[1:0]=00）：

00：アナログモード

01：フローティング入力（リセット状態）

10：プルアップ/プルダウン付きの入力

11：予約済み

出力モード時（MODE[1:0] > 00)：

00：汎用出力プッシュプル

01：汎用出力オープンドレイン

10：オルタネート機能出力プッシュプル

11：オルタネート機能出力オープンドレイン

ビット 29:28, 25:24, 21:20, 17:16, 13:12, 9:8, 5:4, 1:0 **MODEy[1:0]**：ポート x モードビット（y= 8 ..15）

これらのビットは、対応する入出力ポートを設定するために、ソフトウェアによって書き込まれます。*表 18：ポートビット設定表（149 ページ）*を参照してください。

00：入力モード（リセット状態）

01：出力モード、最大速度 10 MHz

10：出力モード、最大速度 2 MHz

11：出力モード、最大速度 50 MHz

8.2.3 ポート入力データレジスタ（GPIOx_IDR）（x=A..G）

アドレスオフセット：0x08h

リセット値：0x0000 XXXX

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IDR15	IDR14	IDR13	IDR12	IDR11	IDR10	IDR9	IDR8	IDR7	IDR6	IDR5	IDR4	IDR3	IDR2	IDR1	IDR0
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:16 予約済み、常に 0 として読み出されます。

ビット 15:0 **IDRy[15:0]**：ポート入力データ（y= 0 ..15）

これらのビットは読み出し専用であり、ワードモードでのみアクセスできます。対応する入出力ポートの入力値を含みます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

8.2.4 ポート出力データレジスタ（GPIOx_ODR）（x=A..G）

アドレスオフセット：0x0C

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ODR15	ODR14	ODR13	ODR12	ODR11	ODR10	ODR9	ODR8	ODR7	ODR6	ODR5	ODR4	ODR3	ODR2	ODR1	ODR0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:16　予約済み、常に 0 として読み出されます。

ビット 15:0　**ODRy[15:0]**：ポート出力データ（y= 0 ..15）
これらのビットは、ソフトウェアによって読み出し/書き込みができ、ワードモードでのみアクセスできます。

注：　ビット単位のセット/リセットのために、GPIOx_BSRR レジスタ（x= A .. G）への書き込みによって、ODR ビットを個々にセット/クリアできます。

8.2.5 ポートビットセット/リセットレジスタ（GPIOx_BSRR）（x=A..G）

アドレスオフセット：0x10

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
BR15	BR14	BR13	BR12	BR11	BR10	BR9	BR8	BR7	BR6	BR5	BR4	BR3	BR2	BR1	BR0
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BS15	BS14	BS13	BS12	BS11	BS10	BS9	BS8	BS7	BS6	BS5	BS4	BS3	BS2	BS1	BS0
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w

ビット 31:16　**BRy:**ポート x リセット*ビット y（y= 0 .. 15）*
これらのビットは、書き込み専用であり、ワードモードでのみアクセスできます。
0：対応する ODRx ビットの値は変化しません。
1：対応するODRx ビットをリセットします。

注：　BSx ビットと BRx ビットの両方がセットされた場合、BSx ビットが優先されます。

ビット 15:0　**BSy**：ポート x *セットビット y（y= 0 .. 15）*
これらのビットは、書き込み専用であり、ワードモードでのみアクセスできます。
0：対応する ODRx ビットの値は変化しません。
1：対応する ODRx ビットをセットします。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

8.2.6 ポートビットリセットレジスタ（GPIOx_BRR）（x=A..G）

アドレスオフセット：0x14

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BR15	BR14	BR13	BR12	BR11	BR10	BR9	BR8	BR7	BR6	BR5	BR4	BR3	BR2	BR1	BR0
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w

ビット 31:16　予約済み

ビット 15:0　**BRy:**ポート x リセットビット（y= 0 .. 15）
これらのビットは、書き込み専用であり、ワードモードでのみアクセスできます。
0：対応する ODRx ビットの値は変化しません。
1：対応するODRx ビットをリセットします。

8.2.7 ポート設定ロックレジスタ（GPIOx_LCKR）（x=A..G）

このレジスタは、ビット 16（LCKK）に正しい書き込みシーケンスが適用されたときに、ポートビットの設定をロックするために使用されます。ビット[15:0] の値は、GPIO の設定をロックするために使用され、書き込みシーケンスの間は LCKR[15:0] の値は同じでなければなりません。ロックシーケンスがポートビットに適用されると、次のリセットまで、ポートビットの値を変更することはできなくなります。

各ロックビットは、制御レジスタ（CRL、CRH）の対応する 4 ビットをロックします。

アドレスオフセット：0x18

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															LCKK
															rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LCK15	LCK14	LCK13	LCK12	LCK11	LCK10	LCK9	LCK8	LCK7	LCK6	LCK5	LCK4	LCK3	LCK2	LCK1	LCK0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:17　予約済み

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 16 **LCKK[16]**：ロックキー

このビットは常時読み出しができます。ロックキー書き込みシーケンスを使用しなければ変更できません。

0：ポート設定ロックキーは無効です。

1：ポート設定ロックキーは有効です。GPIOx_LCKR レジスタは、MCU リセットが発生するまでロックされます。

ロックキー書き込みシーケンス：

1 を書き込みます。
0 を書き込みます。
1 を書き込みます。
0 を読み出します。
1 を読み出します（この読み出しはオプションですが、ロックが有効であることを確認します）。

注： ロックキー書き込みシーケンスの間は、LCK[15:0] の値を変更することはできません。

ロックシーケンス中にエラーが発生すると、ロックは中止されます。

ビット 15:0 **LCKy**：ポート x ロックビット y（y= 0 .. 15）

これらのビットは読み出し/書き込みができますが、書き込めるのは、LCKK ビットが 0 のときだけです。

0：ポート設定はロックされません。

1：ポート設定はロックされます。

8.3 オルタネート機能入出力とデバッグ設定（AFIO）

64 ピンまたは 100 ピン、または 144 ピンのパッケージに使用できるペリフェラル数を最適化するために、いくつかのオルタネート機能を別のピンに再配置できます。これは、ソフトウェアによって *オルタネート機能の再配置とデバッグ入出力設定レジスタ（AFIO_MAPR）（171 ページ）*をプログラミングすることによって実現されます。この場合、オルタネート機能は元の割り当てに配置されなくなります。

8.3.1 OSC32_IN/OSC32_OUT ピンの GPIO ポート PC14/PC15 としての使用

LSE オシレータのピン OSC32_IN および OSC32_OUT は、LSE オシレータがオフのとき、それぞれ汎用入出力 PC14 および PC15 として使用できます。LSEは、GPIO 機能より高い優先順位を持っています。

注： 1 PC14/PC15 の GPIO 機能が無効になるのは、1.8 V ドメインの電源がオフになったとき（STANDBY モードになったとき）、またはバックアップドメインに V_{BAT} が供給された（V_{DD} は供給されない）ときです。この場合、入出力はアナログモードに設定されます。

2 セクション 4.1.2（62 ページ）にある入出力使用の制限についての注を参照してください。

8.3.2 OSC_IN/OSC_OUT ピンの GPIO ポート PD0/PD1 としての使用

HSE オシレータのピン OSC_IN/OSC_OUT は、*オルタネート機能の再配置とデバッグ入出力設定レジスタ（AFIO_MAPR）*の PD01_REMAP ビットをプログラミングすることによって、汎用入出力（GPIO）の PD0/PD1 として使用できます。

この再配置は、36 ピン、48 ピン、および 64 ピンのパッケージでのみ可能です（100 ピンと 144 ピンのパッケージでは、再配置しなくても PD0/PD1 を使用できます）。

注： 外部割り込み/イベント機能は再配置できません。36 ピン、48 ピン、および 64 ピンのパッケージでは、PD0 と PD1 を外部割り込み/イベント生成に使用することはできません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

8.3.3 CAN1 オルタネート機能の再配置

CAN 信号は、*表 33* に示すように、ポート A、ポート B、またはポート D に配置できます。ポート D は、36 ピン、48 ピン、および 64 ピンのパッケージのデバイスでは再配置できません。

表33. CAN1 オルタネート機能の再配置

オルタネート機能(1)	CAN_REMAP[1:0] = “00”	CAN_REMAP[1:0] = “10” (2)	CAN_REMAP[1:0] = “11”(3)
CAN1_RX または CAN_RX	PA11	PB8	PD0
CAN1_TX または CAN_TX	PA12	PB9	PD1

1. コネクティビティラインデバイスの CAN1_RX と CAN1_TX。1 つの CAN インタフェースを備えた他のデバイスの CAN_RX と CAN_TX。
2. 36 ピンのパッケージでは再配置できません。
3. この再配置は、100 ピンと 144 ピンのパッケージでのみ可能です（PD0 と PD1 が OSC_IN と OSC_OUT に再配置されていないとき）。

8.3.4 CAN2 オルタネート機能の再配置

CAN2 はコネクティビティラインデバイスで使用できます。外部信号は、*表 34*に示されているように再配置できます。

表34. CAN2 オルタネート機能の再配置

オルタネート機能	CAN2_REMAP = “0”	CAN2_REMAP = “1”
CAN2_RX	PB12	PB5
CAN2_TX	PB13	PB6

8.3.5 JTAG/SWD オルタネート機能の再配置

デバッグインタフェース信号は、*表 35*に示されているように GPIO ポートに配置されます。

表35. デバッグインタフェース信号

オルタネート機能	GPIO ポート
JTMS / SWDIO	PA13
JTCK / SWCLK	PA14
JTDI	PA15
JTDO / TRACESWO	PB3
NJTRST	PB4
TRACECK	PE2
TRACED0	PE3
TRACED1	PE4
TRACED2	PE5
TRACED3	PE6

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

デバッグ時に未使用 GPIO の数を最適化するために、この配置は、*オルタネート機能の再配置とデバッグ入出力設定レジスタ（AFIO_MAPR）*の SWJ_CFG[1:0] ビットをプログラミングすることによってさまざまに設定できます。*表 36*を参照してください。

表36. デバッグポートの配置

SWJ _CFG [2:0]	使用可能なデバッグポート	SWJ I/O ピンの割り当て				
		PA13 / JTMS/ SWDIO	PA14 / JTCK/SW CLK	PA15 / JTDI	PB3 / JTDO/ TRACE SWO	PB4/ NJTRST
000	フル SWJ（JTAG-DP + SW-DP）（リセット状態）	X	X	X	X	X
001	フル SWJ（JTAG-DP + SW-DP）NJTRST なし	X	X	X	x	未使用
010	JTAG-DP 無効および SW-DP 有効	X	X	未使用	未使用(1)	未使用
100	JTAG-DP 無効および SW-DP 無効	未使用	未使用	未使用	未使用	未使用
その他	設定禁止					

1. 非同期トレースを使用していない場合にのみ解放されます。

8.3.6 ADC オルタネート機能の再配置

*オルタネート機能の再配置とデバッグ入出力設定レジスタ（AFIO_MAPR）*を参照してください。

表37. ADC1 外部トリガインジェクト変換オルタネート機能の再配置(1)

オルタネート機能	ADC1_ETRGINJ_REMAP = 0	ADC1_ETRGINJ_REMAP = 1
ADC1 外部トリガインジェクト変換	ADC1 外部トリガインジェクト変換は EXTI15 へ接続	ADC1 外部トリガインジェクト変換は TIM8_CH4 へ接続

1. 再配置は、大容量および特大容量デバイスでのみ可能です。

表38. ADC1 外部トリガレギュラ変換オルタネート機能の再配置(1)

オルタネート機能	ADC1_ETRGREG_REMAP = 0	ADC1_ETRGREG_REMAP = 1
ADC1外部トリガレギュラ変換	ADC1外部トリガレギュラ変換は EXTI11 へ接続	ADC1外部トリガレギュラ変換は TIM8_TRGO へ接続

1. 再配置は、大容量および特大容量デバイスでのみ可能です。

表39. ADC2 外部トリガインジェクト変換オルタネート機能の再配置(1)

オルタネート機能	ADC2_ETRGINJ_REMAP = 0	ADC2_ETRGINJ_REMAP = 1
ADC2 外部トリガインジェクト変換	ADC2 外部トリガインジェクト変換は EXTI15 へ接続	ADC2 外部トリガインジェクト変換は TIM8_CH4 へ接続

1. 再配置は、大容量および特大容量デバイスでのみ可能です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表40. ADC2 外部トリガレギュラ変換オルタネート機能の再配置[1]

オルタネート機能	ADC2_ETRGREG_REG = 0	ADC2_ETRGREG_REG = 1
ADC2 外部トリガレギュラ変換	ADC2 外部トリガレギュラ変換は EXTI11 へ接続	ADC2 外部トリガレギュラ変換は TIM8_TRGO へ接続

1. 再配置は、大容量および特大容量デバイスでのみ可能です。

8.3.7 タイマオルタネート機能の再配置

タイマ 4 のチャネル 1～4 は、ポート B～ポート D に再配置できます。その他のタイマ再配置の可能性については、*表 43～表 45* を参照してください。*オルタネート機能の再配置とデバッグ入出力設定レジスタ（AFIO_MAPR）*を参照してください。

表41. TIM5 オルタネート機能の再配置[1]

オルタネート機能	TIM5CH4_IREMAP = 0	TIM5CH4_IREMAP = 1
TIM5_CH4	TIM5 チャネル4 は PA3 へ接続	LSI の内部クロックは較正のために TIM5_CH4 入力へ接続

1. 再配置は、大容量、特大容量、およびコネクティビティラインデバイスでのみ可能です。

表42. TIM4 オルタネート機能の再配置

オルタネート機能	TIM4_REMAP = 0	TIM4_REMAP = 1[1]
TIM4_CH1	PB6	PD12
TIM4_CH2	PB7	PD13
TIM4_CH3	PB8	PD14
TIM4_CH4	PB9	PD15

1. 再配置は、100 ピンと 144 ピンのパッケージでのみ可能です。

表43. TIM3 オルタネート機能の再配置

オルタネート機能	TIM3_REMAP[1:0] = “00”（再配置なし）	TIM3_REMAP[1:0] = “10”（部分的な再配置）	TIM3_REMAP[1:0] = “11”（完全な再配置）[1]
TIM3_CH1	PA6	PB4	PC6
TIM3_CH2	PA7	PB5	PC7
TIM3_CH3	PB0		PC8
TIM3_CH4	PB1		PC9

1. 再配置は、64 ピン、100 ピン、および 144 ピンのパッケージでのみ可能です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表44. TIM2 オルタネート機能の再配置

オルタネート機能	TIM2_REMAP[1:0] = “00” （再配置なし）	TIM2_REMAP[1:0] = “01”（部分的な再配置）	TIM2_REMAP[1:0] = “10”（部分的な再配置）(1)	TIM2_REMAP[1:0] = “11”（完全な再配置）(1)
TIM2_CH1_ETR(2)	PA0	PA15	PA0	PA15
TIM2_CH2	PA1	PB3	PA1	PB3
TIM2_CH3	PA2		PB10	
TIM2_CH4	PA3		PB11	

1. 再配置は、36 ピンのパッケージではできません。
2. TIM_CH1 と TIM_ETR は同じピンを共有しますが、同時に使用することはできません（そのため TIM2_CH1_ETR という名前が付けられています）。

表45. TIM1 オルタネート機能の再配置

オルタネート機能配置	TIM1_REMAP[1:0] = “00”（再配置なし）	TIM1_REMAP[1:0] = “01”（部分的な再配置）	TIM1_REMAP[1:0] = “11”（完全な再配置）(1)
TIM1_ETR	PA12		PE7
TIM1_CH1	PA8		PE9
TIM1_CH2	PA9		PE11
TIM1_CH3	PA10		PE13
TIM1_CH4	PA11		PE14
TIM1_BKIN	PB12 (2)	PA6	PE15
TIM1_CH1N	PB13	PA7	PE8
TIM1_CH2N	PB14 (2)	PB0	PE10
TIM1_CH3N	PB15 (2)	PB1	PE12

1. 再配置は、100 ピンと 144 ピンのパッケージでのみ可能です。
2. 再配置は、36 ピンのパッケージではできません。

表46. TIM9 の再配置(1)

オルタネート機能	TIM9_REMAP = 0	TIM9_REMAP = 1
TIM9_CH1	PA2	PE5
TIM9_CH1	PA3	PE6

1. *セクション 8.4.7 : オルタネート機能の再配置とデバッグ入出力設定レジスタ 2（AFIO_MAPR2）*のオルタネート機能の再配置とデバッグ入出力設定レジスタを参照してください。

表47. TIM10 の再配置(1)

オルタネート機能	TIM10_REMAP = 0	TIM10_REMAP = 1
TIM10_CH1	PB8	PF6

1. *セクション 8.4.7 : オルタネート機能の再配置とデバッグ入出力設定レジスタ 2（AFIO_MAPR2）*のオルタネート機能の再配置とデバッグ入出力設定レジスタを参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表48. TIM11 の再配置[1]

オルタネート機能	TIM11_REMAP = 0	TIM11_REMAP = 1
TIM11_CH1	PB9	PF7

1. *セクション 8.4.7 : オルタネート機能の再配置とデバッグ入出力設定レジスタ 2（AFIO_MAPR2）*のオルタネート機能の再配置とデバッグ入出力設定レジスタを参照してください。

表49. TIM13 の再配置[1]

オルタネート機能	TIM13_REMAP = 0	TIM13_REMAP = 1
TIM13_CH1	PA6	PF8

1. *セクション 8.4.7 : オルタネート機能の再配置とデバッグ入出力設定レジスタ 2（AFIO_MAPR2）*のオルタネート機能の再配置とデバッグ入出力設定レジスタを参照してください。

表50. TIM14 の再配置[1]

オルタネート機能	TIM14_REMAP = 0	TIM14_REMAP = 1
TIM14_CH1	PA7	PF9

1. *セクション 8.4.7 : オルタネート機能の再配置とデバッグ入出力設定レジスタ 2（AFIO_MAPR2）*のオルタネート機能の再配置とデバッグ入出力設定レジスタを参照してください。

8.3.8 USART オルタネート機能の再配置

*オルタネート機能の再配置とデバッグ入出力設定レジスタ（AFIO_MAPR）*を参照してください。

表51. USART3 の再配置

オルタネート機能	USART3_REMAP[1:0] = “00”（再配置なし）	USART3_REMAP[1:0] = “01”（部分的な再配置）[1]	USART3_REMAP[1:0] = “11”（完全な再配置）[2]
USART3_TX	PB10	PC10	PD8
USART3_RX	PB11	PC11	PD9
USART3_CK	PB12	PC12	PD10
USART3_CTS	PB13		PD11
USART3_RTS	PB14		PD12

1. 再配置は、64 ピン、100 ピン、および 144 ピンのパッケージでのみ可能です。
2. 再配置は、100 ピンと 144 ピンのパッケージでのみ可能です。

表52. USART2 の再配置

オルタネート機能	USART2_REMAP = 0	USART2_REMAP = 1[1]
USART2_CTS	PA0	PD3
USART2_RTS	PA1	PD4
USART2_TX	PA2	PD5
USART2_RX	PA3	PD6
USART2_CK	PA4	PD7

1. 再配置は、100 ピンと 144 ピンのパッケージでのみ可能です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表53. USART1 の再配置

オルタネート機能	USART1_REMAP = 0	USART1_REMAP = 1
USART1_TX	PA9	PB6
USART1_RX	PA10	PB7

8.3.9 I2C1 オルタネート機能の再配置

*オルタネート機能の再配置とデバッグ入出力設定レジスタ（AFIO_MAPR）*を参照してください。

表54. I2C1 の再配置

オルタネート機能	I2C1_REMAP = 0	I2C1_REMAP = 1[(1)]
I2C1_SCL	PB6	PB8
I2C1_SDA	PB7	PB9

1. 再配置は、36 ピンのパッケージではできません。

8.3.10 SPI1 オルタネート機能の再配置

*オルタネート機能の再配置とデバッグ入出力設定レジスタ（AFIO_MAPR）*を参照してください。

表55. SPI1 の再配置

オルタネート機能	SPI1_REMAP = 0	SPI1_REMAP = 1
SPI1_NSS	PA4	PA15
SPI1_SCK	PA5	PB3
SPI1_MISO	PA6	PB4
SPI1_MOSI	PA7	PB5

8.3.11 SPI3/I2S3 オルタネート機能の再配置

*オルタネート機能の再配置とデバッグ入出力設定レジスタ（AFIO_MAPR）*を参照してください。この再配置は、コネクティビティラインデバイスでのみ可能です。

表56. SPI3/I2S3 の再配置

オルタネート機能	SPI3_REMAP = 0	SPI3_REMAP = 1
SPI3_NSS / I2S3_WS	PA15	PA4
SPI3_SCK / I2S3_CK	PB3	PC10
SPI3_MISO	PB4	PC11
SPI3_MOSI / I2S3_SD	PB5	PC12

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

8.3.12 イーサネットオルタネート機能の再配置

*オルタネート機能の再配置とデバッグ入出力設定レジスタ（AFIO_MAPR）*を参照してください。イーサネットはコネクティビティラインデバイスでのみ使用できます。

表57. ETH の再配置

オルタネート機能	ETH_REMAP = 0	ETH_REMAP = 1
RX_DV-CRS_DV	PA7	PD8
RXD0	PC4	PD9
RXD1	PC5	PD10
RXD2	PB0	PD11
RXD3	PB1	PD12

8.4 AFIO レジスタ

レジスタの説明で使用されている略語については、*セクション 1.1（40 ページ）*を参照してください。

注： ***AFIO_EVCR、AFIO_MAPR、および AFIO_EXTICRX レジスタに読み出し/書き込みを行うには、まず AFIO クロックを有効にしてください。セクション 6.3.7 :APB2 ペリフェラルクロック有効レジスタ（RCC_APB2ENR）を参照してください。***

ペリフェラルレジスタには、ワード（32 ビット）単位でアクセスする必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

8.4.1 イベント制御レジスタ（AFIO_EVCR）

アドレスオフセット：0x00

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								EVOE	PORT[2:0]			PIN[3:0]			
								rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:8 予約済み

ビット 7 **EVOE**：イベント出力イネーブル
ソフトウェアによってセット/クリアされます。セットされているときには、Cortex の EVENTOUT 出力は、PORT[2:0] および PIN[3:0] ビットによって選択された入出力に接続されます。

ビット 6:4 **PORT[2:0]**：ポート選択
ソフトウェアによってセット/クリアされます。Cortex EVENTOUT 信号の出力に使用するポートを選択します。

注： EVENTOUT 信号の出力機能は、ポート PF と PG には適用されません。

000：PA が選択されます
001：PB が選択されます
010：PC が選択されます
011：PD が選択されます
100：PE が選択されます

ビット 3:0 **PIN[3:0]**：ピン選択（x = A .. E）
ソフトウェアによってセット/クリアされます。Cortex EVENTOUT 信号の出力に使用されるピンを選択します。
0000：Px0 が選択されます
0001：Px1 が選択されます
0010：Px2 が選択されます
0011：Px3 が選択されます
...
1111：Px15 が選択されます

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

8.4.2 オルタネート機能の再配置とデバッグ入出力設定レジスタ（AFIO_MAPR）

アドレスオフセット：0x04

リセット値：0x0000 0000

小容量、中容量、大容量、および特大容量デバイスのメモリマップとビット定義：

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み					SWJ_CFG[2:0]			予約済み			ADC2_ETRGREG_REMAP	ADC2_ETRGINJ_REMAP	ADC1_ETRGREG_REMAP	ADC1_ETRGINJ_REMAP	TIM5CH4_IREMAP
					w	w	w				rw	rw	rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PD01_REMAP	CAN_REMAP[1:0]		TIM4_REMAP	TIM3_REMAP[1:0]		TIM2_REMAP[1:0]		TIM1_REMAP[1:0]		USART3_REMAP[1:0]		USART2_REMAP	USART1_REMAP	I2C1_REMAP	SPI1_REMAP
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:27 予約済み

ビット 26:24 **SWJ_CFG[2:0]**：シリアルワイヤ JTAG 設定

これらのビットは書き込み専用です（読み出される値は不定です）。SWJ（シリアルワイヤ JTAG）とトレースオルタネート機能入出力を設定するために使用されます。SWJ は、Cortex デバッグポートへの JTAG または SWD アクセスをサポートします。リセット直後のデフォルト状態は、SWJ オンで、トレースなしです。このため、JTMS/JTCK ピンに特定のシーケンスを送ることによって、JTAG または SW モードを有効にできます。

000：フル SWJ（JTAG-DP + SW-DP）：リセット状態
001：フル SWJ（JTAG-DP + SW-DP）、NJTRST なし
010：JTAG-DP 無効、SW-DP 有効
100：JTAG-DP 無効、SW-DP 無効
その他の組み合わせは無効です。

ビット 23:21 予約済み。

ビット 20 **ADC2_ETRGREG_REMAP**：ADC2 外部トリガレギュラ変換の再配置

ソフトウェアによってセット/クリアされます。このビットは、ADC2 外部トリガレギュラ変換に接続されているトリガ入力を制御します。このビットがリセットされると、ADC2 外部トリガレギュラ変換は EXTI11 に接続されます。このビットがセットされると、ADC2 外部イベントレギュラ変換は TIM8_TRGO に接続されます。

ビット 19 **ADC2_ETRGINJ_REMAP**：ADC2 外部トリガインジェクト変換の再配置

ソフトウェアによってセット/クリアされます。このビットは、ADC2 外部トリガインジェクト変換に接続されているトリガ入力を制御します。このビットがリセットされると、ADC2 外部トリガインジェクト変換は EXTI15 に接続されます。このビットがセットされると、ADC2 外部イベントインジェクト変換は TIM8_Channel4 に接続されます。

ビット 18 **ADC1_ETRGREG_REMAP**：ADC1 外部トリガレギュラ変換の再配置

ソフトウェアによってセット/クリアされます。このビットは、ADC1 外部トリガインジェクト変換に接続されているトリガ入力を制御します。リセットされると、ADC1 外部トリガレギュラ変換は EXTI11 に接続されます。セットされると、ADC1 外部イベントレギュラ変換は TIM8_TRGO に接続されます。

ビット 17 **ADC1_ETRGINJ_REMAP**：ADC1 外部トリガインジェクト変換の再配置

ソフトウェアによってセット/クリアされます。このビットは、ADC1 外部トリガインジェクト変換に接続されているトリガ入力を制御します。リセットされると、ADC1 外部トリガインジェクト変換は EXTI15 に接続されます。セットされると、ADC1 外部イベントインジェクト変換は TIM8_チャネル 4 に接続されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 16 **TIM5CH4_IREMAP**：TIM5 チャネル 4 の内部再配置

ソフトウェアによってセット/クリアされます。このビットは、TIM5_CH4 の内部配置を制御します。リセットされると、タイマ TIM5_CH4 は PA3 に接続されます。セットされると、LSI 内部クロックは較正のために TIM5_CH4 入力に接続されます。

ビット 15 **PD01_REMAP**：OSC_IN/OSC_OUT に対するポート D0/ポートD1 の配置

このビットは、ソフトウェアによってセット/クリアされます。このビットは、PD0 と PD1 の GPIO 機能の配置を制御します。HSE オシレータが使用されないとき（アプリケーションが内部の 8 MHz RC で実行されているとき）には、PD0 と PD1 は OSC_IN と OSC_OUT に配置できます。これは、36 ピン、48 ピン、および 64 ピンのパッケージでのみ可能です（100 ピンと 144 ピンのパッケージでは PD0 と PD1 が使用可能なので、再配置の必要はありません）。

0：PD0 と PD1 は再配置されません。

1：PD0 は OSC_IN に、PD1 は OSC_OUTに再配置されます。

ビット 14:13 **CAN_REMAP[1:0]:**CAN オルタネート機能の再配置

これらのビットは、ソフトウェアによってセット/クリアされます。1 つの CAN インタフェースを備えたデバイスにおいて、オルタネート機能 CAN_RX と CAN_TX の配置を制御します。

00：CAN_RX は PA11 に、CAN_TX は PA12 に配置されます。

01：未使用

10：CAN_RX は PB8 に、CAN_TX は PB9 に配置されます（36 ピンのパッケージでは使用できません）。

11：CAN_RX は PD0 に、CAN_TX は PD1 に配置されます。

ビット 12 **TIM4_REMAP**：TIM4 の再配置

このビットは、ソフトウェアによってセット/クリアされます。GPIO ポートに対する TIM4 チャネル 1～4 の配置を制御します。

0：再配置なし（TIM4_CH1/PB6、TIM4_CH2/PB7、TIM4_CH3/PB8、TIM4_CH4/PB9）

1：完全な再配置（TIM4_CH1/PD12、TIM4_CH2/PD13、TIM4_CH3/PD14、TIM4_CH4/PD15）

注：　PE0 に関して TIM4_ETR は再配置されません。

ビット 11:10 **TIM3_REMAP[1:0]:**TIM3 の再配置

これらのビットは、ソフトウェアによってセット/クリアされます。これらのビットは、GPIO ポートに対するTIM3 チャネル 1～4 の配置を制御します。

00：再配置なし（CH1/PA6、CH2/PA7、CH3/PB0、CH4/PB1）

01：未使用

10：部分的な再配置（CH1/PB4、CH2/PB5、CH3/PB0、CH4/PB1）

11：完全な再配置（CH1/PC6、CH2/PC7、CH3/PC8、CH4/PC9）

注：　PE0 に関して TIM3_ETR は再配置されません。

ビット 9:8 **TIM2_REMAP[1:0]:**TIM2 の再配置

これらのビットは、ソフトウェアによってセット/クリアされます。これらのビットは、GPIO ポートに対する TIM2 チャネル 1～4 と外部トリガ（ETR）の配置を制御します。

00：再配置なし（CH1/ETR/PA0、CH2/PA1、CH3/PA2、CH4/PA3）

01：部分的な再配置（CH1/ETR/PA15、CH2/PB3、CH3/PA2、CH4/PA3）

10：部分的な再配置（CH1/ETR/PA0、CH2/PA1、CH3/PB10、CH4/PB11）

11：完全な再配置（CH1/ETR/PA15、CH2/PB3、CH3/PB10、CH4/PB11）

ビット 7:6 **TIM1_REMAP[1:0]:**TIM1 の再配置

これらのビットは、ソフトウェアによってセット/クリアされます。GPIO ポートに対する TIM2 チャネル 1～4、1N～3N、外部トリガ（ETR）、およびブレーク入力（BKIN）の配置を制御します。

00：再配置なし（ETR/PA12、CH1/PA8、CH2/PA9、CH3/PA10、CH4/PA11、BKIN/PB12、CH1N/PB13、CH2N/PB14、CH3N/PB15）

01：部分的な再配置（ETR/PA12、CH1/PA8、CH2/PA9、CH3/PA10、CH4/PA11、BKIN/PA6、CH1N/PA7、CH2N/PB0、CH3N/PB1）

10：未使用

11：完全な再配置（ETR/PE7、CH1/PE9、CH2/PE11、CH3/PE13、CH4/PE14、BKIN/PE15、CH1N/PE8、CH2N/PE10、CH3N/PE12）

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 5:4 **USART3_REMAP[1:0]**：USART3 の再配置

これらのビットは、ソフトウェアによってセット/クリアされます。GPIO ポートに対する USART3 の CTS、RTS、CK、TX、および RX のオルタネート機能の配置を制御します。

00：再配置なし（TX/PB10、RX/PB11、CK/PB12、CTS/PB13、RTS/PB14）

01：部分的な再配置（TX/PC10、RX/PC11、CK/PC12、CTS/PB13、RTS/PB14）

10：未使用

11：完全な再配置（TX/PD8、RX/PD9、CK/PD10、CTS/PD11、RTS/PD12）

ビット 3 **USART2_REMAP**：USART2 の再配置

このビットは、ソフトウェアによってセット/クリアされます。このビットは、GPIO ポートに対する USART2 の CTS、RTS、CK、TX、および RX のオルタネート機能の配置を制御します。

0：再配置なし（CTS/PA0、RTS/PA1、TX/PA2、RX/PA3、CK/PA4）

1：再配置（CTS/PD3、RTS/PD4、TX/PD5、RX/PD6、CK/PD7）

ビット 2 **USART1_REMAP**：USART1 の再配置

このビットは、ソフトウェアによってセット/クリアされます。GPIO ポートに対する USART1 の TX および RX のオルタネート機能の配置を制御します。

0：再配置なし（TX/PA9、RX/PA10）

1：再配置（TX/PB6、RX/PB7）

ビット 1 **I2C1_REMAP**：I2C1 の再配置

このビットは、ソフトウェアによってセット/クリアされます。このビットは、GPIO ポートに対する I2C1 の SCL および SDA のオルタネート機能の配置を制御します。

0：再配置なし（SCL/PB6、SDA/PB7）

1：再配置（SCL/PB8、SDA/PB9）

ビット 0 **SPI1_REMAP**：SPI1の再配置

このビットは、ソフトウェアによってセット/クリアされます。GPIO ポートに対する SPI1 の NSS、SCK、MISO、MOSI のオルタネート機能の配置を制御します。

0：再配置なし（NSS/PA4、SCK/PA5、MISO/PA6、MOSI/PA7）

1：再配置（NSS/PA15、SCK/PB3、MISO/PB4、MOSI/PB5）

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

コネクティビティラインデバイスのメモリマップとビット定義：

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み	PTP_PPS_REMAP	TIM2ITR1_IREMAP	SPI3_REMAP	予約済み	SWJ_CFG[2:0]			MII_RMII_SEL	CAN2_REMAP	ETH_REMAP	予約済み				TIM5CH4_IREMAP
	rw	rw	rw		w	w	w	rw	rw	rw					rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PD01_REMAP	CAN1_REMAP[1:0]		TIM4_REMAP	TIM3_REMAP[1:0]		TIM2_REMAP[1:0]		TIM1_REMAP[1:0]		USART3_REMAP[1:0]		USART2_REMAP	USART1_REMAP	I2C1_REMAP	SPI1_REMAP
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31　予約済み

ビット 30　**PTP_PPS_REMAP**：イーサネット PTP PPS の再配置

このビットは、ソフトウェアによってセット/クリアされます。イーサネット MAC PPS_PTS を PB5 ピンに出力できるようにします。

0：PTP_PPS は PB5 ピンに出力されません。

1：PTP_PPS は PB5 ピンに出力されます。

注：　このビットは、コネクティビティラインデバイスでのみ使用でき、それ以外の場合は予約済みです。

ビット 29　**TIM2ITR1_IREMAP**：TIM2 内部トリガ 1 の再配置

このビットは、ソフトウェアによってセット/クリアされます。このビットは、TIM2_ITR1 の内部配置を制御します。

0：TIM2_ITR1 を較正のためにイーサネット PTP 出力へ内部的に接続します。

1：USB OTG SOF（フレーム開始）出力を較正のために TIM2_ITR1 へ接続します。

注：　このビットは、コネクティビティラインデバイスでのみ使用でき、それ以外の場合は予約済みです。

ビット 28　**SPI3_REMAP**：SPI3/I2S3 の再配置

このビットは、ソフトウェアによってセット/クリアされます。GPIO ポートに対する SPI3_NSS/I2S3_WS、SPI3_SCK/I2S3_CK、SPI3_MISO、および SPI3_MOSI/I2S3_SD のオルタネート機能の配置を制御します。

0：再配置なし（SPI_NSS-I2S3_WS/PA15、SPI3_SCK-I2S3_CK/PB3、SPI3_MISO/PB4、SPI3_MOSI-I2S3_SD/PB5）

1：再配置（SPI3_NSS-I2S3_WS/PA4、SPI3_SCK-I2S3_CK/PC10、SPI3_MISO/PC11、SPI3_MOSI-I2S3_SD/PC12）

注：　このビットは、コネクティビティラインデバイスでのみ使用でき、それ以外の場合は予約済みです。

ビット 27　予約済み

ビット 26:24　**SWJ_CFG[2:0]**：シリアルワイヤ JTAG 設定

これらのビットは書き込み専用です（読み出される値は不定です）。SWJ（シリアルワイヤ JTAG）とトレースオルタネート機能入出力を設定するために使用されます。SWJ は、Cortex デバッグポートへの JTAG または SWD アクセスをサポートします。リセット直後のデフォルト状態は、SWJ オンで、トレースなしです。このため、JTMS/JTCK ピンに特定のシーケンスを送ることによって、JTAG または SW モードを有効にできます。

000：フル SWJ（JTAG-DP + SW-DP）：リセット状態

001：フル SWJ（JTAG-DP + SW-DP）、NJTRST なし

010：JTAG-DP 無効、SW-DP 有効

100：JTAG-DP 無効、SW-DP 無効

その他の組み合わせは無効です。

ビット 23　**MII_RMII_SEL**：MII または RMII の選択

このビットは、ソフトウェアによってセット/クリアされます。外部 MII または RMII PHY とともに使用するイーサネット MAC を内部的に設定します。

0：MII PHY と接続するイーサネット MAC を設定します。

1：RMII PHY と接続するイーサネット MAC を設定します。

注：　このビットは、コネクティビティラインデバイスでのみ使用でき、それ以外の場合は予約済みです。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 22 **CAN2_REMAP**：CAN2 入出力の再配置

このビットは、ソフトウェアによってセット/クリアされます。CAN2_TX ピンと CAN2_RX ピンを制御します。

0：再配置なし（CAN2_RX/PB12、CAN2_TX/PB13）

1：再配置（CAN2_RX/PB5、CAN2_TX/PB6）

注：　このビットは、コネクティビティラインデバイスでのみ使用でき、それ以外の場合は予約済みです。

ビット 21 **ETH_REMAP**：**イーサネット** MAC 入出力の再配置

このビットは、ソフトウェアによってセット/クリアされます。PHY との イーサネット MAC 接続を制御します。

0：再配置なし（RX_DV-CRS_DV/PA7、RXD0/PC4、RXD1/PC5、RXD2/PB0、RXD3/PB1）

1：再配置（RX_DV-CRS_DV/PD8、RXD0/PD9、RXD1/PD10、RXD2/PD11、RXD3/PD12）

注：　このビットは、コネクティビティラインデバイスでのみ使用でき、それ以外の場合は予約済みです。

ビット 20:17 予約済み

ビット 16 **TIM5CH4_IREMAP**：TIM5 チャネル 4 の内部再配置

ソフトウェアによってセット/クリアされます。このビットは、TIM5_CH4 の内部配置を制御します。リセットされると、タイマ TIM5_CH4 は PA3 に接続されます。セットされると、LSI 内部クロックは較正のために TIM5_CH4 入力に接続されます。

ビット 15 **PD01_REMAP**：OSC_IN/OSC_OUT に対するポート D0/ポートD1 の配置

このビットは、ソフトウェアによってセット/クリアされます。このビットは、PD0 と PD1 の GPIO 機能の配置を制御します。HSE オシレータが使用されないとき（アプリケーションが内部の 8 MHz RC で実行されているとき）には、PD0 と PD1 は OSC_IN と OSC_OUT に配置できます。これは、36 ピン、48 ピン、および 64 ピンのパッケージでのみ可能です（100 ピンおよび 144ピンのパッケージでは PD0 と PD1 が使用可能なため、再配置の必要はありません）。

0：PD0 と PD1 は再配置されません。

1：PD0 は OSC_IN に、PD1 は OSC_OUTに再配置されます。

ビット 14:13 **CAN1_REMAP[1:0]**：CAN*1* オルタネート機能の再配置

これらのビットは、ソフトウェアによってセット/クリアされます。オルタネート機能 CAN1_RX と CAN1_TX の配置を制御します。

00：CAN1_RX が PA11 に、CAN1_TX が PA12 に配置されます。

01：未使用

10：CAN1_RX が PB8 に、CAN1_TX が PB9 に配置されます（36 ピンのパッケージでは使用できません）。

11：CAN1_RX が PD0 に、CAN1_TX が PD1 に配置されます。

ビット 12 **TIM4_REMAP**：TIM4 の再配置

このビットは、ソフトウェアによってセット/クリアされます。GPIO ポートに対する TIM4 チャネル 1～4 の配置を制御します。

0：再配置なし（TIM4_CH1/PB6、TIM4_CH2/PB7、TIM4_CH3/PB8、TIM4_CH4/PB9）

1：完全な再配置（TIM4_CH1/PD12、TIM4_CH2/PD13、TIM4_CH3/PD14、TIM4_CH4/PD15）

注：　PE0 に関して TIM4_ETR は再配置されません。

ビット 11:10 **TIM3_REMAP[1:0]:**TIM3 の再配置

これらのビットは、ソフトウェアによってセット/クリアされます。これらのビットは、GPIO ポートに対するTIM3 チャネル 1～4 の配置を制御します。

00：再配置なし（CH1/PA6、CH2/PA7、CH3/PB0、CH4/PB1）

01：未使用

10：部分的な再配置（CH1/PB4、CH2/PB5、CH3/PB0、CH4/PB1）

11：完全な再配置（CH1/PC6、CH2/PC7、CH3/PC8、CH4/PC9）

注：　PE0 に関して TIM3_ETR は再配置されません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 9:8 **TIM2_REMAP[1:0]:**TIM2 の再配置

これらのビットは、ソフトウェアによってセット/クリアされます。これらのビットは、GPIO ポートに対する TIM2 チャネル 1～4 と外部トリガ（ETR）の配置を制御します。

00：再配置なし（CH1/ETR/PA0、CH2/PA1、CH3/PA2、CH4/PA3）

01：部分的な再配置（CH1/ETR/PA15、CH2/PB3、CH3/PA2、CH4/PA3）

10：部分的な再配置（CH1/ETR/PA0、CH2/PA1、CH3/PB10、CH4/PB11）

11：完全な再配置（CH1/ETR/PA15、CH2/PB3、CH3/PB10、CH4/PB11）

ビット 7:6 **TIM1_REMAP[1:0]:**TIM1 の再配置

これらのビットは、ソフトウェアによってセット/クリアされます。GPIO ポートに対する TIM2 チャネル 1～4、1N～3N、外部トリガ（ETR）、およびブレーク入力（BKIN）の配置を制御します。

00：再配置なし（ETR/PA12、CH1/PA8、CH2/PA9、CH3/PA10、CH4/PA11、BKIN/PB12、CH1N/PB13、CH2N/PB14、CH3N/PB15）

01：部分的な再配置（ETR/PA12、CH1/PA8、CH2/PA9、CH3/PA10、CH4/PA11、BKIN/PA6、CH1N/PA7、CH2N/PB0、CH3N/PB1）

10：未使用

11：完全な再配置（ETR/PE7、CH1/PE9、CH2/PE11、CH3/PE13、CH4/PE14、BKIN/PE15、CH1N/PE8、CH2N/PE10、CH3N/PE12）

ビット 5:4 **USART3_REMAP[1:0]**：USART3 の再配置

これらのビットは、ソフトウェアによってセット/クリアされます。GPIO ポートに対する USART3 の CTS、RTS、CK、TX、および RX のオルタネート機能の配置を制御します。

00：再配置なし（TX/PB10、RX/PB11、CK/PB12、CTS/PB13、RTS/PB14）

01：部分的な再配置（TX/PC10、RX/PC11、CK/PC12、CTS/PB13、RTS/PB14）

10：未使用

11：完全な再配置（TX/PD8、RX/PD9、CK/PD10、CTS/PD11、RTS/PD12）

ビット 3 **USART2_REMAP**：USART2 の再配置

このビットは、ソフトウェアによってセット/クリアされます。このビットは、GPIO ポートに対する USART2 の CTS、RTS、CK、TX、および RX のオルタネート機能の配置を制御します。

0：再配置なし（CTS/PA0、RTS/PA1、TX/PA2、RX/PA3、CK/PA4）

1：再配置（CTS/PD3、RTS/PD4、TX/PD5、RX/PD6、CK/PD7）

ビット 2 **USART1_REMAP**：USART1 の再配置

このビットは、ソフトウェアによってセット/クリアされます。GPIO ポートに対する USART1 の TX および RX のオルタネート機能の配置を制御します。

0：再配置なし（TX/PA9、RX/PA10）

1：再配置（TX/PB6、RX/PB7）

ビット 1 **I2C1_REMAP**：I2C1 の再配置

このビットは、ソフトウェアによってセット/クリアされます。このビットは、GPIO ポートに対する I2C1 の SCL および SDA のオルタネート機能の配置を制御します。

0：再配置なし（SCL/PB6、SDA/PB7）

1：再配置（SCL/PB8、SDA/PB9）

ビット 0 **SPI1_REMAP**：SPI1の再配置

このビットは、ソフトウェアによってセット/クリアされます。GPIO ポートに対する SPI1 の NSS、SCK、MISO、MOSI のオルタネート機能の配置を制御します。

0：再配置なし（NSS/PA4、SCK/PA5、MISO/PA6、MOSI/PA7）

1：再配置（NSS/PA15、SCK/PB3、MISO/PB4、MOSI/PB5）

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

8.4.3 外部割り込み設定レジスタ 1（AFIO_EXTICR1）

アドレスオフセット：0x08

リセット値：0x0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EXTI3[3:0]				EXTI2[3:0]				EXTI1[3:0]				EXTI0[3:0]			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:16 予約済み

ビット 15:0 **EXTIx[3:0]**：EXTI x 設定（x= 0～3）

これらのビットは、EXTIx 外部割り込みのソース入力を選択するために、ソフトウェアによって書き込まれます。*セクション 9.2.5：外部割り込み/イベントラインのマッピング（192 ページ）*を参照してください。

0000：PA[x] ピン
0001：PB[x] ピン
0010：PC[x] ピン
0011：PD[x] ピン
0100：PE[x] ピン
0101：PF[x] ピン
0110：PG[x] ピン

8.4.4 外部割り込み設定レジスタ 2（AFIO_EXTICR2）

アドレスオフセット：0x0C

リセット値：0x0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EXTI7[3:0]				EXTI6[3:0]				EXTI5[3:0]				EXTI4[3:0]			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:16 予約済み

ビット 15:0 **EXTIx[3:0]**：EXTI x 設定（x= 4～7）

これらのビットは、EXTIx 外部割り込みのソース入力を選択するために、ソフトウェアによって書き込まれます。

0000：PA[x] ピン
0001：PB[x] ピン
0010：PC[x] ピン
0011：PD[x] ピン
0100：PE[x] ピン
0101：PF[x] ピン
0110：PG[x] ピン

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

8.4.5 外部割り込み設定レジスタ 3（AFIO_EXTICR3）

アドレスオフセット：0x10

リセット値：0x0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EXTI11[3:0]				EXTI10[3:0]				EXTI9[3:0]				EXTI8[3:0]			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:16　予約済み

ビット 15:0　**EXTIx[3:0]**：EXTI x 設定（x= 8～11）
これらのビットは、EXTIx 外部割り込みのソース入力を選択するために、ソフトウェアによって書き込まれます。
0000：PA[x] ピン
0001：PB[x] ピン
0010：PC[x] ピン
0011：PD[x] ピン
0100：PE[x] ピン
0101：PF[x] ピン
0110：PG[x] ピン

8.4.6 外部割り込み設定レジスタ 4（AFIO_EXTICR4）

アドレスオフセット：0x14

リセット値：0x0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EXTI15[3:0]				EXTI14[3:0]				EXTI13[3:0]				EXTI12[3:0]			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:16　予約済み

ビット 15:0　**EXTIx[3:0]**：EXTI x 設定（x= 12～15）
これらのビットは、EXTIx 外部割り込みのソース入力を選択するために、ソフトウェアによって書き込まれます。
0000：PA[x] ピン
0001：PB[x] ピン
0010：PC[x] ピン
0011：PD[x] ピン
0100：PE[x] ピン
0101：PF[x] ピン
0110：PG[x] ピン

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

8.4.7 オルタネート機能の再配置とデバッグ入出力設定レジスタ 2（AFIO_MAPR2）

アドレスオフセット：0x1C

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み					FSMC_NADV	TIM14_REMAP	TIM13_REMAP	TIM11_REMAP	TIM10_REMAP	TIM9_REMAP	予約済み				
					rw	rw	rw	rw	rw	rw					

ビット 31:11　予約済み。

ビット 10　**FSMC_NADV**：NADV の接続/切断
このビットは、ソフトウェアによってセット/クリアされます。オプションの FSMC_NADV 信号の使用を制御します。
0：NADV 信号は出力に接続されます（デフォルト）。
1：NADV 信号は接続*されません*。入出力ピンは別のペリフェラルで使用できます。

ビット 9　**TIM14_REMAP**：TIM14 の再配置
このビットは、ソフトウェアによってセット/クリアされます。このビットは、GPIO ポートに対する TIM14_CH1 オルタネート機能の配置を制御します。
0：再配置なし（PA7）
1：再配置（PF9）

ビット 8　**TIM13_REMAP**：TIM13 の再配置
このビットは、ソフトウェアによってセット/クリアされます。GPIO ポートに対する TIM13_CH1 オルタネート機能の配置を制御します。
0：再配置なし（PA6）
1：再配置（PF8）

ビット 7　**TIM11_REMAP**：TIM11 の再配置
このビットは、ソフトウェアによってセット/クリアされます。このビットは、GPIO ポートに対する TIM11_CH1 オルタネート機能の配置を制御します。
0：再配置なし（PB9）
1：再配置（PF7）

ビット 6　**TIM10_REMAP**：TIM10 の再配置
このビットは、ソフトウェアによってセット/クリアされます。GPIO ポートに対する TIM10_CH1 オルタネート機能の配置を制御します。
0：再配置なし（PB8）
1：再配置（PF6）

ビット 5　**TIM9_REMAP**：TIM9 の再配置
このビットは、ソフトウェアによってセット/クリアされます。GPIO ポートに対する TIM9_CH1 および TIM9_CH2 オルタネート機能の配置を制御します。
0：再配置なし（TIM9_CH1/PA2 および TIM9_CH2/PA3）
1：再配置（TIM9_CH1/PE5 および TIM9_CH2/PE6）

ビット 4:0　予約済み。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

8.5 GPIO および AFIO レジスタマップ

レジスタ境界アドレスについては、*表 1（45ページ）* を参照してください。次の表に、GPIO と AFIO のレジスタマップとリセット値を示します。

表58. GPIO のレジスタマップとリセット値

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	GPIOx_CRL	CNF7 [1:0]		MODE7 [1:0]		CNF6 [1:0]		MODE6 [1:0]		CNF5 [1:0]		MODE5 [1:0]		CNF4 [1:0]		MODE4 [1:0]		CNF3 [1:0]		MODE3 [1:0]		CNF2 [1:0]		MODE2 [1:0]		CNF1 [1:0]		MODE1 [1:0]		CNF0 [1:0]		MODE0 [1:0]	
	リセット値	0	1	0	0	0	1	0	0	0	1	0	0	0	1	0	0	0	1	0	0	0	1	0	0	0	1	0	0	0	1	0	0
0x04	GPIOx_CRH	CNF 15 [1:0]		MODE1 5 [1:0]		CNF 14 [1:0]		MODE1 4 [1:0]		CNF 13 [1:0]		MODE1 3 [1:0]		CNF 12 [1:0]		MODE1 2 [1:0]		CNF 11 [1:0]		MODE1 1 [1:0]		CNF 10 [1:0]		MODE1 0 [1:0]		CNF 9 [1:0]		MODE9 [1:0]		CNF 8 [1:0]		MODE8 [1:0]	
	リセット値	0	1	0	0	0	1	0	0	0	1	0	0	0	1	0	0	0	1	0	0	0	1	0	0	0	1	0	0	0	1	0	0
0x08	GPIOx_IDR	予約済み																IDR[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0C	GPIOx_ODR	予約済み																ODR[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x10	GPIOx_BSRR	BR[15:0]																BSR[15:0]															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x14	GPIOx_BRR	予約済み																BR[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x18	GPIOx_LCKR	予約済み															LCKK	LCK[15:0]															
	リセット値																0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表59. AFIO レジスタマップとリセット値

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	AFIO_EVCR	予約済み																									EVOE	PORT[2:0]				PIN[3:0]		
	リセット値																										0	0	0	0	0	0	0
0x04	AFIO_MAPR 小容量、中容量、大容量、および特大容量デバイス	予約済み					SWJ_CFG[2]	SWJ_CFG[1]	SWJ_CFG[0]	予約済み			ADC2_ETRGREG_REMAP	ADC2_ETRGINJ_REMAP	ADC1_ETRGREG_REMAP	ADC1_ETRGINJ_REMAP	TIM5CH4_IREMAP	PD01_REMAP	CAN1_REMAP[1]	CAN1_REMAP[0]	TIM4_REMPAP	TIM3_REMPAP[1]	TIM3_REMPAP[0]	TIM2_REMPAP[1]	TIM2_REMPAP[0]	TIM1_REMPAP[1]	TIM1_REMPAP[0]	USART3_REMAP[1]	USART3_REMAP[0]	USART2_REMAP	USART1_REMAP	I2C1_REMAP	SPI1_REMAP
	リセット値						0	0	0				0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x04	AFIO_MAPR コネクティビティラインデバイス	予約済み	PTP_PPS_REMAP	TIM2ITR1_IREMAP	SPI3_REMAP	予約済み	SWJ_CFG[2]	SWJ_CFG[1]	SWJ_CFG[0]	MII_RMII_SEL	CAN2_REMAP	ETH_REMAP	予約済み				TIM5CH4_IREMAP	PD01_REMAP	CAN1_REMAP[1]	CAN1_REMAP[0]	TIM4_REMPAP	TIM3_REMPAP[1]	TIM3_REMPAP[0]	TIM2_REMPAP[1]	TIM2_REMPAP[0]	TIM1_REMPAP[1]	TIM1_REMPAP[0]	USART3_REMAP[1]	USART3_REMAP[0]	USART2_REMAP	USART1_REMAP	I2C1_REMAP	SPI1_REMAP
	リセット値		0	0	0		0	0	0	0	0	0					0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x08	AFIO_EXTICR1	予約済み																EXTI3[3:0]				EXTI2[3:0]				EXTI1[3:0]				EXTI0[3:0]			
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0C	AFIO_EXTICR2	予約済み																EXTI7[3:0]				EXTI6[3:0]				EXTI5[3:0]				EXTI4[3:0]			
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表59. AFIO レジスタマップとリセット値（続き）

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x10	AFIO_EXTICR3	予約済み																EXTI11[3:0]				EXTI10[3:0]				EXTI9[3:0]				EXTI8[3:0]			
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x14	AFIO_EXTICR4	予約済み																EXTI15[3:0]				EXTI14[3:0]				EXTI13[3:0]				EXTI12[3:0]			
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x1C	AFIO_MAPR2	予約済み																					FSMC_NADV	TIM14_REMAP	TIM13_REMAP	TIM11_REMAP	TIM10_REMAP	TIM9_REMAP		予約済み			
	リセット値																						0	0	0	0	0	0					

レジスタ境界アドレスについては、*表 1（45ページ）*を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

9 割り込みとイベント

小容量デバイスは、フラッシュメモリ容量が 16～32 KB の STM32F101xx、STM32F102xx、および STM32F103xx マイクロコントローラです。

中容量デバイスは、フラッシュメモリ容量が 64～128 KB の STM32F101xx、STM32F102xx、および STM32F103xx マイクロコントローラです。

大容量デバイスは、フラッシュメモリ容量が 256～512 KB の STM32F101xx および STM32F103xx マイクロコントローラです。

特大容量デバイスは、フラッシュメモリ容量が 768 KB～1 MB の STM32F101xx および STM32F103xx マイクロコントローラです。

コネクティビティラインデバイスは、STM32F105xx および STM32F107xx マイクロコントローラです。

このセクションは、別段の指定がない限り、STM32F10xxx ファミリ全体に適用されます。

9.1 ネスト化されたベクタ割り込みコントローラ（NVIC）

主な機能

- 68 のマスク可能な割り込みチャネル（Cortex™-M3 の 16 個の割り込みラインは数に含まれていません）。
- 16 のプログラム可能な優先レベル（4 ビットの割り込み優先順位を使用）
- 遅延時間の少ない例外および割り込み処理
- 電源管理制御
- システム制御レジスタの実装

NVIC とプロセッサコアのインタフェースが密結合され、割り込み処理の遅延時間を小さくし、遅れて到着した割り込みを効率的に処理できます。

コア例外を含むすべての割り込みは、NVIC によって管理されます。例外と NVIC プログラミングの詳細については、*STM32F10xxx Cortex-M3 プログラミングマニュアル*を参照してください（*関連ドキュメント（1 ページ）*を参照）。

9.1.1 SysTick 較正値レジスタ

SysTick 較正値は 9000 に設定され、SysTick クロックを 9 MHz（最大 HCLK/8）に設定した状態で 1 ms という基準タイムベースを与えます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

9.1.2 割り込みベクタと例外ベクタ

表 60 と *表 62* は、それぞれ、コネクティビティラインとその他の STM32F10xxx デバイスのベクタテーブルです。

表60. コネクティビティラインデバイスのベクタテーブル

位置	優先度	優先種別	項目（略称）	説明	アドレス
	-	-	-	予約済み	0x0000_0000
	-3	固定	リセット	リセット	0x0000_0004
	-2	固定	NMI	ノンマスカブル割り込み。RCC クロックセキュリティシステム（CSS）は NMI ベクタにリンクされます。	0x0000_0008
	-1	固定	HardFault	すべての異常	0x0000_000C
	0	設定可能	MemManage	メモリ管理	0x0000_0010
	1	設定可能	BusFault	プリフェッチ異常、メモリアクセス異常	0x0000_0014
	2	設定可能	UsageFault	未定義命令または無効状態	0x0000_0018
	-	-	-	予約済み	0x0000_001C - 0x0000_002B
	3	設定可能	SVCall	SWI 命令によるシステムサービスコール	0x0000_002C
	4	設定可能	デバッグモニタ	デバッグモニタ	0x0000_0030
	-	-	-	予約済み	0x0000_0034
	5	設定可能	PendSV	ペンディング可能なシステムサービスリクエスト	0x0000_0038
	6	設定可能	SysTick	システムティックタイマ	0x0000_003C
0	7	設定可能	WWDG	ウィンドウ型ウォッチドッグ割り込み	0x0000_0040
1	8	設定可能	PVD	PVD 検出割り込み（EXTI ライン経由）	0x0000_0044
2	9	設定可能	TAMPER	タンパ割り込み	0x0000_0048
3	10	設定可能	RTC	RTC グローバル割り込み	0x0000_004C
4	11	設定可能	FLASH	フラッシュグローバル割り込み	0x0000_0050
5	12	設定可能	RCC	RCC グローバル割り込み	0x0000_0054
6	13	設定可能	EXTI0	EXTI ライン 0 割り込み	0x0000_0058
7	14	設定可能	EXTI1	EXTI ライン 1 割り込み	0x0000_005C
8	15	設定可能	EXTI2	EXTI ライン 2 割り込み	0x0000_0060
9	16	設定可能	EXTI3	EXTI ライン 3 割り込み	0x0000_0064
10	17	設定可能	EXTI4	EXTI ライン 4 割り込み	0x0000_0068
11	18	設定可能	DMA1_Channel1	DMA1 チャネル 1 グローバル割り込み	0x0000_006C
12	19	設定可能	DMA1_Channel2	DMA1 チャネル 2 グローバル割り込み	0x0000_0070
13	20	設定可能	DMA1_Channel3	DMA1 チャネル 3 グローバル割り込み	0x0000_0074
14	21	設定可能	DMA1_Channel4	DMA1 チャネル 4 グローバル割り込み	0x0000_0078
15	22	設定可能	DMA1_Channel5	DMA1 チャネル 5 グローバル割り込み	0x0000_007C
16	23	設定可能	DMA1_Channel6	DMA1 チャネル 6 グローバル割り込み	0x0000_0080
17	24	設定可能	DMA1_Channel7	DMA1 チャネル 7 グローバル割り込み	0x0000_0084

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表60. コネクティビティラインデバイスのベクタテーブル（続き）

位置	優先度	優先種別	項目（略称）	説明	アドレス
18	25	設定可能	ADC1_2	ADC1 および ADC2 グローバル割り込み	0x0000_0088
19	26	設定可能	CAN1_TX	CAN1 TX 割り込み	0x0000_008C
20	27	設定可能	CAN1_RX0	CAN1 RX0 割り込み	0x0000_0090
21	28	設定可能	CAN1_RX1	CAN1 RX1 割り込み	0x0000_0094
22	29	設定可能	CAN1_SCE	CAN1 SCE 割り込み	0x0000_0098
23	30	設定可能	EXTI9_5	EXTI ライン [9:5] 割り込み	0x0000_009C
24	31	設定可能	TIM1_BRK	TIM1 ブレーク割り込み	0x0000_00A0
25	32	設定可能	TIM1_UP	TIM1 更新割り込み	0x0000_00A4
26	33	設定可能	TIM1_TRG_COM	TIM1 トリガおよび転流割り込み	0x0000_00A8
27	34	設定可能	TIM1_CC	TIM1 キャプチャ /比較割り込み	0x0000_00AC
28	35	設定可能	TIM2	TIM2 グローバル割り込み	0x0000_00B0
29	36	設定可能	TIM3	TIM3 グローバル割り込み	0x0000_00B4
30	37	設定可能	TIM4	TIM4 グローバル割り込み	0x0000_00B8
31	38	設定可能	I2C1_EV	I^2C1 イベント割り込み	0x0000_00BC
32	39	設定可能	I2C1_ER	I^2C1 エラー割り込み	0x0000_00C0
33	40	設定可能	I2C2_EV	I^2C2 イベント割り込み	0x0000_00C4
34	41	設定可能	I2C2_ER	I^2C2 エラー割り込み	0x0000_00C8
35	42	設定可能	SPI1	SPI1 グローバル割り込み	0x0000_00CC
36	43	設定可能	SPI2	SPI2 グローバル割り込み	0x0000_00D0
37	44	設定可能	USART1	USART1 グローバル割り込み	0x0000_00D4
38	45	設定可能	USART2	USART2 グローバル割り込み	0x0000_00D8
39	46	設定可能	USART3	USART3 グローバル割り込み	0x0000_00DC
40	47	設定可能	EXTI15_10	EXTI ライン [15:10] 割り込み	0x0000_00E0
41	48	設定可能	RTCAlarm	RTC アラーム割り込み（EXTI ライン経由）	0x0000_00E4
42	49	設定可能	OTG_FS_WKUP	USB On-The-Go FS ウェイクアップ割り込み（EXTI ライン経由）	0x0000_00E8
-	-	-	-	予約済み	0x0000_00EC - 0x0000_0104
50	57	設定可能	TIM5	TIM5 グローバル割り込み	0x0000_0108
51	58	設定可能	SPI3	SPI3 グローバル割り込み	0x0000_010C
52	59	設定可能	UART4	UART4 グローバル割り込み	0x0000_0110
53	60	設定可能	UART5	UART5 グローバル割り込み	0x0000_0114
54	61	設定可能	TIM6	TIM6 グローバル割り込み	0x0000_0118
55	62	設定可能	TIM7	TIM7 グローバル割り込み	0x0000_011C
56	63	設定可能	DMA2_Channel1	DMA2 チャネル 1 グローバル割り込み	0x0000_0120
57	64	設定可能	DMA2_Channel2	DMA2 チャネル 2 グローバル割り込み	0x0000_0124
58	65	設定可能	DMA2_Channel3	DMA2 チャネル 3 グローバル割り込み	0x0000_0128

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表60. コネクティビティラインデバイスのベクタテーブル（続き）

位置	優先度	優先種別	項目（略称）	説明	アドレス
59	66	設定可能	DMA2_Channel4	DMA2 チャネル 4 グローバル割り込み	0x0000_012C
60	67	設定可能	DMA2_Channel5	DMA2 チャネル 5 グローバル割り込み	0x0000_0130
61	68	設定可能	ETH	イーサネットグローバル割り込み	0x0000_0134
62	69	設定可能	ETH_WKUP	イーサネットウェイクアップ割り込み（EXTI ライン経由）	0x0000_0138
63	70	設定可能	CAN2_TX	CAN2 TX 割り込み	0x0000_013C
64	71	設定可能	CAN2_RX0	CAN2 RX0 割り込み	0x0000_0140
65	72	設定可能	CAN2_RX1	CAN2 RX1 割り込み	0x0000_0144
66	73	設定可能	CAN2_SCE	CAN2 SCE 割り込み	0x0000_0148
67	74	設定可能	OTG_FS	USB On The Go FS グローバル割り込み	0x0000_014C

表61. 特大容量デバイスのベクタテーブル

位置	優先度	優先種別	項目（略称）	説明	アドレス
	-	-	-	予約済み	0x0000_0000
	-3	固定	リセット	リセット	0x0000_0004
	-2	固定	NMI	ノンマスカブル割り込み。RCC クロックセキュリティシステム（CSS）は NMI ベクタにリンクされます。	0x0000_0008
	-1	固定	HardFault	すべての異常	0x0000_000C
	0	設定可能	MemManage	メモリ管理	0x0000_0010
	1	設定可能	BusFault	プリフェッチ異常、メモリアクセス異常	0x0000_0014
	2	設定可能	UsageFault	未定義命令または無効状態	0x0000_0018
	-	-	-	予約済み	0x0000_001C - 0x0000_002B
	3	設定可能	SVCall	SWI 命令によるシステムサービスコール	0x0000_002C
	4	設定可能	デバッグモニタ	デバッグモニタ	0x0000_0030
	-	-	-	予約済み	0x0000_0034
	5	設定可能	PendSV	ペンディング可能なシステムサービスリクエスト	0x0000_0038
	6	設定可能	SysTick	Systick タイマ	0x0000_003C
0	7	設定可能	WWDG	ウィンドウ型ウォッチドッグ割り込み	0x0000_0040
1	8	設定可能	PVD	PVD 検出割り込み（EXTI ライン経由）	0x0000_0044
2	9	設定可能	TAMPER	タンパ割り込み	0x0000_0048
3	10	設定可能	RTC	RTC グローバル割り込み	0x0000_004C
4	11	設定可能	FLASH	フラッシュグローバル割り込み	0x0000_0050
5	12	設定可能	RCC	RCC グローバル割り込み	0x0000_0054
6	13	設定可能	EXTI0	EXTI ライン 0 割り込み	0x0000_0058
7	14	設定可能	EXTI1	EXTI ライン 1 割り込み	0x0000_005C
8	15	設定可能	EXTI2	EXTI ライン 2 割り込み	0x0000_0060

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表61. 特大容量デバイスのベクタテーブル（続き）

位置	優先度	優先種別	項目（略称）	説明	アドレス
9	16	設定可能	EXTI3	EXTI ライン 3 割り込み	0x0000_0064
10	17	設定可能	EXTI4	EXTI ライン 4 割り込み	0x0000_0068
11	18	設定可能	DMA1_Channel1	DMA1 チャネル 1 グローバル割り込み	0x0000_006C
12	19	設定可能	DMA1_Channel2	DMA1 チャネル 2 グローバル割り込み	0x0000_0070
13	20	設定可能	DMA1_Channel3	DMA1 チャネル 3 グローバル割り込み	0x0000_0074
14	21	設定可能	DMA1_Channel4	DMA1 チャネル 4 グローバル割り込み	0x0000_0078
15	22	設定可能	DMA1_Channel5	DMA1 チャネル 5 グローバル割り込み	0x0000_007C
16	23	設定可能	DMA1_Channel6	DMA1 チャネル 6 グローバル割り込み	0x0000_0080
17	24	設定可能	DMA1_Channel7	DMA1 チャネル 7 グローバル割り込み	0x0000_0084
18	25	設定可能	ADC1_2	ADC1 および ADC2 グローバル割り込み	0x0000_0088
19	26	設定可能	USB_HP_CAN_TX	USB 優先割り込みまたは CAN TX 割り込み	0x0000_008C
20	27	設定可能	USB_LP_CAN_RX0	USB 非優先割り込みまたは CAN RX0 割り込み	0x0000_0090
21	28	設定可能	CAN_RX1	CAN RX1 割り込み	0x0000_0094
22	29	設定可能	CAN_SCE	CAN SCE 割り込み	0x0000_0098
23	30	設定可能	EXTI9_5	EXTI ライン [9:5] 割り込み	0x0000_009C
24	31	設定可能	TIM1_BRK_TIM9	TIM1 ブレーク割り込みおよび TIM9 グローバル割り込み	0x0000_00A0
25	32	設定可能	TIM1_UP_TIM10	TIM1 更新割り込みおよび TIM10 グローバル割り込み	0x0000_00A4
26	33	設定可能	TIM1_TRG_COM_TIM11	TIM1 トリガおよび転流割り込みおよび TIM11 グローバル割り込み	0x0000_00A8
27	34	設定可能	TIM1_CC	TIM1 キャプチャ /比較割り込み	0x0000_00AC
28	35	設定可能	TIM2	TIM2 グローバル割り込み	0x0000_00B0
29	36	設定可能	TIM3	TIM3 グローバル割り込み	0x0000_00B4
30	37	設定可能	TIM4	TIM4 グローバル割り込み	0x0000_00B8
31	38	設定可能	I2C1_EV	I2C1 イベント割り込み	0x0000_00BC
32	39	設定可能	I2C1_ER	I2C1 エラー割り込み	0x0000_00C0
33	40	設定可能	I2C2_EV	I2C2 イベント割り込み	0x0000_00C4
34	41	設定可能	I2C2_ER	I2C2 エラー割り込み	0x0000_00C8
35	42	設定可能	SPI1	SPI1 グローバル割り込み	0x0000_00CC
36	43	設定可能	SPI2	SPI2 グローバル割り込み	0x0000_00D0
37	44	設定可能	USART1	USART1 グローバル割り込み	0x0000_00D4
38	45	設定可能	USART2	USART2 グローバル割り込み	0x0000_00D8
39	46	設定可能	USART3	USART3 グローバル割り込み	0x0000_00DC
40	47	設定可能	EXTI15_10	EXTI ライン [15:10] 割り込み	0x0000_00E0
41	48	設定可能	RTCAlarm	RTC アラーム割り込み（EXTI ライン経由）	0x0000_00E4

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表61. 特大容量デバイスのベクタテーブル（続き）

位置	優先度	優先種別	項目（略称）	説明	アドレス
42	49	設定可能	USBWakeUp	サスペンドからの USB ウェイクアップ割り込み（EXTI ライン経由）	0x0000_00E8
43	50	設定可能	TIM8_BRK_TIM12	TIM8 ブレーク割り込みおよび TIM12 グローバル割り込み	0x0000_00EC
44	51	設定可能	TIM8_UP_TIM13	TIM8 更新割り込みおよび TIM13 グローバル割り込み	0x0000_00F0
45	52	設定可能	TIM8_TRG_COM_TIM14	TIM8 トリガおよび転流割り込みおよび TIM14 グローバル割り込み	0x0000_00F4
46	53	設定可能	TIM8_CC	TIM8 キャプチャ /比較割り込み	0x0000_00F8
47	54	設定可能	ADC3	ADC3 グローバル割り込み	0x0000_00FC
48	55	設定可能	FSMC	FSMC グローバル割り込み	0x0000_0100
49	56	設定可能	SDIO	SDIO グローバル割り込み	0x0000_0104
50	57	設定可能	TIM5	TIM5 グローバル割り込み	0x0000_0108
51	58	設定可能	SPI3	SPI3 グローバル割り込み	0x0000_010C
52	59	設定可能	UART4	UART4 グローバル割り込み	0x0000_0110
53	60	設定可能	UART5	UART5 グローバル割り込み	0x0000_0114
54	61	設定可能	TIM6	TIM6 グローバル割り込み	0x0000_0118
55	62	設定可能	TIM7	TIM7 グローバル割り込み	0x0000_011C
56	63	設定可能	DMA2_Channel1	DMA2 チャネル 1 グローバル割り込み	0x0000_0120
57	64	設定可能	DMA2_Channel2	DMA2 チャネル 2 グローバル割り込み	0x0000_0124
58	65	設定可能	DMA2_Channel3	DMA2 チャネル 3 グローバル割り込み	0x0000_0128
59	66	設定可能	DMA2_Channel4_5	DMA2 チャネル 4 および DMA2 チャネル 5 グローバル割り込み	0x0000_012C

表62. その他の STM32F10xxx デバイスのベクタテーブル

位置	優先度	優先種別	項目（略称）	説明	アドレス
	-	-	-	予約済み	0x0000_0000
	-3	固定	リセット	リセット	0x0000_0004
	-2	固定	NMI	ノンマスカブル割り込み。RCC クロックセキュリティシステム（CSS）は NMI ベクタにリンクされます。	0x0000_0008
	-1	固定	HardFault	すべての異常	0x0000_000C
	0	設定可能	MemManage	メモリ管理	0x0000_0010
	1	設定可能	BusFault	プリフェッチ異常、メモリアクセス異常	0x0000_0014
	2	設定可能	UsageFault	未定義命令または無効状態	0x0000_0018
	-	-	-	予約済み	0x0000_001C - 0x0000_002B
	3	設定可能	SVCall	SWI 命令によるシステムサービスコール	0x0000_002C
	4	設定可能	デバッグモニタ	デバッグモニタ	0x0000_0030
	-	-	-	予約済み	0x0000_0034

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表62. その他の STM32F10xxx デバイスのベクタテーブル（続き）

位置	優先度	優先種別	項目（略称）	説明	アドレス
	5	設定可能	PendSV	ペンディング可能なシステムサービスリクエスト	0x0000_0038
	6	設定可能	SysTick	システムティックタイマ	0x0000_003C
0	7	設定可能	WWDG	ウィンドウ型ウォッチドッグ割り込み	0x0000_0040
1	8	設定可能	PVD	PVD 検出割り込み（EXTI ライン経由）	0x0000_0044
2	9	設定可能	TAMPER	タンパ割り込み	0x0000_0048
3	10	設定可能	RTC	RTC グローバル割り込み	0x0000_004C
4	11	設定可能	FLASH	フラッシュグローバル割り込み	0x0000_0050
5	12	設定可能	RCC	RCC グローバル割り込み	0x0000_0054
6	13	設定可能	EXTI0	EXTI ライン 0 割り込み	0x0000_0058
7	14	設定可能	EXTI1	EXTI ライン 1 割り込み	0x0000_005C
8	15	設定可能	EXTI2	EXTI ライン 2 割り込み	0x0000_0060
9	16	設定可能	EXTI3	EXTI ライン 3 割り込み	0x0000_0064
10	17	設定可能	EXTI4	EXTI ライン 4 割り込み	0x0000_0068
11	18	設定可能	DMA1_Channel1	DMA1 チャネル 1 グローバル割り込み	0x0000_006C
12	19	設定可能	DMA1_Channel2	DMA1 チャネル 2 グローバル割り込み	0x0000_0070
13	20	設定可能	DMA1_Channel3	DMA1 チャネル 3 グローバル割り込み	0x0000_0074
14	21	設定可能	DMA1_Channel4	DMA1 チャネル 4 グローバル割り込み	0x0000_0078
15	22	設定可能	DMA1_Channel5	DMA1 チャネル 5 グローバル割り込み	0x0000_007C
16	23	設定可能	DMA1_Channel6	DMA1 チャネル 6 グローバル割り込み	0x0000_0080
17	24	設定可能	DMA1_Channel7	DMA1 チャネル 7 グローバル割り込み	0x0000_0084
18	25	設定可能	ADC1_2	ADC1 および ADC2 グローバル割り込み	0x0000_0088
19	26	設定可能	USB_HP_CAN_TX	USB 優先割り込みまたは CAN TX 割り込み	0x0000_008C
20	27	設定可能	USB_LP_CAN_RX0	USB 非優先割り込みまたは CAN RX0 割り込み	0x0000_0090
21	28	設定可能	CAN_RX1	CAN RX1 割り込み	0x0000_0094
22	29	設定可能	CAN_SCE	CAN SCE 割り込み	0x0000_0098
23	30	設定可能	EXTI9_5	EXTI ライン [9:5] 割り込み	0x0000_009C
24	31	設定可能	TIM1_BRK	TIM1 ブレーク割り込み	0x0000_00A0
25	32	設定可能	TIM1_UP	TIM1 更新割り込み	0x0000_00A4
26	33	設定可能	TIM1_TRG_COM	TIM1 トリガおよび転流割り込み	0x0000_00A8
27	34	設定可能	TIM1_CC	TIM1 キャプチャ /比較割り込み	0x0000_00AC
28	35	設定可能	TIM2	TIM2 グローバル割り込み	0x0000_00B0
29	36	設定可能	TIM3	TIM3 グローバル割り込み	0x0000_00B4
30	37	設定可能	TIM4	TIM4 グローバル割り込み	0x0000_00B8
31	38	設定可能	I2C1_EV	I^2C1 イベント割り込み	0x0000_00BC
32	39	設定可能	I2C1_ER	I^2C1 エラー割り込み	0x0000_00C0

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表62. その他の STM32F10xxx デバイスのベクタテーブル（続き）

位置	優先度	優先種別	項目（略称）	説明	アドレス
33	40	設定可能	I2C2_EV	I^2C2 イベント割り込み	0x0000_00C4
34	41	設定可能	I2C2_ER	I^2C2 エラー割り込み	0x0000_00C8
35	42	設定可能	SPI1	SPI1 グローバル割り込み	0x0000_00CC
36	43	設定可能	SPI2	SPI2 グローバル割り込み	0x0000_00D0
37	44	設定可能	USART1	USART1 グローバル割り込み	0x0000_00D4
38	45	設定可能	USART2	USART2 グローバル割り込み	0x0000_00D8
39	46	設定可能	USART3	USART3 グローバル割り込み	0x0000_00DC
40	47	設定可能	EXTI15_10	EXTI ライン [15:10] 割り込み	0x0000_00E0
41	48	設定可能	RTCAlarm	RTC アラーム割り込み（EXTI ライン経由）	0x0000_00E4
42	49	設定可能	USBWakeup	サスペンドからの USB ウェイクアップ割り込み（EXTI ライン経由）	0x0000_00E8
43	50	設定可能	TIM8_BRK	TIM8 ブレーク割り込み	0x0000_00EC
44	51	設定可能	TIM8_UP	TIM8 更新割り込み	0x0000_00F0
45	52	設定可能	TIM8_TRG_COM	TIM8 トリガおよび転流割り込み	0x0000_00F4
46	53	設定可能	TIM8_CC	TIM8 キャプチャ /比較割り込み	0x0000_00F8
47	54	設定可能	ADC3	ADC3 グローバル割り込み	0x0000_00FC
48	55	設定可能	FSMC	FSMC グローバル割り込み	0x0000_0100
49	56	設定可能	SDIO	SDIO グローバル割り込み	0x0000_0104
50	57	設定可能	TIM5	TIM5 グローバル割り込み	0x0000_0108
51	58	設定可能	SPI3	SPI3 グローバル割り込み	0x0000_010C
52	59	設定可能	UART4	UART4 グローバル割り込み	0x0000_0110
53	60	設定可能	UART5	UART5 グローバル割り込み	0x0000_0114
54	61	設定可能	TIM6	TIM6 グローバル割り込み	0x0000_0118
55	62	設定可能	TIM7	TIM7 グローバル割り込み	0x0000_011C
56	63	設定可能	DMA2_Channel1	DMA2 チャネル 1 グローバル割り込み	0x0000_0120
57	64	設定可能	DMA2_Channel2	DMA2 チャネル 2 グローバル割り込み	0x0000_0124
58	65	設定可能	DMA2_Channel3	DMA2 チャネル 3 グローバル割り込み	0x0000_0128
59	66	設定可能	DMA2_Channel4_5	DMA2 チャネル 4 および DMA2 チャネル 5 グローバル割り込み	0x0000_012C

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

9.2 外部割り込み/イベントコントローラ（EXTI）

イベント/割り込みリクエストを生成するための外部割り込み/イベントコントローラは、コネクティビティラインデバイスでは最大 20 本のエッジ検出回路で構成され、その他のデバイスでは 19 本のエッジ検出回路で構成されます。各入力ラインは、個別に設定可能で、タイプ（パルスまたはペンディング）と対応するトリガイベント（立ち上がり、立ち下がり、または両方）を選択できます。また、ラインごとにマスクをかけることもできます。ペンディングレジスタは、割り込みリクエストのステータスラインを維持します。

9.2.1 主な特長

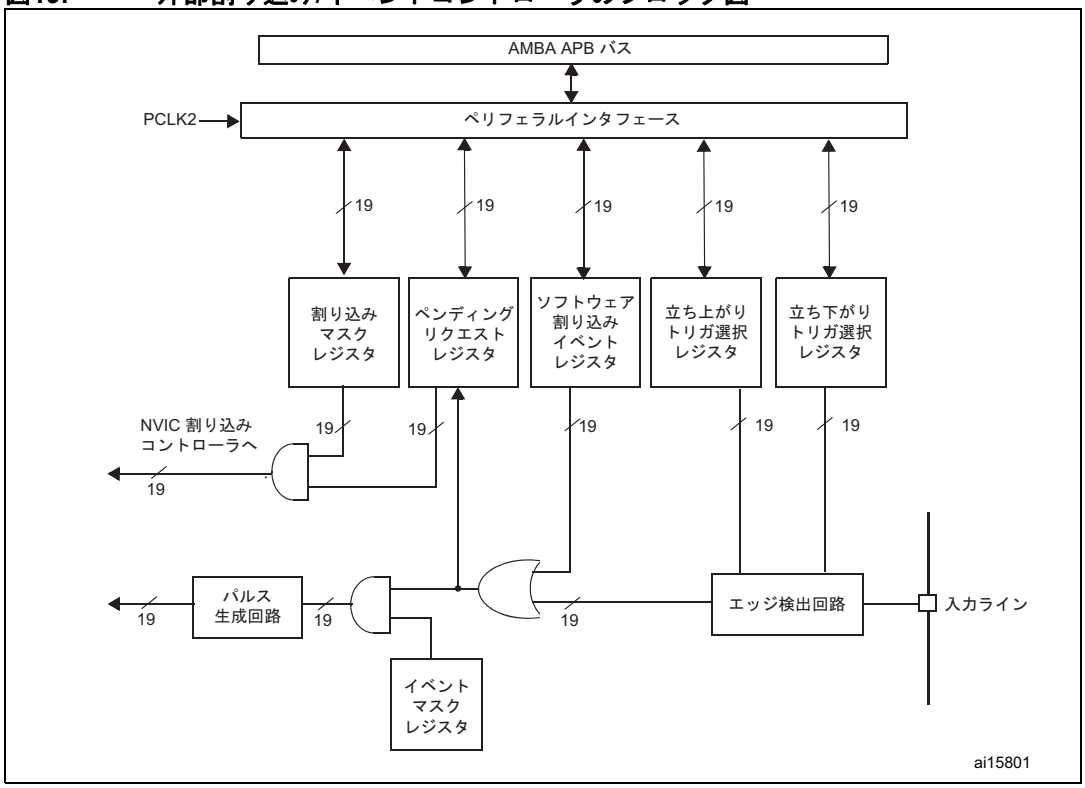
EXTI コントローラは次のような特長を備えています。

- 割り込み/イベントラインごとに独立したトリガとマスク
- 割り込みラインごとに専用のステータスビット
- 最大 20 本のソフトウェアイベント/割り込みリクエストの生成
- APB2　クロック周期よりも短いパルス幅の外部信号の検出。このパラメータの詳細については、データシートの電気特性の項を参照してください。

9.2.2 ブロック図

図 19 にブロック図を示します。

図19. 外部割り込み/イベントコントローラのブロック図



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

9.2.3 ウェイクアップイベント管理

STM32F10xxx は、外部イベントや内部イベントを処理することによって、コア（WFE）をウェイクアップできます。ウェイクアップイベントは、次のいずれかによって生成できます。

- ペリフェラル制御レジスタで割り込みを有効にし、NVIC では有効にせず、Cortex-M3 システム制御レジスタの SEVONPEND ビットを有効にします。MCU が WFE からリスタートするときには、(NVIC 割り込みクリアペンディングレジスタの) ペリフェラル割り込みペンディングビットとペリフェラル NVIC IRQ チャネルペンディングビットをクリアする必要があります。
- または、外部または内部 EXTI ラインをイベントモードに設定します。CPU が WFE からリスタートするときには、イベントラインに対応するペンディングビットはセットされていないので、ペリフェラル割り込みペンディングットや NVIC IRQ チャネルペンディングビットをクリアする必要はありません。

コネクティビティラインデバイスでは、イーサネットウェイクアップイベントにも WFE ウェイクアップ機能があります。

外部ラインをウェイクアップイベントとして使用する方法については、*セクション 9.2.4：機能詳細*を参照してください。

9.2.4 機能詳細

割り込みを生成するには、割り込みラインを設定し、有効にする必要があります。それには、2 つのトリガレジスタに希望するエッジ検出をプログラミングし、割り込みマスクレジスタの対応するビットに"1"を書き込むことによって割り込みリクエストを有効にします。選択されたエッジが外部割り込みラインで発生すると、割り込みリクエストが生成されます。割り込みラインに対応するペンディングビットもセットされます。このリクエストは、ペンディングレジスタに"1"を書き込むことによってリセットされます。

イベントを生成するには、イベントラインを設定し、有効にする必要があります。それには、2 つのトリガレジスタに希望するエッジ検出をプログラミングし、イベントマスクレジスタの対応するビットに"1"を書き込むことによってイベントリクエストを有効にします。選択されたエッジがイベントラインで発生すると、イベントパルスが生成されます。イベントラインに対応するペンディングビットはセットされません。

割り込み/イベントリクエストは、ソフトウェア割り込み/イベントレジスタに"1"を書き込むことによって、ソフトウェアによって生成することもきます。

ハードウェア割り込みの選択

20 本のラインを割り込みソースとして設定するには、次の手順を使用します。

- 20 本の割り込みラインのマスクビットを設定します（EXTI_IMR）。
- 割り込みラインのトリガ選択ビットを設定します（EXTI_RTSR および EXTI_FTSR）。
- 20 本のラインのいずれかからの割り込みを正しく処理できるように、外部割り込みコントローラ（EXTI）にマップされた NVIC IRQ チャネルを制御するネーブルビットとマスクビットを設定します。

ハードウェアイベントの選択

20 本のラインをイベントソースとして設定するには、次の手順を使用します。

- 20 本のイベントラインのマスクビットを設定します（EXTI_EMR）。
- イベントラインのトリガ選択ビットを設定します（EXTI_RTSR、EXTI_FTSR）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ソフトウェア割り込み/イベントの選択

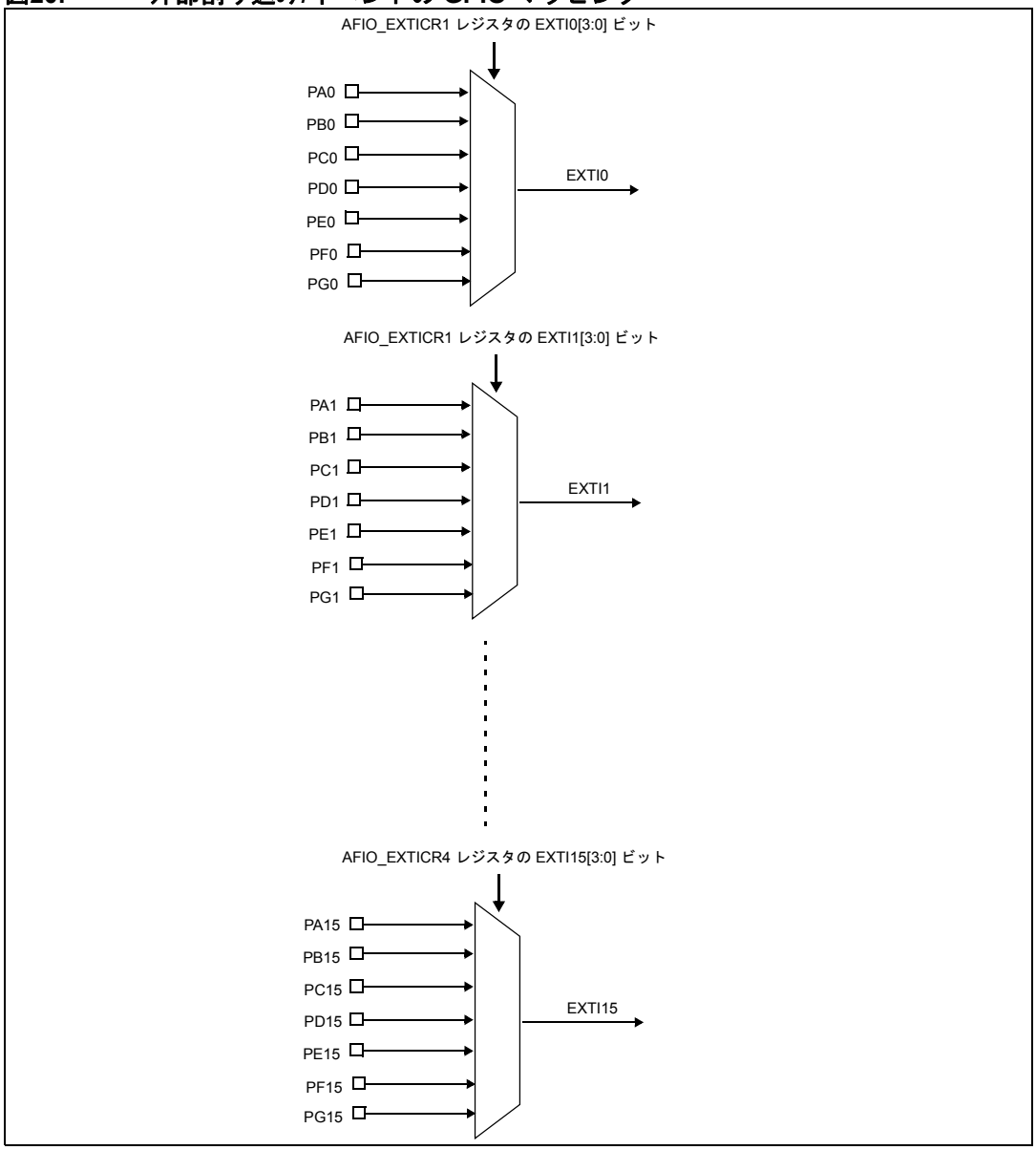
20 本のラインは、ソフトウェア割り込み/イベントラインとして設定できます。ソフトウェア割り込みの生成には、次の手順を使用します。

- 20 本の割り込み/イベントラインのマスクビットを設定します（EXTI_IMR、EXTI_EMR）。
- ソフトウェア割り込みレジスタの必要なビットをセットします（EXTI_SWIER）。

9.2.5 外部割り込み/イベントラインのマッピング

112 個の GPIO は、次のように、16 本の外部割り込み/イベントラインに接続されます。

図20. 外部割り込み/イベントの GPIO マッピング



1. 外部割り込み/イベントラインを GPIO に割り当てるために AFIO_EXTICRx を設定するには、最初に AFIO クロックを有効にしてください。小容量、中容量、大容量、および特大容量デバイスの場合は *セクション 6.3.7 : APB2 ペリフェラルクロック有効レジスタ（RCC_APB2ENR）*を、コネクティビティラインデバイスの場合は *セクション 7.3.7 : APB2 ペリフェラルクロック有効レジスタ（RCC_APB2ENR）*をそれぞれ参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

他の 4 本の EXTI ラインは次のように接続されます。

- EXTI ライン 16 は PVD 出力に接続されます。
- EXTI ライン 17 は RTC アラームイベントに接続されます。
- EXTI ライン 18 は USB ウェイクアップイベントに接続されます。
- EXTI ライン 19 は イーサネットウェイクアップイベントに接続されます（コネクティビティラインデバイスでのみ使用可能）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

9.3 EXTI レジスタ

レジスタの説明で使用される略語については、*セクション 1.1（40 ページ）*を参照してください。

ペリフェラルレジスタには、ワード（32 ビット）単位でアクセスする必要があります。

9.3.1 割り込みマスクレジスタ（EXTI_IMR）

アドレスオフセット：0x00
リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み												MR19	MR18	MR17	MR16
												rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MR15	MR14	MR13	MR12	MR11	MR10	MR9	MR8	MR7	MR6	MR5	MR4	MR3	MR2	MR1	MR0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:20 予約済み、常にリセット値（0）を保持してください。

ビット 19:0 **MRx**：ライン x の割り込みマスク
0：ライン x からの割り込みリクエストはマスクされます。
1：ライン x からの割り込みリクエストはマスクされません。

注：　ビット 19 はコネクティビティラインデバイスでのみ使用され、それ以外の場合は予約済みです。

9.3.2 イベントマスクレジスタ（EXTI_EMR）

アドレスオフセット：0x04
リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み												MR19	MR18	MR17	MR16
												rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MR15	MR14	MR13	MR12	MR11	MR10	MR9	MR8	MR7	MR6	MR5	MR4	MR3	MR2	MR1	MR0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:20 予約済み、常にリセット値（0）を保持してください。

ビット 19:0 **MRx**：ライン x のイベントマスク
0：ライン x からのイベントリクエストはマスクされます。
1：ライン x からのイベントリクエストはマスクされません。

注：　ビット 19 はコネクティビティラインデバイスでのみ使用され、それ以外の場合は予約済みです。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

9.3.3 立ち上がりトリガ選択レジスタ（EXTI_RTSR）

アドレスオフセット：0x08
リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み												TR19	TR18	TR17	TR16
												rw	rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TR15	TR14	TR13	TR12	TR11	TR10	TR9	TR8	TR7	TR6	TR5	TR4	TR3	TR2	TR1	TR0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:20　予約済み、常にリセット値（0）を保持してください。

ビット 19:0　**TRx**：ライン x の立ち上がりトリガイベント設定ビット
0：入力ラインの（イベントと割り込みについて）立ち上がりトリガは無効です。
1：入力ラインの（イベントと割り込みについて）立ち上がりトリガは有効です。

注：　ビット 19 はコネクティビティラインデバイスでのみ使用され、それ以外の場合は予約済みです。

注：　外部ウェイクアップラインはエッジトリガであるため、グリッチが生成されないようにする必要があります。
EXTI_RTSR レジスタへの書き込み中に外部割り込みラインの立ち上がりエッジが発生した場合、ペンディングビットはセットされません。

同じ割り込みラインに対して、立ち上がりエッジトリガと立ち下がりエッジトリガを設定することができます。この設定では、両方のエッジでトリガ条件が生成されます。

9.3.4 立ち下がりトリガ選択レジスタ（EXTI_FTSR）

アドレスオフセット：0x0C
リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み												TR19	TR18	TR17	TR16
												rw	rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TR15	TR14	TR13	TR12	TR11	TR10	TR9	TR8	TR7	TR6	TR5	TR4	TR3	TR2	TR1	TR0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:20　予約済み、常にリセット値（0）を保持してください。

ビット 19:0　**TRx**：ライン x の立ち下がりトリガイベント設定ビット
0：入力ラインの（イベントと割り込みについて）立ち下がりトリガは無効です。
1：入力ラインの（イベントと割り込みについて）立ち下がりトリガは有効です。

注：　ビット 19 は、コネクティビティラインデバイスで使用され、それ以外の場合は予約済みです。

注：　外部ウェイクアップラインはエッジトリガであるため、グリッチが生成されないようにする必要があります。
EXTI_FTSR レジスタへの書き込み中に外部割り込みラインの立ち下がりエッジが発生した場合、ペンディングビットはセットされません。

同じ割り込みラインに対して、立ち上がりエッジトリガと立ち下がりエッジトリガを設定することができます。この設定では、両方のエッジでトリガ条件が生成されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

9.3.5 ソフトウェア割り込みイベントレジスタ（EXTI_SWIER）

アドレスオフセット：0x10
リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み												SWIER 19	SWIER 18	SWIER 17	SWIER 16
												rw	rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SWIER 15	SWIER 14	SWIER 13	SWIER 12	SWIER 11	SWIER 10	SWIER 9	SWIER 8	SWIER7	SWIER6	SWIER5	SWIER4	SWIER3	SWIER2	SWIER 1	SWIER 0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:20　予約済み、常にリセット値（0）を保持してください。

ビット 19:0　**SWIERx**：ライン x のソフトウェア割り込み
このビットが 0 のときに 1 を書き込むと、EXTI_PR の対応するペンディングビットがセットされます。EXTI_IMR と EXTI_EMR でこのラインの割り込みが有効にされた場合、割り込みリクエストが生成されます。
このビットをクリアするには、EXTI_PR の対応するビットをクリアします（ビットに 1 を書き込みます）。

注：　ビット 19 は、コネクティビティラインデバイスで使用され、それ以外の場合は予約済みです。

9.3.6 ペンディングレジスタ（EXTI_PR）

アドレスオフセット：0x14
リセット値：未定義

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み												PR19	PR18	PR17	PR16
												rc_w1	rc_w1	rc_w1	rc_w1

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PR15	PR14	PR13	PR12	PR11	PR10	PR9	PR8	PR7	PR6	PR5	PR4	PR3	PR2	PR1	PR0
rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1

ビット 31:20　予約済み、常にリセット値（0）を保持してください。

ビット 19:0　**PRx**：ペンディングビット
0：トリガリクエストは発生していません。
1：選択されたトリガリクエストが発生しました。
このビットは、選択されたエッジイベントが外部割り込みラインで発生したときにセットされます。このビットは、このビットに 1 を書き込むことによって、またはエッジ検出回路の感度を変更することによってクリアされます。

注：　ビット 19 はコネクティビティラインデバイスでのみ使用され、それ以外の場合は予約済みです。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

9.3.7 EXTI レジスタマップ

次の表に、EXTI レジスタマップとリセット値を示します。すべてのレジスタのビット 19 はコネクティビティラインデバイスで使用され、それ以外の場合は予約済みです。

表63. 外部割り込み/イベントコントローラのレジスタマップとリセット値

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	EXTI_IMR	予約済み												MR[19:0]																			
	リセット値													0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x04	EXTI_EMR	予約済み												MR[19:0]																			
	リセット値													0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x08	EXTI_RTSR	予約済み												TR[19:0]																			
	リセット値													0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0C	EXTI_FTSR	予約済み												TR[19:0]																			
	リセット値													0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x10	EXTI_SWIER	予約済み												SWIER[19:0]																			
	リセット値													0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x14	EXTI_PR	予約済み												PR[19:0]																			
	リセット値													0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

レジスタ境界アドレスについては、*表 1（45 ページ）*を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

10 DMA コントローラ（DMA）

小容量デバイスは、フラッシュメモリ容量が 16～32 KB の STM32F101xx、STM32F102xx、および STM32F103xx マイクロコントローラです。

中容量デバイスは、フラッシュメモリ容量が 64～128 KB の STM32F101xx、STM32F102xx、および STM32F103xx マイクロコントローラです。

大容量デバイスは、フラッシュメモリ容量が 256～512 KB の STM32F101xx および STM32F103xx マイクロコントローラです。

特大容量デバイスは、フラッシュメモリ容量が 768 KB～1 MB の STM32F101xx および STM32F103xx マイクロコントローラです。

コネクティビティラインデバイスは、STM32F105xx および STM32F107xx マイクロコントローラです。

このセクションは、別段の指定がない限り、STM32F10xxx ファミリ全体に適用されます。

10.1 DMA の概要

DMA（Direct Memory Access）は、ペリフェラルとメモリ間、およびメモリ内で高速データ転送を行うために使用されます。データは、CPU の動作を必要とすることなく、DMA によって高速に移動できます。これにより、CPU リソースを他の操作のためにあけておくことができます。

2 つの DMA コントローラは合計 12 チャネル（DMA1 に 7 チャネル、DMA2 に 5 チャネル）を搭載し、それぞれが 1 つ以上のペリフェラルからのメモリアセスリクエストを管理します。また、DMA リクエスト間の優先順位を管理するアービタを内蔵しています。

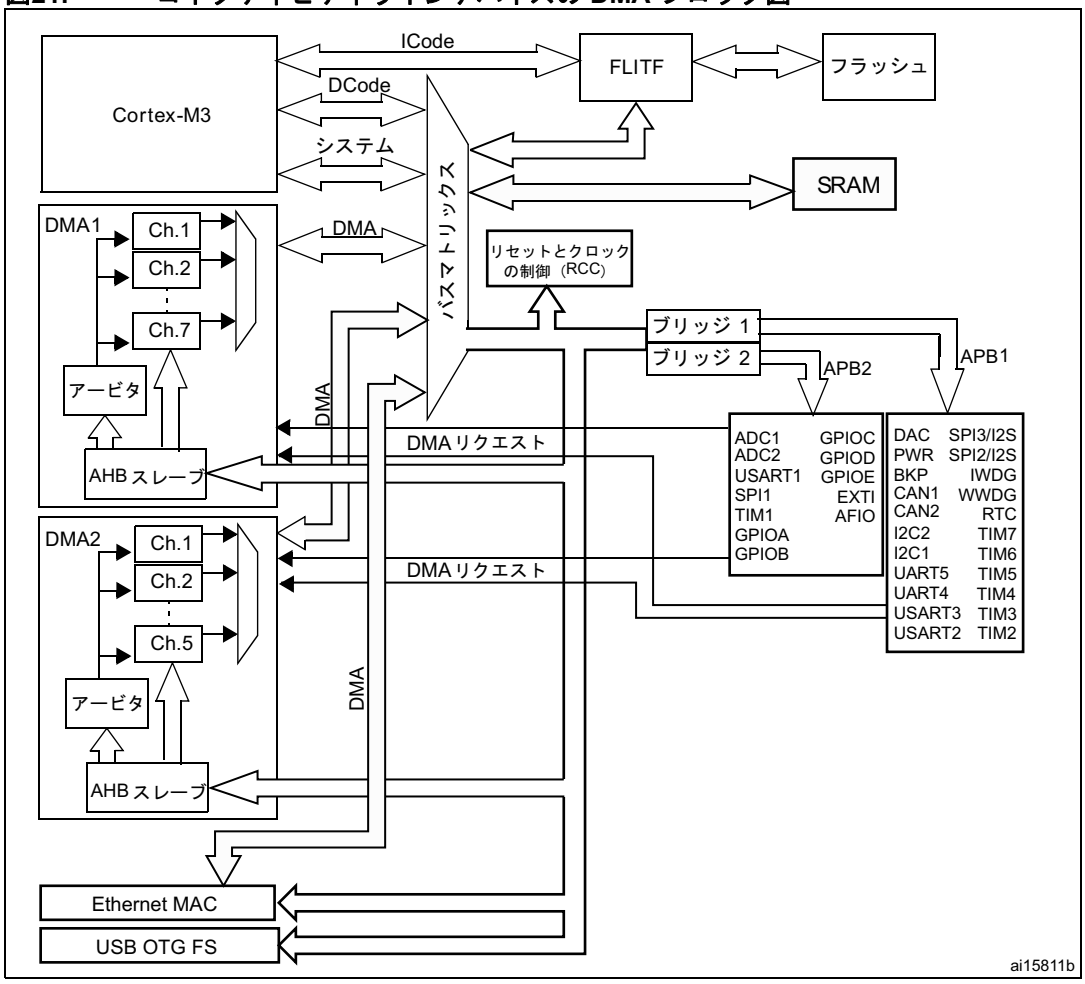
10.2 DMA の主な機能

- 独立して設定可能な 12 チャネル（リクエスト）：DMA1 に 7、DMA2 に 5
- 12 チャネルのそれぞれは専用のハードウェア DMA リクエストに接続されます。また、各チャネルではソフトウェアトリガもサポートされます。この設定はソフトウェアによって行われます。
- 1 つの DMA の各チャネルからのリクエスト間の優先順位は、ソフトウェアによってプログラミングできます（*最高*、*高*、*中*、*低*の 4 レベル）。レベルが等しい場合はハードウェアによって決まります（リクエスト 1 はリクエスト 2 よりも優先、など）。
- 転送元と転送先で転送サイズ（バイト、ハーフワード、ワード）を個別に指定でき、この際にパッキングとアンパッキングがエミュレートされます。転送元/転送先アドレスは、データサイズに合わせる必要があります。
- サーキュラバッファ管理のサポート
- チャネルごとに 3 つのイベントフラグ（DMA 1/2 転送、DMA 転送完了、DMA 転送エラー）の論理和が 1 つの割り込みリクエストに格納されます。
- メモリ間転送
- ペリフェラルからメモリ、メモリからペリフェラル、およびペリフェラル相互間の転送
- 転送元/転送先として、フラッシュ、SRAM、APB1、APB2、および AHB ペリフェラルへのアクセス
- 転送データ数のプログラミングが可能：最大 65536

図 21 にブロック図を示します。

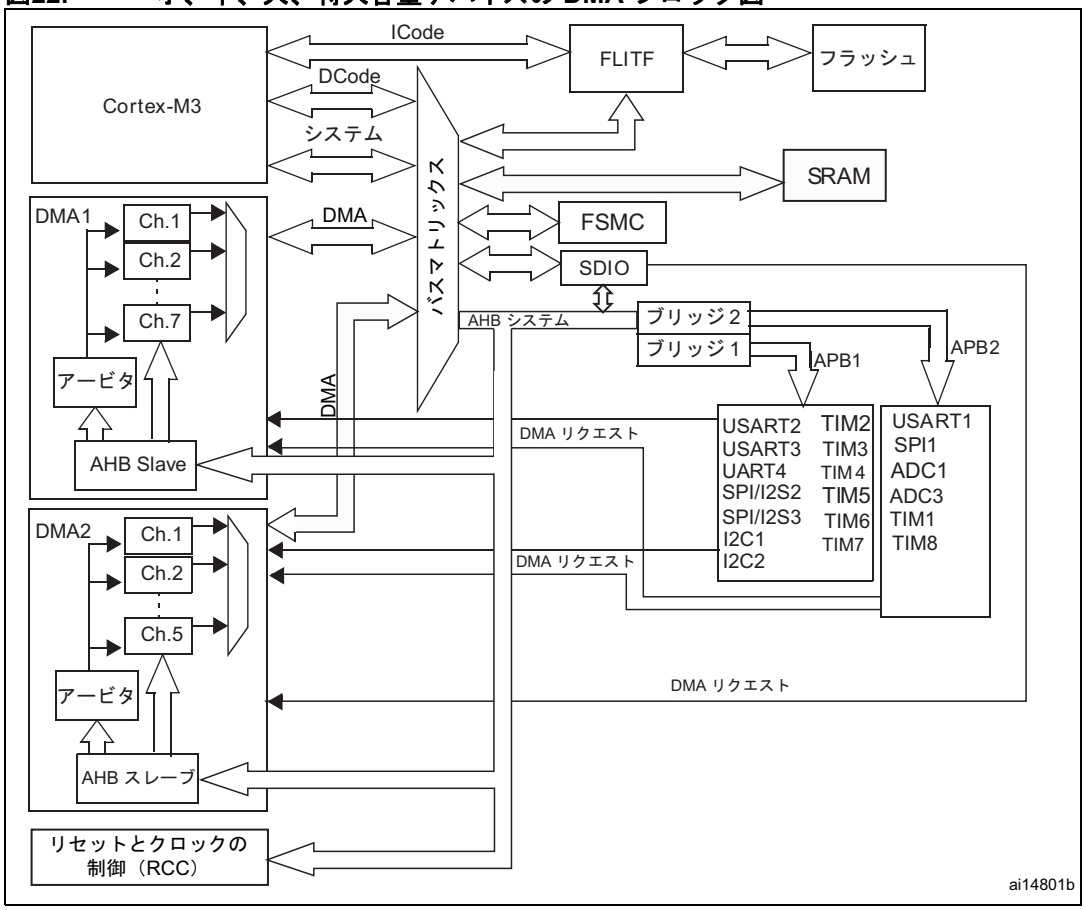
この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図21. コネクティビティラインデバイスの DMA ブロック図



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図22. 小、中、大、特大容量デバイスの DMA ブロック図



1. DMA2 コントローラは、大容量および特大容量デバイスでのみ使用可能です。

1. ADC3、SPI/I2S3、UART4、SDIO、TIM5、TIM6、DAC、TIM7、および TIM8 DMA リクエストは、大容量デバイスでのみ使用可能です。

10.3 DMA の機能詳細

DMA コントローラは、システムバスを Cortex™-M3 コアと共有することによってダイレクトメモリ転送を実行します。CPU と DMA が同じ転送先（メモリまたはペリフェラル）をターゲットにしている場合、DMA リクエストによってシステムバスへの CPU アクセスが数バスサイクルの間、停止することがあります。バスマトリックスがラウンドロビン方式を採用することで、（メモリとペリフェラルに対する）システムバス帯域の少なくとも 1/2 が CPU に確保されます。

10.3.1 DMA トランザクション

イベントの後、ペリフェラルは DMA コントローラにリクエスト信号を送信します。DMA コントローラは、チャネル間の優先順位に応じて、このリクエストに対応します。DMA コントローラがペリフェラルにアクセスすると、DMA コントローラはペリフェラルに確認応答を送信します。ペリフェラルは、DMA コントローラからの確認応答を受け取ると、そのリクエストを解除します。ペリフェラルによってリクエストがネゲートされると、DMA コントローラは確認応答を解除します。さらにリクエストがある場合、ペリフェラルは次のトランザクションを開始できます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

要約すると、各 DMA 転送は次の 3 つの操作で構成されます。

- 内部カレントペリフェラル/メモリアドレスレジスタによってアドレス指定されたメモリ位置またはペリフェラルデータレジスタからのデータのロード。最初の転送に使用される開始アドレスは、DMA_CPARx または DMA_CMARx レジスタでプログラミングされたベースペリフェラル/メモリアドレスです。
- 内部カレントペリフェラル/メモリアドレスレジスタによってアドレス指定されたメモリ位置またはペリフェラルデータレジスタにロードされたデータの格納。最初の転送に使用される開始アドレスは、DMA_CPARx または DMA_CMARx レジスタでプログラミングされたベースペリフェラル/メモリアドレスです。
- DMA_CNDTRx レジスタのポストデクリメント。このレジスタには、まだ実行する必要のあるトランザクション数が含まれています。

10.3.2 アービタ

アービタは、チャネルリクエストを優先順位に基づいて管理し、ペリフェラル/メモリアクセスシーケンスを開始します。

優先順位は 2 段階で管理されます。

- ソフトウェア : 各チャネルの優先順位は、DMA_CCRx レジスタで 4 つのレベルのいずれかに設定できます。
  - 最優先
  - 高優先
  - 中優先
  - 低優先
- ハードウェア : 2 つのリクエストのソフトウェア優先レベルが同じ場合、小さな番号のチャネルが大きな番号のチャネルよりも優先されます。たとえば、チャネル 2 はチャネル 4 よりも優先されます。

注 : ***大容量、特大容量、およびコネクティビティラインデバイスでは、DMA1 コントローラは DMA2 コントローラよりも優先されます。***

10.3.3 DMA チャネル

各チャネルは、固定アドレスに置かれたペリフェラルレジスタとメモリアドレスとの間の DMA 転送を処理できます。転送されるデータ量（最大 65535）はプログラミング可能です。転送されるデータ項目の量を格納しているレジスタは、トランザクションの終了ごとにデクリメントされます。

プログラミング可能なデータサイズ

ペリフェラルやメモリの転送データサイズは、DMA_CCRx レジスタの PSIZE および MSIZE ビットによって完全にプログラミング可能です。

ポインタのインクリメント

ペリフェラルやメモリのポインタは、DMA_CCRx レジスタの PINC および MINC ビットに応じて、各トランザクションの終了後に自動的にポストインクリメントできます。インクリメントモードが有効な場合、次の転送のアドレスは、選択されたデータサイズに応じて、前回のアドレスに 1、2、または 4 をインクリメントしたアドレスになります。最初の転送アドレスは、DMA_CPARx/DMA_CMARx レジスタでプログラミングされたアドレスです。転送動作中、これらのレジスタは、最初にプログラミングされた値を保持します。（内部カレントペリフェラル/メモリアドレスレジスタにある）現在の転送アドレスには、ソフトウェアからアクセスできません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

チャネルが非サーキュラモードに設定されている場合、最後の転送後（すなわち、転送されるデータ項目の数がゼロになると）、DMA リクエストは処理されません。転送される新しいデータ項目数を DMA_CNDTRx レジスタに再ロードするには、DMA チャネルが無効でなければなりません。

注： ***DMA チャネルが無効の場合、DMA レジスタはリセットされません。DMA チャネルレジスタ（DMA_CCRx、DMA_CPARx、および DMA_CMARx）は、チャネル設定段階でプログラミングされた初期値を保持します。***

サーキュラモードでは、最後の転送の後、DMA_CNDTRx レジスタには、初めにプログラミングされた値が自動的に再ロードされます。現在の内部アドレスレジスタには、DMA_CPARx/DMA_CMARx レジスタからベースアドレス値が再ロードされます。

チャネル設定手順

DMA チャネルx を設定するには、次の手順に従います（x はチャネル番号です）。

1. DMA_CPARx レジスタで、ペリフェラルレジスタアドレスを設定します。ペリフェラルイベントの後、データはこのアドレスとメモリの間で転送されます。
2. DMA_CMARx レジスタで、メモリアドレスを設定します。ペリフェラルイベントの後、データはこのメモリに対して読み書きされます。
3. 転送されるデータの合計数を DMA_CNDTRx レジスタで設定します。各ペリフェラルイベントの後、この値はデクリメントされます。
4. DMA_CCRx レジスタの PL[1:0] ビットを使用して、チャネルの優先順位を設定します。
5. データ転送の方向、サーキュラモード、ペリフェラルとメモリのインクリメントモード、ペリフェラルとメモリのデータサイズ、および 1/2 転送終了や転送完了後の割り込みを DMA_CCRx レジスタで設定します。
6. DMA_CCRx レジスタの ENABLE ビットをセットして、チャネルを有効にします。

チャネルが有効になると、そのチャネルに接続されているペリフェラルからの DMA リクエストを処理できます。

バイト数の半分が転送されると、1/2 転送終了フラグ（HTIF）がセットされ、1/2 転送終了割り込みイネーブルビット（HTIE）がセットされている場合には、割り込みが生成されます。転送が終了すると、転送完了フラグ（TCIF）がセットされ、転送完了割り込みイネーブルビット（TCIE）がセットされている場合には、割り込みが生成されます。

サーキュラモード

サーキュラモードを使用すると、サーキュラバッファや連続したデータフロー（ADC スキャンモードなど）を処理できます。この機能は、DMA_CCRx レジスタの CIRC ビットを使用して有効にできます。サーキュラモードが有効になると、転送されるデータ数にはチャネル設定段階でプログラミングされた初期値が自動的に再ロードされ、DMA リクエストの処理が続行されます。

メモリ間転送モード

DMA チャネルは、ペリフェラルからのリクエストによってトリガされなくても機能します。このモードは、メモリ間転送モードと呼ばれます。

DMA_CCRx レジスタの MEM2MEM ビットがセットされた場合、ソフトウェアによって DMA_CCRx レジスタのイネーブルビット（EN）がセットされてチャネルが有効になると、チャネルは転送を開始します。DMA_CNDTRx レジスタの値が 0 になると、転送は停止します。メモリ間転送モードとサーキュラモードは、同時に使用できないことがあります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

10.3.4 プログラミング可能なデータ幅、データの配置、およびエンディアン

PSIZE と MSIZE が等しくないとき、*Table 64: プログラミング可能なデータ幅とエンディアン動作（ビット PINC = MINC = 1 のとき）*で説明するように、DMA は何らかのデータ配置を実行します。

表64. プログラミング可能なデータ幅とエンディアン動作（ビット PINC = MINC = 1 のとき）

転送元ポート幅	転送先ポート幅	転送するデータ項目の数（NDT）	転送元の内容：アドレス/データ	転送操作	転送先の内容：アドレス/データ
8	8	4	@0x0 / B0 @0x1 / B1 @0x2 / B2 @0x3 / B3	1: READ B0[7:0] @0x0 then WRITE B0[7:0] @0x0 2: READ B1[7:0] @0x1 then WRITE B1[7:0] @0x1 3: READ B2[7:0] @0x2 then WRITE B2[7:0] @0x2 4: READ B3[7:0] @0x3 then WRITE B3[7:0] @0x3	@0x0 / B0 @0x1 / B1 @0x2 / B2 @0x3 / B3
8	16	4	@0x0 / B0 @0x1 / B1 @0x2 / B2 @0x3 / B3	1: READ B0[7:0] @0x0 then WRITE 00B0[15:0] @0x0 2: READ B1[7:0] @0x1 then WRITE 00B1[15:0] @0x2 3: READ B3[7:0] @0x2 then WRITE 00B2[15:0] @0x4 4: READ B4[7:0] @0x3 then WRITE 00B3[15:0] @0x6	@0x0 / 00B0 @0x2 / 00B1 @0x4 / 00B2 @0x6 / 00B3
8	32	4	@0x0 / B0 @0x1 / B1 @0x2 / B2 @0x3 / B3	1: READ B0[7:0] @0x0 then WRITE 000000B0[31:0] @0x0 2: READ B1[7:0] @0x1 then WRITE 000000B1[31:0] @0x4 3: READ B3[7:0] @0x2 then WRITE 000000B2[31:0] @0x8 4: READ B4[7:0] @0x3 then WRITE 000000B3[31:0] @0xC	@0x0 / 000000B0 @0x4 / 000000B1 @0x8 / 000000B2 @0xC / 000000B3
16	8	4	@0x0 / B1B0 @0x2 / B3B2 @0x4 / B5B4 @0x6 / B7B6	1: READ B1B0[15:0] @0x0 then WRITE B0[7:0] @0x0 2: READ B3B2[15:0] @0x2 then WRITE B2[7:0] @0x1 3: READ B5B4[15:0] @0x4 then WRITE B4[7:0] @0x2 4: READ B7B6[15:0] @0x6 then WRITE B6[7:0] @0x3	@0x0 / B0 @0x1 / B2 @0x2 / B4 @0x3 / B6
16	16	4	@0x0 / B1B0 @0x2 / B3B2 @0x4 / B5B4 @0x6 / B7B6	1: READ B1B0[15:0] @0x0 then WRITE B1B0[15:0] @0x0 2: READ B3B2[15:0] @0x2 then WRITE B3B2[15:0] @0x2 3: READ B5B4[15:0] @0x4 then WRITE B5B4[15:0] @0x4 4: READ B7B6[15:0] @0x6 then WRITE B7B6[15:0] @0x6	@0x0 / B1B0 @0x2 / B3B2 @0x4 / B5B4 @0x6 / B7B6
16	32	4	@0x0 / B1B0 @0x2 / B3B2 @0x4 / B5B4 @0x6 / B7B6	1: READ B1B0[15:0] @0x0 then WRITE 0000B1B0[31:0] @0x0 2: READ B3B2[15:0] @0x2 then WRITE 0000B3B2[31:0] @0x4 3: READ B5B4[15:0] @0x4 then WRITE 0000B5B4[31:0] @0x8 4: READ B7B6[15:0] @0x6 then WRITE 0000B7B6[31:0] @0xC	@0x0 / 0000B1B0 @0x4 / 0000B3B2 @0x8 / 0000B5B4 @0xC / 0000B7B6
32	8	4	@0x0 / B3B2B1B0 @0x4 / B7B6B5B4 @0x8 / BBBAB9B8 @0xC / BFBEBDBC	1: READ B3B2B1B0[31:0] @0x0 then WRITE B0[7:0] @0x0 2: READ B7B6B5B4[31:0] @0x4 then WRITE B4[7:0] @0x1 3: READ BBBAB9B8[31:0] @0x8 then WRITE B8[7:0] @0x2 4: READ BFBEBDBC[31:0] @0xC then WRITE BC[7:0] @0x3	@0x0 / B0 @0x1 / B4 @0x2 / B8 @0x3 / BC
32	16	4	@0x0 / B3B2B1B0 @0x4 / B7B6B5B4 @0x8 / BBBAB9B8 @0xC / BFBEBDBC	1: READ B3B2B1B0[31:0] @0x0 then WRITE B1B0[7:0] @0x0 2: READ B7B6B5B4[31:0] @0x4 then WRITE B5B4[7:0] @0x1 3: READ BBBAB9B8[31:0] @0x8 then WRITE B9B8[7:0] @0x2 4: READ BFBEBDBC[31:0] @0xC then WRITE BDBC[7:0] @0x3	@0x0 / B1B0 @0x2 / B5B4 @0x4 / B9B8 @0x6 / BDBC
32	32	4	@0x0 / B3B2B1B0 @0x4 / B7B6B5B4 @0x8 / BBBAB9B8 @0xC / BFBEBDBC	1: READ B3B2B1B0[31:0] @0x0 then WRITE B3B2B1B0[31:0] @0x0 2: READ B7B6B5B4[31:0] @0x4 then WRITE B7B6B5B4[31:0] @0x4 3: READ BBBAB9B8[31:0] @0x8 then WRITE BBBAB9B8[31:0] @0x8 4: READ BFBEBDBC[31:0] @0xC then WRITE BFBEBDBC[31:0] @0xC	@0x0 / B3B2B1B0 @0x4 / B7B6B5B4 @0x8 / BBBAB9B8 @0xC / BFBEBDBC

バイト/ハーフワード書き込み操作をサポートしない AHB ペリフェラルのアドレス指定

DMA が AHB バイトまたはハーフワード書き込み操作を開始すると、データは HWDATA[31:0] バスの未使用レーンに複製されます。したがって、使用済みの AHB スレーブペリフェラルがバイトまたはハーフワード書き込み操作をサポートせず（ペリフェラルが HSIZE を使用せず）、かつ、エラーを生成しないときには、DMA は、下の 2 つの例に示すように、32 の HWDATA ビットを書き込みます。

- ハーフワード“0xABCD”を書き込むには、DMA は HSIZE = HalfWord で HWDATA バスに“0xABCDABCD”を設定します。
- バイト“0xAB”を書き込むには、DMA は HSIZE = Byte で HWDATA バスに“0xABABABAB”を設定します

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

AHB/APB ブリッジが HSIZE データを考慮しない AHB 32 ビットスレーブペリフェラルであるとすれば、以下の方法で AHB バイト/ハーフワード操作を 32 ビット APB 操作に変換します。

- データ“0xB0”から 0x0（あるいは、0x1、0x2、または 0x3）への AHB バイト書き込み操作は、データ“0xB0B0B0B0”から 0x0 への APB ワード書き込み操作に変換されます。
- データ“0xB1B0”から 0x0（または 0x2）への AHB ハーフワード書き込み操作は、データ“0xB1B0B1B0”から 0x0 への APB ワード書き込み操作に変換されます。

たとえば、APB バックアップレジスタ（32 ビットアドレス境界に配置された 16 ビットレジスタ）に書き込みたい場合は、メモリ転送元サイズ（MSIZE）を“16 ビット”に設定し、ペリフェラル転送先サイズ（PSIZE）を“32 ビット”に設定する必要があります。

10.3.5 エラー管理

予約済みアドレス空間からの読み出し/書き込みによって、DMA 転送エラーが生成されることがあります。DMA の読み出し/書き込みアクセス中に DMA 転送エラーが発生すると、障害のあるチャネルは、対応するチャネル設定レジスタ（DMA_CCRx）の EN ビットをハードウェアがクリアすることによって自動的に無効になります。DMA_IFR レジスタのチャネルの転送エラー割り込みフラグ（TEIF）がセットされ、DMA_CCRx レジスタの転送エラー割り込みイネーブルビット（TEIE）がセットされている場合には、割り込みが生成されます。

10.3.6 割り込み

割り込みは、DMA チャネルごとに、1/2 転送終了、転送完了、または転送エラーによって発生することがあります。高い柔軟性を実現するため、個別の割り込みイネーブルビットを使用できます。

表65. DMA 割り込みリクエスト

割り込みイベント	イベントフラグ	イネーブル制御ビット
1/2 転送終了	HTIF	HTIE
転送完了	TCIF	TCIE
転送エラー	TEIF	TEIE

注： ***大容量および特大容量デバイスでは、DMA2 チャネル4 割り込みと DMA2 チャネル5 割り込みは、同じ割り込みベクタに配置されます。コネクティビティラインデバイスでは、DMA2 チャネル4 割り込みと DMA2 チャネル5 割り込みには個別の割り込みベクタがあります。その他すべての DMA1 および DMA2 チャネル割り込みには、専用の割り込みベクタがあります。***

10.3.7 DMA リクエストの配置

DMA1 コントローラ

ペリフェラル（TIMx[1,2,3,4]、ADC1、SPI1、SPI/I2S2、I2Cx[1,2]、および USARTx[1,2,3]）からの 7 つのリクエストは、論理和がとられてから DMA1 に渡されます。すなわち、一度に有効にできるリクエストは 1 つだけです。*図 23：DMA1 リクエストの配置*を参照してください。

ペリフェラル DMA リクエストは、対応するペリフェラルのレジスタの DMA 制御ビットをプログラミングすることによって、個別に有効/無効にできます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

参考資料

図23. DMA1 リクエストの配置

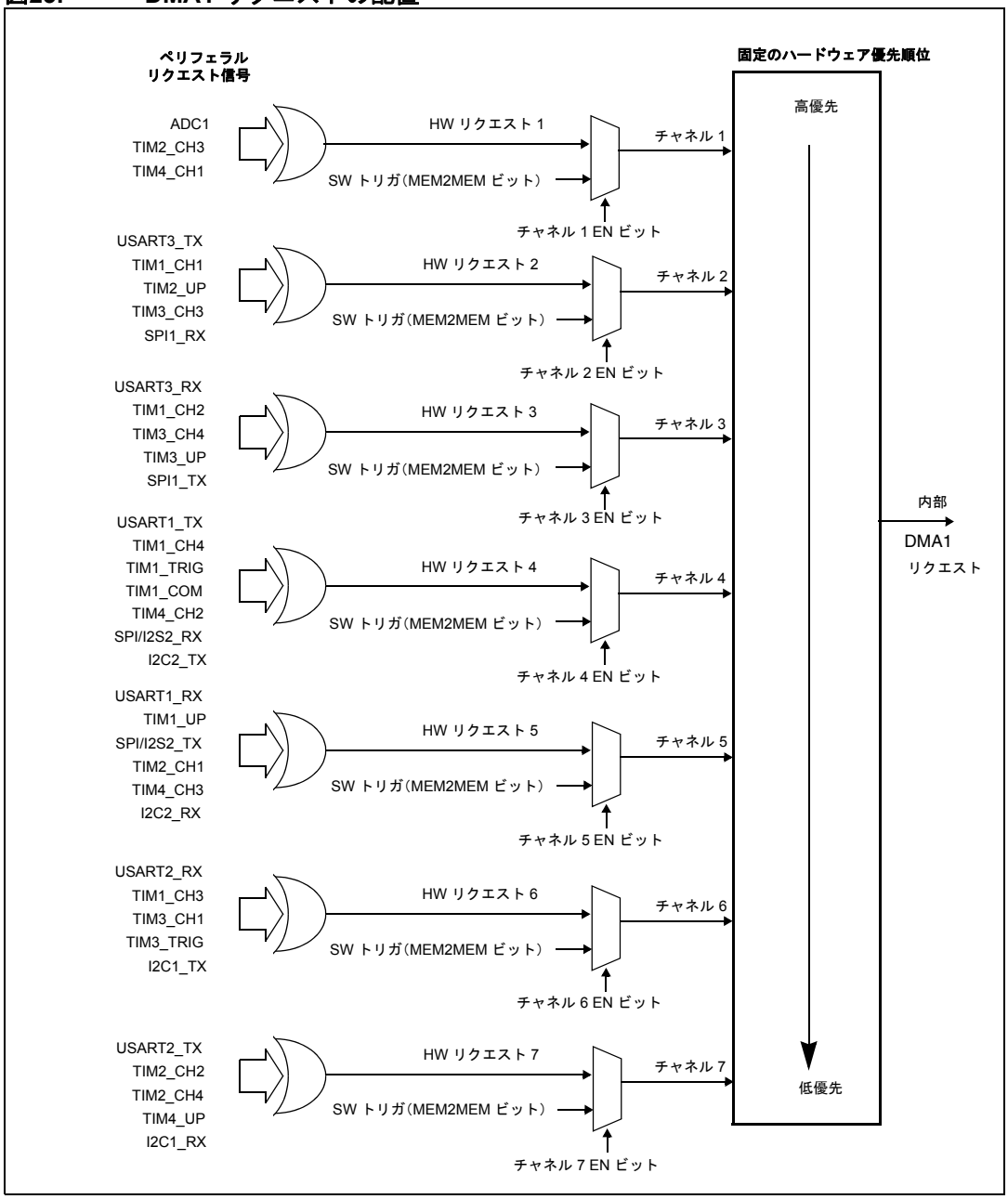


表 66 に、チャネルごとの DMA リクエストを示します。

表66. チャネルごとの DMA1 リクエストの一覧

ペリフェラル	チャネル 1	チャネル 2	チャネル 3	チャネル 4	チャネル 5	チャネル 6	チャネル 7
ADC1	ADC1						
SPI/I^2S		SPI1_RX	SPI1_TX	SPI2/I2S2_RX	SPI2/I2S2_TX		
USART		USART3_TX	USART3_RX	USART1_TX	USART1_RX	USART2_RX	USART2_TX
I^2C				I2C2_TX	I2C2_RX	I2C1_TX	I2C1_RX

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表66. チャネルごとの DMA1 リクエストの一覧（続き）

ペリフェラル	チャネル 1	チャネル 2	チャネル 3	チャネル 4	チャネル 5	チャネル 6	チャネル 7
TIM1		TIM1_CH1	TIM1_CH2	TIM1_CH4 TIM1_TRIG TIM1_COM	TIM1_UP	TIM1_CH3	
TIM2	TIM2_CH3	TIM2_UP			TIM2_CH1		TIM2_CH2 TIM2_CH4
TIM3		TIM3_CH3	TIM3_CH4 TIM3_UP			TIM3_CH1 TIM3_TRIG	
TIM4	TIM4_CH1			TIM4_CH2	TIM4_CH3		TIM4_UP

DMA2 コントローラ

ペリフェラル（TIMx[5,6,7,8]、ADC3、SPI/I2S3、UART4、DAC_Channel[1,2]、および SDIO）からの 5 つのリクエストは、論理和がとられてから DMA2 に渡されます。なわち、一度に有効にできるリクエストは 1 つだけです。*図 24：DMA2 リクエストの配置*を参照してください。

ペリフェラル DMA リクエストは、対応するペリフェラルのレジスタの DMA 制御ビットをプログラミングすることによって、個別に有効/無効にできます。

注： ***DMA2 コントローラとその関連リクエストは、大容量、特大容量、およびコネクティビティラインデバイスでのみ使用可能です。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

参考資料

図24. DMA2 リクエストの配置

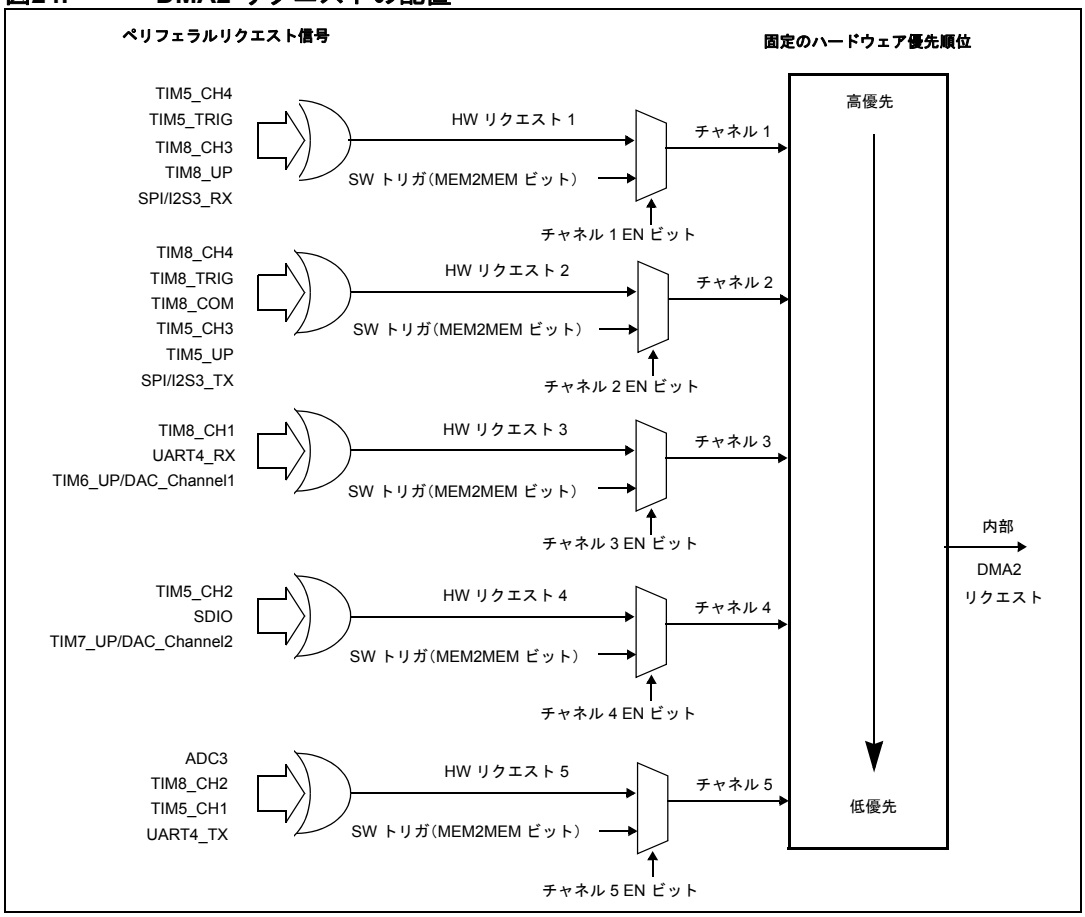


表 67 に、チャネルごとの DMA2 リクエストを示します。

表67. チャネルごとの DMA2 リクエストの一覧

ペリフェラル	チャネル 1	チャネル 2	チャネル 3	チャネル 4	チャネル 5
ADC3(1)					ADC3
SPI/I2S3	SPI/I2S3_RX	SPI/I2S3_TX			
UART4			UART4_RX		UART4_TX
SDIO(1)				SDIO	
TIM5	TIM5_CH4 TIM5_TRIG	TIM5_CH3 TIM5_UP		TIM5_CH2	TIM5_CH1
TIM6/ DAC_Channel1			TIM6_UP/ DAC_Channel1		
TIM7/ DAC_Channel2				TIM7_UP/ DAC_Channel2	
TIM8(1)	TIM8_CH3 TIM8_UP	TIM8_CH4 TIM8_TRIG TIM8_COM	TIM8_CH1		TIM8_CH2

1. ADC3、SDIO、および TIM8 の DMA リクエストは、大容量および特大容量デバイスでのみ使用可能です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

10.4 DMA レジスタ

レジスタの説明で使用されている略語については、*セクション 1.1（40 ページ）*を参照してください。

注： ***DMA2 には 5 つのチャネルしかないので、次に示すレジスタでは、チャネル6 とチャネル7 関連のすべてのビットは、DMA2 には無関係です。***

ペリフェラルレジスタには、バイト（8 ビット）、ハーフワード（16 ビット）、またはワード（32 ビット）単位でアクセスできます。

10.4.1 DMA 割り込みステータスレジスタ（DMA_ISR）

アドレスオフセット：0x00

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み				TEIF7	HTIF7	TCIF7	GIF7	TEIF6	HTIF6	TCIF6	GIF6	TEIF5	HTIF5	TCIF5	GIF5
				r	r	r	r	r	r	r	r	r	r	r	r

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TEIF4	HTIF4	TCIF4	GIF4	TEIF3	HTIF3	TCIF3	GIF3	TEIF2	HTIF2	TCIF2	GIF2	TEIF1	HTIF1	TCIF1	GIF1
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:28 予約済み、常に 0 として読み出されます。

ビット 27、23、19、15、11、7、3 **TEIFx**：チャネル x 転送エラーフラグ（x = 1 ..7）
このビットは、ハードウェアによってセットされます。DMA_IFCR レジスタの対応するビットに 1 を書き込むことによって、ソフトウェアによってクリアされます。
0：チャネル x に転送エラー（TE）は発生していません。
1：チャネル x に転送エラー（TE）が発生しました。

ビット 26、22、18、14、10、6、2 **HTIFx**：チャネル x 1/2 転送終了フラグ（x = 1 ..7）
このビットは、ハードウェアによってセットされます。DMA_IFCR レジスタの対応するビットに 1 を書き込むことによって、ソフトウェアによってクリアされます。
0：チャネル x に 1/2 転送終了（HT）イベントは発生していません。
1：チャネル x に 1/2 転送終了（HT）イベントが発生しました。

ビット 25、21、17、13、9、5、1 **TCIFx**：チャネル x 転送完了フラグ（x = 1 ..7）
このビットは、ハードウェアによってセットされます。DMA_IFCR レジスタの対応するビットに 1 を書き込むことによって、ソフトウェアによってクリアされます。
0：チャネル x に転送完了（TC）イベントは発生していません。
1：チャネル x に転送完了（TC）イベントが発生しました。

ビット 24、20、16、12、8、4、0 **GIFx**：チャネル x グローバル割り込みフラグ（x = 1 ..7）
このビットは、ハードウェアによってセットされます。DMA_IFCR レジスタの対応するビットに 1 を書き込むことによって、ソフトウェアによってクリアされます。
0：チャネル x に TE、HT、または TC イベントは発生していません。
1：チャネル x に TE、HT、または TC イベントが発生しました。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

10.4.2 DMA 割り込みフラグクリアレジスタ（DMA_IFCR）

アドレスオフセット：0x04

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み				CTEIF7	CHTIF7	CTCIF7	CGIF7	CTEIF6	CHTIF6	CTCIF6	CGIF6	CTEIF5	CHTIF5	CTCIF5	CGIF5
				w	w	w	w	w	w	w	w	w	w	w	w

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CTEIF4	CHTIF4	CTCIF4	CGIF4	CTEIF3	CHTIF3	CTCIF3	CGIF3	CTEIF2	CHTIF2	CTCIF2	CGIF2	CTEIF1	CHTIF1	CTCIF1	CGIF1
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w

ビット 31:28　予約済み、常に 0 として読み出されます。

ビット 27、23、19、15、11、7、3　**CTEIFx：**チャネル x 転送エラークリア（x = 1 ..7）
このビットは、ソフトウェアによってセット/クリアされます。
0：影響しません。
1：DMA_ISR レジスタの対応する TEIF フラグをクリアします。

ビット 26、22、18、14、10、6、2　**CHTIFx：**チャネル x 1/2 転送終了クリア（x = 1 ..7）
このビットは、ソフトウェアによってセット/クリアされます。
0：影響しません。
1：DMA_ISR レジスタの対応する HTIF フラグをクリアします。

ビット 25、21、17、13、9、5、1　**CTCIFx：**チャネル x 転送完了クリア（x = 1 ..7）
このビットは、ソフトウェアによってセット/クリアされます。
0：影響しません。
1：DMA_ISR レジスタの対応する TCIF フラグをクリアします。

ビット 24、20、16、12、8、4、0　**CGIFx：**チャネル x グローバル割り込みクリア（x = 1 ..7）
このビットは、ソフトウェアによってセット/クリアされます。
0：影響しません。
1：DMA_ISR レジスタの GIF、TEIF、HTIF、および TCIF フラグをクリアします。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

10.4.3 DMA チャネル x 設定レジスタ（DMA_CCRx）（x = 1..7、x = チャネル番号）

アドレスオフセット：0x08 + 0d20 × (チャネル番号 – 1)

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み	MEM2MEM	PL[1:0]		MSIZE[1:0]		PSIZE[1:0]		MINC	PINC	CIRC	DIR	TEIE	HTIE	TCIE	EN
	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:15 予約済み、常に 0 として読み出されます。

ビット 14 **MEM2MEM**：メモリ間転送モード
このビットは、ソフトウェアによってセット/クリアされます。
0：メモリ間転送モードは無効です。
1：メモリ間転送モードは有効です。

ビット 13:12 **PL[1:0]**：チャネル優先レベル
これらのビットは、ソフトウェアによってセット/クリアされます。
00：低優先
01：中優先
10：高優先
11：最優先

ビット 11:10 **MSIZE[1:0]**：メモリサイズ
これらのビットは、ソフトウェアによってセット/クリアされます。
00：8 ビット
01：16 ビット
10：32 ビット
11：予約済み

ビット 9:8 **PSIZE[1:0]**：ペリフェラルサイズ
これらのビットは、ソフトウェアによってセット/クリアされます。
00：8 ビット
01：16 ビット
10：32 ビット
11：予約済み

ビット 7 **MINC**：メモリインクリメントモード
このビットは、ソフトウェアによってセット/クリアされます。
0：メモリインクリメントモードは無効です。
1：メモリインクリメントモードは有効です。

ビット 6 **PINC**：ペリフェラルインクリメントモード
このビットは、ソフトウェアによってセット/クリアされます。
0：ペリフェラルインクリメントモードは無効です。
1：ペリフェラルインクリメントモードは有効です。

ビット 5 **CIRC**：サーキュラモード
このビットは、ソフトウェアによってセット/クリアされます。
0：サーキュラモードは無効です。
1：サーキュラモードは有効です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 4 **DIR：**データ転送方向

このビットは、ソフトウェアによってセット/クリアされます。

0：ペリフェラルから読み出されます。

1：メモリから読み出されます。

ビット 3 **TEIE：**転送エラー割り込みイネーブル

このビットは、ソフトウェアによってセット/クリアされます。

0：TE 割り込みは無効です。

1：TE 割り込みは有効です。

ビット 2 **HTIE：**1/2 転送終了割り込みイネーブル

このビットは、ソフトウェアによってセット/クリアされます。

0：HT 割り込みは無効です。

1：HT 割り込みは有効です。

ビット 1 **TCIE：**転送完了割り込みイネーブル

このビットは、ソフトウェアによってセット/クリアされます。

0：TC 割り込みは無効です。

1：TC 割り込みは有効です。

ビット 0 **EN：**チャネルイネーブル

このビットは、ソフトウェアによってセット/クリアされます。

0：チャネルは無効です。

1：チャネルは有効です。

10.4.4 DMA チャネル x データ数レジスタ（DMA_CNDTRx）（x = 1..7、x = チャネル番号）

アドレスオフセット：0x0C + 0d20 × (チャネル番号 – 1)

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NDT															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:16 予約済み、常に 0 として読み出されます。

ビット 15:0 **NDT[15:0]：**転送するデータ数

転送されるデータ数（0～65535）。このレジスタには、チャネルが無効のときにのみ書き込みできます。チャネルが有効になると、このレジスタは読み出し専用になり、残りの転送バイト数を示します。このレジスタは、各 DMA 転送後にデクリメントされます。

転送が完了すると、このレジスタの値は 0 のままです。ただし、チャネルが自動再ロードモードに設定されている場合は、事前にプログラミングされた値が自動的に再ロードされます。

このレジスタの値が 0 の場合、チャネルの有効/無効に関係なく、トランザクションは処理されません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

10.4.5 DMA チャネル x ペリフェラルアドレスレジスタ（DMA_CPARx）（x = 1..7、x = チャネル番号）

アドレスオフセット：0x10 + 0d20 × (チャネル番号 – 1)

リセット値：0x0000 0000

このレジスタには、チャネルが無効のときに*のみ*書き込みできます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PA																															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0 **PA[31:0]**：ペリフェラルアドレス

データの読み出し/書き込みが行われるペリフェラルデータレジスタのベースアドレス。

PSIZE が 01（16ビット）のとき、PA[0] ビットは無視されます。アクセスは自動的にハーフワードアドレスに配置されます。
PSIZE が 10（32ビット）のとき、PA[1:0] は無視されます。アクセスは自動的にワードアドレスに配置されます。

10.4.6 DMA チャネル x メモリアドレスレジスタ（DMA_CMARx）（x = 1..7、x = チャネル番号）

アドレスオフセット：0x14 + 0d20 × (チャネル番号 – 1)

リセット値：0x0000 0000

このレジスタには、チャネルが無効のときに*のみ*書き込みできます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MA																															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0 **MA[31:0]**：メモリアドレス

データの読み出し/書き込みが行われるメモリ領域のベースアドレス。

MSIZE が 01（16 ビット）のとき、MA[0] ビットは無視されます。アクセスは自動的にハーフワードアドレスに配置されます。
MSIZE が 10（32 ビット）のとき、MA[1:0] は無視されます。アクセスは自動的にワードアドレスに配置されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

10.4.7 DMA レジスタマップ

次の表に、DMA レジスタマップとリセット値を示します。

表68. DMA レジスタマップとリセット値

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x000	DMA_ISR	予約済み				TEIF7	HTIF7	TCIF7	GIF7	TEIF6	HTIF6	TCIF6	GIF6	TEIF5	HTIF5	TCIF5	GIF5	TEIF4	HTIF4	TCIF4	GIF4	TEIF3	HTIF3	TCIF3	GIF3	TEIF2	HTIF2	TCIF2	GIF2	TEIF1	HTIF1	TCIF1	GIF1
	リセット値					0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x004	DMA_IFCR	予約済み				CTEIF7	CHTIF7	CTCIF7	CGIF7	CTEIF6	CHTIF6	CTCIF6	CGIF6	CTEIF5	CHTIF5	CTCIF5	CGIF5	CTEIF4	CHTIF4	CTCIF4	CGIF4	CTEIF3	CHTIF3	CTCIF3	CGIF3	CTEIF2	CHTIF2	CTCIF2	CGIF2	CTEIF1	CHTIF1	CTCIF1	CGIF1
	リセット値					0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x008	DMA_CCR1	予約済み																	MEM2MEM	PL [1:0]		MSIZE [1:0]		PSIZE [1:0]		MINC	PINC	CIRC	DIR	TEIE	HTIE	TCIE	EN
	リセット値																		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x00C	DMA_CNDTR1	予約済み																	NDT[15:0]														
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x010	DMA_CPAR1	PA[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x014	DMA_CMAR1	MA[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x018	予約済み																																
0x01C	DMA_CCR2	予約済み																	MEM2MEM	PL [1:0]		MSIZE [1:0]		PSIZE [1:0]		MINC	PINC	CIRC	DIR	TEIE	HTIE	TCIE	EN
	リセット値																		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x020	DMA_CNDTR2	予約済み																	NDT[15:0]														
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x024	DMA_CPAR2	PA[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x028	DMA_CMAR2	MA[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x02C	予約済み																																
0x030	DMA_CCR3	予約済み																	MEM2MEM	PL [1:0]		MSIZE [1:0]		PSIZE [1:0]		MINC	PINC	CIRC	DIR	TEIE	HTIE	TCIE	EN
	リセット値																		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x034	DMA_CNDTR3	予約済み																	NDT[15:0]														
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x038	DMA_CPAR3	PA[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x03C	DMA_CMAR3	MA[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x040	予約済み																																
0x044	DMA_CCR4	予約済み																	MEM2MEM	PL [1:0]		MSIZE [1:0]		PSIZE [1:0]		MINC	PINC	CIRC	DIR	TEIE	HTIE	TCIE	EN
	リセット値																		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x048	DMA_CNDTR4	予約済み																	NDT[15:0]														
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x04C	DMA_CPAR4	PA[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表68. DMA レジスタマップとリセット値（続き）

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x050	**DMA_CMAR4**	MA[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x054	予約済み																																
0x058	**DMA_CCR5**	予約済み																	MEM2MEM	PL [1:0]		MSIZE [1:0]		PSIZE [1:0]		MINC	PINC	CIRC	DIR	TEIE	HTIE	TCIE	EN
	リセット値																		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x05C	**DMA_CNDTR5**	予約済み																NDT[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x060	**DMA_CPAR5**	PA[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x064	**DMA_CMAR5**	MA[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x068	予約済み																																
0x06C	**DMA_CCR6**	予約済み																	MEM2MEM	PL [1:0]		MSIZE [1:0]		PSIZE [1:0]		MINC	PINC	CIRC	DIR	TEIE	HTIE	TCIE	EN
	リセット値																		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x070	**DMA_CNDTR6**	予約済み																NDT[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x074	**DMA_CPAR6**	PA[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x078	**DMA_CMAR6**	MA[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x07C	予約済み																																
0x080	DMA_CCR7	予約済み																	MEM2MEM	PL [1:0]		MSIZE [1:0]		PSIZE [1:0]		MINC	PINC	CIRC	DIR	TEIE	HTIE	TCIE	EN
	リセット値																		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x084	**DMA_CNDTR7**	予約済み																NDT[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x088	**DMA_CPAR7**	PA[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x08C	**DMA_CMAR7**	MA[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x090	予約済み																																

*レジスタ境界アドレス*の表を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

11 A/D コンバータ（ADC）

小容量デバイスは、フラッシュメモリ容量が 16～32 KB の STM32F101xx、STM32F102xx、および STM32F103xx マイクロコントローラです。

中容量デバイスは、フラッシュメモリ容量が 64～128 KB の STM32F101xx、STM32F102xx、および STM32F103xx マイクロコントローラです。

大容量デバイスは、フラッシュメモリ容量が 256～512 KB の STM32F101xx および STM32F103xx マイクロコントローラです。

特大容量デバイスは、フラッシュメモリ容量が 768 KB～1 MB の STM32F101xx および STM32F103xx マイクロコントローラです。

コネクティビティラインデバイス は、STM32F105xx および STM32F107xx マイクロコントローラです。

このセクションは、別段の指定がない限り、STM32F10xxx ファミリ全体に適用されます。

11.1 ADC の概要

12 ビット ADC は、逐次比較型アナログデジタルコンバータです。最大 18 の多重化チャネルを持ち、16 の外部信号と 2 つの内部ソースの測定を行うことができます。さまざまなチャネルの A/D 変換は、シングル、連続、スキャン、または不連続モードで行うことができます。ADC の結果は、左詰めまたは右詰めで 16 ビットのデータレジスタに格納されます。

アナログウォッチドッグ機能により、アプリケーションは入力電圧が、ユーザ定義の高閾値または低閾値から逸脱していないかを検出することができます。

ADC の入力クロックはプリスケーラによって分周された PCLK2 クロックから生成されます。これは、14 MHz を超えてはなりません。小、中、大、特大容量デバイスについては*図 8：クロックツリー*を、コネクティビティラインデバイスについては *図 11：クロックツリー* を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

11.2 ADC の主な機能

- 精度：12 ビット
- 変換終了時、インジェクト変換終了時、およびアナログウォッチドッグイベント発生時に割り込みを生成
- シングルおよび連続変換モード
- チャネル 0 から チャネル n を自動変換するためのスキャンモード
- 自己較正
- 組み込みのデータコヒーレンシによるデータ配置
- チャネルごとにサンプル時間をプログラミング可能
- レギュラ変換とインジェクト変換用の外部トリガオプション
- 不連続モード
- デュアルモード （2 つ以上の ADC を持つデバイス）
- ADC 変換時間：
  - STM32F103xx パフォーマンスラインデバイス：56 MHz 時 1 µs（72 MHz 時 1.17 µs）
  - STM32F101xx アクセスラインデバイス：28 MHz 時 1 µs（36 MHz 時 1.55 µs）
  - STM32F102xx USB アクセスラインデバイス：48 MHz 時 1.2 µs
  - STM32F105xx および STM32F107xx デバイス：56 MHz 時 1 µs（72 MHz 時 1.17 µs）
- ADC 電源供給要件：2.4 V～3.6 V
- ADC 入力範囲：$V_{REF-} \leq V_{IN} \leq V_{REF+}$
- レギュラチャネル変換中の DMA リクエストの生成

ADC のブロック図を *図 25*に示します。

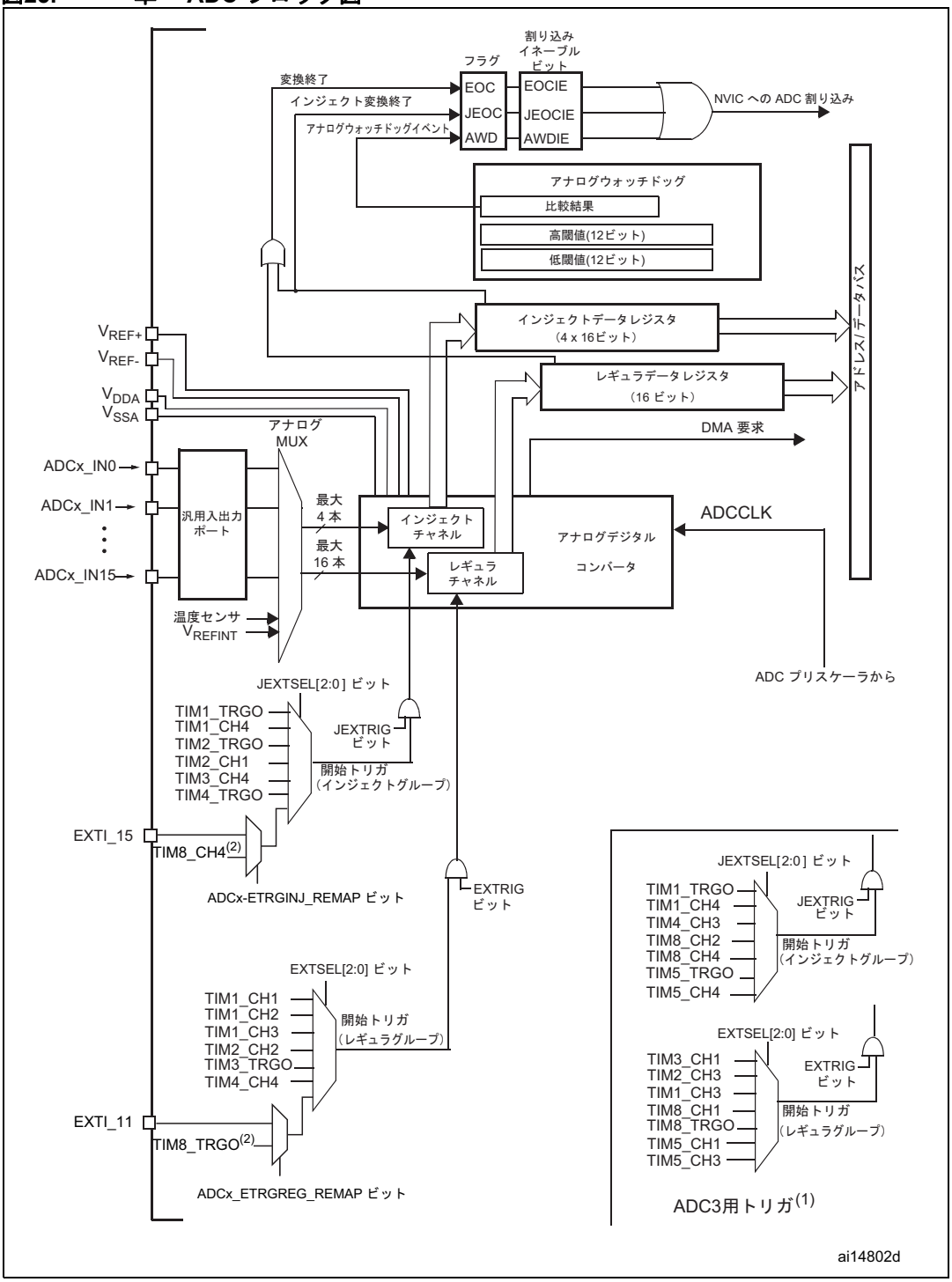
注： ***V_{REF-} ピンがある場合は（パッケージによります）、V_{SSA} に接続する必要があります。***

11.3 ADC の機能詳細

図 25 に、単一の ADC ブロック図を示します。*表 69* は ADC ピンの概要を示します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図25. 単一 ADC ブロック図



1. ADC3 のレギュラおよびインジェクト変換トリガは、ADC1 および ADC2 とは異なります。
2. 対応する再配置ビットを持つ TIM8_CH4 および TIM8_TRGO は、大容量および特大容量デバイスにのみ存在します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表69. ADC ピン

名称	信号種別	摘要
V_{REF+}	入力、アナログ基準電圧正	ADC のハイレベル/正基準電圧、2.4 V ≤ V_{REF+} ≤ V_{DDA}
V_{DDA}(1)	入力、アナログ電源供給	アナログ電源供給は V_{DD} に等しく、2.4 V ≤ V_{DDA} ≤ 3.6 V
V_{REF-}	入力、アナログ基準電圧負	ADC のローレベル/負基準電圧、V_{REF-} = V_{SSA}
V_{SSA}(1)	入力、アナログ供給グランド	V_{SS} に等しいアナログ電源供給のグランド
ADCx_IN[15:0]	アナログ信号	16 アナログチャネル

1. V_{DDA} と V_{SSA} は、それぞれ V_{DD} および V_{SS} に接続する必要があります。

11.3.1 ADC 電源の制御

ADC は、ADC_CR1 レジスタの ADON ビットをセットすることで、電源オンの状態になります。ADON ビットが最初にセットされると、ADC はパワーダウンモードからウェイクアップします。

2 回目に ADON ビットがソフトウェアによってセットされると、ADC パワーアップタイム（t_{STAB}）後に変換が開始されます。

ADON ビットをリセットすることによって、変換を停止し、ADC をパワーダウンモードにできます。この状態では、ADC は電力をほとんど消費しません（数μA 程度）。

11.3.2 ADC クロック

クロックコントローラによって供給される ADCCLK クロックは、PCLK2（APB2 クロック）に同期しています。RCC コントローラには、ADC クロック専用のプログラム可能なプリスケーラがあります。詳細については、*小容量、中容量、大容量、および特大容量のリセットおよびクロック制御（RCC）（82 ページ）*を参照してください。

11.3.3 チャネル選択

16 の多重化チャネルがあります。変換は、レギュラとインジェクトの 2 つのグループに構成することができます。各グループは、任意のチャネルに対して任意の変換の順序で構成されます。たとえば、Ch3、Ch8、Ch2、Ch2、Ch0、Ch2、Ch2、Ch15 の順に変換を行うことが可能です。

- **レギュラグループ**は、最大 16 の変換で構成されます。レギュラチャネルと変換シーケンス内での順序は、ADC_SQRx レジスタで選択する必要があります。レギュラグループの合計変換数は、ADC_SQR1 レジスタの L[3:0] ビットに書き込む必要があります。
- **インジェクトグループ**は、最大 4 つの変換で構成されます。インジェクトチャネルと変換シーケンス内での順序は、ADC_JSQRレジスタで選択する必要があります。インジェクトグループの合計変換数は、ADC_JSQR レジスタの L[1:0] ビットに書き込む必要があります。

変換中に ADC_SQRx または ADC_JSQR レジスタが変更された場合、現在の変換はリセットされ、新しい開始パルスが ADC に送られて、新しく選ばれたグループを変換します。

温度センサ/V_{REFINT} 内部チャネル

温度センサはチャネル ADCx_IN16 に接続され、内部基準電圧 V_{REFINT} は ADCx_IN17 に接続されます。この 2 つの内部チャネルは、インジェクトまたはレギュラチャネルとして選択して変換できます。

注： ***温度センサと V_{REFINT} は、マスタ ADC1 のみで使用できます。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

11.3.4 シングル変換モード

シングル変換モードでは、ADC は 1 回の変換を行います。このモードは、CONT ビットが 0 のとき、ADC_CR2 レジスタの ADON ビットをセットすることによって（レギュラチャネルのみ）、または外部トリガによって（レギュラまたはインジェクトチャネルの場合）開始されます。

選択されたチャネルの変換が完了すると、

- レギュラチャネルが変換された場合：
  - 変換されたデータは 16 ビットの ADC_DR レジスタに格納されます。
  - EOC（End Of Conversion）フラグがセットされます。
  - EOCIE がセットされている場合、割り込みが生成されます。
- インジェクトチャネルが変換された場合：
  - 変換されたデータは 16 ビットの ADC_DRJ1 レジスタに格納されます。
  - JEOC（End Of Conversion Injected）フラグがセットされます。
  - JEOCIE ビットがセットされている場合、割り込みが生成されます。

その後、ADC は停止します。

11.3.5 連続変換モード

連続変換モードでは、ADC は 1 つの変換が終了すると、もう 1 つの変換を開始します。このモードは、CONT ビットが 1 のとき、外部トリガによって、または ADC_CR2 レジスタの ADON ビットをセットすることによって開始されます。

各変換後、

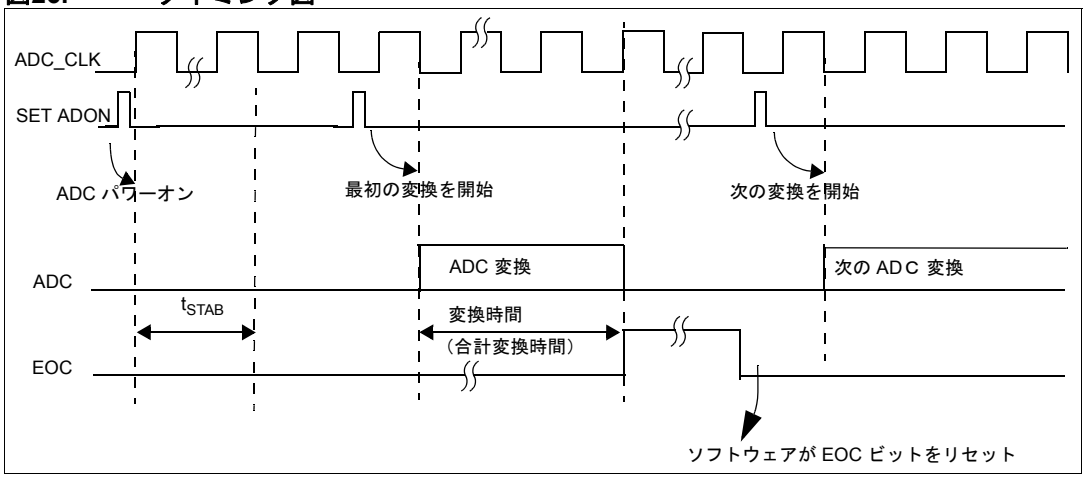
- レギュラチャネルが変換された場合：
  - 変換されたデータは 16 ビットの ADC_DR レジスタに格納されます。
  - EOC（End Of Conversion）フラグがセットされます。
  - EOCIE がセットされている場合、割り込みが生成されます。
- インジェクトチャネルが変換された場合：
  - 変換されたデータは 16 ビットの ADC_DRJ1 レジスタに格納されます。
  - JEOC（End Of Conversion Injected）フラグがセットされます。
  - JEOCIE ビットがセットされている場合、割り込みが生成されます。

11.3.6 タイミング図

図 26 に示されているように、ADC は変換を正確に開始する前に、安定時間 t_{STAB} を必要とします。ADC 変換の開始後 14 クロックサイクルで EOC フラグがセットされ、変換結果が 16 ビットの ADC データレジスタに格納されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図26. タイミング図



11.3.7 アナログウォッチドッグ

アナログウォッチドッグ（AWD）ステータスビットは、ADC によって変換されたアナログ電圧が低閾値を下回るか、高閾値を上回る場合にセットされます。これらの閾値は、ADC_HTR および ADC_LTR の 16 ビットレジスタの下位 12ビットにプログラムされます。ADC_CR1 レジスタの AWDIE ビットを使用して、割り込みを有効にできます。

閾値は、ADC_CR2 レジスタの ALIGN ビットによって選択された配置とは無関係です。配置前に比較が行われます（*セクション 11.5* を参照してください）。

アナログウォッチドッグは、*表 70* に示されているように、ADC_CR1 レジスタを設定することによって、1 つ以上のチャネルで有効にできます。

図27. アナログウォッチドッグによって保護される領域

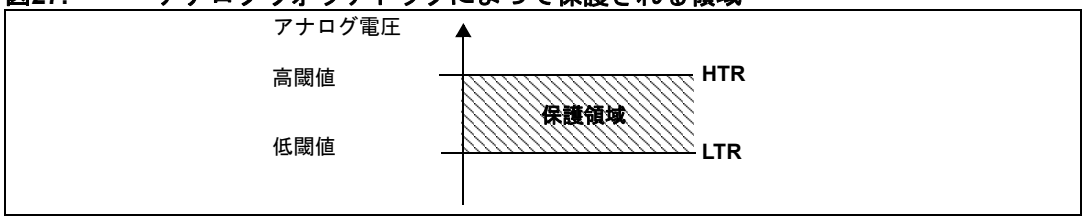


表70. アナログウォッチドッグのチャネル選択

アナログウォッチドッグによって保護されるチャネル	ADC_CR1 レジスタ制御ビット（x = 無視）		
	AWDSGL ビット	AWDEN ビット	JAWDEN ビット
なし	x	0	0
すべてのインジェクトチャネル	0	0	1
すべてのレギュラチャネル	0	1	0
すべてのレギュラインジェクトチャネル	0	1	1
単一(1) インジェクトチャネル	1	0	1
単一(1) レギュラチャネル	1	1	0
単一(1) レギュラまたはインジェクトチャネル	1	1	1

1. AWDCH[4:0] ビットによって選択

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

11.3.8 スキャンモード

このモードは、アナログチャネルのグループをスキャンするために使用されます。

スキャンモードは、ADC_CR1 レジスタの SCAN ビットをセットすることによって選択できます。このビットがセットされると、ADC は ADC_SQRx レジスタ（レギュラチャネルの場合）または ADC_JSQR レジスタ（インジェクトチャネルの場合）で選択されたすべてのチャネルをスキャンします。グループの各チャネルに対して 1 回の変換が行われます。各変換が完了すると、グループ内の次のチャネルが自動的に変換されます。CONT ビットがセットされている場合、グループの最後の選択チャネルで変換は停止せず、そのグループの最初の選択チャネルから続行されます。

DMA ビットがセットされている場合、各 EOC の後、ダイレクトメモリアクセスコントローラを使用して、レギュラグループチャネルの変換されたデータが SRAM に転送されます。

インジェクトチャネルの変換データは、常に ADC_JDRx レジスタに格納されます。

11.3.9 インジェクトチャネルの管理

トリガインジェクション

トリガインジェクションを使用するには、ADC_CR1 レジスタの JAUTO ビットがクリアされ、SCAN ビットがセットされていなければなりません。

1. 外部トリガによって、または、ADC_CR2 レジスタの ADON ビットをセットすることによって、レギャラチャネルのグループの変換を開始します。
2. レギャラグループチャネルの変換中に外部インジェクトトリガが発生した場合、現在の変換はリセットされ、インジェクトチャネルシーケンスはスキャンワンスモードで変換されます。
3. その後、レギュラグループチャネル変換は、最後に中断されたレギュラ変換からリスタートされます。インジェクト変換中にレギュライベントが発生した場合、変換は中断されず、インジェクトシーケンスの終了時にレギュラシーケンスが実行されます。*図 28* にタイミング図を示します。

注： ***トリガインジェクションを使用するときには、トリガイベントの間隔がインジェクションシーケンスより長くなるようにしなければなりません。たとえば、シーケンスの長さが 28 ADC クロックサイクルの場合（1.5 クロック周期のサンプル時間で 2 回の変換）、トリガの最小間隔は 29 ADC クロックサイクルでなければなりません。***

自動インジェクション

JAUTO ビットがセットされている場合、レギュラグループのチャネルの変換後、インジェクトグループのチャネルが自動的に変換されます。これを使用して、ADC_SQRx レジスタおよび ADC_JSQR レジスタでプログラミングされた最大 20 回の変換シーケンスを実行することができます。

このモードでは、インジェクトチャネルの外部トリガは無効でなければなりません。

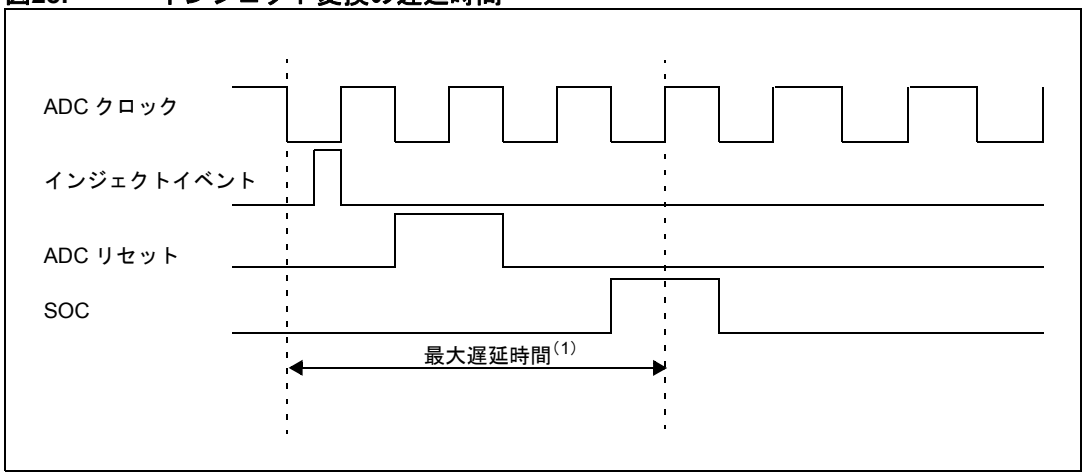
JAUTO ビットに加えて CONT ビットもセットされている場合、レギュラチャネルに続いてインジェクトチャネルが連続して変換されます。

4 から 8 までの ADC クロックプリスケーラの場合、レギュラからインジェクトシーケンスへの切り替え時に（それぞれレギュラシーケンスに追加される）、1 ADCクロック周期分の遅延が自動的に挿入されます。ADCクロックプリスケーラが 2 に設定された場合、遅延時間は 2 ADC クロック周期です。

注： ***自動インジェクトモードと不連続モードを同時に使用することはできません。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図28. インジェクト変換の遅延時間



1. 最大遅延時間の値は、STM32F101xx および STM32F103xx のデータシートの電気特性に記載されています。

11.3.10 不連続モード

レギュラグループ

このモードは、ADC_CR1 レジスタの DISCEN ビットをセットすることによって有効になります。これを使用して、ADC_SQRx レジスタで選択された変換シーケンスの一部である短い変換シーケンス（n <=8）を変換できます。n の値は、ADC_CR1 レジスタの DISCNUM[2:0] ビットに書き込むことによって指定されます。

外部トリガが発生すると、ADC_SQRx レジスタで選択された次の n 個の変換が開始され、シーケンス内のすべての変換が行われるまで続きます。合計シーケンス長は、ADC_SQR1 レジスタの L[3:0] ビットによって定義されます。

例：

n = 3、変換されるチャネル = 0、1、2、3、6、7、9、10
最初のトリガ：0、1、2 が変換されます。
2 番目のトリガ：3、6、7 が変換されます。
3 番目のトリガ：9、10 が変換され、EOC イベントが生成されます。
4 番目のトリガ：0、1、2 が変換されます。

注： ***レギュラグループが不連続モードで変換されるときには、ロールオーバーは発生しません。***

すべてのサブグループが変換されると、次のトリガで、最初のサブグループの変換が開始されます。上の例では、4 番目のトリガで最初のサブグループチャネルである 0、1、および 2 が再変換されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

インジェクトグループ

このモードは、ADC_CR1 レジスタの JDISCEN ビットをセットすることで有効になります。これを使用して、ADC_JSQR レジスタで選択されたシーケンスを、外部トリガイベント後に 1 チャネルずつ変換することができます。

外部トリガが発生すると、ADC_JSQR レジスタで選択された次のチャネル変換が開始され、シーケンス内のすべての変換が行われるまで続きます。合計シーケンス長は、ADC_JSQR レジスタの JL[1:0] ビットによって定義されます。

例：

n = 1、変換されるチャネル = 1、2、3
最初のトリガ：チャネル 1 が変換されます。
2 番目のトリガ：チャネル 2 が変換されます。
3 番目のトリガ：チャネル 3 が変換され、EOC および JEOC イベントが生成されます。
4 番目のトリガ：チャネル 1 が変換されます。

注： *1 すべてのインジェクトチャネルが変換されると、次のトリガでは、最初のインジェクトチャネルの変換が開始されます。上の例では、4 番目のトリガで最初のインジェクトチャネル 1 が再変換されます。*

2 自動インジェクトモードと不連続モードを同時に使用することはできません。

3 レギュラとインジェクトグループの両方で不連続モードを設定することは避けなければなりません。不連続モードは、1 つのグループ変換に対してのみ有効にしなければなりません。

11.4 較正

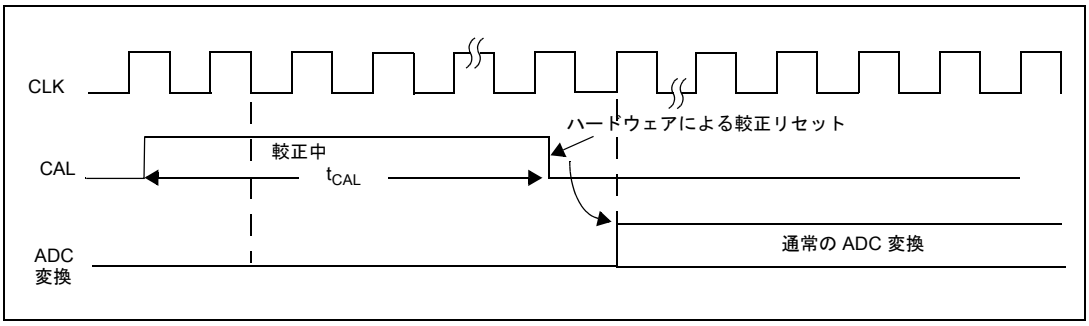
ADC には、内蔵の自己較正モードがあります。較正は、内部キャパシタバンクのばらつきによる精度エラーを大幅に低減させます。較正時には、各キャパシタの誤り訂正コード（デジタルワード）が計算され、その後のすべての変換では、このコードを使用して、各キャパシタのエラーが除去されます。

較正は、ADC_CR2 レジスタの CAL ビットをセットすることによって開始されます。較正が終了すると、CAL ビットはハードウェアによってリセットされ、通常の変換を実行できるようになります。パワーオン後に一度、ADC を較正することを推奨します。較正フェーズが終了すると、すぐに較正コードが ADC_DR に格納されます。

注： *1 パワーアップ後は毎回、較正を実行することを推奨します。*

2 較正を開始する前に、ADC は少なくとも 2 ADC クロックサイクルの間、パワーオフ状態（ADON ビット = 0）でなければなりません。

図29. 較正のタイミング図



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

11.5 データの配置

ADC_CR2 レジスタの ALIGN ビットは、変換後に格納されるデータの配置を選択します。データは、*図30.* および *図31.* に示されているように、左詰めまたは右詰めに配置できます。

インジェクトグループチャネルの変換後のデータ値は、ユーザが ADC_JOFRx レジスタに書き込んで定義したオフセット値だけ引き算されます。そのため、結果はマイナスになることがあります。SEXT ビットは、拡張符号値です。

レギュラグループチャネルの場合、オフセットは引かれないので、12 ビットのみが有効です。

図30. データの右詰め

インジェクトグループ

SEXT	SEXT	SEXT	SEXT	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0

レギュラグループ

0	0	0	0	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0

図31. データの左詰め

インジェクトグループ

SEXT	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	0	0	0

レギュラグループ

D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	0	0	0	0

11.6 チャネルごとにプログラミング可能なサンプル時間

ADC は、一定の ADC_CLK サイクル数だけ入力電圧をサンプリングしますが、この時間は、ADC_SMPR1 および ADC_SMPR2 レジスタの SMP[2:0] ビットを使用して変更できます。チャネルごとに異なるサンプル時間を設定することができます。

合計変換時間は、次のように計算されます。

Tconv = サンプル時間 + 12.5 サイクル

例：

ADCCLK = 14 MHz、サンプル時間が 1.5 サイクルのとき：

Tconv = 1.5 + 12.5 = 14 サイクル = 1 µs

11.7 外部トリガによる変換

変換は、外部イベント（タイマキャプチャ、EXTI ラインなど）によってトリガできます。EXTTRIG 制御ビットがセットされている場合、外部イベントで変換をトリガできます。EXTSEL[2:0] および JEXTSEL[2:0] 制御ビットによって、アプリケーションはレギュラおよびインジェクトグループの変換をトリガできるイベントを 8 つのイベントから選択することができます。

注： ***ADC のレギュラおよびインジェクト変換に対して外部トリガが選択されているときには、信号の立ち上がりエッジのみが変換を開始できます。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表71. ADC1 と ADC2 のレギュラチャネルに対する外部トリガ

ソース	タイプ	EXTSEL[2:0]
TIM1_CC1 イベント	オンチップタイマからの内部信号	000
TIM1_CC2 イベント		001
TIM1_CC3 イベント		010
TIM2_CC2 イベント		011
TIM3_TRGO イベント		100
TIM4_CC4 イベント		101
EXTI ライン 11/TIM8_TRGO イベント(1)(2)	外部ピン/内部 信号（オンチップタイマからの）	110
SWSTART	ソフトウェア制御ビット	111

1. TIM8_TRGO イベントは、大容量および特大容量デバイスにのみ存在します。
2. レギュラチャネルに対する外部トリガ EXTI ライン 11 または TIM8_TRGO イベントの選択は、それぞれ、ADC1 と ADC2 の設定ビット ADC1_ETRGREG_REMAP および ADC2_ETRGREG_REMAP を通じて行われます。

表72. ADC1 および ADC2 のインジェクトチャネルに対する外部トリガ

ソース	接続タイプ	JEXTSEL[2:0]
TIM1_TRGO イベント	オンチップタイマからの内部信号	000
TIM1_CC4 イベント		001
TIM2_TRGO イベント		010
TIM2_CC1 イベント		011
TIM3_CC4 イベント		100
TIM4_TRGO イベント		101
EXTI ライン 15/TIM8_CC4 イベント(1)(2)	外部ピン/内部信号（オンチップタイマからの）	110
JSWSTART	ソフトウェア制御ビット	111

1. TIM8_CC4 イベントは、大容量および特大容量デバイスにのみ存在します。
2. インジェクトチャネルに対する外部トリガ EXTI ライン 15 または TIM8_CC4 イベントの選択は、それぞれ、ADC1 と ADC2 の設定ビット ADC1_ETRGINJ_REMAP および ADC2_ETRGINJ_REMAP を通じて行われます。

表73. ADC3 のレギュラチャネルに対する外部トリガ

ソース	接続タイプ	EXTSEL[2:0]
TIM3_CC1 イベント	オンチップタイマからの内部信号	000
TIM2_CC3 イベント		001
TIM1_CC3 イベント		010
TIM8_CC1 イベント		011
TIM8_TRGO イベント		100
TIM5_CC1 イベント		101
TIM5_CC3 イベント		110
SWSTART	ソフトウェア制御ビット	111

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表74. ADC3 のインジェクトチャネルに対する外部トリガ

ソース	接続タイプ	JEXTSEL[2:0]
TIM1_TRGO イベント	オンチップタイマからの内部信号	000
TIM1_CC4 イベント		001
TIM4_CC3 イベント		010
TIM8_CC2 イベント		011
TIM8_CC4 イベント		100
TIM5_TRGO イベント		101
TIM5_CC4 イベント		110
JSWSTART	ソフトウェア制御ビット	111

ソフトウェアソーストリガイベントは、レジスタのビット（ADC_CR2 の SWSTART および JSWSTART）をセットすることによって生成できます。

レギャラグループ変換は、インジェクトトリガによって中断することが可能です。

11.8 DMA リクエスト

変換されたレギュラチャネルの値は一意なデータレジスタに格納されるので、複数のレギュラチャネルの変換では DMA を使用する必要があります。これによって、ADC_DR レジスタにすでに格納されているデータの損失を防ぐことができます。

レギュラチャネルの変換終了時にのみ DMA リクエストが生成され、これにより、ADC_DR レジスタからユーザによって選択された場所に変換データを移動することができます。

注： ***この DMA 機能は、ADC1 と ADC3 だけが持っています。ADC2 の変換されたデータは、デュアル ADC モードでマスタ側の ADC1 のデータとともに DMA 転送できます。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

11.9 デュアル ADC モード

2 つ以上の ADC を持つデバイスでは、デュアル ADC モードを使用することができます（*図 32* を参照してください）。

デュアル ADC モードでは、変換の開始は、ADC_CR1 レジスタの DUALMOD[2:0] ビットによって選択されたモードに応じて、ADC1（マスタ）と ADC2（スレーブ）によって交互または同時にトリガされます。

注： ***デュアルモードでは、外部イベントによってトリガされる変換を設定するときには、誤ったトリガが不要なスレーブ変換を開始しないように、ユーザはマスタのトリガのみをセットし、スレーブにはソフトウェアトリガをセットする必要があります。ただし、マスタとスレーブの両方の ADC について外部トリガを有効にする必要があります。***

次の 6 つのモードが実装されています。

- インジェクト同時モード
- レギュラ同時モード
- 高速インタリーブモード
- 低速インタリーブモード
- オルタネートトリガモード
- 独立モード

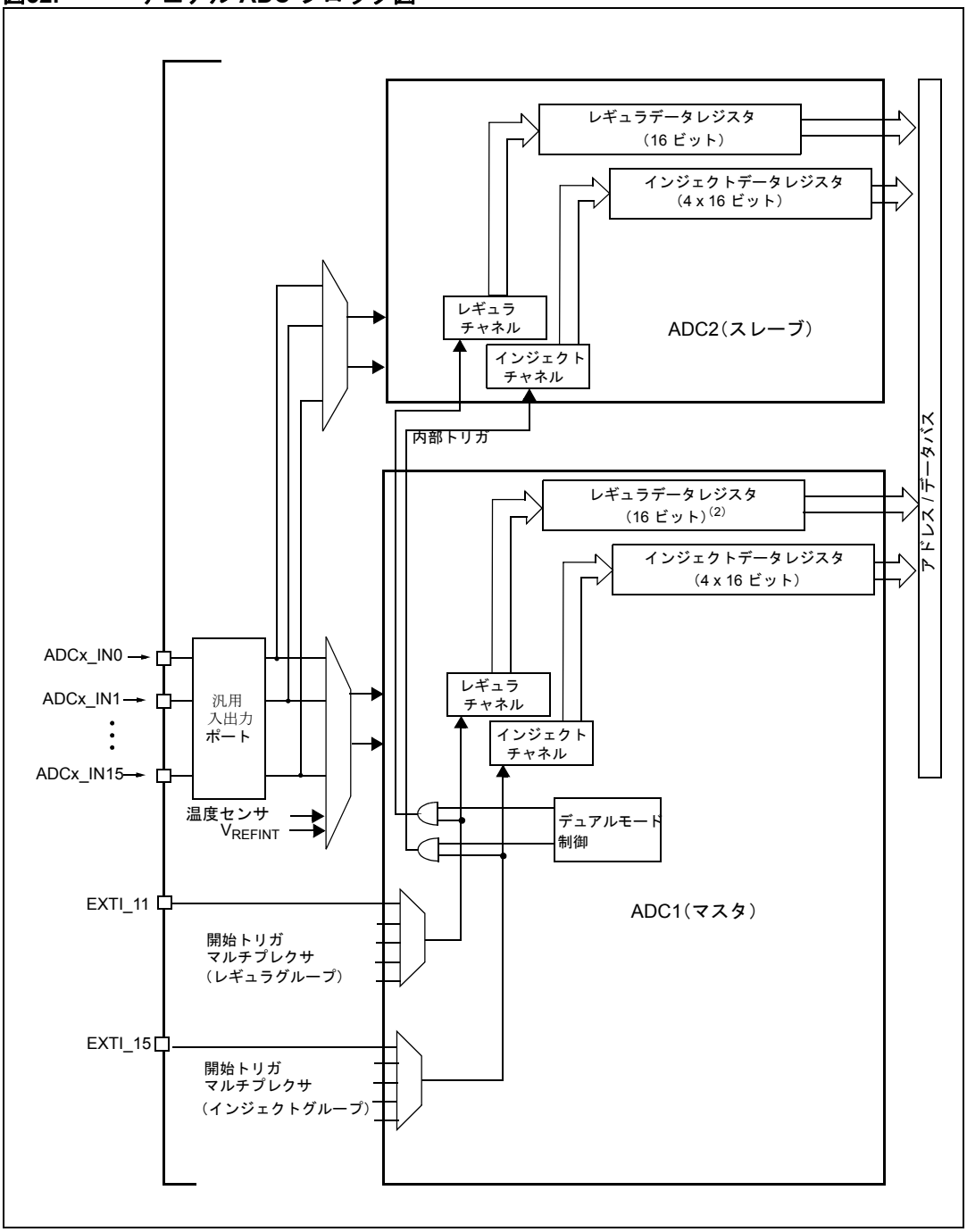
これらのモードを次のように組み合わせて使用することも可能です。

- インジェクト同時モード + レギュラ同時モード
- レギュラ同時モード + オルタネートトリガモード
- インジェクト同時モード + インタリーブモード

注： ***デュアル ADC モードでは、マスタデータレジスタからスレーブの変換データを読み出すには、変換されたレギュラチャネルデータの転送に使用されない場合でも、DMA ビットが有効でなければなりません。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図32. デュアル ADC ブロック図 (1)



1. 外部 トリガは ADC2 にありますが、このブロック図には記載されていません。
2. いくつかのデュアル ADC モードでは、ADC1 データレジスタ（ADC1_DR）は ADC1 と ADC2 の両方のレギュラ変換データを、32 ビット全体を通じて表します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

11.9.1 インジェクト同時モード

このモードは、インジェクトチャネルグループを変換します。外部トリガのソースは、ADC1 のインジェクトグループマルチプレクサ（ADC1_CR2 レジスタの JEXTSEL[2:0] ビットによって選択）です。同時トリガは、ADC2 に供給されます。

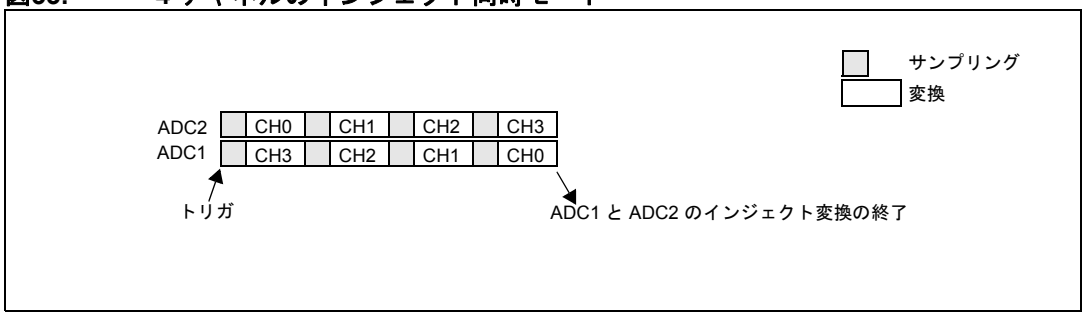
注： ***2 つの ADC の同じチャネルを変換しないでください（同じチャネルを変換すると、2 つの ADC のサンプル時間が重なりません。）***

ADC1 または ADC2 の変換終了イベント時に、

- 変換されたデータは、各 ADC インタフェースの ADC_JDRx レジスタに格納されます。
- ADC1/ADC2 のインジェクトチャネルがすべて変換されると、JEOC 割り込みが生成されます（2 つの ADC インタフェースの 1 つが有効な場合）。

注： ***同時モードでは、同じ長さのシーケンスを変換するか、トリガ間隔が 2 つのシーケンスのうち長い方のシーケンスより長くなるようにしなければなりません。さもなければ、長いシーケンスの ADC が前の変換を完了する前に、短いシーケンスの ADC がリスタート始することがあります。***

図33. 4 チャネルのインジェクト同時モード



11.9.2 レギュラ同時モード

このモードは、レギュラチャネルグループに対して行われます。外部トリガのソースは、ADC1 のレギュラグループマルチプレクサ（ADC1_CR2 レジスタの EXTSEL[2:0] によって選択）です。同時トリガは、ADC2 に供給されます。

注： ***2 つの ADC の同じチャネルを変換しないでください（同じチャネルを変換すると、2 つの ADC のサンプル時間が重なりません。）***

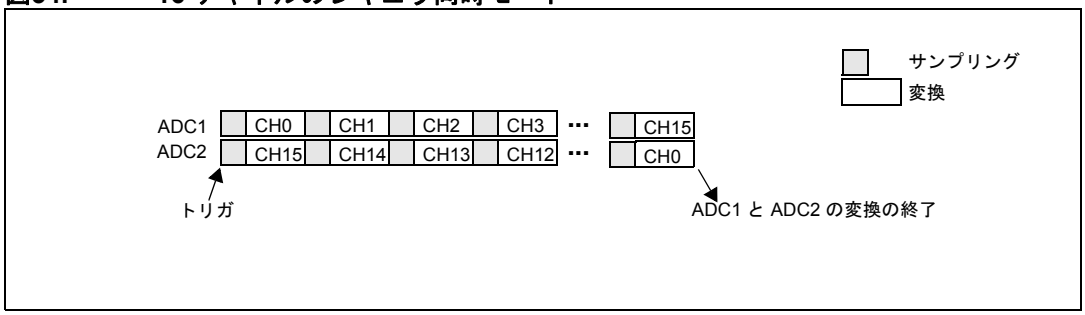
ADC1 または ADC2 の変換終了イベント時に、

- 32 ビットの DMA 転送リクエストが生成され（DMA ビットがセットされている場合）、上位ハーフワードに ADC変換データを、下位ハーフワードに ADC1 変換データを含んでいる ADC1_DR 32 ビットレジスタを SRAM に転送します。
- ADC1/ADC2 レギュラチャネルがすべて変換されると、EOC 割り込みが生成されます（2 つの ADC インタフェースのひとつが有効な場合）。

注： ***レギュラ同時モードでは、同じ長さのシーケンスを変換するか、トリガ間隔が 2 つのシーケンスのうち長い方のシーケンスより長くなるようにしなければなりません。さもなければ、長いシーケンスの ADC が前の変換を完了する前に、短いシーケンスの ADC がリスタート始することがあります。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図34. 16 チャネルのレギュラ同時モード



11.9.3 高速インタリーブモード

このモードは、レギュラチャネルグループ（通常は 1 つのチャネル）でのみ開始できます。外部トリガのソースは、ADC1 のレギュラチャネルマルチプレクサです。外部トリガが発生した後、

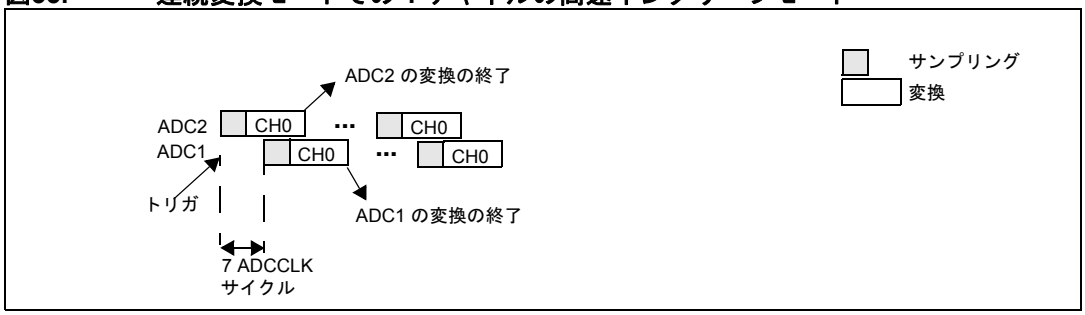
- ADC2 はただちに開始し、
- ADC1 は 7 ADC クロックサイクルの遅延後に開始します。

ADC1 と ADC2 の両方で CONT ビットがセットされている場合、両方の ADC の選択されたレギュラチャネルが連続的に変換されます。

ADC1 によって EOC 割り込みが生成された後（EOCIE ビットによって有効な場合）、32 ビット DMA 転送リクエストが生成されて（DMA ビットがセットされている場合）、上位ハーフワードに ADC2 変換データを、下位ハーフワードに ADC1 変換データを含んでいる ADC1_DR 32 ビットレジスタを SRAM に転送します。

注： ***同じチャネルを変換する場合の ADC1 と ADC2 のサンプリングフェーズのオーバーラップを避けるために、許される最大サンプル時間は 7 ADCCLK サイクル未満です。***

図35. 連続変換モードでの 1 チャネルの高速インタリーブモード



11.9.4 低速インタリーブモード

このモードは、レギュラチャネルグループ（1 つのチャネルのみ）でのみ開始できます。外部トリガのソースは、ADC1 のレギュラチャネルマルチプレクサです。外部トリガが発生した後、

- ADC2 はただちに開始し、
- ADC1 は 14 ADC クロックサイクルの遅延後に開始します。
- ADC2 は、さらに 14 ADC サイクルの遅延後に開始します。以下同様です。

注： ***次の変換とのオーバーラップを避けるために、許される最大サンプル時間は 14 ADCCLK サイクル未満です。***

ADC1 によって EOC 割り込みが生成された後（EOCIE ビットによって有効な場合）、32 ビット DMA 転送リクエストが生成されて（DMA ビットがセットされている場合）、上位ハーフワードに ADC2 変

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

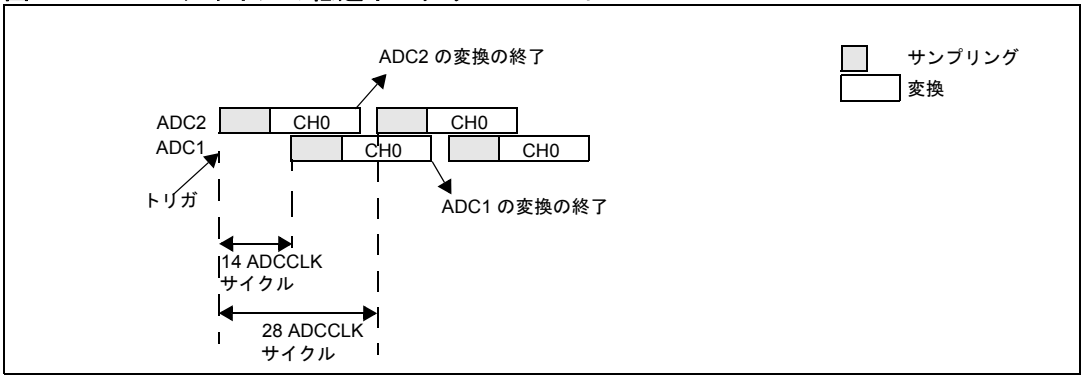
換データを、下位ハーフワードに ADC1 変換データを含んでいる ADC1_DR 32 ビットレジスタを SRAM に転送します。

新しい ADC2 の開始は、28 ADC クロックサイクル後に自動的に生成されます。

このモードでは、選択されたレギュラチャネルを連続的に変換するので、CONT ビットをセットすることはできません。

注：　アプリケーションは、インタリーブモードが有効なときには、インジェクトチャネルに対する外部トリガが発生しないようにしなければなりません。

図36.　1 チャネルの低速インタリーブモード



11.9.5　オルタネートトリガモード

このモードは、インジェクトチャネルグループでのみ開始できます。外部トリガのソースは、ADC1 のインジェクトグループマルチプレクサです。

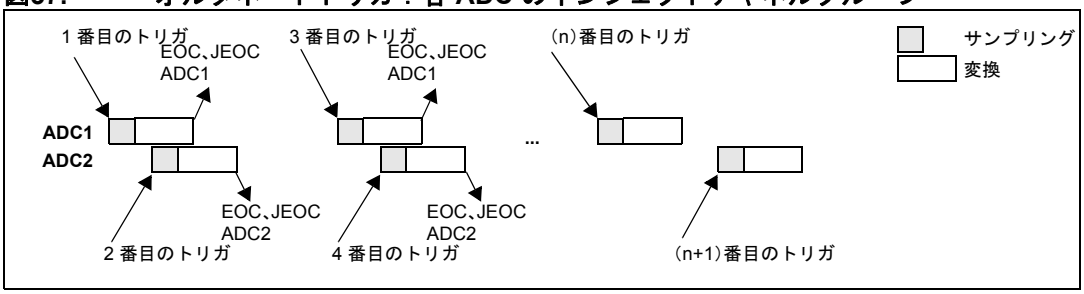
- 最初のトリガが発生すると、ADC1 のすべてのインジェクトグループチャネルが変換されます。
- 2 番目のトリガが発生すると､ADC2 のすべてのインジェクトグループチャネルが変換されます。
- 以下同様です。

ADC1 のすべてのインジェクトグループチャネルが変換された後、JEOC 割り込み（有効な場合）が生成されます。

ADC2 のすべてのインジェクトグループチャネルが変換されると、JEOC 割り込み（有効な場合）が生成されます。

すべてのインジェクトグループチャネルが変換された後で別の外部トリガが発生した場合は、ADC1 インジェクトグループチャネルを変換することによって、オルタネートトリガプロセスがリスタート始します。

図37.　オルタネートトリガ：各 ADC のインジェクトチャネルグループ



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ADC1 と ADC2 の両方に対してインジェクト不連続モードが有効な場合、

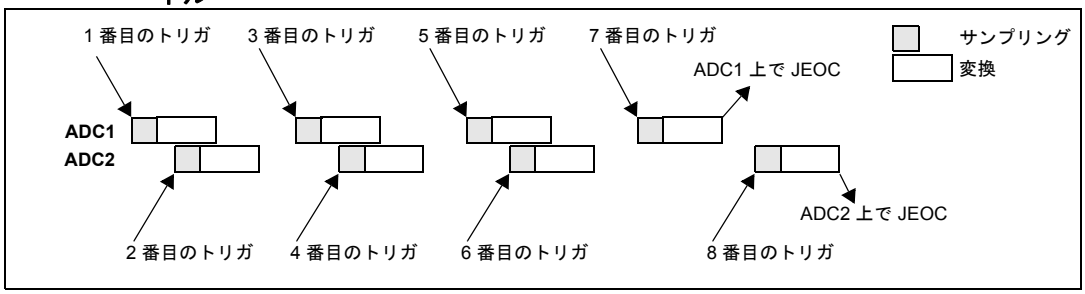
- 最初のトリガが発生すると、ADC1 の最初 のインジェクトチャネルが変換されます。
- 2 番目のトリガが発生すると、ADC2 の最初のインジェクトチャネルが変換されます。
- 以下同様です。

ADC1 のすべてのインジェクトグループチャネルが変換された後、JEOC 割り込み（有効な場合）が生成されます。

ADC2 のすべてのインジェクトグループチャネルが変換されると、JEOC 割り込み（有効な場合）が生成されます。

すべてのインジェクトグループチャネルが変換された後で別の外部トリガが発生した場合は、オルタネートトリガプロセスがリスタート始されます。

図38. オルタネートトリガ：不連続モデルの（各 ADCの）4 つのインジェクトチャネル



11.9.6 独立モード

このモードでは、デュアル ADC 同期を迂回して、各 ADC インタフェースが独立して動作します。

11.9.7 レギュラ/インジェクト同時モードの組み合わせ

レギュラグループの同時変換を中断して、インジェクトグループの同時変換を開始することができます。

注： ***レギュラ/インジェクト同時モードの組み合わせでは、同じ長さのシーケンスを変換するか、トリガ間隔が 2 つのシーケンスのうち長い方のシーケンスより長くなるようにしなければなりません。さもなければ、長いシーケンスの ADC が前の変換を完了する前に、短いシーケンスの ADC がリスタート始することがあります。***

11.9.8 レギュラ同時+オルタネートトリガモードの組み合わせ

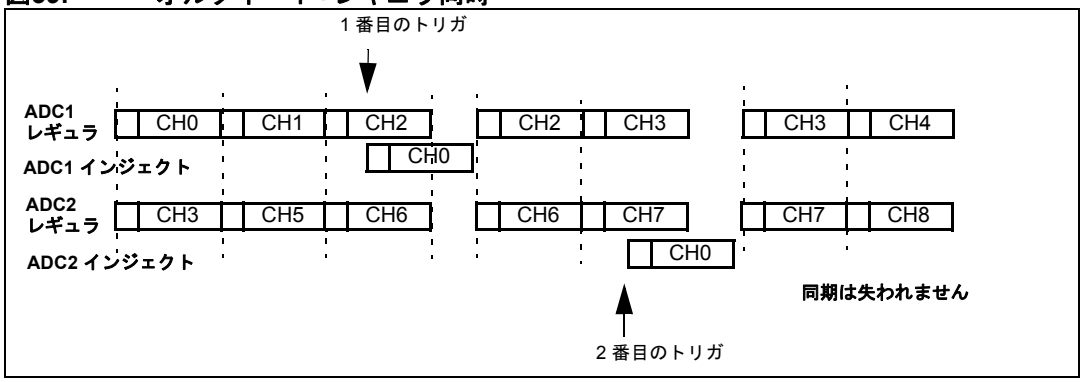
レギュラグループの同時変換を中断して、インジェクトグループのオルタネートトリガ変換を開始することができます。*図 39* は、レギュラ同時変換に割り込むオルタネートトリガの動作を示しています。

インジェクトオルタネート変換は、インジェクトイベントが発生すると、ただちに開始されます。すでにレギュラ変換の実行中であった場合、インジェクト変換後の同期を確保するために、両方の（マスタ/スレーブ）ADC のレギュラ変換は停止し、インジェクト変換の終了と同時にリスタートされます。

注： ***レギュラ同時+オルタネートトリガモードの組み合わせでは、同じ長さのシーケンスを変換するか、トリガ間隔が 2 つのシーケンスのうち長い方のシーケンスより長くなるようにしなければなりません。さもなければ、長いシーケンスの ADC が前の変換を完了する前に、短いシーケンスの ADC がリスタート始することがあります。***

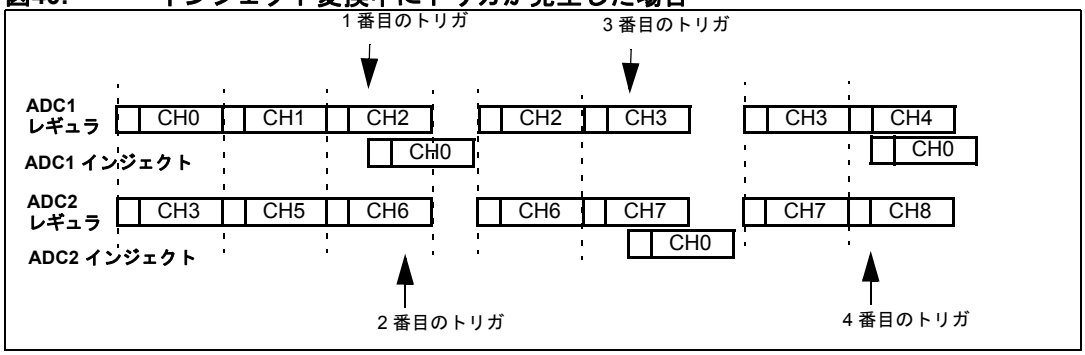
この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図39. オルタネート+レギュラ同時



レギュラ変換に割り込んだインジェクト変換の最中にトリガが発生した場合は無視されます。*図 40* は、この場合の動作を示しています（2 番目 のトリガは無視されます）。

図40. インジェクト変換中にトリガが発生した場合

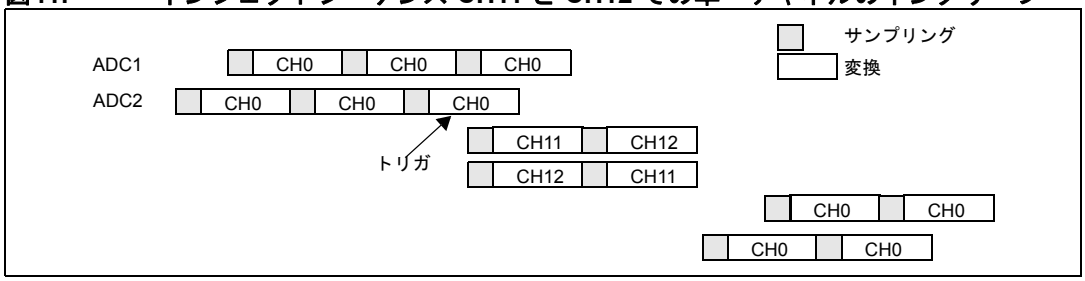


11.9.9 インジェクト同時+インタリーブの組み合わせ

インジェクトイベントでインタリーブ変換に割り込むことができます。この場合、インタリーブ変換は中断され、インジェクト変換が開始され、インジェクトシーケンスの終了時にインタリーブ変換がリスタートされます。*図 41* は、この動作を例を使用して示しています。

注： ***ADC クロックプリスケーラが 4 に設定されているときには、インタリーブモードは均等間隔のサンプリング周期でリスタートされません。サンプリング間隔は、7 クロック周期の後に 7 クロック周期が続くのではなく、8 ADC クロック周期の後に 6 ADC クロック周期が続きます。***

図41. インジェクトシーケンス CH11 と CH12 での単一チャネルのインタリーブ



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

11.10 温度センサ

温度センサを使用して、デバイスの周辺温度（T_A）を測定できます。

温度センサは、内部で ADCx_IN16 入力チャネルに接続されていて、センサの出力電圧をデジタル値に変換することができます。温度センサの推奨サンプル時間は、17.1µs です。

温度センサのブロック図を *図 42* に示します。

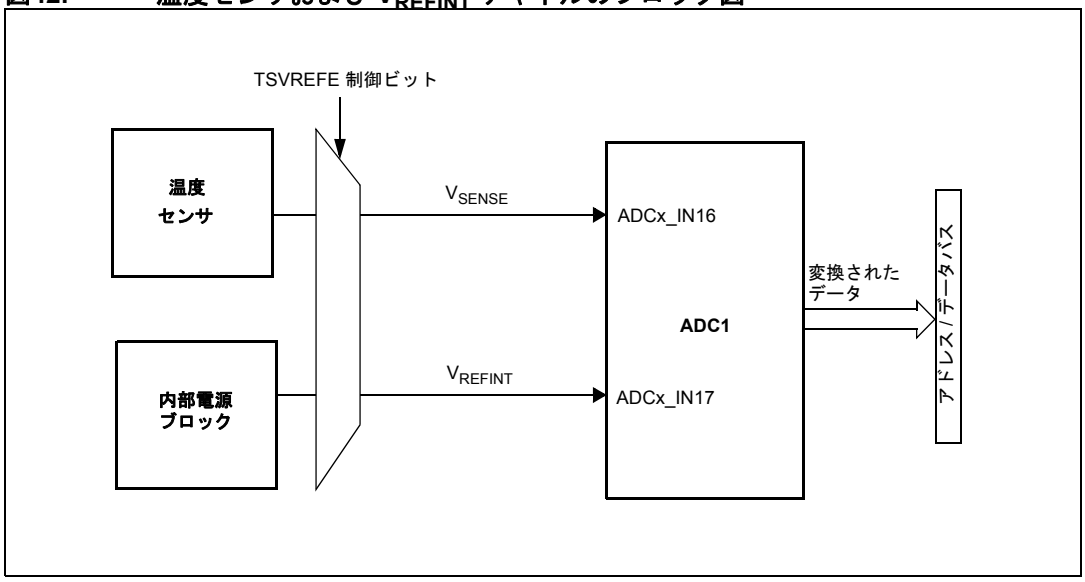
使用されないときには、このセンサをパワーダウンモードにすることができます。

注： ***両方の内部チャネル、すなわち、ADCx_IN16（温度センサ）と ADCx_IN17（V_{REFINT}）の変換を有効にするには、TSVREFE ビットをセットする必要があります。***

温度センサの出力電圧は、温度に比例して変化します。このラインのオフセットは、プロセスのばらつきに起因し、チップごとに異なります（チップ間で最大 45 ℃）。

内部温度センサは、絶対温度の代わりに温度変化を検出するアプリケーションに適しています。正確な計測温度が必要な場合は、外部温度センサを使用してください。

図42. 温度センサおよび V_{REFINT} チャネルのブロック図



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

温度の読み出し

温度センサを使用するには：

1. ADCx_IN16 入力チャネルを選択します。
2. 17.1 μs のサンプル時間を選択します。
3. *ADC 制御レジスタ 2（ADC_CR2）*の TSVREFE ビットをセットして、温度センサをパワーダウンモードからウェイクアップします。
4. ADON ビットをセットすることによって（または外部トリガによって）ADC 変換を開始します。
5. ADC データレジスタの V_{SENSE} データを読み出します。
6. 次の式を使用して、温度を求めます。

   温度(℃) = {(V_{25} - V_{SENSE}) / Avg_Slope} + 25

   ここで、

   V_{25} = 25℃での V_{SENSE} 値

   Avg_Slope = 温度と V_{SENSE} の間の平均の傾き（mV/℃またはμV/℃）

   V_{25} および Avg_Slope の実際の値については、電気特性のセクションを参照してください。

注： ***センサがパワーダウンモードからウェイクアップして、正しいレベルで V_{SENSE} を出力できるようになるまでには時間がかかります（スタートアップ時間）。ADC にも起動後のスタートアップ時間があるので、遅延を最小にするには、ADON ビットと TSVREFE ビットを同時にセットしてください。***

11.11 ADC 割り込み

割り込みは、レギュラおよびインジェクトグループの変換終了時、およびアナログウォッチドッグステータスビットがセットされたときに生成されます。柔軟性のために、個別の割り込みイネーブルビットがあります。

注： ***ADC1 および ADC2 割り込みは、同じ割り込みベクタにマップされます。ADC3 割り込みは、個別の割り込みベクタにマップされます。***

ADC_SR レジスタには他に 2 つのフラグがありますが、これらは割り込みには無関係です。

- JSTRT（インジェクトグループチャネルの変換開始）
- STRT（レギュラグループチャネルの変換開始）

表75. ADC 割り込み

割り込みイベント	イベントフラグ	イネーブル制御ビット
レギュラグループの変換終了	EOC	EOCIE
インジェクトグループの変換終了	JEOC	JEOCIE
アナログウォッチドッグステータスビットのセット	AWD	AWDIE

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

11.12 ADC レジスタ

レジスタの説明で使用されている略語のリストについては、*セクション 1.1（40 ページ）*を参照してください。

ペリフェラルレジスタには、ワード（32 ビット）単位でアクセスする必要があります。

11.12.1 ADC ステータスレジスタ （ADC_SR）

アドレスオフセット：0x00

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み											STRT	JSTRT	JEOC	EOC	AWD
											rc_w0	rc_w0	rc_w0	rc_w0	rc_w0

ビット 31:5　予約済み、クリア状態のままでなければなりません。

ビット 4　**STRT**：レギュラチャネル開始フラグ
このビットは、レギュラチャネルの変換が開始したときにハードウェアによってセットされます。ソフトウェアによってクリアされます。
0：レギュラチャネルの変換は開始されていません。
1：レギュラチャネルの変換が開始されました。

ビット 3　**JSTRT**：インジェクトチャネル開始フラグ
このビットは、インジェクトチャネルグループの変換が開始すると、ハードウェアによってセットされます。ソフトウェアによってクリアされます。
0：インジェクトグループの変換は開始されていません。
1：インジェクトグループの変換が開始されました。

ビット 2　**JEOC**：インジェクトチャネルの変換終了
このビットは、インジェクトグループチャネル変換がすべて終了したときに、ハードウェアによってセットされます。ソフトウェアによってクリアされます。
0：変換は完了していません。
1：変換が完了しました。

ビット 1　**EOC**：変換終了
このビットは、グループチャネル変換（レギュラまたはインジェクト）の終了時に、ハードウェアによってセットされます。ソフトウェアによって、または ADC_DR レジスタを読み出すことによってクリアされます。
0：変換は完了していません。
1：変換が完了しました。

ビット 0　**AWD**：アナログウォッチドッグフラグ
このビットは、変換された電圧が、ADC_LTR および ADC_HTR レジスタでプログラミングされた値を超えたときに、ハードウェアによってセットされます。ソフトウェアによってクリアされます。
0：アナログウォッチドッグイベントは発生していません。
1：アナログウォッチドッグイベントが発生しました。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

11.12.2 ADC制御レジスタ1（ADC_CR1）

アドレスオフセット：0x04

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み								AWDEN	JAWDEN	予約済み		DUALMOD[3:0]			
予約済み								rw	rw	予約済み		rw	rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DISCNUM[2:0]			JDISCEN	DISCEN	JAUTO	AWDSGL	SCAN	JEOC IE	AWDIE	EOCIE	AWDCH[4:0]				
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:24 予約済み、クリア状態のままでなければなりません。

ビット 23 **AWDEN**：アナログウォッチドッグイネーブル（レギュラチャネル）
このビットは、ソフトウェアによってセット/リセットされます。
0：レギュラチャネルに対するウォッチドッグ機能は無効です。
1：レギュラチャネルに対するウォッチドッグ機能は有効です。

ビット 22 **JAWDEN**：アナログウォッチドッグイネーブル（インジェクトチャネル）
このビットは、ソフトウェアによってセット/リセットされます。
0：インジェクトチャネルに対するウォッチドッグ機能は無効です。
1：インジェクトチャネルに対するウォッチドッグ機能は有効です。

ビット 21：20 予約済み、クリア状態のままでなければなりません。

ビット 19:16 **DUALMOD[3:0]**：デュアルモードの選択
これらのビットは、動作モードを選択するために、ソフトウェアによって書き込まれます。
0000：独立モード
0001：レギュラ同時 + インジェクト同時モードの組み合わせ
0010：レギュラ同時 + オルタネートトリガモードの組み合わせ
0011：インジェクト同時 + 高速インタリーブモードの組み合わせ
0100：インジェクト同時 + 低速インタリーブモードの組み合わせ
0101：インジェクト同時モードのみ
0110：レギュラ同時モードのみ
0111：高速インタリーブモードのみ
1000：低速インタリーブモードのみ
1001：オルタネートトリガモードのみ

注： ***これらのビットは ADC2 および ADC3 では予約済みです。***
デュアルモードでは、チャネル設定の変更によってリスタート始が生成され、同期が失われることがあります。設定を変更する前に、デュアルモードを無効にすることが推奨されます。

ビット 15:13 **DISCNUM[2:0]**：不連続モードチャネルカウント
これらのビットは、外部トリガの受信後に、不連続モードで変換されるレギュラチャネルの数を定義するために、ソフトウェアによって書き込まれます。
000：1 チャネル
001：2 チャネル
.....
111：8 チャネル

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 12 **JDISCEN**：インジェクトチャネルの不連続モード

このビットは、インジェクトグループチャネルに対する不連続モードを有効/無効にするために、ソフトウェアによってセット/クリアされます。

0：インジェクトチャネルの不連続モードは無効です。

1：インジェクトチャネルの不連続モードは有効です。

ビット 11 **DISCEN**：レギュラチャネルの不連続モード

このビットは、レギュラチャネルに対する不連続モードを有効/無効にするために、ソフトウェアによってセット/クリアされます。

0：レギュラチャネルの不連続モードは無効です。

1：レギュラチャネルの不連続モードは有効です。

ビット 10 **JAUTO**：自動インジェクトグループ変換

このビットは、レギュラグループ変換の後、自動インジェクトグループ変換を有効/無効にするために、ソフトウェアによってセット/クリアされます。

0：自動インジェクトグループ変換は無効です。

1：自動インジェクトグループ変換は有効です。

ビット 9 **AWDSGL**：スキャンモードでの単一チャネルのウォッチドッグイネーブル

このビットは、AWDCH[4:0] ビットによって識別されたチャネルに対するアナログウォッチドッグを有効/無効にするために、ソフトウェアによってセット/クリアされます。

0：アナログウォッチドッグ機能はすべてのチャネルで有効です。

1：アナログウォッチドッグ機能は単一チャネルでのみ有効です。

ビット 8 **SCAN**：スキャンモード

このビットは、スキャンモードを有効/無効にするために、ソフトウェアによってセット/クリアされます。スキャンモードでは、ADC_SQRx および ADC_JSEQR レジスタを通じて選択された入力が変換されます。

0：スキャンモードは無効です。

1：スキャンモードは有効です。

注： 対応する EOCIE または JEOCIE ビットがセットされている場合、最後のチャネルの変換が終了したときのみ、EOC または JEOC 割り込みが生成されます。

ビット 7 **JEOCIE**：インジェクトチャネルの割り込みイネーブル

このビットは、インジェクトチャネルの変換割り込み終了を有効/無効にするために、ソフトウェアによってセット/クリアされます。

0：JEOC 割り込み無効。

1：JEOC 割り込み有効。JEOC ビットがセットされると、割り込みが生成されます。

ビット 6 **AWDIE**：アナログウォッチドッグ割り込みイネーブル

このビットは、アナログウォッチドッグ割り込みを有効/無効にするために、ソフトウェアによってセット/クリアされます。スキャンモードでは、このビットが有効な場合のみ、ウォッチドッグの閾値を超えるとスキャンがアボートされます。

0：アナログウォッチドッグ割り込み無効。

1：アナログウォッチドッグ割り込み有効。

ビット 5 **EOCIE**：EOC 割り込みイネーブル

このビットは、変換終了時の割り込みを有効/無効にするために、ソフトウェアによってセット/クリアされます。

0：EOC 割り込み無効。

1：EOC 割り込み有効。EOC ビットがセットされると、割り込みが生成されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 4:0 **AWDCH[4:0]**：アナログウォッチドッグチャネル選択ビット

これらのビットは、ソフトウェアによってセット/クリアされます。アナログウォッチドッグによって保護される入力チャネルを選択します。

00000：ADC アナログチャネル 0

00001：ADC アナログチャネル 1

....

01111：ADC アナログチャネル 15

10000：ADC アナログチャネル 16

10001：ADC アナログチャネル 17

その他の値は予約済みです。

*注： **ADC1 アナログチャネル 16 とチャネル 17 は、それぞれ温度センサと V_{REFINT} に内部接続されています。***

ADC2 アナログ入力チャネル 16 とチャネル 17 は、V_{SS} に内部接続されています。

ADC3 アナログ入力チャネル 9、14、15、16、および 17 は、V_{SS}に接続されています。

11.12.3 ADC 制御レジスタ 2（ADC_CR2）

アドレスオフセット：0x08

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み								TSVREFE	SWSTART	JSWSTART	EXTTRIG	EXTSEL[2:0]			予約済み
予約済み								rw	rw	rw	rw	rw	rw	rw	

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
JEXTTRIG	JEXTSEL[2:0]			ALIGN	予約済み		DMA	予約済み				RSTCAL	CAL	CONT	ADON
rw	rw	rw	rw	rw	予約済み		rw	予約済み				rw	rw	rw	rw

ビット 31:24 予約済み、クリア状態のままでなければなりません。

ビット 23 **TSVREFE**：温度センサと V_{REFINT} イネーブル

このビットは、温度センサおよび V_{REFINT} チャネルを有効/無効にするために、ソフトウェアによってセット/クリアされます。デュアル ADC を持つデバイスでは、このビットは ADC1 についてのみ存在します。

0：温度センサおよび V_{REFINT} チャネルは無効です。

1：温度センサおよび V_{REFINT} チャネルは有効です。

ビット 22 **SWSTART**：レギュラチャネルの変換開始

このビットは、変換を開始するためにソフトウェアによってセットされ、変換開始直後にハードウェアによってクリアされます。SWSTART が EXTSEL[2:0] ビットによってトリガイベントとして選択されている場合は、レギュラチャネルグループの変換を開始します。

0：リセット状態

1：レギュラチャネルの変換を開始します。

ビット 21 **JSWSTART**：インジェクトチャネルの変換開始

このビットは、ソフトウェアによってセットされ、ソフトウェアによってクリアされるか、変換開始直後にハードウェアによってクリアされます。SWSTART が JEXTSEL[2:0] ビットによってトリガイベントとして選択されている場合、インジェクトチャネルグループの変換を開始します。

0：リセット状態

1：インジェクトチャネルの変換を開始します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 20 **EXTTRIG**：レギュラチャネルの外部トリガ変換モード

このビットは、レギュラチャネルグループの変換を開始するために使用される外部トリガを有効/無効にするために、ソフトウェアによってセット/クリアされます。

0：外部イベントによる変換は無効です。

1：外部イベントによる変換は有効です。

ビット 19:17 **EXTSEL[2:0]**：レギュラグループの外部イベント選択

これらのビットは、レギュラグループの変換の開始をトリガするために使用される外部イベントを選択します。

ADC1 および ADC2 の場合、割り当てられるトリガは、次のとおりです。

000：タイマ 1 CC1 イベント

001：タイマ 1 CC2 イベント

010：タイマ 1 CC3 イベント

011：タイマ 2 CC2 イベント

100：タイマ 3 TRGO イベント

101：タイマ 4 CC4 イベント

110 : EXTI ライン 11/TIM8_TRGO イベント（TIM8_TRGO は大容量および特大容量デバイスのみで使用）

111：SWSTART

ADC3 の場合、割り当てられるトリガは次のとおりです。

000：タイマ 3 CC1 イベント

001：タイマ 2 CC3 イベント

010：タイマ 1 CC3 イベント

011：タイマ 8 CC1 イベント

100：タイマ 8 TRGO イベント

101：タイマ 5 CC1 イベント

110：タイマ 5 CC3 イベント

111：SWSTART

ビット 16 予約済み、クリア状態のままでなければなりません。

ビット 15 **JEXTTRIG**：インジェクトチャネルの外部トリガ変換モード

このビットは、インジェクトチャネルグループの変換を開始するために使用される外部トリガを有効/無効にするために、ソフトウェアによってセット/クリアされます。

0：外部イベントによる変換は無効です。

1：外部イベントによる変換は有効です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 14:12 **JEXTSEL[2:0]**：インジェクトグループの外部イベント選択

これらのビットは、インジェクトグループの変換の開始をトリガするために使用される外部イベントを選択します。

ADC1 および ADC2 の場合、割り当てられるトリガは、次のとおりです。

000：タイマ 1 TRGO イベント

001：タイマ 1 CC4 イベント

010：タイマ 2 TRGO イベント

011：タイマ 2 CC1 イベント

100：タイマ 3 CC4 イベント

101：タイマ 4 TRGO イベント

110：EXTI ライン 15/TIM8_CC4 イベント（TIM8_CC4 は大容量および特大容量デバイスのみで使用可能です）

111：JSWSTART

ADC3 の場合、割り当てられるトリガは次のとおりです。

000：タイマ 1 TRGO イベント

001：タイマ 1 CC4 イベント

010：タイマ 4 CC3 イベント

011：タイマ 8 CC2 イベント

100：タイマ 8 CC4 イベント

101：タイマ 5 TRGO イベント

110：タイマ 5 CC4 イベント

111：JSWSTART

ビット 11 **ALIGN**：データの配置

このビットは、ソフトウェアによってセット/クリアされます。*図 30* および *図 31* を参照してください。

0：右詰め

1：左詰め

ビット 10:9 予約済み、クリア状態のままでなければなりません。

ビット 8 **DMA**：ダイレクトメモリアクセスモード

このビットは、ソフトウェアによってセット/クリアされます。詳細については、DMA コントローラの章を参照してください。

0：DMA モードは無効です。

1：DMA モードは有効です。

ADC1 と ADC3 のみが DMA リクエストを生成できます。

ビット 7:4 予約済み、クリア状態のままでなければなりません。

ビット 3 **RSTCAL**：較正リセット

このビットは、ソフトウェアによってセットされ、ハードウェアによってクリアされます。較正レジスタが初期化された後、クリアされます。

0：較正レジスタはすでに初期化されています。

1：較正レジスタを初期化します。

注： 変換中に RSTCAL ビットがセットされた場合は、較正レジスタをクリアするために、追加のサイクルが必要です。

ビット 2 **CAL**：A/D 較正

このビットは、較正を開始するために、ソフトウェアによってセットされます。較正の完了後、ハードウェアによってリセットされます。

0：較正は完了しました。

1：較正を有効にします。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 1 **CONT**：連続変換

このビットは、ソフトウェアによってセット/クリアされます。セットされた場合、このビットがリセットされるまで連続的に変換が行われます。

0：シングル変換モード

1：連続変換モード

ビット 0 **ADON**：A/D コンバータオン/オフ

このビットは、ソフトウェアによってセット/クリアされます。このビットが 0 の値を保持しているときに 1 が書き込まれた場合、ADC をパワーダウン状態からウェイクアップします。

このビットが 1 の値を保持しているときに 1 が書き込まれると、変換が開始します。アプリケーションは、起動から変換開始までの t_{STAB} の遅延に対応しなければなりません。*図 26* を参照してください。

0：ADC の変換/較正を無効にして、パワーダウンモードに移行します。

1：ADC を有効にして、変換を開始します。

注： このレジスタの ADON 以外のビットが同時に変更されても、変換はトリガされません。これは、誤った変換のトリガを防ぐためです。

11.12.4 ADC サンプル時間レジスタ 1（ADC_SMPR1）

アドレスオフセット：0x0C

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み								SMP17[2:0]			SMP16[2:0]			SMP15[2:1]	
予約済み								rw	rw	rw	rw	rw	rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMP 15_0	SMP14[2:0]			SMP13[2:0]			SMP12[2:0]			SMP11[2:0]			SMP10[2:0]		
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:24 予約済み、クリア状態のままでなければなりません。

ビット 23:0 **SMPx[2:0]**：チャネル x サンプル時間選択

これらのビットは、各チャネルのサンプル時間を個別に選択するために、ソフトウェアによって書き込まれます。サンプルサイクル中は、チャネル選択ビットを変更することはできません。

000：1.5 サイクル

001：7.5 サイクル

010：13.5 サイクル

011：28.5 サイクル

100：41.5 サイクル

101：55.5 サイクル

110：71.5 サイクル

111：239.5 サイクル

*注： **ADC1 アナログチャネル 16 と チャネル 17 は、それぞれ温度センサと V_{REFINT} に内部接続されています。***

ADC2 アナログ入力チャネル 16 と チャネル 17 は、V_{SS} に内部接続されています。

ADC3 アナログ入力チャネル 14、15、16、および 17 は、V_{SS} に内部接続されています。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

11.12.5 ADC サンプル時間レジスタ 2（ADC_SMPR2）

アドレスオフセット：0x10

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み		SMP9[2:0]			SMP8[2:0]			SMP7[2:0]			SMP6[2:0]			SMP5[2:1]	
予約済み		rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMP 5_0	SMP4[2:0]			SMP3[2:0]			SMP2[2:0]			SMP1[2:0]			SMP0[2:0]		
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31：30　予約済み、クリア状態のままでなければなりません。

ビット 29:0　**SMPx[2:0]：**チャネル x サンプル時間選択

これらのビットは、各チャネルのサンプル時間を個別に選択するために、ソフトウェアによって書き込まれます。サンプルサイクル中は、チャネル選択ビットを変更することはできません。

000：1.5 サイクル
001：7.5 サイクル
010：13.5 サイクル
011：28.5 サイクル
100：41.5 サイクル
101：55.5 サイクル
110：71.5 サイクル
111：239.5 サイクル

注：　ADC3 アナログチャネル 9 は、V_{SS} に接続されています。

11.12.6 ADC インジェクトチャネルデータオフセットレジスタ x（ADC_JOFRx）（x=1..4）

アドレスオフセット：0x14-0x20

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み				JOFFSETx[11:0]											
予約済み				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:12　予約済み、クリア状態のままでなければなりません。

ビット 11:0　**JOFFSETx[11:0]**：インジェクトチャネル x のデータオフセット

これらのビットは、インジェクトチャネルを変換するときに生変換データから引かれるオフセットを定義するために、ソフトウェアによって書き込まれます。変換結果は、ADC_JDRx レジスタで読み出すことができます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

11.12.7 ADC ウォッチドッグ高閾値レジスタ （ADC_HTR）

アドレスオフセット：0x24

リセット値：0x0000 0FFF

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み				HT[11:0]											
				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:12 予約済み、クリア状態のままでなければなりません。

ビット 11:0 **HT[11:0]**：アナログウォッチドッグ高閾値
これらのビットは、アナログウォッチドッグの高閾値を定義するために、ソフトウェアによって書き込まれます。

11.12.8 ADC ウォッチドッグ低閾値レジスタ（ADC_LTR）

アドレスオフセット：0x28

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み				LT[11:0]											
予約済み				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:12 予約済み、クリア状態のままでなければなりません。

ビット 11:0 **LT[11:0]**：アナログウォッチドッグ低閾値
これらのビットは、アナログウォッチドッグの低閾値を定義するために、ソフトウェアによって書き込まれます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

11.12.9 ADC レギュラシーケンスレジスタ 1（ADC_SQR1）

アドレスオフセット：0x2C

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み								L[3:0]				SQ16[4:1]			
予約済み								rw	rw	rw	rw	rw	rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SQ16_0	SQ15[4:0]					SQ14[4:0]					SQ13[4:0]				
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:24　予約済み、クリア状態のままでなければなりません。

ビット 23:20　**L[3:0]**：レギュラチャネルシーケンス長
これらのビットは、レギュラチャネル変換シーケンスの合計変換数を定義するために、ソフトウェアによって書き込まれます。
0000：1 変換
0001：2 変換
.....
1111：16 変換

ビット 19:15　**SQ16[4:0]**：レギュラシーケンスの 16 番目の変換
これらのビットには、変換シーケンス内の 16 番目として割り当てられたチャネル番号（0..17）がソフトウェアによって書き込まれます。

ビット 14:10　**SQ15[4:0]**：レギュラシーケンスの 15 番目の変換

ビット 9:5　**SQ14[4:0]**：レギュラシーケンスの 14 番目の変換

ビット 4:0　**SQ13[4:0]**：レギュラシーケンスの 13 番目の変換

11.12.10 ADC レギュラシーケンスレジスタ 2（ADC_SQR2）

アドレスオフセット：0x30

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み		SQ12[4:0]					SQ11[4:0]					SQ10[4:1]			
		rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SQ10_0	SQ9[4:0]					SQ8[4:0]					SQ7[4:0]				
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:30　予約済み、クリア状態のままでなければなりません。

ビット 29:26　**SQ12[4:0]**：レギュラシーケンスの 12 番目の変換
これらのビットには、シーケンス内の 12 番目の変換として割り当てられたチャネル番号（0..17）がソフトウェアによって書き込まれます。

ビット 24:20　**SQ11[4:0]**：レギュラシーケンスの 11 番目の変換

ビット 19:15　**SQ10[4:0]**：レギュラシーケンスの 10 番目の変換

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 14:10 **SQ9[4:0]：**レギュラシーケンスの 9 番目の変換

ビット 9:5 **SQ8[4:0]**：レギュラシーケンスの 8 番目の変換

ビット 4:0 **SQ7[4:0]**：レギュラシーケンスの 7 番目の変換

11.12.11 ADC レギュラシーケンスレジスタ 3（ADC_SQR3）

アドレスオフセット：0x34

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み		SQ6[4:0]					SQ5[4:0]					SQ4[4:1]			
		rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SQ4_0	SQ3[4:0]					SQ2[4:0]					SQ1[4:0]				
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:30 予約済み、クリア状態のままでなければなりません。

ビット 29:25 **SQ6[4:0]**：レギュラシーケンスの 6 番目の変換
これらのビットには、変換シーケンスで変換される 6 番目として割り当てられたチャネル番号（0..17）がソフトウェアによって書き込まれます。

ビット 24:20 **SQ5[4:0]：**レギュラシーケンスの 5 番目の変換

ビット 19:15 **SQ4[4:0]**：レギュラシーケンスの 4 番目の変換

ビット 14:10 **SQ3[4:0]**：レギュラシーケンスの 3 番目の変換

ビット 9:5 **SQ2[4:0]：**レギュラシーケンスの 2 番目の変換

ビット 4:0 **SQ1[4:0]**：レギュラシーケンスの 1 番目の変換

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

11.12.12 ADC インジェクトシーケンスレジスタ（ADC_JSQR）

アドレスオフセット：0x38

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み										JL[1:0]		JSQ4[4:1]			
										rw	rw	rw	rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
JSQ4_0	JSQ3[4:0]					JSQ2[4:0]					JSQ1[4:0]				
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:22　予約済み、クリア状態のままでなければなりません。

ビット 21:20　**JL[1:0]**：インジェクトシーケンス長
これらのビットは、インジェクトチャネル変換シーケンスの合計変換数を定義するために、ソフトウェアによって書き込まれます。
00：1 変換
01：2 変換
10：3 変換
11：4 変換

ビット 19:15　**JSQ4[4:0]**：インジェクトシーケンス内の 4 番目の変換
これらのビットには、変換シーケンス内の 4 番目として割り当てられたチャネル番号（0..17）がソフトウェアによって書き込まれます。

注：　レギュラ変換シーケンスと異なり、JL[1:0] の長さが 4 未満の場合、チャネルは (4-JL) から変換されます。例：ADC_JSQR[21:0] = 10 00011 00011 00111 00010 は、スキャン変換は 7、3、3 のチャネルシーケンスを変換することを意味します（2、7、3 ではなく）。

ビット 14:10　**JSQ3[4:0]**：インジェクトシーケンスの 3 番目の変換

ビット 9:5　**JSQ2[4:0]**：インジェクトシーケンスの 2 番目の変換

ビット 4:0　**JSQ1[4:0]**：インジェクトシーケンスの 1 番目の変換

11.12.13 ADC インジェクトデータレジスタ x（ADC_JDRx）（x= 1..4）

アドレスオフセット：0x3C - 0x48

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
JDATA[15:0]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:16　予約済み、クリア状態のままでなければなりません。

ビット 15:0　**JDATA[15:0]**：インジェクトされたデータ
これらのビットは読み出し専用です。インジェクトチャネル x からの変換結果を含みます。データは、*図 30* および *図 31* に示されているように、左詰めまたは右詰めで格納されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

11.12.14 ADC レギュラデータレジスタ（ADC_DR）

アドレスオフセット：0x4C

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ADC2DATA[15:0]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DATA[15:0]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:16 **ADC2DATA[15:0]**：ADC2 データ
ADC 1 では、デュアルモードでは、これらのビットは ADC2 のレギュラデータを含みます。*セクション 11.9：デュアル ADC モード*を参照してください。
ADC2 および ADC3では、これらのビットは使用されません。

ビット 15:0 **DATA[15:0]**：レギュラデータ
これらのビットは読み出し専用です。レギュラチャネルからの変換結果を含みます。データは、*図 30* および *図 31* に示されているように、左詰めまたは右詰めで格納されます。

11.12.15 ADC レジスタマップ

次の表は ADC レジスタの一覧です。

表76. ADC レジスタマップとリセット値

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	ADC_SR	予約済み																											STRT	JSTRT	JEOC	EOC	AWD
	リセット値																												0	0	0	0	0
0x04	ADC_CR1	予約済み								AWDEN	JAWDEN	予約済み		DUALMOD[3:0]				DISC NUM [2:0]			JDISCEN	DISCEN	JAUTO	AWD SGL	SCAN	JEOC IE	AWDIE	EOCIE	AWDCH[4:0]				
	リセット値									0	0			0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x08	ADC_CR2	予約済み								TSVREFE	SWSTART	JSWSTART	EXTTRIG	EXTSEL[2:0]			予約済み	JEXTTRIG	JEXTSEL [2:0]			ALIGN	予約済み		DMA	予約済み				RSTCAL	CAL	CONT	ADON
	リセット値									0	0	0	0	0	0	0		0	0	0	0	0			0					0	0	0	0
0x0C	ADC_SMPR1	サンプル時間ビット SMPx_x																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x10	ADC_SMPR2	サンプル時間ビット SMPx_x																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x14	ADC_JOFR1	予約済み																				JOFFSET1[11:0]											
	リセット値																					0	0	0	0	0	0	0	0	0	0	0	0
0x18	ADC_JOFR2	予約済み																				JOFFSET2[11:0]											
	リセット値																					0	0	0	0	0	0	0	0	0	0	0	0

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表76. ADC レジスタマップとリセット値（続き）

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x1C	ADC_JOFR3	予約済み																				JOFFSET3[11:0]											
	リセット値																					0	0	0	0	0	0	0	0	0	0	0	0
0x20	ADC_JOFR4	予約済み																				JOFFSET4[11:0]											
	リセット値																					0	0	0	0	0	0	0	0	0	0	0	0
0x24	ADC_HTR	予約済み																				HT[11:0]											
	リセット値																					0	0	0	0	0	0	0	0	0	0	0	0
0x28	ADC_LTR	予約済み																				LT[11:0]											
	リセット値																					0	0	0	0	0	0	0	0	0	0	0	0
0x2C	ADC_SQR1	予約済み								L[3:0]				レギュラチャネルシーケンス SQx_x ビット																			
	リセット値									0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x30	ADC_SQR2	予約済み	レギュラチャネルシーケンス SQx_x ビット																														
	リセット値		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x34	ADC_SQR3	予約済み	レギュラチャネルシーケンス SQx_x ビット																														
	リセット値		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x38	ADC_JSQR	予約済み										JL[1:0]		インジェクトチャネルシーケンス JSQx_x ビット																			
	リセット値											0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x3C	ADC_JDR1	予約済み																JDATA[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x40	ADC_JDR2	予約済み																JDATA[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x44	ADC_JDR3	予約済み																JDATA[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x48	ADC_JDR4	予約済み																JDATA[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x4C	ADC_DR	予約済み																レギュラ DATA[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

レジスタ境界アドレスについては、*表 1（45ページ）*を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

12 D/A コンバータ（DAC）

小容量デバイスは、フラッシュメモリ容量が 16～32 KB の STM32F101xx、STM32F102xx、および STM32F103xx マイクロコントローラです。

中容量デバイスは、フラッシュメモリ容量が 64～128 KB の STM32F101xx、STM32F102xx、および STM32F103xx マイクロコントローラです。

大容量デバイスは、フラッシュメモリ容量が 256～512 KB の STM32F101xx および STM32F103xx マイクロコントローラです。

特大容量デバイスは、フラッシュメモリ容量が 768 KB～1 MB の STM32F101xx および STM32F103xx マイクロコントローラです。

コネクティビティラインデバイス は、STM32F105xx および STM32F107xx マイクロコントローラです。

このセクションは、別段の指定がない限り、コネクティビティライン、大容量、および特大容量の STM32F101xx および STM32F103xx デバイスのみに適用されます。

12.1 DAC の概要

DAC モジュールは、12 ビットの電圧出力デジタルアナログコンバータです。DAC は、8 または 12 ビットモードで設定でき、DMA コントローラと組み合わせて使用することもできます。12 ビットモードでは、データを左詰めまたは右詰めに設定できます。DAC には 2 つの出力チャネルがあり、それぞれがコンバータを搭載しています。デュアル DAC チャネルモードでは、変換は独立して行うか、両方のチャネルが同期更新操作のためにグループ化されているときには同時に行うことができます。分解能を高めるために、入力基準ピン V_{REF+} を使用することができます。

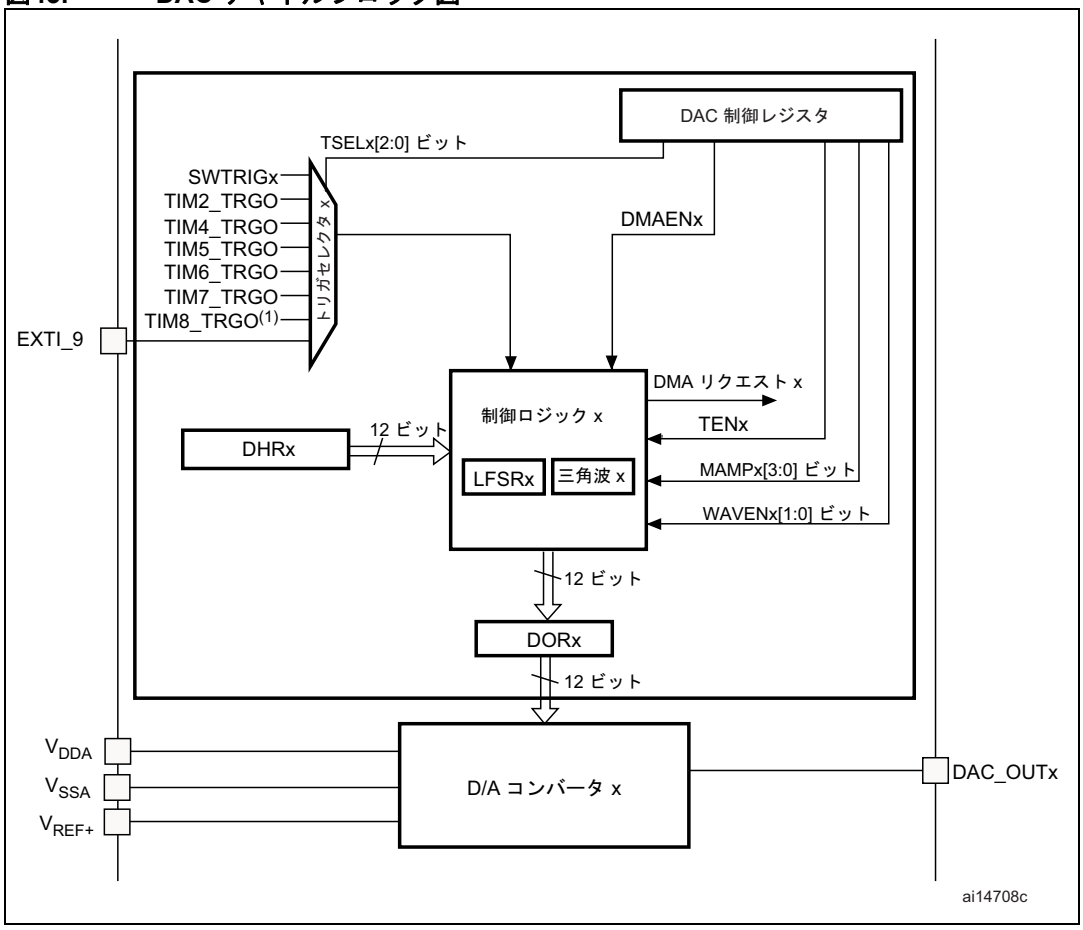
12.2 DAC の主な機能

- 2 つの DAC コンバータ：それぞれ 1 つの出力チャネル
- 12 ビットモードでのデータの左詰めまたは右詰め
- 同期更新機能
- ノイズ波生成
- 三角波生成
- デュアル DAC チャネルの独立または同時変換
- 各チャネルでの DMA 利用
- 変換外部トリガ
- 入力基準電圧 V_{REF+}

DAC チャネルのブロック図は *図 43* に、ピンの概要は *表 77*に示されています。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図43. DAC チャネルブロック図



1. コネクティビティラインデバイスでは、TIM8_TRGO トリガが TIM3_TRGO に置き換えられます。

表77. DAC ピン

名称	信号種別	摘要
V_{REF+}	入力、アナログ基準電圧 +	DAC のハイレベル/正基準電圧、2.4 V ≤ V_{REF+} ≤ V_{DDA}（3.3 V）
V_{DDA}	入力、アナログ供給	アナログ電源供給
V_{SSA}	入力、アナログ供給グランド	アナログ電源供給のグランド
DAC_OUTx	アナログ出力信号	DAC チャネル x アナログ出力

注： DAC チャネルが有効になると、対応する GPIO ピン（PA4 または PA5）が自動的にアナログコンバータ出力（DAC_OUTx）に接続されます。寄生消費を防ぐために、PA4 または PA5 ピンはまずアナログ（AIN）として設定してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

12.3 DAC 機能詳細

12.3.1 DAC チャネルイネーブル

各 DAC チャネルは、DAC_CR レジスタの対応する ENx ビットをセットすることによって起動できます。DAC チャネルは、スタートアップ時間 t_{WAKEUP} 後に有効になります。

注： ***ENx ビットは、アナログ DAC チャネルのマクロセルのみを有効にします。DAC チャネル x デジタルインタフェースは、ENx ビットがリセットされた場合でも有効になります。***

12.3.2 DAC 出力バッファイネーブル

DAC は、出力インピーダンスを減らし、外部動作アンプがなくても外部負荷を駆動できる 2 つの出力バッファを内蔵しています。各 DAC チャネル出力バッファは、DAC_CR レジスタの対応する BOFFx ビットを使用して有効/無効にできます。

12.3.3 DAC データフォーマット

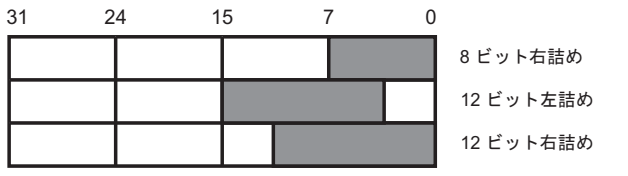
次のように、選択された設定モードに応じて、指定されたレジスタにデータを書き込む必要があります。

- 1 つの DAC チャネル x では、3 つの設定が可能です。
  - 8 ビット右詰め：ユーザは、データを DAC_DHR8Rx[7:0] ビット（DHRx[11:4] ビットに格納）にロードしなければなりません。
  - 12 ビット左詰め：ユーザは、データを DAC_DHR12L x[15:4] ビット（DHRx[11:0] ビットに格納）にロードしなければなりません。
  - 12 ビット右詰め：ユーザは、データを DAC_DHR12Rx[11:0] ビット（DHRx[11:0] ビットに格納）にロードしなければなりません。

ロードされた DAC_DHRyyyx レジスタに応じて、ユーザによって書き込まれたデータは、シフトされてから、DHRx（Data Holding Register x、メモリマップされない内部レジスタ）に格納されます。その後、DHRx レジスタは自動的に、ソフトウェアトリガによって、または外部イベントトリガによって、DORx レジスタにロードされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

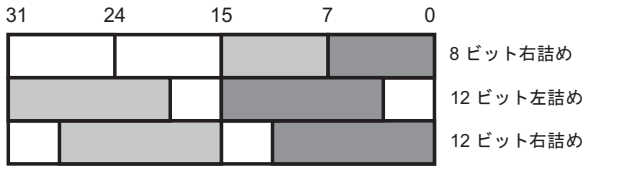
図44. シングルDAC チャネルモードのデータレジスタ



- デュアル DAC チャネルでは、3 つの設定が可能です。
  - 8 ビット右詰め : DAC チャネル 1 のデータは、DAC_DHR8RD[7:0] ビット（DHR1[11:4] ビットに格納）に、DAC チャネル 2 のデータは、DAC_DHR8RD[15:8] ビット（DHR2[11:4] ビットに格納）にロードされます。
  - 12 ビット左詰め : DAC チャネル 1 のデータは、DAC_DHR12LD[15:4] ビット（DHR1[11:0] ビットに格納）に、DAC チャネル 2 のデータは、DAC_DHR12LD[31:20] ビット（DHR2[11:0] ビットに格納）にロードされます。
  - 12 ビット右詰め : DAC チャネル 1 のデータは、DAC_DHR12RD[11:0] ビット（DHR1[11:0] ビットに格納）に、DAC チャネル 2 のデータは、DAC_DHR12LD[27:16] ビット（DHR2[11:0] ビットに格納）にロードされます。

ロードされた DAC_DHRyyyD レジスタに応じて、ユーザによって書き込まれたデータは、シフトされてから、DHR1 および DHR2（Data Holding Register、メモリップされない内部レジスタ）に格納されます。その後、DHR1 および DHR2 レジスタは、自動的に、ソフトウェアトリガによって、または外部イベントトリガによって、それぞれ DOR1 および DOR2 レジスタにロードされます。

図45. デュアル DAC チャネルモードのデータレジスタ



12.3.4 DAC 変換

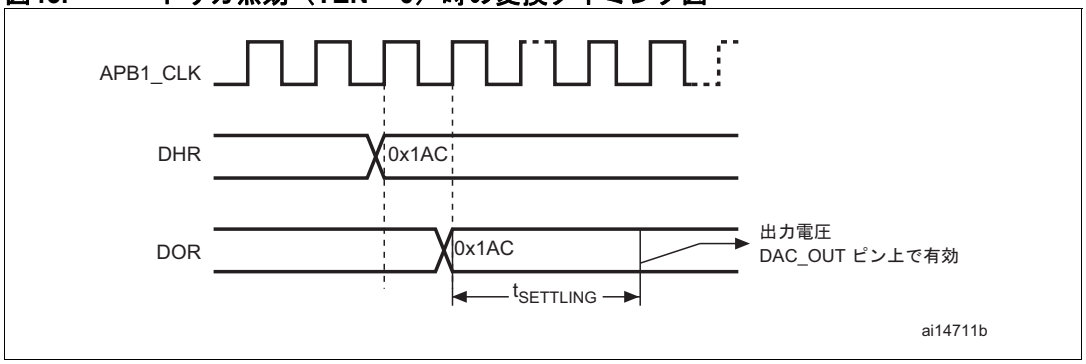
DAC_DORx に直接書き込むことはできず、DAC_DHRx レジスタをロードすることによって（DAC_DHR8Rx、DAC_DHR12Lx、DAC_DHR12Rx、DAC_DHR8RD、DAC_DHR12LD、または DAC_DHR12LD への書き込み）、DAC チャネル x へのデータ転送を行う必要があります。

DAC_DHRx レジスタに格納されたデータは、ハードウェアトリガが選択されていない（DAC_CR レジスタの TEN x ビットがリセットされている）場合に、1 APB1 クロックサイクル後に DAC_DORx レジスタに自動的に転送されます。ただし、ハードウェアトリガが選択されている（DAC_CR レジスタの TENx ビットがセットされている）ときには、トリガが発生すると、転送は 3 APB1 クロックサイクル後に行われます。

DAC_DORx に DAC_DHRx の内容がロードされると、電源電圧とアナログ出力負荷に応じて決定される $t_{SETTLING}$ 時間後にアナログ出力電圧が使用可能になります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図46. トリガ無効（TEN = 0）時の変換タイミング図



12.3.5 DAC 出力電圧

デジタル入力は、0 から V_{REF+} の間のリニア変換で出力電圧に変換されます。

各 DAC チャネルピンのアナログ出力電圧は、次の式によって求められます。

$$DACoutput = V_{REF} \times \frac{DOR}{4095}$$

12.3.6 DAC トリガ選択

TENx 制御ビットがセットされている場合、外部イベント（タイマカウンタ、外部割り込みラインなど）によって変換をトリガできます。*表 78* に示されているように、8 つの中のどのイベントが変換をトリガするかは、TSELx[2:0] 制御ビットによって決まります。

表78. 外部トリガ

ソース	タイプ	TSEL[2:0]
タイマ 6 TRGO イベント	オンチップタイマからの内部信号	000
コネクティビティラインデバイスにおける タイマ 3 TRGO イベント、または大容量および特大容量デバイスにおける タイマ 8 TRGO		001
タイマ 7 TRGO イベント		010
タイマ 5 TRGO イベント		011
タイマ 2 TRGO イベント		100
タイマ 4 TRGO イベント		101
EXTI ライン 9	外部ピン	110
SWTRIG	ソフトウェア制御ビット	111

DAC インタフェースが選択されたタイマ TRGO 出力または選択された外部割り込みライン 9 の立ち上がりエッジを検出するたびに、DAC_DHRx レジスタに最後に格納されたデータが DAC_DORx レジスタに転送されます。DAC_DORx レジスタは、トリガが発生してから 3 APB1 サイクル後に更新されます。

ソフトウェアトリガが選択されている場合、変換は、SWTRIG ビットがセットされると開始されます。SWTRIG ビットは、DAC_DHRx レジスタの内容が DAC_DORx レジスタにロードされると、ハードウェアによってリセットされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

注： 1 ENx ビットがセットされているときには、TSELx[2:0] ビットを変更することはできません。

2 ソフトウェアトリガが選択されているときには、DAC_DHRx から DAC_DORx レジスタへの転送は、わずか 1 APB1 クロックサイクルで行われます。

12.3.7 DMA リクエスト

各 DAC チャネルは、DMA 機能を備えています。DAC チャネルの DMA リクエストは、2 つの DMA チャネルを使用して処理されます。

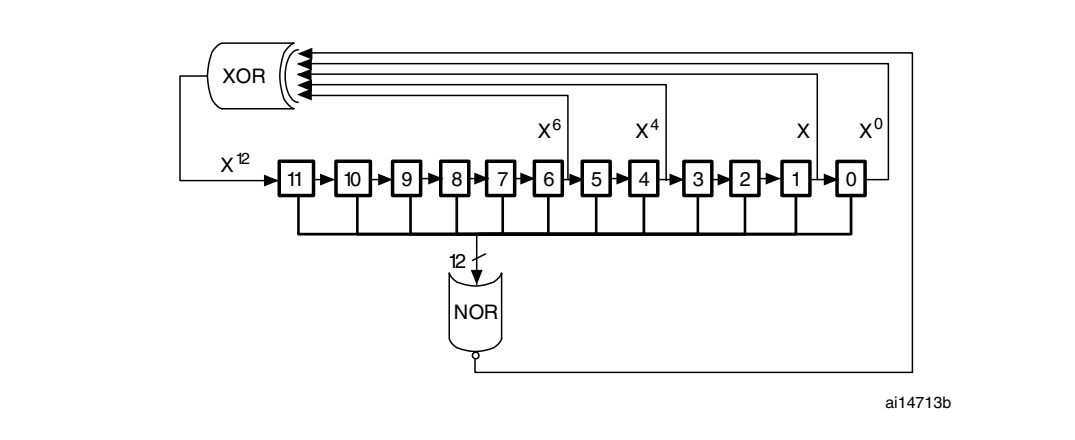
DAC DMA リクエストは、DMAENx ビットがセットされているときに、外部トリガ（ソフトウェアトリガでなく）が発生した時に生成されます。その場合、DAC_DHRx レジスタの値が DAC_DORx レジスタに転送されます。
デュアルモードでは、両方の DMAENx ビットがセットされている場合、2 つの DMA リクエストが生成されます。1 つの DMA リクエストしか必要ない場合には、対応する DMAENx ビットだけをセットしてください。これにより、アプリケーションは 1 つの DMA リクエストと一意な DMA チャネルを使用して、両方の DAC チャネルをデュアルモードで管理することができます。

DAC DMA リクエストはキューされないので、最後の DMA リクエストへの応答の前に 2 つ目の外部トリガが発生すると、新しいリクエストは無視され、エラーも報告されません。

12.3.8 ノイズ生成

リニアフィードバックシフトレジスタ（LFSR）を使用して、可変振幅の擬似ノイズを生成することができます。DAC ノイズ生成は、WAVEx[1:0] を "01" にセットすることによって選択されます。LFSR にプリロードされる値は 0xAAA です。このレジスタは、各トリガイベントの 3 APB1 クロックサイクル後に、特定の計算アルゴリズムに従って更新されます。

図47. DAC LFSR レジスタ計算アルゴリズム



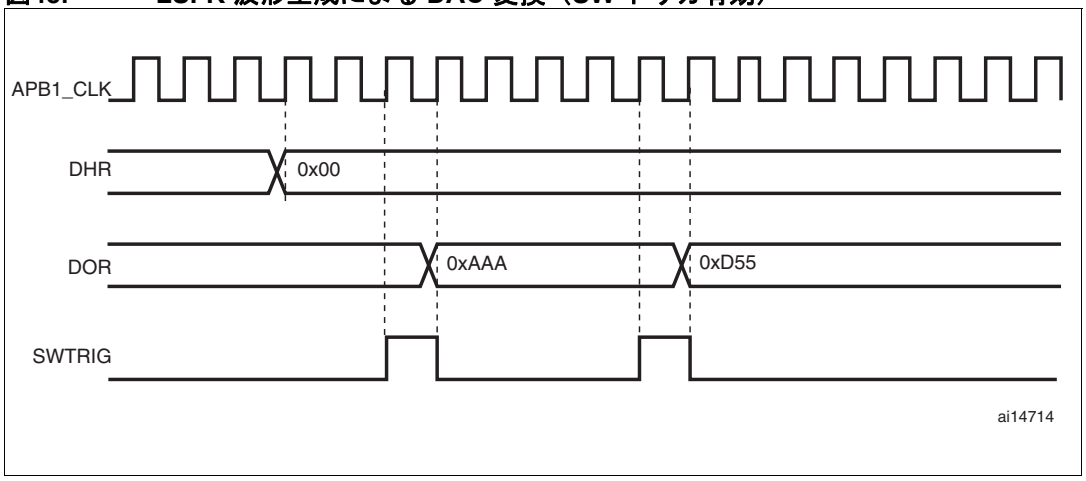
LFSR 値は、DAC_CR レジスタの MAMPx[3:0] ビットによって部分的または全体的にマスクでき、オーバーフローなしに DAC_DHRx の内容に加算されて、DAC_DORx ジスタに格納されます。

LFSR が 0x0000 の場合、"1" がインジェクトされます（アンチロックアップメカニズム）。

WAVEx[1:0] ビットをリセットすることによって、LFSR 波形生成をリセットできます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図48. LSFR 波形生成による DAC 変換（SW トリガ有効）



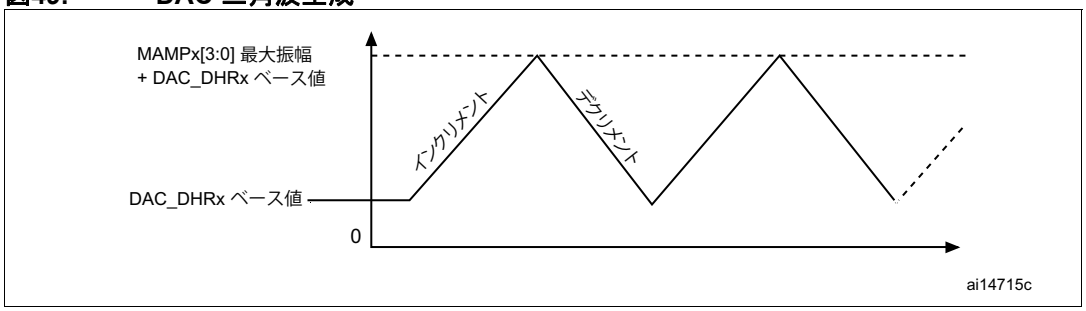
注： ノイズ生成のためには、DAC_CR レジスタの TENx ビットをセットすることによって、DAC トリガを有効にしなければなりません。

12.3.9 三角波生成

DC または低周波数信号上に、小さな振幅の三角波を追加することが可能です。DAC 三角波生成は、WAVEx[1:0] を "10" にセットすることによって選択されます。振幅は、DAC_CR レジスタの MAMPx[3:0] ビットによって設定されます。内部三角波カウンタは、各トリガイベントの 3 APB1 クロックサイクル後にインクリメントされます。このカウンタの値は、オーバーフローなしに DAC_DHRx レジスタに加えられ、合計は DAC_DORx レジスタに格納されます。三角波カウンタは、MAMPx[3:0] ビットによって定義された最大振幅より小さいときにインクリメントされます。設定された振幅に達すると、カウンタは 0 にデクリメントされ、再びインクリメントが開始されます。

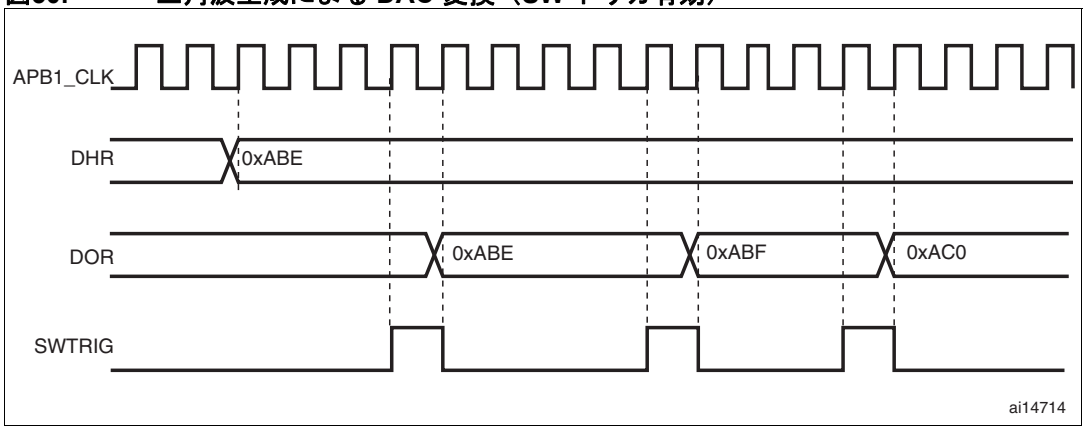
WAVEx[1:0] ビットをリセットすることによって、三角波生成をリセットすることができます。

図49. DAC 三角波生成



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図50. 三角波生成による DAC 変換（SW トリガ有効）



注： 1 ノイズ生成のためには、DAC_CR レジスタの TENx ビットをセットすることによって、DAC トリガを有効にしなければなりません。

2 DAC を有効にする前に、MAMPx[3:0] ビットを設定する必要があります。有効にした後は変更できません。

12.4 デュアル DAC チャネル変換

同時に 2 つの DAC チャネルを必要とするアプリケーションで、バスのバンド幅を有効に使用するために、DHR8RD、DHR12RD、および DHR12LD の 3 つのデュアルレジスタが搭載されています。両方の DAC チャネルを同時に駆動するには、一意なレジスタアクセスが必要です。

2 つの DAC チャネルと これらのデュアルレジスタを使用することで、11 の変換モードが使用可能です。すべての変換モードは、必要な場合には、個別の DHRx レジスタを使用して入手することもできます。

すべてのモードについて、以下の節で説明します。

12.4.1 波形生成なしの独立トリガ

DAC をこの変換モードに設定するには、次の手順が必要です。

- TEN1 とTEN2 の 2 つの DAC チャネルトリガイネーブルビットをセットします。
- TSEL1[2:0] および TSEL2[2:0] ビットに異なる値を設定することによって、異なるトリガソースを設定します。
- 目的の DHR レジスタ（DAC_DHR12RD、DAC_DHR12LD、または DAC_DHR8RD）にデュアル DAC チャネルデータをロードします。

DAC チャネル 1 トリガが発生すると、DHR1 レジスタが DAC_DOR1 に転送されます（3 APB1 クロックサイクル後）。

DAC チャネル 2 トリガが発生すると、DHR2 レジスタが DAC_DOR2 に転送されます（3 APB1 クロックサイクル後）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

12.4.2 同じ LFSR 生成による独立トリガ

DAC をこの変換モードに設定するには、次の手順が必要です。

- TEN1 とTEN2 の 2 つの DAC チャネルトリガイネーブルビットをセットします。
- TSEL1[2:0] および TSEL2[2:0] ビットに異なる値をセットすることによって、異なるトリガソースを設定します。
- 2 つの DAC チャネル WAVEx[1:0] ビットを "01" に設定し、MAMPx[3:0] ビットで同じ LFSR マスク値を設定します。
- 目的の DHR レジスタ（DAC_DHR12RD、DAC_DHR12LD、または DAC_DHR8RD）に、デュアル DAC チャネルデータをロードします。

DAC チャネル 1 トリガが発生すると、同じマスクを持つ LFSR1 カウンタが DHR1 レジスタに加算され、合計が DAC_DOR1 に転送されます（3 APB1 クロックサイクル後）。その後、LFSR1 カウンタが更新されます。

DAC チャネル 2 トリガが発生すると、同じマスクを持つ LFSR2 カウンタが DHR2 レジスタに加算され、合計が DAC_DOR2 に転送されます（3 APB1 クロックサイクル後）。その後、LFSR2 カウンタが更新されます。

12.4.3 異なる LFSR 生成による独立トリガ

DAC をこの変換モードに設定するには、次の手順が必要です。

- TEN1 とTEN2 の 2 つの DAC チャネルトリガイネーブルビットをセットします。
- TSEL1[2:0] および TSEL2[2:0] ビットに異なる値を設定することによって、異なるトリガソースを設定します。
- 2 つの DAC チャネル WAVEx[1:0] ビットを "01" に設定し、MAMP1[3:0] ビットと MAMP2[3:0] ビットで異なる LFSR マスク値を設定します。
- 目的の DHR レジスタ（DAC_DHR12RD、DAC_DHR12LD、または DAC_DHR8RD）にデュアル DAC チャネルデータをロードします。

DAC チャネル 1 トリガが発生すると、MAMP1[3:0] によって設定されたマスクを持つ LFSR1 カウンタが DHR1 レジスタに加算され、合計が DAC_DOR1 に転送されます（3 APB1 クロックサイクル後）。その後、LFSR1 カウンタが更新されます。

DAC チャネル 2 トリガが発生すると、MAMP2[3:0] によって設定されたマスクを持つ LFSR2 カウンタが DHR2 レジスタに加算され、合計が DAC_DOR2 に転送されます（3 APB1 クロックサイクル後）。その後、LFSR2 カウンタが更新されます。

12.4.4 同じ三角波生成による独立トリガ

DAC をこの変換モードに設定するには、次の手順が必要です。

- TEN1 とTEN2 の 2 つの DAC チャネルトリガイネーブルビットをセットします。
- TSEL1[2:0] および TSEL2[2:0] ビットに異なる値を設定することによって、異なるトリガソースを設定します。
- 2 つの DAC チャネルの WAVEx[1:0] ビットを "1x" に設定し、MAMPx[3:0] ビットで同じ最大振幅値を設定します。
- 目的の DHR レジスタ（DAC_DHR12RD、DAC_DHR12LD、または DAC_DHR8RD）にデュアル DAC チャネルデータをロードします。

DAC チャネル 1 トリガが発生すると、同じ三角波振幅を持つ DAC チャネル 1 の三角波カウンタが DHR1 レジスタに加算され、合計が DAC_DOR1 に転送されます（3 APB1 クロックサイクル後）。その後、DAC チャネル 1 の三角波カウンタが更新されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

DAC チャネル 2 トリガが発生すると、同じ三角波振幅を持つ DAC チャネル 2 の三角波カウンタが DHR2 レジスタに加算され、合計が DAC_DOR2 に転送されます（3 APB1 クロックサイクル後）。その後、DAC チャネル 2 の三角波カウンタが更新されます。

12.4.5 異なる三角波生成による独立トリガ

DAC をこの変換モードに設定するには、次の手順が必要です。

- TEN1 とTEN2 の 2 つの DAC チャネルトリガイネーブルビットをセットします。
- TSEL1[2:0] および TSEL2[2:0] ビットに異なる値を設定することによって、異なるトリガソースを設定します。
- 2 つの DAC チャネルの WAVEx[1:0] ビットを "1x" に設定し、MAMP1[3:0] と MAMP2[3:0] ビットで異なる最大振幅値を設定します。
- 目的の DHR レジスタ（DAC_DHR12RD、DAC_DHR12LD、または DAC_DHR8RD）にデュアル DAC チャネルデータをロードします。

DAC チャネル 1 トリガが発生すると、MAMP1[3:0] によって設定された三角波振幅を持つ DAC チャネル 1 の三角波カウンタが DHR1 レジスタに加算され、合計が DAC_DOR1 に転送されます（3 APB1 クロックサイクル後）。その後、DAC チャネル 1 の三角波カウンタが更新されます。

DAC チャネル 2 トリガが発生すると、MAMP2[3:0] によって設定された三角波振幅を持つ DAC チャネル 2 の三角波カウンタが DHR2 レジスタに加算され、合計が DAC_DOR2 に転送されます（3 APB1 クロックサイクル後）。その後、DAC チャネル 2 の三角波カウンタが更新されます。

12.4.6 同時ソフトウェア開始

DAC をこの変換モードに設定するには、次の手順が必要です。

- 目的の DHR レジスタ（DAC_DHR12RD、DAC_DHR12LD、または DAC_DHR8RD）に、デュアル DAC チャネルデータをロードします。

この設定では、1 APB1 クロックサイクル後に、DHR1 および DHR2 レジスタが DAC_DOR1 と DAC_DOR2 にそれぞれ転送されます。

12.4.7 波形生成なしの同時トリガ

DAC をこの変換モードに設定するには、次の手順が必要です。

- 2 つの DAC チャネルのトリガイネーブルビット TEN1 および TEN2 をセットします。
- TSEL1[2:0] および TSEL2[2:0] ビットに同じ値を設定することによって、両方の DAC チャネルに同じトリガソースを設定します。
- 目的の DHR レジスタ（DAC_DHR12RD、DAC_DHR12LD、または DAC_DHR8RD）に、デュアル DAC チャネルデータをロードします。

トリガが発生すると、DHR1 および DHR2 レジスタが DAC_DOR1 と DAC_DOR2 にそれぞれ転送されます（3 APB1 クロックサイクル後）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

12.4.8 同じ LFSR 生成による同時トリガ

DAC をこの変換モードに設定するには、次の手順が必要です。

- TEN1 とTEN2 の 2 つの DAC チャネルトリガイネーブルビットをセットします。
- TSEL1[2:0] および TSEL2[2:0] ビットに同じ値を設定することによって、両方の DAC チャネルに同じトリガソースを設定します。
- 2 つの DAC チャネル WAVEx[1:0] ビットを "01" に設定し、MAMPx[3:0] ビットで同じ LFSR マスク値を設定します。
- 目的の DHR レジスタ（DAC_DHR12RD、DAC_DHR12LD、または DAC_DHR8RD）に、デュアル DAC チャネルデータをロードします。

トリガが発生すると、同じマスクを持つ LFSR1 カウンタが DHR1 レジスタに加算され、合計が DAC_DOR1 に転送されます（3 APB1 クロックサイクル後）。その後、LFSR1 カウンタが更新されます。同時に、同じマスクを持つ LFSR2 カウンタが DHR2 レジスタに加算され、合計が DAC_DOR2 に転送されます（3 APB1 クロックサイクル後）。その後、LFSR2 カウンタが更新されます。

12.4.9 異なる LFSR 生成による同時トリガ

DAC をこの変換モードに設定するには、次の手順が必要です。

- TEN1 とTEN2 の 2 つの DAC チャネルトリガイネーブルビットをセットします。
- TSEL1[2:0] および TSEL2[2:0] ビットに同じ値を設定することによって、両方の DAC チャネルに同じトリガソースを設定します。
- 2 つの DAC チャネルの WAVEx[1:0] ビットを "01" に設定し、MAMP1[3:0] と MAMP2[3:0] ビットで異なる LFSR マスク値を設定します。
- 目的の DHR レジスタ（DAC_DHR12RD、DAC_DHR12LD、または DAC_DHR8RD）にデュアル DAC チャネルデータをロードします。

トリガが発生すると、MAMP1[3:0] で設定されたマスクを持つ LFSR1 カウンタが DHR1 レジスタに加算され、合計が DAC_DOR1 に転送されます（3 APB1 クロックサイクル後）。その後、LFSR1 カウンタが更新されます。
同時に、MAMP2[3:0] で設定されたマスクを持つ LFSR2 カウンタが DHR2 レジスタに加算され、合計が DAC_DOR2 に転送されます（3 APB1 クロックサイクル後）。その後、LFSR2 カウンタが更新されます。

12.4.10 同じ三角波生成による同時トリガ

DAC をこの変換モードに設定するには、次の手順が必要です。

- TEN1 とTEN2 の 2 つの DAC チャネルトリガイネーブルビットをセットします。
- TSEL1[2:0] および TSEL2[2:0] ビットに同じ値をセットすることによって、両方の DAC チャネルに同じトリガソースを設定します。
- 2 つの DAC チャネルの WAVEx[1:0] ビットを "1x" に設定し、MAMPx[3:0] ビットで同じ最大振幅値を設定します。
- 目的の DHR レジスタ（DAC_DHR12RD、DAC_DHR12LD、または DAC_DHR8RD）にデュアル DAC チャネルデータをロードします。

トリガが発生すると、同じ三角波振幅を持つ DAC チャネル 1 の三角波カウンタが DHR 1 レジスタに加算され、合計が DAC_DOR1 に転送されます（3 APB1 ロックサイクル後）。その後、DAC チャネル 1 の三角波カウンタが更新されます。
同時に、同じ三角波振幅を持つ DAC チャネル 2 の三角波カウンタが DHR2 レジスタに加算され、合計が DAC_DOR2 に転送されます（3 APB1 クロックサイクル後）。その後、DAC チャネル 2 の三角波カウンタが更新されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

12.4.11 異なる三角波生成による同時トリガ

DAC をこの変換モードに設定するには、次の手順が必要です。

- TEN1 とTEN2 の 2 つの DAC チャネルトリガイネーブルビットをセットします。
- TSEL1[2:0] および TSEL2[2:0] ビットに同じ値をセットすることによって、両方の DAC チャネルに同じトリガソースを設定します。
- 2 つの DAC チャネルの WAVEx[1:0] ビットを "1x" に設定し、MAMP1[3:0] と MAMP2[3:0] ビットで異なる最大振幅値をセットします。
- 目的の DHR レジスタ（DAC_DHR12RD、DAC_DHR12LD、または DAC_DHR8RD）にデュアル DAC チャネルデータをロードします。

トリガが発生すると、MAMP1[3:0] によって設定された三角波振幅を持つ DAC チャネル 1 の三角波カウンタが DHR1 レジスタに加算され、合計が DAC_DOR1 に転送されます（3 APB1 クロックサイクル後）。その後、DAC チャネル 1 の三角波カウンタが更新されます。
同時に、MAMP2[3:0] で設定された三角波振幅を持つ DAC チャネル 2 の三角波カウンタが DHR2 レジスタに加算され、合計が DAC_DOR2 に転送されます（3 APB1 クロックサイクル後）。その後、DAC チャネル 2 の三角波カウンタが更新されます。

12.5 DAC レジスタ

ペリフェラルレジスタには、ワード（32 ビット）単位でアクセスする必要があります。

12.5.1 DAC 制御レジスタ（DAC_CR）

アドレスオフセット：0x00

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み			DMA EN2	MAMP2[3:0]				WAVE2[1:0]		TSEL2[2:0]			TEN2	BOFF2	EN2
			rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み			DMA EN1	MAMP1[3:0]				WAVE1[1:0]		TSEL1[2:0]			TEN1	BOFF1	EN1
			rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:29 予約済み

ビット 28 **DMAEN2**：DAC チャネル 2 DMA イネーブル
このビットは、ソフトウェアによってセット/クリアされます。
0：DAC チャネル 2 DMAモードは無効です。
1：DAC チャネル 2 DMA モードは有効です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 27:24 **MAMP2[3:0]**：DAC チャネル 2 マスク/振幅セレクタ

これらのビットは、波形生成モードのマスクまたは三角波生成モードの振幅を選択するために、ソフトウェアによって書き込まれます。

0000：LFSR/三角波振幅のアンマスクビット 0 は 1 に等しい。

0001：LFSR/三角波振幅のアンマスクビット [1:0] は 3 に等しい

0010：LFSR/三角波振幅のアンマスクビット [2:0] は 7 に等しい

0011：LFSR/三角波振幅のアンマスクビット [3:0] は 15 に等しい

0100：LFSR/三角波振幅のアンマスクビット [4:0] は 31 に等しい

0101：LFSR/三角波振幅のアンマスクビット [5:0] は 63 に等しい

0110：LFSR/三角波振幅のアンマスクビット [6:0] は 127 に等しい

0111：LFSR/三角波振幅のアンマスクビット [7:0] は 255 に等しい

1000：LFSR/三角波振幅のアンマスクビット [8:0] は 511 に等しい

1001：LFSR/三角波振幅のアンマスクビット [9:0] は 1023 に等しい

1010：LFSR/三角波振幅のアンマスクビット [10:0] は 2047 に等しい

≥ 1011：LFSR/三角波振幅のアンマスクビット [11:0] は 4095 に等しい

ビット 23:22 **WAVE2[1:0]**：DAC チャネル 2 ノイズ/三角波生成イネーブル

これらのビットは、ソフトウェアによってセット/リセットされます。

00：波形生成は無効です。

01：ノイズ波生成は有効です。

1x：三角波生成は有効です。

注：　ビット TEN2＝1（DAC チャネル 2 トリガ有効）の場合のみ使用されます。

ビット 21:19 **TSEL2[2:0]**：DAC チャネル 2 トリガ選択

これらのビットは、DAC チャネル 2 をトリガするために使用される外部イベントを選択します。

000：タイマ 6 TRGO イベント

001：コネクティビティラインデバイスではタイマ 3 TRGO イベント、大容量および特大容量デバイスではタイマ 8 TRGO。

010：タイマ 7 TRGO イベント

011：タイマ 5 TRGO イベント

100：タイマ 2 TRGO イベント

101：タイマ 4 TRGO イベント

110：外部ライン 9

111：ソフトウェアトリガ

注：　ビット TEN2＝1（DAC チャネル 2 トリガ有効）の場合のみ使用されます。

ビット 18 **TEN2**：DAC チャネル 2 トリガイネーブル

このビットは、DAC チャネル 2 トリガを有効/無効にするために、ソフトウェアによってセット/クリアされます。

0：DAC チャネル 2 トリガは無効であり、DAC_DHRx レジスタに書き込まれたデータは、1 APB1 クロックサイクル後に DAC_DOR2 レジスタに転送されます。

1：DAC チャネル 2 トリガは有効であり、DAC_DHRx レジスタから転送されたデータは、3 APB1 クロックサイクル後に DAC_DOR2 レジスタに転送されます。

注：　ソフトウェアトリガが選択されているときには、DAC_DHRx から DAC_DOR2 レジスタへの転送には、1 APB1 クロックサイクルしか掛かりません。

ビット 17 **BOFF2**：DAC チャネル 2 出力バッファディセーブル

このビットは、DAC チャネル 2 出力バッファを有効/無効にするために、ソフトウェアによってセット/クリアされます。

0：DAC チャネル 2 出力バッファは有効です。

1：DAC チャネル 2 出力バッファは無効です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 16 **EN2**：DAC チャネル 2 イネーブル
このビットは、DAC チャネル 2 を有効/無効にするために、ソフトウェアによってセット/クリアされます。
0：DAC チャネル 2 は無効です。
1：DAC チャネル 2 は有効です。

ビット 15:13 予約済み

ビット 12 **DMAEN1**：DAC チャネル 1 DMA イネーブル
このビットは、ソフトウェアによってセット/クリアされます。
0：DAC チャネル 1 DMA モードは無効です。
1：DAC チャネル 1 DMA モードは有効です。

ビット 11:8 **MAMP1[3:0]**：DAC チャネル 1 マスク/振幅セレクタ
これらのビットは、波形生成モードのマスクまたは三角波生成モードの振幅を選択するために、ソフトウェアによって書き込まれます。
0000：LFSR/三角波振幅のアンマスクビット 0 は 1 に等しい。
0001：LFSR/三角波振幅のアンマスクビット [1:0] は 3 に等しい
0010：LFSR/三角波振幅のアンマスクビット [2:0] は 7 に等しい
0011：LFSR/三角波振幅のアンマスクビット [3:0] は 15 に等しい
0100：LFSR/三角波振幅のアンマスクビット [4:0] は 31 に等しい
0101：LFSR/三角波振幅のアンマスクビット [5:0] は 63 に等しい
0110：LFSR/三角波振幅のアンマスクビット [6:0] は 127 に等しい
0111：LFSR/三角波振幅のアンマスクビット [7:0] は 255 に等しい
1000：LFSR/三角波振幅のアンマスクビット [8:0] は 511 に等しい
1001：LFSR/三角波振幅のアンマスクビット [9:0] は 1023 に等しい
1010：LFSR/三角波振幅のアンマスクビット [10:0] は 2047 に等しい
≥ 1011：LFSR/三角波振幅のアンマスクビット [11:0] は 4095 に等しい

ビット 7:6 **WAVE1[1:0]**：DAC チャネル 1 ノイズ/三角波生成イネーブル
これらのビットは、ソフトウェアによってセット/リセットされます。
00：波形生成は無効です。
01：ノイズ波生成は有効です。
1x：三角波生成は有効です。
注：ビット TEN1＝1（DAC チャネル 1 トリガ有効）の 場合のみ使用されます。

ビット 5:3 **TSEL1[2:0]**：DAC チャネル 1 トリガ選択
これらのビットは、DAC チャネル 1 をトリガするために使用される外部イベントを選択します。
000：タイマ 6 TRGO イベント
001：コネクティビティラインデバイスではタイマ 3 TRGO イベント、大容量および特大容量デバイスではタイマ 8 TRGO。
010：タイマ 7 TRGO イベント
011：タイマ 5 TRGO イベント
100：タイマ 2 TRGO イベント
101：タイマ 4 TRGO イベント
110：外部ライン 9
111：ソフトウェアトリガ
注：　ビット TEN1＝1（DAC チャネル 1 トリガ有効）の 場合のみ使用されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 2 **TEN1**：DAC チャネル 1 トリガイネーブル

このビットは、DAC チャネル 1 トリガを有効/無効にするために、ソフトウェアによってセット/クリアされます。

0：DAC チャネル 1 トリガは無効であり、DAC_DHRx レジスタに書き込まれたデータデータは、1 APB1 クロックサイクル後に DAC_DOR1 レジスタに転送されます。

1：DAC チャネル 1 トリガは有効であり、DAC_DHRx レジスタから転送されたデータは、3 APB1 クロックサイクル後に DAC_DOR1 レジスタに転送されます。

注： ソフトウェアトリガが選択されているときには、DAC_DHRx から DAC_DOR1 レジスタへの転送には、1 APB1 クロックサイクルしか掛かりません。

ビット 1 **BOFF1**：DAC チャネル 1 出力バッファディセーブル

このビットは、DAC チャネル 1 出力バッファを有効/無効にするために、ソフトウェアによってセット/クリアされます。

0：DAC チャネル 1 出力バッファは有効です。

1：DAC チャネル 1 出力バッファは無効です。

ビット 0 **EN1**：DAC チャネル 1 イネーブル

このビットは、DAC チャネル 1 を有効/無効にするために、ソフトウェアによってセット/クリアされます。

0：DAC チャネル 1 は無効です。

1：DAC チャネル 1 は有効です。

12.5.2 DAC ソフトウェアトリガレジスタ（DAC_SWTRIGR）

アドレスオフセット：0x04

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み														SWTRIG2	SWTRIG1
														w	w

ビット 31:2 予約済み

ビット 1 **SWTRIG2**：DAC チャネル 2 ソフトウェアトリガ

このビットは、ソフトウェアトリガを有効/無効にするために、ソフトウェアによってセット/クリアされます。

0：ソフトウェアトリガは無効です。

1：ソフトウェアトリガは有効です。

注： このビットは、DAC_DHR2 レジスタの値が DAC_DOR2 レジスタにロードされると、ハードウェアによってリセットされます（1 APB1 クロックサイクル後）。

ビット 0 **SWTRIG1**：DAC チャネル 1 ソフトウェアトリガ

このビットは、ソフトウェアトリガを有効/無効にするために、ソフトウェアによってセット/クリアされます。

0：ソフトウェアトリガは無効です。

1：ソフトウェアトリガは有効です。

注： このビットは、DAC_DHR1 レジスタの値が DAC_DOR1 レジスタにロードされると、ハードウェアによってリセットされます（1 APB1 クロックサイクル後）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

12.5.3 DAC チャネル1 12 ビット右詰めデータ保持レジスタ（DAC_DHR12R1）

アドレスオフセット：0x08

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み				DACC1DHR[11:0]											
				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:12 予約済み

ビット 11:0 **DACC1DHR[11:0]**：DAC チャネル1 12 ビット右詰めデータ
これらのビットは、DAC チャネル1 の 12 ビットデータを示すために、ソフトウェアによって書き込まれます。

12.5.4 DAC チャネル1 12 ビット左詰めデータ保持レジスタ（DAC_DHR12L1）

アドレスオフセット：0x0C

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DACC1DHR[11:0]												予約済み			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw				

ビット 31:16 予約済み

ビット 15:4 **DACC1DHR[11:0]**：DAC チャネル1 12 ビット左詰めデータ
これらのビットは、DAC チャネル1 の 12 ビットデータを示すために、ソフトウェアによって書き込まれます。

ビット 3:0 予約済み

12.5.5 DAC チャネル1 8 ビット右詰めデータ保持レジスタ（DAC_DHR8R1）

アドレスオフセット：0x10

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								DACC1DHR[7:0]							
								rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:8 予約済み

ビット 7:0 **DACC1DHR[7:0]**：DAC チャネル1 8 ビット右詰めデータ
これらのビットは、DAC チャネル1 の 8 ビットデータを示すために、ソフトウェアによって書き込まれます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

12.5.6 DAC チャネル2 12 ビット右詰めデータ保持レジスタ（DAC_DHR12R2）

アドレスオフセット：0x14

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み				DACC2DHR[11:0]											
				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:12 予約済み

ビット 11:0 **DACC2DHR[11:0]**：DAC チャネル2 12 ビット右詰めデータ
これらのビットは、DAC チャネル2 の 12 ビットデータを指定するために、ソフトウェアによって書き込まれます。

12.5.7 DAC チャネル2 12 ビット左詰めデータ保持レジスタ（DAC_DHR12L2）

アドレスオフセット：0x18

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DACC2DHR[11:0]												予約済み			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw				

ビット 31:16 予約済み

ビット 15:4 **DACC2DHR[11:0]**：DAC チャネル2 12 ビット左詰めデータ
これらのビットは、DAC チャネル2 の 12 ビットデータを指定するために、ソフトウェアによって書き込まれます。

ビット 3:0 予約済み

12.5.8 DAC チャネル2 8 ビット右詰めデータ保持レジスタ（DAC_DHR8R2）

アドレスオフセット：0x1C

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								DACC2DHR[7:0]							
								rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:8 予約済み

ビット 7:0 **DACC2DHR[7:0]**：DAC チャネル2 8 ビット右詰めデータ
これらのビットは、DAC チャネル2 の 8 ビットデータを指定するために、ソフトウェアによって書き込まれます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

12.5.9 デュアル DAC 12 ビット右詰めデータ保持レジスタ（DAC_DHR12RD）

アドレスオフセット：0x20

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み				DACC2DHR[11:0]											
				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み				DACC1DHR[11:0]											
				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:28 予約済み

ビット 27:16 **DACC2DHR[11:0]**：DAC チャネル2 12 ビット右詰めデータ
これらのビットは、DAC チャネル2 の 12 ビットデータを指定するために、ソフトウェアによって書き込まれます。

ビット 15:12 予約済み

ビット 11:0 **DACC1DHR[11:0]**：DAC チャネル1 12 ビット右詰めデータ
これらのビットは、DAC チャネル1 の 12 ビットデータを示すために、ソフトウェアによって書き込まれます。

12.5.10 デュアル DAC 12 ビット左詰めデータ保持レジスタ（DAC_DHR12LD）

アドレスオフセット：0x24

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DACC2DHR[11:0]												予約済み			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw				
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DACC1DHR[11:0]												予約済み			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw				

ビット 31:20 **DACC2DHR[11:0]**：DAC チャネル2 12 ビット左詰めデータ
これらのビットは、DAC チャネル2 の 12 ビットデータを指定するために、ソフトウェアによって書き込まれます。

ビット 19:16 予約済み

ビット 15:4 **DACC1DHR[11:0]**：DAC チャネル1 12 ビット左詰めデータ
これらのビットは、DAC チャネル1 の 12 ビットデータを示すために、ソフトウェアによって書き込まれます。

ビット 3:0 予約済み

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

12.5.11 デュアル DAC 8 ビット右詰めデータ保持レジスタ（DAC_DHR8RD）

アドレスオフセット：0x28

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DACC2DHR[7:0]								DACC1DHR[7:0]							
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:16 予約済み

ビット 15:8 **DACC2DHR[7:0]**：DAC チャネル2 8 ビット右詰めデータ
これらのビットは、DAC チャネル2 の 8 ビットデータを指定するために、ソフトウェアによって書き込まれます。

ビット 7:0 **DACC1DHR[7:0]**：DAC チャネル 1 8 ビット右詰めデータ
これらのビットは、DAC チャネル 1 の 8 ビットデータを示すために、ソフトウェアによって書き込まれます。

12.5.12 DAC チャネル 1 データ出力レジスタ（DAC_DOR1）

アドレスオフセット：0x2C

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み				DACC1DOR[11:0]											
				r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:12 予約済み

ビット 11:0 **DACC1DOR[11:0]**：DAC チャネル1 データ出力
これらのビットは読み出し専用であり、DAC チャネル1 のデータ出力を含みます。

12.5.13 DAC チャネル 2 データ出力レジスタ（DAC_DOR2）

アドレスオフセット：0x30

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み				DACC2DOR[11:0]											
				r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:12 予約済み

ビット 11:0 **DACC2DOR[11:0]**：DAC チャネル2 データ出力
これらのビットは読み出し専用であり、DAC チャネル2 のデータ出力を含みます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

12.5.14 DAC レジスタマップ

次の表は DAC レジスタの一覧です。

表79. DAC レジスタマップ

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	DAC_CR	予約済み			DMAEN2	MAMP2[3:0]				WAVE 2[2:0]		TSEL2[2:0]			TEN2	BOFF2	EN2	予約済み			DMAEN1	MAMP1[3:0]				WAVE 1[2:0]		TSEL1 [2:0]			TEN1	BOFF1	EN1
	リセット値				0	0	0	0	0	0	0	0	0	0	0	0	0				0	0	0	0	0	0	0	0	0	0	0	0	0
0x04	DAC_SWTRIGR	予約済み																														SWTRIG2	SWTRIG1
	リセット値																															0	0
0x08	DAC_DHR12R1	予約済み																				DACC1DHR[11:0]											
	リセット値																					0	0	0	0	0	0	0	0	0	0	0	0
0x0C	DAC_DHR12L1	予約済み																DACC1DHR[11:0]												予約済み			
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0				
0x10	DAC_DHR8R1	予約済み																								DACC1DHR[7:0]							
	リセット値																									0	0	0	0	0	0	0	0
0x14	DAC_DHR12R2	予約済み																				DACC2DHR[11:0]											
	リセット値																					0	0	0	0	0	0	0	0	0	0	0	0
0x18	DAC_DHR12L2	予約済み																DACC2DHR[11:0]												予約済み			
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0				
0x1C	DAC_DHR8R2	予約済み																								DACC2DHR[7:0]							
0x20	DAC_DHR12RD	予約済み				DACC2DHR[11:0]												予約済み				DACC1DHR[11:0]											
	リセット値					0	0	0	0	0	0	0	0	0	0	0	0					0	0	0	0	0	0	0	0	0	0	0	0
0x24	DAC_DHR12LD	DACC2DHR[11:0]												予約済み				DACC1DHR[11:0]												予約済み			
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0					0	0	0	0	0	0	0	0	0	0	0	0				
0x28	DAC_DHR8RD	予約済み																DACC2DHR[7:0]								DACC1DHR[7:0]							
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x2C	DAC_DOR1	予約済み																				DACC1DOR[11:0]											
	リセット値																					0	0	0	0	0	0	0	0	0	0	0	0
0x30	DAC_DOR2	予約済み																				DACC2DOR[11:0]											
	リセット値																					0	0	0	0	0	0	0	0	0	0	0	0

注： レジスタ境界アドレスについては、表 1（45ページ）を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

13 高機能制御タイマ（TIM1および TIM8）

小容量 デバイス は、フラッシュメモリ容量が 16～32 KB の STM32F101xx、STM32F102xx、および STM32F103xx マイクロコントローラです。

中容量デバイスは、フラッシュメモリ容量が 64～128 KB の STM32F101xx、STM32F102xx、および STM32F103xx マイクロコントローラです。

大容量デバイスは、フラッシュメモリ容量が 256～512 KB の STM32F101xx および STM32F103xx マイクロコントローラです。

特大容量デバイスは、フラッシュメモリ容量が 768 KB～1 MB の STM32F101xx および STM32F103xx マイクロコントローラです。

コネクティビティラインデバイス は、STM32F105xx および STM32F107xx マイクロコントローラです。

小および中容量 STM32F103xx デバイスと STM32F105xx/STM32F107xx コネクティビティラインデバイスは、高機能制御タイマ（TIM1）を 1 つ含むのに対して、大容量および特大容量 STM32F103xx デバイスは、高機能制御タイマを 2 つ（TIM1 と TIM8）備えています。

13.1 TIM1および TIM8 の概要

高機能制御タイマ（TIM1および TIM8）は、プログラマブルなプリスケーラによって駆動される 16 ビット自動再ロードカウンタで構成されます。

入力信号のパルス長の測定（入力キャプチャ）や出力波形の生成（出力比較、PWM、デッドタイムを挿入した相補 PWM）など、さまざまな目的に使用できます。

パルス長と波形の周期は、タイマプリスケーラと RCC クロックコントローラプリスケーラを使用して、数マイクロ秒から数ミリ秒までの範囲で変化させることができます。

高機能制御タイマ （TIM1および TIM8）と汎用タイマ（TIMx）は、互いに独立しており、リソースを共有しません。また *セクション 13.3.20*に記されているように、相互に同期させることもできます。

13.2 TIM1および TIM8 の主な機能

TIM1および TIM8 タイマの主な機能：

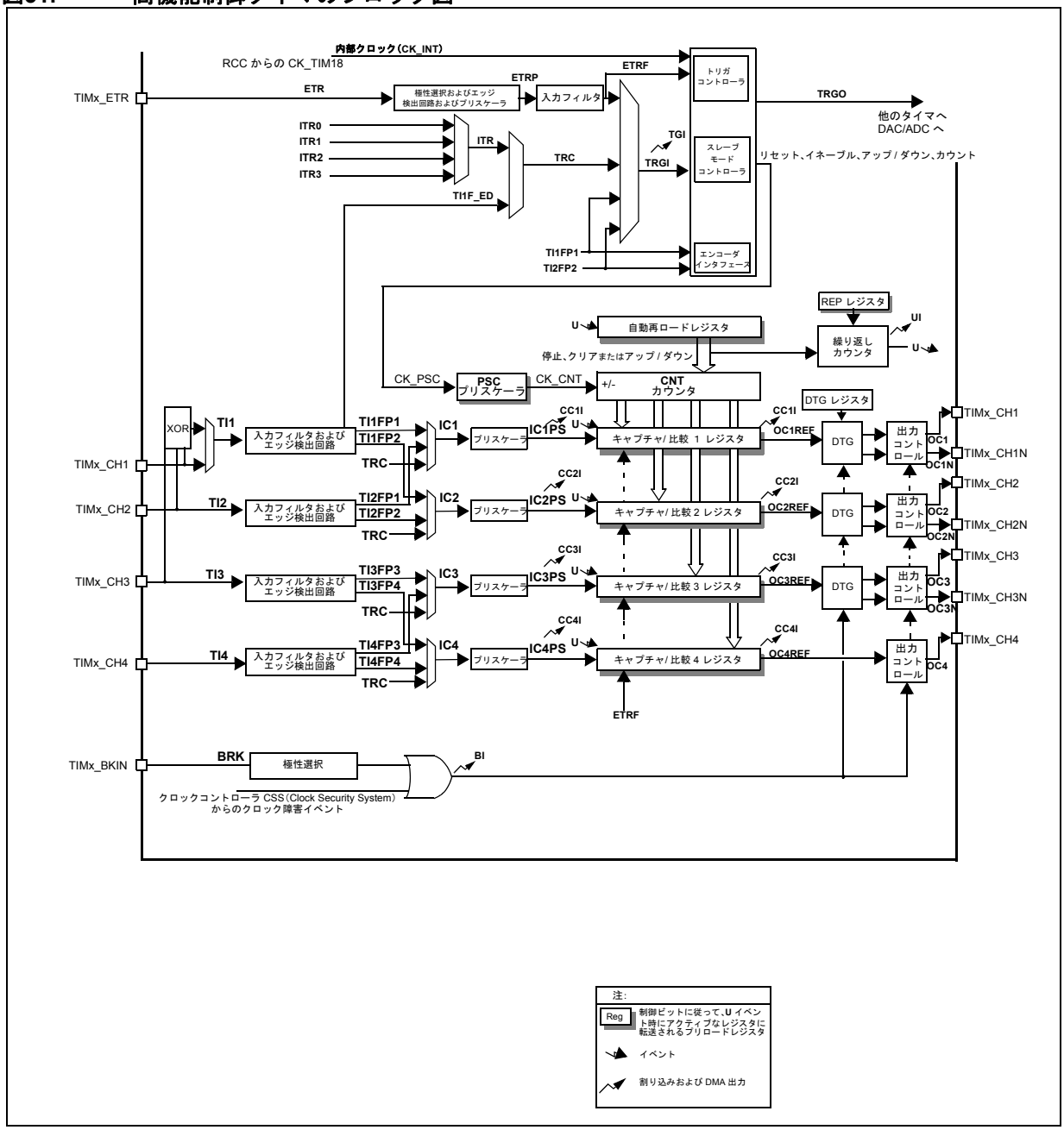
- 16 ビットのアップカウンタ、ダウンカウンタ、アップ/ダウン自動再ロードカウンタ。
- 1 から 65535 の間でカウンタクロック周波数を動作中でも分周できる 16 ビットのプログラマブルプリスケーラ。
- 次の機能を持つ、最大4つの独立チャネル。
  - 入力キャプチャ
  - 出力比較
  - PWM 生成（エッジアラインモードとセンターアラインモード）
  - ワンパルスモード出力
- プログラマブルデッドタイムを持つ相補出力
- 外部信号でタイマを制御し、複数のタイマを相互接続する同期回路。
- カウンタの特定のサイクル数後にのみタイマレジスタを更新する繰り返しカウンタ。
- タイマの出力信号をリセット状態または既知の状態にするブレーク入力。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

- 以下のイベント時の割り込み/DMA 生成。
  - 更新：カウンタオーバーフロー/アンダーフロー、カウンタ初期化（ソフトウェアまたは内部/外部トリガによる）
  - トリガイベント（内部/外部トリガによるカウンタ開始、停止、初期化、またはカウント）
  - 入力キャプチャ
  - 出力比較
  - ブレーク入力
- 位置決めのためのインクリメンタル（直交）エンコーダとホールセンサ回路をサポートしています。
- 外部クロックまたはサイクルごとの電流管理のためのトリガ入力

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図51. 高機能制御タイマのブロック図



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

13.3 TIM1および TIM8 の機能詳細

13.3.1 タイムベースユニット

プログラマブル高機能制御タイマのメインブロックは、自動再ロードレジスタを持つ 16 ビットカウンタです。カウンタは、カウントアップ、カウントダウン、またはアップダウンの動作が可能です。カウンタのクロックは、プリスケーラによって分周できます。

カウンタ、自動再ロードレジスタ、およびプリスケーラレジスタは、ソフトウェアによる読み書きが可能です。カウンタが動作中でも、読み書きが可能です。

タイムベースユニットは、以下のレジスタで構成されます。

- カウンタレジスタ（TIMx_CNT）
- プリスケーラレジスタ（TIMx_PSC）
- 自動再ロードレジスタ（TIMx_ARR）
- 繰り返しカウンタレジスタ（TIMx_RCR）

自動再ロードレジスタは、プリロードレジスタに事前にロードされます。自動再ロードレジスタの読み書きは、プリロードレジスタへのアクセスになります。プリロードレジスタの内容は、TIMx_CR1 レジスタの自動再ロードプリロードイネーブルビット（ARPE）に応じて、常時または更新イベント（UEV）ごとに、シャドウレジスタに転送されます。TIMx_CR1 レジスタの UDIS ビットが 0 の場合、カウンタがオーバーフロー（またはダウンカウント時はアンダーフロー）に達したときに、更新イベントが発生します。また、ソフトウェアによって生成することもできます。更新イベントの生成については、各設定の中で詳しく説明されています。

カウンタのクロックは、TIMx_CR1 レジスタのカウンタイネーブルビット（CEN）がセットされているときにのみ、プリスケーラ出力 CK_CNT から供給されます（カウンタの有効化の詳細については、スレーブモードコントローラの説明も参照してください）。

TIM x _CR1 レジスタの CEN ビットがセットされてから、カウンタがカウントを開始するまでに 1 クロックサイクルの遅延があることに注意してください。

プリスケーラの説明

プリスケーラは、カウンタクロック周波数を 1 から 65536 までの間の値で分周することができます。16 ビットレジスタ（TIMx_PSC）を通して制御されます。この制御レジスタはバッファされるので、動作中でも変更できます。新しいプリスケーラ比は、次の更新イベントで有効になります。

図 53 と *図 54* は、プリスケーラ比がその場で変更されたときのカウンタの動作の例を示しています。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図52. プリスケーラ分周比が 1 から 2 に変化したときのカウンタのタイミング図

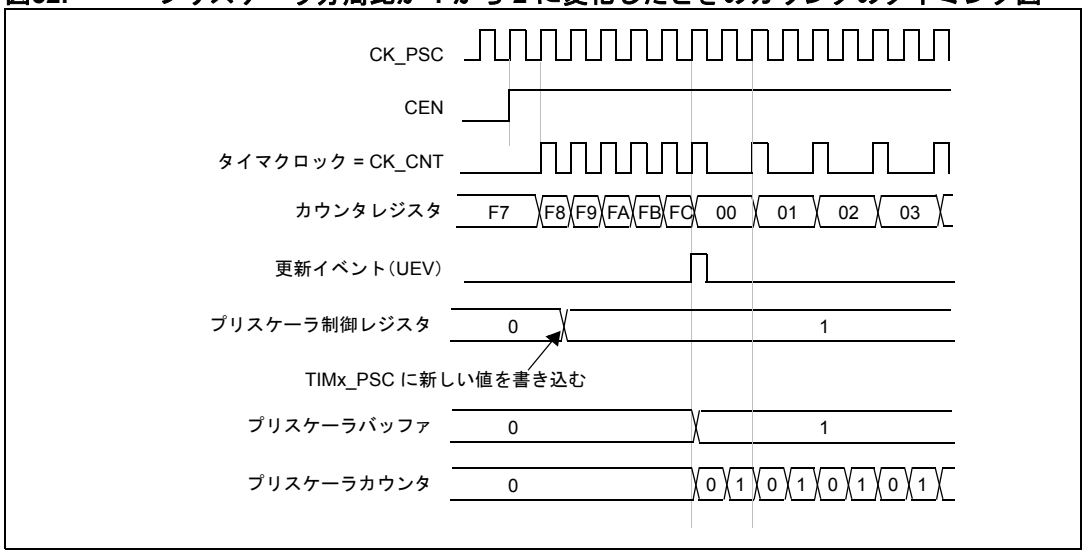
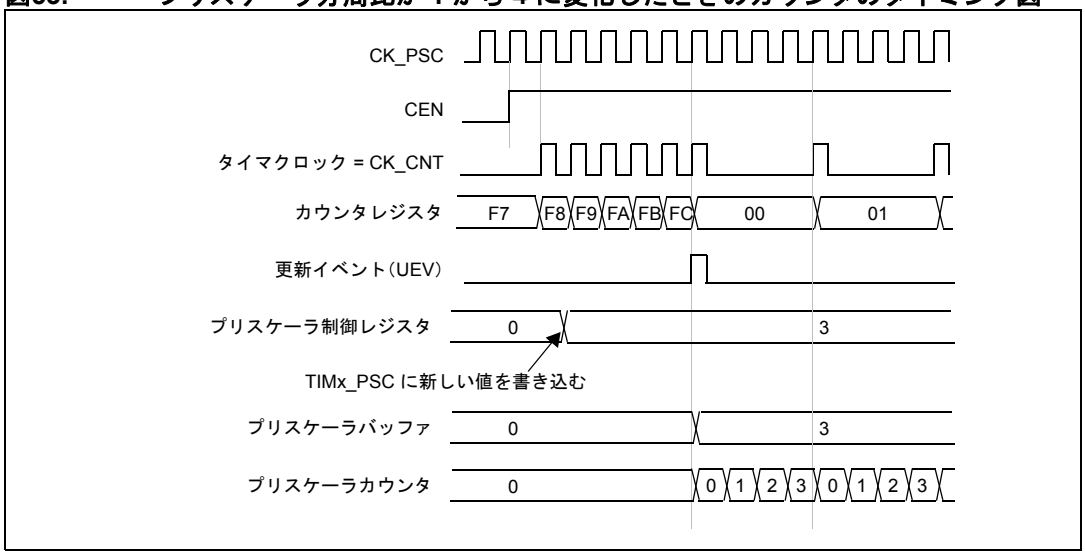


図53. プリスケーラ分周比が 1 から 4 に変化したときのカウンタのタイミング図



13.3.2 カウンタモード

アップカウントモード

アップカウントモードでは、カウンタは 0 から自動再ロード値（TIMx_ARR レジスタの内容）までカウントし、0 からカウントをリスタートするとともに、カウンタオーバーフローイベントを生成します。

繰り返しカウンタが使用されている場合には、繰り返しカウンタレジスタ（TIMx_RCR）でプログラムされた回数まで、アップカウントが繰り返されます。繰り返しカウンタが使用されていないときには、カウンタのオーバーフローごとに更新イベントが生成されます。

（ソフトウェアによって、またはスレーブモードコントローラを使用して）TIMx_EGR レジスタの UG ビットをセットすることでも更新イベントが生成されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

UEV イベントは、ソフトウェアで TIMx_CR1 レジスタの UDIS ビットをセットすることによって無効にできます。これは、プリロードレジスタに新しい値を書き込んでいるときにシャドウレジスタが更新されるのを防ぐためです。この場合、UDIS ビットに 0 が書き込まれるまで、更新イベントは発生しません。ただし、プリスケーラのカウンタと同じく、カウンタは 0 からカウントをリスタートします（しかし、プリスケーラ比は変化しません）。さらに、TIMx_CR1 レジスタの URS ビット（更新リクエスト選択）がセットされている場合は、UG ビットをセットすると更新イベント UEV が生成されますが、UIF フラグはセットされません（したがって、割り込みや DMA リクエストは送信されません）。これは、キャプチャイベント時にカウンタをクリアしているときに、更新とキャプチャの両方の割り込みが生成されるのを防ぐためです。

更新イベントが発生すると、すべてのレジスタが更新され、URS ビットに応じて、更新フラグ（TIMx_SR レジスタの UIF ビット）がセットされます。

- 繰り返しカウンタには TIMx_RCR レジスタの内容が再ロードされます。
- 自動再ロードシャドウレジスタは、プリロード値（TIMx_ARR）に更新されます。
- プリスケーラのバッファには、プリロード値（TIMx_PSC レジスタの内容）が再ロードされます。

以下の図は、TIMx_ARR = 0x36 のときの、さまざまなクロック周波数におけるカウンタの動作の例を示しています。

図54. 内部クロック分周比が 1 の場合のカウンタのタイミング図

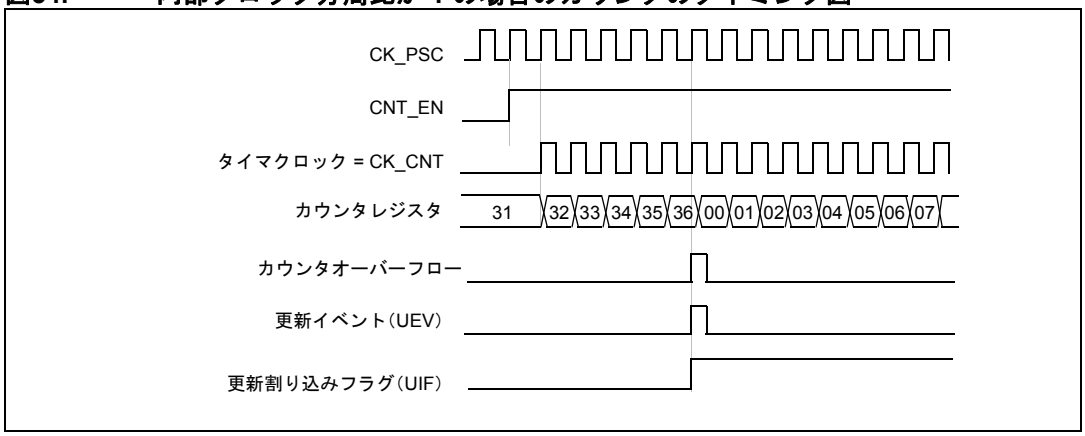
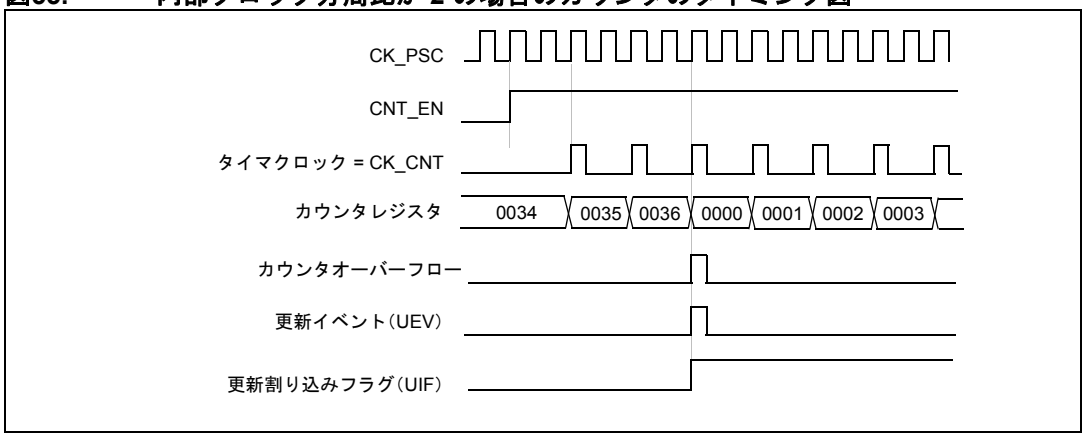


図55. 内部クロック分周比が 2 の場合のカウンタのタイミング図



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図56. 内部クロック分周比が 4 の場合のカウンタのタイミング図

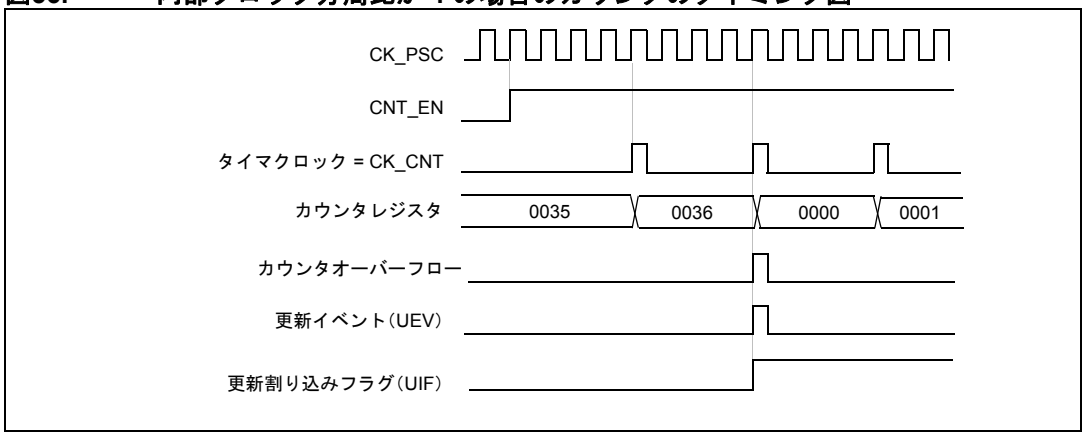


図57. 内部クロック分周比が N の場合のカウンタのタイミング図

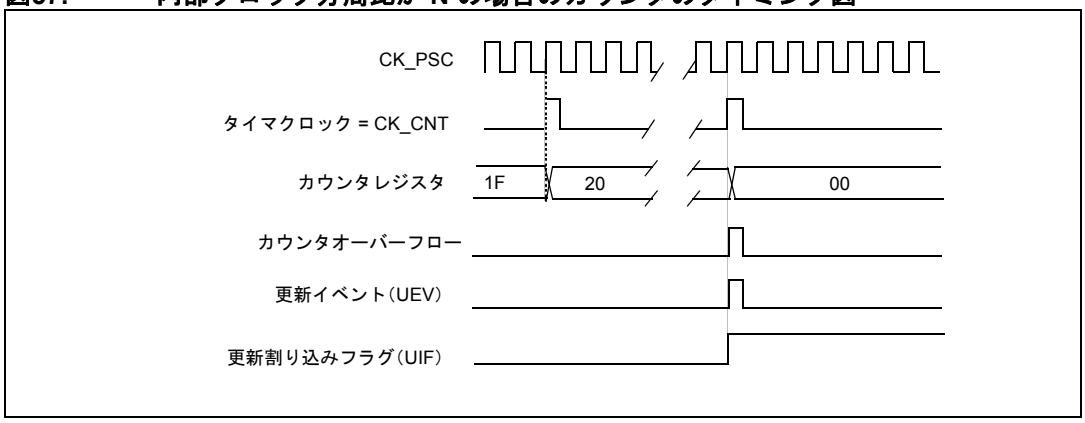
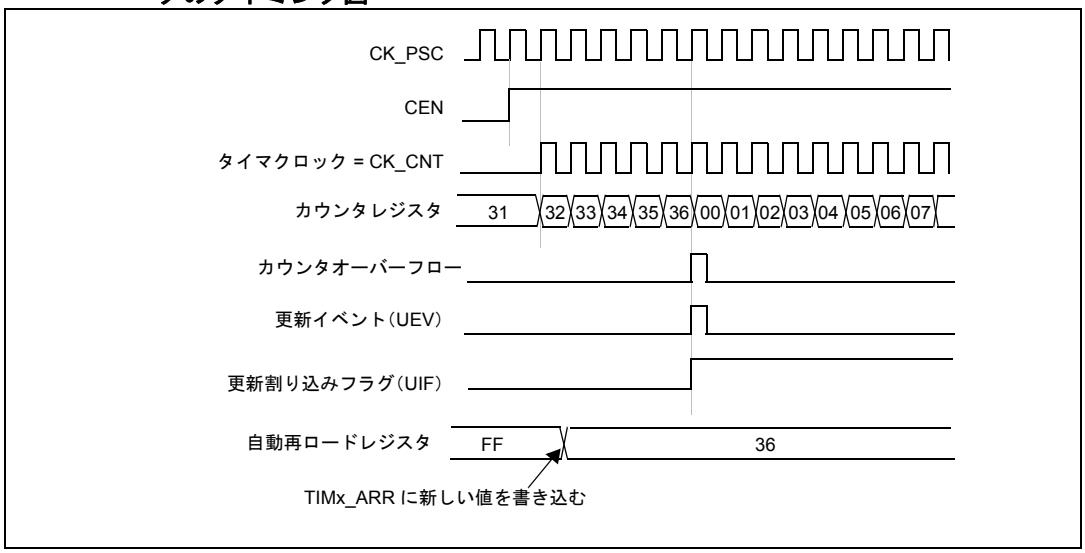
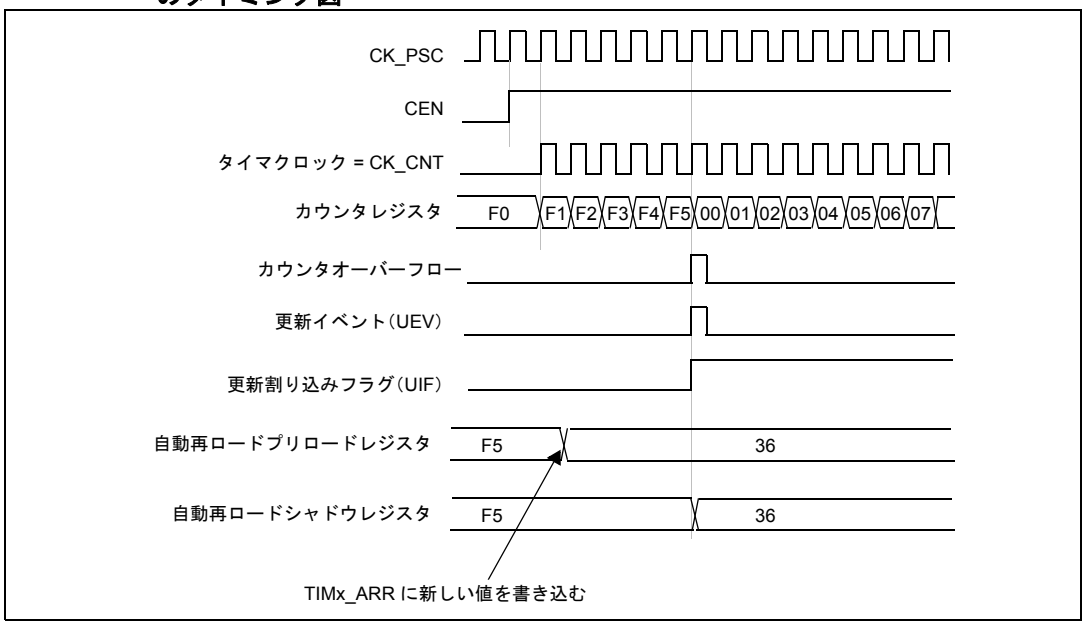


図58. ARPE=0 時（TIMx_ARR はプリロードされない）、更新イベント時のカウンタのタイミング図



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図59. ARPE=1 時（TIMx_ARR はプリロードされる）、更新イベント時のカウンタのタイミング図



ダウンカウントモード

ダウンカウントモードでは、カウンタは自動再ロード値（TIMx_ARR レジスタの内容）から 0 までカウントした後、自動再ロード値からカウントダウンをリスタートするとともに、カウンタアンダーフローイベントを生成します。

繰り返しカウンタが使用されている場合、繰り返しカウンタレジスタ（TIMx_RCR）でプログラムされた回数までダウンカウントが繰り返された後、更新イベント（UEV）が生成されます。繰り返しカウンタが使用されていないときには、カウンタのアンダーフローごとに更新イベントが生成されます。

（ソフトウェアによって、またはスレーブモードコントローラを使用して）TIMx_EGR レジスタの UG ビットをセットすることでも更新イベントが生成されます。

UEV 更新イベントは、ソフトウェアで TIMx_CR1 レジスタの UDIS ビットをセットすることによって無効にできます。これは、プリロードレジスタに新しい値を書き込んでいるときにシャドウレジスタが更新されるのを防ぐためです。この場合、UDIS ビットに 0 が書き込まれるまで、更新イベントは発生しません。ただし、カウンタは現在の自動再ロード値からリスタートしますが、プリスケーラのカウンタは 0 からリスタートします（しかし、プリスケーラ比は変化しません）。

さらに、TIMx_CR1 レジスタの URS ビット（更新リクエスト選択）がセットされている場合は、UG ビットをセットすると更新イベント UEV が生成されますが、UIF フラグはセットされません（したがって、割り込みや DMA リクエストは送信されません）。これは、キャプチャイベント時にカウンタをクリアしているときに、更新とキャプチャの両方の割り込みを生成されるのを防ぐためです。

更新イベントが発生すると、すべてのレジスタが更新され、URS ビットに応じて、更新フラグ（TIMx_SR レジスタの UIF ビット）がセットされます。

- 繰り返しカウンタには、TIMx_RCR レジスタの内容が再ロードされます。
- プリスケーラのバッファには、プリロード値（TIMx_PSC レジスタの内容）が再ロードされます。
- 自動再ロードアクティブレジスタは、プリロード値（TIMx_ARR）で更新されます。カウンタが再ロードされる前に自動再ロードが更新されるので、次の周期は期待通りの周期になります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

以下の図は、TIMx_ARR = 0x36 のときの、さまざまなクロック周波数におけるカウンタの動作の例を示しています。

図60. 内部クロック分周比が 1 の場合のカウンタのタイミング図

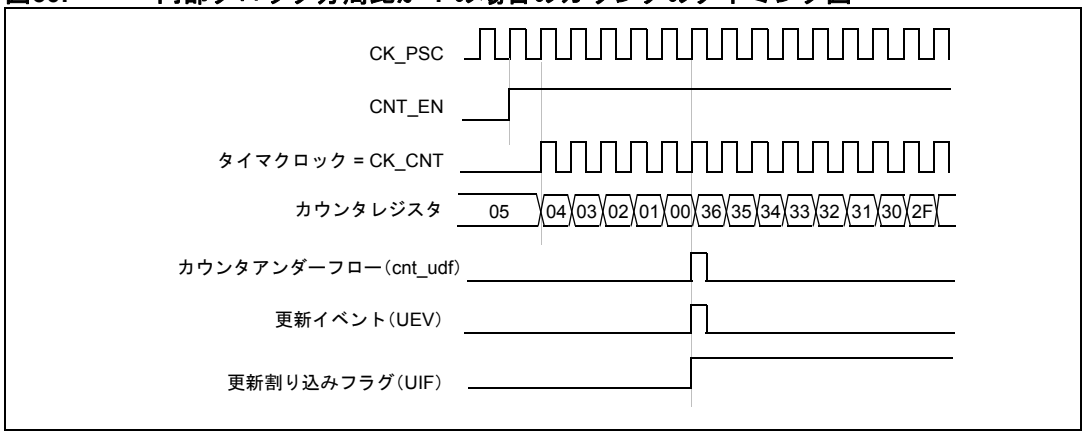


図61. 内部クロック分周比が 2 の場合のカウンタのタイミング図

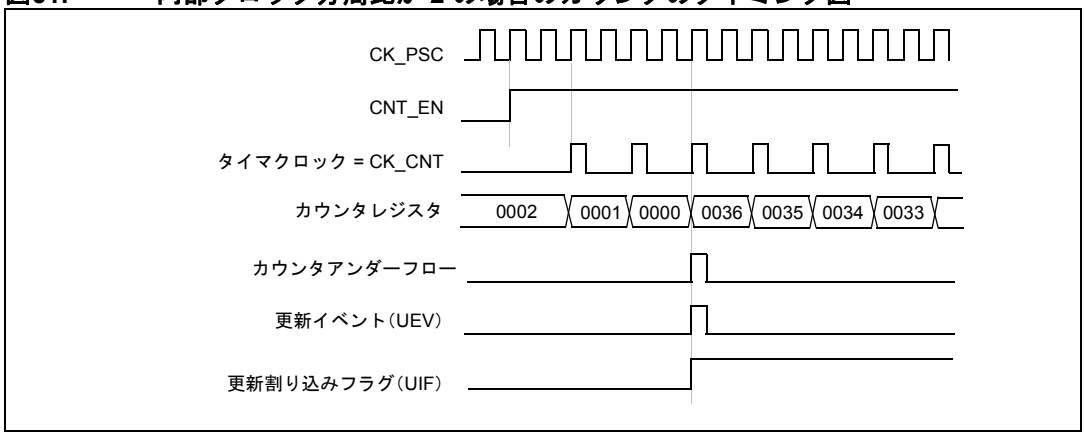
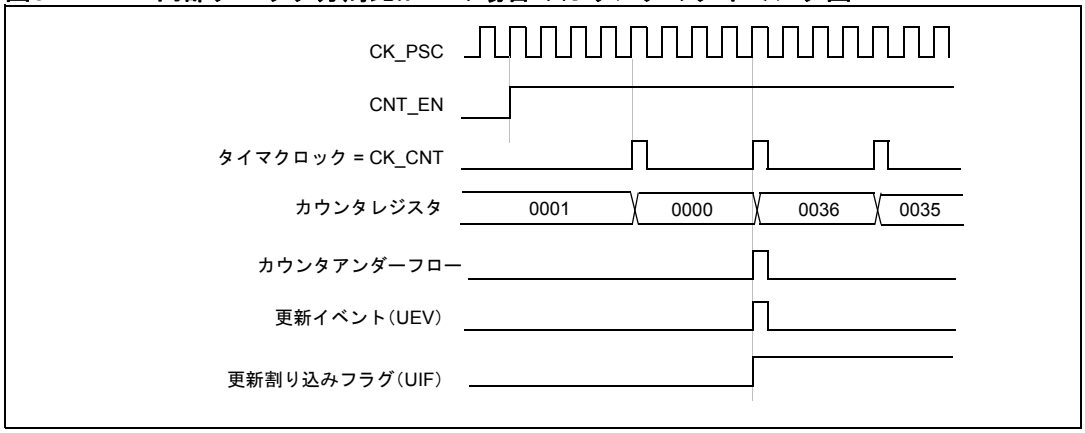


図62. 内部クロック分周比が 4 の場合のカウンタのタイミング図



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図63. 内部クロック分周比が N の場合のカウンタのタイミング図

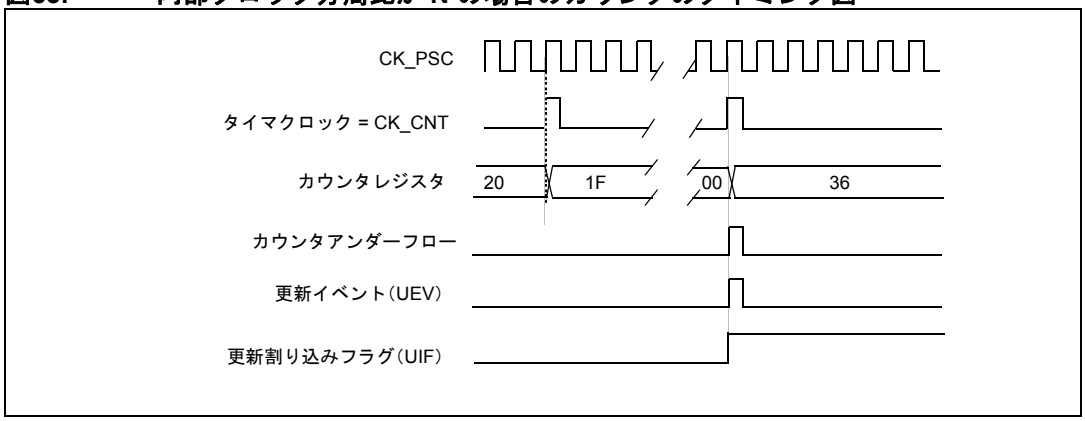
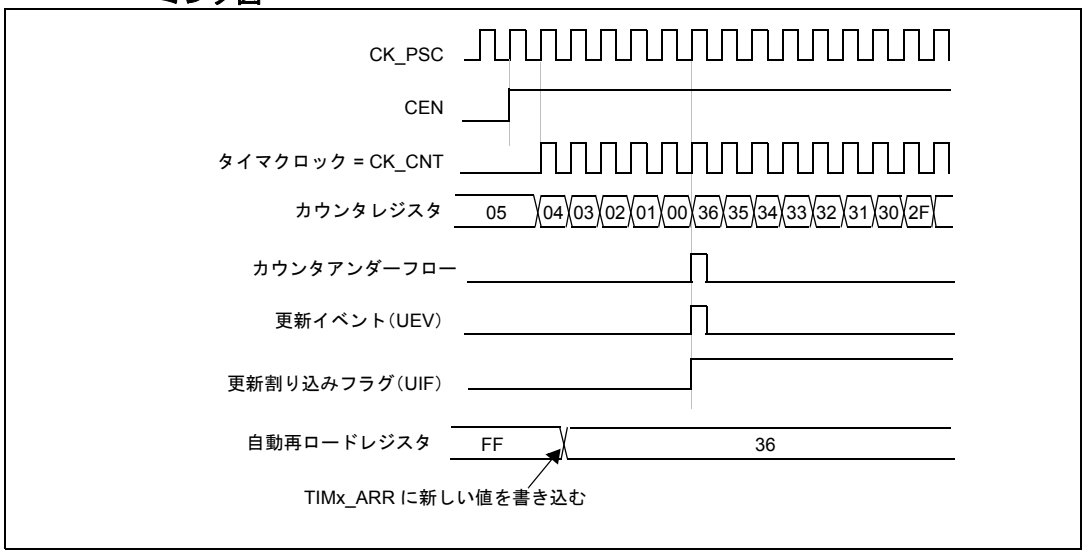


図64. 繰り返しカウンタが使用されていないときの更新イベントとカウンタのタイミング図



センタアラインモード（アップ/ダウンカウント）

センターアラインモードでは、カウンタは 0 から自動再ロード値（TIMx_ARR レジスタの内容）－1 までカウントして、カウンタオーバーフローイベントを生成した後、自動再ロード値から 1 までカウントして、カウンタアンダーフローイベントを生成します。その後、0 からカウントをリスタートします。

センターアラインモードは、TIMx_CR1 レジスタの CMS ビットが "00" に等しくないときにアクティブになります。出力に設定されたチャネルの出力比較割り込みフラグは、カウンタがカウントダウンしたとき（センターアラインモード 1、CMS="01"）、カウンタがカウントアップしたとき（センターアラインモード 2、CMS="10"）、またはカウンタがカウントアップしてカウントダウンしたとき（センターアラインモード 3、CMS="11"）にセットされます。

このモードでは、TIMx_CR1 レジスタの方向ビット（DIR）に書き込むことはできません。このビットはハードウェアによって更新されて、カウンタの現在の方向を示します。

更新イベントは、カウンタオーバーフローとカウンタアンダーフローごとに生成されます。または、（ソフトウェアによって、またはスレーブモードコントローラを使用して）TIMx_EGR レジスタの UG ビットをセットすることによっても更新イベントが生成されます。この場合、プリスケーラのカウンタと同じく、カウンタは 0 からカウントをリスタートします。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

UEV 更新イベントは、ソフトウェアで TIMx_CR1 レジスタの UDIS ビットをセットすることによって無効にできます。これは、プリロードレジスタに新しい値を書き込んでいるときにシャドウレジスタが更新されるのを防ぐためです。この場合、UDIS ビットに 0 が書き込まれるまで、更新イベントは発生しません。ただし、カウンタは現在の自動再ロード値で、カウントアップおよびカウントダウンを続けます。

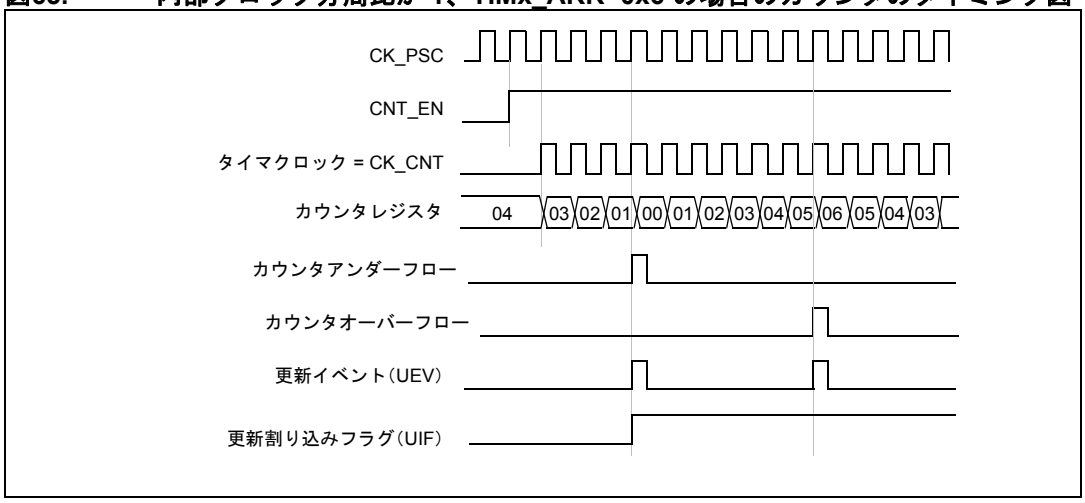
さらに、TIMx_CR1 レジスタの URS ビット（更新リクエスト選択）がセットされている場合、UG ビットをセットすると UEV 更新イベントが生成されますが、UIF フラグはセットされません（したがって、割り込みや DMA リクエストは送信されません）。これは、キャプチャイベント時にカウンタをクリアしているときに、更新とキャプチャの両方の割り込が生成されるのを防ぐためです。

更新イベントが発生すると、すべてのレジスタが更新され、URS ビットに応じて、更新フラグ（TIMx_SR レジスタの UIF ビット）がセットされます。

- 繰り返しカウンタには、TIMx_RCR レジスタの内容が再ロードされます。
- プリスケーラのバッファには、プリロード値（TIMx_PSC レジスタの内容）が再ロードされます。
- 自動再ロードアクティブレジスタは、プリロード値（TIMx_ARR）で更新されます。更新の原因がカウンタオーバーフローである場合には、自動再ロードが更新されてからカウンタが再ロードされるので、次の周期は期待通りの周期になります（カウンタに新しい値がロードされます）。

以下の図は、さまざまなクロック周波数におけるカウンタの動作の例を示しています。

図65. 内部クロック分周比が 1、TIMx_ARR=0x6 の場合のカウンタのタイミング図



1. ここでは、センターアラインモード 1 が使用されています（詳細については、*セクション 13.4：TIM1および TIM8 レジスタ（311 ページ）*を参照してください）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図66. 内部クロック分周比が 2 の場合のカウンタのタイミング図

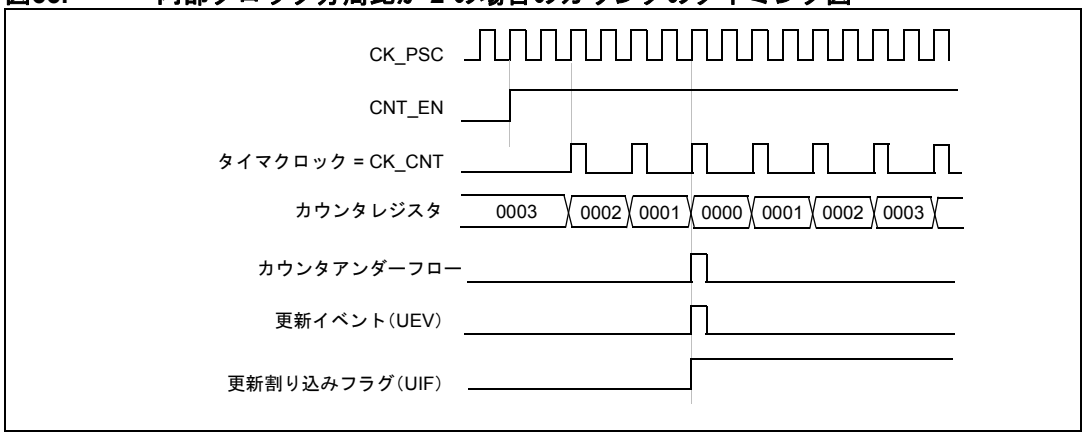
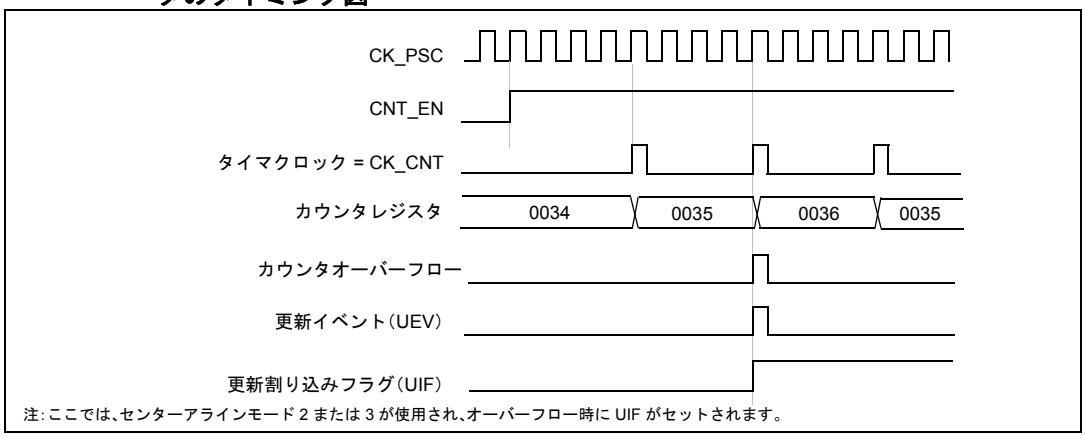
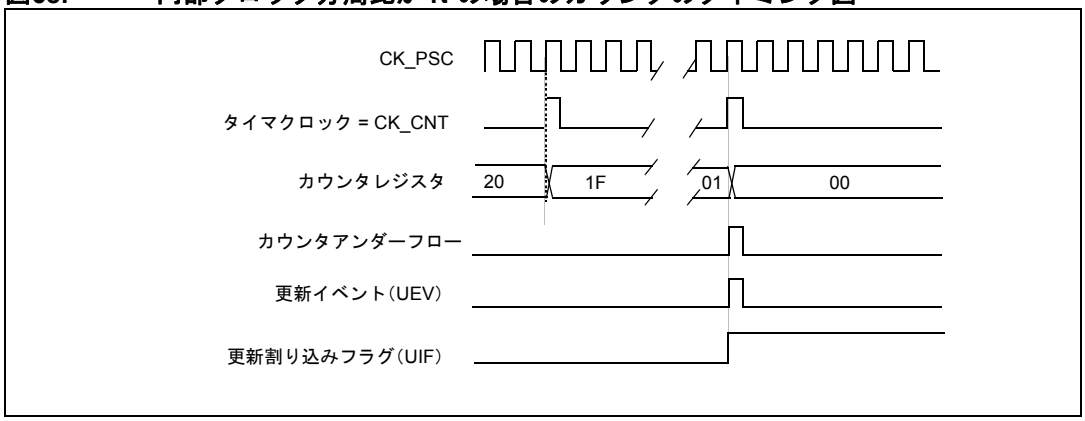


図67. ロードレジスタ内部クロック分周比が 4、TIMx_ARR=0x36 の場合のカウンタのタイミング図



注: ここでは、センターアラインモード 2 または 3 が使用され、オーバーフロー時に UIF がセットされます。

図68. 内部クロック分周比が N の場合のカウンタのタイミング図



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図69. ARPE=1 時の更新イベントのカウンタのタイミング図（カウンタアンダーフロー）

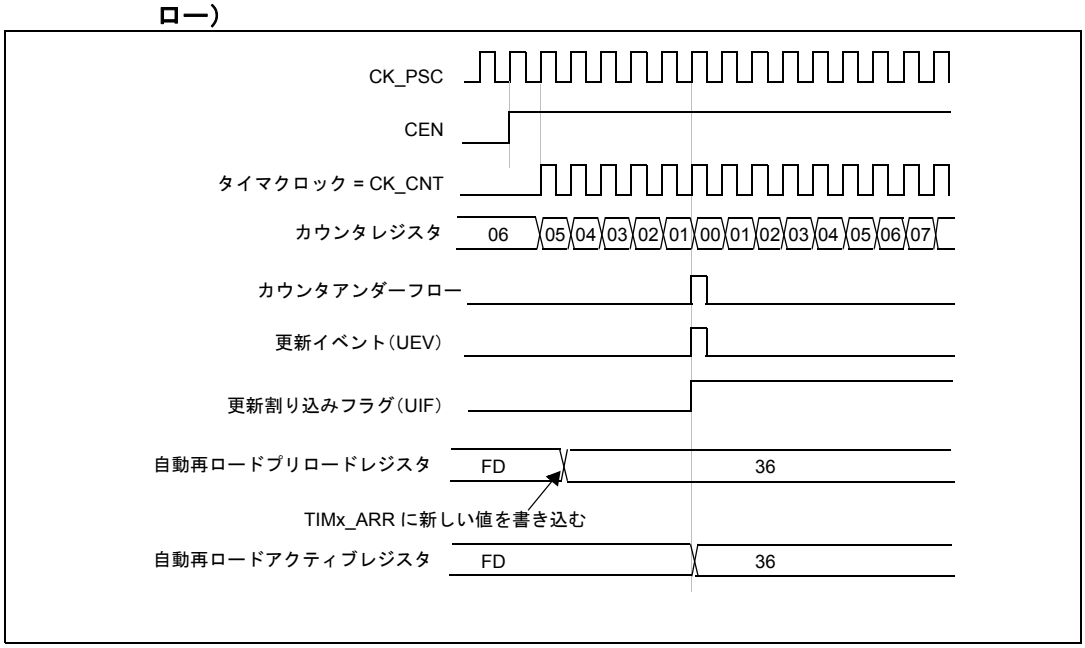
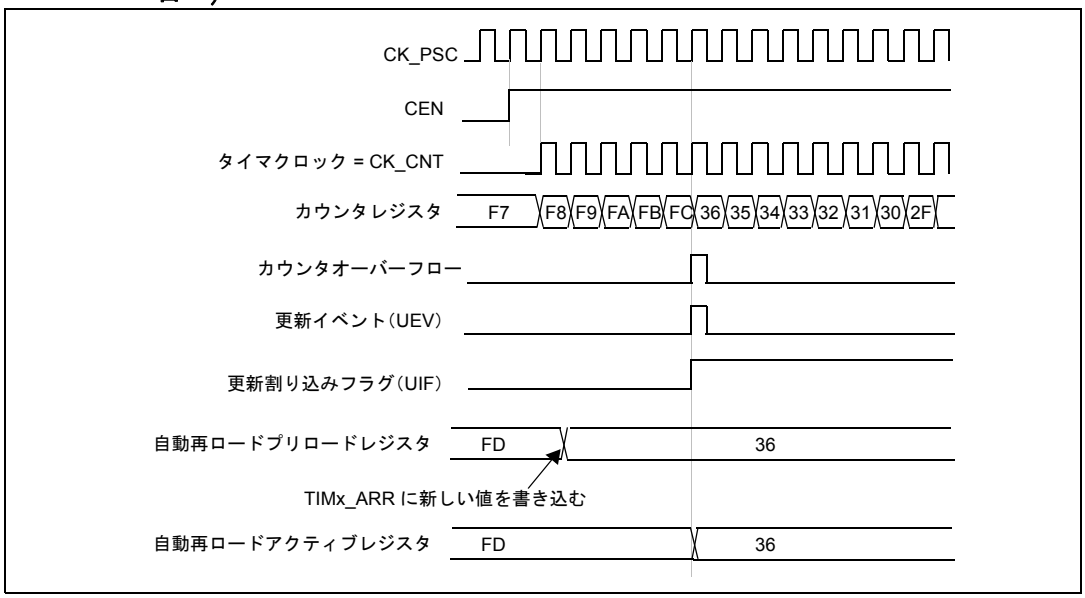


図70. ARPE=1 時の更新イベントのカウンタのタイミング図（カウンタオーバーフロー）



13.3.3 繰り返しカウンタ

セクション 13.3.1 : タイムベースユニット では、カウンタオーバーフロー/アンダーフローによって、どのように更新イベント（UEV）が生成されるのかが説明されています。実際には、繰り返しカウンタが 0 に達したときにのみ、更新イベントが生成されます。これは、PWM 信号を生成する際に役立ちます。

これは、TIMx_RCR 繰り返しカウンタレジスタの値を N とすると、N 回目のカウンタオーバーフローまたはアンダーフローごとに、プリロードレジスタかシャドウレジスタにデータが移されることを意

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

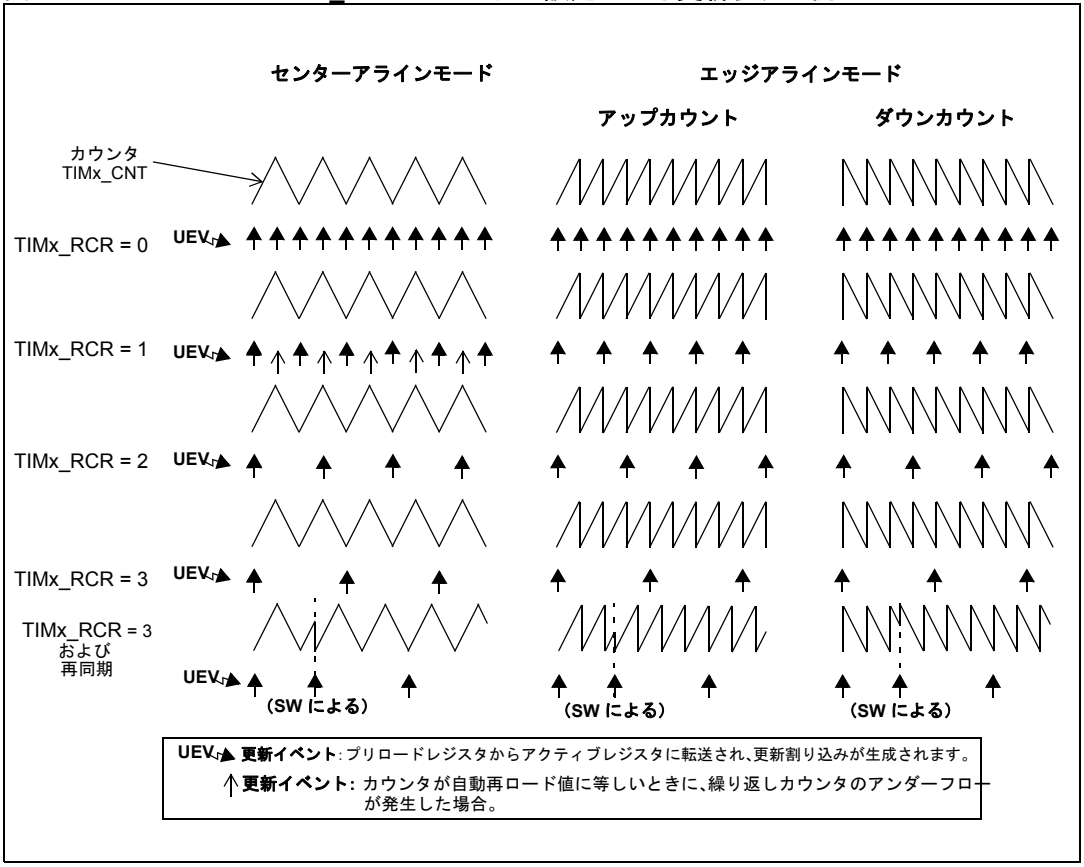
味します（TIMx_ARR 自動再ロードレジスタ、TIMx_PSC プリスケーラレジスタ、比較モードの TIM_CCRx キプチャ /比較レジスタ）。

繰り返しカウンタは、次の場合にデクリメントします。

- アップカウントモードで、カウンタオーバーフローごと
- ダウンカウントモードで、カウンタアンダーフローごと
- センターアラインモードで、カウンタオーバーフローとカウンタアンダーフローごと。最大繰り返し回数は 128 PWM サイクルに限られますが、デューティサイクルを更新する機会が PWM 周期あたり 2 回あることになります。センターアラインモードで比較レジスタの値を PWM 周期あたり 1 回のみ更新するときには、パターンが対称的なので、最大精度は $2xT_{ck}$ です。

繰り返しダウンカウンタは自動再ロードタイプです。繰り返しの回数は、TIMx_RCR レジスタの値によって定義されたとおりに維持されます（*図 71*を参照してください）。ソフトウェアによって（TIMx_EGR レジスタの UG ビットをセットすることによって）、またはスレーブモードコントローラを介してハードウェアによって更新イベントが生成されると、繰り返しカウンタの値にかかわらず直ちにイベントが発生し、繰り返しカウンタに TIMx_RCR レジスタの内容が再ロードされます。

図71. モードと TIMx_RCR レジスタの設定による更新状況の例



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

13.3.4 クロック選択

カウンタクロックは、次のクロックソースによって供給できます。

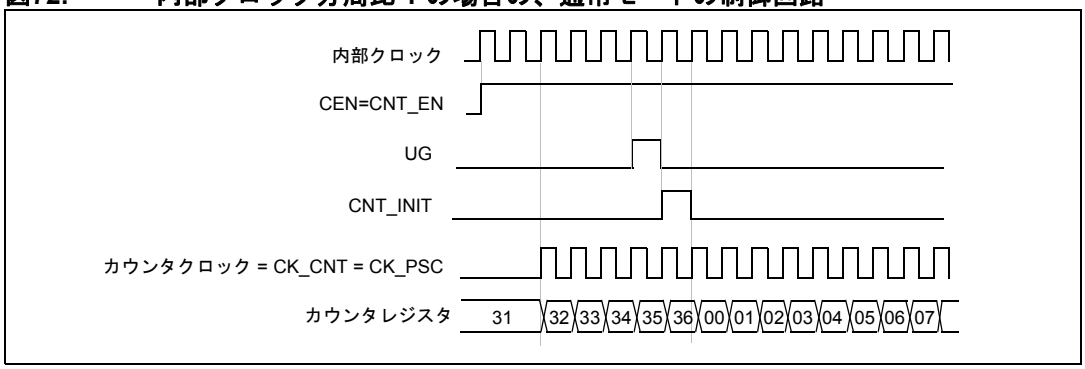
- 内部クロック（CK_INT）
- 外部クロックソースモード 1：外部入力ピン
- 外部クロックソースモード 2：外部トリガ入力 ETR
- 内部トリガ入力（ITRx）：あるタイマを別のタイマのプリスケーラとして使用します。たとえば、タイマ 1 がタイマ 2 のプリスケーラとして働くように設定することができます。詳細については、*1 つのタイマを別のタイマのプリスケーラとして使用する* を参照してください。

内部クロックソース（CK_INT）

スレーブモードコントローラが無効の場合（SMS=000）、CEN、DIR（TIMx_CR1 レジスタ）、および UG ビット（TIMx_EGR レジスタ）が実際の制御ビットとなり、ソフトウェアによってのみ変更できます（自動的にクリア状態に保たれる UG ビットを除きます）。CEN ビットに 1 が書き込まれると、プリスケーラに内部クロック CK_INT が供給されます。

図 72 は、プリスケーラを使用しない場合の制御回路と通常モードのアップカウンタの動作を示しています。

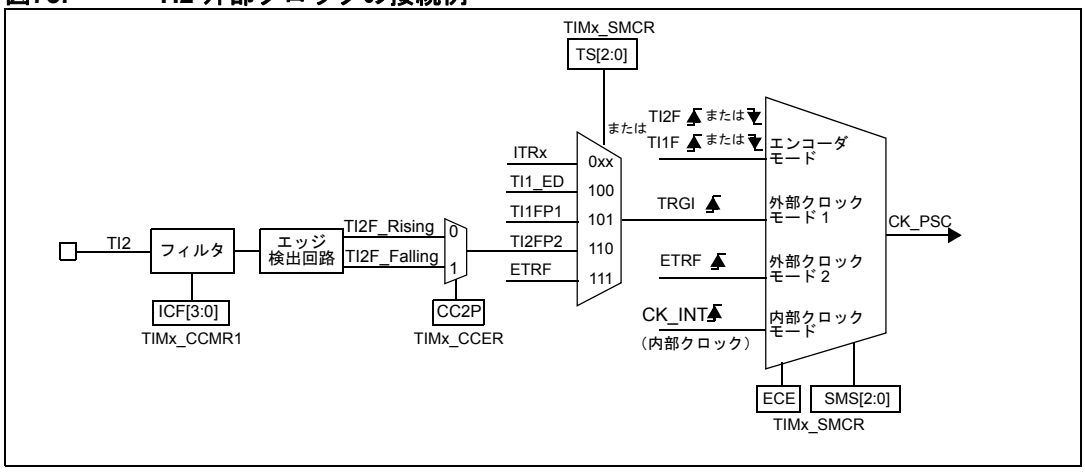
図72. 内部クロック分周比 1 の場合の、通常モードの制御回路



外部クロックソースモード 1

このモードは、TIMx_SMCR レジスタの SMS=111 のときに選択されます。カウンタは、選択された入力の立ち上がりまたは立ち下がりエッジでカウントすることができます。

図73. TI2 外部クロックの接続例



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

たとえば、TI2 入力の立ち上がりエッジに反応してカウントするようにアップカウンタを設定するには、次の手順で行います。

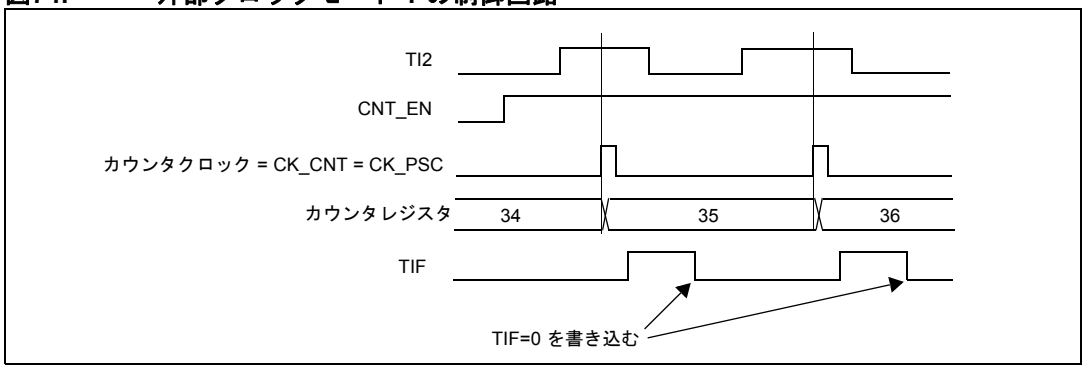
1. TIMx_CCMR1 レジスタの CC2S="01" を書き込むことによって、チャネル 2 が TI2 入力の立ち上がりエッジを検出するように設定します。
2. TIMx_CCMR1 レジスタの IC2F[3:0] ビットに書き込むことによって、入力フィルタの時間を設定します（フィルタが不要な場合は、IC2F=0000 のままにしておきます）。
3. TIMx_CCER レジスタの CC2P=0 を書き込むことによって、立ち上がりエッジを選択します。
4. TIMx_SMCR レジスタの SMS=111 を書き込むことによって、タイマを外部クロックモード 1 に設定します。
5. TIMx_SMCR レジスタの TS=110 を書き込むことによって、トリガ入力ソースとして TI2 を選択します。
6. TIMx_CR1 レジスタの CEN=1 を書き込むことによって、カウンタを有効にします。

注： ***キャプチャプリスケーラはトリガには使用されないので、設定する必要はありません。***

TI2 の立ち上がりエッジが発生すると、カウンタは 1 カウントを行い、TIF フラグがセットされます。

TI2 の立ち上がりエッジから実際のカウンタクロックまでの間には、TI2 入力の再同期回路による遅延があります。

図74. 外部クロックモード 1 の制御回路



外部クロックソースモード 2

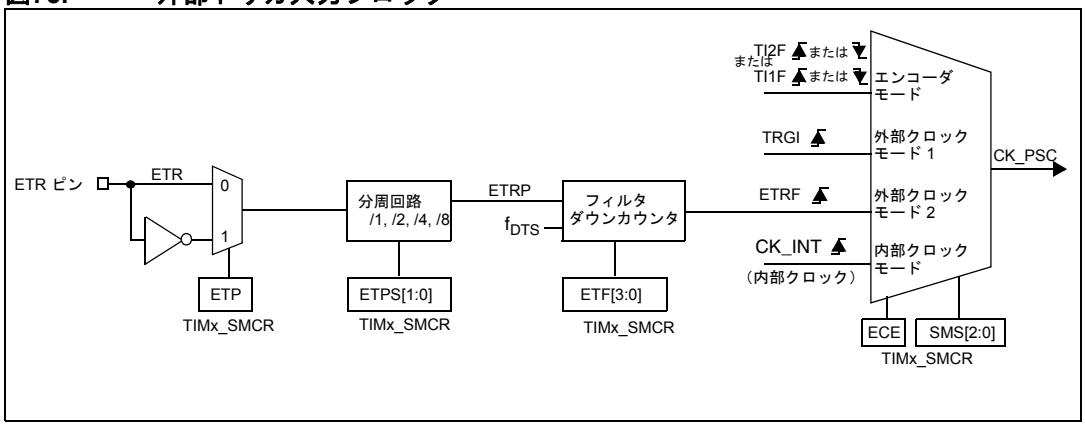
このモードは、TIMx_SMCR レジスタの ECE=1 を書き込むことによって選択されます。

カウンタは外部トリガ入力 ETR の立ち上がりまたは立ち下がりエッジごとにカウントを行います。

図 75 は、外部トリガ入力ブロックの概要を示しています。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図75. 外部トリガ入力ブロック



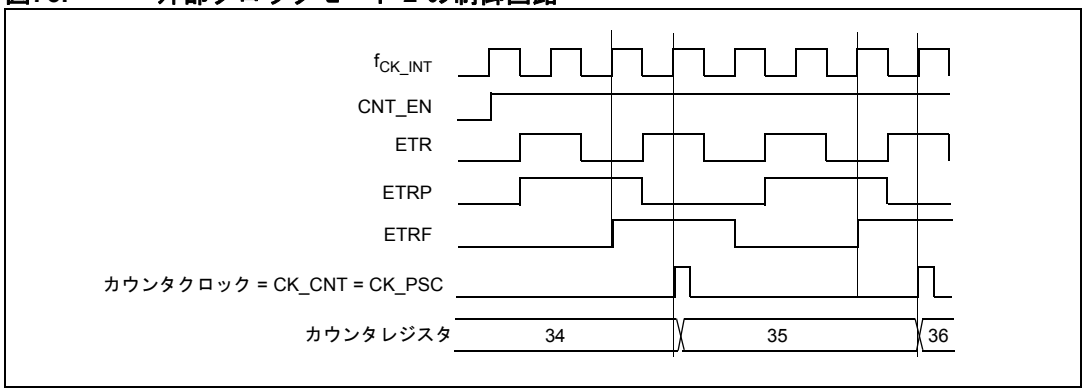
たとえば、ETR の 2 回の立ち上がりエッジごとにカウントするようにアップカウンタを設定するには、次の手順で行います。

1. この例ではフィルタは不要なので、TIMx_SMCR レジスタの ETF[3:0] に 0000 を書き込みます。
2. TIMx_SMCR レジスタの ETPS[1:0]=01 を書き込むことによって、プリスケーラを設定します。
3. TIMx_SMCR レジスタの ETP=0 を書き込むことによって、ETR ピンの立ち上がりエッジ検出を選択します。
4. TIMx_SMCR レジスタの ECE=1 を書き込むことによって、外部クロックモード 2 を有効にします。
5. TIMx_CR1 レジスタの CEN=1 を書き込むことによって、カウンタを有効にします。

カウンタは 2 回の ETR 立ち上がりエッジごとに 1 回カウントします。

ETR の立ち上がりエッジから実際のカウンタクロックまでの間には、ETRP 信号の再同期回路による遅延があります。

図76. 外部クロックモード 2 の制御回路



13.3.5 キャプチャ /比較チャネル

各キャプチャ /比較チャネルは、キャプチャ /比較レジスタ（シャドウレジスタを含む）、キャプチャの入力ステージ（デジタルフィルタ、マルチプレクサ、プリスケーラ）、および出力ステージ（比較回路と出力制御）から構成されています。

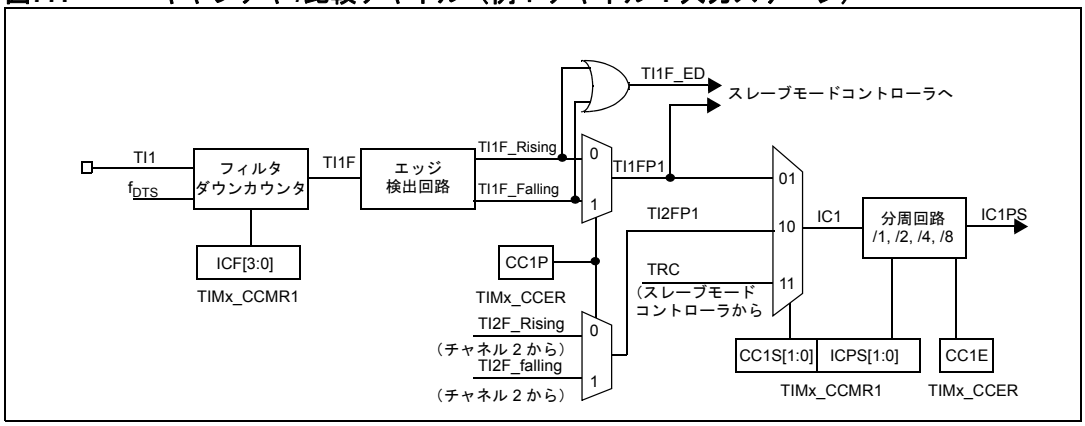
図 77 から *図 80* は、キャプチャ /比較チャネルの概要を示しています。

入力ステージは、対応する TIx 入力をサンプルして、フィルタリングを行った TIxF 信号を生成します。次に、極性選択付きのエッジ検出回路が、スレーブモードコントローラによってトリガ入力とし

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

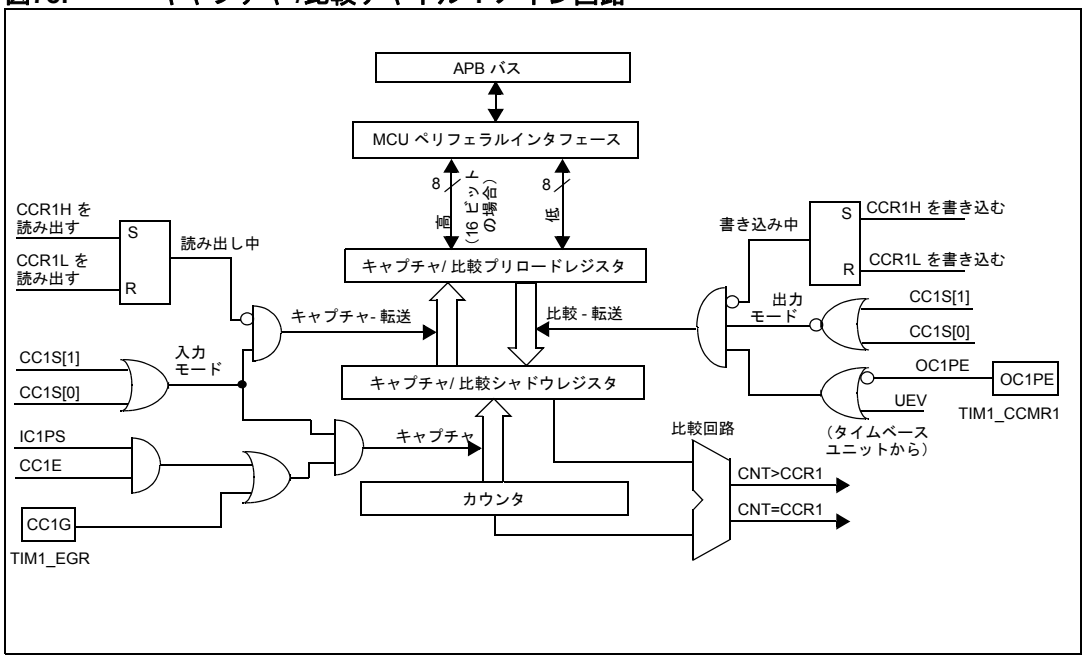
て、またはキャプチャコマンドとして使用される号（TIxFPx）を生成します。この信号はプリスケーラを通じて、キャプチャレジスタ（ICxPS）に渡されます。

図77. キャプチャ /比較チャネル（例：チャネル 1 入力ステージ）



出力ステージは 基準電圧 OCxRef（アクティブハイ）として使用される中間波形を生成します。信号の極性は最終出力に影響を与えます。

図78. キャプチャ /比較チャネル 1 メイン回路



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図79. キャプチャ /比較チャネル（チャネル 1～3）の出力ステージ

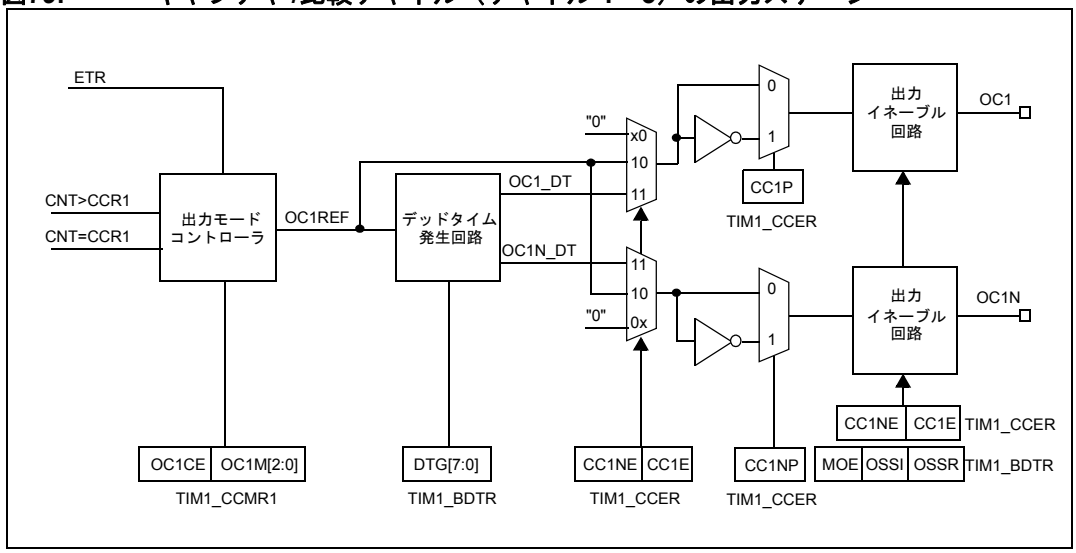
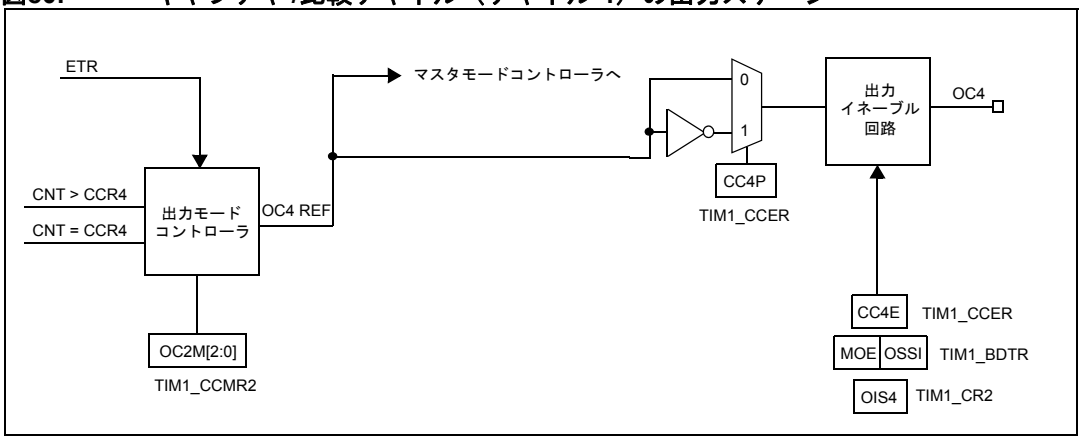


図80. キャプチャ /比較チャネル（チャネル 4）の出力ステージ



キャプチャ /比較ブロックは、1 個のプリロードレジスタと 1 個のシャドウレジスタで構成されています。読み書きのアクセスは常にプリロードレジスタに対して行われます。

キャプチャモードでは、キャプチャ動作は実際にはシャドウレジスタで行われ、その値がプリロードレジスタにコピーされます。

比較モードでは、プリロードレジスタの内容がシャドウレジスタにコピーされて、カウンタと比較されます。

13.3.6 入力キャプチャモード

入力キャプチャモードでは、対応する ICx 信号によって変化が検出された後、カウンタの値をラッチするために、キャプチャ /比較レジスタ（TIMx_CCRx）が使用されます。キャプチャが発生すると、対応する CCxIF フラグ（TIMx_SR レジスタ）がセットされ、割り込みまたは DMA リクエストを送信できます（有効な場合）。CCxIF フラグがすでにハイのときにキャプチャが発生した場合は、オーバーキャプチャフラグ CCxOF（TIMx_SR レジスタ）がセットされます。CCxIF フラグは、ソフトウェアで "0" を書き込むことによって、または、TIMx_CCRx レジスタに格納されたキャプチャデータを読み出すことによってクリアできます。CCxOF は、"0" を書き込むとクリアされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

次の例は、TI1 入力が立ち上がったときに、カウンタの値を TIMx_CCR1 にキャプチャする方法を示しています。このためには、次の手順を使用します。

- アクティブ入力を選択します。TIMx_CCR1 は TI1 入力にリンクされていなければならないので、TIMx_CCMR1 レジスタの CC1S ビットに 01 を書き込みます。CC1S の値が 00 から変化すると、チャネルは入力に設定され、TIMx_CCR1 レジスタは読み出し専用になります。
- 入力が TIx の 1 つであるときに、タイマに接続する信号に応じて必要な入力フィルタ時間をプログラミングします（TIMx_CCMRx レジスタの ICxF ビット）。入力信号の反転時、最大で内部クロックの 5 サイクルの間、信号が安定しないと想定してみます。この場合、フィルタ時間を 5 クロックサイクルより長くプログラミングする必要があります。新しいレベルの連続した 8 個のサンプルが検出されたときに、TI1 で変化を検証できます（周波数 f_{DTS} でサンプリング）。この場合、TIMx_CCMR1 レジスタの IC1F ビットに 0011 を書き込みます。
- TI1 チャネルのアクティブ変化のエッジを選択します。このためには、TIMx_CCER レジスタの CC1P ビット に 0 を書き込みます（この場合、立ち上がりエッジの選択）。
- 入力プリスケーラをプログラミングします。この例では、有効な信号変化ごとにキャプチャを行いたいので、プリスケーラを無効にします（TIMx_CCMR1 レジスタの IC1PS ビットに "00" を書き込ます）。
- TIMx_CCER レジスタの CC1E ビットをセットすることによって、カウンタからキャプチャレジスタへのキャプチャを有効にします。
- 必要な場合は、TIMx_DIER レジスタの CC1IE ビットをセットすることによって、関連する割り込みリクエストを有効にするか、TIMx_DIER レジスタの CC1DE レジスタをセットすることによって、DMA リクエストを有効にします。

入力キャプチャが発生すると、

- アクティブな信号変化時のカウンタの値が TIMx_CCR1 レジスタに格納されます。
- CC1IF フラグがセットされます（割り込みフラグ）。CC1OF ビットは、少なくとも 2 回連続でキャプチャが発生した場合にもセットされますが、フラグはクリアされません。
- CC1IE ビットに応じて、割り込みが生成されます。
- CC1DE ビットに応じて、DMA リクエストが生成されます。

オーバーキャプチャを処理するために、オーバーキャプチャフラグの前にデータを読み出すことが推奨されます。これにより、フラグを読み出した後、データを読み出す前に発生したオーバーキャプチャの見落としを避けることができます。

注： ***IC 割り込みと DMA リクエストは、TIMx_EGR レジスタの対応する CCxG ビットをセットすることによって、ソフトウェアによって生成することができます。***

13.3.7 PWM 入力モード

このモードは、入力キャプチャの特別な応用例です。操作手順は入力キャプチャモードと同様ですが、以下の点が異なっています。

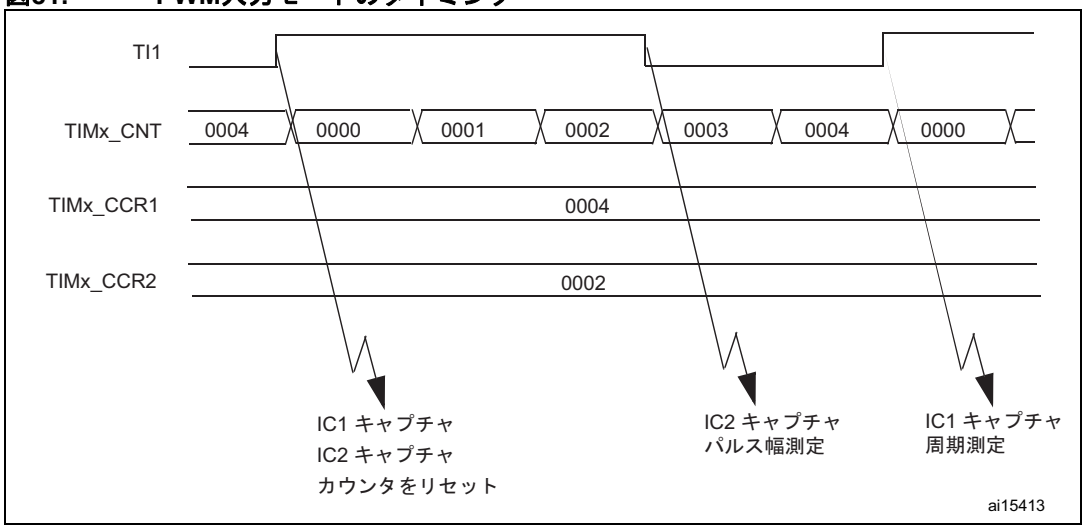
- 2 つの ICx 信号が同じ TIx 入力に配置されます。
- この 2 つの ICx 信号は、逆の極性のエッジでアクティブです。
- 2 つの TIxFP 信号の 1 つがトリガ入力として選択され、スレーブモードコントローラはリセットモードに設定されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

たとえば、次の手順を使用して、TI1 に適用された PWM の周期（TIMx_CCR1 レジスタ）とデューティサイクル（TIMx_CCR2 レジスタ）を測定できます（手順は、CK_INT 周波数とプリスケーラ値によって、若干異なることがあります）。

- TIMx_CCR1 のアクティブ入力を選択します。TIMx_CCMR1 レジスタの CC1S ビットに 01 を書き込みます（TI1 を選択）。
- TI1FP1 のアクティブ極性を選択します（TIMx_CCR1 キャプチャとカウンタクリアの両方に使用します）。CC1P ビット に "0" を書き込みます （立ち上がりエッジでアクティブ）。
- TIMx_CCR2 のアクティブ入力を選択します。TIMx_CCMR1 レジスタの CC2S ビットに "10" を書き込みます（TI1 を選択）。
- TI1FP２ のアクティブ極性を選択します（TIMx_CCR2 キャプチャとカウンタクリアの両方に使用します）。すなわち、CC2P ビット に "1" を書き込みます（立ち下がりエッジでアクティブ）。
- 有効なトリガ入力を選択します。TIMx_SMCR レジスタの TS ビットに "101" を書き込みます（TI1FP1 を選択）。
- スレーブモードコントローラをリセットモードに設定します。すなわち、TIMx_SMCR レジスタの SMS ビットに "100" を書き込みます。
- キャプチャを有効にします。TIMx_CCER レジスタの CC1E ビットと CC2E ビットに "1" を書き込みます。

図81. PWM入力モードのタイミング



1. TI1FP1 と TI2FP2 のみがスレーブモードコントローラに接続されているので、PWM 入力モードは TIMx_CH1/TIMx_CH2 信号でのみ使用できます。

13.3.8 強制出力モード

出力モード（TIMx_CCMRx レジスタの CCxS ビット =00）では、出力比較レジスタとカウンタの間の比較に関係なく、各出力比較信号（OCxREF と OCx/OCxN）をソフトウェアによって直接、強制的にアクティブまたはインアクティブレベルにできます。

出力比較信号（OCxREF/OCx）を強制的にアクティブレベルにするには、対応する TIMx_OCMRx レジスタの OCxM ビットに 101 を書き込むだけです。これにより、OCxREF は強制的にハイになり（OCxREF は常にアクティブハイ）、OCx は CCxP 極性ビットと逆の値になります。

例：CCxP=0（OCx アクティブハイ）=> OCx は強制的にハイレベルになります。

OCxREF 信号は、TIMx_CCMRx レジスタの OCxM ビットに 100 を書き込むことによって、強制的にローレベルにできます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

いずれにしても、TIMx_CCRx シャドウレジスタとカウンタの比較は実行されるので、フラグをセットできます。それに応じて、割り込みおよび DMA リクエストを送信できます。これについては、次の出力比較モードのセクションで説明します。

13.3.9 出力比較モード

この機能は、出力波形を制御したり、一定時間が経過したことを示すために使用されます。

キャプチャ /比較レジスタとカウンタの値が一致したとき、出力比較は次のように働きます。

- 対応する出力ピンに、出力比較モード（TIMx_CCMRx レジスタの OCxM ビット）と出力極性（TIMx_CCER レジスタの CCxP ビット）によって定義されたプログマブル値を割り当てます。一致した際、出力ピンは、レベルを維持するか（OCxM=000）、アクティブにセットされるか（OCxM=001）、インアクティブにセットされるか（OCxM=010）または反転されます（OCxM=011）。
- 割り込みステータスレジスタのフラグをセットします（TIMx_SR レジスタの CCxIF ビット）。
- 対応する割り込みマスク（TIMx_DIER レジスタの CCxIE ビット）がセットされている場合は、割り込みを生成します。
- 対応するイネーブルビット（TIMx_DIER レジスタの CCxDE ビット）がセットされている場合は、DMA リクエストを送信します（DMA リクエスト選択には、TIMx_CR2 レジスタの CCDS ビットが使用されます）。

TIMx_CCRx レジスタは、TIMx_OCMRx レジスタの OCxPE ビットを使用して、プリロードレジスタを使用して、またはプリロードレジスタを使用せずにプログラミングできます。

出力比較モードでは、更新イベント UEV は OCxREF および OCx 出力には影響を与えません。タイミングの分解能はカウンタの 1 カウント分となります。出力比較モードは、単一パルスを出力するためにも使用できます（ワンパルスモード）。

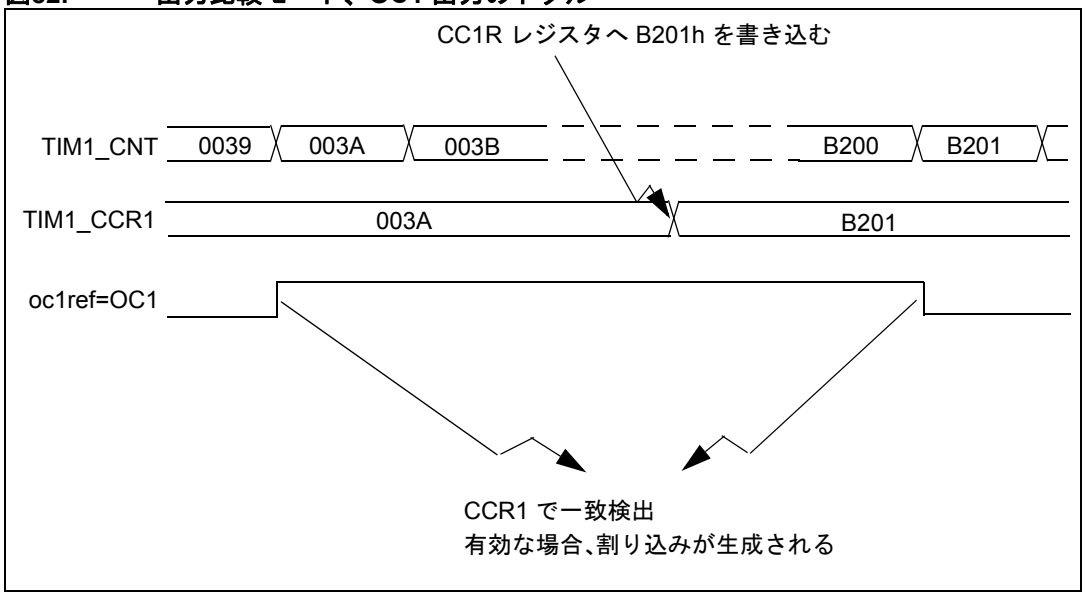
手順：

1. カウンタクロックを選択します（内部、外部、プリスケーラ）。
2. TIMx_ARR レジスタと TIMx_CCRx レジスタに目的のデータを書き込みます。
3. 割り込みリクエストを生成する場合は、CCxIE ビットをセットします。
4. 出力モードを選択します。例：
   - CNT と CCRx が一致したときに OCx 出力ピンを反転するには、OCxM = 011を書き込みます。
   - プリロードレジスタを無効にするには、OCxPE = 0 を書き込みます。
   - アクティブハイ極性を選択するには、CCxP = 0 を書き込みます。
   - 出力を有効にするには、CCxE = 1 を書き込みます。
5. カウンタを有効にするには、TIMx_CR1 レジスタの CEN ビットをセットします。

いつでもソフトウェアによって TIMx_CCRx レジスタを更新して、出力波形を制御できます。ただし、プリロードレジスタが有効でない場合に限ります（OCxPE=0）。そうでない場合、TIMx_CCRx シャドウレジスタは、次の更新イベント UEV でのみ更新されます。例を *図 82* に示します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図82. 出力比較モード、OC1 出力のトグル



13.3.10 PWM モード

パルス幅変調（PWM）モードでは、TIMx_ARR レジスタの値によって決められた周波数と TIMx_CCRx レジスタの値によって決められたデューティサイクルで信号を生成できます。

PWM モードは、TIMx_CCMRx レジスタの OCxM ビットに "110"（PWM モード 1）または "111"（PWM モード 2）を書き込むことによって、チャネルごとに選択できます（OCx 出力ごとに 1 つの PWM）。TIMx_CCMRx レジスタの OCxPE ビットをセットすることによって、対応するプリロードレジスタを有効にする必要があります。また、TIMx_CR1 レジスタの ARPE ビットをセットすることによって、自動再ロードプリロードレジスタも有効にする必要があります（アップカウントモードまたはセンターアラインモード）。

プリロードレジスタは、更新イベントが発生したときにのみシャドウレジスタに転送されるので、カウンタを開始する前に、TIMx_EGR レジスタの UG ビットをセットすることによって、すべてのレジスタを初期化する必要があります。

OCx の極性は、TIMx_CCER レジスタの CCxP を使用してソフトウェアによってプログラムできます。アクティブハイまたはアクティブローとしてプログラムできます。OCx 出力は、CCxE、CCxNE、MOE、OSSI、および OSSR ビット（TIMx_CCER および TIMx_BDTR レジスタ）の組み合わせによって有効になります。詳細については、TIMx_CCERx レジスタの説明を参照してください。

PWM モード（1または2）では、TIMx_CNT と TIMx_CCRx が常に比較されて、TIMx_CCRx ≤ TIMx_CNT または TIMx_CNT ≤ TIMx_CCRx かどうかが判断されます（カウントの方向によります）。

タイマは、TIMx_CR1 レジスタの CMS ビットに応じて、エッジアラインモードまたはセンターアラインモードで PWM を生成できます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

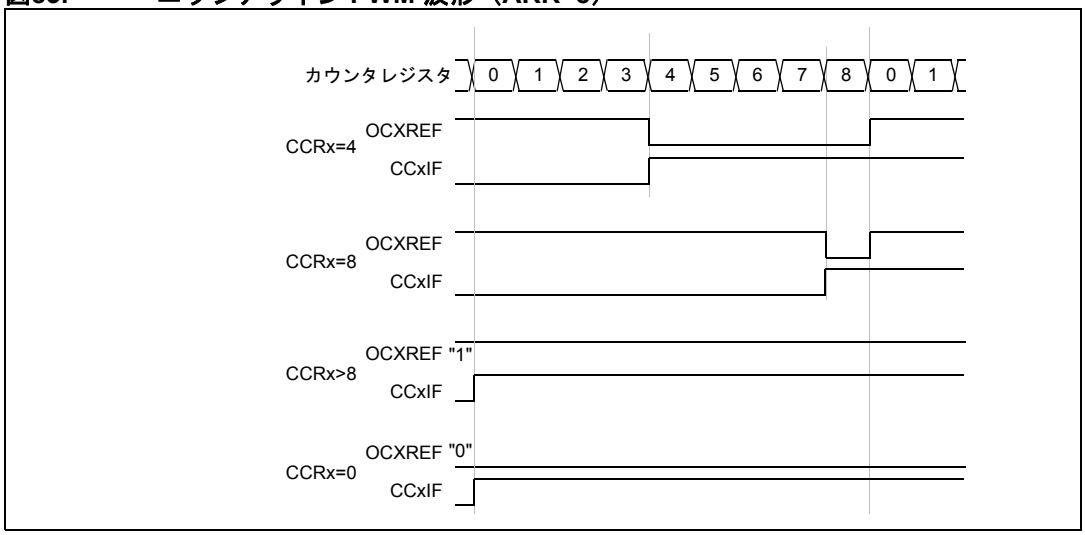
PWM エッジアラインモード

- アップカウント設定

  アップカウントは、TIMx_CR1 レジスタの DIR ビットがローのときにアクティブです。*アップカウントモード（274 ページ）*を参照してください。

  次の例では、PWM モード 1 を前提としています。PWM 基準信号 OCxREF は、TIMx_CNT < TIMx_CCRx の間はハイに、そうでない場合はローになります。TIMx_CCRx の比較値が自動再ロード値（ TIMx_ARR レジスタの）より大きい場合、OCxREF は "1"です。比較値が 0 の場合、OCxRef は 0 です。*図 83* は、TIMx_ARR=8 のときのエッジアライン PWM 波形の例を示しています。

図83. エッジアライン PWM 波形（ARR=8）



- ダウンカウント設定

  ダウンカウントは、TIMx_CR1 レジスタの DIR ビットがハイのときにアクティブです。*ダウンカウントモード（277 ページ）*を参照してください。

  PWM モード 1 では、基準信号 OCxRef は、TIMx_CNT > TIMx_CCRx の間はローであり、そうでない場合はハイになります。TIMx_CCRx の比較値が TIMx_ARR の自動再ロード値より大きい場合、OCxREF は "1"です。このモードでは、0 % の PWM はできません。

PWM センターアラインモード

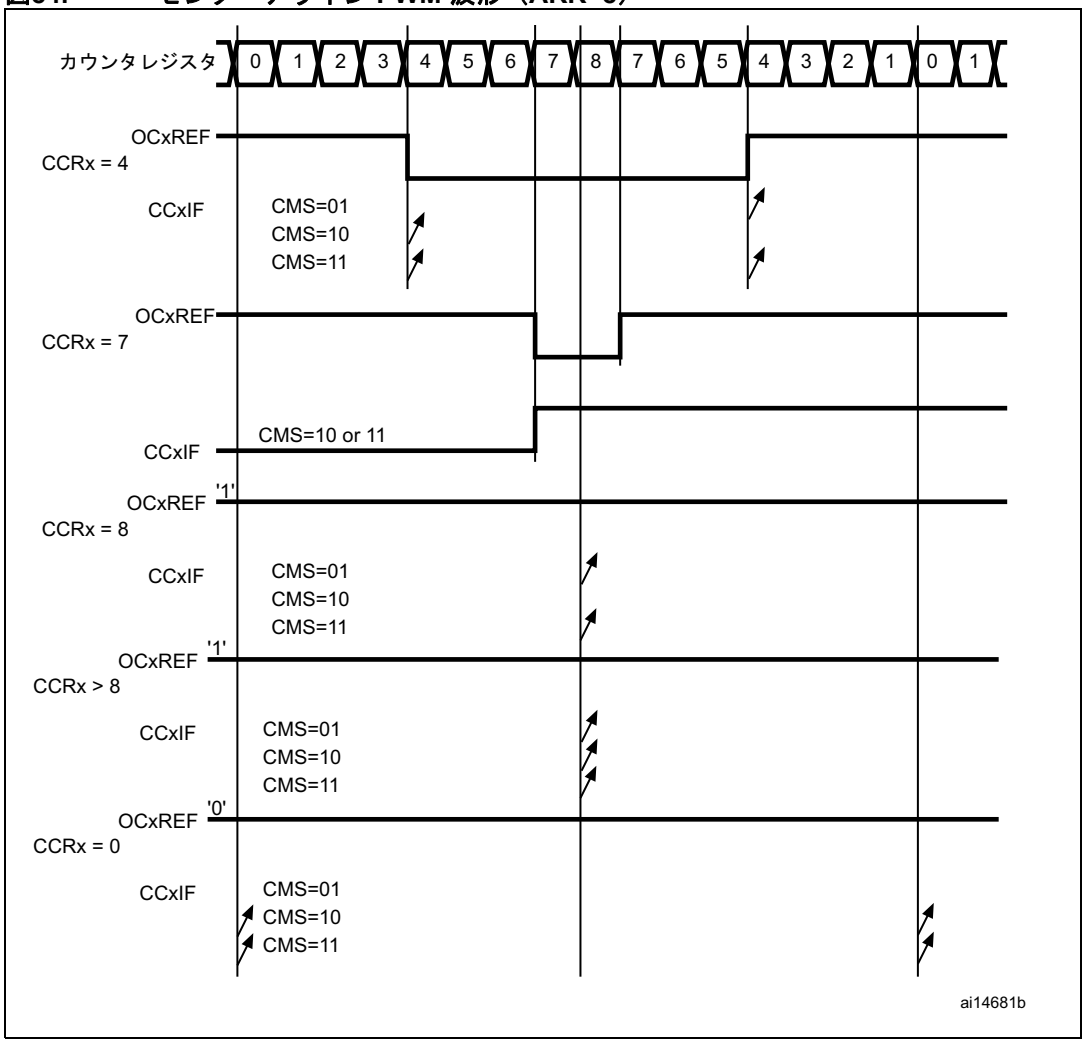
センターアラインモードは、TIMx_CR1 レジスタの CMS ビットが "00" でないときにアクティブです（その他すべての設定は、OCxRef/OCx 信号に対して同じ効果を持ちます）。CMS ビットの設定に応じて、カウンタがカウントアップするとき、カウントダウンするとき、またはカウントアップとカウントダウンの両方を行うときに、比較フラグがセットされます。TIMx_CR1 レジスタの方向ビット（DIR）は、ハードウェアによって更新され、ソフトウェアによって値を変更することはできません。*センタアラインモード（アップ/ダウンカウント）（279 ページ）*を参照してください。

図 84 は、次の条件でのセンターアライン PWM 波形の例を示しています。

- TIMx_ARR=8、
- PWM モードは PWM モード 1
- フラグは、TIMx_CR1 レジスタの CMS=01 で選択されたセンターアラインモード 1 に対応して、カウンタがカウントダウンするときにセットされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図84. センターアライン PWM 波形（ARR=8）



センターアラインモードの使用に関するヒント：

- センターアラインモードを開始するときには、現在のアップ/ダウン設定が使用されます。これは、TIMx_CR1 レジスタの DIR ビットに書き込まれた値に応じて、カウンタがカウントアップまたはカウントダウンすることを意味します。さらに、DIR ビットと CMS ビットは、ソフトウェアによって同時に変更することはできません。
- センターアラインモードで動作中のカウンタへの書き込みは、予期しない結果を招くことがあるので推奨されません。特に、
  - 自動再ロード値より大きい値をカウンタに書き込んだ場合（TIMx_CNT > TIMx_ARR）、方向は更新されません。たとえば、カウンタがカウントアップしていた場合、カウンタはカウントアップを続けます。
  - カウンタに 0 または TIMx_ARR 値を書き込んだ場合、方向は更新されますが、更新イベント UEV は生成されません。
- センターアラインモードを使用する最も安全な方法は、カウンタを開始する直前に、ソフトウェアによって更新を生成して（TIMx_EGR レジスタの UG ビットをセットする）、動作中はカウンタへの書き込みを行わないことです。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

13.3.11 相補出力とデッドタイム挿入

高機能制御タイマ（TIM1と TIM8）は、2 つの相補信号を出力して、出力時のスイッチオンおよびスイッチオフを管理できます。

この時間は、通常、デッドタイムと呼ばれ、出力に接続されているデバイスとその特性（レベルシフタの内在的な遅延、電源スイッチによる遅延など）に応じて調整する必要があります。

出力の極性（主出力 OCx または補 OCxN）は、出力ごとに独自に選択できます。これは TIMx_CCER レジスタの CCxP ビットおよび CCxNP ビットへの書き込みによって行います。

相補信号 OCx および OCxN は、TIMx_CCER レジスタの CCxE ビットと CCxNE ビット、TIMx_BDTR レジスタと TIMxCR2 レジスタの MOE、OISx、OISxN、OSSI、および OSSR ビットといった複数の制御ビットの組み合わせによって有効になります。詳細については、*表 82：ブレーク機能を持つ相補 OCx および OCxN チャネルの出力制御ビット（328 ページ）*を参照してください。特に、IDLE 状態に切り替わるとき（MOE が 0 になるとき）に、デッドタイムが挿入されます。

デッドタイム挿入は、CCxE ビットと CCxNE ビットの両方をセットし、ブレーク回路がある場合は、さらに MOE ビットをセットすることによって有効になります。各チャネルに 10 ビットのデッドタイム生成回路があります。この回路は、基準波形 OCxREF から OCx と OCxN の 2 つの出力を生成します。OCx と OCxN がアクティブハイの場合、

- OCx 出力信号は基準信号と同じですが、立ち上がりエッジが基準の立ち上がりエッジより遅い点が異なります。
- OCxN 出力信号は、立ち上がりエッジが基準波形の立ち下がりエッジから遅れている点を除けば、基準信号を反転させた波形と同じです。

遅延がアクティブ出力（OCx または OCxN）の幅より大きい場合、対応するパルスは生成されません。

以下の図は、デッドタイム生成回路の出力信号と基準信号 OCxREF との関係を示しています。（これらの例では、CCxP=0、CCxNP=0、MOE=1、CCxE=1、および CCxNE=1 を想定しています。）

図85. デッドタイム挿入のある相補出力

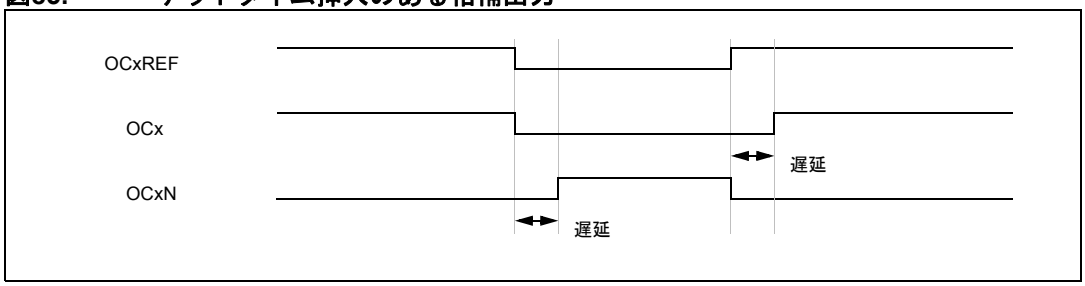
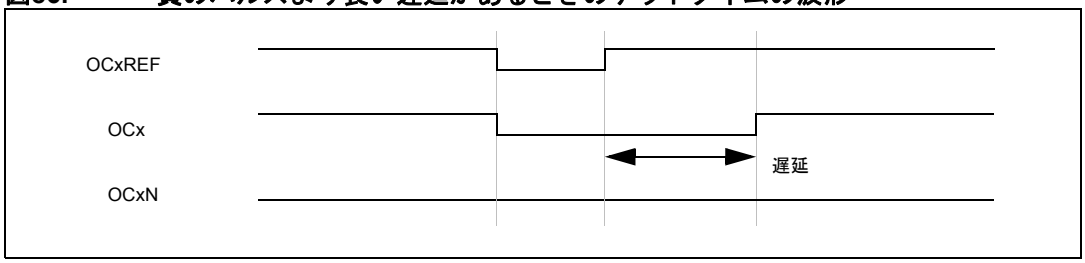
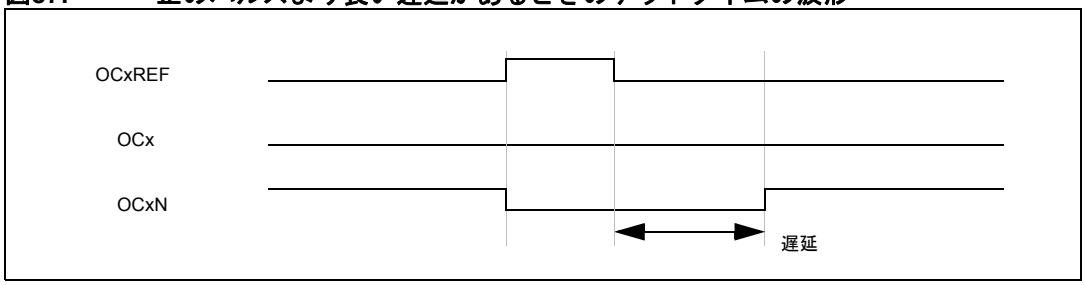


図86. 負のパルスより長い遅延があるときのデッドタイムの波形



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図87. 正のパルスより長い遅延があるときのデッドタイムの波形



デッドタイム遅延は、各チャネルで同じであり、TIMx_BDTR レジスタの DTG ビットでプログラミングできます。遅延の計算については、*セクション 13.4.18：TIM1および TIM8 ブレークおよびデッドタイムレジスタ（TIMx_BDTR）（333 ページ）*を参照してください。

OCxREF 信号から OCx または OCxN へのリダイレクト

出力モード（強制、出力比較、または PWM）では、TIMx_CCER レジスタの CCxE ビットおよび CCxNE ビットを設定することによって、OCxREF 信号を OCx 出力または OCxN 出力にリダイレクトできます。

これにより、特定の波形（PWM または静的アクティブレベルなど）を一方の出力に送信し、補信号をインアクティブレベルに固定することができます。他の例としては、両方の出力をインアクティブレベルにしたり、両方の出力をアクティブにして、デッドタイムのある相補出力とすることができます。

注： ***OCxN のみが有効なときには（CCxE=0、CCxNE=1）、相補されず、OCxREF がハイレベルになるとアクティブになります。たとえば、CCxNP=0 の場合は、OCxN=OCxRef です。他方、OCx と OCxN の両方が有効なときには（CCxE=CCxNE=1）、OCxREF がハイになると OCx はアクティブになり、OCxREF がローのときには、OCxN は補信号であり、アクティブになります。***

13.3.12 ブレーク機能の使用

ブレーク機能を使用しているときには、出力イネーブル信号とインアクティブレベルは追加の制御ビット（TIMx_BDTR レジスタの MOE、OSSI、および OSSR ビットと TIMxCR2 レジスタの OISx および OISxN ビット）に応じて変更されます。ただし、OCx および OCxN 出力の両方を同時にアクティブレベルに設定することはできません。詳細については、*表 82：ブレーク機能を持つ相補 OCx および OCxN チャネルの出力制御ビット（328 ページ）*を参照してください。

ブレークソースは、ブレーク入力ピンか、リセットクロックコントローラ（RCC）のクロックセキュリティシステム（CSS）によって生成されたクロック障害イベントです。クロックセキュリティシステムの詳細については、*セクション 6.2.7：クロックセキュリティシステム（CSS）（89 ページ）*を参照してください。

リセットが終了すると、ブレーク回路は無効になり、MOE ビットはローです。TIMx_BDTR レジスタの BKE ビットをセットすることによって、ブレーク機能を有効にできます。ブレーク入力の極性は、同じレジスタの BKP ビットを設定することによって選択できます。BKE と BKP を同時に変更できます。BKE および BKP ビットが書き込まれるとき、書き込みが有効になるまでに 1 APB クロックサイクルの遅延が適用されます。そのため、書き込み動作の後、ビットを正しく読み出すためには 1 APB クロックサイクル待つ必要があります。

MOE の立ち下がりエッジは非同期のことがあるので、実際の信号（出力に作用する信号）と同期制御ビット（TIMx_BDTR レジスタからアクセスできる）の間に、再同期回路が挿入されています。このため、非同期信号と同期信号の間に若干の遅延が発生します。特に、ローレベルの MOE に 1 を書き込んだ場合には、これを正しく読み出すには遅延（ダミー命令）を挿入する必要があります。これは、非同期信号を書き込んで、同期信号を読み出すからです。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ブレークが発生すると（ブレーク入力の選択レベル）、

- MOE ビットは非同期でクリアされ、出力をインアクティブ状態、アイドル状態、またはリセット状態にします（OSSI ビットで選択）。この機能は、MCU オシレータがオフの場合も機能します。
- 各出力チャネルは、MOE=0 になったとき、TIMx_CR2 レジスタの OISx ビットでプログラミングされたレベルで駆動されます。OSSI=0 の場合、タイマはイネーブル出力を解除し、そうでない場合はイネーブル出力はハイのままです。
- 相補出力が使用されているときには、
  - 出力は、まずリセット状態のインアクティブ状態に置かれます（極性に依存します）。これは非同期に行われるので、タイマにクロックが供給されていないときでも機能します。
  - タイマクロックが供給されている場合、デッドタイム後に OISx および OISxN ビットでプログラミングされたレベルで出力を駆動するために、デッドタイム発生回路が作動します。この場合でも、OCx と OCxN を同時にアクティブレベルに駆動することはできません。MOE の再同期により、デッドタイム時間が通常より少し長くなることに注意してください（約 2 CK_TIM クロックサイクル）。
  - OSSI=0 の場合、タイマはイネーブル出力を解除し、そうでない場合、イネーブル出力はハイのままか、CCxE または CCxNE ビットがハイになったときにハイになります。
- ブレークステータスフラグ（TIMx_SR レジスタの BIF ビット）がセットされます。TIMx_DIER レジスタの BIE ビットがセットされている場合は、割り込みを生成できます。TIMx_DIER レジスタの BDE ビットがセットされている場合、DMA リクエストを送信できます。
- TIMx_BDTR レジスタの AOE ビットがセットされている場合、MOE ビットは次の更新イベント UEV で再び自動的にセットされます。これを制御目的などに使用することができます。そうでない場合、MOE ビットは"1"が書き込まれるまでローのままです。この場合、セキュリティ目的で使用して、パワー駆動回路、温度センサ、またはセキュリティコンポーネントからのアラームへのブレーク入力として接続することができます。

注： ***ブレーク入力はレベル信号として機能します。このため、ブレーク入力がアクティブな間は、MOE をセットできません（自動的にも、ソフトウェアによっても）。この間、ステータスフラグ BIF をクリアできません。***

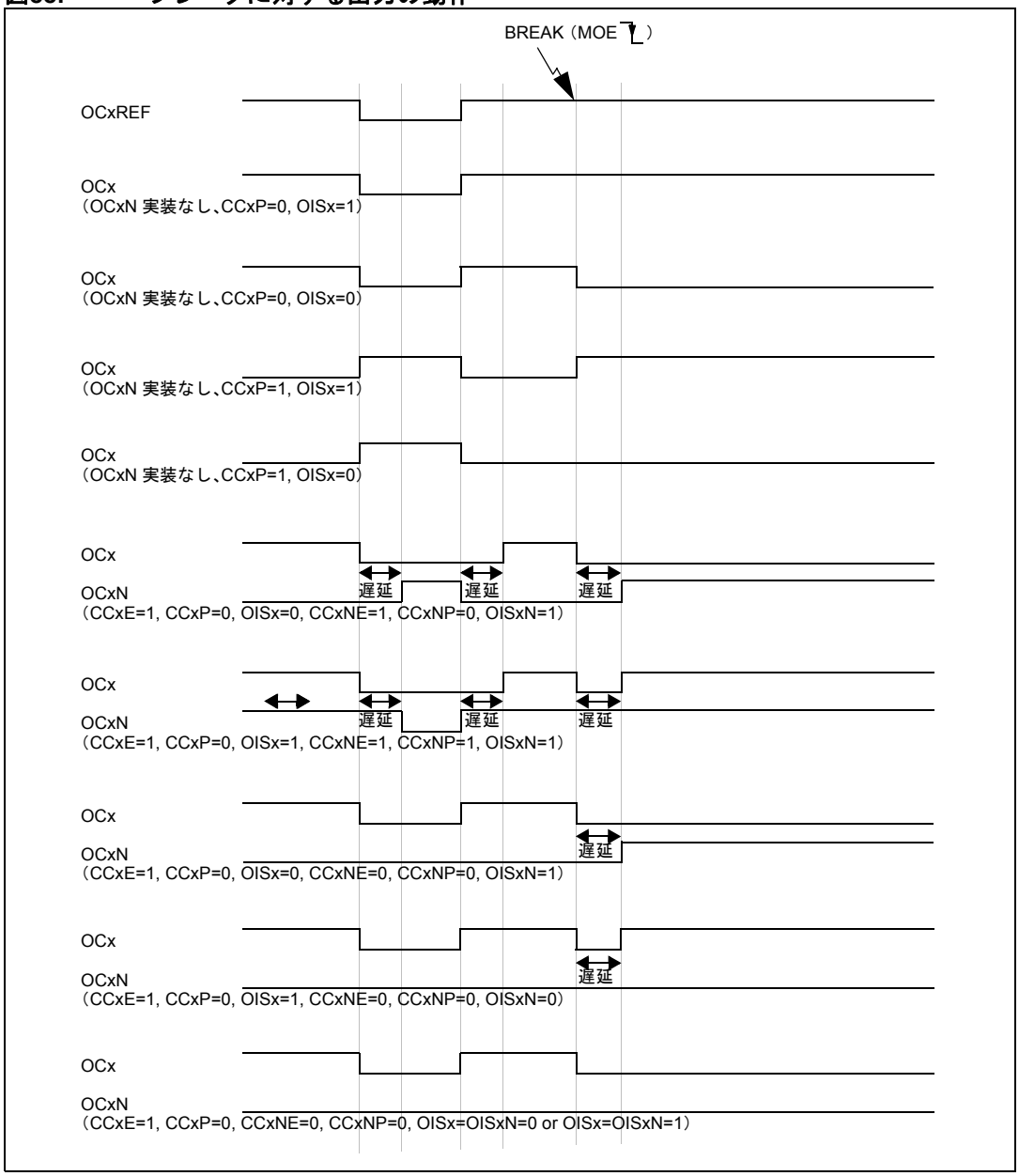
ブレークは、BRK 入力によって生成でき、BRK はプログラミング可能な極性を持ち、TIMx_BDTR レジスタの BKE がイネーブルビットです。

ブレーク入力と出力管理のほかに、アプリケーションに対する安全策として、ブレーク回路内で書き込み保護が施されています。これにより、いくつかのパラメータ（デッドタイム時間、OCx/OCxN 極性、無効時の状態、OCxM 設定、ブレークイネーブルと極性）を固定することがきます。TIMx_BDTR レジスタの LOCK ビットによって、3 レベルの保護を選択することができます。*セクション 13.4.18：TIM1および TIM8 ブレークおよびデッドタイムレジスタ（TIMx_BDTR）（333 ページ）*を参照してください。LOCK ビットの書き込みは、MCU リセット後 1 回に限られます。

図 88 は、ブレークに対する出力の動作の例を示しています。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図88. ブレークに対する出力の動作



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

13.3.13 外部イベントによる OCxREF 信号のクリア

特定のチャネルの OCxREF 信号は、ETRF 入力にハイレベルを適用する（対応する TIMx_CCMRx レジスタの OCxCE イネーブルビットを "1"にセットする）ことによってローに駆動できます。OCxREF 信号は、次の更新イベント UEV が発生するまで、ローレベルを保ちます。

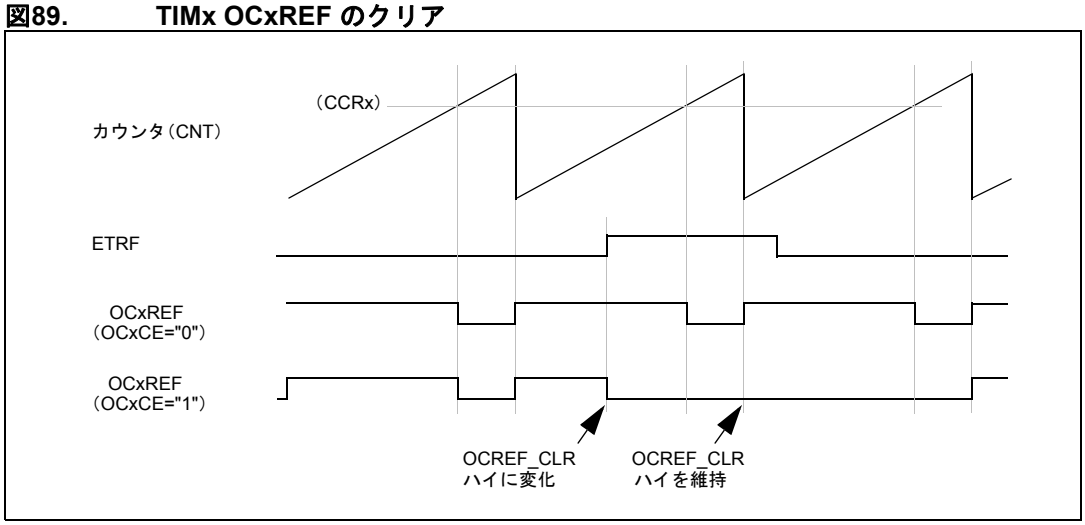
この機能は、出力比較モードと PWM モードでのみ使用でき、強制モードでは機能しません。

たとえば、OCxREF 信号を比較回路の出力に接続して、電流処理に使用することができます。この場合、ETR は次のように設定する必要があります。

1. 外部トリガプリスケーラはオフ状態に維持する必要があります。このため、TIMx_SMCR レジスタの ETPS[1:0] ビットを "00" にセットします。
2. 外部クロックモード 2 を無効にする必要があります。このため、TIMx_SMCR レジスタの ECE ビットを "0" にセットします。
3. 外部トリガ極性（ETP）と外部トリガフィルタ（ETF）は、ユーザの用途に応じて設定できます。

図 89 は、イネーブルビット OCxCE の両方の値について、ETRF 入力がハイレベルになったときの OCxREF 信号の動作を示しています。この例では、TIMx タイマは PWM モードにプログラミングされています。

図89. TIMx OCxREF のクリア



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

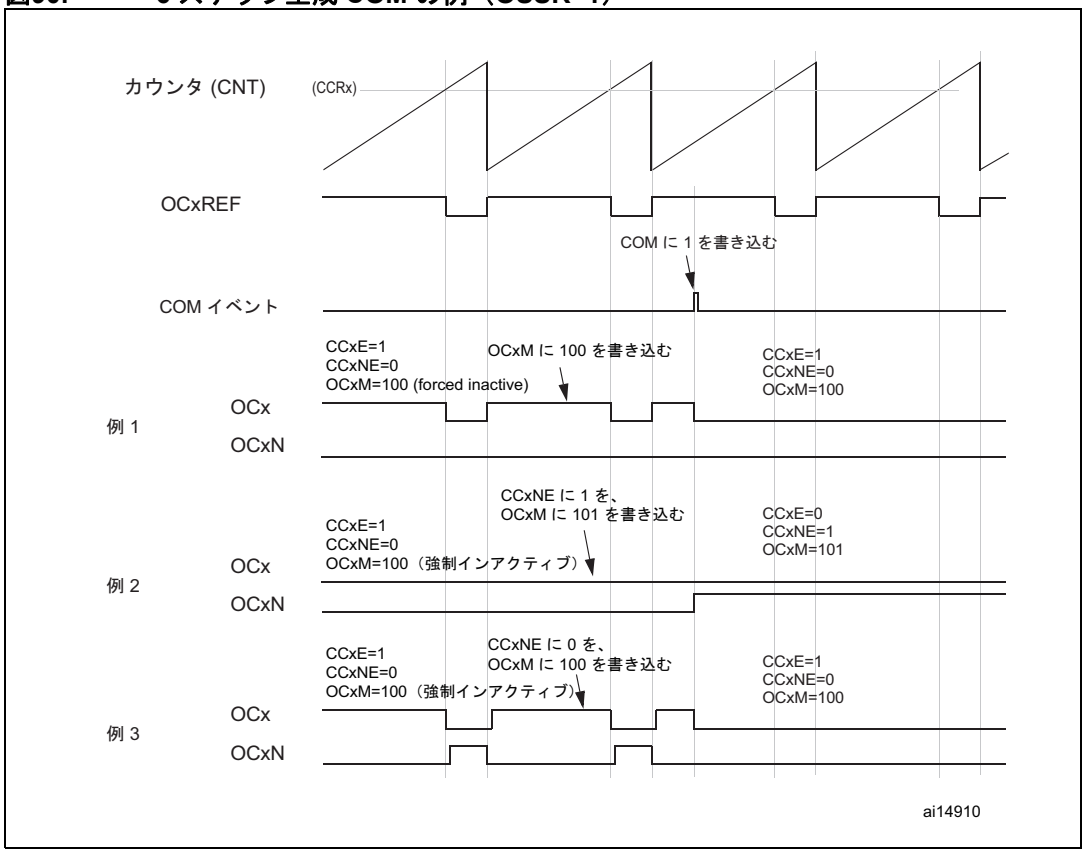
13.3.14 6 ステップ PWM 生成

チャネルで相補出力が使用されているときには、OCxM、CCxE、および CCxNE ビットでプリロードビットが使用できます。プリロードビットは、COM 整流イベントでシャドウビットにコピーされます。これにより、次のステップの設定をあらかじめプログラミングして、すべてのチャネルの設定を同時に変更することができます。COM は、TIM1_EGR レジスタの COM ビットをセットすることによってソフトウェアによって、またはハードウェアによって（TRGI 立ち上がりエッジで）生成することができます。

フラグは、COM イベントが発生したときにセットされ（TIM x _SR レジスタの COMIF ビット）、これによって割り込み（TIMx_DIER レジスタの COMIE ビットがセットされている場合）または DMA リクエスト（TIMX_DIER レジスタの COMDE ビットがセットされている場合）を生成できます。

図 90 は、COM イベントが発生したときの OCx と OCxN 出力の動作を、3 種類のプログラミング設定の例で示しています。

図90. 6 ステップ生成 COM の例（OSSR=1）



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

13.3.15 ワンパルスモード

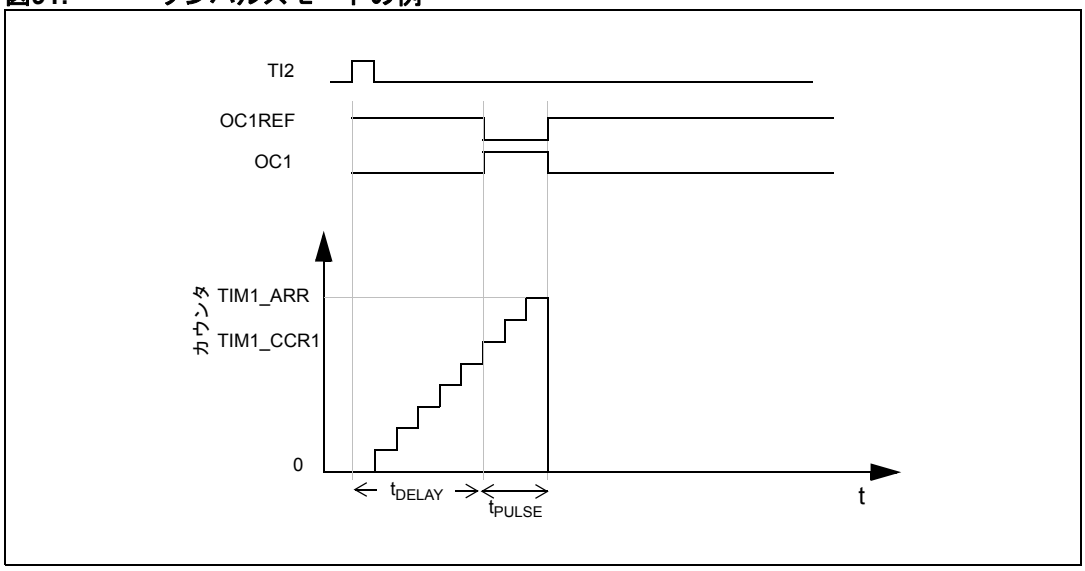
ワンパルスモード（One Pulse Mode：OPM）は、これまでに説明したモードの特殊ケースです。このモードでは、トリガに応じてカウンタを開始して、プログラム可能な遅延後にプログラミングした長さのパルスを生成することができます。

カウンタの開始は、スレーブモードコントローラを通じて制御できます。波形の生成は、出力比較モードまたは PWM モードで行います。ワンパルスモードを選択するには、TIMx_CR1 レジスタの OPM ビットをセットします。これによって、カウンタは、次の更新イベント UEV で自動的に停止します。

パルスは、比較値がカウンタの初期値と異なるときにのみ正しく生成されます。開始前に（タイマがトリガを待っているときに）、設定が次のとおりでなければなりません。

- アップカウント時：CNT < CCRx ≤ ARR （特に、0 < CCRx）
- ダウンカウント時：CNT > CCRx

図91. ワンパルスモードの例



たとえば、TI2 入力ピンで正のエッジが検出されたときに、遅延時間 t_{DELAY} 後に、OC1 に長さが t_{PULSE} の正のパルスを生成する場合を考えてみます。

TI2FP2 をトリガ 1 として使用します。

- TI2FP2 を TI2 に配置するために、TIMx_CCMR1 レジスタの CC2S="01" を書き込みます。
- TI2FP2 は、立ち上がりエッジを検出して、TIMx_CCER レジスタの CC2P="0" を書き込みます。
- TI2FP2 をスレーブモードコントローラのトリガ（TRGI）として設定します。このためには、TIMx_SMCR レジスタの TS="110" を書き込みます。
- TI2FP2 を使用してカウンタを開始します。このためには、TIMx_SMCR レジスタの SMS に "110"（トリガモード）を書き込みます。

OPM 波形は、比較レジスタに書き込むことによって定義されます（クロック周波数とカウンタプリスケーラを考慮して）。

- t_{DELAY} は、TIMx_CCR1 レジスタに書き込まれた値によって定義されます。
- t_{PULSE} は、自動再ロード値と比較値の差（TIMx_ARR - TIMx_CCR1）によって定義されます。
- 比較値と一致したときに "0" から "1" に変化し、カウンタが自動再ロード値に達したときに "1" から "0" に変化する波形を生成するとします。このためには、TIMx_CCMR1 レジスタの

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OC1M=111 を書き込むことによって、PWM モード 2 を有効にします。オプションで、TIMx_CCMR1 レジスタの OC1PE="1" を書き込み、TIMx_CR1 レジスタの ARPE="1" を書き込むことによって、プリロードを有効にすることもできます。この場合、比較値を TIMx_CCR1 レジスタに、自動再ロード値を TIMx_ARR レジスタに書き込み、UG ビットをセットすることによって更新を生成して、TI2 上の外部トリガイベントを待つ必要があります。この例では、CC1P には "0" を書き込みます。

この例では、TIMx_CR1 レジスタの DIR ビットと CMS ビットはローレベルでなければなりません。

必要なパルスは 1 つだけなので（シングルモード）、TIMx_CR1 レジスタの OPM ビットに "1" を書き込みます。こうすると、カウンタは次の更新イベント時に停止します（カウンタが自動再ロード値に達して、"0" に戻る時点）。TIMx_CR1 レジスタの OPM ビットが "0" にセットされると、繰り返しモードが選択されます。

特殊ケース：OCx 高速イネーブル：

ワンパルスモードでは、TIx 入力でエッジが検出されると、CEN ビットがセットされ、カウンタが有効になります。その後、カウンタと比較値の比較によって、出力が反転されます。しかし、これらの動作には数クロックサイクルが必要であり、最小遅延 t_{DELAY}（分）が制限されます。

最小遅延で波形を出力したい場合は、TIMx_CCMRx レジスタの OCxFE ビットをセットします。こうすると、OCxREF（および OCx）は、比較動作を行うことなく、強制的にトリガに反応します。新しいレベルは、比較が一致したときと同じです。OCxFE は、チャネルが PWM1 または PWM2 モードに設定されたときにのみ有効です。

13.3.16 エンコーダインタフェースモード

エンコーダインタフェースモードを選択するには、TIMx_SMCR レジスタで、カウンタが TI2 エッジのみをカウントしている場合は SMS="001" を、TI1 エッジのみをカウントしている場合は SMS="010" を、TI1 と TI2 の両方のエッジをカウントしている場合は SMS="011" を書き込みます。

TI1 と TI2 の極性を選択するには、TIMx_CCER レジスタの CC1P ビットと CC2P ビットをプログラミングします。必要なときには、入力フィルタもプログラミングできます。

2 つの入力 T1 と TI2 は、インクリメンタルエンコーダとのインタフェースのために使用されます。*表 80*を参照してください。カウンタのクロックは、TI1FP1 または TI2FP2（入力フィルタおよび極性選択後の TI1 および TI2。フィルタされず、反転されない場合は TI1FP1=TI1、フィルタされず、反転されない場合は TI2FP2=TI2）の有効な変化によって供給されます。ただし、カウンタが有効なことが前提となります（TIMx_CR1 レジスの CEN ビットが "1"）。2 つの入力の変化の順序が評価されて、カウントパルスと同時に方向信号を生成します。カウンタがカウントアップまたはカウントダウンする順序に応じて、TIMx_CR1 レジスタの DIR ビットがハードウェアによって変更されます。カウンタが TI1 のみ、TI2 のみ、または TI1 と TI2 の両方のいずれをカウントしている場合でも、DIR ビットは、いずれかの入力（TI1 または TI2）の変化のたびに計算されます。

エンコーダインタフェースモードは、単に方向選択を含む外部クロックとして動作します。これは、カウンタが 0 と TIMx_ARR レジスタの自動再ロード値の間で連続的にカウントするだけであることを意味します（方向に応じて、0 から ARR まで、または ARR から 0 まで）。したがって、開始前に TIMx_ARR を設定する必要があります。同様に、キャプチャ、比較、プリスケーラ、繰り返しカウンタ、トリガ出力の機能は通常どおりに機能を続けます。エンコーダモードと外部クロックモード 2 は互換性がないので、同時に選択することはできません。

このモードでは、カウンタは、インクリメンタルエンコーダの速度と方向およびその内容に応じて自動的に変更されるので、常にエンコーダの位置を表します。カウント方向は、接続されているセンサの回転方向に対応します。下の表は TI1 と TI2 の可能な組み合わせをまとめたものです（TI1 と TI2 は同時に変化しないと想定しています）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表80. カウント方向とエンコーダ信号

アクティブエッジ	他方の信号に対するレベル（TI2 に対する TI1FP1、TI1 に対する TI2FP2）	TI1FP1 信号		TI2FP2 信号	
		立ち上がり	立ち下がり	立ち上がり	立ち下がり
TI1 のみをカウント	高	ダウン	アップ	カウントなし	カウントなし
	低	アップ	ダウン	カウントなし	カウントなし
TI2 のみをカウント	高	カウントなし	カウントなし	アップ	ダウン
	低	カウントなし	カウントなし	ダウン	アップ
TI1 と TI2 をカウント	高	ダウン	アップ	アップ	ダウン
	低	アップ	ダウン	ダウン	アップ

外部インクリメンタルエンコーダは、外部インタフェースロジックを持つことなく、MCU に直接に接続できます。ただし、エンコーダの差分出力をデジタル信号に変換するには、通常、コンパレータが使用されます。これにより、耐ノイズ性が大幅に向上します。機械的なゼロ位置を示す 3 番目のエンコーダ出力は、外部割り込み入力に接続して、カウンタのリセットをトリガできます。

図 92 は、カウント信号の生成と方向制御を含むカウンタの動作を示しています。また、両方のエッジが選択されているときの入力ジッタの補正方法も示しています。この状況は、センサの位置が一方のスイッチングポイントの近くにあるときに生じます。この例では、次の設定を前提としています。

- CC1S="01"（TIMx_CCMR1 レジスタ、TI1FP1 は TI1 に配置）
- CC2S="01"（TIMx_CCMR2 レジスタ、TI1FP2 は TI2 に配置）
- CC1P="0" （TIMx_CCER レジスタ、TI1FP1 非反転、TI1FP1=TI1）
- CC2P="0" （TIMx_CCER レジスタ、TI1FP2 非反転、TI1FP2=TI2）
- SMS="011"（TIMx_SMCR レジスタ、両方の入力が立ち上がりと立ち下がりの両エッジでアクティブ）
- CEN="1"（TIMx_CR1 レジスタ、カウンタ有効）

図92. エンコーダインタフェースモードにおけるカウンタの動作例

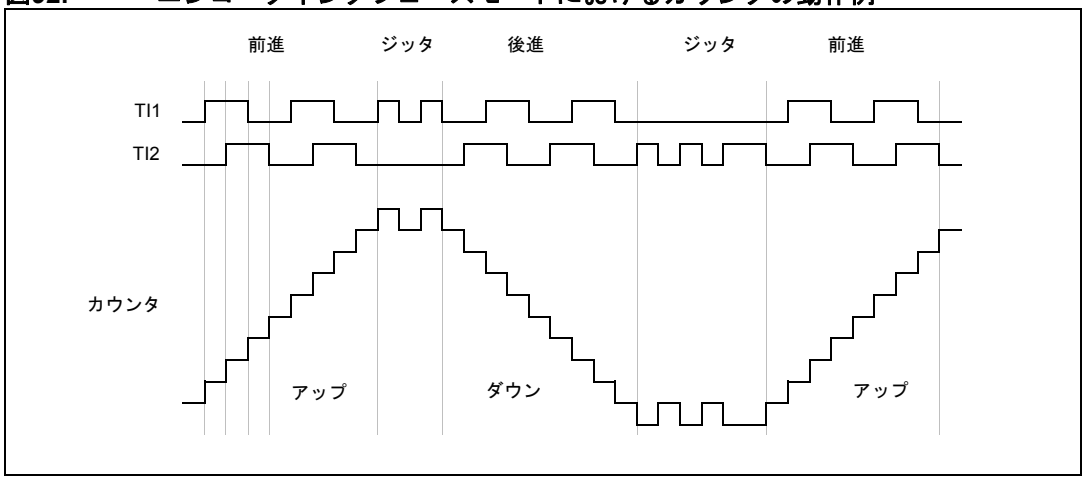
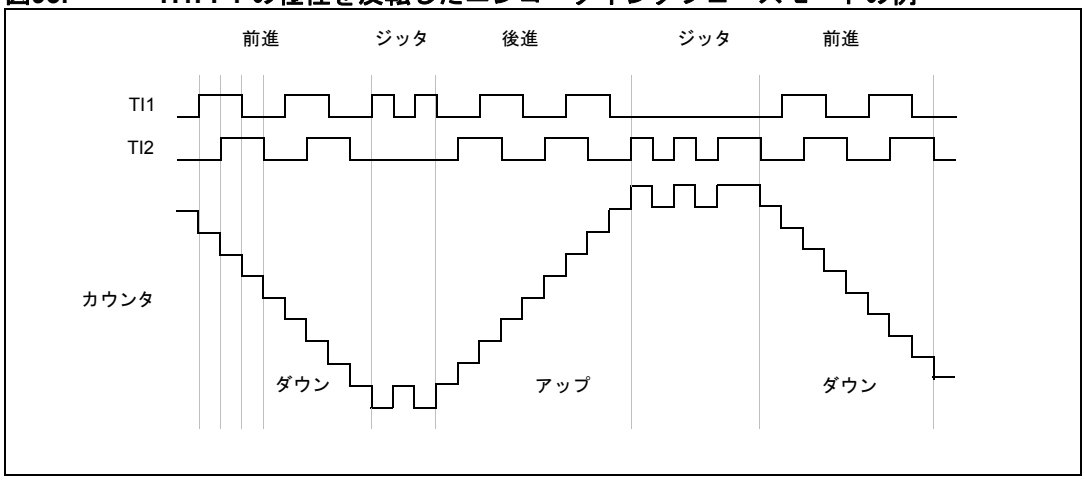


図 93 は、TI1FP1 の極性を反転したときのカウンタの動作を示しています（上記と同じ設定ですが、CC1P="1"）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図93. TI1FP1 の極性を反転したエンコーダインタフェースモードの例



エンコーダインタフェースモードに設定されたタイマは、センサの現在位置に関する情報を提供します。キャプチャモードに設定した 2 番目のタイマを使用して、2 つのエンコーダイベントの時間差を測定することで、速度、加速度、減速度といった動的な情報を得ることができます。機械的なゼロを示すエンコーダの出力を、この目的に使用できます。2 つのイベントの時間差によって、カウンタを定期的に読み出すこともできます。これを行うには、使用可能な場合は、カウンタの値を 3 番目の入力キャプチャレジスタにラッチします（キャプチャ信号は周期的でなければならず、別のタイマによって生成できます）。また、リアルタイムクロックによって生成される DMA リクエストを通じて、この値を読み出すこともできます。

13.3.17 タイマ入力 XOR 機能

TIMx_CR2 レジスタの TI1S ビットによって、チャネル 1 の入力フィルタを 3 つの入力ピン TIMx_CH1、TIMx_CH2、および TIMx_CH3 を結合する XOR ゲートの出力に接続できます。

XOR 出力は、トリガや入力キャプチャなど、すべてのタイマ入力機能で使用できます。この機能をホールセンサのインタフェースに使用した例を *セクション 13.3.18* に示します。

13.3.18 ホールセンサとのインタフェース

これは、高機能制御タイマ （TIM1 または TIM8）を使用して、PWM 信号を生成し、モータと、*図 94* で「インタフェースタイマ」と記されている別のタイマ TIMx（TIM2、TIM3、TIM4、または TIM5）を駆動することによって行われます。「インタフェースタイマ」は、XOR を通じて TI1 入力チャネル（TIMx_CR2 レジスタの TI1S ビットをセットすることで選択できます）に接続された 3 つタイマ入力ピン（CC1、CC2、CC3）をキャプチャします。

スレーブモードコントローラは、リセットモードに設定され、スレーブ入力は TI1F_ED です。したがって、3 つの入力のいずれかが反転するごとに、カウンタは 0 からカウントをリスタートします。これにより、ホール入力の変化によってトリガされるタイムベースが作成されます。

「インタフェースタイマ」では、キャプチャ /比較チャネル 1 はキャプチャモードに設定され、キャプチャ信号は TRC です（ *Figure 77: キャプチャ/比較チャネル（例：チャネル 1 入力ステージ）on page 287*を参照してください）。キャプチャされた値は、入力の 2 回の変化の間の経過時間に対応し、モータの速度情報を与えます

「インタフェースタイマ」を出力モードで使用して、（COM イベントをトリガすることで）高機能制御タイマ（TIM1 または TIM8）のチャネルの設定を変更するパルスを生成することができます。TIM1 タイマは、モータを駆動する PWM 信号を生成するために使用されます。このためには、プログラミングした遅延の後に正パルスが生成されるように（出力比較モードまたは PWM モードで）インタ

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

フェースタイマチャネルをプログラミングする必要があります。このパルスは、TRGO 出力を通じて高機能制御タイマ（TIM1 または TIM8）に送られます。

例：TIMx タイマの 1 つに接続されているホール入力が変化するたびに、プログラミングした遅延の後に高機能制御タイマ TIM1 の PWM 設定を変更するとします。

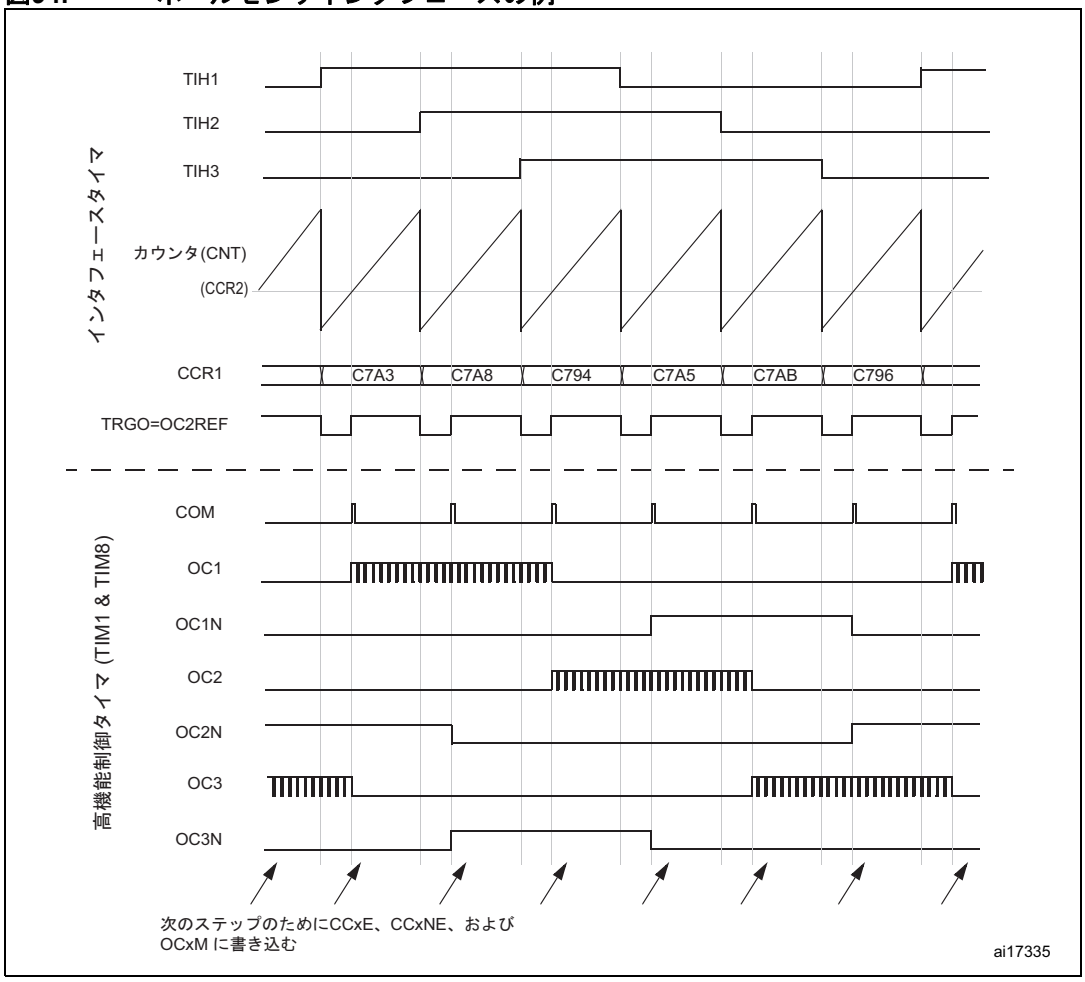
- 3 つのタイマ入力を TI1 入力チャネルに OR 接続します。このためには、TIMx_CR2 レジスタの TI1S ビットに "1" を書き込みます。
- タイムベースをプログラムします。このためには、TIMx_ARR に最大値を書き込み、TI1 の変化でカウンタがクリアされるようにします。プリスケーラを設定して、センサの 2 回の変化の間の時間より長い最大カウント時間が得られるようにします。
- チャネル 1 をキャプチャモード（TRC 選択）にプログラミングします。このためには、TIMx_CCMR1 レジスタの CC1S ビットに "01" を書き込みます。必要な場合は、デジタルフィルタもプログラミングできます。
- チャネル 2 を PWM 2 モードにプログラミングし、望ましい遅延を指定します。このためには、TIMx_CCMR1 レジスタの OC2M ビットに "111" を、CC2S ビットに "00" を書き込みます。
- TRGO 上のトリガ出力として OC2REF を選択します。このためには、TIMx_CR2 レジスタの MMS ビットに "101" を書き込みます。

高機能制御タイマ TIM1 で、トリガ入力として適切な ITR 入力を選択する必要があり、タイマが PWM 信号を生成するようにプログラミングし、キャプチャ /比較制御信号がプリロードされ（TIMx_CR2 レジスタの CCPC=1）、COM イベントがトリガ入力によって制御されなければなりません（TIMx_CR2 レジスの CCUS=1）。PWM 制御ビット（CCxE、OCxM）は、COM イベント後に次のステップのために書き込まれます（これは、OC2REF の立ち上がりエッジによって生成される割り込みサブルーチンで行うことができます）。

図 94 は、この例を示しています。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図94. ホールセンサインタフェースの例



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

13.3.19 TIMx と外部トリガの同期

TIMx タイマは、リセットモード、ゲートモード、トリガモードなど、いくつかのモードで外部トリガと同期を取ることができます。

スレーブモード：リセットモード

カウンタとそのプリスケーラは、トリガ入力のイベントに応じて再初期化できます。さらに、TIMx_CR1 レジスタの URS ビットがローの場合は、更新イベント UEV が生成されます。その場合、すべてのプリロードレジスタ（TIMx_ARR、TIMx_CCRx）が更新されます。

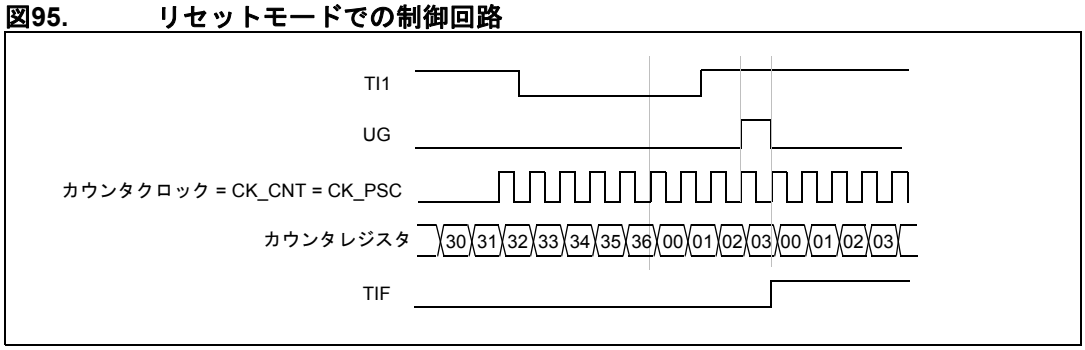
次の例では、TI1 入力の立ち上がりエッジに応じて、アップカウンタがクリアされます。

- TI1 の立ち上がりエッジを検出するように、チャネル 1 を設定します。入力フィルタ時間を設定します（この例では、フィルタは不要なので、IC1F=0000 のままにしておきます）。キャプチャプリスケーラはトリガには使用されないので、設定する必要はありません。CC1S ビットは、入力キャプチャソースのみを選択します（TIMx_CCMR1 レジスタの CC1S=01）。TIMx_CCER レジスタの CC1P=0 を書き込んで、極性を有効にします（また、立ち上がりエッジのみを検出します）。
- TIMx_SMCR レジスタの SMS=100 を書き込んで、タイマをリセットモードに設定します。TIMx_SMCR レジスタの TS=101 を書き込んで、入力ソースとして TI1 を選択します。
- TIMx_CR1 レジスタの CEN=1 を書き込んで、カウンタを開始します。

カウンタは内部クロックでカウントを開始し、TI1 の立ち上がりエッジまで通常の動作を行います。TI1 が立ち上がると、カウンタはクリアされ、0 からリスタートします。同時に、トリガフラグがセットされ（TIMx_SR レジスタの TIF ビット）、有効な場合は割り込みリクエストまたは DMA リクエストを送信できます（TIMx_DIER レジスタの TIE および TDE ビット）。

次の図は、自動再ロードレジスタ TIMx_ARR=0x36 の場合の動作を示しています。TI1 の立ち上がりエッジから実際にカウンタがリセットされるまでの遅延は、TI1 入力の同期回路によるものです。

図95. リセットモードでの制御回路



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

スレーブモード：ゲートモード

カウンタは、選択された入力のレベルに応じて有効になります。

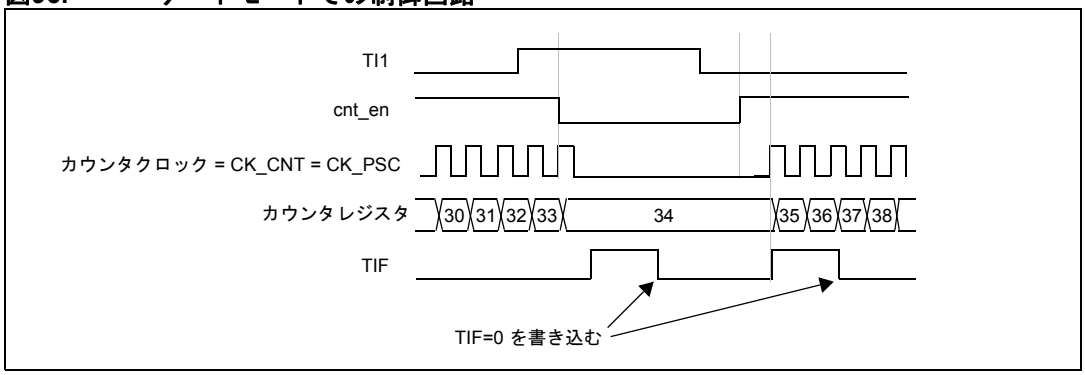
次の例では、アップカウンタは TI1 入力がローのときだけカウントします。

- TI1 のローレベルを検出するように、チャネル 1 を設定します。入力フィルタ時間を設定します（この例では、フィルタは不要なので、IC1F=0000 のままにしておきます）。キャプチャプリスケーラはトリガには使用されないので、設定する必要はありません。CC1S ビットは、入力キャプチャソースのみを選択します（TIMx_CCMR1 レジスタの CC1S=01 ビット）。TIMx_CCER レジスタの CC1P=1 を書き込んで、極性を有効にします（また、立ち上がりエッジのみを検出します）。
- TIMx_SMCR レジスタで SMS=101 を書き込んで、タイマをゲートモードに設定します。TIMx_SMCR レジスタの TS=101 を書き込んで、入力ソースとして TI1 を選択します。
- TIMx_CR1 レジスタの CEN=1 を書き込んで、カウンタを有効にします（ゲートモードでは、CEN=0 の場合、トリガ入力のレベルにかかわらず、カウンタは開始しません）。

カウンタは、TI1 がローになると内部クロックでカウントを開始して、TI1 がハイになると停止します。TIMx_SR レジスタの TIF フラグは、カウンタの開始時と停止時にセットされます。

TI1 の立ち上がりエッジから実際にカウンタが停止するまでの遅延は、TI1 入力の再同期回路によるものです。

図96. ゲートモードでの制御回路



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

スレーブモード：トリガモード

カウンタは、選択された入力のイベントに対応して開始します。

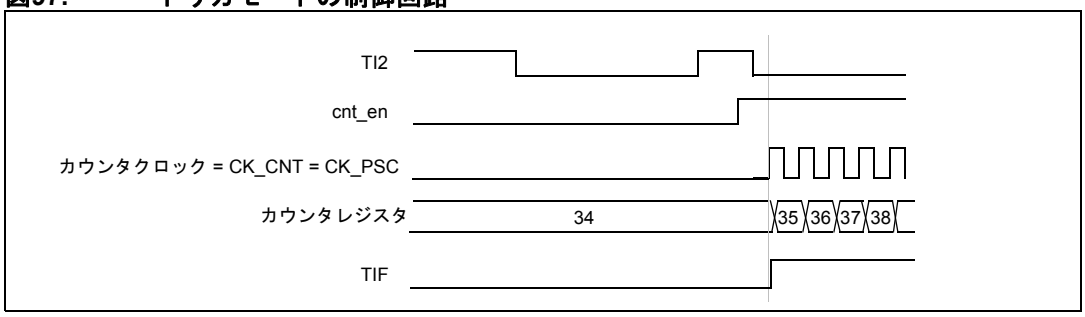
次の例では、アップカウンタは、TI2 入力の立ち上がりエッジに応じて開始します。

- TI2 の立ち上がりエッジを検出するように、チャネル 2 を設定します。入力フィルタ時間を設定します（この例ではフィルタは不要なので、IC2F=0000 のままにしておきます）。キャプチャプリスケーラはトリガには使用されないので、設定する必要はありません。CC2S ビットは入力キャプチャソースのみを選択するように設定されます（TIMx_CCMR1 レジスタの CC2S=01）。TIMx_CCER レジスタの CC2P=1 を書き込んで、極性を有効にします（また、ローレベルのみを検出します）。
- タイマをトリガモードに設定します。このためには、TIMx_SMCR レジスタで SMS=110 を書き込みます。TIMx_SMCR レジスタの TS=110 を書き込んで、TI2 を入力ソースとして選択します。

TI2 の立ち上がりエッジが発生すると、カウンタは内部クロックでカウントを開始し、TIF フラグがセットされます。

TI2 の立ち上がりエッジから実際にカウンタが開始するまでの遅延は、TI2 入力の再同期回路によるものです。

図97. トリガモードの制御回路



スレーブモード：外部クロックモード 2 + トリガモード

外部クロックモード 2 は、他のスレーブモードとともに使用できます（ただし、外部クロックモード 1 とエンコーダモードは除きます）。この場合、ETR 信号は外部クロック入力として使用され、別の入力をトリガ入力として選択できます（リセットモード、ゲートモード、またはトリガモード）。TIMx_SMCR レジスタの TS ビットを通じて TRGI として ETR を選択しないようにしてください。

次の例では、アップカウンタは、TI1 の立ち上がりエッジが発生すると、ETR 信号の立ち上がりエッジのたびにインクリメントされます。

1. TIMx_SMCR レジスタで次のようにプログラミングすることによって、外部トリガ入力回路を設定します。
   - ETF = 0000：フィルタなし
   - ETPS=00：プリスケーラは無効
   - ETP=0 : ETR の立ち上がりエッジを検出。ECE=1 で外部クロックード 2 を有効にします。

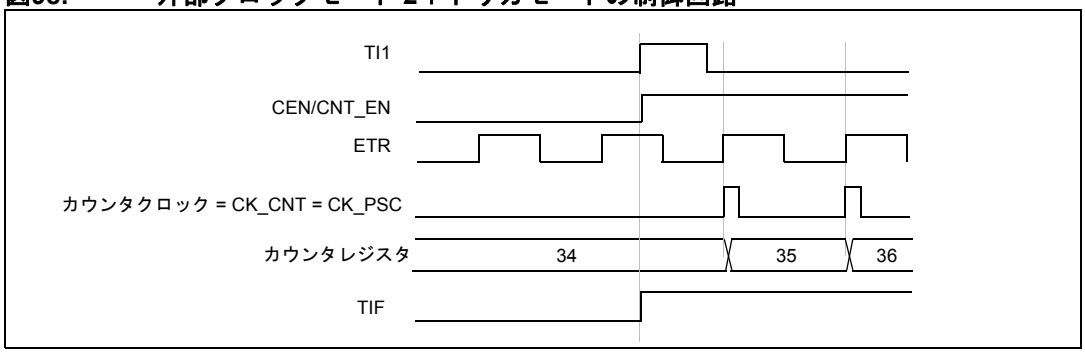
この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

2. TI1 の立ち上がりエッジを検出するように、チャネル 1 を次のように設定します。
   - IC1F=0000：フィルタなし。
   - キャプチャプリスケーラはトリガには使用されないので、設定する必要はありません。
   - TIMx_CCMR1 レジスタの CC1S=01 で、入力キャプチャソースのみを選択します。
   - TIMx_CCER レジスタの CC1P=0 で、極性を有効にします（また、立ち上がりエッジのみを検出します）。
3. タイマをトリガモードに設定します。このためには、TIMx_SMCR レジスタで SMS=110 を書き込みます。TIMx_SMCR レジスタの TS=101 を書き込んで、入力ソースとして TI1 を選択します。

TI1 の立ち上がりエッジによってカウンタが有効になり、TIF フラグがセットされます。カウンタは、ETR の立ち上がりエッジでカウントします。

ETR 信号の立ち上がりエッジから実際にカウンタがリセットされるまでの遅延は、ETRP 入力の再同期回路によるものです。

図98. 外部クロックモード 2＋トリガモードの制御回路



13.3.20 タイマの同期

TIM タイマは、タイマの同期または連結のために、内部で互いにリンクされます。詳細については、*セクション 14.3.15：タイマの同期（370 ページ）*を参照してください。

13.3.21 デバッグモード

マイクロコントローラがデバッグモードになると（Cortex-M3 コアは停止状態）、TIMx カウンタは、DBG モジュールの DBG_TIMx_STOP 設定ビットに応じて、通常どおりに動作を続けるか、停止します。詳細については、 *セクション 30.16.2：タイマ、ウォッチドッグ、bxCAN、および I^2C のデバッグサポート*を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

13.4 TIM1および TIM8 レジスタ

レジスタの説明で使用されている略語については、*セクション 1.1 (40 ページ)* を参照してください。

ペリフェラルレジスタには、ハーフワード（16 ビット）またはワード（32 ビット）単位でアクセスできます。

13.4.1 TIM1および TIM8 制御レジスタ 1（TIMx_CR1）

アドレスオフセット：0x00

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み						CKD[1:0]		ARPE	CMS[1:0]		DIR	OPM	URS	UDIS	CEN
						rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:10 予約済み、常に 0 として読み出されます。

ビット 9:8 **CKD[1:0]**：クロック分周

このビットフィールドは、タイマクロック（CK_INT）周波数と、デッドタイム生成回路とデジタルフィルタ（ETR、TIx）によって使用されるデッドタイムおよびサンプリングクロック（t_{DTS}）との間の分周比を示します。

00：$t_{DTS}=t_{CK_INT}$

01：$t_{DTS}=2*t_{CK_INT}$

10：$t_{DTS}=4*t_{CK_INT}$

11：予約済み。この値をプログラミングしないでください。

ビット 7 **ARPE**：自動再ロードプリロードイネーブル

0：TIMx_ARR レジスタはバッファされません。

1：TIMx_ARR レジスタはバッファされます。

ビット 6:5 **CMS[1:0]**：センターアラインモード選択

00：エッジアラインモード。カウンタは、方向ビット（DIR）に応じて、カウントアップまたはカウントダウンします。

01：センターアラインモード 1。カウンタはカウントアップとカウントダウンを交互に行います。出力（TIMx_CCMRx レジスタの CCxS=00）で設定されたチャネルの出力比較割り込みフラグは、カウンタがカウントダウンしているときのみセットされます。

10：センターアラインモード 2。カウンタはカウントアップとカウントダウンを交互に行います。出力（TIMx_CCMRx レジスタの CCxS=00）で設定されたチャネルの出力比較割り込みフラグは、カウンタがカウントアップしているときのみセットされます。

11：センターアラインモード 3。カウンタはカウントアップとカウントダウンを交互に行います。出力（TIMx_CCMRx レジスタの CCxS=00）で設定されたチャネルの出力比較割り込みフラグは、カウンタがカウントアップしているときにも、カウントダウンしているときにもセットされます。

注： カウンタが有効（CEN=1）なときには、エッジアラインモードからセンターアラインモードに切り替えることはできません。

ビット 4 **DIR**：方向

0：カウンタはアップカウンタとして使用されます。

1：カウンタはダウンカウンタとして使用されます。

注： このビットは、タイマがセンターアラインモードまたはエンコーダモードに設定されているときには読み出し専用です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 3 **OPM**：ワンパルスモード

0：カウンタは更新イベントで停止しません。

1：カウンタは次の更新イベントでカウントを停止します（CEN ビットをクリアします）。

ビット 2 **URS**：更新リクエストソース

このビットは、UEV イベントソースを選択するために、ソフトウェアによってセット/クリアされます。

0：次のイベントのいずれかによって、更新割り込みまたは DMA リクエストが生成されます（有効な場合）。イベントは、次のとおりです。

– カウンタオーバーフロー /アンダーフロー
– UG ビットのセット
– スレーブモードコントローラからの更新生成

1：カウンタのオーバーフロー /アンダーフローのみが更新割り込みまたは（有効な場合）DMA リクエストを生成します。

ビット 1 **UDIS**：更新ディセーブル

このビットは、UEV イベント生成を有効/無効にするために、ソフトウェアによってセット/クリアされます。

0：UEV 有効。更新イベント（UEV）は、次のいずれかのイベントによって生成されます。

– カウンタオーバーフロー /アンダーフロー
– UG ビットのセット
– スレーブモードコントローラからの更新生成

このとき、バッファを持つレジスタにプリロード値がロードされます。

1：UEV 無効。更新イベントは生成されず、シャドウレジスタ （ARR、PSC、CCRx）は値を維持します。ただし、UG ビットがセットされた場合や、スレーブモードコントローラからハードウェアリセットを受信した場合には、カウンタとプリスケーラは再初期化されます。

ビット 0 **CEN**：カウンタイネーブル

0：カウンタ無効

1：カウンタ有効

注： 外部クロック、ゲートモード、およびエンコーダモードは、CEN ビットが事前にソフトウェアによってセットされている場合のみ動作します。ただし、トリガモードでは、CEN ビットはハードウェアによって自動的にセットできます。

13.4.2 TIM1および TIM8 制御レジスタ 2（TIMx_CR2）

アドレスオフセット：0x04

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み	OIS4	OIS3N	OIS3	OIS2N	OIS2	OIS1N	OIS1	TI1S	MMS[2:0]			CCDS	CCUS	予約済み	CCPC
	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw		rw

ビット 15 予約済み、常に 0 として読み出されます。

ビット 14 **OIS4**：出力アイドル状態 4（OC4 出力）

OIS1 ビットの説明を参照してください。

ビット 13 **OIS3N**：出力アイドル状態 3（OC3N 出力）

OIS1N ビットの説明を参照してください。

ビット 12 **OIS3**：出力アイドル状態 3（OC3 出力）

OIS1 ビットの説明を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 11 **OIS2N**：出力アイドル状態 2（OC2N 出力）

OIS1N ビットの説明を参照してください。

ビット 10 **OIS2**：出力アイドル状態 2（OC2 出力）

OIS1 ビットの説明を参照してください。

ビット 9 **OIS1N**：出力アイドル状態 1（OC1N 出力）

0：MOE=0 のとき、デッドタイム後に OC1N=0

1：MOE=1 のとき、デッドタイム後に OC1N=0

注： このビットは、LOCK レベル 1、2、または 3 がプログラムされているときには変更できません（TIMx_BDTR レジスタの LOCK ビット）。

ビット 8 **OIS1**：出力アイドル状態 1（OC1 出力）

0：MOE=0 のとき、OC1=0（OC1N が実装されている場合、デッドタイム後に）

1：MOE=1 のとき、OC1=0（OC1N が実装されている場合、デッドタイム後に）

注： このビットは、LOCK レベル 1、2、または 3 がプログラムされているときには変更できません（TIMx_BDTR レジスタの LOCK ビット）。

ビット 7 **TI1S**：TI1 選択

0：TIMx_CH1 ピンは TI1 入力に接続されます。

1：TIMx_CH1、CH2、および CH3 ピンは TI1 入力に接続されます（XOR 接続）。

ビット 6:4 **MMS[1:0]**：マスタモード選択

これらのビットにより、同期のために、マスタモードでスレーブタイマに送信される情報を選択することができます（TRGO）。組み合わせは、次のとおりです。

000：**リセット** - TIMx_EGR レジスタの UG ビットがトリガ出力（TRGO）として使用されます。トリガ入力によってリセットが生成される場合（スレーブモードコントローラがリセットモードに設定されているとき）、TRGO 信号は実際のリセットより遅延します。

001：**イネーブル** - カウンタイネーブル信号 CNT_EN がトリガ出力（TRGO）として使用されます。これは、いくつかのタイマを同時に開始するときや、スレーブタイマが有効な時間枠を制御するときに役立ちます。カウンタイネーブル信号は、CEN 制御ビットとゲートモードに設定されているときのトリガ入力との論理和によって生成されます。カウンタイネーブル信号がトリガ入力によって制御されるときには、マスタ/スレーブモードが選択されている場合を除いて、TRGO には遅延が存在します（TIMx_SMCR レジスタの MSM ビットの説明を参照）。

010：**更新** - 更新イベントがトリガ出力（TRGO）として選択されます。たとえば、マスタタイマをスレーブタイマのプリスケーラとして使用できます。

011：**パルス比較** - キャプチャまたは比較一致が発生した直後、CC1IF フラグがセットされるときに、トリガ出力は正のパルスを送信します（すでにハイであった場合も）。（TRGO）

100：**比較** - OC1REF 信号がトリガ出力（TRGO）として使用されます。

101：**比較** - OC2REF 信号がトリガ出力（TRGO）として使用されます。

110：**比較** - OC3REF 信号がトリガ出力（TRGO）として使用されます。

111：**比較** - OC4REF 信号がトリガ出力（TRGO）として使用されます。

ビット 3 **CCDS**：キャプチャ /比較 DMA 選択

0：CCx イベント発生時に CCx DMA リクエストが送信されます。

1：更新イベントの発生時に CCx DMA リクエストが送信されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 2 **CCUS**：キャプチャ /比較制御更新選択

0：キャプチャ /比較制御ビットがプリロードされるときには（CCPC=1）、COMG ビットをセットすることによってのみ更新されます。

1：キャプチャ /比較制御ビットがプリロードされるときには（CCPC=1）、COMG ビットをセットすることによって、または、TRGI の立ち上がりエッジで更新されます。

注：　このビットは、相補出力を持つチャネルでのみ機能します。

ビット 1 予約済み、常に 0 として読み出されます。

ビット 0 **CCPC**：キャプチャ /比較プリロード制御

0：CCxE、CCxNE、および OCxM ビットはプリロードされません。

1：CCxE、CCxNE、および OCxM ビットはプリロードされ、書き込み後は、COM ビットがセットされたときのみ更新されます。

注：　このビットは、相補出力を持つチャネルでのみ機能します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

13.4.3 TIM1および TIM8 スレーブモード制御レジスタ（TIMx_SMCR）

アドレスオフセット：0x08

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ETP	ECE	ETPS[1:0]		ETF[3:0]				MSM	TS[2:0]			予約済み	SMS[2:0]		
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	予約済み	rw	rw	rw

ビット 15 **ETP**：外部トリガ極性

このビットは、ETR と $\overline{\text{ETR}}$ のいずれがトリガ操作に使用されるか選択します。

0：ETR は反転されず、ハイレベルまたは立ち上がりエッジでアクティブになります。

1：ETR は反転され、ローレベルまたは立ち下がりエッジでアクティブになります。

ビット 14 **ECE**：外部クロックイネーブル

このビットは、外部クロックモード 2 を有効にします。

0：外部クロックモード 2 は無効です。

1：外部クロックモード 2 は有効です。カウンタは、ETRF 信号のアクティブエッジによってクロック供給されます。

注： 1：ECE ビットをセットすることは、TRGI が ETRF に接続された状態で外部クロックモード 1 を選択することと同じ効果を持ちます（SMS=111、TS=111）。

2：外部クロックモード 2 と同時に次のスレーブモード、すなわち、リセットモード、ゲートモード、またはトリガモードを使用することが可能です。ただし、この場合、TRGI を ETRF に接続することはできません（TS ビットが 111 でないことが必要）。

3：外部クロックモード 1 と外部クロックモード 2 が同時に有効にされた場合、外部クロック入力は ETRF です。

ビット 13:12 **ETPS[1:0]**：外部トリガプリスケーラ

外部トリガ信号 ETRP の周波数は、TIMxCLK 周波数の 1/4 までに制限されます。プリスケーラを有効にすると、ETRP 周波数を低減できます。これは、高速な外部クロックを入力するときに役立ちます。

00：プリスケーラオフ

01：ETRP 周波数は 2 分周されます。

10：ETRP 周波数は 4 分周されます。

11：ETRP 周波数は 8 分周されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 11:8 **ETF[3:0]**：外部トリガフィルタ

このビットフィールドは、ETRP 信号をサンプルする周波数と、ETRP に適用されるデジタルフィルタの長さを定義します。デジタルフィルタは、出力に有効な変化をもたらすN個のイベントが必要なイベントカウンタでできています。

0000：フィルタなし、サンプリングは f_{DTS} で行われます。

0001：$f_{SAMPLING}=f_{CK_INT}$、N=2

0010：$f_{SAMPLING}=f_{CK_INT}$、N=4

0011：$f_{SAMPLING}=f_{CK_INT}$、N=8

0100：$f_{SAMPLING}=f_{DTS}/2$、N=6

0101：$f_{SAMPLING}=f_{DTS}/2$、N=8

0110：$f_{SAMPLING}=f_{DTS}/4$、N=6

0111：$f_{SAMPLING}=f_{DTS}/4$、N=8

1000：$f_{SAMPLING}=f_{DTS}/8$、N=6

1001：$f_{SAMPLING}=f_{DTS}/8$、N=8

1010：$f_{SAMPLING}=f_{DTS}/16$、N=5

1011：$f_{SAMPLING}=f_{DTS}/16$、N=6

1100：$f_{SAMPLING}=f_{DTS}/16$、N=8

1101：$f_{SAMPLING}=f_{DTS}/32$、N=5

1110：$f_{SAMPLING}=f_{DTS}/32$、N=6

1111：$f_{SAMPLING}=f_{DTS}/32$、N=8

ビット 7 **MSM**：マスタ/スレーブモード

0：影響なし。

1：トリガ入力（TRGI）に対するイベントの効果は、現在のタイマとそのスレーブとの完全な同期（TRGO を通じて）を可能にするために遅延されます。これは、1 つの外部イベントで複数のタイマを同期したい場合に役立ちます。

ビット 6:4 **TS[2:0]**：トリガ選択

このビットフィールドは、カウンタを同期するために使用されるトリガ入力を選択します。

000：内部トリガ 0（ITR0）

001：内部トリガ 1（ITR1）

010：内部トリガ 2（ITR2）

011：内部トリガ 3（ITR3）

100：TI1 エッジ検出回路（TI1F_ED）

101：フィルタ後のタイマ入力 1（TI1FP1）

110：フィルタ後のタイマ入力 2（TI2FP2）

111：外部トリガ入力（ETRF）

各タイマでの ITRx の意味の詳細については、*表 81：TIMx 内部トリガ接続（317 ページ）*を参照してください。

注： ***設定変更時の誤ったエッジ検出を避けるために、これらのビットは、使用されていないとき（SMS=000 のときなど）にのみ変更しなければなりません。***

ビット 3 予約済み、常に 0 として読み出されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 2:0 **SMS**：スレーブモード選択

外部信号が選択されると、トリガ信号（TRGI）のアクティブエッジが外部入力で選択された極性にリンクされます（入力制御レジスタおよび制御レジスタの説明を参照してください）。

000：スレーブモード無効 - CEN = 1 の場合、プリスケーラは内部クロックによって直接クロック供給されます。

001：エンコーダモード 1 - カウンタは、TI1FP1 のレベルに応じて、TI2FP2 のエッジでカウントアップ/カウントダウンします。

010：エンコーダモード 2 - カウンタは、TI2FP2 のレベルに応じて、TI1FP1 のエッジでカウントアップ/カウントダウンします。

011：エンコーダモード 3 - カウンタは、他方の入力のレベルに応じて、TI1FP1 と TI2FP2 の両方のエッジでカウントアップ/カウントダウンします。

100：リセットモード - 選択されたトリガ入力（TRGI）の立ち上がりエッジで、カウンタが再初期化され、レジスタの更新イベントが生成されます。

101：ゲートモード - カウンタクロックは、トリガ入力（TRGI）がハイのときに有効になります。トリガがローになると、カウンタは停止します（リセットはされません）。カウンタの開始と停止の両方が制御されます。

110：トリガモード - カウンタは、トリガ入力（TRGI）の立ち上がりエッジで開始します（リセットはされません）。カウンタの開始のみが制御されます。

111：外部クロックモード 1 - 選択されたトリガ（TRGI）の立ち上がりエッジで、カウンタのクロックが供給されます。

注： トリガ入力として TI1F_ED が選択されている場合（TS=100）、ゲートモードを使用することはできません。TI1F_ED は TI1F の変化ごとに 1 パルスを出力しますが、ゲートモードはトリガ信号のレベルをチェックします。

表81. TIMx 内部トリガ接続(1)

スレーブ TIM	ITR0（TS = 000）	ITR1（TS = 001）	ITR2（TS = 010）	ITR3（TS = 011）
TIM1	TIM5	TIM2	TIM3	TIM4
TIM8	TIM1	TIM2	TIM4	TIM5

1. 製品にタイマがない場合、対応するトリガ ITRx は使用できません。

13.4.4 TIM1および TIM8 DMA/割り込みイネーブルレジスタ（TIMx_DIER）

アドレスオフセット：0x0C

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み	TDE	COMDE	CC4DE	CC3DE	CC2DE	CC1DE	UDE	BIE	TIE	COMIE	CC4IE	CC3IE	CC2IE	CC1IE	UIE
	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15 予約済み、常に 0 として読み出されます。

ビット 14 **TDE**：トリガ DMA リクエストイネーブル

0：トリガ DMA リクエスト無効

1：トリガ DMA リクエスト有効

ビット 13 **COMDE**：COM DMA リクエストイネーブル

0：COM DMA リクエスト無効

1：COM DMA リクエスト有効

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 12 **CC4DE**：キャプチャ /比較 4 DMA リクエストイネーブル
0：CC4 DMA リクエスト無効
1：CC4 DMA リクエスト有効

ビット 11 **CC3DE**：キャプチャ /比較 3 DMA リクエストイネーブル
0：CC3 DMA リクエスト無効
1：CC3 DMA リクエスト有効

ビット 10 **CC2DE**：キャプチャ /比較 2 DMA リクエストイネーブル
0：CC2 DMA リクエスト無効
1：CC2 DMA リクエスト有効

ビット 9 **CC1DE**：キャプチャ /比較 1 DMA リクエストイネーブル
0：CC1 DMA リクエスト無効
1：CC1 DMA リクエスト有効

ビット 8 **UDE**：更新 DMA リクエストイネーブル
0：更新 DMA リクエスト無効
1：更新 DMA リクエスト有効

ビット 7 **BIE**：ブレーク割り込みイネーブル
0：ブレーク割り込み無効
1：ブレーク割り込み有効

ビット 6 **TIE**：トリガ割り込みイネーブル
0：トリガ割り込み無効
1：トリガ割り込み有効

ビット 5 **COMIE**：COM 割り込みイネーブル
0：COM 割り込み無効
1：COM 割り込み有効

ビット 4 **CC4IE**：キャプチャ /比較 4 割り込みイネーブル
0：CC4 割り込み無効
1：CC4 割り込み有効

ビット 3 **CC3IE**：キャプチャ /比較 3 割り込みイネーブル
0：CC3 割り込み無効
1：CC3 割り込み有効

ビット 2 **CC2IE**：キャプチャ /比較 2 割り込みイネーブル
0：CC2 割り込み無効
1：CC2 割り込み有効

ビット 1 **CC1IE**：キャプチャ /比較 1 割り込みイネーブル
0：CC1 割り込み無効
1：CC1 割り込み有効

ビット 0 **UIE**：更新割り込みイネーブル
0：更新割り込み無効
1：更新割り込み有効

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

13.4.5 TIM1および TIM8 ステータスレジスタ（TIMx_SR）

アドレスオフセット：0x10

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み			CC4OF	CC3OF	CC2OF	CC1OF	予約済み	BIF	TIF	COMIF	CC4IF	CC3IF	CC2IF	CC1IF	UIF
			rc_w0	rc_w0	rc_w0	rc_w0	予約済み	rc_w0	rc_w0	rc_w0	rc_w0	rc_w0	rc_w0	rc_w0	rc_w0

ビット 15:13 予約済み、常に 0 として読み出されます。

ビット 12 **CC4OF**：キャプチャ /比較 4 オーバーキャプチャフラグ

CC1OF の説明を参照してください。

ビット 11 **CC3OF**：キャプチャ /比較 3 オーバーキャプチャフラグ

CC1OF の説明を参照してください。

ビット 10 **CC2OF**：キャプチャ /比較 2 オーバーキャプチャフラグ

CC1OF の説明を参照してください。

ビット 9 **CC1OF**：キャプチャ /比較 1 オーバーキャプチャフラグ

このフラグは、対応するチャネルが入力キャプチャモードに設定されているときのみ、ハードウェアによってセットされます。"0" を書き込むことによってソフトウェアによってクリアされます。

0：オーバーキャプチャは検出されていません。

1：CC1IF フラグがすでにセットされているときに、カウンタの値が TIMx_CCR1 レジスタにキャプチャされました。

ビット 8 予約済み、常に 0 として読み出されます。

ビット 7 **BIF**：ブレーク割り込みフラグ

このフラグは、ブレーク入力がアクティブになったときにハードウェアによってセットされます。ブレーク入力がアクティブでない場合、ソフトウェアによってクリアできます。

0：ブレークイベントは発生していません。

1：ブレーク入力でアクティブレベルが検出されました。

ビット 6 **TIF**：トリガ割り込みフラグ

このフラグは、トリガイベント時にハードウェアによってセットされます（ゲートモード以外のすべてのモードでスレーブモードコントローラが有効なときには、TRGI 入力でアクティブエッジが検出されたとき、ゲートモードが選択されている場合は両方のエッジで）。ソフトウェアによってクリアされます。

0：トリガイベントは発生していません。

1：トリガ割り込みが保留中です。

ビット 5 **COMIF**：COM 割り込みフラグ

このフラグは、COM イベント時にハードウェアによってセットされます（キャプチャ /比較制御ビット - CCxE、CCxNE、OCxM - が更新されたとき）。ソフトウェアによってクリアされます。

0：COM イベントは発生していません。

1：COM 割り込みが保留中です。

ビット 4 **CC4IF**：キャプチャ /比較 4 割り込みフラグ

CC1IF の説明を参照してください。

ビット 3 **CC3IF**：キャプチャ /比較 3 割り込みフラグ

CC1IF の説明を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 2 **CC2IF**：キャプチャ /比較 2 割り込みフラグ

CC1IF の説明を参照してください。

ビット 1 **CC1IF**：キャプチャ /比較 1 割り込みフラグ

チャネル CC1 が出力として設定されている場合：

このフラグは、カウンタが比較値と一致したときにハードウェアによってセットされます（センターアラインモードでは例外もあります。TIMx_CR1 ジスタの CMS ビットの説明を参照してください）。ソフトウェアによってクリアされます。

0：一致していません。

1：カウンタ TIMx_CNT の内容が TIMx_CCR1 レジスタの内容と一致しました。TIMx_CCR1 の内容が TIMx_ARR の内容より大きいときには、カウンタオーバーフロー時（アップカウントおよびアップ/ダウンカウントモードの場合）、またはアンダーフロー時（ダウンカウントモードの場合）に CC1IF ビットはハイになります。

チャネル CC1 が入力として設定されている場合：

このビットは、キャプチャ時にハードウェアによってセットされます。ソフトウェアによって、または TIMx_CCR1 レジスタを読み出すことによってクリアされます。

0：入力キャプチャは発生していません。

1：カウンタの値が TIMx_CCR1 レジスタにキャプチャされました（選択された極性に一致する IC1 でエッジが検出されました）。

ビット 0 **UIF**：更新割り込みフラグ

このビットは、更新イベント時にハードウェアによってセットされます。ソフトウェアによってクリアされます。

0：更新は発生していません。

1：更新割り込みが保留中です。このビットは、レジスタが更新されたときにハードウェアによってセットされます。

- 繰り返しカウンタ値に関するオーバーフローまたはアンダーフロー（繰り返しカウンタ=0 の場合の更新）、および TIMx_CR1 レジスタの UDIS=0 の場合。
- TIMx_CR1 レジスタの URS=0 かつ UDIS=0 の場合、TIMx_EGR レジスタの UG ビットを使用して、CNT がソフトウェアによって再初期化されたとき。
- TIMx_CR1 レジスタの URS=0 かつ UDIS=0 の場合、トリガイベントによって CNT が再初期化されたとき（*セクション 13.4.3：TIM1および TIM8 スレーブモード制御レジスタ（TIMx_SMCR）*を参照してください）。

13.4.6 TIM1および TIM8 イベント生成レジスタ（TIMx_EGR）

アドレスオフセット：0x14

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								BG	TG	COMG	CC4G	CC3G	CC2G	CC1G	UG
								w	w	w	w	w	w	w	w

ビット 15:8 予約済み、常に 0 として読み出されます。

ビット 7 **BG**：ブレーク生成

このビットは、イベントを生成するためにソフトウェアによってセットされ、ハードウェアによって自動的にクリアされます。

0：影響なし。

1：ブレークイベントが生成されます。MOE ビットがクリアされ、BIF フラグがセットされます。有効な場合は、関連する割り込みまたは DMA 転送が発生します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 6 **TG**：トリガ生成

このビットは、イベントを生成するためにソフトウェアによってセットされ、ハードウェアによって自動的にクリアされます。
0：影響なし。
1：TIMx_SR レジスタの TIF フラグがセットされます。有効な場合は、関連する割り込みまたは DMA 転送が発生します。

ビット 5 **COMG**：キャプチャ /比較制御更新生成

このビットは、ソフトウェアによってセットでき、ハードウェアによって自動的にクリアされます。
0：影響なし。
1：CCPC ビットがセットされているときには、CCxE、CCxNE、および OCxM ビットを更新できます。

注：　このビットは、相補出力を持つチャネルでのみ機能します。

ビット 4 **CC4G**：キャプチャ /比較 4 生成

CC1G の説明を参照してください。

ビット 3 **CC3G**：キャプチャ /比較 3 生成

CC1G の説明を参照してください。

ビット 2 **CC2G**：キャプチャ /比較 2 生成

CC1G の説明を参照してください。

ビット 1 **CC1G**：キャプチャ /比較 1 生成

このビットは、イベントを生成するためにソフトウェアによってセットされ、ハードウェアによって自動的にクリアされます。
0：影響なし。
1：チャネル 1 でキャプチャ /比較イベントが生成されます。
チャネル CC1 が出力として設定されている場合：
CC1IF フラグがセットされ、対応する割り込みまたは DMA リクエストが送信されます（有効な場合）。
チャネル CC1 が入力として設定されている場合：
カウンタの現在値が TIMx_CCR1 レジスタにキャプチャされます。CC1IF フラグがセットされ、対応する割り込みまたは DMA リクエストが送信されます（有効な場合）。CC1IF フラグがすでにハイであった場合は、CC1OF フラグがセットされます。

ビット 0 **UG**：更新生成

このビットは、ソフトウェアによってセットでき、ハードウェアによって自動的にクリアされます。
0：影響なし。
1：カウンタを再初期化し、レジスタの更新を生成します。プリスケーラカウンタもクリアされます（プリスケーラ比は変化しません）。センターアラインモードが選択されている場合、または、DIR=0（カウントアップ）の場合、カウンタはクリアされます。DIR=1（カウントダウン）であれば、自動再ロード値（TIMx_ARR）をとります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

13.4.7 TIM1および TIM8 キャプチャ /比較モードレジスタ 1（TIMx_CCMR1）

アドレスオフセット：0x18

リセット値：0x0000

チャネルは、入力（キャプチャモード）または出力（比較モード）で使用できます。チャネルの方向は、対応する CCxS ビットを設定することによって定義されます。このレジスタの他のビットはすべて、入力モードと出力モードで異なる意味を持ちます。特定のビットについて、OCxx は、チャネルが出力に設定されているときに、そのビットの機能を説明し、ICxx は、チャネルが入力に設定されているときに、そのビットの機能を説明します。したがって、同じビットが入力ステージと出力ステージで異なる意味を持つことに注意する必要があります。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OC2 CE	OC2M[2:0]			OC2 PE	OC2 FE	CC2S[1:0]		OC1 CE	OC1M[2:0]			OC1 PE	OC1 FE	CC1S[1:0]	
IC2F[3:0]				IC2PSC[1:0]				IC1F[3:0]				IC1PSC[1:0]			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

出力比較モード：

ビット 15 **OC2CE：**出力比較 2 クリアイネーブル

ビット 14:12 **OC2M[2:0]**：出力比較 2 モード

ビット 11 **OC2PE**：出力比較 2 プリロードイネーブル

ビット 10 **OC2FE**：出力比較 2 高速イネーブル

ビット 9:8 **CC2S[1:0]**：キャプチャ /比較 2選択

このビットフィールドは、チャネルの方向（入力/出力）と、使用される入力を定義します。

00：CC2 チャネルは出力として設定されます。

01：CC2 チャネルは入力として設定され、IC2 は TI2 にマップされます。

10：CC2 チャネルは入力として設定され、IC2 は TI1 にマップされます。

11：CC2 チャネルは入力として設定され、IC2 は TRC にマップされます。このモードは、TS ビット（TIMx_SMCR レジスタ）で内部トリガ入力が選択されている場合のみ機能します。

注： CC2S ビットは、チャネルが OFF（TIMx_CCER レジスタの CC2E="0"）のときにのみ書き込みができます。

ビット 7 **OC1CE：**出力比較 1 クリアイネーブル

OC1CE：出力比較 1 クリアイネーブル

0：OC1REF は ETRF 入力の影響を受けません。

1：OC1Ref は、ETRF 入力でハイレベルが検出されるとクリアされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 6:4 **OC1M**：出力比較 1 モード

これらのビットは、OC1 および OC1N が導き出される出力基準信号 OC1REF の動作を定義します。OC1REF はアクティブハイですが、OC1 および OC1N のアクティブレベルは CC1P および CC1NP ビットに依存します。

000：停止 - 出力比較レジスタ TIMx_CCR1 とカウンタ TIMx_CNT の比較結果は出力に影響しません（このモードはタイミングベースを生成するために使用されます）。

001：一致時にチャネル 1 をアクティブレベルに設定します。OC1REF 信号は、カウンタ TIMx_CNT がキャプチャ /比較レジスタ 1（TIMx_CCR1）と一致したときに、強制的にハイになります。

010：一致時にチャネル 1 をインアクティブレベルに設定します。OC1REF 信号は、カウンタ TIMx_CNT がキャプチャ/比較レジスタ 1（TIMx_CCR1）と一致したときに、強制的にローになります。

011：反転 - OC1REF は、TIMx_CNT = TIMx_CCR1 のときに反転します。

100：インアクティブレベルの強制 - OC1REF は強制的にローになります。

101：アクティブレベルの強制 - OC1REF は強制的にハイになります。

110：PWM モード 1 - カウントアップ時、チャネル 1 は、TIMx_CNT < TIMx_CCR1 の場合はアクティブに、そうでない場合はインアクティブになります。カウントダウン時、チャネル 1 は、TIMx_CNT > TIMx_CCR1 の場合はインアクティブ（OC1REF="0"）に、そうでない場合はアクティブ（OC1REF="1"）になります

111：PWM モード 2 - カウントアップ時、チャネル 1 は、TIMx_CNT < TIMx_CCR1 の場合はインアクティブに、そうでない場合はアクティブになります。カウントダウン時は、チャネル 1 は、TIMx_CNT > TIMx_CCR1 の場合はアクティブに、そうでない場合はインアクティブになります。

注： ***1：これらのビットは、LOCK レベル 3 がプログラムされていて（TIMx_BDTR レジスタの LOCK ビット）、CC1S="00"（チャネルは出力に設定）の場合、変更できません。***

2：PWM モード 1 または 2 では、OC1REF のレベルは、比較結果が変化するか、出力比較モードが停止モードから PWM モードに変更されたときにのみ変化します。

ビット 3 **OC1PE**：出力比較 1 プリロードイネーブル

0：TIMx_CCR1 のプリロードレジスタは無効です。TIMx_CCR1 は常時書き込みが可能であり、新しい値はただちに有効になります。

1：TIMx_CCR1 のプリロードレジスタは有効です。読み書き操作はプリロードレジスタに対して行われます。TIMx_CCR1 プリロード値は、更新イベントのたびにアクティブレジスタにロードされます。

注： ***1：これらのビットは、LOCK レベル 3 がプログラムされていて（TIMx_BDTR レジスタの LOCK ビット）、CC1S="00"（チャネルは出力に設定）の場合、変更できません。***

2：PWM モードは、ワンパルスモード（TIMx_CR1 レジスタの OPM ビットがセットされている）のときのみ、プリロードレジスタを有効にしなくても使用できます。そうでない場合、動作は保証されません。

ビット 2 **OC1FE**：出力比較 1 高速イネーブル

このビットは、CC 出力に対する入力トリガイベントの効果を加速するために使用されます。

0：CC1 は、トリガがオンのときでも、カウンタと CCR1 の値に依存して、通常どおりに動作します。トリガ入力のエッジ発生から CC1 が有効になるまでの最小遅延は、5 クロックサイクルです。

1：トリガ入力のアクティブエッジは、CC1 出力に対して比較一致のように働きます。このため、OC は、比較結果には関係なく、比較レベルにセットされます。トリガ入力をサンプルし、CC1 出力を有効にするまでの遅延は、3 クロックサイクルに短縮されます。OCFE は、チャネルが PWM1 または PWM2 モードに設定されている場合のみ機能します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 1:0 **CC1S**：キャプチャ /比較 1 選択

このビットフィールドは、チャネルの方向（入力/出力）と、使用される入力を定義します。

00：CC1 チャネルは出力として設定されます。

01：CC1 チャネルは入力として設定され、IC1 は TI1 にマップされます。

10：CC1 チャネルは入力として設定され、IC1 は TI2 にマップされます。

11：CC1 チャネルは入力として設定され、IC1 は TRC にマップされます。このモードは、TS ビット（TIMx_SMCR レジスタ）で内部トリガ入力が選択されている場合のみ機能します。

注： CC1S ビットは、チャネルが OFF（TIMx_CCER レジスタの CC1E="0"）のときのみ書き込みができます。

入力キャプチャモード

ビット 15:12 **IC2F**：入力キャプチャ 2 フィルタ

ビット 11:10 **IC2PSC[1:0]**：入力キャプチャ 2 プリスケーラ

ビット 9:8 **CC2S**：キャプチャ /比較 2選択

このビットフィールドは、チャネルの方向（入力/出力）と、使用される入力を定義します。

00：CC2 チャネルは出力として設定されます。

01：CC2 チャネルは入力として設定され、IC2 は TI2 にマップされます。

10：CC2 チャネルは入力として設定され、IC2 は TI1 にマップされます。

11：CC2 チャネルは入力として設定され、IC2 は TRC にマップされます。このモードは、TS ビット（TIMx_SMCR レジスタ）で内部トリガ入力が選択されている場合のみ機能します。

注： CC2S ビットは、チャネルが OFF（TIMx_CCER レジスタの CC2E="0"）のときにのみ書き込みができます。

ビット 7:4 **IC1F[3:0]**：入力キャプチャ 1 フィルタ

このビットフィールドは、TI1 入力をサンプルする周波数と、TI1 に適用されるデジタルフィルタの長さを定義します。デジタルフィルタは、イベントカウンタでできていて、出力に有効な変化をもたらすには N 個のイベントが必要です。

0000：フィルタなし、サンプリングは f_{DTS} で行われます。

0001：$f_{SAMPLING}=f_{CK_INT}$、N=2

0010：$f_{SAMPLING}=f_{CK_INT}$、N=4

0011：$f_{SAMPLING}=f_{CK_INT}$、N=8

0100：$f_{SAMPLING}=f_{DTS}/2$、N=6

0101：$f_{SAMPLING}=f_{DTS}/2$、N=8

0110：$f_{SAMPLING}=f_{DTS}/4$、N=6

0111：$f_{SAMPLING}=f_{DTS}/4$、N=8

1000：$f_{SAMPLING}=f_{DTS}/8$、N=6

1001：$f_{SAMPLING}=f_{DTS}/8$、N=8

1010：$f_{SAMPLING}=f_{DTS}/16$、N=5

1011：$f_{SAMPLING}=f_{DTS}/16$、N=6

1100：$f_{SAMPLING}=f_{DTS}/16$、N=8

1101：$f_{SAMPLING}=f_{DTS}/32$、N=5

1110：$f_{SAMPLING}=f_{DTS}/32$、N=6

1111：$f_{SAMPLING}=f_{DTS}/32$、N=8

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 3:2 **IC1PSC**：入力キャプチャ 1 プリスケーラ

このビットフィールドは、CC1 入力（IC1）に作用するプリスケーラの分周比を定義します。
プリスケーラは、CC1E="0"（TIMx_CCER レジスタ）になるとリセットされます。
00：プリスケーラなし。キャプチャは、キャプチャ入力のエッジが検出されるたびに行われます。
01：キャプチャは、2 イベントごとに行われます。
10：キャプチャは、4 イベントごとに行われます。
11：キャプチャは、8 イベントごとに行われます。

ビット 1:0 **CC1S**：キャプチャ /比較 1 選択

このビットフィールドは、チャネルの方向（入力/出力）と、使用される入力を定義します。
00：CC1 チャネルは出力として設定されます。
01：CC1 チャネルは入力として設定され、IC1 は TI1 にマップされます。
10：CC1 チャネルは入力として設定され、IC1 は TI2 にマップされます。
11：CC1 チャネルは入力として設定され、IC1 は TRC にマップされます。このモードは、TS ビット（TIMx_SMCR レジスタ）で内部トリガ入力が選択されている場合のみ機能します。

注： CC1S ビットは、チャネルが OFF（TIMx_CCER レジスタの CC1E="0"）のときのみ書き込みができます。

13.4.8 TIM1および TIM8 キャプチャ /比較モードレジスタ 2（TIMx_CCMR2）

アドレスオフセット：0x1C

リセット値：0x0000

上記の CCMR1 レジスタの説明を参照してください。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OC4 CE	OC4M[2:0]			OC4 PE	OC4 FE	CC4S[1:0]		OC3 CE	OC3M[2:0]			OC3 PE	OC3 FE	CC3S[1:0]	
IC4F[3:0]				IC4PSC[1:0]				IC3F[3:0]				IC3PSC[1:0]			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

出力比較モード

ビット 15 **OC4CE**：出力比較 4 クリアイネーブル

ビット 14:12 **OC4M**：出力比較 4 モード

ビット 11 **OC4PE**：出力比較 4 プリロードイネーブル

ビット 10 **OC4FE**：出力比較 4 高速イネーブル

ビット 9:8 **CC4S**：キャプチャ /比較 4選択

このビットフィールドは、チャネルの方向（入力/出力）と、使用される入力を定義します。
00：CC4 チャネルは出力として設定されます。
01：CC4 チャネルは入力として設定され、IC4 は TI4 にマップされます。
10：CC4 チャネルは入力として設定され、IC4 は TI3 にマップされます。
11：CC4 チャネルは入力として設定され、IC4 は TRC にマップされます。このモードは、TS ビット（TIMx_SMCR レジスタ）で内部トリガ入力が選択されている場合のみ機能します。

注： CC4S ビットは、チャネルが OFF（TIMx_CCER レジスタの CC4E="0"）のときのみ書き込みができます。

ビット 7 **OC3CE**：出力比較 3 クリアイネーブル

ビット 6:4 **OC3M**：出力比較 3 モード

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 3 **OC3PE**：出力比較 3 プリロードイネーブル

ビット 2 **OC3FE**：出力比較 3 高速イネーブル

ビット 1:0 **CC3S**：キャプチャ /比較 3選択

このビットフィールドは、チャネルの方向（入力/出力）と、使用される入力を定義します。
00：CC3 チャネルは出力として設定されます。
01：CC3 チャネルは入力として設定され、IC3 は TI3 にマップされます。
10：CC3 チャネルは入力として設定され、IC3 は TI4 にマップされます。
11：CC3 チャネルは入力として設定され、IC3 は TRC にマップされます。このモードは、TS ビット（TIMx_SMCR レジスタ）で内部トリガ入力が選択されている場合のみ機能します。

注： CC3S ビットは、チャネルが OFF（TIMx_CCER レジスタの CC3E="0"）のときのみ書き込みができます。

入力キャプチャモード

ビット 15:12 **IC4F**：入力キャプチャ 4 フィルタ

ビット 11:10 **IC4PSC**：入力キャプチャ 4 プリスケーラ

ビット 9:8 **CC4S**：キャプチャ /比較 4選択

このビットフィールドは、チャネルの方向（入力/出力）と、使用される入力を定義します。
00：CC4 チャネルは出力として設定されます。
01：CC4 チャネルは入力として設定され、IC4 は TI4 にマップされます。
10：CC4 チャネルは入力として設定され、IC4 は TI3 にマップされます。
11：CC4 チャネルは入力として設定され、IC4 は TRC にマップされます。このモードは、TS ビット（TIMx_SMCR レジスタ）で内部トリガ入力が選択されている場合のみ機能します。

注： CC4S ビットは、チャネルが OFF（TIMx_CCER レジスタの CC4E="0"）のときのみ書き込みができます。

ビット 7:4 **IC3F**：入力キャプチャ 3 フィルタ

ビット 3:2 **IC3PSC**：入力キャプチャ 3 プリスケーラ

ビット 1:0 **CC3S**：キャプチャ /比較 3 選択

このビットフィールドは、チャネルの方向（入力/出力）と、使用される入力を定義します。
00：CC3 チャネルは出力として設定されます。
01：CC3 チャネルは入力として設定され、IC3 は TI3 にマップされます。
10：CC3 チャネルは入力として設定され、IC3 は TI4 にマップされます。
11：CC3 チャネルは入力として設定され、IC3 は TRC にマップされます。このモードは、TS ビット（TIMx_SMCR レジスタ）で内部トリガ入力が選択されている場合のみ機能します。

注： CC3S ビットは、チャネルが OFF（TIMx_CCER レジスタの CC3E="0"）のときのみ書き込みができます。

13.4.9 TIM1および TIM8 キャプチャ /比較イネーブルレジスタ（TIMx_CCER）

アドレスオフセット：0x20

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み		CC4P	CC4E	CC3NP	CC3NE	CC3P	CC3E	CC2NP	CC2NE	CC2P	CC2E	CC1NP	CC1NE	CC1P	CC1E
		rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 15:14 予約済み、常に 0 として読み出されます。

ビット 13 **CC4P**：キャプチャ /比較 4 出力極性
CC1P の説明を参照してください。

ビット 12 **CC4E**：キャプチャ /比較 4 出力イネーブル
CC1E の説明を参照してください。

ビット 11 **CC3NP**：キャプチャ /比較 3 相補出力極性
CC1NP の説明を参照してください。

ビット 10 **CC3NE**：キャプチャ /比較 3 相補出力イネーブル
CC1NE の説明を参照してください。

ビット 9 **CC3P**：キャプチャ /比較 3 出力極性
CC1P の説明を参照してください。

ビット 8 **CC3E**：キャプチャ /比較 3 出力イネーブル
CC1E の説明を参照してください。

ビット 7 **CC2NP**：キャプチャ /比較 2 相補出力極性
CC1NP の説明を参照してください。

ビット 6 **CC2NE**：キャプチャ /比較 2 相補出力イネーブル
CC1NE の説明を参照してください。

ビット 5 **CC2P**：キャプチャ /比較 2 出力極性
CC1P の説明を参照してください。

ビット 4 **CC2E**：キャプチャ /比較 2 出力イネーブル
CC1E の説明を参照してください。

ビット 3 **CC1NP**：キャプチャ /比較 1 相補出力極性
0：OC1N アクティブハイ。
1：OC1N アクティブロー。

注： このビットは、LOCK レベル 2 または 3 がプログラムされていて（TIMx_BDTR レジスタの LOCK ビット）、CC1S="00" （チャネルは出力として設定）のときには書き込みできません。

ビット 2 **CC1NE**：キャプチャ /比較 1 相補出力イネーブル
0：オフ - OC1N はアクティブではありません。OC1N のレベルは、MOE、OSSI、OSSR、OIS1、OIS1N、および CC1E ビットの組み合わせによって決まります。
1：オン - OC1N 信号は、MOE、OSSI、OSSR、OIS1、OIS1N、および CC1E ビットに応じて、対応する出力ピンに出力されます。

ビット 1 **CC1P**：キャプチャ /比較 1 出力極性
CC1 チャネルが出力として設定されているとき：
0：OC1 アクティブハイ
1：OC1 アクティブロー
CC1 チャネルが入力として設定されているとき：
このビットは、IC1 と IC1 のどちらがトリガやキャプチャ操作に使用されるかを選択します。
0：非反転：キャプチャは、IC1 の立ち上がりエッジで行われます。外部トリガとして使用されるときには、IC1 は反転されません。
1：反転：キャプチャは、IC1 の立ち下がりエッジで行われます。外部トリガとして使用されるときには、IC1 は反転されます。

注： このビットは、LOCK レベル 2 または 3 がプログラムされているときには書き込みできません（TIMx_BDTR レジスタの LOCK ビット）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 0 **CC1E**：キャプチャ /比較 1 出力イネーブル

CC1 チャネルが出力として設定されているとき：

0：オフ - OC1 はアクティブではありません。OC1 のレベルは、MOE、OSSI、OSSR、OIS1、OIS1N、および CC1NE ビットの組み合わせによって決まります。

1：オン - OC1 信号は、MOE、OSSI、OSSR、OIS1、OIS1N、および CC1NE ビットに応じて、対応する出力ピンに出力されます。

CC1 チャネルが入力として設定されているとき：

このビットによって、カウンタ値のキャプチャ /比較レジスタ 1（TIMx_CCR1）へのキャプチャが実際に行われるかどうかが決まります。

0：キャプチャ無効。

1：キャプチャ有効。

表82. ブレーク機能を持つ相補 OCx および OCxN チャネルの出力制御ビット

制御ビット					出力状態(1)	
MOE ビット	OSSI ビット	OSSR ビット	CCxE ビット	CCxNE ビット	OCx 出力状態	OCxN 出力状態
1	X	0	0	0	出力無効（タイマによって駆動されません） OCx=0、OCx_EN=0	出力無効（タイマによって駆動されません） OCxN=0、OCxN_EN=0
		0	0	1	出力無効（タイマによって駆動されません） OCx=0、OCx_EN=0	OCxREF + 極性 OCxN=OCxREF xor CCxNP, OCxN_EN=1
		0	1	0	OCxREF + 極性 OCx=OCxREF xor CCxP, OCx_EN=1	出力無効（タイマによって駆動されません） OCxN=0、OCxN_EN=0
		0	1	1	OCREF + 極性 + デッドタイム OCx_EN=1	OCREF に対する相補（OCREF ではなく）+ 極性 + デッドタイム OCxN_EN=1
		1	0	0	出力無効（タイマによって駆動されません） OCx=CCxP, OCx_EN=0	出力無効（タイマによって駆動されません） OCxN=CCxNP, OCxN_EN=0
		1	0	1	オフ状態（出力は有効ですがインアクティブ状態） OCx=CCxP, OCx_EN=1	OCxREF + 極性 OCxN=OCxREF xor CCxNP, OCxN_EN=1
		1	1	0	OCxREF + 極性 OCx=OCxREF xor CCxP, OCx_EN=1	オフ状態（出力は有効ですがインアクティブ状態） OCxN=CCxNP, OCxN_EN=1
		1	1	1	OCREF + 極性 + デッドタイム OCx_EN=1	OCREF に対する相補（OCREF ではなく）+ 極性 + デッドタイム OCxN_EN=1

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表82. ブレーク機能を持つ相補 OCx および OCxN チャネルの出力制御ビット（続き）

制御ビット					出力状態[1]	
MOE ビット	OSSI ビット	OSSR ビット	CCxE ビット	CCxNE ビット	OCx 出力状態	OCxN 出力状態
0	0	X	0	0	出力無効（タイマによって駆動されません） 非同期：OCx=CCxP, OCx_EN=0, OCxN=CCxNP, OCxN_EN=0 クロックが存在する場合：デッドタイム後に、OCx=OISx および OCxN=OISxN。OISx と OISxN は、両方ともアクティブ状態の OCx と OCxN には対応しません。	
	0		0	1		
	0		1	0		
	0		1	1		
	1		0	0		
	1		0	1	オフ状態（出力は有効ですがインアクティブ状態） 非同期：OCx=CCxP, OCx_EN=1, OCxN=CCxNP, OCxN_EN=1 クロックが存在する場合：デッドタイム後に、OCx=OISx および OCxN=OISxN。OISx と OISxN は、両方ともアクティブ状態の OCx と OCxN には対応しません。	
	1		1	0		
	1		1	1		

1. チャネルの両方の出力が使用されないとき（CCxE=CCxNE=0）、OISx、OISxN、CCxP、および CCxNP はクリアされたままでなければなりません。

注： ***相補 OCx および OCxN チャネルに接続されている外部入出力ピンの状態は、OCx および OCxN チャネルの状態と、GPIO および AFIO レジスタに依存します。***

13.4.10 TIM1および TIM8 カウンタ（TIMx_CNT）

アドレスオフセット：0x24

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CNT[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **CNT[15:0]**：カウンタ値

13.4.11 TIM1および TIM8 プリスケーラ（TIMx_PSC）

アドレスオフセット：0x28

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PSC[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **PSC[15:0]**：プリスケーラ値

カウンタのクロック周波数（CK_CNT）は、f_{CK_PSC} /（PSC[15:0] + 1）です。.

PSC は、更新イベントごとにアクティブプリスケーラレジスタにロードされる値を含みます（更新イベントには、TIMx_EGR レジスタの UG ビットを通じて、またはリセットモードに設定されているトリガコントローラを通じて、カウンタがクリアされる場合も含まれます）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

13.4.12 TIM1および TIM8 自動再ロードレジスタ（TIMx_ARR）

アドレスオフセット：0x2C

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ARR[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **ARR[15:0]**：プリスケーラ値

ARR は、実際の自動再ロードレジスタにロードされる値です。

APR の更新と動作の詳細については、*セクション 13.3.1：タイムベースユニット（273 ページ）*を参照してください。

自動再ロード値が null のときには、カウンタはブロックされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

13.4.13 TIM1および TIM8 繰り返しカウンタレジスタ（TIMx_RCR）

アドレスオフセット：0x30

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								REP[7:0]							
								rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:8 予約済み、常に 0 として読み出されます。

ビット 7:0 **REP[7:0]**：繰り返しカウンタ値

これらのビットによって、プリロードレジスタが有効なときの比較レジスタの更新レート（プリロードレジスタからアクティブレジスタへの定期的な転送）と、割り込みが有効な場合の更新割り込み生成の頻度をセットアップできます。

REP_CNT に関連するダウンカウンタがゼロに達するたびに、更新イベントが生成され、REP 値からカウントをリスタートします。繰り返し更新イベント U_RC でのみ、REP_CNT に REP 値がロードされるので、TIMx_RCR レジスタへの書き込みは、次の繰り返し更新イベントまで有効になりません。

PWM モード（REP+1）では、次のことを意味します。

– エッジアラインモードでは、PWM 周期の数

– センターアラインモードでは、PWM の 1/2 周期の数

13.4.14 TIM1および TIM8 キャプチャ /比較レジスタ 1（TIMx_CCR1）

アドレスオフセット：0x34

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR1[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **CCR1[15:0]**：キャプチャ /比較 1 の値

チャネル CC1 が出力として設定されている場合：

CCR1 は、実際のキャプチャ /比較 1 レジスタにロードされる値（プリロード値）です。

TIMx_CCMR1 レジスタの CC1PE ビットでプリロード機能が選択されていない場合は、この値は不変にロードされます。そうでない場合、プリロード値は、更新イベントが発生すると、アクティブキャプチャ /比較 1 レジスタにコピーされます。

アクティブキャプチャ /比較レジスタは、カウンタ TIMx_CNT と比較されて、OC1 出力に送信される値を含みます。

チャネル CC1 が入力として設定されている場合：

CCR1 は、最後の入力キャプチャ 1 イベント（IC1）によって転送されたカウンタ値です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

13.4.15 TIM1および TIM8 キャプチャ /比較レジスタ 2（TIMx_CCR2）

アドレスオフセット：0x38

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR2[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **CCR2[15:0]**：キャプチャ /比較 2 の値

CC2 チャネルが出力として設定されている場合：

CCR2 は、実際のキャプチャ /比較 2 レジスタにロードされる値（プリロード値）です。

TIMx_CCMR2 レジスタの OC2PE ビットでプリロード機能が選択されていない場合は、不変にロードされます。そうでない場合、プリロード値は、更新イベントが発生すると、アクティブキャプチャ /比較 2 レジスタにコピーされます。

アクティブキャプチャ /比較レジスタは、カウンタ TIMx_CNT と比較され、OC2 出力に送信される値を含みます。

CC2 チャネルが入力として設定されている場合：

CCR2 は、最後の入力キャプチャ 2 イベント（IC2）によって転送されたカウンタ値です。

13.4.16 TIM1および TIM8 キャプチャ /比較レジスタ 3（TIMx_CCR3）

アドレスオフセット：0x3C

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR3[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **CCR3[15:0]**：キャプチャ /比較値

チャネル CC3 が出力として設定されている場合：

CCR3 は、実際のキャプチャ /比較 3 レジスタにロードされる値（プリロード値）です。

TIMx_CCMR3 レジスタの OC3PE ビットでプリロード機能が選択されていない場合は、不変にロードされます。そうでない場合、プリロード値は、更新イベントが発生すると、アクティブキャプチャ /比較 3 レジスタにコピーされます。

アクティブキャプチャ /比較レジスタは、カウンタ TIMx_CNT と比較され、OC3 出力に送信される値を含みます。

チャネル CC3 が入力として設定されている場合：

CCR3 は、最後の入力キャプチャ 3 イベント（IC3）によって転送されたカウンタ値です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

13.4.17 TIM1および TIM8 キャプチャ /比較レジスタ 4（TIMx_CCR4）

アドレスオフセット：0x40

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR4[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **CCR4[15:0]**：キャプチャ /比較値

チャネル CC4 が出力として設定されている場合：

CCR4 は、実際のキャプチャ /比較 4 レジスタにロードされる値（プリロード値）です。

TIMx_CCMR4 レジスタの OC4PE ビットでプリロード機能が選択されていない場合は、不変にロードされます。そうでない場合、プリロード値は、更新イベントが発生すると、アクティブキャプチャ /比較 4 レジスタにコピーされます。

アクティブキャプチャ /比較レジスタは、カウンタ TIMx_CNT と比較され、OC4 出力に送信される値を含みます。

チャネル CC4 が入力として設定されている場合：

CCR4 は、最後の入力キャプチャ 4 イベント（IC4）によって転送されたカウンタ値です。

13.4.18 TIM1および TIM8 ブレークおよびデッドタイムレジスタ（TIMx_BDTR）

アドレスオフセット：0x44

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MOE	AOE	BKP	BKE	OSSR	OSSI	LOCK[1:0]		DTG[7:0]							
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

注： ***ビット AOE、BKP、BKE、OSSI、OSSR、および DTG[7:0] は、LOCK 設定に応じて書き込みがロックされるので、TIMx_BDTR レジスタへの最初のアクセス時に、これらすべてを設定しなければならないことがあります。***

ビット 15 **MOE**：メイン出力イネーブル

このビットは、ブレーク入力がアクティブになったときに、ハードウェアによって非同期にクリアされます。ソフトウェアによって、または、AOE ビットに応じて自動的にセットされます。出力として設定されたチャネルに対してのみ有効です。

0：OC および OCN 出力は無効か、強制的なアイドル状態です。

1：OC および OCN 出力は、それぞれのイネーブルビット（TIMx_CCER レジスタの CCxE、CCxNE ビット）がセットされている場合は有効です。

詳細については、OC/OCN イネーブルの説明を参照してください（*セクション 13.4.9：TIM1および TIM8 キャプチャ /比較イネーブルレジスタ（TIMx_CCER）（326 ページ）*）。

ビット 14 **AOE**：自動出力イネーブル

0：MOE はソフトウェアによってのみセットされます。

1：MOE は、ソフトウェアによって、または次の更新イベント時に自動的にセットされます（ブレーク入力がアクティブでない場合）。

注： ***このビットは、LOCK レベル 1 がプログラムされている場合（TIMx_BDTR レジスタの LOCK ビット）、変更できません。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 13 **BKP**：ブレーク極性

0：ブレーク入力 BRK はアクティブローです。

1：ブレーク入力 BRK はアクティブハイです。

注： このビットは、LOCK レベル 1 がプログラムされている場合（TIMx_BDTR レジスタの LOCK ビット）、変更できません。

注： このビットへの書き込み操作では、書き込みが有効になるまでに 1 APB クロックサイクルの遅延が生じます。

ビット 12 **BKE**：ブレークイネーブル

0：ブレーク入力（BRK および CCS クロック障害イベント）は無効です。

1：ブレーク入力（BRK および CCS クロック障害イベント）は有効です。

注： このビットは、LOCK レベル 1 がプログラムされているときには変更できません（TIMx_BDTR レジスタの LOCK ビット）。

注： このビットへの書き込み操作では、書き込みが有効になるまでに 1 APB クロックサイクルの遅延が生じます。

ビット 11 **OSSR**：RUN モードのオフ状態の選択

このビットは、MOE=1 のとき、相補出力を持ち、出力として設定されているチャネルで使用されます。OSSR は、相補出力がタイマに実装されていない場合には、実装されません。

詳細については、OC/OCN イネーブルの説明を参照してください（*セクション 13.4.9：TIM1および TIM8 キャプチャ/比較イネーブルレジスタ（TIMx_CCER）（326 ページ）*）。

0：インアクティブのとき、OC/OCN 出力は無効です（OC/OCN イネーブル出力信号 = 0）。

1：インアクティブのとき、OC/OCN 出力は、CCxE=1 または CCxNE=1 になると、インアクティブレベルで有効です。この場合、OC/OCN イネーブル出力信号 = 1 です。

注： このビットは、LOCK レベル 2 がプログラムされているときには変更できません（TIMx_BDTR レジスタの LOCK ビット）。

ビット 10 **OSSI**：アイドルモードのオフ状態の選択

このビットは、MOE=0 のとき、出力として設定されているチャネルで使用されます。

詳細については、OC/OCN イネーブルの説明を参照してください（*セクション 13.4.9：TIM1および TIM8 キャプチャ/比較イネーブルレジスタ（TIMx_CCER）（326 ページ）*）。

0：インアクティブのとき、OC/OCN 出力は無効です（OC/OCN イネーブル出力信号 = 0）。

1：インアクティブのとき、OC/OCN 出力は、CCxE=1 または CCxNE=1 になると、まず、強制的にアイドルレベルになります（OC/OCN イネーブル出力信号 = 1）。

注： このビットは、LOCK レベル 2 がプログラムされているときには変更できません（TIMx_BDTR レジスタの LOCK ビット）。

ビット 9:8 **LOCK[1:0]**：ロック設定

これらのビットは、ソフトウェアエラーに対する書き込み保護を提供します。

00：LOCK オフ - ビットは書き込み保護されません。

01：LOCK レベル 1 = TIMx_BDTR レジスタの DTG ビット、TIMx_CR2 レジスタの OISx および OISxN ビット、および TIMx_BDTR レジスタの BKE/BKP/AOE ビットは、書き込みできなくなります。

10：LOCK レベル 2 = LOCK レベル 1 + CC 極性ビット（関連するチャネルが CC x S ビットによって出力として設定されている場合、TIMx_CCER レジスタの CC x P/CCxNP ビット）、OSSR および OSSI ビットは、書き込みができなくなります。

11：LOCK レベル 3 = LOCK レベル 2 + CC 制御ビット（関連するチャネルが CCxS ビットによって出力として設定されている場合、TIMx_CCMRx レジスタの OCxM および OCxPE ビット）は、書き込みができなくなります。

注： LOCK ビットは、リセット後に一度だけ書き込みができます。いったん TIMx_BDTR レジスタに書き込みが行われると、その内容は次のリセットまで停止されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 7:0 **DTG[7:0]**：デッドタイム生成回路のセットアップ

このビットは、相補出力間に挿入されるデッドタイムの長さを定義します。デッドタイムの時間（DT）は、次の式で与えられます。

DTG[7:5]=0xx => DT=DTG[7:0]x t_{dtg} with t_{dtg}=t_{DTS}.

DTG[7:5]=10x => DT=（64+DTG[5:0]）xt_{dtg} with T_{dtg}=2xt_{DTS}.

DTG[7:5]=110 => DT=（32+DTG[4:0]）xt_{dtg} with T_{dtg}=8xt_{DTS}.

DTG[7:5]=111 => DT=（32+DTG[4:0]）xt_{dtg} with T_{dtg}=16xt_{DTS}.

例：T_{DTS}=125ns（8MHz）の場合、可能なデッドタイムの値は、以下のとおりです。

0～15875 ns（125 ns 単位）

16µs～31750 ns（250 ns 単位）

32µs～63µs（1µs 単位）

64µs～126µs（2µs 単位）

注： このビットフィールドは、LOCK レベル 1、2、または 3 がプログラムされているときには変更できません（TIMx_BDTR レジスタの LOCK ビット）。

13.4.19 TIM1および TIM8 DMA 制御レジスタ（TIMx_DCR）

アドレスオフセット：0x48

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み			DBL[4:0]					予約済み			DBA[4:0]				
			rw	rw	rw	rw	rw				rw	rw	rw	rw	rw

ビット 15:13 予約済み、常に 0 として読み出されます。

ビット 12:8 **DBL[4:0]**：DMA バースト長

この 5 ビットのベクタは、DMA 転送の長さ（タイマは、TIMx_DMAR アドレスに対して読み出しまたは書き込みアクセスがおこなわれるときにバースト転送を認識します）、すなわち、転送回数を定義します。転送は、ハーフワードまたはバイト単位で行われます（下記の例を参照してください）。

00000：1 転送

00001：2 転送

00010：3 転送

...

10001：18 転送

例：次のような転送を考えてみます。DBL = 7 バイト、DBA = TIM2_CR1。

– DBL = 7 バイトであり、DBA = TIM2_CR1 が転送されるバイトのアドレスを表す場合、転送アドレスは次の式によって求められます。

（TIMx_CR1 アドレス）+ DBA +（DMA インデックス）。ここで、DMA インデックス = DBL です。

この例では、7 バイトが（TIMx_CR1 アドレス）＋DBA に加算され、データのコピー元/コピー先のアドレスが得られます。この場合、転送は、（TIMx_CR1 アドレス）+DBA から始めて、7 つのレジスタへ行われます。

DMA データサイズの設定に応じて、いくつかのケースが考えられます。

– DMA データサイズをハーフワードに設定した場合､7 つのレジスタのそれぞれに 16 ビットデータが転送されます。

– DMA データサイズをバイトに設定した場合、データは 7 つのレジスタに転送されます。最初のレジスタは最初の MSB バイトを含み、2 番目のレジスは最初の LSB バイトを含み、以下同様です。したがって、転送タイマについても、DMA によって転送されるデータのサイズを指定する必要があります。

ビット 7:5 予約済み、常に 0 として読み出されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 4:0 **DBA[4:0]**：DMA ベースアドレス

この 5 ビットのベクタは、DMA 転送のベースアドレスを定義します（TIMx_DMAR アドレスを通じて読み出し/書き込みアクセスが行われるとき）。DBA は、TIMx_CR1 レジスタのアドレスから始まるオフセット値として定義されます。

例：

00000：TIMx_CR1、

00001：TIMx_CR2、

00010：TIMx_SMCR、

...

13.4.20 TIM1および TIM8 完全転送 DMA アドレス（TIMx_DMAR）

アドレスオフセット：0x4C

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DMAB[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **DMAB[15:0]**：DMA バーストアクセスレジスタ

DMAR レジスタへの読み出しまたは書き込みアクセスは、次のアドレスにあるレジスタへのアクセスとなります。

（TIMx_CR1 アドレス）+ DBA +（DMA インデックス）。ここで、

TIMx_CR1 アドレスは制御レジスタ 1 のアドレスであり、DBA は TIMx_DCR レジスタで設定された DMA ベースアドレスであり、DMA インデックスはDMA 転送によって自動的に制御されるオフセットであり、TIMx_DCR レジスタの転送長 DBL に依存します。

13.4.21 TIM1および TIM8 レジスタマップ

TIM1および TIM8 レジスタは、次の表のように、16 ビットのアドレス可能レジスタとしてマップされます。

表83. TIM1および TIM8 レジスタマップとリセット値

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	TIMx_CR1	予約済み																						CKD[1:0]		ARPE	CMS[1:0]		DIR	OPM	URS	UDIS	CEN
	リセット値																							0	0	0	0	0	0	0	0	0	0
0x04	TIMx_CR2	予約済み																	OIS4	OIS3N	OIS3	OIS2N	OIS2	OIS1N	OIS1	TI1S	MMS[2:0]			CCDS	CCUS	予約済み	CCPC
	リセット値																		0	0	0	0	0	0	0	0	0	0	0	0	0		0
0x08	TIMx_SMCR	予約済み																ETP	ECE	ETPS[1:0]		ETF[3:0]				MSM	TS[2:0]			予約済み	SMS[2:0]		
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0		0	0	0
0x0C	TIMx_DIER	予約済み																	TDE	COMDE	CC4DE	CC3DE	CC2DE	CC1DE	UDE	BIE	TIE	COMIE	CC4IE	CC3IE	CC2IE	CC1IE	UIE
	リセット値																		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x10	TIMx_SR	予約済み																			CC4OF	CC3OF	CC2OF	CC1OF	予約済み	BIF	TIF	COMIF	CC4IF	CC3IF	CC2IF	CC1IF	UIF
	リセット値																				0	0	0	0		0	0	0	0	0	0	0	0

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表83. TIM1および TIM8 レジスタマップとリセット値（続き）

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x14	TIMx_EGR	予約済み																								BG	TG	COM	CC4G	CC3G	CC2G	CC1G	UG
	リセット値																									0	0	0	0	0	0	0	0
0x18	TIMx_CCMR1 出力比較モード	予約済み																OC2CE	OC2M [2:0]			OC2PE	OC2FE	CC2S[1:0]		OC1CE	OC1M [2:0]			OC1PE	OC1FE	CC1S [1:0]	
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	TIMx_CCMR1 入力キャプチャモード	予約済み																IC2F[3:0]				IC2 PSC [1:0]		CC2S[1:0]		IC1F[3:0]				IC1 PSC [1:0]		CC1S [1:0]	
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x1C	TIMx_CCMR2 出力比較モード	予約済み																O24CE	OC4M [2:0]			OC4PE	OC4FE	CC4S[1:0]		OC3CE	OC3M [2:0]			OC3PE	OC3FE	CC3S[1:0]	
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	TIMx_CCMR2 入力キャプチャモード	予約済み																IC4F[3:0]				IC4 PSC [1:0]		CC4S[1:0]		IC3F[3:0]				IC3 PSC [1:0]		CC3S[1:0]	
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x20	TIMx_CCER	予約済み																		CC4P	CC4E	CC3NP	CC3NE	CC3P	CC3E	CC2NP	CC2NE	CC2P	CC2E	CC1NP	CC1NE	CC1P	CC1E
	リセット値																			0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x24	TIMx_CNT	予約済み																CNT[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x28	TIMx_PSC	予約済み																PSC[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x2C	TIMx_ARR	予約済み																ARR[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x30	TIMx_RCR	予約済み																								REP[7:0]							
	リセット値																									0	0	0	0	0	0	0	0
0x34	TIMx_CCR1	予約済み																CCR1[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x38	TIMx_CCR2	予約済み																CCR2[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x3C	TIMx_CCR3	予約済み																CCR3[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x40	TIMx_CCR4	予約済み																CCR4[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x44	TIMx_BDTR	予約済み																MOE	AOE	BKP	BKE	OSSR	OSSI	LOCK[1:0]		DT[7:0]							
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x48	TIMx_DCR	予約済み																			DBL[4:0]					予約済み			DBA[4:0]				
	リセット値																				0	0	0	0	0				0	0	0	0	0

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表83. TIM1および TIM8 レジスタマップとリセット値（続き）

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x4C	TIMx_DMAR	予約済み																DMAB[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

レジスタ境界アドレスについては、*表 1（45ページ）*を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

14 汎用タイマ（TIM2～TIM5）

小容量 デバイス は、フラッシュメモリ容量が 16～32 KB の STM32F101xx、STM32F102xx、および STM32F103xx マイクロコントローラです。

中容量 デバイスは、フラッシュメモリ容量が 64～128 KB の STM32F101xx、STM32F102xx、および STM32F103xx マイクロコントローラです。

大容量デバイスは、フラッシュメモリ容量が 256～512 KB の STM32F101xx および STM32F103xx マイクロコントローラです。

特大容量デバイスは、フラッシュメモリ容量が 768 KB～1 MB の STM32F101xx および STM32F103xx マイクロコントローラです。

コネクティビティラインデバイス は、STM32F105xx および STM32F107xx マイクロコントローラです。

このセクションは、別段の指定がない限り、STM32F10xxxファミリすべてに適用されます。

14.1 TIM2～TIM5 の概要

汎用タイマは、プログラマブルなプリスケーラによって駆動される 16 ビット 自動再ロードカウンタで構成されています。

入力信号のパルス長の測定（*入力キャプチャ*）や出力波形の生成（*出力比較と PWM*）など、さまざまな目的に使用できます。

パルス長と波形の周期は、タイマプリスケーラと RCC クロックコントローラプリスケーラを使用して、数マイクロ秒から数ミリ秒までの範囲で変化させることができます。

タイマは完全に独立していて、いかなるリソースも共有しません。また、*セクション 14.3.15*で説明されているように、相互に同期させることができます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

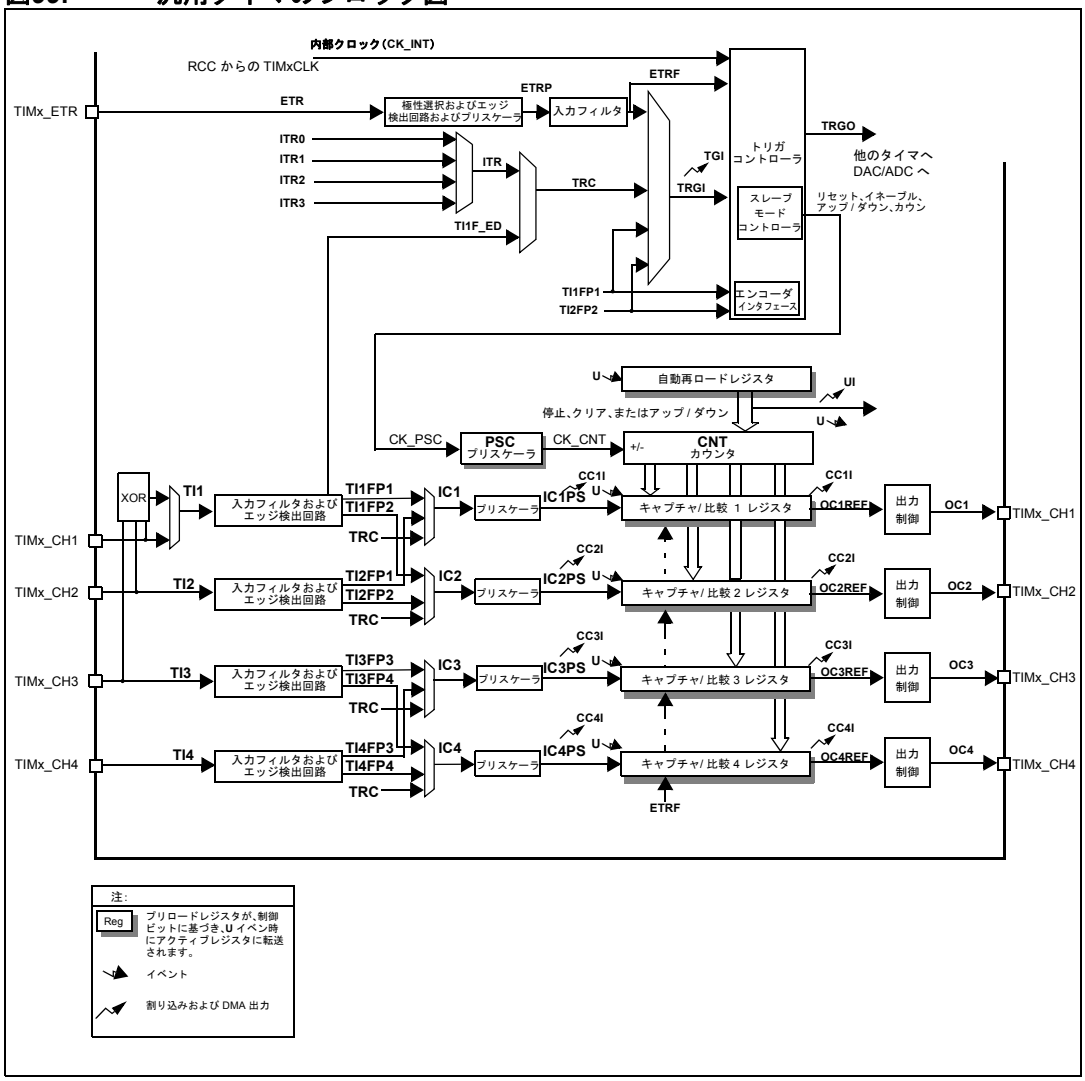
14.2 TIMx の主な機能

汎用 TIMx タイマの主な機能は、次のとおりです。

- 16 ビットの アップカウンタ、ダウンカウンタ、アップ/ダウン自動再ロードカウンタ。
- 1 から 65535 の間でカウンタクロック周波数を動作中でも分周できる 16 ビットのプログラマブルプリスケーラ。
- 次の機能を持つ、最大 4 つの独立チャネル。
  - 入力キャプチャ
  - 出力比較
  - PWM 生成（エッジアラインモードとセンターアラインモード）
  - ワンパルスモード出力
- 外部信号でタイマを制御し、複数のタイマを相互接続する同期回路。
- 以下のイベント時の割り込み/DMA 生成。
  - 更新：カウンタオーバーフロー/アンダーフロー、カウンタの初期化（ソフトウェアまたは内部/外部トリガによって）
  - トリガイベント（カウンタ開始、停止、初期化、または内部/外部トリガによるカウント）
  - 入力キャプチャ
  - 出力比較
- 位置決め目的で、インクリメンタル（直交）エンコーダとホールセンサ回路をサポートしています。
- 外部クロックまたはサイクルごとの電流管理のためのトリガ入力

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図99. 汎用タイマのブロック図



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

14.3 TIMx の機能詳細

14.3.1 タイムベースユニット

プログラマブルタイマのメインブロックは、自動再ロードレジスタを持つ 16 ビット カウンタです。カウンタはカウントアップ、カウントダウン、またはアップダウンします。カウンタクロックは、プリスケーラによって分周されます。

カウンタ、自動再ロードレジスタ、およびプリスケーラレジスタは、ソフトウェアによる読み書きが可能です。カウンタの動作中も同様です。

タイムベースユニットは、以下のレジスタで構成されます。

- カウンタレジスタ（TIMx_CNT）
- プリスケーラレジスタ（TIMx_PSC）
- 自動再ロードレジスタ（TIMx_ARR）

自動再ロードレジスタはプリロードレジスタに事前にロードされます。自動再ロードレジスタの読み書きは、プリロードレジスタへのアクセスとなります。プリロードレジスタの内容は、TIMx_CR1 レジスタの自動再ロードプリロードイネーブルビット（ARPE）に応じて、常時または更新イベント（UEV）ごとに、シャドウレジスタに転送されます。TIMx_CR1 レジスタの UDIS ビットが 0 の場合、更新イベントは、カウンタがオーバーフロー（またはダウンカウント時はアンダーフロー）に達したときに発生します。また、ソフトウェアによって生成することもできます。更新イベントの生成については、各設定の中で詳しく説明されています。

カウンタのクロックは、TIMx_CR1 レジスタのカウンタイネーブルビット（CEN）がセットされているときにのみ、プリスケーラ出力 CK_CNT から供給されます（カウンタの有効化の詳細については、スレーブモードコントローラの説明も参照してください）。

実際のカウンタイネーブル信号 CNT_EN は、CEN の 1 クロックサイクル後にセットされることに注意してください。

プリスケーラの詳細

プリスケーラは、カウンタクロック周波数を 1 から 65536 の間の値で分周することができます。16 ビット レジスタ（TIMx_PSC レジスタ）を通して制御されます。この制御レジスタはバッファされるので、動作中でも変更できます。新しいプリスケーラ比は、次の更新イベント時に有効になります。

図 100 と *図 101* は、プリスケーラ比がその場で変更されたときのカウンタの動作の例を示しています。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図100. プリスケーラ分周比が 1 から 2 に変化したときのカウンタのタイミング図

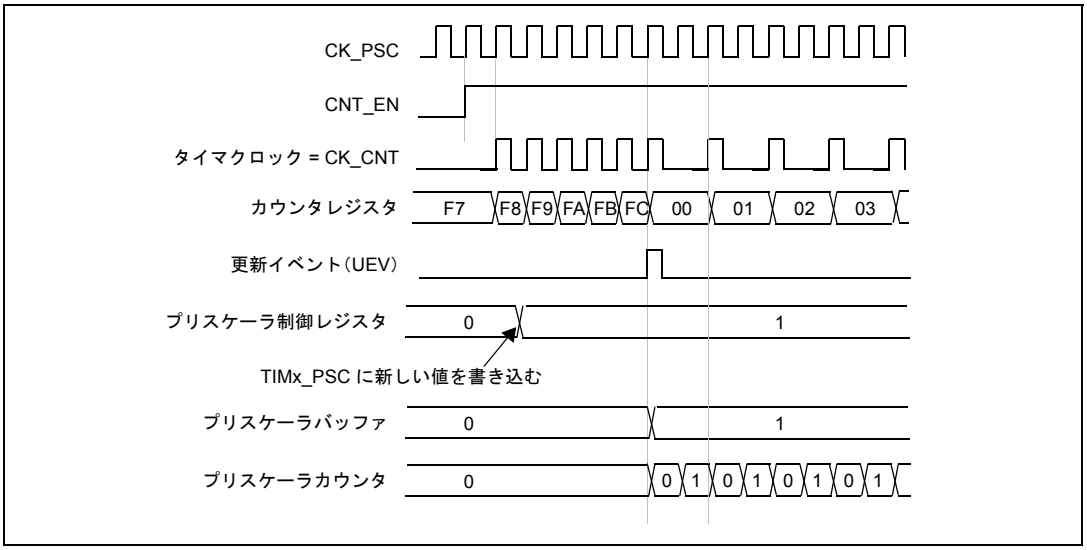
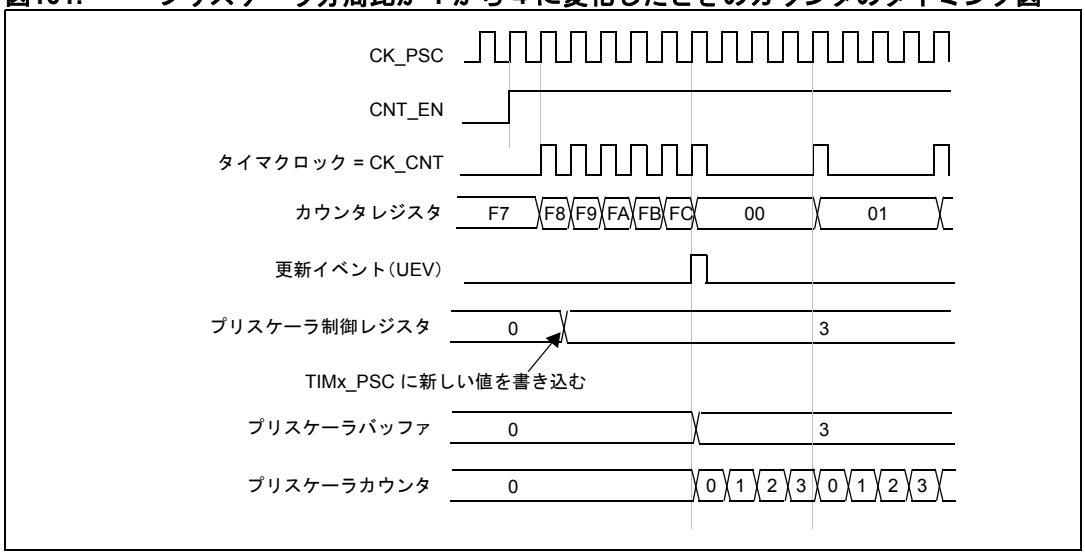


図101. プリスケーラ分周比が 1 から 4 に変化したときのカウンタのタイミング図



14.3.2 カウンタモード

アップカウントモード

アップカウントモードでは、カウンタは 0 から自動再ロード値（TIMx_ARR レジスタの内容）までカウントし、0 からカウントをリスタートするとともに、カウンタオーバーフローイベントを生成します。

更新イベントは、カウンタオーバーフローごとに、または、（ソフトウェアによって、または、スレーブモードコントローラを使用して）TIMx_EGR レジスタの UG ビットをセットすることによって生成できます。

UEV イベントは、TIMx_CR1 レジスタの UDIS ビットをセットすることで、ソフトウェアによって無効にできます。これは、プリロードレジスタに新しい値を書き込んでいるときにシャドウレジスタが更新されるのを防ぐためです。この後 UDIS ビットに "0" が書き込まれるまで、更新イベントは発生

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

しません。ただし、プリスケーラのカウンタと同じく、カウンタは 0 からカウントをリスタートします（プリスケーラ比は変化しません）。さらに、TIMx_CR1 レジスタの URS ビット（更新リクエスト選択）がセットされている場合は、UG ビットをセットすると更新イベント UEV が生成されますが、UIF フラグはセットされません（したがって、割り込みや DMA リクエストは送信されません）。これは、キャプチャイベント時にカウンタをクリアしているときに、更新とキャプチャの両方の割り込みを生成するのを防ぐためです。

更新イベントが発生すると、すべてのレジスタが更新され、URS ビットに応じて、更新フラグ（TIMx_SR レジスタの UIF ビット）がセットされます。

- プリスケーラのバッファには、プリロード値（TIMx_PSC レジスタの内容）が再びロードされます。
- 自動再ロードシャドウレジスタは、プリロード値（TIMx_ARR）に更新されます。

以下の図は、TIMx_ARR = 0x36 のときの、さまざまなクロック周波数におけるカウンタの動作の例を示しています。

図102. 内部クロック分周比が 1 の場合のカウンタのタイミング図

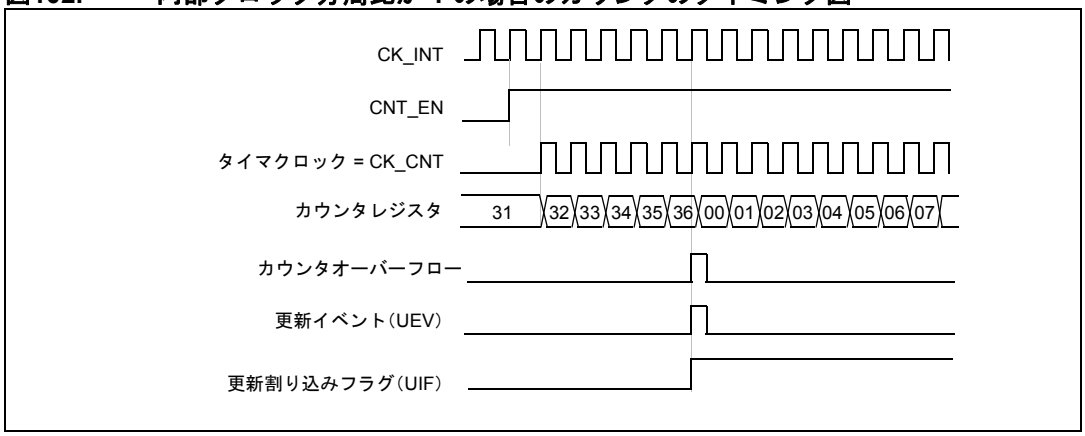
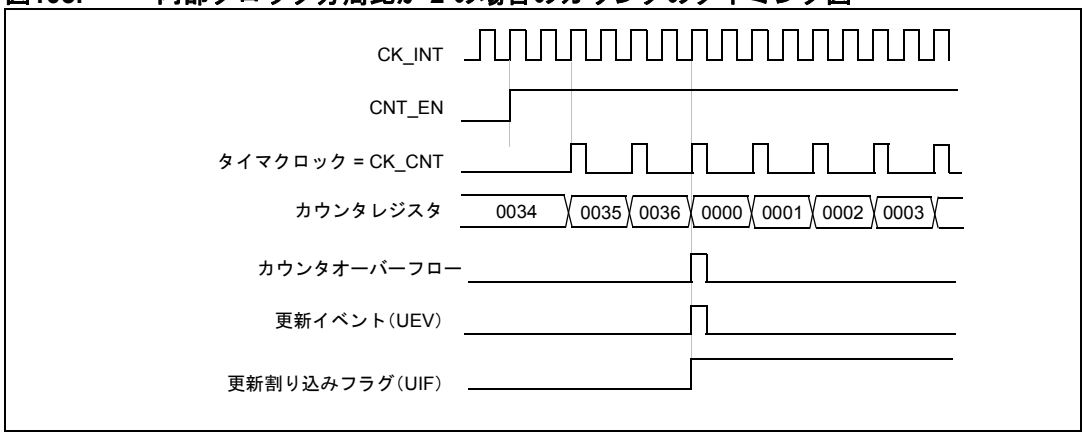


図103. 内部クロック分周比が 2 の場合のカウンタのタイミング図



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図104. 内部クロック分周比が 4 の場合のカウンタのタイミング図

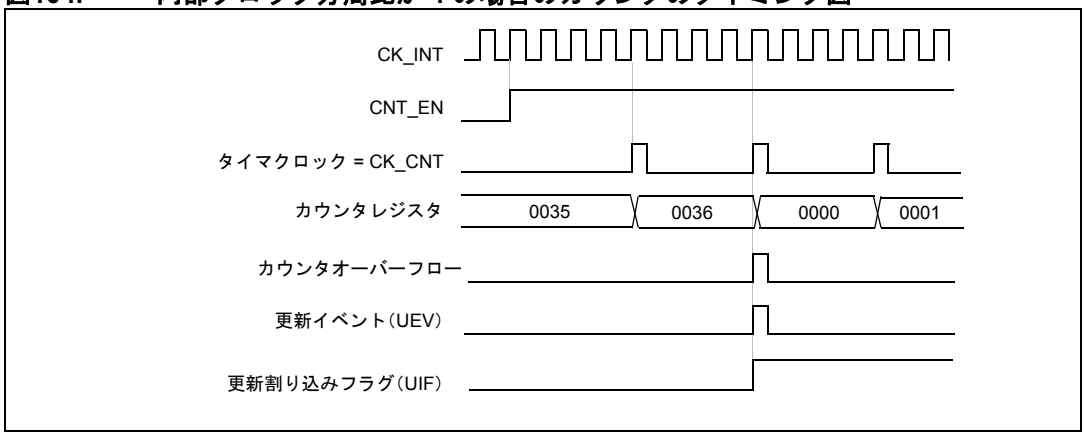


図105. 内部クロック分周比が N の場合のカウンタのタイミング図

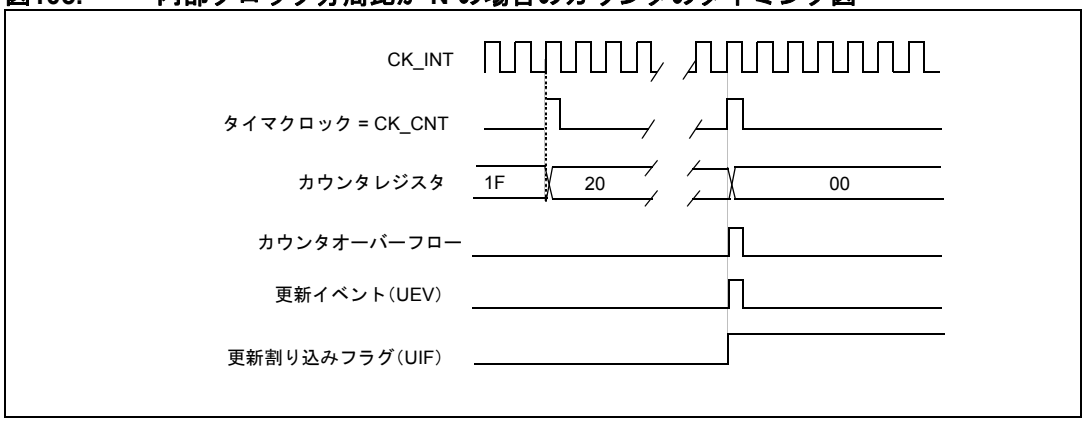
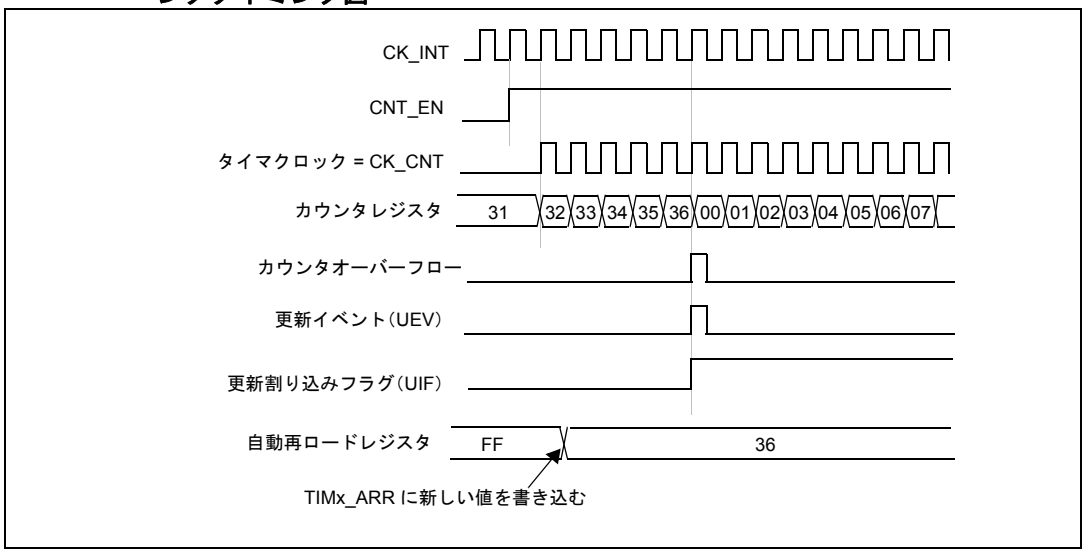
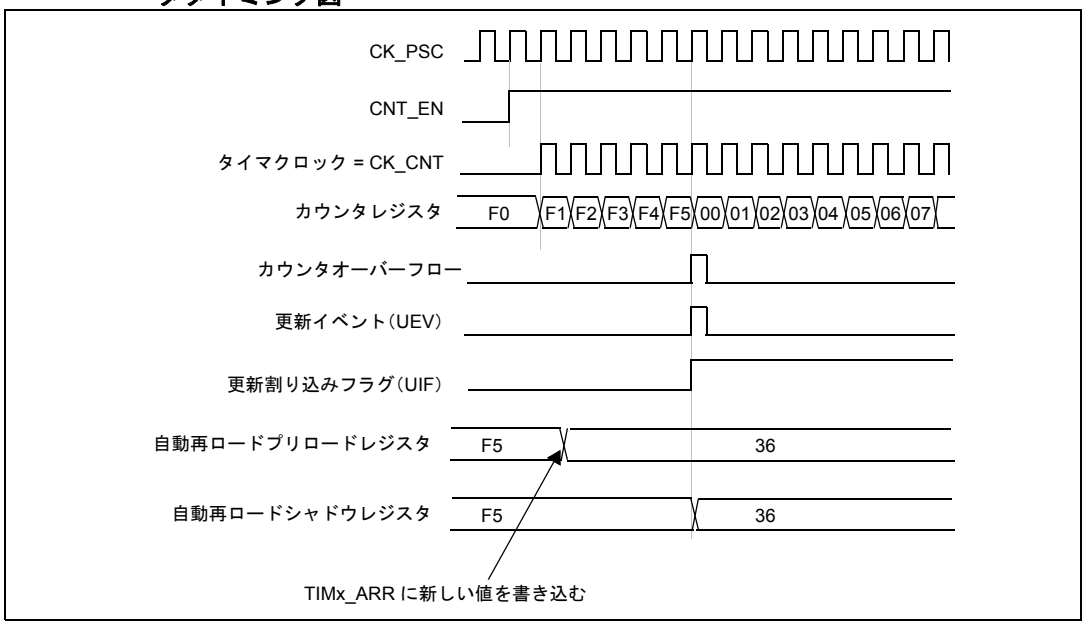


図106. ARPE=0（TIMx_ARR はプリロードされない）のときの更新イベントのカウンタタイミング図



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図107. ARPE=1（TIMx_ARR はプリロードされる）のときの更新イベントのカウンタタイミング図



ダウンカウントモード

ダウンカウントモードでは、カウンタは自動再ロード値（TIMx_ARR レジスタの内容）から 0 までカウントした後、自動再ロード値からカウントダウンをリスタートするとともに、カウンタアンダーフローイベントを生成します。

更新イベントは、カウンタアンダーフローごとに、（ソフトウェアによって、または、スレーブモードコントローラを使用して）または、TIMx_EGR レジスタの UG ビットをセットすることによって生成できます。

UEV 更新イベントは、ソフトウェアで TIMx_CR1 レジスタの UDIS ビットをセットすることによって無効にできます。これは、プリロードレジスタに新しい値を書き込んでいるときにシャドウレジスタが更新されるのを防ぐためです。この後 UDIS ビットに 0 が書き込まれるまで、更新イベントは発生しません。ただし、カウンタは現在の自動再ロード値からリスタートしますが、プリスケーラのカウンタは 0 からリスタートします（しかし、プリスケーラ比は変化しません）。

さらに、TIMx_CR1 レジスタの URS ビット（更新リクエスト選択）がセットされている場合は、UG ビットをセットすると更新イベント UEV が生成されますが、UIF フラグはセットされません（したがって、割り込みや DMA リクエストは送信されません）。これは、キャプチャイベント時にカウンタをクリアしているときに、更新とキャプチャの両方の割り込みを生成するのを防ぐためです。

更新イベントが発生すると、すべてのレジスタが更新され、URS ビットに応じて、更新フラグ（TIMx_SR レジスタの UIF ビット）がセットされます。

- プリスケーラのバッファにはプリロード値（TIMx_PSC レジスタの内容）が再びロードされます。
- 自動再ロードアクティブレジスタは、プリロード値（TIMx_ARR レジスタの内容）で更新されます。カウンタが再ロードされる前に自動再ロードが更新されるので、次の周期は期待通りの周期になります。

以下の図は、TIMx_ARR = 0x36 のときの、さまざまなクロック周波数におけるカウンタの動作の例を示しています。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図108. 内部クロック分周比が 1 の場合のカウンタのタイミング図

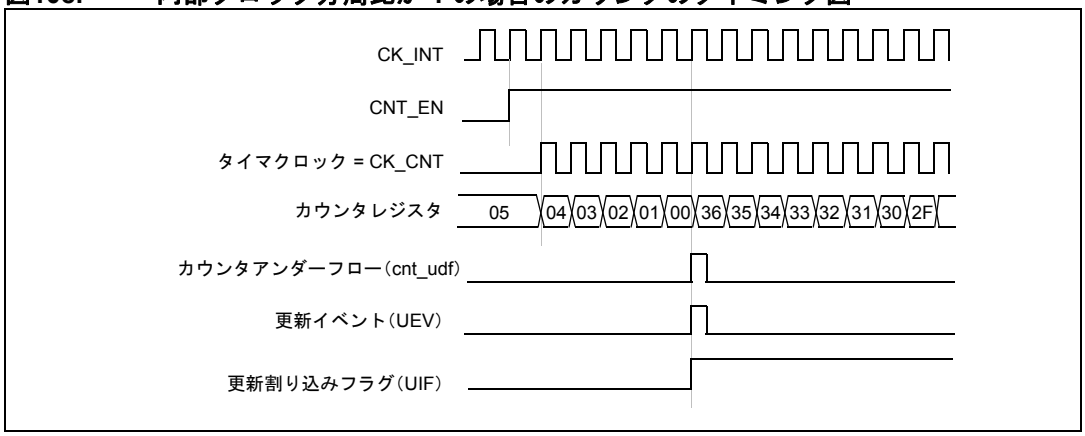


図109. 内部クロック分周比が 2 の場合のカウンタのタイミング図

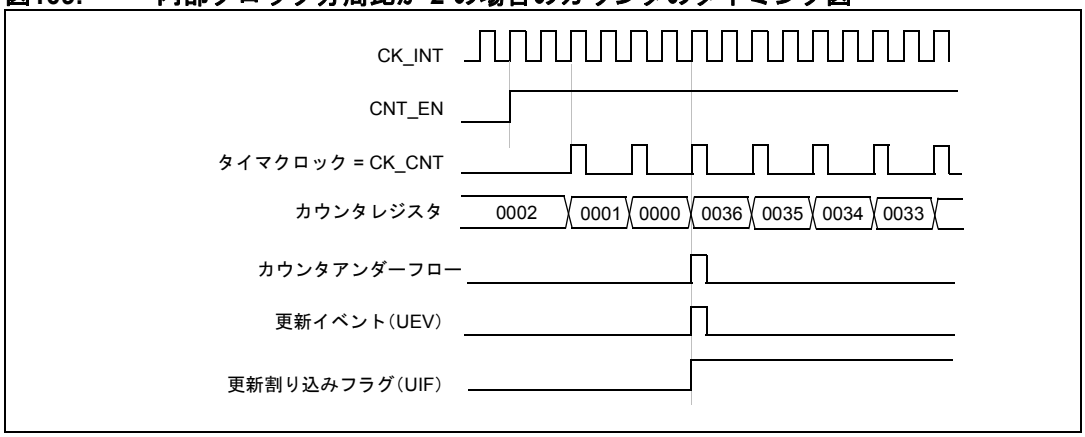
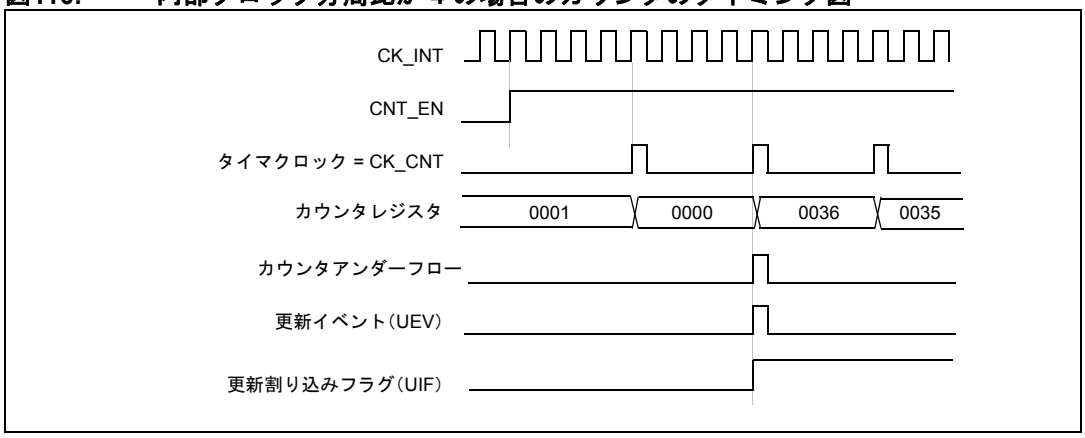


図110. 内部クロック分周比が 4 の場合のカウンタのタイミング図



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図111. 内部クロック分周比が N の場合のカウンタのタイミング図

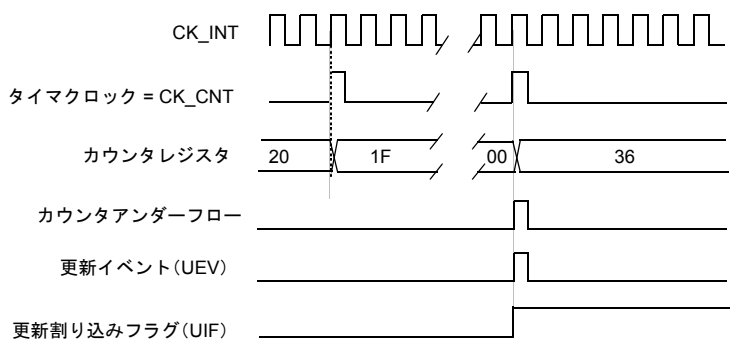
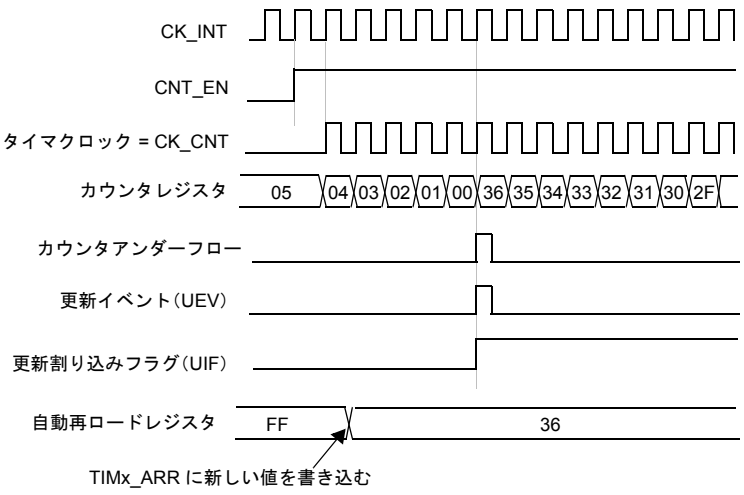


図112. 繰り返しカウンタが使用されていないときの更新イベントとカウンタのタイミング図



センタアラインモード（アップ/ダウンカウント）

センターアラインモードでは、カウンタは 0 から自動再ロードレジスタの値（TIMx_ARR レジスタの内容）－1 までカウントを行い、カウンタオーバーフローイベントを発生させます。次に 1 までのカウントダウンを行い、カウンタアンダーフローイベントを生成します。その後、0 からカウントをリスタートします。

センターアラインモードは、TIMx_CR1 レジスタの CMS ビットが "00" に等しくないときにアクティブとなります。出力に設定されたチャネルの出力比較割り込みフラグは、カウンタがカウントダウンするとき（センターアラインモード 1、CMS="01"）、カウンタがカウントアップするとき（センターアラインモード 2、CMS="10"）、またはカウンタがカウントアップしてカウントダウンするとき（センターアラインモード 3、CMS="11"）にセットされます。

このモードでは、方向ビット（TIMx_CR1 レジスタの DIR）に書き込むことはできません。このビットは、ハードウェアによって更新されて、カウンタの現在の方向を示します。

更新イベントは、カウンタオーバーフローとカウンタアンダーフローごとに生成されます。または、（ソフトウェアによって、またはスレーブモードコントローラを使用して）TIMx_EGR レジスタの UG ビットをセットすることによっても、更新イベントが生成されます。この場合、プリスケーラのカウンタと同じく、カウンタは 0 からカウントをリスタートします。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

UEV 更新イベントは、ソフトウェアで TIMx_CR1 レジスタの UDIS ビットをセットすることによって無効にできます。これは、プリロードレジスタに新しい値を書き込んでいるときにシャドウレジスタが更新されるのを防ぐためです。この後 UDIS ビットに "0" が書き込まれるまで、更新イベントは発生しません。ただし、カウンタは現在の自動再ロード値で、カウントアップおよびカウントダウンを続けます。

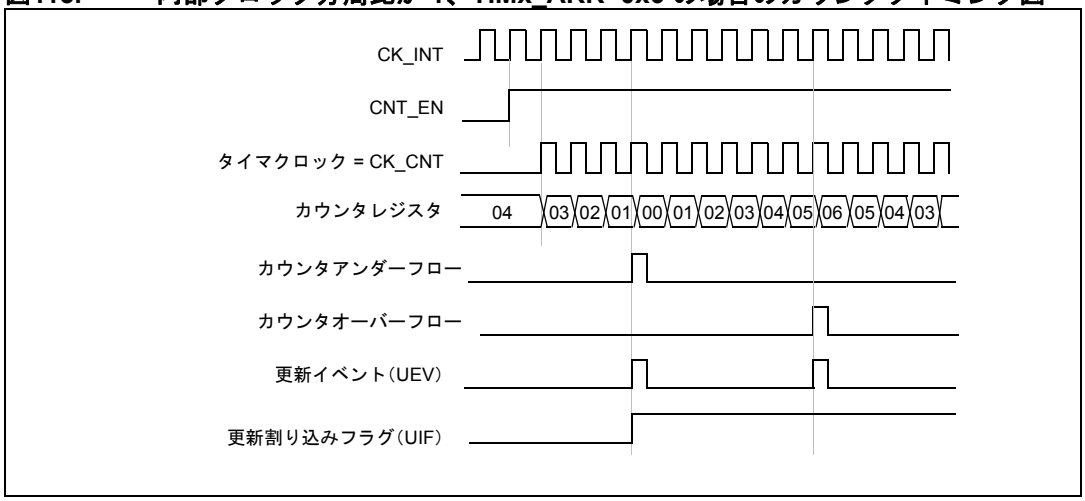
さらに、TIMx_CR1 レジスタの URS ビット（更新リクエスト選択）がセットされている場合は、UG ビットをセットすると更新イベント UEV が生成されますが、UIF フラグはセットされません（したがって、割り込みや DMA リクエストは送信されません）。これは、キャプチャイベント時にカウンタをクリアしているときに、更新とキャプチャの両方の割り込みを生成するのを防ぐためです。

更新イベントが発生すると、すべてのレジスタが更新され、URS ビットに応じて、更新フラグ（TIMx_SR レジスタの UIF ビット）がセットされます。

- プリスケーラのバッファにはプリロード値（TIMx_PSC レジスタの内容）が再びロードされます。
- 自動再ロードアクティブレジスタは、プリロード値（TIMx_ARR レジスタの内容）で更新されます。更新の原因がカウンタオーバーフローである場合には、自動再ロードが更新されてからカウンタが再ロードされるので、次の周期は期待通りの周期になります（カウンタに新しい値がロードされます）。

以下の図は、さまざまなクロック周波数におけるカウンタの動作の例を示しています。

図113. 内部クロック分周比が 1、TIMx_ARR=0x6 の場合のカウンタタイミング図



1. ここでは、センターアラインモード 1 が使用されています（詳細については、*セクション 14.4.1 : TIMx 制御レジスタ 1（TIMx_CR1）（376 ページ）*を参照してください）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図114. 内部クロック分周比が 2 の場合のカウンタのタイミング図

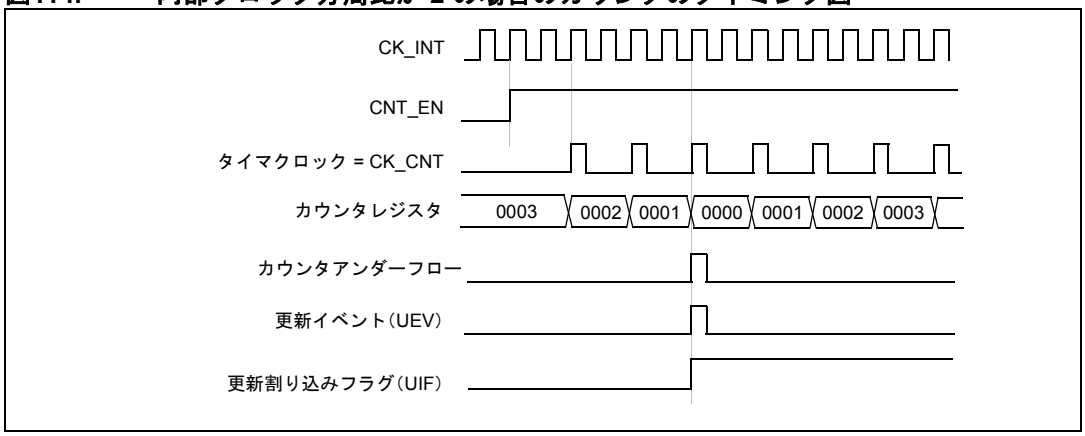
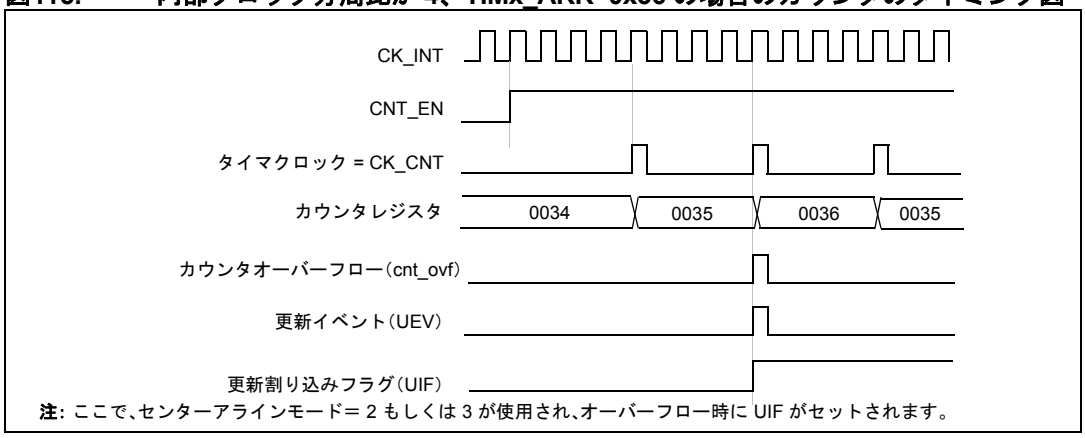
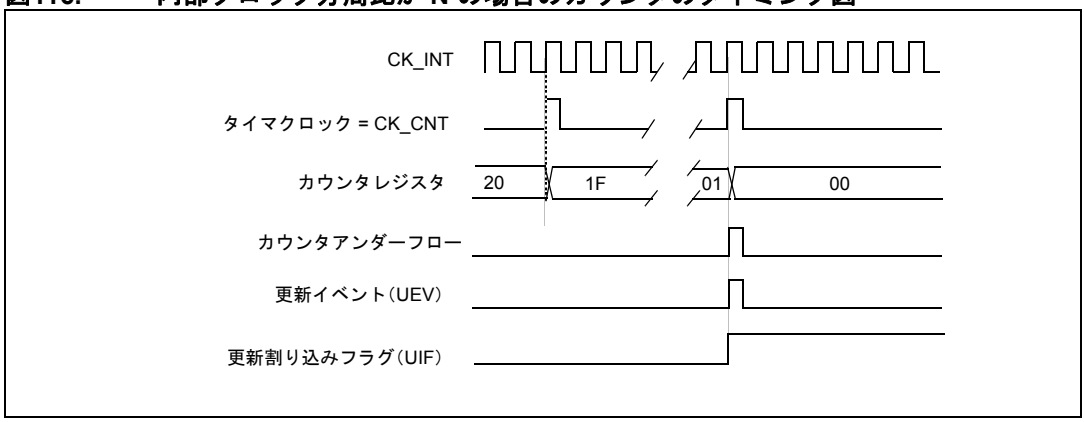


図115. 内部クロック分周比が 4、TIMx_ARR=0x36 の場合のカウンタのタイミング図



注: ここで、センターアラインモード＝ 2 もしくは 3 が使用され、オーバーフロー時に UIF がセットされます。

図116. 内部クロック分周比が N の場合のカウンタのタイミング図



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図117. ARPE=1(カウンタアンダーフロー)のときの更新イベント時のカウンタタイミング図

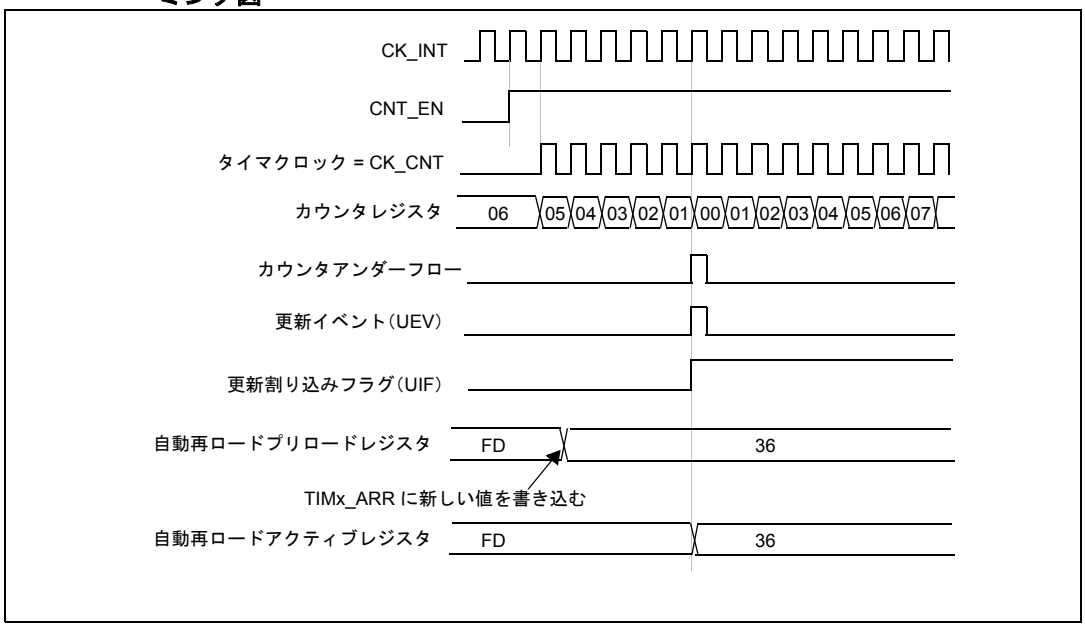
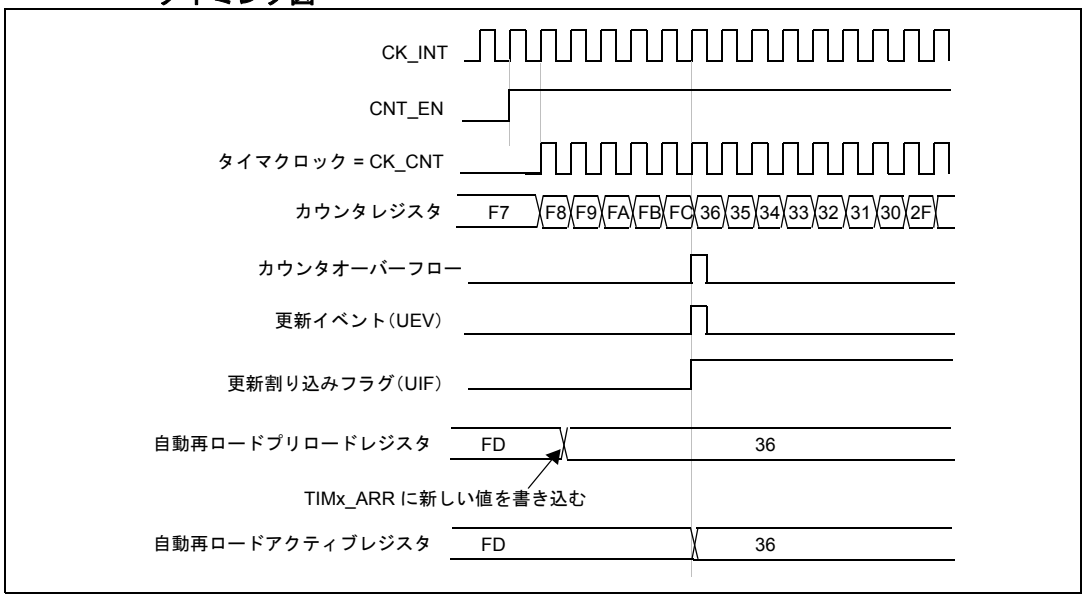


図118. ARPE=1（カウンタオーバーフロー）のときの更新イベント時のカウンタのタイミング図



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

14.3.3 クロック選択

カウンタクロックは、次のクロックソースから供給できます。

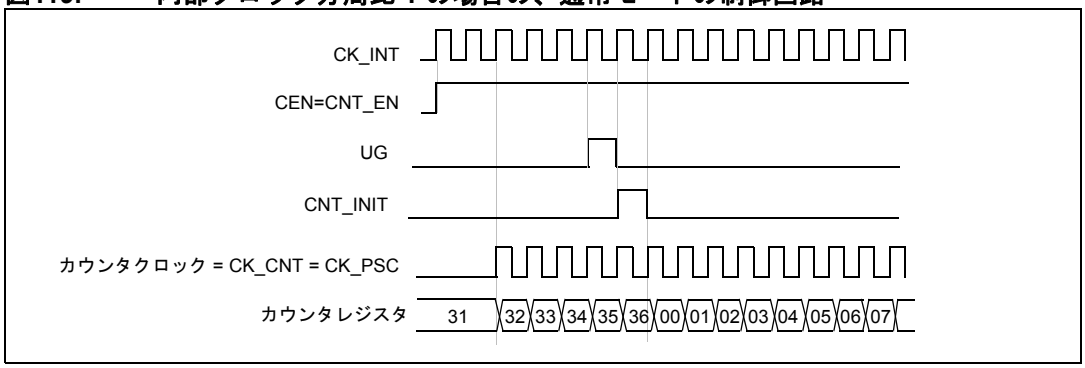
- 内部クロック（CK_INT）
- 外部クロックソースモード1：外部入力ピン（TIx）
- 外部クロックソースモード 2：外部トリガ入力（ETR）
- 内部トリガ入力（ITRx）：あるタイマを別のタイマのプリスケーラとして使用します。たとえば、タイマ 1 がタイマ 2 のプリスケーラとして働くように設定できます。詳細については、*1 つのタイマを別のタイマのプリスケーラとして使用する（371 ページ）*を参照してください。

内部クロックソース（CK_INT）

スレーブモードコントローラが無効の場合（TIM x _SMCR レジスタの SMS=000）、CEN、DIR ビット（TIMx_CR1 レジスタ）と UG ビット（TIMx_EGR レジスタ）が実際の制御ビットであり、ソフトウェアによってのみ変更できます（自動的にクリアされたままの UG ビットを除きます）。CEN ビットに 1 が書き込まれると、プリスケーラにはクロックとして内部クロック CK_INT が供給されます。

図 119 に、プリスケーラを使用しない通常モードでの制御回路とアップカウンタの動作を示します。

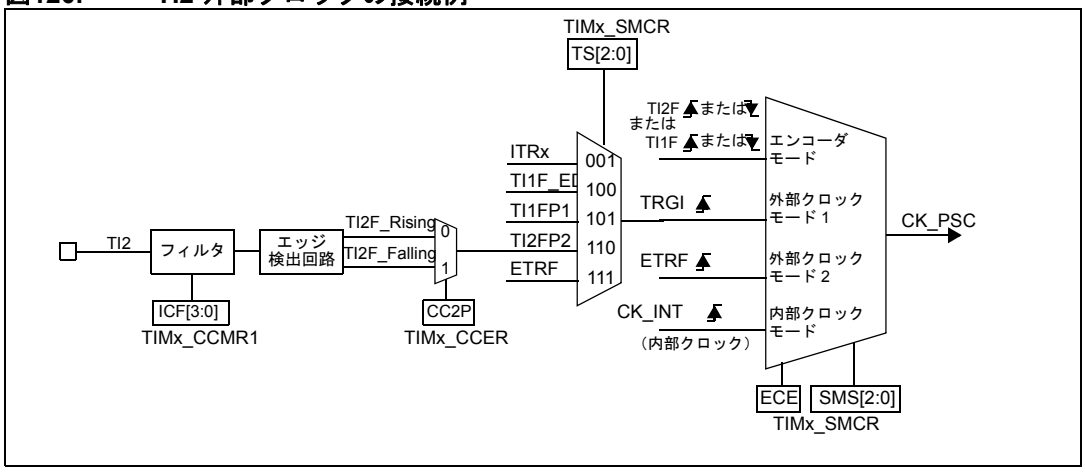
図119. 内部クロック分周比 1 の場合の、通常モードの制御回路



外部クロックソースモード 1

このモードは、TIMx_SMCR レジスタの SMS=111 のときに選択されます。カウンタは、選択された入力の立ち上がりまたは立ち下がりエッジごとにカウントします。

図120. TI2 外部クロックの接続例



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

たとえば、アップカウンタが TI2 入力の立ち上がりエッジでカウントするように設定するには、以下の手順で行います。

1. TIMx_CCMR1 レジスタの CC2S="01" を書き込むことによって、チャネル 2 が TI2 入力の立ち上がりエッジを検出するように設定します。
2. TIMx_CCMR1 レジスタの IC2F[3:0] ビットに書き込むことによって、入力フィルタ時間を設定します（フィルタが不要な場合は、IC2F=0000 のままにしておきます）。

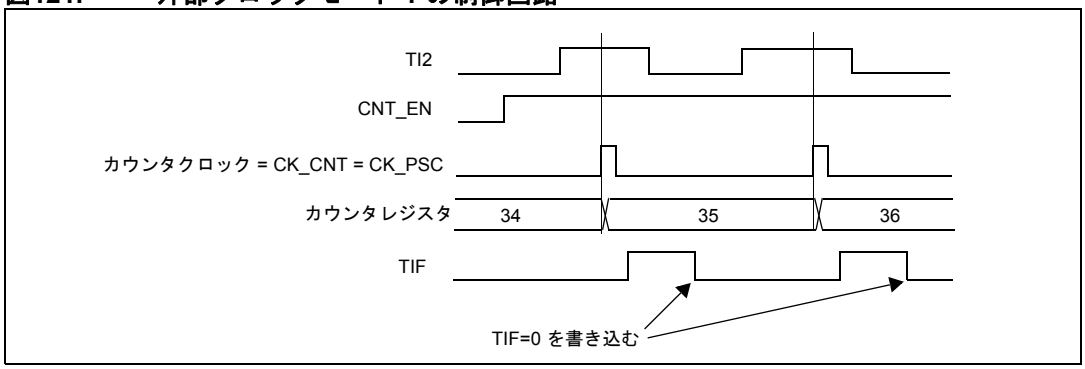
注： ***キャプチャプリスケーラはトリガには使用されないので、設定する必要はありません。***

3. TIMx_CCER レジスタの CC2P=0 を書き込むことによって、立ち上がりエッジの極性を選択します。
4. TIMx_SMCR レジスタの SMS=111 を書き込むことによって、タイマを外部クロックモード 1 に設定します。
5. TIMx_SMCR レジスタの TS=110 を書き込むことによって、トリガ入力として TI2 を選択します。
6. TIMx_CR1 レジスタの CEN=1 を書き込むことによって、カウンタを有効にします。

TI2 で立ち上がりエッジが発生すると、カウンタは 1 カウントを行い、TIF フラグがセットされます。

TI2 の立ち上がりエッジから実際のカウンタクロックまでの遅延は、TI2 入力の再同期回路によるものです。

図121. 外部クロックモード 1 の制御回路



外部クロックソースモード 2

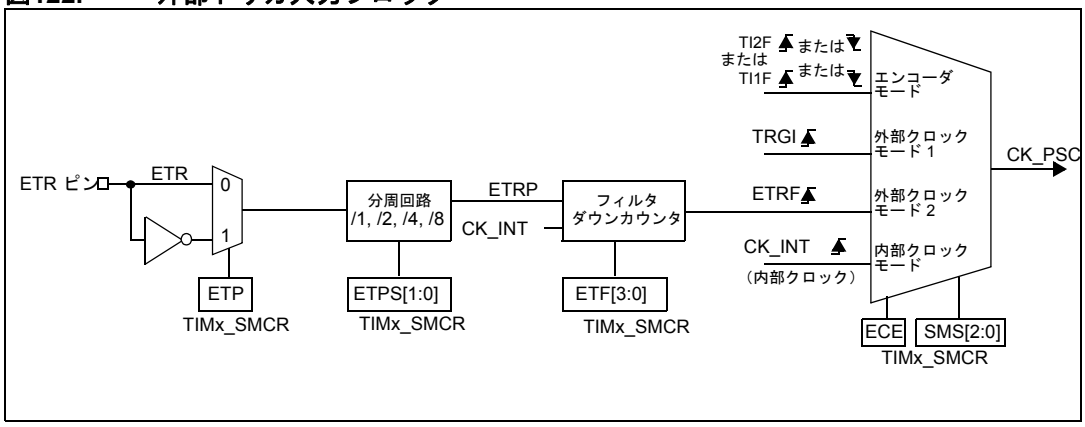
このモードは、TIM1_SMCR レジスタの ECE=1 を書き込むことによって選択されます。

カウンタは、外部トリガ入力 ETR の立ち上がりまたは立ち下がりエッジごとにカウントを行います。

図 122 に、外部トリガ入力ブロックの概要を示します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図122. 外部トリガ入力ブロック



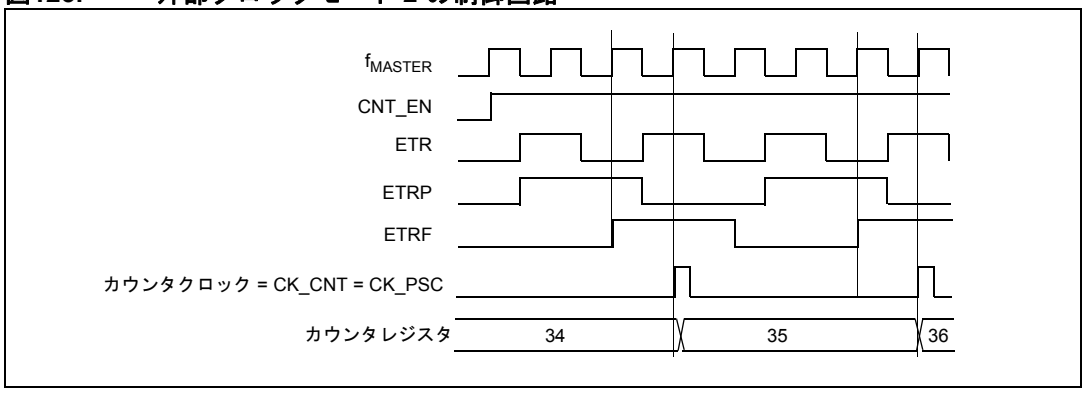
たとえば、ETR の 2 回の立ち上がりエッジごとにカウントするようにアップカウンタを設定するには、次の手順で行います。

1. この例ではフィルタは不要なので、TIMx_SMCR レジスタの ETF[3:0] に 0000 を書き込みます。
2. TIMx_SMCR レジスタの ETPS[1:0]=01 を書き込むことによって、プリスケーラを設定します。
3. TIMx_SMCR レジスタの ETP=0 を書き込むことによって、ETR ピンの立ち上がりエッジ検出を選択します。
4. TIMx_SMCR レジスタの ECE=1 を書き込むことによって、外部クロックモード 2 を有効にします。
5. TIMx_CR1 レジスタの CEN=1 を書き込むことによって、カウンタを有効にします。

カウンタは 2 回の立ち上がりエッジごとに 1 回カウントします。

ETR の立ち上がりエッジから実際のカウンタクロックまでの遅延は、ETRP 信号の再同期回路によるものです。

図123. 外部クロックモード 2 の制御回路



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

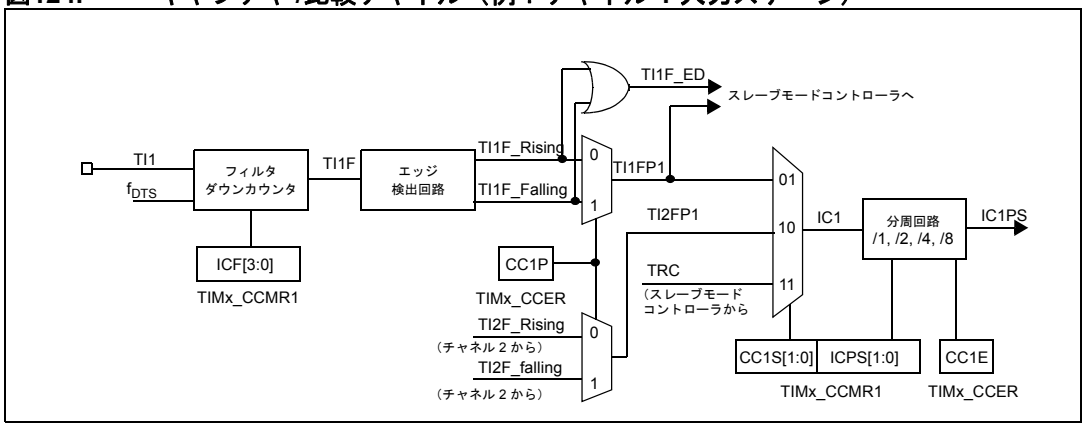
14.3.4 キャプチャ /比較チャネル

各キャプチャ /比較チャネルは、キャプチャ /比較レジスタ（シャドウレジスタを含む）、キャプチャの入力ステージ（デジタルフィルタ、マルチプレクサ、プリスケーラ）、および出力ステージ（比較回路と出力制御）から構成されています。

次の図に、キャプチャ /比較チャネルの概要を示します。

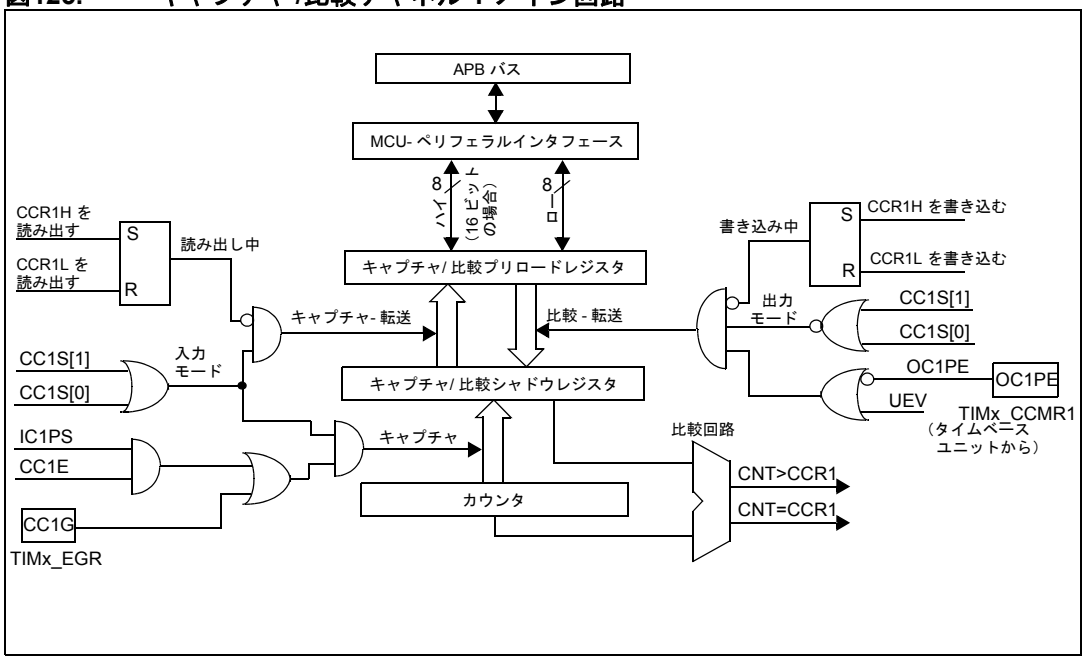
入力ステージは、対応する TIx 入力をサンプリングして、フィルタリングを行った TIxF を生成します。次に、極性選択付きのエッジ検出回路が、スレーブモードコントローラによってトリガ入力として、またはキャプチャコマンドとして使用される信号 （TIxFPx）を生成します。この信号はプリスケーラを通じて、キャプチャレジスタ（ICxPS）に渡されます。

図124. キャプチャ /比較チャネル（例：チャネル 1 入力ステージ）



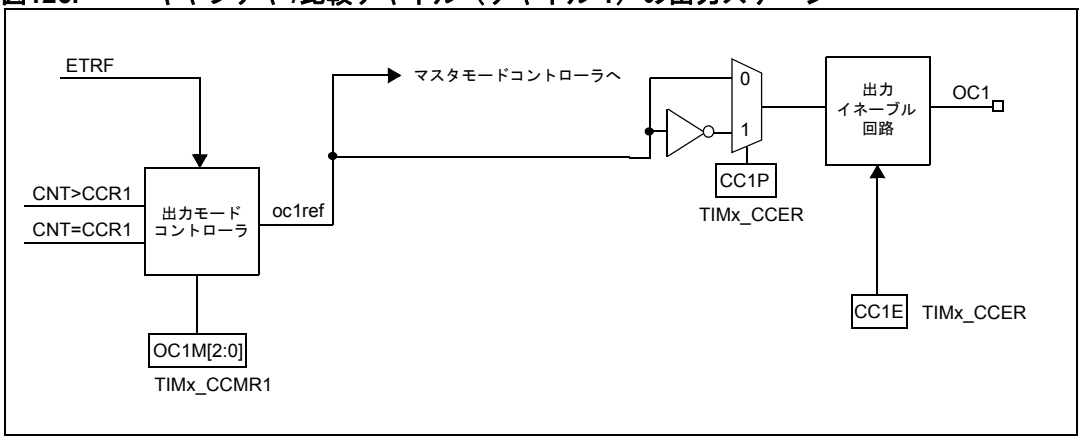
出力ステージは、OCxRef（アクティブハイ）として使用される中間波形を生成します。信号の極性は最終出力に影響を与えます。

図125. キャプチャ /比較チャネル 1 メイン回路



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図126. キャプチャ /比較チャネル（チャネル 1）の出力ステージ



キャプチャ /比較ブロックは、1 個のプリロードレジスタと 1 個のシャドウレジスタで構成されています。読み書きのアクセスは常にプリロードレジスタに対して行われます。

キャプチャモードでは、キャプチャ動作は実際にはシャドウレジスタで行われ、その値がプリロードレジスタにコピーされます。

比較モードでは、プリロードレジスタの内容がシャドウレジスタにコピーされて、カウンタと比較されます。

14.3.5 入力キャプチャモード

入力キャプチャモードでは、対応する ICx 信号によって変化が検出された後、カウンタの値をラッチするために、キャプチャ /比較レジスタ（TIMx_CCRx）が使用されます。キャプチャが発生すると、対応する CCxIF フラグ（TIMx_SR レジスタ）がセットされ、割り込みまたは DMA リクエストを送信できます（有効な場合）。CCxIF フラグがすでにハイのときにキャプチャが発生した場合は、オーバーキャプチャフラグ CCxOF（TIMx_SR レジスタ）がセットされます。CCxIF フラグは、ソフトウェアで "0" を書き込むことによって、または、TIMx_CCRx レジスタに格納されたキャプチャデータを読み出すことによってクリアできます。CCxOF は、"0" を書き込むとクリアされます。

次の例は、TI1 入力が立ち上がったときに、カウンタの値を TIMx_CCR1 にキャプチャする方法を示しています。このためには次のように操作します。

- アクティブ入力を選択します。TIMx_CCR1 は TI1 入力にリンクされていなければならないので、TIMx_CCMR1 レジスタの CC1S ビットに "01" を書き込みます。CC1S の値が 00 から変化すると、チャネルは入力に設定され、TIMx_CCR1 レジスタは読み出し専用になります。
- 入力が TI x の 1 つであるときに、タイマに接続する信号に応じて必要な入力フィルタ時間をプログラミングします（TIMx_CCMRx レジスタの ICxF ビット）。入力信号の反転時、最大で内部クロックの 5 サイクルの間、信号が安定しないと想定してみます。この場合、フィルタ時間を 5 クロックサイクルより長くプログラミングする必要があります。新しいレベルの連続した 8 個のサンプルが検出されたときに、TI1 で変化を検証できます（周波数 f_{DTS} でサンプリング）。この場合、TIMx_CCMR1 レジスタの IC1F ビットに 0011 を書き込みます。
- TI1 チャネルのアクティブ変化のエッジを選択します。このためには、TIMx_CCER レジスタの CC1P ビット に "0" を書き込みます（この場合、立ち上がりエッジの選択）。
- 入力プリスケーラをプログラミングします。この例では、有効な信号変化ごとにキャプチャを行いたいので、プリスケーラを無効にします（TIMx_CCMR1 レジスタの IC1PS ビットに 00 を書き込みます）。
- TIMx_CCER レジスタの CC1E ビットをセットすることによって、カウンタからキャプチャレジスタへのキャプチャを有効にします。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

- 必要な場合は、TIMx_DIER レジスタの CC1IE ビットをセットすることによって、関連する割り込みリクエストを有効にするか、TIMx_DIER レジスタの CC1DE レジスタをセットすることによって、DMA リクエストを有効にします。

入力キャプチャが発生すると、

- アクティブな信号変化時のカウンタの値が TIMx_CCR1 レジスタに格納されます。
- CC1IF フラグがセットされます（割り込みフラグ）。CC1OF ビットは、少なくとも 2 回連続でキャプチャが発生した場合にもセットされますが、フラグはクリアされません。
- CC1IE ビットに応じて、割り込みが生成されます。
- CC1DE ビットに応じて、DMA リクエストが生成されます。

オーバーキャプチャを処理するために、オーバーキャプチャフラグの前にデータを読み出すことが推奨されます。これにより、フラグを読み出した後、データを読み出す前に発生したオーバーキャプチャの見落としを避けることができます。

注： ***IC 割り込みと DMA リクエストは、TIMx_EGR レジスタの対応する CCxG ビットをセットすることによって、ソフトウェアによって生成することができます。***

14.3.6 PWM 入力モード

このモードは、入力キャプチャの特別な応用例です。操作手順は入力キャプチャモードと同様ですが、以下の点が異なります。

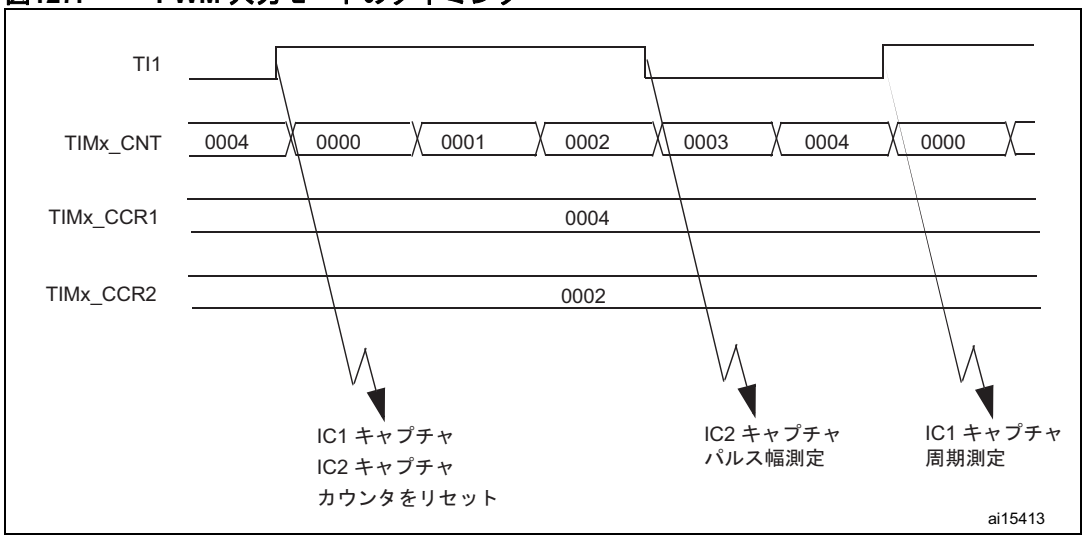
- 2 個の ICx 信号が同じ TIx 入力に配置されます。
- この 2 つの ICx 信号は、反対の極性のエッジで動作します。
- 2 つの TIxFP 信号の 1 つがトリガ入力として選択され、スレーブモードコントローラはリセットモードに設定されます。

たとえば、次の手順を使用して、TI1 に適用された PWM の周期（TIMx_CCR1 レジスタ）とデューティサイクル（TIMx_CCR2 レジスタ）を測定できます（手順は、CK_INT 周波数とプリスケーラ値によって、若干異なることがあります）。

- TIMx_CCR1 のアクティブ入力を選択します。TIMx_CCMR1 レジスタの CC1S ビットに 01 を書き込みます（TI1 を選択）。
- TI1FP1 のアクティブ極性を選択します（TIMx_CCR1 キャプチャとカウンタクリアの両方に使用します）。CC1P ビット に "0" を書き込みます （立ち上がりエッジでアクティブ）。
- TIMx_CCR2 のアクティブ入力を選択します。TIMx_CCMR1 レジスタの CC2S ビットに 10 を書き込みます（TI1 を選択）。
- TI1FP2 のアクティブ極性を選択します（TIMx_CCR2 キャプチャとカウンタクリアの両方に使用します）。CC2P ビット に "1" を書き込みます（立ち下がりエッジでアクティブ）。
- 有効なトリガ入力を選択します。TIMx_SMCR レジスタの TS ビットに "101" を書き込みます（TI1FP1 を選択）。
- スレーブモードコントローラをリセットモードに設定します。すなわち、TIMx_SMCR レジスタの SMS ビットに "100" を書き込みます。
- キャプチャを有効にします。TIMx_CCER レジスタの CC1E ビットと CC2E ビットに "1" を書き込みます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図127. PWM 入力モードのタイミング



1. TI1FP1 と TI2FP2 のみがスレーブモードコントローラに接続されているので、PWM 入力モードは TIMx_CH1/TIMx_CH2 信号でのみ使用できます。

14.3.7 強制出力モード

このモード（TIMx_CCMRx レジスタの CCxS=00）では、各出力比較信号（OCxREF、そして OCx）はソフトウェアによって強制的にアクティブ、インアクティブのいずれかの状態とされます。これは出力比較レジスタとカウンタの間の比較動作とは関係なく行われます。

出力比較信号（OCxREF/OCx）を強制的にアクティブレベルにするには、対応する TIMx_OCMRx レジスタの OCxM ビットに 101 を書き込みます。これにより、OCxREF は強制的にハイレベルになり（OCxREF は常にアクティブハイ）、OCx は CCxP 極性ビットと逆の値になります。

例：CCxP=0（OCx アクティブハイ）=> OCx は強制的にハイレベルになります。

TIMx_CCMRx レジスタの OCxM ビットに 100 を書き込むことによって、OCxREF 信号を強制的にローにできます。

いずれにしても、TIMx_CCRx シャドウレジスタとカウンタの比較は実行されるので、フラグをセットできます。それに応じて、割り込みおよび DMA リクエストを送信できます。これについては、出力比較モードのセクションで説明します。

14.3.8 出力比較モード

この機能は、出力波形を制御したり、一定時間が経過したことを示すために使用されます。

キャプチャ /比較レジスタとカウンタの値が一致すると、出力比較は次のように機能します。

- 対応する出力ピンに、出力比較モード（TIMx_CCMRx レジスタの OCxM ビット）と出力極性（TIMx_CCER レジスタの CCxP ビット）によって定義されたプログラマブル値を割り当てます。一致した際、出力ピンは、レベルを維持するか（OCxM=000）、アクティブにセットされるか（OCxM=001）、インアクティブにセットされるか（OCxM=010）、または反転されます（OCxM=011）。
- 割り込みステータスレジスタのフラグをセットします（TIMx_SR レジスタの CCxIF ビット）。
- 対応する割り込みマスク（TIMx_DIER レジスタの CCxIE ビット）がセットされている場合は、割り込みを生成します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

- 対応するイネーブルビット（TIMx_DIER レジスタの CCxDE ビット）がセットされている場合は、DMA リクエストを送信します（DMA リクエスト選択には、TIMx_CR2 レジスタの CCDS ビットが使用されます）。

TIMx_CCRx レジスタは、TIMx_OCMRx レジスタの OCxPE ビットを使用して、プリロードレジスタを使用して、またはプリロードレジスタを使用せずにプログラミングできます。

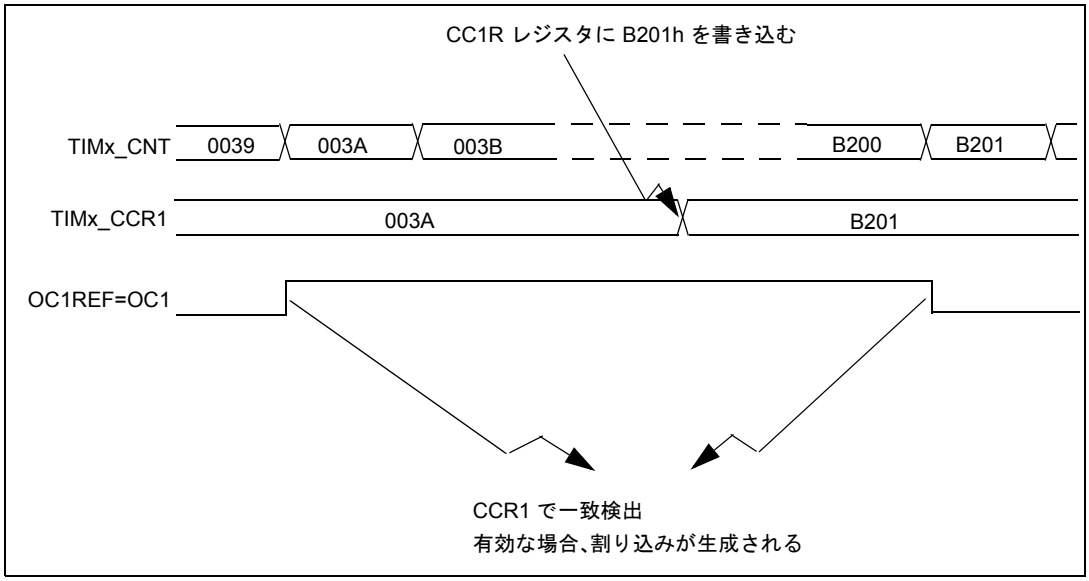
出力比較モードでは、更新イベント UEV は OCxREF および OCx 出力には影響を与えません。タイミングの分解能はカウンタの 1 カウント分です。出力比較モードは単一パルスを出力するためにも使用することができます（ワンパルスモード）。

手順：

1. カウンタクロックを選択します（内部、外部、プリスケーラ）。
2. TIMx_ARR レジスタと TIMx_CCRx レジスタに目的のデータを書き込みます。
3. 割り込みリクエスト/DMA リクエストを生成する場合は、CCxIE ビット/CCxDE ビットをセットします。
4. 出力モードを選択します。たとえば、CNT が CCRx と一致したときに OCx 出力をトグルし、CCRx プリロードを使用せず、OCx が有効でアクティブハイのときには、OCxM=011、OCxPE=0CCxP=0、CCxE=1 を書き込みます。
5. TIMx_CR1 レジスタの CEN ビットをセットすることによって、カウンタを有効にします。

いつでもソフトウェアによって TIMx_CCRx レジスタを更新して、出力波形を制御できます。ただし、プリロードレジスタが有効でない場合に限ります（OCxPE=0）。そうでない場合、TIMx_CCRx シャドウレジスタは、次の更新イベント UEV でのみ更新されます。例を*図 128*に示します。

図128. 出力比較モード、OC1 出力のトグル



14.3.9 PWM モード

パルス幅変調（PWM）モードでは、TIMx_ARR レジスタの値によって決められた周波数と TIMx_CCRx レジスタの値によって決められたデューティサイクル信号を生成できます。

PWM モードは、個々のチャネル（OCx 出力ごとに PWM 1 波形）で、TIMx_CCMRx レジスタの OCxM ビットに "110"（PWM モード 1）や "111"（PWM モード 2）を書きむことで、独自に選択することができます。TIMx_CCMRx レジスタの OCxPE ビットをセットすることによって、対応するプリロードレジスタを有効にする必要があり、また、TIMx_CR1 レジスタの ARPE ビットをセットする

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ことによって、自動再ロードプリロードレジスタも（アップカウントまたはセンターアラインモードで）有効にする必要があます。

プリロードレジスタは、更新イベントが発生したときにのみシャドウレジスタに転送されるので、カウンタを開始する前に、TIMx_EGR レジスタの UG ビットをセットすることによって、すべてのレジスタを初期化する必要があります。

OCx の極性は、TIMx_CCER レジスタの CCxP ビットを使用してソフトウェアでプログラムできます。アクティブハイまたはアクティブローとしてプログラムできます。OCx 出力は、TIMx_CCER レジスタの CCxE ビットによって有効になります。詳細については、TIMx_CCERx レジスタの説明を参照してください。

PWM モード（1 または 2）では、TIMx_CNT と TIMx_CCRx が常に比較されて、TIMx_CCRx ≤ TIMx_CNT または TIMx_CNT ≤ TIMx_CCRx かどうかが判断されます（カウントの方向によります）。ただし、OCREF_CLR の機能性（OCREF は、次の PWM 周期までは ETR 信号を通じて外部イベントによってクリアできる ）に従って、OCREF 信号は次の場合にのみアサートされます。

- 比較結果が 変化したとき、または
- 出力比較モード（TIMx_CCMRx レジスタの OCxM ビット）が固定設定（比較なし、OCxM=000）から PWM モードの 1 つ（OCxM=110 または 111）へ切り替えられたとき。

タイマの動作中は、ソフトウェアによって強制的に PWM になります。

タイマは、TIMx_CR1 レジスタの CMS ビットに応じて、エッジアラインモードまたはセンターアラインモードで PWM を生成できます。

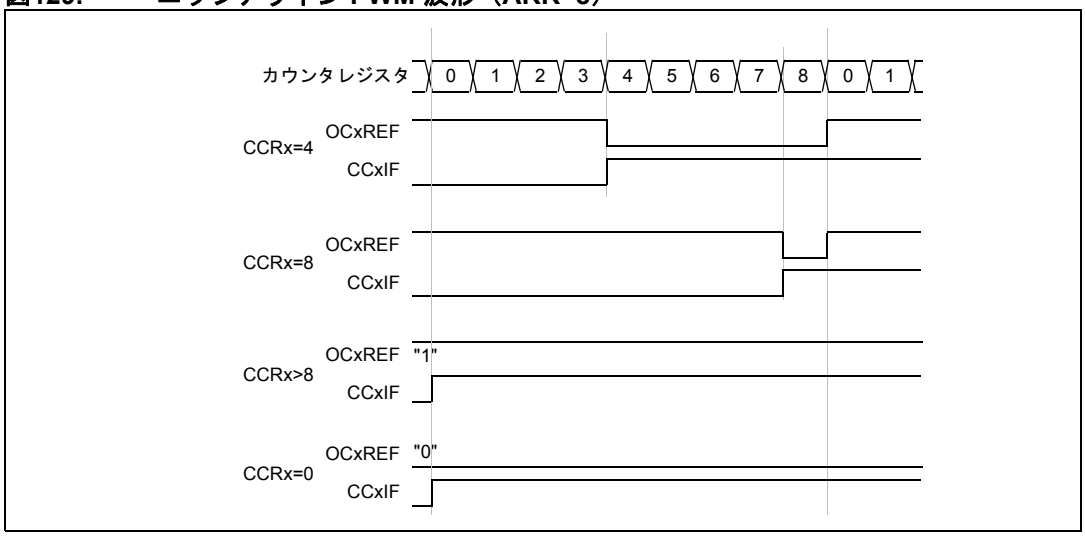
PWM エッジアラインモード

アップカウント設定

アップカウントは、TIMx_CR1 レジスタの DIR ビットがローのときにアクティブです。*セクション : アップカウントモード（343 ページ）*を参照してください。

次の例では、PWM モード 1 を前提としています。PWM 基準信号 OCxREF は、TIMx_CNT < TIMx_CCRx の間はハイに、そうでない場合はローになります。TIMx_CCRx の比較値が自動再ロード値（TIMx_ARR レジスタの）より大きい場合、OCxREF は "1"です。比較値が 0 の場合、OCxRef は 0 です。*図 129* は、TIMx_ARR=8 のときのエッジアライン PWM 波形の例を示しています。

図129. エッジアライン PWM 波形（ARR=8）



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ダウンカウント設定

ダウンカウントは、TIMx_CR1 レジスタの DIR ビットがハイのときにアクティブです。*ダウンカウントモード（346 ページ）*を参照してください。

PWM モード 1 では、基準信号 OCxRef は、TIMx_CNT > TIMx_CCRx の間はローであり、そうでない場合はハイになります。TIMx_CCRx の比較値が TIMx_ARR の自動再ロード値より大きい場合、OCxREF は "1"です。このモードでは、0 % の PWM はできません。

PWM センターアラインモード

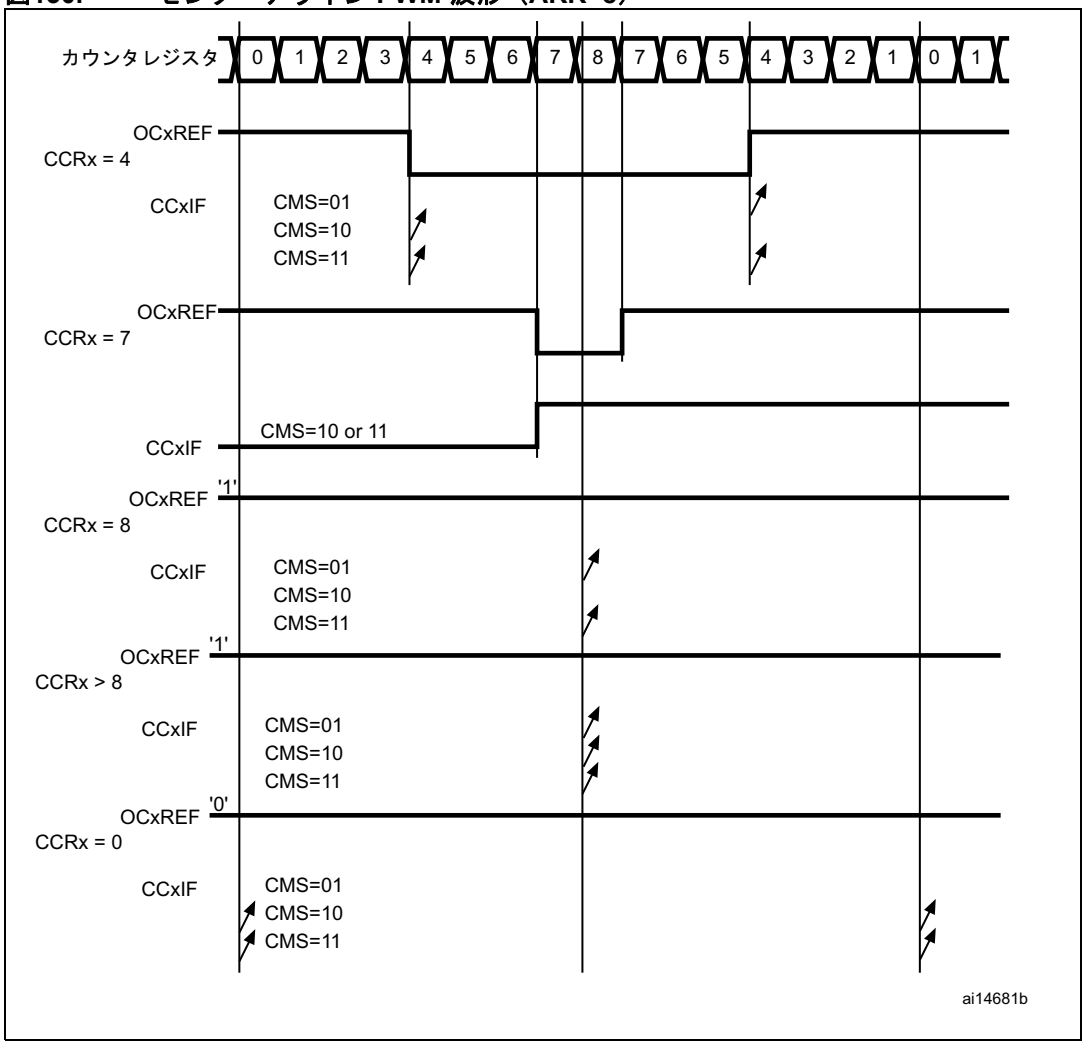
センターアラインモードは、TIMx_CR1 レジスタの CMS ビットが "00" でないときにアクティブです（その他すべての設定は、OCxRef/OCx 信号に対して同じ効果を持ちます）。CMS ビットの設定に応じて、カウンタがカウントアップするとき、カウントダウンするとき、またはカウントアップとカウントダウンの両方を行うときに、比較フラグがセットされます。TIMx_CR1 レジスタの方向ビット (DIR) はハードウェアによって更新されており、ソフトウェアで値を変更することはできません。*センタアラインモード（アップ/ダウンカウント）（348 ページ）*を参照してください。

図 130 は、以下の条件でのセンターアライン PWM 波形の例を示しています。

- TIMx_ARR=8、
- PWM モードはPWM モード 1、
- フラグは、TIMx_CR1 レジスタの CMS=01 で選択されたセンターアラインモード 1 に対応して、カウンタがカウントダウンするときにセットされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図130. センターアライン PWM 波形（ARR=8）



センターアラインモードの使用に関するヒント：

- センターアラインモードを開始するときには、現在のアップ/ダウン設定が使用されます。これは、TIMx_CR1 レジスタの DIR ビットに書き込まれた値に応じて、カウンタがカウントアップまたはカウントダウンすることを意味します。さらに、DIR ビットと CMS ビットは、ソフトウェアによって同時に変更することはできません。
- センターアラインモードで動作中のカウンタへの書き込みは、予期しない結果を招くことがあるので推奨されません。特に、
  - 自動再ロード値より大きい値をカウンタに書き込んだ場合（TIMx_CNT > TIMx_ARR）、方向は更新されません。たとえば、カウンタがカウントアップしていた場合、カウンタはカウントアップを続けます。
  - カウンタに 0 または TIMx_ARR 値を書き込んだ場合、方向は更新されますが、更新イベント UEV は生成されません。
- センターアラインモードを使用する最も安全な方法は、カウンタを開始する直前に、ソフトウェアによって更新を生成して（TIMx_EGR レジスタの UG ビットをセットする）、動作中はカウンタへの書き込みを行わないことです。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

14.3.10 ワンパルスモード

ワンパルスモード（One Pulse Mode：OPM）は、これまでに説明したモードの特殊ケースです。このモードでは、トリガに応じてカウンタを開始して、プログラム可能な遅延後に、プログラミングした長さのパルスを生成することができます。

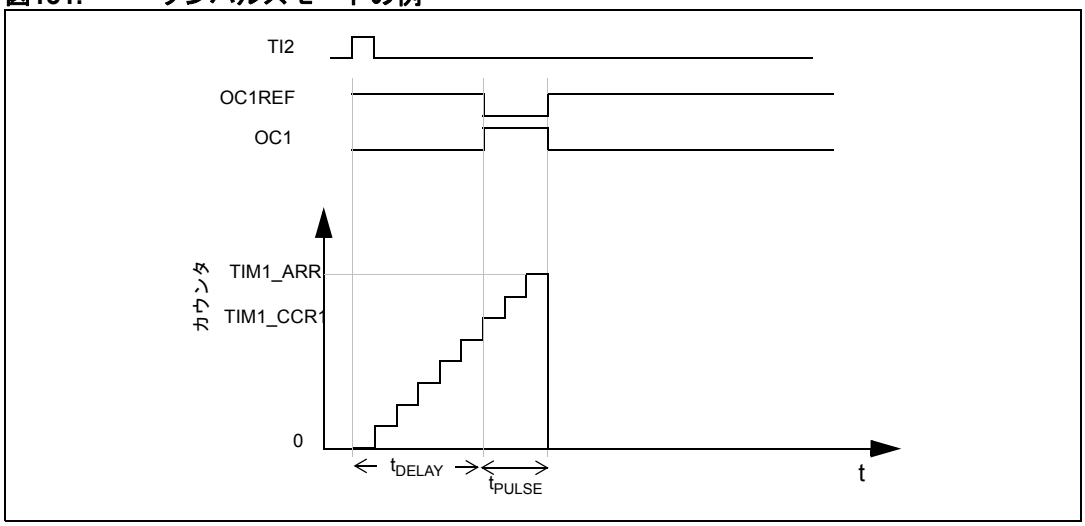
カウンタの開始は、スレーブモードコントローラを通じて制御できます。波形の生成は、出力比較モードまたは PWM モードで行います。ワンパルスモードを選択するには、TIMx_CR1 レジスタの OPM ビットをセットします。これによって、カウンタは、次の更新イベント UEV で自動的に停止します。

パルスは比較値がカウンタの初期値と異なるときのみ正しく生成されます。開始前（タイマがトリガを待っているとき）に、設定が次のとおりでなければなりません。

アップカウントの場合、CNT < CCRx ≤ ARR （特に、0 < CCRx）

ダウンカウント時：CNT>CCRx

図131. ワンパルスモードの例



たとえば、TI2 入力ピンで立ち上がりエッジが検出されたときに、OC1 にパルス幅が t_{PULSE} の正のパルスを遅延時間 t_{DELAY} 後に発生させることとします。

TI2FP2 をトリガ 1 として使用します。

- TI2FP2 を TI2 に配置するために、TIMx_CCMR1 レジスタの CC2S=01 を書き込みます。
- TI2FP2 は立ち上がりエッジを検出しなければならないので、TIMx_CCER レジスタの CC2P="0" を書き込みます。
- TI2FP2 をスレーブモードコントローラのトリガ（TRGI）として設定するために、TIMx_SMCR レジスタの TS="110" を書き込みます。
- TI2FP2 を使用してカウンタを開始するために、TIMx_SMCR レジスタの SMS ビットに "110"（トリガモード）を書き込みます。

OPM 波形は、比較レジスタに書き込むことによって定義されます（クロック周波数とカウンタプリスケーラを考慮して）。

- 遅延時間 t_{DELAY} は、TIMx_CCR1 レジスタに書き込まれた値によって定義されます。
- t_{PULSE} は、自動再ロード値と比較値の差（TIMx_ARR - TIMx_CCR1）によって定義されます。
- 比較値と一致したときに "0" から "1" に変化し、カウンタが自動再ロード値に達したときに "1" から "0" に変化する波形を生成するとします。このためには、TIMx_CCMR1 レジスタの

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OC1M=111 を書き込むことによって、PWM モード 2 を有効にします。オプションで、TIMx_CCMR1 レジスタの OC1PE=1 と TIMx_CR1 レジスタの ARPE=1 を書き込むことによって、プリロードレジスタを有効にすることもできます。この場合、比較値を TIMx_CCR1 レジスタに、自動再ロード値を TIMx_ARR レジスタに書き込み、UG ビットをセットすることによって更新を生成し、TI2 上の外部トリガイベントを待つ必要があります。この例では、CC1P に "0" を書き込みます。

この例では、TIMx_CR1 レジスタの DIR ビットと CMS ビットはローレベルでなければなりません。

必要なパルスは 1 つだけなので（シングルモード）、TIMx_CR1 レジスタの OPM ビットに "1" を書き込みます。こうすると、カウンタは次の更新イベント時に停止します（カウンタが自動再ロード値に達して、"0" に戻る時点）。TIMx_CR1 レジスタの OPM ビットが "0" にセットされると、繰り返しモードが選択されます。

特殊なケース：OCx 高速イネーブル：

ワンパルスモードでは、TIx 入力でエッジが検出されると、CEN ビットがセットされ、カウンタが有効になります。その後、カウンタと比較値の比較によって、出力が反転されます。しかし、これらの操作には数クロックサイクルが必要なので、実現可能な最小遅延時間 t_{DELAY} が制限されます。

最小遅延で波形を出力したい場合は、TIMx_CCMRx レジスタの OCxFE ビットをセットします。こうすると、OCxREF（および OCx）は、比較を考慮せずにトリガに反応します。新しいレベルは、比較が一致したときと同じです。OCxFE は、チャネルが PWM1 または PWM2 モードに設定された場合のみ機能します。

14.3.11 外部イベントによる OCxREF 信号のクリア

特定のチャネルの OCxREF 信号は、ETRF 入力をハイレベルにすることでリセットできます（対応する TIMx_CCMRx レジスタの OCxCE イネーブルビットを 1 にセットします）。OCxREF は、次の更新イベント（UEV）が発生するまでローを維持します。

この機能は、出力比較モードと PWM モードでのみ使用できます。強制モードでは動作しません。

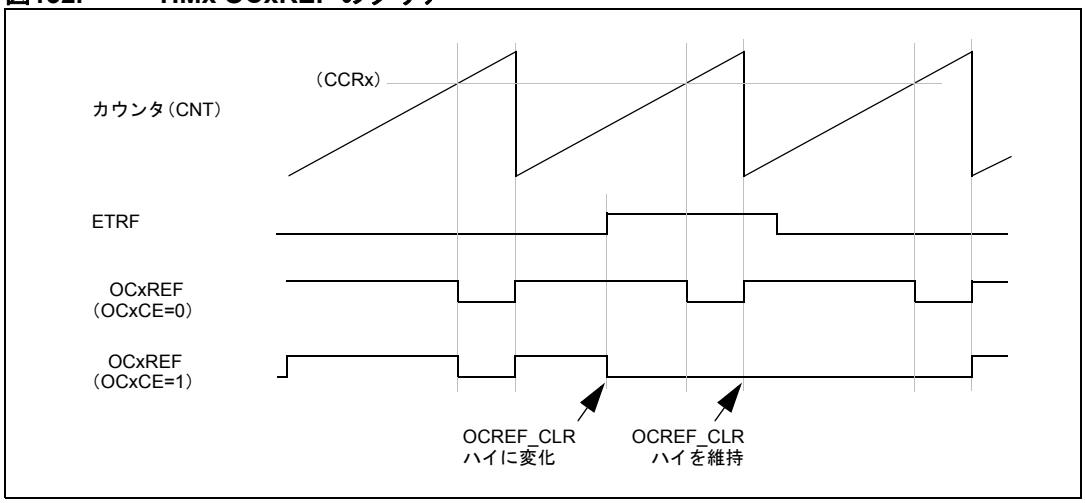
たとえば、OCxREF 信号を比較回路の出力に接続して、電流処理に使用することができます。この場合、ETR は次のように設定する必要があります。

1. 外部トリガプリスケーラはオフ状態に維持する必要があります。このため、TIMx_SMCR レジスタの ETPS[1:0] ビットを "00" にクリアします。
2. 外部クロックモード 2 は無効にする必要があります。このため、TIMx_SMCR レジスタの ECE ビットを "0" にクリアします。
3. 外部トリガ極性（ETP）と外部トリガフィルタ（ETF）は、アプリケーションの用途に応じて設定できます。

図 132 は、OCxCE イネーブルビットの両方の値について、ETRF 入力がハイになったときの OCxREF 信号の動作を示しています。この例では、TIMx タイマは PWM モードにプログラミングされています。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図132. TIMx OCxREF のクリア



14.3.12 エンコーダインタフェースモード

エンコーダインタフェースモードを選択するには、TIMx_SMCR レジスタで、カウンタが TI2 エッジのみをカウントしている場合は SMS="001" を、TI1 エッジのみをカウントしている場合は SMS="010" を、TI1 と TI2 の両方のエッジをカウントしている場合は SMS="011" を書き込みます。

TI1 と TI2 の極性を選択するには、TIMx_CCER レジスタの CC1P ビットと CC2P ビットをプログラミングします。必要なときには、入力フィルタもプログラミングできます。

2 つの入力 T1 と TI2 は、インクリメンタルエンコーダとのインタフェースのために使用されます。*表 84*を参照してください。カウンタのクロックは、TI1FP1 または TI2FP2（入力フィルタおよび極性選択後の TI1 および TI2。フィルタされず、反転されない場合は TI1FP1=TI1、フィルタされず、反転されない場合は TI2FP2=TI2）の有効な変化によって供給されます。ただし、カウンタが有効なことが前提となります（TIMx_CR1 レジスタの CEN ビットが "1"）。2 つの入力の変化の順序が評価されて、カウントパルスと同時に方向信号を生成します。カウンタがカウントアップまたはカウントダウンする順序に応じて、TIMx_CR1 レジスタの DIR ビットがハードウェアによって変更されます。カウンタが TI1 のみ、TI2 のみ、または TI1 と TI2 の両方のいずれをカウントしている場合でも、DIR ビットは、いずれかの入力（TI1 または TI2）の変化のたびに計算されます。

エンコーダインタフェースモードは、単に方向選択を含む外部クロックとして動作します。これは、カウンタが 0 と TIMx_ARR レジスタの自動再ロード値の間で連続的にカウントするだけであることを意味します（方向に応じて、0 から ARR まで、または ARR から 0 まで）。したがって、開始前に TIMx_ARR を設定しておく必要があります。同様に、キャプチャ、比較、プリスケーラ、トリガ出力機能は、通常どおりの動作を続けます。

このモードでは、カウンタは、インクリメンタルエンコーダの速度と方向およびその内容に応じて自動的に変更されるので、常にエンコーダの位置を表します。カウント方向は、接続されているセンサの回転方向に対応します。下の表は TI1 と TI2 の変化の組み合わせをまとめたものです（TI1 と TI2 は同時に変化しないと想定しています）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表84. カウントの方向とエンコーダ信号

アクティブエッジ	他方の信号に対するレベル（TI2に対するTI1FP1、TI1 に対するTI2FP2）	TI1FP1 信号		TI2FP2 信号	
		立ち上がり	立ち下がり	立ち上がり	立ち下がり
TI1 のみをカウント	ハイ	ダウン	アップ	カウントなし	カウントなし
	ロー	アップ	ダウン	カウントなし	カウントなし
TI2 のみをカウント	ハイ	カウントなし	カウントなし	アップ	ダウン
	ロー	カウントなし	カウントなし	ダウン	アップ
TI1 と TI2 をカウント	ハイ	ダウン	アップ	アップ	ダウン
	ロー	アップ	ダウン	ダウン	アップ

外部インクリメンタルエンコーダは、外部にインタフェース回路を持たなくても、MCU に直接接続できます。ただし、エンコーダの差分出力をデジタル信号に変換するには、通常、コンパレータが使用されます。これにより、耐ノイズ性が大幅に向上します。機械的なゼロ位置を示す 3 番目のエンコーダ出力は、外部割り込み入力に接続して、カウンタのリセットをトリガできます。

図 133 は、カウント信号の生成と方向制御を含むカウンタの動作を示しています。また、両方のエッジが選択されているときの入力ジッタの補正方法も示しています。この状況は、センサの位置が一方のスイッチングポイントの近くにあるときに生じます。この例では、次の設定を前提としています。

- CC1S=01（TIMx_CCMR1 レジスタ、IC1FP1 はTI1 に配置）
- CC2S=01（TIMx_CCMR2 レジスタ、IC2FP2 は TI2に配置）
- CC1P=0 （TIMx_CCER レジスタ、IC1FP1 非反転、IC1FP1=TI1）
- CC2P=0 （TIMx_CCER レジスタ、IC2FP2 非反転、IC2FP2=TI2）
- SMS="011"（TIMx_SMCR レジスタ、両方の入力が立ち上がりと立ち下がりの両エッジでアクティブ）
- CEN=1（TIMx_CR1 レジスタ、カウンタイネーブル）

図133. エンコーダインタフェースモードにおけるカウンタの動作例

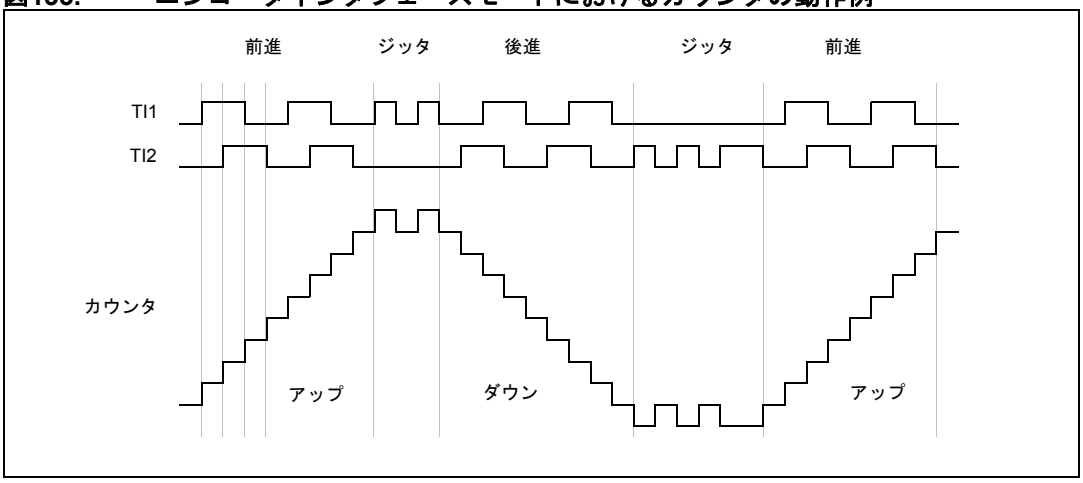
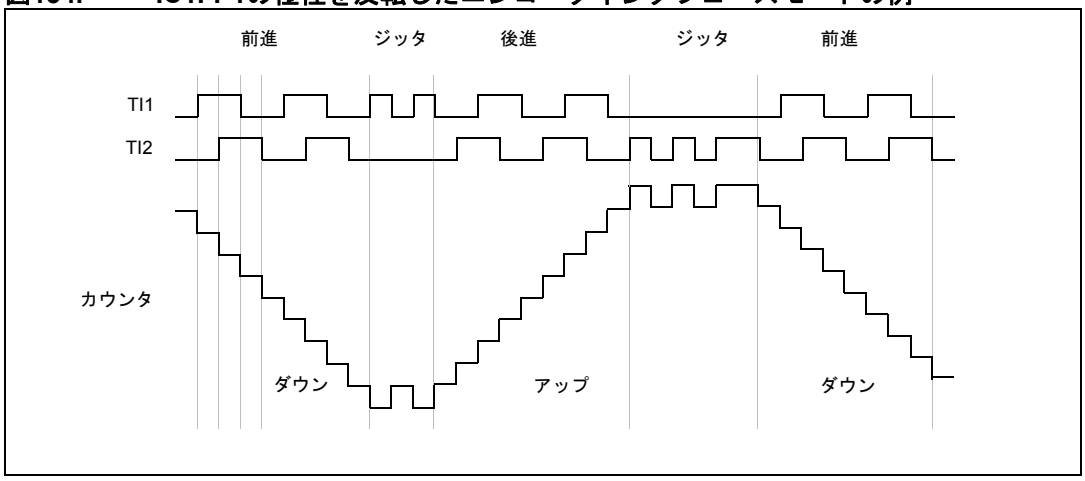


図 134 は、IC1FP1 の極性が反転したときのカウンタの動作例を示しています（上の設定と同じですが、CC1P=1 です）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図134. IC1FP1の極性を反転したエンコーダインタフェースモードの例



エンコーダインタフェースモードに設定されたタイマは、センサの現在位置に関する情報を提供します。キャプチャモードに設定した 2 番目のタイマを使用して、2 つのエンコーダイベントの時間差を測定することで、速度、加速度、減速度といった動的な情報を得ることができます。機械的なゼロを示すエンコーダの出力を、この目的に使用できます。2 つのイベントの時間差によって、カウンタを定期的に読み出すこともできます。これを行うには、使用可能な場合は、カウンタの値を 3 番目の入力キャプチャレジスタにラッチします（キャプチャ信号は周期的でなければならず、別のタイマによって生成できます）。また、リアルタイムクロックによって生成される DMA リクエストを通じて、この値を読み出すこともできます。

14.3.13 タイマ入力 XOR 機能

TIM1_CR2 レジスタの TI1S ビットを使用して、チャネル 1 の入力フィルタを、TIMx_CH1から TIMx_CH3 までの 3 つの入力ピンを組み合わせた XOR ゲートの出力に接続できます。

XOR 出力は、トリガや入力キャプチャなど、すべてのタイマ入力機能で使用できます。

この機能をホールセンサとのインタフェースに使用する例が、*セクション 13.3.18（304 ページ）*に示されています。

14.3.14 タイマと外部トリガの同期

TIMx タイマは、リセットモード、ゲートモード、トリガモードなど、いくつかのモードで外部トリガと同期を取ることができます。

スレーブモード：リセットモード

カウンタとそのプリスケーラは、トリガ入力のイベントに応じて再初期化できます。さらに、TIMx_CR1 レジスタの URS ビットがローの場合は、更新イベント UEV が生成されます。その場合、すべてのプリロードレジスタ（TIMx_ARR、TIMx_CCRx）が更新されます。

次の例では、TI1 入力の立ち上がりエッジに応じて、アップカウンタがクリアされます。

- TI1 の立ち上がりエッジを検出するように、チャネル 1 を設定します。入力フィルタ時間を設定します（この例では、フィルタは不要なので、IC1F=0000 のままにしておきます）。キャプチャプリスケーラはトリガには使用されないので、設定する必要はありません。CC1S ビットは、入力キャプチャソースのみを選択します（TIMx_CCMR1 レジスタの CC1S=01）。極性を確認（また、立ち上がりエッジのみを検出）するために、TIMx_CCER レジスタの CC1P=0 を書き込みます。

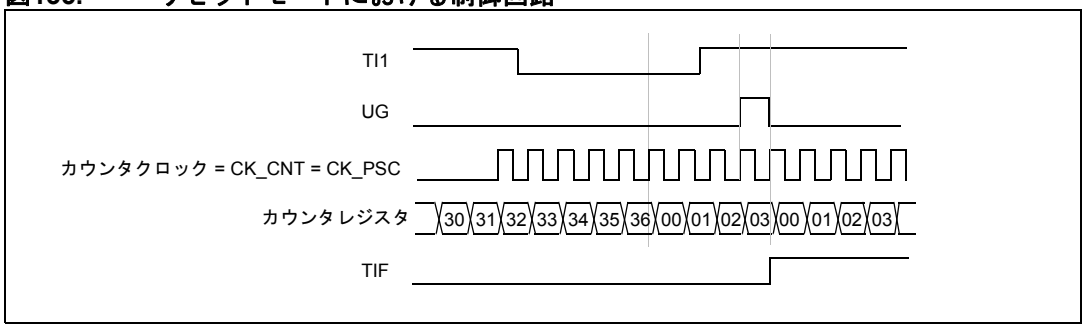
この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

- TIMx_SMCR レジスタの SMS=100 を書き込んで、タイマをリセットモードに設定します。TIMx_SMCR レジスタの TS=101 を書き込んで、入力ソースとして TI1 を選択します。
- TIMx_CR1 レジスタの CEN=1 を書き込んで、カウンタを開始します。

カウンタは内部クロックでカウントを開始し、TI1 の立ち上がりエッジまで通常の動作を行います。TI1 が立ち上がると、カウンタはクリアされ、0 からリスタートします。同時に、トリガフラグがセットされ（TIMx_SR レジスタの TIF ビット）、有効な場合は割り込みリクエストまたは DMA リクエストを送信できます（TIMx_DIER レジスタの TIE および TDE ビット）。

次の図は、自動再ロードレジスタ TIMx_ARR=0x36 の場合の動作を示しています。TI1 の立ち上がりエッジから実際にカウンタがリセットされるまでの遅延は、TI1 入力の同期回路によるものです。

図135. リセットモードにおける制御回路



スレーブモード：ゲートモード

選択された入力のレベルに応じて、カウンタを有効にできます。

次の例では、アップカウンタは TI1 入力がローのときだけカウントします。

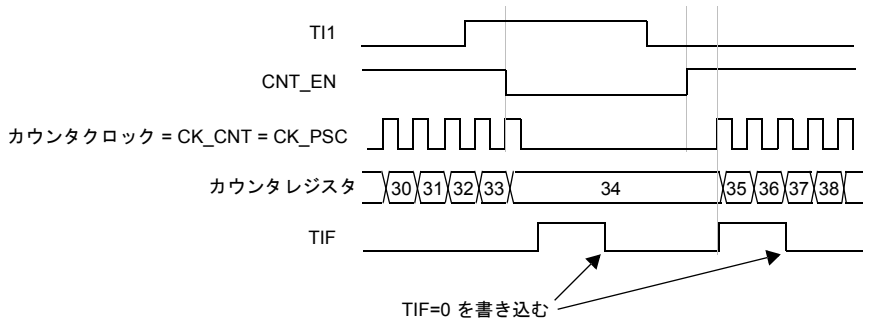
- TI1 のローレベルを検出するように、チャネル 1 を設定します。入力フィルタ時間を設定します（この例では、フィルタは不要なので、IC1F=0000 のままにしておきます）。キャプチャプリスケーラはトリガには使用されないので、設定する必要はありません。CC1S ビットは、入力キャプチャソースのみを選択します（TIMx_CCMR1 レジスタの CC1S=01 ビット）。極性を確認（また、立ち上がりエッジのみを検出）するために、TIMx_CCER レジスタの CC1P=1 を書き込みます。
- TIMx_SMCR レジスタの SMS=101 を書き込んで、タイマをゲートモードに設定します。TIMx_SMCR レジスタの TS=101 を書き込んで、入力ソースとして TI1 を選択します。
- TIMx_CR1 レジスタの CEN=1 を書き込んで、カウンタを有効にします（ゲートモードでは、CEN=0 の場合、トリガ入力のレベルにかかわらず、カウンタは開始しません）。

カウンタは TI1 がローレベルの時にカウントを開始し、TI1 がハイレベルになると停止します。TIMx_SR レジスタの TIF フラグは、カウンタの開始時と停止時にセットされます。

TI1 の立ち上がりエッジから実際にカウンタが停止するまでの遅延は、TI1 入力の再同期回路によるものです。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図136. ゲートモードでの制御回路



スレーブモード：トリガモード

選択された入力のイベントに応じて、カウンタを開始できます。

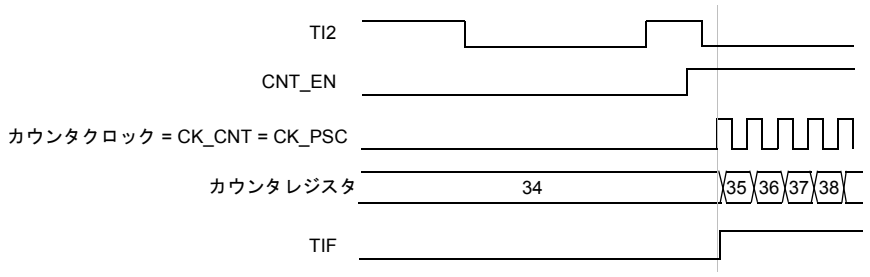
次の例では、アップカウンタは、TI2 入力の立ち上がりエッジに応じて開始します。

- TI2 の立ち上がりエッジを検出するように、チャネル 2 を設定します。入力フィルタ時間を設定します（この例ではフィルタは不要なので、IC2F=0000 のままにしておきます）。キャプチャプリスケーラはトリガには使用されないので、設定する必要はありません。CC2S ビットは、入力キャプチャソースのみを選択します（TIMx_CCMR1 レジスタの CC2S=01）。極性を確認（また、ローレベルのみを検出）するために、TIMx_CCER レジスタの CC2P=1 を書き込みます。
- TIMx_SMCR レジスタで SMS=110 を書き込んで、タイマをトリガモードに設定します。TIMx_SMCR レジスタの TS=110 を書き込んで、TI2 を入力ソースとして選択します。

TI2 の立ち上がりエッジが発生すると、カウンタは内部クロックでカウントを開始し、TIF フラグがセットされます。

TI2 の立ち上がりエッジから実際にカウンタが開始するまでの遅延は、TI2 入力の再同期回路によるものです。

図137. トリガモードでの制御回路



スレーブモード：外部クロックモード 2 + トリガモード

外部クロックモード 2 は、他のスレーブモードとともに使用できます（ただし、外部クロックモード 1 とエンコーダモードは除きます）。この場合、ETR 信号は外部クロック入力として使用され、別の入力をトリガ入力として選択できます（リセットモード、ゲートモード、およびトリガモードで動作している場合）。TIMx_SMCR レジスタの TS ビットを通じて TRGI として ETR を選択しないようにしてください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

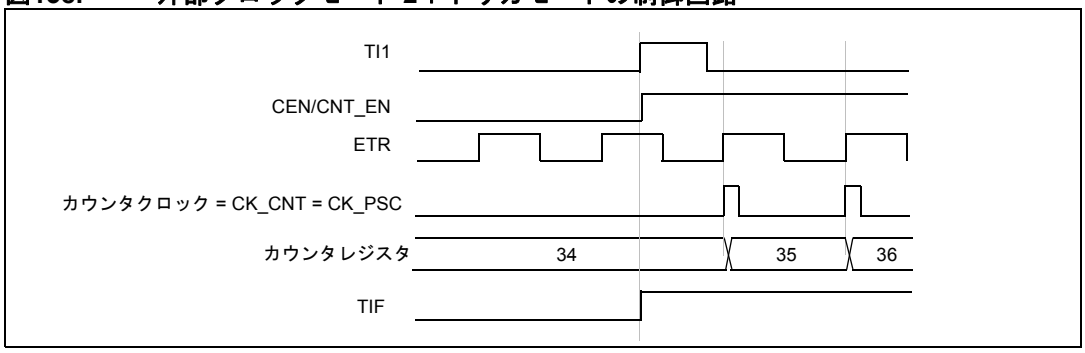
次の例では、アップカウンタは、TI1 の立ち上がりエッジが発生すると、ETR 信号の立ち上がりエッジのたびにインクリメントされます。

1. TIMx_SMCR レジスタで次のようにプログラミングすることによって、外部トリガ入力回路を設定します。
   - ETF = 0000：フィルタなし
   - ETPS=00：プリスケーラは無効
   - ETP=0：ETR の立ち上がりエッジを検出。ECE=1 で外部クロックード 2 を有効にします。
2. TI1 の立ち上がりエッジを検出するように、チャネル 1 を次のように設定します。
   - IC1F=0000：フィルタなし
   - キャプチャプリスケーラはトリガには使用されないので、設定する必要はありません。
   - TIMx_CCMR1 レジスタの CC1S=01 で、入力キャプチャソースのみを選択します。
   - 極性を確認（また、立ち上がりエッジのみを検出）するために、TIMx_CCER レジスタの CC1P=0 を書き込みます。
3. TIMx_SMCR レジスタで SMS=110 を書き込んで、タイマをトリガモードに設定します。TIMx_SMCR レジスタの TS=101 を書き込んで、入力ソースとして TI1 を選択します。

TI1 の立ち上がりエッジによってカウンタが有効になり、TIF フラグがセットされます。カウンタは、ETR の立ち上がりエッジでカウントします。

ETR 信号の立ち上がりエッジから実際にカウンタがリセットされるまでの遅延は、ETRP 入力の再同期回路によるものです。

図138. 外部クロックモード 2＋トリガモードの制御回路



14.3.15 タイマの同期

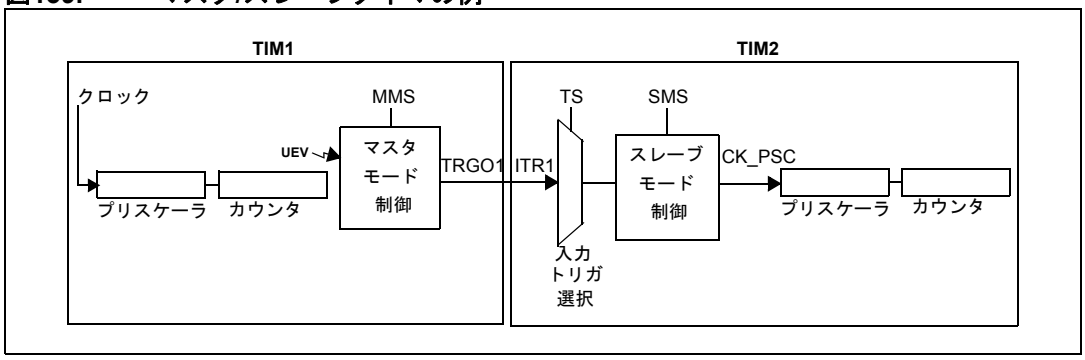
タイマの同期や連絡のために、TIMx タイマを内部で相互リンクすることができます。マスタモードに設定されたタイマは、スレーブモードに設定された別のタイマのカウンタのリセット、開始、停止、またはクロック供給を行うことができます。

次の図に、トリガ選択とマスタモード選択ブロックの概要を示します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

1 つのタイマを別のタイマのプリスケーラとして使用する

図139. マスタ/スレーブタイマの例



たとえば、タイマ 1 をタイマ 2 のプリスケーラとして動作するように設定することができます。*図 139*を参照してください。このためには、次の操作を行います。

- タイマ 1 をマスタモードに設定して、更新イベント UEV ごとに定期的なトリガ信号を出力するようにします。TIM1_CR2 レジスタの MMS=010 を書き込んだ場合、更新イベントが生成されるたびに、TRGO1 で立ち上がりエッジが出力されます。
- タイマ 1 の TRGO1 出力をタイマ 2 に接続するには、タイマ 2 が ITR1 を内部トリガとして使用するスレーブモードに設定されていなければなりません。このためには、TIM2_SMCR レジスタの TS ビットに 000 を書き込みます。
- 次に、スレーブモードコントローラを外部クロックモード 1 にします（TIM2_SMCR レジスタの SMS=111 を書き込みます）。これによりタイマ 2 は、タイマ 1 の定期的なトリガ信号の立ち上がりエッジ（タイマ 1 カウンタのオーバーフローに対応しています）をクロックとて動作します。
- 最後に、それぞれの TIMx_CR1 レジスタの CEN ビットをセットすることによって、両方のタイマを有効にする必要があります。

注： ***タイマ 1 のトリガ出力として OCx が選択された場合（MMS=1xx）、その立ち上がりエッジがタイマ 2 カウンタのクロックとして使用されます。***

タイマを使用して別のタイマを有効にする

この例では、タイマ 1 の出力比較 1 でタイマ 2 の有効/無効を制御します。接続については、*図 139* を参照してください。タイマ 2 は、タイマ 1 の OC1REF がハイのときにのみ、分周された内部クロックをカウントします。両方のカウンタクロック周波数は、CK_INT をプリスケーラで 3 分周したものです（$f_{CK_CNT} = f_{CK_INT}/3$）。

- タイマ 1 をマスタモードに設定して、その出力比較 1 基準（OC1REF）信号をトリガ出力として送信します（TIM1_CR2 レジスタの MMS=100）。
- タイマ 1 の OC1REF 波形を設定します（TIM1_CCMR1 レジスタ）。
- タイマ 2 がタイマ 1 から入力トリガを受け取るように設定します（TIM2_SMCR レジスタの TS=000）。
- タイマ 2 をゲートモードに設定します（TIM2_SMCR レジスタの SMS=101）。
- CEN ビット（TIM2_CR1 レジスタ）に 1 を書き込んで、タイマ 2 を有効にします。
- CEN ビット（TIM1_CR1 レジスタ）に 1 を書き込んで、タイマ 1 を開始します。

注： ***タイマ 2 のクロックはカウンタ 1 と同期しないので、このモードはタイマ 2 カウンタのイネーブル信号にのみ影響を与えます。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図140. タイマ 1 の OC1REF によるタイマ 2 のゲート操作

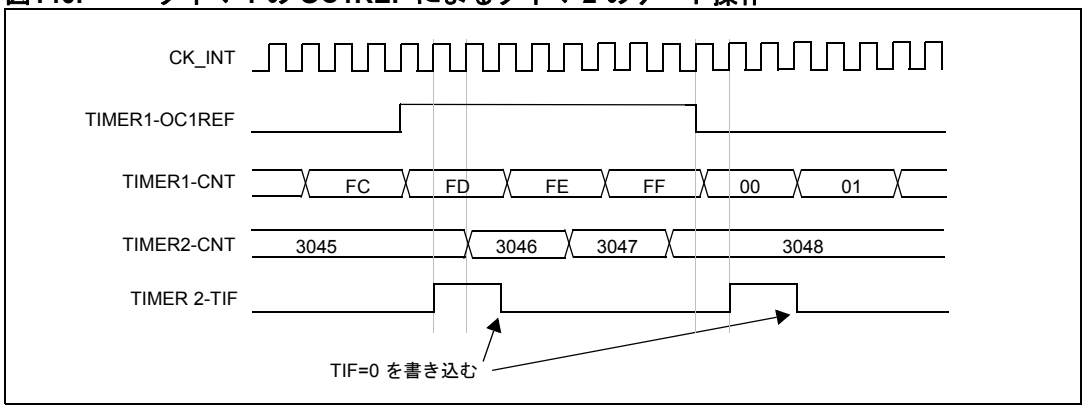


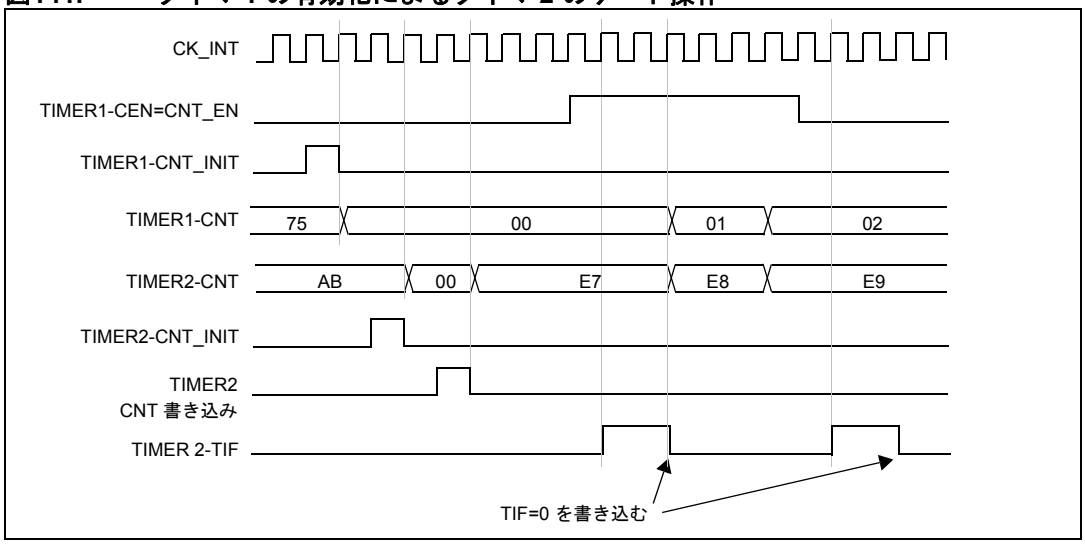
*図 140*の例では、タイマ 2 のカウンタとプリスケーラは、開始前に初期化されていません。したがって、現在値からカウントを開始します。タイマ 1 を開始する前に両方のタイマをリセットすることによって、特定の値から開始することが可能です。任意の値をタイマカウンタに書き込むことができます。TIMx_EGR レジスタの UG ビットを使用して、ソフトウェアによって簡単にタイマをリセットできます。

次の例では、タイマ 1 とタイマ 2 を同期させます。タイマ 1 はマスタであり、0 からカウントを開始します。タイマ 2 はスレーブであり、0xE7 から開始します。プリスケーラの分周比は両方のタイマで同じです。TIM1_CR1 レジスタの CEN ビットに "0" を書き込むことによってタイマ 1 を無効にすると、タイマ 2 は停止します。

- タイマ 1 をマスタモードに設定して、その出力比較 1 基準（OC1REF）信号をトリガ出力として送信します（TIM1_CR2 レジスタの MMS=100）。
- タイマ 1 の OC1REF 波形を設定します（TIM1_CCMR1 レジスタ）。
- タイマ 2 がタイマ 1 から入力トリガを受け取るように設定します（TIM2_SMCR レジスタの TS=000）。
- タイマ 2 をゲートモードに設定します（TIM2_SMCR レジスタの SMS=101）。
- UG ビット（TIM1_EGR レジスタ）に "1" を書き込むことによって、タイマ 1 をリセットします。
- UG ビット（TIM2_EGR レジスタ）に "1" を書き込むことによって、タイマ 2 をリセットします。
- タイマ 2 のカウンタ（TIM2_CNTL）に 0xE7 を書き込むことによって、タイマ 2 を 0xE7 に初期化します。
- CEN ビット（TIM2_CR1 レジスタ）に 1 を書き込んで、タイマ 2 を有効にします。
- CEN ビット（TIM1_CR1 レジスタ）に 1 を書き込んで、タイマ 1 を開始します。
- CEN ビット（TIM1_CR1 レジスタ）に "0" を書き込むことによって、タイマ 1 を停止します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図141. タイマ 1 の有効化によるタイマ 2 のゲート操作

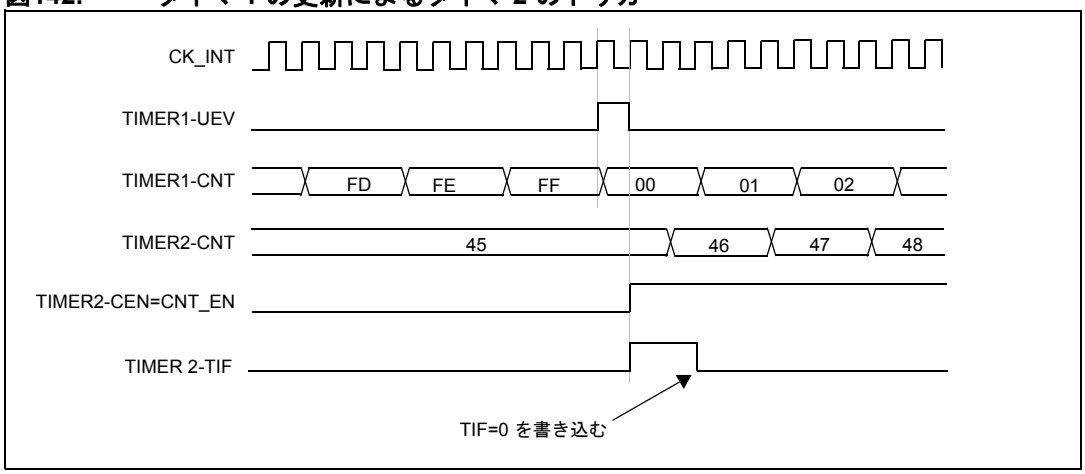


タイマを使用して別のタイマを開始する

この例では、タイマ 1 の更新イベントによってタイマ 2 の有効/無効をセットします。接続については、*図 139* を参照してください。タイマ 1 によって更新イベントが生成されると、タイマ 2 は、分周された内部クロックで現在値（ゼロである必要はありません）からカウントを開始します。タイマ 2 がトリガ信号を受信すると、CEN ビットが自動的にセットされて、TIM2_CR1 レジスタの CEN ビットに 0 を書き込むまでカウント動作が行われます。両方のカウンタクロック周波数は、CK_INT をプリスケーラで 3 分周したものです（$f_{CK_CNT} = f_{CK_INT}/3$）。

- タイマ 1 をマスタモードに設定して、その更新イベント（UEV）をトリガ出力として送信します（TIM1_CR2 レジスタの MMS=010）。
- タイマ 1 の周期を設定します（TIM1_ARR レジスタ）。
- タイマ 2 がタイマ 1 から入力トリガを受け取るように設定します（TIM2_SMCR レジスタの TS=000）。
- タイマ 2 をトリガモードに設定します（TIM2_SMCR レジスタの SMS=110）。
- CEN ビット（TIM1_CR1 レジスタ）に 1 を書き込んで、タイマ 1 を開始します。

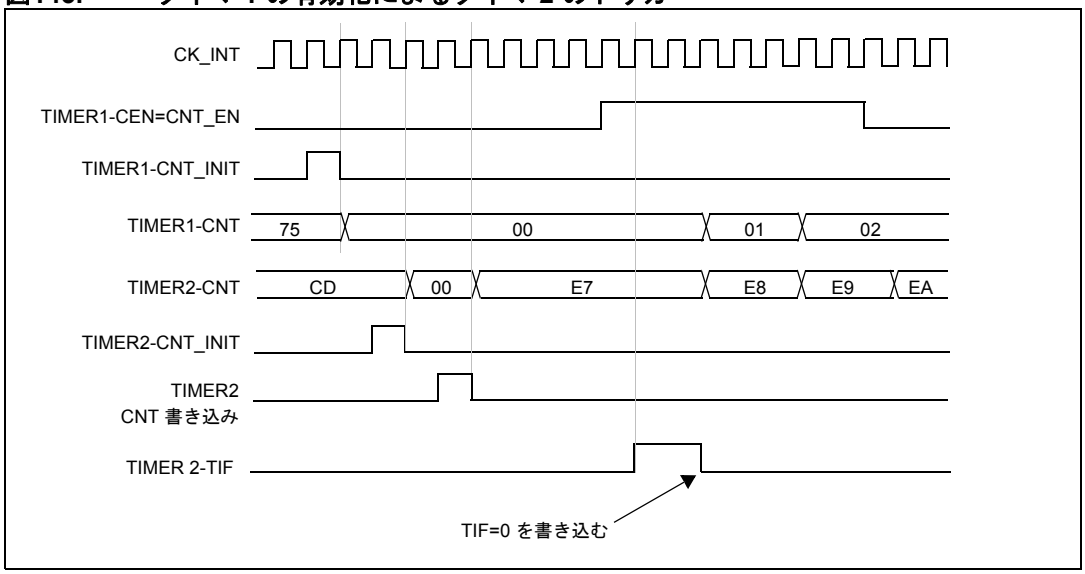
図142. タイマ 1 の更新によるタイマ 2 のトリガ



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

前の例と同じように、カウントを開始する前に両方のカウンタを初期化することができます。*図 143* は、*図 142* と同じ設定ですが、ゲートモードではなくトリガモードでの動作を示しています（TIM2_SMCR レジスタの SMS=110）。

図143. タイマ 1 の有効化によるタイマ 2 のトリガ



タイマを別のタイマのプリスケーラとして使用する

たとえば、タイマ 1 がタイマ 2 のプリスケーラとして動作するように設定することができます。接続については、*図 139* を参照してください。このためには、次の操作を行います。

- タイマ 1 をマスタモードに設定して、その更新イベント（UEV）をトリガ出力として送信します（TIM1_CR2 レジスタの MMS=010）。タイマ 1 は、カウンタオーバーフローごとに定期的な信号を出力します。
- タイマ 1 の周期を設定します（TIM1_ARR レジスタ）。
- タイマ 2 がタイマ 1 から入力トリガを受け取るように設定します（TIM2_SMCR レジスタの TS=000）。
- タイマ 2 を外部クロックモード 1 に設定します（TIM2_SMCR レジスタの SMS=111）。
- CEN ビット（TIM2_CR1 レジスタ）に 2 を書き込んで、タイマ 2 を開始します。
- CEN ビット（TIM1_CR1 レジスタ）に 1 を書き込んで、タイマ 1 を開始します。

外部トリガによって 2 つのタイマを同時に開始する

この例では、TI1 入力の立ち上がりエッジでタイマ 1 を有効にし、タイマ 1 が有効になると、タイマ 2 を有効にします。接続については、*図 139* を参照してください。カウンタの同時性を確保するため、タイマ 1 はマスタ/スレーブモードに設定する必要があります（TI1 に対してはスレーブ、タイマ 2 に対してはマスタ）。

- タイマ 1 をマスタモードに設定して、その有効化をトリガ出力として送信します（TIM1_CR2 レジスタの MMS=001）。
- タイマ 1 をスレーブモードに設定して、TI1 から入力トリガを受け取るようにします（TIM1_SMCR レジスタの TS=100）。
- タイマ 1 をトリガモードに設定します（TIM1_SMCR レジスタの SMS=110）。
- MSM=1（TIM1_SMCR レジスタ）を書き込むことによって、タイマ 1 をマスタ/スレーブモードに設定します。

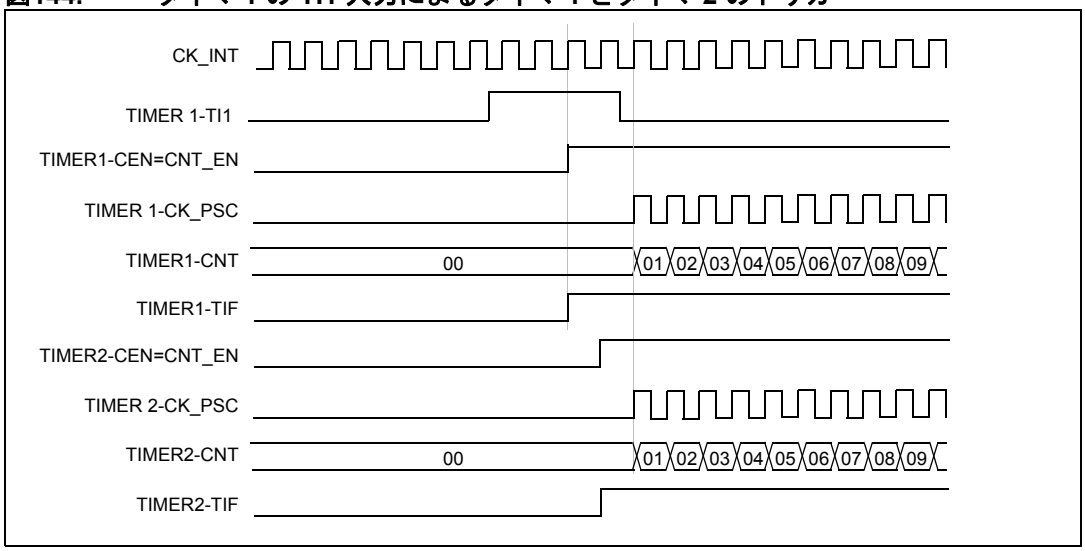
この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

- タイマ 2 がタイマ 1 から入力トリガを受け取るように設定します（TIM2_SMCR レジスタの TS=000）。
- タイマ 2 をトリガモードに設定します（TIM2_SMCR レジスタの SMS=110）。

TI1（タイマ 1）で立ち上がりエッジが発生すると、両方のカウンタが同時に内部クロックによるカウントを開始し、両方の TIF フラグがセットされます。

注： ***この例では、両方のタイマが開始前に初期化されています（それぞれの UG ビットをセットすることによって）。両方のカウンタは 0 から開始しますが、カウンタレジスタ（TIMx_CNT）に書き込むことによって、簡単にオフセットを挿入できます。マスタ/スレーブモードでは、タイマ 1 の CNT_EN と CK_PSC の間に遅延が挿入されます。***

図144. タイマ 1 の TI1 入力によるタイマ 1 とタイマ 2 のトリガ



14.3.16 デバッグモード

マイクロコントローラがデバッグモードになると（Cortex-M3 コア停止）、DBGMCU モジュールの DBG_TIMx_STOP 設定ビットに応じて、TIMx カウンタは通常通りに動作を続けるか、または停止します。詳細については、 *セクション 30.16.2：タイマ、ウォッチドッグ、bxCAN、および I^2C のデバッグサポート*を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

14.4 TIMx2～ TIM5 レジスタ

レジスタの説明で使用されている略語のリストについては、*セクション 1.1（40 ページ）*を参照してください。

ペリフェラルレジスタには、ハーフワード（16 ビット）またはワード（32 ビット）単位でアクセスできます。

14.4.1 TIMx 制御レジスタ 1（TIMx_CR1）

アドレスオフセット：0x00

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み						CKD[1:0]		ARPE	CMS		DIR	OPM	URS	UDIS	CEN
						rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:10 予約済み、常に 0 として読み出されます。

ビット 9:8 **CKD**：クロック分周

このビットフィールドは、タイマクロック（CK_INT）周波数と、デジタルフィルタ（ETR、TIx）によって使用されるサンプリングクロックとの間の分周比を示します。

00: $t_{DTS} = t_{CK_INT}$

01: $t_{DTS} = 2 \times t_{CK_INT}$

10: $t_{DTS} = 4 \times t_{CK_INT}$

11：予約済み

ビット 7 **ARPE**：自動再ロードプリロードイネーブル

0：TIMx_ARR レジスタはバッファされません。

1：TIMx_ARR レジスタはバッファされます。

ビット 6:5 **CMS**：センターアラインモード選択

00：エッジアラインモードカウンタは、方向ビット（DIR）に応じて、カウントアップまたはカウントダウンします。

01：センターアラインモード 1カウンタはカウントアップとカウントダウンを交互に行います。出力に設定された（TIMx_CCMRx レジスタの CCxS=00）チャネルの出力比較割り込みフラグは、カウンタがカウントダウンしているときのみセットされます。

10：センターアラインモード 2カウンタはカウントアップとカウントダウンを交互に行います。出力に設定された（TIMx_CCMRx レジスタの CCxS=00）チャネルの出力比較割り込みフラグは、カウンタがカウントアップしているときのみセットされます。

11：センターアラインモード 3カウンタはカウントアップとカウントダウンを交互に行います。出力に設定された（TIMx_CCMRx レジスタの CCxS=00）チャネルの出力比較割り込みフラグは、カウンタがカウントアップしているときにも、カウントダウンしているときにもセットされます。

注： ***カウンタが有効（CEN=1）なときには、エッジアラインモードからセンターアラインモードに切り替えることはできません。***

ビット 4 **DIR**：方向

0：カウンタはアップカウンタとして使用されます。

1：カウンタはダウンカウンタとして使用されます。

注： ***このビットは、タイマがセンターアラインモードまたはエンコーダモードに設定されているときには読み出し専用です。***

ビット 3 **OPM**：ワンパルスモード

0：カウンタは更新イベントで停止しません。

1：カウンタは次の更新イベントでカウントを停止します（CEN ビットをクリア）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 2 **URS**：更新リクエストソース

このビットは、UEV イベントソースを選択するために、ソフトウェアによってセット/クリアされます。

0：次のイベントのいずれかが更新割り込みまたは DMA リクエストを生成します（有効な場合）。これらのイベントは、次のとおりです。

- カウンタオーバーフロー /アンダーフロー
- UG ビットのセット
- スレーブモードコントローラからの更新生成

1：カウンタオーバーフロー /アンダーフローのみが更新割り込みまたは（有効な場合）DMA リクエストを生成します。

ビット 1 **UDIS**：更新ディセーブル

このビットは、UEV イベント生成を有効/無効にするために、ソフトウェアによってセット/クリアされます。

0：UEV は有効です。更新イベント（UEV）は、次のいずれかのイベントによって生成されます。

- カウンタオーバーフロー /アンダーフロー
- UG ビットのセット
- スレーブモードコントローラからの更新生成

バッファされるレジスタには、プリロード値がロードされます。

1：UEV は無効です。更新イベントは生成されず、シャドウレジスタ（ARR、PSC、CCRx）は値を維持します。ただし、UG ビットがセットされている場合や、スレーブモードコントローラからハードウェアリセットを受信した場合には、カウンタとプリスケーラは再初期化されます。

ビット 0 **CEN**：カウンタイネーブル

0：カウンタは無効です。

1：カウンタは有効です。

注： 外部クロック、ゲートモード、およびエンコーダモードは、CEN ビットが事前にソフトウェアによってセットされている場合のみ動作します。ただし、トリガモードでは、ハードウェアによって自動的に CEN ビットをセットできます。

ワンパルスモードでは、更新イベントが発生すると、CEN は自動的にクリアされます。

14.4.2 TIMx 制御レジスタ 2（TIMx_CR2）

アドレスオフセット：0x04

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								TI1S	MMS[2:0]			CCDS	予約済み		
								rw	rw	rw	rw	rw			

ビット 15:8 予約済み、常に 0 として読み出されます。

ビット 7 **TI1S**：TI1 選択

0：TIMx_CH1 ピンが TI1 入力に接続されます。

1：TIMx_CH1、CH2、および CH3 ピンが TI1 入力に接続されます（XOR 接続）。

*セクション 13.3.18：ホールセンサとのインタフェース（304 ページ）*も参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 6:4 **MMS**：マスタモード選択

これらのビットにより、同期のために、マスタモードでスレーブタイマに送信される情報を選択することができます（TRGO）。組み合わせは、次のとおりです。

000：**リセット** - TIMx_EGR レジスタの UG ビットがトリガ出力（TRGO）として使用されます。トリガ入力によってリセットが生成された場合（スレーブモードコントローラがリセットモードに設定されているとき）、TRGO 信号は実際のリセットより遅延します。

001：**イネーブル** - カウンタイネーブル信号 CNT_EN がトリガ出力（TRGO）として使用されます。これは、いくつかのタイマを同時に開始するときや、スレーブタイマが有効な時間枠を制御するときに役立ちます。カウンタイネーブル信号は、CEN 制御ビットとゲートモードに設定されているときのトリガ入力との論理和によって生成されます。

カウンタイネーブル信号がトリガ入力によって制御されるときには、マスタ/スレーブモードが選択されている場合を除いて、TRGO には遅延が存在します（TIMx_SMCR レジスタの MSM ビットの説明を参照）。

010：**更新** - 更新イベントがトリガ出力（TRGO）として選択されます。たとえば、マスタタイマをスレーブタイマのプリスケーラとして使用できます。

011：**パルス比較** - キャプチャまたは比較一致が生ずると同時に、CC1IF フラグがセットされるとき（すでにハイであった場合も）、トリガ出力は正のパルスを送信します。（TRGO）

100：**比較** - OC1REF 信号がトリガ出力（TRGO）として使用されます。

101：**比較** - OC2REF 信号がトリガ出力（TRGO）として使用されます。

110：**比較** - OC3REF 信号がトリガ出力（TRGO）として使用されます。

111：**比較** - OC4REF 信号がトリガ出力（TRGO）として使用されます。

ビット 3 **CCDS**：キャプチャ /比較 DMA 選択

0：CCx DMA リクエストは、CCx イベントが発生すると送信されます。

1：CCx DMA リクエストは、更新イベントが発生すると送信されます。

ビット 2:0 予約済み、常に 0 として読み出されます。

14.4.3 TIMx スレーブモード制御レジスタ（TIMx_SMCR）

アドレスオフセット：0x08

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ETP	ECE	ETPS[1:0]		ETF[3:0]				MSM	TS[2:0]			予約済み	SMS[2:0]		
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw		rw	rw	rw

ビット 15 **ETP**：外部トリガ極性

このビットは、ETR と $\overline{\text{ETR}}$ のどちらがトリガ操作に使用されるかを選択します。

0：ETR は反転されず、ハイレベルまたは立ち上がりエッジでアクティブになります。

1：ETR は反転され、ローレベルまたは立ち下がりエッジでアクティブになります。

ビット 14 **ECE**：外部クロックイネーブル

このビットは、外部クロックモード 2 を有効にします。

0：外部クロックモード 2 は無効です。

1：外部クロックモード 2 は有効です。カウンタは、ETRF 信号のアクティブエッジによってクロック供給されます。

注1：ECE ビットをセットすることは、外部クロックモード 1 で TRGI が ETRF に接続された状態（SMS=111、TS=111）と同じ効果があります。

注2：外部クロックモード 2 と次のスレーブモード、すなわち、リセットモード、ゲートモード、またはトリガモードを同時に使用することができます。ただし、この場合、TRGI を ETRF に接続することはできません（TS ビットが 111 でないことが必要）。

注3：外部クロックモード 1 と外部クロックモード 2 が同時に有効な場合、外部クロック入力は ETRF です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 13:12 **ETPS**：外部トリガプリスケーラ

外部トリガ信号 ETRP の周波数は、最大でも CK_INT 周波数の 1/4 でなければなりません。プリスケーラを有効にすると、ETRP 周波数を低くできます。これは、高速な外部クロックを入力するときに役立ちます。

00：プリスケーラオフ
01：ETRP 周波数は 2 分周されます。
10：ETRP 周波数は 4 分周されます。
11：ETRP 周波数は 8 分周されます。

ビット 11:8 **ETF[3:0]**：外部トリガフィルタ

このビットフィールドは、ETRP 信号をサンプルする周波数と、ETRP に適用されるデジタルフィルタの長さを定義します。デジタルフィルタはイベントカウンタでできています。出力に有効な変化をもたらすには N 個のイベント発生が必要です。

0000：フィルタなし、サンプリングは f_{DTS} で行われます。
0001：$f_{SAMPLING}=f_{CK_INT}$、N=2
0010：$f_{SAMPLING}=f_{CK_INT}$、N=4
0011：$f_{SAMPLING}=f_{CK_INT}$、N=8
0100：$f_{SAMPLING}=f_{DTS}/2$、N=6
0101：$f_{SAMPLING}=f_{DTS}/2$、N=8
0110：$f_{SAMPLING}=f_{DTS}/4$、N=6
0111：$f_{SAMPLING}=f_{DTS}/4$、N=8
1000：$f_{SAMPLING}=f_{DTS}/8$、N=6
1001：$f_{SAMPLING}=f_{DTS}/8$、N=8
1010：$f_{SAMPLING}=f_{DTS}/16$、N=5
1011：$f_{SAMPLING}=f_{DTS}/16$、N=6
1100：$f_{SAMPLING}=f_{DTS}/16$、N=8
1101：$f_{SAMPLING}=f_{DTS}/32$、N=5
1110：$f_{SAMPLING}=f_{DTS}/32$、N=6
1111：$f_{SAMPLING}=f_{DTS}/32$、N=8

ビット 7 **MSM**：マスタ/スレーブモード

0：影響なし。
1：トリガ入力（TRGI）に対するイベントの影響は、現在のタイマとそのスレーブとの間の完全な同期（TRGO を通じて）を可能にするために遅延されます。これは、1 つの外部イベントで複数のタイマを同期したい場合に役立ちます。

ビット 6:4 **TS**：トリガ選択

このビットフィールドは、カウンタを同期するために使用されるトリガ入力を選択します。

000：内部トリガ 0（ITR0）
001：内部トリガ 1（ITR1）
010：内部トリガ 2（ITR2）
011：内部トリガ 3（ITR3）
100：TI1 エッジ検出回路（TI1F_ED）
101：フィルタ後のタイマ入力 1（TI1FP1）
110：フィルタ後のタイマ入力 2（TI2FP2）
111：外部トリガ入力（ETRF）

各タイマにとっての ITRx の意味の詳細については、*表 85：TIMx 内部トリガ接続（380 ページ）*を参照してください。

注：　設定変更時の誤ったエッジ検出を避けるために、これらのビットは、使用されていないとき（SMS=000 のときなど）にのみ変更しなければなりません。

ビット 3 予約済み、常に 0 として読み出されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 2:0 **SMS：**スレーブモード選択

外部信号が選択されると、トリガ信号（TRGI）のアクティブエッジが外部入力で選択された極性にリンクされます（入力制御レジスタおよび制御レジスタの説明を参照してください）。

000 : スレーブモードは無効です。CEN = "1" の場合、プリスケーラは内部クロックによって直接クロック供給されます。

001：エンコーダモード 1 - カウンタは、TI1FP1 のレベルに応じて、TI2FP2 のエッジでカウントアップ/ダウンします。

010：エンコーダモード 2 - カウンタは、TI2FP2 のレベルに応じて、TI1FP1 のエッジでカウントアップ/ダウンします。

011：エンコーダモード 3 - カウンタは、他の入力のレベルに応じて、TI1FP1 と TI2FP2 の両方のエッジでカウントアップ/ダウンします。

100：リセットモード - 選択されたトリガ入力（TRGI）の立ち上がりエッジでカウンタを再初期化し、レジスタの更新を生成します。

101：ゲートモード - カウンタクロックは、トリガ入力（TRGI）がハイのときに有効になります。カウンタは、トリガがローになると停止します（リセットはされません）。カウンタの開始と停止の両方が制御されます。

110：トリガモード - カウンタは、トリガ入力（TRGI）の立ち上がりエッジで開始します（リセットはされません）。カウンタの開始のみが制御されます。

111：外部クロックモード 1 - 選択されたトリガ（TRGI）の立ち上がりエッジがカウンタのクロックとして供給されます。

注： トリガ入力として TI1F_ED が選択されている場合（TS=100）、ゲートモードを使用することはできません。TI1F_ED は TI1F の変化ごとに 1 パルスを出力しますが、ゲートモードはトリガ信号のレベルをチェックします。

表85. TIMx 内部トリガ接続[1]

スレーブ TIM	ITR0（TS = 000）	ITR1（TS = 001）	ITR2（TS = 010）	ITR3（TS = 011）
TIM2	TIM1	TIM8	TIM3	TIM4
TIM3	TIM1	TIM2	TIM5	TIM4
TIM4	TIM1	TIM2	TIM3	TIM8
TIM5	TIM2	TIM3	TIM4	TIM8

1. 製品にタイマがない場合、対応するトリガ ITRx は使用できません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

14.4.4 TIMx DMA/割り込みイネーブルレジスタ（TIMx_DIER）

アドレスオフセット：0x0C

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み	TDE	予約済み	CC4DE	CC3DE	CC2DE	CC1DE	UDE	予約済み	TIE	予約済み	CC4IE	CC3IE	CC2IE	CC1IE	UIE
	rw		rw	rw	rw	rw	rw		rw		rw	rw	rw	rw	rw

ビット 15　予約済み、常に 0 として読み出されます。

ビット 14　**TDE**：トリガ DMA リクエストイネーブル
0：トリガ DMA リクエストは無効です。
1：トリガ DMA リクエストは有効です。

ビット 13　予約済み、常に 0 として読み出されます。

ビット 12　**CC4DE**：キャプチャ /比較 4 DMA リクエストイネーブル
0：CC4 DMA リクエストは無効です。
1：CC4 DMA リクエストは有効です。

ビット 11　**CC3DE**：キャプチャ /比較 3 DMA リクエストイネーブル
0：CC3 DMA リクエストは無効です。
1：CC3 DMA リクエストは有効です。

ビット 10　**CC2DE**：キャプチャ /比較 2 DMA リクエストイネーブル
0：CC2 DMA リクエストは無効です。
1：CC2 DMA リクエストは有効です。

ビット 9　**CC1DE**：キャプチャ /比較 1 DMA リクエストイネーブル
0：CC1 DMA リクエストは無効です。
1：CC1 DMA リクエストは有効です。

ビット 8　**UDE**：更新 DMA リクエストイネーブル
0：更新 DMA リクエストは無効です。
1：更新 DMA リクエストは有効です。

ビット 7　予約済み、常に 0 として読み出されます。

ビット 6　**TIE**：トリガ割り込みイネーブル
0：トリガ割り込みは無効です。
1：トリガ割り込みは有効です。

ビット 5　予約済み、常に 0 として読み出されます。

ビット 4　**CC4IE**：キャプチャ /比較 4 割り込みイネーブル
0：CC4 割り込みは無効です。
1：CC4 割り込みは有効です。

ビット 3　**CC3IE**：キャプチャ /比較 3 割り込みイネーブル
0：CC3 割り込みは無効です。
1：CC3 割り込みは有効です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 2 **CC2IE**：キャプチャ /比較 2 割り込みイネーブル
0：CC2 割り込みは無効です。
1：CC2 割り込みは有効です。

ビット 1 **CC1IE**：キャプチャ /比較 1 割り込みイネーブル
0：CC1 割り込みは無効です。
1：CC1 割り込みは有効です。

ビット 0 **UIE**：更新割り込みイネーブル
0：更新割り込みは無効です。
1：更新割り込みは有効です。

14.4.5 TIMx ステータスレジスタ（TIMx_SR）

アドレスオフセット：0x10

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み			CC4OF	CC3OF	CC2OF	CC1OF	予約済み		TIF	予約済み	CC4IF	CC3IF	CC2IF	CC1IF	UIF
			rc_w0	rc_w0	rc_w0	rc_w0			rc_w0		rc_w0	rc_w0	rc_w0	rc_w0	rc_w0

ビット15:13 予約済み、常に 0 として読み出されます。

ビット 12 **CC4OF**：キャプチャ /比較 4 オーバーキャプチャフラグ
CC1OF の説明を参照してください。

ビット 11 **CC3OF**：キャプチャ /比較 3 オーバーキャプチャフラグ
CC1OF の説明を参照してください。

ビット 10 **CC2OF**：キャプチャ /比較 2 オーバーキャプチャフラグ
CC1OF の説明を参照してください。

ビット 9 **CC1OF**：キャプチャ /比較 1 オーバーキャプチャフラグ
このフラグは、対応するチャネルが入力キャプチャモードに設定されているときのみ、ハードウェアによってセットされます。"0" を書き込むことによってソフトウェアによってクリアされます。
0：オーバーキャプチャは検出されていません。
1：CC1IF フラグがすでにセットされているときに、カウンタの値が TIMx_CCR1 レジスタにキャプチャされました。

ビット 8:7 予約済み、常に 0 として読み出されます。

ビット 6 **TIF**：トリガ割り込みフラグ
このフラグは、トリガイベント時にハードウェアによってセットされます（ゲートモード以外のすべてのモードでスレーブモードコントローラが有効なとき、TRGI 入力でアクティブエッジが検出されたときゲートモードが選択されている場合は両方のエッジで）。ソフトウェアによってクリアされます。
0：トリガイベントは発生していません。
1：トリガ割り込みが保留中です。

ビット 5 予約済み、常に 0 として読み出されます。

ビット 4 **CC4IF**：キャプチャ /比較 4 割り込みフラグ
CC1IF の説明を参照してください。

ビット 3 **CC3IF**：キャプチャ /比較 3 割り込みフラグ
CC1IF の説明を参照してください。

ビット 2 **CC2IF**：キャプチャ /比較 2 割り込みフラグ
CC1IF の説明を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 1 **CC1IF**：キャプチャ /比較 1 割り込みフラグ

チャネル CC1 が出力として設定されている場合：

このフラグは、カウンタが比較値と一致したときにハードウェアでセットされます（センターアラインモードでは、例外状況もあります。TIMx_CR1 ジスタの CMS ビットの説明を参照してください）。ソフトウェアによってクリアされます。

0：一致していません。

1：カウンタ TIMx_CNT の内容が TIMx_CCR1 レジスタの内容と一致しました。

チャネル CC1 が入力として設定されている場合：

このビットは、キャプチャ時にハードウェアによってセットされます。ソフトウェアによって、または TIMx_CCR1 レジスタを読み出すことによってクリアされます。

0：キャプチャは発生していません。

1：カウンタの値が TIMx_CCR1 レジスタにキャプチャされました（IC1 で、選択された極性に一致するエッジが検出されました）。

ビット 0 **UIF**：更新割り込みフラグ

–このビットは、更新イベント時にハードウェアによってセットされます。ソフトウェアによってクリアされます。

0：更新は発生していません。

1：更新割り込みが保留中です。このビットは、レジスタが更新されたときにハードウェアによってセットされます。

–繰り返しカウンタ値に関するオーバーフローまたはアンダーフロー（繰り返しカウンタ=0 の場合の更新）、および TIMx_CR1 レジスタの UDIS=0 の場合。

–TIMx_CR1 レジスタの URS=0 かつ UDIS=0 の場合、TIMx_EGR レジスタの UG ビットを使用して、CNT がソフトウェアによって再初期化されたとき。

–TIMx_CR1 レジスタの URS=0 かつ UDIS=0 で、トリガイベントで CNT が初期化されたとき。

14.4.6 TIMx イベント生成レジスタ（TIMx_EGR）

アドレスオフセット：0x14

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み									TG	予約済み	CC4G	CC3G	CC2G	CC1G	UG
									w		w	w	w	w	w

ビット 15:7 予約済み、常に 0 として読み出されます。

ビット 6 **TG**：トリガイベント生成

このビットは、イベントを生成するためにソフトウェアによってセットされ、ハードウェアによって自動的にクリアされます。

0：影響なし。

1：TIMx_SR レジスタの TIF フラグがセットされます。有効な場合は、関連する割り込みまたは DMA 転送が発生します。

ビット 5 予約済み、常に 0 として読み出されます。

ビット 4 **CC4G**：キャプチャ /比較 4 イベント生成

CC1G の説明を参照してください。

ビット 3 **CC3G**：キャプチャ /比較 3 イベント生成

CC1G の説明を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 2 **CC2G**：キャプチャ /比較 2 イベント生成
CC1G の説明を参照してください。

ビット 1 **CC1G**：キャプチャ /比較 1 イベント生成
このビットは、イベントを生成するためにソフトウェアによってセットされ、ハードウェアによって自動的にクリアされます。
0：影響なし。
1：チャネル 1 でキャプチャ /比較イベントが生成されます。
チャネル CC1 が出力として設定されている場合：
CC1IF フラグがセットされ、対応する割り込みまたは DMA リクエストが送信されます（有効な場合）。
チャネル CC1 が入力として設定されている場合：
カウンタの現在値が TIMx_CCR1 レジスタにキャプチャされます。CC1IF フラグがセットされ、対応する割り込みまたは DMA リクエストが送信されます（有効な場合）。CC1IF フラグがすでにハイであった場合は、CC1OF フラグがセットされます。

ビット 0 **UG**：更新の生成
このビットは、ソフトウェアによってセットでき、ハードウェアによって自動的にクリアされます。
0：影響なし。
1：カウンタを再初期化し、レジスタの更新を生成します。プリスケーラカウンタもクリアされます（プリスケーラ比は変化しません）。センターアラインモードが選択されている場合、または、DIR=0（カウントアップ）の場合、カウンタはクリアされます。DIR=1（カウントダウン）であれば、自動再ロード値（TIMx_ARR）をとります。

14.4.7 TIMx およびキャプチャ /比較モードレジスタ 1（TIMx_CCMR1）

アドレスオフセット：0x18

リセット値：0x0000

チャネルは、入力（キャプチャモード）または出力（比較モード）で使用できます。チャネルの方向は、対応する CCxS ビットを設定することによって定義されます。このレジスタの他のビットはすべて、入力モードと出力モードで異なる意味を持ちます。特定のビットについて、OCxx は、チャネルが出力に設定されているときに、そのビットの機能を説明し、ICxx は、チャネルが入力に設定されているときに、そのビットの機能を説明します。したがって、同じビットが入力ステージと出力ステージで異なる意味を持つことに注意する必要があります。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OC2CE	OC2M[2:0]			OC2PE	OC2FE	CC2S[1:0]		OC1CE	OC1M[2:0]			OC1PE	OC1FE	CC1S[1:0]	
IC2F[3:0]				IC2PSC[1:0]				IC1F[3:0]				IC1PSC[1:0]			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

出力比較モード

ビット 15 **OC2CE：**出力比較 2 クリアイネーブル

ビット 14:12 **OC2M[2:0]**：出力比較 2 モード

ビット 11 **OC2PE**：出力比較 2 プリロードイネーブル

ビット 10 **OC2FE**：出力比較 2 高速イネーブル

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 9:8 **CC2S[1:0]**：キャプチャ /比較 2選択

このビットフィールドは、チャネルの方向（入力/出力）と、使用される入力を定義します。

00：CC2 チャネルは出力として設定されます。

01：CC2 チャネルは入力として設定され、IC2 は TI2 に配置されます。

10：CC2 チャネルは入力として設定され、IC2 は TI2 に配置されます。

11：CC2 チャネルは入力として設定され、IC2 は TRC に配置されます。このモードは、TS ビット（TIMx_SMCR レジスタ）で内部トリガ入力が選択されている場合のみ機能します。

*注： **CC2S ビットは、チャネルがオフ（TIMx_CCER レジスタの CC2E="0"）のときにのみ書き込み可能です。***

ビット 7 **OC1CE：**出力比較 1 クリアイネーブル

OC1CE：出力比較 1 クリアイネーブル

0：OC1Ref は ETRF 入力の影響を受けません。

1：OC1Ref は ETRF 入力のハイレベルが検出されるとクリアされます。

ビット 6:4 **OC1M**：出力比較 1 モード

これらのビットは、OC1 および OC1N の出力基準信号 OC1REF の動作を定義します。OC1REF はアクティブハイですが、OC1 および OC1N のアクティブレベルは CC1P および CC1NP ビットに依存します。

000：停止 - 出力比較レジスタ TIMx_CCR1 とカウンタ TIMx_CNT との間の比較結果は出力に影響しません（このモードはタイミングベースを生成するため使用されます）。

001：一致時にチャネル 1 をアクティブレベルに設定します。OC1REF 信号は、カウンタ TIMx_CNT がキャプチャ /比較レジスタ 1（TIMx_CCR1）と一致したときに、強制的にハイになります。

010：一致時にチャネル 1 をインアクティブレベルに設定します。OC1REF 信号は、カウンタ TIMx_CNT がキャプチャ/比較レジスタ 1（TIMx_CCR1）と一致したときに、強制的にローになります。

011：反転 - TIMx_CNT = TIMx_CCR1 のとき、OC1REF は反転します。

100：強制インアクティブレベル - OC1REF は強制的にローになります。

101：強制アクティブレベル - OC1REF は強制的にハイになります。

110：PWM モード 1 - カウントアップ時、チャネル 1 は、TIMx_CNT < TIMx_CCR1 の場合はアクティブに、そうでない場合はインアクティブになります。カウントダウン時、チャネル 1 は、TIMx_CNT > TIMx_CCR1 の場合はインアクティブ（OC1REF="0"）に、そうでない場合はアクティブ（OC1REF="1"）になります

111：PWM モード 2 - カウントアップ時、チャネル 1 は、TIMx_CNT < TIMx_CCR1 の場合はインアクティブに、そうでない場合はアクティブになります。カウントダウン時、チャネル 1 は、TIMx_CNT > TIMx_CCR1 の場合はアクティブに、そうでない場合はインアクティブになります。

*注： **1:これらのビットは、LOCK レベル 3 がプログラムされていて（TIM1_BDTR レジスタの LOCK ビット）、CC1S="00"（チャネルは出力に設定）のときには、変更できません。***

2:PWM モード 1 または 2 では、比較結果が変化したとき、または出力比較モードが停止モードから PWM モードに変更されたときにのみ、OC1REF のレベルが変化します。

ビット 3 **OC1PE**：出力比較 1 プリロードイネーブル

0：TIMx_CCR1 のプリロードレジスタは無効です。TIMx_CCR1 は、いつでも書き込み可能であり、新しい値はただちに有効になります。

1：TIMx_CCR1 のプリロードレジスタは有効です。読み書き操作はプリロードレジスタに対して行われます。TIMx_CCR1 プリロード値は、更新イベントのたびにアクティブレジスタにロードされます。

*注： **1:これらのビットは、LOCK レベル 3 がプログラムされていて（TIM1_BDTR レジスタの LOCK ビット）、CC1S="00"（チャネルは出力に設定）のときには、変更できません。***

2:PWM モードは、ワンパルスモード（TIMx_CR1 レジスタの OPM ビットがセットされている）のときにのみ、プリロードレジスタを検証せずに使用できます。そうでない場合、動作は保証されません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 2 **OC1FE**：出力比較 1 高速イネーブル

このビットは、CC 出力に対する入力トリガイベントを効果的にするために使用されます。

0：CC1 は、トリガがオンのときでも、カウンタと CCR1 の値に依存して、通常どおりに動作します。トリガ入力のエッジ発生から CC1 出力が有効になるまでの最小遅延は、5 クロックサイクルです。

1：トリガ入力のアクティブエッジは、CC1 出力に対して、比較一致のように働きます。このため、OC は、比較結果には関係なく、比較レベルにセットされます。トリガ入力をサンプルし、CC1 出力を有効にするまでの遅延は、3 クロックサイクルに短縮されます。OCFE は、チャネルが PWM1 または PWM2 モードに設定されている場合のみ機能します。

ビット 1:0 **CC1S**：キャプチャ /比較 1選択

このビットフィールドは、チャネルの方向（入力/出力）と、使用される入力を定義します。

00：CC1 チャネルは出力として設定されます。

01：CC1 チャネルは入力として設定され、IC1 は TI1 に配置されます。

10：CC1 チャネルは入力として設定され、IC1 は TI2 に配置されます。

11：CC1 チャネルは入力として設定され、IC1 は TRC に配置されます。このモードは、TS ビット（TIMx_SMCR レジスタ）で内部トリガ入力が選択されている場合のみ機能します。

*注： **CC1S ビットは、チャネルがオフ（TIMx_CCER レジスタで CC1E="0"）のときにのみ書き込み可能です。***

入力キャプチャモード

ビット 15:12 **IC2F**：入力キャプチャ 2 フィルタ

ビット 11:10 **IC2PSC[1:0]**：入力キャプチャ 2 プリスケーラ

ビット 9:8 **CC2S**：キャプチャ /比較 2選択

このビットフィールドは、チャネルの方向（入力/出力）と、使用される入力を定義します。

00：CC2 チャネルは出力として設定されます。

01：CC2 チャネルは入力として設定され、IC2 は TI2 に配置されます。

10：CC2 チャネルは入力として設定され、IC2 は TI1 に配置されます。

11：CC2 チャネルは入力として設定され、IC2 は TRC に配置されます。このモードは、TS ビット（TIMx_SMCR レジスタ）で内部トリガ入力が選択されている場合のみ機能します。

*注： **CC2S ビットは、チャネルがオフ（TIMx_CCER レジスタの CC2E="0"）のときにのみ書き込み可能です。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 7:4 **IC1F**：入力キャプチャ 1 フィルタ

このビットフィールドは、TI1 入力をサンプルする周波数と、TI1 に適用されるデジタルフィルタの長さを定義します。デジタルフィルタはイベントカウンタでできていて、出力に有効な変化をもたらすには N 個のイベント発生が必要です。

0000：フィルタなし、サンプリングは f_{DTS} で行われます。
0001：$f_{SAMPLING}=f_{CK_INT}$、N=2
0010：$f_{SAMPLING}=f_{CK_INT}$、N=4
0011：$f_{SAMPLING}=f_{CK_INT}$、N=8
0100：$f_{SAMPLING}=f_{DTS}/2$、N=6
0101：$f_{SAMPLING}=f_{DTS}/2$、N=8
0110：$f_{SAMPLING}=f_{DTS}/4$、N=6
0111：$f_{SAMPLING}=f_{DTS}/4$、N=8
1000：$f_{SAMPLING}=f_{DTS}/8$、N=6
1001：$f_{SAMPLING}=f_{DTS}/8$、N=8
1010：$f_{SAMPLING}=f_{DTS}/16$、N=5
1011：$f_{SAMPLING}=f_{DTS}/16$、N=6
1100：$f_{SAMPLING}=f_{DTS}/16$、N=8
1101：$f_{SAMPLING}=f_{DTS}/32$、N=5
1110：$f_{SAMPLING}=f_{DTS}/32$、N=6
1111：$f_{SAMPLING}=f_{DTS}/32$、N=8

注： *現在のシリコンリビジョンでは、ICxF[3:0]=1、2 または 3 の場合、f_{DTS} は式内で CK_INT により置き換えられます。*

ビット 3:2 **IC1PSC[1:0]**：入力キャプチャ 1 プリスケーラ

このビットフィールドは、CC1 入力（IC1）に作用するプリスケーラの分周比を定義します。
プリスケーラは、CC1E="0"（TIMx_CCER レジスタ）になるとリセットされます。
00：プリスケーラなし。キャプチャは、キャプチャ入力のエッジが検出されるたびに行われます。
01：キャプチャは、2 イベントごとに行われます。
10：キャプチャは、4 イベントごとに行われます。
11：キャプチャは、8 イベントごとに行われます。

ビット 1:0 **CC1S**：キャプチャ /比較 1選択

このビットフィールドは、チャネルの方向（入力/出力）と、使用される入力を定義します。
00：CC1 チャネルは出力として設定されます。
01：CC1 チャネルは入力として設定され、IC1 は TI1 に配置されます。
10：CC1 チャネルは入力として設定され、IC1 は TI2 に配置されます。
11：CC1 チャネルは入力として設定され、IC1 は TRC に配置されます。このモードは、TS ビット（TIMx_SMCR レジスタ）で内部トリガ入力が選択されている場合のみ機能します。

注： *CC1S ビットは、チャネルがオフ（TIMx_CCER レジスタで CC1E="0"）のときにのみ書き込み可能です。*

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

14.4.8 キャプチャ /比較モードレジスタ 2（TIMx_CCMR2）

アドレスオフセット：0x04

リセット値：0x0000

上記の CCMR1 レジスタの説明を参照してください。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OC4CE	OC4M[2:0]			OC4PE	OC4FE	CC4S[1:0]		OC3CE	OC3M[2:0]			OC3PE	OC3FE	CC3S[1:0]	
IC4F[3:0]				IC4PSC[1:0]				IC3F[3:0]				IC3PSC[1:0]			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

出力比較モード

ビット 15 OC4CE：**出力比較 4 クリアイネーブル**

ビット 14:12 **OC4M**：出力比較 4 モード

ビット 11 **OC4PE**：出力比較 4 プリロードイネーブル

ビット 10 **OC4FE**：出力比較 4 高速イネーブル

ビット 9:8 **CC4S**：キャプチャ /比較 4選択

このビットフィールドは、チャネルの方向（入力/出力）と、使用される入力を定義します。
00：CC4 チャネルは出力として設定されます。
01：CC4 チャネルは入力として設定され、IC4 は TI4 に配置されます。
10：CC4 チャネルは入力として設定され、IC4 は TI3 に配置されます。
11：CC4 チャネルは入力として設定され、IC4 は TRC に配置されます。このモードは、TS ビット（TIMx_SMCR レジスタ）で内部トリガ入力が選択されている場合のみ機能します。

*注： **CC4S ビットは、チャネルがオフ（TIMx_CCER レジスタの CC4E="0"）のときにのみ書き込み可能です。***

ビット 7 **OC3CE：**出力比較 3 クリアイネーブル

ビット 6:4 **OC3M**：出力比較 3 モード

ビット 3 **OC3PE**：出力比較 3 プリロードイネーブル

ビット 2 **OC3FE**：出力比較 3 高速イネーブル

ビット 1:0 **CC3S**：キャプチャ /比較 3 選択

このビットフィールドは、チャネルの方向（入力/出力）と、使用される入力を定義します。
00：CC3 チャネルは出力として設定されます。
01：CC3 チャネルは入力として設定され、IC3 は TI3 に配置されます。
10：CC3 チャネルは入力として設定され、IC3 は TI4 に配置されます。
11：CC3 チャネルは入力として設定され、IC3 は TRC に配置されます。このモードは、TS ビット（TIMx_SMCR レジスタ）で内部トリガ入力が選択されている場合のみ機能します。

*注： **CC3S ビットは、チャネルがオフ（TIMx_CCER レジスタの CC3E="0"）のときにのみ書き込み可能です。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

入力キャプチャモード

ビット 15:12 **IC4F**：入力キャプチャ 4 フィルタ

ビット 11:10 **IC4PSC**：入力キャプチャ 4 プリスケーラ

ビット 9:8 **CC4S**：キャプチャ /比較 4選択

このビットフィールドは、チャネルの方向（入力/出力）と、使用される入力を定義します。
00：CC4 チャネルは出力として設定されます。
01：CC4 チャネルは入力として設定され、IC4 は TI4 に配置されます。
10：CC4 チャネルは入力として設定され、IC4 は TI3 に配置されます。
11：CC4 チャネルは入力として設定され、IC4 は TRC に配置されます。このモードは、TS ビット（TIMx_SMCR レジスタ）で内部トリガ入力が選択されている場合のみ機能します。

注： CC4S ビットは、チャネルがオフ（TIMx_CCER レジスタの CC4E="0"）のときにのみ書き込み可能です。

ビット 7:4 **IC3F**：入力キャプチャ 3 フィルタ

ビット 3:2 **IC3PSC**：入力キャプチャ 3 プリスケーラ

ビット 1:0 **CC3S**：キャプチャ /比較 3 選択

このビットフィールドは、チャネルの方向（入力/出力）と、使用される入力を定義します。
00：CC3 チャネルは出力として設定されます。
01：CC3 チャネルは入力として設定され、IC3 は TI3 に配置されます。
10：CC3 チャネルは入力として設定され、IC3 は TI4 に配置されます。
11：CC3 チャネルは入力として設定され、IC3 は TRC に配置されます。このモードは、TS ビット（TIMx_SMCR レジスタ）で内部トリガ入力が選択されている場合のみ機能します。

注： CC3S ビットは、チャネルがオフ（TIMx_CCER レジスタの CC3E="0"）のときにのみ書き込み可能です。

14.4.9 TIMx キャプチャ /比較イネーブルレジスタ （TIMx_CCER）

アドレスオフセット：0x20

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み		CC4P	CC4E	予約済み		CC3P	CC3E	予約済み		CC2P	CC2E	予約済み		CC1P	CC1E
		rw	rw			rw	rw			rw	rw			rw	rw

ビット 15:14 予約済み、常に 0 として読み出されます。

ビット 13 **CC4P**：キャプチャ /比較 4 出力極性
CC1P の説明を参照してください。

ビット 12 **CC4E**：キャプチャ /比較 4 出力イネーブル
CC1E の説明を参照してください。

ビット 11:10 予約済み、常に 0 として読み出されます。

ビット 9 **CC3P**：キャプチャ /比較 3 出力極性
CC1P の説明を参照してください。

ビット 8 **CC3E**：キャプチャ /比較 3 出力イネーブル
CC1E の説明を参照してください。

ビット 7:6 予約済み、常に 0 として読み出されます。

ビット 5 **CC2P**：キャプチャ /比較 2 出力極性
CC1P の説明を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 4 **CC2E**：キャプチャ /比較 2 出力イネーブル
CC1E の説明を参照してください。

ビット 3:2 予約済み、常に 0 として読み出されます。

ビット 1 **CC1P**：キャプチャ /比較 1 出力極性
CC1 チャネルが出力として設定されているとき：
0：OC1 アクティブハイ
1：OC1 アクティブロー
CC1 チャネルが入力として設定されているとき：
このビットは、IC1 と IC1 のどちらがトリガやキャプチャ操作に使用されるかを選択します。
0：非反転：キャプチャは IC1 の立ち上がりエッジで行われます。外部トリガとして使用されるときには、IC1 は反転されません。
1：反転：キャプチャは IC1 の立ち下がりエッジで行われます。外部トリガとして使用されるときには、IC1 は反転されます。

ビット 0 **CC1E**：キャプチャ /比較 1 出力イネーブル
CC1 チャネルが出力として設定されているとき：
0：オフ - OC1 はアクティブではありません。
1：オン - OC1 信号は、対応する出力ピンに出力されます。
CC1 チャネルが入力として設定されているとき：
このビットによって、カウンタ値のキャプチャ /比較レジスタ 1（TIMx_CCR1）へのキャプチャが実際に行われるかどうかが決まります。
0：キャプチャは無効です。
1：キャプチャは有効です。

表86. 標準 OCx チャネルの出力制御ビット

CCxE ビット	OCx 出力状態
0	出力無効（OCx=0、OCx_EN=0）
1	OCx=OCxREF + 極性、OCx_EN=1

注： ***標準 OCx チャネルに接続されている外部 IO ピンの状態は、OC x チャネルの状態と GPIO および AFIO レジスタに依存します。***

14.4.10 TIMx カウンタ（TIMx_CNT）

アドレスオフセット：0x24

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CNT[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **CNT[15:0]**：カウンタ値

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

14.4.11 TIMx プリスケーラ（TIMx_PSC）

アドレスオフセット：0x28

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PSC[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **PSC[15:0]**：プリスケーラ値
カウンタのクロック周波数 CK_CNT は、f_{CK_PSC} /（PSC[15:0] + 1）に等しいです。
PSC は、更新イベントごとにアクティブプリスケーラレジスタにロードされる値を含みます。

14.4.12 TIMx 自動再ロードレジスタ（TIMx_ARR）

アドレスオフセット：0x2C

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ARR[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **ARR[15:0]**：プリスケーラ値
ARR は、実際の自動再ロードレジスタにロードされる値です。
APR の更新と動作の詳細については、*セクション 14.3.1：タイムベースユニット（342 ページ）*を参照してください。
自動再ロード値が null のときには、カウンタはブロックされます。

14.4.13 TIMx キャプチャ /比較レジスタ 1（TIMx_CCR1）

アドレスオフセット：0x34

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR1[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **CCR1[15:0]**：キャプチャ /比較 1 値

チャネル CC1 が出力として設定されている場合：
CCR1 は、実際のキャプチャ /比較 1 レジスタにロードされる値（プリロード値）です。
TIMx_CCMR1 レジスタの OC1PE ビットでプリロード機能が選択されていない場合、この値は不変にロードされます。そうでない場合、プリロード値は、更新イベントが発生すると、アクティブキャプチャ /比較 1 レジスタにコピーされます。
アクティブキャプチャ /比較レジスタは、カウンタ TIMx_CNT と比較されて、OC1 出力に送信される値を含みます。

CC1 チャネルが入力として設定されている場合：
CCR1 は、最後の入力キャプチャ 1 イベント（IC1）によって転送されたカウンタ値です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

14.4.14 TIMx キャプチャ /比較レジスタ 2（TIMx_CCR2）

アドレスオフセット：0x38

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR2[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **CCR2[15:0]**：キャプチャ /比較 2 値

CC2 チャネルが出力として設定されている場合：

CCR2 は、実際のキャプチャ /比較 2 レジスタにロードされる値（プリロード値）です。

TIMx_CCMR2 レジスタの OC2PE ビットでプリロード機能が選択されていない場合は、不変にロードされます。そうでない場合、プリロード値は、更新イベントが発生すると、アクティブキャプチャ /比較 2 レジスタにコピーされます。

アクティブキャプチャ /比較レジスタは、カウンタ TIMx_CNT と比較され、OC2 出力に送信される値を含みます。

CC2 チャネルが入力として設定されている場合：

CCR2 は、最後の入力キャプチャ 2 イベント（IC2）によって転送されたカウンタ値です。

14.4.15 TIMx キャプチャ /比較レジスタ 3（TIMx_CCR3）

アドレスオフセット：0x3C

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR3[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **CCR3[15:0]**：キャプチャ /比較値

チャネル CC3 が出力として設定されている場合：

CCR3 は、実際のキャプチャ /比較 3 レジスタにロードされる値（プリロード値）です。

TIMx_CCMR3 レジスタの OC3PE ビットでプリロード機能が選択されていない場合は、不変にロードされます。そうでない場合、プリロード値は、更新イベントが発生すると、アクティブキャプチャ /比較 3 レジスタにコピーされます。

アクティブキャプチャ /比較レジスタは、カウンタ TIMx_CNT と比較され、OC3 出力に送信される値を含みます。

CC3 チャネルが入力として設定されている場合：

CCR3 は、最後の入力キャプチャ 3 イベント（IC3）によって転送されたカウンタ値です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

14.4.16 TIMx キャプチャ /比較レジスタ 4（TIMx_CCR4）

アドレスオフセット：0x40

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR4[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **CCR4[15:0]**：キャプチャ /比較値

CC4 チャネルが出力として設定されている場合（CC4S ビット）：
CCR4 は、実際のキャプチャ /比較 4 レジスタにロードされる値（プリロード値）です。
TIMx_CCMR4 レジスタの OC4PE ビットでプリロード機能が選択されていない場合は、不変にロードされます。そうでない場合、プリロード値は、更新イベントが発生すると、アクティブキャプチャ /比較 4 レジスタにコピーされます。
アクティブキャプチャ /比較レジスタは、カウンタ TIMx_CNT と比較され、OC4 出力に送信される値を含みます。

CC4 チャネルが入力として設定されている場合（TIMx_CCMR4 レジスタの CC4S ビット）：
CCR4 は、最後の入力キャプチャ 4 イベント（IC4）によって転送されたカウンタ値です。

14.4.17 TIMx DMA制御レジスタ（TIMx_DCR）

アドレスオフセット：0x48

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み			DBL[4:0]					予約済み			DBA[4:0]				
			rw	rw	rw	rw	rw				rw	rw	rw	rw	rw

ビット 15:13 予約済み、常に 0 として読み出されます。

ビット 12:8 **DBL[4:0]**：DMA バースト長

この 5 ビットのベクタは、DMA 転送の長さ（タイマは、TIMx_DMAR アドレスに対して読み出しまたは書き込みアクセスが行われるときにバースト転送を認識します）、すなわち、転送バイト数を定義します。
00000：1 バイト
00001：2 バイト
00010：3 バイト
...
10001：18 バイト

ビット 7:5 予約済み、常に 0 として読み出されます。

ビット 4:0 **DBA[4:0]**：DMA ベースアドレス

この 5 ビットのベクタは、DMA 転送のベースアドレスを定義します（TIMx_DMAR アドレスを通じて読み出し/書き込みアクセスが行われるとき）。DBA は、TIMx_CR1 レジスタのアドレスから始まるオフセットとして定義されます。
例：
00000：TIMx_CR1
00001：TIMx_CR2
00010：TIMx_SMCR
...

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

14.4.18 完全転送の TIMx DMA アドレス（TIMx_DMAR）

アドレスオフセット：0x4C

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DMAB[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **DMAB[15:0]**：DMA バーストアクセスレジスタ

DMAR レジスタへの読み出しまたは書き込みアクセスは、次のアドレスにあるレジスタへのアクセスとなります。

（TIMx_CR1 アドレス）+ DBA + （DMA オフセット）：

TIMx_CR1 アドレスは、制御レジスタ 1 のアドレスです。

DBA は、TIMx_DCR レジスタで設定された DMA ベースアドレスです。

DMA インデックスは、DMA 転送によって自動的に制御されるオフセットであり、TIMx_DCR レジスタの転送長 DBL に依存します。

14.4.19 TIMx レジスタマップ

TIMx レジスタは、次の表のように、16 ビットのアドレス可能レジスタとしてマップされます。

表87. TIMx レジスタマップとリセット値

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	**TIMx_CR1**	予約済み																						CKD[1:0]		ARPE	CMS[1:0]		DIR	OPM	URS	UDIS	CEN
	リセット値																							0	0	0	0	0	0	0	0	0	0
0x04	**TIMx_CR2**	予約済み																								TI1S	MMS[2:0]			CCDS	予約済み		
	リセット値																									0	0	0	0	0			
0x08	**TIMx_SMCR**	予約済み																ETP	ECE	ETPS[1:0]		ETF[3:0]				MSM	TS[2:0]			予約済み	SMS[2:0]		
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0		0	0	0
0x0C	**TIMx_DIER**	予約済み																	TDE	COMDE	CC4DE	CC3DE	CC2DE	CC1DE	UDE	予約済み	TIE	予約済み	CC4IE	CC3IE	CC2IE	CC1IE	UIE
	リセット値																		0	0	0	0	0	0	0		0		0	0	0	0	0
0x10	**TIMx_SR**	予約済み																			CC4OF	CC3OF	CC2OF	CC1OF	予約済み		TIF	予約済み	CC4IF	CC3IF	CC2IF	CC1IF	UIF
	リセット値																				0	0	0	0			0		0	0	0	0	0
0x14	**TIMx_EGR**	予約済み																									TG	予約済み	CC4G	CC3G	CC2G	CC1G	UG
	リセット値																										0		0	0	0	0	0
0x18	**TIMx_CCMR1** *出力比較モード*	予約済み																OC2CE	OC2M[2:0]			OC2PE	OC2FE	CC2S[1:0]		OC1CE	OC1M[2:0]			OC1PE	OC1FE	CC1S[1:0]	
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	TIMx_CCMR1 *入力キャプチャモード*	予約済み																IC2F[3:0]				IC2PSC[1:0]		CC2S[1:0]		IC1F[3:0]				IC1PSC[1:0]		CC1S[1:0]	
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表87. TIMx レジスタマップとリセット値（続き）

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x1C	**TIMx_CCMR2** *出力比較モード*	予約済み																O24CE	OC4M [2:0]			OC4PE	OC4FE	CC4S [1:0]		OC3CE	OC3M [2:0]			OC3PE	OC3FE	CC3S [1:0]	
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	TIMx_CCMR2 *入力キャプチャモード*	予約済み																IC4F[3:0]				IC4 PSC [1:0]		CC4S [1:0]		IC3F[3:0]				IC3 PSC [1:0]		CC3S [1:0]	
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x20	**TIMx_CCER**	予約済み																		CC4P	CC4E	予約済み		CC3P	CC3E	予約済み		CC2P	CC2E	予約済み		CC1P	CC1E
	リセット値																			0	0			0	0			0	0			0	0
0x24	**TIMx_CNT**	予約済み																CNT[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x28	**TIMx_PSC**	予約済み																PSC[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x2C	**TIMx_ARR**	予約済み																ARR[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x30	予約済み																																
0x34	**TIMx_CCR1**	予約済み																CCR1[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x38	**TIMx_CCR2**	予約済み																CCR2[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x3C	**TIMx_CCR3**	予約済み																CCR3[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x40	**TIMx_CCR4**	予約済み																CCR4[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x44	予約済み																																
0x48	**TIMx_DCR**	予約済み																			DBL[4:0]					予約済み		DBA[4:0]				
	リセット値																				0	0	0	0	0			0	0	0	0	0
0x4C	**TIMx_DMAR**	予約済み																DMAB[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

レジスタ境界アドレスについては、*表 1（45 ページ）*を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

15 汎用タイマ（TIM9～TIM14）

小容量 デバイス は、フラッシュメモリ容量が 16～32 KB の STM32F101xx、STM32F102xx、および STM32F103xx マイクロコントローラです。

中容量 デバイスは、フラッシュメモリ容量が 64～128 KB の STM32F101xx、STM32F102xx、および STM32F103xx マイクロコントローラです。

大容量デバイス は、フラッシュメモリ容量が 256～512 KB の STM32F101xx および STM32F103xx マイクロコントローラです。

特大容量デバイスは、フラッシュメモリ容量が 768 KB～1 MB の STM32F101xx および STM32F103xx マイクロコントローラです。

コネクティビティラインデバイス は、STM32F105xx および STM32F107xx マイクロコントローラです。

このセクション は、特大容量デバイスのみに適応されます。

15.1 TIMx の概要

汎用タイマは、プログラマブルなプリスケーラで駆動される 16 ビット 自動再ロードカウンタで構成されています。

タイマ TIM9～TIM14 は、入力信号のパルス幅の測定（入力キャプチャ）や出力波形の生成（出力比較、PWM）など、さまざまな目的に使用できます。

パルス長と波形の周期は、タイマプリスケーラと RCC クロックコントローラプリスケーラを使用して、数マイクロ秒から数ミリ秒までの範囲で変化させることができます。

汎用タイマ TIM9～TIM14 のグループと、別の汎用タイマ TIM2、TIM3、TIM4、および TIM5 のグループは互いに独立しており、リソースを共有しません。*セクション 15.4.12*に記されているように、相互に同期させることができます。

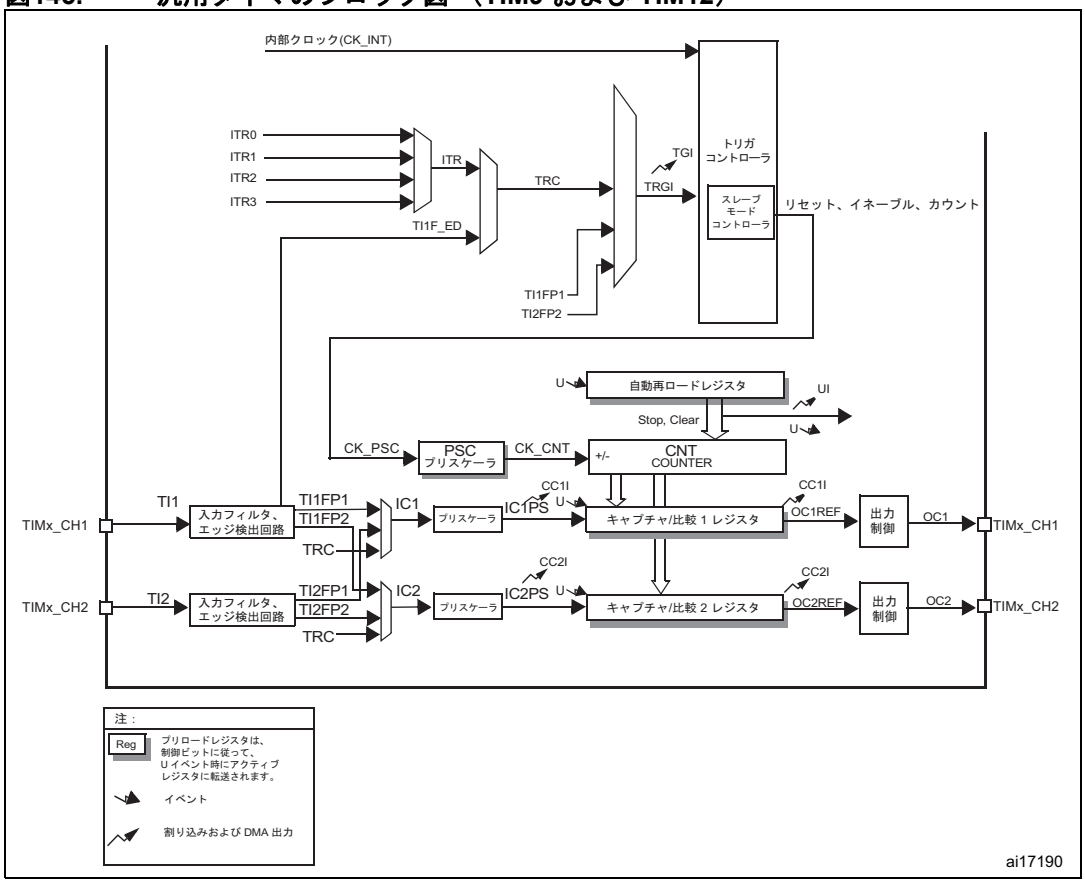
この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

15.2 汎用タイマTIM9 および TIM12

汎用タイマ TIM9/TIM12 の特長は以下のとおりです。

- 16 ビット自動再ロードアップカウンタ
- 1 から 65535 の間の値でカウンタクロック周波数を動作中でも分周できる 16 ビットのプログラマブルプリスケーラ。
- 次の機能を持つ、最大 2 つの独立チャネル。
  - 入力キャプチャ
  - 出力比較
  - PWM 生成（エッジアラインモード）
  - ワンパルスモード出力
- 外部信号でタイマを制御し、複数のタイマを相互接続する同期回路
- 以下のイベントによる割り込みの生成。
  - 更新 : カウンタオーバーフロー、カウンタの初期化（ソフトウェアまたは内部トリガによって）
  - トリガイベント（内部トリガによるカウンタの開始、停止、初期化、またはカウント）
  - 入力キャプチャ
  - 出力比較

図145. 汎用タイマのブロック図 （TIM9 および TIM12）



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

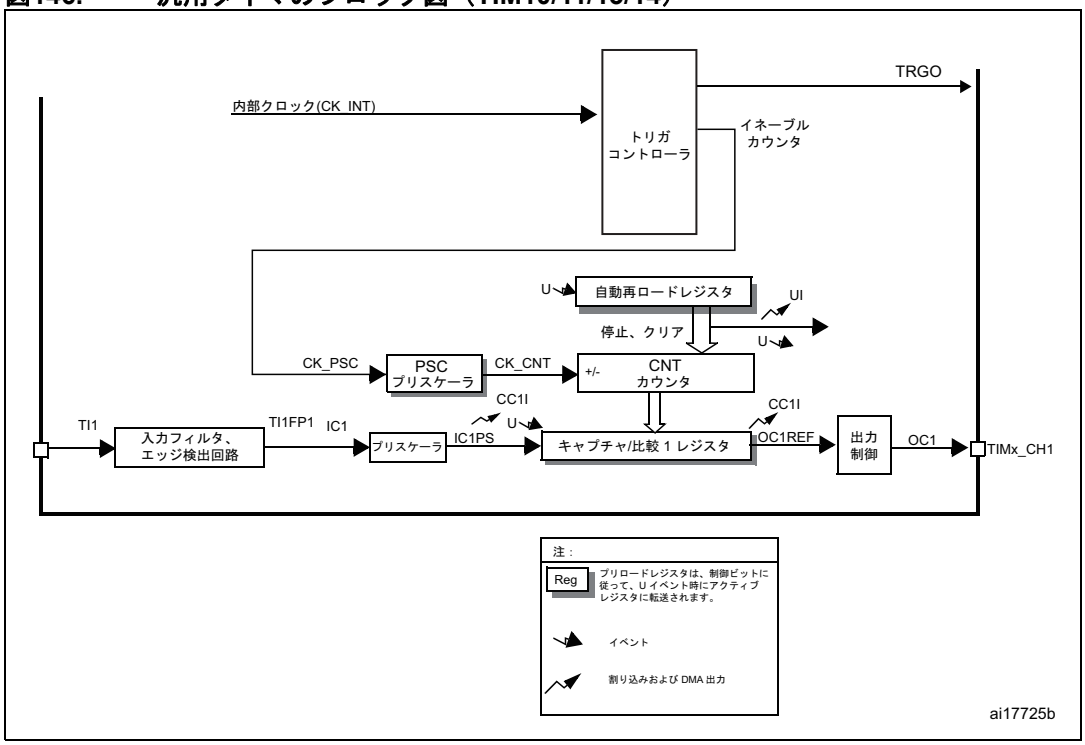
参考資料

15.3 汎用タイマ TIM10/TIM11 および TIM13/TIM14

汎用タイマ TIM10/TIM11および TIM13/TIM14 の特長は以下のとおりです。

- 16 ビット自動再ロードアップカウンタ
- 1 から 65535 の間の値でカウンタクロック周波数を動作中でも分周できる 16 ビットのプログラマブルプリスケーラ。
- 次の機能を持つ独立チャネル。
  - 入力キャプチャ
  - 出力比較
  - PWM 生成（エッジアラインモード）
- 以下のイベントによる割り込みの生成。
  - 更新 : カウンタオーバーフロー、カウンタの初期化（ソフトウェアまたは内部トリガによって）
  - 入力キャプチャ
  - 出力比較

図146. 汎用タイマのブロック図（TIM10/11/13/14）



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

15.4 TIMx の機能詳細

15.4.1 タイムベースユニット

プログラマブル高機能制御タイマのメインブロックは、自動再ロードレジスタを持つ 16 ビットカウンタです。カウンタはカウントアップの動作が可能です。カウンタのクロックは、プリスケーラによって分周できます。

カウンタ、自動再ロードレジスタ、プリスケーラレジスタは、ソフトウェアによる読み書きが可能です。カウンタの動作中も同様です。

タイムベースユニットは、以下のレジスタで構成されます。

- カウンタレジスタ（TIMx_CNT）
- プリスケーラレジスタ（TIMx_PSC）
- 自動再ロードレジスタ（TIMx_ARR）

自動再ロードレジスタは、プリロードレジスタに事前にロードされます。自動再ロードレジスタの読み書きは、プリロードレジスタへのアクセスになります。プリロードレジスタの内容は、TIMx_CR1 レジスタの自動再ロードプリロードイネーブルビット（ARPE）に応じて、常時または更新イベント（UEV）ごとに、シャドウレジスタに転送されます。TIMx_CR1 レジスタの UDIS ビットが 0 である場合、更新イベントはカウンタがオーバーフロー に達したときに発生します。また、ソフトウェアによって生成することもできます。更新イベントの生成については、各設定の中で詳しく説明されています。

カウンタのクロックは、TIMx_CR1 レジスタのカウンタイネーブルビット（CEN）がセットされているときにのみ、プリスケーラ出力 CK_CNT から供給されます（カウンタの有効化の詳細については、スレーブモードコントローラの説明も参照してください）。

TIM x _CR1 レジスタの CEN ビットがセットされてから、カウンタがカウントを開始するまでに 1 クロックサイクルの遅延があることに注意してください。

プリスケーラの詳細

プリスケーラは、カウンタクロック周波数を 1 から 65536 までの値で分周することができます。16 ビットレジスタ（TIMx_PSC）を通して制御されます。この制御レジスタはバッファされるので、動作中でも変更できます。新しいプリスケーラ比は、次の更新イベントで有効になります。

図 148 と *図 149* は、プリスケーラ比がその場で変更されたときのカウンタの動作の例を示しています。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図147. プリスケーラ分周比が 1 から 2 に変化したときのカウンタのタイミング図

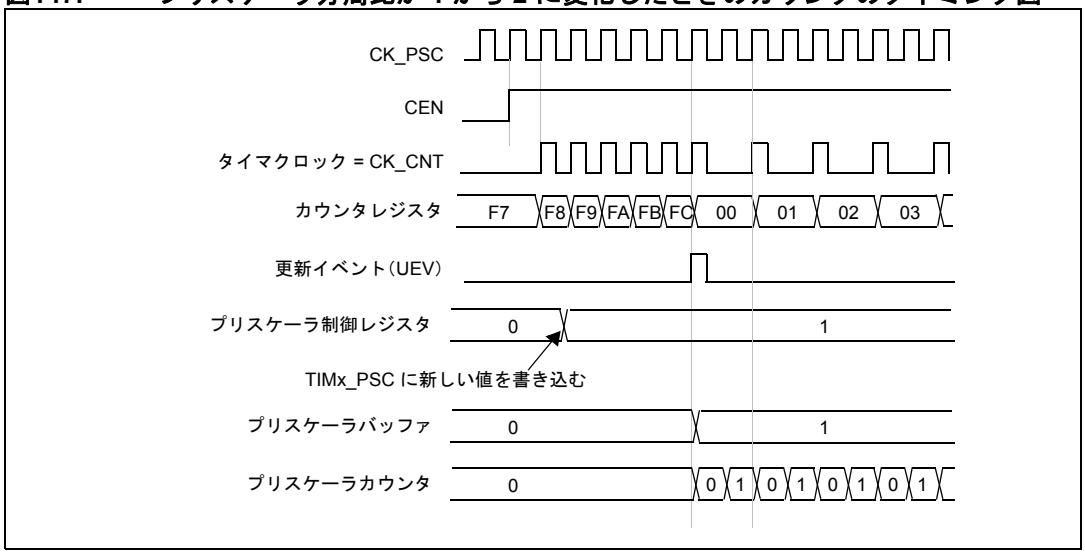
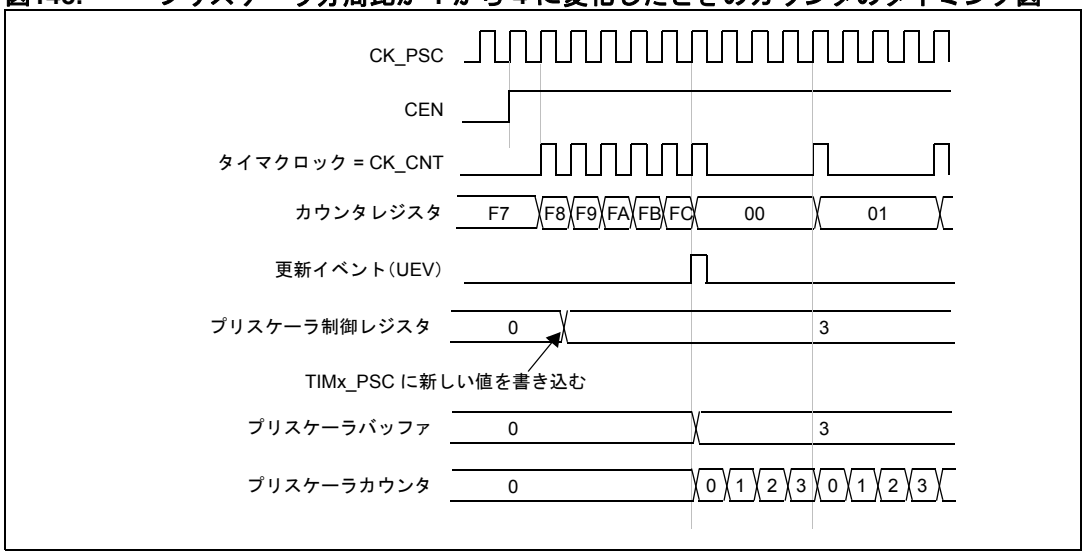


図148. プリスケーラ分周比が 1 から 4 に変化したときのカウンタのタイミング図



15.4.2 カウンタモード

アップカウントモード

アップカウントモードでは、カウンタは 0 から自動再ロード値（TIMx_ARR レジスタの内容）までカウントし、0 からカウントをリスタートするとともに、カウンタオーバーフローイベントを生成します。

（ソフトウェアによって、またはスレーブモードコントローラを使用して）TIMx_EGR レジスタの UG ビットをセットすることでも更新イベントが生成されます。

UEV イベントは、ソフトウェアで TIMx_CR1 レジスタの UDIS ビットをセットすることによって無効にできます。これは、プリロードレジスタに新しい値を書き込んでいるときにシャドウレジスタが更新されるのを防ぐためです。この後、UDIS ビットに 0 が書き込まれるまで、更新イベントは発生しません。ただし、プリスケーラのカウンタと同じく、カウンタは 0 からカウントをリスタート始します（しかし、プリスケーラ比は変化しません）。さらに、TIMx_CR1 レジスタの URS ビット（更新

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

リクエスト選択）がセットされている場合は、UG ビットをセットすると更新イベント UEV が生成されますが、UIF フラグはセットされません（したがって、割り込みは送信されません）。これは、キャプチャイベント時にカウンタをクリアしているときに、更新とキャプチャの両方の割り込みを生成するのを防ぐためです。

更新イベントが発生すると、すべてのレジスタが更新され、URS ビットに応じて、更新フラグ（TIMx_SR レジスタの UIF ビット）がセットされます。

- 自動再ロードシャドウレジスタは、プリロード値（TIMx_ARR）に更新されます。
- プリスケーラのバッファにはプリロード値（TIMx_PSC レジスタの内容）が再びロードされます。

以下の図は、TIMx_ARR = 0x36 のときの、さまざまなクロック周波数におけるカウンタの動作の例を示しています。

図149. 内部クロック分周比が 1 の場合のカウンタのタイミング図

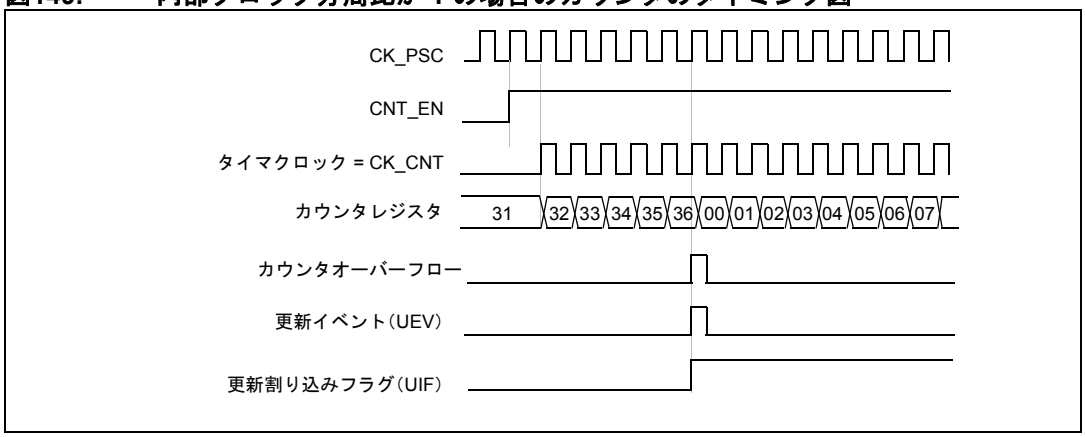
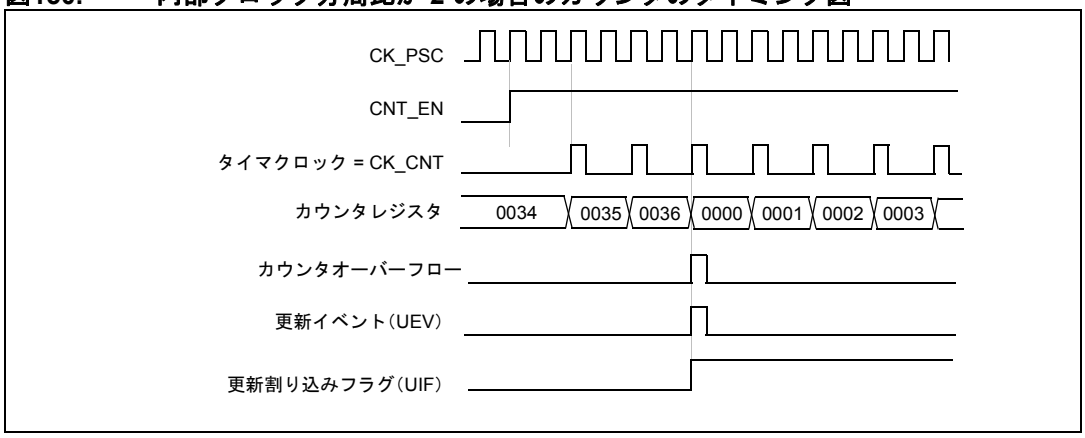


図150. 内部クロック分周比が 2 の場合のカウンタのタイミング図



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図151. 内部クロック分周比が 4 の場合のカウンタのタイミング図

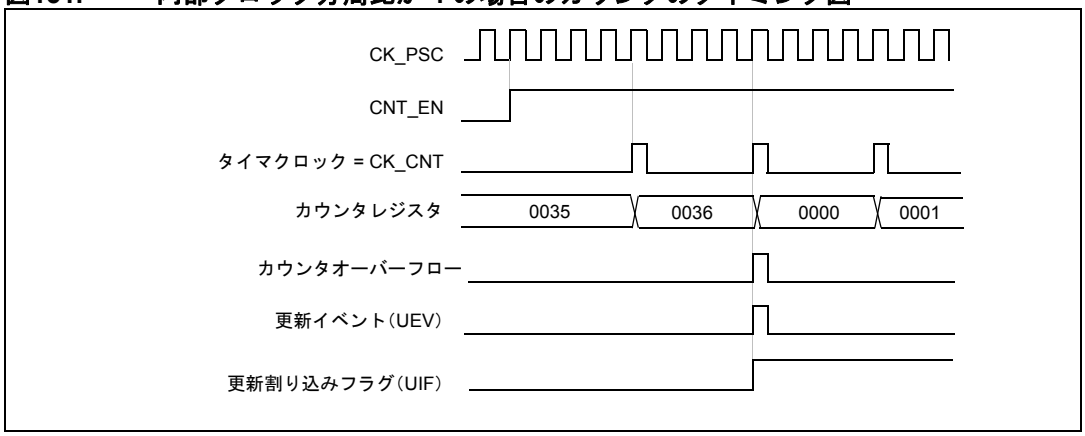


図152. 内部クロック分周比が N の場合のカウンタのタイミング図

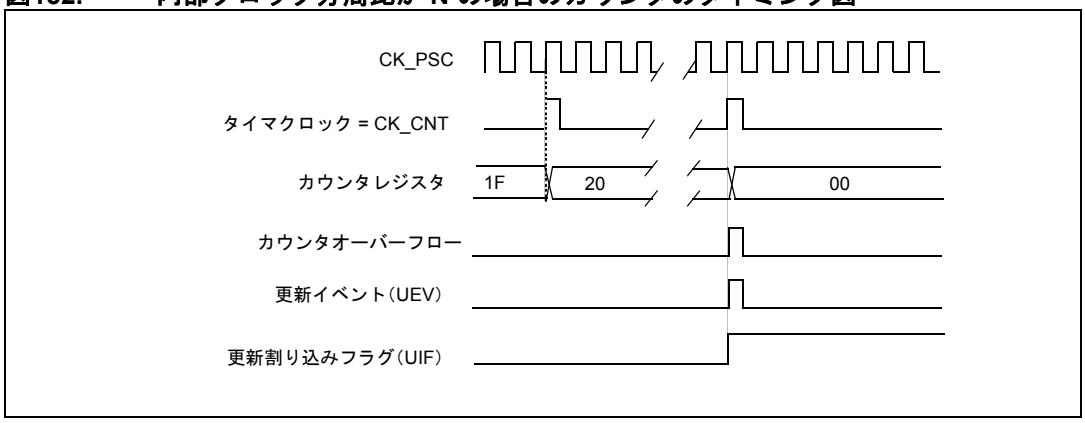
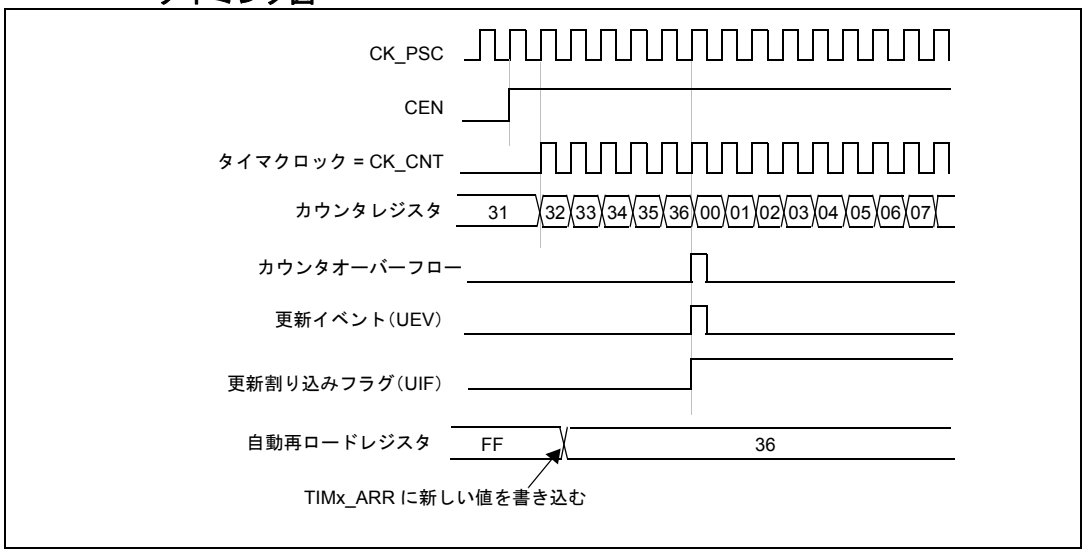
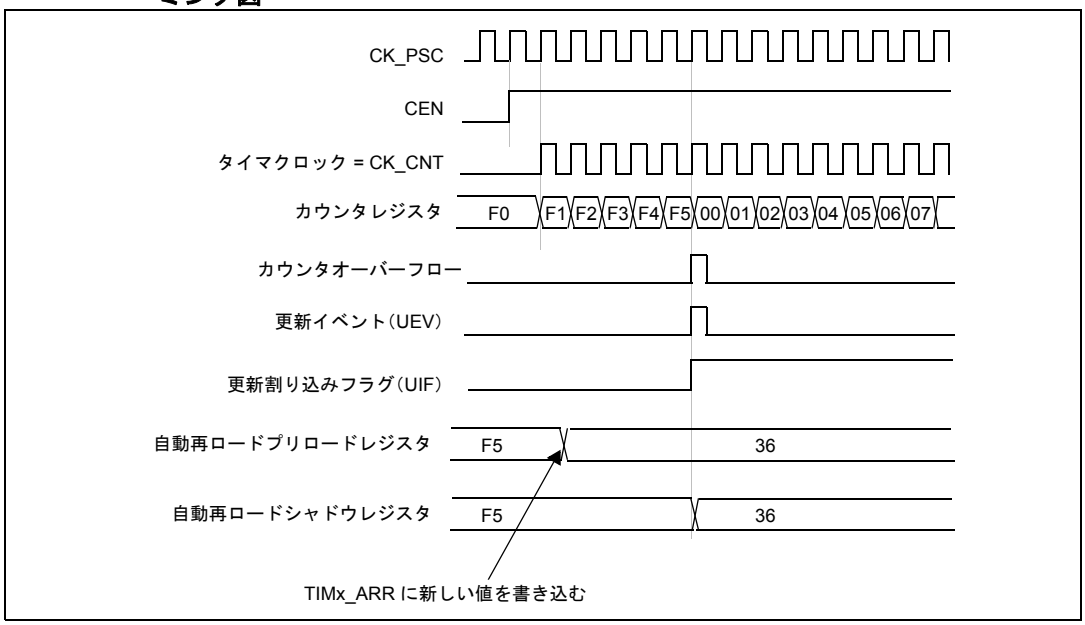


図153. ARPE=0 時（TIMx_ARR はプリロードなし）、更新イベント時のカウンタのタイミング図



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図154. ARPE=1 時（TIMx_ARR はプリロード）、更新イベント時のカウンタのタイミング図



15.4.3 クロック選択

カウンタクロックは、次のクロックソースによって供給できます。

- 内部クロック（CK_INT）
- 外部クロックソースモード1：外部入力ピン （TIx）
- 内部トリガ入力（ITRx）（TIM9 および TIM12 用）：1 つのタイマを他のタイマのプリスケーラとして使用。たとえば、TIM2 を TIM9のプリスケーラとして動作するように設定することができます。詳細については、*1 つのタイマを別のタイマのプリスケーラとして使用する* を参照してください。

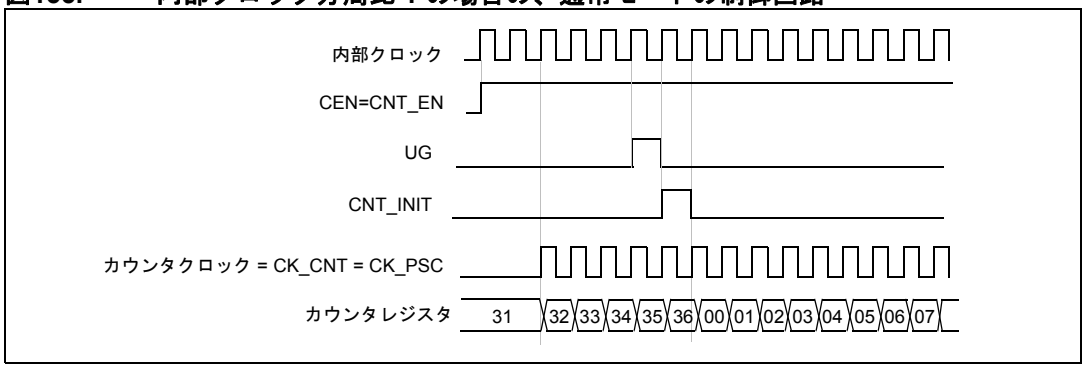
内部クロックソース（CK_INT）

スレーブモードコントローラが無効の場合（SMS=000）、CEN、DIR（TIMx_CR1 レジスタ）、および UG ビット（TIMx_EGR レジスタ）が実際の制御ビットとなり、ソフトウェアによってのみ変更できます（自動的にクリア状態に保たれる UG ビットを除きます）。CEN ビットに 1 が書き込まれると、プリスケーラに内部クロック CK_INT が供給されます。

図 155 は、プリスケーラを使用しない場合の制御回路と通常モードのアップカウンタの動作を示しています。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

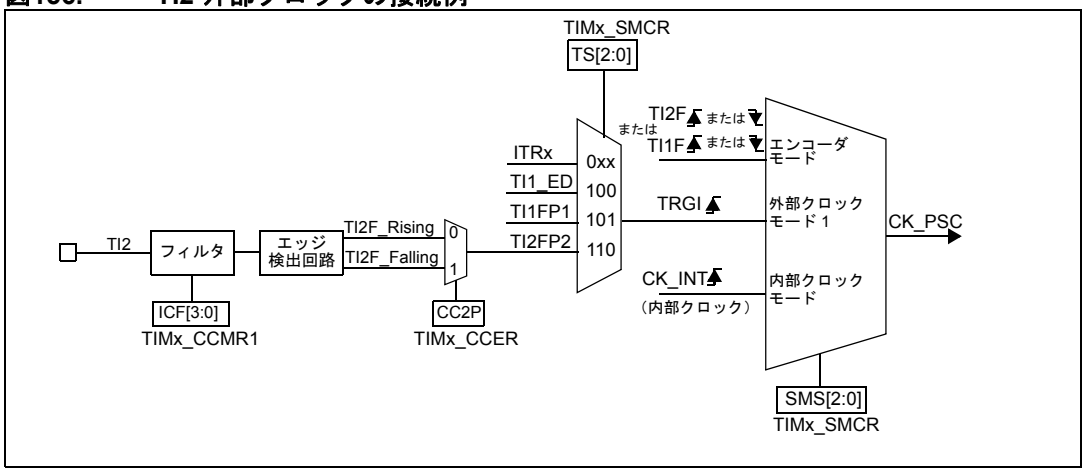
図155. 内部クロック分周比 1 の場合の、通常モードの制御回路



外部クロックソースモード 1

このモードは TIMx_SMCR レジスタの SMS=111 のときに選択されます。カウンタは、選択された入力の立ち上がりまたは立ち下がりエッジでカウントすることができます。

図156. TI2 外部クロックの接続例



たとえば、TI2 入力の立ち上がりエッジに反応してカウントするようにアップカウンタを設定するには、次の手順で行います。

1. TIMx_CCMR1 レジスタの CC2S="01" を書き込むことによって、チャネル 2 が TI2 入力の立ち上がりエッジを検出するように設定します。
2. TIMx_CCMR1 レジスタの IC2F[3:0] ビットに書き込むことによって、入力フィルタの時間を設定します（フィルタが不要な場合は、IC2F=0000 のままにしておきます）。
3. TIMx_CCER レジスタの CC2P=0 を書き込むことによって、立ち上がりエッジ極性を選択します。
4. TIMx_SMCR レジスタの SMS=111 を書き込むことによって、タイマを外部クロックモード 1 に設定します。
5. TIMx_SMCR レジスタの TS=110 を書き込むことによって、トリガ入力ソースとして TI2 を選択します。
6. TIMx_CR1 レジスタの CEN=1 を書き込むことによって、カウンタを有効にします。

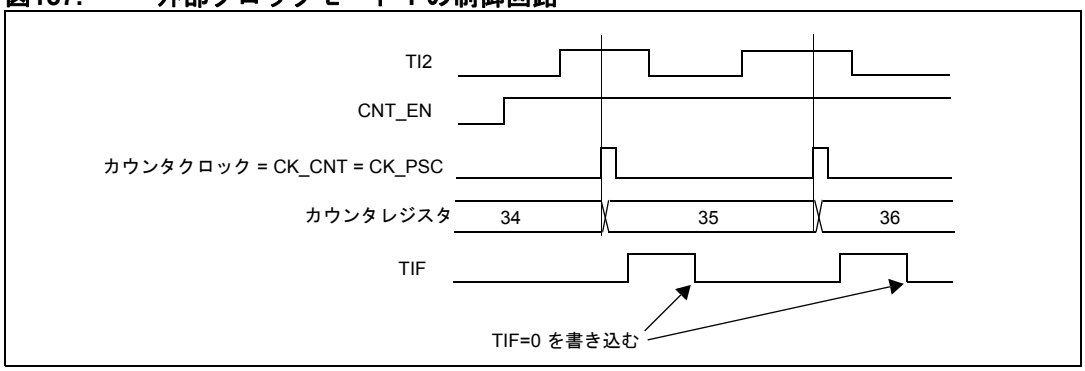
注： ***キャプチャプリスケーラはトリガには使用されないので、設定する必要はありません。***

TI2 の立ち上がりエッジが発生すると、カウンタは 1 カウントを行い、TIF フラグがセットされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

TI2 の立ち上がりエッジから実際のカウンタクロックまでの間には、TI2 入力の再同期回路による遅延があります。

図157. 外部クロックモード 1 の制御回路



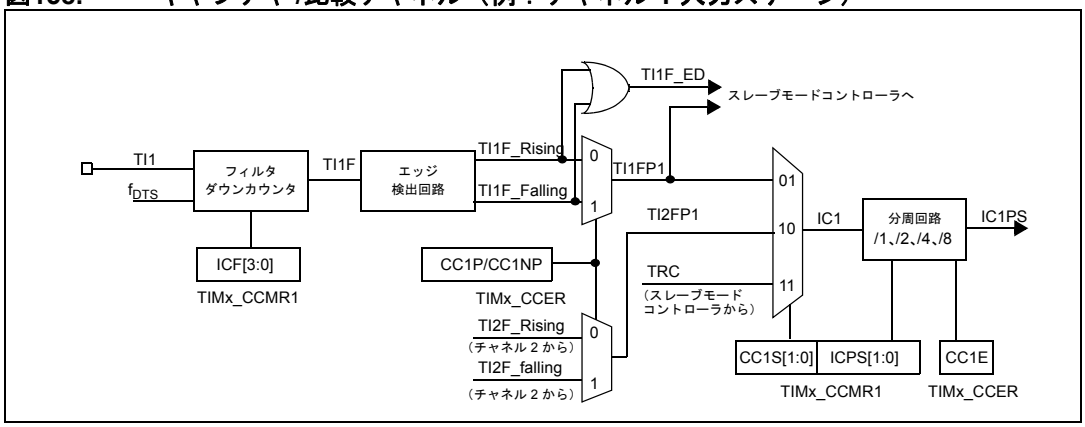
15.4.4 キャプチャ /比較チャネル

各キャプチャ /比較チャネルは、キャプチャ /比較レジスタ（シャドウレジスタを含む）、キャプチャの入力ステージ（デジタルフィルタ、マルチプレクサ、プリスケーラ）、および出力ステージ（比較回路と出力制御）から構成されています。

図 158 から *図 160* に、キャプチャ /比較チャネルの概要を示します。

入力ステージは、対応する TIx 入力をサンプルして、フィルタリングを行った TIxF 信号を生成します。次に、極性選択付きのエッジ検出回路が、スレーブモードコントローラによってトリガ入力として、またはキャプチャコマンドとして使用される信号（TIxFPx）を生成します。この信号はプリスケーラを通じて、キャプチャレジスタ（ICxPS）に渡されます。

図158. キャプチャ /比較チャネル（例：チャネル 1 入力ステージ）



出力ステージは、OCxRef（アクティブハイ）として使用される中間波形を生成します。信号の極性は最終出力に影響を与えます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図159. キャプチャ /比較チャネル 1 メイン回路

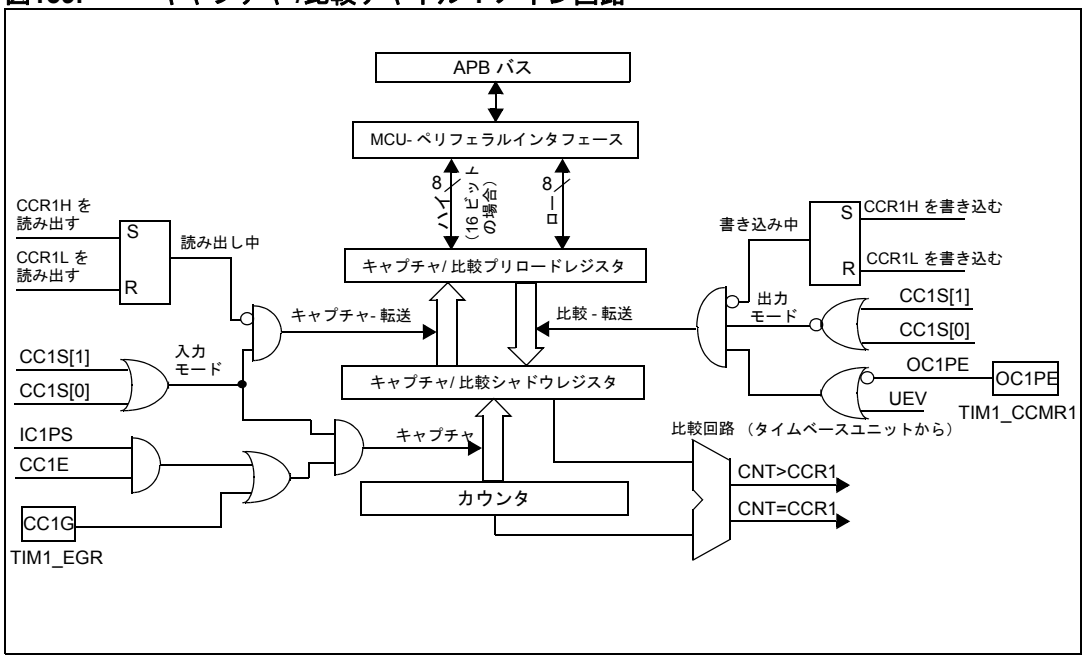
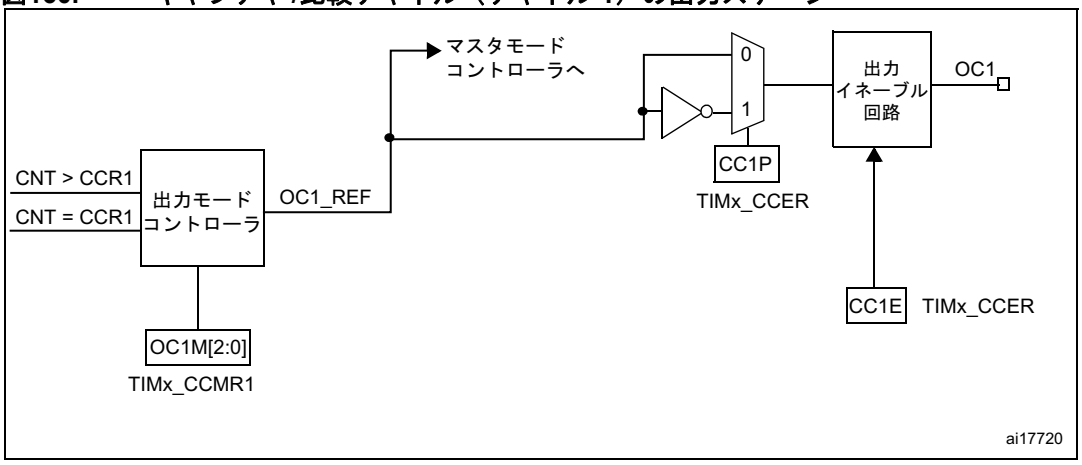


図160. キャプチャ /比較チャネル（チャネル 1）の出力ステージ



キャプチャ /比較ブロックは、1 個のプリロードレジスタと 1 個のシャドウレジスタで構成されています。読み書きのアクセスは常にプリロードレジスタに対して行われます。

キャプチャモードでは、キャプチャ動作は実際にはシャドウレジスタで行われ、その値がプリロードレジスタにコピーされます。

比較モードでは、プリロードレジスタの内容がシャドウレジスタにコピーされて、カウンタと比較されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

15.4.5 入力キャプチャモード

入力キャプチャモードでは、対応する ICx 信号によって変化が検出された後、カウンタの値をラッチするために、キャプチャ /比較レジスタ（TIMx_CCRx）が使用されます。キャプチャが発生すると、対応する CCxIF フラグ（TIMx_SR レジスタ）がセットされ、割り込みまたは DMA リクエストを送信できます（有効な場合）。CCxIF フラグがすでにハイのときにキャプチャが発生した場合は、オーバーキャプチャフラグ CCxOF（TIMx_SR レジスタ）がセットされます。CCxIF フラグは、ソフトウェアで "0" を書き込むことによって、または、TIMx_CCRx レジスタに格納されたキャプチャデータを読み出すことによってクリアできます。CCxOF は、"0" を書き込むとクリアされます。

次の例は、TI1 入力が立ち上がったときにカウンタの値を TIMx_CCR1 にキャプチャする方法を示しています。このためには、次の手順を使用します。

- TIMx_CCR1 は TI1 入力とリンクされていなければならず、このためには、TIMx_CCMR1 レジスタの CC1S ビットに "01" を書き込みます。CC1S の値が 00 から変化すると、チャネルは入力に設定され、TIMx_CCR1 レジスタは読み出し専用になります。
- 入力が TIx の 1 つであるときに、タイマに接続する信号に応じて必要な入力フィルタ時間をプログラミングします（TIMx_CCMRx レジスタの ICxF ビット）。入力信号の反転時、最大で内部クロックの 5 サイクルの間、信号が安定しないと仮定してみます。この場合、フィルタ時間を 5 クロックサイクルより長くプログラミングする必要があります。新しいレベルの連続した 8 個のサンプルが検出されたときに、TI1 で変化を検証できます（周波数 f_{DTS} でサンプリング）。この場合、TIMx_CCMR1 レジスタの IC1F ビットに 0011 を書き込みます。
- TI1 チャネルの変化でアクティブとされるエッジを選択します。このためには、TIMx_CCER レジスタの CC1P ビット に "0" を書き込みます（この場合、立ち上がりエッジの選択）。
- 入力プリスケーラをプログラミングします。この例では有効な信号変化ごとにキャプチャを行うので、プリスケーラを無効にします（TIMx_CCMR1 レジスタの IC1PS ビットに "00" を書き込みます）。
- TIMx_CCER レジスタの CC1E ビットをセットすることによって、カウンタからキャプチャレジスタへのキャプチャを有効にします。
- 必要に応じて、TIMx_BDTR レジスタの BKE ビットをセットすることで、ブレーク機能を有効にすることができます。

入力キャプチャが発生すると、

- アクティブな信号変化時のカウンタの値が TIMx_CCR1 レジスタに格納されます。
- CC1IF フラグがセットされます（割り込みフラグ）。CC1OF ビットは、少なくとも 2 回連続でキャプチャが発生した場合にもセットされますが、フラグはクリアされません。
- CC1IE ビットに応じて、割り込みが生成されます。

オーバーキャプチャを処理するために、オーバーキャプチャフラグの前にデータを読み出すことが推奨されます。これにより、フラグを読み出した後、データを読み出す前に発生したオーバーキャプチャの見落としを避けることができます。

注： ***TIMx_EGR レジスタの対応する CCxG ビットをセットすることで、IC 割り込みリクエストをソフトウェアで発生させることができます。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

15.4.6 PWM 入力モード時（TIM9のみ）

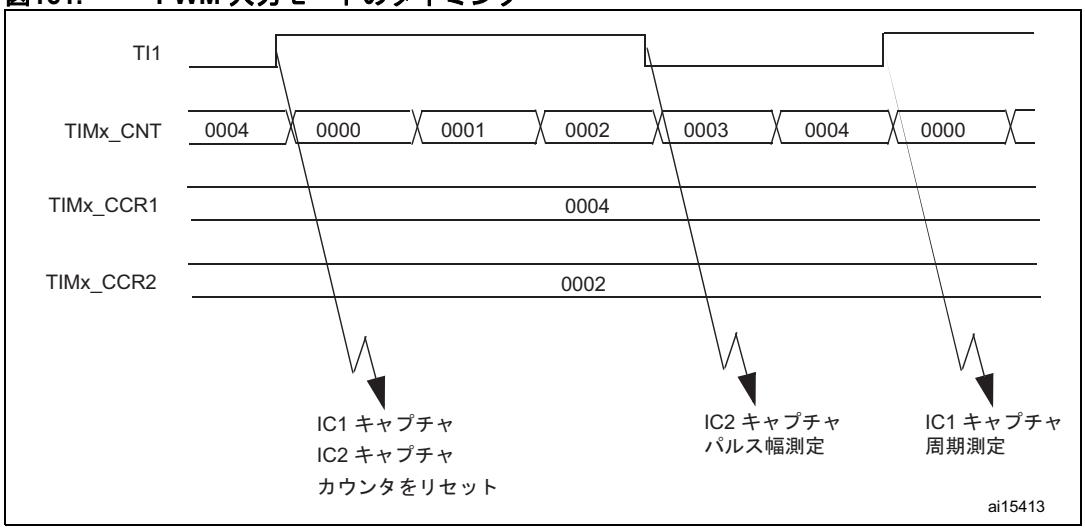
このモードは、入力キャプチャの特別な応用例です。操作手順は入力キャプチャモードと同様ですが、以下の点が異なります。

- 2 つの ICx 信号が同じ TIx 入力に配置されます。
- この 2 つの ICx 信号は、逆の極性のエッジでアクティブです。
- 2 つの TIxFP 信号の 1 つがトリガ入力として選択され、スレーブモードコントローラはリセットモードに設定されます。

たとえば、次の手順を使用して、TI1 に適用された PWM の周期（TIMx_CCR1 レジスタ）とデューティサイクル（TIMx_CCR2 レジスタ）を測定できます（手順は、CK_INT 周波数とプリスケーラ値によって、若干異なることがあります）。

- TIMx_CCR1 のアクティブ入力を選択します。TIMx_CCMR1 レジスタの CC1S ビットに 01 を書き込みます（TI1 を選択）。
- TI1FP1 のアクティブな極性を選択します（TIMx_CCR1 キャプチャとカウンタクリアの両方に使用します）。CC1P ビット に "0" を書き込みます（立ち上がりエッジでアクティブ）。
- TIMx_CCR2 のアクティブ入力を選択します。TIMx_CCMR1 レジスタの CC2S ビットに "10" を書き込みます（TI1 を選択）。
- TI1FP２ のアクティブな極性を選択します（TIMx_CCR2 キャプチャとカウンタクリアの両方に使用します）。CC2P ビット に "1" を書き込みます（立ち下がりエッジでアクティブ）。
- 有効なトリガ入力を選択します。TIMx_SMCR レジスタの TS ビットに "101" を書き込みます（TI1FP1 を選択）。
- スレーブモードコントローラをリセットモードに設定します。すなわち、TIMx_SMCR レジスタの SMS ビットに "100" を書き込みます。
- キャプチャを有効にします。TIMx_CCER レジスタの CC1E ビットと CC2E ビットに "1" を書き込みます。

図161. PWM 入力モードのタイミング



1. TI1FP1 と TI2FP2 のみがスレーブモードコントローラに接続されているので、PWM 入力モードは TIMx_CH1/TIMx_CH2 信号でのみ使用できます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

15.4.7 強制出力モード

出力モード（TIMx_CCMRx レジスタの CCxS ビット =00）では、出力比較レジスタとカウンタの間の比較に関係なく、各出力比較信号（OCxREF と OCx/OCxN）をソフトウェアによって直接、強制的にアクティブまたはインアクティブレベルにできます。

出力比較信号（OCxREF/OCx）を強制的にアクティブレベルにするには、対応する TIMx_OCMRx レジスタの OCxM ビットに "101" を書き込みます。これにより、OCxREF は強制的にハイになり（OCxREF は常にアクティブハイ）、OCx は CCxP 極性ビットと逆の値になります。

たとえば、CCxP=0（OCx アクティブハイ）=> OCx は強制的にハイレベルになります。

OCxREF 信号は、TIMx_CCMRx レジスタの OCxM ビットに 100 を書き込むことによって、強制的にローにできます。

いずれにしても、TIMx_CCRx シャドウレジスタとカウンタの比較は実行されるので、フラグをセットできます。それに応じて、割り込みリクエストを送信できます。これについては、次の出力比較モードのセクションで説明します。

15.4.8 出力比較モード

この機能は、出力波形を制御したり、一定時間が経過したことを示すために使用されます。

キャプチャ /比較レジスタとカウンタの値が一致すると、出力比較は次のように機能します。

- 対応する出力ピンに、出力比較モード（TIMx_CCMRx レジスタの OCxM ビット）と出力極性（TIMx_CCER レジスタの CCxP ビット）によって定義されたプログラマブル値を割り当てます。一致した際、出力ピンは、レベルを維持するか（OCxM=000）、アクティブにセットされるか（OCxM=001）、インアクティブにセットされるか（OCxM=010）、または反転されます（OCxM=011）。
- 割り込みステータスレジスタのフラグをセットします（TIMx_SR レジスタの CCxIF ビット）。
- 対応する割り込みマスク（TIMx_DIER レジスタの CCxIE ビット）がセットされている場合は、割り込みを生成します。

TIMx_CCRx レジスタは、TIMx_OCMRx レジスタの OCxPE ビットを使用して、プリロードレジスタを使用して、またはプリロードレジスタを使用せずにプログラミングできます。

出力比較モードでは、更新イベント UEV は OCxREF および OCx 出力には影響を与えません。タイミングの分解能はカウンタの 1 カウント分です。出力比較モードは単一パルスを出力するためにも使用することができます（ワンパルスモード）。

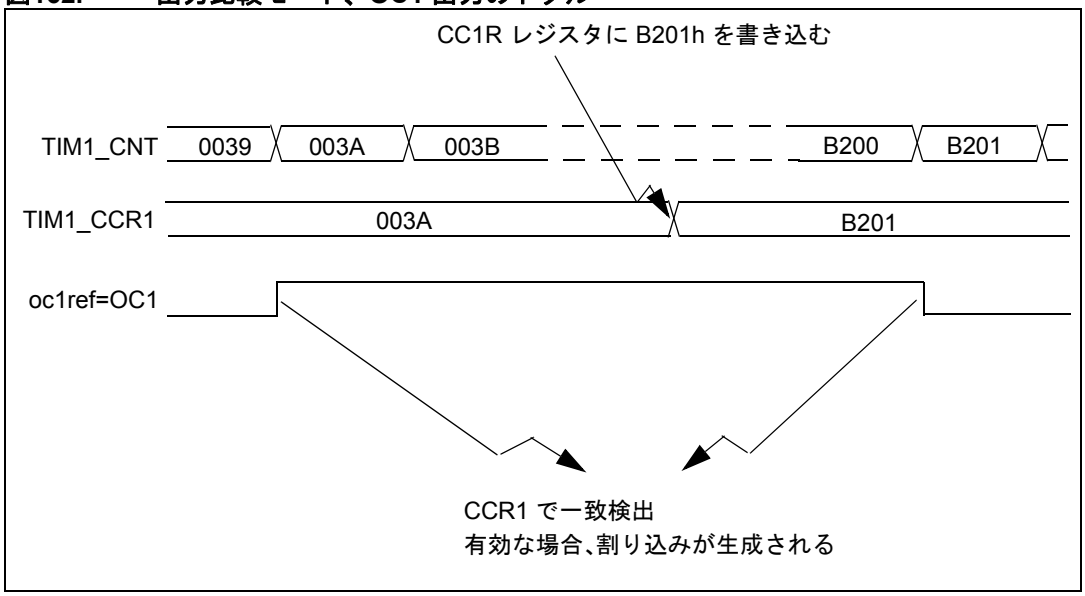
操作手順：

1. カウンタクロックを選択します（内部、外部、プリスケーラ）。
2. TIMx_ARR レジスタと TIMx_CCRx レジスタに目的のデータを書き込みます。
3. 割り込みリクエストを生成する場合は、CCxIE ビットをセットします。
4. 出力モードを選択します。例：
   - CNT と CCRx が一致したときに OCx 出力ピンを反転するには、OCxM = 011を書き込みます。
   - プリロードレジスタを無効にするには、OCxPE = 0 を書き込みます。
   - アクティブハイ極性を選択するには、CCxP = 0 を書き込みます。
   - 出力を有効にするには、CCxE = 1 を書き込みます。
5. TIMx_CR1 レジスタの CEN ビットをセットすることによって、カウンタを有効にします。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

いつでもソフトウェアによって TIMx_CCRx レジスタを更新して、出力波形を制御できます。ただし、プリロードレジスタが有効でない場合に限ります（OCxPE=0）。そうでない場合、TIMx_CCRx シャドウレジスタは、次の更新イベント UEV でのみ更新されます。例を*図 162*に示します。

図162. 出力比較モード、OC1 出力のトグル



15.4.9 PWM モード

パルス幅変調（PWM）モードでは、TIMx_ARR レジスタの値によって決められた周波数と TIMx_CCRx レジスタの値によって決められたデューティサイクルで信号を生成できます。

PWM モードは、TIMx_CCMRx レジスタの OCxM ビットに "110"（PWM モード 1）または "111"（PWM モード 2）を書き込むことによって、チャネルごとに選択できます（OCx 出力ごとに 1 つの PWM）。TIMx_CCMRx レジスタの OCxPE ビットをセットすることによって、対応するプリロードレジスタを有効にする必要があり、また、TIMx_CR1 レジスタの ARPE ビットをセットすることによって、自動再ロードプリロードレジスタも（アップカウントまたはセンターアラインモードで）有効にする必要があります。

プリロードレジスタは、更新イベントが発生したときにのみシャドウレジスタに転送されるので、カウンタを開始する前に、TIMx_EGR レジスタの UG ビットをセットすることによって、すべてのレジスタを初期化する必要があります。

OCx の極性は TIMx_CCER レジスタの CCxP を使用してソフトウェアでプログラムすることができます。アクティブハイまたはアクティブローとしてプログラムできます。OCx 出力は、TIMx_CCER レジスタの CCxE ビットによって有効になります。詳細については、TIMx_CCERx レジスタの説明を参照してください。

PWM モード（1 または 2）では、TIMx_CNT と TIMx_CCRx が常に比較されて、TIMx_CNT ≤ TIMx_CCRx かどうかが判断されます。

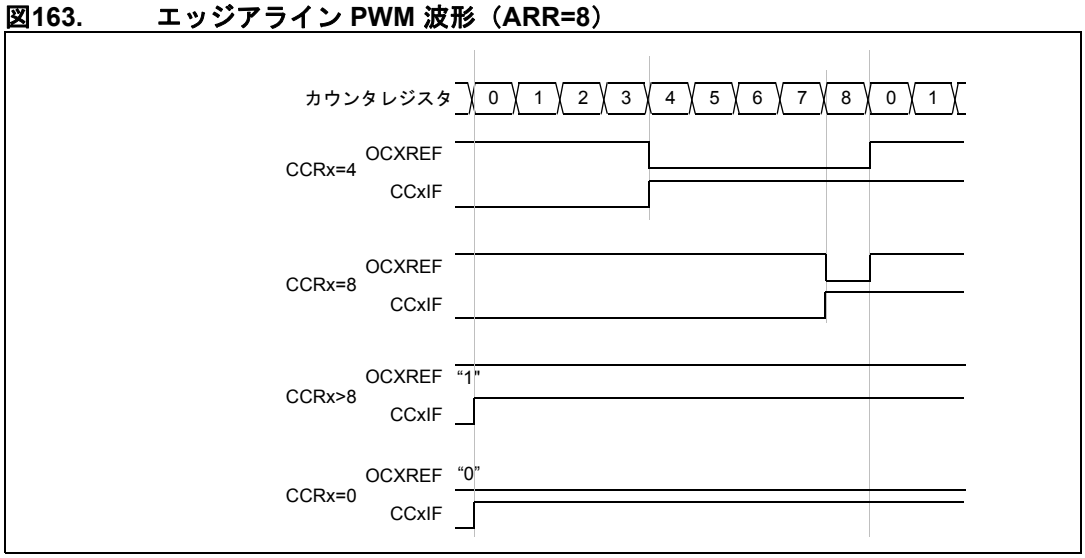
カウンタはカウントアップしているので、タイマはエッジアラインモードでのみ PWM を生成できます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

PWM エッジアラインモード

次の例では、PWM モード 1 を前提としています。PWM 基準信号 OCxREF は、TIMx_CNT < TIMx_CCRx の間はハイに、そうでない場合はローになります。TIMx_CCRx の比較値が自動再ロード値（TIMx_ARR レジスタの）より大きい場合、OCxREF は "1"です。比較値が 0 の場合、OCxRef は 0 です。*図 163* は、TIMx_ARR=8 のときのエッジアライン PWM 波形の例を示しています。

図163. エッジアライン PWM 波形（ARR=8）



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

15.4.10 ワンパルスモード（TIM9/12のみ）

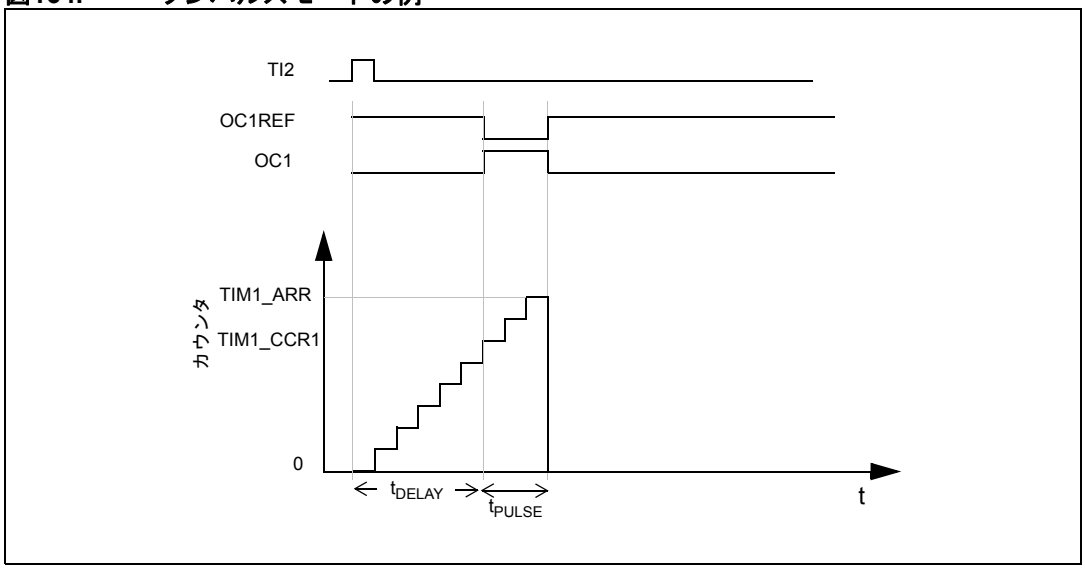
ワンパルスモード（One Pulse Mode：OPM）は、これまでに説明したモードの特殊ケースです。このモードでは、トリガに応じてカウンタを開始して、プログラム可能な遅延後に、プログラミングした長さのパルスを生成することができます。

カウンタの開始は、スレーブモードコントローラを通じて制御できます。波形の生成は、出力比較モードまたは PWM モードで行います。ワンパルスモードを選択するには、TIMx_CR1 レジスタの OPM ビットをセットします。これによって、カウンタは、次の更新イベント UEV で自動的に停止します。

パルスは比較値がカウンタの初期値と異なるときにのみ正しく生成されます。開始前に（タイマがトリガを待っているときに）、設定が次のとおりでなければなりません。

- アップカウントの場合、CNT < CCRx ≤ ARR（特に、0 < CCRx）
- ダウンカウント時：CNT>CCRx

図164. ワンパルスモードの例



たとえば、TI2 入力ピンで立ち上がりエッジが検出されたときに、OC1 にパルス幅が t_{PULSE} の正のパルスを遅延時間 t_{DELAY} 後に発生させることとします。

TI2FP2 をトリガ 1 として使用します。

- TI2FP2 を TI2 に配置するために、TIMx_CCMR1 レジスタの CC2S="01" を書き込みます。
- TI2FP2 で立ち上がりエッジを検出します。TIMx_CCER レジスタの CC2P="0" を書き込みます。
- TI2FP2 をスレーブモードコントローラのトリガ（TRGI）として設定します。このためには、TIMx_SMCR レジスタの TS="110" を書き込みます。
- TI2FP2 を使用してカウンタを開始します。このためには、TIMx_SMCR レジスタの SMS に "110"（トリガモード）を書き込みます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OPM 波形は、比較レジスタに書き込むことによって定義されます（クロック周波数とカウンタプリスケーラを考慮して）。

- 遅延時間 t_{DELAY} はTIMx_CCR1 レジスタに書き込まれた値によって定義されます。
- パルス幅 t_{PULSE} は、自動再ロード値と比較値の差（TIMx_ARR - TIMx_CCR1）によって定義されます。
- 比較値と一致したときに "0" から "1" に変化し、カウンタが自動再ロード値に達したときに "1" から "0" に変化する波形を生成するとします。このためには、TIMx_CCMR1 レジスタの OC1M=111 を書き込むことによって、PWM モード 2 を有効にします。オプションで、TIMx_CCMR1 レジスタの OC1PE="1" を書き込み、TIMx_CR1 レジスタの ARPE="1" を書き込むことによって、プリロードを有効にすることもできます。この場合、比較値を TIMx_CCR1 レジスタに、自動再ロード値を TIMx_ARR レジスタに書き込み、UG ビットをセットすることによって更新を生成して、TI2 上の外部トリガイベントを待つ必要があります。この例では、CC1P には "0" を書き込みます。

この例では、TIMx_CR1 レジスタの DIR ビットと CMS ビットはローレベルでなければなりません。

必要なパルスは 1 つだけなので（シングルモード）、TIMx_CR1 レジスタの OPM ビットに "1" を書き込みます。こうすると、カウンタは次の更新イベント時に停止します（カウンタが自動再ロード値に達して、"0" に戻る時点）。TIMx_CR1 レジスタの OPM ビットが "0" にセットされると、繰り返しモードが選択されます。

特殊なケース：OCx 高速イネーブル

ワンパルスモードでは、TIx 入力でエッジが検出されると、CEN ビットがセットされ、カウンタが有効になります。その後、カウンタと比較値の比較によって、出力が反転されます。しかし、これらの操作には数クロックサイクルが必要なので、実現可能な最小遅延時間 t_{DELAY} が制限されます。

最小遅延で波形を出力したい場合は、TIMx_CCMRx レジスタの OCxFE ビットをセットします。こうすると、OCxREF（および OCx）は、比較動作を行うことなく、強制的にトリガに反応します。新しいレベルは、比較が一致したときと同じです。OCxFE は、チャネルが PWM1 または PWM2 モードに設定されたときにのみ有効です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

15.4.11 TIM9/12 と外部トリガの同期

TIM9/12 タイマ は、リセットモード、ゲートモード、トリガモードなど、いくつかのモードで外部トリガと同期を取ることができます。

スレーブモード：リセットモード

カウンタとそのプリスケーラは、トリガ入力のイベントに応じて再初期化できます。さらに、TIMx_CR1 レジスタの URS ビットがローの場合は、更新イベント UEV が生成されます。その場合、すべてのプリロードレジスタ（TIMx_ARR、TIMx_CCRx）が更新されます。

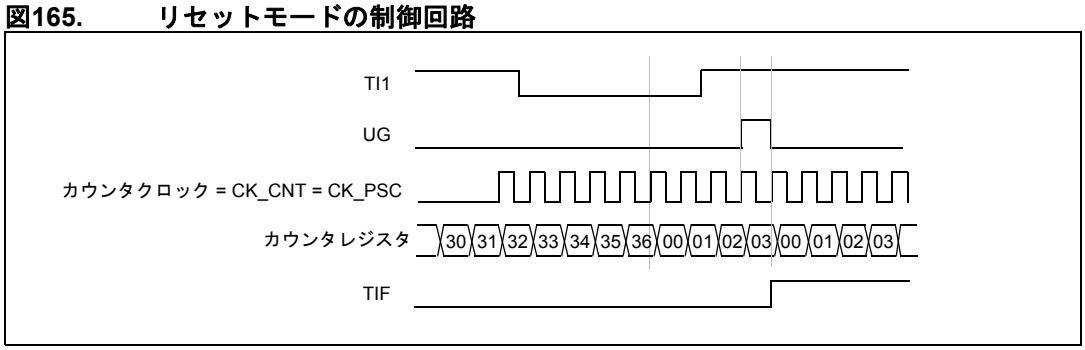
次の例では、TI1 入力の立ち上がりエッジに応じて、アップカウンタがクリアされます。

- TI1 の立ち上がりエッジを検出するように、チャネル 1 を設定します。入力フィルタ時間を設定します（この例では、フィルタは不要なので、IC1F=0000 のままにしておきます）。キャプチャプリスケーラはトリガには使用されないので、設定する必要はありません。CC1S ビットは、入力キャプチャソースのみを選択します（TIMx_CCMR1 レジスタの CC1S=01）。TIMx_CCER レジスタの CC1P=0 を書き込んで、極性を有効にします（また、立ち上がりエッジのみを検出します）。
- TIMx_SMCR レジスタの SMS=100 を書き込んで、タイマをリセットモードに設定します。TIMx_SMCR レジスタの TS=101 を書き込んで、入力ソースとして TI1 を選択します。
- TIMx_CR1 レジスタの CEN=1 を書き込んで、カウンタを開始します。

カウンタは内部クロックでカウントを開始し、TI1 の立ち上がりエッジまで通常の動作を行います。TI1 が立ち上がると、カウンタはクリアされ、0 からリスタートします。同時に、トリガフラグがセットされ（TIMx_SR レジスタの TIF ビット）、有効な場合は割り込みリクエストまたは DMA リクエストを送信できます（TIMx_DIER レジスタの TIE および TDE ビット）。

次の図は、自動再ロードレジスタ TIMx_ARR=0x36 の場合の動作を示しています。TI1 の立ち上がりエッジから実際にカウンタがリセットされるまでの遅延は、TI1 入力の同期回路によるものです。

図165. リセットモードの制御回路



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

スレーブモード：ゲートモード

カウンタは、選択された入力のレベルに応じて有効になります。

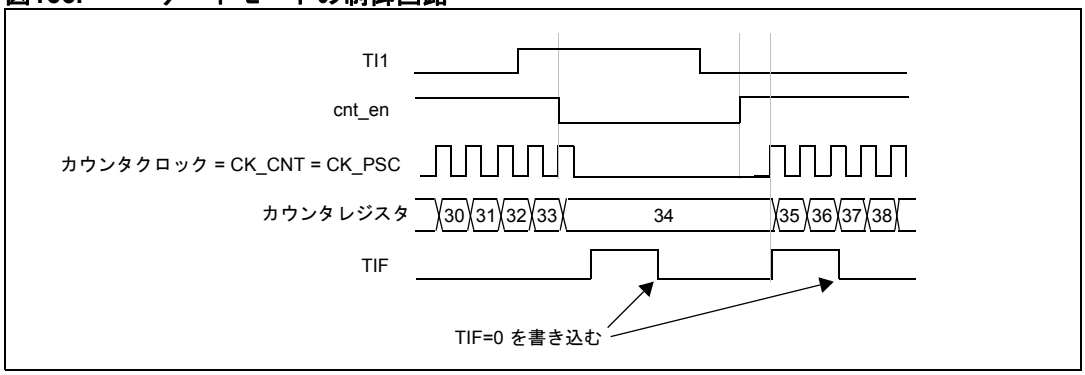
次の例では、アップカウンタは TI1 入力がローのときだけカウントします。

- TI1 のローレベルを検出するように、チャネル 1 を設定します。入力フィルタ時間を設定します（この例では、フィルタは不要なので、IC1F=0000 のままにしておきます）。キャプチャプリスケーラはトリガには使用されないので、設定する必要はありません。CC1S ビットは、入力キャプチャソースのみを選択します（TIMx_CCMR1 レジスタの CC1S=01 ビット）。TIMx_CCER レジスタの CC1P=1 を書き込んで、極性を有効にします（また、立ち上がりエッジのみを検出します）。
- TIMx_SMCR レジスタで SMS=101 を書き込んで、タイマをゲートモードに設定します。TIMx_SMCR レジスタの TS=101 を書き込んで、入力ソースとして TI1 を選択します。
- TIMx_CR1 レジスタの CEN=1 を書き込んで、カウンタを有効にします（ゲートモードでは、CEN=0 の場合、トリガ入力のレベルにかかわらず、カウンタは開始しません）。

カウンタは、TI1 がローになると内部クロックでカウントを開始して、TI1 がハイになると停止します。TIMx_SR レジスタの TIF フラグは、カウンタの開始時と停止時にセットされます。

TI1 の立ち上がりエッジから実際にカウンタが停止するまでの遅延は、TI1 入力の再同期回路によるものです。

図166. ゲートモードの制御回路



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

スレーブモード：トリガモード

カウンタは、選択された入力のイベントに対応して開始します。

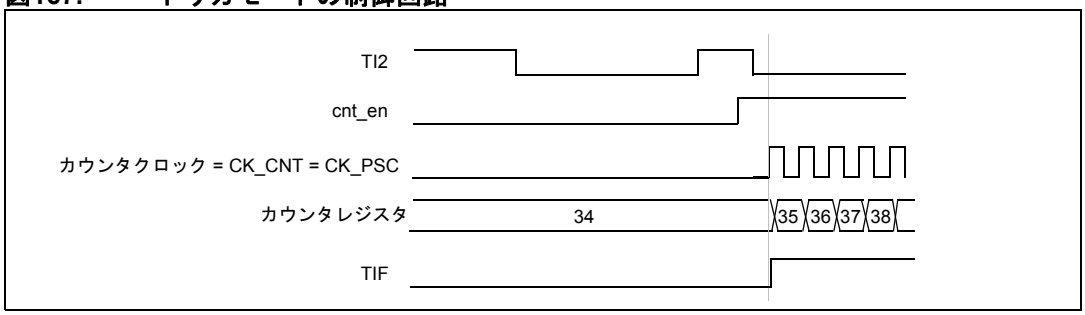
次の例では、アップカウンタは、TI2 入力の立ち上がりエッジに応じて開始します。

- TI2 の立ち上がりエッジを検出するように、チャネル 2 を設定します。入力フィルタ時間を設定します（この例ではフィルタは不要なので、IC2F=0000 のままにしておきます）。キャプチャプリスケーラはトリガには使用されないので、設定する必要はありません。CC2S ビットは入力キャプチャソースのみを選択するように設定されます（TIMx_CCMR1 レジスタの CC2S=01）。TIMx_CCER レジスタの CC2P=1 を書き込み、極性（ローレベルを検出）を有効とします。
- タイマをトリガモードに設定します。このためには、TIMx_SMCR レジスタで SMS=110 とします。TIMx_SMCR レジスタの TS=110 を書き込んで、TI2 を入力ソースとして選択します。

TI2 の立ち上がりエッジが発生すると、カウンタは内部クロックでカウントを開始し、TIF フラグがセットされます。

TI2 の立ち上がりエッジから実際にカウンタが開始するまでの遅延は、TI2 入力の再同期回路によるものです。

図167. トリガモードの制御回路



15.4.12 タイマ間の同期（TIM9/12）

TIM タイマは、タイマの同期または連結のために、内部で互いにリンクされます。詳細については、*セクション 14.3.15：タイマの同期（370 ページ）*を参照してください。

15.4.13 デバッグモード

マイクロコントローラがデバッグモードになると（Cortex-M3 コアは停止状態）、TIMx カウンタは、DBG モジュールの DBG_TIMx_STOP 設定ビットに応じて、通常どおりに動作を続けるか、停止します。詳細については、*セクション 30.16.2：タイマ、ウォッチドッグ、bxCAN、および I^2C のデバッグサポート*を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

15.5 TIM9 および TIM12 レジスタ

レジスタの説明で使用されている略語のリストについては、*セクション 1.1* を参照してください。

15.5.1 TIM9/12 制御レジスタ 1（TIMx_CR1）

アドレスオフセット：0x00

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み						CKD[1:0]		ARPE	予約済み			OPM	URS	UDIS	CEN
						rw	rw	rw				rw	rw	rw	rw

ビット 15:10 予約済み、常に 0 として読み出されます。

ビット 9:8 **CKD**：クロック分周

このビットフィールドは、タイマクロック（CK_INT）周波数と、デジタルフィルタ（TIx）によって使用されるサンプリングクロックとの間の分周比を示します。

00：$t_{DTS} = t_{CK_INT}$
01：$t_{DTS} = 2 \times t_{CK_INT}$
10：$t_{DTS} = 4 \times t_{CK_INT}$
11：予約済み

ビット 7 **ARPE**：自動再ロードプリロードイネーブル

0：TIMx_ARR レジスタはバッファされません。
1：TIMx_ARR レジスタはバッファされます。

ビット 6:4 予約済み

ビット 3 **OPM**：ワンパルスモード

0：カウンタは更新イベントで停止しません。
1：カウンタは次の更新イベントでカウントを停止します（CEN ビットをクリアします）。

注：　このビットは、TIM10/11 タイマでは使用できません。

ビット 2 **URS**：更新リクエストソース

このビットは、UEV イベントソースを選択するために、ソフトウェアによってセット/クリアされます。

0：次のイベントのいずれかが更新割り込みまたは DMA リクエストを生成します（有効な場合）。これらのイベントは、次のとおりです。

- カウンタオーバーフロー /アンダーフロー
- UG ビットのセット
- スレーブモードコントローラからの更新生成

1：カウンタオーバーフロー /アンダーフローのみが（有効な場合）更新割り込みリクエストを生成します。

ビット 1 **UDIS**：更新ディセーブル

このビットは、UEV イベント生成を有効/無効にするために、ソフトウェアによってセット/クリアされます。

0：UEV は有効です。更新イベント（UEV）は、次のいずれかのイベントによって生成されます。

- カウンタオーバーフロー /アンダーフロー
- UG ビットのセット
- スレーブモードコントローラからの更新生成

バッファされるレジスタには、プリロード値がロードされます。

1：UEV は無効です。UEV は生成されず、シャドウレジスタ（ARR、PSC、CCRx）は値を維持します。ただし、UG ビットがセットされた場合や、スレーブモードコントローラからハードウェアリセットを受信した場合には、カウンタとプリスケーラは再初期化されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 0 **CEN**：カウンタイネーブル
0：カウンタは無効です。
1：カウンタは有効です。
ワンパルスモードでは、更新イベントが発生すると、CEN は自動的にクリアされます。

15.5.2 TIM9/12 制御レジスタ 2（TIMx_CR2）

アドレスオフセット：0x04

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み									MMS[2:0]			予約済み			
									rw	rw	rw				

ビット 15:7 予約済み、常に 0 として読み出されます。

ビット 6:4 **MMS**：マスタモード選択
これらのビットは、スレーブタイマの同期のためにマスタモードで送られる情報（TRGO）を選択するために使用されます。組み合わせは、次のとおりです。
000：**リセット** - TIMx_EGR レジスタの UG ビットがトリガ出力（TRGO）として使用されます。トリガ入力によってリセットが生成される場合（スレーブモードコントローラがリセットモードに設定されているとき）、TRGO 信号は実際のリセットより遅延します。
001：**イネーブル** - カウンタイネーブル信号 CNT_EN がトリガ出力（TRGO）として使用されます。これは、いくつかのタイマを同時に開始するときや、スレーブタイマが有効な時間枠を制御するときに役立ちます。カウンタイネーブル信号は、CEN 制御ビットとゲートモードに設定されているときのトリガ入力との論理和によって生成されます。
カウンタイネーブル信号がトリガ入力によって制御されているとき、マスタ/スレーブモードが選択されている場合を除いて、TRGO には遅延が存在します（TIMx_SMCR レジスタの MSM ビットの説明を参照してください）。
010：**更新** - 更新イベントがトリガ出力（TRGO）として選択されます。たとえば、マスタタイマをスレーブタイマのプリスケーラとして使用できます。
011：**パルス比較** - キャプチャまたは比較一致が生ずると同時に、CC1IF フラグがセットされるとき（すでにハイであった場合も）、トリガ出力は正のパルスを送信します。（TRGO）
100：**比較** - OC1REF 信号がトリガ出力（TRGO）として使用されます。
101：**比較** - OC2REF 信号がトリガ出力（TRGO）として使用されます。
110：予約済み
111：予約済み

ビット 3:0 予約済み、常に 0 として読み出されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

15.5.3 TIM9/12 スレーブモード制御レジスタ（TIMx_SMCR）

アドレスオフセット：0x08

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								MSM	TS[2:0]			予約済み	SMS[2:0]		
								rw	rw	rw	rw		rw	rw	rw

ビット 15:8 予約済み

ビット 7 **MSM**：マスタ/スレーブモード

0：影響なし。

1：トリガ入力（TRGI）に対するイベントの影響は、現在のタイマとそのスレーブとの間の完全な同期（TRGO を通じて）を可能にするために遅延されます。これは、1 つの外部イベントで複数のタイマを同期する場合に役立ちます。

ビット 6:4 **TS**：トリガ選択

このビットフィールドは、カウンタを同期するために使用されるトリガ入力を選択します。

000：内部トリガ 0（ITR0）

001：内部トリガ 1（ITR1）

010：内部トリガ 2（ITR2）

011：内部トリガ 3（ITR3）

100：TI1 エッジ検出回路（TI1F_ED）

101：フィルタ後のタイマ入力 1（TI1FP1）

110：フィルタ後のタイマ入力 2（TI2FP2）

111：予約済み

各タイマにとっての ITRx の意味の詳細については、を参照してください。

注： 設定変更時の誤ったエッジ検出を避けるために、これらのビットは、使用されていないとき（SMS=000 のときなど）にのみ変更しなければなりません。

ビット 3 予約済み、常に 0 として読み出されます。

ビット 2:0 **SMS**：スレーブモード選択

外部信号が選択されると、トリガ信号（TRGI）のアクティブエッジが外部入力で選択された極性にリンクされます（入力制御レジスタおよび制御レジスタの説明を参照してください）。

000：スレーブモードは無効です。CEN = "1" の場合、プリスケーラは内部クロックによって直接クロック供給されます。

001：予約済み

010：予約済み

011：予約済み

100：リセットモード - 選択されたトリガ入力（TRGI）の立ち上がりエッジでカウンタを再初期化し、レジスタの更新を生成します。

101：ゲートモード - カウンタクロックは、トリガ入力（TRGI）がハイのときに有効になります。トリガがローになると、カウンタは停止します（リセットはされません）。カウンタの開始と停止の両方が制御されます。

110：トリガモード - カウンタは、トリガ入力（TRGI）の立ち上がりエッジで開始します（リセットはされません）。カウンタの開始のみが制御されます。

111：外部クロックモード 1 - 選択されたトリガ（TRGI）の立ち上がりエッジがカウンタのクロックとして供給されます。

注： トリガ入力として TI1F_ED が選択されている（TS=100）ときには、ゲートモードを選択することはできません。TI1F_ED は TI1F の変化ごとに 1 パルスを出力しますが、ゲートモードはトリガ信号のレベルをチェックします。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表88. TIMx 内部トリガ接続

スレーブ TIM	ITR0（TS = 000）	ITR1（TS = 001）	ITR2（TS = 010）	ITR3（TS = 011）
TIM2	TIM1	TIM8	TIM3	TIM4
TIM3	TIM1	TIM2	TIM5	TIM4
TIM4	TIM1	TIM2	TIM3	TIM8
TIM5	TIM2	TIM3	TIM4	TIM8
TIM9	TIM2	TIM3	TIM10	TIM11
TIM12	TIM4	TIM5	TIM13	TIM14

15.5.4 TIM9/12 割り込みイネーブルレジスタ（TIMx_DIER）

アドレスオフセット：0x0C

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み									TIE	予約済み			CC2IE	CC1IE	UIE
									rw				rw	rw	rw

ビット 15:7 予約済み、常に 0 として読み出されます。

ビット 6 **TIE**：トリガ割り込みイネーブル
0：トリガ割り込みは無効です。
1：トリガ割り込みは有効です。

ビット 5:3 予約済み、常に 0 として読み出されます。

ビット 2 **CC2IE**：キャプチャ /比較 2 割り込みイネーブル
0：CC2 割り込みは無効です。
1：CC2 割り込みは有効です。
注： このビットは TIM10/TIM11 および TIM13/TIM14 タイマでは使用できません。

ビット 1 **CC1IE**：キャプチャ /比較 1 割り込みイネーブル
0：CC1 割り込みは無効です。
1：CC1 割り込みは有効です。

ビット 0 **UIE**：更新割り込みイネーブル
0：更新割り込みは無効です。
1：更新割り込みは有効です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

15.5.5 TIM9/12 ステータスレジスタ（TIMx_SR）

アドレスオフセット：0x10

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み					CC2OF	CC1OF	予約済み		TIF	予約済み			CC2IF	CC1IF	UIF
					rc_w0	rc_w0			rc_w0				rc_w0	rc_w0	rc_w0

ビット 15:11　予約済み、常に 0 として読み出されます。

ビット 10　**CC2OF**：キャプチャ /比較 2 オーバーキャプチャフラグ
CC1OF の説明を参照してください。

ビット 9　**CC1OF**：キャプチャ /比較 1 オーバーキャプチャフラグ
このフラグは、対応するチャネルが入力キャプチャモードに設定されているときのみ、ハードウェアによってセットされます。"0" を書き込むことによってソフトウェアによってクリアされます。
0：オーバーキャプチャは検出されていません。
1：CC1IF フラグがすでにセットされているときに、カウンタの値が TIMx_CCR1 レジスタにキャプチャされました。

ビット 8:7　予約済み、常に 0 として読み出されます。

ビット 6　**TIF**：トリガ割り込みフラグ
このフラグは、トリガイベント時（スレーブモードコントローラがゲートモード以外のすべてのモードで有効なときに、TRGI 入力でアクティブエッジが検出されたとき）にハードウェアによってセットされます。ゲートモードが選択されている場合、カウンタが開始または停止したときにセットされます。ソフトウェアによってクリアされます。
0：トリガイベントは発生していません。
1：トリガ割り込みが保留中です。

ビット 5:3　予約済み、常に 0 として読み出されます。

ビット 2　**CC2IF**：キャプチャ /比較 2 割り込みフラグ
CC1IF の説明を参照してください。

ビット 1　**CC1IF**：キャプチャ /比較 1 割り込みフラグ
チャネル CC1 が出力として設定されている場合：
このフラグは、カウンタが比較値と一致したときにハードウェアによってセットされます（センターアラインモードでは、例外状況もあります。TIMx_CR1 レジスタの CMS ビットの説明を参照してください）。ソフトウェアによってクリアされます。
0：一致していません。
1：カウンタ TIMx_CNT の内容が TIMx_CCR1 レジスタの内容と一致しました。TIMx_CCR1 の内容が TIMx_ARR の内容より大きいときには、カウンタオーバーフロー時（アップカウントおよびアップ/ダウンカウントモードの場合）、またはアンダーフロー時（ダウンカウントモードの場合）に CC1IF ビットはハイになります。
チャネル CC1 が入力として設定されている場合：
このビットは、キャプチャ時にハードウェアによってセットされます。ソフトウェアによって、または TIMx_CCR1 レジスタを読み出すことによってクリアされます。
0：入力キャプチャは発生していません。
1：カウンタの値が TIMx_CCR1 レジスタにキャプチャされました（IC1 で、選択された極性に一致するエッジが検出されました）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 0 **UIF**：更新割り込みフラグ

–このビットは、更新イベント時にハードウェアによってセットされます。ソフトウェアによってクリアされます。

0：更新は発生していません。

1：更新割り込みが保留中です。このビットは、レジスタが更新されたときにハードウェアによってセットされます。

–TIMx_CR1 レジスタの UDIS=0 であり、オーバーフローまたはアンダーフロー時（TIM2～TIM5）。

–TIMx_CR1 レジスタの URS=0 かつ UDIS=0 であり、TIMx_EGR レジスタの UG ビットを使用して、CNT がソフトウェアによって再初期化されたとき。

TIMx_CR1 レジスタの URS=0 かつ UDIS=0 であり、トリガイベントによって CNT が再初期化されたとき（同期制御レジスタの説明を参照）。

15.5.6 TIM9/12 イベント生成レジスタ（TIMx_EGR）

アドレスオフセット：0x14

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み									TG	予約済み			CC2G	CC1G	UG
									w				w	w	w

ビット 15:7 予約済み、常に 0 として読み出されます。

ビット 6 **TG**：トリガ生成

このビットは、イベントを生成するためにソフトウェアによってセットされ、ハードウェアによって自動的にクリアされます。

0：影響なし。

1：TIMx_SR レジスタの TIF フラグがセットされます。有効な場合は、関連する割り込みまたは DMA 転送が発生します。

ビット 5:3 予約済み、常に 0 として読み出されます。

ビット 2 **CC2G**：キャプチャ /比較 2 生成

CC1G の説明を参照してください。

ビット 1 **CC1G**：キャプチャ /比較 1 生成

このビットは、イベントを生成するためにソフトウェアによってセットされ、ハードウェアによって自動的にクリアされます。

0：影響なし。

1：チャネル 1 でキャプチャ /比較イベントが生成されます。

チャネル CC1 が出力として設定されている場合：

CC1IF フラグがセットされ、対応する割り込みまたは DMA リクエストが送信されます（有効な場合）。

チャネル CC1 が入力として設定されている場合：

現在のカウンタ値が TIMx_CCR1 レジスタにキャプチャされます。CC1IF フラグがセットされ、対応する割り込みまたは DMA リクエストが送信されます（有効な場合）。CC1OF フラグがすでにハイであった場合は、CC1IF フラグがセットされます。

ビット 0 **UG**：更新の生成

このビットは、ソフトウェアによってセットでき、ハードウェアによって自動的にクリアされます。

0：影響なし。

1：カウンタを再初期化し、レジスタの更新を生成します。プリスケーラカウンタもクリアされます（プリスケーラ比は変化しません）。DIR=0（アップカウント）の場合、カウンタはクリアされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

15.5.7 TIM9/12 キャプチャ /比較モードレジスタ 1（TIMx_CCMR1）

アドレスオフセット：0x18

リセット値：0x0000

チャネルは、入力（キャプチャモード）または出力（比較モード）で使用できます。チャネルの方向は、対応する CCxS ビットを設定することによって定義されます。このレジスタの他のすべてのビットは、入力モードと出力モードで機能が異なります。特定のビットについて、OCxx は、チャネルが出力モードに設定されているときの機能を説明し、ICxx は、チャネルが入力モードに設定されているときの機能を説明します。したがって、同じビットが入力ステージと出力ステージで異なる意味を持つことに注意してください。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

出力比較モード

ビット 14:12 **OC2M[2:0]**：出力比較 2 モード

ビット 11 **OC2PE**：出力比較 2 プリロードイネーブル

ビット 10 **OC2FE**：出力比較 2 高速イネーブル

ビット 9:8 **CC2S[1:0]**：キャプチャ /比較 2選択

このビットフィールドは、チャネルの方向（入力/出力）と、使用される入力を定義します。
00：CC2 チャネルは出力として設定されます。
01：CC2 チャネルは入力として設定され、IC2 は TI2 に配置されます。
10：CC2 チャネルは入力として設定され、IC2 は TI1 に配置されます。
11：CC2 チャネルは入力として設定され、IC2 は TRC に配置されます。このモードは、TS ビット（TIMx_SMCR レジスタ）で内部トリガ入力が選択されている場合のみ機能します。

注： CC2S ビットは、チャネルがオフ（TIMx_CCER レジスタの CC2E=0）のときにのみ書き込み可能です。

ビット 6:4 **OC1M**：出力比較 1 モード

これらのビットは、OC1 および OC1N が導き出される出力基準信号 OC1REF の動作を定義します。OC1REF はアクティブハイですが、OC1 および OC1N のアクティブレベルは、それぞれ CC1P および CC1NP ビットに依存します。
000：停止 - 出力比較レジスタ TIMx_CCR1 とカウンタ TIMx_CNT との間の比較結果は出力に影響しません（このモードはタイミングベースを生成するために使用されます）。
001：一致時にチャネル 1 をアクティブレベルに設定します。OC1REF 信号は、TIMx_CNT カウンタがキャプチャ /比較レジスタ 1（TIMx_CCR1）に一致したとき、強制的にハイになります。
010：一致時にチャネル 1 をインアクティブレベルに設定します。OC1REF 信号は、TIMx_CNT カウンタがキャプチャ /比較レジスタ 1（TIMx_CCR1）に一致したとき、強制的にローになります。
011：反転 - TIMx_CNT = TIMx_CCR1 のとき、OC1REF は反転します。
100：強制インアクティブレベル - OC1REF は強制的にローになります。
101：強制アクティブレベル - OC1REF は強制的にハイになります。
110：PWM モード 1 - カウントアップ時、チャネル 1 は、TIMx_CNT < TIMx_CCR1 の場合はアクティブに、そうでない場合はインアクティブになります。カウントダウン時、チャネル 1 は、TIMx_CNT > TIMx_CCR1 の場合はインアクティブ（OC1REF="0"）に、そうでない場合はアクティブ（OC1REF="1"）になります。
111：PWM モード 2 - カウントアップ時、チャネル 1 は、TIMx_CNT < TIMx_CCR1 の場合はインアクティブに、そうでない場合はアクティブになります。カウントダウン時、チャネル 1 は、TIMx_CNT > TIMx_CCR1 の場合はアクティブに、そうでない場合はインアクティブになります。

注： PWM モード 1 または 2 では、比較結果が変化したとき、または出力比較モードが停止モードから PWM モードに変更されたときにのみ、OC1REF のレベルが変化します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 3 **OC1PE**：出力比較 1 プリロードイネーブル

0：TIMx_CCR1 のプリロードレジスタは無効です。TIMx_CCR1 は、いつでも書き込み可能であり、新しい値はただちに有効になります。

1：TIMx_CCR1 のプリロードレジスタは有効です。読み書きはプリロードレジスタに対して行われます。TIMx_CCR1 プリロード値は、更新イベントのたびにアクティブレジスタにロードされます。

注： PWM モードは、ワンパルスモード（TIMx_CR1 レジスタの OPM ビットがセットされている）のときのみ、プリロードレジスタを有効にしなくても使用できます。そうでない場合、動作は保証されません。

ビット 2 **OC1FE**：出力比較 1 高速イネーブル

このビットは、CC 出力に対する入力トリガイベントの効果を加速するために使用されます。

0：CC1 は、トリガがオンのときでも、カウンタと CCR1 の値に依存して、通常どおりに動作します。トリガ入力にエッジが発生してから CC1 出力が有効になるまでの最小遅延は、5 クロックサイクルです。

1：トリガ入力のアクティブエッジは、CC1 出力に対して、比較一致のように働きます。このため、OC は、比較結果には関係なく、比較レベルにセットされます。トリガ入力をサンプルし、CC1 出力を有効にするまでの遅延は、3 クロックサイクルに短縮されます。OCFE は、チャネルが PWM1 または PWM2 モードに設定されている場合のみ機能します。

ビット 1:0 **CC1S**：キャプチャ /比較 1 選択

このビットフィールドは、チャネルの方向（入力/出力）と、使用される入力を定義します。

00：CC1 チャネルは出力として設定されます。

01：CC1 チャネルは入力として設定され、IC1 は TI1 に配置されます。

10：CC1 チャネルは入力として設定され、IC1 は TI2 に配置されます。

11：CC1 チャネルは入力として設定され、IC1 は TRC に配置されます。このモードは、TS ビット（TIMx_SMCR レジスタ）で内部トリガ入力が選択されている場合のみ機能します。

注： CC1S ビットは、チャネルがオフ（TIMx_CCER レジスタの CC1E=0）のときにのみ書き込み可能です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

入力キャプチャモード

ビット 15:12 **IC2F**：入力キャプチャ 2 フィルタ

ビット 11:10 **IC2PSC[1:0]**：入力キャプチャ 2 プリスケーラ

ビット 9:8 **CC2S**：キャプチャ /比較 2 選択

このビットフィールドは、チャネルの方向（入力/出力）と、使用される入力を定義します。
00：CC2 チャネルは出力として設定されます。
01：CC2 チャネルは入力として設定され、IC2 は TI1 に配置されます。
10：CC2 チャネルは入力として設定され、IC2 は TI2 に配置されます。
11：CC2 チャネルは入力として設定され、IC2 は TRC に配置されます。このモードは、TS ビット（TIMx_SMCR レジスタ）で内部トリガ入力が選択されている場合のみ機能します。

注： CC2S ビットは、チャネルがオフ（TIMx_CCER レジスタの CC2E=0）のときにのみ書き込み可能です。

ビット 7:4 **IC1F**：入力キャプチャ 1 フィルタ

このビットフィールドは、TI1 入力をサンプルする周波数と、TI1 に適用されるデジタルフィルタの長さを定義します。デジタルフィルタはイベントカウンタでできていて、出力に有効な変化をもたらすには N 個のイベント発生が必要です。
0000：フィルタなし、サンプリングは f_{DTS}で行われます。
0001：$f_{SAMPLING}=f_{CK_INT}$、N=2
0010：$f_{SAMPLING}=f_{CK_INT}$、N=4
0011：$f_{SAMPLING}=f_{CK_INT}$、N=8
0100：$f_{SAMPLING}=f_{DTS}/2$、N=6
0101：$f_{SAMPLING}=f_{DTS}/2$、N=8
0110：$f_{SAMPLING}=f_{DTS}/4$、N=6
0111：$f_{SAMPLING}=f_{DTS}/4$、N=8
1000：$f_{SAMPLING}=f_{DTS}/8$、N=6
1001：$f_{SAMPLING}=f_{DTS}/8$、N=8
1010：$f_{SAMPLING}=f_{DTS}/16$、N=5
1011：$f_{SAMPLING}=f_{DTS}/16$、N=6
1100：$f_{SAMPLING}=f_{DTS}/16$、N=8
1101：$f_{SAMPLING}=f_{DTS}/32$、N=5
1110：$f_{SAMPLING}=f_{DTS}/32$、N=6
1111：$f_{SAMPLING}=f_{DTS}/32$、N=8

ビット 3:2 **IC1PSC[1:0]**：入力キャプチャ 1 プリスケーラ

このビットフィールドは、CC1 入力（IC1）に作用するプリスケーラの比を定義します。
プリスケーラは、CC1E=0（TIMx_CCER レジスタ）になるとリセットされます。
00：プリスケーラなし。キャプチャは、キャプチャ入力のエッジが検出されるたびに行われます。
01：キャプチャは、2 イベントごとに行われます。
10：キャプチャは、4 イベントごとに行われます。
11：キャプチャは、8 イベントごとに行われます。

ビット 1:0 **CC1S**：キャプチャ /比較 1 選択

このビットフィールドは、チャネルの方向（入力/出力）と、使用される入力を定義します。
00：CC1 チャネルは出力として設定されます。
01：CC1 チャネルは入力として設定され、IC1 は TI1 に配置されます。
10：CC1 チャネルは入力として設定され、IC1 は TI2 に配置されます。
11：CC1 チャネルは入力として設定され、IC1 は TRC に配置されます。このモードは、TS ビット（TIMx_SMCR レジスタ）で内部トリガ入力が選択されている場合のみ機能します。

注： CC1S ビットは、チャネルがオフ（TIMx_CCER レジスタの CC1E=0）のときにのみ書き込み可能です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

15.5.8 TIM9/12 キャプチャ /比較イネーブルレジスタ（TIMx_CCER）

アドレスオフセット：0x20

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								CC1NP	予約済み	CC2P	CC2E	CC1NP	予約済み	CC1P	CC1E
								rw		rw	rw	rw		rw	rw

ビット 15:8 予約済み、常に 0 として読み出されます。

ビット 7 **CC2NP**：*キャプチャ /比較 1 出力極性*
CC1NP の説明を参照してください。

ビット 6 予約済み、常に 0 として読み出されます。

ビット 5 **CC2P**：*キャプチャ /比較 2 出力極性*
CC1P の説明を参照してください。

ビット 4 **CC2E**：*キャプチャ /比較 2 出力イネーブル*
CC1E の説明を参照してください。

ビット 3 **CC1NP**：*キャプチャ /比較 1 出力極性*
CC1 チャネルが出力として設定されている場合：
この場合、CC1NP はクリアされたままでなければなりません。
CC1 チャネルが入力として設定されている場合：
このビットは、TI1FP1/TI2FP1 の極性を定義するために CC1P と組み合わせて使用されます。CCIP の説明を参照してください。

ビット 2 予約済み、常に 0 として読み出されます。

ビット 1 **CC1P**：*キャプチャ /比較 1 出力極性*
CC1 チャネルが出力として設定されている場合：
0：OC1 アクティブハイ
1：OC1 アクティブロー
CC1 チャネルが入力として設定されている場合：
CC1NP/CC1P ビットは、トリガまたはキャプチャ操作の TI1FP1 および TI2FP1 の極性を選択します。
00：非反転/立ち上がりエッジ：回路は TIxFP1 の立ち上がりエッジに反応し（キャプチャモード、リセットモードでのトリガ、外部クロックモード、またはトリガモード）、TIxFP1 は反転されません（ゲートモードでのトリガ、エンコーダモード）。
01：反転/立ち下がりエッジ：回路は TIxFP1 の立ち下がりエッジに反応し（キャプチャモード、リセットモードでのトリガ、外部クロックモード、またはトリガモード）、TIxFP1 は反転されます（ゲートモードでのトリガ、エンコーダモード）。
10：予約済み。この設定は使用しないでください。

注： **11：非反転/両方のエッジ：回路は TIxFP1 の立ち上がりエッジと立ち下がりエッジの両方に反応し（キャプチャモード、リセットモードでのトリガ、外部クロックモード、またはトリガモード）、TIxFP1 は反転されません（ゲートモードでのトリガ）。この設定をエンコーダモードに使用することはできません。**

ビット 0 **CC1E**：*キャプチャ /比較 1 出力イネーブル*
CC1 チャネルが出力として設定されている場合：
0：オフ - OC1 はアクティブではありません。
1：オン - OC1 は対応する出力ピンに出力されます。
CC1 チャネルが入力として設定されている場合：
このビットによって、カウンタ値のキャプチャ /比較レジスタ 1（TIMx_CCR1）へのキャプチャが実際に行われるかどうかが決まります。
0：キャプチャは無効です。
1：キャプチャは有効です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表89. 標準 OCx チャネルの出力制御ビット

CCxE ビット	OCx 出力状態
0	出力無効（OCx=0、OCx_EN=0）
1	OCx=OCxREF + 極性、OCx_EN=1

注： 標準 OCx チャネルに接続されている外部入出力ピンの状態は、OCx チャネルの状態と、GPIO レジスタに依存します。

15.5.9 TIM9/12 カウンタ（TIMx_CNT）

アドレスオフセット：0x24

リセット値：0x0000 0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CNT[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **CNT[15:0]**：カウンタ値

15.5.10 TIM9/12 プリスケーラ（TIMx_PSC）

アドレスオフセット：0x28

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PSC[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **PSC[15:0]**：プリスケーラ値

カウンタクロック周波数 CK_CNT は、f_{CK_PSC} /（PSC[15:0] + 1）に等しいです。

PSC は、更新イベントごとにアクティブプリスケーラレジスタにロードされる値を含みます。

15.5.11 TIM9/12 自動再ロードレジスタ（TIMx_ARR）

アドレスオフセット：0x2C

リセット値：0x0000 0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ARR[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **ARR[15:0]**：自動再ロード値

ARR は、実際の自動再ロードレジスタにロードされる値です。

APR の更新と動作の詳細については、*セクション 15.4.1：タイムベースユニット（399 ページ）*を参照してください。

自動再ロード値が null のときには、カウンタはブロックされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

15.5.12 TIM9/12 キャプチャ /比較レジスタ 1（TIMx_CCR1）

アドレスオフセット：0x34

リセット値：0x0000 0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR1[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **CCR1[15:0]**：キャプチャ /比較 1 値

チャネル CC1 が出力として設定されている場合：

CCR1 は、実際のキャプチャ /比較 1 レジスタにロードされる値（プリロード値）です。

TIMx_CCMR1 レジスタの OC1PE ビットでプリロード機能が選択されていない場合、この値は不変にロードされます。そうでない場合、プリロード値は、更新イベントが発生すると、アクティブキャプチャ /比較 1 レジスタにコピーされます。

アクティブキャプチャ /比較レジスタは、カウンタ TIMx_CNT と比較されて、OC1 出力に送信される値を含みます。

CC1 チャネルが入力として構成されている場合：

CCR1 は、最後の入力キャプチャ 1 イベント（IC1）によって転送されたカウンタ値です。

15.5.13 TIM9/12 キャプチャ /比較レジスタ 2（TIMx_CCR2）

アドレスオフセット：0x38

リセット値：0x0000 0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR2[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **CCR2[15:0]**：キャプチャ /比較 2 値

CC2 チャネルが出力として設定されている場合：

CCR2 は、実際のキャプチャ /比較 2 レジスタにロードされる値（プリロード値）です。

TIMx_CCMR2 レジスタの OC2PE ビットでプリロード機能が選択されていない場合は、不変にロードされます。そうでない場合、プリロード値は、更新イベントが発生すると、アクティブキャプチャ /比較 2 レジスタにコピーされます。

アクティブキャプチャ /比較レジスタは、カウンタ TIMx_CNT と比較されて、OC1 出力に送信される値を含みます。

CC2 チャネルが入力として設定されている場合：

CCR2 は、最後の入力キャプチャ 2 イベント（IC2）によって転送されたカウンタ値です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

15.5.14 TIM9/12 レジスタマップ

TIMx レジスタは、次の表のように、16 ビットのアドレス可能レジスタとしてマップされます。

表90. TIM9/12 レジスタマップとリセット値

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	TIMx_CR1	予約済み																						CKD [1:0]		ARPE	予約済み	予約済み	予約済み	OPM	URS	UDIS	CEN
	リセット値																							0	0	0				0	0	0	0
0x04	TIMx_CR2	予約済み																									MMS[2:0]			予約済み			
	リセット値																										0	0	0				
0x08	TIMx_SMCR	予約済み																								MSM	TS[2:0]			予約済み	SMS[2:0]		
	リセット値																									0	0	0	0		0	0	0
0x0C	TIMx_DIER	予約済み																									TIE	予約済み	予約済み	予約済み	CC2IE	CC1IE	UIE
	リセット値																										0				0	0	0
0x10	TIMx_SR	予約済み																					CC2OF	CC1OF	予約済み	予約済み	TIF	予約済み	予約済み	予約済み	CC2IF	CC1IF	UIF
	リセット値																						0	0			0				0	0	0
0x14	TIMx_EGR	予約済み																									TG	予約済み	予約済み	予約済み	CC2G	CC1G	UG
	リセット値																										0				0	0	0
0x18	TIMx_CCMR1 *出力比較モード*	予約済み																	OC2M [2:0]			OC2PE	OC2FE	CC2S [1:0]		予約済み	OC1M [2:0]			OC1PE	OC1FE	CC1S [1:0]	
	リセット値																		0	0	0	0	0	0	0		0	0	0	0	0	0	0
	TIMx_CCMR1 *入力キャプチャモード*	予約済み																IC2F[3:0]				IC2 PSC [1:0]		CC2S [1:0]		IC1F[3:0]				IC1 PSC [1:0]		CC1S [1:0]	
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x1C	予約済み																																
0x20	TIMx_CCER	予約済み																								CC2NP	予約済み	CC2P	CC2E	CC1NP	予約済み	CC1P	CC1E
	リセット値																									0		0	0	0		0	0
0x24	TIMx_CNT	予約済み																CNT[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x28	TIMx_PSC	予約済み																PSC[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x2C	TIMx_ARR	予約済み																ARR[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x30	予約済み																																
0x34	TIMx_CCR1	予約済み																CCR1[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x38	TIMx_CCR2	予約済み																CCR2[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x3C to 0x4C	予約済み																																
0x50	TIMx_OR	使用不可																															
	リセット値																																

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

15.6 TIM10/11 および TIM13/14 レジスタ

15.6.1 TIM10/11 および TIM13/14 制御レジスタ 1（TIMx_CR1）

アドレスオフセット：0x00

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み						CKD[1:0]		ARPE	予約済み				URS	UDIS	CEN
						rw	rw	rw					rw	rw	rw

ビット 15:10 予約済み、常に 0 として読み出されます。

ビット 9:8 **CKD**：クロック分周

このビットフィールドは、タイマクロック（CK_INT）周波数と、デジタルフィルタ（ETR、TIx）によって使用されるサンプリングクロックとの間の分周比を示します。

00：$t_{DTS} = t_{CK_INT}$
01：$t_{DTS} = 2 \times t_{CK_INT}$
10：$t_{DTS} = 4 \times t_{CK_INT}$
11：予約済み

ビット 7 **ARPE**：自動再ロードプリロードイネーブル

0：TIMx_ARR レジスタはバッファされません。
1：TIMx_ARR レジスタはバッファされます。

ビット 6:3 予約済み、常に 0 として読み出されます。

ビット 2 **URS**：更新リクエストソース

このビットは、UEV イベントソースを選択するために、ソフトウェアによってセット/クリアされます。

0：次のイベントのいずれかが更新割り込みまたは DMA リクエストを生成します（有効な場合）。これらのイベントは、次のとおりです。

- カウンタオーバーフロー /アンダーフロー
- UG ビットのセット
- スレーブモードコントローラからの更新生成

1：カウンタオーバーフロー/アンダーフローのみが更新割り込みまたは DMA リクエストを生成します（有効な場合）。

ビット 1 **UDIS**：更新ディセーブル

このビットは、UEV イベント生成を有効/無効にするために、ソフトウェアによってセット/クリアされます。

0：UEV は有効です。更新イベント（UEV）は、次のいずれかのイベントによって生成されます。

- カウンタオーバーフロー /アンダーフロー
- UG ビットのセット
- スレーブモードコントローラからの更新生成

バッファされるレジスタには、プリロード値がロードされます。

1：UEV は無効です。更新イベントは生成されず、シャドウレジスタ（ARR、PSC、CCRx）は値を維持します。ただし、UG ビットがセットされた場合や、スレーブモードコントローラからハードウェアリセットを受信した場合には、カウンタとプリスケーラは再初期化されます。

ビット 0 **CEN**：カウンタイネーブル

0：カウンタは無効です。
1：カウンタは有効です。

注： 外部クロック、ゲートモード、およびエンコーダモードは、CEN ビットが事前にソフトウェアによってセットされている場合のみ動作します。ただし、トリガモードでは、ハードウェアによって自動的に CEN ビットをセットできます。

ワンパルスモードでは、更新イベントが発生すると、CEN は自動的にクリアされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

15.6.2 TIMx 制御レジスタ 2（TIMx_CR2）

アドレスオフセット：0x04

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み									MMS[2:0]			予約済み			
									rw	rw	rw				

ビット 15:7 予約済み、常に 0 として読み出されます。

ビット 6:4 **MMS**：マスタモード選択

これらのビットにより、同期のためにマスタモードでスレーブタイマに送信される情報を選択することができます（TRGO）。組み合わせは、次のとおりです。

000：**リセット** - TIMx_EGR レジスタの UG ビットがトリガ出力（TRGO）として使用されます。トリガ入力によってリセットが生成される場合（スレーブモードコントローラがリセットモードに設定されているとき）、TRGO 信号は実際のリセットより遅延します。

001：**イネーブル** - カウンタイネーブル信号 CNT_EN がトリガ出力（TRGO）として使用されます。これは、いくつかのタイマを同時に開始するときや、スレーブタイマが有効な時間枠を制御するときに役立ちます。カウンタイネーブル信号は、CEN 制御ビットとゲートモードに構成されているときのトリガ入力との論理和によって生成されます。

カウンタイネーブル信号がトリガ入力によって制御されているとき、マスタ/スレーブモードが選択されている場合を除き、TRGO には遅延が存在します（TIMx_SMCR レジスタの MSM ビットの説明を参照）。

010：**更新** - 更新イベントがトリガ出力（TRGO）として選択されます。たとえば、マスタタイマをスレーブタイマのプリスケーラとして使用できます。

011：**パルス比較** - キャプチャまたは比較一致が発生すると、CC1IF フラグがセットされ（すでにハイであった場合も）、トリガ出力は正のパルスを送信します。（TRGO）

100：**比較** - OC1REF 信号がトリガ出力（TRGO）として使用されます。

101：**比較** - OC2REF 信号がトリガ出力（TRGO）として使用されます。

110：**比較** - OC3REF 信号がトリガ出力（TRGO）として使用されます。

111：**比較** - OC4REF 信号がトリガ出力（TRGO）として使用されます。

ビット 3:0 予約済み、常に 0 として読み出されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

15.6.3 TIM10/11 および TIM13/14 DMA/割り込みイネーブルレジスタ（TIMx_DIER）

アドレスオフセット：0x0C

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み														CC1IE	UIE
														rw	rw

ビット 15:2　予約済み、常に 0 として読み出されます。

ビット 1　**CC1IE**：キャプチャ /比較 1 割り込みイネーブル
0：CC1 割り込みは無効です。
1：CC1 割り込みは有効です。

ビット 0　**UIE**：更新割り込みイネーブル
0：更新割り込みは無効です。
1：更新割り込みは有効です。

15.6.4 TIM10/11 および TIM13/14 制御レジスタ（TIMx_SR）

アドレスオフセット：0x10

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み						CC1OF	予約済み							CC1IF	UIF
						rc_w0								rc_w0	rc_w0

ビット 15:10　予約済み、常に 0 として読み出されます。

ビット 9　**CC1OF**：キャプチャ /比較 1 オーバーキャプチャフラグ
このフラグは、対応するチャネルが入力キャプチャモードに設定されているときのみ、ハードウェアによってセットされます。"0" を書き込むことによってソフトウェアによってクリアされます。
0：オーバーキャプチャは検出されていません。
1:CC1IF フラグがすでにセットされているときに、カウンタの値が TIMx_CCR1 レジスタにキャプチャされました。

ビット 8:2　予約済み、常に 0 として読み出されます。

ビット 1　**CC1IF**：キャプチャ /比較 1 割り込みフラグ
チャネル CC1 が出力として設定されている場合：
このフラグは、カウンタが比較値と一致したときにハードウェアによってセットされます（センターアラインモードでは、例外状況もあります。TIMx_CR1 レジスタの CMS ビットの説明を参照してください）。ソフトウェアによってクリアされます。
0：一致なし。
1：カウンタ TIMx_CNT の内容が TIMx_CCR1 レジスタの内容と一致しました。TIMx_CCR1 の内容が TIMx_ARR の内容より大きいときには、カウンタオーバーフロー時（アップカウントおよびアップ/ダウンカウントモードの場合）、またはアンダーフロー時（ダウンカウントモードの場合）に CC1IF ビットはハイになります。
チャネル CC1 が入力として設定されている場合：
このビットは、キャプチャ時にハードウェアによってセットされます。ソフトウェアによって、または TIMx_CCR1 レジスタを読み出すことによってクリアされます。
0：入力キャプチャは発生していません。
1：カウンタの値が TIMx_CCR1 レジスタにキャプチャされました（IC1 で、選択された極性に一致するエッジが検出されました）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 0 **UIF**：更新割り込みフラグ

- このビットは、更新イベント時にハードウェアによってセットされます。ソフトウェアによってクリアされます。
  0：更新は発生していません。
  1：更新割り込みが保留中です。このビットは、レジスタが更新されたときにハードウェアによってセットされます。
- TIMx_CR1 レジスタの UDIS=0 であり、オーバーフローまたはアンダーフロー時（TIM2～TIM5）。
- TIMx_CR1 レジスタの URS=0 かつ UDIS=0 であり、TIMx_EGR レジスタの UG ビットを使用して、CNT がソフトウェアによって再初期化されたとき。

TIMx_CR1 レジスタの URS=0 かつ UDIS=0 であり、トリガイベントによって CNT が再初期化されたとき（同期制御レジスタの説明を参照）。

15.6.5 TIM10/11 および TIM13/14 イベント生成レジスタ（TIMx_EGR）

アドレスオフセット：0x14

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み														CC1G	UG
														w	w

ビット 15:2 予約済み、常に 0 として読み出されます。

ビット 1 **CC1G**：キャプチャ /比較 1 生成

このビットは、イベントを生成するためにソフトウェアによってセットされ、ハードウェアによって自動的にクリアされます。
0：影響なし。
1：チャネル 1 でキャプチャ /比較イベントが生成されます。
チャネル CC1 が出力として設定されている場合：
CC1IF フラグがセットされ、対応する割り込みまたは DMA リクエストが送信されます（有効な場合）。
チャネル CC1 が入力として設定されている場合：
カウンタの現在値が TIMx_CCR1 レジスタにキャプチャされます。CC1IF フラグがセットされ、対応する割り込みまたは DMA リクエストが送信されます（有効な場合）。CC1OF フラグがすでにハイであった場合は、CC1IF フラグがセットされます。

ビット 0 **UG**：更新の生成

このビットは、ソフトウェアによってセットでき、ハードウェアによって自動的にクリアされます。
0：影響なし。
1：カウンタを再初期化し、レジスタの更新を生成します。プリスケーラカウンタもクリアされます（プリスケーラ比は変化しません）。センターアラインモードが選択されている場合、または、DIR=0（カウントアップ）の場合、カウンタはクリアされます。そうでない場合、DIR=1（カウントダウン）であれば、自動再ロード値（TIMx_ARR）をとります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

15.6.6 TIM10/11 および TIM13/14 キャプチャ /比較モードレジスタ 1（TIMx_CCMR1）

アドレスオフセット：0x18

リセット値：0x0000

チャネルは、入力（キャプチャモード）または出力（比較モード）で使用できます。チャネルの方向は、対応する CCxS ビットを設定することによって定義されます。このレジスタの他のビットはすべて、入力モードと出力モードで異なる意味を持ちます。特定のビットについて、OCxx は、チャネルが出力に設定されているときの機能を記述し、ICxx は、チャネルが入力に設定されているときの機能を記述します。したがって、同じビットが入力ステージと出力ステージで異なる意味を持つことに注意する必要があります。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み									OC1M[2:0]			OC1PE	予約済み	CC1S[1:0]	
予約済み								IC1F[3:0]				IC1PSC[1:0]			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

出力比較モード

ビット 15:7　予約済み

ビット 6:4　**OC1M**：出力比較 1 モード

これらのビットは、OC1 および OC1N が導き出される出力基準信号 OC1REF の動作を定義します。OC1REF はアクティブハイですが、OC1 および OC1N のアクティブレベルは CC1P および CC1NP ビットに依存します。

000：凍結 - 出力比較レジスタ TIMx_CCR1 とカウンタ TIMx_CNT との間の比較結果は出力に影響しません。

001：一致時にチャネル 1 をアクティブレベルに設定します。OC1REF 信号は、カウンタ TIMx_CNT がキャプチャ /比較レジスタ 1（TIMx_CCR1）と一致したときに、強制的にハイになります。

010：一致時にチャネル 1 をインアクティブレベルに設定します。OC1REF 信号は、カウンタ TIMx_CNT がキャプチャ/比較レジスタ 1（TIMx_CCR1）と一致したときに、強制的にローになります。

011：反転 - TIMx_CNT = TIMx_CCR1 のとき、OC1REF は反転します。

100：強制インアクティブレベル - OC1REF は強制的にローになります。

101：強制アクティブレベル - OC1REF は強制的にハイになります。

110：PWM モード 1 - カウントアップ時、チャネル 1 は、TIMx_CNT < TIMx_CCR1 の場合はアクティブに、そうでない場合はインアクティブになります。カウントダウン時、チャネル 1 は、TIMx_CNT > TIMx_CCR1 の場合はインアクティブ（OC1REF="0"）に、そうでない場合はアクティブ（OC1REF="1"）になります。

111：PWM モード 2 - カウントアップ時、チャネル 1 は、TIMx_CNT < TIMx_CCR1 の場合はインアクティブに、そうでない場合はアクティブになります。カウントダウン時、チャネル 1 は、TIMx_CNT > TIMx_CCR1 の場合はアクティブに、そうでない場合はインアクティブになります。

*注：　**1:これらのビットは、LOCK レベル 3 がプログラムされていて（TIM1_BDTR レジスタの LOCK ビット）、CC1S="00"（チャネルは出力に設定）のときには、変更できません。***

2: PWM モード 1 または 2 では、比較結果が変化したとき、または出力比較モードが凍結モードから PWM モードに変更されたときにのみ、OC1REF のレベルが変化します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 3 **OC1PE**：出力比較 1 プリロードイネーブル

0：TIMx_CCR1 のプリロードレジスタは無効です。TIMx_CCR1 は、いつでも書き込み可能であり、新しい値はただちに有効になります。

1：TIMx_CCR1 のプリロードレジスタは有効です。読み書きはプリロードレジスタに対して行われます。TIMx_CCR1 プリロード値は、更新イベントのたびにアクティブレジスタにロードされます。

注： 1:これらのビットは、LOCK レベル 3 がプログラムされていて（TIM1_BDTR レジスタの LOCK ビット）、CC1S="00" （チャネルは出力に設定）のときには、変更できません。

2:PWM モードは、ワンパルスモード（TIMx_CR1 レジスタの OPM ビットがセットされている）のときにのみ、プリロードレジスタを検証せずに使用できます。そうでない場合、動作は保証されません。

ビット 2 予約済み

ビット 1:0 **CC1S**：キャプチャ /比較 1 選択

このビットフィールドは、チャネルの方向（入力/出力）と、使用される入力を定義します。

00：CC1 チャネルは出力として設定されます。

01：CC1 チャネルは入力として設定され、IC1 は TI1 に配置されます。

10：CC1 チャネルは入力として設定され、IC1 は TI2 に配置されます。

11：CC1 チャネルは入力として設定され、IC1 は TRC に配置されます。このモードは、TS ビット（TIMx_SMCR レジスタ）で内部トリガ入力が選択されている場合のみ機能します。

注： CC1S ビットは、チャネルがオフ（TIMx_CCER レジスタの CC1E=0）のときにのみ書き込み可能です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

入力キャプチャモード

ビット 15:8　予約済み

ビット 7:4　**IC1F**：入力キャプチャ 1 フィルタ

このビットフィールドは、TI1 入力をサンプルする周波数と、TI1 に適用されるデジタルフィルタの長さを定義します。デジタルフィルタはイベントカウンタでできていて、出力に有効な変化をもたらすには N 個のイベント発生が必要です。

0000：フィルタなし、サンプリングは f_{DTS} で行われます。
0001：$f_{SAMPLING}=f_{CK_INT}$、N=2
0010：$f_{SAMPLING}=f_{CK_INT}$、N=4
0011：$f_{SAMPLING}=f_{CK_INT}$、N=8
0100：$f_{SAMPLING}=f_{DTS}/2$、N=6
0101：$f_{SAMPLING}=f_{DTS}/2$、N=8
0110：$f_{SAMPLING}=f_{DTS}/4$、N=6
0111：$f_{SAMPLING}=f_{DTS}/4$、N=8
1000：$f_{SAMPLING}=f_{DTS}/8$、N=6
1001：$f_{SAMPLING}=f_{DTS}/8$、N=8
1010：$f_{SAMPLING}=f_{DTS}/16$、N=5
1011：$f_{SAMPLING}=f_{DTS}/16$、N=6
1100：$f_{SAMPLING}=f_{DTS}/16$、N=8
1101：$f_{SAMPLING}=f_{DTS}/32$、N=5
1110：$f_{SAMPLING}=f_{DTS}/32$、N=6
1111：$f_{SAMPLING}=f_{DTS}/32$、N=8

注：　現在のシリコンリビジョンでは、ICxF[3:0]=1、2 または 3 の場合、f_{DTS} は式内でCK_INTに置き換えられます。

ビット 3:2　**IC1PSC[1:0]**：入力キャプチャ 1 プリスケーラ

このビットフィールドは、CC1 入力（IC1）に作用するプリスケーラの分周比を定義します。
プリスケーラは、CC1E=0（TIMx_CCER レジスタ）になるとリセットされます。
00：プリスケーラなし。キャプチャは、キャプチャ入力のエッジが検出されるたびに行われます。
01：キャプチャは、2 イベントごとに行われます。
10：キャプチャは、4 イベントごとに行われます。
11：キャプチャは、8 イベントごとに行われます。

ビット 1:0　**CC1S**：キャプチャ /比較 1 選択

このビットフィールドは、チャネルの方向（入力/出力）と、使用される入力を定義します。
00：CC1 チャネルは出力として設定されます。
01：CC1 チャネルは入力として設定され、IC1 は TI1 に配置されます。
10：CC1 チャネルは入力として設定され、IC1 は TI2 に配置されます。
11：CC1 チャネルは入力として設定され、IC1 は TRC に配置されます。このモードは、TS ビット（TIMx_SMCR レジスタ）で内部トリガ入力が選択されている場合のみ機能します。

注：　CC1S ビットは、チャネルがオフ（TIMx_CCER レジスタの CC1E=0）のときにのみ書き込み可能です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

15.6.7 TIM10/11 および TIM13/14 キャプチャ /比較イネーブルレジスタ（TIMx_CCER）

アドレスオフセット：0x20

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み												CC1NP	予約済み	CC1P	CC1E
												rw		rw	rw

ビット 15:4 予約済み、常に 0 として読み出されます。

ビット 3 **CC1NP**：*キャプチャ /比較 1 出力極性*

CC1 チャネルが出力として設定されている場合：

この場合、CC1NP はクリアされたままでなければなりません。

CC1 チャネルが入力として設定されている場合：

このビットは、TI1FP1/TI2FP1 の極性を定義するために CC1P と組み合わせて使用されます。CCIP の説明を参照してください。

ビット 2 予約済み、常に 0 として読み出されます。

ビット 1 **CC1P**：*キャプチャ /比較 1 出力極性*

CC1 チャネルが出力として設定されている場合：

0：OC1 アクティブハイ

1：OC1 アクティブロー

CC1 チャネルが入力として設定されている場合：

CC1NP/CC1P ビットは、トリガまたはキャプチャ操作の TI1FP1 および TI2FP1 の極性を選択します。

00：非反転/立ち上がりエッジ：回路は TIxFP1 の立ち上がりエッジに反応し（キャプチャモード、リセットモードでのトリガ、外部クロックモード、またはトリガモード）、TIxFP1 は反転されません（ゲートモードでのトリガ、エンコーダモード）。

01：反転/立ち下がりエッジ：回路は TIxFP1 の立ち下がりエッジに反応し（キャプチャモード、リセットモードでのトリガ、外部クロックモード、またはトリガモード）、TIxFP1 は反転されます（ゲートモードでのトリガ、エンコーダモード）。

10：予約済み。この設定は使用しないでください。

11：非反転/両方のエッジ：回路は TIxFP1 の立ち上がりエッジと立ち下がりエッジの両方に反応し（キャプチャモード、リセットモードでのトリガ、外部クロックモード、またはトリガモード）、TIxFP1 は反転されません（ゲートモードでのトリガ）。この設定をエンコーダモードに使用することはできません。

ビット 0 **CC1E**：*キャプチャ /比較 1 出力イネーブル*

CC1 チャネルが出力として設定されている場合：

0：オフ - OC1 はアクティブではありません。

1：オン - OC1 は対応する出力ピンに出力されます。

CC1 チャネルが入力として設定されている場合：

このビットによって、カウンタ値のキャプチャ /比較レジスタ 1（TIMx_CCR1）へのキャプチャが実際に行われるかどうかが決まります。

0：キャプチャは無効です。

1：キャプチャは有効です。

表91. 標準 OCx チャネルの出力制御ビット

CCxE ビット	OCx 出力状態
0	出力無効（OCx=0、OCx_EN=0）
1	OCx=OCxREF + 極性、OCx_EN=1

注： ***標準 OCx チャネルに接続されている外部入出力ピンの状態は、OCx チャネルの状態と、GPIO レジスタに依存します。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

15.6.8 TIM10/11 および TIM13/14 カウンタ 1（TIMx_CNT）

アドレスオフセット：0x24

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CNT[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **CNT[15:0]**：カウンタ値

15.6.9 TIM10/11 および TIM13/14 プリスケーラ（TIMx_PSC）

アドレスオフセット：0x28

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PSC[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **PSC[15:0]**：プリスケーラ値

カウンタクロック周波数 CK_CNT は、f_{CK_PSC} /（PSC[15:0] + 1）に等しいです。

PSC は、更新イベントごとにアクティブプリスケーラレジスタにロードされる値を含みます。

15.6.10 TIM10/11 および TIM13/14 自動再ロードレジスタ 1（TIMx_ARR）

アドレスオフセット：0x2C

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ARR[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **ARR[15:0]**：自動再ロード値

ARR は、実際の自動再ロードレジスタにロードされる値です。

APR の更新と動作の詳細については、*セクション 15.4.1：タイムベースユニット（399 ページ）*を参照してください。

自動再ロード値が null のときには、カウンタはブロックされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

15.6.11 TIM10/11 および TIM13/14 キャプチャ /比較レジスタ 1（TIMx_CCR1）

アドレスオフセット：0x34

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR1[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **CCR1[15:0]**：キャプチャ /比較 1 値

チャネル CC1 が出力として設定されている場合：

CCR1 は、実際のキャプチャ /比較 1 レジスタにロードされる値（プリロード値）です。

TIMx_CCMR1 レジスタの CC1PE ビットでプリロード機能が選択されていない場合は、この値は不変にロードされます。そうでない場合、プリロード値は、更新イベントが発生すると、アクティブキャプチャ /比較 1 レジスタにコピーされます。

アクティブキャプチャ /比較レジスタは、カウンタ TIMx_CNT と比較されて、OC1 出力に送信される値を含みます。

CC1 チャネルが入力として設定されている場合：

CCR1 は、最後の入力キャプチャ 1 イベント（IC1）によって転送されたカウンタ値です。

15.6.12 TIM10/11/13/14 レジスタマップ

TIMx レジスタは、次の表のように、16 ビットのアドレス可能レジスタとしてマップされます。

表92. TIM10/11/13/14 レジスタマップとリセット値

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	TIMx_CR1	予約済み																						CKD[1:0]		ARPE	予約済み	予約済み	予約済み	予約済み	URS	UDIS	CEN
	リセット値																							0	0	0					0	0	0
0x04	TIMx_CR2	予約済み																															
0x08	TIMx_SMCR	使用できません。																															
	リセット値																																
0x0C	TIMx_DIER	予約済み																														CC1IE	UIE
	リセット値																															0	0
0x10	TIMx_SR	予約済み																						CC1OF	予約済み							CC1IF	UIF
	リセット値																							0								0	0
0x14	TIMx_EGR	予約済み																														CC1G	UG
	リセット値																															0	0
0x1C	予約済み																																
0x20	TIMx_CCER	予約済み																					予約済み	予約済み	予約済み	予約済み	予約済み	予約済み	予約済み	CC1NP	予約済み	CC1P	CC1E
	リセット値																													0		0	0
0x24	TIMx_CNT	予約済み																CNT[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表92. TIM10/11/13/14 レジスタマップとリセット値（続き）

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x28	**TIMx_PSC**	予約済み																PSC[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x2C	**TIMx_ARR**	予約済み																ARR[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x30	予約済み																																
0x34	**TIMx_CCR1**	予約済み																CCR1[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x38～0x4C	予約済み																																

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

16 基本タイマ （TIM6、TIM7）

小容量 デバイスは、フラッシュメモリ容量が 16～32 KB の STM32F101xx、STM32F102xx、および STM32F103xx マイクロコントローラです。

中容量デバイスは、フラッシュメモリ容量が 64～128 KB の STM32F101xx、STM32F102xx、および STM32F103xx マイクロコントローラです。

大容量デバイスは、フラッシュメモリ容量が 256～512 KB の STM32F101xx および STM32F103xx マイクロコントローラです。

特大容量デバイスは、フラッシュメモリ容量が 768 KB～1 MB の STM32F101xx および STM32F103xx マイクロコントローラです。

コネクティビティラインデバイス は、STM32F105xx および STM32F107xx マイクロコントローラです。

このセクションは、別段の指定がない限り、特大容量の STM32F101xx および STM32F103xx デバイスとコネクティビティラインデバイスのみに適用されます。

16.1 TIM6 および TIM7 の概要

基本タイマ TIM6 および TIM7 は、プログラマブルなプリスケーラによって駆動される 16 ビット自動再ロードカウンタで構成されています。

このタイマは、タイムベース生成を目的とした汎用タイマとして使用できますが、デジタルアナログコンバータ（DAC）を駆動するためにも使用されます。実際、これらのタイマは内部で DAC に接続されていて、トリガ出力を通じて駆動することができます。

タイマは完全に独立していて、いかなるリソースも共有しません。

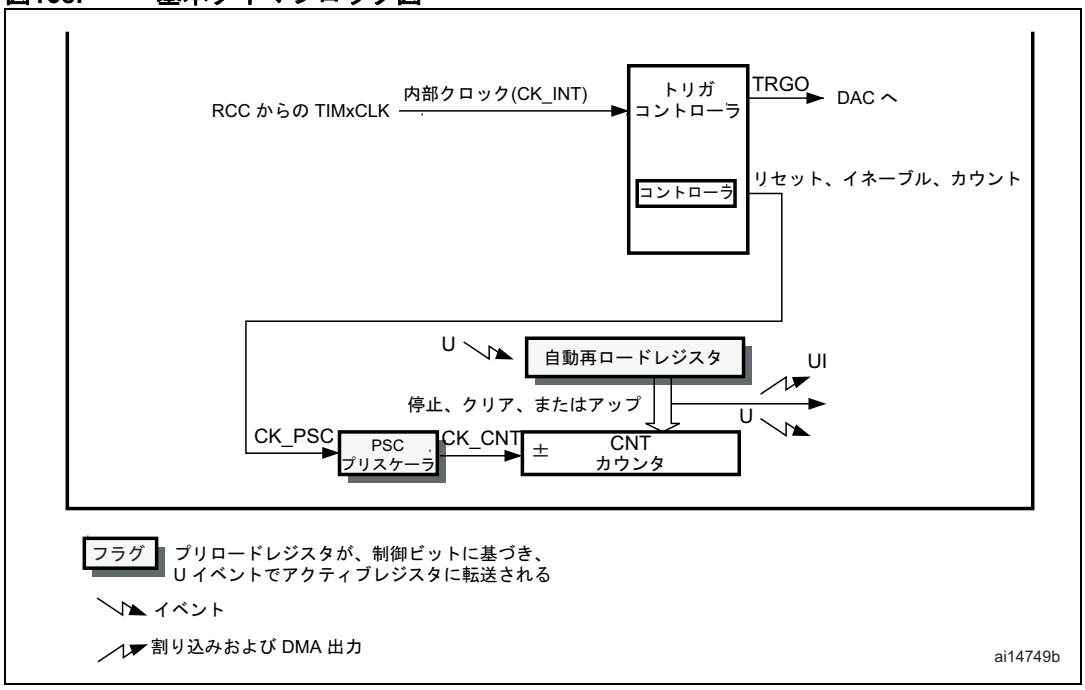
16.2 TIM6 および TIM7 の主な機能

基本タイマ（TIM6 および TIM7）の機能は、次のとおりです。

- 16 ビット自動再ロードアップカウンタ
- 1から65535の間でカウンタクロック周波数を動作中でも分周できる16ビットのプログラマブルプリスケーラ
- DAC をトリガする同期回路
- 更新イベント時の割り込み/DMA 生成：カウンタオーバーフロー

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図168. 基本タイマブロック図



16.3 TIM6 および TIM7 の機能詳細

16.3.1 タイムベースユニット

プログラマブルタイマのメインブロックは、自動再ロードレジスタを持つ 16 ビットアップカウンタです。カウンタクロックは、プリスケーラによって分周できます。

カウンタ、自動再ロードレジスタ、およびプリスケーラレジスタは、ソフトウェアによる読み書きができます。カウンタが動作中でも、読み書きが可能です。

タイムベースユニットは、以下のレジスタで構成されます。

- カウンタレジスタ（TIMx_CNT）
- プリスケーラレジスタ（TIMx_PSC）
- 自動再ロードレジスタ（TIMx_ARR）

自動再ロードレジスタはプリロードレジスタに事前にロードされます。自動再ロードレジスタの読み書きが試みられるたびに、プリロードレジスタがアクセスされます。プリロードレジスタの内容は、TIMx_CR1 レジスタの自動再ロードプリロードイネーブルビット（ARPE）に応じて、常時または更新イベント UEV ごとにシャドウレジスタに転送されます。TIMx_CR1 レジスタの UDIS ビットが 0 である場合、カウンタがオーバーフロー値に達すると、更新イベントが発生します。また、ソフトウェアによって更新イベントを生成することも可能です。更新イベントの生成については、各設定の中で詳しく説明されています。

カウンタのクロックは、TIMx_CR1 レジスタのカウンタイネーブルビット（CEN）がセットされているときにのみ、プリスケーラ出力 CK_CNT から供給されます。

実際のカウンタイネーブル信号 CNT_EN は、CEN の 1 クロックサイクル後にセットされることに注意してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

プリスケーラの詳細

プリスケーラは、カウンタクロック周波数を 1 から 65536 の間の値で分周することができます。16 ビットレジスタ（TIMx_PSC）を通して制御されます。この制御レジスタはバッファされるので、動作中でも変更できます。新しいプリスケーラ比は、次の更新イベントで有効になります。

図 169 と *図 170* は、プリスケーラ比がその場で変更されたときのカウンタの動作の例を示しています。

図169. プリスケーラ分周比が 1 から 2 に変化したときのカウンタのタイミング図

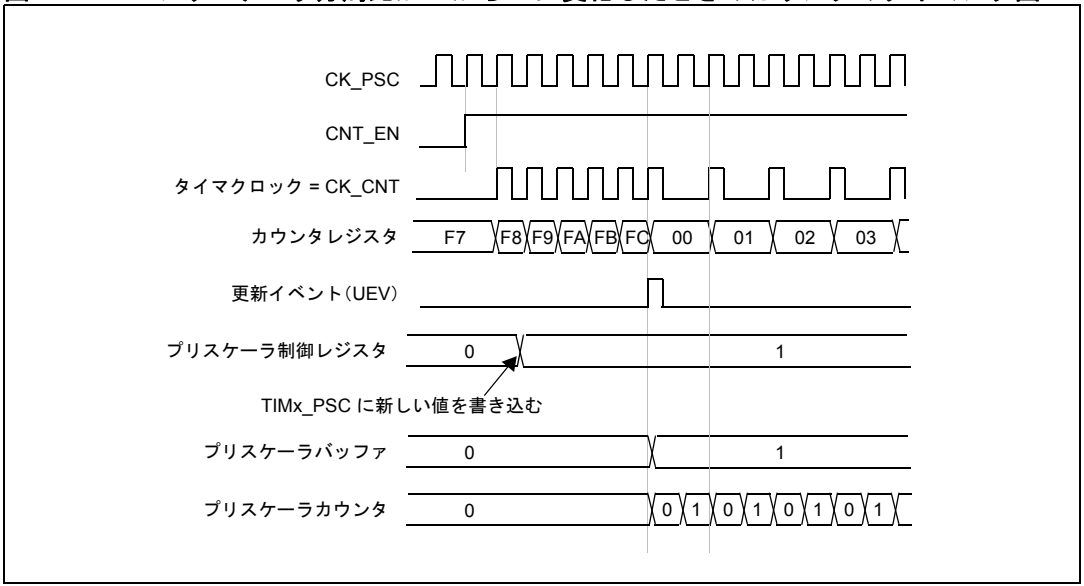
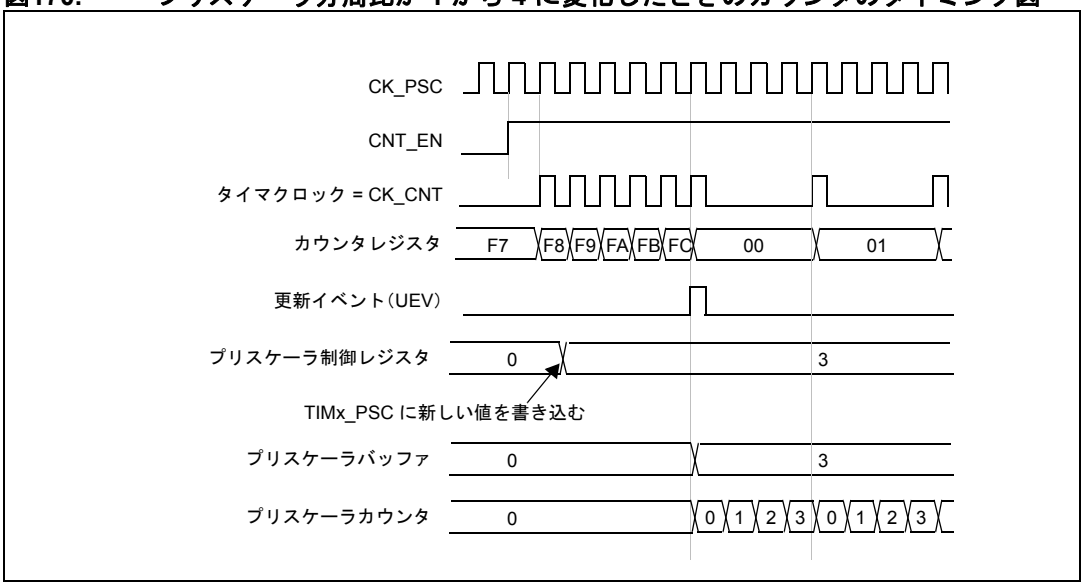


図170. プリスケーラ分周比が 1 から 4 に変化したときのカウンタのタイミング図



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

16.3.2 カウントモード

カウンタは、0 から自動再ロード値（TIMx_ARR レジスタの内容）までカウントし、0 からカウントをリスタートして、カウンタオーバーフローイベントを生成します。

更新イベントは、カウンタオーバーフローごとに、または、（ソフトウェアによって、または、スレーブモードコントローラを使用して）TIMx_EGR レジスタの UG ビットをセットすることによって生成できます。

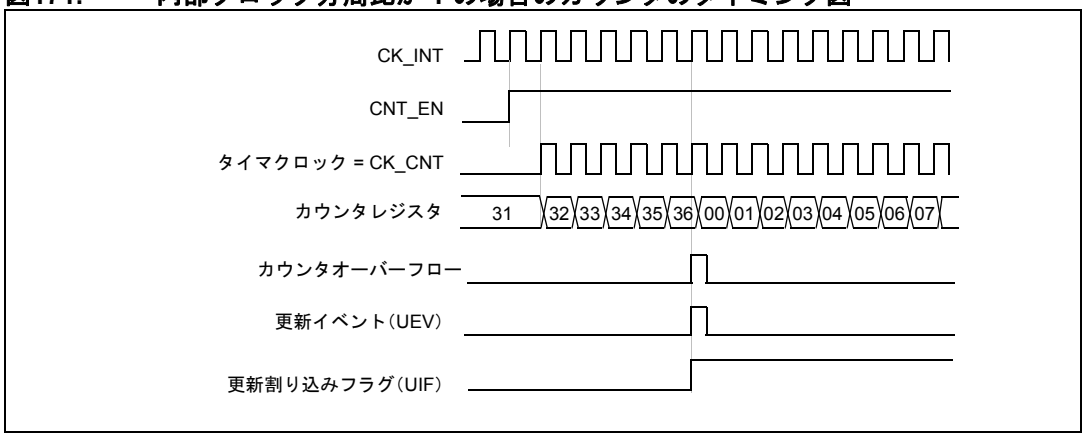
UEV イベントは、ソフトウェアで TIMx_CR1 レジスタの UDIS ビットをセットすることによって無効にできます。これは、プリロードレジスタに新しい値を書き込んでいるときにシャドウレジスタが更新されるのを防ぐためです。このようにすると、UDIS ビットに 0 が書き込まれるまで、更新イベントは発生しませんが、カウンタとプリスケーラカウンタは両方とも 0 からリスタートします（ただし、プリスケーラ比は変化しません）。さらに、TIMx_CR1 レジスタの URS（Update Request Selection：更新リクエスト選択）ビットがセットされている場合、UG ビットをセットすると更新イベント UEV が生成されますが、UIF フラグはセットされません（割り込みや DMA リクエストは送信されません）。

更新イベントが発生すると、すべてのレジスタが更新され、URS ビットの設定に応じて、更新フラグ（TIMx_SR レジスタの UIF ビット）がセットされます。

- プリスケーラのバッファには、プリロード値（TIMx_PSC レジスタの内容）が再ロードされます。
- 自動再ロードシャドウレジスタは、プリロード値（TIMx_ARR）に更新されます。

以下の図は、TIMx_ARR = 0x36 のときの、さまざまなクロック周波数におけるカウンタの動作の例を示しています。

図171. 内部クロック分周比が 1 の場合のカウンタのタイミング図



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図172. 内部クロック分周比が 2 の場合のカウンタのタイミング図

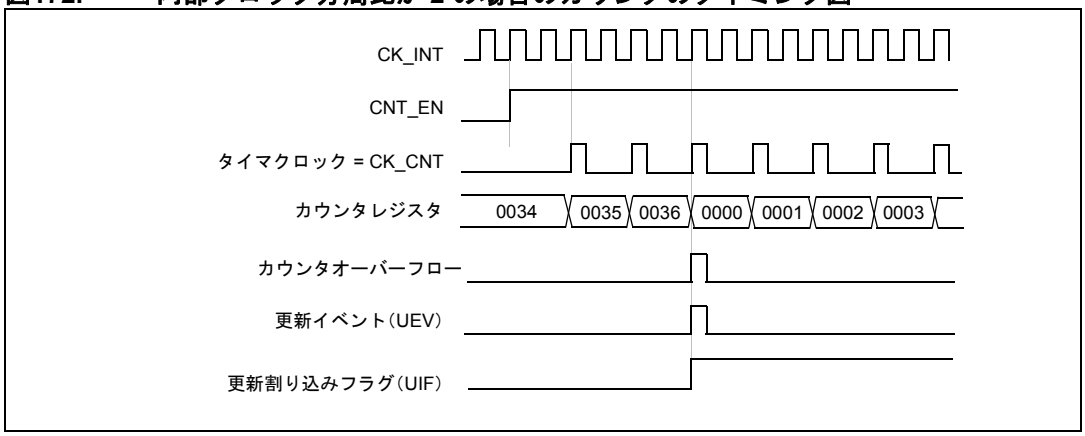


図173. 内部クロック分周比が 4 の場合のカウンタのタイミング図

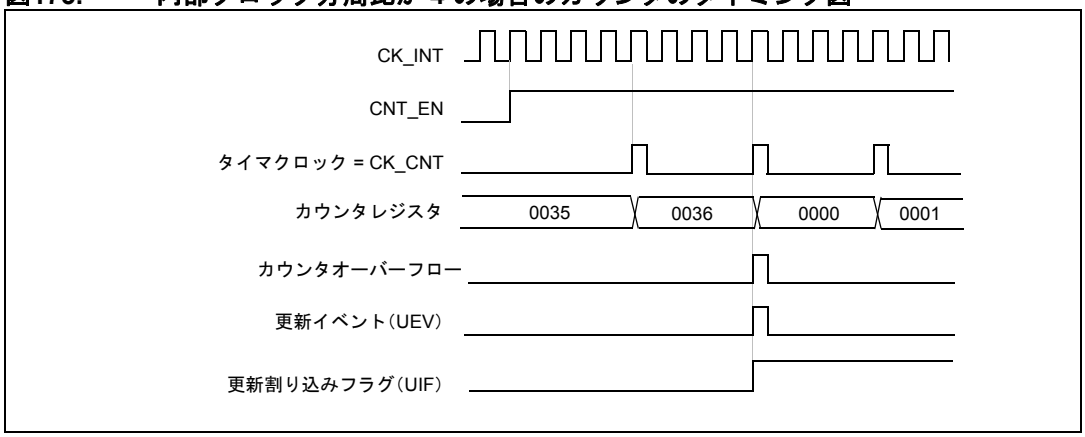
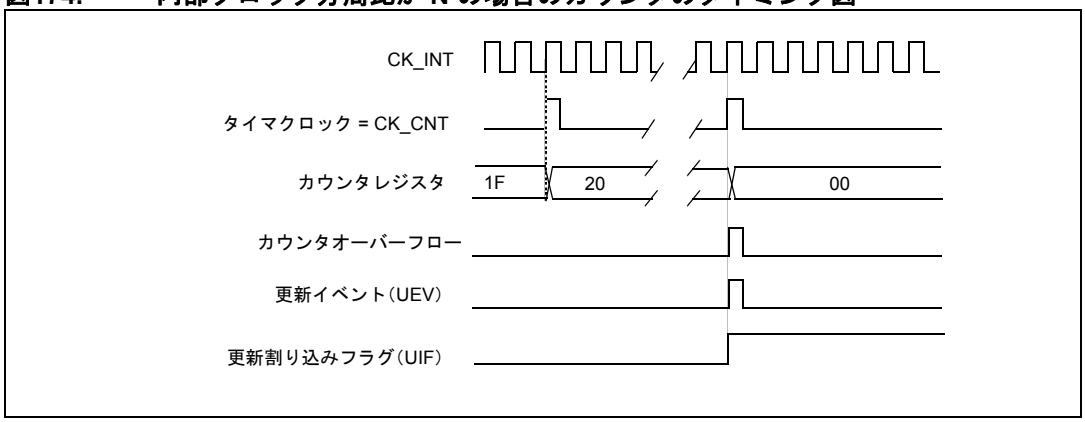


図174. 内部クロック分周比が N の場合のカウンタのタイミング図



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図175. ARPE=0（TIMx_ARR はプリロードされない）のときの更新イベント時のカウンタのタイミング図

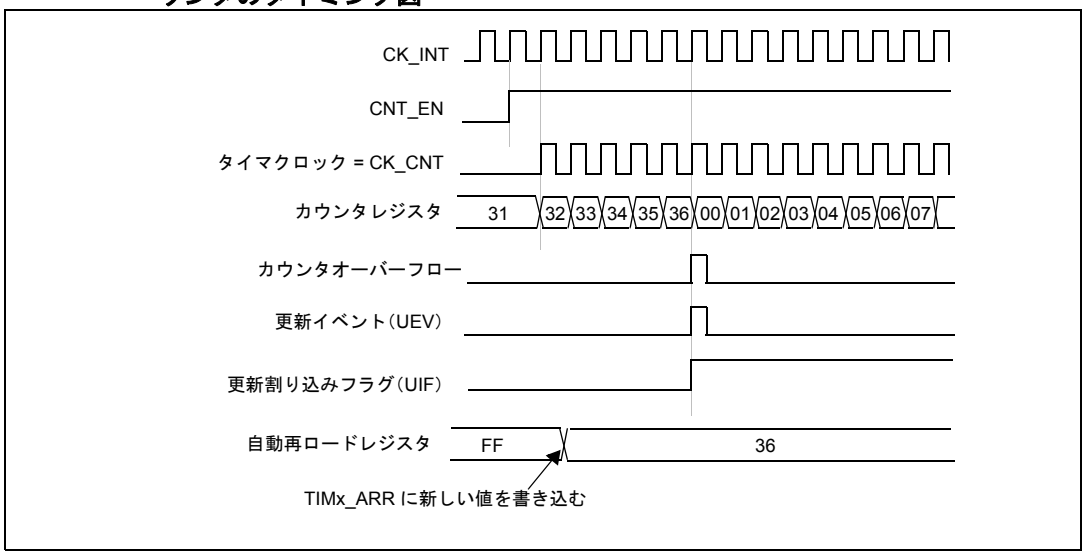
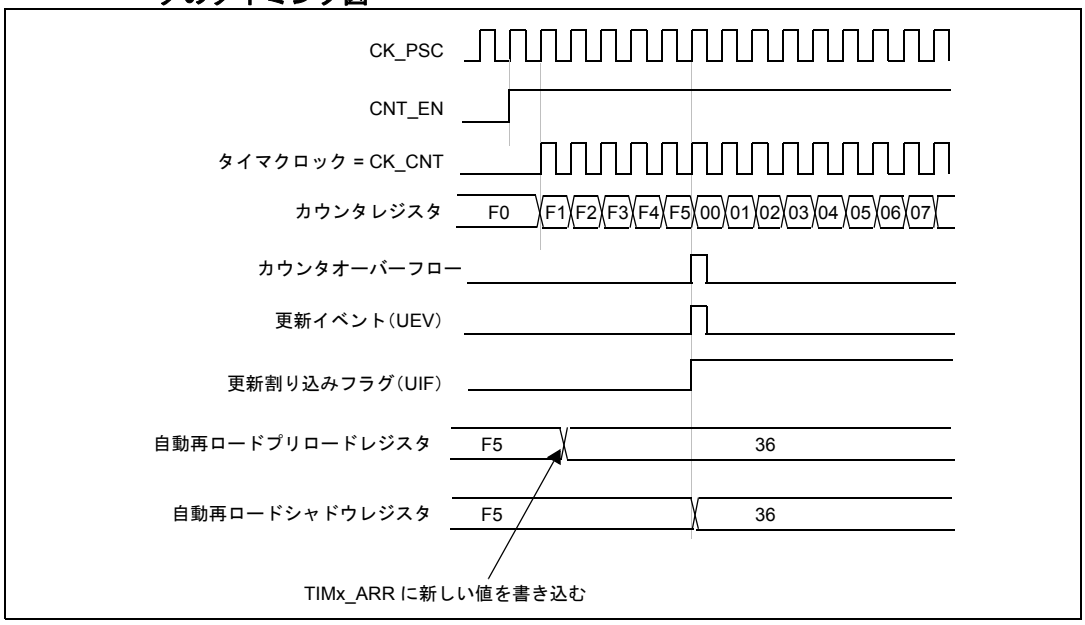


図176. ARPE=1 のとき（TIMx_ARR はプリロードされる）更新イベント時のカウンタのタイミング図



16.3.3 クロックソース

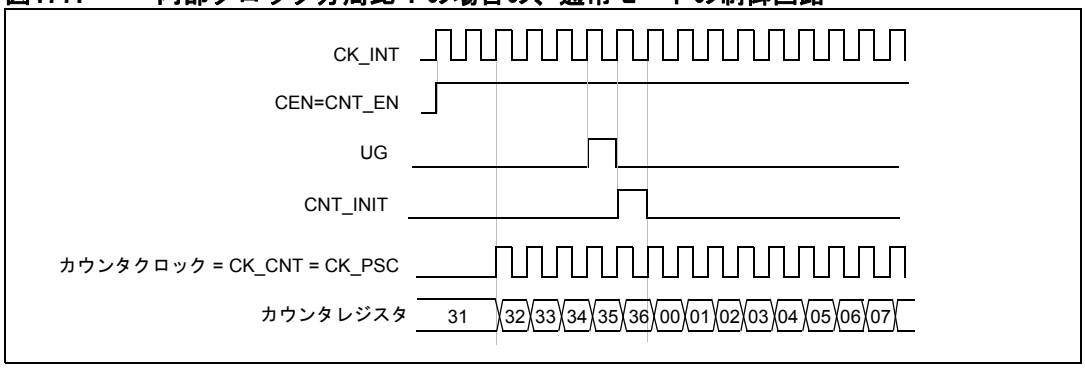
カウンタクロックは、内部クロック（CK_INT）ソースから供給されます。

TIMx_CR1 レジスタの CEN ビットと TIMx_EGR レジスタの UG ビットは実際の制御ビットであり、ソフトウェアによってのみ変更できます（ただし、UG は、自動的にクリアされたままになります）。CEN ビットに 1 が書き込まれると、プリスケーラにはクロックとして内部クロック CK_INT が供給されます。

図 177 は、プリスケーラを使用しない通常モードでの制御回路とアップカウンタの動作を示しています。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図177. 内部クロック分周比 1 の場合の、通常モードの制御回路



16.3.4 デバッグモード

マイクロコントローラがデバッグモードになると（Cortex-M3 コア停止）、DBG モジュールの DBG_TIMx_STOP 設定ビットに応じて、TIMx カウンタは通常通りに動作を続けるか、または停止します。詳細については、*セクション 30.16.2 : タイマ、ウォッチドッグ、bxCAN、および I²C のデバッグサポート* を参照してください。

16.4 TIM6 および TIM7 レジスタ

レジスタの説明で使用されている略語については、*セクション 1.1 (40 ページ)* を参照してください。

ペリフェラルレジスタには、ハーフワード（16 ビット）またはワード（32 ビット）単位でアクセスできます。

16.4.1 TIM6 および TIM7 制御レジスタ 1（TIMx_CR1）

アドレスオフセット：0x00

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								ARPE	予約済み			OPM	URS	UDIS	CEN
								rw				rw	rw	rw	rw

ビット 15:8 予約済み、常に 0 として読み出されます。

ビット 7 **ARPE**：自動再ロードプリロードイネーブル

0：TIMx_ARR レジスタはバッファされません。

1：TIMx_ARR レジスタはバッファされます。

ビット 6:4 予約済み、常に 0 として読み出されます。

ビット 3 **OPM**：ワンパルスモード

0：カウンタは更新イベントで停止しません。

1：カウンタは次の更新イベントでカウントを停止します（CEN ビットをクリアします）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 2 **URS**：更新リクエストのソース

このビットは、UEV イベントソースを選択するために、ソフトウェアによってセット/クリアされます。

0：次のいずれかのイベントが発生すると、更新割り込みまたは DMA リクエスト（有効な場合）が生成されます。これらのイベントは、次のとおりです。

- カウンタオーバーフロー /アンダーフロー
- UG ビットのセット
- スレーブモードコントローラからの更新生成

1：カウンタのオーバーフロー/アンダーフローの場合のみ、更新リクエストまたは（有効な場合）DMA リクエストが生成されます。

ビット 1 **UDIS**：更新ディセーブル

このビットは、UEV 生成を有効/無効にするために、ソフトウェアによってセット/クリアされます。

0：UEV は有効です。更新イベント（UEV）は、次のいずれかのイベントによって生成されます。

- カウンタオーバーフロー /アンダーフロー
- UG ビットのセット
- スレーブモードコントローラからの更新生成

バッファされたレジスタには、プリロード値がロードされます。

1：UEV は無効です。更新イベントは生成されず、シャドウレジスタ（ARR、PSC）はそれぞれの値のままです。ただし、UG ビットがセットされた場合や、スレーブモードコントローラからハードウェアリセットを受信した場合には、カウンタとプリスケーラが初期化されます。

ビット 0 **CEN**：カウンタイネーブル

0：カウンタは無効です。
1：カウンタは有効です。

注： ゲートモードは、CEN ビットが事前にソフトウェアによってセットされていた場合のみ動作します。ただし、トリガモードでは、ハードウェアによって自動的に CEN ビットをセットできます。

ワンパルスモードでは、更新イベントが発生すると、CEN は自動的にクリアされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

16.4.2 TIM6 および TIM7 制御レジスタ 2（TIMx_CR2）

アドレスオフセット：0x04

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み									MMS[2:0]			予約済み			
									rw	rw	rw				

ビット 15:7 予約済み、常に 0 として読み出されます。

ビット 6:4 **MMS**：マスタモード選択

これらのビットは、スレーブタイマの同期のためにマスタモードで送られる情報（TRGO）を選択するために使用されます。組み合わせは、次のとおりです。

000：**リセット** - TIMx_EGR レジスタの UG ビットがトリガ出力（TRGO）として使用されます。トリガ入力によってリセットが生成された場合（スレーブモードコントローラがリセットモードに設定されているとき）、TRGO 信号は実際のリセットより遅れます。

001：**イネーブル** - カウンタイネーブル信号 CNT_EN がトリガ出力（TRGO）として使用されます。いくつかのタイマを同時に開始するときや、スレーブタイマが有効な時間枠を制御するときに便利です。カウンタイネーブル信号は、CEN 制御ビットとゲートモードに設定されているときのトリガ入力との論理和によって生成されます。

カウンタイネーブル信号がトリガ入力によって制御されているとき、マスタ/スレーブモードが選択されている場合を除いて、TRGO には遅延が存在します（TIMx_SMCR レジスタの MSM ビットの説明を参照してください）。

010：**更新** - 更新イベントがトリガ出力（TRGO）として選択されます。たとえば、マスタタイマをスレーブタイマのプリスケーラとして使用できます。

ビット 3:0 予約済み、常に 0 として読み出されます。

16.4.3 TIM6 および TIM7 DMA/割り込みイネーブルレジスタ（TIMx_DIER）

アドレスオフセット：0x0C

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み							UDE	予約済み							UIE
							rw								rw

ビット 15:9 予約済み、常に 0 として読み出されます。

ビット 8 **UDE**：更新 DMA リクエストイネーブル

0：更新 DMA リクエストは無効です。
1：更新 DMA リクエストは有効です。

ビット 7:1 予約済み、常に 0 として読み出されます。

ビット 0 **UIE**：更新割り込みイネーブル

0：更新割り込みは無効です。
1：更新割り込みは有効です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

16.4.4 TIM6 および TIM7 ステータスレジスタ（TIMx_SR）

アドレスオフセット：0x10

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															UIF
															rc_w0

ビット 15:1 予約済み、常に 0 として読み出されます。

ビット 0 **UIF**：更新割り込みフラグ

このビットは、更新イベント時にハードウェアによってセットされます。ソフトウェアによってクリアされます。

0：更新は発生していません。

1：更新割り込みが保留中です。このビットは、レジスタが更新されたときにハードウェアによってセットされます。

– 繰り返しカウンタ値に関するオーバーフローまたはアンダーフローのときと、TIMx_CR1 レジスタの UDIS=0 の場合。

– TIMx_CR1 レジスタの URS=0 かつ UDIS=0 の場合、TIMx_EGR レジスタの UG ビットを使用して、ソフトウェアによって CNT が再初期化されたとき。

16.4.5 TIM6 および TIM7 イベント生成レジスタ（TIMx_EGR）

アドレスオフセット：0x14

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															UG
															w

ビット 15:1 予約済み、常に 0 として読み出されます。

ビット 0 **UG**：更新生成

このビットは、ソフトウェアによってセットでき、ハードウェアによって自動的にクリアされます。

0：影響なし。

1：タイマカウンタを再初期化して、レジスタの更新を生成します。プリスケーラカウンタもクリアされます（プリスケーラ比は変化しません）。

16.4.6 TIM6 および TIM7 カウンタ（TIMx_CNT）

アドレスオフセット：0x24

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CNT[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **CNT[15:0]**：カウンタ値

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

16.4.7 TIM6 および TIM7 プリスケーラ（TIMx_PSC）

アドレスオフセット：0x28

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PSC[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **PSC[15:0]**：プリスケーラ値
カウンタクロック周波数 CK_CNT は、f_{CK_PSC} /（PSC[15:0] + 1）に等しいです。
PSC は、更新イベントごとにアクティブプリスケーラレジスタにロードされる値を含みます。

16.4.8 TIM6 および TIM7 自動再ロードレジスタ（TIMx_ARR）

アドレスオフセット：0x2C

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ARR[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **ARR[15:0]**：プリスケーラ値
ARR は、実際の自動再ロードレジスタにロードされる値です。
APR の更新と動作の詳細については、*セクション 16.3.1：タイムベースユニット (442 ページ)* を参照してください。
自動再ロード値が null のときには、カウンタはブロックされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

16.4.9 TIM6 および TIM7 レジスタマップ

TIMx レジスタは、次の表のように、16 ビットアドレス可能レジスタにマップされます。

表93. TIM6 および TIM7 レジスタマップとリセット値

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	TIMx_CR1	予約済み																								ARPE	予約済み			OPM	URS	UDIS	CEN
	リセット値																									0				0	0	0	0
0x04	TIMx_CR2	予約済み																									MMS[2:0]			予約済み			
	リセット値																										0	0	0				
0x08	予約済み																																
0x0C	TIMx_DIER	予約済み																							UDE	予約済み							UIE
	リセット値																								0								0
0x10	TIMx_SR	予約済み																															UIF
	リセット値																																0
0x14	TIMx_EGR	予約済み																															UG
	リセット値																																0
0x18	予約済み																																
0x1C	予約済み																																
0x20	予約済み																																
0x24	TIMx_CNT	予約済み																CNT[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x28	TIMx_PSC	予約済み																PSC[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x2C	TIMx_ARR	予約済み																ARR[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

レジスタ境界アドレス の表を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

17 リアルタイムクロック（RTC）

小容量 デバイス は、フラッシュメモリ容量が 16～32 KB の STM32F101xx、STM32F102xx、および STM32F103xx マイクロコントローラです。

中容量 デバイスは、フラッシュメモリ容量が 64～128 KB の STM32F101xx、STM32F102xx、および STM32F103xx マイクロコントローラです。

大容量デバイスは、フラッシュメモリ容量が 256～512 KB の STM32F101xx および STM32F103xx マイクロコントローラです。

特大容量デバイスは、フラッシュメモリ容量が 768 KB～1 MB の STM32F101xx および STM32F103xx マイクロコントローラです。

コネクティビティラインデバイス は、STM32F105xx および STM32F107xx マイクロコントローラです。

このセクションは、別段の指定がない限り、STM32F10xxx ファミリ全体に適用されます。

17.1 RTC の概要

リアルタイムクロック（RTC）は、独立したタイマです。RTC は、クロックカレンダ機能の提供に使用できる、連続的に動作しているカウンタのセットを、適切なソフトウェアに提供します。カウンタ値を書き込んで、システムの現在日時を設定することができます。

RTC コアとクロック設定（RCC_BDCR レジスタ）はバックアップドメインにあります。すなわち、RTC の設定と時間は、リセットや STANDBY モードからのウェイクアップ後も保存されることを意味します。

リセット後、バックアップレジスタと RTC へのアクセスは無効になり、バックアップドメイン（BKP）は不正な書き込みアクセスから保護されます。バックアップレジスタと RTC へのアクセスを有効にするには、次の手順に従ってください。

- RCC_APB1ENR レジスタの PWREN および BKPEN ビットをセットすることによって、電源およびバックアップインタフェースクロックを有効にします。
- 電源制御レジスタ（PWR_CR）の DBP ビットをセットして、バックアップレジスタと RTC へのアクセスを有効にします。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

17.2 RTC の主な機能

- プログラマブルプリスケーラ：分周比は最大 2^{20}
- 32 ビット プログラマブルカウンタで長時間の測定が可能
- 2 つの個別クロック：APB1 インタフェースのための PCLK1 と RTC クロック（PCLK1 の 1/4 以下の周波数であることが必要）
- RTC のクロックソースは、次の 3 つのいずれかです。
  - 128 分周の HSE クロック
  - LSE オシレータクロック
  - LSI オシレータクロック （詳細については、*セクション 6.2.8 : RTC クロック* を参照）
- 2 つの個別のリセットタイプ：
  - APB1 インタフェースは、システムリセットによってリセットされます。
  - RTC コア（プリスケーラ、アラーム、カウンタ、および分周回路）は、バックアップドメインリセットによってのみリセットされます（*セクション 6.1.3 : バックアップドメインリセット（83 ページ）* を参照）。
- 3 本のマスク可能な専用割り込みリクエストライン：
  - アラーム割り込み。ソフトウェアでプログラミング可能なアラーム割り込みを生成します。
  - 秒割り込み。プログラミング可能な周期（最大 1 秒）で周期的な割り込み信号を生成します。
  - オーバーフロー割り込み。内部のプログラマブルカウンタがゼロにロールオーバーしたことを検出します。

17.3 RTC の機能詳細

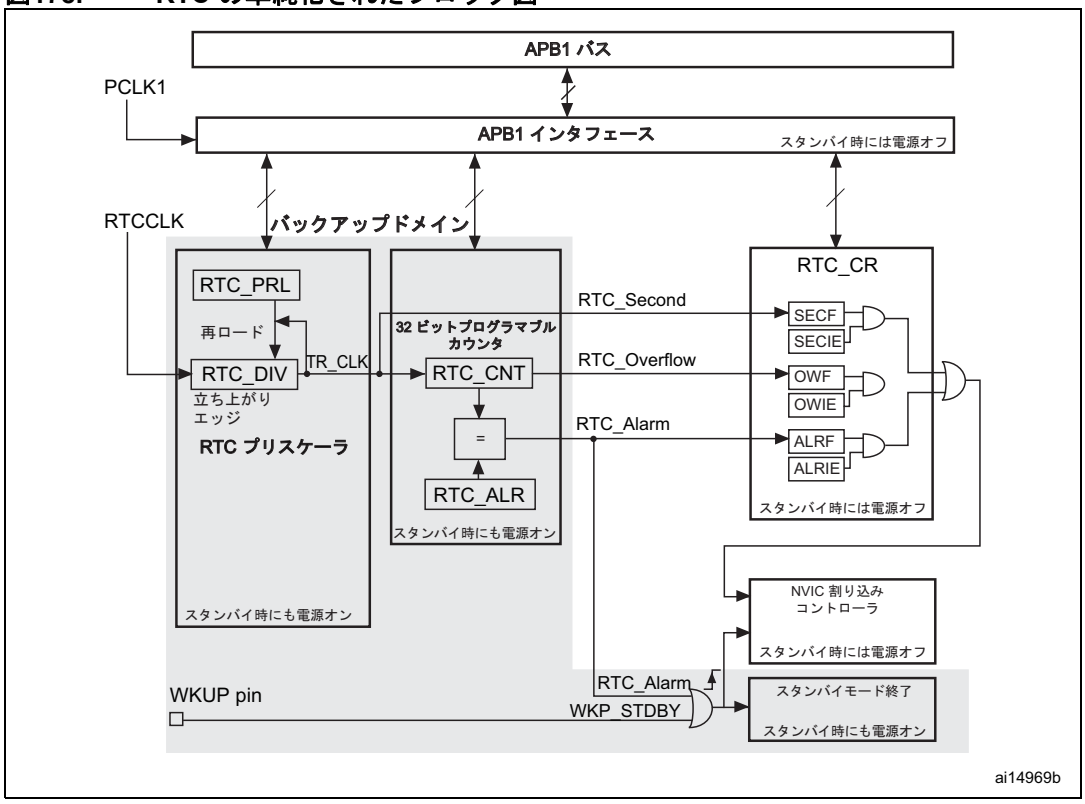
17.3.1 概要

RTC は、2 つのメインユニットで構成されています（*図 178（455 ページ）* を参照）。1 つは APB インタフェースであり、APB1 バスとのインタフェースに使用されます。このユニットは、読み出しまたは書き込みモードで APB1 バスからアクセス可能な 16 ビットレジスタのセットも含んでいます（詳細については *セクション 17.4 : RTC レジスタ（457 ページ）* を参照してください）。APB1 インタフェースは、APB1 バスによってクロック供給されて、APB1 バスとインタフェースします。

もう 1 つのユニットは RTC コアであり、2 つのメインブロックから成るプログラマブルカウンタの連鎖で構成されます。最初のブロックは RTC プリスケーラであり、最大 1 秒までの周期をプログラミング可能な RTC タイムベース信号 TR_CLK を生成します。20 ビットのプログラマブル分周回路（RTC プリスケーラ）を含みます。RTC_CR レジスタで有効になっていた場合、TR_CLK ごとに、RTC は割り込み（秒割り込み）を生成します。2 つ目のユニットは、32 ビットのプログラマブルカウンタであり、現在のシステム時刻に初期化できます。システム時刻は TR_CLK ごとにインクリメントされて、プログラミング可能な日付（RTC_ALR レジスタに格納）と比較されます。RTC_CR 制御レジスタで有効になっている場合、アラーム割り込みを生成します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図178. RTC の単純化されたブロック図



17.3.2 RTC レジスタのリセット

RTC_PRL、RTC_ALR、RTC_CNT、および RTC_DIV を除くすべてのシステムレジスタは、システムリセットまたは電源リセットによって非同期にリセットされます。

RTC_PRL、RTC_ALR、RTC_CNT、および RTC_DIV レジスタは、バックアップドメインリセットによってのみリセットされます。*セクション 6.1.3（83 ページ）*を参照してください。

17.3.3 RTC レジスタの読み出し

RTC コアは、RTC APB1 インタフェースから完全に独立しています。

ソフトウェアは APB1 インタフェースを通じて、RTC プリスケーラ、カウンタ、およびアラーム値にアクセスしますが、関連する読み出し可能なレジスタは、RTC APB1 クロックによって再同期される RTC クロックの立ち上がりエッジのたびに内部で更新されます。RTC フラグも同様です。

このため、APB1 インタフェースが以前に無効にされ、APB1 インタフェースが有効にされた直後に、レジスタの最初の内部更新の前に読み出しが発生した場合、RTC APB1 レジスタの最初の読み出しは正しく行われないことがあります（通常は 0 が読み出されます）。これは、次のような場合に発生する可能性があります。

- システムリセットまたは電源リセットが発生した場合。
- MCU が STANDBY モードからウェイクアップした直後（*セクション 4.3:低電力モード*を参照）。
- MCU が STOP モードからウェイクアップした直後（*セクション 4.3：低電力モード*を参照）。

いずれの場合も、RTC コアは動作を続けますが、APB1 インタフェースは無効になります（リセット、クロックオフ、またはパワーオフ）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

したがって、RTC APB1 インタフェースが無効になった後で RTC レジスタを読み出すときには、ソフトウェアは、まず、RTC_CRL レジスタの RSF ビット（レジスタ同期フラグ）がハードウェアによってセットされるまで待つ必要があります。

RTC APB1 インタフェースは WFI および WFE 低電力モードには影響されないことに注意してください。

17.3.4 RTC レジスタの設定

RTC_PRL、RTC_CNT、RTC_ALR レジスタに書き込むには、ペリフェラルを設定モードにする必要があります。このためには、RTC_CRL レジスタの CNF ビットをセットします。

さらに、RTC レジスタへの書き込みは、以前の書き込み操作が終了している場合のみ可能です。ソフトウェアがこの状況を検出するできるようにするために、RTC_CR レジスタの RTOFF ステータスビットがあり、レジスタの更新が進行中であることを示します。RTOFF ステータスビットの値が 1 のときに のみ、RTC レジスタに新しい値を書き込むことができます。

設定手順：

1. RTOFF にポーリングして、値が "1" になるまで待ちます。
2. CNF ビットをセットして、設定モードに入ります。
3. 1 つ以上の RTC レジスタに書き込みます。
4. CNF ビットをクリアして、設定モードを終了します。
5. RTOFF にポーリングして、値が "1" になるまで待ち、書き込み操作の終了を確認します。

書き込み操作は、CNF ビットがクリアされているときにのみ実行されます。完了までに少なくとも 3 RTCCLK サイクルかかります。

17.3.5 RTC フラグのアサート

RTC 秒フラグ（SECF）は、RTC カウンタの更新前に、RTC コアのクロックサイクルごとにアサートされます。

RTC オーバーフローフラグ（OWF）は、カウンタが 0x0000 に達する前の最後の RTC コアクロックサイクルでアサートされます。

RTC_Alarm と RTC アラームフラグ（ALRF）（*図 179* を参照）は、カウンタがアラームレジスタに格納されている RTC アラーム値より 1 だけ大きな値（RTC_ALR + 1）に達する直前の RTC コアクロックでアサートされます。RTC アラームと RTC 秒フラグへの書き込み操作は、次のいずれかの方法で同期する必要があります。

- RTC アラーム割り込みを使用し、RTC 割り込みルーチンの中で RTC アラームおよび RTC カウンタレジスタを更新します。
- RTC 制御レジスタの SECF ビットがセットされるのを待ちます。RTC アラームおよび RTC カウンタレジスタを更新します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図179. RTC 秒およびアラーム波形の例 （PR=0003、ALARM=00004）

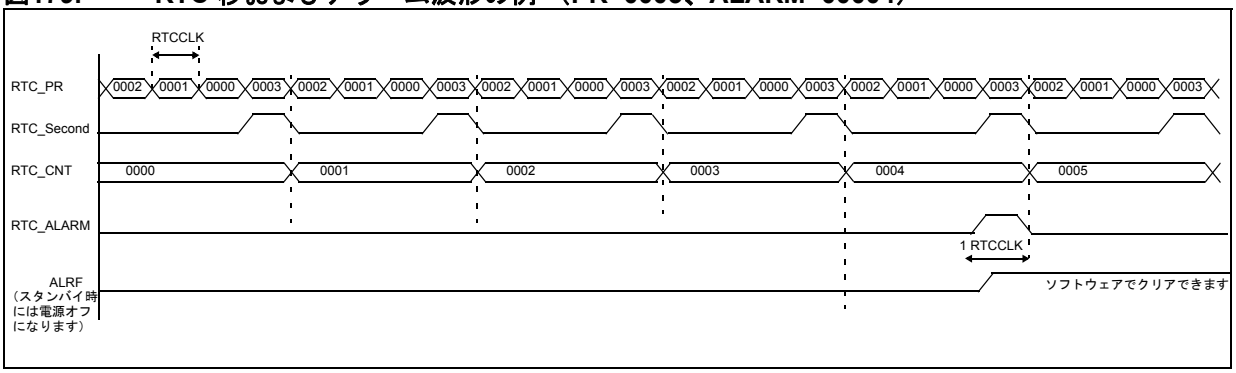
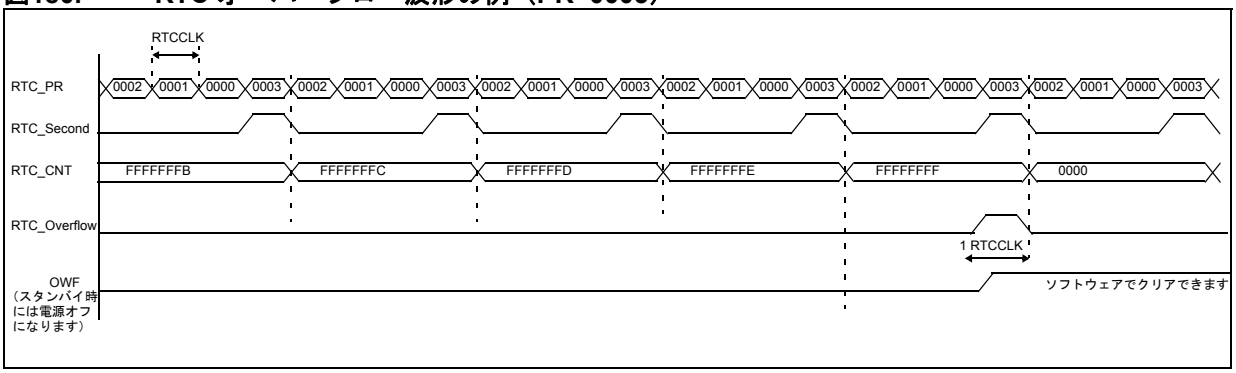


図180. RTC オーバーフロー波形の例（PR=0003）



17.4 RTC レジスタ

レジスタの説明で使用されている略語のリストについては、*セクション 1.1（40 ページ）*を参照してください。

ペリフェラルレジスタには、ハーフワード（16 ビット）またはワード（32 ビット）単位でアクセスできます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

17.4.1 RTC 制御レジスタ（上位）（RTC_CRH）

アドレスオフセット：0x00
リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み													OWIE	ALRIE	SECIE
													rw	rw	rw

ビット 15:3 予約済み、ハードウェアによって 0 に固定されています。

ビット 2 **OWIE**：オーバーフロー割り込みイネーブル
0：オーバーフロー割り込みはマスクされます。
1：オーバーフロー割り込みは有効です。

ビット 1 **ALRIE**：アラーム割り込みイネーブル
0：アラーム割り込みはマスクされます。
1：アラーム割り込みは有効です。

ビット 0 **SECIE**：秒割り込みイネーブル
0：秒割り込みはマスクされます。
1：秒割り込みは有効です。

これらのビットは、割り込みリクエストをマスクするために使用されます。リセット時には、すべての割り込みが無効なので、RTC レジスタに書き込むことによって、初期化後に割り込みリクエストが保留中になっていないことを確認できます。前の書き込み操作が完了する（RTOFF=0）まで、RTC_CRH レジスタに書き込むことはできません（*セクション 17.3.4（456 ページ）*を参照してください）。

RTC の機能はこの制御レジスタによって制御されます。書き込みには、特定の設定手順を使用しなければならないビットもあります（*設定手順：*を参照）。

17.4.2 RTC 制御レジスタ（下位）（RTC_CRL）

アドレスオフセット：0x04
リセット値：0x0020

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み										RTOFF	CNF	RSF	OWF	ALRF	SECF
										r	rw	rc_w0	rc_w0	rc_w0	rc_w0

ビット 15:6 予約済み、ハードウェアによって 0 に固定されています。

ビット 5 **RTOFF**：RTC 操作オフ
このビットによって、RTC は、レジスタに対して最後に行われた書き込み操作が完了したかどうかを報告します。値が "0" の場合、RTC レジスタへの書き込みはできません。このビットは読み出し専用です。
0：RTC レジスタへの最後の書き込み操作はまだ実行中です。
1：RTC レジスタへの最後の書き込み操作は終了しました。

ビット 4 **CNF**：設定フラグ
RTC_CNT、RTC_ALR、または RTC_PRL レジスタに新しい値を書き込めるようにするには、ソフトウェアでこのビットをセットして、設定モードに入る必要があります。書き込み操作は、CNF ビットのセット後、ソフトウェアによってリセットされたときにのみ実行されます。
0：設定モードを終了します（RTC レジスタの更新を開始します）。
1：設定モードに入ります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 3 **RSF**：レジスタ同期フラグ

このビットは、RTC_CNT および RTC_DIV レジスタが更新されるたびにハードウェアによってセットされ、ソフトウェアによってクリアされます。APB1 リセットまたは APB1 クロック停止後の読み出し操作の前に、このビットをソフトウェアによってクリアする必要があり、ユーザアプリケーションは、RTC_CNT、RTC_ALR、または RTC_PRL レジスタが同期していることを確認するために、このビットがセットされるまで待つ必要があります。

0：レジスタはまだ同期していません。

1：レジスタは同期しました。

ビット 2 **OWF**：オーバーフローフラグ

このビットは、32 ビットプログラマブルカウンタがオーバーフローしたときに、ハードウェアによってセットされます。RTC_CRH レジスタの OWIE=1 の場合は、割り込みが生成されます。ソフトウェアによってのみクリアできます。"1" を書き込んだときには、ビットの値に影響を与えません。

0：オーバーフローは検出されていません。

1：32 ビットプログラマブルカウンタのオーバーフローが発生しました。

ビット 1 **ALRF**：アラームフラグ

このビットは、32 ビットプログラマブルカウンタが RTC_ALR レジスタで設定された閾値に達したときに、ハードウェアによってセットされます。RTC_CRH レジスタの ALRIE=1 の場合は、割り込みが生成されます。ソフトウェアによってのみクリアできます。"1" を書き込んだときには、ビットの値に影響を与えません。

0：アラームは検出されていません。

1：アラームが検出されました。

ビット 0 **SECF**：秒フラグ

このビットは、32 ビットプログラマブルプリスケーラがオーバーフローし、RTC カウンタをインクリメントするときに、ハードウェアによってセットされます。このフラグは、RTC カウンタについてプログラムされた分解能（通常は 1 秒）を周期とする定期的な信号を提供します。RTC_CRH レジスタの SECIE=1 の場合は、割り込みが生成されます。ソフトウェアによってのみクリアできます。"1" を書き込んだときには、ビットの値に影響を与えません。

0：秒フラグ条件は満たされていません。

1：秒フラグ条件が満たされました。

RTC の機能は、この制御レジスタによって制御されます。ペリフェラルが前の書き込み操作を実行している間（RTOFF=0）は、RTC_CRH レジスタに書き込むことはできません（*セクション 17.3.4 (456 ページ)*を参照してください）。

注：

1. ***RTC_CR リクエストビットがソフトウェアによってリセットされて、割り込みリクエストが許可されたことを示すまで、フラグはペンディング状態を保ちます。***
2. ***リセット時には割り込みが無効になり、割り込みリクエストはペンディングされないので、RTC レジスタへの書き込みが可能です。***
3. ***OWF、ALRF、SECF、および RSF ビットは、APB1 クロックが動作していないときには更新されません。***
4. ***OWF、ALRF、SECF、および RSF ビットは、ハードウェアによってのみセットされ、ソフトウェアによってのみクリアされます。***
5. ***ALRF = 1 かつ ALRIE = 1 の場合、RTC グローバル割り込みは有効です。EXTI コントローラを通じて EXTI ライン 17 も有効な場合、RTC グローバル割り込みと RTC アラーム割り込みの両方が有効です。***
6. ***ALRF = 1 の場合、割り込みモードの EXTI コントローラを通じて EXTI ライン 17 が有効であれば、RTC アラーム割り込みも有効です。EXTI ライン 17 がイベントモードで有効なときには、このラインでパルスが生成されます（RTC アラーム割り込みは生成されません）。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

17.4.3 RTC プリスケーラロードレジスタ（RTC_PRLH/RTC_PRLL）

プリスケーラロードレジスタは、RTC プリスケーラの周期カウント値を保持します。RTC_CR レジスタの RTOFF ビットによって書き込み保護され、RTOFF の値が 1 の場合は書き込み操作が可能です。

RTC プリスケーラロードレジスタ（上位）（RTC_PRLH）

アドレスオフセット：0x08
書き込みのみ（*セクション 17.3.4（456 ページ）*を参照）
リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み												PRL[19:16]			
												w	w	w	w

ビット 15:4 予約済み、ハードウェアによって 0 に固定されています。

ビット 3:0 **PRL[19:16]** : RTC プリスケーラ再ロード値（上位）
これらのビットは、次の式に従って、カウンタクロックの周波数を定義するために使用されます。
$f_{TR_CLK} = f_{RTCCLK}/$（PRL[19:0]+1）

注： ***ゼロの値は推奨されません。RTC 割り込みおよびフラグが正しくアサートされません。***

RTC プリスケーラロードレジスタ（下位）（RTC_PRLL）

アドレスオフセット：0x0C
書き込みのみ（*セクション 17.3.4（456 ページ）*を参照）
リセット値：0x8000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PRL[15:0]															
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w

ビット 15:0 **PRL[15:0]** : RTC プリスケーラ再ロード値（下位）
これらのビットは、次の式に従って、カウンタクロックの周波数を定義するために使用されます。
$f_{TR_CLK} = f_{RTCCLK}/$（PRL[19:0]+1）

注： ***入力クロックの周波数（f_{RTCCLK}）が 32.768 kHz の場合、1 秒の信号周期を得るには、このレジスタに 7FFFh を書き込みます。***

17.4.4 RTC プリスケーラ分周レジスタ（RTC_DIVH/RTC_DIVL）

TR_CLK の周期ごとに、RTC プリスケーラ内のカウンタに、RTC_PRL レジスタに格納された値が再ロードされます。正確な時間測定を得るために、動作を停止することなく、RTC_DIV レジスタに格納されているプリスケーラカウンタの現在値を読み出すことができます。このレジスタは読み出し専用であり、RTC_PRL または RTC_CNT レジスタが変更された後、ハードウェアによって再ロードされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

RTC プリスケーラ分周レジスタ（上位）（RTC_DIVH）

アドレスオフセット：0x10
リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み												RTC_DIV[19:16]			
												r	r	r	r

ビット 15:4 予約済み

ビット 3:0 **RTC_DIV[19:16]**：RTC クロック分周レジスタ（上位）

RTC プリスケーラ分周レジスタ（下位）（RTC_DIVL）

アドレスオフセット：0x14
リセット値：0x8000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RTC_DIV[15:0]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 15:0 **RTC_DIV[15:0]**：RTC クロック分周レジスタ（下位）

17.4.5 RTC カウンタレジスタ（RTC_CNTH/RTC_CNTL）

RTC コアには 32 ビットのプログラマブルカウンタがあり、2 つの 16 ビットレジスタを通じてアクセスされます。カウントレートは、プリスケーラよって生成される TR_CLK タイムベースに基づきます。RTC_CNT レジスタは、このカウンタのカウント値を保持します。RTC_CR レジスタの RTOFF ビットによって書き込み保護され、RTOFF ビットが "1" の場合、書き込み操作が可能です。上位（RTC_CNTH）または下位（RTC_CNTL）のレジスタへの書き込み操作によって、対応するプログラマブルカウンタが直接ロードされ、RTC プリスケーが再ロードされます。読み出しでは、カウンタの現在値（システム日付）が返されます。

RTC カウンタレジスタ（上位）（RTC_CNTH）

アドレスオフセット：0x18
リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RTC_CNT[31:16]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **RTC_CNT[31:16]**：RTC カウンタ（上位）
RTC_CNTH レジスタを読み出すと、RTC カウンタレジスタの上位部分の現在値が返されます。このレジスタに書き込むには、設定モードに入る必要があります（*セクション 17.3.4：RTC レジスタの設定 (456 ページ)* を参照）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

RTC カウンタレジスタ（下位）（RTC_CNTL）

アドレスオフセット：0x1C
リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RTC_CNT[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **RTC_CNT[15:0]**：RTC カウンタ（下位）
RTC_CNTL レジスタを読み出すと、RTC カウンタレジスタの下位部分の現在値が返されます。このレジスタに書き込むには、設定モードに入る必要があります（*セクション 17.3.4：RTC レジスタの設定（456 ページ）*を参照）。

17.4.6 RTC アラームレジスタ（上位）（RTC_ALRH/RTC_ALRL）

プログラマブルカウンタが RTC_ALR レジスタに格納されている 32 ビット値に達すると、アラームがトリガされ、RTC_alarmIT 割り込みリクエストが生成されます。このレジスタは RTC_CR レジスタの RTOFF ビットによって書き込み保護され、RTOFF ビットの値が "1" の場合、書き込み操作が可能です。

RTC アラームレジスタ（上位 ）（RTC_ALRH）

アドレスオフセット：0x20
書き込み専用（*セクション 17.3.4（456 ページ）*を参照）
リセット値：0xFFFF

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RTC_ALR[31:16]															
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w

ビット 15:0 **RTC_ALR[31:16]**：RTC アラーム（上位）
アラーム時刻の上位部分は、ソフトウェアによってこのレジスタに書き込まれます。このレジスタに書き込むには、設定モードに入る必要があります（*セクション 17.3.4：RTC レジスタの設定（456 ページ）*を参照）。

RTC アラームレジスタ（下位）（RTC_ALRL）

アドレスオフセット：0x24
書き込み専用（*セクション 17.3.4（456 ページ）*を参照）
リセット値：0xFFFF

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RTC_ALR[15:0]															
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w

ビット 15:0 **RTC_ALR[15:0]**：RTC アラーム（下位）
アラーム時刻の下位部分は、ソフトウェアによってこのレジスタに書き込まれます。このレジスタに書き込むには、設定モードに入る必要があります（*セクション 17.3.4：RTC レジスタの設定（456 ページ）*を参照）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

17.4.7 RTC レジスタマップ

RTC レジスタは、次の表に示されているように、16 ビットのアドレス可能レジスタとしてマップされます。

表94. RTC レジスタマップとリセット値

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x000	RTC_CRH	予約済み																													OWIE	ALRIE	SECIE
	リセット値																														0	0	0
0x004	RTC_CRL	予約済み																										RTOFF	CNF	RSF	OWF	ALRF	SECF
	リセット値																											1	0	0	0	0	0
0x008	RTC_PRLH	予約済み																												PRL[19:16]			
	リセット値																													0	0	0	0
0x00C	RTC_PRLL	予約済み																PRL[15:0]															
	リセット値																	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x010	RTC_DIVH	予約済み																DIV[31:16]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x014	RTC_DIVL	予約済み																IDR[15:0]															
	リセット値																	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x018	RTC_CNTH	予約済み																CNT[13:16]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x01C	RTC_CNTL	予約済み																CNT[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x020	RTC_ALRH	予約済み																ALR[31:16]															
	リセット値																	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
0x024	RTC_ALRL	予約済み																ALR[15:0]															
	リセット値																	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

レジスタ境界アドレスについては、*表 1（45 ページ）*を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

18 独立型ウォッチドッグ（IWDG）

小容量 デバイス は、フラッシュメモリ容量が 16～32 KB の STM32F101xx、STM32F102xx、および STM32F103xx マイクロコントローラです。

中容量 デバイスは、フラッシュメモリ容量が 64～128 KB の STM32F101xx、STM32F102xx、および STM32F103xx マイクロコントローラです。

大容量デバイスは、フラッシュメモリ容量が 256～512 KB の STM32F101xx および STM32F103xx マイクロコントローラです。

特大容量デバイスは、フラッシュメモリ容量が 768 KB～1 MB の STM32F101xx および STM32F103xx マイクロコントローラです。

コネクティビティラインデバイス は、STM32F105xx および STM32F107xx マイクロコントローラです。

このセクションは、別段の指定がない限り、STM32F10xxx ファミリ全体に適用されます。

18.1 IWDG の概要

STM32F10xxx は、2 つの内蔵ウォッチドッグペリフェラルを搭載して、高い安全レベル、タイミングの正確さ、および使用の柔軟さを提供します。2 つのウォッチドッグペリフェラル（独立型とウィンドウ型）は、ソフトウェア障害による誤動作を検出および解決し、カウンタが与えられたタイムアウト値に達すると、システムリセットまたは割り込み（ウィンドウ型ウォッチドッグのみ）をトリガします。

独立型ウォッチドッグ（IWDG）は、独自の低速クロック（LSI）によってクロック供給されるので、メインクロックに障害があってもアクティブなままです。ウィンドウ型ウォッチドッグ（WWDG）のクロックは、APB1 クロックから分周され、設定可能な時間幅（time-window）を持つので、異常に遅いアプリケーション動作や異常に速いアプリケーション動作を検出するようにプログラミングできます。

IWDG は、メインアプリケーションの外部で、完全に独立したプロセスとして実行するウォッチドッグが必要な場合に最適ですが、タイミング精度が低いという制約があります。WWDG は、正確な時間幅内で反応するウォッチドッグが必要なアプリケーションに適しています。ウィンドウ型ウォッチドッグの詳細については、*セクション 19（470 ページ）*を参照してください。

18.2 IWDG の主な機能

- フリーランニングダウンカウンタ
- 独立した RC オシレータからクロック供給（STANDBY および STOP モードで動作可能）
- ダウンカウンタが 0x000 に達したときのリセット（ウォッチドッグが有効な場合）

18.3 IWDG の機能詳細

図 181 に、独立型ウォッチドッグモジュールの機能ブロックを示します。

キーレジスタ（IWDG_KR）に 0xCCCC が書き込まれることによって独立型ウォッチドッグを開始すると、カウンタはリセット値 0xFFF からカウントダウンを開始します。カウント値の終わり（0x000）に達すると、リセット信号が生成されます（IWDG_reset）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

IWDG_KR レジスタにキー値 0xAAAA が書き込まれると、IWDG_RLR レジスタ値がカウンタに再ロードされ、ウォッチドッグのリセットが防止されます。

18.3.1 ハードウェアウォッチドッグ

デバイスのオプションビットを通じて「ハードウェアウォッチドッグ」機能が有効な場合、ウォッチドッグは電源投入時に自動的に有効になり、カウンタがカウントの終わりに達する前にソフトウェアによってキーレジスタへの書き込みが行われない限り、リセットを生成します。

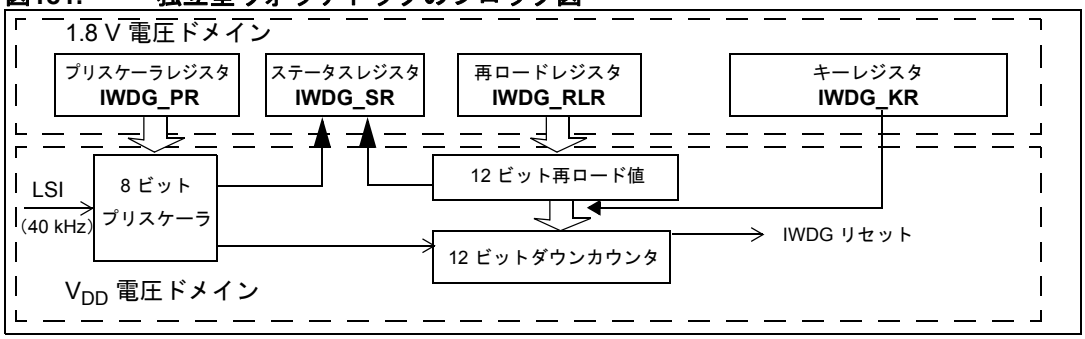
18.3.2 レジスタアクセスに対する保護

IWDG_PR および IWDG_RLR レジスタへの書き込みアクセスは保護されます。これらを変更するには、まず、IWDG_KR レジスタにコード 0x5555 を書き込む必要があります。このレジスタに別の値を書き込むと、シーケンスはブレークされ、レジスタへのアクセスが再び保護されます。これは、再ロード操作（0xAAAA の書き込み）であることを意味します。
ステータスレジスタは、プリスケーラやダウンカウンタ再ロード値の更新が行われていることを示すために使用されます。

18.3.3 デバッグモード

マイクロコントローラがデバッグモードに入ると（Cortex-M3 コアは一時停止）、IWDG カウンタは、DBG モジュールの DWG_IWDG_STOP 設定ビットに応じて、通常通りに動作を続けるか、停止します。詳細については、*セクション 30.16.2：タイマ、ウォッチドッグ、bxCAN、および I^2C のデバッグサポート*を参照してください。

図181. 独立型ウォッチドッグのブロック図



注： ***ウォッチドッグ機能は、V_{DD} 電圧ドメインに実装され、STOP モードおよび STANDBY モードでも機能します。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表95. 最小/最大 IWDG タイムアウト期間（40 kHz）（LSI）(1)

プリスケーラ分周回路	PR[2:0] ビット	タイムアウト最小値（ms）RL[11:0]= 0x000	タイムアウト最大値（ms）RL[11:0]= 0xFFF
/4	0	0.1	409.6
/8	1	0.2	819.2
/16	2	0.4	1638.4
/32	3	0.8	3276.8
/64	4	1.6	6553.6
/128	5	3.2	13107.2
/256	6 （または 7）	6.4	26214.4

1. これらのタイミングは、40 kHz クロックが供給されたときの値ですが、マイクロコントローラの内蔵 RC 周波数は 30 kHz から 60 kHz の間で変化することがあります。さらに、RC オシレータ周波数が正確だとしても、タイミング精度は、APB インタフェースクロックと LSI クロックの位相によっても左右されるので、最大で RC クロック 1 周期分の誤差が生じます。

許容可能な精度で IWDG タイムアウトを計算できるように、LSI を較正することができます。詳細については、*LSI 較正（88 ページ）*を参照してください。

18.4 IWDG レジスタ

レジスタの説明で使用されている略語のリストについては、*セクション 1.1（40 ページ）*を参照してください。

ペリフェラルレジスタには、ハーフワード（16 ビット）またはワード（32 ビット）単位でアクセスできます。

18.4.1 キーレジスタ（IWDG_KR）

アドレスオフセット：0x00

リセット値：0x0000 0000 （STANDBY モードによりリセットされます）

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																KEY[15:0]															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w

ビット 31:16 予約済み、0 が読み出されます。

ビット 15:0 **KEY[15:0]**：キー値（書き込み専用、読み出しでは 0000h）

これらのビットには、ソフトウェアによって一定間隔でキー値 AAAAh が書き込まれなければなりません。カウンタが 0 に達すると、ウォッチドッグはリセットを生成します。

キー値 5555h を書き込むことによって、IWDG_PR および IWDG_RLR レジスタへのアクセスが可能になります（*セクション 18.3.2* を参照）。

キー値 CCCCh を書き込むと、ウォッチドッグが開始します（ハードウェアウォッチドッグオプションが選択されている場合を除きます）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

18.4.2 プリスケーラレジスタ（IWDG_PR）

アドレスオフセット：0x04

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																予約済み													PR[2:0]		
																													rw	rw	rw

ビット 31:3 予約済み、0 が読み出されます。

ビット 2:0 **PR[2:0]:** プリスケーラ分周回路

これらのビットは、書き込みアクセスに対して保護されます（*セクション 18.3.2* を参照）。カウンタクロックを供給するプリスケーラ分周回路を選択するために、ソフトウェアによって書き込まれます。プリスケーラ分周回路を変更できるようにするには、IWDG_SR レジスタの PVU ビットをリセットする必要があります。

000：4 分周
001：8 分周
010：16 分周
011：32 分周
100：64 分周
101：128 分周
110：256 分周
111：256 分周

注： このレジスタを読み出すと、VDD 電圧ドメインからプリスケーラ値が返されます。このレジスタへの書き込み操作が進行中の場合には、この値は、最新でないか、有効でないことがあります。このため、このレジスタから読み出された値が有効なのは、IWDG_SR レジスタの PVU ビットがリセットされているときのみです。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

18.4.3 再ロードレジスタ（IWDG_RLR）

アドレスオフセット：0x08

リセット値：0x0000 0FFF （STANDBY モードによりリセットされます）

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																予約済み				RL[11:0]											
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0					rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:12 予約済み、0 が読み出されます。

ビット 11:0 **RL[11:0]:**ウォッチドッグカウンタ再ロード値

これらのビットは、書き込みアクセスに対して保護されます（*セクション 18.3.2* を参照）。IWDG_KR レジスタに値 AAAAh が書き込まれるたびにウォッチドッグカウンタにロードされる値を定義するために、ソフトウェアによって書き込まれます。ウォッチドッグカウンタは、この値からカウントダウンします。タイムアウトまでの時間は、この値とクロックプリスケーラによって決まります。*表 95* を参照してください。

再ロード値を変更できるようにするには、IWDG_SR レジスタの RVU ビットをリセットする必要があります。

注： このレジスタを読み出すと、VDD 電圧ドメインから再ロード値が返されます。このレジスタへの書き込み操作が進行中の場合、この値は最新でないか、有効でないことがあります。このため、このレジスタから読み出された値が有効なのは、IWDG_SR レジスタの RVU ビットがリセットされているときのみです。

18.4.4 ステータスレジスタ（IWDG_SR）

アドレスオフセット：0x0C

リセット値：0x0000 0000（STANDBY モードによりリセットされません）

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																予約済み														RVU	PVU
																														r	r

ビット 31:2 予約済み

ビット 1 **RVU:**ウォッチドッグカウンタ再ロード値の更新

このビットは、再ロード値の更新が進行中であることを示すために、ハードウェアによってセットされます。V_{DD} 電圧ドメインで再ロード値の更新操作が完了したときに、ハードウェアによってリセットされます（最大 5 RC 40 kHz サイクルかかります）。

再ロード値は、RVU ビットがリセットされているときのみ更新できます。

ビット 0 **PVU:**ウォッチドッグプリスケーラ値の更新

このビットは、プリスケーラ値の更新が進行中であることを示すために、ハードウェアによってセットされます。V_{DD} 電圧ドメインでプリスケーラ更新操作が完了したとき、ハードウェアによってリセットされます（最大 5 RC 40 kHz サイクルかかります）。

プリスケーラ値は、PVU ビットがリセットされているときのみ更新できます。

注： 複数の再ロード値またはプリスケーラ値がアプリケーションで使用される場合は、再ロード値を変更する前に RVU ビットがリセットされるまで待つ必要があり、プリスケーラ値を変更する前に PVU ビットがリセットされるまで待つ必要があります。ただし、プリスケーラ値や再ロード値を更新した後は、RVU または PVU がリセットされるのを待たずに、コード実行を続けることができます（低電力モードに入った場合でも、書き込み操作は実行され、完了します）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

18.4.5 IWDG レジスタマップ

次の表に、IWDG レジスタマップとリセット値を示します。

表96. IWDG レジスタマップとリセット値

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	**IWDG_KR**	予約済み																KEY[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x04	**IWDG_PR**	予約済み																													PR[2:0]		
	リセット値																														0	0	0
0x08	**IWDG_RLR**	予約済み																				RL[11:0]											
	リセット値																					1	1	1	1	1	1	1	1	1	1	1	1
0x0C	**IWDG_SR**	予約済み																														RVU	PVU
	リセット値																															0	0

レジスタ境界アドレス の表を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

19 ウィンドウ型ウォッチドッグ（WWDG）

小容量 デバイス は、フラッシュメモリ容量が 16～32 KB の STM32F101xx、STM32F102xx、および STM32F103xx マイクロコントローラです。

中容量 デバイスは、フラッシュメモリ容量が 64～128 KB の STM32F101xx、STM32F102xx、および STM32F103xx マイクロコントローラです。

大容量デバイスは、フラッシュメモリ容量が 256～512 KB の STM32F101xx および STM32F103xx マイクロコントローラです。

特大容量デバイスは、フラッシュメモリ容量が 768 KB～1 MB の STM32F101xx および STM32F103xx マイクロコントローラです。

コネクティビティラインデバイス は、STM32F105xx および STM32F107xx マイクロコントローラです。

このセクションは、別段の指定がない限り、STM32F10xxx ファミリ全体に適用されます。

19.1 WWDG の概要

ウィンドウ型ウォッチドッグ（Window Watchdog）は、通常、外部の影響や予期しない論理条件などによって発生し、アプリケーションプログラムを正常なシーケンスから逸脱させるソフトウェア障害を検出するために使用されます。ウォッチドッグ回路は、T6 ビットがクリアされる前にプログラムがダウンカウンタの内容を更新しない限り、プログラムされた時間の経過後に MCU リセットを生成します。MCU リセットは、ダウンカウンタがウィンドウレジスタ値に達する前に 7 ビットのダウンカウンタの値（制御レジスタ内）が更新された場合にも生成されます。限られた時間枠（time-window）の間にカウンタが更新されなければならないことを意味します。

19.2 WWDG の主な機能

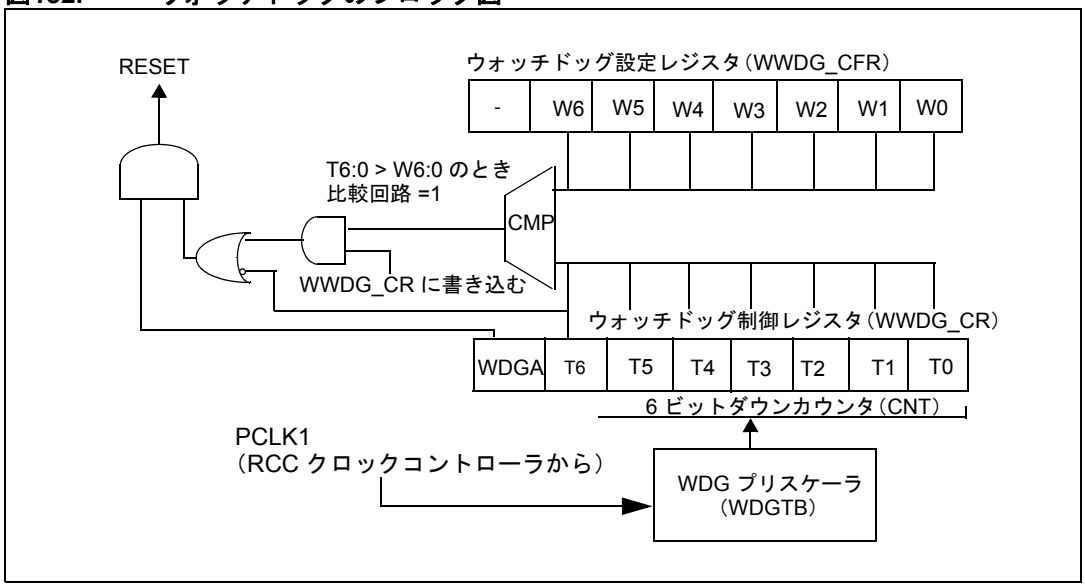
- プログラム可能なフリーランニングダウンカウンタ
- 条件付きリセット
  - ダウンカウンタの値が 40h より小さくなったときにリセット（ウォッチドッグが有効な場合）
  - ダウンカウンタがウィンドウ外で再ロードされた場合にリセット（ウォッチドッグが有効な場合）（*図 183* を参照）
- 早期ウェイクアップ割り込み（EWI）：ダウンカウンタが 40h になったときにトリガ（有効であり、ウォッチドッグが有効な場合）。カウンタを再ロードして、WWDG リセットを防ぐために使えます。

19.3 WWDG の機能詳細

ウォッチドッグが有効であり（WWDG_CR レジスタの WDGA ビットがセット）、7 ビットのダウンカウンタ（T[6:0] ビット）が 0x40 から 0x3F にロールオーバーすると（T6 がクリア）、リセットを開始します。カウンタがウィンドウレジスタに格納された値より大きい間にソフトウェアがカウンタを再ロードした場合にも、リセットが生成されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図182. ウォッチドッグのブロック図



アプリケーションプログラムは、通常動作時には定期的に WWDG_CR レジスタへの書き込みを行って、MCU リセットを防ぐ必要があります。この操作は、カウンタの値がウィンドウレジスタの値より小さいときに限られます。WWDG_CR レジスタに格納される値は、0xFF から 0xC0 の間でなければなりません。

- ウォッチドッグを有効にするには：

  ウォッチドッグはリセット後は常に無効です。これを有効にするには、WWDG_CR レジスタの WDGA ビットをセットします。この後は、リセット以外の方法でウォッチドッグを無効にすることはできせん。

- ダウンカウンタを制御するには：

  このダウンカウンタはフリーランニングです。ウォッチドッグが無効な場合も、カウントダウンします。ウォッチドッグを有効にするときには、T6 ビットをセットして、リセットの生成を防ぐ必要があります。

  T[5:0] ビットは、ウォッチドッグがリセットを生成するまでの時間遅延を表すインクリメント数を含みます。WWDG_CR レジスタに書き込むときのプリスケーラの状態は不明なので、タイミングは最小値から最大値までさまざまです（*図 183*を参照）。

  設定レジスタ（WWDG_CFR）は、ウィンドウの上限値を含みます。リセットを防ぐには、ダウンカウンタの再ロードは、カウンタの値が ウィンドウレジスタの値より小さく、0x3F より大きいときに行わなければなりません。*図 183* に、ウィンドウ型ウォッチドッグプロセスを示します。

  カウンタを再ロードするもう 1 つの方法は、早期ウェイクアップ割り込み（EWI）を使うことです。この割り込みは、WWDG_CFR レジスタの EWI ビットをセットすることによって有効になります。ダウンカウンタが値 40h に達すると、この割り込みが生成され、対応する割り込みサービスルーチン（ISR）を使用して、カウンタを再ロードすることで、WWDG リセットを防ぐことができます。

  この割り込みは、WWDG_SR レジスタの EWIF ビットに "0" を書き込むことによってクリアされます。

注： ***T6 ビットを使用して、ソフトウェアリセットを生成することができます（WDGA ビットはセット、T6 ビットはクリアされます）。***

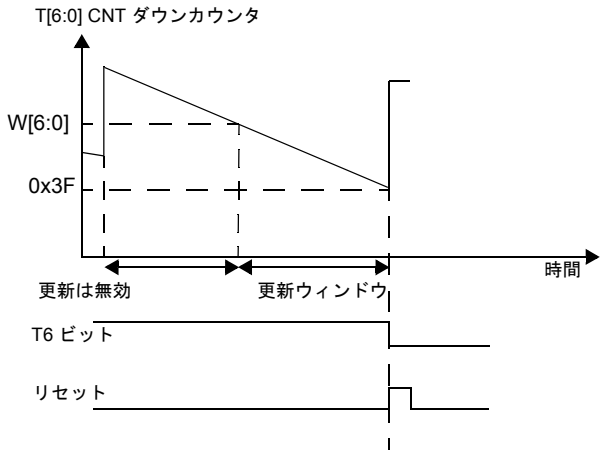
この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

19.4 ウォッチドッグタイムアウトのプログラムの方法

図 183 の式を使用して、WWDG のタイムアウトを計算することができます。

警告： **ただちにリセットされるのを防ぐために、WWDG_CR レジスタに書き込むときには、常に T6 ビットに 1 を書き込んでください。**

図183. ウィンドウ型ウォッチドッグのタイミング図



タイムアウト値を計算するための式：

$$T_{WWDG} = T_{PCLK1} \times 4096 \times 2^{WDGTB} \times (T[5:0] + 1) \quad \text{(ms)}$$

ここで、

T_{WWDG}：WWDG タイムアウト

T_{PCLK1}：APB1 クロック周期（ms）

タイムアウトの最小値と最大値 @36 MHz（PCLK1）

WDGTB	最小タイムアウト値	最大タイムアウト値
0	113 µs	7.28 ms
1	227 µs	14.56 ms
2	455 µs	29.12 ms
3	910 µs	58.25 ms

19.5 デバッグモード

マイクロコントローラがデバッグモードに入ったとき（Cortex-M3 コアは一時停止）、WWDG カウンタは、DBG モジュールの DWG_WWDG_STOP 設定ビットに応じて、通常通り動作を続けるか、停止します。詳細については、*セクション 30.16.2：タイマ、ウォッチドッグ、bxCAN、および I^2C のデバッグサポート*を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

19.6 WWDG レジスタ

レジスタの説明で使用されている略語のリストについては、*セクション 1.1（40 ページ）*を参照してください。

ペリフェラルレジスタには、ハーフワード（16 ビット）またはワード（32 ビット）単位でアクセスできます。

19.6.1 制御レジスタ（WWDG_CR）

アドレスオフセット：0x00

リセット値：0x7F

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								WDGA	T6	T5	T4	T3	T2	T1	T0
								rs	rw	rw	rw	rw	rw	rw	rw

ビット 31:8 予約済み

ビット 7 **WDGA:**有効化ビット
このビットは、ソフトウェアによってセットされ、リセット後にハードウェアによってのみクリアされます。WDGA = 1 のとき、ウォッチドッグはリセットを生成できます。
0：ウォッチドッグ無効
1：ウォッチドッグ有効

ビット 6:0 **T[6:0]:**7 ビットカウンタ（MSB～LSB）
これらのビットは、ウォッチドッグカウンタの値を含みます。（4096 x 2^{WDGTB}）PCLK1 サイクルごとにデクリメントされます。40h から 3Fh にロールオーバーすると（T6 がクリアされたとき）、リセットが生成されます。

19.6.2 設定レジスタ（WWDG_CFR）

アドレスオフセット：0x04

リセット値：0x7F

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み						EWI	WDG TB1	WDG TB0	W6	W5	W4	W3	W2	W1	W0
						rs	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:10 予約済み

ビット 9 **EWI:**早期ウェイクアップ割り込み
このビットがセットされているときには、カウンタの値が 40h に達したときに割り込みが発生します。この割り込みは、リセット後にハードウェアによってのみクリアされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 8:7 **WDGTB[1:0]:**タイムベース
プリスケーラのタイムベースは、次のように変更できます。
00：CK カウンタクロック（PCLK1 / 4096）/ 1
01：CK カウンタクロック（PCLK1 / 4096）/ 2
10：CK カウンタクロック（PCLK1 / 4096）/ 4
11：CK カウンタクロック（PCLK1 / 4096）/ 8

ビット 6:0 **W[6:0]:**7 ビットウィンドウ値
これらのビットは、ダウンカウンタと比較されるウィンドウ値を含みます。

19.6.3 ステータスレジスタ（WWDG_SR）

アドレスオフセット：0x08
リセット値：0x00

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															EWIF
															rc_w0

ビット 31:1 予約済み

ビット 0 **EWIF:**早期ウェイクアップ割り込みフラグ
このビットは、カウンタの値が 40h に達したときにハードウェアによってセットされます。このビットは "0" を書き込むことによって、ソフトウェアでクリアしなければなりません。"1" を書き込んだ場合、ビットの値に影響を与えません。このビットは、割り込みが有効でない場合にもセットされます。

19.6.4 WWDG レジスタマップ

次の表に、WWDG のレジスタマップとリセット値を示します。

表97. WWDG レジスタマップとリセット値

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	**WWDG_CR**	予約済み																								WDGA	T[6:0]:						
	リセット値																									0	1	1	1	1	1	1	1
0x04	**WWDG_CFR**	予約済み																						EWI	WDGTB1	WDGTB0	W[6:0]						
	リセット値																							0	0	0	1	1	1	1	1	1	1
0x08	**WWDG_SR**	予約済み																															EWIF
	リセット値																																0

レジスタ境界アドレス の表を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

20 フレキシブルスタティックメモリコントローラ（FSMC）

小容量 デバイス は、フラッシュメモリ容量が 16～32 KB の STM32F101xx、STM32F102xx、および STM32F103xx マイクロコントローラです。

中容量デバイスは、フラッシュメモリ容量が 32～128 KB の STM32F101xx および STM32F103xx マイクロコントローラです。

大容量デバイス は、フラッシュメモリ容量が 256～512 KB の STM32F101xx および STM32F103xx マイクロコントローラです。

特大容量デバイスは、フラッシュメモリ容量が 768 KB～1 MB の STM32F101xx および STM32F103xx マイクロコントローラです。

コネクティビティラインデバイス は、STM32F105xx および STM32F107xx マイクロコントローラです。

このセクションは、大容量および特大容量デバイスのみに適用されます。

20.1 FSMC の主な機能

FSMC ブロックは、同期および非同期メモリと 16 ビット PC メモリカードとインタフェースできます。主な目的は、次のとおりです。

- AHB トランザクションを適切な外部プロトコルへ変換
- 外部デバイスのアクセスタイミング要件を満たす

すべての外部メモリは、アドレス、データ、および制御信号をコントローラと共有します。各外部デバイスは、一意なチップセレクトによってアクセスされます。FSMC は、外部デバイスに対して一度に 1 つのアクセスを行います。

FSMC は、以下のような主な機能を備えています。

- スタティックメモリマップデバイスとのインタフェース
  - スタティックランダムアクセスメモリ（SRAM）
  - 読み出し専用メモリ（ROM）
  - NOR 型フラッシュメモリ
  - PSRAM（4 メモリバンク）
- ECC ハードウェアと 2 バンクの NAND 型フラッシュにより 8 KB までのデータをチェック
- 16 ビット PC カード互換デバイス
- 同期デバイスへのバーストモードアクセスをサポート（NOR 型フラッシュおよび PSRAM）
- 8 または 16 ビット幅のデータバス
- メモリバンクごとに独立したチップセレクト制御
- メモリバンクごとに独立した設定
- 広範囲なデバイスをサポートするプログラマブルタイミング
  - プログラマブルウェイトステート（15 まで）
  - プログラマブルバスターンアラウンドサイクル（15 まで）
  - プログラマブルな出力イネーブルおよび書き込みイネーブル待ち時間（15 まで）
  - 独立した読み出しおよび書き込みタイミングとプロトコルにより、広範囲なメモリおよびタイミングをサポート

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

- PSRAM および SRAM デバイス用書き込みイネーブルとバイトレーン選択出力
- 32 ビット幅 AHB トランザクションを外部 16 ビットまたは 8 ビットデバイスへの連続した 16 ビットまたは 8 ビットアクセスに変換
- アドレスではなくデータのみを格納する 32 ビット幅、2 ワード長の書き込み FIFO。この FIFO は AHB 書き込みバーストトランザクションのみをバッファします。このため、低速なメモリに書き込んで、AHB を他の操作のために迅速に解放できます。一度に 1 つのバーストのみがバッファされます。操作中に新しい AHB バーストまたは単一のトランザクションが発生した場合、最初に FIFO の内容が読み出されます（FSMC は、現在のメモリアクセスが完了するまで、ウェイトステートを挿入します）。
- 外部非同期ウェイト制御

外部デバイスタイプおよびその特性を定義する FSMC レジスタは、通常、起動時に設定され、次のリセットまたは電源投入まで変更されません。ただし、設定の変更はいつでも可能です。

20.2 ブロック図

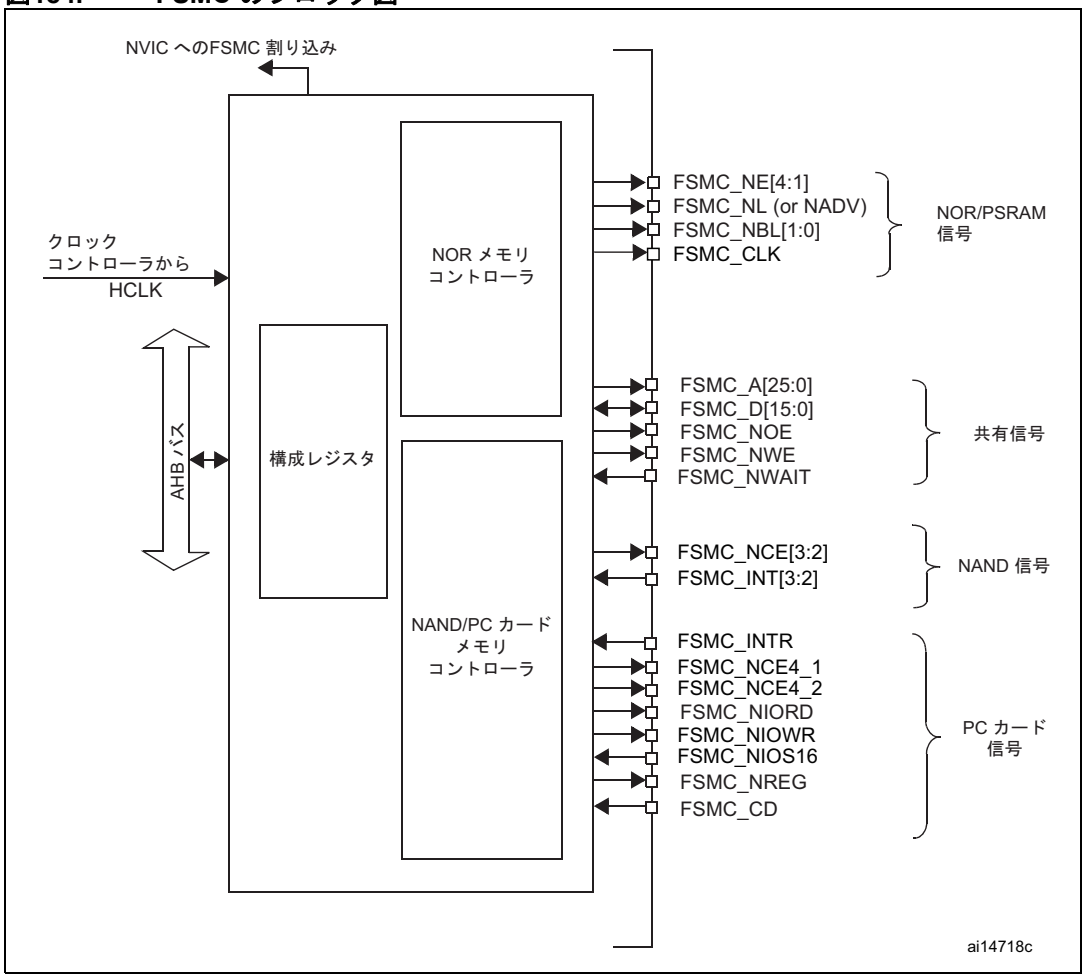
FSMC は 4 つのメインブロックで構成されます。

- AHB インタフェース（FSMC 設定レジスタを含む）
- NOR 型フラッシュ /PSRAM コントローラ
- NAND 型フラッシュ /PC カードコントローラ
- 外部デバイスインタフェース

図 184 に、ブロック図を示します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図184. FSMC のブロック図



20.3 AHB インタフェース

AHB スレーブインタフェースは、内部 CPU および他のバスマスタペリフェラルから外部スタティックメモリへのアクセスを可能にします。

AHB トランザクションは、外部デバイスプロトコルに変換されます。特に、選択された外部メモリが 16 または 8 ビット幅の場合、AHB 上の 32 ビット幅のトランザクションは、16 またたは 8 ビットの連続したアクセスに分割されます。

FSMC は、以下の条件下で AHB エラーを生成します。

- 有効でない FSMC バンクの読み出しまたは書き込みを行ったとき。
- FSMC_BCRx レジスタの FACCEN ビットがリセットされている状態で NOR 型フラッシュバンクの読み出しまたは書き込みを行ったとき。
- 入力ピン FSMC_CD（Card Presence Detection）がローの状態で PC カードバンクの読み出しまたは書き込みを行ったとき。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

この AHB エラーの影響は、R/W アクセスを試みた AHB マスタに依存します。

- Cortex™-M3 CPU の場合は、ハード障害割り込みが生成されます。
- DMA の場合は、DMA 転送エラーが生成され、対応する DMA チャネルが自動的に無効になります。

AHB クロック（HCLK）は、FSMC のリファレンスクロックです。

20.3.1 サポートされるメモリおよびトランザクション

一般的なトランザクション規則

リクエストされる AHB トランザクションのデータサイズは、アクセスされる外部デバイスのデータ幅が固定であっても、8、16、または 32 ビット幅です。このため、転送に矛盾が生じることがあります。

したがって、次のようないくつかの単純なトランザクション規則を守る必要があります。

- AHB トランザクションサイズとメモリデータサイズが等しい場合。
  この場合は問題ありません。
- AHB トランザクションサイズがメモリサイズより大きい場合。
  この場合、FSMC は、AHB トランザクションを外部データ幅に合わせて、連続した小さなメモリアクセスに分割します。
- AHB トランザクションサイズがメモリサイズより小さい場合。
  外部デバイスのタイプによっては、非同期転送に一貫性がなくなる場合があります。
  - バイト選択機能を持つデバイス（SRAM、ROM、PSRAM）への非同期アクセスの場合。
    この場合、FSMC は、読み出し/書き込みトランザクションを許可して、バイトレーン BL[1:0] を通じて正しいデータにアクセスします。
  - バイト選択機能を持たないデバイス（NOR および NAND 型フラッシュ 16 ビット）への非同期アクセスの場合。
    この状況は、16 ビット幅のフラッシュメモリへのバイトアクセスが要求されたときに発生します。明らかに、このデバイスにはバイトモードではアクセスできません（フラッシュメモリでは 16 ビットワードでの読み出し/書き込みしかできません）。したがって、

    a) 書き込みトランザクションは許可されません。

    b) 読み出しトランザクションは許可されます（コントローラは 16 ビットメモリワード全体を読み出して、必要なバイトのみを使用します）。

設定レジスタ

FSMC は、レジスタセットを使用して設定できます。NOR 型フラッシュ /PSRAM 制御レジスタの詳細については、*セクション 20.5.6*を参照してください。NAND 型フラッシュ/PC カードレジスタの詳細については、*セクション 20.6.8*を参照してください。

20.4 外部デバイスアドレスマッピング

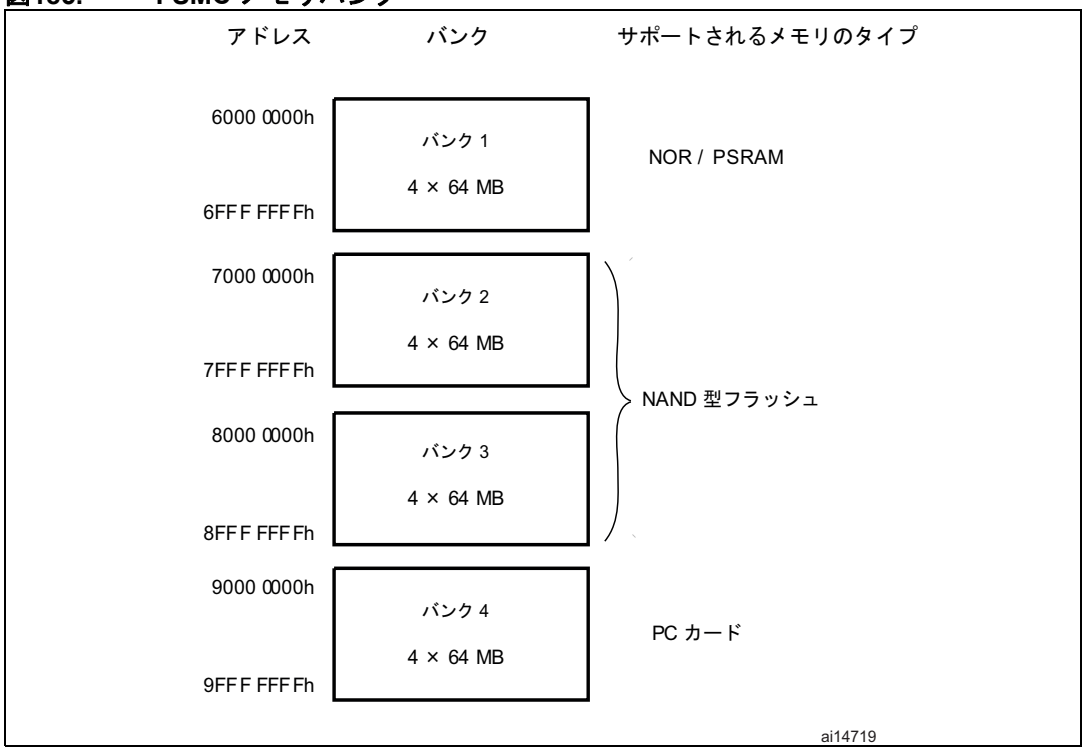
FSMC から見ると、外部メモリは、それぞれ 256 MB の 4 つの固定サイズのバンクに分けられます（*図 185* を参照）。

- バンク 1 は、4 つまでの NOR 型フラッシュまたは PSRAM メモリデバイスのアドレス指定に使用されます。このバンクは、4 つの専用チップセレクトを持つ 4 つの NOR/PSRAM 領域に分割されます。
- バンク 2 と 3 は、NAND 型フラッシュデバイスのアドレス指定に使用されます（バンクごとに 1 つのデバイス）。
- バンク 4 は、PC カードデバイスのアドレス指定に使用されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

各バンクで使用されるメモリのタイプは、ユーザによって設定レジスタで定義されます。

図185. FSMC メモリバンク



20.4.1 NOR/PSRAM アドレスマッピング

HADDR[27:26] ビットは、*表 98*に示される 4 つのメモリバンクの 1 つを選択するために使用されます。

表98. NOR/PSRAM バンク選択

HADDR[27:26][1]	選択されるバンク
00	バンク 1 NOR/PSRAM 1
01	バンク 1 NOR/PSRAM 2
10	バンク 1 NOR/PSRAM 3
11	バンク 1 NOR/PSRAM 4

1. HADDR は、外部メモリに変換される内部 AHB アドレスラインです。

HADDR[25:0] は、外部メモリアドレスを含みます。HADDR はバイトアドレスですが、メモリはワード単位でアクセスされるので、メモリに対して実際に発行されるアドレスは、次の表に示されるように、メモリのデータ幅に応じて変わります。

表99. 外部メモリアドレス

メモリ幅[1]	メモリに発行されるデータアドレス	最大メモリ容量（ビット）
8 ビット	HADDR[25:0]	64 MB x 8 = 512 M ビット
16 ビット	HADDR[25:1] >> 1	64 MB/2 x 16 = 512 M ビット

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

1. 外部メモリが 16 ビット幅の場合、FSMC は、内部で HADDR[25:1] を使用して、外部メモリ FSMC_A[24:0] に対するアドレスを生成します。
外部メモリの幅（16 ビットまたは 8　ビット）にかかわらず、FSMC_A[0] は外部メモリアドレス A[0] に接続されます。

NOR 型フラッシュ /PSRAM のラップサポート

同期メモリのラップバーストモードはサポートされません。メモリは、未定義の長さのリニアバーストモードに設定する必要があります。

20.4.2 NAND/PC カードアドレスマッピング

この場合 3 つのバンクが使用可能であり、それぞれが *表 100* に示されるメモリ空間に分割されます。

表100. メモリマッピングとタイミングレジスタ

開始アドレス	終了アドレス	FSMC バンク	メモリ空間	タイミングレジスタ
0x9C00 0000	0x9FFF FFFF	バンク 4 - PC カード	I/O	FSMC_PIO4 （0xB0）
0x9800 0000	0x9BFF FFFF		属性	FSMC_PATT4 （0xAC）
0x9000 0000	0x93FF FFFF		共通	FSMC_PMEM4 （0xA8）
0x8800 0000	0x8BFF FFFF	バンク 3 - NAND 型フラッシュ	属性	FSMC_PATT3 （0x8C）
0x8000 0000	0x83FF FFFF		共通	FSMC_PMEM3 （0x88）
0x7800 0000	0x7BFF FFFF	バンク 2 - NAND 型フラッシュ	属性	FSMC_PATT2 （0x6C）
0x7000 0000	0x73FF FFFF		共通	FSMC_PMEM2 （0x68）

NAND 型フラッシュメモリでは、共通および属性メモリ空間は、下位 256 KB に位置する 3 つのセクションに分割されます（*表 101* を参照）。

- データセクション（共通/属性メモリ空間の最初の 64 KB）
- コマンドセクション（共通/属性メモリ空間の 2 番目の 64 KB）
- アドレスセクション（共通/属性メモリ空間の次の 128 KB）

表101. NAND バンク選択

セクション名	HADDR[17:16]	アドレス範囲
アドレスセクション	1X	0x020000-0x03FFFF
コマンドセクション	01	0x010000-0x01FFFF
データセクション	00	0x000000-0x0FFFF

アプリケーションソフトウェアは、3 つのセクションを使用して、NAND 型フラッシュメモリにアクセスします。

- **NAND 型フラッシュメモリにコマンドを送信するには**：ソフトウェアは、コマンドセクションの任意のメモリ位置にコマンドの値を書き込む必要があります。
- **読み出しまたは書き込みを行う必要がある NAND 型フラッシュのアドレスを指定するには**：ソフトウェアは、アドレスセクションの任意のメモリ位置にアドレス値を書き込む必要があります。アドレスは 4 または 5 バイト長なので（実際のメモリサイズに依存）、アドレス全体を指定するには、アドレスセクションへのいくつかの連続した書き込みが必要です。
- **データの読み出しまたは書き込みを行うには**：ソフトウェアは、データセクションの任意のメモリ位置からデータを読み出すか、書き込む必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

NAND 型フラッシュメモリはアドレスを自動的にインクリメントするので、連続したメモリ位置にアクセスする際に、データセクションのアドレスをインクリメントする必要はありません。

20.5 NOR 型フラッシュ /PSRAM コントローラ

FSMCは、以下のタイプのメモリを駆動するのに適した信号タイミングを生成します。

- 非同期 SRAM および ROM
  - 8 ビット
  - 16 ビット
  - 32 ビット
- PSRAM（セルラー RAM）
  - 非同期モード
  - バーストモード
- NOR 型フラッシュ
  - 非同期モードまたはバーストモード
  - 多重化または非多重化

FSMC は、バンクごとに 1 つのチップセレクト信号 NE[4:1] を出力します。その他の信号（アドレス、データ、および制御）はすべて共有されます。

同期アクセスでは、FSMC は、選択された外部デバイスにクロック（CLK）を出力します。このクロックは、HCLK クロックの分周した数です。各バンクのサイズは 64 MB に固定されます。

各バンクは、専用レジスタによって設定されます（*セクション 20.6.8* を参照）。

プログラマブルメモリパラメータは、アクセスタイミング（*表 102* を参照）を含み、ウェイト管理をサポートします（バーストモードでの PSRAM および NOR 型フラッシュへのアクセス）。

表102. プログラマブル NOR/PSRAM アクセスパラメータ

パラメータ	機能	アクセスモード	単位	最小	最大
アドレスセットアップ	アドレスセットアップフェーズ時間	非同期	AHB クロックサイクル（HCLK）	1	16
アドレスホールド	アドレスホールドフェーズ時間	非同期、多重化 I/O	AHB クロックサイクル（HCLK）	2	16
データセットアップ	データセットアップフェーズ時間	非同期	AHB クロックサイクル（HCLK）	2	256
バスターン	バスターンアラウンドフェーズ時間	非同期および同期読み出し	AHB クロックサイクル（HCLK）	1	16
クロック分周比	1 つのメモリクロックサイクル（CLK）に必要な AHB クロックサイクル（HCLK）数	同期	AHB クロックサイクル（HCLK）	1	16
データ待ち時間	バーストの最初のデータの前にメモリに発行されるクロックサイクル数	同期	メモリクロックサイクル（CLK）	2	17

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

20.5.1 外部メモリインタフェース信号

表 103、*表 104*、および *表 105* は、一般に、NOR 型フラッシュ、SRAM、および PSRAM へのインタフェースに使用される信号です。

注： ***プレフィックス“N” は、対応する信号がアクティブローであることを示します。***

NOR 型フラッシュ、非多重化 I/O

表103. 非多重化 I/O NOR 型フラッシュ

FSMC 信号名	I/O	機能
CLK	O	クロック（同期バースト）
A[25:0]	O	アドレスバス
D[15:0]	I/O	双方向データバス
NE[x]	O	チップセレクト、x = 1..4
NOE	O	出力イネーブル
NWE	O	書き込みイネーブル
NL（=NADV）	O	ラッチイネーブル（この信号は、一部の NOR 型フラッシュデバイスではアドレス有効（NADV）と呼ばれます）。
NWAIT	I	FMSC への NOR 型フラッシュウェイト入力信号

NOR 型フラッシュメモリは、16 ビットワード単位でアドレス指定されます。最大容量は、512 M ビット（26 アドレスライン）です。

NOR 型フラッシュ、多重化 I/O

表104. 多重化 I/O NOR 型フラッシュ

FSMC 信号名	I/O	機能
CLK	O	クロック（同期バースト）
A[25:16]	O	アドレスバス
AD[15:0]	I/O	16 ビット多重化、双方向アドレス/データバス
NE[x]	O	チップセレクト、x = 1..4
NOE	O	出力イネーブル
NWE	O	書き込みイネーブル
NL（=NADV）	O	ラッチイネーブル（この信号は、一部の NOR 型フラッシュデバイスではアドレス有効（NADV）と呼ばれます）。
NWAIT	I	FMSC への NOR 型フラッシュウェイト入力信号

NOR 型フラッシュメモリは、16 ビットワード単位でアドレス指定されます。最大容量は、512 M ビット（26 アドレスライン）です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

PSRAM/SRAM

表105. 非多重化 I/O PSRAM/SRAM

FSMC 信号名	I/O	機能
CLK	O	クロック（PSRM 同期バーストのみ）
A[25:0]	O	アドレスバス
D[15:0]	I/O	双方向データバス
NE[x]	O	チップセレクト、x = 1..4（PSRAM（セルラー RAM、または CRAM）では NCE と呼ばれます。）
NOE	O	出力イネーブル
NWE	O	書き込みイネーブル
NL（= NADV）	O	PSRAM 入力の場合のみアドレス有効（メモリ信号名：NADV）
NWAIT	I	FMSC への PSRAM ウェイト入力信号
NBL[1]	O	上位バイトイネーブル（メモリ信号名：NUB）
NBL[0]	O	下位バイトイネーブル（メモリ信号名：NLB）

PSRAM メモリは、16 ビットワード単位でアドレス指定されます。最大容量は、512 M ビット（26 アドレスライン）です。

20.5.2 サポートされるメモリおよびトランザクション

表 106 は、サポートされるデバイス、アクセスモード、およびトランザクションを示しています。FSMC で許されない（サポートされない）トランザクションは、グレイで示されています。

表106. NOR 型フラッシュ /PSRAM でサポートされるメモリおよびトランザクション

デバイス	モード	R/W	AHB データサイズ	メモリデータサイズ	許可/禁止	コメント
NOR 型フラッシュ（多重化 I/O と非多重化 I/O）	非同期	R	8	16	許可	
	非同期	W	8	16	禁止	
	非同期	R	16	16	許可	
	非同期	W	16	16	許可	
	非同期	R	32	16	許可	2 つの FSMC アクセスに分割
	非同期	W	32	16	許可	2 つの FSMC アクセスに分割
	非同期ページ	R	-	16	禁止	モードはサポートされていません。
	同期	R	8	16	禁止	
	同期	R	16	16	許可	
	同期	R	32	16	許可	

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表106. NOR 型フラッシュ /PSRAM でサポートされるメモリおよびトランザクション（続き）

デバイス	モード	R/W	AHB データサイズ	メモリデータサイズ	許可/禁止	コメント
PSRAM（多重化 I/O と非多重化 I/O）	非同期	R	8	16	許可	
	非同期	W	8	16	許可	バイトレーン NBL[1:0] の使用
	非同期	R	16	16	許可	
	非同期	W	16	16	許可	
	非同期	R	32	16	許可	2 つの FSMC アクセスに分割
	非同期	W	32	16	許可	2 つの FSMC アクセスに分割
	非同期ページ	R	-	16	禁止	モードはサポートされていません。
	同期	R	8	16	禁止	
	同期	R	16	16	許可	
	同期	R	32	16	許可	
	同期	W	8	16	許可	バイトレーン NBL[1:0] の使用
	同期	W	16/32	16	許可	
SRAM と ROM	非同期	R	8 / 16 / 32	8 / 16	許可	バイトレーン NBL[1:0] の使用
	非同期	W	8 / 16 / 32	8 / 16	許可	バイトレーン NBL[1:0] の使用

20.5.3 一般的なタイミング規則

信号の同期

- すべてのコントローラ出力信号は、内部クロック（HCLK）の立ち上がりエッジで変化します。
- 同期書き込みモード（PSRAM デバイス）では、出力データは、メモリクロック（CLK）の立ち下がりエッジで変化します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

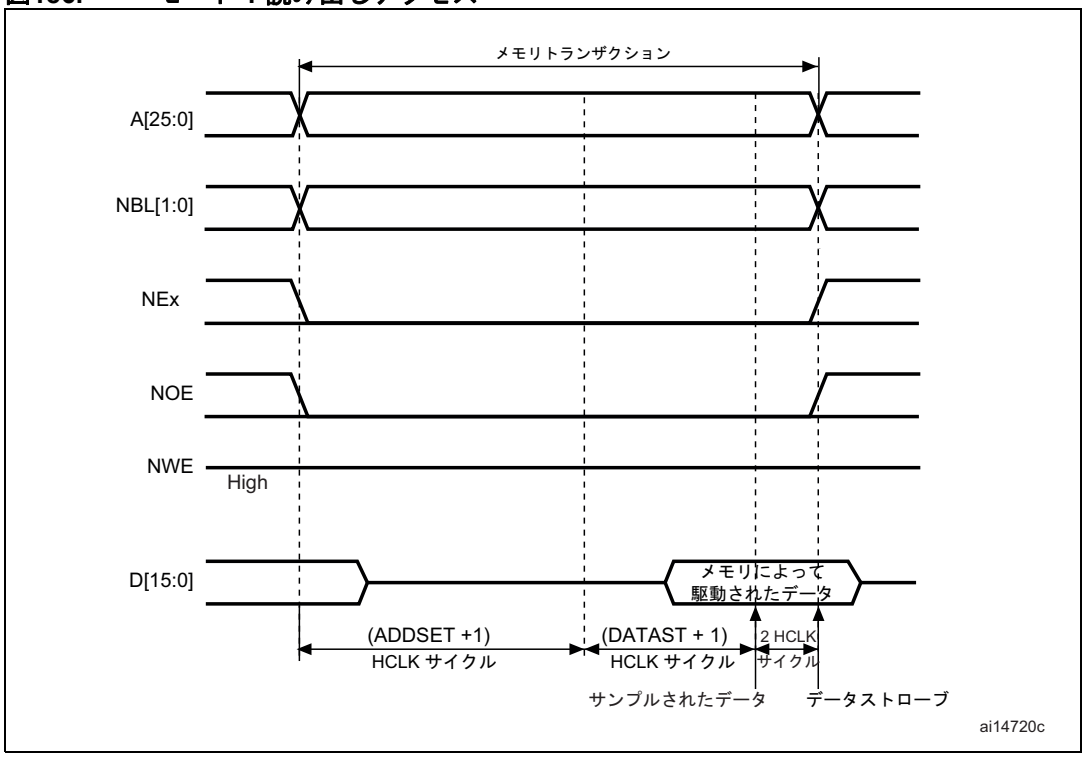
20.5.4 NOR 型フラッシュ /PSRAM コントローラ非同期トランザクション

非同期スタティックメモリ（NOR 型フラッシュ、SRAM）

- 信号は、内部クロック HCLK によって同期されます。このクロックはメモリには出力されません。
- FSMC は、チップセレクト信号 NE をネゲートする前に、常にデータをサンプリングします。これにより、メモリデータホールドタイミングに関する制約が満たされます（チップイネーブルハイからデータ遷移は、通常、最小 0 nsです）。
- 拡張モードが設定されているときには、読み出しおよび書き込みにおいて、モード A、B、C、および D を混在させることができます（たとえば、モード A で読み出し、モード B で書き込むことができます）。

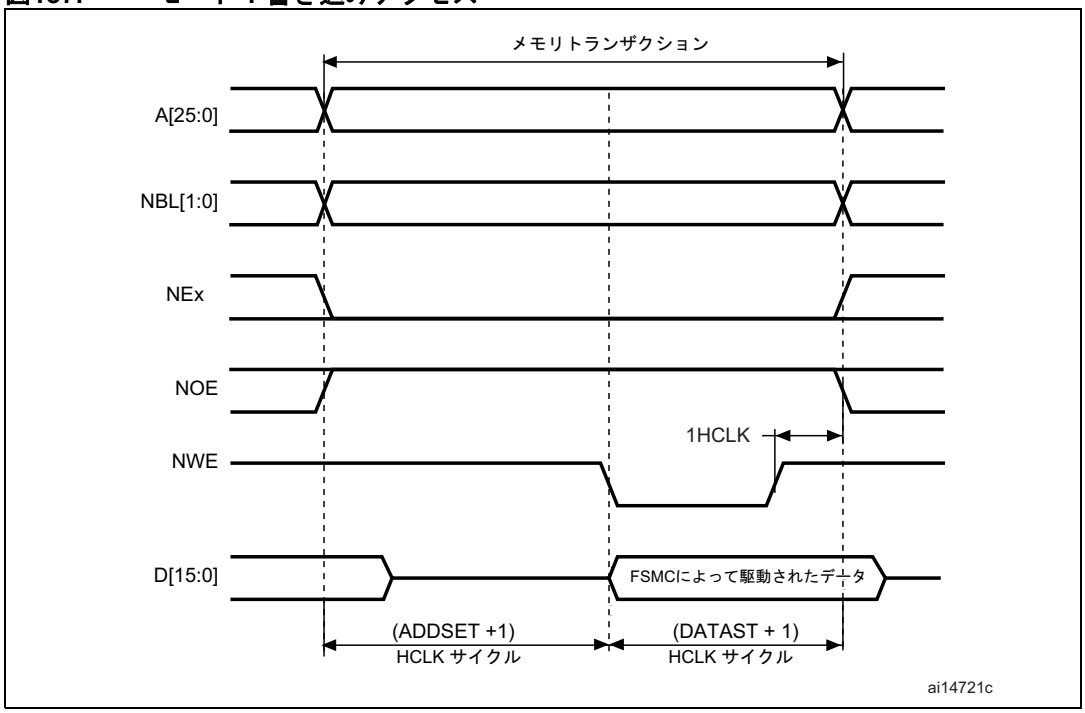
モード 1 - SRAM/CRAM

図186. モード 1 読み出しアクセス



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図187. モード 1 書き込みアクセス



書き込みトランザクションの最後の 1 HCLK サイクルは、NWE の立ち上がりエッジ後のアドレスおよびデータホールド時間を確保するのに役立ちます。この 1 HCLK サイクルがあるため、DATAST の値はゼロより大きくなければなりません（DATAST＞0）。

表107. FSMC_BCRx ビットフィールド

ビット番号	ビット名	設定値
31-16		0x0000
15	ASYNCWAIT	メモリがこの機能をサポートする場合は 1 にセットします。そうでない場合は、0 のままにしておきます。
14-10		0x0
9	WAITPOL	ビット 15 が 1 の場合のみ、意味を持ちます。
8	BURSTEN	0x0
7		-
6	FACCEN	-
5-4	MWID	必要に応じて設定します。
3-2	MTYP	必要に応じて設定しますが、10（NOR 型フラッシュ）を除きます。
1	MUXEN	0x0
0	MBKEN	0x1

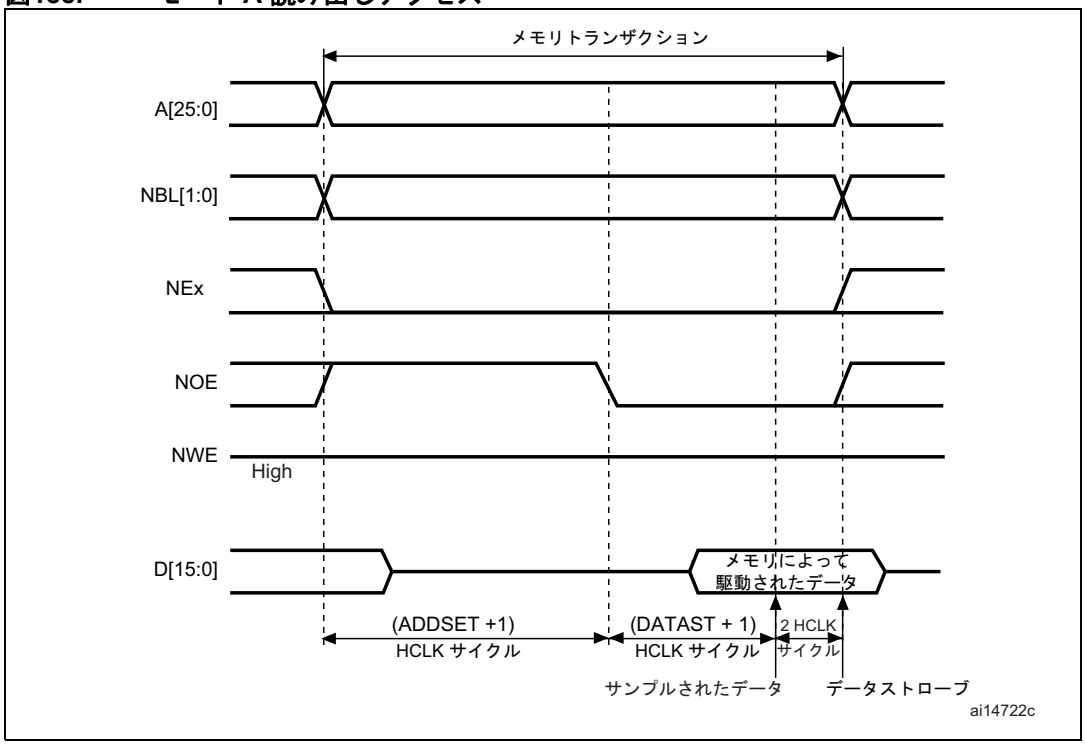
この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表108. FSMC_BTRx ビットフィールド

ビット番号	ビット名	設定値
31-16		0x0000
15-8	DATAST	2 番目のアクセスフェーズの時間（書き込みアクセスの場合は DATAST＋1 HCLK サイクル、読み出しアクセスの場合は DATAST+3 HCLK サイクル）。この値を 0 にすることはできません（最小値は 1 です）。
7-4		0x0
3-0	ADDSET	1 番目のアクセスフェーズの時間（ADDSET+1 HCLK サイクル）。

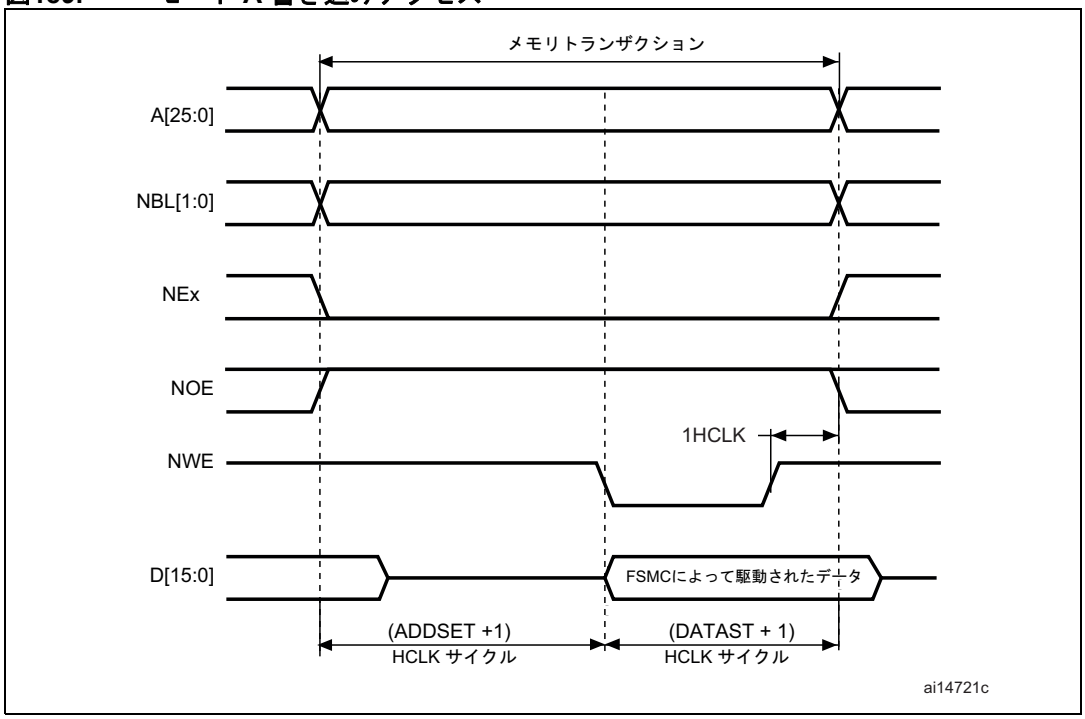
モード A - SRAM/PSRAM (CRAM) OE トグリング

図188. モード A 読み出しアクセス



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図189. モード A 書き込みアクセス



モード 1 と比較した場合の相違点は、NOE のトグルと、独立した読み出しおよび書き込みのタイミングです。

表109. FSMC_BCRx ビットフィールド

ビット番号	ビット名	設定値
31-16		0x0000
15	ASYNCWAIT	メモリがこの機能をサポートする場合は 1 にセットします。そうでない場合は、0 のままにしておきます。
14	EXTMOD	0x1
13-10		0x0
9	WAITPOL	ビット 15 が 1 の場合のみ、意味を持ちます。
8	BURSTEN	0x0
7		-
6	FACCEN	-
5-4	MWID	必要に応じて設定します。
3-2	MTYP	必要に応じて設定しますが、10（NOR 型フラッシュ）を除きます。
1	MUXEN	0x0
0	MBKEN	0x1

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表110. FSMC_BTRx ビットフィールド

ビット番号	ビット名	設定値
31-30		0x0
29-28	ACCMOD	0x0
27-16		0x000
15-8	DATAST	読み出しにおける 2 番目のアクセスフェーズの時間（DATAST+3 HCLKサイクル）。この値を 0 にすることはできません（最小値は 1 です）。
7-4		0x0
3-0	ADDSET	読み出しにおける最初のアクセスフェーズの時間（ADDSET+1 HCLK サイクル）。

表111. FSMC_BWTRx ビットフィールド

ビット番号	ビット名	設定値
31-30		0x0
29-28	ACCMOD	0x0
27-16		0x000
15-8	DATAST	書き込みにおける 2 番目のアクセスフェーズの時間（DATAST＋1 HCLK サイクル）。この値を 0 にすることはできません（最小値は 1 です）。
7-4		0x0
3-0	ADDSET	書き込みにおける最初のアクセスフェーズの時間（ADDSET+1 HCLK サイクル）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

モード 2/B - NOR 型フラッシュ

図190. モード 2/B 読み出しアクセス

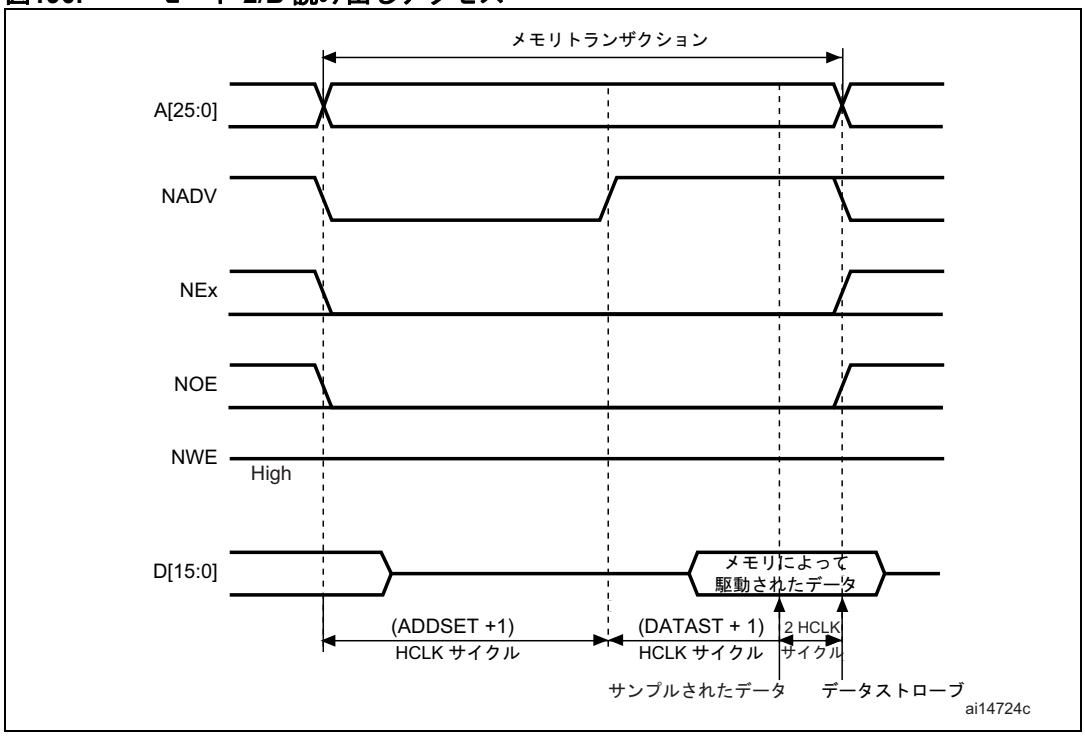
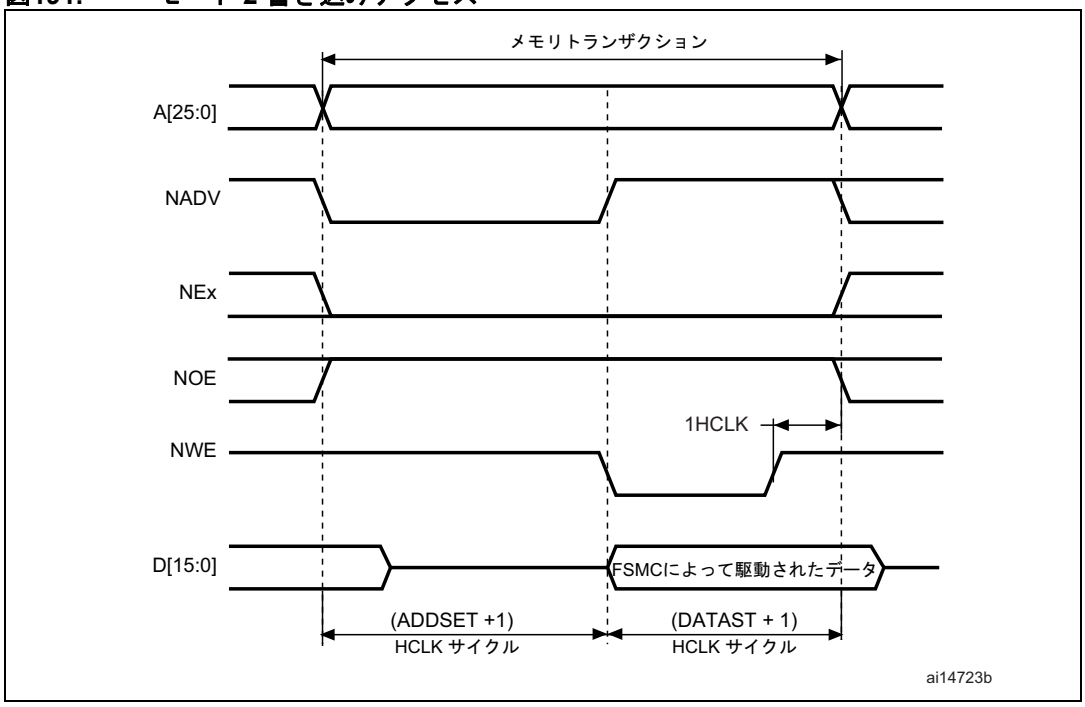
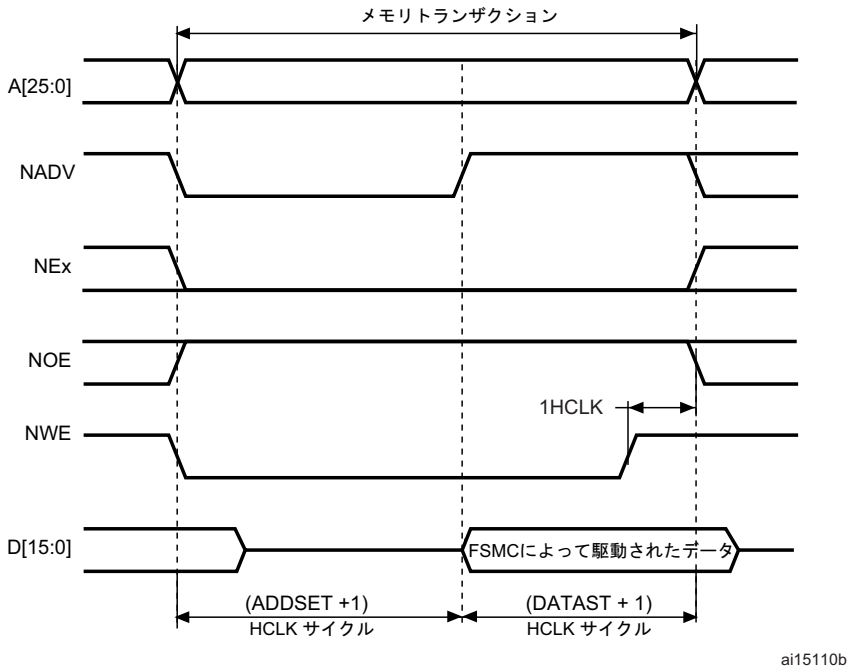


図191. モード 2 書き込みアクセス



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図192. モード B 書き込みアクセス



モード 1 と比較した場合の相違点は、NADV のトグルと拡張モードがセットされたとき（モード B）の独立した読み出しおよび書き込みのタイミングです。

表112. FSMC_BCRx ビットフィールド

ビット番号	ビット名	設定値
31-16		0x0000
15	ASYNCWAIT	メモリがこの機能をサポートする場合は 1 にセットします。そうでない場合は、0 のままにしておきます。
14	EXTMOD	モード B では 0x1、モード 2 では 0x0
13-10		0x0
9	WAITPOL	ビット 15 が 1 の場合のみ、意味を持ちます。
8	BURSTEN	0x0
7		-
6	FACCEN	0x1
5-4	MWID	必要に応じて設定します。
3-2	MTYP	10（NOR 型フラッシュ）
1	MUXEN	0x0
0	MBKEN	0x1

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表113. FSMC_BTRx ビットフィールド

ビット番号	ビット名	設定値
31-30		0x0
29-28	ACCMOD	拡張モードがセットされている場合は 0x1
27-16		0x000
15-8	DATAST	読み出しにおける 2 番目のアクセスフェーズの時間（DATAST+3 HCLK サイクル）。この値を 0 にすることはできません（最小値は 1 です）。
7-4		0x0
3-0	ADDSET	読み出しにおける最初のアクセスフェーズの時間（ADDSET+1 HCLK サイクル）。

表114. FSMC_BWTRx ビットフィールド

ビット番号	ビット名	設定値
31-30		0x0
29-28	ACCMOD	拡張モードがセットされている場合は 0x1
27-16		0x000
15-8	DATAST	書き込みにおける 2 番目のアクセスフェーズの時間（DATAST＋1 HCLK サイクル）。この値を 0 にすることはできません（最小値は 1 です）。
7-4		0x0
3-0	ADDSET	書き込みにおける最初のアクセスフェーズの時間（ADDSET+1 HCLK サイクル）。

注： ***FSMC_BWTRx レジスタは、拡張モードがセットされている場合（モード B）のみ有効です。それ以外の場合には、その内容は意味を持ちません。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

モード C - NOR 型フラッシュ - OE トグリング

図193. モード C 読み出しアクセス

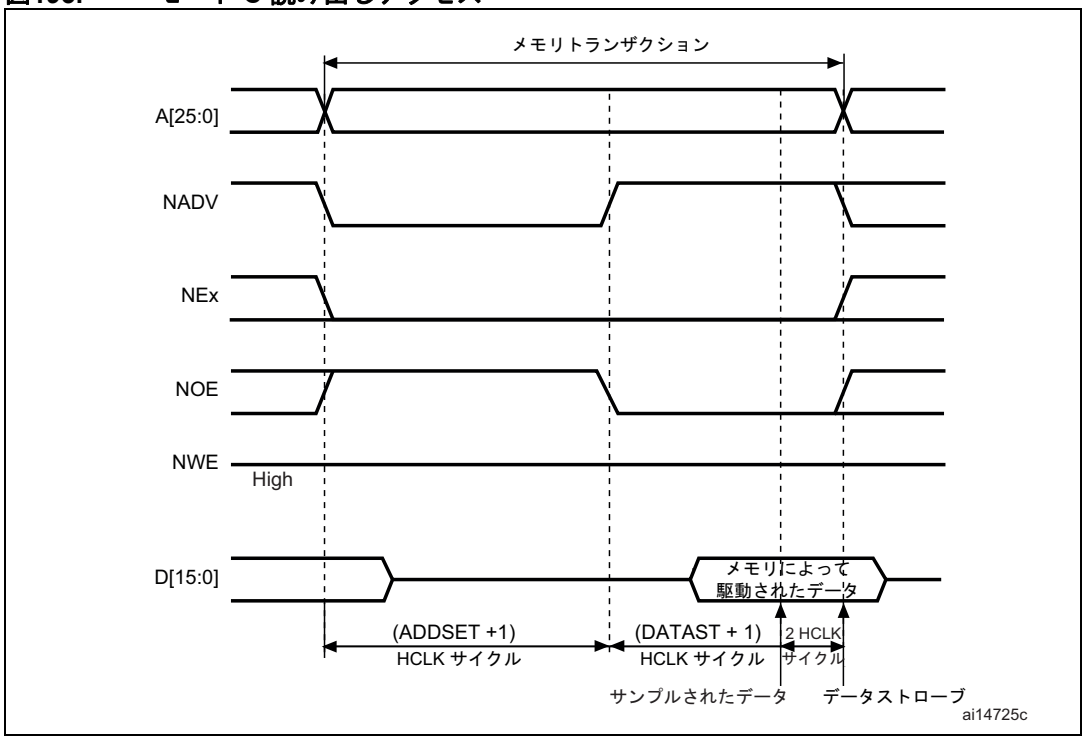
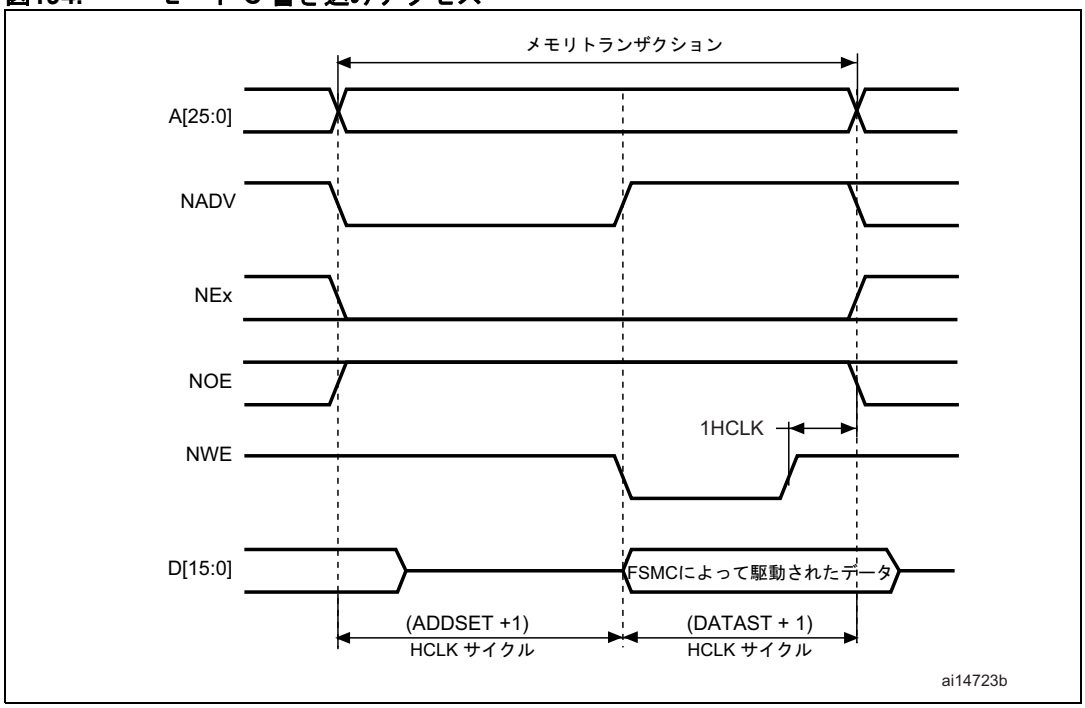


図194. モード C 書き込みアクセス



モード 1 と比較した場合の相違点は、NOE および NADV のトグルと、独立した読み出しおよび書き込みタイミングです。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表115. FSMC_BCRx ビットフィールド

ビット番号	ビット名	設定値
31-16		0x0000
15	ASYNCWAIT	メモリがこの機能をサポートする場合は 1 にセットします。そうでない場合は、0 のままにしておきます。
14	EXTMOD	0x1
13-10		0x0
9	WAITPOL	ビット 15 が 1 の場合のみ、意味を持ちます。
8	BURSTEN	0x0
7		-
6	FACCEN	1
5-4	MWID	必要に応じて設定します。
3-2	MTYP	0x02（NOR 型フラッシュ）
1	MUXEN	0x0
0	MBKEN	0x1

表116. FSMC_BTRx ビットフィールド

ビット番号	ビット名	設定値
31-30		0x0
29-28	ACCMOD	0x2
27-16		0x000
15-8	DATAST	読み出しにおける 2 番目のアクセスフェーズの時間（DATAST+3 HCLKサイクル）。この値を 0 にすることはできません（最小値は 1 です）。
7-4		0x0
3-0	ADDSET	読み出しにおける最初のアクセスフェーズの時間（ADDSET+1 HCLK サイクル）。

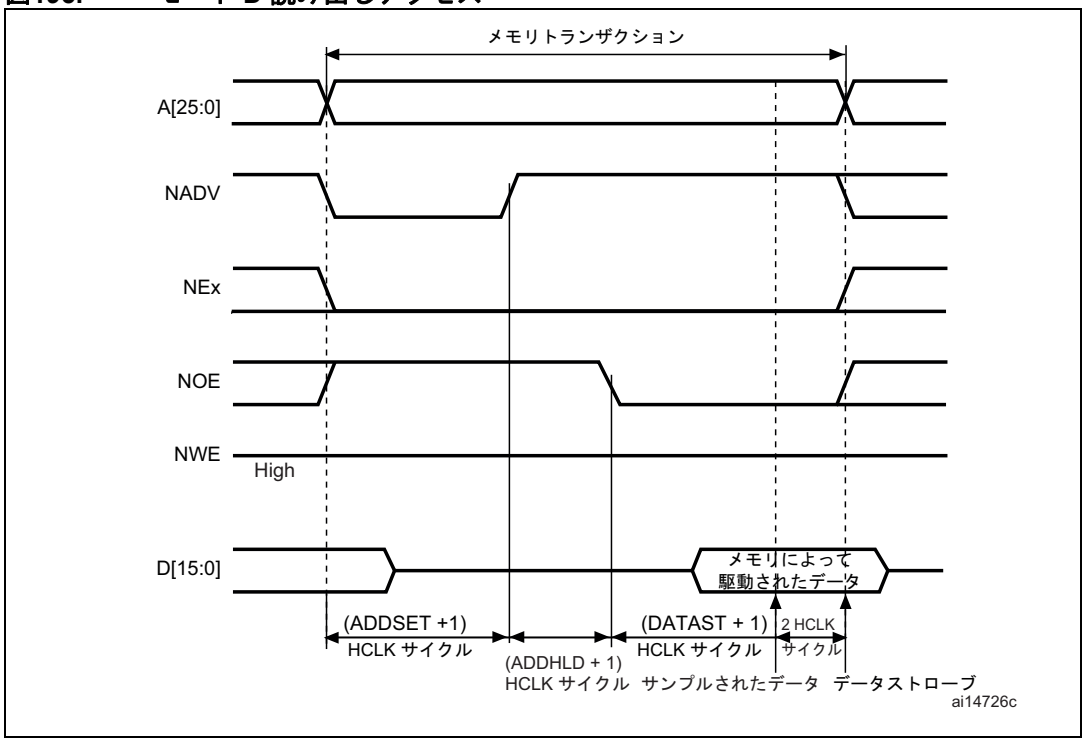
表117. FSMC_BWTRx ビットフィールド

ビット番号	ビット名	設定値
31-30		0x0
29-28	ACCMOD	0x2
27-16		0x000
15-8	DATAST	書き込みにおける 2 番目のアクセスフェーズの時間（DATAST＋1 HCLK サイクル）。この値を 0 にすることはできません（最小値は 1 です）。
7-4		0x0
3-0	ADDSET	書き込みにおける最初のアクセスフェーズの時間（ADDSET+1 HCLK サイクル）。

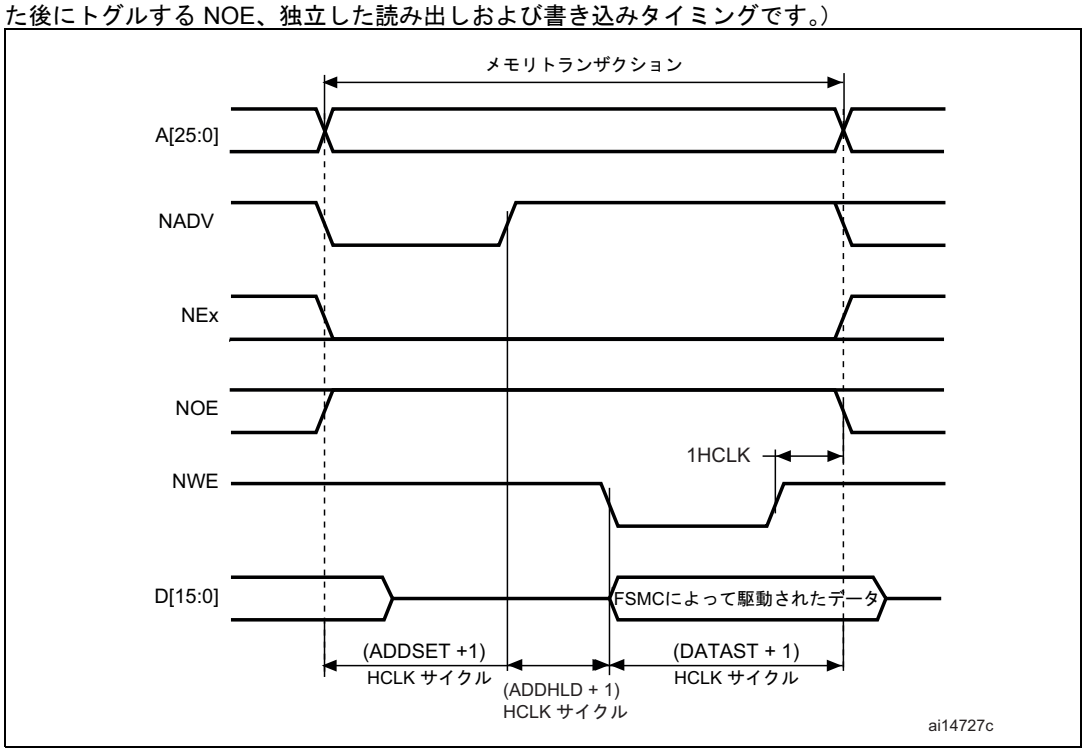
この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

モード D - 拡張アドレスによる非同期アクセス

図195. モード D 読み出しアクセス



モード D 書き込みアクセスモード（1 と比較した場合の相違点は、NADV のトグル、NADV が変化した後にトグルする NOE、独立した読み出しおよび書き込みタイミングです。）



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表118. FSMC_BCRx ビットフィールド

ビット番号	ビット名	設定値
31-16		0x0000
15	ASYNCWAIT	メモリがこの機能をサポートする場合は 1 にセットします。そうでない場合は、0 のままにしておきます。
14	EXTMOD	0x1
13-10		0x0
9	WAITPOL	ビット 15 が 1 の場合のみ、意味を持ちます。
8	BURSTEN	0x0
7		-
6	FACCEN	メモリのサポート状況に応じて設定します。
5-4	MWID	必要に応じて設定します。
3-2	MTYP	必要に応じて設定します。
1	MUXEN	0x0
0	MBKEN	0x1

表119. FSMC_BTRx ビットフィールド

ビット番号	ビット名	設定値
31-30		0x0
29-28	ACCMOD	0x2
27-16		0x000
15-8	DATAST	読み出しにおける 2 番目のアクセスフェーズの時間（DATAST+3 HCLKサイクル）。この値を 0 にすることはできません（最小値は 1 です）。
7-4	ADDHLD	読み出しにおける中間アクセスフェーズの時間（ADDHLD+1 HCLK サイクル）。
3-0	ADDSET	読み出しにおける最初のアクセスフェーズの時間（ADDSET+1 HCLK サイクル）。

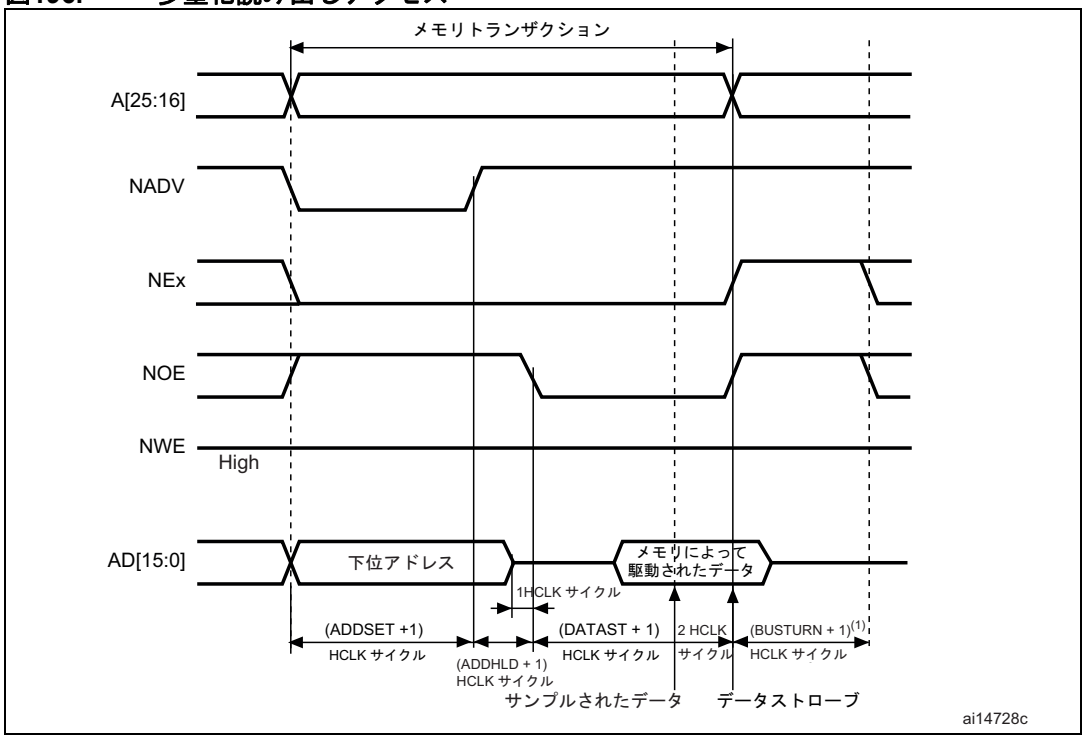
表120. FSMC_BWTRx ビットフィールド

ビット番号	ビット名	設定値
31-30		0x0
29-28	ACCMOD	0x2
27-16		0x000
15-8	DATAST	書き込みにおける 2 番目のアクセスフェーズの時間（DATAST＋1 HCLK サイクル）。この値を 0 にすることはできません（最小値は 1 です）。
7-4	ADDHLD	書き込みアクセスの中間フェーズの時間（ADDHLD+1 HCLK サイクル）。
3-0	ADDSET	書き込みにおける最初のアクセスフェーズの時間（ADDSET+1 HCLK サイクル）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

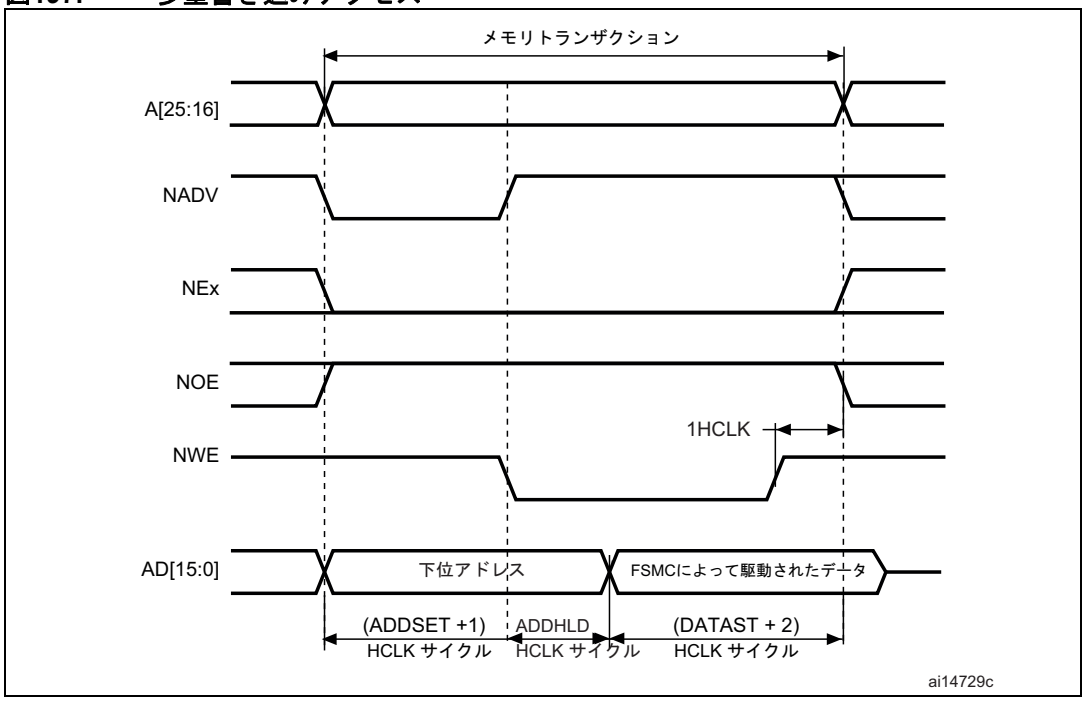
多重モード - 多重 NOR 型フラッシュへの非同期アクセス

図196. 多重化読み出しアクセス



1. バスターンアラウンド待ち時間（BUSTURN＋1）およびサイドバイサイドトランザクションオーバーラップ間の待ち時間、すなわち BUSTURN ≤ 5 は影響しません。

図197. 多重書き込みアクセス



モード D との相違点は、データバス上の下位アドレスバイトのドライブです。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表121. FSMC_BCRx ビットフィールド

ビット番号	ビット名	設定値
31-16		0x0000
15	ASYNCWAIT	メモリがこの機能をサポートする場合は 1 にセットします。そうでない場合は、0 のままにしておきます。
14	EXTMOD	0x0
13-10		0x0
9	WAITPOL	ビット 15 が 1 の場合のみ、意味を持ちます。
8	BURSTEN	0x0
7		-
6	FACCEN	0x1
5-4	MWID	必要に応じて設定します。
3-2	MTYP	0x2（NOR）
1	MUXEN	0x1
0	MBKEN	0x1

表122. FSMC_BTRx ビットフィールド

ビット番号	ビット名	設定値
31-20		0x0000
19-16	BUSTURN	アクセスの最後のフェーズの時間（BUSTURN+1 HCLK）
15-8	DATAST	2 番目のアクセスフェーズの時間（読み出しアクセスの場合は DATAST+3 HCLK サイクル、書き込みアクセスの場合は DATAST+1 HCLK サイクル）。この値を 0 にすることはできません（最小値は 1 です）。
7-4	ADDHLD	アクセスの中間フェーズの時間 （ADDHLD+1 HCLK サイクル）。この値を 0 にすることはできません（最小値は 1 です）。
3-0	ADDSET	1 番目のアクセスフェーズの時間（ADDSET+1 HCLK サイクル）。

非同期アクセスにおけるウェイト管理

非同期メモリが、データの受け取りまたは提供の準備がまだできていないことを知らせる ために、WAIT 信号をアサートした場合、FSMC_BCRx レジスタの ASYNCWAIT ビットをセットする必要があります。

WAIT 信号がアクティブな場合（WAITPOL ビットに依存して、ハイまたはロー）、DATAST ビットによってプログラムされる 2 番目のアクセスフェーズ（ータセットアップフェーズ）は、WAIT ビットがインアクティブになるまで延長されます。データセットアップフェーズとは異なり、ADDSET および ADDHLD ビットによってプログラムされる最初のアクセスフェーズ（アドレスセットアップおびアドレスホールドフェーズ）は、WAIT に対応しないので、延長されません。

データフェーズは、メモリアクセスが終了する 4 HCLK サイクル前に WAIT が検出されるようにプログラムする必要があります。次のようなケースを考慮する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

1. メモリが、次のようにトグルする NOE/NWE に合わせた WAIT 信号をアサートする場合。

   data_phase >= 4 * HCLK + max_wait_assertion_time

2. メモリが、NEx（またはトグルしない NOE/NWE）に合わせた WAIT 信号をアサートする場合。

   max_wait_assertion_time > （address_phase + hold_phase）である場合は、

   data_phase >= 4 * HCLK + （max_wait_assertion_time - address_phase - hold_phase）

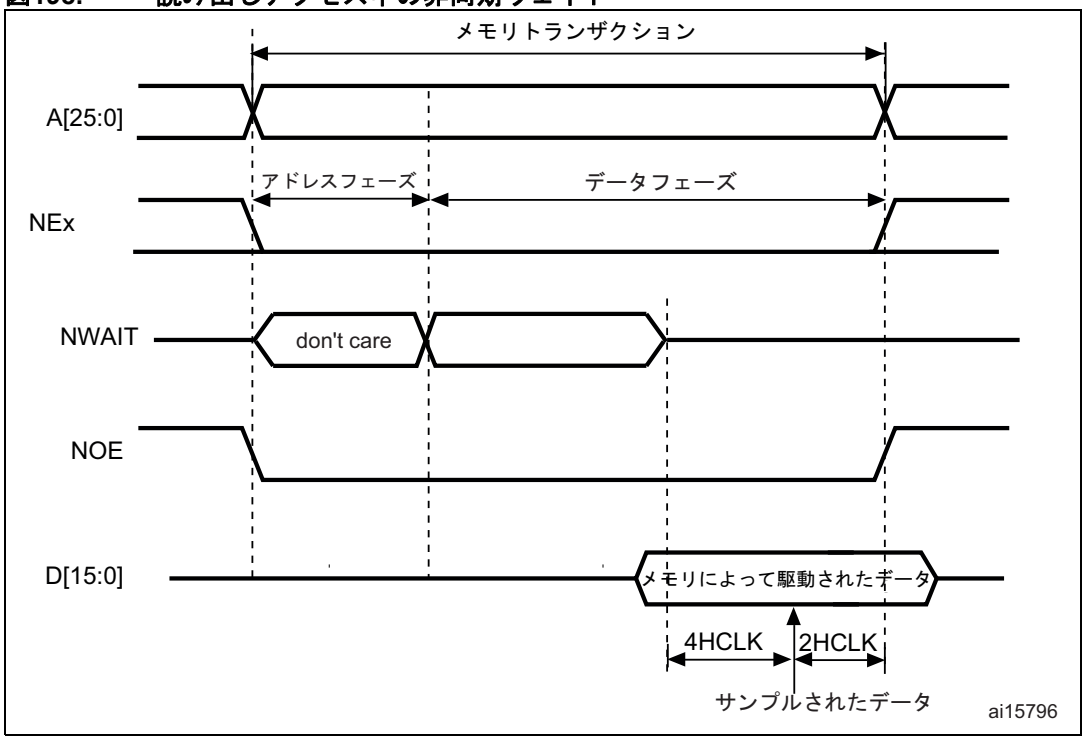
   それ以外の場合は、

   data_phase >= 4 * HCLK

ここで、max_wait_assertion_time は、NEx/NOE/NWE がローになったときにメモリが WAIT 信号をアサートするために必要な最大時間です。

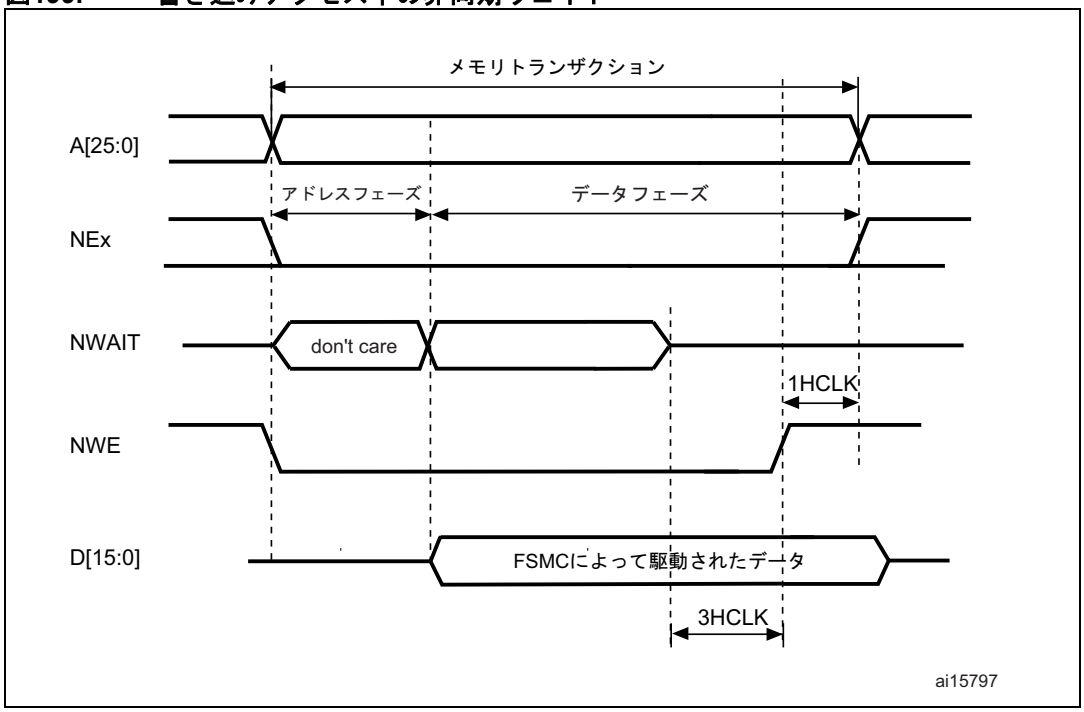
図 198 と *図 199* は、非同期メモリによって、WAIT が解放された後、メモリアクセスが延長される HCLK のサイクル数を示しています（上記のケースとは別に）。

図198. 読み出しアクセス中の非同期ウェイト



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図199. 書き込みアクセス中の非同期ウェイト



20.5.5 同期バーストトランザクション

メモリクロック（CLK）は、CLKDIV パラメータ値に従った HCLK の分周した数です。

NOR 型フラッシュメモリは、NADV のアサーションから CLK がハイになるまでの最小時間を指定します。この制約を満たすために、FSMC は、同期アクセスの最初の内部クロックサイクルでは（NADV アサーションの前）、クロックをメモリに供給しません。これにより、メモリクロックの立ち上がりエッジは、NADV ローパルスの*中間で*発生します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

データ待ち時間と NOR 型フラッシュ待ち時間

データ待ち時間は、データをサンプリングする前のウェイトサイクル数です。DATLAT の値は、NOR 型フラッシュ設定レジスタで指定された待ち時間の値と一致しなければなりません。FMSC は、NADV がローのときのクロックサイクルをデータ待ち時間カウントに含めません。

注： ***一部の NOR 型フラッシュメモリは、データ待ち時間カウントに NADV ローサイクルを含めるので、NOR 型フラッシュの待ち時間と FMSC DATALAT パラメータの厳密な関係は、次のいずれかです。***

- NOR 型フラッシュの待ち時間 = DATLAT + 2
- NOR 型フラッシュの待ち時間 = DATLAT + 3

最近のメモリの中には、待ち時間フェーズにおいて NWAIT をアサートするものがあります。そのような場合には、DATLAT を最小値に設定することができます。結果として、FSMC はデータをサンプリングして、データが有効であるかどうか評価するのに十分な時間、ウェイトします。このように、FSMC は、メモリが待ち時間から抜けたことを検出し、実際のデータが得られます。

その他のメモリは、待ち時間中には NWAIT をアサートしません。この場合、FSMC とメモリの両方について、待ち時間が正しく設定されなければなりません。さもなければ、正しいデータの代わりに無効なデータが得られたり、有効なデータがメモリサイクルの初期フェーズで失われることになります。

シングルバースト転送

選択されたバンクが同期バーストモードに設定されている場合、AHB シングルバーストトランザクションがリクエストされると、FSMC は長さ 1（AHB 転送が 16 ビットの場合）または 2（AHB 転送が 32 ビットの場合）のバーストトランザクションを実行して、最後のデータがストローブされると、チップセレクトをネゲートします。

明らかに、このような転送はサイクル数の点で最も効率的ではありません（非同期読み出しに比較して）。しかし、時間がかかるメモリアクセスモードの再プログラムには、まず、ランダム非同期アクセスが必要です。

ウェイト管理

同期バーストの NOR 型フラッシュでは、NWAIT は、プログラムされた待ち時間期間、(DATALAT+2) CLK サイクル後に判定されます。

NWAIT がアクティブであることが検出されると（WAITPOL=0 の場合はローレベル、WAITPOL=1 の場合はハイレベル）、NWAIT がインアクティブであることが検出されるまで（WAITPOL=0 の場合はハイレベル、WAITPOL=1 の場合はローレベル）、ウェイトステートが挿入されます

NWAITがインアクティブのときには、データはただちに（ビット WAITCFG=1）または次のクロックエッジで（ビット WAITCFG=0）、有効とみなされます。

NWAIT 信号によるウェイトステートの挿入時には、コントローラはメモリへのクロックパルスの送信を続け、チップセレクトと出力イネーブル信号を有効に保ち、データを有効と認識しません。

バーストモードでの NOR 型フラッシュの NWAIT 信号には、2 つのタイミング設定があります。

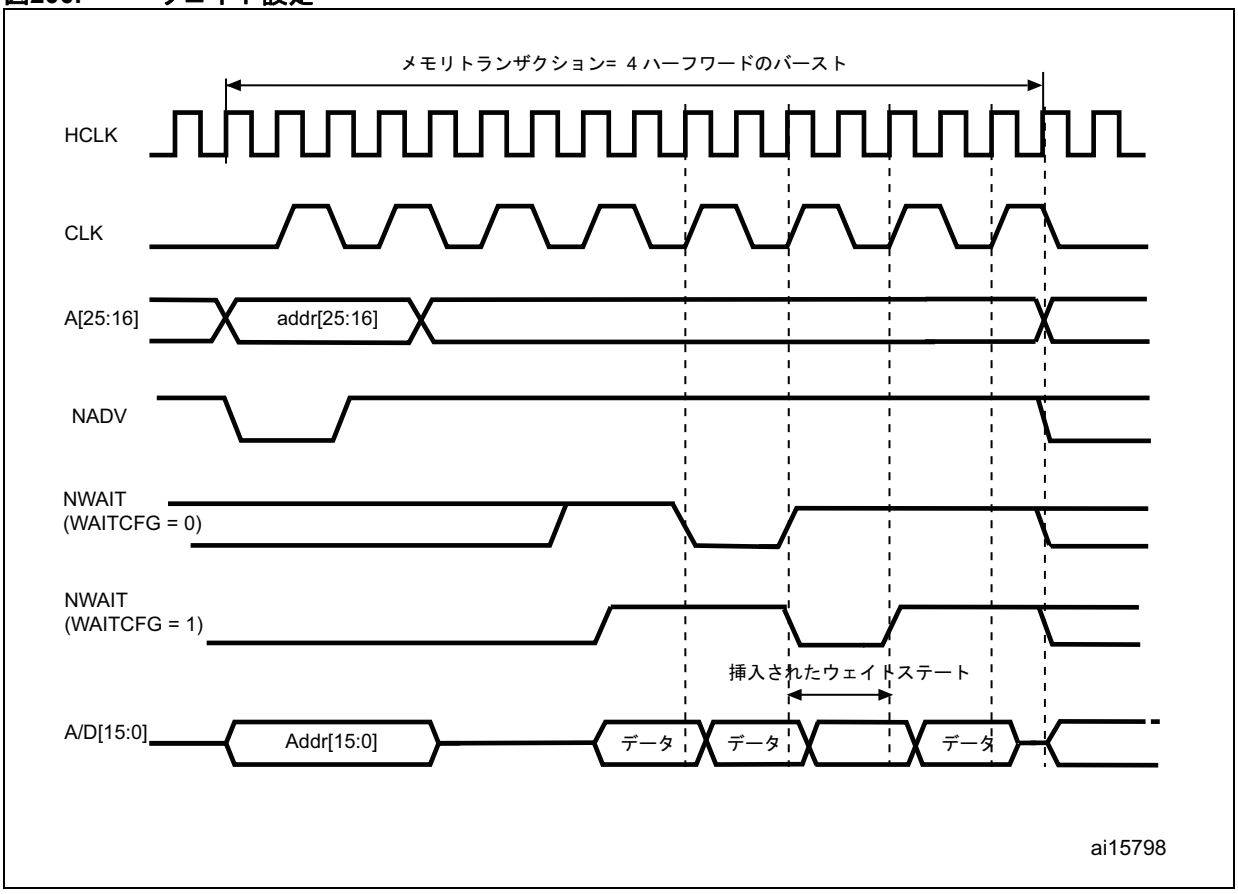
- フラッシュメモリは、ウェイトステートの 1 データサイクル前に NWAIT 信号をアサートします（リセット後のデフォルト）。
- フラッシュメモリは、ウェイトステートの間に NWAIT 信号をアサートします。

この 2 つの NOR 型フラッシュウェイトステート設定は、FSMC_BCRx レジスタ（x=0..3）の WAITCFG ビットにより、各チップセレクト ごとに FSMC によってサポートされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

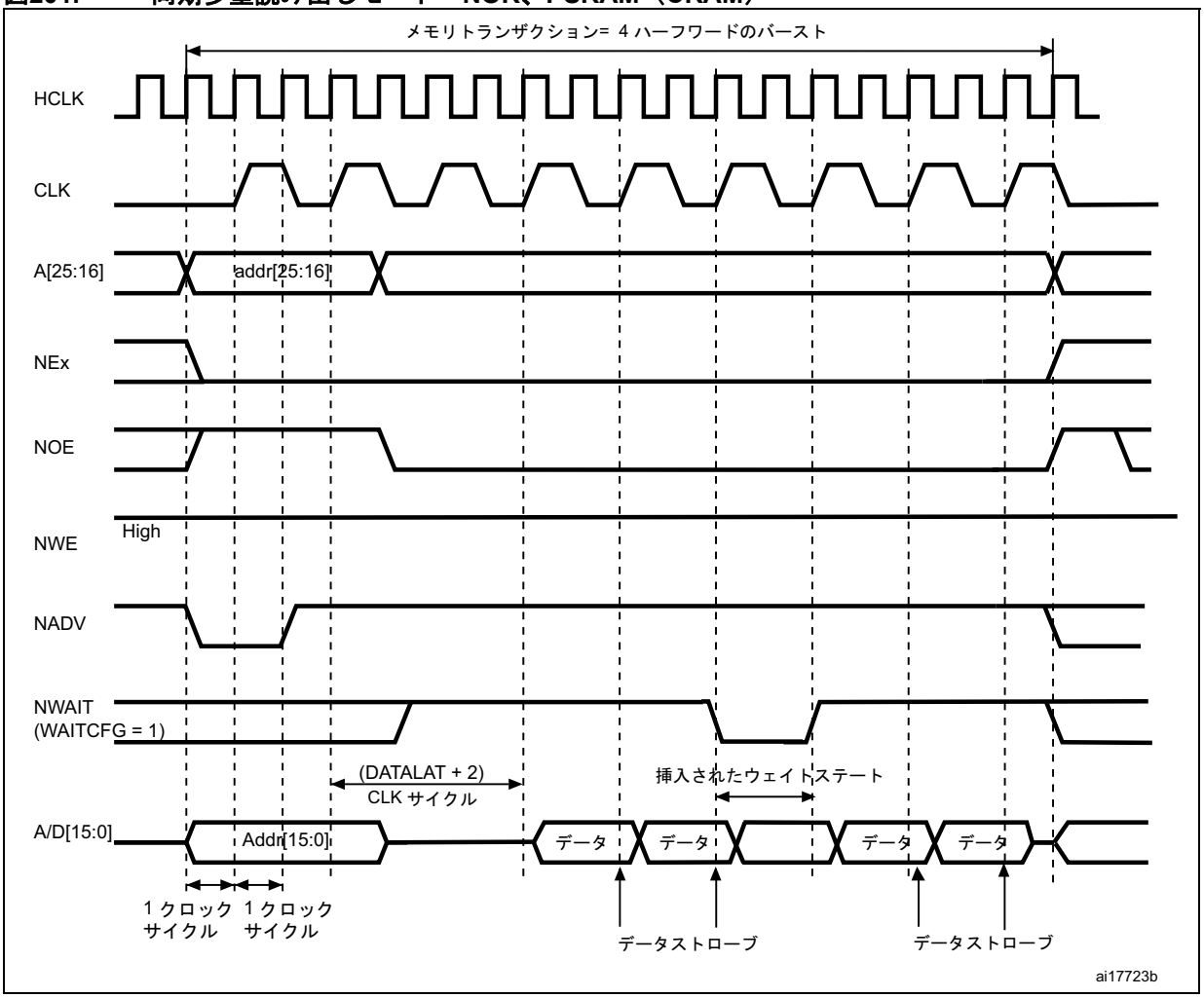
参考資料

図200. ウェイト設定



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図201. 同期多重読み出しモードーNOR、PSRAM（CRAM）



1. バイトレーン出力 BL は示されていません。NOR アクセス時にはハイに保たれ、PSRAM（CRAM）アクセス時にはローに保たれます。

表123. FSMC_BCRx ビットフィールド

ビット番号	ビット名	設定値
31-20		0x0000
19	CBURSTRW	同期読み出し時は影響しません。
18-15		0x0
14	EXTMOD	0x0
13	WAITEN	ハイのときには、待ち時間期間後の最初のデータは、メモリ値によるウェイトにかかわらず、常に有効とみなされます。
12	WREN	同期読み出し時は影響しません。
11	WAITCFG	メモリに応じて設定します。
10	WRAPMOD	影響しません。
9	WAITPOL	メモリに応じて設定します。
8	BURSTEN	0x1

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表123. FSMC_BCRx ビットフィールド（続き）

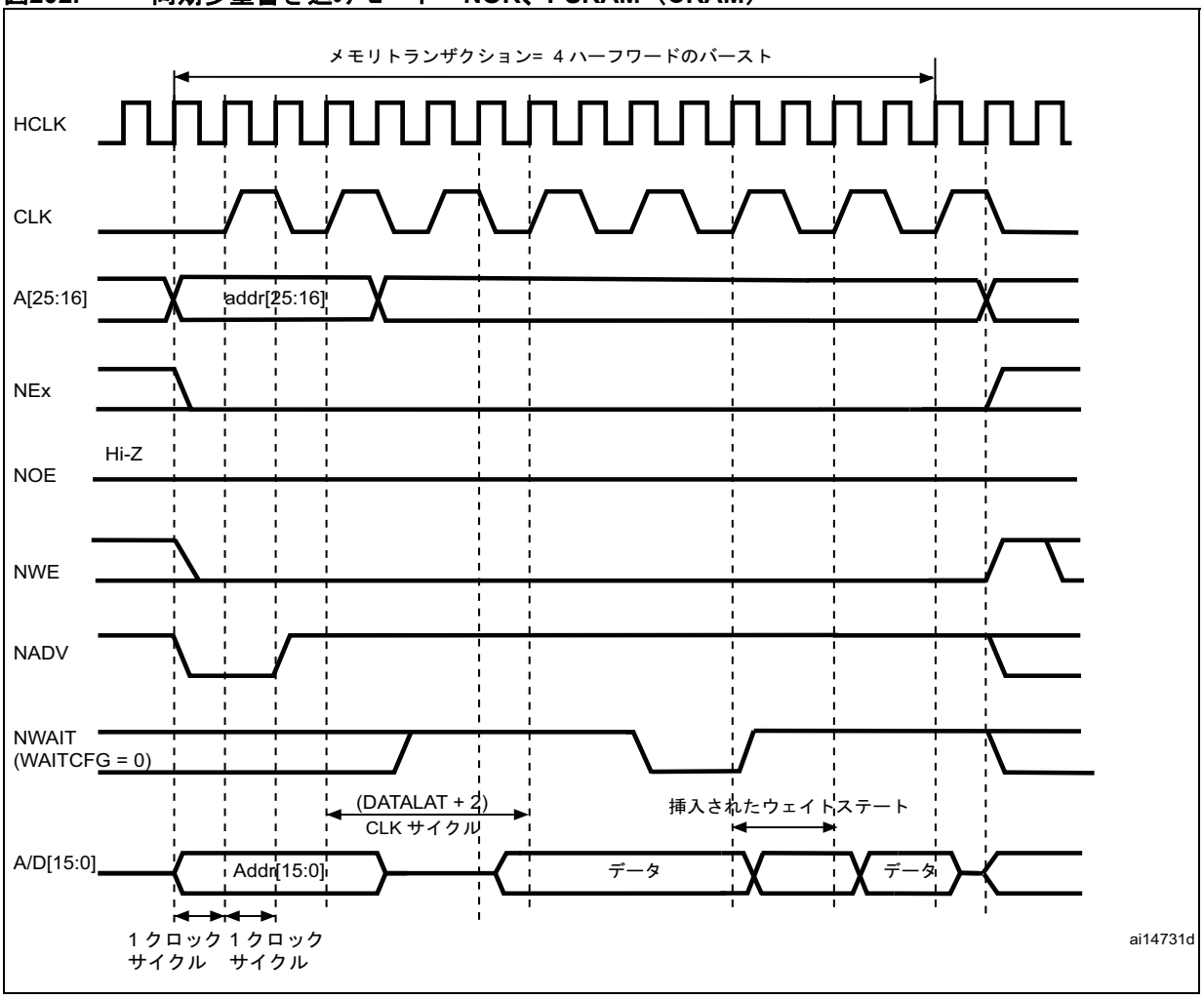
ビット番号	ビット名	設定値
7	FWPRLVL	意図しない書き込みアクセスからメモリを保護するために設定します。
6	FACCEN	メモリのサポート状況に応じて設定します。
5-4	MWID	必要に応じて設定します。
3-2	MTYP	0x1 または 0x2
1	MUXEN	必要に応じて設定します。
0	MBKEN	0x1

表124. FSMC_BTRx ビットフィールド

ビット番号	ビット名	設定値
27-24	DATLAT	データ待ち時間
23-20	CLKDIV	0x0 の場合、CLK = HCLK となります （サポートされていません）。 0x1 の場合、CLK＝2×HCLK となります。
19-16	BUSTURN	影響しません。
15-8	DATAST	影響しません。
7-4	ADDHLD	影響しません。
3-0	ADDSET	影響しません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図202. 同期多重書き込みモードーNOR、PSRAM（CRAM）



1. メモリは、あらかじめ NWAIT 信号を 1 サイクル前に発行しなければならないので、WAITCFG を 0 にプログラムする必要があります。
2. バイトレーン（NBL）出力は、示されていませんが、NEx がアクティブの間はローに保たれます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表125. FSMC_BCRx ビットフィールド

ビット番号	ビット名	設定値
31-20		0x0000
19	CBURSTRW	0x1
18-15		0x0
14	EXTMOD	0x0
13	WAITEN	ハイのときには、待ち時間期間後の最初のデータは、メモリ値によるウェイトにかかわらず、常に有効とみなされます。
12	WREN	同期読み出し時は影響しません。
11	WAITCFG	0x0
10	WRAPMOD	影響しません。
9	WAITPOL	メモリに応じて設定します。
8	BURSTEN	同期読み出し時は影響しません。
7	FWPRLVL	意図しない書き込みからメモリを保護するために設定します。
6	FACCEN	メモリのサポート状況に応じて設定します。
5-4	MWID	必要に応じて設定します。
3-2	MTYP	0x1
1	MUXEN	必要に応じて設定します。
0	MBKEN	0x1

表126. FSMC_BTRx ビットフィールド

ビット番号	ビット名	設定値
31-30	-	0x0
27-24	DATLAT	データ待ち時間
23-20	CLKDIV	0 の場合、CLK＝HCLK となります（サポートされません）。 1 の場合、CLK＝2×HCLK となります。
19-16	BUSTURN	ビットの値に影響を与えません。
15-8	DATAST	ビットの値に影響を与えません。
7-4	ADDHLD	ビットの値に影響を与えません。
3-0	ADDSET	ビットの値に影響を与えません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

20.5.6 NOR/PSRAM 制御レジスタ

ペリフェラルレジスタには、ワード（32 ビット）単位でアクセスする必要があります。

SRAM/NOR 型フラッシュチップセレクト制御レジスタ 1..4（FSMC_BCR1..4）

アドレスオフセット：0xA000 0000 + 8 * （x – 1）, x = 1...4

リセット値：0x0000 30DX

このレジスタは、SRAM、ROM、および非同期またはバースト NOR 型フラッシュメモリの各メモリバンクの制御の情報を含みます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み												CBURSTRW	予約済み			ASCYCWAIT	EXTMOD	WAITEN	WREN	WAITCFG	WRAPMOD	WAITPOL	BURSTEN	予約済み	FACCEN	MWID		MTYP		MUXEN	MBKEN
												rw				rw	rw	rw	rw	rw	rw	rw	rw		rw	rw	rw	rw	rw	rw	rw

ビット 19 **CBURSTRW:** 書き込みバーストイネーブル

セルラー RAM の場合、このビットは、書き込み操作時の同期バーストプロトコルを有効にします。バーストモードでのフラッシュメモリアクセスの場合、このビットは、NWAIT 信号によるウェイトステートの挿入を有効/無効にします。読み出しアクセス時の同期バーストプロトコルのイネーブルビットは、FSMC_BCRx レジスタの BURSTEN ビットです。

0：書き込み操作は、常に非同期モードで実行されます。

1：書き込み操作は、同期モードで実行されます。

ビット 15 **ASYNCWAIT**:非同期転送時のウェイト信号

このビットは、非同期プロトコル時でも、FSMC が NWAIT 信号を使用できるようにします。

0：非同期プロトコル動作中は、NWAIT 信号は考慮されません（リセット後のデフォルト）。

1：非同期プロトコル動作中に NWAIT 信号が考慮されます。

ビット 14 **EXTMOD:** 拡張モードイネーブル

このビットは、FSMC が FSMC_BWTR レジスタの内部をプログラムできるようにして、読み出しと書き込みで異なるタイミングを可能にします。

0：FSMC_BWTR レジスタ内部の値は考慮されません（リセット後のデフォルト）。

1：FSMC_BWTR レジスタ内部の値が考慮されます。

ビット 13 **WAITEN:** ウェイトイネーブルビット

バーストモードでのフラッシュメモリアクセスの場合、このビットは、NWAIT 信号によるウェイトステートの挿入を有効/無効にします。

0：NWAIT 信号は無効です（レベルは考慮されず、プログラムされたフラッシュ待ち時間時間後にウェイトステートは挿入されません）。

1：NWAIT 信号は有効です（レベルが考慮され、アサートされた場合、プログラムされたフラッシュ待ち時間時間後にウェイトステートが挿入されます）（セット後のデフォルト）。

ビット 12 **WREN:** 書き込みイネーブルビット

このビットは、FSMC によるバンクへの書き込み操作の有効/無効を示します。

0：FSMC によるバンクへの書き込み操作は無効であり、AHB エラーが報告されます。

1：FSMCによるバンクへの書き込み操作は有効です（リセット後のデフォルト）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 11 **WAITCFG:** ウェイトタイミング設定

バーストモードでのフラッシュメモリアクセスの場合、NWAIT 信号は、メモリからのデータが有効かどうか、またはウェイトステートを挿入しなければならないかどうかを示します。この設定ビットは、ウェイトステートの 1 クロック前、またはウェイトステート中に、メモリによって NWAIT がアサートされるかどうかを定義します。

0：NWAIT 信号は、ウェイトステートの 1 データサイクル前にアクティブです（リセット後のデフォルト）。

1：NWAIT 信号は、ウェイトステートの間アクティブです（セルラー RAM は除く）。

ビット 10 **WRAPMOD:** ラップドバーストモードサポート

コントローラが AHB バーストラップアクセスを 2 つのリニアアクセスに分割するかどうかを定義します。バーストモードでメモリにアクセスするときのみ有効です。

0：ダイレクトラップドバーストは無効です（リセット後のデフォルト）。

1：ダイレクトラップドバーストは有効です。

注：　CPU および DMA がラッピングバースト転送を生成できない時、このビットは無効です。

ビット 9 **WAITPOL:** ウェイト信号極性ビット

メモリからのウェイト信号の極性を定義します。バーストモードでメモリにアクセスするときのみ有効です。

0：NWAIT アクティブロー（リセット後のデフォルト）

1：NWAIT アクティブハイ

ビット 8 **BURSTEN:** バーストイネーブルビット

メモリへのバーストアクセスモードを有効にします。同期バーストメモリでのみ有効です。

0：バーストアクセスモードは無効です（リセット後のデフォルト）。

1：バーストアクセスモードは有効です。

ビット 7　予約済み。

ビット 6 **FACCEN:**フラッシュアクセスイネーブル

NOR 型フラッシュメモリアクセス操作を有効にします。

0：対応する NOR 型フラッシュメモリアクセスは無効です。

1：対応する NOR 型フラッシュメモリアクセスは有効です（リセット後のデフォルト）。

ビット 5:4 **MWID:** メモリデータバス幅

外部メモリデバイスの幅を定義します。すべてのタイプのメモリに対して有効です。

00：8 ビット

01：16 ビット（リセット後のデフォルト）

10：予約済み。使用しないでください。

11：予約済み。使用しないでください。

ビット 3:2 **MTYP:** メモリタイプ

対応するメモリバンクに接続される外部メモリのタイプを定義します。

00：SRAM、ROM（バンク 2...4 のリセット後のデフォルト）

01：PSRAM（セルラー RAM：CRAM）

10：NOR 型フラッシュ（バンク 1 のリセット後のデフォルト）

11：予約済み

ビット 1 **MUXEN:** アドレス / データ多重化イネーブルビット

このビットがセットされているときには、データバス上でアドレスとデータが多重化されます。NOR および PSRAM 型フラッシュのみで有効です。

0：アドレス/データは多重化されません。

1：アドレス/データはデータバス上で多重化されます（リセット後のデフォルト）。

ビット 0 **MBKEN:** メモリバンクイネーブルビット

メモリバンクを有効にします。リセット後は、バンク 1 は有効であり、その他はすべて無効です。無効なバンクにアクセスすると、AHB バス上で ERROR が発生します。

0：対応するメモリバンクは無効です。

1：対応するメモリバンクは有効です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

SRAM/NOR 型フラッシュチップセレクトタイミングレジスタ 1..4（FSMC_BTR1..4）

アドレスオフセット：0xA000 0000 + 0x04 + 8 * （x – 1）, x = 1..4

リセット値：0x0FFF FFFF

このレジスタは、SRAM、ROM、および NOR 型フラッシュメモリで使用される各メモリバンクの制御情報を含みます。FSMC_BCRx レジスタの EXTMOD ビットがセットされている場合、このレジスタは、書き込みと読み出しアクセスに分割されます。すなわち、読み出しアクセスを設定するためのレジスタ（このレジスタ）と、書き込みアクセスを設定するためのレジスタ（FSMC_BWTR x レジスタ）の 2 つのレジスタが使用できます。

31 30	29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12 11 10 9 8	7 6 5 4	3 2 1 0
予約済み	ACCMOD	DATLAT	CLKDIV	BUSTURN	DATAST	ADDHLD	ADDSET
	rw rw	rw rw rw rw	rw rw rw rw	rw rw rw rw	rw rw rw rw rw rw rw rw	rw rw rw rw	rw rw rw rw

ビット 29:28 **ACCMOD:**アクセスモード

タイミング図に示されているように、非同期アクセスモードを指定します。これらのビットは、FSMC_BCRx レジスタの EXTMOD ビットが 1 のときのみ考慮されます。

00：アクセスモード A

01：アクセスモード B

10：アクセスモード C

11：アクセスモード D

ビット 27:24 **DATLAT**（下記のビットの説明を参照）：データ待ち時間（同期バースト NOR 型フラッシュ用）

同期バーストモードが有効な NOR 型フラッシュの場合、最初のデータを得る前にメモリに発行するメモリクロックサイクル数（+2）を定義します

このタイミングパラメータは、HCLK 周期ではなく、フラッシュクロック周期（CLK）で表されます。非同期 NOR 型フラッシュ、SRAM、または ROM アクセスでは、この値は無効です。CRAM の場合には、このフィールドを 0 に設定する必要があります。

0000 ：最初のバーストアクセスでは、2 CLK クロックサイクルのデータ待ち時間

1111 ：最初のバーストアクセスでは、17 CLK クロックサイクルのデータ待ち時間（リセット後のデフォルト）

ビット 23:20 **CLKDIV:**クロック分周比（CLK 信号）

CLK クロック出力信号の周期を定義します。HCLK サイクル数で表されます。

0000：予約済み

0001：CLK 周期 = 2 × HCLK 周期

0010：CLK 周期 = 3 × HCLK 周期

1111：CLK 周期 = 16 × HCLK周期（リセット後のデフォルト）

非同期 NOR 型フラッシュ、SRAM、または ROM アクセスでは、この値は無効です。

ビット 19:16 **BUSTURN:**バスターンアラウンドフェーズ時間

これらのビットは、コントローラが次のサイドバイサイドトランザクションのためにデータバス上にアドレスを出力する必要がある場合に、バス衝突を避ける目的で、（多重化 NOR 型フラッシュメモリからの）読み出しアクセス後にバスターンアラウンド待ち時間を導入するために、ソフトウェアによって書き込まれます。BUSTURN は、メモリシステムに多重化メモリが含まれない場合や、最も遅いメモリがデータバスをハイインピーダンス状態にするために 6 HCLK クロックサイクル以上を必要としない場合には、最小値に設定できます。

0000：BUSTURN フェーズ時間 = 1 × HCLK クロックサイクル

...

1111：BUSTURN フェーズ時間 = 16 × HCLK クロックサイクル（リセット後のデフォルト）

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 15:8 **DATAST:**データフェーズ時間

これらのビットは、データフェーズの時間を定義するために、ソフトウェアによって書き込まれ（*図 186～図 197* を参照）、SRAM、ROM、および非同期多重 NOR 型フラッシュアクセスで使用されます。

0000 0000：予約済み

0000 0001：DATAST フェーズ時間 = 2 × HCLK クロックサイクル

0000 0010：DATAST フェーズ時間 = 3 × HCLK クロックサイクル

...

1111 1111：DATAST フェーズ期間 = 256 × HCLK クロックサイクル（リセット後のデフォルト）

各メモリタイプおよびアクセスモードでのデータフェーズ時間については、それぞれの図（*図 186～図 197*）を参照してください。

例：モード 1、読み出しアクセス、DATAST=1：データフェーズ時間 = DATAST+3 = 4 × HCLKクロックサイクル

ビット 7:4 **ADDHLD:**アドレスホールドフェーズ時間

これらのビットは、*アドレスホールド*フェーズの時間を定義するために、ソフトウェアによって書き込まれ（*図 195～図 197* を参照）、モード D および多重化アクセスで使用されます。

0000：予約済み

0001：ADDHLD フェーズ時間 = 2 × HCLK クロックサイクル

0010：ADDHLD フェーズ時間 = 3 × HCLK クロックサイクル

...

1111：ADDHLD フェーズ時間= 16 × HCLK クロックサイクル（リセット後のデフォルト）

各アクセスモードでのデータホールドフェーズ時間については、それぞれの図（*図 195～図 197*）を参照してください。

例：モード D、読み出しアクセス、ADDHLD=1：アドレスホールドフェーズ時間 = ADDHLD + 1 =2 × HCLK クロックサイクル

注： 同期アクセスでは、この値は使用されず、アドレスホールドフェーズは、常に 1 メモリクロック周期の長さです。

ビット 3:0 **ADDSET:**アドレスセットアップフェーズ時間

これらのビットは、*アドレスセットアップ*フェーズの時間を定義するために、ソフトウェアによって書き込まれ（*図 186～図 197* を参照）、SRAM、ROM、および非同期 NOR 型フラッシュで使用されます。

0000：ADDSET フェーズ時間 = 1 × HCLKクロックサイクル

...

1111：ADDSET フェーズ時間 = 16 × HCLK クロックサイクル（リセット後のデフォルト）

各アクセスモードでのアドレスセットアップフェーズ時間については、それぞれの図（*図 186～図 197*）を参照してください。

例：モード 2、読み出しアクセス、ADDSET=1：アドレスセットアップフェーズ時間 = ADDSET + 1 =2 × HCLK クロックサイクル

注： 同期アクセスでは、この値は使用されず、アドレスホールドフェーズは、常に 1 メモリクロック周期の長さです。

*注： **PSRAM（CRAM）の待ち時間は、内部更新のために可変です。したがって、これらのメモリは、必要に応じて待ち時間を延長するために、待ち時間フェーズ全体について NWAIT 信号を発行します。SPRAM（CRAM）では、フィールド DATLAT を 0 に設定しなければなりません。こうすると、FSMC は、すぐに待ち時間フェーズを終了して、メモリからの NWAIT 信号のサンプリングを開始し、メモリがレディ状態になると、読み出しまたは書き込みを開始します。**この方法は、古い世代のフラッシュメモリと異なり、NWAIT 信号を発行する最新世代の同期フラッシュメモリでも使用できます（使用中の特定のフラッシュメモリのデータシートを参照してください）。*

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

SRAM/NOR 型フラッシュ書き込みタイミングレジスタ 1..4（FSMC_BWTR1..4）

アドレスオフセット：0xA000 0000 + 0x104 + 8 * （x – 1）, x = 1...4

リセット値：0x0FFF FFFF

このレジスタは、SRAM、ROM、および NOR 型フラッシュメモリで使用される各メモリバンクの制御情報を含みます。FSMC_BCRx レジスタの EXTMOD ビットがセットされているときには、このレジスタは書き込みアクセスについてアクティブになります。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み		ACCMOD		DATLAT				CLKDIV				予約済み				DATAST								ADDHLD				ADDSET			
		rw	rw	rw	rw	rw	rw	rw	rw	rw	rw					rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 29:28 **ACCMOD**：アクセスモード。

次のタイミング図に示されているように、非同期アクセスモードを指定します。これらのビットは、FSMC_BCRx レジスタの EXTMOD ビットが 1 にセットされている場合のみ考慮されます。

00：アクセスモード A

01：アクセスモード B

10：アクセスモード C

11：アクセスモード D

ビット 27:24 **DATLAT:**データ待ち時間（同期バースト NOR 型フラッシュ用）

同期バーストモードが有効な NOR 型フラッシュアについて、最初のデータを得る前にメモリに発行するメモリクロックサイクル数（+2）を定義します。

0000：（0x0）最初のバーストアクセスでは、2 CLK クロックサイクルのデータ待ち時間

...

1111：（0xF）最初のバーストアクセスでは、17 CLK クロックサイクルのデータ待ち時間（リセット後のデフォルト）

注：　このタイミングパラメータは、HCLK 周期ではなく、フラッシュのクロック（CLK）周期で表されます。

注：　非同期 NOR 型フラッシュ、SRAM、または ROM アクセスでは、この値は無効です。

注：　CRAM の場合には、このフィールドを 0 に設定する必要があります。

ビット 23:20 **CLKDIV:**クロック分周比（CLK 信号）

CLK クロック出力信号の周期を定義します。HCLK サイクル数で表されます。

0000：予約済み

0001 CLK 周期 = 2 × HCLK 周期

0010 CLK 周期 = 3 × HCLK 周期

1111：CLK 周期 = 16 × HCLK周期（リセット後のデフォルト）

非同期 NOR 型フラッシュ、SRAM、または ROM アクセスでは、この値は無効です。

ビット 19:16　予約済み

ビット 15:8 **DATAST**：データフェーズ時間。

これらのビットは、データフェーズの時間を定義するために、ソフトウェアによって書き込まれ（*図 186*～*図 197* を参照）、SRAM、ROM、および非同期多重 NOR 型フラッシュアクセスで使用されます。

0000 0000：予約済み

0000 0001：DATAST フェーズ時間 = 2 × HCLK クロックサイクル

0000 0010：DATAST フェーズ時間 = 3 × HCLK クロックサイクル

...

1111 1111：DATAST フェーズ期間 = 16 × HCLK クロックサイクル（リセット後のデフォルト）

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 7:4 **ADDHLD**：アドレスホールドフェーズ時間。

これらのビットは、*アドレスホールド*フェーズの時間を定義するために、ソフトウェアによって書き込まれ（*図 195*～*図 197* を参照）、SRAM、ROM、および非同期多重 NOR 型フラッシュアクセスで使用されます。

0000：予約済み

0001：ADDHLD フェーズ時間 = 2 × HCLK クロックサイクル

0010：ADDHLD フェーズ時間 = 3 × HCLK クロックサイクル

...

1111：ADDHLD フェーズ時間= 16 × HCLK クロックサイクル（リセット後のデフォルト）

注： ***同期 NOR 型フラッシュアクセスでは、この値は使用されず、アドレスホールドフェーズの長さは、常に 1 フラッシュクロック周期です。***

ビット 3:0 **ADDSET:**アドレスセットアップフェーズ時間。

これらのビットは、*アドレスセットアップ*フェーズの時間を HCLK サイクル数で定義するために、ソフトウェアによって書き込まれ（*図 195*～*図 197* を参照）、SRAM、ROM、および非同期多重 NOR 型フラッシュで使用されます。

0000：ADDSET フェーズ時間 = 1 × HCLKクロックサイクル

...

1111：ADDSET フェーズ時間 = 16 × HCLK クロックサイクル（リセット後のデフォルト）

注： ***同期 NOR 型フラッシュアクセスでは、この値は使用されず、アドレスホールドフェーズの長さは、常に 1 フラッシュクロック周期です。***

20.6 NAND 型フラッシュ /PC カードコントローラ

FSMC は、次のようなタイプのデバイスを駆動するための適切なタイミングを生成します。

- NAND 型フラッシュ
  - 8 ビット
  - 16 ビット
- 16 ビット PC カード互換デバイス

NAND/PC カードコントローラは、3 つの外部バンクを制御できます。バンク 2 およびバンク 3 は、NAND 型フラッシュデバイスをサポートします。バンク 4 は、PC カードデバイスをサポートします。

各バンクは専用レジスタによって設定されます（*セクション 20.6.8* を参照）。プログラマブルメモリパラメータは、アクセスタイミング （*表 127*）と ECC 設定を含みます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表127. プログラマブル NAND/PCカードアクセスパラメータ

パラメータ	機能	アクセスモード	単位	最小	最大
メモリセットアップ時間	コマンドアサーション前にアドレスをセットアップするためのクロックサイクル（HCLK）数	読み出し/書き込み	AHB クロックサイクル（HCLK）	1	256
メモリウェイト	コマンドアサーションの最小時間（HCLK クロックサイクル数）	読み出し/書き込み	AHB クロックサイクル（HCLK）	2	256
メモリホールド	コマンドデアサーション後にアドレスを（書き込みアクセスの場合にはデータも）ホールドするクロックサイクル数（HCLK）	読み出し/書き込み	AHB クロックサイクル（HCLK）	1	255
メモリデータバスハイインピーダンス	書き込みアクセス開始後にデータバスがハイインピーダンス状態に保たれるクロックサイクル数（HCLK）	書き込み	AHB クロックサイクル（HCLK）	0	255

20.6.1 外部メモリインタフェース信号

次の表に、通常、NAND 型フラッシュおよび PC カードとのインタフェースに使用される信号を示します。

注： ***PC カードやコンパクトフラッシュを I/O モードで使用するときには、NIOS16 入力ピンは、操作全体でグランドレベルに維持されなければなりません。そうでないと、FSMC が正常に動作しないことがあります。これは、NIOS16 ピンは、カードに接続せず、グランドに直接接続しなければならないことを意味します（16 ビットアクセスのみが許される）。***

注： ***プレフィックス“N” は、対応する信号がアクティブローであることを示します。***

8 ビット NAND 型フラッシュ

表128. 8 ビット NAND 型フラッシュ

FSMC 信号名	I/O	機能
A[17]	O	NAND 型フラッシュアドレスラッチイネーブル（ALE）信号
A[16]	O	NAND 型フラッシュコマンドラッチイネーブル（CLE）信号
D[7:0]	I/O	8 ビット多重、双方向アドレス/データバス
NCE[x]	O	チップセレクト、x = 2、3
NOE（= NRE）	O	出力イネーブル（メモリ信号名：読み出しイネーブル、NRE）
NWE	O	書き込みイネーブル
NWAIT/INT[3:2]	I	FSMC への NAND 型フラッシュレディ /ビジー入力信号

FSMC は必要なだけのアドレスサイクルを管理できるので、容量についての理論上の限界はありません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

16 ビット NAND 型フラッシュ

表129. 16 ビット NAND 型フラッシュ

FSMC 信号名	I/O	機能
A[17]	O	NAND 型フラッシュアドレスラッチイネーブル（ALE）信号
A[16]	O	NAND 型フラッシュコマンドラッチイネーブル（CLE）信号
D[15:0]	I/O	16 ビット多重化、双方向アドレス/データバス
NCE[x]	O	チップセレクト、x = 2..3
NOE（= NRE）	O	出力イネーブル（メモリ信号名：読み出しイネーブル、NRE）
NWE	O	書き込みイネーブル
NWAIT/INT[3:2]	I	FSMC への NAND 型フラッシュレディ /ビジー入力信号

FSMC は必要なだけのアドレスサイクルを管理できるので、容量についての理論上の限界はありません。

表130. 16 ビット PC カード

FSMC 信号名	I/O	機能
A[10:0]	O	アドレスバス
NIOS16	I	I/O 空間でのデータ転送。GND へ短絡する必要があります（16 ビット転送のみ）。
NIORD	O	I/O 空間の出力イネーブル
NIOWR	O	I/O 空間の書き込みイネーブル
NREG	O	アクセスが共通または属性空間のいずれかを示すレジスタ信号
D[15:0]	I/O	双方向データバス
NCE4_1	O	チップセレクト 1
NCE4_2	O	チップセレクト 2（アクセスが 16 ビットか 8 ビットかを示す）
NOE	O	共通および属性空間での出力イネーブル
NWE	O	共通および属性空間での書き込みイネーブル
NWAIT	I	FSMC への PC カードウェイト入力信号（メモリ信号名 IORDY）
INTR	I	FSMC への PC カード割り込み（割り込みを生成できる PC カードのみ）
CD	I	PC カードの有無の検出。アクティブハイ。CD がローの間に PC カードバンクへのアクセスが行われた場合、AHB エラーが生成されます。*セクション 20.3：AHB インタフェース*を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

20.6.2 NAND 型フラッシュ /PC カードによってサポートされるメモリおよびトランザクション

表 131 に、サポートされるデバイス、アクセスモード、およびトランザクションを示します。NAND 型フラッシュ /PC カードコントローラによって許可されない（またはサポートされない）トランザクションは、灰色で示されています。

表131. サポートされるメモリおよびトランザクション

デバイス	モード	R/W	AHB データサイズ	メモリデータサイズ	許可/禁止	コメント
NAND 8 ビット	非同期	R	8	8	許可	
	非同期	W	8	8	許可	
	非同期	R	16	8	許可	2 つの FSMC アクセスに分割
	非同期	W	16	8	許可	2 つの FSMC アクセスに分割
	非同期	R	32	8	許可	4 つの FSMC アクセスに分割
	非同期	W	32	8	許可	4 つの FSMC アクセスに分割
NAND 16 ビット	非同期	R	8	16	許可	
	非同期	W	8	16	禁止	
	非同期	R	16	16	許可	
	非同期	W	16	16	許可	
	非同期	R	32	16	許可	2 つの FSMC アクセスに分割
	非同期	W	32	16	許可	2 つの FSMC アクセスに分割

20.6.3 NAND および PC カードのタイミング図

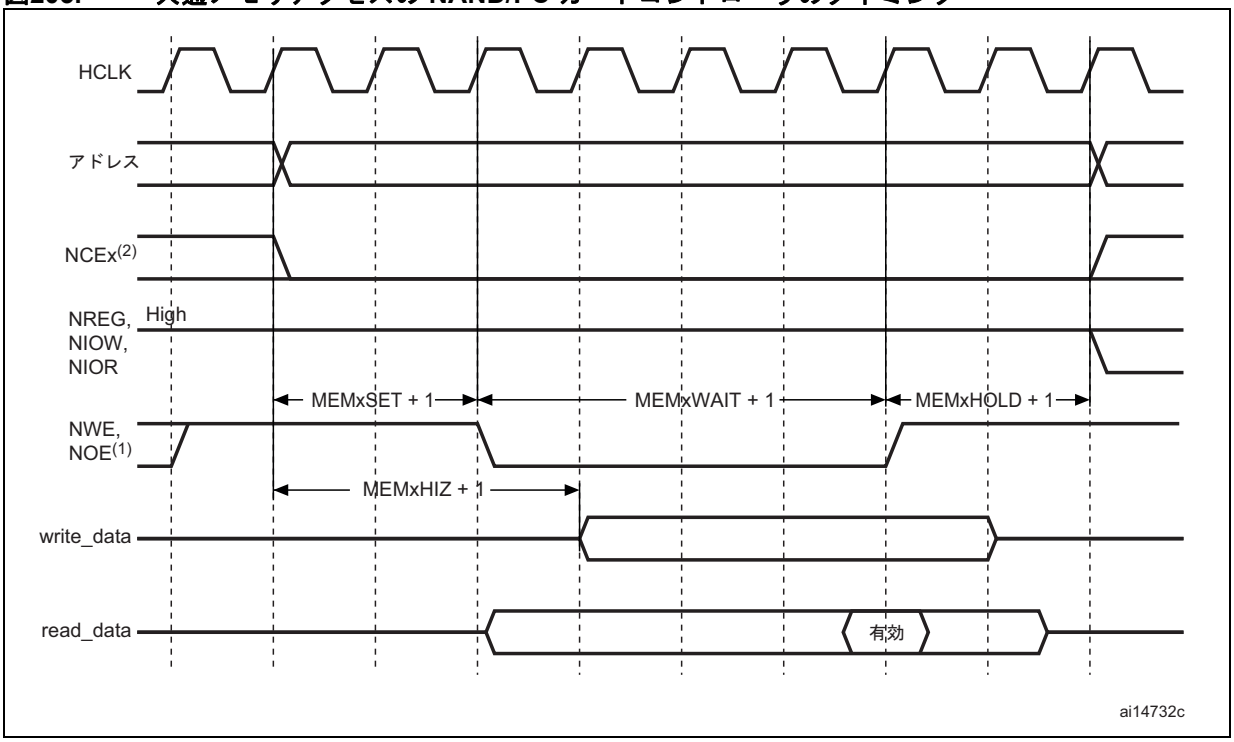
PC カード/コンパクトフラッシュ、および NAND 型 フラッシュメモリの各バンクは、レジスタの設定を通じて管理されます。

- 制御レジスタ：FSMC_PCRx
- 割り込みステータスレジスタ：FSMC_SRx
- ECC レジスタ：FSMC_ECCRx
- 共通メモリ空間のタイミングレジスタ：FSMC_PMEMx
- 属性メモリ空間のタイミングレジスタ：FSMC_PATTx
- I/O 空間のタイミングレジスタ：FSMC_PIOx

各タイミング設定レジスタは、PC カード/コンパクトフラッシュ、または NAND 型フラッシュアクセスの 3 つのフェーズの HCLK サイクル数を定義するための 3 つのパラメータと、書き込みの際にデータバスの駆動を開始するタイミングを定義する 1 つのパラメータを含みます。*図 203* は、共通メモリアクセスのタイミングパラメータの定義を示しています。属性メモリ空間と I/O（PC カードのみ）メモリ空間のアクセスタイミングが同様であることがわかります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図203. 共通メモリアクセスの NAND/PC カードコントローラのタイミング



1. NOE は、書き込みアクセス時、ハイ（インアクティブ）に保たれます。NWE は、読み出しアクセス時、ハイ（インアクティブ）に保たれます。
2. NCEx は、NAND アクセスが要求されると、ただちにローになり、別のメモリバンクがアクセスされるまでローを維持します。

20.6.4 NAND 型フラッシュの操作

NAND 型フラッシュデバイスのコマンドラッチイネーブル（CLE）およびアドレスラッチイネーブル（ALE）信号は、FSMC コントローラのいくつかのアドレス信号によって駆動されます。これは、NAND 型フラッシュメモリにコマンドまたはアドレスを送信するには、CPU は、CPU のメモリ空間内の特定のアドレスに書き込みを行う必要があることを意味します。

NAND 型フラッシュデバイスからの一般的なページ読み出し操作は、次の手順です。

1. FSMC_PCRx および FSMC_PMEMx（デバイスによっては、FSMC_PATTxも、*セクション 20.6.5：NAND 型フラッシュのプリウェイト機能（517 ページ）*を参照）レジスタを、NAND フラッシュの特性に従って設定することによって、対応するメモリバンクをプログラムし、有効にします（NAND フラッシュのデータバスに対する PWID ビット、PTYP = 1、PWAITEN = 1、PBKEN = 1、タイミング設定については *共通メモリ空間タイミングレジスタ 2..4（FSMC_PMEM2..4）（523 ページ）*を参照）。
2. CPU は、1 つのフラッシュコマンドバイトと等しいデータバイト（たとえば、Samsung の NAND 型フラッシュデバイスの場合は 0x00）で、共通メモリ空間にバイト書き込みを行います。NAND 型フラッシュの CLE 入力は、書き込みストローブ（NWE 上のローパルス）の間はアクティブであり、書き込まれたバイトは、NAND 型フラッシュによってコマンドとして認識されます。コマンドが NAND 型フラッシュデバイスにラッチされたら、次のページ読み出し操作のために書き込む必要はありません。
3. CPU は、4 バイト（より小容量のデバイスの場合は 3 バイト）を共通メモリまたは属性空間に書き込むことによって、読み出し操作の開始アドレスSTARTAD）を送信できます（STARTAD[7:0]、STARTAD[16:9]、STARTAD[24:17]、および 64 Mビット x 8 ビット NAND 型フラッシュの場合は最後に STARTAD[25]）。NAND 型フラッシュデバイスの ALE 入力は、書き込みストローブの間アクティブであり（NWE 上のローパルス）、書き込まれたバイトは、読み出し操作の開始アドレス

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

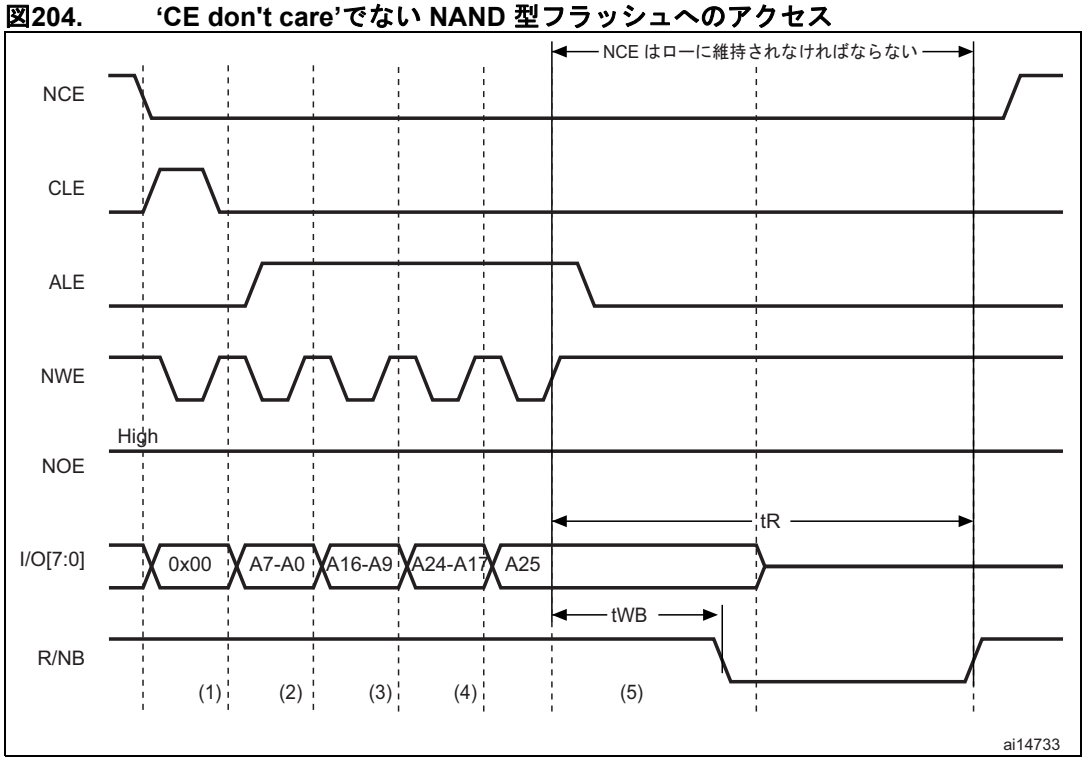
として解釈されます。属性メモリ空間を使用すると、FSMC の異なるタイミング設定を使用でき、一部の NAND 型フラッシュメモリで必要とされるプリウェイト機能を実装できます（詳細については、*セクション 20.6.5 : NAND 型フラッシュのプリウェイト機能（517 ページ）*を参照してください）。

4. コントローラは、NAND 型フラッシュがレディになり（R/NB 信号がハイ）、アクティブになるのを待ってから、（同じメモリバンクまたは別のメモリバンクへの）新しいアクセスを開始します。待っている間、コントローラは NCE 信号をアクティブ（ロー）に保ちます。
5. CPU は、NAND 型フラッシュページ（データフィールド＋スペアフィールド）をバイト単位で読み出すために、共通メモリ空間でバイト読み出し操作を行います。
6. 次の NAND 型フラッシュページは、CPU コマンドやアドレス書き込み操作なしに、3 種類の方法で読み出すことができます。
   - 手順 5 に記述された操作を実行します。
   - 手順 3 から操作をリスタートすることによって、新しいランダムアドレスにアクセスできます。
   - 手順 2 からリスタートすることによって、NAND 型フラッシュデバイスに新しいコマンドを送信できます。

20.6.5 NAND 型フラッシュのプリウェイト機能

一部の NAND 型フラッシュデバイスでは、アドレスの最後の部分を書き込んだ後、*図 204* に示されているように、コントローラ は R/NB 信号を待つ必要があります。

図204. ‘CE don't care’でない NAND 型フラッシュへのアクセス



1. CPU はアドレス 0x7001 0000 にバイト 0x00 を書き込みました。
2. CPU はアドレス 0x7002 0000 にバイト A7～A0 を書き込みました。
3. CPU はアドレス 0x7002 0000 にバイト A16 ～A9 を書き込みました。
4. CPU はアドレス 0x7002 0000 にバイト A24～A17 を書き込みました。
5. CPU はアドレス 0x7802 0000 にバイト A25 を書き込みました。FSMC は FSMC_PATT2 タイミング定義を使用して書

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

き込みアクセスを実行します。ここで ATTHOLD ≥ 7（(7+1) × HCLK = 112 ns > t_{WB} max と仮定）。これにより、NCE は R/NB がローから再びハイになるまでローを維持します（NCE が必要な NAND 型フラッシュメモリの場合のみ必要）。

この機能が必要なときには、t_{WB} タイミングに合わせて MEMHOLD 値をプログラムすることによって保証できますが、CPU から NAND 型フラッシュへの読み出しまたは書き込みアクセスは、NWE 信号の立ち上がりエッジから次のアクセスまでに HCLK サイクルのホールド待ち時間（MEMHOLD+1）が挿入されます。

このタイミング制約を回避するには、t_{WB} タイミングに応じた ATTHOLD 値でタイミングレジスタをプログラムし、MEMHOLD 値を最小値のままにしておくことで、属性メモリ空間を使用できます。その場合、CPU は、NAND 型フラッシュのすべての読み出しおよび書き込みアクセスには共通メモリ空間を使用する必要があります。ただし、NAND 型ラッシュデバイスに最後のアドレスバイトを書き込むときには、属性メモリ空間に書き込む必要があります。

20.6.6 エラー訂正コード計算 ECC（NAND 型フラッシュ）

FSMC の PC カードコントローラには、メモリバンクごとに 1 つずつ、2 つのエラー訂正コード計算ハードウェアブロックがあります。これらは、システム内のソフトウェアでエラー訂正コードを処理するときのホスト CPU の負荷を軽減するために使われます。

この 2 つのレジスタは同一であり、それぞれバンク 2 とバンク 3 に関連付けられます。結果として、バンク 4 に接続されたメモリでは、ハードウェア ECC 計算は使用できません。

FSMC に実装されたエラー訂正コード（ECC）のアルゴリズムでは、NAND 型フラッシュへの 256、512、1024、2048、4096、または 8192 バイトの読み出しまた書き込みごとに、1 ビットのエラー訂正と 2 ビットのエラー検出を実行できます。

ECC モジュールは、NAND 型フラッシュメモリバンクがアクティブになるたびに、NAND 型フラッシュデータバスおよび読み出し/書き込み信号（NCE と NWE）を監視します。

機能的な動作は、次のとおりです。

- NAND 型フラッシュへのアクセスがバンク 2 またはバンク 3 に対して行われるときには、D[15:0]バス上のデータがラッチされて、ECC 計算に使用されます。
- NAND 型フラッシュへのアクセスが他のアドレスで発生したときには、ECC ロジックはアイドル状態であり、何の処理も行いません。すなわち、コマンドやアドレスを定義するための NAND 型フラッシュへの書き込み操作は、ECC 計算の対象となりません。

目的のバイト数がホスト CPU によって NAND 型フラッシュから読み出されるか、NAND 型フラッシュに書き込まれたら、FSMC_ECCR2/3 レジスタを読み出し、計算値を取得しなければなりません。読み出し後は、ECCEN ビットをリセットすることによってクリアされます。新しいデータクロックを計算するには、FSMC_PCR2/3 レジスタの ECCEN ビットを 1 にセットしなければなりません。

20.6.7 PC カード/コンパクトフラッシュの操作

アドレス空間とメモリアクセス

FSMC は、コンパクトフラッシュストレージまたは PC カードをメモリモードおよび I/O モードでサポートします（True IDE モードはサポートされません）。

コンパクトフラッシュストレージと PC カードは、3 つのメモリ空間から構成されます。

- 共通メモリ空間
- 属性空間
- I/O メモリ空間

nCE2 および nCE1 ピン（それぞれ FSMC_NCE4_2 および FSMC_NCE4_1）は、カードを選択し、バイト操作が行われているか、ワード操作が行われているかを示します。nCE2 は、D15-8 上の偶数

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

バイトにアクセスし、nCE1 は、A0=0 の場合は D7-0、A0=1 の場合は D7-0 上の奇数バイトにアクセスします。nCE2 と nCE1 の両方ともローの場合は、D15-0 上のフルワードにアクセスされます。

メモリ空間は、nCE2/nCE1 と nREG のローアサーションと組み合わせて、読み出しアクセスの場合は nOE を、書き込みアクセスの場合は nWE を、それぞローにアサートすることによって選択されます。

- メモリアクセス時にピン nREG=1 の場合は、共通メモリ空間が選択されます。
- メモリアクセス時にピン nREG=0 の場合は、属性メモリ空間が選択されます。

I/O 空間は、nCE2/nCE1 と組み合わせて、読み出しアクセスの場合は nIORD を、書き込みアクセスの場合は nIOWR をそれぞれローにアサートすることによって選択されます。I/O 空間にアクセスするときには、nREG もローにアサートされなければならないことに注意してください。

16 ビット PC カードでは、次の 3 種類のアクセスが可能です。

- データストレージのための共通メモリ空間へのアクセスは、偶数アドレスでは 8 ビットアクセス、または 16 ビット AHB アクセスが可能です。

  奇数アドレスでの 8 ビットアクセスはサポートされず、nCE2 がローにアサートされないことに注意してください。32 ビット AHB リクエストは、2 つの 16 ビットメモリアクセスに変換されます。
- PC カードが設定情報を格納している属性メモリ空間へのアクセスは、偶数アドレスでの 8 ビット AHB アクセスに限られます。

  16 ビット AHB アクセスは 1 つの 8 ビットメモリ転送に変換されることに注意してください。nCE1 はローにアサートされ、nCE2 はハイにアサートされ、D7-D0 上の偶数バイトのみが有効になります。32 ビット AHB アクセスは、偶数アドレスでの 2 つの 8 ビットメモリ転送に変換されます。nCE1 はローにアサートされ、nCE2 はハイにアサートされ、数バイトのみが有効になります。
- I/O 空間へのアクセスは、AHB 16 ビットアクセスに限る必要があります。

表132. 16 ビット PC カード信号とアクセスタイプ

nCE2	nCE1	nREG	nOE/nWE	nIORD /nIOWR	A10	A9	A7-1	A0	空間	アクセスタイプ	許可/禁止
1	0	1	0	1	X	X	X-X	X	共通メモリ空間	D7-D0 上のバイトの読み出し/書き込み	YES
	YES										YES
0	1	1	0	1	X	X	X-X	X		D15-D8 上のバイトの読み出し/書き込み	サポートされません。
0	0	1	0	1	X	X	X-X	0		D15-D0 上のワードの読み出し/書き込み	YES
X	0	0	0	1	0	1	X-X	0	属性空間	設定レジスタの読み出しまたは書き込み	YES
X	0	0	0	1	0	0	X-X	0		CIS（カード情報構造）の読み出しまたは書き込み	YES
1	0	0	0	1	X	X	X-X	1	無効な属性空間	読み出しまたは書き込み（奇数アドレス）	YES
0	1	0	0	1	X	X	X-X	x		読み出しまたは書き込み（奇数アドレス）	YES

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表132. 16 ビット PC カード信号とアクセスタイプ（続き）

nCE2	nCE1	nREG	nOE/nWE	nIORD /nIOWR	A10	A9	A7-1	A0	空間	アクセスタイプ	許可/禁止
1	0	0	1	0	X	X	X-X	0	I/O 空間	D7-0 上の偶数バイトの読み出し	サポートされません。
1	0	0	1	0	X	X	X-X	1		D7-0 上の奇数バイトの読み出し	サポートされません。
1	0	0	1	0	X	X	X-X	0		D7-0 上の偶数バイトの書き込み	サポートされません。
1	0	0	1	0	X	X	X-X	1		D7-0 上の奇数バイトの書き込み	サポートされません。
0	0	0	1	0	X	X	X-X	0		D15-0 上のワードの読み出し	YES
0	0	0	1	0	X	X	X-X	0		D15-0 上のワードの書き込み	YES
0	1	0	1	0	X	X	X-X	X		D15-8 上の奇数バイトの読み出し	サポートされません。
0	1	0	1	0	X	X	X-X	X		D15-8 上の奇数バイトの書き込み	サポートされません。

FSMC バンク 4 は、*セクション 20.4.2 : NAND/PC カードアドレスマッピング*～ *表 100 : メモリマッピングとタイミングレジスタ*で説明されている 3 つのメモリ空間へのアクセスを可能にします。

ウェイト機能

コンパクトフラッシュストレージや PC カードは、FSMC_PCRx レジスタの PWAITEN ビットを通じてウェイト機能が有効な場合、nOE/nWE または nIORD/nIOWR が有効になった後に nWAIT 信号をアサートすることによって、MEMWAITx/ATTWAITx/IOWAITx ビットでプログラムされたアクセスフェーズの長さを延長するように FSMC に要求することができます。nWAIT のアサートを正しく検出するためには、MEMWAITx/ATTWAITx/IOWAITx ビットを次のようにプログラムする必要があります。

$$xxWAITx >= 4 + max_wait_assertion_time/HCLK$$

ここで、max_wait_assertion_time は、nOE/nWE または nIORD/nIOWR がローになってから NWAIT がローになるまでの最大時間です。

nWAIT のネゲートの後、FSMC は、WAIT フェーズを 4 HCLK クロックサイクルだけ延長します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

20.6.8 NAND 型フラッシュ /PCカード制御レジスタ

ペリフェラルレジスタには、ワード（32 ビット）単位でアクセスする必要があります。

PC カード/NAND 型フラッシュ制御レジスタ 2..4（FSMC_PCR2..4）

アドレスオフセット：0xA0000000 + 0x40 + 0x20 * (x – 1), x = 2..4

リセット値：0x0000 0018

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み												ECCPS			TAR				TCLR				予約済み		ECCEN	PWID		PTYP	PBKEN	PWAITEN	予約済み
												rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw			rw	rw	rw	rw	rw	rw	

ビット 19:17 **ECCPS:**ECC ページサイズ。
拡張 ECC のページサイズを定義します。
000：256 バイト
001：512 バイト
010：1024 バイト
011：2048 バイト
100：4096 バイト
101：8192 バイト

ビット 16:13 **TAR:**ALE から RE 間の待ち時間。
ALE ローから RE ローまでの時間を AHB クロックサイクル（HCLK）数で設定します。
時間は、t_ar = （TAR + SET + 4）× THCLK です。THCLK は HCLK クロック周期です。
0000：1 HCLK サイクル（デフォルト）
1111：16 HCLK サイクル

注： SET は、アドレス指定される空間に応じて、MEMSET または ATTSET です。

ビット 12:9 **TCLR:**CLE から RE 間の待ち時間。
CLE ローから RE ローまでの時間を AHB クロックサイクル（HCLK）数で設定します。
時間は、t_clr = （TCLR + SET + 4）× THCLK です。THCLK は HCLK クロック周期です。
0000：1 HCLK サイクル（デフォルト）
1111：16 HCLK サイクル

注： SET は、アドレス指定される空間に応じて、MEMSET または ATTSET です。

ビット 8:7 予約済み。

ビット 6 **ECCEN:**ECC 計算ロジックイネーブルビット
0：ECC ロジックは無効であり、リセットされています（リセット後のデフォルト）。
1：ECC ロジックは有効です。

ビット 5:4 **PWID:**データバス幅。
外部メモリデバイスの幅を定義します。
00：8 ビット（リセット後のデフォルト）
01：16 ビット (PC カードの場合必須)
10：予約済み。使用しないでください。
11：予約済み。使用しないでください。

ビット 3 **PTYP:**メモリタイプ
対応するメモリバンクに接続されたデバイスのタイプを定義します。
0：PC カード、コンパクトフラッシュ、CF+、または PCMCIA
1：NAND 型フラッシュ（リセット後のデフォルト）

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 2 **PBKEN:**PCカード/NAND 型フラッシュメモリバンクイネーブルビット。
メモリバンクを有効にします。無効なメモリバンクにアクセスすると、AHB バスのエラーになります。
0：対応するメモリバンクは無効です（リセット後のデフォルト）。
1：対応するメモリバンクは有効です。

ビット 1 **PWAITEN:**ウェイト機能イネーブルビット。
PC カード/NAND 型フラッシュメモリのウェイト機能を有効にします。
0：無効
1：有効

注： PC カードの場合、ウェイト機能を有効にするときには、MEMWAITx/ATTWAITx/IOWAITx ビットを次の値にプログラムする必要があります。
xxWAITx ≥ 4 + max_wait_assertion_time/HCLK

ここで、max_wait_assertion_time は、nOE/nWE または nIORD/nIOWR がローになってから NWAIT がローになるまでの最大時間です。

ビット 0 予約済み。

FIFO ステータスおよび割り込みレジスタ 2..4（FSMC_SR2..4）

アドレスオフセット：0xA000 0000 + 0x44 + 0x20 * (x-1), x = 2..4

リセット値：0x0000 0040

このレジスタは、FIFO ステータスと割り込みに関する情報を含みます。FSMC には、AHB の 16 ワードまでのデータをメモリに書き込んで格納するときに使用される FIFO があります。
これは、FSMC が FIFO をメモリに書き出しているときに、AHB に迅速に書き込んで、AHB を FSMC 以外のペリフェラルへのトランザクションのために解放するために使用されます。このレジスタのビットの 1 つは、ECC のために、FIFO のステータスを示します。
ECC は、データがメモリに書き込まれるときに計算されるので、正しい ECC を読み出すためには、ソフトウェアは FIFO が空になるまで待たなければりません。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									FEMPT	IFEN	ILEN	IREN	IFS	ILS	IRS
																									r	rw	rw	rw	rw	rw	rw

ビット 6 **FEMPT:**FIFO が空の状態。
FIFO のステータスを示す読み出し専用ビット
0：FIFO は空ではありません。
1：FIFO は空です。

ビット 5 **IFEN:**割り込み立ち下がりエッジ検出イネーブルビット
0：割り込み立ち下がりエッジ検出リクエストは無効
1：割り込み立ち下がりエッジ検出リクエストは有効

ビット 4 **ILEN:**割り込みハイレベル検出イネーブルビット
0：割り込みハイレベル検出リクエストは無効
1：割り込みハイレベル検出リクエストは有効

ビット 3 **IREN:**割り込み立ち上がりエッジ検出イネーブルビット
0：割り込み立ち上がりエッジ検出リクエストは無効
1：割り込み立ち上がりエッジ検出リクエストは有効

ビット 2 **IFS:**割り込み立ち下がりエッジステータス
このフラグは、ハードウェアによってセットされ、ソフトウェアによってリセットされます。
0：割り込み立ち下がりエッジは発生しませんでした。
1：割り込み立ち下がりエッジが発生しました。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 1 **ILS:**割り込みハイレベルステータス

このフラグは、ハードウェアによってセットされ、ソフトウェアによってリセットされます。

0：割り込みハイレベルは発生しませんでした。

1：割り込みハイレベルが発生しました。

ビット 0 **IRS:**割り込み立ち上がりエッジステータス

このフラグは、ハードウェアによってセットされ、ソフトウェアによってリセットされます。

0：割り込み立ち上がりエッジは発生しませんでした。

1：割り込み立ち上がりエッジが発生しました。

共通メモリ空間タイミングレジスタ 2..4（FSMC_PMEM2..4）

アドレスオフセット：アドレス：0xA000 0000 + 0x48 + 0x20 * (x – 1), x = 2..4

リセット値：0xFCFC FCFC

各 FSMC_PMEMx（x=2..4）読み出し/書き込みレジスタは、PC カードまたは NAND 型フラッシュメモリバンク x のタイミング情報を含みます。この情報は、16 ビット PCカード/コンパクトフラッシュの共通メモリ空間へのアクセス、または、コマンド、アドレス書き込みアクセス、およびデータ読み出し/書き込みアクセスのために NAND 型フラッシュにアクセスする際に使用されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MEMHIZx								MEMHOLDx								MEMWAITx								MEMSETx							
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:24 **MEMHIZx**：共通メモリ x データバスハイインピーダンス時間

ソケット x 上の共通メモリ空間への PC カード/NAND 型フラッシュによる書き込みアクセスの開始後に、データバスをハイインピーダンス状態に保つ時間、すなわち、HCLK（NAND に限り＋1）クロックサイクル数を定義します。これは、書き込みトランザクションに限り有効です。

0000 0000：(0x00) 0 HCLK サイクル （PC Card の場合）/ 1 HCLK サイクル（NAND 型フラッシュの場合）

1111 1111：(0xFF) 255 HCLK サイクル (PC Card の場合)/256 HCLK サイクル（NAND 型フラッシュの場合）- （リセット後のデフォルト）

ビット 23:16 **MEMHOLDx:**共通メモリ x ホールド時間

ソケット x 上の共通メモリ空間への PC カード/NAND 型フラッシュによる読み出しまたは書き込みアクセスの際に、コマンドネゲート（NWE、NOE）後にアドレスを（書き込みアクセス時はデータも）ホールドする HCLK クロックサイクル数を定義します。

0000 0000：予約済み

0000 0001：1 HCLKサイクル

1111 1111：255 HCLK サイクル（リセット後のデフォルト）

ビット 15:8 **MEMWAITx:**共通メモリ x ウェイト時間

ソケット x 上の共通メモリ空間への PC カード/NAND 型フラッシュによる読み出しまたは書き込みアクセスの際に、コマンド（NEW、NOE）をアサートするための HCLK（＋1）クロックサイクルの最小数を定義します。プログラムされた HCLK 値の後にウェイト信号（NWAIT）がアクティブ（ロー）の場合、コマンドアサーションの時間は延長されます。

0000 0000：予約済み

0000 0001：2 HCLKサイクル（＋NWAIT のデアサーションによって導入されるウェイトサイクル）

1111 1111：256 HCLK サイクル（＋カードが NWAIT をネゲートすることによって導入されるウェイトサイクル）（リセット後のデフォルト）

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 7:0 **MEMSETx:**共通メモリ x セットアップ時間

ソケット x 上の共通メモリ空間への PCカード/NAND 型フラッシュによる読み出しまたは書き込みアクセスの際に、コマンドアサーション（NWE、NOE）にアドレスをセットアップするための HCLK（PCカードでは＋1、NANDでは＋2）クロックサイクル数を定義します。

0000 0000：1 HCLK サイクル （PC カードの場合）/HCLK サイクル （NAND 型フラッシュの場合）

1111 1111：256 HCLK サイクル（PC カードの場合）/257 HCLK サイクル（NAND 型フラッシュの場合）-（リセット後のデフォルト）

属性メモリ空間タイミングレジスタ 2..4（FSMC_PATT2..4）

アドレスオフセット：0xA000 0000 + 0x4C + 0x20 * (x – 1), x = 2..4

リセット値：0xFCFC FCFC

各 FSMC_PATTx（x = 2..4）読み出し/書き込みレジスタは、PC カード/コンパクトフラッシュまたは NAND 型フラッシュメモリバンク x のタイミング情報を含みます。この情報は、タイミングを以前のアクセスのタイミングから変えなければならない場合に（レディ /ビジー管理のため、*セクション 20.6.5：NAND 型フラッシュのプリウェイト機能*を参照）、PC カード/コンパクトフラッシュの属性メモリ空間への 8 ビットアクセスのために、または最後のアドレス書き込みアクセスのために NAND 型フラッシュにアクセスするために使用されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ATTHIZx								ATTHOLDx								ATTWAITx								ATTSETx							
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:24 **ATTHIZx:**属性メモリ x データバスハイインピーダンス時間

ソケット x 上の属性メモリ空間への PC カード/NAND 型フラッシュによる書き込みアクセスの開始後に、データバスをハイインピーダンスに保つ HCLK クロックサイクル数を定義します。これは、書き込みトランザクションに限り有効です。

0000 0000：0 HCLKサイクル

1111 1111：255 HCLK サイクル（リセット後のデフォルト）

ビット 23:16 **ATTHOLDx：**属性メモリ x ホールド時間

ソケット x 上の属性メモリ空間への PC カード/NAND 型フラッシュによる読み出しまたは書き込みアクセスの際に、コマンドデアサーション（NWE、NOE）後にアドレスを（書き込みアクセス時はデータも）ホールドする HCLK（＋1）クロックサイクル数を定義します。

0000 0000：予約済み

0000 0001：1 HCLKサイクル

1111 1111：255 HCLK サイクル（リセット後のデフォルト）

ビット 15:8 **ATTWAITx：**属性メモリ x ウェイト時間

ソケット x 上の属性メモリ空間への PC カード/NAND 型フラッシュによる読み出しまたは書き込みアクセスの際に、コマンド（NEW、NOE）をアサートするための HCLK（＋1）クロックサイクルの最小数を定義します。プログラムされた HCLK 値の後にウェイト信号（NWAIT）がアクティブ（ロー）の場合、コマンドアサーションの時間は延長されます。

0000 0000：予約済み

0000 0001：2 HCLK サイクル（＋NWAITのデアサーションによって導入されるウェイトサイクル）

1111 1111：256 HCLK サイクル（＋カードが NWAIT をネゲートすることによって導入されるウェイトサイクル）（リセット後のデフォルト）

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 7:0 **ATTSETx：**属性メモリ x セットアップ時間
ソケット x 上の属性メモリ空間への PC カード/NAND 型フラッシュによる読み出しまたは書き込みアクセスの際に、コマンドアサーション（NWE、NOE）前にアドレスをセットアップするための HCLK（+1）クロックサイクル数を定義します。
0000 0000：1 HCLKサイクル
1111 1111：256 HCLK サイクル（リセット後のデフォルト）

I/O 空間タイミングレジスタ 4（FSMC_PIO4）

アドレスオフセット：0xA000 0000 + 0xB0
リセット値：0xFCFCFCFC

FSMC_PIO4 読み出し/書き込みレジスタは、16 ビット PC カード/コンパクトフラッシュの I/O 空間へのアクセスを得るためのタイミング情報を含みます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IOHIZx								IOHOLDx								IOWAITx								IOSETx							
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:24 **IOHIZx：**I/O データバスハイインピーダンス時間
ソケット x 上の I/O 空間への PC カード書き込みアクセスの開始後に、データバスをハイインピーダンスに保つ HCLK クロックサイクル数を定義します。これは、書き込みトランザクションに限り有効です。
0000 0000：0 HCLKサイクル
1111 1111：255 HCLK サイクル（リセット後のデフォルト）

ビット 23:16 **IOHOLDx：**I/O x ホールド時間
ソケット x 上の I/O 空間への PC カードによる読み出しまたは書き込みアクセスの際に、コマンドネゲート（NWE、NOE）後にアドレスを（書きみアクセス時はデータも）ホールドする HCLK（+1）クロックサイクル数を定義します。
0000 0000：予約済み
0000 0001：1 HCLKサイクル
1111 1111：255 HCLK サイクル（リセット後のデフォルト）

ビット 15:8 **IOWAITx：**I/O x ウェイト時間
ソケット x 上の I/O 空間への PC カードによる読み出しまたは書き込みアクセスの際に、コマンド（SMNWE、SMNOE）をアサートするための HCLK（+1）クロックサイクルの最小数を定義します。プログラムされた HCLK 値の後にウェイト信号（NWAIT）がアクティブ（ロー）の場合、コマンドアサーションの時間は延長されます。
0000 0000：予約済み。使用しないでください。
0000 0001：2 HCLK サイクル（+NWAITのデアサーションによって導入されるウェイトサイクル）
1111 1111：256 HCLK サイクル（+カードが NWAIT をネゲートすることによって導入されるウェイトサイクル）（リセット後のデフォルト）

ビット 7:0 **IOSETx：**I/O x セットアップ時間
ソケット x 上の I/O 空間への PC カードによる読み出しまたは書き込みアクセスの際に、コマンドアサーション（NWE、NOE）前にアドレスをセットアップするための HCLK（+1）クロックサイクル数を定義します。
0000 0000：1 HCLKサイクル
1111 1111：256 HCLK サイクル（リセット後のデフォルト）

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ECC リザルトレジスタ 2/3（FSMC_ECCR2/3）

アドレスオフセット：0xA000 0000 + 0x54 + 0x20 * (x – 1), x = 2 or 3

リセット値：0x0000 0000

これらのレジスタは、FSMC コントローラの ECC 計算モジュール（NAND 型フラッシュメモリバンクごとに 1 つのモジュール）によって計算された現在のエラー訂正コード値を含みます。CPU が、NAND 型フラッシュメモリページ上の正しいアドレスからデータを読み出すときには（*セクション 20.6.6：エラー訂正コード計算 ECC（NAND 型フラッシュ）*を参照して）、NAND 型フラッシュから読み書きされたデータは、ECC 計算モジュールによって自動的に処理されます。X バイトの読み出しが完了すると（FSMC_PCRx レジスタの ECCPS フィールドに応じて）、CPU は、計算された ECC 値を FSMC_ECCx レジスタから読み出して、これらの計算されたパリティデータがスペア領域に記録されたパリティデータと同じかどうかを確認し、必要な場合は訂正しなければなりません FSMC_ECCRx レジスタは、読み出し後、ECCEN ビットを 0 にセットすることによってクリアしなければなりません。新しいデータブロックを計算するには、ECCEN ビットを 1 にセットしなければなりません。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ECCx																															
r																															

ビット 31:0 **ECCx**：ECC 結果

このフィールドは、ECC 計算ロジックによって計算された値を提供します。*表 133* に、これらのビットフィールドの内容を示します。

表133. ECC リザルト関連ビット

ECCPS[2:0]	ページサイズ（バイト数）	ECC ビット
000	256	ECC[21:0]
001	512	ECC[23:0]
010	1024	ECC[25:0]
011	2048	ECC[27:0]
100	4096	ECC[29:0]
101	8192	ECC[31:0]

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

20.6.9 FSMC レジスタマップ

次の表は FSMC レジスタの一覧です。

表134. FSMC レジスタマップ

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0xA000 0000	FSMC_BCR1	予約済み												CBURSTRW	予約済み			ASYNCWAIT	EXTMOD	WAITEN	WREN	WAITCFG		WAITPOL	BURSTEN	予約済み	FACCEN	MWID		MTYP		MUXEN	MBKEN
	リセット値																																
0xA000 0008	FSMC_BCR2	予約済み												CBURSTRW	予約済み			ASYNCWAIT	EXTMOD	WAITEN	WREN	WAITCFG	WRAPMOD	WAITPOL	BURSTEN	予約済み	FACCEN	MWID		MTYP		MUXEN	MBKEN
0xA000 0010	FSMC_BCR3	予約済み												CBURSTRW	予約済み			ASYNCWAIT	EXTMOD	WAITEN	WREN	WAITCFG	WRAPMOD	WAITPOL	BURSTEN	予約済み	FACCEN	MWID		MTYP		MUXEN	MBKEN
0xA000 0018	FSMC_BCR4	予約済み												CBURSTRW	予約済み			ASYNCWAIT	EXTMOD	WAITEN	WREN	WAITCFG	WRAPMOD	WAITPOL	BURSTEN	予約済み	FACCEN	MWID		MTYP		MUXEN	MBKEN
0xA000 0004	FSMC_BTR1	予約済み		ACCMOD		DATLAT				CLKDIV				BUSTURN				DATAST								ADDHLD				ADDSET			
0xA000 000C	FSMC_BTR2	予約済み		ACCMOD		DATLAT				CLKDIV				BUSTURN				DATAST								ADDHLD				ADDSET			
0xA000 0014	FSMC_BTR3	予約済み		ACCMOD		DATLAT				CLKDIV				BUSTURN				DATAST								ADDHLD				ADDSET			
0xA000 001C	FSMC_BTR4	予約済み		ACCMOD		DATLAT				CLKDIV				BUSTURN				DATAST								ADDHLD				ADDSET			
0xA000 0104	FSMC_BWTR1	予約済み		ACCMOD		DATLAT				CLKDIV				予約済み				DATAST								ADDHLD				ADDSET			
0xA000 010C	FSMC_BWTR2	予約済み		ACCMOD		DATLAT				CLKDIV				予約済み				DATAST								ADDHLD				ADDSET			
0xA000 0114	FSMC_BWTR3	予約済み		ACCMOD		DATLAT				CLKDIV				予約済み				DATAST								ADDHLD				ADDSET			
0xA000 011C	FSMC_BWTR4	予約済み		ACCMOD		DATLAT				CLKDIV				予約済み				DATAST								ADDHLD				ADDSET			
0xA000 0060	FSMC_PCR2	予約済み												ECCPS			TAR				TCLR				予約済み		ECCEN	PWID		PTYP	PBKEN	PWAITEN	予約済み
0xA000 0080	FSMC_PCR3	予約済み												ECCPS			TAR				TCLR				予約済み		ECCEN	PWID		PTYP	PBKEN	PWAITEN	予約済み
0xA000 00A0	FSMC_PCR4	予約済み												ECCPS			TAR				TCLR				予約済み		ECCEN	PWID		PTYP	PBKEN	PWAITEN	予約済み
0xA000 0064	FSMC_SR2	予約済み																									FEMPT	IFEN	ILEN	IREN	IFS	ILS	IRS
0xA000 0084	FSMC_SR3	予約済み																									FEMPT	IFEN	ILEN	IREN	IFS	ILS	IRS
0xA000 00A4	FSMC_SR4	予約済み																									FEMPT	IFEN	ILEN	IREN	IFS	ILS	IRS
0xA000 0068	FSMC_PMEM2	MEMHIZx								MEMHOLDx								MEMWAITx								MEMSETx							

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表134. FSMC レジスタマップ（続き）

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0xA000 0088	FSMC_PMEM3	MEMHIZx								MEMHOLDx								MEMWAITx								MEMSETx							
0xA000 00A8	FSMC_PMEM4	MEMHIZx								MEMHOLDx								MEMWAITx								MEMSETx							
0xA000 006C	FSMC_PATT2	ATTHIZx								ATTHOLDx								ATTWAITx								ATTSETx							
0xA000 008C	FSMC_PATT3	ATTHIZx								ATTHOLDx								ATTWAITx								ATTSETx							
0xA000 00AC	FSMC_PATT4	ATTHIZx								ATTHOLDx								ATTWAITx								ATTSETx							
0xA000 00B0	FSMC_PIO4	IOHIZx								IOHOLDx								IOWAITx								IOSETx							
0xA000 0074	FSMC_ECCR2	ECCx																															
0xA000 0094	FSMC_ECCR3	ECCx																															

注： レジスタ境界アドレスについては、表 1（45 ページ）を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

21 セキュアデジタル入力/出力インタフェース（SDIO）

小容量 デバイスは、フラッシュメモリ容量が 16～32 KB の STM32F101xx、STM32F102xx、および STM32F103xx マイクロコントローラです。

中容量デバイスは、フラッシュメモリ容量が 64～128 KB の STM32F101xx、STM32F102xx、および STM32F103xx マイクロコントローラです。

大容量デバイス は、フラッシュメモリ容量が 256～512 KB の STM32F101xx および STM32F103xx マイクロコントローラです。

特大容量デバイスは、フラッシュメモリ容量が 768 KB～1 MB の STM32F101xx および STM32F103xx マイクロコントローラです。

コネクティビティラインデバイス は、STM32F105xx および STM32F107xx マイクロコントローラです。

このセクションは、大容量および特大容量デバイスのみに適用されます。

21.1 SDIO の主な機能

SD/SDIO MMC カードホストインタフェース（SDIO）は、AHB ペリフェラルバスと MultiMediaCard（MMC）、SD メモリカード、SDIO カード、および CE-ATA デバイス間のインタフェースを提供します。

MMCA 技術委員会から発行された MultiMediaCard システム仕様書は、MultiMediaCard Association のウェブサイト *www.mmca.org* から入手できます。

SD メモリカードと SD I/O カードシステム仕様書は、SD card Association のウェブサイト *www.sdcard.org* から入手できます。

CE-ATA システム仕様書は、CE-ATA ワークグループのウェブサイト *www.ce-ata.org* から入手できます。

SDIO には以下の機能があります。

- *MultiMediaCard System Specification Version 4.2* に完全準拠。3 種類のデータバスモードに対するカードサポート：1 ビット（デフォルト）、4 ビット、および 8 ビット
- 以前のバージョンのマルチメディアカードとの完全互換（上位互換性）
- *SD Memory Card Specifications Version 2.0* に完全準拠
- *SD I/O Card Specification Version 2.0* に完全準拠 : 2 種類のデータバスモードに対するカードサポート：1 ビット（デフォルト）および 4 ビット
- CE-ATA 機能の完全サポート（*CE-ATA digital protocol Rev1.1* に完全準拠）
- 8 ビットモードで最大 48 MHz のデータ転送
- 外部双方向ドライバを制御するデータおよびコマンド出力イネーブル信号。

注： 1 ***SDIO は SPI 互換の通信モードを備えていません。***

2 ***SD メモリカードプロトコルは、MultiMediaCard system specification V2.11 で定義されている MultiMediaCard プロトコルのスーパーセットです。SD メモリカードに必要ないくつかのコマンドは、SD I/O 専用カードやコンボカードの I/O 部分でサポートされません。消去コマンドなど、SD I/O デバイスで使用されないコマンドは、SDIO でサポートされません。また、いくつかのコマンドは、SD メモリカードと SD I/O カードで異なるため、SDIO でサポートされません。詳細については、SD I/O card Specification Version 1.0 を参照してください。CE-ATA は、既存の MMC アクセスプリミティブを利用するプロトコルを使用して、MMC 電気接続によりサポートされます。インタフェースの電気信号定義は、MMC 基準で定義されているとおりです。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

MultiMediaCard/SD バスは、カードをコントローラに接続します。

現行バージョンの SDIO は、一度に 1 つの SD/SDIO/MMC 4.2 カードと、MMC4.1 以前のスタックだけをサポートします。

21.2 SDIO バストポロジ

バス上の通信は、コマンドおよびデータ転送に基づきます。

MultiMediaCard/SD/SD I/O バス上の基本的なトランザクションは、コマンド/レスポンストランザクションです。これらの種類のバストランザクションでは、コマンドまたはレスポンス構造内で直接、情報を転送します。また、データトークンを持つ操作もあります。

SD/SDIO メモリカードに対するデータ転送は、データブロック単位で行われます。MMC に対するデータ転送は、データブロック単位またはストリームで行われます。CE-ATA デバイスに対するデータ転送は、データブロック単位で行われます。

図205. SDIO "no response" と "no data" 操作

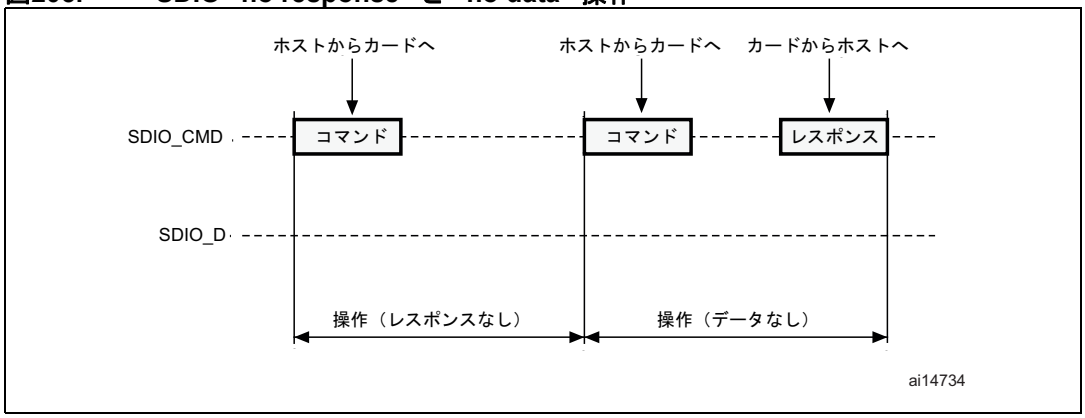
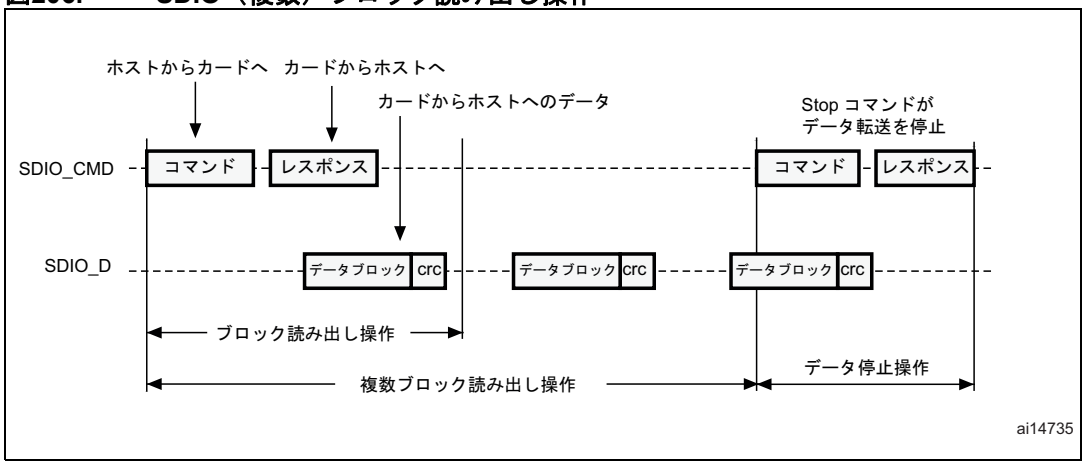
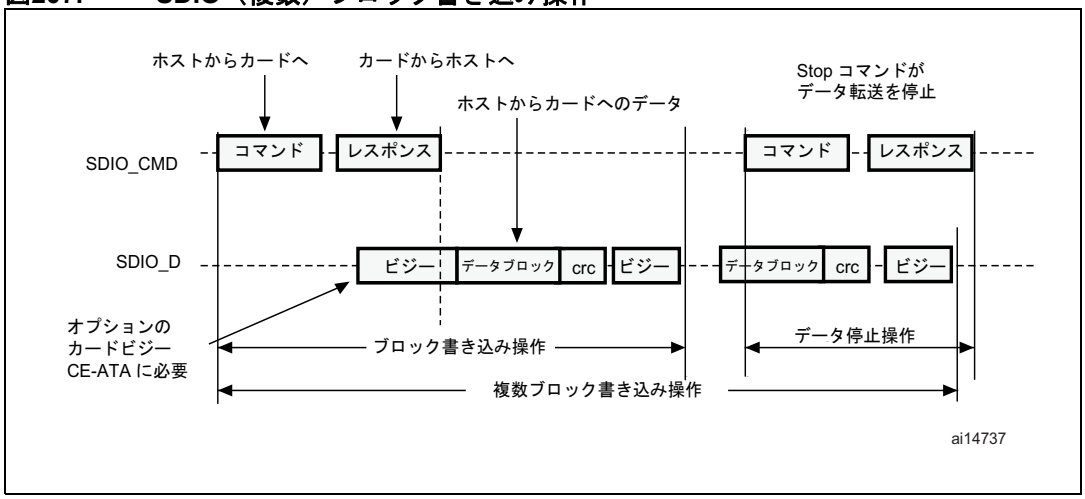


図206. SDIO（複数）ブロック読み出し操作



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図207. SDIO（複数）ブロック書き込み操作



注： ***SDIO は、ビジー信号がアサートされている限り（SDIO_D0 をローへプルダウン）、データを送信しません。***

図208. SDIO 順次読み出し操作

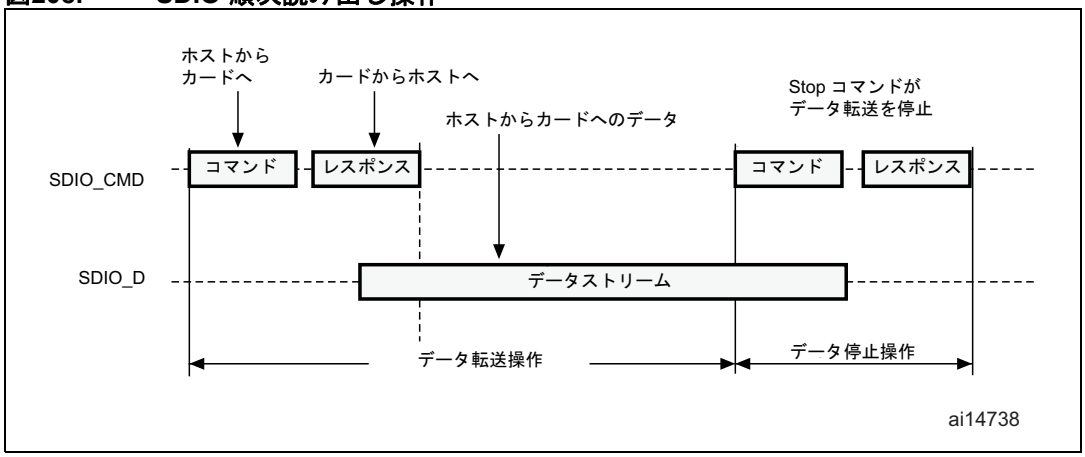
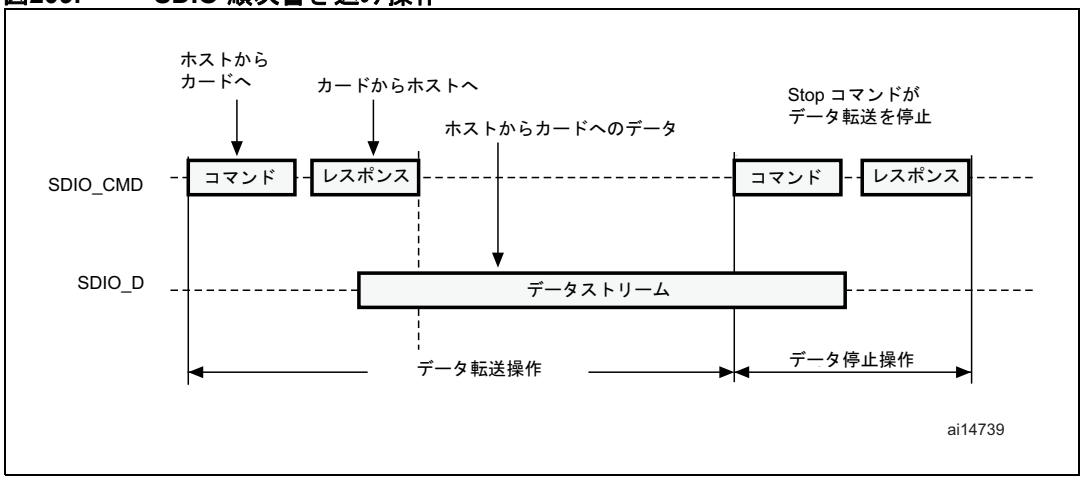


図209. SDIO 順次書き込み操作



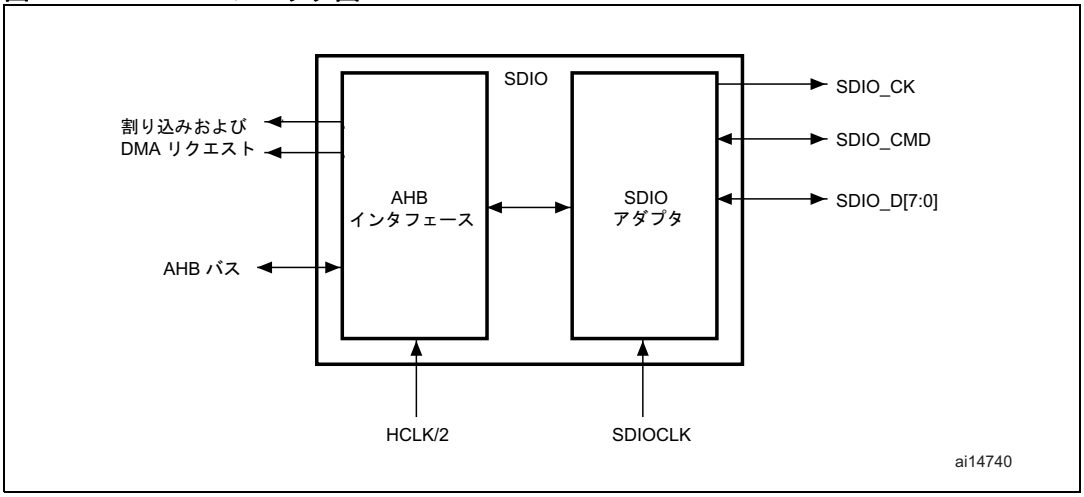
この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

21.3 SDIO の機能詳細

SDIO は、2 つの部分から成ります。

- SDIO アダプタブロックは、クロック生成ユニット、コマンドおよびデータ転送など、MMC/SD/SD I/O カードに固有のすべての機能を提供します。
- AHB インタフェースは、SDIO アダプタレジスタにアクセスして、割り込みおよび DMA リクエスト信号を生成します。

図210. SDIO ブロック図



デフォルトでは、SDIO_D0 はデータ転送に使用されます。初期化後、ホストはデータバス幅を変更することができます。

マルチメディアカードがバスに接続されている場合、SDIO_D0、SDIO_D[3:0]、または SDIO_D[7:0] はデータ転送に使用できます。MMC V3.31 以前では、1 ビットのデータのみがサポートされるので、使用できるのは SDIO_D0 だけです。

SD または SD I/Oカードがバスに接続されている場合、ホストがデータ転送に SDIO_D0 または SDIO_D[3:0] を使用するように設定することができます。すべてのデータラインはプッシュプルモードで動作します。

SDIO_CMD には、2 つの動作モードがあります。

- 初期化の場合は、オープンドレイン（MMCV3.31 以前）
- コマンド転送の場合は、プッシュプル（SD/SD I/O カード MMC4.2 は、初期化もプッシュプルドライバを使用します）

SDIO_CK は、カードに供給されるクロックです。各クロックサイクルで、コマンドラインとデータラインの両方に 1 ビットが転送されます。クロック周波数は、MultiMediaCard V3.31の場合は 0 MHz から 20 MHz、MultiMediaCard V4.0/4.2 の場合は 0 から 48 MHz、SD/SD I/O カードの場合は 0 から 25 MHz の間で変化します。

SDIO は 2 つのクロック信号を使用します。

- SDIO アダプタクロック（SDIOCLK= HCLK）
- AHB バスクロック（HCLK/2）

表 135 に示されている信号は、MultiMediaCard/SD/SD I/O カードバス上で使用されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

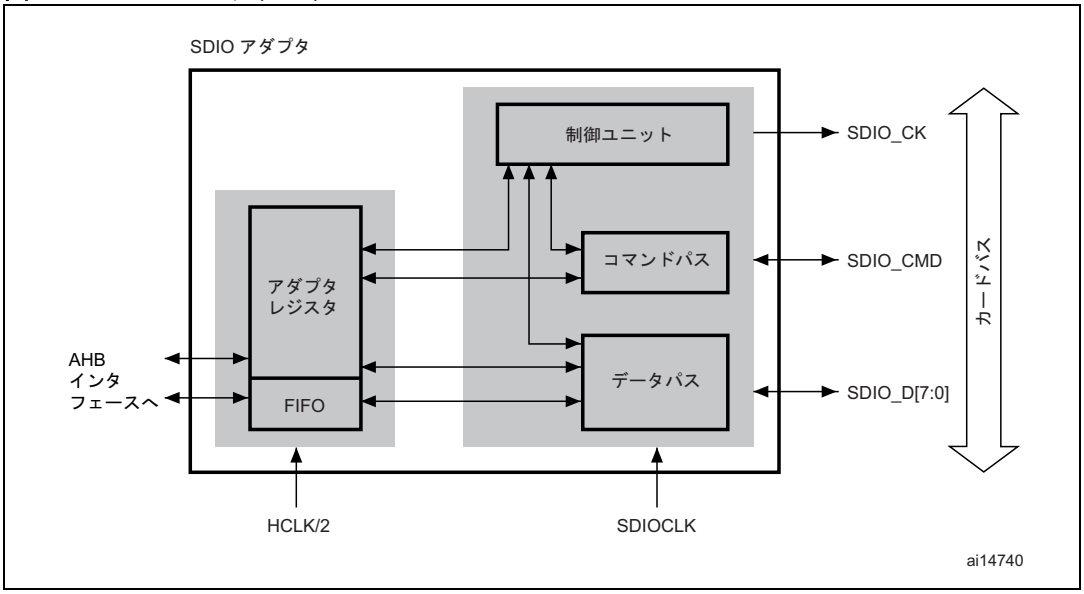
表135. SDIO I/O 定義

ピン	方向	説明
SDIO_CK	出力	MultiMediaCard/SD/SDIO カードクロック。このピンは、ホストからカードへのクロックです。
SDIO_CMD	双方向	MultiMediaCard/SD/SDIO カードコマンド。このピンは、双方向のコマンド/レスポンス信号です。
SDIO_D[7:0]	双方向	MultiMediaCard/SD/SDIO カードデータ。これらのピンは、双方向データバスです。

21.3.1 SDIOアダプタ

図 211 は、SDIO アダプタの簡略化されたブロック図です。

図211. SDIO アダプタ



SDIO アダプタは、マルチメディアカードスタックやセキュアデジタルメモリカードとのインタフェースを提供するマルチメディア/セキュアデジタメモリカードバスマスタです。次の 5 つのサブユニットで構成されています。

- アダプタレジスタブロック
- 制御ユニット
- コマンドパス
- データパス
- データ FIFO

注： ***アダプタレジスタと FIFO は、AHB バスクロックドメイン（HCLK/2）を使用します。制御ユニット、コマンドパス、およびデータパスは、SDIO アダプタクロックドメイン（SDIOCLK）を使用します。***

アダプタレジスタブロック

アダプタレジスタブロックは、すべてのシステムレジスタを含んでいます。このブロックは、マルチメディアカードのスタティックフラグをクリアする信号も生成します。クリア信号は、SDIO クリアレジスタの対応するビットに 1 が書き込まれると生成されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

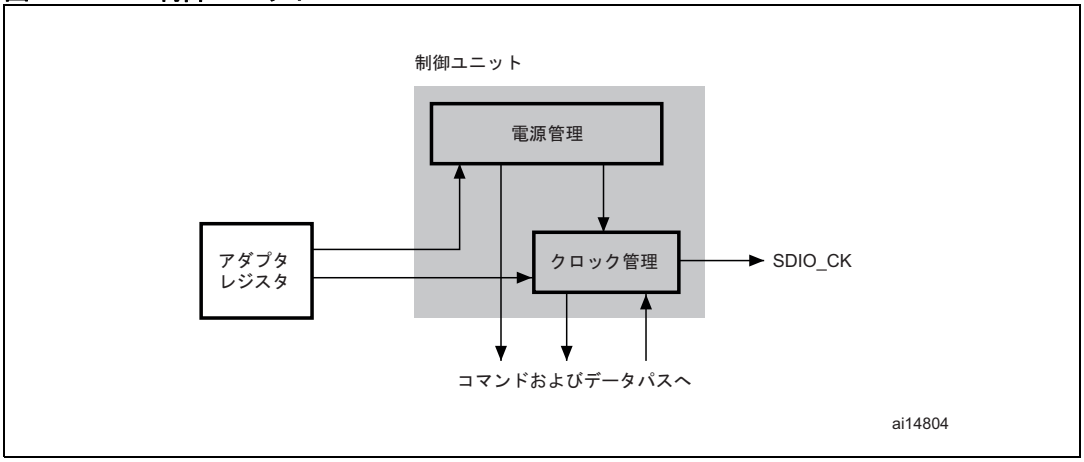
制御ユニット

制御ユニットは、電源管理機能とメモリカードクロックのクロック分周器を含みます。

3 つの電源フェーズがあります。

- パワーオフ
- パワーアップ
- パワーオン

図212. 制御ユニット



制御ユニットは、*図 212* に示されています。電源管理サブユニットとクロック管理サブユニットで構成されています。

電源管理サブユニットは、パワーオフおよびパワーアップフェーズの間、カードバス出力信号を無効にします。

クロック管理サブユニットは、SDIO_CK 信号を生成し、制御します。SDIO_CK 出力は、クロック分周またはクロックバイパスモードを使用することができます。クロック出力は、次の場合にインアクティブです。

- リセット後
- パワーオフまたはパワーアップフェーズ中
- 節電モードが有効であり、カードバスがアイドル状態の場合（コマンドおよびデータパスサブユニットがアイドルフェーズに入ってから 8 クロック周期後）

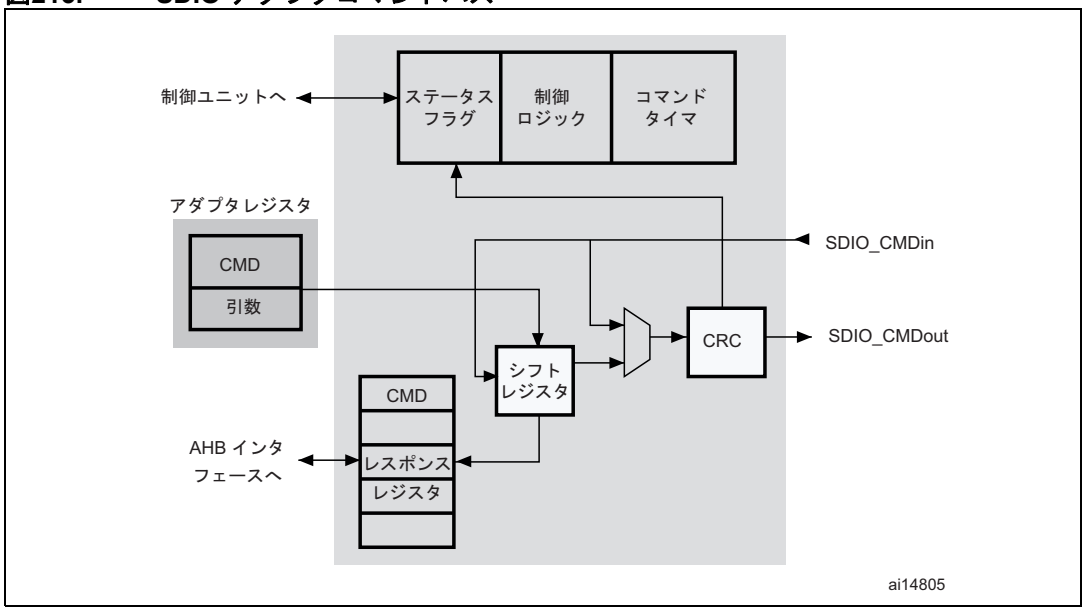
コマンドパス

コマンドパスユニットは、カードにコマンドを送信し、カードからレスポンスを受信します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

参考資料

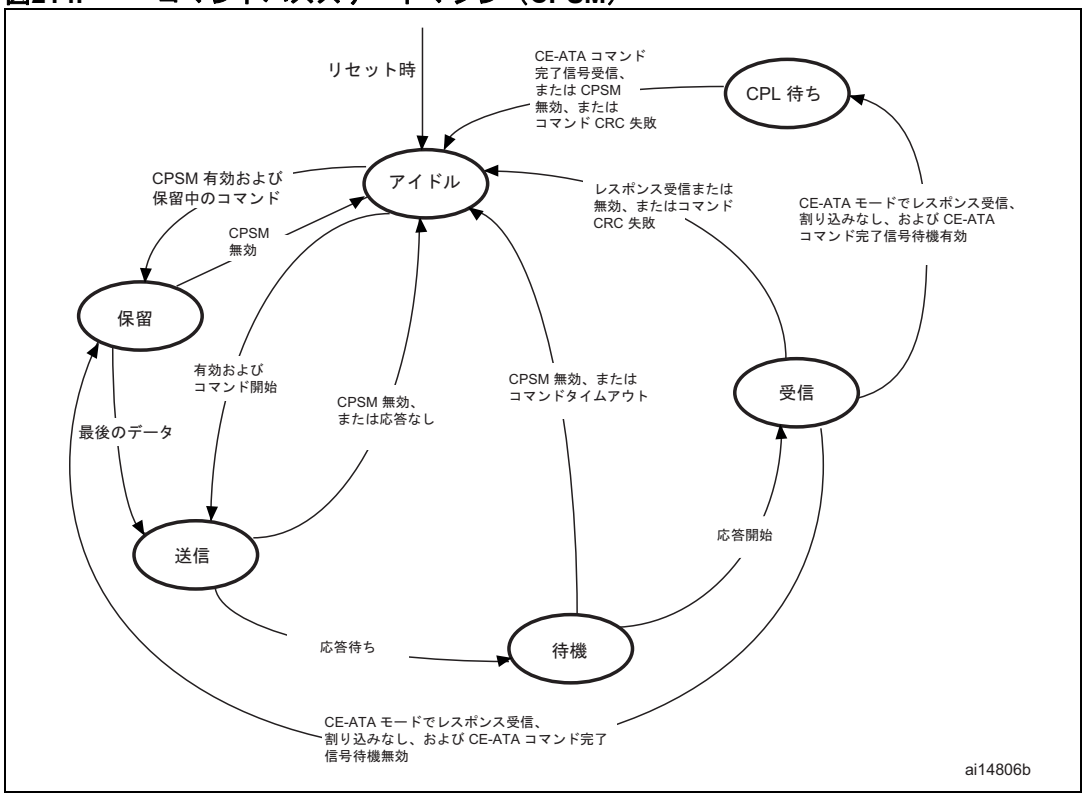
図213. SDIO アダプタコマンドパス



- コマンドパスステートマシン（CPSM）
  - コマンドレジスタが書き込まれて、イネーブルビットがセットされると、コマンド転送が開始します。コマンドが送信されると、コマンドパスステートマシン（CPSM）は、ステータスフラグをセットし、レスポンスが不要な場合はアイドル状態になります。レスポンスが必要な場合は、レスポンスを待ちます（*図 214（536 ページ）*を参照）。レスポンスが受信されると、受信された CRC コードと内部生成されたコードが比較され、適切なステータスフラグがセットされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図214. コマンドパスステートマシン（CPSM）



ウェイトステートに入ると、コマンドタイマが動き出します。CPSM が受信状態になる前にタイムアウトに達した場合には、タイムアウトフラグがセットされ、アイドル状態に入ります。

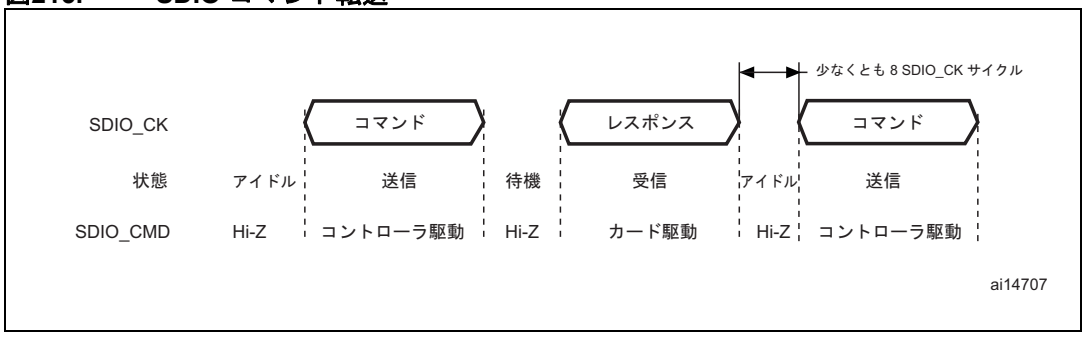
注： ***コマンドタイムアウトは、64 SDIO_CK クロック周期の固定値です。***

コマンドレジスタの割り込みビットがセットされた場合、タイマは無効であり、CPSM はカードの 1 つからの割り込みリクエストを待ちます。コマンドレジスタのペンディングビットがセットされた場合、CPSM は保留状態に入り、データパスサブユニットからの CmdPend 信号を待ちます。CmdPend が検出されると、CPSM は送信状態に移行します。これによって、停止コマンドの送信をトリガするデータカウンタが有効になります。

注： ***CPSM は、N_{CC} および N_{RC} タイミング制約を満たすために、少なくとも 8 SDIO_CK 周期の間、アイドル状態を保ちます。N_{CC} は、2 つのホストコマンド間の最小遅延であり、N_{RC} は、ホストコマンドとカードレスポンスの間の最小遅延です。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図215. SDIO コマンド転送



- コマンドフォーマット
  - コマンド : コマンドは、操作を開始するトークンです。コマンドは、ホストから 1 つのカード（アドレス付きコマンド）または接続されたすべてのカードに送信されます（ブロードキャストコマンドは MMCV3.31 以前で使用可能です）。コマンドは、CMD ライン上で連続的に転送されます。すべてのコマンドは、固定長 48 ビットです。マルチメディアカード、SD メモリカード、および SDIO カードのコマンドトークンの一般的なフォーマットを *表 136* に示します。CE-ATA コマンドは、MMC コマンド V4.2 の拡張であり、同じフォーマットです。

    コマンドパスは半二重モードで動作するので、コマンドとレスポンスは送受信のいずれかができます。CPSM が送信状態でない場合、SDIO_CMD は *図 215（537 ページ）* に示されるようにハイインピーダンス状態になります。SDIO_CMD のデータは、SDIO_CK の立ち上がりエッジと同期します。

表136. コマンドフォーマット

ビット位置	幅	値	説明
47	1	0	スタートビット
46	1	1	送信ビット
[45:40]	6	-	コマンドインデックス
[39:8]	32	-	引数
[7:1]	7	-	CRC7
0	1	1	終了ビット

  - レスポンス : レスポンスは、以前に受信されたコマンドへの応答として、アドレス指定されたカードから（または MMC V3.31 以前では、すべてのカードから同期して）送信されるトークンです。レスポンスは、CMD ライン上で連続的に転送されます。

SDIO は、2 種類のレスポンスをサポートします。どちらも CRC エラーチェックを使用します。

- 48 ビットショートレスポンス
- 136 ビットロングレスポンス

注 : レスポンスが CRC を含まない場合（CMD1 レスポンス）、デバイスドライバは CRC 障害ステータスを無視する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表137. ショートレスポンスフォーマット

ビット位置	幅	値	説明
47	1	0	スタートビット
46	1	0	送信ビット
[45:40]	6	-	コマンドインデックス
[39:8]	32	-	引数
[7:1]	7	-	CRC7（または 1111111）
0	1	1	終了ビット

表138. ロングレスポンスフォーマット

ビット位置	幅	値	説明
135	1	0	スタートビット
134	1	0	送信ビット
[133:128]	6	111111	予約済み
[127:1]	127	-	CID または CSD（内部 CRC7 を含む）
0	1	1	終了ビット

コマンドレジスタは、コマンドインデックス（カードに送信される 6 ビット）とコマンドタイプを含みます。これらによって、コマンドがレスポンスを必要とするかどうかと、レスポンスが 48 ビット長か 136 ビット長かが決まります（*セクション 21.9.4（571 ページ）*を参照）。コマンドパスは、*表 139* に示されているように、ステータスフラグを実装します。

表139. コマンドパスステータスフラグ

フラグ	説明
CMDREND	レスポンス CRC が OK の場合にセットされます。
CCRCFAIL	レスポンス CRC が失敗した場合にセットされます。
CMDSENT	コマンド（レスポンスを必要としない）が送信されたときにセットされます。
CTIMEOUT	レスポンスタイムアウト。
CMDACT	コマンド転送中。

CRC 生成回路は、CRC コードの前のすべてのビットについて CRC チェックサムを計算します。これには、スタートビット、送信ビット、コマンドインデックス、およびコマンド引数（またはカードステータス）が含まれます。CRC チェックサムは、ロングレスポンスフォーマットの場合、CID または CSD の最初の 120 ビットについて計算されます。スタートビット、送信ビット、および 6 つの予約ビットは、CRC 計算に使用されないことに注意してください。

CRC チェックサムは 7 ビットの値です。

CRC[6:0] = 剰余 $[(M(x) * x^7) / G(x)]$

$G(x) = x^7 + x^3 + 1$

M（x）= （スタートビット）* x^{39} + ...+ （CRC 前の最後のビット）* x^0、または

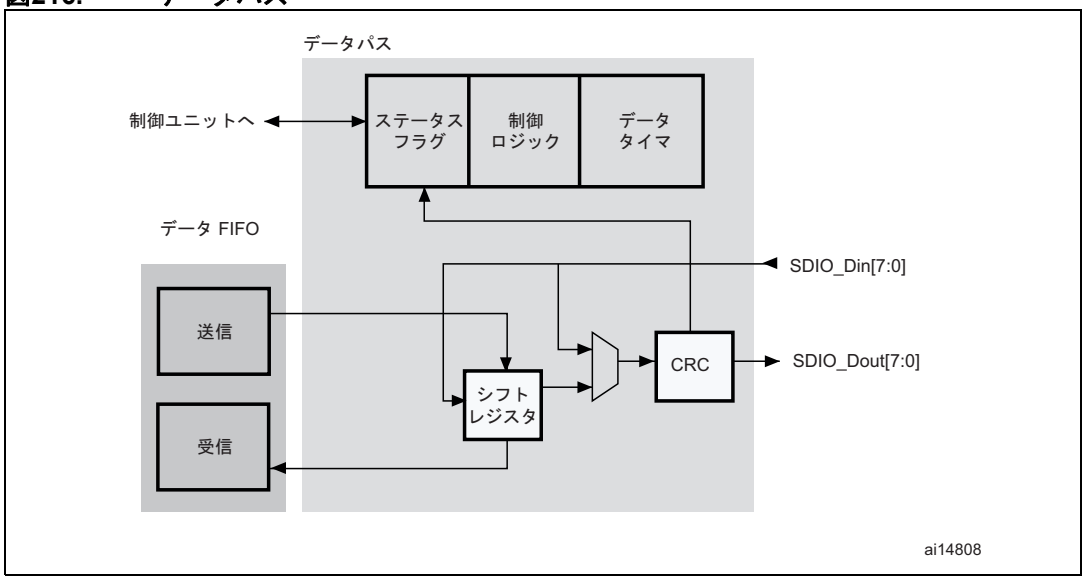
M（x）= （スタートビット）* x^{119} + ...+ （CRC 前の最後のビット）* x^0

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

データパス

データパスサブユニットは、カードとの間でデータ転送を行います。*図 216* に、データパスのブロック図を示します。

図216. データパス



カードデータバス幅は、クロック制御レジスタを使用してプログラムできます。4 ビット幅バスモードが有効な場合、データは 4 つすべてのデータ信号（SDIO_D[3:0]）で、クロックサイクルごとに 4 ビットで転送されます。8 ビット幅バスモードが有効な場合、データは 8 つすべてのデータ信号（SDIO_D[7:0]）で、クロックサイクルごとに 8 ビットで転送されます。ワイドバスモードが有効でない場合は、SDIO_D0 上でクロックサイクルごとに 1 ビットだけが転送されます。

転送の方向（送信または受信）によって、データパスステートマシン（DPSM）は、有効になったときに Wait_S または Wait_R 状態へ移行します。

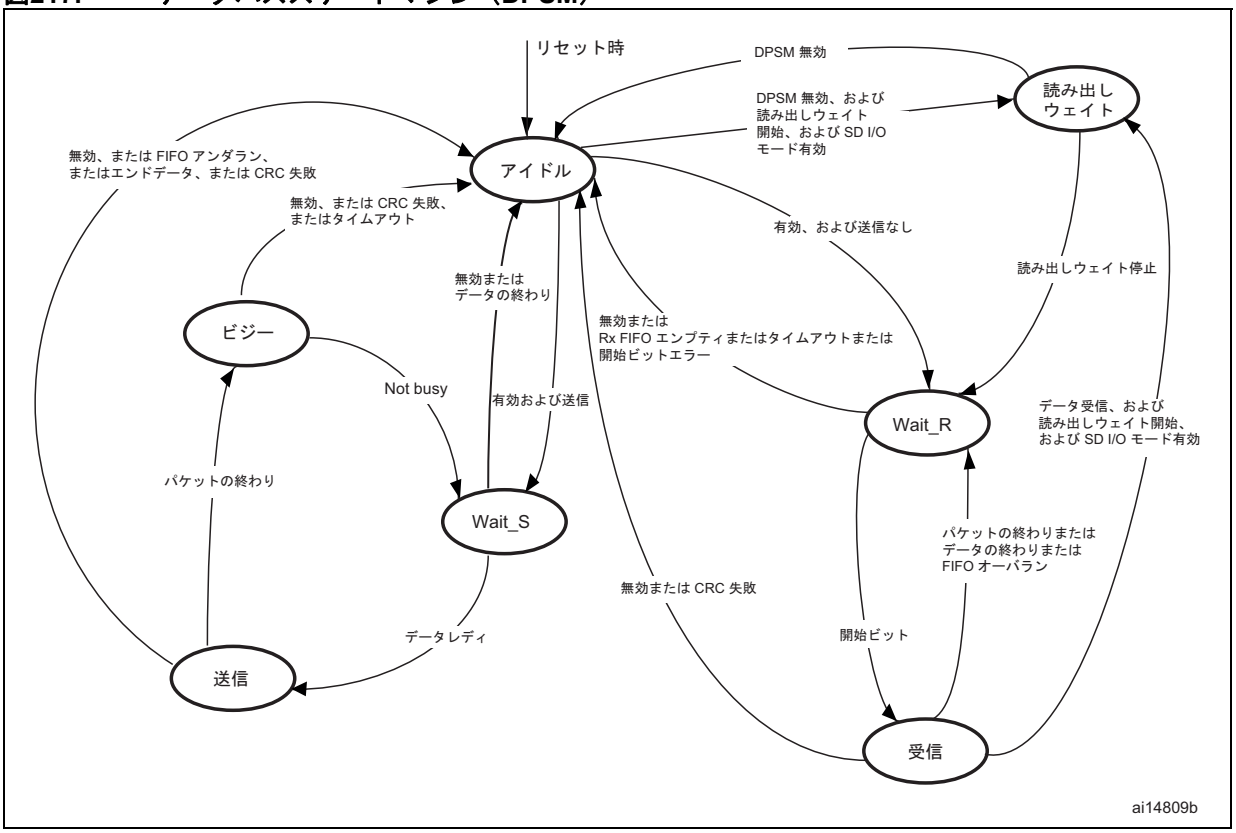
- 送信 : DPSM は Wait_S 状態へ移行します。転送 FIFO にデータがある場合、DPSM は送信状態へ移行し、データパスサブユニットはカードへのデータ転送を開始します。
- 受信 : DPSM は Wait_R 状態へ移行して、スタートビットを待ちます。スタートビットを受信すると、DPSM は受信状態へ移行し、データパスサブユニットはカードからのデータ受信を開始します。

データパスステートマシン（DPSM）

DPSM は、SDIO_CK 周波数で動作します。カードバス信号上のデータは、SDIO_CK の立ち上がりエッジと同期しています。DPSM には、*図 217 : データパスステートマシン（DPSM）* に示されている 6 つの状態があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図217. データパスステートマシン（DPSM）



- アイドル：データパスはインアクティブであり、SDIO_D[7:0] 出力はハイインピーダンスです。データ制御レジスタが書き込まれ、イネーブルビットがセットされると、DPSM はデータカウンタに新しい値をロードし、データ方向ビットに応じて Wait_S または Wait_R 状態へ移行します。
- Wait_R：データカウンタがゼロに等しい場合、DPSM は受信 FIFO が空になると、アイドル状態へ移行します。データカウンタがゼロでない場合、DPSM は SDIO_D 上のスタートビットを待ちます。タイムアウト前にスタートビットを受信した場合には、DPSM は受信状態に移行し、データブロックカウンタをロードします。スタートビットを検出する前にタイムアウトに達した場合、またはスタートビットエラーが発生した場合には、アイドル状態へ移行して、タイムアウトステータスフラグをセットします。
- 受信：カードから受信されたシリアルデータは数バイトにまとめられ、データ FIFO に書き込まれます。データ制御レジスタの転送モードビットに応じて、データ転送はブロックモードまたはストリームモードのいずれかです。
  - ブロックモードでは、データブロックカウンタがゼロに達すると、DPSM は CRC コードを受信するまで待ちます。受信したコードが内部生成された CRC コードと一致する場合、DPSM は Wait_R 状態へ移行します。そうでない場合、CRC 失敗ステータスフラグをセットして、DPSM はアイドル状態へ移行します。
  - ストリームモードでは、DPSM はデータカウンタがゼロでない間、データを受信します。カウンタがゼロになると、シフトレジスタ内の残りのデータがデータ FIFO に書き込まれ、DPSM は Wait_R 状態へ移行します。

  FIFO オーバーランエラーが発生した場合、DPSM は FIFO エラーフラグをセットして、アイドル状態へ移行します。
- Wait_S：データカウンタがゼロの場合、DPSM はアイドル状態へ移行します。そうでない場合は、データ FIFO エンプティフラグがネゲートされるまで待って、送信状態へ移行します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

注： ***DPSM は、N_{WR} タイミングの要件を満たすため、少なくとも 2 クロック周期の間、Wait_S 状態を保ちます。ここで、N_{WR} は、カードレスポンスの受信とホストからのデータ転送の開始との間のクロックサイクル数です。***

- 送信：DPSM はカードへのデータの送信を開始します。データ制御レジスタの転送モードビットに応じて、データ転送はブロックモードまたはストリームモードのいずれかです。
  - ブロックモードでは、データブロックカウンタがゼロに達すると、DPSM は内部生成された CRC コードと終了ビットを送信して、ビジー状態へ移行します。
  - ストリームモードでは、DPSM は、イネーブルビットがハイであり、データカウンタがゼロになるまで、カードへデータを送信します。その後、アイドル状態へ移行します。

  FIFO アンダーランエラーが発生した場合、DPSM は FIFO エラーフラグをセットして、アイドル状態へ移行します。
- ビジー：DPSM は、CRC ステータスフラグを待ちます。
  - 良好な CRC ステータスを受信しなかった場合、DPSM はアイドル状態へ移行し、CRC 失敗ステータスフラグをセットします。
  - 良好な CRC ステータスを受信した場合、SDIO_D0 がローでない（カードがビジーでない）場合は Wait_S 状態へ移行します。

  DPSM がビジー状態の間にタイムアウトエラーが発生した場合には、DPSM はデータタイムアウトフラグをセットして、アイドル状態へ移行します。

  データタイマは、DPSMが Wait_R またはビジー状態のときに有効になり、以下の場合にデータタイムアウトを生成します。
  - データ送信中、DPSM がプログラムされたタイムアウト時間より長く、ビジー状態にとどまっていた場合。
  - データ受信中、データの終わりが正常でなく、DPSM がプログラムされたタイムアウト時間より長く Wait_R 状態にとどまっていた場合、タイムアウトが発生します。
- **データ**：データは、カードからホストへ、またはホストからカードへ転送されます。データは、データラインを介して転送されます。32 ワードの FIFO に格納され、各ワードは 32 ビット幅です。

表140. データトークンフォーマット

説明	スタートビット	データ	CRC 16	終了ビット
ブロックデータ	0	-	yes	1
ストリームデータ	0	-	no	1

データ FIFO

データ FIFO（ファーストインファーストアウト）サブユニットは、送受信ユニットを持つデータバッファです。

FIFO は、32 ビット幅、32 ワードの深さのデータバッファと、送受信ロジックを持っています。データ FIFO は AHB クロックドメイン（HCLK/2）で動作するので、SDIO クロックドメイン（SDIOCLK）のサブユニットからのすべての信号は再同期されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

TXACT および RXACT フラグに応じて、FIFO は、無効、送信有効、または受信有効にできます。TXACT と RXACT は、データパスサブユニットによって駆動され、相互排他的です。

– 送信 FIFO は、TXACT がアサートされると、送信ロジックとデータバッファを参照します。
– 受信 FIFO は、RXACT がアサートされると、受信ロジックとデータバッファを参照します。

- 送信FIFO：

  データは、SDIO が送信有効なときに、AHB インタフェースを通じて送信 FIFO に書き込むことができます。

  送信 FIFO は、32 の連続アドレスを介してアクセス可能です。送信 FIFO は、読み出しポインタによって示されるデータワードを保持するデータ出力レジスタを含みます。データパスサブユニットにシフトレジスタがロードされると、読み出しポインタをインクリメントして、新しいデータを駆動します。

  送信 FIFO が無効な場合、すべてのステータスフラグがネゲートされます。データパスサブユニットは、データを送信すると、TXACT をアサートします。

表141. 送信 FIFO ステータスフラグ

フラグ	説明
TXFIFOF	32 すべての送信 FIFO ワードが有効なデータを含んでいるとき、ハイにセットされます。
TXFIFOE	送信 FIFO が有効なデータを含まないとき、ハイにセットされます。
TXFIFOHE	8 ワード以上の送信 FIFO ワードが空のとき、ハイにセットされます。このフラグは DMA リクエストとして使用できます。
TXDAVL	送信 FIFO が有効なデータを含むとき、ハイにセットされます。このフラグは、TXFIFIOE フラグの反転です。
TXUNDERR	アンダーランエラーが発生すると、ハイにセットされます。このフラグは、SDIO クリアレジスタへの書き込みによってクリアされます。

- 受信 FIFO

  データパスサブユニットがワードデータを受信すると、書き込みデータバス上にデータを出力します。書き込み操作が完了すると、書き込みポインタがインクリメントされます。読み出し側では、読み出しポインタの現在値によって示される FIFO ワードの内容が、読み出しバス上に出力されます。受信 FIFO が無効な場合、すべてのステータスフラグがネゲートされ、読み出しおよび書き込みポインタがリセットされます。データパスサブユニットは、データを受信すると、RXACT をアサートします。*表 142* に、受信 FIFO ステータスフラグを示します。受信 FIFO は、32 の連続アドレスを介してアクセス可能です。

表142. 受信 FIFO ステータスフラグ

フラグ	説明
RXFIFOF	32 すべての受信 FIFO ワードが有効なデータを含むとき、ハイにセットされます。
RXFIFOE	受信 FIFO が有効なデータを含まないとき、ハイにセットされます。
RXFIFOHF	8 ワード以上の受信 FIFO ワードが空のとき、ハイにセットされます。このフラグは DMA リクエストとして使用できます。
RXDAVL	受信 FIFO が空でないとき、ハイにセットされます。このフラグは RXFIFIOE フラグの反転です。
RXOVERR	オーバーランエラーが発生すると、ハイにセットされます。このフラグは、SDIO クリアレジスタへの書き込みによってクリアされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

21.3.2 SDIO AHB インタフェース

AHB インタフェースは、割り込みおよび DMA リクエストを生成し、SDIO アダプタレジスタとデータ FIFO にアクセスします。データパス、レジスタデコーダ、および割り込み/DMA ロジックで構成されています。

SDIO 割り込み

割り込みロジックは、選択されたステータスフラグの少なくとも 1 つがハイのときにアサートされる割り込みリクエスト信号を生成します。マスクレジスタは、割り込みを生成する条件の選択を可能にします。ステータスフラグは、対応するマスクフラグがセットされている場合に、割り込みリクエストを生成します。

SDIO/DMA インタフェース：SDIO とメモリ間のデータ転送手順

次に示す例では、転送は SDIO ホストコントローラから MMC へ行われます（CMD24（WRITE_BLOCK）を使用して 512 バイトを転送）。SDIO FIFO は、DMA コントローラを使用してメモリに格納されたデータで埋められます。

1. カード識別プロセスを行います。
2. SDIO_CK 周波数を上げます。
3. CMD7 を送信することによって、カードを選択します。
4. 次のように DMA2 を設定します。
   a) DMA2 コントローラを有効にして、保留中の割り込みをクリアします。
   b) DMA2_Channel4 ソースアドレスレジスタをメモリ位置のベースアドレスでプログラムします。DMA2_Channel4 転送先アドレスレジスタを SDIO FIFO レジスタアドレスでプログラムします。
   c) DMA2_Channel4 制御レジスタをプログラムします（ペリフェラルでなくメモリインクリメント、ペリフェラルとソース幅はワードサイズ）。
   d) DMA2_Channel4 を有効にします。
5. 次のように、CMD24（WRITE_BLOCK）を送信します。
   a) SDIO データ長レジスタをプログラムします（SDIO データタイマレジスタは、カード識別プロセスの前にすでにプログラムされている必要があります）。
   b) SDIO 引数レジスタに、データが転送されるカードのアドレス位置をプログラムします。
   c) SDIO コマンドレジスタをプログラムします。XCmdIndex を 24（WRITE_BLOCK）に、WaitResp を "1" に（SDIO カードホストはレスポンスを待つ）、CPSMEN を "1" に（SDIO カードホストはコマンドの送信が可能）。他のフィールドはリセット値。
   d) SDIO_STA[6] = CMDREND 割り込みを待ち、SDIO データ制御レジスタをプログラムします。DTEN を "1" に（SDIO カードホストはデータ送信が可能）、DTDIR を "0" に（コントローラからカードへ）、DTMODE を "0" に（ブロックデータ転送）、DMAEN を "1" に（DMA 有効）、DBLOCKSIZE を 0x9 に（512 バイト）。他のフィールドは無視。
   e) SDIO_STA[10] = DBCKEND を待ちます。
6. DMA イネーブルドチャネルステータスレジスタをポーリングして、チャネルがまだ有効にされていないことを確認します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

21.4 カード機能詳細

21.4.1 カード識別モード

カード識別モードでは、ホストはすべてのカードをリセットし、動作電圧範囲を確認し、カードを識別し、バス上の各カードの相対カードアドレス（RCA）をセットします。カード識別モードでは、すべての通信にコマンドライン（CMD）のみが使われます。

21.4.2 カードリセット

GO_IDLE_STATE コマンド（CMD0）は、ソフトウェアリセットコマンドであり、マルチメディアカードと SD メモリをアイドル状態にします。IO_RW_DIRECT コマンド（CMD52）は、SD I/O カードをリセットします。パワーアップまたは CMD0 の後、すべてのカード出力バスドライバはハイインピーダンス状態であり、カードはデフォルトの相対アドレス（RCA=0x0001）とデフォルトのドライバステージレジスタ設定（最低速度、最高駆動電流）で初期化されます。

21.4.3 動作電圧範囲の検証

すべてのカードは、仕様の範囲内の任意の動作電圧で SDIO カードホストと通信できます。サポートされる最小および最大 V_{DD} 値は、カード上の動作条件レジスタ（OCR）で定義されます。

ペイロードメモリにカード識別番号（CID）とカード固有データ（CSD）を格納するカードは、この情報をデータ転送 VDD 条件下でのみ通信することができます。SDIO カードホストモジュールとカードの VDD 範囲に互換性がないときには、カードは識別サイクルを完了できず、CSD データを送信できません。このため、SDIO カードホストに必要な VDD 範囲に一致しないカードを識別して拒否するためのメカニズムとして、特殊なコマンド SEND_OP_COND （CMD1）、SD_APP_OP_COND（SDメモリ用 ACMD41）、および IO_SEND_OP_COND （SD I/O 用 CMD5）が用意されています。SDIO カードホストは、これらのコマンドのオペランドとして、必要な VDD 電圧範囲を送信します。指定された範囲でデータ転送を行えないカードは、バスから切断され、インアクティブ状態になります。

電圧範囲をオペランドとして含めずに、これらのコマンドを使用することによって、SDIO カードホストは各カードへの問い合わせを行い、共通の電圧範囲を判断してから、範囲外のカードをインアクティブにすることができます。この問い合わせは、SDIO カードホストが共通の電圧範囲を選択できるときや、カードが使用不可能であることをユーザに通知する必要があるときに使用されます。

21.4.4 カード識別プロセス

カード識別プロセスは、マルチメディアカードと SD カードで異なります。MultiMediaCard では、識別プロセスは F_{od} クロックレートで開始します。SDIO_CMD ライン出力ドライバは、オープンドレインであり、このプロセス中の並行カード操作が可能です。登録プロセスは、次のように行われます。

1. バスがアクティベートされます。
2. SDIO カードホストは、SEND_OP_COND （CMD1）をブロードキャストして、動作条件を受信します。
3. レスポンスは、すべてのカードからの動作条件レジスタのワイヤード AND 操作です。
4. 互換性のないカードはインアクティブ状態へ移行されます。
5. SDIOカードホストは、すべてのアクティブカードに ALL_SEND_CID（CMD2）をブロードキャストします。
6. アクティブカードは、それぞれの CID 番号をシリアルに同時送信します。発信 CID ビットがコマンドラインのビットと一致しないカードは、転送を停止して、次の識別サイクルを待たなけれ

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ばなりません。1 つのカードが CID 全体を正常に SDIO カードホストに送信すると、識別状態へ移行します。

7. SDIO カードホストは、そのカードに SET_RELATIVE_ADDR（CMD3）を発行します。この新しいアドレスは、相対カードアドレス（RCA）と呼ばれ、CID より短く、カードをアドレス指定します。これを割り当てられたカードはスタンバイ状態へ変化し、その後の識別サイクルに反応せず、出力がオープンドレインからプッシュプルへ切り替ります。
8. SDIO カードホストは、タイムアウト条件を受信するまで、ステップ 5～7 を繰り返します。

SD カードの場合、識別プロセスは F_{od} クロックレートで開始し SDIO_CMD ライン出力ドライバはオープンドレインでなくプッシュプルドライバです。登録プロセスは、次のように行われます。

1. バスがアクティベートされます。
2. SDIO カードホストは SD_APP_OP_COND（ACMD41）をブロードキャストします。
3. カードは、それぞれの動作条件レジスタの内容で応答します。
4. 互換性のないカードは、インアクティブ状態へ移行されます。
5. SDIOカードホストは、すべてのアクティブカードに ALL_SEND_CID（CMD2）をブロードキャストします。
6. カードは、一意なカード識別番号（CID）を送り返して、識別状態に入ります。
7. SDIO カードホストは、アクティブなカードに SET_RELATIVE_ADDR（CMD3）をアドレスを指定して発行します。この新しいアドレスは、相対カードアドレス（RCA）と呼ばれ、CID より短く、カードをアドレス指定します。これを割り当てられたカードは、スタンバイ状態へ変化します。SDIO カードホストは、このコマンドを再発行して、RCA を変更することができます。カードの RCA は、最後に割り当てられた値です。
8. SDIO カードホストは、すべてのアクティブカードについて、ステップ 5～7 を繰り返します。

SD I/O カードの場合、登録プロセス次のように行われます。

1. バスがアクティベートされます。
2. SDIO カードホストは IO_SEND_OP_COND （CMD5）を送信します。
3. カードは、それぞれの動作条件レジスタの内容で応答します。
4. 互換性のないカードは、インアクティブ状態に設定されます。
5. SDIO カードホストは、アクティブなカードに SET_RELATIVE_ADDR（CMD3）をアドレスを指定して発行します。この新しいアドレスは、相対カードアドレス（RCA）と呼ばれ、CID より短く、カードをアドレス指定します。これを割り当てられたカードは、スタンバイ状態へ変化します。SDIO カードホストは、このコマンドを再発行して、RCA を変更することができます。カードの RCA は、最後に割り当てられた値です。

21.4.5 ブロック書き込み

ブロック書き込み（CMD24-27）の間、1 つ以上のブロックデータがホストからカードに転送され、ホストによって各ブロックの終わりに CRC が付加されます。ブロック書き込みをサポートするカードは、WRITE_BL_LEN によって定義されたデータブロックを常に受けとることができます。CRC が失敗した場合、カードは SDIO_D ライン上で失敗を通知し、転送されたデータは破棄されて書き込まれず、それ以降に転送されたブロック（複数ブロック書き込みモード時）はすべて無視されます。

ホストが、累積長がブロック長に合わない部分的なブロックを使用し、ブロックのミスアラインメントが許されない場合（CSD パラメータ WRITE_BLK_MISALIGN がセットされていない）、カードはミスアラインされた最初のブロックでブロックミスアラインメントエラーを検出します。（ステータスレジスタの ADDRESS_ERROR ビットがセットされます）。ホストが書き込み保護されたエリアへの書き込みを試みた場合も、書き込み操作は中止されます。ただし、この場合、カードは WP_VIOLATION ビットをセットします。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

CID および CSD レジスタをプログラムする場合、以前のブロック長設定は不要です。転送データは、CRC 保護されます。CSD または CID レジスタの一部が ROM に格納される場合、この変更禁止部分は、受信バッファの対応する部分と一致しなければなりません。これが一致しない場合、カードはエラーを報告し、レジスタの内容を変更しません。一部のカードでは、ブロックデータの書き込みに時間がかかり、その時間が予測不能なことがあります。ブロックデータの受信と CRC チェックの完了後、カードは書き込みを開始し、書き込みバッファがいっぱいで新しい WRITE_BLOCK コマンドから新しいデータを受けとれない場合には、SDIO_D ラインをローに保ちます。ホストは、いつでも、SEND_STATUS コマンド（CMD13）でカードのステータスをポーリングでき、カードはそれぞれのステータスで応答します。READY_FOR_DATA ステータスビットは、カードが新しいデータを受けとれるかどうか、または書き込み動作がまだ進行中かどうかを示します。ホストは、カードを切断状態にする CMD7 を発行することによってカードを選択解除でき（別のカードを選択するため）、書き込み操作を中断せずに SDIO_D ラインを解放できます。カードを再び選択したとき、プログラミングがまだ続行中であり、書き込みバッファを使用できない場合には、SDIO_D をローに引っぱることによって、ビジー表示を再び有効にします。

21.4.6 ブロック読み出し

ブロック読み出しモードでは、データ転送の基本単位はブロックであり、その最大サイズは CSD（READ_BL_LEN）で定義されます。READ_BL_PARTIAL がセットされた場合、開始アドレスと終了アドレスが 1 つの物理ブロック（READ_BL_LEN で定義）に完全に含まれる小さなブロックを送信することもできます。データの整合性を確保するために、各ブロックの終わりに CRC が付加されます。CMD17（READ_SINGLE_BLOCK）は、ブロック読み出しを開始し、転送完了後、カードは転送状態に戻ります。

CMD18（READ_MULTIPLE_BLOCK）は、複数の連続したブロックの転送を開始します。

ホストは、複数ブロック操作内のいつでも、タイプに関係なく、読み出しを中止できます。トランザクションの中止は、送信停止コマンドを送ることによって行われます。

カードが複数ブロック読み出し操作中にエラー（範囲外、アドレスのミスアラインメント、内部エラーなど）を検出した場合は、データ転送を停止して、データ状態に留まります。その場合、ホストは、送信停止コマンドを送ることによって操作を中止する必要があります。読み出しエラーは、送信停止コマンドに対するレスポンスで通知されます。

カードが、事前定義されたブロック数の複数ブロック操作の最後のブロックを送信した後で、ホストが送信停止コマンドを送信した場合、カードはすでにデータ状態ではないので、無効なコマンドとして応答されます。ホストが、累積長さがブロックのアラインメントでない部分的なブロックを使用し、ブロックのミスアラインメントが許されない場合、カードは最初のミスアラインブロックの始めでブロックミスアラインメントエラー条件を検出します（ステータスレジスタの ADDRESS_ERROR ビットがセットされます）。

21.4.7 ストリームアクセス、ストリーム書き込み、およびストリーム読み出し（マルチメディアカードのみ）

ストリームモードでは、データはバイト単位で転送され、各ブロックの終わりに CRC は付加されません。

ストリーム書き込み（マルチメディアカードのみ）

WRITE_DAT_UNTIL_STOP （CMD20）は、SDIO カードホストからカードへのデータ転送を、指定されたアドレスから 開始し、SDIO カードホストが停止コマンドを発行するまで続けます。部分的なブロックが許される場合（CSD パラメータ WRITE_BL_PARTIAL がセットされている）、データストリームはカードアドレス空間内の任意のアドレスで開始と停止ができます。そうでない場合は、ブロック境界でのみ開始と停止ができます。転送データ量を事前に決めることができないので、CRC は

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

使用できません。データ転送中にメモリ範囲の終わりに達し、SD カードホストから停止コマンドが送信されなかった場合、その後に転送されたデータは破棄されます。

ストリーム書き込み操作の最大クロック周波数は、カード固有データレジスタの次の式フィールドで与えられます。

$$\text{Maximumspeed} = \text{MIN}\left(\text{TRANSPEED}, \frac{(8 \times 2^{\text{writebllen}})\ (-\text{NSAC})}{\text{TAAC} \times \text{R2WFACTOR}}\right)$$

- Maximumspeed = 書き込み最大周波数
- TRANSPEED = データ転送最大速度
- writebllen = 書き込みデータブロック最大長
- NSAC = データ読み出しアクセス時間 2（CLK サイクル数）
- TAAC = データ読み出しアクセス時間 1
- R2WFACTOR = 書き込み速度係数

ホストがより高い周波数の使用を試みた場合、カードはデータを処理できずにプログラミングを停止し、ステータスレジスタの OVERRUN エラービッをセットします。それ以降のデータ転送を無視して、停止コマンドを待ちます（データ受信状態で）。ホストが書き込み保護領域への書き込みを試みた場合も、書き込み操作は中止されます。ただし、この場合、カードは WP_VIOLATION ビットをセットします。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ストリーム読み出し（マルチメディアカードのみ）

READ_DAT_UNTIL_STOP（CMD11）は、ストリーム指向のデータ転送を制御します。

このコマンドは、SDIO カードホストが STOP_TRANSMISSION （CMD12）を送るまで、指定されたアドレスからデータを送信するようにカードに指示します。停止コマンドには、シリアルコマンド送信による実行の遅延があり、データ転送は停止コマンドの終了ビット後に停止します。データの送信中にメモリ範囲の終わりに達し、SDIO カードホストによって停止コマンドが送信されなかったときには、その後に送信されたデータは未定義とみなされます。

ストリーム読み出し操作の最大クロック周波数は、カード固有データレジスタの次の式および使用フィールドによって与えられます。

$$\text{Maximumspeed} = \text{MIN}\left(\text{TRANSPEED}, \frac{(8 \times 2^{\text{readbllen}})\,(-\text{NSAC})}{\text{TAAC} \times \text{R2WFACTOR}}\right)$$

- Maximumspeed = 読み出し最大周波数
- TRANSPEED = データ転送最大速度
- readbllen = 読み出しデータブロック最大長
- writebllen = 書き込みデータブロック最大長
- NSAC = データ読み出しアクセス時間 2（CLK サイクル数）
- TAAC = データ読み出しアクセス時間 1
- R2WFACTOR = 書き込み速度係数

ホストがより高い周波数の使用を試みた場合、カードはデータ転送を維持できません。これが発生した場合、カードはステータスレジスタの UNDERRUN エラービットをセットし、送信を中止し、データ状態で停止コマンドを待ちます。

21.4.8 消去：グループ消去とセクタ消去

マルチメディアカードの消去可能単位は、消去グループです。消去グループは、カードの基本的な書き込み単位である書き込みブロックで決定されます。消去グループのサイズは、カード固有のパラメータであり、CSD で定義されます。

ホストは、連続した範囲の消去グループを消去できます。消去プロセスの開始は、3 ステップの手順です。

まず、ホストは、ERASE_GROUP_START（CMD35）コマンドを使用して、範囲の開始アドレスを定義し、次に、ERASE_GROUP_END（CMD36）コマンドを使用して、範囲の最後のアドレスを定義し、最後に、ERASE（CMD38）コマンドを発行して、消去プロセスを開始します。消去コマンドのアドレスフィールドは、バイト単位の消去グループアドレスです。カードは、消去グループサイズ未満のすべての LSB を無視して、効果的にアドレスを消去グループの境界に合わせます。

消去コマンドが誤った順序で受信された場合、カードはステータスレジスタの ERASE_SEQ_ERROR ビットをセットして、シーケンス全体をリセットします。

シーケンス外（SEND_STATUS を除き、どちらの消去コマンドでもない）のコマンドを受信した場合、カードはステータスレジスタの ERASE_RESET ビットをセットして、消去シーケンスをリセットし、最後のコマンドを実行します。

消去範囲に書き込み保護ブロックが含まれる場合、それらのブロックは消去されず、保護されていないブロックだけが消去されます。ステータスレジスタの WP_ERASE_SKIP ビットがセットされます。

カードは、SDIO_D をローに保持することによって、消去が進行中であることを示します。実際の消去時間はかなり長く、ホストは CMD7 を発行して、カードを選択解除できます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

21.4.9 ワイドバス選択または選択解除

ワイドバス（4 ビットバス幅）操作は、SET_BUS_WIDTH（ACMD6）を使用して選択または選択解除されます。パワーアップ後または GO_IDLE_STATE （CMD0）後のデフォルトのバス幅は、1 ビットです。SET_BUS_WIDTH（ACMD6）は、転送状態でのみ有効です。すなわち、バス幅を変更できるのは、カードが SELECT/DESELECT_CARD（CMD7）によって選択された後だけです。

21.4.10 保護管理

SDIO カードホストモジュールでは、カードのための 3 つの書き込み保護方法がサポートされています。

1. 内部カード書き込み保護（カード側の責任）
2. 機械的書き込み保護スイッチ（SDIO カードホストモジュール側のみの責任）
3. パスワード保護カードロック操作

内部カード書き込み保護

カードデータは、書き込みや消去から保護することができます。CSD の永久的または一時的書き込み保護ビットをセットすることによって、製造業者やコンテンツプロバイダからカード全体を永久的に保護することができます。セクタのグループの書き込み保護をサポートするカードの場合、CSD の WP_GRP_ENABLE ビットをセットすることで、データの一部を保護することができ、書き込み保護はアプリケーションによって変更できます。書き込み保護は、CSD で指定された WP_GRP_SIZE セクタ単位です。SET_WRITE_PROT および CLR_WRITE_PROT コマンドは、アドレス指定されたグループの保護を制御します。SEND_WRITE_PROT コマンドは、1 ブロックの読み出しコマンドと似ています。カードは、32 の書き込み保護ビット（指定されたアドレスから始まる 32 の書き込み保護グループを表す）に続いて 16 の CRC ビットを含むデータブロックを送信します。書き込み保護コマンドのアドレスフィールドは、バイト単位のグループアドレスです。

カードは、グループサイズ未満のすべての LSB を無視します。

機械的書き込み保護スイッチ

カードの横にある機械的なスライドタブによって、カードの書き込み保護をセット/クリアできます。スライドタブが開位置にあるときには、カードは書き込み保護され、閉位置にあるときには、カードの内容を変更できます。ソケット側の対応するスイッチは、カードが書き込み保護されていることを SDIO カードホストモジュールに示します。SDIO カードホストモジュールは、カードを保護する責任があります。書き込み保護スイッチの位置は、カードの内部回路にはわかりません。

パスワード保護

パスワード保護機能によって、SDIO カードホストモジュールはカードをパスワードでロック/アンロックできます。パスワードは 128 ビットの PWD レジスタに格納され、そのサイズは 8 ビットの PWD_LEN レジスタで設定されます。これらのレジスタは不揮発性なので、パワーサイクルでは消去されません。ロックされたカードは、特定のコマンドに応答し、実行します。すなわち、SDIO カードホストモジュールは、リセット、初期化、選択、およびステータスの問い合わせを行うことができますが、カード上のデータにアクセスすることはできません。パスワードが設定されると（PWD_LEN の非ゼロの値によって示される）、カードはパワーアップ後に自動的にロックされます。CSD および CID レジスタの書き込みコマンドと同様、ロック/アンロックコマンドは転送状態でのみ使用できます。この状態では、コマンドはアドレス引数を含まず、カードを使用する前にカードを選択しなければなりません。カードロック/アンロックコマンドは、通常の 1 ブロック書き込みコマンドと同じ構造とバストランザクションタイプを持ちます。転送されるデータブロックは、コマンドに必要なすべての情報（パスワード設定モード、PWD そのもの、およびカードロック/アンロック）を含みます。コマンドデータブロックサイズは、カードロック/アンロックコマンドを送信する前に、SDIO カードホストモジュールによって定義され、*表 156* に示されている構造を持ちます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット設定は、次のとおりです。

- ERASE：セットすると、強制的に消去操作が行われます。他のすべてのビットはゼロでなければならず、コマンドバイトだけが送信されます。
- LOCK_UNLOCK：セットすると、カードをロックします。LOCK_UNLOCK は、SET_PWD と同時にセットできますが、CLR_PWD とは同時にセットできません。
- CLR_PWD：セットすると、パスワードデータをクリアします。
- SET_PWD：セットすると、パスワードデータをメモリに保存します。
- PWD_LEN：パスワードの長さ（バイト数）を定義します。
- PWD：パスワード（コマンドに応じて、新しいパスワードまたは現在使用中のパスワード）

以下のセクションでは、パスワードのセット/リセット、カードのロック/アンロック、および強制消去のコマンドシーケンスを説明します。

パスワードの設定

1. まだ選択されていない場合は、カードを選択します（SELECT/DESELECT_CARD、CMD7）。
2. 送信するブロック長（SET_BLOCKLEN、CMD16）を定義します。8 ビットのカードロック/アンロックモード、8 ビットの PWD_LEN、および新しいパスワードのバイト数によって定義されますパスワードの書き換えが行われるときには、古いパスワードと新しいパスワードの両方がコマンドとともに送信されることを考慮したブロックサイズでなければなりません。
3. 16 ビット のCRC を含めた、データライン上の適切なデータブロックサイズとともに LOCK/UNLOCK（CMD42）を送信します。データブロックは、モード（SET_PWD= 1）、パスワード長（PWD_LEN）、およびパスワード（PWD）そのものを示します。パスワードの書き換えが完了すると、パスワード長（PWD_LEN）には、古いパスワードと新しいパスワードの両方が含まれ、PWD フィールドには、古いパスード（現在使用中）の後に新しいパスワードが続きます。
4. パスワードが一致すると、新しいパスワードとそのサイズが、それぞれ PWD と PWD_LEN に保存されます。送信された古いパスワードが予期されたパスワードと一致しない（サイズまたは内容）ときには、カードステータスレジスタの LOCK_UNLOCK_FAILED ビットがセットされ、パスワードは変更されません。

パスワード長（PWD_LEN）は、パスワードが現在設定されているかどうかを示します。このフィールドがゼロ以外のときには、パスワードが設定されていて、カードはパワーアップ後に自身をロックします。LOCK_UNLOCK ビットをセットするか（パスワードの設定時に）、カードをロックするための追加のコマンドを送信することによって、現在のパワーセッションでただちにカードをロックすることが可能です。

パスワードのリセット

1. まだ選択されていない場合は、カードを選択します（SELECT/DESELECT_CARD、CMD7）。
2. 送信するブロック長（SET_BLOCKLEN、CMD16）を定義します。8 ビットのカードロック/アンロックモード、8 ビットの PWD_LEN、および現在使用中のパスワードのバイト数によって定義されます。
3. 16 ビット のCRC を含めた、データライン上の適切なデータブロックサイズとともに LOCK/UNLOCK（CMD42）を送信します。データブロックは、モード（CLR_PWD=1）、パスワード長（PWD_LEN）、およびパスワード（PWD）そのものを示します。LOCK_UNLOCK ビットは無視されます。
4. パスワードが一致すると、PWD フィールドはクリアされ、PWD_LEN は 0 にセットされます。送信されたパスワードが予期されたパスワードと一致しないときには（サイズまたは内容）、カードステータスレジスタの LOCK_UNLOCK_FAILED エラーットがセットされ、パスワードは変更されません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

カードのロック

1. まだ選択されていない場合は、カードを選択します（SELECT/DESELECT_CARD、CMD7）。
2. 送信するブロック長（SET_BLOCKLEN、CMD16）を定義します。8 ビットのカードロック/アンロックモード（*表 156* のバイト 0）、8 ビットの PWD_LEN、および現在のパスワードのバイト数で定義されます。
3. 16 ビット のCRC を含めた、データライン上の適切なデータブロックサイズとともに LOCK/UNLOCK（CMD42）を送信します。データブロックは、モード（LOCK_UNLOCK = 1）、パスワード長（PWD_LEN）、およびパスワード（PWD）そのものを示します。
4. パスワードが一致すると、カードはロックされ、カードステータスレジスタの CARD_IS_LOCKED ビットがセットされます。送信されたパスワードが予期されたパスワードと一致しないときには（サイズまたは内容）、カードステータスレジスタの LOCK_UNLOCK_FAILED エラービットがセットされ、ロックは失敗します。

パスワードの設定とカードのロックを同じシーケンスで行うことが可能です。この場合、SDIO カードホストモジュールは、パスワードの設定に必要なすべてのステップを実行します（*パスワードの設定（550 ページ）*を参照）。ただし、新しいパスワードコマンドを送信するときには、ステップ 3 で LOCK_UNLOCK ビットをセットする必要があります。

パスワードが以前に設定されているときには（PWD_LEN が 0 でない）、カードはパワーオンリセット後に自動的にロックされます。ロックされたカードをロックしようとしたり、パスワードが設定されていないカードをロックしようとすると、カードステータスレジスタの LOCK_UNLOCK_FAILED エラービットがセットされます。

カードのアンロック

1. まだ選択されていない場合は、カードを選択します（SELECT/DESELECT_CARD、CMD7）。
2. 送信するブロック長（SET_BLOCKLEN、CMD16）を定義します。8 ビットのカードロック/アンロックモード（*表 156* のバイト 0）、8 ビットの PWD_LEN、および現在のパスワードのバイト数によって定義されます。
3. 16 ビット のCRC を含めた、データライン上の適切なデータブロックサイズとともに LOCK/UNLOCK（CMD42）を送信します。データブロックは、モード（LOCK_UNLOCK = 0）、長さ（PWD_LEN）、およびパスワード（PWD）そのものを示します。
4. パスワードが一致すると、カードはアンロックされ、カードステータスレジスタの CARD_IS_LOCKED ステータスビットがクリアされます。送信されたパスワードのサイズまたは内容が、予期されたパスワードと一致しないときには、カードステータスレジスタの LOCK_UNLOCK_FAILED エラービットがセットされ、カードはロックされたままです。

アンロック機能は、現在のパワーセッションでのみ有効です。PWD フィールドがクリアされていないときには、カードは次のパワーアップで自動的にロックされます。

アンロックされたカードをアンロックしようとすると、アンロックは失敗し、カードステータスレジスタの LOCK_UNLOCK_FAILED エラービットがセットされます。

強制消去

ユーザがパスワード（PWD の内容）を忘れた場合は、カード上のすべてのデータをクリアした後で、カードにアクセスすることができます。この強制消去操作では、すべてのカードデータとすべてのパスワードデータが消去されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

1. まだ選択されていない場合は、カードを選択します（SELECT/DESELECT_CARD、CMD7）。
2. ブロック長 （SET_BLOCKLEN、CMD16）を 1 バイトに設定します。8 ビットのカードロック/アンロックバイト（*表 156* のバイト 0）だけが送信されます。
3. 16 ビット のCRC を含めた、データライン上の適切なデータバイトとともに LOCK/UNLOCK（CMD42）を送信します。データブロックは、モード（ERASE = 1）を示します。他のすべてのビットはゼロでなければなりません。
4. ERASE ビットがデータフィールドでセットされた唯一のビットであるときには、PWD および PWD_LEN フィールドを含めて、すべてのカード内容が消去され、カードのロックは解除されます。他にもセットされているビットがあるときには、カードステータスレジスタの LOCK_UNLOCK_FAILED エラービットがセットされ、カードはすべてのデータを保持し、ロックされたままとなります。

アンロックされたカードを強制消去しようすると、カードステータスレジスタの LOCK_UNLOCK_FAILED エラービットがセットされます。

21.4.11 カードステータスレジスタ

レスポンスフォーマット R1 には、カードステータスと呼ばれる 32 ビットのフィールドがあります。このフィールドは、カードステータス情報（ローカルステータスレジスタに格納できます）をホストに送信するためのものです。特に記載がない限り、ステータスエントリは、常に、以前に発行されたコマンドに関連します。

表 143 に、さまざまなステータスエントリを示します。表中のタイプおよびクリア条件フィールドは、次のように略記されます。

タイプ：

- E：エラービット
- S：ステータスビット
- R：実際のコマンドレスポンスのために検出され、セットされます。
- X：コマンド実行中に検出され、セットされます。SDIO カードホストは、ステータスコマンドを発行することによってカードにポーリングして、これらのビットを読み出さなければなりません。

クリア条件：

- A：カードの現在の状態に応じて。
- B：常に前のコマンドに関連して。有効なコマンドを受信すると、クリアされます（1 コマンドの遅延で）。
- C：読み出しによってクリアされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表143. カードステータス

ビット	識別子	タイプ	値	説明	クリア条件
31	ADDRESS_ OUT_OF_RANGE	E R X	"0"= エラーなし "1"= エラー	コマンドアドレス引数が、このカードの許容範囲を超えています。 複数ブロックまたはストリーム読み出し/書き込み操作が、(有効なアドレスから開始していますが）カード容量を超える読み込みまたは書き込みを試みました。	C
30	ADDRESS_MISALIGN		"0"= エラーなし "1"= エラー	コマンドアドレス引数（現在設定されているブロック長に従って）が指している最初のデータブロックは、カードの物理ブロックに揃っていません。 複数ブロック読み出し/書き込み操作は、（有効なアドレスから開始していますが）カードの物理ブロックに揃っていないデータブロックの読み出しまたは書き込みを試みています。	C
29	BLOCK_LEN_ERROR		"0"= エラーなし "1"= エラー	SET_BLOCKLEN コマンドの引数がカードの許容する最大値を超えているか、以前に定義されたブロック長が現在のコマンドに対して無効です（ホストが書き込みコマンドを発行し、現在のブロック長がカードの許容する最大値より小さく、部分的なブロックの書き込みが許されない場合など)。	C
28	ERASE_SEQ_ERROR		"0"= エラーなし "1"= エラー	消去コマンドのシーケンス中にエラーが発生しました。	C
27	ERASE_PARAM	E X	"0"= エラーなし "1"= エラー	消去に対して無効な消去グループの選択が発生しました。	C
26	WP_VIOLATION	E X	"0"= エラーなし "1"= エラー	書き込み保護されたブロックをプログラムしようとしました。	C
25	CARD_IS_LOCKED	S R	"0" = カードはアンロック "1" = カードはロック	セットされると、カードがホストによってロックされたことを示します。	A
24	LOCK_UNLOCK_ FAILED	E X	"0"= エラーなし "1"= エラー	ロック/アンロックコマンドでシーケンスエラーまたはパスワードエラーが発生したときにセットされます。	C
23	COM_CRC_ERROR	E R	"0"= エラーなし "1"= エラー	直前のコマンドの CRC チェックが失敗しました。	B
22	ILLEGAL_COMMAND	E R	"0"= エラーなし "1"= エラー	カードの状態に対して無効なコマンドです。	B
21	CARD_ECC_FAILED	E X	"0"= 成功 "1"= 失敗	カードの内部 ECC が適用されましたが、データの訂正に失敗しました。	C
20	CC_ERROR	E R	"0"= エラーなし "1"= エラー	(標準では定義されていません)ホストコマンドに関係ないカードエラーが発生しました。	C
19	ERROR	E X	"0"= エラーなし "1"= エラー	(標準では定義されていません)最後のホストコマンドの実行に関係した一般カードエラーが検出されました（読み出しまたは書き込みの失敗など)。	C
18	予約済み				
17	予約済み				

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表143. カードステータス（続き）

ビット	識別子	タイプ	値	説明	クリア条件
16	CID/CSD_OVERWRITE	E X	"0"= エラーなし "1"= エラー	次のいずれかのエラーです。 – CID レジスタはすでに書き込まれていて、上書きできません。 – CSD の読み出し専用セクションがカードの内容と一致しません。 – コピーを元に戻す試み、または永久的な WP ビットを元に戻す（保護しない）試みが行われました。	C
15	WP_ERASE_SKIP	E X	"0"= 保護されていません "1"= 保護されています	既存の書き込みが理由で、部分的なアドレス空間だけが消去されたときにセットされます。	C
14	CARD_ECC_DISABLED	S X	"0"= 有効 "1"= 無効	内部 ECC を使用せずに、コマンドが実行されました。	A
13	ERASE_RESET		"0"= クリア "1"= セット	誤った順序の消去コマンド（CMD35、CMD36、CMD38、または CMD13 以外の）が受信されたので、実行前に消去シーケンスがクリアされました。	C
12:9	CURRENT_STATE	S R	0 = Idle 1 = Ready 2 = Ident 3 = Stby 4 = Tran 5 = Data 6 = Rcv 7 = Prg 8 = Dis 9 = Btst 10-15 = 予約済み	コマンドを受信したときのカードの状態。コマンドの実行によってカードの状態が変化する場合、次のコマンドのレスポンスで、ホストに状態が通知されます。この 4 ビットは、2 進数で 0 から 15 までの数として解釈されます。	B
8	READY_FOR_DATA	S R	"0"= レディでない "1"= レディ	バス上のバッファエンプティ信号に対応します。	
7	SWITCH_ERROR	E X	"0"= エラーなし "1"= スイッチエラー	セットされた場合、カードは SWICTH コマンドで要求された期待されたモードに切り替わりませんでした。	B
6	予約済み				
5	APP_CMD	S R	"0"= 無効 "1"= 有効	カードは ACMD を予期しているか、コマンドが ACMD として解釈されたことを示します。	C
4	SD I/O カード用に予約済み				
3	AKE_SEQ_ERROR	E R	"0"= エラーなし "1"= エラー	認証プロセスのシーケンスにエラーがあります。	C
2	アプリケーション固有のコマンド用に予約済み。				
1	製造業者のテストモード用に予約済み。				
0					

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

21.4.12 SD ステータスレジスタ

SD ステータスは、SD メモリカード独自の機能に関連するステータスビットを含み、将来のアプリケーション固有の用途で使用できます。SD ステータスのサイズは、512 ビットのデータブロックです。このレジスタの内容は、ACMD13 が送信された場合に（CMD55 に続いて CMD13）、SDIO カードホストに送信されます。ACMD13 は、転送状態のカード（カードが選択されている）にのみ送信できます。

表 144 に、SD ステータスレジスタのさまざまなエントリを示します。表中のタイプおよびクリア条件フィールドは、次のように略記されます。

タイプ：

- E：エラービット
- S：ステータスビット
- R：実際のコマンドレスポンスのために検出され、セットされます。
- X：コマンド実行中に検出され、セットされます。SDIO カードホストは、ステータスコマンドを発行することによってカードにポーリングして、これらのビットを読み出さなければなりません。

クリア条件：

- A：カードの現在の状態に応じて。
- B：常に前のコマンドに関連して。有効なコマンドを受信すると、クリアされます（1 コマンドの遅延で）。
- C：読み出しによってクリアされます。

表144. SD ステータス

ビット	識別子	タイプ	値	説明	クリア条件
511：510	DAT_BUS_WIDTH	S R	"00"= 1（デフォルト） "01"= 予約済み "10"= 4 ビット幅 "11"= 予約済み	SET_BUS_WIDTH コマンドによって定義された、現在定義されているバス幅を示します。	A
509	SECURED_MODE	S R	"0"= セキュアモードではありません。 "1"= セキュアモードです。	カードはセキュア操作モードです（「SD セキュリティ仕様」を参照）。	A
508：496	予約済み				
495：480	SD_CARD_TYPE	S R	"00xxh"= 物理仕様 Ver1.01-2.00 で定義された SD メモリカード（"x"= don't care）現在定義されているカードは、次のとおりです。 "0000"= 通常の SD RD/WR カード "0001"= SD ROM カード	将来は、8 つの LSB を使用して、さまざまな種類の SD メモリカードを定義する予定です（各ビットが異なる SD タイプを定義します）。8 つの MSB は、現在の SD 物理レイヤ仕様に準拠しない SD カードを定義するために使用されます。	A

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表144. SD ステータス（続き）

ビット	識別子	タイプ	値	説明	クリア条件
479：448	SIZE_OF_PROTECTED_AREA	S R	保護領域のサイズ（下記を参照）	（下記を参照）	A
447：440	SPEED_CLASS	S R	カードの速度クラス （下記を参照）	（下記を参照）	A
439：432	PERFORMANCE_MOVE	S R	1 [MB/s] 単位で示される移動性能（下記を参照）	（下記を参照）	A
431:428	AU_SIZE	S R	AU のサイズ（下記を参照）（下記を参照）	（下記を参照）	A
427:424	予約済み				
423:408	ERASE_SIZE	S R	一度に消去される AU の数	（下記を参照）	A
407:402	ERASE_TIMEOUT	S R	UNIT_OF_ERASE_AU で指定された領域を消去する際のタイムアウト値	（下記を参照）	A
401:400	ERASE_OFFSET	S R	消去時間に追加される固定オフセット値	（下記を参照）	A
399:312	予約済み				
311:0	製造業者のために予約済み。				

SIZE_OF_PROTECTED_AREA

このフィールドの設定は、標準カードと大容量カードで異なります。標準容量のカードでは、保護領域の容量は次のように計算されます。

保護領域= SIZE_OF_PROTECTED_AREA_* MULT * BLOCK_LEN

SIZE_OF_PROTECTED_AREAは、MULT*BLOCK_LEN 単位で指定されます。

大容量のカードでは、保護領域の容量は、このフィールドで指定されます。

保護領域= SIZE_OF_PROTECTED_AREA

SIZE_OF_PROTECTED_AREA は、バイト単位で指定されます。

SPEED_CLASS

この 8 ビットフィールドは速度クラスを示し、値は、$P_W/2$ で求めることができます（P_W は書き込み性能）。

表145. 速度クラスコードフィールド

SPEED_CLASS	値の定義
00h	クラス 0
01h	クラス 2
02h	クラス 4
03h	クラス 6
04h – FFh	予約済み

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

PERFORMANCE_MOVE

この 8 ビットフィールドは、Pm（移動パフォーマンス）を示し、値は、1 [MB/sec] 単位で設定できます。カードが使用済みの RU（記録ユニット）を移動しない場合、Pm は無限とみなす必要があります。このフィールドを FFh にセットすると、無限を意味します。

表146. 移動パフォーマンスフィールド

PERFORMANCE_MOVE	値の定義
00h	定義されません。
01h	1 [MB/sec]
02h	2 [MB/sec]
---------	---------
FEh	254 [MB/sec]
FFh	無限

AU_SIZE

この 4 ビットフィールドは、AU サイズを示し、値は、16 KB から 2 の累乗単位で選択できます。

表147. AU_SIZE フィールド

AU_SIZE	値の定義
00h	定義されません。
01h	16 KB
02h	32 KB
03h	64 KB
04h	128 KB
05h	256 KB
06h	512 KB
07h	1 MB
08h	2 MB
09h	4 MB
Ah – Fh	予約済み

最大 AU サイズは、カード容量に依存し、*表 148* に示されています。カードは、RU サイズと最大 AU サイズの間の任意の AU サイズに設定できます。

表148. 最大 AU サイズ

容量	16 MB-64 MB	128 MB-256 MB	512 MB	1 GB-32 GB
最大 AU サイズ	512 KB	1 MB	2 MB	4 MB

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ERASE_SIZE

この 16 ビットフィールドは、NERASE を示します。AU の NERASE 数が消去されるとき、タイムアウト値は ERASE_TIMEOUT によって指定されます（*ERASE_TIMEOUT* を参照）。ホストは、1 回の操作で消去される正しい AU の数を決定する必要があります。それにより、ホストは消去操作の進捗状況を表示することができます。このフィールドが 0 にセットされた場合、消去タイムアウト計算はサポートされません。

表149. 消去サイズフィールド

ERASE_SIZE	値の定義
0000h	消去タイムアウトの計算はサポートされません。
0001h	1 AU
0002h	2 AU
0003h	3 AU
---------	---------
FFFFh	65535 AU

ERASE_TIMEOUT

この 6 ビットフィールドは、TERASE を示し、値は、ERASE_SIZE によって指定された複数の AU が消去されるときのオフセットからの消去タイムアウトを示します。ERASE_TIMEOUT の範囲は、63 秒までの間で定義でき、カード製造業者は実装に応じて、ERASE_SIZE と ERASE_TIMEOUT の任意の組み合わせを選ぶことができます。ERASE_TIMEOUT を決めると、ERASE_SIZE が決まります。

表150. 消去タイムアウトフィールド

ERASE_TIMEOUT	値の定義
00	消去タイムアウトの計算はサポートされません。
01	1 [sec]
02	2 [sec]
03	3 [sec]
---------	---------
63	63 [sec]

ERASE_OFFSET

この 2 ビットフィールドは、TOFFSET を示し、4 つの値から 1 つを選択できます。このフィールドは、ERASE_SIZE および ERASE_TIMEOUT フィールドが 0 にセットされている場合は意味を持ちません。

表151. 消去オフセットフィールド

ERASE_OFFSET	値の定義
0h	0 [sec]
1h	1 [sec]
2h	2 [sec]
3h	3 [sec]

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

21.4.13 SD I/O モード

SD I/O 割り込み

SD I/O カードから マルチメディアカード/SD モジュールへの割り込みを可能にするために、SD インタフェースのピンに割り込み機能が用意されています。ピン 8 は、4 ビット SD モードで動作するときに SDIO_D1 として使用され、マルチメディアカード/SD モジュールへのカード割り込みを示します。割り込みの使用は、各カードまたはカード内の各機能にとってオプションです。SD I/O 割り込みはレベル対応です。すなわち、割り込みラインは、マルチメディアカード/SD モジュールによって認識され、割り込みが処理されるか、割り込み期間の終了によってネゲートされるまで、アクティブ（ロー）に保たれる必要があります。マルチメディアカード/SD モジュールが割り込み処理を終えた後、割り込みステータスビットは、SD I/O カードの内部レジスタの該当するビットへの I/O 書き込みによってクリアされます。すべての SD I/O カードの割り込み出力はアクティブローであり、マルチメディアカード/SD モジュールは、すべてのデータライン（SDIO_D[3:0]）上にプルアップ抵抗を提供します。マルチメディアカード/SD モジュールは、割り込み期間に限って、割り込み検出器にピン 8（SDIO_D/IRQ）のレベルをサンプリングします。その他の状況では、マルチメディアカード/SD モジュールはこの値を無視します。

割り込み期間は、メモリと I/O の両方の操作に適用されます。単一ブロックの操作の割り込み期間の定義は、複数ブロックのデータ転送の定義と異なります。

SD I/O のサスペンドとレジューム

マルチファンクション SD I/O または I/O とメモリの両方の機能を持つカードでは、MMC/SD バスへのアクセスを共有する複数のデバイス（I/O とメモリがあります。複数デバイス間で MMC/SD モジュールへのアクセスを共有するために、SD I/O およびコンボカードはサスペンド/レジュームの概念をオプションで実装します。カードがサスペンド/レジュームをサポートするときには、MMC/SD モジュールは 1 つの機能またはメモリへのデータ転送を一時的に中止（サスペンド）して、別の機能またはメモリへの、より優先順位の高い転送のためにバスを解放することができます。この優先順位の高い転送が完了した後、本来の転送が、中止された箇所からリスタートされます。サスペンド/レジュームのサポートは、カードごとのオプションです。MMC/SD バス上でサスペンド/レジューム操作を行うには、MMC/SD モジュールは以下の手順を実行します。

1. SDIO_D [3:0] ラインを現在使用している機能を特定します。
2. 優先順位が低いトランザクションや時間のかかるトランザクションをサスペンドするように要求します。
3. トランザクションのサスペンドの完了を待ちます。
4. 優先順位の高いトランザクションを開始します。
5. 優先順位の高いトランザクションの完了を待ちます。
6. サスペンドされたトランザクションをリストアします。

SD I/O ReadWait

オプションの ReadWait（RW）操作は、SD の 1 ビットおよび 4 ビットモードについてのみ定義されます。ReadWait 操作によって、MMC/SD モジュールは、複数のレジスタを読み出していることをカードに知らせて（IO_RW_EXTENDED、CMD53）、データ転送を一時的にストールし、その間に MMC/SD モジュールは SD I/O デバイス内の機能にコマンドを送信することができます。カードが ReadWait プロトコルをサポートしているかどうかを判断するには、MMC/SD モジュールは内部カードレジスタの機能ビットをテストする必要があります。ReadWait のタイミングは、割り込み期間に基づきます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

21.4.14 コマンドとレスポンス

アプリケーション固有コマンドと汎用コマンド

SD カードホストモジュールは、さまざまな種類のアプリケーションに標準インタフェースを提供するように設計されています。この環境では、特定の顧客/アプリケーション機能に対するニーズがあります。これらの機能を実装するために、この標準では 2 種類のコマンドが定義されています。すなわち、アプリケーション固有コマンド（ACMD）と汎用コマンド（GEN_CMD）です。

カードが APP_CMD（CMD55）コマンドを受信すると、カードは次のコマンドがアプリケーション固有コマンドであることを期待します。ACMDは、通常のマルチメディアカードコマンドと同じ構造であり、同じ CMD 番号にすることができます。カードは、APP_CMD（CMD55）の後に現れたコマンドを ACMD として認識します。APP_CMD（CMD55）のすぐ後に続くコマンドが定義済みのアプリケーション固有コマンドでないときには、標準コマンドが使用されます。たとえば、カードで SD_STATUS（ACMD13）が定義されているときには、APP_CMD（CMD55）の直後に CMD13 を受信すると、これは SD_STATUS （ACMD13）であると解釈されます。ただし、カードが APP_CMD（CMD55）の直後に CMD7 を受信し、カードで ACMD7 が定義されていないときには、これは標準（SELECT/DESELECT_CARD）CMD7 であると解釈されます。

1つの製造業者固有の ACMD を使用するには、SD カードホストは、以下の手順を実行する必要があります。

1. APP_CMD（CMD55）を送信します。
   カードは、マルチメディアカード/SD モジュールに応答して、APP_CMD ビットがセットされていることと、ACMD が予期されていることを示します。
2. 必要な ACMD を送信します。
   カードは、マルチメディアカード/SD モジュールに応答して、APP_CMD ビットがセットされていることと、受け取ったコマンドが ACMD として解釈されたことを示します。ACMD でないコマンドが送信されたときには、カードは通常のマルチメディアカードコマンドとして扱い、カードステータスレジスタの APP_CMD ビットはクリアされたままとなります。

無効なコマンド（ACMD でも CMD でもない）が送信されたときには、標準の マルチメディアカード違反コマンドエラーとして処理されます。

GEN_CMD のバストランザクションは、単一ブロックの読み出しまたは書き込みコマンド（WRITE_BLOCK、CMD24、または READ_SINGLE_BLOCK、CMD17）と同じです。この場合、引数は、アドレスではなく、データ転送の方向を示し、データブロックはベンダ固有のフォーマットと意味を持ちます。

カードは、GEN_CMD（CMD56）を送信する前に選択されなければなりません（転送状態でなければなりません）。データブロックサイズは、SET_BLOCKLEN（CMD16）によって定義されます。GEN_CMD（CMD56）へのレスポンスは、R1b フォーマットです。

コマンドタイプ

アプリケーション固有コマンドと汎用コマンドは、どちらも、次の 4 つのタイプに分類されます。

- **ブロードキャストコマンド（BC）**: すべてのカードに送信されます。レスポンスは返されません。
- **レスポンス付きブロードキャストコマンド（BCR）**: すべてのカードに送信されます。レスポンスは、すべてのカードから同時に受信します。
- **アドレス指定（ポイントツーポイント）コマンド（AC）**: 選択されたカードに送信されます。SDIO_D ライン上のデータ転送を含みません。
- **アドレス指定（ポイントツーポイント）データ転送コマンド （ADTC）**: 選択されたカードに送信されます。SDIO_D ライン上のデータ転送を含みます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

コマンドフォーマット

コマンドフォーマットについては、*表 136（537 ページ）*を参照してください。

マルチメディアカード/SD モジュール用コマンド

表152. ブロック指向書き込みコマンド

CMD インデックス	タイプ	引数	レスポンス フォーマット	略記	説明
CMD23	ac	[31:16] 0 にセット [15:0] ブロック数	R1	SET_BLOCK_COUNT	続く複数ブロック読み出しまたは書き込みコマンドで転送されるブロック数を定義します。
CMD24	adtc	[31:0] データアドレス	R1	WRITE_BLOCK	SET_BLOCKLEN コマンドによって選択されたサイズのブロックを書き込みます。
CMD25	adtc	[31:0] データアドレス	R1	WRITE_MULTIPLE_BLOCK	続く STOP_TRANSMISSION まで、または、要求されたブロック数が受信されるまで、データのブロックを書き込み続けます。
CMD26	adtc	[31:0] スタッフビット	R1	PROGRAM_CID	カード識別レジスタのプログラミング。このコマンドは、1 つのカードにつき一度だけ発行しなければなりません。カードは、最初のプログラミングの後、この操作を防ぐためのハードウェアを含んでいます。通常、このコマンドは製造業者用に予約済みです。
CMD27	adtc	[31:0] スタッフビット	R1	PROGRAM_CSD	CSD のプログラマブルビットのプログラミング。

表153. ブロック指向書き込み保護コマンド

CMD インデックス	タイプ	引数	レスポンス フォーマット	略記	説明
CMD28	ac	[31:0] データアドレス	R1b	SET_WRITE_PROT	カードに書き込み保護機能がある場合、このコマンドは、アドレス指定されたグループの書き込み保護ビットをセットします。書き込み保護のプロパティは、カード固有データ（WP_GRP_SZIE）にコード化されます。
CMD29	ac	[31:0] データアドレス	R1b	CLR_WRITE_PROT	カードが書き込み保護機能を備えている場合、このコマンドは、アドレス指定されたグループの書き込み保護ビットをクリアします。
CMD30	adtc	[31:0] 書き込み保護データアクセス	R1	SEND_WRITE_PROT	カードが書き込み保護機能を備えている場合、このコマンドは、カードに書き込み保護ビットのステータスを送るように要求します。
CMD31	予約済み				

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表154. 消去コマンド

CMD インデックス	タイプ	引数	レスポンス フォーマット	略記	説明
CMD32 ... CMD34	予約済み。これらのコマンドインデックスは、古いバージョンのマルチメディアカードとの下位互換性を保つために、使用できません。				
CMD35	ac	[31:0] データアドレス	R1	ERASE_GROUP_START	消去対象として選択される範囲の最初の消去グループのアドレスを設定します。
CMD36	ac	[31:0] データアドレス	R1	ERASE_GROUP_END	消去対象として選択される連続した範囲内の最後の消去グループのアドレスを設定します。
CMD37	予約済み。このコマンドインデックスは、古いバージョンのマルチメディアカードとの下位互換性を保つために、使用できません。				
CMD38	ac	[31:0] スタッフビット	R1	ERASE	以前に選択されたすべての書き込みブロックを消去します。

表155. I/O モードコマンド

CMD インデックス	タイプ	引数	レスポンス フォーマット	略記	説明
CMD39	ac	[31:16] RCA [15:15] レジスタ書き込みフラグ [14:8] レジスタアドレス [7:0] レジスタデータ	R4	FAST_IO	8 ビット（レジスタ）データフィールドの読み出しおよび書き込みに使用されます。このコマンドは、カードとレジスタをアドレス指定し、書き込みフラグがセットされている場合は書き込み用データを提供します。R4 レスポンスは、アドレス指定されたレジスタから読み出されたデータを含みます。このコマンドは、マルチメディアカード標準で定義されていないアプリケーション依存レジスタにアクセスします。
CMD40	bcr	[31:0] スタッフビット	R5	GO_IRQ_STATE	システムを割り込みモードにします。
CMD41	予約済み				

表156. カードのロック

CMD インデックス	タイプ	引数	レスポンス フォーマット	略記	説明
CMD42	adtc	[31:0] スタッフビット	R1b	LOCK_UNLOCK	パスワードのセット/リセット、またはカードのロック/アンロックを行います。データブロックのサイズは、SET_BLOCK_LEN コマンドによって設定されます。
CMD43 ... CMD54	予約済み				

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表157. アプリケーション固有コマンド

CMD インデックス	タイプ	引数	レスポンスフォーマット	略記	説明
CMD55	ac	[31:16] RCA [15:0] スタッフビット	R1	APP_CMD	次のコマンドビットが標準コマンドでなく、アプリケーション固有コマンドであることをカードに示します。
CMD56	adtc	[31:1] スタッフビット [0]：RD/WR			汎用/アプリケーション固有コマンドで、データブロックをカードに転送するため、またはカードからデータを取得するために使用されます。データブロックのサイズは、SET_BLOCK_LEN コマンドによって設定されます。
CMD57 ... CMD59	予約済み				
CMD60 ... CMD63	製造業者用に予約済み。				

21.5 レスポンスフォーマット

すべてのレスポンスは MCCMD コマンドライン SDIO_CMD 経由で送信されます。レスポンスの送信は、常に、レスポンスコードワードに対応するビット文字列の左のビットから始まります。コード長は、レスポンスのタイプに依存します。

レスポンスは、常に、スタートビット（常に 0）から始まり、送信方向を示すビットが続きます（カード = 0）。下の表で x で示されている値は、可変エントリを示しています。R3 レスポンスを除くすべてのレスポンスは、CRC によって保護されます。すべてのコマンドコードワードは、終了ビット（常に 1）で終わります。

レスポンスには 5 つのタイプがあります。フォーマットは、次のとおりです。

21.5.1 R1（ノーマルレスポンスコマンド）

コード長 = 48 ビット。45:40 ビットはレスポンスされるコマンドのインデックスを示します。この値は 2 進コード番号（0～63）として解釈されます。カードのステータスは 32 ビットにコード化されます。

表158. R1 レスポンス

ビット位置	幅（ビット数）	値	説明
47	1	0	スタートビット
46	1	0	送信ビット
[45:40]	6	X	コマンドインデックス
[39:8]	32	X	カードステータス
[7:1]	7	X	CRC7
0	1	1	終了ビット

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

21.5.2 R1b

R1 と同じですが、オプションとしてデータライン上で送信されるビジー信号を含みます。カードは、コマンドを受信する前の状態に基づいて、これらのコマンドを受信した後、ビジーになることがあります。

21.5.3 R2（CID、CSD レジスタ）

コード長 = 136 ビット。CID レジスタの内容は、CMD2 および CMD10 コマンドのレスポンスとして送信されます。CSD レジスタの内容は、CMD9 のレスポンスとして送信されます。CID および CSD のビット [127. . . 1] だけが転送されます。これらのレジスタの予約ビット [0] は、レスポンスの終了ビットで置き換えられます。カードは、MCDAT をローに維持することによって、消去が進行中であることを示します。実際の消去時間はかなり長く、ホストは CMD7 を発行して、カードを選択解除できます。

表159. R2 レスポンス

ビット位置	幅（ビット数）	値	説明
135	1	0	スタートビット
134	1	0	送信ビット
[133:128]	6	"111111"	コマンドインデックス
[127:1]	127	X	カードステータス
0	1	1	終了ビット

21.5.4 R3（OCR レジスタ）

コード長 : 48 ビット。OCR レジスタの内容は、CMD1 へのレスポンスとして送信されます。レベルのコーディングは、次のようになります。制限された電圧ウィンドウ＝ロー、カードビジー＝ロー。

表160. R3 レスポンス

ビット位置	幅（ビット数）	値	説明
47	1	0	スタートビット
46	1	0	送信ビット
[45:40]	6	"111111"	予約済み
[39:8]	32	X	OCR レジスタ
[7:1]	7	"1111111"	予約済み
0	1	1	終了ビット

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

21.5.5 R4（高速 I/O）

コード長：48 ビット。引数フィールドは、アドレス指定されたカードの RCA、読み出しまたは書き込みレジスタアドレス、およびその内容を含みます。

表161. R4 レスポンス

ビット位置		幅（ビット数）	値	説明
47		1	0	スタートビット
46		1	0	送信ビット
[45:40]		6	"111111"	予約済み
[39:8] 引数フィールド	[31:16]	16	X	RCA
	[15:8]	8	X	レジスタアドレス
	[7:0]	8	X	読み出しレジスタの内容
[7:1]		7	"1111111"	CRC7
0		1	1	終了ビット

21.5.6 R4b

SD I/O のみ：CMD5 を受信した SDIO カードは、特別な SDIO レスポンス R4 で応答します。フォーマットは、次のとおりです。

表162. R4b レスポンス

ビット位置		幅（ビット数）	値	説明
47		1	0	スタートビット
46		1	0	送信ビット
[45:40]		6	x	予約済み
[39:8] 引数フィールド	39	16	X	カードはレディ状態
	[38:36]	3	X	I/O 機能数
	35	1	X	メモリあり
	[34:32]	3	X	スタッフビット
	[31:8]	24	X	I/O ORC
[7:1]		7	X	予約済み
0		1	1	終了ビット

SD I/O カードが CMD5 を受信すると、カードの I/O 部分は、以降のすべてのコマンドに対して通常どおりに応答できるようになります。I/O カード内の機能のこの I/O イネーブルは、カードがリセット、パワーサイクル、または I/O リセットするための書き込みの CMD52 を受信するまでセットされたままです。SD メモリ専用カードは、CMD5 に応答する場合があることに注意してください。メモリ専用カードの正しいレスポンスは、*Present memory* = 1 と *Number of I/O functions* = 0 です。SD メモリカード仕様 version 1.0 に準拠するように作られたメモリ専用カードは、CMD5 を不正なコマンドとして検出して、応答しません。I/O を認識できるホストは、CMD5 を送信します。カードがレスポンス R4 で応答した場合、ホストはレスポンス R4 に含まれるデータから、カードの設定を判断します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

21.5.7 R5（割り込みリクエスト）

マルチメディアカード専用です。コード長：48 ビット。ホストによってレスポンスが生成された場合、引数の RCA フィールドは 0x0 になります。

表163. R5 レスポンス

ビット位置		幅（ビット数）	値	説明
47		1	0	スタートビット
46		1	0	送信ビット
[45:40]		6	"111111"	CMD40
[39:8] 引数フィールド	[31:16]	16	X	勝ったカードまたはホストの RCA [31:16]
	[15:0]	16	X	定義されていません。IRQ データとして使われる場合があります。
[7:1]		7	X	CRC7
0		1	1	終了ビット

21.5.8 R6

SD I/O 専用です。メモリデバイスによる CMD3 への通常のレスポンス。*表 164* に示します。

表164. R6 レスポンス

ビット位置		幅（ビット数）	値	説明
47		1	0	スタートビット
46		1	0	送信ビット
[45:40]		6	"101000"	CMD40
[39:8] 引数フィールド	[31:16]	16	X	勝ったカードまたはホストの RCA [31:16]
	[15:0]	16	X	定義されていません。IRQ データとして使われる場合があります。
[7:1]		7	X	CRC7
0		1	1	終了ビット

カード [23:8] ステータスビットは、CMD3 が I/O 専用カードに送信されると、変更されます。この場合、レスポンスの 16 ビットは、SD I/O 専用の値です。

- ビット [15] COM_CRC_ERROR
- ビット [14] ILLEGAL_COMMAND
- ビット [13] ERROR
- ビット[12:0] 予約済み

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

21.6 SDIO I/O カード固有の操作

以下の機能は、SD I/O 固有の操作です。

- SDIO_D2 信号による SDIO 読み出しウェイト操作
- クロックの停止による SDIO 読み出しウェイト操作
- SDIO サスペンド/レジューム操作（書き込みおよび読み出しサスペンド）
- SDIO 割り込み

SDIO は、SDIO_DCTRL[11] ビットがセットされている場合のみ、これらの機能をサポートします。ただし、特定のハードウェア実装を必要としない読み出しサスペンドを除きます。

21.6.1 SDIO_D2 信号による SDIO I/O 読み出しウェイト操作

最初のブロックが受信される前に読み出しウェイトインターバルを開始することができます。データパスが有効（SDIO_DCTRL[0] ビットがセット）、SDIO 固有操作が有効（SDIO_DCTRL[11] ビットがセット）、読み出しウェイト開始（SDI0_DCTRL[10] =0 および SDI_DCTRL[8] =1）、データ方向がカードから SDIO（SDIO_DCTRL[1] = 1）のとき、DPSM はアイドルから ReadWait へ直接移行します。ReadWait では、DPSM は 2 SDIO_CK クロックサイクル後に、SDIO_D2 を 0 に駆動します。この状態では、RW ストップビット（SDIO_DCTRL[9]）をセットすると、DPSM は、さらに 2 SDIO_CK クロックサイクルの間、ウェイト状態にとどまり、1 クロックサイクルで SDIO_D2 を 1 に駆動します（SDIO 仕様に従って）。その後、DPSM は、カードからデータを受信するまで、再び待機状態に入ります。DPSM は、読み出しウェイト開始がセットされている場合でも、ブロックを受信中は読み出しウェイトインターバルを開始しません。読み出しウェトインターバルは、CRC の受信後に開始されます。新しい読み出しウェイト操作を開始するには、RW ストップビットをクリアする必要があります。読み出しウェイトインターバル中は、SDIO は SDIO_D1 上で SDIO 割り込みを検出することができます。

21.6.2 SDIO_CK 停止による SDIO 読み出しウェイト操作

SDIO カードが上記の読み出しウェイト方式をサポートしない場合、SDIO は、SDIO_CK を停止することによって読み出しウェイトを実行できます（SDIO_DCTRLは *セクション 21.6.1* に記載されている方法と同じようにセットされますが、SDIO_DCTRL[10] =1 です）。DSPM は、現在の受信ブロックの終了ビットから 2 SDIO_CK サイクル後にクロックを停止し、読み出しウェイトビットがセットされた後で、再びクロックを開始します。

SDIO_CK が停止されるので、任意のコマンドをカードに発行できます。読み出しウェイトインターバル中、SDIO は SDIO_D1 上の SDIO 割り込みを検出できます。

21.6.3 SDIO サスペンド/レジューム操作

カードにデータを送信しているときに、SDIO は書き込み操作を中断できます。SDIO_CMD[11] ビットがセットされて、現在のコマンドがサスペンドコマンドであることを CPSM に示します。CPSM は、レスポンスを解析し、カードから ACK を受信すると（サスペンドが受け付けられた）、現在のブロックの CRC トークンの受信後にアイドル状態となることを DPSM に通知します。

ハードウェアは、サスペンド操作（レジューム）を完了するために、残りの送信ブロック数を保存しません。

書き込み操作は、カードからサスペンドコマンドの ACK を受信したときに、DPSM を無効にするだけで（SDIO_DCTRL[0] =0）、ソフトウェアによって中断できます。その場合、DPSM はアイドル状態に入ります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

読み出しをサスペンドするには：DPSM は Wait_r 状態で、中断される機能が完全なパケットを送信するのを待ってから、データ処理を停止します。アプリケーションは、FIFO が空になって、DPSM が自動的にアイドル状態になるまで、RxFIFO の読み出しを続けます。

21.6.4 SDIO 割り込み

SDIO_DCTRL[11] ビットがセットされると、SDIO_D1 ライン上で SDIO 割り込みが検出されます。

21.7 CE-ATA 固有の操作

以下の機能は、CE-ATA 固有の操作です。

- CE-ATA デバイスを無効にするコマンド完了信号の送信。
- CE-ATA デバイスからのコマンド完了信号の受信。
- ステータスビットや割り込みを使用して、CE-ATA コマンドの完了を CPU に通知。

SDIO は、SDIO_CMD[14] がセットされた場合、CE-ATA CMD61 コマンドについてのみ、これらの操作をサポートします。

21.7.1 コマンド完了信号ディセーブル

コマンド完了信号ディセーブルは、"CMD 完了イネーブル" ビット（SDIO_CMD[12]）がセットされていず、"割り込みディセーブル" ビット（SDIO_CMD[13]）がセットされている場合に、**short** レスポンスの受信から 8 ビットサイクル後に送信されます。

CPSM は Pend 状態に入り、コマンドシフトレジスタにディセーブルシーケンス "00001" をロードし、コマンドカウンタに 43 をロードします。8 サイクル後、トリガは CPSM を送信状態へ移行します。コマンドカウンタが 48 に達すると、CPSM は、待ち受けるレスポンスがないので、アイドル状態になります。

21.7.2 コマンド完了信号イネーブル

"CMD 完了イネーブル" ビット（SDIO_CMD[12]）がセットされ、"割り込みディセーブル" ビット（SDIO_CMD[13]）がセットされた場合、CPSM は Waitcpl 状態でコマンド完了信号を待ちます。

CMD ライン上で "0" が受信されると、CPSM はアイドル状態に入ります。7 ビットサイクルの間、新しいコマンドを送信することはできません。7 サイクルのうちの最後の5 サイクルの間、CMD ラインはプッシュプルモードで "1" に駆動されます。

21.7.3 CE-ATA 割り込み

コマンド完了は、ステータスビット SDIO_STA[23] によって CPU に通知されます。このスタティックビットは、クリアビット SDIO_ICR[23] によってクリアできます。

SDIO_STA[23] ステータスビットは、マスクビット SDIO_MASKx[23] に応じて、各割り込みライン上に割り込みを生成することができます。

21.7.4 CMD61 の中止

コマンド完了ディセーブル信号が送信されていず、CMD61 を中止する必要がある場合には、コマンドステートマシンを無効にしなければなりません。コマンドステートマシンはアイドル状態になり、CMD12 コマンドを送信することができます。操作中は、コマンド完了ディセーブル信号は送信されません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

21.8 HW フロー制御

HW フロー制御機能は、FIFO アンダーラン（TX モード）およびオーバーラン（RX モード）エラーを回避するために使用されます。

その動作は、SDIO_CK を停止して、SDIO ステートマシンをフリーズします。FIFO を使用してデータを送受信できない間、データ転送はストールします。SDIOCLK によってクロック供給されるステートマシンだけがフリーズし、AHB インタフェースは動作を続けます。したがって、フロー制御が有効でも、FIFO が一杯になったり、空になることがあります。

HW フロー制御を有効にするには、SDIO_CLKCR[14] レジスタビットを 1 にセットしなければなりません。リセット後、フロー制御は無効になります。

21.9 SDIO レジスタ

デバイスは、AHB 経由でアクセス可能な 32 ビット幅の制御レジスタによってシステムと通信します。

ペリフェラルレジスタには、ワード（32 ビット）単位でアクセスする必要があります。

21.9.1 SDIO 電源制御レジスタ（SDIO_POWER）

アドレスオフセット：0x00

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																														PWRCTRL	
																														rw	rw

ビット 31:2 予約済み、常に 0 として読み出されます。

[1:0] **PWRCTRL**：電源制御ビット
これらのビットは、カードクロックの現在の機能状態を定義するために使用されます。
00：パワーオフ：カードへのクロック供給は停止されます。
01：予約済み
10：予約済み、パワーアップ
11：パワーオン：カードにクロックが供給されます。

注： ***データ書き込み後、7 HCLK クロック周期の間、このレジスタにデータを書き込むことはできません。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

21.9.2 SDI クロック制御レジスタ（SDIO_CLKCR）

アドレスオフセット：0x04

リセット値：0x0000 0000

SDIO_CLKCR レジスタは、SDIO_CK 出力クロックを制御します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																	HWFC_EN	NEGEDGE	WIDBUS		BYPASS	PWRSAV	CLKEN	CLKDIV							
																	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:15　予約済み、常に 0 として読み出されます。

ビット 14　**HWFC_EN**：HW フロー制御イネーブル
0b：HW フロー制御は無効です。
1b：HW フロー制御は有効です。
HW フロー制御が有効なときの TXFIFOE および RXFIFOF 割り込み信号の意味については、*セクション 21.9.11* の SDIO ステータスレジスタの定義を参照してください。

ビット 13　**NEGEDGE**：SDIO_CK 反位相選択ビット
0b：SDIO_CK は、マスタクロック SDIOCLK の立ち上がりエッジで生成されます。
1b：SDIO_CK は、マスタクロック SDIOCLK の立ち下がりエッジで生成されます。

ビット 12:11　**WIDBUS**：ワイドバスモードイネーブルビット
00：デフォルトバスモード：SDIO_D0 が使用されます。
01：4 ワイドバスモード：SDIO_D[3:0] が使用されます。
10：8 ワイドバスモード：SDIO_D[7:0] が使用されます。

ビット 10　**BYPASS**：クロック分周器バイパスイネーブルビット
0：バイパスを無効にします。SDIOCLK は、SDIO_CK を駆動する前に、CLKDIV の値に従って分周されます。
1：バイパスを有効にします。SDIOCLK は、SDIO_CK 出力信号を直接駆動します。

ビット 9　**PWRSAV**：節電設定ビット
節電のために、バスがアイドル状態のときには、PWRSAV をセットすることによって SDIO_CK クロック出力を無効にできます。
0：SDIO_CK クロックは常に有効です。
1：SDIO_CK はバスがアクティブなときに限り有効です。

ビット 8　**CLKEN**：クロックイネーブルビット
0：SDIO_CK は無効です。
1：SDIO_CK は有効です。

ビット 7:0　**CLKDIV**：クロック分周ファクタ
このフィールドは、入力クロック（SDIOCLK）と出力クロック（SDIO_CK）の間の分周ファクタを定義します。SDIO_CK 周波数 = SDIOCLK / [CLKDIV + 2]

注：

1. ***SD/SDIO カードまたは MultiMediaCard が識別モードのときには、SDIO_CK 周波数は 400 kHz 未満でなければなりません。***
2. ***クロック周波数は、相対カードアドレスがすべてのカードに割り当てられているときには、最大カードバス周波数に変更できます。***
3. ***データ書き込み後、7 HCLKクロック周期の間、このレジスタにデータを書き込むことはできません。SDIO_CK は、SD I/O カードの読み出しウェイトインターバルの間、停止することができます。この場合、SDIO_CLKCR レジスタは SDIO_CK を制御しません。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

21.9.3 SDIO 引数レジスタ（SDIO_ARG）

アドレスオフセット：0x08

リセット値：0x0000 0000

SDIO_ARG レジスタは、コマンドメッセージの一部としてカードに送信される 32 ビットのコマンド引数を含みます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CMDARG																															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0 **CMDARG**：コマンド引数
コマンドメッセージの一部としてカードに送信されるコマンド引数。コマンドが引数を含む場合、コマンドをコマンドレジスタに書き込む前に、このレジスタにロードする必要があります。

21.9.4 SDIO コマンドレジスタ（SDIO_CMD）

アドレスオフセット：0x0C

リセット値：0x0000 0000

SDIO_CMD レジスタは、コマンドインデックスおよびコマンドタイプビットを含みます。コマンドインデックスは、コマンドメッセージの一部としてカードに送信されます。コマンドタイプビットは、コマンドパスステートマシン（CPSM）を制御します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																	CE-ATACMD	nIEN	ENCMDcompl	SDIOSuspend	CPSMEN	WAITPEND	WAITINT	WAITRESP		CMDINDEX					
																	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:15 予約済み、常に 0 として読み出されます。

ビット 14 **ATACMD**：CE-ATA コマンド
ATACMD がセットされた場合、CPSM は CMD61 を送信します。

ビット 13 **nIEN**：割り込みディセーブル
このビットが 0 の場合、CE-ATA の割り込みは有効です。

ビット 12 **ENCMDcompl**：CMD 完了イネーブル
このビットがセットされた場合、コマンド完了信号は有効です。

ビット 11 **SDIOSuspend**：SD I/O サスペンドコマンド
このビットがセットされた場合、送信されるコマンドはサスペンドコマンドです（SDIO カードでのみ使用されます）。

ビット 10 **CPSMEN**：コマンドパスステートマシン（CPSM）イネーブルビット
このビットがセットされた場合、CPSM は有効です。

ビット 9 **WAITPEND**：CPSM のデータ転送終了待ち（CmdPend 内部信号）。
このビットがセットされた場合、CPSM は、データ転送の終了を待ってから、コマンドの送信を開始します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 8 **WAITINT**：CPSM の割り込みリクエスト待ち
このビットがセットされた場合、CPSM は、コマンドタイムアウトを無効にして、割り込みリクエストを待ちます。

ビット 7:6 WAITRESP：レスポンスビット待ち
これらは、CPSM がレスポンスを待つかどうか、および、待つ場合にはレスポンスの種類を設定するために使用されます。
00：レスポンスなし。CMDSENT フラグを待ちます。
01：ショートレスポンス。CMDREND または CCRCFAIL フラグを待ちます。
10：レスポンスなし。CMDSENT フラグを待ちます。
11：ロングレスポンス。CMDREND または CCRCFAIL フラグを待ちます。

ビット 5:0 **CMDINDEX**：コマンドインデックス
コマンドインデックスは、コマンドメッセージの一部としてカードに送信されます。

注： *1 データ書き込み後、7 HCLKクロック周期の間、このレジスタにデータを書き込むことはできません。*

2 MultiMediaCards はショートレスポンス（48 ビット長）またはロングレスポンス（136 ビット長）の 2 種類のレスポンスを送信できます。SD カードと SD I/O カードはショートレスポンスのみ送信でき、引数はレスポンスのタイプに応じて変化します。ソフトウェアは、送信されたコマドに応じてレスポンスのタイプを区別します。CE-ATA デバイスは、ショートレスポンスのみを送信します。

21.9.5 SDIO コマンドレスポンスレジスタ（SDIO_RESPCMD）

アドレスオフセット：0x10

リセット値：0x0000 0000

SDIO_RESPCMD レジスタは、最後に受信されたコマンドレスポンスのコマンドインデックスフィールドを含みます。コマンドレスポンス送信がコマンドインデックスフィールドを含まない場合（ロングまたは OCR レスポンス）、RESPCMD フィールドは未知であり、111111b（レスポンスの予約フィールドの値）を含まなければなりません。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																										RESPCMD					
																										r	r	r	r	r	r

ビット 31:6 予約済み、常に 0 として読み出されます。

ビット 5:0 **RESPCMD**：レスポンスコマンドインデックス
読み取り専用ビットフィールド。最後に受信されたコマンドレスポンスのコマンドインデックスを含みます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

21.9.6 SDIO レスポンス1..4 レジスタ（SDIO_RESPx）

アドレスオフセット：（0x10 + （4 × x））; x = 1..4

リセット値：0x0000 0000

SDIO_RESP0/1/2/3/4 レジスタは、受信したレスポンスの一部であるカードのステータスを含みます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CARDSTATUSx																															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:0 **CARDSTATUSx**：*表 165*を参照してください。.

カードステータスサイズは、レスポンスのタイプによって 32 または 127 ビットです。

表165. レスポンスタイプと SDIO_RESPx レジスタ

レジスタ	ショートレスポンス	ロングレスポンス
SDIO_RESP1	Card Status[31:0]	Card Status [127:96]
SDIO_RESP2	使用されない	Card Status [95:64]
SDIO_RESP3	使用されない	Card Status [63:32]
SDIO_RESP4	使用されない	Card Status [31:1]0b

カードステータスの最下位ビットから先に受信されます。SDIO_RESP3 レジスタ LSB は常に 0b です。

21.9.7 SDIO データタイマレジスタ（SDIO_DTIMER）

アドレスオフセット：0x24

リセット値：0x0000 0000

SDIO_DTIMER レジスタは、データタイムアウト期間（カードバスクロック周期単位）を含みます。

カウンタは SDIO_DTIMER レジスタから値をロードして、データパスステートマシンが Wait_R またはビジー状態に入ったときに、デクリメントを開始します。DPSM がこのどちらかの状態のときにタイマが 0 に達した場合、タイムアウトステータスフラグがセットされます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DATATIME																															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0 **DATATIME**：データタイムアウト期間
カードバスクロック周期で表されたデータタイムアウト期間。

注： ***データ転送は、データ制御レジスタに書き込まれる前に、データタイマレジスタとデータ長レジスタに書き込まれなければなりません。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

21.9.8 SDIO データ長レジスタ（SDIO_DLEN）

アドレスオフセット：0x28

リセット値：0x0000 0000

SDIO_DLEN レジスタは、転送されるデータバイト数を含みます。値は、データ転送が開始されたときに、データカウンタにロードされます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み							DATALENGTH																								
							rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:25　予約済み、常に 0 として読み出されます。

ビット 24:0　**DATALENGTH**：データ長の値
転送されるデータバイト数。

注：　ブロックデータ転送では、データ長レジスタの値はブロックサイズの倍数でなければなりません（SDIO_CTRL を参照してください）。データ転送は、データ制御レジスタに書き込まれる前に、データタイマレジスタとデータ長レジスタに書き込まれなければなりません。

21.9.9 SDIO データ制御レジスタ（SDIO_DCTRL）

アドレスオフセット：0x2C

リセット値：0x0000 0000

SDIO_DCTRL レジスタは、データパスステートマシン（DPSM）を制御します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																				SDIOEN	RWMOD	RWSTOP	RWSTART	DBLOCKSIZE				DMAEN	DTMODE	DTDIR	DTEN
																				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:12　予約済み、常に 0 として読み出されます。

ビット 11　**SDIOEN:**SD I/O イネーブル機能
このビットがセットされた場合、DPSM は SD I/O カード固有の操作を実行します。

ビット 10　**RWMOD**：読み出しウェイトモード
0：SDIO_CK を停止する読み出しウェイト制御
1：SDIO_CK を使用した読み出しウェイト制御。

ビット 9　**RWSTOP**：読み出しウェイト停止
0：RW スタートビットがセットされている場合、読み出しウェイトは進行中です。
1：RW スタートビットがセットされている場合、読み出しウェイト停止を有効にします。

ビット 8　**RWSTART**：読み出しウェイト開始
このビットがセットされている場合、読み出しウェイト操作が開始されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 7:4 **DBLOCKSIZE**：データブロックサイズ
ブロックデータ転送モードが選択されているときのデータブロック長を定義します。
0000：（0 10進）ロック長 = 2^0 = 1 バイト
0001：（1 10進）ロック長 = 2^1 = 2 バイト
0010：（2 10進）ロック長 = 2^2 = 4 バイト
0011：（3 10進）ロック長 = 2^3 = 8 バイト
0100：（4 10進）ロック長 = 2^4 = 16 バイト
0101：（5 10進）ロック長 = 2^5 = 32 バイト
0110：（6 10進）ロック長 = 2^6 = 64 バイト
0111：（7 10進）ロック長 = 2^7 = 128 バイト
1000：（8 10進）ロック長 = 2^8 = 256 バイト
1001：（9 10進）ロック長 = 2^9 = 512 バイト
1010：（10 10進）ロック長 = 2^{10} = 1024 バイト
1011：（11 10進）ロック長 = 2^{11} = 2048 バイト
1100：（12 10進）ロック長 = 2^{12} = 4096 バイト
1101：（13 10進）ロック長 = 2^{13} = 8192 バイト
1110：（14 10進）ロック長 = 2^{14} = 16384 バイト
1111：（15 10進）予約済み

ビット 3 **DMAEN:**DMA イネーブルビット
0：DMA は無効です。
1：DMA は有効です。

ビット 2 **DTMODE：**データ転送モード選択 1：ストリームまたは SDIO マルチバイトデータ転送
0：ブロックデータ転送
1：STM32F10xxx 特大容量デバイス上でのストリームまたは SDIO マルチバイトデータ転送。
STM32F10xxx 大容量デバイス上でのストリームデータ転送。

ビット 1 **DTDIR：**データ転送方向選択
0：コントローラからカードへ
1：カードからコントローラへ

[0] **DTEN:**データ転送イネーブルビット
データ転送は、1b が DTEN ビットに書き込まれると開始します。方向ビット DTDIR に応じて、DPSM は、Wait_S、Wait_R、または転送の始めに直ちに RW Start がセットされた場合には ReadWait へ移行します。データ転送の終わりにイネーブルビットをクリアする必要はありませんが、新しいデータ転送を有効にするには、SDIO_DCTRL を更新する必要があり す。

注：　データ書き込み後、7 HCLK クロック周期の間、このレジスタにデータを書き込むことはできません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

21.9.10 SDIO データカウンタレジスタ（SDIO_DCOUNT）

アドレスオフセット：0x30

リセット値：0x0000 0000

SDIO_DCOUNT レジスタは、DPSM がアイドル状態から Wait_R または Wait_S 状態へ移行すると、データ長レジスタから値をロードします（SDIO_DLEN を参照してください）。データが転送されるとき、カウンタは 0 に達するまで値をデクリメントします。その後、DPSM はアイドル状態へ移行し、データステータス終了フラグ DATAEND がセットされます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み							DATACOUNT																								
							r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:25 予約済み、常に 0 として読み出されます。

ビット 24:0 **DATACOUNT**：データカウント値
このビットを読み出すと、残りの転送バイト数が返されます。書き込みは何の効果もありません。

注： *このレジスタは、データ転送が完了したときだけ読み出してください。*

21.9.11 SDIO ステータスレジスタ（SDIO_STA）

アドレスオフセット：0x34

リセット値：0x0000 0000

SDIO_STA レジスタは、読み出し専用レジスタです。2 種類のフラグを含みます。

- スタティックフラグ（ビット [23:22,10:0]）：これらのビットは、SDIO 割り込みクリアレジスタ（SDIO_ICR を参照）に書きこむことによってクリアされまで、アサートされたままです。
- ダイナミックフラグ（ビット [21:11]）：これらのビットは、基礎回路の状態に応じて、状態が変わります（たとえば、FIFO フルおよびエンプティフラグは、データが FIFO に書き込まれることでアサートおよびネゲートされます）。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								CEATAEND	SDIOIT	RXDAVL	TXDAVL	RXFIFOE	TXFIFOE	RXFIFOF	TXFIFOF	RXFIFOHF	TXFIFOHE	RXACT	TXACT	CMDACT	DBCKEND	STBITERR	DATAEND	CMDSENT	CMDREND	RXOVERR	TXUNDERR	DTIMEOUT	CTIMEOUT	DCRCFAIL	CCRCFAIL
予約済み								r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:24 予約済み、常に 0 として読み出されます。

ビット 23 **CEATAEND**：CMD61 に対して CE-ATA コマンド完了信号が受信されました。

ビット 22 **SDIOIT**：SDIO 割り込みが受信されました。

ビット 21 **RXDAVL**：受信 FIFO にデータがあります。

ビット 20 **TXDAVL**：送信 FIFO にデータがあります。

ビット 19 **RXFIFOE**：受信 FIFO が空です。

ビット 18 **TXFIFOE**：送信 FIFO が空です。
HW フロー制御が有効なとき、FIFO に 2 ワードが含まれると、TXFIFOE 信号が有効になります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 17 **RXFIFOF**：受信 FIFO がいっぱいです。
HW フロー制御が有効なとき、FIFO があと 2 ワードでいっぱいになるときに、RXFIFOF 信号が有効になります。

ビット 16 **TXFIFOF**：送信 FIFO がいっぱいです。

ビット 15 **RXFIFOHF**：受信 FIFO がハーフフル状態です。FIFO には少なくとも 8 ワード入っています。

ビット 14 **TXFIFOHE**：送信 FIFO がハーフエンプティ状態です。FIFO には少なくとも 8 ワード書き込み可能です。

ビット 13 **RXACT**：データ受信中です。

ビット 12 **TXACT**：データ送信中です。

ビット 11 **CMDACT**：コマンド転送中です。

ビット 10 **DBCKEND**：データブロック送受信（CRC 確認成功）

ビット 9 **STBITERR**：ワイドバスモードで、すべてのデータ信号でスタートビットが検出されませんでした。

ビット 8 **DATAEND**：データ終わり（データカウンタ SDIDCOUNT がゼロです）

ビット 7 **CMDSENT**：コマンドが送信されました（レスポンス不要）。

ビット 6 **CMDREND**：コマンドレスポンスが受信されました（CRC 確認成功）。

ビット 5 **RXOVERR**：FIFO オーバーランエラーを受信しました。

ビット 4 **TXUNDERR**：送信 FIFO アンダーランエラー

ビット 3 **DTIMEOUT**：データタイムアウト

ビット 2 **CTIMEOUT**：コマンドレスポンスタイムアウト
コマンドタイムアウト期間は、固定値の 64 SDIO_CK クロック周期です。

ビット 1 **DCRCFAIL**：データブロック送受信（CRC 確認失敗）

ビット 0 **CCRCFAIL**：コマンドレスポンス受信（CRC 確認失敗）

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

21.9.12 SDIO 割り込みクリアレジスタ（SDIO_ICR）

アドレスオフセット：0x38

リセット値：0x0000 0000

SDIO_ICR レジスタは、書き込み専用レジスタです。ビットに 1b を書き込むと、SDIO_STA ステータスレジスタの対応するビットがクリアされます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								CEATAENDC	SDIOITC	予約済み											DBCKENDC	STBITERRC	DATAENDC	CMDSENTC	CMDRENDC	RXOVERRC	TXUNDERRC	DTIMEOUTC	CTIMEOUTC	DCRCFAILC	CCRCFAILC
								rw	rw												rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:24　予約済み、常に 0 として読み出されます。

ビット 23　**CEATAENDC**：CEATAEND フラグクリアビット
CEATAEND フラグをクリアするために、ソフトウェアによってセットされます。
0：CEATAEND はクリアされません 。
1：CEATAEND はクリアされます。

ビット 22　**SDIOITC**：SDIOIT フラグクリアビット
SDIOIT フラグをクリアするために、ソフトウェアによってセットされます。
0：SDIOIT はクリアされません。
1：SDIOIT はクリアされます。

ビット 21:11　予約済み、常に 0 として読み出されます。

ビット 10　**DBCKENDC**：DBCKEND フラグクリアビット
DBCKEND フラグをクリアするために、ソフトウェアによってセットされます。
0：DBCKEND はクリアされません。
1：DBCKEND はクリアされます。

ビット 9　**STBITERRC**：STBITERR フラグクリアビット
STBITERR フラグをクリアするために、ソフトウェアによってセットされます。
0：STBITERR はクリアされません。
1：STBITERR はクリアされます。

ビット 8　**DATAENDC**：DATAEND フラグクリアビット
DATAEND フラグをクリアするために、ソフトウェアによってセットされます。
0：DATAEND はクリアされません。
1：DATAEND はクリアされます。

ビット 7　**CMDSENTC**：CMDSENT フラグクリアビット
CMDSENT フラグをクリアするために、ソフトウェアによってセットされます。
0：CMDSENT はクリアされません。
1：CMDSENT はクリアされます。

ビット 6　**CMDRENDC**：CMDREND フラグクリアビット
CMDREND フラグをクリアするために、ソフトウェアによってセットされます。
0：CMDREND はクリアされません。
1：CMDREND はクリアされます。

ビット 5　**RXOVERRC**：RXOVERR フラグクリアビット
RXOVERR フラグをクリアするために、ソフトウェアによってセットされます。
0：RXOVERR はクリアされません。
1：RXOVERR はクリアされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 4 **TXUNDERRC** : TXUNDERR フラグクリアビット
TXUNDERR フラグをクリアするために、ソフトウェアによってセットされます。
0 : TXUNDERR はクリアされません。
1 : TXUNDERR はクリアされます。

ビット 3 **DTIMEOUTC** : DTIMEOUT フラグクリアビット
DTIMEOUT フラグをクリアするために、ソフトウェアによってセットされます。
0 : DTIMEOUT はクリアされません。
1 : DTIMEOUT はクリアされます。

ビット 2 **CTIMEOUTC** : CTIMEOUT フラグクリアビット
CTIMEOUT フラグをクリアするために、ソフトウェアによってセットされます。
0 : CTIMEOUT はクリアされません。
1 : CTIMEOUT はクリアされます。

ビット 1 **DCRCFAILC** : DCRCFAIL フラグクリアビット
DCRCFAIL フラグをクリアするために、ソフトウェアによってセットされます。
0 : DCRCFAIL はクリアされません。
1 : DCRCFAIL はクリアされます。

ビット 0 **CCRCFAILC** : CCRCFAIL フラグクリアビット
CCRCFAIL フラグをクリアするために、ソフトウェアによってセットされます。
0 : CCRCFAIL はクリアされません。
1 : CCRCFAIL はクリアされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

21.9.13 SDIO マスクレジスタ（SDIO_MASK）

アドレスオフセット：0x3C

リセット値：0x0000 0000

割り込みマスクレジスタは、対応するビットを 1b にセットすることによって、割り込みリクエストを生成するステータスフラグを決めます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								CEATAENDIE	SDIOITIE	RXDAVLIE	TXDAVLIE	RXFIFOEIE	TXFIFOEIE	RXFIFOFIE	TXFIFOFIE	RXFIFOHFIE	TXFIFOHEIE	RXACTIE	TXACTIE	CMDACTIE	DBCKENDIE	STBITERRIE	DATAENDIE	CMDSENTIE	CMDRENDIE	RXOVERRIE	TXUNDERRIE	DTIMEOUTIE	CTIMEOUTIE	DCRCFAILIE	CCRCFAILIE
								rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:24　予約済み、常に 0 として読み出されます。

ビット 23 **CEATAENDIE**：CE-ATA コマンド完了信号受信割り込みイネーブル
CE-ATA コマンド完了信号を受信したときに生成される割り込みを有効/無効にするために、ソフトウェアによってセット/クリアされます。
0：CE-ATA コマンド完了信号受信割り込みは無効です。
1：CE-ATA コマンド完了信号受信割り込みは有効です。

ビット 22 **SDIOITIE**：SDIO モード割り込み受信割り込みイネーブル
SDIO モード割り込みを受信したときに生成される割り込みを有効/無効にするために、ソフトウェアによってセット/クリアされます。
0：SDIO モード割り込み受信割り込みは無効です。
1：SDIO モード割り込み受信割り込みは有効です。

ビット 21 **RXDAVLIE**：Rx FIFO データ有無割り込みイネーブル
Rx FIFO のデータの有無によって生成される割り込みを有効/無効にするために、ソフトウェアによってセット/クリアされます。
0：Rx FIFO のデータの有無による割り込みは無効です。
1：Rx FIFO のデータの有無による割り込みは有効です。

ビット 20 **TXDAVLIE**：Tx FIFO データ有無割り込みイネーブル
Tx FIFO のデータの有無によって生成される割り込みを有効/無効にするために、ソフトウェアによってセット/クリアされます。
0：Tx FIFO のデータの有無による割り込みは無効です。
1：Tx FIFO のデータの有無による割り込みは有効です。

ビット 19 **RXFIFOEIE**：Rx FIFO エンプティ割り込みイネーブル
Rx FIFO が空になったときの割り込みを有効/無効にするために、ソフトウェアによってセット/クリアされます。
0：Rx FIFO エンプティ割り込みは無効です。
1：Rx FIFO エンプティ割り込みは有効です。

ビット 18 **TXFIFOEIE**：Tx FIFO エンプティ割り込みイネーブル
Tx FIFO が空になったときに生成される割り込みを有効/無効にするために、ソフトウェアによってセット/クリアされます。
0：Tx FIFO エンプティ割り込みは無効です。
1：Tx FIFO エンプティ割り込みは有効です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 17 **RXFIFOFIE**：Rx FIFO フル割り込みイネーブル
Rx FIFO がいっぱいになったときに生成される割り込みを有効/無効にするために、ソフトウェアによってセット/クリアされます。
0：Rx FIFO フル割り込みは無効です。
1：Rx FIFO フル割り込みは有効です。

ビット 16 **TXFIFOFIE**：Tx FIFO フル割り込みイネーブル
Tx FIFO がいっぱいになったときに生成される割り込みを有効/無効にするために、ソフトウェアによってセット/クリアされます。
0：Tx FIFO フル割り込みは無効です。
1：Tx FIFO フル割り込みは有効です。

ビット 15 **RXFIFOHFIE**：Rx FIFO ハーフフル割り込みイネーブル
Rx FIFO がハーフフル状態になったときに生成される割り込みを有効/無効にするために、ソフトウェアによってセット/クリアされます。
0：Rx FIFO ハーフフル割り込みは無効です。
1：Rx FIFO ハーフフル割り込みは有効です。

ビット 14 **TXFIFOHEIE**：Tx FIFO ハーフエンプティ割り込みイネーブル
Tx FIFO がハーフエンプティ状態になったときに生成される割り込みを有効/無効にするために、ソフトウェアによってセット/クリアされます。
0：Tx FIFO ハーフエンプティ割り込みは無効です。
1：Tx FIFO ハーフエンプティ割り込みは有効です。

ビット 13 **RXACTIE**：データ受信中割り込みイネーブル
データ受信中の割り込みを有効/無効にするために、ソフトウェアによってセット/クリアされます。
0：データ受信中割り込みは無効です。
1：データ受信中割り込みは有効です。

ビット 12 **TXACTIE**：データ送信中割り込みイネーブル
データ送信中の割り込みを有効/無効にするために、ソフトウェアによってセット/クリアされます。
0：データ送信中割り込みは無効です。
1：データ送信中割り込みは有効です。

ビット 11 **CMDACTIE**：コマンド動作中割り込みイネーブル
コマンド転送中の割り込みを有効/無効にするために、ソフトウェアによってセット/クリアされます。
0：コマンド動作中割り込みは無効です。
1：コマンド動作中割り込みは有効です。

ビット 10 **DBCKENDIE**：データブロックエンド割り込みイネーブル
データブロックエンドによる割り込みを有効/無効にするために、ソフトウェアによってセット/クリアされます。
0：データブロックエンド割り込みは無効です。
1：データブロックエンド割り込みは有効です。

ビット 9 **STBITERRIE**：スタートビットエラー割り込みイネーブル
スタートビットエラーによる割り込みを有効/無効にするために、ソフトウェアによってセット/クリアされます。
0：スタートビットエラー割り込みは無効です。
1：スタートビットエラー割り込みは有効です。

ビット 8 **DATAENDIE**：データエンド割り込みイネーブル
データエンドによる割り込みを有効/無効にするために、ソフトウェアによってセット/クリアされます。
0：データエンド割り込みは無効です。
1：データエンド割り込みは有効です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 7 **CMDSENTIE**：コマンド送信割り込みイネーブル
コマンド送信による割り込みを有効/無効にするために、ソフトウェアによってセット/クリアされます。
0：コマンド送信割り込みは無効です。
1：コマンド送信割り込みは有効です。

ビット 6 **CMDRENDIE**：コマンドレスポンス受信割り込みイネーブル
コマンドレスポンスの受信による割り込みを有効/無効にするために、ソフトウェアによってセット/クリアされます。
0：コマンドレスポンス受信割り込みは無効です。
1：コマンドレスポンス受信割り込みは有効です。

ビット 5 **RXOVERRIE**：Rx FIFO オーバーランエラー割り込みイネーブル
Rx FIFO オーバーランエラーによる割り込みを有効/無効にするために、ソフトウェアによってセット/クリアされます。
0：Rx FIFO オーバーランエラー割り込みは無効です。
1：Rx FIFO オーバーランエラー割り込みは有効です。

ビット 4 **TXUNDERRIE**：Tx FIFO アンダーランエラー割り込みイネーブル
Tx FIFO アンダーランエラーによる割り込みを有効/無効にするために、ソフトウェアによってセット/クリアされます。
0：Tx FIFO アンダーランエラー割り込みは無効です。
1：Tx FIFO アンダーランエラー割り込みは有効です。

ビット 3 **DTIMEOUTIE**：データタイムアウト割り込みイネーブル
データタイムアウトによる割り込みを有効/無効にするために、ソフトウェアによってセット/クリアされます。
0：データタイムアウト割り込みは無効です。
1：データタイムアウト割り込みは有効です。

ビット 2 **CTIMEOUTIE**：コマンドタイムアウト割り込みイネーブル
コマンドタイムアウトによる割り込みを有効/無効にするために、ソフトウェアによってセット/クリアされます。
0：コマンドタイムアウト割り込みは無効です。
1：コマンドタイムアウト割り込みは有効です。

ビット 1 **DCRCFAILIE**：データ CRC 失敗割り込みイネーブル
データ CRC 失敗による割り込みを有効/無効にするために、ソフトウェアによってセット/クリアされます。
0：データ CRC 失敗割り込みは無効です。
1：データ CRC 失敗割り込みは有効です。

ビット 0 **CCRCFAILIE**：コマンド CRC 失敗割り込みイネーブル
コマンド CRC 失敗による割り込みを有効/無効にするために、ソフトウェアによってセット/クリアされます。
0：コマンド CRC 失敗割り込みは無効です。
1：コマンド CRC 失敗割り込みは有効です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

21.9.14 SDIO FIFO カウンタレジスタ（SDIO_FIFOCNT）

アドレスオフセット：0x48

リセット値：0x0000 0000

SDIO_FIFOCNT レジスタは、FIFO に書き込まれるか、FIFO から読み出される残りのワード数を含みます。FIFO カウンタは、データ制御レジスタ（SDIO_DCTRL レジスタ）のデータ転送イネーブルビット DTEN がセットされていて、DPSM がアイドル状態のときにデータ長レジスタ（SDIO_DLEN を参照）から値をロードします。データ長がワード境界（4 の倍数）に合っていない場合、残りの 1～3 バイトは 1 ワードとみなされます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								FIFOCOUNT																							
								r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:24 予約済み、常に 0 として読み出されます。

ビット 23:0 **FIFOCOUNT**：FIFO に書き込まれるか、FIFO から読み出される残りのワード数を含みます。

21.9.15 SDIO データ FIFO レジスタ（SDIO_FIFO）

アドレスオフセット：0x80

リセット値：0x0000 0000

受信および送信 FIFO は、32 ビット幅のレジスタとして読み書きできます。FIFO は、32 の連続したアドレスに 32 個のエントリを含みます。このため、CPU は複数のオペランドをロードおよび格納して、FIFO の読み書きを行うことができます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FIF0Data																															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0 **FIFOData**：受信および送信 FIFO データ
FIFO データは、アドレス SDIO ベース+ 0x080～SDIO ベース+ 0xFC から、32 ビットワードの 32 個のエントリを占有します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

21.9.16 SDIO レジスタマップ

次の表に、SDIO レジスタの要約を示します。

表166. SDIO レジスタマップ

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	SDIO_POWER	予約済み																														PWRCTRL	
0x04	SDIO_CLKCR	予約済み																	HWFC_EN	NEGEDGE	WIDBUS		BYPASS	PWRSAV	CLKEN	CLKDIV							
0x08	SDIO_ARG	CMDARG																															
0x0C	SDIO_CMD	予約済み																	CE-ATACMD	nIEN	ENCMDcompl	SDIOSuspend	CPSMEN	WAITPEND	WAITINT	WAITRESP	CMDINDEX						
0x10	SDIO_RESPCMD	予約済み																										RESPCMD					
0x14	SDIO_RESP1	CARDSTATUS1																															
0x18	SDIO_RESP2	CARDSTATUS2																															
0x1C	SDIO_RESP3	CARDSTATUS3																															
0x20	SDIO_RESP4	CARDSTATUS4																															
0x24	SDIO_DTIMER	DATATIME																															
0x28	SDIO_DLEN	予約済み								DATALENGTH																							
0x2C	SDIO_DCTRL	予約済み																				SDIOEN	RWMOD	RWSTOP	RWSTART	DBLOCKSIZE			DMAEN	DTMODE	DTDIR	DTEN	
0x30	SDIO_DCOUNT	予約済み								DATACOUNT																							
0x34	SDIO_STA	予約済み								CEATAEND	SDIOIT	RXDAVL	TXDAVL	RXFIFOE	TXFIFOE	RXFIFOF	TXFIFOF	RXFIFOHF	TXFIFOHE	RXACT	TXACT	CMDACT	DBCKEND	STBITERR	DATAEND	CMDSENT	CMDREND	RXOVERR	TXUNDERR	DTIMEOUT	CTIMEOUT	DCRCFAIL	CCRCFAIL
0x38	SDIO_ICR	予約済み								CEATAENDC	SDIOITC	予約済み											DBCKENDC	STBITERRC	DATAENDC	CMDSENTC	CMDRENDC	RXOVERRC	TXUNDERRC	DTIMEOUTC	CTIMEOUTC	DCRCFAILC	CCRCFAILC
0x3C	SDIO_MASK	予約済み								CEATAENDIE	SDIOITIE	RXDAVLIE	TXDAVLIE	RXFIFOEIE	TXFIFOEIE	RXFIFOFIE	TXFIFOFIE	RXFIFOHFIE	TXFIFOHEIE	RXACTIE	TXACTIE	CMDACTIE	DBCKENDIE	STBITERRIE	DATAENDIE	CMDSENTIE	CMDRENDIE	RXOVERRIE	TXUNDERRIE	DTIMEOUTIE	CTIMEOUTIE	DCRCFAILIE	CCRCFAILIE
0x48	SDIO_FIFOCNT	予約済み								FIFOCOUNT																							
0x80	SDIO_FIFO	FIF0Data																															

注： レジスタ境界アドレスについては、表 1（45 ページ）を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

22 ユニバーサルシリアルバス（USB）フルスピードデバイスインタフェース

小容量デバイスは、フラッシュメモリ容量が 16～32 KB の STM32F101xx、STM32F102xx、および STM32F103xx マイクロコントローラです。

中容量デバイスは、フラッシュメモリ容量が 64～128 KB の STM32F101xx、STM32F102xx、および STM32F103xx マイクロコントローラです。

大容量デバイスは、フラッシュメモリ容量が 256～512 KB の STM32F101xx および STM32F103xx マイクロコントローラです。

特大容量デバイスは、フラッシュメモリ容量が 768 KB～1 MB の STM32F101xx および STM32F103xx マイクロコントローラです。

コネクティビティラインデバイスは、STM32F105xx および STM32F107xx マイクロコントローラです。

このセクションは、STM32F103xx パフォーマンスラインおよび STM32F102xx USB アクセスラインファミリにのみ適用されます。

22.1 USB の概要

USB ペリフェラルは、フルスピード USB 2.0 バスと APB1 バスとのインタフェースを実現します。

USB のサスペンド/レジュームがサポートされ、消費電力削減のためにデバイスのクロックを停止することができます。

22.2 USB の主な機能

- USB 仕様バージョン 2.0 フルスピードに準拠
- 1～8 個の間でエンドポイント数を設定可能
- 巡回冗長検査（CRC）の生成/検査、ノンリターンゼロ反転符号（NRZI）のエンコード/デコード、およびビットスタッフィング
- アイソクロナス転送のサポート
- ダブルバッファ方式のバルク/アイソクロナスエンドポイントのサポート
- USB サスペンド/レジューム操作
- フレームに同期したクロックパルスの生成

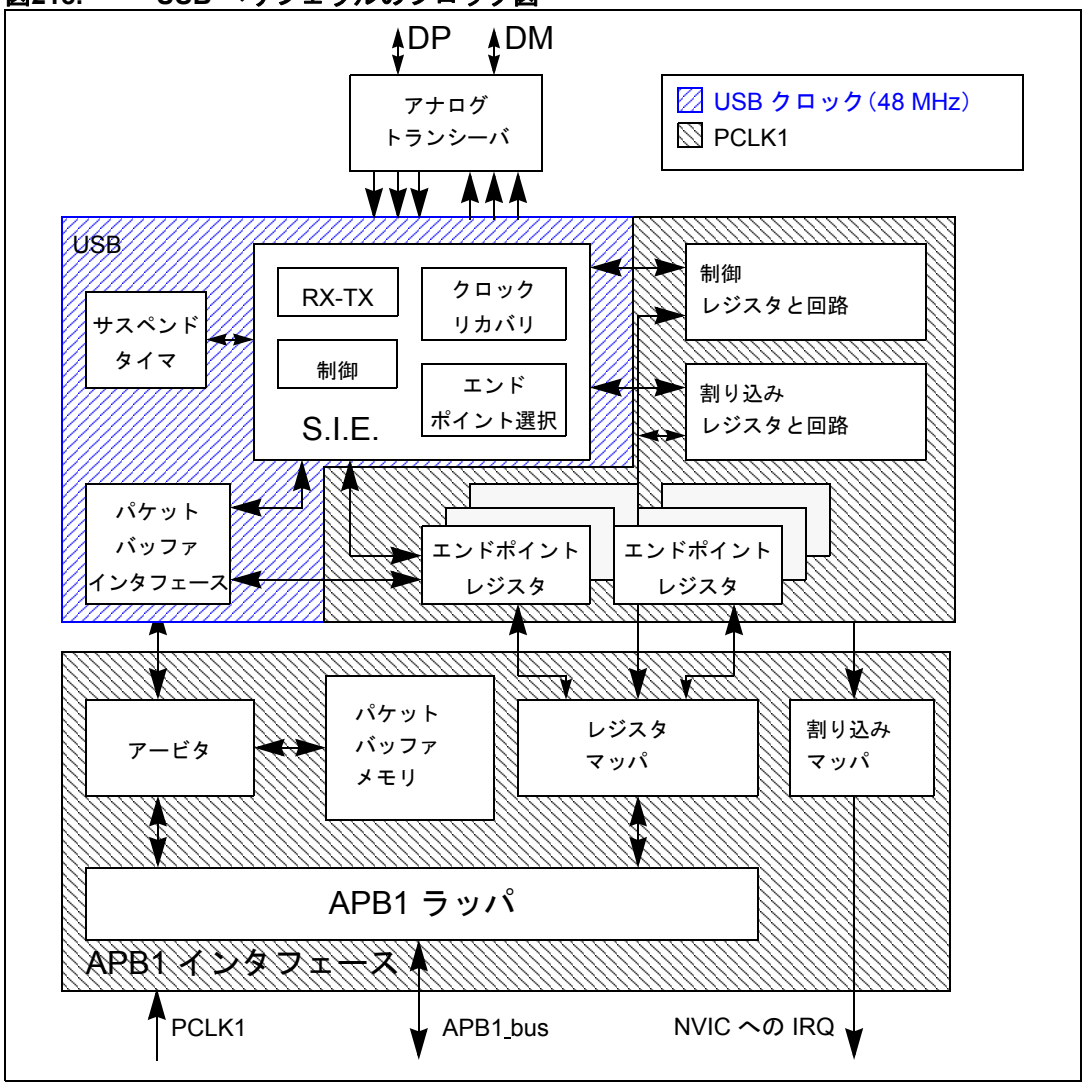
注： ***USB は、データの送受信に 512 バイトの専用 SRAM メモリを使用します（この SRAM には USB か LAN だけがアクセスします）。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

22.3 USB の機能詳細

図 218 に、USB ペリフェラルのブロック図を示します。

図218. USB ペリフェラルのブロック図



USB ペリフェラルは、マイクロコントローラによって実装される機能とホスト PC との間に USB 準拠の接続を提供します。ホスト PC とシステムメモリとの間のデータ転送は、USB ペリフェラルによって直接アクセスされる専用のパケットバッファメモリを介して行われます。この専用バッファメモリのサイズは、使用されるエンドポイントの数と最大パケットサイズに基づいて決める必要があります。この専用メモリは 512 バイトにサイズ指定され、最大 16 個の一方向エンドポイントまたは 8 個の両方向エンドポイントを使用できます。USB ペリフェラルは USB ホストとインタフェースして、USB 標準で要求されるトークンパケットの検出、データ送受信の処理、およびハンドシェイクパケットの処理を行います。CRC の生成と検査など、トランザクションの書式設定はハードウェアによって行われます。

各エンドポイントは、エンドポイントに関連するメモリ領域の位置、そのサイズ、および転送すべきバイト数を示す、バッファ記述ブロックに関連付けられます。有効な機能/エンドポイントのペアに対するトークンが USB ペリフェラルによって認識されると、関連するデータ転送が行われます（必要であり、かつエンドポイントが設定されている場合）。USB ペリフェラルによってバッファされたデータが内部 16 ビットレジスタにロードされ、専用バッファへのメモリアクセスが行われます。すべて

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

のデータが転送されると、必要な場合には、転送方向に基づいて、USB を介した適切なハンドシェイクパケットが生成または期待されます。

トランザクションの最後には、エンドポイント固有の割り込みが生成され、ステータスレジスタの読み出しやさまざまな割り込み応答ルーチンが使用されます。マイクロコントローラは、以下の項目を判断できます。

- 処理すべきエンドポイント
- 行われたトランザクションのタイプと、エラーが発生したかどうか（ビットスタッフィング、フォーマット、CRC、プロトコル、ACK、オーバーラン/アンダーランなど）。

アイソクロナス転送とハイスループットのバルク転送のための特殊なサポートが提供され、ダブルバッファ方式を実装しています。このため、マイクロコントローラが一方のバッファを使用している間、USB ペリフェラルは他方のバッファを使用できます。

このユニットは、必要に応じて制御レジスタに書き込むことによって、低電力（サスペンド）モードにすることができます。このとき、すべての静的な電力消費が抑えられ、USB クロックを低速にしたり停止したりすることができます。低電力モード時に USB 入力の動作が検出されると、デバイスは非同期でウェイクアップされます。特殊な割り込みソースをウェイクアップラインに直接接続すると、システムは、通常のクロック生成をただちにリスタートしたり、クロックの直接的な開始/停止をサポートしたりできます。

22.3.1 USB ブロックの説明

USB ペリフェラルは、USB インタフェースに関するすべての機能を実装し、以下のブロックを含みます。

- シリアルインタフェースエンジン（SIE）：このブロックの機能は、同期パターンの認識、ビットスタッフィング、CRC の生成と検査、PID の確認/生成、およびハンドシェイクの評価です。このブロックは、USB トランシーバとインタフェースする必要があり、パケットバッファインタフェースによって提供される仮想バッファを使用して、ローカルデータストレージを実現します。このユニットは、フレーム開始（SOF）、USB_Reset、データエラーなどのUSB ペリフェラルのイベントや、送信終了や正常なパケット受信などのエンドポイント関連のイベントに基づいて、信号も生成します。これらの信号は割り込みの生成に使用されます。
- タイマ：このブロックは、フレーム開始に同期したクロックパルスを生成し、トラフィックが 3 ms の間受信されないときは、ホストからのグローバルサスペンドを検出します。
- パケットバッファインタフェース：このブロックは、ローカルメモリを管理して、送受信に使用される一連のバッファをフレキシブルに実装します。このブロックは、SIE からのリクエストに基づいて適切なバッファを選択して、エンドポイントレジスタによって示されたメモリアドレスに配置します。パケットの終了まで、1 ワード交換されるたびにアドレスをインクリメントし、交換されたバイト数を把握して、バッファが最大容量をオーバーランするのを防ぎます。
- エンドポイント関連レジスタ：各エンドポイントには、エンドポイントのタイプと現在のステータスを含むレジスタが関連付けられます。一方向/シングルバッファのエンドポイントの場合、1 個のレジスタを使用して、2 つの異なるエンドポイントを実装できます。レジスタは全部で 8 個あり、最大 16 個の一方向/シングルバッファエンドポイントか、最大 7 個のダブルバッファエンドポイント* を自由に組み合わせることができます。たとえば、USB ペリフェラルは、4 個のダブルバッファエンドポイントと 8 個のシングルバッファ /一方向エンドポイントを持つようにプログラミングすることができます。
- 制御レジスタ：これらは、USB ペリフェラル全体のステータス情報を含むレジスタであり、レジュームやパワーダウンなどの USB イベントを強制実行するために使用されます。
- 割り込みレジスタ：これらは、割り込みマスクとイベントのレコードを含みます。割り込み理由や割り込みステータスの問い合わせに使用したり、ペンディング割り込みのステータスをクリアするために使用できます。

注： **** エンドポイント 0 は、常にシングルバッファモードでのコントロール転送に使用されます。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

USB ペリフェラルは APB1 インタフェースを介して APB1 バスに接続されます。APB1 インタフェースには次のブロックが含まれます。

- パケットメモリ：これは、パケットバッファを物理的に含むローカルメモリです。パケットバッファインタフェースによって使用され、データ構造を作成し、アプリケーションソフトウェアによって直接アクセスできます。パケットメモリのサイズは 512 バイトであり、16 ビット単位の 256 ワードとして構成されます。
- アービタ：このブロックは APB1 バスと USB インタフェースからのメモリリクエストを受け入れます。APB1 アクセスに優先権を与えることによって競合を解決すると同時に、メモリ帯域幅の 1/2 を確保することによって、すべての USB 転送を完了させます。この時間を二分割する方式は、仮想デュアルポート SRAM を実装して、USB トランザクション中のメモリアクセスを可能にします。この方式では、任意の長さのマルチワード APB1 転送も可能です。
- レジスタマッパ：このブロックは、USB ペリフェラルのさまざまなバイト幅およびビット幅のレジスタをまとめて、APB1 によってアドレス指定される 16 ビット幅の構造化されたワードセットに格納します。
- APB1 ラッパ：これは、メモリとレジスタに APB1 へのインタフェースを提供します。また、USB ペリフェラル全体を APB1 アドレス空間に配置します。
- 割り込みマッパ：このブロックは、USB イベントによる割り込みの生成方法と、NVIC の 3 つの異なるラインへの配置方法を選択するために使用されます。
  - USB 低優先割り込み（チャネル 20）：すべての USB イベント（正しい転送や USB リセットなど）によってトリガされます。ファームウェアは、割り込みを処理する前に、割り込みソースをチェックしなければなりません。
  - USB 高優先割り込み（チャネル 19）：アイソクロナスおよびダブルバッファバルク転送で最高の転送速度に到達するために、正しい転送イベントによってのみトリガされます。
  - USB ウェイクアップ割り込み（チャネル 42）：USB サスペンドモードからのウェイクアップイベントによってトリガされます。

22.4 プログラミングの際の注意

以下のセクションでは、アプリケーションソフトウェアの開発を容易にするために、USB ペリフェラルとアプリケーションプログラム間の予想される相互作用について説明します。

22.4.1 一般的な USB デバイスのプログラミング

ここでは、USB 準拠の動作を達成するために、アプリケーションソフトウェアに要求される主なタスクについて説明します。最も一般的な USB イベントに関連するアクションが考慮されており、いくつかの段落では、ダブルバッファエンドポイントやアイソクロナス転送といった特殊なケースを取り上げています。システムリセットは別として、アクションは常に下記のいずれかの USB イベントによって駆動される USB ペリフェラルによって開始されます。

22.4.2 システムリセットとパワーオンリセット

システムリセットやパワーオンリセット時に、アプリケーションソフトウェアが行うべき最初のアクションは、必要なすべてのクロック信号をUSB ペリフェラルに供給し、続いてそのリセット信号をネゲートして、レジスタにアクセスできるようにすることです。初期化シーケンス全体は、以下のとおりです。

最初のステップとして、アプリケーションソフトウェアは、デバイスのクロック管理ロジックによって提供される関連の制御ビットを使用して、レジスタのマクロセルクロックを有効にし、マクロセル固有のリセット信号をネゲートします。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

次に、CNTR レジスタの PDWN ビットを使用して、USB トランシーバに関連するデバイスのアナログ部分をオンにする必要があります。これには、特別な操作が必要です。このビットは、ポートトランシーバに電源を供給する内部電圧基準をオンにします。この回路には定義済みの起動時間（データシートでは $t_{STARTUP}$ で指定）があり、その間の USB トランシーバの動作は定義されていません。したがって、CNTR レジスタの PDWN ビットをセットした後は、この時間の経過を待ってから、（CNTR レジスタの FRES ビットをクリアして）USB 部のリセット条件を解除する必要があります。ISTR レジスタをクリアすると、スプリアスなペンディング割り込みが除去されてから、他のマクロセル操作が有効になります。

システムリセット時には、USB ペリフェラルが割り込み生成とデータ転送を正しく行えるように、マイクロコントローラは必要なすべてのレジスタとパケットバッファ記述テーブルを初期化しなければなりません。どのエンドポイントにも限定されないレジスタはすべて、アプリケーションソフトウェアのニーズ（有効な割り込みの選択やパケットバッファの選択したアドレスなど）に従って初期化する必要があります。次に、このプロセスは USB リセット（次項）に引き継がれます。

USB リセット（RESET 割り込み）

このイベントが発生すると、USB ペリフェラルは、前項で説明した初期化後にシステムリセットが行われた場合と同じ条件に置かれます。すなわち、すべてのエンドポイントレジスタで通信が無効になります（USB ペリフェラルはパケットに応答しません）。USB リセットイベントへの応答として、USB 機能を有効にする必要があります。すなわち、USB アドレスを 0 にし、デフォルトのコントロールエンドポイントのみを実装します（エンドポイントアドレスも 0 です）。それには、USB_DADDR レジスタのイネーブルファンクション（EF）ビットをセットし、EP0R レジスタとそれに関連するパケットバッファを初期化します。USB 列挙プロセスで、ホストは、このデバイスに一意なアドレスを割り当て（このアドレスは USB_DADDR レジスタの ADD[6:0] ビットに書き込む必要があります）、他の必要なエンドポイントを設定します。
RESET 割り込みが受信されると、アプリケーションソフトウェアは、割り込みをトリガしたリセットシーケンスの終わりから 10 ms 以内に、デフォルトエンドポイントの USB 機能 0 を再び有効にする必要があります。

パケットバッファの構造と使用

個々の両方向エンドポイントは、ホストとの間でデータの送受信を行うことができます。受信されたデータはそのエンドポイント専用のメモリバッファに格納され、別のメモリバッファには、このエンドポイントから送信されるデータが格納されます。このメモリへのアクセスはパケットバッファインタフェースブロックによって行われます。このブロックは、メモリアクセスリクエストを配信し、その確認応答を待ちます。パケットバッファメモリはマイクロコントローラによってもアクセスされる必要があるため、アービタロジックが、APB1 サイクルの 1/2 をマイクロコントローラのアクセスに使用し、残りの 1/2 を USB ペリフェラルのアクセスに使用することで、アクセスの競合を管理します。このようにして、マイクロコントローラが連続アクセスを行っている場合でも、双方とも競合を気にすることなく、パケットメモリがデュアルポート SRAM であるかのように動作することができます。USB ペリフェラルロジックは専用のクロックを使用します。この専用クロックの周波数は、USB 標準の要件によって 48 MHz に固定されており、APB1 バスへのインタフェース用のクロックとは異なる場合があります。さまざまなクロック設定が可能であり、APB1 クロック周波数をUSB ペリフェラルのクロックより高くしたり、低くすることができます。

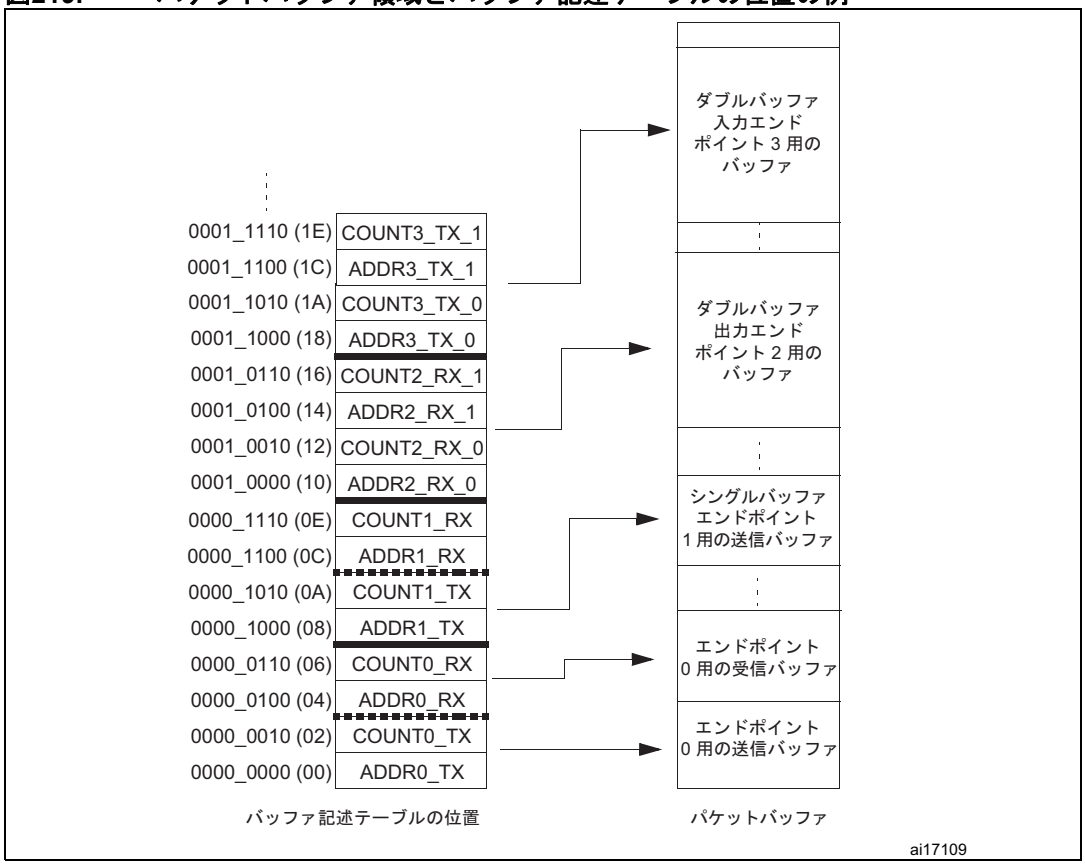
注： ***USB データレートとパケットメモリインタフェースの要件により、データのオーバーラン/アンダーラン問題を避けるために、APB1 クロック周波数は 8 MHz より大きくなければなりません。***

各エンドポイントは、2 個のパケットバッファ（通常、送信と受信に 1 個ずつ）に関連付けられています。バッファの位置とサイズはバッファ記述テーブルで指定されるので、バッファはパケットメモリ内のどこにでも置くことができます。バッファ記述テーブルも、パケットメモリ内の USB_BTABLE レジスタによって示されるアドレスに置かれます。各テーブルエントリは、エンドポイントレジスタに関連付けられ、テーブル開始アドレスが常に 8 バイト境界に配置されるように、4 つの 16 ビットワードで構成されます（USB_BTABLE レジスタの最下位 3 ビットは常に“000”です）。バッファ記述

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

テーブルのエントリについては、*セクション 22.5.3：バッファ記述子テーブル*を参照してください。エンドポイントが一方向であり、アイソクロナスでもダブルバッファバルクでもない場合、必要なパケットバッファは 1 つだけです（サポートされる転送方向に関連するもの）。サポートされていない転送方向や未使用のエンドポイントに関連するその他のテーブル位置は、ユーザが使用できます。アイソクロナスおよびダブルバッファバルクエンドポイントでは、パケットバッファの特別な取り扱いが必要です（それぞれ、*セクション 22.4.4：アイソクロナス転送*と*セクション 22.4.3：ダブルバッファエンドポイント*を参照してください）。バッファ記述テーブルのエントリとパケットバッファ領域の関係を*図 219* に示します。

図219. パケットバッファ領域とバッファ記述テーブルの位置の例



各パケットバッファは、送受信時に、下端から使用されます。USB ペリフェラルは、割り当てられたメモリバッファに隣接するメモリ位置の内容を変更することはありません。割り当てられたバッファ長を上回るパケットが受信された場合（バッファオーバーラン条件）、データは使用可能な最後の位置までしかメモリにコピーされません。

エンドポイントの初期化

エンドポイントを初期化するための最初のステップは、ADDRn_TX/ADDRn_RX レジスタに適切な値を書き込むことによって、USB ペリフェラルが既存の送信すべきデータを見つけ出し、受信したデータをバッファに格納できるようにすることです。USB_EPnR レジスタの EP_TYPE ビットは、エンドポイントの種類に基づいてセットする必要があります。最終的には、EP_KIND ビットを使用して、必要な特殊機能を有効にします。送信側では、USB_EPnR レジスタの STAT_TX ビットを使用してエンドポイントを有効にし、COUNTn_TX を初期化する必要があります。受信の場合は、STAT_RX ビットをセットして受信を有効にし、BL_SIZE および NUM_BLOCK フィールドを使用して、割り当てられたバッファサイズを COUNTn_RX に書き込む必要があります。アイソクロナスとダブルバッファのバルクエンドポイントを除いて、一方向のエンドポイントでは、サポートされる方向に関連する

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビットとレジスタのみを初期化する必要があります。送信や受信が有効になると、USB_EPnR レジスタと ADDRn_TX/ADDRn_RX、COUNTn_TX/COUNTn_RX の各位置をアプリケーションソフトウェアで変更することはできません。これらの値は、ハードウェアが自動で変更するためです。データ転送が完了すると、CTR 割り込みイベントによって通知され、これらの値は、新しい操作を再び有効にするために、再びアクセスできるようになります。

IN パケット（データ送信）

IN トークンパケットを受信したとき、受信したアドレスが設定済みの有効なエンドポイントアドレスと一致した場合、USB ペリフェラルは、そのエンドポイントに関連するバッファ記述テーブルエントリ内の位置 ADDRn_TX と COUNTn_TX の内容にアクセスします。これらの位置の内容は、ソフトウェアからはアクセスできない、内部の 16 ビットレジスタ ADDR と COUNT に格納されます。送信すべき最初のワードを読み出すためにパケットメモリが再びアクセスされ（*パケットバッファの構造と使用（589 ページ）*を参照）、USB_EPnR の DTOG_TX ビットに基づいて、DATA0 または DATA1 PID の送信が始まります。PID の送信が完了すると、バッファメモリから読み出されたワードの最初のバイトが、USB バスに送信される出力シフトレジスタにロードされます。最後のデータバイトが送信された後、算出された CRC が送信されます。アドレス指定されたエンドポイントが有効でない場合、USB_EPnR レジスタの STAT_TX ビットに基づいて、データパケットの代わりに NAK または STALL ハンドシェイクパケットが送信されます。

内部レジスタ ADDR は現在のバッファメモリ位置へのポインタとして使用され、COUNT は送信される残りのバイト数をカウントするために使用されます。パケットバッファメモリから読み出された各ワードは、USB バスを介して最下位バイトから送信されます。送信バッファメモリは、ADDRn_TX で示されるアドレスから COUNTn_TX/2 ワードが読み出されます。送信パケットが奇数バイトで構成される場合、アクセスされた最後のワードの下位半分のみが使用されます。

ホストからの ACK 応答を受信すると、USB_EPnR レジスタでは、DTOG_TX ビットがトグルされ、STAT_TX=10（NAK）をセットすることによってエンドポイントが無効にされ、CTR_TX ビットがセットされます。アプリケーションソフトウェアは、まず、USB_ISTR レジスタの EP_ID および DIR ビットを調べて、マイクロコントローラのサービスを要求しているエンドポイントを特定する必要があります。CTR_TX イベントへの対応は、割り込みビットのクリアから始まります。アプリケーションソフトウェアは、送信すべきデータが格納された別のバッファを用意し、次の転送で送信すべきバイト数で COUNTn_TX テーブル位置を更新し、最後に STAT_TX を 11（VALID）にセットすることによって送信を再び有効にします。STAT_TX ビットが 10（NAK）である間、このエンドポイントに対する IN リクエストは NAK され、フロー制御条件であることが示されます。USB ホストは、成功するまでトランザクションを再試行します。CTR 割り込みをトリガしたトランザクションに続いて、同じエンドポイントに対する 2 番目の IN トランザクションの通知を失わないためには、上記の順序で一連の操作を実行することが必要です。

OUT および SETUP パケット（データ受信）

この 2 つのトークンは、USB ペリフェラルによってほぼ同じように扱われます。SETUP パケットの扱いの相違点は、次のコントロール転送に関する項で詳しく説明します。OUT/SETUP PID を受信したとき、アドレスが有効なエンドポイントに一致した場合、USB ペリフェラルは、そのエンドポイントに関連するバッファ記述テーブルエントリ内の ADDRn_RX および COUNTn_RX 位置の内容にアクセスします。ADDRn_RX の内容は、そのまま内部レジスタ ADDR に格納されます。COUNT はリセットされ、COUNTn_RX に読み込まれた BL_SIZE および NUM_BLOCK ビットフィールドの値は、バッファオーバーラン条件のチェックに使用される内部 16 ビットカウンタ BUF_COUNT の初期化に使用されます（これらの内部レジスタにはソフトウェアからアクセスできません）。その後 USB ペリフェラルによって受信されたデータバイトは、最初に受信されたバイトが最下位バイトとなるようにワード単位でパックされ、内部レジスタ ADDR に格納されたアドレスから始まるパケットバッファに転送されます。また、バイト転送のたびに BUF_COUNT はデクリメントされ、COUNT はインクリメントされます。DATA パケットの終了が検出されると、受信した CRC がチェックされ、受信中にエラーが発生していない場合にのみ、ACK ハンドシェイクパケットが送信側のホストに送り返され

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ます。CRC やその他の種類のエラー（ビットスタッフ違反、フレームエラーなど）が検出された場合、データバイトは、少なくともエラーが検出された位置まではパケットメモリバッファにコピーされますが、ACK パケットは送信されず、USB_ISTR レジスタの ERR ビットがセットされます。ただし、この場合、通常はソフトウェアによる対処は必要ありません。USB ペリフェラルは受信エラーから回復し、次のトランザクションを受信することができます。指定されたエンドポイントが有効でない場合は、USB_EPnR レジスタの STAT_RX ビットに基づいて、ACK の代わりに NAK または STALL ハンドシェイクパケットが送信され、受信メモリバッファにはデータが書き込まれません。

受信メモリバッファ位置には、ADDRn_RX レジスタに格納されたアドレスから始まって、CRC を含む受信データパケット長に対応するバイト数（データペイロード長 + 2）か、または BL_SIZE と NUM_BLOCK のどちらか先に受信した方によって定義された最後に割り当てられたメモリ位置まで、データが書き込まれます。このように、USB ペリフェラルは割り当てられた受信メモリバッファ領域を越えて書き込みを行うことはありません。データパケットのペイロード長（アプリケーションによって使用される実際のバイト数）が割り当てられたバッファより大きい場合、USB ペリフェラルはバッファオーバーラン条件を検出します。この場合、ホストに問題を通知するために、通常の ACK の代わりに STALL ハンドシェイクが送信されます。割り込みは生成されず、トランザクションは失敗したものとみなされます。

トランザクションが正しく完了すると、ACK ハンドシェイクパケットが送信され、内部 COUNT レジスタがバッファ記述テーブルエントリ内の COUNTn_RX 位置に書き戻され、BL_SIZE と NUM_BLOCK フィールドには影響を与えません（これらのフィールドは、通常、書き換え不要です）。USB_EPnR レジスタでは、DTOG_RX ビットがトグルされ、STAT_RX = 10（NAK）をセットすることによってエンドポイントが無効にされ、CTR_RX ビットがセットされます。エラーまたはバッファオーバーラン条件のためにトランザクションが失敗した場合、上述の動作は行われません。アプリケーションソフトウェアは、まず、USB_ISTR レジスタの EP_ID および DIR ビットを調べて、マイクロコントローラのサービスを要求しているエンドポイントを特定する必要があります。CTR_RX イベントへの対応としては、まず、USB_EPnR レジスタの SETUP ビットでトランザクションのタイプを判定します。アプリケーションソフトウェアは、割り込みフラグビットをクリアし、処理されるエンドポイントに関連するバッファ記述テーブルエントリ内の COUNTn_RX から受信バイト数を読み出す必要があります。受信データが処理された後、アプリケーションソフトウェアは、USB_EPnR レジスタの STAT_RX ビットを 11（VALID）にセットして、以降のトランザクションを有効にします。STAT_RX ビットが 10（NAK）である間、このエンドポイントに対する OUT リクエストは NAK され、フロー制御条件であることが示されます。USB ホストは、成功するまでトランザクションを再試行します。CTR 割り込みをトリガしたトランザクションに続いて、同じエンドポイントに対する 2 番目の OUT トランザクションの通知を失わないためには、上記の順序で一連の操作を実行することが必要です。

コントロール転送

コントロール転送は、SETUP トランザクション、0 個以上のデータステージ（すべて同一方向）、およびステータスステージ（逆方向の 0 バイト転送）で構成されます。SETUP トランザクションは、コントロールエンドポイントによってのみ処理され、OUT トランザクション（データ受信）に非常に似ています。ただし、コントロール転送を初期化するために、アドレス指定されたエンドポイントレジスタの DTOG_TX および DTOG_RX ビットの値がそれぞれ 1 と 0 にセットされます。さらに、SETUP の内容に応じて後続のトランザクションが IN であるか OUT であるかをソフトウェアが決定できるように、STAT_TX と STAT_RX はともに 10（NAK）にセットされます。コントロールエンドポイントは、CTR_RX イベントごとに USB_EPnR レジスタの SETUP ビットをチェックして、SETUP トランザクションから通常の OUT トランザクションを見分ける必要があります。USB デバイスは、SETUP ステージで転送されたデータを解釈することによってデータステージの数と方向を判断でき、エラーの場合にはトランザクションを STALL する必要があります。そのため、最後を除くすべてのデータステージで、未使用の方向は STALL に設定します。これによって、ホストによる転送方向の切り替えが早すぎた場合は、ステータスステージとして STALL が戻されることになります。最後のデータステージを有効にしている間、反対方向は NAK に設定します。これによって、ホストがステータスステージを実行するためにただちに転送方向を切り替えた場合は、制御操作の完了

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

を待つことになります。制御操作が正しく完了した場合、ソフトウェアは NAK を VALID に変更します。そうでない場合は STALL に変更します。同時に、ステータスステージが OUT になる場合は、STATUS_OUT（USB_EPnR レジスタの EP_KIND）ビットをセットします。これによって、ステータストランザクションが 0 以外のデータで実行された場合にエラーが生成されます。ステータストランザクションが処理されると、アプリケーションは、STATUS_OUT ビットをクリアし、新しいコマンドを受け付けるために STAT_RX を VALID にセットし、次の SETUP に続くステータスステージを遅らせるために STAT_TX を NAK にセットします。

USB 仕様では、SETUP パケットには ACK 以外のハンドシェイクでは応答できないと定められているため、最終的には以前に発行したコマンドを中断して新しいコマンドを開始することになります。USB ロジックは、コントロールエンドポイントがホストから受信した SETUP トークンに対して NAK または STALL で応答することを許しません。

STAT_RX ビットが 01（STALL）または 10（NAK）にセットされ、SETUP トークンが受信されると、USB はデータを受け入れて、必要なデータ転送を実行し、ACK ハンドシェイクを返します。そのエンドポイントに、まだアプリケーションによって確認応答されていない発行済みの CTR_RX リクエストがある（すなわち、CTR_RX ビットが以前の受信完了によってまだセットされている）場合、USB は SETUP トランザクションを破棄して、状態にかかわらず、ハンドシェイクパケットで応答せず、受信エラーを発生させて、ホストに SETUP トークンを再送信させます。これは、CTR_RX 割り込みをトリガしたトランザクションに続いて、同じエンドポイントに対する SETUP トランザクションの通知が失われるのを避けるためです。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

22.4.3 ダブルバッファエンドポイント

USB 標準で定義されるすべてのエンドポイントタイプは、それぞれ異なるトラフィックモデルを表し、さまざまな種類のデータ転送操作の典型的な条件を説明します。データの大部分がホスト PC と USB 機能の間で転送される場合、バルクエンドポイントタイプが最適なモデルです。その理由は、フレーム内の使用可能なすべての帯域幅が満たされるようにホストがバルクトランザクションをスケジュールすることで、USB 機能が指定されたバルクトランザクションに対応できる限り、実際の転送速度を最大化できるからです。次のトランザクションの到着時に、USB 機能が前のトランザクションの処理でまだビジー状態であった場合は、NAK ハンドシェイクで応答します。このとき、ホスト PC は、USB 機能が対応できるようになるまで同じトランザクションを再発行するため、再送信によって帯域幅が占有され、実際の転送速度は低下します。このため、バルクエンドポイントでは“ダブルバッファリング”と呼ばれる専用の機能を使用できます。

“ダブルバッファリング”が有効になると、データトグルシーケンスを使用して、必要なデータ転送を行うために USB ペリフェラルによって使用されるバッファを選択します。この際、“送信”および“受信”パケットメモリ領域を使用して、トランザクションが正常に終了するたびにバッファ交換を管理することで、アプリケーションは常に完全なバッファを使用すると同時に、USB ペリフェラルは他方のバッファを満たすことができます。たとえば、“受信”ダブルバッファバルクエンドポイントを対象とする OUT トランザクションの場合は、一方のバッファが USB ホストからの新しいデータで満たされている間に、もう一方のバッファをマイクロコントローラソフトウェアで使用できます（“送信”ダブルバッファバルクエンドポイントと IN トランザクションでも同様です）。

バッファ交換の管理には、割り当てられたメモリバッファの長さとアドレスポインタを格納する 4 つのバッファ記述テーブル位置を使用する必要があるため、ダブルバッファバルクエンドポイントの実現に使用される USB_EPnR レジスタは、一方向エンドポイントとして使用されます。したがって、ダブルバッファバルクエンドポイントが受信用に有効にされている場合は STAT_RX、ダブルバッファバルクエンドポイントが送信用に有効にされている場合は STAT_TX というように、ただ 1 つの STAT ビットペアのみを 00（無効）とは異なる値にセットする必要があります。ダブルバッファバルクエンドポイントを送信と受信の両方に有効にする必要がある場合は、2 つの USB_EPnR レジスタを使用する必要があります。

ダブルバッファ機能を活用して最高の転送速度を達成するには、これまでの章で説明したエンドポイントのフロー制御構造を変更して、トランザクションが正常終了するたびにではなく、USB ペリフェラルとアプリケーションソフトウェアの間でバッファ競合が発生した場合にのみ、エンドポイントステータスを NAK に切り替えます。USB ペリフェラルによって現在使用されているメモリバッファは、エンドポイント方向に関連する DTOG ビットによって指定されます。すなわち、“受信”ダブルバッファバルクエンドポイントの場合は DTOG_RX（USB_EPnR レジスタのビット 14）、“送信”ダブルバッファバルクエンドポイントの場合は DTOG_TX（USB_EPnR レジスタのビット 6）です。この新しいフロー制御方式を実現するには、USB ペリフェラルは、どのパケットバッファがアプリケーションソフトウェアによって使用中であるかを見て、競合を避ける必要があります。USB_EPnR レジスタには 2 つの DTOG ビットがありますが、USB ペリフェラルがデータとバッファの順序付けに使用するのはそのうちの 1 つだけであり（ダブルバッファ方式には一方向という制約があります）、もう 1 つはアプリケーションソフトウェアがどちらのバッファを使用中であるかを示すために使用できます。この新しいバッファフラグは SW_BUF と呼ばれます。次の表に、“送信”と“受信”のダブルバッファバルクエンドポイントの場合の、USB_EPnR レジスタのビットと DTOG/SW_BUF の定義の関連を示します。

表167. ダブルバッファリングのバッファフラグ定義

バッファフラグ	“送信”エンドポイント	“受信”エンドポイント
DTOG	DTOG_TX（USB_EPnR ビット 6）	DTOG_RX（USB_EPnR ビット 14）
SW_BUF	USB_EPnR ビット 14	USB_EPnR ビット 6

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

USB ペリフェラルによって現在使用されているメモリバッファは、DTOG バッファフラグによって定義され、アプリケーションソフトウェアによって現在使用されているバッファは、SW_BUF バッファフラグによって識別されます。バッファフラグ値と使用されているパケットバッファの関係は、いずれの場合も同じで、次の表に示されています。

表168. バルクダブルバッファリングメモリのバッファ使用

エンドポイントのタイプ	DTOG	SW_BUF	USB ペリフェラルによって使用されるパケットバッファ	アプリケーションソフトウェアによって使用されるパケットバッファ
IN	0	1	ADDRn_TX_0 / COUNTn_TX_0 バッファ記述テーブル位置。	ADDRn_TX_1 / COUNTn_TX_1 バッファ記述テーブル位置。
	1	0	ADDRn_TX_1 / COUNTn_TX_1 バッファ記述テーブル位置。	ADDRn_TX_0 / COUNTn_TX_0 バッファ記述テーブル位置。
	0	0	なし (1)	ADDRn_TX_0 / COUNTn_TX_0 バッファ記述テーブル位置。
	1	1	なし(1)	ADDRn_TX_0 / COUNTn_TX_0 バッファ記述テーブル位置。
OUT	0	1	ADDRn_RX_0 / COUNTn_RX_0 バッファ記述テーブル位置。	ADDRn_RX_1 / COUNTn_RX_1 バッファ記述テーブル位置。
	1	0	ADDRn_RX_1 / COUNTn_RX_1 バッファ記述テーブル位置。	ADDRn_RX_0 / COUNTn_RX_0 バッファ記述テーブル位置。
	0	0	なし(1)	ADDRn_RX_0 / COUNTn_RX_0 バッファ記述テーブル位置。
	1	1	なし(1)	ADDRn_RX_1 / COUNTn_RX_1 バッファ記述テーブル位置。

1. NAK ステータスのエンドポイント。

バルクエンドポイントのダブルバッファ機能は、次のようにして有効にします。

- USB_EPnR レジスタの EP_TYPE ビットフィールドに 00 を書き込んで、エンドポイントをバルクとして定義し、
- 同じレジスタの EP_KIND ビットを 1（DBL_BUF）にセットします。

アプリケーションソフトウェアは、使用する最初のバッファに基づいて DTOG ビットと SW_BUF ビットを初期化します。その際には、これらのビットはトグルのみが可能であることに注意が必要です。DBL_BUF をセットした後で最初のトランザクションが終了すると、ダブルバッファバルクエンドポイントの特殊なフロー制御がトリガされます。この制御は、DBL_BUF がセットされている限り、このエンドポイントに指定された他のすべてのトランザクションに使用されます。各トランザクションの最後には、有効にされた方向に応じて、指定されたエンドポイントの USB_EPnR レジスタの CTR_RX または CTR_TX ビットがセットされます。同時に、該当する USB_EPnR レジスタの DTOG ビットがハードウェアによってトグルされるため、USB ペリフェラルのバッファ交換はソフトウェアとは完全に独立に行われます。一般的なトランザクションや、DBL_BUF をセットした後の最初のトランザクションとは異なり、STAT ビットペアはトランザクション終了による影響を受けず、その値は 11（Valid）のままです。ただし、新しいトランザクションのトークンパケットが受信されると、USB ペリフェラルとアプリケーションソフトウェアの間のバッファ競合が検出されたときには（この条件は、*表 168（595 ページ）*に示すように、DTOG と SW_BUF が同じ値を持つことによって識別されます）、実際のエンドポイントステータスは 10（NAK）としてマスクされます。アプリケーションソフトウェアは、CTR イベント通知に対して割り込みフラグのクリアによって応答し、完了したトランザクションに必要な処理を開始します。アプリケーションのパケットバッファ使用が終わると、

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ソフトウェアは、SW_BUF ビットに 1 を書き込んでトグルし、そのバッファが使用可能であることをUSB ペリフェラルに通知します。このように、NAK されるトランザクションの数は、アプリケーションによるトランザクションデータのエラボレーション時間によってのみ制限されます。このエラボレーション時間が USB バス上でトランザクションの完了に必要な時間より短い場合、フロー制御による再送信は行われず、実際の転送速度はホスト PC によってのみ制限されます。

アプリケーションソフトウェアは、関連する USB_EPnR レジスタの STAT ビットペアに 11（Valid）以外の明示的なステータスを書き込むことで、ダブルバッファバルクエンドポイント用に実装された特殊なフロー制御をいつでも変更できます。この場合、USB ペリフェラルは、バッファの使用状態とは無関係に、常にプログラミングされたエンドポイントステータスを使用します。

22.4.4 アイソクロナス転送

USB 標準は、固定で正確なデータ生成/消費周波数を要求とするフルスピードペリフェラルをサポートし、この種のトラフィックを「アイソクロナス」と定義しています。このデータの典型例としては、オーディオサンプル、圧縮されたビデオストリーム、供給される周波数の精度に対して厳しい条件をもつ任意のサンプルデータなどがあります。Enumeration フェーズにおいてエンドポイントが「アイソクロナス」と定義されると、ホストは、フレームに必要な帯域幅を割り当て、エンドポイントの方向に応じて、各フレームに 1 個の IN または OUT パケットを配信します。帯域幅条件を抑えるため、アイソクロナストラフィックでは、失敗したトランザクションの再送信はできません。このため、アイソクロナストランザクションにはハンドシェークフェーズがなく、データパケットの後には ACK パケットは要求も送信もされません。同じ理由で、アイソクロナス転送ではデータトグルシーケンスはサポートされず、データパケットの開始には常に DATA0 PID が使用されます。

エンドポイントのアイソクロナス動作を選択するには、USB_EPnR レジスタの EP_TYPE ビットを 10 にセットします。ハンドシェイクフェーズは存在しないため、STAT_RX/STAT_TX ビットペアに対して適正な値は 00（無効）と 11（有効）のみであり、これ以外の値を指定すると、USB 標準に準拠しない結果になることがあります。アイソクロナスエンドポイントでは、アプリケーションソフトウェアの開発を容易にするためにダブルバッファリングを実装し、“送信”と“受信”のパケットメモリ領域を使用してトランザクションが正常終了するたびにバッファ交換を管理します。これによって、アプリケーションは常に完全なバッファを使用すると同時に、USB ペリフェラルは他方のバッファを使用できます。

USB ペリフェラルによって現在使用されているメモリバッファは、*表 169* に基づいて、エンドポイント方向に関連する USB_EPnR レジスタの DTOG ビット（“受信”アイソクロナスエンドポイントでは DTOG_RX、“送信”アイソクロナスエンドポイントでは DTOG_TX）によって示されます。

表169. アイソクロナスメモリバッファの使用

エンドポイントのタイプ	DTOG ビットの値	USB ペリフェラルによって使用されるパケットバッファ	アプリケーションソフトウェアによって使用されるパケットバッファ
IN	0	ADDRn_TX_0 / COUNTn_TX_0 バッファ記述テーブル位置。	ADDRn_TX_1 / COUNTn_TX_1 バッファ記述テーブル位置。
	1	ADDRn_TX_1 / COUNTn_TX_1 バッファ記述テーブル位置。	ADDRn_TX_0 / COUNTn_TX_0 バッファ記述テーブル位置。
OUT	0	ADDRn_RX_0 / COUNTn_RX_0 バッファ記述テーブル位置。	ADDRn_RX_1 / COUNTn_RX_1 バッファ記述テーブル位置。
	1	ADDRn_RX_1 / COUNTn_RX_1 バッファ記述テーブル位置。	ADDRn_RX_0 / COUNTn_RX_0 バッファ記述テーブル位置。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ダブルバッファバルクエンドポイントの場合と同じく、アイソクロナスエンドポイントの実装に使用される USB_EPnR レジスタは、一方向エンドポイントとして使用されます。アイソクロナスエンドポイントを送信と受信の両方に有効にする必要がある場合、2 つの USB_EPnR レジスタを使用する必要があります。

アプリケーションソフトウェアは、使用する最初のバッファに基づいて DTOG ビットを初期化します。その際には、このビットはトグルのみが可能であることに注意が必要です。各トランザクションの最後には、有効にされた方向に応じて、指定されたエンドポイントの USB_EPnR レジスタの CTR_RX または CTR_TX ビットがセットされます。同時に、該当する USB_EPnR レジスタの DTOG ビットがハードウェアによってトグルされるため、バッファ交換はソフトウェアとは完全に独立に行われます。アイソクロナス転送にはハンドシェークフェーズがなく、フロー制御が行われないため、STAT ビットペアはトランザクション完了の影響を受けず、エンドポイントは常に 11（有効）のままです。アイソクロナス出力転送中に CRC エラーやバッファオーバーラン条件が発生しても、正しいトランザクションとみなされ、常に CTR_RX イベントがトリガされます。ただし、CRC エラーでは常に USB_ISTR レジスタの ERR ビットがセットされ、ソフトウェアにはデータ破壊の可能性が通知されます。

22.4.5 サスペンド/レジュームイベント

USB 標準では、サスペンド（SUSPEND）と呼ばれる特殊なペリフェラル状態が定義されます。この状態では、USB バスからの平均電流が 500 µA を超えてはなりません。この要件は、バスパワー型のデバイスにとっては非常に重要ですが、セルフパワー型のデバイスはこの厳しい消費電力制約に従う必要はありません。サスペンドモードでは、ホスト PC は 3 ms 以上にわたって USB バスにトラフィックを送信しないという通知を送信します。通常の動作では 1 ms ごとに SOF パケットを送信する必要があるため、USB ペリフェラルは、SOF パケットが続けて 3 回存在しないときにホスト PC からサスペンドリクエストがあったと認識し、USB_ISTR レジスタの SUSP ビットを 1 にセットして、割り込みを発生させます（有効な場合）。サスペンド状態になったデバイスは、いわゆるレジュームシーケンスによって通常の動作に戻ります。このシーケンスはホスト PC から開始したり、ペリフェラル自身から直接開始できますが、シーケンスの終わりは常にホスト PC によって行われます。サスペンドされた USB ペリフェラルは、リセットシーケンスを検出して、このイベントに対して通常の USB リセットイベントとして対処できる必要があります。

USB ペリフェラルをサスペンドするための実際の手順は、全体の消費電力を低減する操作がデバイス構成によって異なるため、デバイスに依存します。

次に、代表的なサスペンド手順について簡単に説明します。この説明では、USB ペリフェラルの SUSP 通知に応答するアプリケーションソフトウェアルーチンの USB に関連した側面に焦点を合わせています。

1. USB_CNTR レジスタの FSUSP ビットを 1 にセットします。これによって USB ペリフェラル内でサスペンドモードが有効になります。サスペンドモードが有効になると、USB のサスペンド中に別の SUSP 割り込みが発行されないように、SOF 受信のチェックが無効になります。
2. USB ペリフェラル以外のブロックの静的消費電力をカットまたは削減します。
3. USB_CNTR レジスタの LP_MODE ビットを 1 にセットして、アナログ USB トランシーバの静的消費電力をカットしつつ、レジューム動作の検出機能を維持します。
4. オプションで、外部オシレータとデバイス PLL をオフにして、デバイス内部の動作を停止させることもできます。

デバイスがサスペンドモードにあるときに USB イベントが発生した場合には、クロックと USB 動作を通常の状態に戻すために、レジューム手順を呼び出す必要があります。発生したイベントが USB リセットシーケンスの場合、このプロセスが 10 ms 以内に終わるように特に注意を払う必要があります（詳細については、「Universal Serial Bus Specification」を参照してください）。USB ペリフェラルのサスペンド中にレジュームまたはリセットシーケンスが開始されると、USB_CNTR レジスタの LP_MODE ビットが非同期的にクリアされます。このイベントが WKUP 割り込み（有効な場合）を

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

トリガできる場合でも、システムクロックのリスタートには長い遅延が伴なうので、割り込み応答ルーチンの使用には十分な注意が必要です。公称クロックが回復するまでの遅延を短縮するには、サスペンド手順の直後にレジューム手順を置くことによって、システムクロックがリスタートされると、すぐにそのコードが実行されるようにすることをお勧めします。システムが起動する際の ESD 放電やその他のノイズを避けるには（サスペンドモードの終了は非同期イベントです）、サスペンド中にデータラインステータスで適切なアナログフィルタを起動します。フィルタ幅は約 70 ns です。

レジューム手順で行うべき動作は、次のとおりです。

1. オプションで、外部オシレータやデバイス PLL をオンにします。
2. USB_CNTR レジスタの FSUSP ビットをクリアします。
3. レジュームトリガイベントを識別する必要がある場合には、*表 170* に従って、USB_FNR レジスタの RXDP ビットと RXDM ビットを使用できます。この表には、あらゆる場合に予定されるソフトウェア動作を示しています。必要な場合には、上記のビットのステータスを監視して（バスのアイドル状態を示す “10” 設定になったかどうかをチェックすることによって）、レジュームまたはリセットシーケンスの終わりを検出できます。さらに、リセットシーケンスの終わりでは、USB_ISTR レジスタの RESET ビットが 1 にセットされて、割り込みを発行するので（有効な場合）、通常の手順で処理します。

表170. レジュームイベント検出

[RXDP, RXDM] ステータス	ウェイクアップイベント	必要なレジュームソフトウェア動作
“00”	ルートリセット	なし
“10”	なし（バス上のノイズ）	サスペンドモードに戻る
“01”	ルートレジューム	なし
“11”	禁止（バス上のノイズ）	サスペンドモードに戻る

デバイスは、USB プロトコルに直接関係しない特定のイベントへの応答として、サスペンドモードから抜け出すことが必要な場合があります（マウス移動によるシステム全体のウェイクアップなど）。この場合、レジュームシーケンスを開始するには、USB_CNTR レジスタの RESUME ビットを 1 にセットし、1～15 ms のインターバル後に 0 にリセットします（このインターバルを計るには、システムクロックが公称周波数で動作しているときに 1 ms の周期で発生する ESOF 割り込みを使用できます）。RESUME ビットがクリアされると、レジュームシーケンスはホスト PC によって完了され、その完了は、やはり USB_FNR レジスタの RXDP ビットと RXDM ビットによって監視できます。

注： ***USB_CNTR レジスタの FSUSP ビットを 1 にセットして、USB ペリフェラルをサスペンドモードにしてからでなければ、RESUME ビットは使用できません。***

22.5 USB レジスタ

USB ペリフェラルレジスタは、次のグループに分類できます。

- 一般レジスタ：割り込みおよび制御レジスタ
- エンドポイントレジスタ：エンドポイントの設定とステータス
- バッファ記述子テーブル：データバッファの検索に使用されるパケットメモリの位置

すべてのレジスタアドレスは、USB ペリフェラルレジスタのベースアドレス 0x4000 5C00 を基準にしたオフセットとして表現されます。ただし、バッファ記述子テーブルの位置は、USB_BTABLE レジスタによって指定されたアドレスから始まります。ワード単位のアドレス指定には APB1 ブリッジという共通の制約があるため、すべてのレジスタアドレスは、16 ビット幅であっても、32 ビットのワード境界に配置されます。0x4000 6000 から始まるパケットバッファのメモリ位置にアクセスする場合にも、同じアドレス配置が使用されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

レジスタの説明で使用されている略語については、*セクション 1.1 (40 ページ)* を参照してください。

ペリフェラルレジスタには、ハーフワード（16 ビット）またはワード（32 ビット）単位でアクセスできます。

22.5.1 一般レジスタ

これらのレジスタは、USB ペリフェラルの一般的な動作に影響を与え、動作モード、割り込み処理、デバイスアドレスを定義し、ホスト PC によって更新される現在のフレーム番号へのアクセスを可能にします。

USB 制御レジスタ（USB_CNTR）

アドレスオフセット：0x40

リセット値：0x0003

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CTRM	PMAOVRM	ERRM	WKUPM	SUSPM	RESETM	SOFM	ESOFM	予約済み			RESUME	FSUSP	LP_MODE	PDWN	FRES
rw	rw	rw	rw	rw	rw	rw	rw	予約済み			rw	rw	rw	rw	rw

ビット 15 **CTRM**：転送の正常終了割り込みマスク
0：転送の正常終了（CTR）割り込み無効。
1：CTR 割り込み有効。USB_ISTR レジスタの対応するビットがセットされると、割り込みリクエストが生成されます。

ビット 14 **PMAOVRM**：パケットメモリ領域オーバー /アンダーラン割り込みマスク
0：PMAOVR 割り込み無効。
1：PMAOVR 割り込み有効。USB_ISTR レジスタの対応するビットがセットされると、割り込みリクエストが生成されます。

ビット 13 **ERRM**：エラー割り込みマスク
0：エラー割り込み無効。
1：エラー割り込み有効。USB_ISTR レジスタの対応するビットがセットされると、割り込みリクエストが生成されます。

ビット 12 **WKUPM**：ウェイクアップ割り込みマスク
0：WKUP 割り込み無効。
1：WKUP 割り込み有効。USB_ISTR レジスタの対応するビットがセットされると、割り込みリクエストが生成されます。

ビット 11 **SUSPM**：サスペンドモード割り込みマスク
0：サスペンドモードリクエスト（SUSP）割り込み無効。
1：サスペンド割り込み有効。USB_ISTR レジスタの対応するビットがセットされると、割り込みリクエストが生成されます。

ビット 10 **RESETM**：USB リセット割り込みマスク
0：RESET 割り込み無効。
1：RESET 割り込み有効。USB_ISTR レジスタの対応するビットがセットされると、割り込みリクエストが生成されます。

ビット 9 **SOFM**：フレーム開始（SOF）割り込みマスク
0：SOF 割り込み無効。
1：SOF 割り込み有効。USB_ISTR レジスタの対応するビットがセットされると、割り込みリクエストが生成されます。

ビット 8 **ESOFM**：フレーム開始欠落（ESOF）割り込みマスク
0：フレーム開始欠落（ESOF）割り込み無効。
1：フレーム開始欠落（ESOF）割り込み有効。USB_ISTR レジスタの対応するビットがセットされると、割り込みリクエストが生成されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 7:5 予約済み。

ビット 4 **RESUME**：レジュームリクエスト
マイクロコントローラは、ホストにレジューム信号を送信するために、このビットをセットできます。USB 仕様に従って、1～15 ms の間有効にしてから、ホスト PC はレジュームシーケンスを最後まで駆動できるようになります。

ビット 3 **FSUSP**：強制サスペンド
ソフトウェアは、USB ペリフェラルが 3 ms の間トラフィックを受信しなかったときに発行される SUSP 割り込みを受信したときには、このビットをセットしなければなりません。
0：影響なし。
1：サスペンドモードに入ります。クロックとアナログトランシーバの静的消費電力は影響を受けません。バスパワーデバイスで消費電力をサスペンド状態にする必要がある場合は、後述のように、アプリケーションソフトウェアは FSUSP 後に LP_MODE ビットをセットしなければなりません。

ビット 2 **LP_MODE**：低電力モード
このモードは、サスペンドモードでの電力制約によって、外部プルアップ抵抗への供給を除いて、すべての静的消費電力を避ける必要があるときに使用されます。このモードに入るのは、USB サスペンド状態の消費電力条件を満たすために、アプリケーションがシステムクロックの周波数を減らしたり、すべてのシステムクロックを停止させる用意が整ったときです。このビットは、サスペンドモード中の USB 動作（WKUP イベント）によって非同期にリセットされます（ソフトウェアによるリセットも可能です）。
0：低電力モードではありません。
1：低電力モードに入ります。

ビット 1 **PDWN**：パワーダウン
このビットは、何らかの理由で USB ペリフェラルを完全に無効にする必要がある場合に、USB 関連のすべてのアナログ部品を完全にスイッチオフするために使用されます。このビットがセットされると、USB ペリフェラルはトランシーバから切断され、使用できなくなります。
0：パワーダウンモードから復帰します。
1：パワーダウンモードに入ります。

ビット 0 **FRES**：USB の強制リセット
0：USB リセットをクリアします。
1：USB ペリフェラルを強制的にリセットします。USB 上の RESET 信号と同じです。USB ペリフェラルは、ソフトウェアがこのビットをクリアするまで、リセット状態に保持されます。“USB-RESET” 割り込みが生成されます（有効な場合）。

USB 割り込みステータスレジスタ（USB_ISTR）

アドレスオフセット：0x44

リセット値：0x0000 0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CTR	PMA OVR	ERR	WKUP	SUSP	RESET	SOF	ESOF	予約済み			DIR	EP_ID[3:0]			
r	rc_w0	rc_w0	rc_w0	rc_w0	rc_w0	rc_w0	rc_w0	予約済み			r	r	r	r	r

このレジスタは、すべての割り込みソースのステータスを含み、アプリケーションソフトウェアは、割り込みリクエストの原因となったイベントを判断できます。

このレジスタの上位部分には、特定のイベントを表すシングルビット群が格納されています。これらのビットは、関連するイベントの発生時にハードウェアによってセットされます。USB_CNTR レジスタの対応するビットがセットされた場合、汎用割り込みリクエストが生成されます。割り込みルーチンは、各ビットをチェックし、必要な動作を実行した上で、処理済みのビットをクリアします。クリアされていないビットがあれば、割り込みはまだ保留中とみなされ、割り込みラインは再びハイレ

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ベルに保持されます。いくつかのビットが同時にセットされた場合、生成される割り込みは 1 つだけです。

エンドポイントのトランザクション完了は、割り込み応答の遅延を軽減するために、別の方法で処理できます。エンドポイントでトランザクションが正常に完了すると、ハードウェアによって CTR ビットがセットされ、USB_CNTR の対応するビットがセットされている場合は汎用割り込みリクエストが生成されます。エンドポイント専用の割り込み条件は、USB_CNTR レジスタの CTRM ビットとは無関係に有効にされます。どちらの割り込み条件も、ソフトウェアが対応する USB_EPnR レジスタのペンディングビットをクリアするまで有効なままです（CTR ビットは実際には読み出し専用ビットです）。エンドポイント関連の割り込みの場合、ソフトウェアは、DIR（Direction of Transaction）ビットと EP_ID 読み出し専用ビットを使用して、最後の割り込みリクエストを行ったエンドポイントと、対応する割り込みサービスルーチンを呼び出したエンドポイントを識別できます。

ユーザは、ソフトウェアが割り込みサービスルーチンで USB_ISTR ビットをチェックする順序を指定することによって、同時にペンディングされている USB_ISTR イベントの相対的な優先順位を選択できます。処理済みのイベントに関連するビットのみがクリアされます。サービスルーチンの最後に、残りの条件を処理するために、別の割り込みがリクエストされます。

ビットの誤ったクリアを避けるには、ロード命令によるビットのクリアを推奨します。ロード命令の場合、変更してはならないビットには 1 を書き込み、クリアすべきビットには 0 を書き込みます（これらのビットは、ソフトウェアによってのみクリアできます）。読み出し/変更/書き込みサイクルの使用は避けてください。なぜなら、読み出しと書き込みの間にハードウェアによって別のビットがセットされ、マイクロプロセッサがイベントを処理する前に、次の書き込みでクリアされる可能性があるからです。

以下に、各ビットの詳細を示します。

ビット 15 **CTR**：転送の正常終了

このビットは、エンドポイントがトランザクションを正常に完了したことを示すために、ハードウェアによってセットされます。ソフトウェアは、DIR と EP_ID ビットを使用して、割り込みを要求したエンドポイントを判断できます。このビットは読み出し専用です。

ビット 14 **PMAOVR**：パケットメモリ領域オーバー /アンダーラン

このビットは、マイクロコントローラが USB のメモリリクエストに対して時間内に応答できなかった場合にセットされます。USB ペリフェラルは、このイベントを次のように処理します。受信時には、ACK ハンドシェイクパケットは送信されず、送信時には、送信されたストリームに強制的にビットスタッフエラーが設定されます。どちらの場合も、ホストはトランザクションを再試行します。PMAOVR 割り込みは、通常の動作時には発生しません。失敗したトランザクションはホストによって再試行されるので、アプリケーションソフトウェアは、この割り込み処理時にデバイス操作のスピードアップを図ることで、次のトランザクションの再試行の準備をすることができます。ただし、アイソクロナス転送では再試行は行われないので、データが失われます。これは読み書きビットですが、0 のみを書き込むことができます。1 を書き込んでも効果はありません。

ビット 13 **ERR**：エラー

このフラグは、次のいずれかのエラーが発生したときにセットされます。

NANS：応答なし（No ANSwer）。ホストからの応答がタイムアウトしました。

CRC：巡回冗長検査エラー。受信した CRC にトークンまたはデータのエラーがありました。

BST：ビットスタッフィングエラー。PID、データ、または CRC でビットスタッフィングエラーが検出されました。

FVIO：フレームフォーマット違反。非標準フレームが受信されました（EOP が正しい位置にない、トークンシーケンスの誤り、など）。

USB ソフトウェアは、通常、エラーを無視できます。エラーが発生した場合には、USB ペリフェラルと PC ホストが完全に透過的な方法で再送信を管理するからです。この割り込みは、ソフトウェア開発段階で利用したり、USB バスの転送品質を監視して問題の可能性（コネクタの緩み、ノイズが多い環境、USB ケーブルの導体破損など）をユーザに示したりするのに役立つことがあります。これは読み書きビットですが、0 のみを書き込むことができます。1 を書き込んでも効果はありません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 12 **WKUP**：ウェイクアップ

このビットは、サスペンドモードのときに、USB ペリフェラルをウェイクアップする動作が検出されたときに、ハードウェアによって 1 にセットされます。このイベントは、CTLR レジスタの LP_MODE ビットを非同期でクリアし、USB_WAKEUP ラインを有効にします。これを使用して、レジュームプロセスが開始されたことを残りのデバイス（ウェイクアップユニットなど）に知らせることができます。これは読み書きビットですが、0 のみを書き込むことができます。1 を書き込んでも効果はありません。

ビット 11 **SUSP**：サスペンドモードリクエスト

このビットは、3 ms の間トラフィックが受信されない場合に（USB バスからのサスペンドモードリクエストを示します）、ハードウェアによってセットされます。サスペンド条件のチェックは、USB リセット後ただちに有効になり、サスペンドモードが有効になると（FSUSP=1）、レジュームシーケンスの終わりまでハードウェアによって無効になります。これは読み書きビットですが、0 のみを書き込むことができます。1 を書き込んでも効果はありません。

ビット 10 **RESET**：USB リセットリクエスト

USB ペリフェラルが入力に有効な USB RESET 信号を検出したときにセットされます。USB ペリフェラルは、RESET に応えて、内部プロトコルステートマシンをリセットし、USB_CNTR レジスタの RESETM イネーブルビットがセットされている場合は割り込みを生成します。送受信は、RESET ビットがクリアされるまで無効です。すべての設定レジスタがリセットされるわけではありません。マイクロコントローラは、これらのレジスタを明示的こクリアする必要があります（これは、RESET 割り込みが確実に送信され、RESET の直前のトランザクションを完了できるようにするためです）。この機能のアドレスとエンドポイントレジスタは、USB リセットイベントによってリセットされます。
これは読み書きビットですが、0 のみを書き込むことができます。1 を書き込んでも効果はありません。

ビット 9 **SOF**：フレーム開始

このビットは、新しい USB フレームの開始を通知し、USB バスを介して SOF パケットが到着したときにセットされます。割り込みサービスルーチンは、SOF イベントを監視して USB ホストとの 1 ms ごとの同期をとり、SOF パケットの受信時に更新される USB_FNR レジスタを確実に読み出すこともできます（これはアイソクロナスアプリケーションにとって便利なことがあります）。これは読み書きビットですが、0 のみを書き込むことができます。1 を書き込んでも効果はありません。

ビット 8 **ESOF**：フレーム開始欠落

このビットは、SOF パケットを待っているにもかかわらず受信されない場合に、ハードウェアによってセットされます。ホストは 1 ms ごとに SOF パケットを送信しますが、ハブがこれを正しく受信していない場合、サスペンドタイマがこの割り込みを発行します。トラフィックがまったく発生せず、3 つの連続した ESOF 割り込みが発生した（つまり、3 つの SOF パケットが失われた）場合、SUSP 割り込みが生成されます。このビットは、サスペンドタイマがまだロックされていないときに SOF パケットが失われた場合でもセットされます。これは読み書きビットですが、0 のみを書き込むことができます。1 を書き込んでも効果はありません。

ビット 7:5 予約済み。

ビット 4 **DIR**：トランザクションの方向

このビットは、正しく完了し、割り込みリクエストを生成したトランザクションの方向に基づいて、ハードウェアによって書き込まれます。
DIR ビットが 0 の場合、割り込みエンドポイントに関連する USB_EPnR レジスタの CTR_TX ビットがセットされます。割り込みトランザクションは IN 型です（データは USB ペリフェラルによってホスト PC に送信されます）。
DIR ビットが 1 の場合、割り込みエンドポイントに関連する USB_EPnR レジスタの CTR_RX ビットまたは CTR_TX/CTR_RX の両方がセットされます。割り込みトランザクションは OUT 型です（ホスト PC からのデータが USB ペリフェラルによって受信されます）。あるいは、2 つの保留中トランザクションが処理を待っています。
これは割り込みが保留中の方向を表すので、アプリケーションソフトウェアはこの情報を使用して、トリガトランザクションに関連する USB_EPnR ビットにアクセスできます。このビットは読み出し専用です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 3:0 **EP_ID[3:0]**：エンドポイント識別子

これらのビットは、割り込みリクエストを生成したエンドポイント番号に従って、ハードウェアによって書き込まれます。いくつかのエンドポイントトランザクションが保留中の場合、ハードウェアは、次の方法で、定義された優先順位が最も高いエンドポイントに関連するエンドポイント識別子を書き込みます。2 つのエンドポイントセットが、優先度の高い順に定義されます。アイソクロナスエンドポイントとダブルバッファバルクエンドポイントが最初に検討され、続いて他のエンドポイントが調査されます。同じセットの複数のエンドポイントが割り込みを要求している場合、USB_ISTR レジスタの EP_ID ビットは、リクエストしている最下位のエンドポイントレジスタ、最高優先順位の EP0R、EP1R などに基づいて割り当てられます。アプリケーションソフトウェアは、この優先順位方式に基づいて各エンドポイントにレジスタを割り当てることによって、同時に発生するエンドポイントリクエストを適切に順序付けることができます。これらのビットは読み出し専用です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

USB フレーム番号レジスタ（USB_FNR）

アドレスオフセット：0x48

リセット値：0x0XXX（X は未定義）。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RXDP	RXDM	LCK	LSOF[1:0]		FN[10:0]										
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 15 **RXDP**：受信データ + ラインステータス
このビットを使用して、受信データ + アップストリームポートデータラインのステータスを監視できます。このビットは、“end-of-suspend”ルーチンでウェイクアップイベントの判定にも使用できます。

ビット 14 **RXDM**：受信データ - ラインステータス
このビットを使用して、受信データ - アップストリームポートデータラインのステータスを監視できます。このビットは、“end-of-suspend”ルーチンでウェイクアップイベントの判定にも使用できます。

ビット 13 **LCK**：ロック状態
このビットは、USB リセット条件または USB レジュームシーケンスが終わった後、少なくとも 2 個の連続した SOF パケットが受信された場合に、ハードウェアによってセットされます。ロック状態になると、USB リセットまたは USB サスペンドイベントが発生するまで、フレームタイマはこの状態を維持します。

ビット 12:11 **LSOF[1:0]**：SOF 欠落
これらのビットは、ESOF 割り込みが生成され、連続した SOF パケットの欠落をカウントした場合に、ハードウェアによって書き込まれます。SOF パケットを受信すると、これらのビットはクリアされます。

ビット 10:0 **FN[10:0]**：フレーム番号
このビットフィールドは、最後に受信した SOF パケットに格納されていた 11 ビットのフレーム番号を含みます。フレーム番号は、ホストからフレームが送信されるたびにインクリメントされ、アイソクロナス転送に役立ちます。このビットフィールドは、SOF 割り込みの生成によって更新されます。

USB デバイスアドレス（USB_DADDR）

アドレスオフセット：0x4C

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								EF	ADD6	ADD5	ADD4	ADD3	ADD2	ADD1	ADD0
予約済み								rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:8 予約済み

ビット 7 **EF**：イネーブル機能
このビットは、USB デバイスを有効にするためにソフトウェアによってセットされます。このデバイスのアドレスは、次の ADD[6:0] ビットに格納されます。このビットが 0 の場合、USB_EPnR レジスタの設定にかかわらず、トランザクションは処理されません。

ビット 6:0 **ADD[6:0]**：デバイスアドレス
これらのビットは、Enumeration プロセスでホスト PC によって割り当てられた USB ファンクションアドレスを含みます。要求されたエンドポイントへのトランザクションが処理されるためには、このフィールドと、関連する USB_EPnR レジスタの EA（Endpoint Address）フィールドの両方が、USB トークン内の情報と一致する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

バッファテーブルアドレス（USB_BTABLE）

アドレスオフセット：0x50

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BTABLE[15:3]													予約済み		
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	予約済み		

ビット 15:3 **BTABLE[15:3]**：バッファテーブル

これらのビットは、専用パケットメモリ内のバッファ割り当てテーブルの開始アドレスを含みます。このテーブルは、各エンドポイントバッファ位置とサイズを示し、8 バイト境界に配置される必要があります（最下位 3 ビットは常に 0 です）。このデバイスに指定された個々のトランザクションの最初に、USB ペリフェラルは、指定されたエンドポイントに関連するテーブルの要素を読み出し、そのバッファ開始位置とバッファサイズを取得します（*パケットバッファの構造と使用（589 ページ）*を参照）。

ビット 2:0 予約済み、ハードウェアによって 0 に固定されています。

22.5.2 エンドポイント固有のレジスタ

これらのレジスタの数は、USB ペリフェラルの設計で扱うことになっているエンドポイントの数によって異なります。USB ペリフェラルは、最大 8 個の双方向エンドポイントをサポートします。各 USB デバイスはコントロールエンドポイントをサポートしなければならず、そのアドレス（EA ビット）は 0 にセットされている必要があります。同じエンドポイント番号を持つ複数のエンドポイントが有効にされた場合、USB ペリフェラルの動作は不定です。エンドポイントごとに、エンドポイント固有の情報を格納する USB_EPnR レジスタが用意されています。

USB エンドポイント n レジスタ（USB_EPnR）、n=[0..7]

アドレスオフセット：0x00～0x1C

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CTR_RX	DTOG_RX	STAT_RX[1:0]		SETUP	EP TYPE[1:0]		EP_KIND	CTR_TX	DTOG_TX	STAT_TX[1:0]		EA[3:0]			
rc_w0	t	t	t	r	rw	rw	rw	rc_w0	t	t	t	rw	rw	rw	rw

USB バスから USB リセットが受信された場合や、CTLR レジスタの FRES ビットによって強制リセットされた場合は、これらのレジスタもリセットされます。ただし、USB リセットイベントの直前にある正規のパケット通知を見逃さないように、CTR_RX ビットと CTR_TX ビットは変更されません。各エンドポイントには USB_EPnR レジスタがあります（*n* はエンドポイント識別子です）。

これらのレジスタでは、読み出し/変更/書き込みサイクルの使用を避けてください。読み出しと書き込みの間にハードウェアによって別のビットがセットされ、CPU がその変化を検出する前に、次の書き込みで変更される可能性があるからです。このため、この問題に関連するビットでは、ビット値の変更の必要がない場合のために“不変”値が用意されています。これらのレジスタを変更する場合、ハードウェアによってのみ変更できるすべてのビットに対しては、“不変”値を書き込むロード命令を使用することが推奨されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 15 **CTR_RX**：受信転送の正常終了

このビットは、このエンドポイントに対する OUT/SETUP トランザクションが正常に完了したとき、ハードウェアによってセットされます。ソフトウェアでは、このビットのクリアのみができます。USB_CNTR レジスタの CTRM ビットがセットされている場合、常に有効なエンドポイント関連の割り込み条件で汎用割り込み条件が生成されます。発生したトランザクションのタイプ（OUT または SETUP）は、次に示す SETUP ビットから判断できます。

NAK または STALL ハンドシェイクで終わるトランザクションは、このビットをセットしません。なぜなら、プロトコルエラーやデータトグルの不一致と同様に、実際にはデータが転送されないからです。

これは読み書きビットですが、0 のみを書き込むことができます。1 を書き込んでも効果はありません。

ビット 14 **DTOG_RX**：受信転送のデータトグル

エンドポイントがアイソクロナスでない場合、このビットは、次に受信するデータパケットのデータトグルビットの期待値（0=DATA0、1=DATA1）を含みます。一致するデータ PID 値を持つデータパケット受信に続いて、ACK ハンドシェイクが USB ホストに送信されたとき、ハードウェアはこのビットをトグルします。エンドポイントのタイプがコントロールの場合、このエンドポイントに指定された SETUP PID の受信時に、ハードウェアはこのビットをクリアします。

エンドポイントがダブルバッファ機能を使用している場合、このビットはパケットバッファの交換にも使用されます（*セクション 22.4.3：ダブルバッファエンドポイント*を参照）。

エンドポイントがアイソクロナスである場合、このビットはパケットバッファの交換にのみ使用されます。なぜなら、この種のエンドポイントにはデータトグルは使用されず、DATA0 パケットのみが送信されるからです（*セクション 22.4.4：アイソクロナス転送*を参照）。アイソクロナス転送ではハンドシェイクが使用されないため、ハードウェアは、データパケット受信の直後にこのビットをトグルします。

このビットは、値を初期化したり（コントロールエンドポイント以外では必須）、特定のデータトグル/パケットバッファ使用を強制したりするために、ソフトウェアによってトグルすることもできます。アプリケーションソフトウェアが 0 を書き込んでも DTOG_RX の値は変化しませんが、1 を書き込むとビット値はトグルします。これは読み書きビットですが、1 を書き込むことによってトグルのみできます。

ビット 13:12 **STAT_RX [1:0]**：受信転送のステータスビット

これらのビットは、*表 171：受信ステータスエンコーディング（608 ページ）*にリストされているエンドポイントのステータス情報を含みます。値を初期化するために、これらのビットはソフトウェアによってトグルできます。アプリケーションソフトウェアが 0 を書き込んでも値は変化しませんが、1 を書き込むとビット値はトグルします。このエンドポイントに指定された OUT または SETUP（制御のみ）トランザクションに対応して転送の正常終了が行われたとき（CTR_RX=1）、ハードウェアは STAT_RX ビットに NAK を設定します。したがって、ソフトウェアは、新しいトランザクションを確認応答する前に、受信したデータを調べる時間を確保できます。

ダブルバッファバルクエンドポイントは、特殊なトランザクションフロー制御を実装し、バッファの使用状況に基づいてステータスが制御されます（*セクション 22.4.3：ダブルバッファエンドポイント*を参照）。

エンドポイントがアイソクロナスの場合、そのステータスは“VALID”または “DISABLED” なので、正常なトランザクション後に、ハードウェアがエンドポイントのステータスを変更することはできません。アイソクロナスエンドポイントに対して、ソフトウェアが STAT_RX ビットを “STALL” または “NAK” にセットした場合、USB ペリフェラルの動作は不定です。これらは読み書きビットですが、1 を書き込むことによってトグルのみできます。

ビット 11 **SETUP**：SETUP トランザクション完了

このビットは読み出し専用であり、最後に完了したトランザクションが SETUP であった場合に、ハードウェアによってセットされます。このビットは、コントロールエンドポイントのみ値を変えます。正常な受信トランザクションの場合（CTR_RX イベント）、このビットを調べて、発生したトランザクションのタイプを判断する必要があります。次の着信トークンによる SETUP ビットの変化から割り込みサービスルーチンを保護するため、CTR_RX ビットが 1 の間はこのビットは固定され、CTR_RX ビットが 0 になると状態が変化します。このビットは読み出し専用です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 10:9 **EP_TYPE[1:0]**：エンドポイントのタイプ

これらのビットは、このエンドポイントの動作を、*表 172：エンドポイントタイプのエンコーディング（608 ページ）*に示されている中から設定します。エンドポイント 0 は常にコントロールエンドポイントでなければならず、各 USB 機能には、アドレス 0 のコントロールエンドポイントが 1 つ以上必要ですが、必要な場合には、他にもコントロールエンドポイントがあってもかまいません。コントロールエンドポイントだけが SETUP トランザクションを扱うことができます。他の種類のエンドポイントでは SETUP トランザクションは無視されます。SETUP トランザクションに対しては、NAK や STALL で応答することはできません。コントロールエンドポイントが NAK として定義された場合、USB ペリフェラルは応答せず、SETUP トランザクションの受信時に受信方向に受信エラーを発生させます。コントロールエンドポイントが受信方向に STALL として定義された場合、SETUP パケットは受け付けられ、データは転送され、CTR 割り込みが発行されます。OUT トランザクションの受信は、エンドポイントがコントロールエンドポイントの場合でも、通常どおりに処理されます。

バルクおよび割り込みエンドポイントは、ほとんど同じように動作しますが、EP_KIND 設定ビットを使用する特殊機能のみが異なります。

アイソクロナスエンドポイントの使い方は、*セクション 22.4.4：アイソクロナス転送*に記載されています。

ビット 8 **EP_KIND**：エンドポイントの種類

このビットの意味は、EP_TYPE ビットによって設定されたエンドポイントタイプによって異なります。意味の違いを*表 173* に示します。

DBL_BUF：このビットは、このバルクエンドポイントのダブルバッファ機能を有効にするために、ソフトウェアによってセットされます。ダブルバッファバルクエンドポイントの使い方については、*セクション 22.4.3：ダブルバッファエンドポイント*を参照してください。

STATUS_OUT：このビットは、ステータスアウトトランザクションが期待されることを示すために、ソフトウェアによってセットされます。この場合、1 バイト以上のデータを含むすべての OUT トランザクションへの応答は、“ACK”ではなく “STALL” になります。このビットを使用して、コントロール転送時のプロトコルエラーに対するアプリケーションの安定性を高めることができます。この使用は、コントロールエンドポイントに限られます。STATUS_OUT がリセットされると、OUT トランザクションは、必要に応じて任意のバイト数を扱うことができます。

ビット 7 **CTR_TX**：送信転送の正常終了

このビットは、このエンドポイントに対する IN トランザクションが正常に完了したときに、ハードウェアによってセットされます。ソフトウェアは、このビットをクリアすることのみできます。USB_CNTR レジスタの CTRM ビットがセットされている場合、常に有効なエンドポイント関連の割り込み条件で汎用割り込み条件が生成されます。

NAK または STALL ハンドシェイクで終わるトランザクションは、このビットをセットしません。なぜなら、プロトコルエラーやデータトグルの不一致と同様に、実際にはデータが転送されないからです。

これは読み書きビットですが、0 のみを書き込むことができます。

ビット 6 **DTOG_TX**：送信転送のデータトグル

エンドポイントがアイソクロナスでない場合、このビットは、次に送信されるデータパケットのデータトグルビットの必要な値（0=DATA0、1=DATA1）を含みます。データパケット送信に続いて、USB ホストからの ACK ハンドシェイクが受信されると、ハードウェアがこのビットをトグルします。エンドポイントのタイプがコントロールである場合、このエンドポイントに指定された SETUP PID の受信時に、ハードウェアがこのビットを 1 に設定します。

エンドポイントがダブルバッファ機能を使用している場合、このビットはパケットバッファの交換にも使用されます（*セクション 22.4.3：ダブルバッファエンドポイント*を参照）。

エンドポイントがアイソクロナスである場合、このビットはパケットバッファの交換に使用されます。なぜなら、この種のエンドポイントにはデータトグルが使用されず、DATA0 パケットのみが送信されるからです（*セクション 22.4.4：アイソクロナス転送*を参照）。アイソクロナス転送ではハンドシェイクが使用されないため、データパケット送信の終了直後に、ハードウェアがこのビットをトグルします。

このビットは、値を初期化したり（コントロールエンドポイント以外では必須）、特定のデータトグル/パケットバッファ使用を強制したりするために、ソフトウェアによってトグルすることもできます。アプリケーションソフトウェアが 0 を書き込んでも DTOG_TX の値は変化しませんが、1 を書き込むとビット値はトグルします。これは読み書きビットですが、1 を書き込むことによってトグルのみできます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 5:4 **STAT_TX [1:0]**：送信転送のステータスビット

これらのビットは、*表 174* にリストされているエンドポイントステータスの情報を含みます。これらのビットは、値を初期化するために、ソフトウェアによってトグルできます。アプリケーションソフトウェアが 0 を書き込んでも値は変化しませんが、1 を書き込むとビット値はトグルします。このエンドポイントに指定された IN または SETUP（コントロールのみ）トランザクションに対応して転送の正常終了が行われたとき（CTR_TX=1）、ハードウェアは STAT_TX ビットに NAK を設定します。この後、次に送信されるデータセットがソフトウェアによって準備されるのを待ちます。

ダブルバッファバルクエンドポイントは、特殊なトランザクションフロー制御を実装し、バッファの使用状況に基づいてステータスが制御されます（*セクション 22.4.3：ダブルバッファエンドポイント*を参照）。

エンドポイントがアイソクロナスである場合、そのステータスとしては “VALID” または “DISABLED” のみが可能です。したがって、トランザクションが正常に処理された後、ハードウェアはエンドポイントのステータスを変更できません。アイソクロナスエンドポイントに対して、ソフトウェアが STAT_TX ビット を “STALL” または “NAK” を設定した場合、USB ペリフェラルの動作は不定です。これらは読み書きビットですが、1 を書き込むことによってトグルのみできます。

ビット 3:0 **EA[3:0]**：エンドポイントアドレス

ソフトウェアは、このフィールドに、このエンドポイントに送信されたトランザクションを識別するための 4 ビットアドレスを書き込む必要があります。対応するエンドポイントを有効にする前に、値を書き込む必要があります。

表171. 受信ステータスエンコーディング

STAT_RX[1:0]	意味
00	**DISABLED**：このエンドポイントへのすべての受信リクエストは無視されます。
01	**STALL**：エンドポイントはストール状態であり、すべての受信リクエストに対して STALL ハンドシェイクが返されます。
10	**NAK**：エンドポイントは NAK され、すべての受信リクエストに対して NAK ハンドシェイクが返されます。
11	**VALID**：このエンドポイントは受信を行うことができます。

表172. エンドポイントタイプのエンコーディング

EP_TYPE[1:0]	意味
00	バルク
01	コントロール
10	アイソクロナス
11	割り込み

表173. エンドポイントの種類の意味

EP_TYPE[1:0]		EP_KIND の意味
00	バルク	DBL_BUF
01	コントロール	STATUS_OUT
10	アイソクロナス	未使用
11	割り込み	未使用

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表174. 送信ステータスのエンコーディング

STAT_TX[1:0]	意味
00	**DISABLED**：このエンドポイントへのすべての送信リクエストは無視されます。
01	**STALL**：エンドポイントはストール状態であり、すべての送信リクエストに対して STALL ハンドシェイクが返されます。
10	**NAK**：エンドポイントは NAK され、すべての送信リクエストに対して NAK ハンドシェイクが返されます。
11	**VALID**：このエンドポイントは送信を行うことができます。

22.5.3 バッファ記述子テーブル

バッファ記述子テーブルはパケットバッファメモリ内にありますが、そのエントリは、USB マクロセルと STM32F10xxx との間でデータ交換を行う際に使用するパケットバッファの位置とサイズを構成するための追加のレジスタとみなすことができます。ワードアドレス指定に関する一般的な APB ブリッジ制約によって、APB は、32 ビットに配置されたアドレスを使用してすべてのパケットメモリ位置にアクセスします。したがって、USB_BTABLE レジスタやバッファ記述テーブルの位置に対して USB ペリフェラルが使用する実際のメモリ位置アドレスは使用されません。
以下のページには 2 つの位置アドレスが記載されています。1 つは、パケットメモリにアクセスするときに、アプリケーションソフトウェアによって使用されます。もう 1 つは、USB ペリフェラルアクセスに関連するローカルアドレスです。アプリケーションソフトウェアがパケットメモリにアクセスする際に使用する正しい STM32F10xxx メモリアドレス値を得るには、実際のメモリ位置アドレスを 2 倍する必要があります。最初のパケットメモリ位置は 0x4000 6000 です。以下に、USB_EPnR レジスタに関連付けられたバッファ記述子テーブルのエントリを示します。

パケットバッファとバッファ記述子テーブルの使い方の詳細については、*パケットバッファの構造と使用（589 ページ）*を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

送信バッファアドレス n（USB_ADDRn_TX）

アドレスオフセット：[USB_BTABLE] + n*16

USB ローカルアドレス：[USB_BTABLE] + n*8

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADDRn_TX[15:1]															-
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	-

ビット 15:1 **ADDRn_TX[15:1]：**送信バッファアドレス
これらのビットは、アドレス指定された次の IN トークンで USB_EPnR レジスタに関連付けられたエンドポイントによって送信されるデータを含むパケットバッファの開始アドレスを示します。

ビット 0 パケットメモリはワード幅であり、すべてのパケットバッファはワード配置されている必要があるので、常に 0 として書き込まれます。

送信バイトカウント n（USB_COUNTn_TX）

アドレスオフセット：[USB_BTABLE] + n*16 + 4

USB ローカルアドレス：[USB_BTABLE] + n*8 + 2

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-						COUNTn_TX[9:0]									
						rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:10 USB 仕様によるパケットサイズの上限は 1023 バイトなので、これらのビットは使用されません。USB ペリフェラルはこれらのビットの値を無視します。

ビット 9:0 **COUNTn_TX[9:0]：**送信バイトカウント
これらのビットは、指定された次の IN トークンで USB_EPnR レジスタに関連付けられたエンドポイントによって送信されるバイト数を含みます。

注： ***ダブルバッファおよびアイソクロナスの IN エンドポイントには、以下の内容を持つ 2 個の USB_COUNTn_TX レジスタ（USB_COUNTn_TX_1 と USB_COUNTn_TX_0）があります。***

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
-						COUNTn_TX_1[9:0]									
-	-	-	-	-	-	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-						COUNTn_TX_0[9:0]									
-	-	-	-	-	-	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

受信バッファアドレス n（USB_ADDRn_RX）

アドレスオフセット：[USB_BTABLE] + n*16 + 8

USB ローカルアドレス：[USB_BTABLE] + n*8 + 4

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADDRn_RX[15:1]															-
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	-

ビット 15:1 **ADDRn_RX[15:1]**：受信バッファアドレス
これらのビットは、アドレス指定された次の OUT/SETUP トークンで USB_EPnR レジスタに関連付けられたエンドポイントによって受信されるデータを含むパケットバッファの開始アドレスを示します。

ビット 0 パケットメモリはワード幅であり、すべてのパケットバッファはワード配置されている必要があるので、このビットは常に 0 として書き込まれます。

受信バイトカウント n（USB_COUNTn_RX）

アドレスオフセット：[USB_BTABLE] + n*16 + 12

USB ローカルアドレス：[USB_BTABLE] + n*8 + 6

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BLSIZE	NUM_BLOCK[4:0]					COUNTn_RX[9:0]									
rw	rw	rw	rw	rw	rw	r	r	r	r	r	r	r	r	r	r

このテーブル位置は、パケット受信時に必要な 2 つの値を格納するために使用されます。最上位ビットは、割り当てられたバッファサイズの定義を含み、バッファオーバーフローの検出を可能にします。一方、この位置の最下位部分には、受信の最後に実際の受信バイト数が USB ペリフェラルによって書き戻されます。使用可能なビット数に関する制約により、バッファサイズは、割り当てられたメモリブロックの数を使用して表現されます。ここでは、ブロックサイズの選択によって、ブロックの小さなバッファとブロックの大きなバッファを選択できます。割り当てられたバッファのサイズはエンドポイント記述子の一部であり、通常は列挙プロセス時に maxPacketSize パラメータ値に基づいて定義されます （「Universal Serial Bus Specification」を参照）。

ビット 15 **BL_SIZE**：ブロックサイズ
このビットは、割り当てられるバッファ領域の定義に使用されるメモリブロックのサイズを選択します。

– BL_SIZE=0 の場合、メモリブロックの大きさは 2 バイトであり、これはワード幅メモリで許容される最小ブロックです。このブロックサイズでは、割り当てられるバッファサイズは 2～62 バイトです。
– BL_SIZE=1 の場合、メモリブロックの大きさは 32 バイトであり、USB 仕様で規定される最大のパケット長を指定できます。このブロックサイズでは、割り当てられるバッファサイズは 32～1024 バイトであり、これは USB 標準仕様で許容される最長のパケットサイズです。

ビット 14:10 **NUM_BLOCK[4:0]**：ブロック数
これらのビットは、このパケットバッファに割り当てられるメモリブロックの数を定義します。割り当てられるメモリの実際の量は、*表 175* に示すように、BL_SIZE の値に依存します。

ビット 9:0 **COUNTn_RX[9:0]**：受信バイトカウント
これらのビットは、アドレス指定された最後の OUT/SETUP トランザクションにおいて USB_EPnR レジスタに関連付けられたエンドポイントによって受信されたバイト数を含みます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

注：　ダブルバッファおよびアイソクロナスの IN エンドポイントには、以下の内容を持つ 2 個の USB_COUNTn_TX レジスタ（USB_COUNTn_TX_1 と USB_COUNTn_TX_0）があります。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
BLSIZE_1	NUM_BLOCK_1[4:0]					COUNTn_RX_1[9:0]									
rw	rw	rw	rw	rw	rw	r	r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BLSIZE_0	NUM_BLOCK_0[4:0]					COUNTn_RX_0[9:0]									
rw	rw	rw	rw	rw	rw	r	r	r	r	r	r	r	r	r	r

表175.　割り当てられるバッファメモリの定義

値 NUM_BLOCK[4:0]	BL_SIZE=0 の場合に 割り当てられるメモリ	BL_SIZE=1 の場合に 割り当てられるメモリ
0 (00000)	設定禁止	32 バイト
1 (00001)	2 バイト	64 バイト
2 (00010)	4 バイト	96 バイト
3 (00011)	6 バイト	128 バイト
...	...	...
15 (01111)	30 バイト	512 バイト
16 (10000)	32 バイト	N/A
17 (10001)	34 バイト	N/A
18 (10010)	36 バイト	N/A
...	...	...
30 (11110)	60 バイト	N/A
31 (11111)	62 バイト	N/A

22.5.4　USB レジスタマップ

次の表に、USB のレジスタマップとリセット値を示します。

表176.　USB レジスタマップとリセット値

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	USB_EP0R	予約済み																CTR_RX	DTOG_RX	STAT_RX [1:0]		SETUP	EP TYPE [1:0]		EP_KIND	CTR_TX	DTOG_TX	STAT_TX [1:0]		EA[3:0]			
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x04	USB_EP1R	予約済み																CTR_RX	DTOG_RX	STAT_RX [1:0]		SETUP	EP TYPE [1:0]		EP_KIND	CTR_TX	DTOG_TX	STAT_TX [1:0]		EA[3:0]			
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表176. USB レジスタマップとリセット値（続き）

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x08	**USB_EP2R**	予約済み																CTR_RX	DTOG_RX	STAT_RX [1:0]		SETUP	EP TYPE [1:0]		EP_KIND	CTR_TX	DTOG_TX	STAT_TX [1:0]		EA[3:0]			
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0C	**USB_EP3R**	予約済み																CTR_RX	DTOG_RX	STAT_RX [1:0]		SETUP	EP TYPE [1:0]		EP_KIND	CTR_TX	DTOG_TX	STAT_TX [1:0]		EA[3:0]			
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x10	**USB_EP4R**	予約済み																CTR_RX	DTOG_RX	STAT_RX [1:0]		SETUP	EP TYPE [1:0]		EP_KIND	CTR_TX	DTOG_TX	STAT_TX [1:0]		EA[3:0]			
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x14	**USB_EP5R**	予約済み																CTR_RX	DTOG_RX	STAT_RX [1:0]		SETUP	EP TYPE [1:0]		EP_KIND	CTR_TX	DTOG_TX	STAT_TX [1:0]		EA[3:0]			
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x18	**USB_EP6R**	予約済み																CTR_RX	DTOG_RX	STAT_RX [1:0]		SETUP	EP TYPE [1:0]		EP_KIND	CTR_TX	DTOG_TX	STAT_TX [1:0]		EA[3:0]			
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x1C	**USB_EP7R**	予約済み																CTR_RX	DTOG_RX	STAT_RX [1:0]		SETUP	EP TYPE [1:0]		EP_KIND	CTR_TX	DTOG_TX	STAT_TX [1:0]		EA[3:0]			
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x20-0x3F	予約済み																																
0x40	**USB_CNTR**	予約済み																CTRM	PMAOVRM	ERRM	WKUPM	SUSPM	RESETM	SOFM	ESOFM	予約済み		RESUME	FSUSP	LPMODE		PDWN	FRES
	リセット値																	0	0	0	0	0	0	0	0			0	0	0		1	1
0x44	**USB_ISTR**	予約済み																CTR	PMAOVR	ERR	WKUP	SUSP	RESET	SOF	ESOF	予約済み		DIR	EP_ID[3:0]				
	リセット値																	0	0	0	0	0	0	0	0			0	0	0	0	0	0
0x48	**USB_FNR**	予約済み																RXDP	RXDM	LCK	LSOF [1:0]		FN[10:0]										
	リセット値																	0	0	0	0	0	x	x	x	x	x	x	x	x	x	x	x
0x4C	**USB_DADDR**	予約済み																予約済み								EF	ADD[6:0]						
	リセット値																									0	0	0	0	0	0	0	0
0x50	**USB_BTABLE**	予約済み																BTABLE[15:3]													予約済み		
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0			

注： レジスタ境界アドレスについては、表 1（45 ページ）を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

23 コントローラエリアネットワーク（bxCAN）

小容量デバイスは、フラッシュメモリ容量が 16～32 KB の STM32F101xx、STM32F102xx、および STM32F103xx マイクロコントローラです。

中容量デバイスは、フラッシュメモリ容量が 64～128 KB の STM32F101xx、STM32F102xx、および STM32F103xx マイクロコントローラです。

大容量デバイスは、フラッシュメモリ容量が 256～512 KB の STM32F101xx および STM32F103xx マイクロコントローラです。

特大容量デバイスは、フラッシュメモリ容量が 768 KB～1 MB の STM32F101xx および STM32F103xx マイクロコントローラです。

コネクティビティラインデバイスは、STM32F105xx および STM32F107xx マイクロコントローラです。

このセクションは、コネクティビティラインと STM32F103xx パフォーマンスラインにのみ適用されます。

23.1 bxCAN の概要

Basic Extended CAN ペリフェラル（略称 **bxCAN**）は、CAN ネットワークとのインタフェースであり、CAN プロトコルバージョン 2.0A および B をサポートしています。bxCAN は、最小限の CPU 負荷で多数の受信メッセージを効率的に管理できるように設計されています。また、送信メッセージの優先順位に関する要件も満たしています。

安全性が重視されるアプリケーションの場合、CAN コントローラは、CAN タイムトリガ通信オプションをサポートするためのすべてのハードウェア機能を提供します。

23.2 bxCAN の主な機能

- CAN プロトコルバージョン 2.0 A、B Active のサポート
- ビットレート：最大 1 M ビット/秒
- タイムトリガ通信オプションのサポート

送信

- 3 つの送信メールボックス
- 設定可能な送信優先順位
- SOF 送信時のタイムスタンプ

受信

- 2 つの 3 ステージ受信 FIFO
- スケーラブルなフィルタバンク：
  - 28 のフィルタバンクを CAN1 と CAN2 で共有（コネクティビティラインデバイスの場合）
  - 14 のフィルタバンク（その他の STM32F10xxx デバイスの場合）
- 識別子リスト機能
- 設定可能な FIFO オーバーラン
- SOF 受信時のタイムスタンプ

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

タイムトリガ通信オプション

- 自動再送信モードの無効化
- 16 ビットのフリーランニングタイマ
- タイムスタンプを最後の 2 データバイトで送信

管理

- マスク可能な割り込み
- 固有のアドレス空間でのソフトウェア効率の高いメールボックス配置

デュアル CAN（コネクティビティラインのみ）

- CAN1：スレーブ bxCAN と 512 バイトの SRAM メモリの間の通信を管理するマスタ bxCAN
- CAN2：スレーブ bxCAN。SRAM メモリへの直接アクセスなし。
- この 2 つの bxCAN セルは、512 バイトの SRAM メモリを共有します（*図 221（617 ページ）*を参照）。

注： ***中容量、大容量、および特大容量デバイスでは、USB と CAN は専用の 512 バイト SRAM メモリをデータ送受信に共有するので、同時に使用することはできません（共有 SRAM は、CAN と USB から排他的にアクセスされます）。USB と CAN は同じアプリケーションで使用できますが、同時に使用することはできません。***

23.3 bxCAN の概要

今日の CAN アプリケーションでは、ネットワークのノード数が増加し、複数のネットワークがゲートウェイを介してリンクされることもあります。一般に、システム内の（そして各ノードが扱う）メッセージ数は大幅に増加しています。アプリケーションメッセージに加えて、ネットワーク管理や診断のメッセージも導入されています。

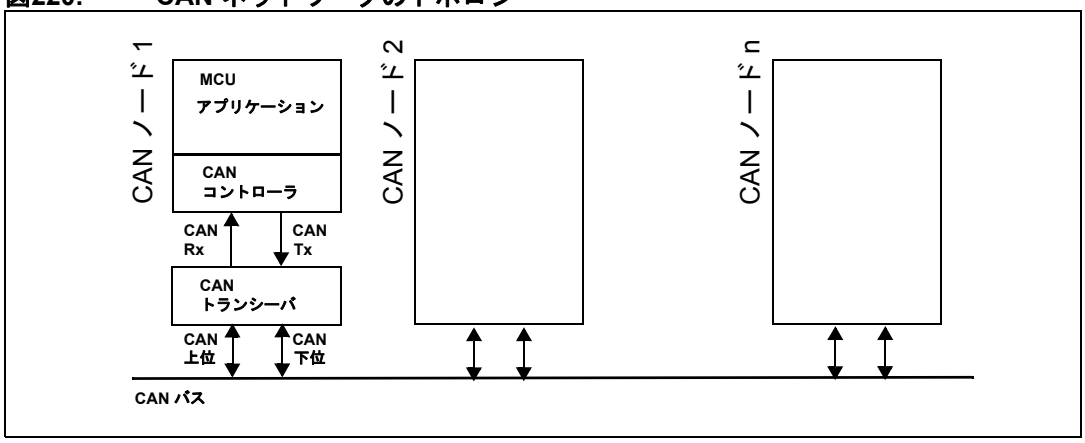
- 各種のメッセージを扱うには、高度なフィルタ機構が要求されます。

さらに、アプリケーションタスクはより多くの CPU 時間を必要としているため、メッセージ受信に起因するリアルタイム制約を減らす必要があります。

- 受信 FIFO 方式では、CPU は、メッセージを失うことなく、長時間にわたってアプリケーションタスクに専念できます。

標準の CAN ドライバに基づく標準 HLP（Higher Layer Protocol：上位層プロトコル）では、CAN コントローラとの効率的なインタフェースを必要とします。

図220. CAN ネットワークのトポロジ



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

23.3.1 CAN 2.0B アクティブコア

bxCAN モジュールは、CAN メッセージの送受信を完全に自律的に処理できます。標準識別子（11 ビット）と拡張識別子（29 ビット）は、ハードウェアによって完全にサポートされます。

23.3.2 制御レジスタ、ステータスレジスタ、設定レジスタ

アプリケーションは、これらのレジスタを以下の目的で使用します。

- CAN パラメータ（ボーレートなど）の設定
- 送信リクエスト
- 受信処理
- 割り込みの管理
- 診断情報の入手

23.3.3 Tx メールボックス

ソフトウェアがメッセージをセットアップするために、3 つの送信メールボックスが用意されています。最初に送信されるメールボックスは、送信スケジューラによって決定されます。

23.3.4 受信フィルタ

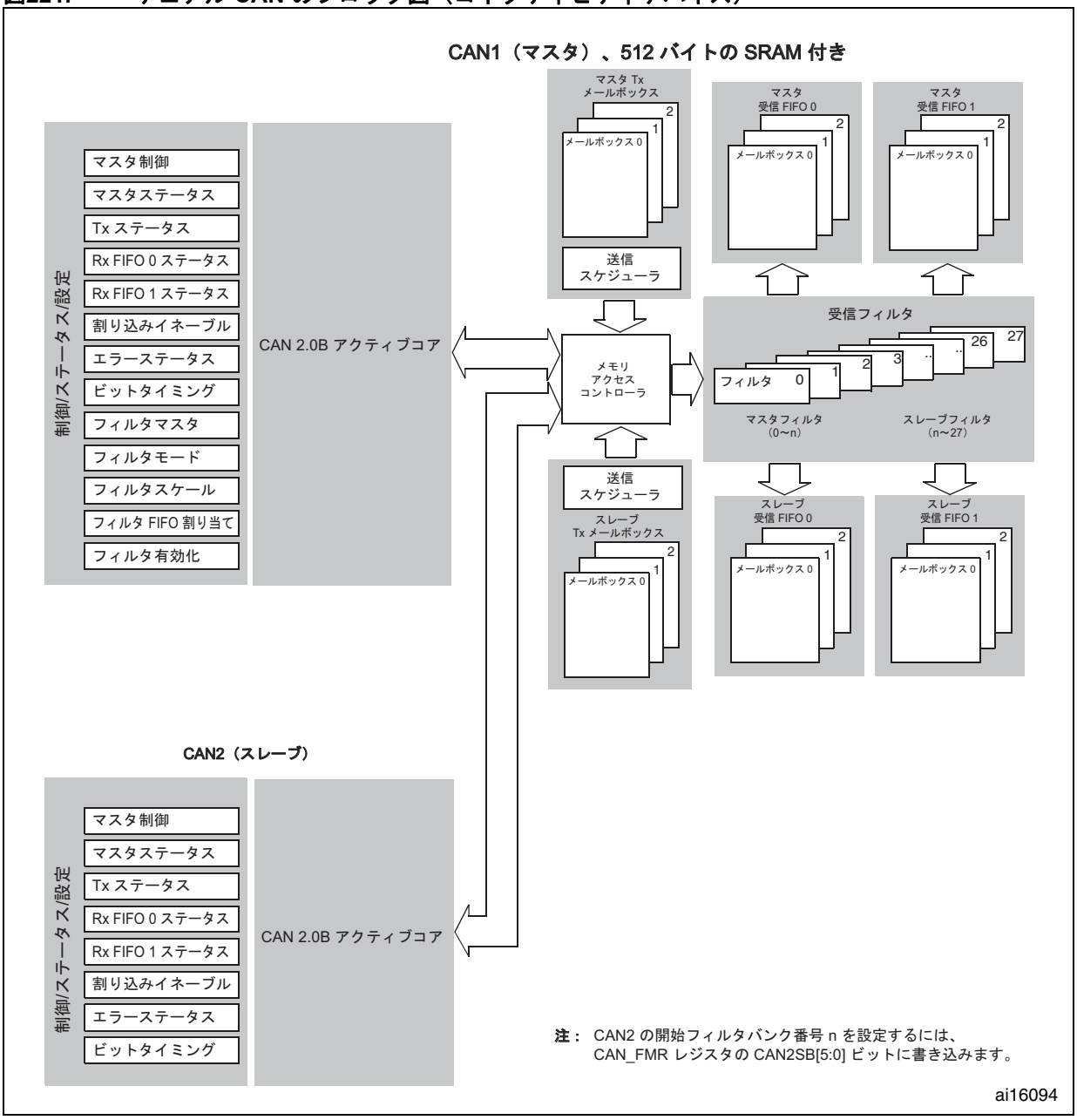
コネクティビティラインデバイスでは、bxCAN は、ソフトウェアが必要とする受信メッセージを選択し、それ以外を破棄するために、28 のスケーラブルで設定可能な識別子フィルタバンクを備えています。それ以外のデバイスでは、14 のスケーラブルで設定可能な識別子フィルタバンクがあります。

受信 FIFO

ハードウェアは、受信メッセージを格納するために 2 つの受信 FIFO を使用します。各 FIFO に 3 つのメッセージを完全に格納できます。FIFO の管理はすべてハードウェアによって行われます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図221. デュアル CAN のブロック図（コネクティビティデバイス）



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

23.4 bxCAN 動作モード

bxCAN には、**初期化**、**通常**、および**スリープ**という 3 つの主な動作モードがあります。ハードウェアリセットの後、bxCAN は消費電力を低減するためにスリープモードに入り、CANTX では内部プルアップが有効です。ソフトウェアは、CAN_MCR レジスタの INRQ または SLEEP ビットをセットすることによって、bxCAN に**初期化**または **SLEEP** モードに入るように要求します。いずれかのモードに入ると、bxCAN は、CAN_MSR レジスタの INAK または SLAK ビットをセットすることによって、それを確定し、内部プルアップは無効になります。INAK も SLAK もセットされていない場合、bxCAN は**通常**モードです。bxCAN は、**通常**モードに入る前に、CAN バスで**同期**をとる必要があります。同期のために、bxCAN は、CAN バスがアイドル状態になる（つまり、CANRX 上で 11 個の連続したリセッシブビットが観察される）のを待ちます。

23.4.1 初期化モード

ハードウェアが初期化モードにある間に、ソフトウェアの初期化も行うことができます。このモードに入るには、ソフトウェアは CAN_MCR レジスタの INRQ ビットをセットし、ハードウェアが CAN_MSR レジスタの INAK ビットをセットしてこのリクエストを確認するのを待ちます。

初期化モードを終了するには、ソフトウェアは INQR ビットをクリアします。ハードウェアによって INAK ビットがクリアされると、bxCAN は初期化モードから通常モードに入ります。

初期化モードでは、CAN バスとの間のすべてのメッセージ転送は停止し、CAN バス出力 CANTX のステータスはリセッシブ（ハイ）になります。

初期化モードに入る際には、どの設定レジスタの内容も変化しません。

CAN コントローラを初期化するには、ソフトウェアでビットタイミング（CAN_BTR）および CAN オプション（CAN_MCR）レジスタの設定を行う必要があります。

CAN フィルタバンクに関連付けられたレジスタ（モード、スケール、FIFO 割り当て、有効化、およびフィルタ値）を初期化するには、ソフトウェアは FINIT ビット（CAN_FMR）をセットする必要があります。フィルタの初期化は、初期化モード以外でも行うことができます。

注： ***FINIT=1 のとき、CAN 受信は無効化されています。***

フィルタの値は、CAN_FA1R レジスタの関連するフィルタ有効化ビットを無効にすることによっても変更できます。

フィルタバンクを使用しない場合は、これを無効のままにしておく（対応する FACT ビットをクリアしておく）ことを推奨します。

23.4.2 通常モード

初期化が終了すると、ソフトウェアは、ハードウェアに対して通常モードに入り、CAN バスに同期し、送受信を開始するように要求する必要があります。通常モードに入るには、CAN_MCR レジスタの INRQ ビットをクリアし、ハードウェアが CAN_MSR レジスタの INAK ビットをクリアしてリクエストを確認するまで待ちます。その後 bxCAN は、11 個の連続したリセッシブビットの発生（≡ バスアイドル状態）を待つことで CAN バス上のデータ転送と同期してから、バス動作に参加してメッセージ転送を開始できるようになります。

フィルタ値の初期化は初期化モードとは別に行いますが、フィルタが有効でない（対応する FACTx ビットがクリアされている）ときに行う必要があります。フィルタのスケールとモードの設定は、通常モードに入る前に行う必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

23.4.3 SLEEP モード（低電力）

消費電力を低減するため、bxCAN には SLEEP モードと呼ばれる低電力モードがあります。このモードに入るには、ソフトウェアは CAN_MCR レジスタの SLEEP ビットをセットします。このモードでは bxCAN のクロックは停止しますが、ソフトウェアから bxCAN のメールボックスにアクセスすることは可能です。

bxCAN が **SLEEP** モードのときにソフトウェアが INRQ ビットをセットして**初期化**モードに入るように要求する場合には、SLEEP ビットもクリアする必要があります。

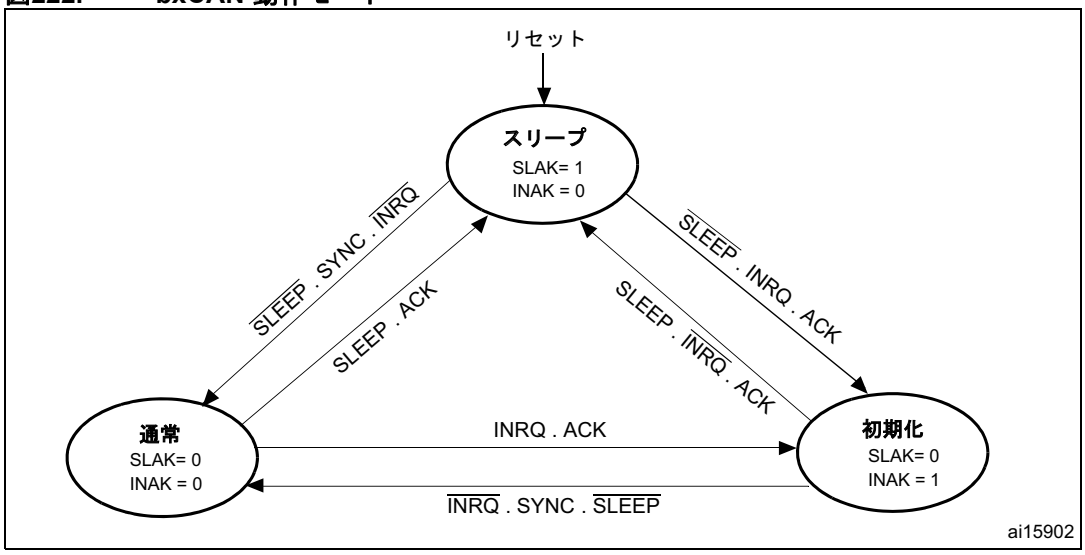
bxCAN が SLEEP モードからウェイクアップするには、ソフトウェアで SLEEP ビットをクリアするか、CAN バス動作を検出する必要があります。

CAN バス動作を検出すると、ハードウェアは、SLEEP ビットをクリアしてウェイクアップシーケンスを自動的に実行します（CAN_MCR レジスタの AWUM ビットがセットされている場合）。AWUM ビットがクリアされている場合、SLEEP モードから抜けるには、ウェイクアップ割り込みの発生時にソフトウェアが SLEEP ビットをクリアする必要があります。

注： ***ウェイクアップ割り込みが有効な場合（CAN_IER レジスタの WKUIE ビットがセットされている）、bxCAN がウェイクアップシーケンスを自動的に実行する場合でも、CAN バス動作の検出時にウェイクアップ割り込みが生成されます。***

SLEEP ビットがクリアされた後、bxCAN が CAN バスに同期すると SLEEP モードから抜けます（*図 222 : bxCAN 動作モード*を参照）。SLAK ビットがハードウェアによってクリアされると、SLEEP モードから抜けます。

図222. bxCAN 動作モード



1. ACK = ハードウェアが CAN_MSR レジスタの INAK または SLAK ビットをセットすることによってリクエストを確認するための待ち状態。
2. SYNC = CAN バスがアイドル状態になる（つまり、11 個の連続したリセッシブビットが CANRX で観察される）までの bxCAN の待ち状態。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

参考資料

23.5 テストモード

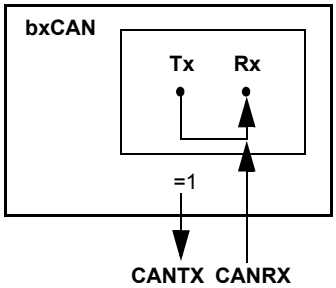
テストモードは、CAN_BTR レジスタの SILM ビットと LBKM ビットによって選択できます。これらのビットは、bxCAN が初期化モードにある間に設定する必要があります。テストモードが選択された後で通常モードに戻るには、CAN_MCR レジスタの INRQ ビットをリセットする必要があります。

23.5.1 サイレントモード

bxCAN をサイレントモードにするには、CAN_BTR レジスタの SILM ビットをセットします。

サイレントモードでは、bxCAN は有効なデータフレームやリモートフレームを受信できますが、CAN バスにはリセッシブビットのみを送信するため、送信を開始することはできません。bxCAN がドミナントビット（ACK ビット、オーバーロードフラグ、アクティブエラーフラグ）を送信する必要がある場合、CAN バスはリセッシブ状態にとどまることがあっても、CAN コアがこのドミナントビットを監視できるように、このビットは内部的にルート変更されます。サイレントモードを使用すると、ドミナントビット（ACK ビット、エラーフレーム）の送信による影響を受けずに、CAN バス上のトラフィックを解析できます。

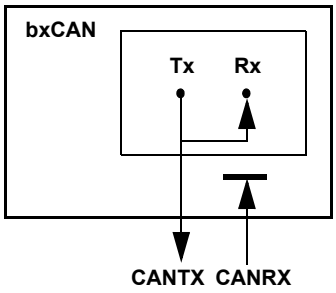
図223. bxCAN（サイレントモード）



23.5.2 ループバックモード

bxCAN をループバックモードに設定するには、CAN_BTR レジスタの LBKM ビットをセットします。ループバックモードでは、bxCAN は自分が送信したメッセージを受信メッセージとして扱い、それらを受信メールボックスに格納します（受信フィルタを通過した場合）。

図224. bxCAN（ループバックモード）



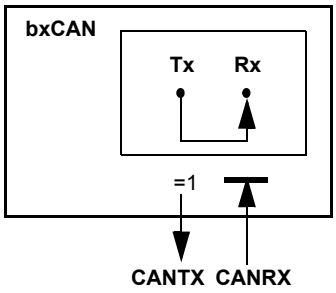
このモードは、セルフテスト機能のために用意されています。外部イベントから独立させるために、ループバックモードでは、CAN コアは ACK エラーを無視します（データ/リモートフレームの ACK スロットではドミナントビットはサンプリングされません）。このモードでは、bxCAN は Tx 出力から Rx 入力へ内部フィードバックを行います。bxCAN は、CANRX 入力ピンの実際の値を無視します。送信メッセージは CANTX ピンで監視できます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

23.5.3 サイレントモードとループバックモードの組み合わせ

CAN_BTR レジスタの LBKM ビットと SILM ビットをセットすることによって、ループバックモードとサイレントモードを組み合わせることもできます。このモードは“ホットセルフテスト”に使用できます。つまり、CANTX および CANRX ピンに接続されている実行中の CAN システムに影響を与えずに、ループバックモードと同様に bxCAN をテストできます。このモードでは、CANRX ピンは bxCAN から切断され、CANTX ピンはリセッシブに保持されます。

図225. bxCAN（組み合わせモード）



23.6 STM32F10xxx（デバッグモード）

マイクロコントローラがデバッグモードになると（Cortex-M3 コア停止）、次の状態に応じて、bxCAN は通常通りに動作を続けるか、または停止します。

- CAN1 の場合は DBG モジュールの DBG_CAN1_ストップビット、CAN2 の場合は DBG_CAN2_ストップビット。詳細については、*セクション 30.16.2：タイマ、ウォッチドッグ、bxCAN、および I^2C のデバッグサポート* を参照してください。
- CAN_MCR の DBF ビット。詳細については、*セクション 23.9.2：CAN 制御/ステータスレジスタ* を参照してください。

23.7 bxCAN 機能の説明

23.7.1 送信処理

メッセージを送信するには、アプリケーションは、**EMPTY** 状態の送信メールボックスを 1 つ選択し、識別子、データ長コード（DLC）、およびデータを設定してから、CAN_TIxR レジスタの対応する TXRQ ビットをセットすることによって、送信を要求する必要があります。メールボックスが **EMPTY** 状態でなくなると、ソフトウェアはこのメールボックスレジスタへの書き込みができなくなります。TXRQ ビットがセットされると、メールボックスはただちに **PENDING** 状態になり、最高優先順位のメールボックスになるまで待機します。*送信優先順位*を参照してください。メールボックスの優先順位が最高になると、メールボックスは送信の **SCHEDULED** 状態になります。スケジュール済みメールボックスのメッセージの送信は、CAN バスがアイドル状態になると開始されます（**TRANSMIT** 状態になります）。メールボックスの内容が正常に送信されると、そのメールボックスは再び **EMPTY** 状態になります。ハードウェアは、CAN_TSR レジスタの RQCP ビットと TXOK ビットをセットして、送信が正常に終了したことを示します。

送信が失敗した場合、その原因がアービトレーションロストである場合は CAN_TSR レジスタの ALST ビットによって、または、送信エラー検出である場合は TERR ビットによって示されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

送信優先順位

識別子による優先順位：

複数の送信メールボックスが保留中のときには、送信順序は、メールボックスに格納されているメッセージの識別子によって決まります。CAN プロトコルのアービトレーションに従って、最小の識別子の値を持つメッセージの優先順位が最高になります。識別子の値が同じ場合には、メールボックス番号の小さい方が優先的にスケジュールされます。

送信リクエストの順序による優先順位：

送信メールボックスは、CAN_MCR レジスタの TXFP ビットをセットすることによって、送信 FIFO として設定できます。このモードでは、優先順位は送信リクエストの順序によって決まります。

このモードは分割送信の場合に非常に役立ちます。

アボート

ユーザは、CAN_TSR レジスタの ABRQ ビットをセットすることによって、送信リクエストをアボートできます。**PENDING** または **SCHEDULED** 状態では、メールボックスはただちにアボートされます。メールボックスが **TRANSMIT** 状態のときにアボートリクエストが出されると、次の 2 つの結果につながります。メールボックスの送信が正常に行われた場合、CAN_TSR レジスタの TXOK ビットがセットされ、メールボックスは **EMPTY** 状態になります。送信に失敗した場合、メールボックスは **SCHEDULED** 状態になり、送信がアボートされ、TXOK ビットがクリアされて、メールボックスは **EMPTY** 状態になります。いずれの場合にも、メールボックスは、少なくとも現在の転送の最後には再び **EMPTY** 状態になります。

自動再送信禁止モード

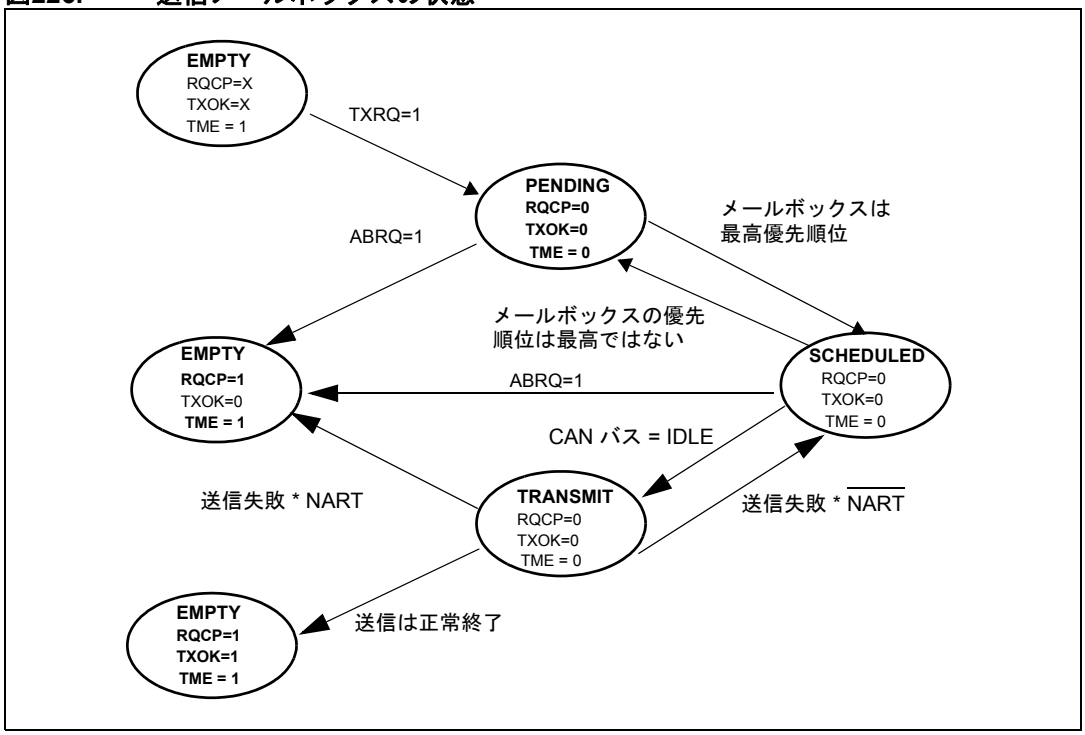
このモードは、CAN 規格のタイムトリガ通信オプションの要件を満たすために実装されています。ハードウェアをこのモードに設定するには、CAN_MCR レジスタの NART ビットをセットする必要があります。

このモードでは、個々の送信は一度だけ開始されます。最初の試みがアービトレーションロスやエラーのために失敗した場合、ハードウェアはメッセージ送信を自動的にリスタートしません。

最初の送信試行の終わりに、ハードウェアは、そのリクエストが完了したものとみなして、CAN_TSR レジスタの RQCP ビットをセットします。送信の結果は、CAN_TSR レジスタの TXOK、ALST、および TERR ビットによって示されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図226. 送信メールボックスの状態



23.7.2 タイムトリガ通信モード

このモードでは、CAN ハードウェアの内部カウンタが有効になり、受信/送信メールボックスの CAN_RDTxR/CAN_TDTxR レジスタに格納されるタイムスタンプ値を生成するために使用されます。内部カウンタは、CAN ビット時間ごとにインクリメントされます（*セクション 23.7.7：ビットタイミング*を参照）。内部カウンタは、送受信ともに、フレーム開始（SOF）ビットのサンプルポイントでキャプチャされます。

23.7.3 受信処理

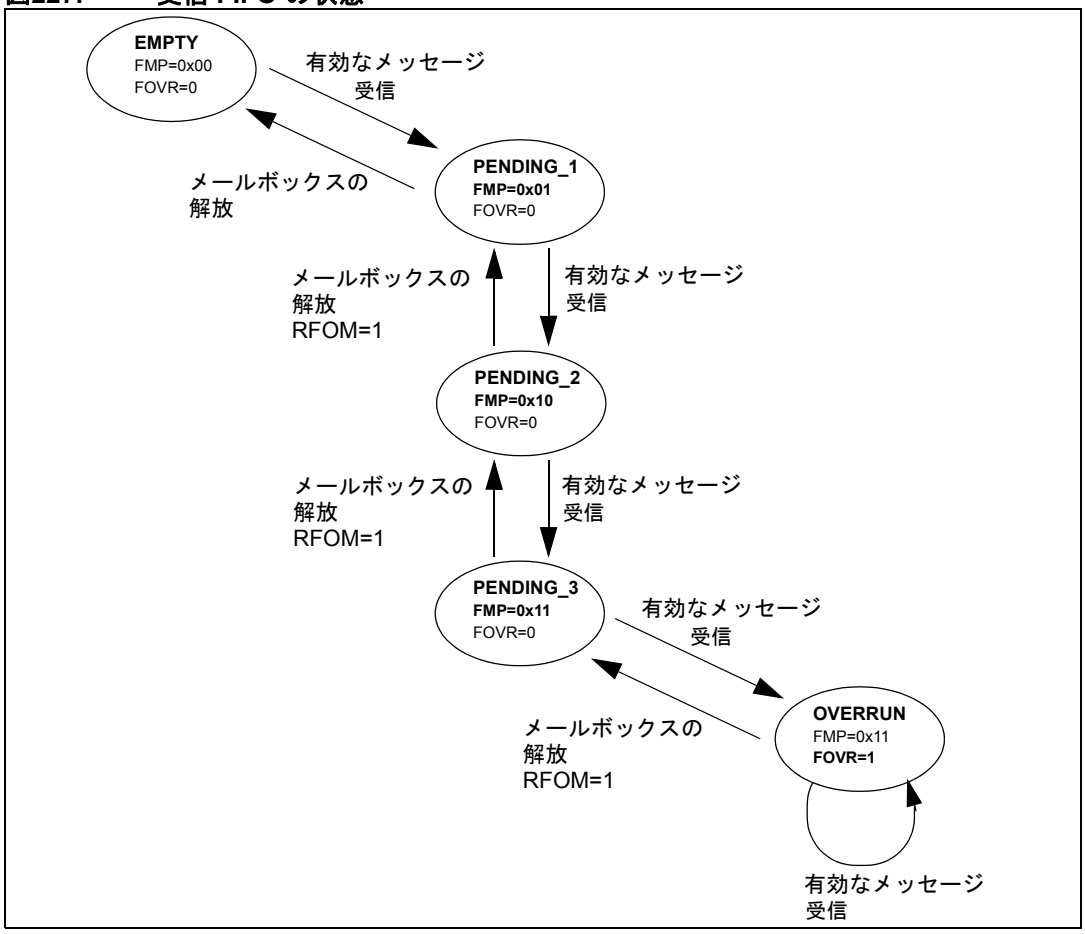
CAN メッセージを受信するために、3 つのメールボックスが FIFO として用意されています。CPU 負荷を軽減し、ソフトウェアを単純化し、データの一貫性を保証するために、FIFO の管理はハードウェアによって行われます。アプリケーションは、FIFO 出力メールボックスを通じて、FIFO に格納されたメッセージにアクセスします。

有効なメッセージ

受信されたメッセージは、CAN プロトコルに従って正しく受信され（EOF フィールドの最後から 2 番目のビットまでエラーなし）、**かつ**、識別子フィルタリングを正常に通過した**場合**に、有効であるとみなされます（*セクション 23.7.4：識別子フィルタリング*を参照）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図227. 受信 FIFO の状態



FIFO 管理

EMPTY 状態から始まり、受信した最初の有効なメッセージが FIFO に格納されると、FIFO は **PENDING_1** 状態になります。ハードウェアは、CAN_RFR レジスタの FMP[1:0] ビットを値 01b に設定して、このイベントを通知します。このメッセージは FIFO 出力メールボックスからアクセスできます。ソフトウェアは、このメールボックスの内容を読み出し、CAN_RFR レジスタの RFOM ビットをセットすることによってメールボックスを解放します。FIFO は再び **EMPTY** 状態になります。その間に新しい有効なメッセージが受信されると、FIFO は **PENDING_1** 状態にとどまり、出力メールボックスから新しいメッセージにアクセスできます。

アプリケーションがメールボックスを解放しない場合に次の有効なメッセージが FIFO に格納されると、FIFO は **PENDING_2** 状態（FMP[1:0] = 10b）になります。この格納プロセスは、次の有効なメッセージに対しても繰り返され、FIFO は **PENDING_3** 状態（FMP[1:0] = 11b）になります。この時点で、メールボックスが次の有効なメッセージを自由に格納できるように、ソフトウェアは、RFOM ビットをセットして、出力メールボックスを解放する必要があります。解放しないと、受信された次の有効なメッセージは失われます。

*セクション 23.7.5 : メッセージストレージ*も参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

オーバーラン

FIFO が **PENDING_3** 状態（すなわち、3 個のメールボックスが満杯）になると、次の有効なメッセージが受信されると **OVERRUN** 状態になり、メッセージは失われます。ハードウェアは、CAN_RFR レジスタの FOVR ビットをセットすることによって、オーバーラン状態を通知します。どのメッセージが失われるかは、FIFO の設定に依存します。

- FIFO ロック機能が無効（CAN_MCR レジスタの RFLM ビットがクリア）である場合、最後に FIFO に格納されたメッセージが新しい受信メッセージによって上書きされます。この場合、アプリケーションは常に最新のメッセージにアクセスできます。
- FIFO ロック機能が有効（CAN_MCR レジスタの RFLM ビットがセット）である場合、最新のメッセージが破棄され、ソフトウェアは FIFO 内にある 3 個の最も古いメッセージにアクセスできます。

受信関連の割り込み

メッセージが FIFO に格納されると、FMP[1:0] ビットが更新され、割り込みリクエストが生成されます（CAN_IER レジスタの FMPIE ビットがセットされている場合）。

FIFO が満杯になると（3 番目のメッセージが格納されると）、CAN_RFR レジスタの FULL ビットがセットされ、割り込みが生成されます（CAN_IER レジスタの FFIE ビットがセットされている場合）。

オーバーラン状態になると、FOVR ビットがセットされ、割り込みが生成されます（CAN_IER レジスタの FOVIE ビットがセットされている場合）。

23.7.4 識別子フィルタリング

CAN プロトコルでは、メッセージの識別子は、ノードのアドレスには関連付けられておらず、メッセージの内容に関連したものとなっています。したがって、トランスミッタは、そのメッセージをすべてのレシーバにブロードキャスト（一斉送信）します。メッセージが受信されると、受信ノードは、識別子の値に基づいて、このメッセージがソフトウェアに必要なものかどうかを判断します。このメッセージが必要な場合は、SRAM にコピーされます。そうでない場合、このメッセージは、ソフトウェアによる介入なしに破棄される必要があります。

この要件を満たすため、コネクティビティラインデバイスでは、bxCAN コントローラは 28 の設定可能でスケーラブルなフィルタバンク（27-0）をアプリケーションに提供します。それ以外のデバイスでは、ソフトウェアに必要なメッセージのみを受信できるように、bxCAN コントローラは 14 の設定可能でスケーラブルなフィルタバンク（13-0）をアプリケーションに提供します。このハードウェアフィルタリングによって、ソフトウェアでフィルタリングを行う場合に比べて、CPU リソースを節約できます。各フィルタバンク x は、2 個の 32 ビットレジスタ（CAN_FxR0 と CAN_FxR1）から構成されています。

スケーラブルな幅

フィルタをアプリケーションニーズに合わせて最適化/適応するため、各フィルタバンクを個別に拡大/縮小できます。フィルタのスケールに応じて、フィルタバンクは以下のフィルタを提供します。

- 1 個の 32 ビットフィルタ：STDID[10:0]、EXTID[17:0]、IDE、および RTR ビット用。
- 2 個の 16 ビットフィルタ：STDID[10:0]、RTR、IDE、および EXTID[17:15] ビット用。

*図 228*を参照してください。

さらに、これらのフィルタはマスクモードまたは識別子リストモードに設定できます。

マスクモード

マスクモードでは、識別子レジスタは、識別子のどのビットを“一致が必要”として扱い、どのビットを“無視”として扱うかを指定するマスクレジスタに関連付けられます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

識別子リストモード

識別子リストモードでは、マスクレジスタが識別子レジスタとして使用されます。このように、識別子とマスクを定義する代わりに、2 つの識別子を指定することで、1 つの識別子の数を倍にします。受信識別子のすべてのビットが、フィルタレジスタに指定されたビットと一致する必要があります。

フィルタバンクのスケールとモードの設定

フィルタバンクは、対応する CAN_FMR レジスタによって設定されます。フィルタバンクを設定するには、CAN_FAR レジスタの FACT ビットをクリアすることによって、無効にする必要があります。フィルタのスケールは、CAN_FS1R レジスタの対応する FSCx ビットによって設定されます（*図 228* を参照）。対応するマスク/識別子レジスタの**識別子リスト**または**識別子マスク**モードは、CAN_FMR レジスタの FBMx ビットによって設定されます。

識別子のグループをフィルタリングするには、マスク/識別子レジスタをマスクモードに設定します。

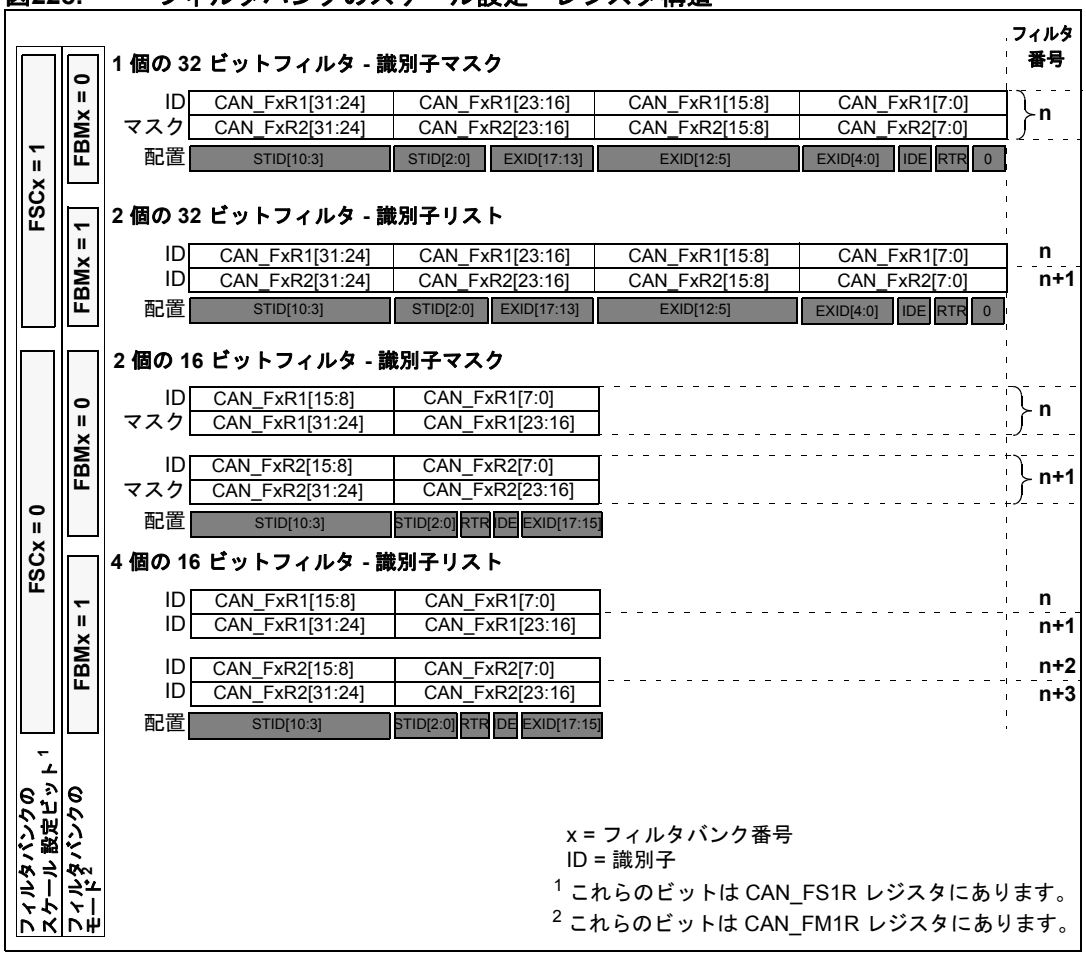
1 つの識別子を選択するには、マスク/識別子レジスタを識別子リストモードに設定します。

アプリケーションで使用されないフィルタは、無効のままにしておきます。

フィルタバンク内の各フィルタには、各フィルタバンクのモードとスケールに応じて 0 から最大値までの番号（*フィルタ番号*）が付けられます。

フィルタの設定については*図 228* を参照してください。

図228. フィルタバンクのスケール設定 - レジスタ構造



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

該当フィルタインデックス

メッセージが FIFO に受信されると、アプリケーションからアクセス可能になります。通常、アプリケーションのデータは SRAM のいずれかの位置にコピーされます。データを正しい位置にコピーするには、アプリケーションは識別子によってデータを識別する必要があります。この操作を省き、SRAM へのアクセスを容易にするために、CAN コントローラは該当フィルタインデックス（Filter Match Index）を搭載しています。

このインデックスは、フィルタ優先順位の規則に従って、メッセージとともにメールボックスに格納されます。したがって、受信された各メッセージには該当フィルタインデックスが関連付けられています。

該当フィルタインデックスは、次の 2 つの方法で使用できます。

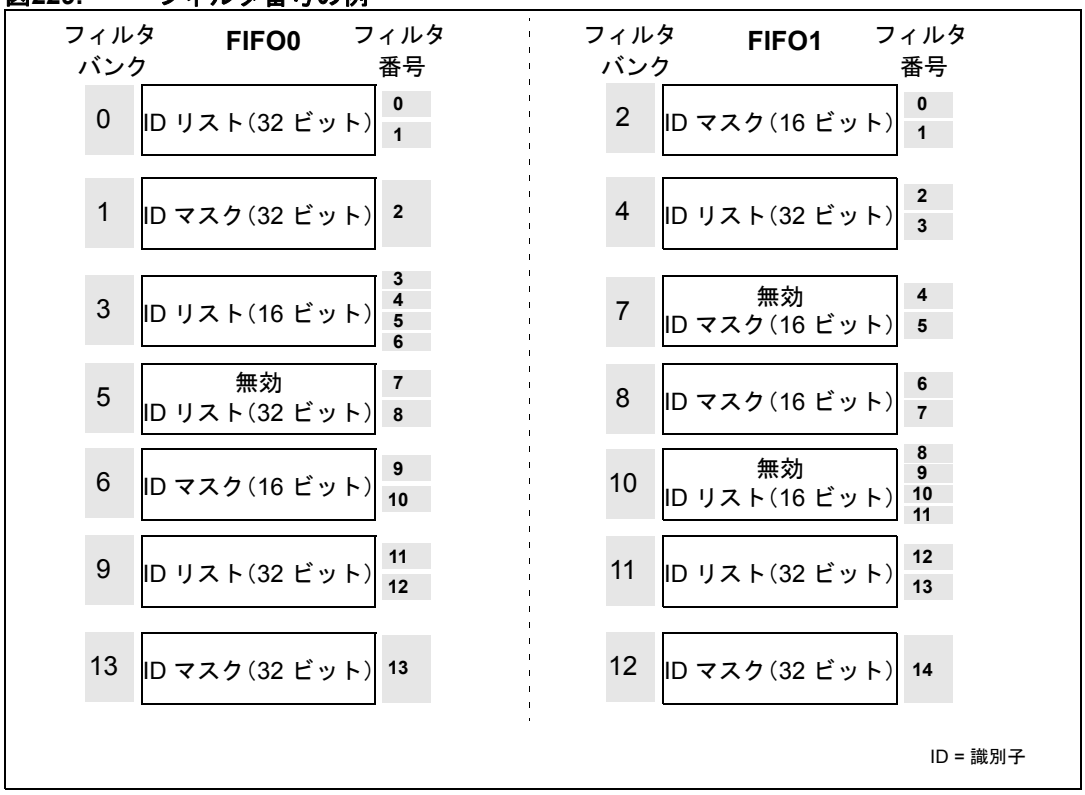
- 該当フィルタインデックスと予期される値のリストを比較します。
- 該当フィルタインデックスを配列のインデックスとして使用し、データの格納先にアクセスします。

マスクされていないフィルタについては、ソフトウェアは識別子を比較する必要はありません。

フィルタがマスクされた場合、ソフトウェアは、マスクされたビットのみを比較するだけとなります。

フィルタ番号のインデックス値では、フィルタバンクの有効化状態を考慮に入れません。さらに、FIFO ごとに 1 つずつ、2 つの独立した番号付け方式を使用します。*図 229* の例を参照してください。

図229. フィルタ番号の例



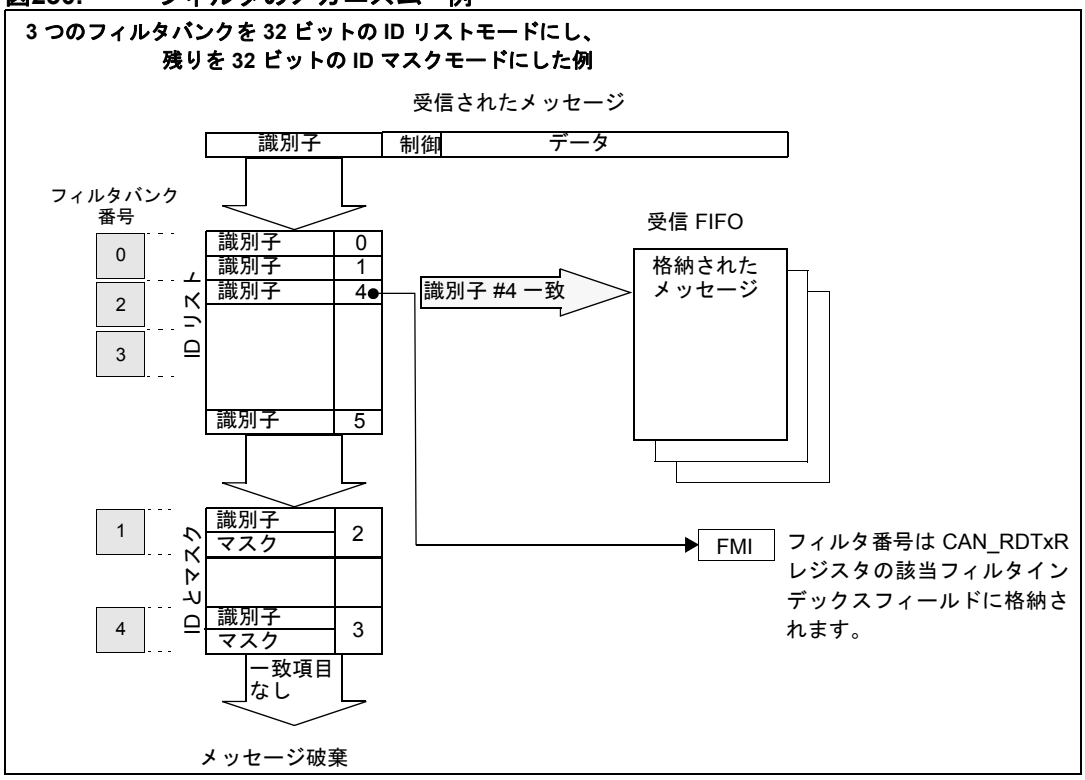
この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

フィルタ優先順位の規則

フィルタの組み合わせによっては、1 つの ID が複数のフィルタを正常に通過することがあります。この場合、受信メールボックスに格納される該当フィルタ値は、次の優先順位規則に基づいて選択されます。

- 32 ビットフィルタは 16 ビットフィルタよりも優先されます。
- 同じスケールのフィルタでは、ID リストモードは ID マスクモードよりも優先されます。
- スケールとモードが同じフィルタでは、フィルタ番号によって優先順位が与えられます（番号が小さいほど優先順位が高くなります）。

図230. フィルタのメカニズム - 例



上の例は bxCAN のフィルタリングの原理を示しています。メッセージが受信されると、その ID は、まず ID リストモードで設定されたフィルタと比較されます。一致する項目があれば、メッセージは関連する FIFO に格納され、一致したフィルタのインデックスは該当フィルタインデックスに格納されます。この例では、ID は ID #4 と一致するため、メッセージの内容と FMI 2 が FIFO に格納されます。

一致する項目がなければ、受信メッセージの ID は次にマスクモードで設定されたフィルタと比較されます。

この ID がフィルタ内のどの ID とも一致しない場合、メッセージはハードウェアによって破棄され、ソフトウェアが介入することはありません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

23.7.5 メッセージストレージ

CAN メッセージに関するソフトウェアとハードウェアのインタフェースは、メールボックスによって実現されます。メールボックスには、ID、データ、制御、ステータス、タイムスタンプ情報など、メッセージに関するすべての情報が格納されます。

送信メールボックス

ソフトウェアは、送信しようとするメッセージを空の送信メールボックスにセットアップします。送信のステータスは、ハードウェアによって CAN_TSR レジスタに示されます。

表177. 送信メールボックスの配置

送信メールボックスのベースアドレスのオフセット	レジスタ名
0	CAN_TIxR
4	CAN_TDTxR
8	CAN_TDLxR
12	CAN_TDHxR

受信メールボックス

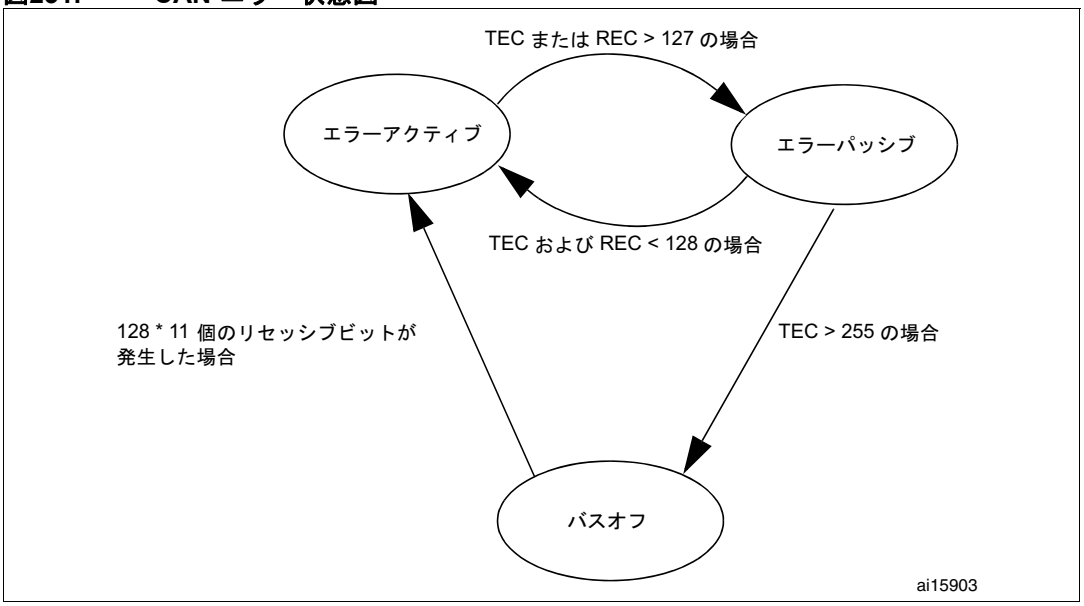
メッセージが受信されると、ソフトウェアは FIFO 出力メールボックスを通してこれにアクセスすることができます。ソフトウェアがメッセージの読み出しなどの処理を終えると、ソフトウェアは、CAN_RFR レジスタの RFOM ビットによって FIFO 出力メールボックスを解放し、次の受信メッセージにアクセスできるようにする必要があります。該当フィルタインデックスは、CAN_RDTxR レジスタの MFMI フィールドに格納されます。16 ビットタイムスタンプの値は、CAN_RDTxR レジスタの TIME[15:0] フィールドに格納されます。

表178. 受信メールボックスの配置

受信メールボックスのベースアドレスのオフセット（バイト）	レジスタ名
0	CAN_RIxR
4	CAN_RDTxR
8	CAN_RDLxR
12	CAN_RDHxR

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図231. CAN エラー状態図



23.7.6 エラー管理

CAN プロトコルに記述されているエラー管理は、エラー条件によってインクリメント/デクリメントされる送信エラーカウンタ（CAN_ESR レジスタの TEC 値）と受信エラーカウンタ（CAN_ESR レジスタの REC 値）を使用して、すべてハードウェアによって処理されます。TEC および REC の管理の詳細については、CAN 規格を参照してください。

ソフトウェアは、この 2 つのカウンタを読み出してネットワークの安定性を判断できます。さらに、CAN ハードウェアは、現在のエラーステータスに関する詳細な情報を CAN_ESR レジスタで提供します。CAN_IER レジスタ（ERRIE ビットなど）によって、ソフトウェアは、エラー検出時の割り込み生成をきわめて柔軟に設定できます。

バスオフからの復帰

TEC が 255 を超えるとバスオフ状態になります。この状態は CAN_ESR レジスタの BOFF ビットによって示されます。バスオフ状態では、bxCAN はメッセージの送受信を行うことができません。

CAN_MCR レジスタの ABOM ビットに応じて、bxCAN は、自動的に、またはソフトウェアのリクエストに基づいて、バスオフ状態から復帰します（再びエラーアクティブになります）。しかし、いずれの場合も、bxCAN は、少なくとも CAN 規格で定められた復帰シーケンス（CANRX で 11 個の連続したリセッシブビットを 128 回観測）の間は待機する必要があります。

ABOM がセットされている場合、bxCAN は、バスオフ状態に入った後で自動的に復帰シーケンスを開始します。

ABOM がクリアされている場合、ソフトウェアは、bxCAN に対していったん初期化モードに入ってから出るようにリクエストすることによって、復帰シーケンスを開始する必要があります。

注： ***初期化モードでは、bxCAN は CANRX 信号を監視しません。このため、復帰シーケンスを実行できません。復帰するには、bxCAN は通常モードでなければなりません。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

23.7.7 ビットタイミング

ビットタイミング回路は、シリアルバスラインを監視し、スタートビットエッジでの同期と後続エッジでの再同期によって、サンプリングとサンプリングポイントの調整を行います。

この動作を説明するには、公称ビット時間を次のように 3 つのセグメントに分割します。

- **同期セグメント（SYNC_SEG）**: この時間セグメント内にビット変化が生じることが想定されます。この時間の長さは 1 タイムクォンタム（1 x t_{CAN}）に固定されています。
- **ビットセグメント 1（BS1）**: サンプルポイントの位置を定義します。これには、CAN 規格の PROP_SEG と PHASE_SEG1 が含まれます。セグメントの時間は 1～16 タイムクォンタムの間でプログラミング可能ですが、ネットワークのさまざまなノード間の周波数の差に起因する正の位相ドリフトを補正するために、自動的に延長されることがあります。
- **ビットセグメント 2（BS2）**: 送信ポイントの位置を定義します。これは、CAN 規格の PHASE_SEG2 に相当します。セグメントの時間は 1～8 タイムクォンタムの間でプログラミング可能ですが、負の位相ドリフトを補正するために、自動的に短縮されることもあります。

再同期ジャンプ幅（SJW）はビットセグメントを延長/短縮する際の上限を定めており、1～4 タイムクォンタムの間でプログラミング可能です。

有効なエッジとは、コントローラ自体はリセッシブビットを送信しないという条件で、あるビット時間において、ドミナントからリセッシブへのバスレベルの最初の遷移と定義します。

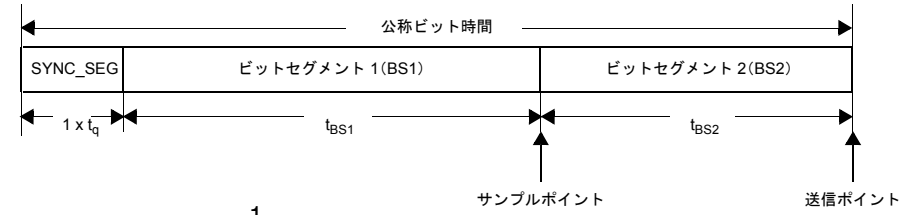
有効なエッジが SYNC_SEG ではなく BS1 で検出された場合、サンプルポイントが遅くなるように、BS1 は最大で SJW だけ拡張されます。

逆に、有効なエッジが SYNC_SEG ではなく BS2 で検出された場合、送信ポイントが早くなるように、BS2 は最大で SJW だけ短縮されます。

プログラミングエラーに対する安全対策として、ビットタイミングレジスタ（CAN_BTR）の設定は、デバイスが STANDBY モードの場合にのみ可能です。

注： ***CAN ビットタイミングと再同期メカニズムの詳細については、ISO11898 規格を参照してください。***

図232. ビットタイミング



$$\text{ボーレート} = \frac{1}{\text{公称ビット時間}}$$

$$\text{公称ビット時間} = 1 \times t_q + t_{BS1} + t_{BS2}$$

ここで:

$t_{BS1} = t_q$ x (TS1[3:0] + 1),

$t_{BS2} = t_q$ x (TS2[2:0] + 1),

t_q = (BRP[9:0] + 1) x t_{PCLK}

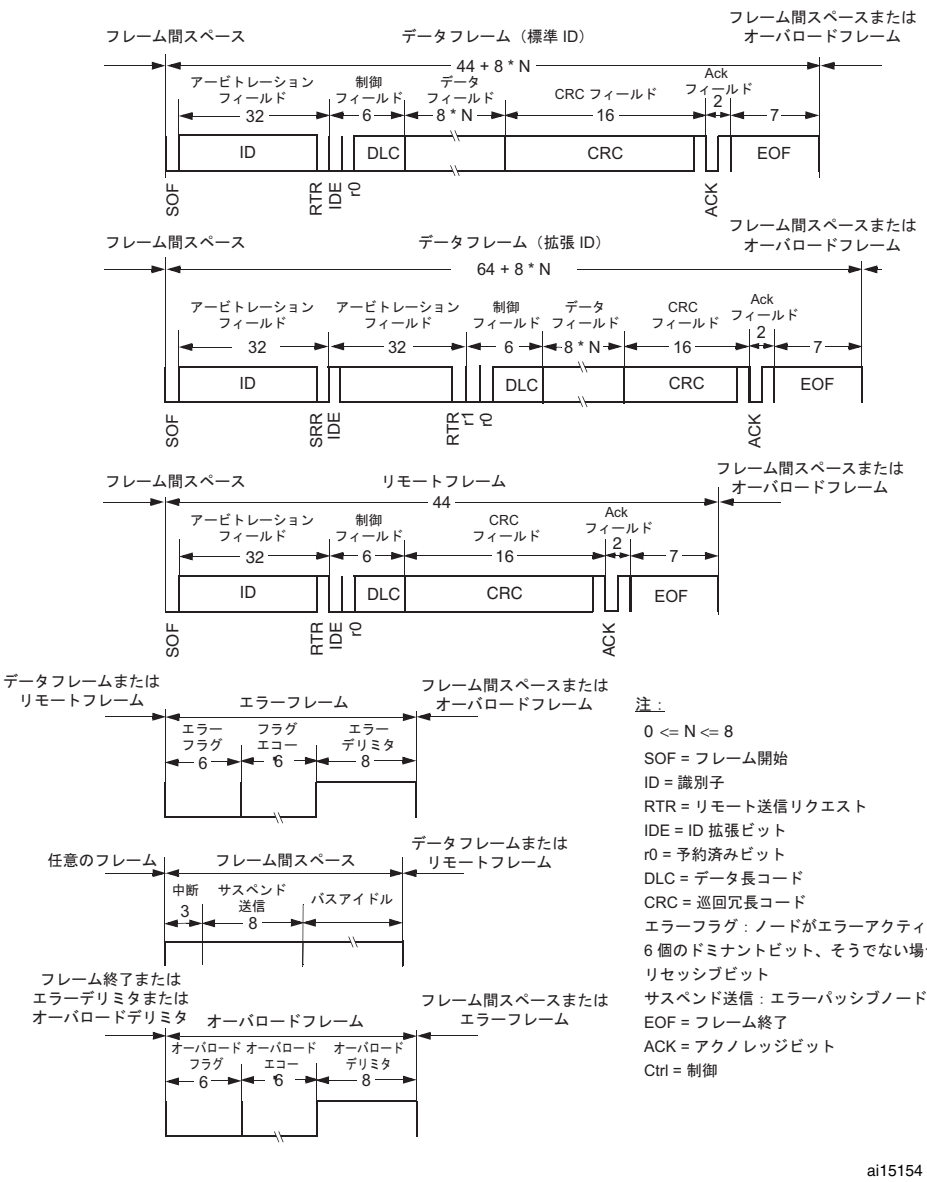
ここで t_q はタイムクォンタムを表します。

t_{PCLK} = APB クロックの時間周期

BRP[9:0]、TS1[3:0]、および TS2[2:0] は、CAN_BTR レジスタで定義されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図233. CAN フレーム

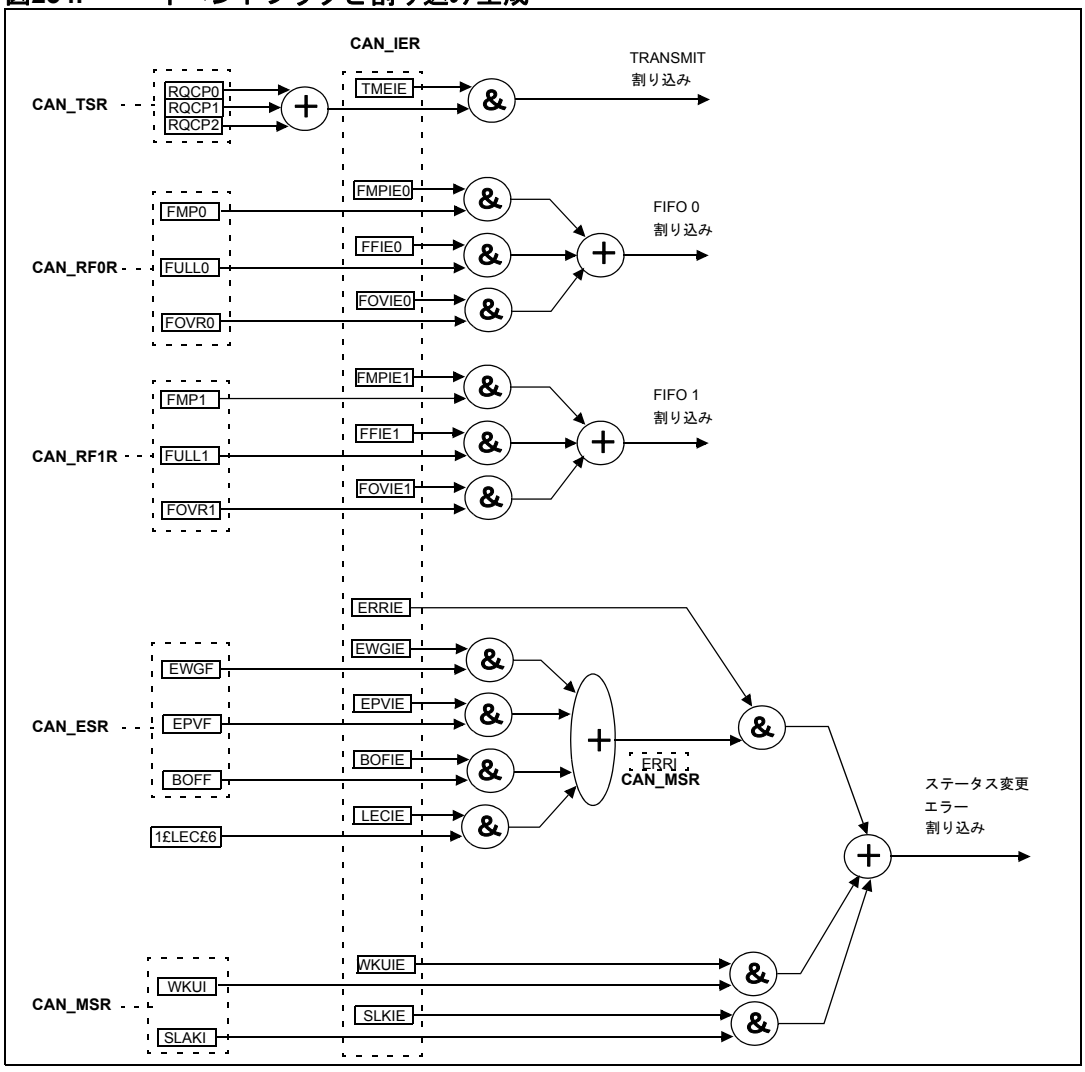


この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

23.8 bxCAN の割り込み

bxCAN には 4 つの割り込みベクタが確保されています。各割り込みソースは、CAN 割り込みイネーブルレジスタ（CAN_IER）によって個別に有効/無効にできます。

図234. イベントフラグと割り込み生成



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

- **送信割り込み**は次のイベントによって生成できます。
  - 送信メールボックス 0 が空になり、CAN_TSR レジスタの RQCP0 ビットがセットされる。
  - 送信メールボックス 1 が空になり、CAN_TSR レジスタの RQCP1 ビットがセットされる。
  - 送信メールボックス 2 が空になり、CAN_TSR レジスタの RQCP2 ビットがセットされる。
- **FIFO 0 割り込み**は次のイベントによって生成できます。
  - 新しいメッセージの受信、CAN_RF0R レジスタの FMP0 ビットが“00”ではない。
  - FIFO0 の満杯状態、CAN_RF0R レジスタの FULL0 ビットがセットされる。
  - FIFO0 のオーバーラン状態、CAN_RF0R レジスタの FOVR0 ビットがセットされる。
- **FIFO 1 割り込み**は次のイベントによって生成できます。
  - 新しいメッセージの受信、CAN_RF1R レジスタの FMP1 ビットが“00”ではない。
  - FIFO1 の満杯状態、CAN_RF1R レジスタの FULL1 ビットがセットされる。
  - FIFO1 のオーバーラン状態、CAN_RF1R レジスタの FOVR1 ビットがセットされる。
- **エラー /ステータス変化割り込み**は次のイベントによって生成できます。
  - エラー条件：エラー条件の詳細については、CAN エラーステータスレジスタ（CAN_ESR）を参照してください。
  - ウェイクアップ条件：CAN Rx 信号で SOF が観察されたとき。
  - SLEEP モードへの遷移。

23.9 CAN レジスタ

ペリフェラルレジスタには、ワード（32 ビット）単位でアクセスする必要があります。

23.9.1 レジスタのアクセス保護

特定の設定レジスタに誤ったアクセスを行うと、ハードウェアが CAN ネットワーク全体の動作を一時的に妨害することがあります。このため、ソフトウェアが CAN_BTR レジスタを変更できるのは、CAN ハードウェアが初期化モードのときに限られます。

誤ったデータを送信しても CAN ネットワークレベルでの問題は生じませんが、アプリケーションには致命的な影響を与える可能性があります。ソフトウェアが送信メールボックスを変更できるのは、メールボックスが EMPTY 状態のときに限られます。*図 226：送信メールボックスの状態*を参照してください。

フィルタ値を変更するには、関連するフィルタバンクを無効にするか、または FINIT ビットをセットします。さらに、CAN_FMxR、CAN_FSxR、および CAN_FFAR レジスタにあるフィルタ設定（スケール、モード、および FIFO 割り当て）の変更は、CAN_FMR レジスタでフィルタ初期化モードが設定されている（FINIT = 1）場合に限られます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

23.9.2 CAN 制御/ステータスレジスタ

レジスタの説明で使用される略語については、*セクション 1.1（40 ページ）*を参照してください。

CAN マスタ制御レジスタ（CAN_MCR）

アドレスオフセット：0x00
リセット値：0x0001 0002

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															DBF
															rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESET	予約済み							TTCM	ABOM	AWUM	NART	RFLM	TXFP	SLEEP	INRQ
rs								rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:17　予約済み、ハードウェアによって 0 に固定されています。

ビット 16　**DBF**：デバッグ凍結
0：デバッグ時に CAN は機能します。
1：デバッグ時に CAN の送受信機能は凍結されます。受信 FIFO は、まだ正常にアクセス/制御できます。

ビット 15　**RESET**：bxCAN ソフトウェアマスタリセット
0：通常動作
1：bxCAN のマスタリセットを強制します。リセット後、SLEEP モードになります（FMP ビットと CAN_MCR レジスタはリセット値に初期化されます）。このビットは自動的に 0 にリセットされます。

ビット 14:8　予約済み、ハードウェアによって 0 に固定されています。

ビット 7　**TTCM**：タイムトリガ通信モード
0：タイムトリガ通信モードは無効です。
1：タイムトリガ通信モードは有効です。

注：　タイムトリガ通信モードの詳細については、セクション 23.7.2：タイムトリガ通信モードを参照してください。

ビット 6　**ABOM**：自動バスオフ管理
このビットは、バスオフ状態を出るときの CAN ハードウェアの動作を制御します。
0：ソフトウェアリクエストによってバスオフ状態から出ます。つまり、11 個の連続したリセッシブビットが 128 回観測され、ソフトウェアは CAN_MCR レジスタの INRQ ビットを、まずセットし、次にクリアしなければなりません。
1：ハードウェアによって自動的にバスオフ状態から出ます（11 個の連続したリセッシブビットが 128 回観測されたとき）。
バスオフ状態の詳細については、*セクション 23.7.6：エラー管理*を参照してください。

ビット 5　**AWUM**：自動ウェイクアップモード
このビットは、SLEEP モードでのメッセージ受信時の CAN ハードウェアの動作を制御します。
0：ソフトウェアリクエストによって CAN_MCR レジスタの SLEEP ビットをクリアして SLEEP モードを出ます。
1：ハードウェアによって CAN メッセージの検出時に自動的に SLEEP モードを出ます。
CAN_MCR レジスタの SLEEP ビットと CAN_MSR レジスタの SLAK ビットはハードウェアによってクリアされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 4 **NART**：自動再送信禁止

0：CAN ハードウェアは、CAN 規格に基づいてメッセージを正常に送信するまで、メッセージを自動的に再送信します。

1：送信結果（正常、エラー、アービトレーションロスト）にかかわらず、メッセージは 1 回だけ送信されます。

ビット 3 **RFLM**：受信 FIFO ロックモード

0：受信 FIFO はオーバーラン時にロックされません。受信 FIFO が満杯になると、次の受信メッセージは前のメッセージに上書きされます。

1：受信 FIFO はオーバーランに対してロックされます。受信 FIFO が満杯になると、次の受信メッセージは破棄されます。

ビット 2 **TXFP**：送信 FIFO 優先順位

このビットは、複数のメールボックスが同時に PENDING 状態のときの送信順序を制御します。

0：優先順位はメッセージの ID によって決まります。

1：優先順位はリクエスト順に（時系列に）決まります。

ビット 1 **SLEEP**：SLEEP モードリクエスト

このビットは、CAN ハードウェアに SLEEP モードに入るように要求するために、ソフトウェアによってセットされます。現在の CAN 動作（CAN フレームの送受信）が完了すると、すぐに SLEEP モードに入ります。

このビットは、SLEEP モードから抜けるために、ソフトウェアによってクリアされます。

AWUM ビットがセットされていて、CAN Rx 信号で SOF ビットが検出されると、このビットはハードウェアによってクリアされます。

リセット後、このビットはセットされています。CAN は SLEEP モードで開始します。

ビット 0 **INRQ**：初期化リクエスト

このビットは、ハードウェアを通常モードに切り替えるために、ソフトウェアによってクリアされます。Rx 信号で 11 個の連続したリセッシブビットが観察されると、CAN ハードウェアが同期して送受信の準備ができます。ハードウェアは、CAN_MSR レジスタの INAK ビットをクリアすることによって、このイベントを通知します。

このビットは、CAN ハードウェアに初期化モードに入るようにリクエストするために、ソフトウェアによってセットされます。ソフトウェアが INRQ ビットをセットすると、CAN ハードウェアは、現在の CAN 動作（送受信）が完了するのを待ってから、初期化モードに入ります。ハードウェアは、CAN_MSR レジスタの INAK ビットをセットすることによって、このイベントを通知します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

CAN マスタステータスレジスタ（CAN_MSR）

アドレスオフセット：0x04
リセット値：0x0000 0C02

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み。				RX	SAMP	RXM	TXM	予約済み			SLAKI	WKUI	ERRI	SLAK	INAK
				r	r	r	r				rc_w1	rc_w1	rc_w1	r	r

ビット 31:12　予約済み、ハードウェアによって 0 に固定されています。

ビット 11　**RX**：CAN Rx 信号
CAN_RX ピンの実際の値を監視します。

ビット 10　**SAMP**：最終サンプルポイント
最後のサンプルポイントにおける RX の値（受信した現在のビット値）。

ビット 9　**RXM**：受信モード
CAN ハードウェアは、現在はレシーバです。

ビット 8　**TXM**：送信モード
CAN ハードウェアは、現在はトランスミッタです。

ビット 7:5　予約済み、ハードウェアによって 0 に固定されています。

ビット 4　**SLAKI**：スリープ確認応答割り込み
SLKIE=1 の場合、このビットは、bxCAN が SLEEP モードに入ったことを通知するために、ハードウェアによってセットされます。CAN_IER レジスタの SLKIE ビットがセットされている場合、このビットがセットされると、状態変化割り込みが生成されます。
SLAK がクリアされると、このビットはソフトウェアまたはハードウェアによってクリアされます。

*注：　**SLKIE=0 の場合、SLAKI ビットのポーリングはできません。この場合、SLAK ビットはポーリングできます。***

ビット 3　**WKUI**：ウェイクアップ割り込み
このビットは、CAN ハードウェアが SLEEP モードのときに SOF ビットが検出されたことを通知するために、ハードウェアによってセットされます。CAN_IER レジスタの WKUIE ビットがセットされている場合、このビットをセットすると状態変化割り込みが生成されます。
このビットはソフトウェアによってクリアします。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 2 **ERRI**：エラー割り込み

エラー検出時に CAN_ESR のビットがセットされており、CAN_IER で対応する割り込みが有効にされている場合、このビットはハードウェアによってセットされます。CAN_IER レジスタの ERRIE ビットがセットされている場合、このビットをセットすると状態変化割り込みが生成されます。
このビットはソフトウェアによってクリアします。

ビット 1 **SLAK**：スリープ確認応答

このビットは、ハードウェアによってセットされ、CAN ハードウェアが SLEEP モードにあることをソフトウェアに知らせます。このビットは、ソフトウェアからの SLEEP モードリクエスト（CAN_MCR レジスタの SLEEP ビットをセット）に対する確認応答になります。
このビットは、CAN ハードウェアが SLEEP モードを出た（CAN バスに同期する）ときに、ハードウェアによってクリアされます。同期をとるため、ハードウェアは、CAN RX 信号で 11 個の連続したリセッシブビットを観測する必要があります。

注： SLEEP モードを出るプロセスは、CAN_MCR レジスタの SLEEP ビットがクリアされたときにトリガされます。SLEEP ビットのクリアについては、CAN_MCR レジスタの AWUM ビットの説明を参照してください。

ビット 0 **INAK**：初期化確認応答

このビットは、CAN ハードウェアが初期化モードにあることをソフトウェアに知らせるために、ハードウェアによってセットされます。このビットは、ソフトウェアからの初期化リクエスト（CAN_MCR レジスタの INRQ ビットをセット）に対する確認応答になります。
このビットは、CAN ハードウェアが初期化モードを出た（CAN バスに同期する）ときに、ハードウェアによってクリアされます。同期をとるため、ハードウェアは、CAN RX 信号で 11 個の連続したリセッシブビットを観測する必要があります。

CAN 送信ステータスレジスタ（CAN_TSR）

アドレスオフセット：0x08
リセット値：0x1C00 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
LOW2	LOW1	LOW0	TME2	TME1	TME0	CODE[1:0]		ABRQ 2	予約済み			TERR 2	ALST2	TXOK 2	RQCP 2
r	r	r	r	r	r	r	r	rs				rc_w1	rc_w1	rc_w1	rc_w1

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ABRQ 1	予約済み			TERR 1	ALST1	TXOK 1	RQCP 1	ABRQ 0	予約済み			TERR 0	ALST0	TXOK 0	RQCP 0
rs				rc_w1	rc_w1	rc_w1	rc_w1	rs				rc_w1	rc_w1	rc_w1	rc_w1

ビット 31 **LOW2**：メールボックス 2 最低優先順位フラグ

複数のメールボックスが送信待ち状態であり、メールボックス 2 が最低優先順位のとき、このビットはハードウェアによってセットされます。

ビット 30 **LOW1**：メールボックス 1 最低優先順位フラグ

複数のメールボックスが送信待ち状態であり、メールボックス 1 が最低優先順位のとき、このビットはハードウェアによってセットされます。

ビット 29 **LOW0**：メールボックス 0 最低優先順位フラグ

複数のメールボックスが送信待ち状態であり、メールボックス 0 が最低優先順位のとき、このビットはハードウェアによってセットされます。

注： ペンディング状態のメールボックスが 1 つしかないとき、LOW[2:0] ビットは 0 にセットされます。

ビット 28 **TME2**：送信メールボックス 2 エンプティ

このビットは、メールボックス 2 で保留中の送信リクエストがないとき、ハードウェアによってセットされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 27 **TME1**：送信メールボックス 1 エンプティ
このビットは、メールボックス 1 で保留中の送信リクエストがないとき、ハードウェアによってセットされます。

ビット 26 **TME0**：送信メールボックス 0 エンプティ
このビットは、メールボックス 0 で保留中の送信リクエストがないとき、ハードウェアによってセットされます。

ビット 25:24 **CODE[1:0]**：メールボックスコード
少なくとも 1 個の送信メールボックスが空き状態の場合、このコード値は、次の空き状態の送信メールボックスの番号になります。
すべての送信メールボックスが保留中の場合、このコード値は、最低優先順位の送信メールボックスの番号になります。

ビット 23 **ABRQ2**：メールボックス 2 アボートリクエスト
対応するメールボックスの送信リクエストをアボートするために、ソフトウェアによってセットされます。
メールボックスが空になると、ハードウェアによってクリアされます。
メールボックスが送信待ち状態にない場合、このビットをセットしても効果はありません。

ビット 22:20 予約済み、ハードウェアによって 0 に固定されています。

ビット 19 **TERR2**：メールボックス 2 送信エラー
このビットは、前の送信（TX）がエラーによって失敗したときにセットされます。

ビット 18 **ALST2**：メールボックス 2 アービトレーションロスト
このビットは、前の送信（TX）がアービトレーションロストによって失敗したときにセットされます。

ビット 17 **TXOK2**：メールボックス 2 送信 OK
ハードウェアは、送信を試みた後で毎回このビットを更新します。
0：前回の送信は失敗しました。
1：前回の送信は成功しました。
このビットは、メールボックス 2 での送信リクエストが正常に完了したとき、ハードウェアによってセットされます。*図 226* を参照してください。

ビット 16 **RQCP2**：メールボックス 2 リクエスト完了
最後のリクエスト（送信またはアボート）が実行されたとき、ハードウェアによってセットされます。
ソフトウェアによって“1”を書き込むか、送信リクエスト時にハードウェアによってクリアされます（CAN_TMID2R レジスタの TXRQ2 ビットをセット）。
このビットをクリアすると、メールボックス 2 のすべてのステータスビット（TXOK2、ALST2、および TERR2）がクリアされます。

ビット 15 **ABRQ1**：メールボックス 1 アボートリクエスト
対応するメールボックスの送信リクエストをアボートするために、ソフトウェアによってセットされます。
メールボックスが空になると、ハードウェアによってクリアされます。
メールボックスが送信待ち状態にない場合、このビットをセットしても効果はありません。

ビット 14:12 予約済み、ハードウェアによって 0 に固定されています。

ビット 11 **TERR1**：メールボックス 1 送信エラー
このビットは、前の送信（TX）がエラーによって失敗したときにセットされます。

ビット 10 **ALST1**：メールボックス 1 アービトレーションロスト
このビットは、前の送信（TX）がアービトレーションロストによって失敗したときにセットされます。

ビット 9 **TXOK1**：メールボックス 1 送信OK
ハードウェアは、送信を試みた後で毎回このビットを更新します。
0：前回の送信は失敗しました。
1：前回の送信は成功しました。
このビットは、メールボックス 1 での送信リクエストが正常に完了したとき、ハードウェアによってセットされます。*図 226* を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 8 **RQCP1**：メールボックス 1 リクエスト完了
最後のリクエスト（送信またはアボート）が実行されたとき、ハードウェアによってセットされます。
ソフトウェアによって“1”を書き込むか、送信リクエスト時にハードウェアによってクリアされます（CAN_TI1R レジスタの TXRQ1 ビットをセット）。
このビットをクリアするとメールボックス 1 のすべてのステータスビット（TXOK1、ALST1、および TERR1）がクリアされます。

ビット 7 **ABRQ0**：メールボックス 0 アボートリクエスト
対応するメールボックスの送信リクエストをアボートするために、ソフトウェアによってセットされます。
メールボックスが空になると、ハードウェアによってクリアされます。
メールボックスが送信待ち状態にない場合、このビットをセットしても効果はありません。

ビット 6:4 予約済み、ハードウェアによって 0 に固定されています。

ビット 3 **TERR0**：メールボックス 0 送信エラー
このビットは、前の送信（TX）がエラーによって失敗したときにセットされます。

ビット 2 **ALST0**：メールボックス 0 アービトレーションロスト
このビットは、前の送信（TX）がアービトレーションロストによって失敗したときにセットされます。

ビット 1 **TXOK0**：メールボックス 0 送信OK
ハードウェアは、送信を試みた後で毎回このビットを更新します。
0：前回の送信は失敗しました。
1：前回の送信は成功しました。
このビットは、メールボックス 1 での送信リクエストが正常に完了したとき、ハードウェアによってセットされます。*図 226* を参照してください。

ビット 0 **RQCP0**：メールボックス 0 リクエスト完了
最後のリクエスト（送信またはアボート）が実行されたとき、ハードウェアによってセットされます。
ソフトウェアによって“1”を書き込むか、送信リクエスト時にハードウェアによってクリアされます（CAN_TI0R レジスタの TXRQ0 ビットをセット）。
このビットをクリアするとメールボックス 0 のすべてのステータスビット（TXOK0、ALST0、および TERR0）がクリアされます。

CAN 受信 FIFO 0 レジスタ（CAN_RF0R）

アドレスオフセット：0x0C
リセット値：0x00

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み										RFOM0	FOVR0	FULL0	予約済み	FMP0[1:0]	
										rs	rc_w1	rc_w1		r	r

ビット 31:6 予約済み、ハードウェアによって 0 に固定されています。

ビット 5 **RFOM0**：FIFO 0 出力メールボックスの解放
FIFO の出力メールボックスを解放するために、ソフトウェアによってセットされます。出力メールボックスの解放は、FIFO 内で少なくとも 1 個のメッセージがペンディング状態のときにのみ可能です。FIFO が空のときにビットをセットしても影響はありません。FIFO 内で複数のメッセージがペンディング状態にある場合、ソフトウェアが次のメッセージにアクセスするには、出力メールボックスを解放する必要があります。
このビットは、出力メールボックスが解放されると、ハードウェアによってクリアされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 4 **FOVR0**：FIFO 0 オーバーラン
このビットは、FIFO が満杯のときに新しいメッセージが受信され、フィルタを通過したときに、ハードウェアによってセットされます。
このビットはソフトウェアによってクリアします。

ビット 3 **FULL0**：FIFO 0 フル
FIFO に 3 個のメッセージが格納されたときに、ハードウェアによってセットされます。
このビットはソフトウェアによってクリアします。

ビット 2 予約済み、ハードウェアによって 0 に固定されています。

ビット 1:0 **FMP0[1:0]**：FIFO 0 メッセージペンディング
これらのビットは、受信 FIFO 内でペンディング状態になっているメッセージの数を示します。
FMP は、ハードウェアが FIFO に新しいメッセージを格納するたびに増加します。FMP は、ソフトウェアが RFOM0 ビットをセットして出力メールボックスを解放するたびに減少します。

CAN 受信 FIFO 1 レジスタ（CAN_RF1R）

アドレスオフセット：0x10
リセット値：0x00

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み										RFOM1	FOVR1	FULL1	予約済み	FMP1[1:0]	
										rs	rc_w1	rc_w1		r	r

ビット 31:6 予約済み、ハードウェアによって 0 に固定されています。

ビット 5 **RFOM1**：FIFO 1 出力メールボックスの解放
FIFO の出力メールボックスを解放するために、ソフトウェアによってセットされます。出力メールボックスの解放は、FIFO 内で少なくとも 1 個のメッセージがペンディング状態のときにのみ可能です。FIFO が空のときにビットをセットしても影響はありません。FIFO 内で複数のメッセージがペンディング状態にある場合、ソフトウェアが次のメッセージにアクセスするには、出力メールボックスを解放する必要があります。
このビットは、出力メールボックスが解放されると、ハードウェアによってクリアされます。

ビット 4 **FOVR1**：FIFO 1 オーバーラン
このビットは、FIFO が満杯のときに新しいメッセージが受信され、フィルタを通過したときに、ハードウェアによってセットされます。
このビットはソフトウェアによってクリアします。

ビット 3 **FULL1**：FIFO 1 フル
FIFO に 3 個のメッセージが格納されたときに、ハードウェアによってセットされます。
このビットはソフトウェアによってクリアします。

ビット 2 予約済み、ハードウェアによって 0 に固定されています。

ビット 1:0 **FMP1[1:0]**：FIFO 1 メッセージペンディング
これらのビットは、受信 FIFO1 内でペンディング状態になっているメッセージの数を示します。
FMP1 は、ハードウェアが FIFO1 に新しいメッセージを格納するたびに増加します。FMP1 は、ソフトウェアが RFOM1 ビットをセットして出力メールボックスを解放するたびに減少します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

CAN 割り込みイネーブルレジスタ（CAN_IER）

アドレスオフセット：0x14
リセット値：0x00

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み														SLKIE	WKUIE
														rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ERRIE	予約済み			LEC IE	BOF IE	EPV IE	EWG IE	予約済み	FOV IE1	FF IE1	FMP IE1	FOV IE0	FF IE0	FMP IE0	TME IE
rw				rw	rw	rw	rw		rw	rw	rw	rw	rw	rw	rw

ビット 31:18　予約済み、ハードウェアによって 0 に固定されています。

ビット 17　**SLKIE**：スリープ割り込みイネーブル
0：SLAKI ビットがセットされるとき、割り込みは生成されません。
1：SLAKI ビットがセットされると、割り込みが生成されます。

ビット 16　**WKUIE**：ウェイクアップ割り込みイネーブル
0：WKUI ビットがセットされるとき、割り込みは生成されません。
1：WKUI ビットがセットされると、割り込みが生成されます。

ビット 15　**ERRIE**：エラー割り込みイネーブル
0：CAN_ESR レジスタでエラー条件がペンディング状態のとき、割り込みは生成されません。
1：CAN_ESR レジスタでエラー条件がペンディング状態のとき、割り込みが生成されます。

ビット 14:12　予約済み、ハードウェアによって 0 に固定されています。

ビット 11　**LECIE**：最終エラーコード割り込みイネーブル
0：エラー検出時にハードウェアによって LEC[2:0] にエラーコードがセットされるとき、ERRI ビットはセットされません。
1：エラー検出時にハードウェアによって LEC[2:0] にエラーコードがセットされると、ERRI ビットがセットされます。

ビット 10　**BOFIE**：バスオフ割り込みイネーブル
0：BOFF がセットされるとき、ERRI ビットはセットされません。
1：BOFF がセットされると、ERRI ビットがセットされます。

ビット 9　**EPVIE**：エラーパッシブ割り込みイネーブル
0：EPVF がセットされるとき、ERRI ビットはセットされません。
1：EPVF がセットされると、ERRI ビットがセットされます。

ビット 8　**EWGIE**：エラー警告割り込みイネーブル
0：EWGF がセットされるとき、ERRI ビットはセットされません。
1：EWGF がセットされると、ERRI ビットがセットされます。

ビット 7　予約済み、ハードウェアによって 0 に固定されています。

ビット 6　**FOVIE1**：FIFO オーバーラン割り込みイネーブル
0：FOVR がセットされるとき、割り込みは生成されません。
1：FOVR がセットされると、割り込みが生成されます。

ビット 5　**FFIE1**：FIFO フル割り込みイネーブル
0：FULL ビットがセットされるとき、割り込みは生成されません。
1：FULL ビットがセットされると、割り込みが生成されます。

ビット 4　**FMPIE1**：FIFO メッセージペンディング割り込みイネーブル
0：FMP[1:0] ビットの状態が 00b でないとき、割り込みは生成されません。
1：FMP[1:0] ビットの状態が 00b でないとき、割り込みが生成されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 3 **FOVIE0 :** FIFO オーバーラン割り込みイネーブル
0 : FOVR ビットがセットされるとき、割り込みは生成されません。
1 : FOVR ビットがセットされると、割り込みが生成されます。

ビット 2 **FFIE0 :** FIFO フル割り込みイネーブル
0 : FULL ビットがセットされるとき、割り込みは生成されません。
1 : FULL ビットがセットされると、割り込みが生成されます。

ビット 1 **FMPIE0** : FIFO メッセージペンディング割り込みイネーブル
0 : FMP[1:0] ビットの状態が 00b ではないとき、割り込みは生成されません。
1 : FMP[1:0] ビットの状態が 00b ではないとき、割り込みが生成されます。

ビット 0 **TMEIE :** 送信メールボックスエンプティ割り込みイネーブル
0 : RQCPx ビットがセットされるとき、割り込みは生成されません。
1 : RQCPx ビットがセットされると、割り込みが生成されます。

注 : セクション 23.8 : bxCAN の割り込みを参照してください。

CAN エラーステータスレジスタ（CAN_ESR）

アドレスオフセット : 0x18
リセット値 : 0x00

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
REC[7:0]								TEC[7:0]							
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み									LEC[2:0]			予約済み	BOFF	EPVF	EWGF
									rw	rw	rw		r	r	r

ビット 31:24 **REC[7:0]** : 受信エラーカウンタ
CAN プロトコルの障害隔離メカニズムの実装部です。受信時にエラーがあった場合、このカウンタは、CAN 規格に定められたエラー条件に応じて、1 または 8 だけインクリメントされます。受信が正常に行われるたびに、このカウンタは 1 だけデクリメントされます（カウンタの値が 128 を超えた場合は、120 にリセットされます）。カウンタ値が 127 を超えると、CAN コントローラはエラーパッシブ状態に入ります。

ビット 23:16 **TEC[7:0]** : 9 ビット送信エラーカウンタの最下位バイト
CAN プロトコルの障害隔離メカニズムの実装部です。

ビット 15:7 予約済み、ハードウェアによって 0 に固定されています。

ビット 6:4 **LEC[2:0] :** 最終エラーコード
このフィールドは、ハードウェアによってセットされ、CAN バス上で検出された最後のエラーのエラー条件を示すコードを保持します。メッセージがエラーなしに転送（送信または受信）された場合、このフィールドは“0”にクリアされます。
コード 7 は未使用ですが、更新状態をチェックするためにハードウェアによって書き込まれることがあります。
000 : エラーなし
001 : スタッフエラー
010 : フォームエラー
011 : ACK エラー
100 : ビットリセッシブエラー
101 : ビットドミナントエラー
110 : CRC エラー
111 : ソフトウェアによってセットされます

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 3　予約済み、ハードウェアによって 0 に固定されています。

ビット 2 **BOFF**：バスオフフラグ
このビットは、ハードウェアがバスオフ状態に入ると、ハードウェアによってセットされます。バスオフ状態に入るのは、TEC オーバーフローのとき（255 を超えたとき）です。*セクション 23.7.6 (630 ページ)* を参照してください。

ビット 1 **EPVF**：エラーパッシブフラグ
このビットは、エラーパッシブが限界に達したときに（受信エラーカウンタまたは送信エラーカウンタ > 127）、ハードウェアによってセットされます。

ビット 0 **EWGF**：エラー警告フラグ
このビットは、警告限界に達したときに、ハードウェアによってセットされます
（受信エラーカウンタまたは送信エラーカウンタ≥96）。

CAN ビットタイミングレジスタ（CAN_BTR）

アドレスオフセット：0x1C
リセット値：0x0123 0000

注：　このレジスタは、CAN ハードウェアが初期化モードのときに、ソフトウェアによってのみアクセスできます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
SILM	LBKM	予約済み				SJW[1:0]		予約済み	TS2[2:0]			TS1[3:0]			
rw	rw					rw	rw		rw	rw	rw	rw	rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み						BRP[9:0]									
						rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31 **SILM**：サイレントモード（デバッグ用）
0：通常動作
1：サイレントモード

ビット 30 **LBKM**：ループバックモード（デバッグ用）
0：ループバックモードは無効です。
1：ループバックモードは有効です。

ビット 29:26　予約済み、ハードウェアによって 0 に固定されています。

ビット 25:24 **SJW[1:0]**：再同期ジャンプ幅
これらのビットは、再同期を行うために CAN ハードウェアがビットを伸縮できる最大タイムクォンタム数を定義します。
$t_{RJW} = t_{CAN} \times (SJW[1:0] + 1)$

ビット 23　予約済み、ハードウェアによって 0 に固定されています。

ビット 22:20 **TS2[2:0]**：時間セグメント 2
これらのビットは、時間セグメント 2 に含まれるタイムクォンタム数を定義します。
$t_{BS2} = t_{CAN} \times (TS2[2:0] + 1)$

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 19:16 **TS1[3:0]**：時間セグメント 1
これらのビットは、時間セグメント 1 に含まれるタイムクォンタム数を定義します。
$t_{BS1} = t_{CAN} \times (TS1[3:0] + 1)$
ビットタイミングの詳細については、*セクション 23.7.7：ビットタイミング（631 ページ）*を参照してください。

ビット 15:10 予約済み、ハードウェアによって 0 に固定されています。

ビット 9:0 **BRP[9:0]**：ボーレートプリスケーラ
これらのビットは、タイムクォンタムの長さを定義します。
$t_q = (BRP[9:0]+1) \times t_{PCLK}$

23.9.3 CAN メールボックスレジスタ

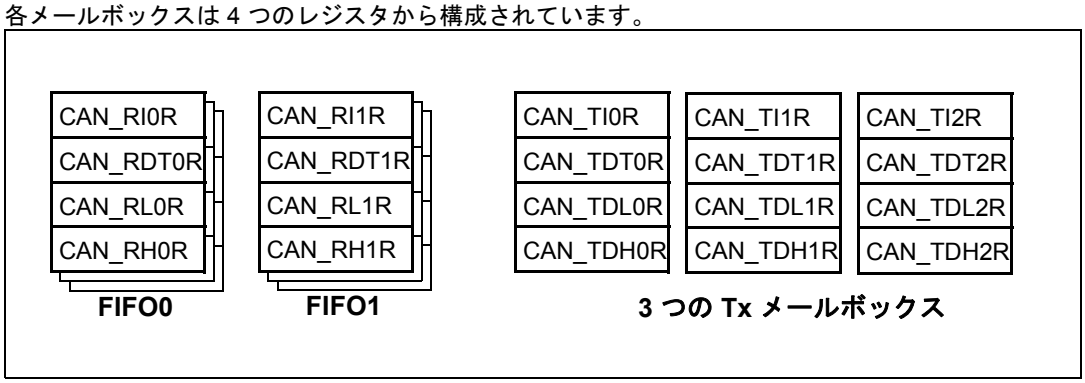
ここでは、送受信メールボックスのレジスタについて説明します。詳細なレジスタ配置については、*セクション 23.7.5：メッセージストレージ（629 ページ）*を参照してください。

送信メールボックスと受信メールボックスのレジスタは同じですが、次の点が異なっています。

- CAN_RDTxR レジスタの FMI フィールド。
- 受信メールボックスは常に書き込み保護されます。
- 送信メールボックスは空のとき（CAN_TSR レジスタの対応する TME ビットがセットされているとき）のみ、書き込み可能です。

送信メールボックスは 3 つ、受信メールボックスは 2 つあります。各受信メールボックスでは、3 層の深さの FIFO にアクセス可能であり、FIFO 内の最も古い受信メッセージにのみアクセスできます。

各メールボックスは 4 つのレジスタから構成されています。



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

CAN 送信メールボックス識別子レジスタ（CAN_TIxR）（x=0..2）

アドレスオフセット：0x180、0x190、0x1A0
リセット値：不定（ただし、ビット 0、TXRQ = 0）

注： *1 メールボックスが送信待ち（TMEx リセット）のとき、すべての送信レジスタは書き込み保護されます。*

2 このレジスタは、送信リクエスト制御（ビット 0、リセット値 0）も実現します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
STID[10:0]/EXID[28:18]											EXID[17:13]				
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EXID[12:0]													IDE	RTR	TXRQ
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:21 **STID[10:0]/EXID[28:18]**：標準識別子または拡張識別子
IDE ビットの値に応じて、標準識別子、または拡張識別子の最上位ビット。

ビット 20:3 **EXID[17:0]**：拡張識別子
拡張識別子の最下位ビット。

ビット 2 **IDE**：識別子の拡張
このビットは、メールボックス内のメッセージの識別子のタイプを定義します。
0：標準識別子。
1：拡張識別子。

ビット 1 **RTR**：リモート送信リクエスト
0：データフレーム
1：リモートフレーム

ビット 0 **TXRQ**：送信メールボックスリクエスト
対応するメールボックスに送信を要求するために、ソフトウェアによってセットされます。
メールボックスが空になると、ハードウェアによってクリアされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

CAN メールボックスデータ長制御/タイムスタンプレジスタ（CAN_TDTxR）（x=0..2）

メールボックスが空の状態でない場合、このレジスタのすべてのビットは書き込み保護されます。

アドレスオフセット：0x184、0x194、0x1A4
リセット値：不定

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TIME[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み							TGT	予約済み				DLC[3:0]			
							rw					rw	rw	rw	rw

ビット 31:16 **TIME[15:0]**：メッセージタイムスタンプ
このフィールドは、SOF 送信時にキャプチャされた 16 ビットタイマの値を含みます。

ビット 15:9 予約済み

ビット 8 **TGT**：送信グローバルタイム
このビットは、ハードウェアがタイムトリガ通信モードにある（CAN_MCR レジスタの TTCM ビットがセットされている）ときにのみ有効です。
0：タイムスタンプ TIME[15:0] は送信されません。
1：タイムスタンプ TIME[15:0] の値は、8 バイトメッセージの最後の 2 データバイトで送信されます。このとき、データバイト 7 の TIME[7:0] とデータバイト 6 の TIME[15:8] は、CAN_TDHxR[31:16] レジスタ（DATA6[7:0]、DATA7[7:0]）に書き込まれたデータに置き換わります。これらの 2 バイトを CAN バス経由で送信するには、DLC を 8 としてプログラミングする必要があります。

ビット 7:4 予約済み

ビット 3:0 **DLC[3:0]**：データ長コード
このフィールドは、データフレーム内のデータバイト数、またはリモートフレームリクエストのデータバイト数を定義します。
メッセージは、DLC フィールドの値に応じて、0～8 個のデータバイトを含むことができます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

CAN メールボックスデータ下位レジスタ（CAN_TDLxR）（x=0..2）

メールボックスが空の状態でない場合、このレジスタのすべてのビットは書き込み保護されます。

アドレスオフセット：0x188、0x198、0x1A8
リセット値：不定

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DATA3[7:0]								DATA2[7:0]							
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DATA1[7:0]								DATA0[7:0]							
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:24 **DATA3[7:0]**：データバイト 3
メッセージのデータバイト 3。

ビット 23:16 **DATA2[7:0]**：データバイト 2
メッセージのデータバイト 2。

ビット 15:8 **DATA1[7:0]**：データバイト 1
メッセージのデータバイト 1。

ビット 7:0 **DATA0[7:0]**：データバイト 0
メッセージのデータバイト 0。
メッセージは、0～8 個のデータバイトを含むことができ、バイト 0 から始まります。

CAN メールボックスデータ上位レジスタ（CAN_TDHxR）（x=0..2）

メールボックスが空の状態でない場合、このレジスタのすべてのビットは書き込み保護されます。

アドレスオフセット：0x18C、0x19C、0x1AC
リセット値：不定

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DATA7[7:0]								DATA6[7:0]							
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DATA5[7:0]								DATA4[7:0]							
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:24 **DATA7[7:0]**：データバイト 7
メッセージのデータバイト 7。
注： このメッセージの TGT と TTCM が有効な場合、DATA7 と DATA6 はタイムスタンプ値によって置き換えられます。

ビット 23:16 **DATA6[7:0]**：データバイト 6
メッセージのデータバイト 6。

ビット 15:8 **DATA5[7:0]**：データバイト 5
メッセージのデータバイト 5。

ビット 7:0 **DATA4[7:0]**：データバイト 4
メッセージのデータバイト 4。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

CAN 受信 FIFO メールボックス識別子レジスタ（CAN_RIxR）（x=0..1）

アドレスオフセット：0x1B0、0x1C0
リセット値：不定

注： ***すべての受信レジスタは書き込み保護されます。***

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
STID[10:0]/EXID[28:18]											EXID[17:13]				
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EXID[12:0]													IDE	RTR	予約済み
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	

ビット 31:21 **STID[10:0]/EXID[28:18]**：標準識別子または拡張識別子
IDE ビットの値に応じて、標準識別子、または拡張識別子の最上位ビット。

ビット 20:3 **EXID[17:0]**：拡張識別子
拡張識別子の最下位ビット。

ビット 2 **IDE**：識別子の拡張
このビットは、メールボックス内のメッセージの識別子のタイプを定義します。
0：標準識別子。
1：拡張識別子。

ビット 1 **RTR**：リモート送信リクエスト
0：データフレーム
1：リモートフレーム

ビット 0 予約済み

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

CAN 受信 FIFO メールボックスデータ長制御/タイムスタンプレジスタ（CAN_RDTxR）（x=0..1）

アドレスオフセット：0x1B4、0x1C4
リセット値：不定

注： ***すべての受信レジスタは書き込み保護されます。***

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TIME[15:0]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FMI[7:0]								予約済み				DLC[3:0]			
r	r	r	r	r	r	r	r					r	r	r	r

ビット 31:16 **TIME[15:0]**：メッセージタイムスタンプ
このフィールドは、SOF 検出時にキャプチャされた 16 ビットタイマの値を含みます。

ビット 15:8 **FMI[7:0]**：該当フィルタインデックス
このレジスタは、メールボックスに格納されたメッセージが通過したフィルタのインデックスを含みます。識別子フィルタリングの詳細については、*セクション 23.7.4：識別子フィルタリング（625 ページ）* - **該当フィルタインデックス**の項を参照してください。

ビット 7:4 予約済み、ハードウェアによって 0 に固定されています。

ビット 3:0 **DLC[3:0]**：データ長コード
このフィールドは、データフレームに格納されるデータバイト数（0～8）を定義します。リモートフレームリクエストの場合、このフィールドは 0 です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

CAN 受信 FIFO メールボックスデータ下位レジスタ（CAN_RDLxR）（x=0..1）

メールボックスが空の状態でない場合、このレジスタのすべてのビットは書き込み保護されます。

アドレスオフセット：0x1B8、0x1C8
リセット値：不定

注： ***すべての受信レジスタは書き込み保護されます。***

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DATA3[7:0]								DATA2[7:0]							
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DATA1[7:0]								DATA0[7:0]							
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:24 **DATA3[7:0]**：データバイト 3
メッセージのデータバイト 3。

ビット 23:16 **DATA2[7:0]**：データバイト 2
メッセージのデータバイト 2。

ビット 15:8 **DATA1[7:0]**：データバイト 1
メッセージのデータバイト 1。

ビット 7:0 **DATA0[7:0]**：データバイト 0
メッセージのデータバイト 0。
メッセージは、0～8 個のデータバイトを含むことができ、バイト 0 から始まります。

CAN 受信 FIFO メールボックスデータ上位レジスタ（CAN_RDHxR）（x=0..1）

アドレスオフセット：0x1BC、0x1CC
リセット値：不定

注： ***すべての受信レジスタは書き込み保護されます。***

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DATA7[7:0]								DATA6[7:0]							
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DATA5[7:0]								DATA4[7:0]							
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:24 **DATA7[7:0]**：データバイト 7
メッセージのデータバイト 3。

ビット 23:16 **DATA6[7:0]**：データバイト 6
メッセージのデータバイト 2。

ビット 15:8 **DATA5[7:0]**：データバイト 5
メッセージのデータバイト 1。

ビット 7:0 **DATA4[7:0]**：データバイト 4
メッセージのデータバイト 0。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

23.9.4 CAN フィルタレジスタ

CAN フィルタマスタレジスタ（CAN_FMR）

アドレスオフセット：0x200
リセット値：0x2A1C 0E01

注： *このレジスタのすべてのビットは、ソフトウェアによってセット/クリアされます。*

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															FINIT
															rw
予約済み		CAN2SB[5:0]						予約済み							FINIT
		rw	rw	rw	rw	rw	rw								rw

ビット 31:14　予約済み、リセット値に固定されています

ビット 13:8　**CAN2SB[5:0]**：CAN2 開始バンク
これらのビットは、ソフトウェアによってセット/クリアされます。CAN2 インタフェース（スレーブ）の開始バンクを 1～27 の範囲で定義します。
注： *これらのビットは、コネクティビティラインデバイスでのみ使用可能であり、それ以外の場合は予約済みです。*

ビット 7:1　予約済み、リセット値に固定されています

ビット 0　**FINIT**：フィルタ初期化モード
フィルタバンクの初期化モード
0：アクティブフィルタモード。
1：フィルタの初期化モード。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

CAN フィルタモードレジスタ（CAN_FM1R）

アドレスオフセット：0x204
リセット値：0x00

注： ***このレジスタへの書き込みはフィルタ初期化モード（CAN_FMR レジスタの FINIT = 1）のときのみ可能です。***

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み				FBM27	FBM26	FBM25	FBM24	FBM23	FBM22	FBM21	FBM20	FBM19	FBM18	FBM17	FBM16
				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FBM15	FBM14	FBM13	FBM12	FBM11	FBM10	FBM9	FBM8	FBM7	FBM6	FBM5	FBM4	FBM3	FBM2	FBM1	FBM0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

注： ***図 228：フィルタバンクのスケール設定 - レジスタ構造（626 ページ）を参照してください。***

ビット 31:28　予約済み。ハードウェアで 0 に固定されています。

ビット 27:0　**FBM*x***：フィルタモード
フィルタ x のレジスタのモード。
0：フィルタバンク x の 2 つの 32 ビットレジスタは、識別子マスクモードです。
1：フィルタバンク x の 2 つの 32 ビットレジスタは、識別子リストモードです。

注： ***ビット 27:14 は、コネクティビティラインデバイスでのみ使用可能であり、それ以外の場合は予約済みです。***

CAN フィルタスケールレジスタ（CAN_FS1R）

アドレスオフセット：0x20C
リセット値：0x00

注： ***このレジスタへの書き込みはフィルタ初期化モード（CAN_FMR レジスタの FINIT = 1）のときのみ可能です。***

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み				FSC27	FSC26	FSC25	FSC24	FSC23	FSC22	FSC21	FSC20	FSC19	FSC18	FSC17	FSC16
				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FSC15	FSC14	FSC13	FSC12	FSC11	FSC10	FSC9	FSC8	FSC7	FSC6	FSC5	FSC4	FSC3	FSC2	FSC1	FSC0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

注： ***図 228：フィルタバンクのスケール設定 - レジスタ構造（626 ページ）を参照してください。***

ビット 31:28　予約済み、ハードウェアによって 0 に固定されています。

ビット 27:0　**FSCx**：フィルタスケール設定
これらのビットは、フィルタ 13～0 のスケール設定を定義します。
0：デュアル 16 ビットスケール設定
1：シングル 32 ビットスケール設定

注： ***ビット 27:14 は、コネクティビティラインデバイスでのみ使用可能であり、それ以外の場合は予約済みです。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

CAN フィルタ FIFO 割り当てレジスタ（CAN_FFA1R）

アドレスオフセット：0x214
リセット値：0x00

注：　このレジスタへの書き込みはフィルタ初期化モード（CAN_FMR レジスタの FINIT = 1）のときのみ可能です。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み				FFA27	FFA26	FFA25	FFA24	FFA23	FFA22	FFA21	FFA20	FFA19	FFA18	FFA17	FFA16
				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FFA15	FFA14	FFA13	FFA12	FFA11	FFA10	FFA9	FFA8	FFA7	FFA6	FFA5	FFA4	FFA3	FFA2	FFA1	FFA0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:28　予約済み、ハードウェアによって 0 に固定されています。

ビット 27:0　**FFA*x***：フィルタ x のフィルタ FIFO 割り当て
このフィルタを通過するメッセージは、指定した FIFO に格納されます。
0：フィルタは FIFO 0 に割り当てられます。
1：フィルタは FIFO 1 に割り当てられます。

注：　ビット 27:14 は、コネクティビティラインデバイスでのみ使用可能であり、それ以外の場合は予約済みです。

CAN フィルタ有効化レジスタ（CAN_FA1R）

アドレスオフセット：0x21C
リセット値：0x00

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み				FACT27	FACT26	FACT25	FACT24	FACT23	FACT22	FACT21	FACT20	FACT19	FACT18	FACT17	FACT16
				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FACT15	FACT14	FACT13	FACT12	FACT11	FACT10	FACT9	FACT8	FACT7	FACT6	FACT5	FACT4	FACT3	FACT2	FACT1	FACT0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:28　予約済み、ハードウェアによって 0 に固定されています。

ビット 27:0　**FACT*x*：フィルタアクティブ**
ソフトウェアはこのビットをセットしてフィルタ x を有効にします。フィルタ x レジスタ（CAN_FxR[0:7]）を変更するには、FACTx ビットをクリアするか、CAN_FMR レジスタの FINIT ビットをセットする必要があります。
0：フィルタ x は無効です。
1：フィルタ x は有効です。

注：　ビット 27:14 は、コネクティビティラインデバイスでのみ使用可能であり、それ以外の場合は予約済みです。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

フィルタバンク i レジスタ x（CAN_FiRx）（x=1, 2、コネクティビティラインデバイスでは i=0..27）

アドレスオフセット：0x240..0x31C
リセット値：不定

注： ***コネクティビティラインデバイスには 28 個のフィルタバンク（i=0 .. 27）があり、その他のデバイスには 14 個のフィルタバンク（i = 0..13）があります。各フィルタバンク i は、2 つの 32 ビットレジスタ（CAN_FiR[2:1]）で構成されます。***

このレジスタを変更できるのは、CAN_FAxR レジスタの FACTx ビットがクリアされている場合か、CAN_FMR レジスタの FINIT ビットがセットされている場合に限られます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
FB31	FB30	FB29	FB28	FB27	FB26	FB25	FB24	FB23	FB22	FB21	FB20	FB19	FB18	FB17	FB16
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FB15	FB14	FB13	FB12	FB11	FB10	FB9	FB8	FB7	FB6	FB5	FB4	FB3	FB2	FB1	FB0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

すべての設定において：

ビット 31:0 **FB[31:0]**：フィルタビット

識別子

レジスタの各ビットは、予期される識別子の対応するビットのレベルを指定します。

0：ドミナントビットが予期されます。

1：リセッシブビットが予期されます。

マスク

レジスタの各ビットは、関連する識別子レジスタのビットが、予期される識別子の対応するビットに一致する必要があるかどうかを指定します。

0：無視（このビットは比較に使用されません）

1：一致が必要（受信識別子のビットのレベルは、フィルタの対応する識別子レジスタに指定されたレベルと同じでなければなりません）

注： ***フィルタのスケールとモードの設定に応じて、各レジスタの機能は異なることがあります。フィルタ配置、機能の説明、およびマスクレジスタの関連については、セクション 23.7.4：識別子フィルタリング（625 ページ）を参照してください。***

マスクモードにおけるマスク/識別子レジスタのビット配置は、**識別子リストモード**の場合と同じです。

フィルタバンクのレジスタ配置/アドレスについては、表 179（656 ページ）を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

23.9.5 bxCAN レジスタマップ

レジスタ境界アドレスについては、*表 1 (45 ページ)* を参照してください。コネクティビティラインデバイスでは、オフセット 0x200 から 31C までのレジスタは、CAN1 にのみ存在します。

表179. bxCAN レジスタマップとリセット値

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x000	CAN_MCR	予約済み															DBF	RESET	予約済み							TTCM	ABOM	AWUM	NART	RFLM	TXFP	SLEEP	INRQ
	リセット値																1	0								0	0	0	0	0	0	1	0
0x004	CAN_MSR	予約済み																				RX	SAMP	RXM	TXM	予約済み			SLAKI	WKUI	ERRI	SLAK	INAK
	リセット値																					1	1	0	0				0	0	0	1	0
0x008	CAN_TSR	LOW[2:0]			TME[2:0]			CODE[1:0]		ABRQ2	予約済み			TERR2	ALST2	TXOK2	RQCP2	ABRQ1	予約済み			TERR1	ALST1	TXOK1	RQCP1	ABRQ0	予約済み			TERR0	ALST0	TXOK0	RQCP0
	リセット値	0	0	0	1	1	1	0	0	0				0	0	0	0	0				0	0	0	0	0				0	0	0	0
0x00C	CAN_RF0R	予約済み																										RFOM0	FOVR0	FULL0	予約済み	FMP0[1:0]	
	リセット値																											0	0	0		0	0
0x010	CAN_RF1R	予約済み																										RFOM1	FOVR1	FULL1	予約済み	FMP1[1:0]	
	リセット値																											0	0	0		0	0
0x014	CAN_IER	予約済み														SLKIE	WKUIE	ERRIE	予約済み			LECIE	BOFIE	EPVIE	EWGIE	予約済み	FOVIE1	FFIE1	FMPIE1	FOVIE0	FFIE0	FMPIE0	TMEIE
	リセット値															0	0	0				0	0	0	0		0	0	0	0	0	0	0
0x018	CAN_ESR	REC[7:0]								TEC[7:0]								予約済み									LEC[2:0]			予約済み	BOFF	EPVF	EWGF
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0										0	0	0		0	0	0
0x01C	CAN_BTR	SILM	LBKM	予約済み				SJW[1:0]		予約済み	TS2[2:0]			TS1[3:0]				予約済み				BRP[9:0]											
	リセット値	0	0					0	0		0	1	0	0	0	1	1					0	0	0	0	0	0	0	0	0	0	0	0
0x020-0x17F	予約済み																																
0x180	CAN_TI0R	STID[10:0]/EXID[28:18]												EXID[17:0]																	IDE	RTR	TXRQ
	リセット値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0
0x184	CAN_TDT0R	TIME[15:0]																予約済み							TGT	予約済み				DLC[3:0]			
	リセット値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x								x					x	x	x	x
0x188	CAN_TDL0R	DATA3[7:0]								DATA2[7:0]								DATA1[7:0]								DATA0[7:0]							
	リセット値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x
0x18C	CAN_TDH0R	DATA7[7:0]								DATA6[7:0]								DATA5[7:0]								DATA4[7:0]							
	リセット値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表179. bxCAN レジスタマップとリセット値（続き）

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x190	**CAN_TI1R**	STID[10:0]/EXID[28:18]											EXID[17:0]																		IDE	RTR	TXRQ
	リセット値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0
0x194	**CAN_TDT1R**	TIME[15:0]																予約済み							TGT	予約済み				DLC[3:0]			
	リセット値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x								x					x	x	x	x
0x198	**CAN_TDL1R**	DATA3[7:0]								DATA2[7:0]								DATA1[7:0]								DATA0[7:0]							
	リセット値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x
0x19C	**CAN_TDH1R**	DATA7[7:0]								DATA6[7:0]								DATA5[7:0]								DATA4[7:0]							
	リセット値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x
0x1A0	**CAN_TI2R**	STID[10:0]/EXID[28:18]											EXID[17:0]																		IDE	RTR	TXRQ
	リセット値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0
0x1A4	**CAN_TDT2R**	TIME[15:0]																予約済み							TGT	予約済み				DLC[3:0]			
	リセット値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x								x					x	x	x	x
0x1A8	**CAN_TDL2R**	DATA3[7:0]								DATA2[7:0]								DATA1[7:0]								DATA0[7:0]							
	リセット値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x
0x1AC	**CAN_TDH2R**	DATA7[7:0]								DATA6[7:0]								DATA5[7:0]								DATA4[7:0]							
	リセット値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x
0x1B0	**CAN_RI0R**	STID[10:0]/EXID[28:18]											EXID[17:0]																		IDE	RTR	予約済み
	リセット値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	
0x1B4	**CAN_RDT0R**	TIME[15:0]																FMI[7:0]								予約済み				DLC[3:0]			
	リセット値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x					x	x	x	x
0x1B8	**CAN_RDL0R**	DATA3[7:0]								DATA2[7:0]								DATA1[7:0]								DATA0[7:0]							
	リセット値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x
0x1BC	**CAN_RDH0R**	DATA7[7:0]								DATA6[7:0]								DATA5[7:0]								DATA4[7:0]							
	リセット値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x
0x1C0	**CAN_RI1R**	STID[10:0]/EXID[28:18]											EXID[17:0]																		IDE	RTR	予約済み
	リセット値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	
0x1C4	**CAN_RDT1R**	TIME[15:0]																FMI[7:0]								予約済み				DLC[3:0]			
	リセット値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x					x	x	x	x
0x1C8	**CAN_RDL1R**	DATA3[7:0]								DATA2[7:0]								DATA1[7:0]								DATA0[7:0]							
	リセット値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x
0x1CC	**CAN_RDH1R**	DATA7[7:0]								DATA6[7:0]								DATA5[7:0]								DATA4[7:0]							
	リセット値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表179. bxCAN レジスタマップとリセット値（続き）

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x1D0-0x1FF	予約済み																																
0x200	**CAN_FMR**	予約済み																		CAN2SB[5:0]						予約済み							FINIT
	リセット値																			0	0	1	1	1	0								1
0x204	**CAN_FM1R**	予約済み				FBM[27:0]																											
	リセット値					0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x208	予約済み																																
0x20C	**CAN_FS1R**	予約済み				FSC[27:0]																											
	リセット値					0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x210	予約済み																																
0x214	**CAN_FFA1R**	予約済み				FFA[27:0]																											
	リセット値					0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x218	予約済み																																
0x21C	**CAN_FA1R**	予約済み				FACT[27:0]																											
	リセット値					0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x220	予約済み																																
0x224-0x23F	予約済み																																
0x240	**CAN_F0R1**	FB[31:0]																															
	リセット値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x
0x244	**CAN_F0R2**	FB[31:0]																															
	リセット値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x
0x248	**CAN_F1R1**	FB[31:0]																															
	リセット値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x
0x24C	**CAN_F1R2**	FB[31:0]																															
	リセット値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x
. . . .	. . . .	. . . .																															
0x318	**CAN_F27R1**	FB[31:0]																															
	リセット値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x
0x31C	**CAN_F27R2**	FB[31:0]																															
	リセット値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

24 シリアルペリフェラルインタフェース（SPI）

小容量デバイスは、フラッシュメモリ容量が 16～32 KB の STM32F101xx、STM32F102xx、および STM32F103xx マイクロコントローラです。

中容量デバイスは、フラッシュメモリ容量が 64～128 KB の STM32F101xx、STM32F102xx、および STM32F103xx マイクロコントローラです。

大容量デバイスは、フラッシュメモリ容量が 256～512 KB の STM32F101xx および STM32F103xx マイクロコントローラです。

特大容量デバイスは、フラッシュメモリ容量が 768 KB～1 MB の STM32F101xx および STM32F103xx マイクロコントローラです。

コネクティビティラインデバイスは、STM32F105xx および STM32F107xx マイクロコントローラです。

このセクションは、別段の指定がない限り、STM32F10xxx ファミリ全体に適用されます。

24.1 SPI の概要

大容量、特大容量、およびコネクティビティラインデバイスでは、SPI インタフェースは、SPI プロトコルまたは I^2S オーディオプロトコルを取得できる柔軟性を提供します。デフォルトで選択されているのは、SPI 機能です。ソフトウェアによって、インタフェースを SPI から I^2S に切り替えることができます。
小容量および中容量デバイスでは、I^2S プロトコルは使用できません。

SPI（シリアルペリフェラルインタフェース）では、外部デバイスとの間で、半二重/全二重の同期シリアル通信が可能です。このインタフェースはマスタとして設定することが可能で、その場合、外部のスレーブデバイスに通信クロック（SCK）を供給します。このインタフェースは、マルチマスタ設定で動作することもできます。

2 本のライン（両方向データラインを使用可能）での単方向同期転送や、CRC チェックを使用した信頼性の高い通信など、さまざまな目的に使用することができます。

I^2S も、3 ピンプロトコルによる同期シリアル通信インタフェースです。I^2S フィリップス標準、MSB/LSB 詰め標準、PCM 標準など、4 つのオーディオ標準に対応できます。I^2S は、半二重通信のスレーブまたはマスタモードで動作できます。I^2S が通信マスタとして設定されると、インタフェースは外部スレーブ部品にマスタクロックを供給できます。

警告： **一部の SPI3/I2S3 ピンは、JTAG ピンと共有されるため（SPI3_NSS/I2S3_WS は JTDI と、SPI3_SCK/I2S3_CK は JTDO と共有）、I/O コントローラによって制御されず、JTAG 用に予約済みです（毎回のリセット後）。**
このため、SPI3/I2S3 ピンを設定する前に、JTAG を無効にして SWD インタフェースを使用するか（アプリケーションのデバッグ時 ）、JTAG/SWD の両方のインタフェースを無効にする（スタンドアロンアプリケーションの場合）必要があります。JTAG/SWD インタフェースピンの設定の詳細については、*セクション 8.3.5 : JTAG/SWD オルタネート機能の再配置*を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

24.2 SPI と I^2S の主な機能

24.2.1 SPI 機能

- 3 本のラインで全二重同期転送
- 2 本のラインで単方向同期転送（両方向データラインの有無にかかわらず）
- 8 または 16 ビットの転送フレームフォーマット選択
- マスタまたはスレーブ動作
- マルチマスタモード機能
- 8 個のマスタモードボーレートプリスケーラ（最大周波数：$f_{PCLK}/2$）
- スレーブモード周波数（最大周波数：$f_{PCLK}/2$）
- マスタとスレーブの両方で高速通信
- マスタとスレーブの両方に対するハードウェア/ソフトウェアによる NSS 管理：マスタ/スレーブ動作の動的切り替え
- クロックの極性と位相をプログラミング可能
- データ順序をプログラミング可能（MSB ファースト/LSB ファーストのシフト）
- 専用の送受信フラグ（割り込み機能付き）
- SPI バスビジーステータスフラグ
- ハードウェア CRC 機能による信頼性の高い通信：
  - 送信モードでは CRC 値を最終バイトとして送信可能
  - 最終受信バイトに対する CRC エラーの自動チェック
- マスタモードの障害、オーバーラン、および CRC エラーフラグ（割り込み機能付き）
- 1 バイトの送受信バッファ（DMA 機能付き：送受信リクエスト）

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

24.2.2 I²S 機能

- 単方向通信（トランスミッタまたはレシーバのみ）
- マスタまたはスレーブ動作
- 正確なオーディオサンプル周波数（8～96 kHz）を実現するプログラミング可能な 8 ビットのリニアプリスケーラ
- 16 ビット、24 ビット、または 32 ビットのデータフォーマット
- パケットフレームはオーディオチャネルによって 16 ビット（16 ビットデータフレーム）または 32 ビット（16 ビット、24 ビット、32 ビットデータフレーム）に固定
- プログラミング可能なクロック極性（定常状態）
- スレーブ送信モードでのアンダーランフラグと受信モード（マスタとスレーブ）でのオーバーランフラグ
- 送受信用の 16 ビットレジスタ（両チャネルサイドに対して 1 個のデータレジスタ）
- サポートされる I^2S プロトコル：
  - I^2S フィリップス標準
  - MSB 詰め標準（左詰め）
  - LSB 詰め標準（右詰め）
  - PCM 標準（16 ビットチャネルフレーム、または 32 ビットチャネルフレームに拡張された 16 ビットデータフレームでの、ショートおよびロングフレーム同期付き）
- データ方向は常に MSB ファースト
- 送受信（16 ビット幅）用の DMA 機能
- 外部オーディオコンポーネントを駆動するためのマスタクロックを出力可能。周波数レートは 256 x F_S に固定（F_S はオーディオサンプリング周波数）
- コネクティビティラインデバイスでは、両方の I^2S（I2S2 と I2S3）に、さらに正確なクロックを生成するための専用 PLL（PLL3）があります。

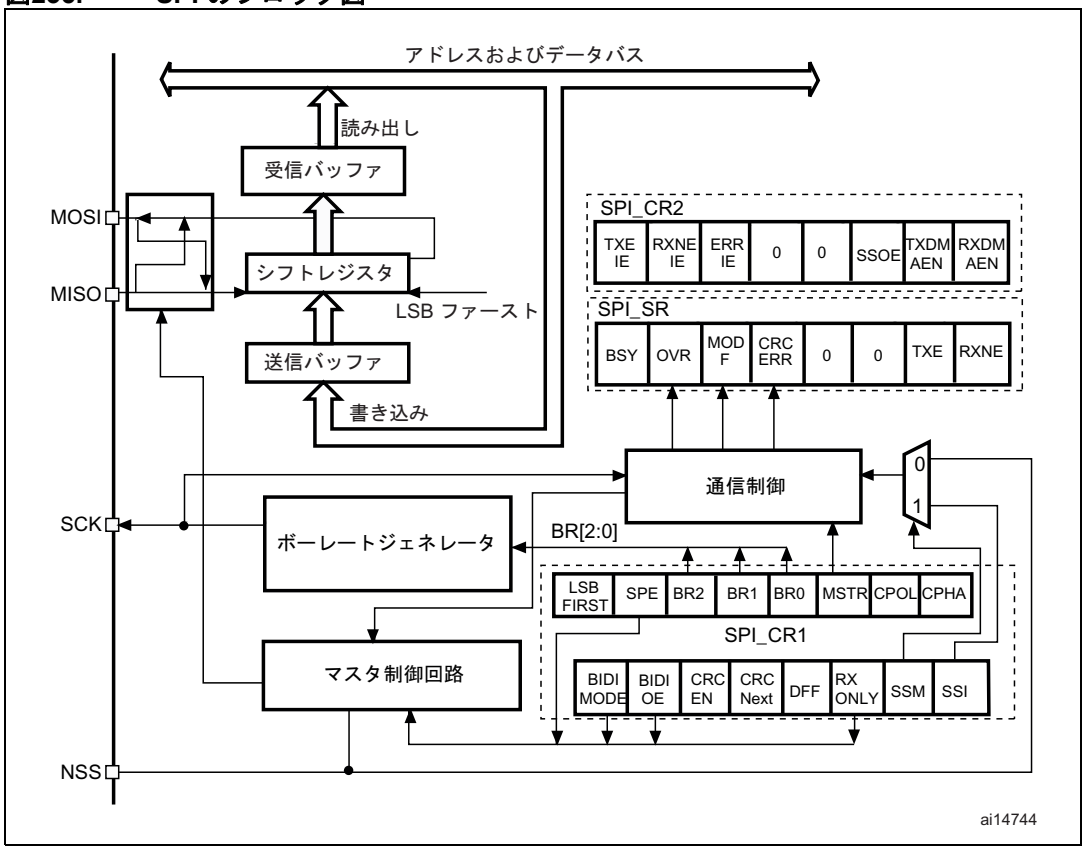
この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

24.3 SPI 機能の説明

24.3.1 概要

SPI のブロック図を*図 235* に示します。

図235. SPI のブロック図



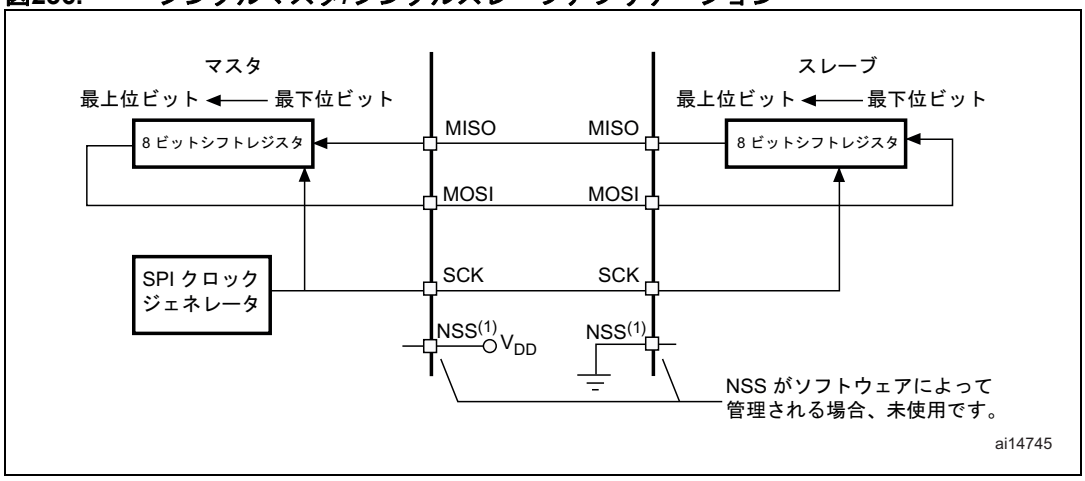
通常、SPI は 4 本のピンで外部デバイスに接続されます。

- MISO：Master In / Slave Out データ。このピンは、マスタモードではデータの受信に、スレーブモードではデータの送信に使用できます。
- MOSI：Master Out / Slave In データ。このピンは、マスタモードではデータの送信に、スレーブモードではデータの受信に使用できます。
- SCK（シリアルクロック）：SPI マスタでは出力に、SPI スレーブでは入力に使用されます。
- NSS：スレーブ選択。これはスレーブデバイスを選択するためのオプションピンです。このピンが“チップセレクト”として機能することで、SPI マスタは複数のスレーブと個別に通信を行うことができ、データラインの競合を避けることができます。スレーブの NSS 入力は、マスタデバイスの標準入出力ポートによって駆動できます。NSS ピンは、SSOE ビットによって有効にされている場合は出力として使用することもでき、SPI がマスタ設定の場合はローレベルに駆動できます。このように、マスタの NSS ピンに接続されているデバイスからのすべての NSS ピンは、NSS ハードウェアモードに設定されている場合、ローレベルを受けてスレーブになります。NSS が入力として設定された状態で SPI がマスタモードに設定され（MSTR=1 および SSOE=0）、NSS がローレベルに引っぱられた場合、SPI はマスタモードフォルト状態に入ります。MSTR ビットは自動的にクリアされ、デバイスはスレーブモードに設定されます（*セクション 24.3.10：エラーフラグ（679 ページ）*を参照）。

この資料は、STMicroelectronics NV 並びにその子会社（以下 ST）が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

1 個のマスタと 1 個のスレーブの間の基本的な相互接続例を*図 236* に示します。

図236. シングルマスタ/シングルスレーブアプリケーション



1. この例では、NSS ピンは入力として設定されています。

MOSI ピンと MISO ピンは、それぞれに相互接続されています。このようにして、データはマスタとスレーブの間を（MSB ファーストで）シリアルに転送されます。

通信は常にマスタによって開始されます。マスタデバイスが MOSI ピンを介してスレーブデバイスにデータを送信すると、スレーブデバイスは MISO ピンを介して応答します。このことは、データ出力とデータ入力がマスタデバイスから SCK ピンを介して供給される同じクロック信号に同期した全二重通信を意味します。

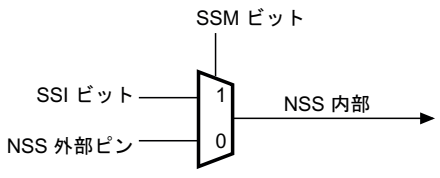
スレーブ選択（NSS）ピンの管理

2 つの NSS モードがあります。

- ソフトウェア NSS モード：このモードは、SPI_CR1 レジスタの SSM ビットをセットすることによって有効にされます（*図 237* を参照）。このモードでは、外部 NSS ピンは他のアプリケーションで自由に使用でき、内部 NSS 信号レベルは SPI_CR1 レジスタの SSI ビットへの書き込みによって駆動されます。
- ハードウェア NSS モード：これには 2 つのケースがあります。
  - NSS 出力は有効：STM32F10xxx がマスタとして動作中であり、SPI_CR2 レジスタの SSOE ビットによって NSS 出力が有効であるとき、NSS ピンが NSS ハードウェアモードに設定されていると NSS ピンはローレベルに駆動され、マスタ NSS ピンに接続されたデバイスのすべての NSS ピンはローレベルを受けてスレーブになります。SPI がメッセージをブロードキャストしたいときには、NSS をローレベルにプルして、現在、バスのマスタが存在することを他のすべてのピンに知らせる必要があります。NSS をローレベルにプルできなかった場合は、別のマスタが通信中であることを意味し、ハードフォールトエラーが発生します。
  - NSS 出力は無効：マルチマスタ機能を使用できます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図237. ハードウェア/ソフトウェアのスレーブ選択管理



クロックの位相と極性

SPI_CR1 レジスタの CPOL ビットと CPHA ビットを使用することによって、4 つのタイミング関係をソフトウェアで選択できます。CPOL（クロック極性）ビットは、データが転送されていないときのクロックの定常値を制御します。このビットは、マスタモードとスレーブモードの両方に影響を与えます。CPOL がリセットされた場合、SCK ピンはローレベルのアイドル状態になります。CPOL がセットされた場合、SCK ピンはハイレベルのアイドル状態になります。

CPHA（クロック位相）ビットがセットされている場合、SCK ピンの 2 番目のエッジ（CPOL ビットがリセットされていれば立ち下がりエッジ、CPOL ビットがセットされていれば立ち上がりエッジ）が最上位ビットのキャプチャストローブです。データは、2 番目のクロック遷移でラッチされます。CPHA ビットがリセットされている場合、SCK ピンでの最初のエッジ（CPOL ビットがリセットされていれば立ち上がりエッジ、セットされていれば立ち下がりエッジ）が最上位ビットのキャプチャストローブです。データは、最初のクロック遷移でラッチされます。

CPOL（クロック極性）ビットと CPHA（クロック位相）ビットの組み合わせによって、データキャプチャのクロックエッジを選択できます。

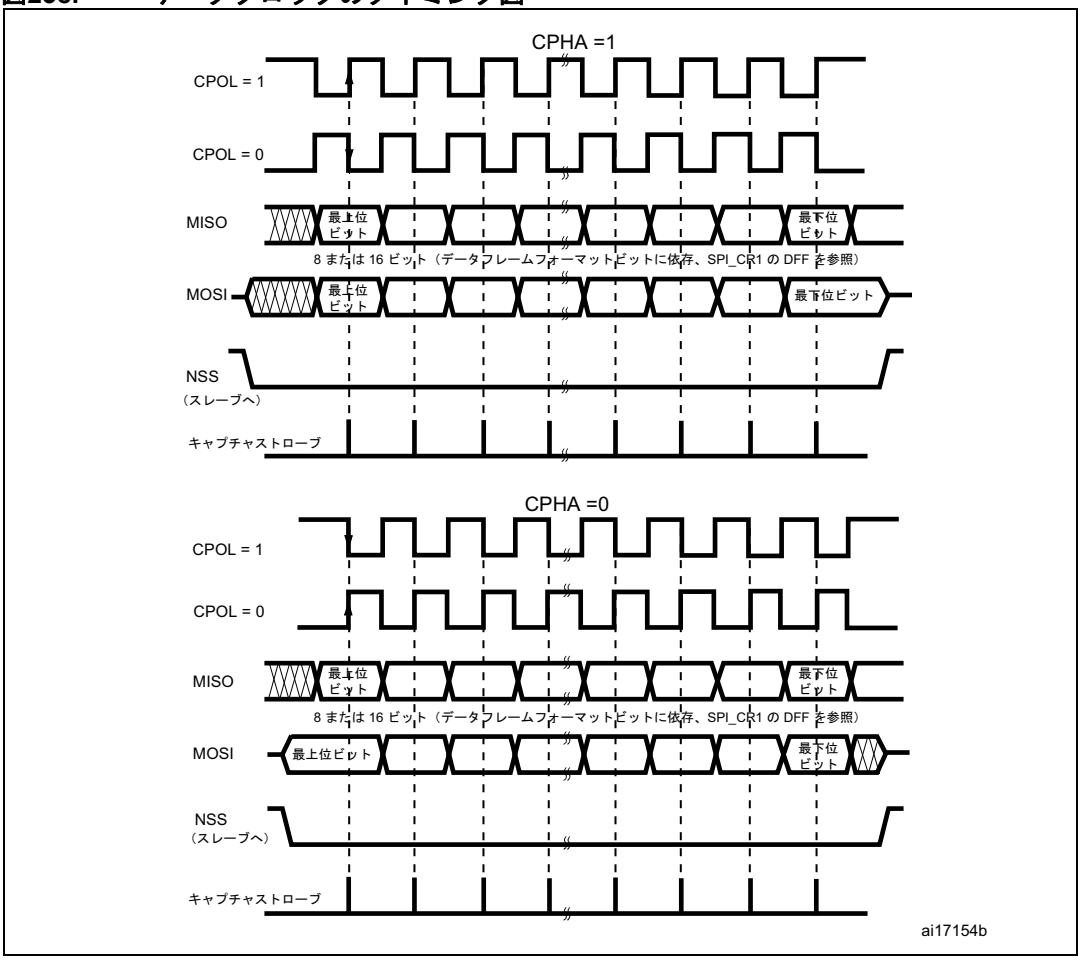
図 238 は、CPHA ビットと CPOL ビットの 4 つの組み合わせによる SPI 転送を示しています。この図は、SCK ピン、MISO ピン、MOSI ピンがマスタ/スレーブデバイス間で直接接続されている場合のマスタまたはスレーブのタイミング図とみなすことができます。

注：

1. ***CPOL/CPHA ビットを変更する前に、SPE ビットをリセットすることによって、SPI を無効にする必要があります。***
2. ***マスタとスレーブは、同じタイミングモードでプログラミングする必要があります。***
3. ***SCK のアイドル状態は、SPI_CR1 レジスタで（CPOL=1 の場合は SCK のプルアップ、CPOL=0 の場合は SCK のプルダウンによって）選択された極性に一致する必要があります。***
4. ***データフレームフォーマット（8 ビットまたは 16 ビット）は、SPI_CR1 レジスタの DFF ビットによって選択され、送受信時のデータ長を決定します。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図238. データクロックのタイミング図



1. これらのタイミングは、SPI_CR1 レジスタの LSBFIRST ビットをリセットした状態で示されています。

データフレームフォーマット

データは、SPI_CR1 レジスタの LSBFIRST ビットの値に応じて、MSB ファーストまたは LSB ファーストでシフトアウトできます。

各データフレームの長さは、SPI_CR1 レジスタの DFF ビットにプログラミングされたデータのサイズに応じて、8 または 16 ビットに設定されます。選択されたデータフレームフォーマットは、送受信に適用できます。

24.3.2 SPI のスレーブモード設定

スレーブ設定では、マスタデバイスからのシリアルクロックは SCK ピンで受信されます。SPI_CR1 レジスタの BR[2:0] ビットに設定された値は、データ転送速度に影響を与えません。

注： ***マスタがクロックを送信する前に、SPI スレーブを有効にすることを推奨します。そうしないと、意図しないデータ送信が発生することがあります。スレーブのデータレジスタは、通信クロックの最初のエッジまたは現在の通信の終了より前に、準備ができている必要があります。スレーブとマスタを有効にする前に、通信クロックの極性を定常値に設定することが必要です。***

SPI をスレーブモードに設定するには、次の手順に従ってください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

手順

1. DFF ビットをセットして、8 または 16 ビットのデータフレームフォーマットを定義します。
2. CPOL ビットと CPHA ビットを選択して、データ転送とシリアルクロックの間の 4 つの関係のうちの 1 つを定義します（*図 238* を参照）。データを正しく転送するには、スレーブデバイスとマスタデバイスで CPOL ビットと CPHA ビットを同じように設定する必要があります。
3. フレームフォーマット（SPI_CR1 レジスタの LSBFIRST ビットの値に応じて、MSB ファーストまたは LSB ファースト）は、マスタデバイスと同じでなければなりません。
4. ハードウェアモード（*スレーブ選択（NSS）ピンの管理（663 ページ）*を参照）では、バイト送信シーケンス全体を通じて、NSS ピンをローレベル信号に接続しておく必要があります。NSS ソフトウェアモードでは、SPI_CR1 レジスタの SSM ビットをセットし、SSI ビットをクリアします。
5. ピンをオルタネート機能に割り当てるには、SPI_CR1 レジスタの MSTR ビットをクリアし、SPE ビットをセットします。

この設定では、MOSI ピンはデータ入力に、MISO ピンはデータ出力になります。

送信シーケンス

データバイトは、書き込みサイクル中に送信バッファに同時にロードされます。

スレーブデバイスが MOSI ピンでクロック信号と、データの最上位ビットを受信すると、送信シーケンスが開始されます。残りのビット（8 ビットデータフレームフォーマットでは 7 ビット、16 ビットデータフレームフォーマットでは 15 ビット）はシフトレジスタにロードされます。送信バッファからシフトレジスタにデータが送信されると、SPI_SR レジスタの TXE フラグがセットされ、SPI_CR2 レジスタの TXEIE ビットがセットされている場合は、割り込みが生成されます。

受信シーケンス

レシーバの場合、データ転送が完了すると、

- シフトレジスタ内のデータが受信バッファに転送され、SPI_SR レジスタの RXNE フラグがセットされます。
- SPI_CR2 レジスタの RXNEIE ビットがセットされている場合、割り込みが生成されます。

最後のサンプリングクロックエッジの後、RXNE ビットがセットされ、シフトレジスタに受信されたデータバイトのコピーが受信バッファに移されます。SPI_DR レジスタが読み出されると、SPI ペリフェラルはこのバッファリングされた値を返します。

RXNE ビットのクリアは、SPI_DR レジスタを読み出しすることによって行われます。

24.3.3 SPI のマスタモード設定

マスタ設定では、シリアルクロックは SCK ピンに生成されます。

手順

1. BR[2:0] ビットを選択して、シリアルクロックのボーレートを定義します（SPI_CR1 レジスタを参照）。
2. CPOL ビットと CPHA ビットを選択して、データ転送とシリアルクロックの間の 4 つの関係のうちの 1 つを定義します（*図 238* を参照）。
3. DFF ビットをセットして、8 または 16 ビットのデータフレームフォーマットを定義します。
4. SPI_CR1 レジスタの LSBFIRST ビットを設定して、フレームフォーマットを定義します。
5. 入力モードの NSS ピンが必要な場合、ハードウェアモードでは、完全なバイト送信シーケンス中に NSS ピンをハイレベル信号に接続します。NSS ソフトウェアモードでは、SPI_CR1 レジ

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

スタの SSM ビットと SSI ビットをセットします。
出力モードで NSS ピンが必要な場合、SSOE ビットのみをセットします。

6. MSTR ビットと SPE ビットをセットする必要があります（これらのビットは、NSS ピンがハイレベル信号に接続されている場合にのみ、セット状態を維持します）。

この設定では、MOSI ピンはデータ出力、MISO ピンはデータ入力になります。

送信シーケンス

送信シーケンスは、送信バッファにバイトが書き込まれたときに開始されます。

データバイトは、最初のビット送信中に内部バスからシフトレジスタに同時にロードされ、SPI_CR1 レジスタの LSBFIRST ビットに応じて MSB ファーストまたは LSB ファーストで、MOSI ピンにシリアルにシフトアウトされます。データが送信バッファからシフトレジスタに転送されると TXE フラグがセットされ、SPI_CR2 レジスタの TXEIE ビットがセットされている場合、割り込みが生成されます。

受信シーケンス

レシーバの場合、データ転送が完了すると、

- シフトレジスタのデータが受信バッファに転送され、RXNE フラグがセットされます。
- SPI_CR2 レジスタの RXNEIE ビットがセットされている場合、割り込みが生成されます。

最後のサンプリングクロックエッジで RXNE ビットがセットされ、シフトレジスタに受信されたデータバイトのコピーが受信バッファに移されます。SPI_DR レジスタが読み出されると、SPI ペリフェラルはこのバッファリングされた値を返します。

RXNE ビットのクリアは、SPI_DR レジスタを読み出すことで行われます。

送信が開始されると、次に送信されるデータが送信バッファに格納されていれば、連続した送信ストリームを維持できます。なお、送信バッファにデータを書き込むには、TXE フラグが 1 であることが必要です。

注： ***NSS ハードウェアモードでは、スレーブの NSS 入力は、NSS ピンによって制御されるか、ソフトウェアで制御される別の GPIO ピンによって制御されます。***

24.3.4 SPI の単方向通信設定

SPI は、次の 2 つの設定において単方向モードで動作できます。

- 1 本のクロック線と 1 本の双方向データ線
- 1 本のクロック線と 1 本のデータ線（受信専用または送信専用）

1 本のクロック線と 1 本の双方向データ線（BIDIMODE=1）

このモードを有効にするには、SPI_CR1 レジスタの BIDIMODE ビットをセットします。このモードでは、SCK ピンがクロックに使用され、マスタモードでは MOSI ピン、スレーブモードでは MISO ピンがデータ通信に使用されます。転送方向（入力/出力）は、SPI_CR1 レジスタの BIDIOE ビットによって選択されます。このビットが 1 の場合、データラインは出力です。そうでない場合、データラインは入力です。

1 本のクロック線と 1 本の単方向データ線（BIDIMODE=0）

このモードでは、アプリケーションは、SPI を送信専用モードまたは受信専用モードで使用できます。

- 送信専用モードは全二重モード（BIDIMODE=0、RXONLY=0）と似ています。データは送信ピン（マスタモードでは MOSI ピン、スレーブモードでは MISO ピン）で送信され、受信ピン（マスタモードでは MISO ピン、スレーブモードでは MOSI ピン）は汎用入出力として使用できま

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

す。この場合、アプリケーションは受信バッファを無視する必要があります（データレジスタに受信したデータ値は含まれていません）。

- 受信専用モードでは、アプリケーションは、SPI_CR2 レジスタの RXONLY ビットをセットすることによって、SPI 出力機能を無効にできます。この場合、送信 I/O ピン（マスタモードでは MOSI ピン、スレーブモードでは MISO ピン）が解放されるので、他の目的に使用できます。

受信専用モードで通信を開始するには、SPI を設定して有効にします。

- マスタモードでは、通信はただちに開始され、SPE ビットがクリアされて現在の受信が停止すると、通信は停止します。このモードでは、BSY フラグを読み出す必要はありません。SPI 通信が行われているときは、常にセットされています。
- スレーブモードでは、NSS がプルダウンされていて（または NSS ソフトウェアモードで SSI ビットがクリアされていて）、SCK が動作している限り、SPI は受信を続行します。

24.3.5 データの送受信手順

受信バッファと送信バッファ

受信の場合、受信されたデータは内部の受信バッファに格納されます。一方、送信の場合、データはまず内部の送信バッファに格納されてから、送信されます。

SPI_DR レジスタの読み出しアクセスでは、受信バッファに格納された値が返されます。一方、SPI_DR への書き込みアクセスでは、書き込まれたデータが送信バッファに格納されます。

マスタモードでの開始シーケンス

- 全二重の場合（BIDIMODE=0 および RXONLY=0）
  - データが SPI_DR レジスタ（送信バッファ）に書き込まれると、シーケンスが開始されます。
  - その後、データは、最初のビット送信時に送信バッファから 8 ビットシフトレジスタに同時にロードされてから、MOSI ピンに連続的にシフトアウトされます。
  - 同時に、MISO ピンで受信されたデータは、8 ビットシフトレジスタに連続的にシフトインされてから、SPI_DR レジスタ（受信バッファ）に同時にロードされます。
- 単方向受信専用モードの場合（BIDIMODE=0 および RXONLY=1）
  - SPE=1 になると、このシーケンスはすぐに開始されます。
  - レシーバのみが有効になり、MISO ピンで受信されたデータは 8 ビットシフトレジスタに連続的にシフトインされてから、SPI_DR レジスタ（受信バッファ）に同時にロードされます。
- 双方向モードでの送信時（BIDIMODE=1 および BIDIOE=1）
  - データが SPI_DR レジスタ（送信バッファ）に書き込まれると、シーケンスが開始されます。
  - その後、データは、最初のビット送信時に送信バッファから 8 ビットシフトレジスタに同時にロードされてから、MOSI ピンに連続的にシフトアウトされます。
  - データは受信されません。
- 双方向モードでの受信時（BIDIMODE=1 および BIDIOE=0）
  - SPE=1 および BIDIOE=0 になると、このシーケンスはすぐに開始されます。
  - MOSI ピンで受信されたデータは、8 ビットシフトレジスタに連続的にシフトインされてから、SPI_DR レジスタ（受信バッファ）に同時にロードされます。
  - トランスミッタは有効にされず、MOSI ピンに連続的にシフトアウトされるデータはありません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

スレーブモードでの開始シーケンス

- 全二重モードの場合（BIDIMODE=0 and RXONLY=0）
  - スレーブデバイスが MOSI ピンでクロック信号と、データの最初のビットを受信すると、このシーケンスが開始されます。残りの 7 ビットは、シフトレジスタにロードされます。
  - 同時に、最初のビット送信時にデータは送信バッファから 8 ビットシフトレジスタに同時にロードされてから、MISO ピンに連続的にシフトアウトされます。SPI マスタデバイスが転送を開始する前に、ソフトウェアは送信すべきデータを書き込んでおく必要があります。
- 単方向受信専用モードの場合（BIDIMODE=0 および RXONLY=1）
  - スレーブデバイスが MOSI ピンでクロック信号と、データの最初のビットを受信すると、このシーケンスが開始されます。残りの 7 ビットは、シフトレジスタにロードされます。
  - 送信は有効にされず、MISO ピンに連続的にシフトアウトされるデータはありません。
- 双方向モードでの送信時（BIDIMODE=1 および BIDIOE=1）
  - スレーブデバイスがクロック信号を受信し、送信バッファの最初のビットが MISO ピンで送信されると、このシーケンスが開始されます。
  - その後、データは、最初のビット送信時に送信バッファから 8 ビットシフトレジスタに同時にロードされてから、MISO ピンに連続的にシフトアウトされます。SPI マスタデバイスが転送を開始する前に、ソフトウェアは送信すべきデータを書き込んでおく必要があります。
  - データは受信されません。
- 双方向モードでの受信時（BIDIMODE=1 および BIDIOE=0）
  - スレーブデバイスが MISO ピンでクロック信号と、データの最初のビットを受信すると、このシーケンスが開始されます。
  - MISO ピンで受信されたデータは、8 ビットシフトレジスタに連続的にシフトインされてから、SPI_DR レジスタ（受信バッファ）に同時にロードされます。
  - 送信は有効にされず、MISO ピンに連続的にシフトアウトされるデータはありません。

データの送受信処理

データが送信バッファからシフトレジスタに転送されると、TXE フラグ（送信バッファエンプティ）がセットされます。これは、内部の送信バッファに次のデータをロードする準備ができていることを示します。SPI_CR2 レジスタの TXEIE ビットがセットされている場合は、割り込みを生成できます。TXE ビットのクリアは、SPI_DR レジスタへの書き込みによって行われます。

注： ***ソフトウェアは、送信バッファへの書き込みを行う前に、TXE フラグを 1 にセットする必要があります。そうしないと、以前に送信バッファに書き込まれたデータに上書きされます。***

データがシフトレジスタから受信バッファに転送されると、最後のサンプリングクロックエッジで RXNE フラグ（受信バッファノットエンプティ）がセットされます。これは、SPI_DR レジスタからデータを読み出す準備ができていることを示します。SPI_CR2 レジスタの RXNEIE ビットがセットされている場合は、割り込みを生成できます。RXNE ビットのクリアは、SPI_DR レジスタを読み出すことで行われます。

設定によっては、最後のデータ転送時に BSY フラグを使用して、転送の完了まで待つことができます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

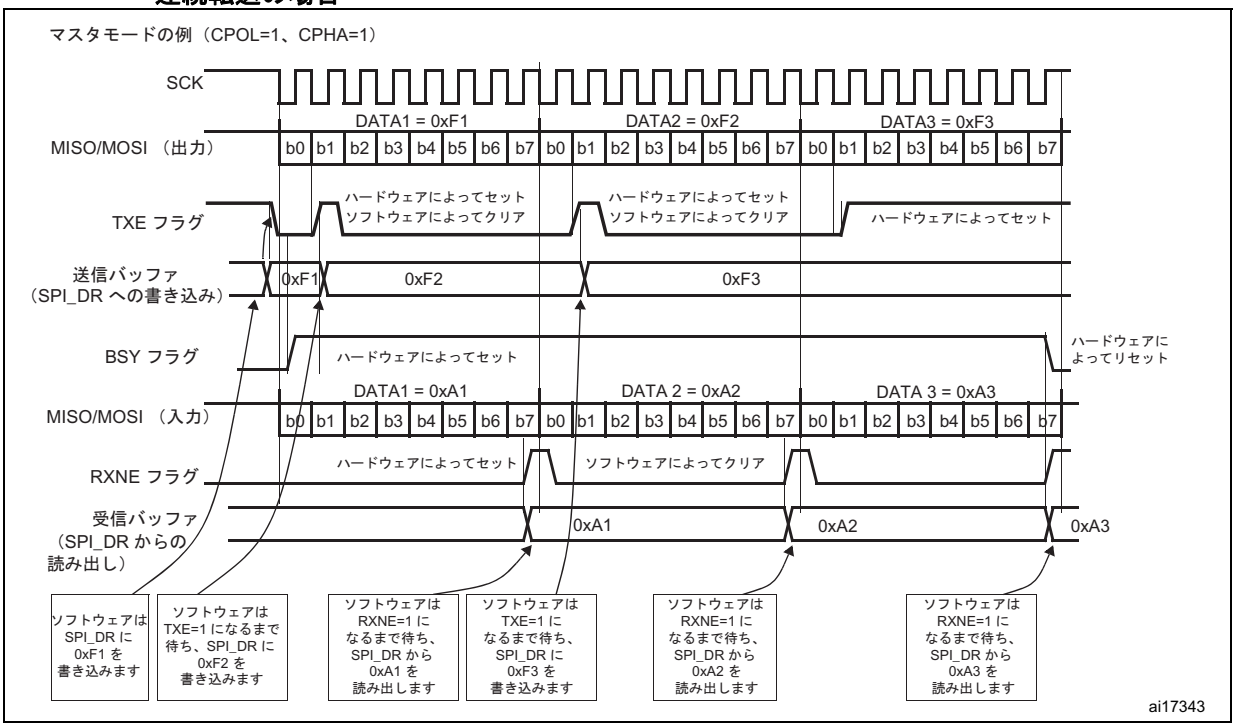
マスタまたはスレーブモードでの全二重送受信手順（BIDIMODE=0 および RXONLY=0）

データを送受信するには、ソフトウェアは次の手順に従う必要があります（*図 239* および*図 240* を参照）：

1. SPE ビットを 1 にセットして、SPI を有効にします。
2. 送信する最初のデータを SPI_DR レジスタに書き込みます（これによって TXE フラグがクリアされます）。
3. TXE=1 になるまで待ち、送信する 2 番目のデータを書き込みます。その後、RXNE=1 になるまで待ち、SPI_DR を読み出して、最初の受信データを取得します（これによって RXNE ビットがクリアされます）。n-1 個のデータを受信するまで、送受信するデータごとにこの操作を繰り返します。
4. RXNE=1 になるまで待ち、最後の受信データを読み出します。
5. TXE=1 になるまで待ち、BSY=0 になるまで待ってから、SPI を無効にします。

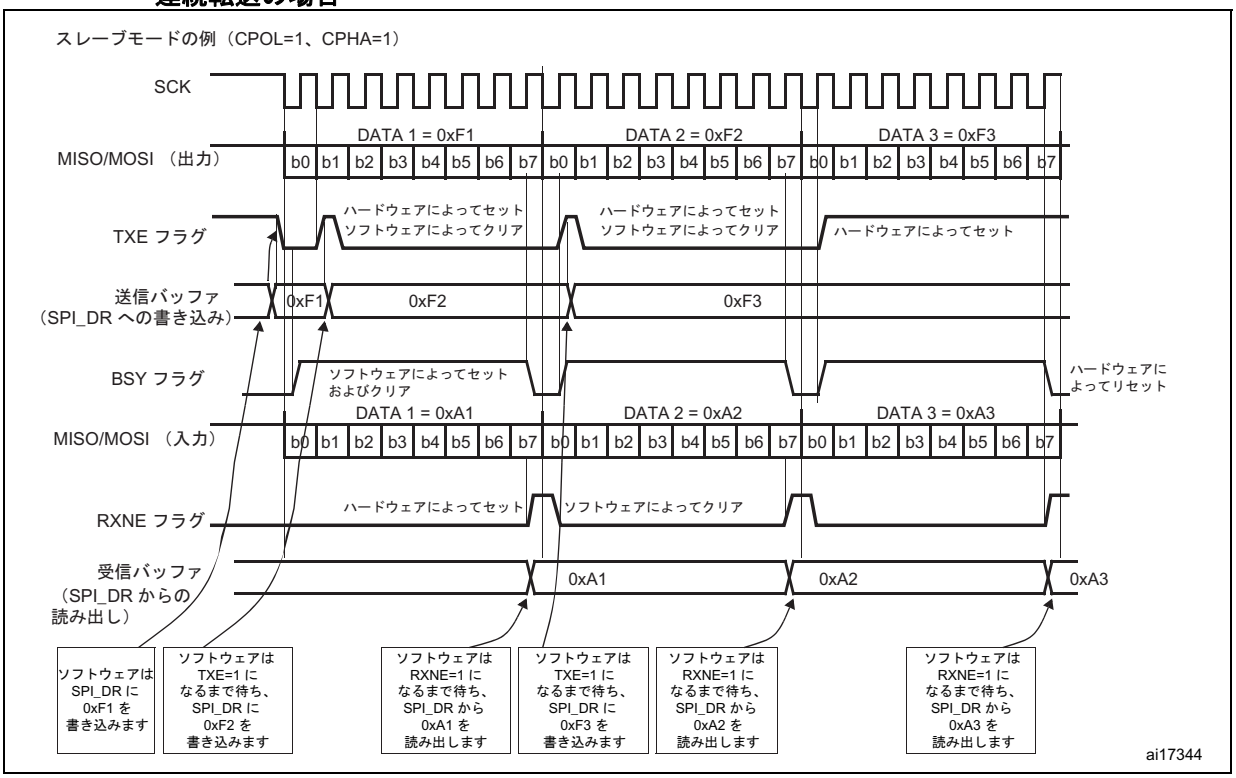
この手順は、RXNE または TXE フラグの立ち上がりエッジのたびに起動される専用の割り込みサブルーチンを使用しても実行できます。

図239. マスタ/全二重モードでの TXE/RXNE/BSY 動作（BIDIMODE=0 および RXONLY=0）連続転送の場合



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図240. スレーブ/全二重モードでの TXE/RXNE/BSY 動作（BIDIMODE=0、RXONLY=0）連続転送の場合



送信専用手順（BIDIMODE=0、RXONLY=0）

このモードでは、手順は下記のように短縮でき、BSY ビットを使用して送信の完了まで待つことができます（*図 241* と*図 242* を参照）。

1. SPE ビットを 1 にセットして、SPI を有効にします。
2. 送信する最初のデータを SPI_DR レジスタに書き込みます（これによって TXE ビットがクリアされます）。
3. TXE=1 になるまで待ち、送信する次のデータを書き込みます。送信するデータごとに、このステップを繰り返します。
4. SPI_DR レジスタに最後のデータを書き込んだ後、TXE=1 になるまで待ち、さらに BSY=0 になるまで待ちます。これは最後のデータの送信が完了したことを示します。

この手順は、TXE フラグの立ち上がりエッジのたびに起動される専用の割り込みサブルーチンを使用しても実行できます。

注： 1 不連続通信時には、SPI_DR への書き込み動作と BSY ビットの設定の間に、APB の 2 クロック周期分の遅延があります。その結果、送信専用モードでは、最後のデータを書き込んだ後、まず TXE がセットされるまで待ち、さらに BSY がクリアされるまで待つ必要があります。

2 2 つのデータを送信専用モードで送信した後、受信データが読み出されることはないので、SPI_SR レジスタの OVR フラグがセットされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図241. マスタ送信専用モードでの TXE/BSY 動作（BIDIMODE=0 および RXONLY=0）連続転送の場合

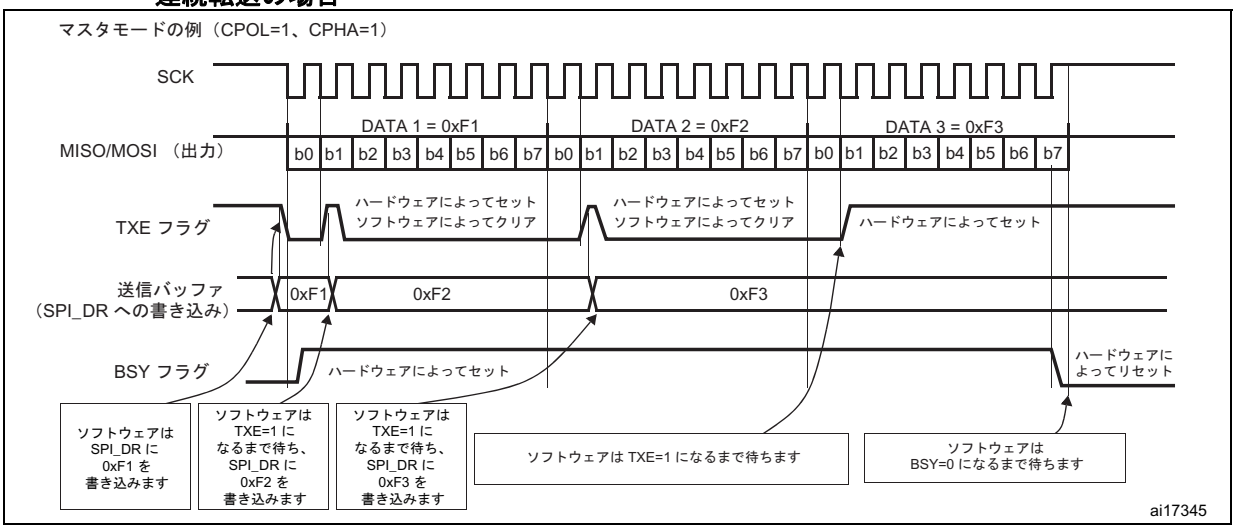
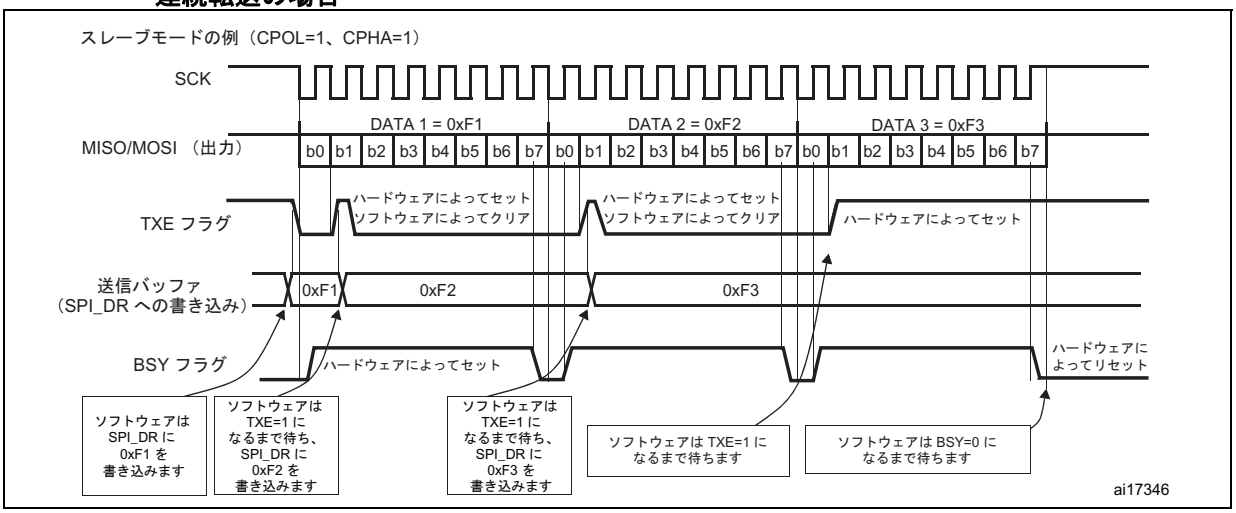


図242. スレーブ送信専用モードでの TXE/BSY 動作（BIDIMODE=0 および RXONLY=0）連続転送の場合



双方向送信手順（BIDIMODE=1 および BIDIOE=1）

このモードでは、手順は送信専用モードの手順と似ていますが、SPI を有効にする前に、SPI_CR2 レジスタの BIDIMODE ビットと BIDIOE ビットをセットする必要があります。

単方向受信専用手順（BIDIMODE=0 および RXONLY=1）

このモードでは、手順は下記のように短縮できます（*図 243* を参照）：

1. SPI_CR2 レジスタの RXONLY ビットをセットします。
2. SPE ビットを 1 にセットすることによって、SPI を有効にします：
   a) マスタモードでは、これによって SCK クロックの生成がすぐに有効になり、データは、SPI が無効にされる（SPE=0）まで連続的に受信されます。
   b) スレーブモードでは、SPI マスタデバイスが NSS をローレベルに駆動して SCK クロックを生成すると、データが受信されます。

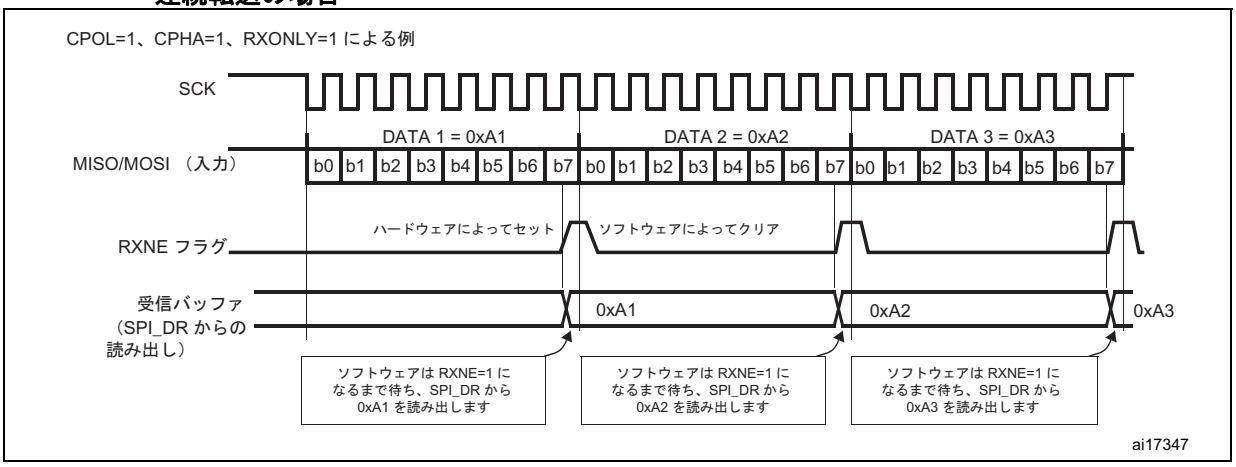
この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

3. RXNE=1 になるまで待ち、SPI_DR レジスタから受信データを読み出します（これによって RXNE ビットがクリアされます）。受信されるデータ項目ごとにこの操作を繰り返します。

この手順は、RXNE フラグの立ち上がりエッジのたびに起動される専用の割り込みサブルーチンを使用しても実行できます。

注： *最後の転送の後に SPI を無効にする必要がある場合は、セクション 24.3.8 : SPI の無効化（677 ページ）に述べる推奨事項に従ってください。*

図243. 受信専用モードでの RXNE 動作（BIDIRMODE=0 および RXONLY=1）連続転送の場合



双方向受信手順（BIDIMODE=1 および BIDIOE=0）

このモードでは、手順は受信専用モードの手順と似ていますが、SPI を有効にする前に、SPI_CR2 レジスタの BIDIMODE ビットをセットし、BIDIOE ビットをクリアする必要があります。

連続転送と不連続転送

マスタモードでデータを送信するとき、ソフトウェアが十分に高速であり、TXE（または TXE 割り込み）の各立ち上がりエッジを検出し、現在のデータ転送が完了する前に SPI_DR レジスタにすぐに書き込みできる場合、通信は連続的であると言われます。この場合、各データ間で SPI クロックを生成する際に不連続性はなく、各データ転送間で BSY ビットがクリアされることはありません。

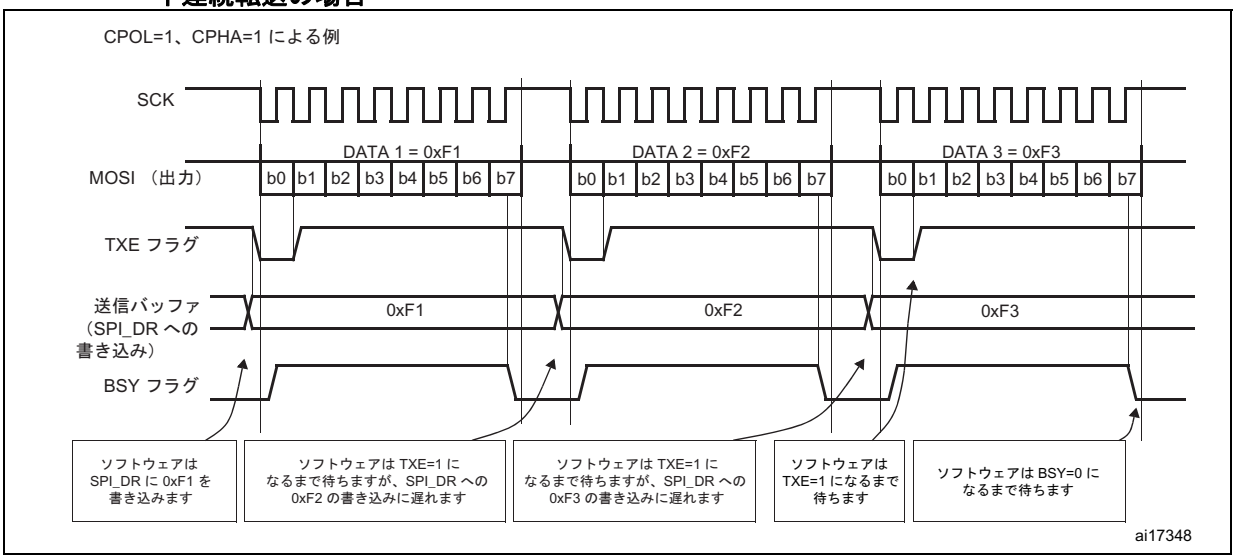
逆に、ソフトウェアが十分に高速でない場合、通信に若干の不連続性が生じることがあります。この場合、各データ送信間で BSY ビットがクリアされます（*図 244* を参照）。

マスタ受信専用モード（RXONLY=1）では、通信は常に連続的であり、BSY フラグは常に 1 で読み出されます。

スレーブモードでは、通信の連続性は SPI マスタデバイスによって決定されます。いずれの場合でも、通信が連続的であっても、BSY フラグは、各転送間で SPI の 1 クロックサイクルという最小期間だけローレベルになります（*図 242* を参照）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図244. 送信時の TXE/BSY 動作（BIDIRMODE=0 および RXONLY=0）不連続転送の場合



24.3.6 CRC の計算

CRC 計算機は、信頼性の高い通信を実現するために実装されました。送信データと受信データに対して、別個の CRC 計算機が実装されています。CRC は、各ビットに対してプログラミング可能な多項式を連続的に使用して計算されます。CRC は、SPI_CR1 レジスタの CPHA ビットと CPOL ビットによって定義されるサンプリングクロックエッジで計算されます。

注： ***SPI が提供する 2 種類の CRC 計算式は、送受信用に選択されたデータフレームフォーマットに直接依存します（8 ビットデータでは CR8、16 ビットデータでは CRC16）。***

CRC 計算は、SPI_CR1 レジスタの CRCEN ビットをセットすることによって有効になります。これによって CRC レジスタ（SPI_RXCRCR および SPI_TXCRCR）がリセットされます。SPI_CR1 レジスタの CRCNEXT ビットがセットされると、現在のバイト送信の最後に SPI_TXCRCR レジスタの値が送信されます。

SPI_TXCRCR 値の送信時にシフトレジスタに受信された値が SPI_RXCRCR の値と一致しなかった場合は、SPI_SR レジスタの CRCERR フラグがセットされます。

送信バッファにデータが存在する場合、CRC 値はデータバイトの送信後にのみ送信されます。CRC の送信時に、CRC 計算機はスイッチオフされ、レジスタの値は変化しません。

注： ***この機能を使用できるかどうかは、製品仕様を参照してください。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

CRC を使用した SPI 通信は、次の手順によって可能になります。

- CPOL、CPHA、LSBFirst、BR、SSM、SSI、および MSTR の値をプログラミングします。
- SPI_CRCPR レジスタに多項式をプログラミングします。
- SPI_CR1 レジスタの CRCEN ビットをセットして、CRC 計算を有効にします。これによって、SPI_RXCRCR レジスタと SPI_TXCRCR レジスタがクリアされます。
- SPI_CR1 レジスタの SPE ビットをセットして、SPI を有効にします。
- 通信を開始し、最後の 1 つを除いてすべてのバイトまたはハーフワードが送受信されるまで、通信を維持します。
- 送信バッファに最後のバイトまたはハーフワードを書き込むとき、SPI_CR1 レジスタの CRCNext ビットをセットすることによって、最後のバイトの送信後に CRC を送信するように指示します。CRC 送信時には、CRC 計算は凍結されます。
- 最後のバイトまたはハーフワードを送信した後、SPI は CRC を送信します。CRCNEXT ビットがリセットされます。CRC は受信され、SPI_RXCRCR レジスタの値と比較されます。値が一致しない場合、SPI_SR レジスタの CRCERR フラグがセットされ、SPI_CR2 レジスタの ERRIE ビットがセットされていれば、割り込みを生成できます。

注： ***SPI がスレーブモードのとき、CRC 計算を有効にするのは、クロックが安定している（つまり、クロックが定常状態にある）ときのみにしてください。そうしないと、CRC 計算を間違うことがあります。実際、SPE ビットの値に関係なく、CRCEN がセットされると、CRC はすぐに SCK スレーブ入力クロックの影響を受けます。***

高ビットレート周波数では、CRC の送信時に注意が必要です。CRC 転送フェーズで使用される CPU サイクル数は、できるだけ少なくする必要があります。したがって、最後のデータと CRC 受信におけるエラーを避けるために、CRC 送信シーケンスでソフトウェア関数を呼び出すことは禁止されています。つまり、CRCNEXT ビットには、最後のデータの送受信が終わるまでに書き込む必要があります。

ビットレートの高い周波数では、CPU アクセスが SPI 帯域幅に影響を与えることによる SPI 速度性能の低下を避けるため、DMA モードの使用をお勧めします。

STM32F10xxx がスレーブとして設定され、NSS ハードウェアモードが使用される場合、データフェーズと CRC フェーズの間で NSS ピンをローレベルに保持する必要があります。

CRC 機能を有効にした状態で SPI がスレーブモードに設定されると、NSS ピンにハイレベルが入力された場合でも、CRC 計算が行われます。これは、たとえば、通信マスタが複数のスレーブに交互に対処するマルチスレーブ環境の場合に起こることがあります。

スレーブの選択解除（NSS のハイレベル）と新しいスレーブの選択（NSS のローレベル）の間では、マスタとスレーブをそれぞれの CRC 計算用に再同期するために、マスタ側とスレーブ側の両方で CRC 値をクリアしてください。

CRC をクリアするには、次の手順に従います。

1. SPI を無効にします（SPE = 0）。
2. CRCEN ビットをクリアします。
3. CRCEN ビットをセットします。
4. SPI を有効にします（SPE = 1）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

24.3.7 ステータスフラグ

アプリケーションが SPI バスの状態を完全に監視できるように、3 つのステータスフラグが用意されています。

送信バッファエンプティフラグ（TXE）

このフラグがセットされると、送信バッファが空であり、次に送信するデータをバッファにロードできることを示します。TXE フラグは、SPI_DR レジスタへの書き込み時にクリアされます。

受信バッファノットエンプティ（RXNE）

このフラグがセットされると、受信バッファに有効な受信データがあることを示します。このフラグは SPI_DR の読み出し時にクリアされます。

ビジーフラグ（BSY）

この BSY フラグは、ハードウェアによってセット/クリアされます（このフラグへの書き込みは無効です）。BSY フラグは、SPI の通信の状態を示します。

BSY がセットされると、SPI が通信中でビジーであることを示します。マスタモード/両方向受信モード（MSTR=1、BDM=1、および BDOE=0）には 1 つの例外があり、BSY フラグは受信時にローレベルに保持されます。

ソフトウェアが SPI を無効にして停止モードに入りたい（またはペリフェラルクロックを無効にしたい）場合、BSY フラグは転送の終わりを検出するのに役立ちます。これによって、最後の転送データの破壊を回避します。このため、下記の手順を厳しく順守する必要があります。

BSY フラグは、マルチマスタシステムでの書き込み衝突の回避にも役立ちます。

BSY フラグは転送が開始されるとセットされます。ただし、マスタモード/双方向受信モード（MSTR=1、BDM=1、および BDOE=0）の場合を除きます。

BSY フラグは次の場合にクリアされます。

- 転送が終わったとき（通信が連続的である場合はマスタモードを除きます）
- SPI が無効にされたとき
- マスタモード障害が発生したとき（MODF=1）

通信が連続的でないとき、BSY フラグは各通信間でローレベルになります。

通信が連続的なとき：

- マスタモードでは、BSY フラグはすべての転送期間を通じてハイレベルに保持されます。
- スレーブモードでは、BSY フラグは、各転送間で SPI の 1 クロックサイクルの間ローレベルになります。

注： ***各データの送受信の処理には BSY フラグを使用しないでください。代わりに 、TXE フラグと RXNE フラグを使用することをお勧めします。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

24.3.8 SPI の無効化

転送が終了すると、アプリケーションは SPI ペリフェラルを無効にすることによって、通信を停止することができます。これには SPE ビットをクリアします。

設定によっては、転送が行われているときに SPI を無効にして停止モードに入ると、現在の転送内容が破壊されたり、BSY フラグが信頼できなくなることがあります。

このような影響を回避するには、SPI を無効にするとき、以下の手順を順守することをお勧めします。

マスタまたはスレーブの全二重モード（BIDIMODE=0、RXONLY=0）

1. RXNE=1 になるまで待ってから、最後のデータを受信します。
2. TXE=1 になるまで待ちます。
3. 次に、BSY=0 になるまで待ちます。
4. SPI を無効にし（SPE=0）、結果的に停止モードに入ります（あるいは、ペリフェラルクロックを無効にします）。

マスタまたはスレーブの単方向送信専用モード（BIDIMODE=0、RXONLY=0）または双方向送信モード（BIDIMODE=1、BIDIOE=1）

SPI_DR レジスタに最後のデータが書き込まれた後：

1. TXE=1　になるまで待ちます。
2. 次に、BSY=0　になるまで待ちます。
3. SPI を無効にし（SPE=0）、停止モードに入ります（あるいは、ペリフェラルクロックを無効にします）。

マスタの単方向受信専用モード（MSTR=1、BIDIMODE=0、RXONLY=1）または双方向受信モード（MSTR=1、BIDIMODE=1、BIDIOE=0）

このケースは、SPI が新しい転送を開始しないように、特別の方法で管理する必要があります。

1. RXNE=1（n–1）の最後から 2 番目の出現を待ちます。
2. ソフトウェアループを使用して SPI の 1 クロックサイクルの間待ってから、SPI を無効にします（SPE=0）。
3. 次に、最後の RXNE=1 になるまで待ってから、停止モードに入ります（あるいは、ペリフェラルクロックを無効にします）。

注：　マスタの双方向受信モード（MSTR=1、BDM=1、および BDOE=0）では、BSY フラグは転送時にローレベルに保持されます。

スレーブの受信専用モード（MSTR=0、BIDIMODE=0、RXONLY=1）または双方向受信モード（MSTR=0、BIDIMODE=1、BIDOE=0）

1. SPI はいつでも無効にできます（SPE=1 の書き込み）。現在の転送が完了してから、SPI は実質的に無効になります。
2. 次に、停止モードに入りたい場合は、まず BSY = 0 になるまで待ってから、停止モードに入ります（あるいは、ペリフェラルクロックを無効にします）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

24.3.9 DMA（direct memory addressing）を使用する SPI 通信

SPI が最大速度で動作するには、SPI に送信用のデータを供給し、受信バッファに受信したデータを読み出してオーバーランを回避する必要があります。転送を容易にするため、SPI は簡単なリクエスト/確認応答プロトコルを実現する DMA 機能を備えています。

SPI_CR2 レジスタのイネーブルビットを有効にすると、DMA アクセスがリクエストされます。送信バッファと受信バッファには、別々のリクエストを発行する必要があります（*図 245* と *図 246* を参照）。

- 送信では、TXE が 1 にセットされるたびに DMA リクエストが発行されます。その後、DMA は SPI_DR レジスタに書き込みます（これによって TXE フラグがクリアされます）。
- 受信では、RXNE が 1 にセットされるたびに DMA リクエストが発行されます。その後、DMA は SPI_DR レジスタを読み出します（これによって RXNE フラグがクリアされます）。

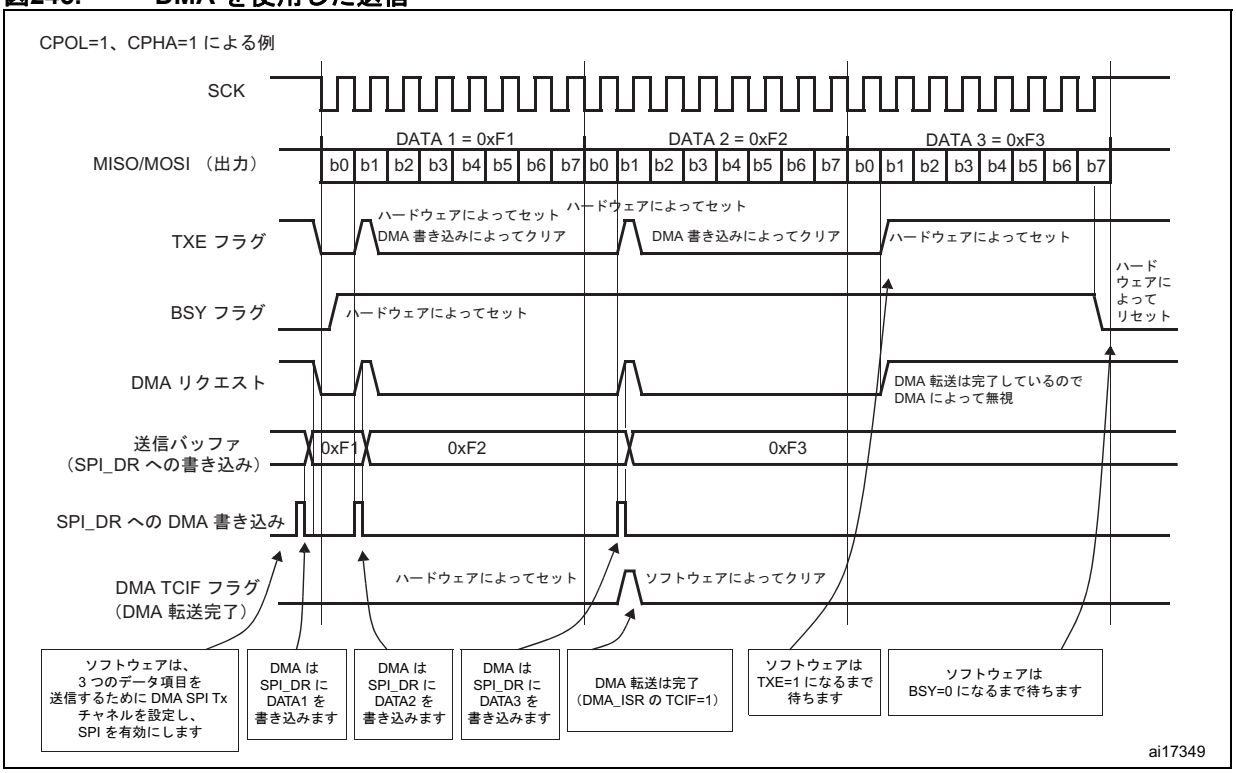
SPI がデータの送信にのみ使用される場合、SPI Tx DMA チャネルのみを有効にすることができます。この場合、受信されたデータは読み出されないため、OVR フラグがセットされます。

SPI がデータの受信にのみ使用される場合、SPI Rx DMA チャネルだけを有効にすることができます。

送信モードで、DMA が送信されるすべてのデータを書き込んだとき（DMA_ISR レジスタのフラグ TCIF がセットされます）、BSY フラグを監視することで SPI 通信の完了を確認できます。この操作は、SPI を無効にしたり STOP モードに入る前に、最後の送信内容の破壊を避けるために必要です。ソフトウェアは、まず TXE=1 になるまで待ってから、BSY=0 になるまで待つ必要があります。

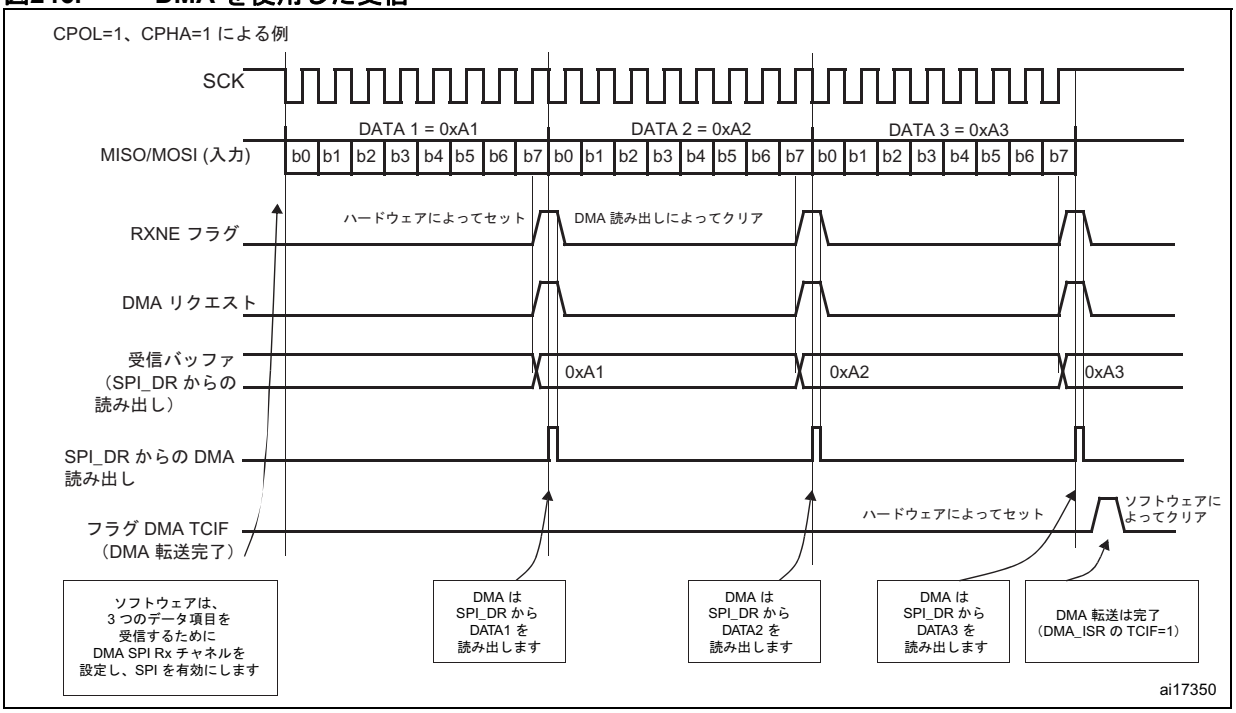
注： ***不連続通信時には、SPI_DR への書き込み動作と BSY ビットの設定の間に、APB の 2 クロック周期分の遅延があります。結果として、最後のデータを書き込んだ後、まず TXE=1 になるまで待ち、さらに BSY=0 になるまで待つ必要があります。***

図245. DMA を使用した送信



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図246. DMA を使用した受信



CRC による DMA 機能

CRC 通信と DMA モードによる SPI 通信が有効にされると、通信の最後に CRC バイトの送受信が自動的に行われます。

転送中に内容の破壊が生じた場合、データと CRC の転送の最後に SPI_SR レジスタの CRCERR フラグがセットされます。

24.3.10 エラーフラグ

マスタモードフォールト（MODF）

マスタモードフォールトは、マスタデバイスが NSS ピンをローにしたとき（NSS ハードウェアモード）、または SSI ビットをローにしたとき（NSS ソフトウェアモード）に発生し、MODF ビットが自動的にセットされます。マスタモードフォールトは、SPI ペリフェラルに次のような影響を与えます。

- MODF ビットがセットされ、ERRIE ビットがセットされている場合は SPI 割り込みが生成されます。
- SPE ビットがクリアされます。これによって、デバイスからのすべての出力がブロックされ、SPI インタフェースが無効になります。
- MSTR ビットがクリアされ、デバイスは強制的にスレーブモードになります。

MODF ビットをクリアするには、次のソフトウェアシーケンスを実行します。

1. MODF ビットがセットされている間は、SPI_SR レジスタに読み出し/書き込みのアクセスを行います。
2. 次に、SPI_CR1 レジスタに書き込みを行います。

複数の MCU で構成されるシステムでスレーブ間の競合を避けるには、MODF ビットをクリアするシーケンス中、NSS ピンをハイレベルにブルする必要があります。このクリアシーケンスの後、SPE ビットと MSTR ビットは、元の状態に戻すことができます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

安全のため、MODF ビットがセットされている間、ハードウェアは SPE ビットと MSTR ビットのセットを許可しません。

スレーブデバイスでは、MODF ビットをセットできません。ただし、マルチマスタ設定では、デバイスはこの MODF ビットをセットした状態でスレーブモードになることができます。この場合、MODF ビットは、システム制御に関してマルチマスタ競合が生じた可能性を示します。割り込みルーチンを使用して、リセットを行ったりデフォルト状態に復帰することによって、この状態からクリーンに回復できます。

オーバーラン条件

オーバーラン条件が発生するのは、マスタデバイスがデータバイトを送信し、スレーブデバイスが以前に送信されたデータバイトに起因する RXNE ビットをクリアしなかった場合です。オーバーラン条件が発生すると、

- OVR ビットがセットされ、ERRIE ビットがセットされている場合は割り込みが生成されます。

この場合、レシーババッファは、マスタデバイスから新しく受信したデータによって更新されません。このバイトは、SPI_DR レジスタを読み出すことにより返されます。その後に送信されたすべてのバイトは失われます。

OVR ビットのクリアは、SPI_DR レジスタを読み出した後に SPI_SR レジスタを読み出すことによって行われます。

CRC エラー

このフラグを使用して、SPI_CR1 レジスタの CRCEN ビットがセットされているときに受信された値の有効性を検証します。トランスミッタの SPI_TXCRCR 値が送信された後でシフトレジスタに受信された値が、レシーバの SPI_RXCRCR 値と一致しない場合、SPI_SR レジスタの CRCERR フラグがセットされます。

24.3.11 SPI 割り込み

表180. SPI 割り込みリクエスト

割り込みイベント	イベントフラグ	イネーブル制御ビット
送信バッファエンプティフラグ	TXE	TXEIE
受信バッファノットエンプティフラグ	RXNE	RXNEIE
マスタモードフォールトイベント	MODF	ERRIE
オーバーランエラー	OVR	
CRC エラーフラグ	CRCERR	

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

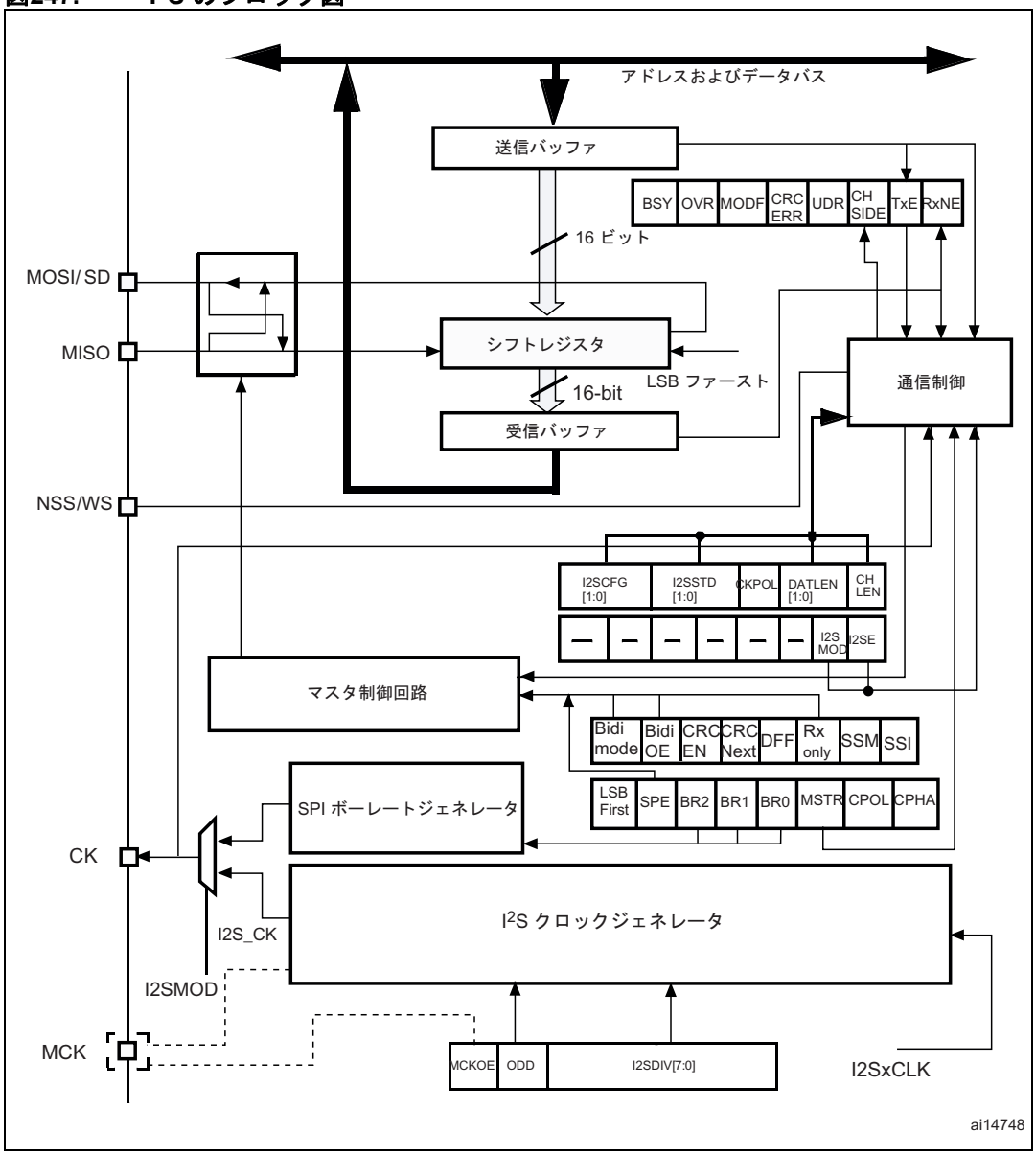
24.4 I²S 機能の説明

I²S オーディオプロトコルは、小容量および中容量デバイスでは使用できません。このセクションは、大容量と特大容量のデバイスおよびコネクティビティラインデバイスにのみ関係します。

24.4.1 I²S の概要

I²S のブロック図を*図 247* に示します。

図247. I²S のブロック図



SPI_I2SCFGR レジスタの I2SMOD ビットをセットして I²S 機能が有効になると、SPI はオーディオ I²S インタフェースとして機能することができます。このインタフェースは、SPI とほぼ同じピン、フラグ、および割り込みを使用します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

I^2S は SPI と 3 つの共通ピンを共有します。

- SD（シリアルデータ）: MOSI ピンに配置され、2 つの時間多重化データチャネルを送受信します（単方向モードのみ）。
- WS（ワードセレクト）: NSS ピンに配置され、マスタモードではデータ制御信号の出力、スレーブモードでは入力です。
- CK（シリアルクロック）: SCK ピンに配置され、マスタモードではシリアルクロック出力、スレーブモードではシリアルクロック入力です。

外部オーディオデバイスにマスタクロック出力が必要な場合、追加のピンを使用できます。

- MCK（マスタクロック（独立に配置））: が使われ、I^2S がマスタモードに設定され（かつ、SPI_I2SPR レジスタの MCKOE ビットがセットされ）ているとき、256 × F_S と等しい（F_S はオーディオサンプリング周波数）設定済みの周波数で生成されたこの追加クロックを出力するために使用されます。

I^2S は、マスタモードに設定されているとき、専用のクロックジェネレータを使用して通信クロックを発生させます。このクロックジェネレータは、マスタクロック出力のソースでもあります。I^2S モードでは、2 つの追加レジスタを使用できます。1 つはクロックジェネレータ設定 SPI_I2SPR にリンクされ、もう 1 つは汎用 I^2S 設定レジスタ SPI_I2SCFGR（オーディオ標準、スレーブ/マスタモード、データフォーマット、パケットフレーム、クロック極性など）です。

SPI_CR1 レジスタとすべての CRC レジスタは、I^2S モードでは使用されません。同様に、SPI_CR2 レジスタの SSOE ビットと SPI_SR の MODF および CRCERR ビットも使用されません。

I^2S は、16 ビット幅モードでのデータ転送に同じ SPI レジスタ（SPI_DR）を使用します。

24.4.2 サポートされるオーディオプロトコル

3 線バスでは、一般に 2 つのチャネル（右チャネルと左チャネル）で時間多重化されたオーディオデータのみを処理する必要があります。しかし、送受信用には 1 個の 16 ビットレジスタしかありません。したがって、注目するチャネルサイドに対応する適切な値をデータレジスタに書き込んだり、データレジスタからデータを読み出して SPI_SR レジスタの CHSIDE ビットをチェックして対応するチャネルを識別したりすることは、ソフトウェアで行います。左チャネルは常に最初に送信され、その後で右チャネルが送信されます（CHSIDE は PCM プロトコルには無関係です）。

4 つのデータおよびパケットフレームを使用できます。データは次のフォーマットで送信されます。

- 16 ビットフレームにパックされた 16 ビットデータ
- 16 ビットフレームにパックされた 32 ビットデータ
- 24 ビットフレームにパックされた 32 ビットデータ
- 32 ビットフレームにパックされた 32 ビットデータ

32 ビットパケットに拡張された 16 ビットデータを使用するとき、最初の 16 ビット（MSB）は上位ビットであり、16 ビット LSB は、ソフトウェア動作や DMA リクエストを必要とせずに（1 回の読み込み/書き込み動作のみで）強制的に 0 にされます。

24 ビットと 32 ビットのデータフレームは、SPI_DR との間で 2 つの CPU 読み出しまたは書き込み動作（あるいはアプリケーションにとって DMA が望ましい場合は 2 つの DMA 動作）を必要とします。24 ビットのデータフレームの場合、8 つの下位ビットはハードウェアによって 0 ビットで 32 ビットに拡張されます。

すべてのデータフォーマットと通信規格に対して、最上位ビットは常に最初に送信されます（MSB ファースト）。

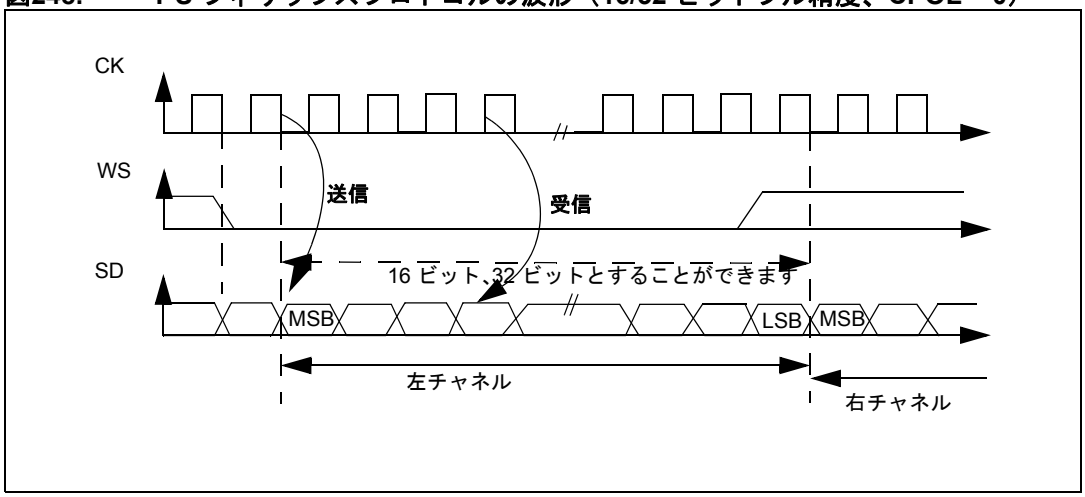
I^2S インタフェースは、SPI_I2SCFGR レジスタの I2SSTD[1:0] と PCMSYNC ビットを使用して設定可能な 4 つのオーディオ規格をサポートします。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

I²S フィリップス規格

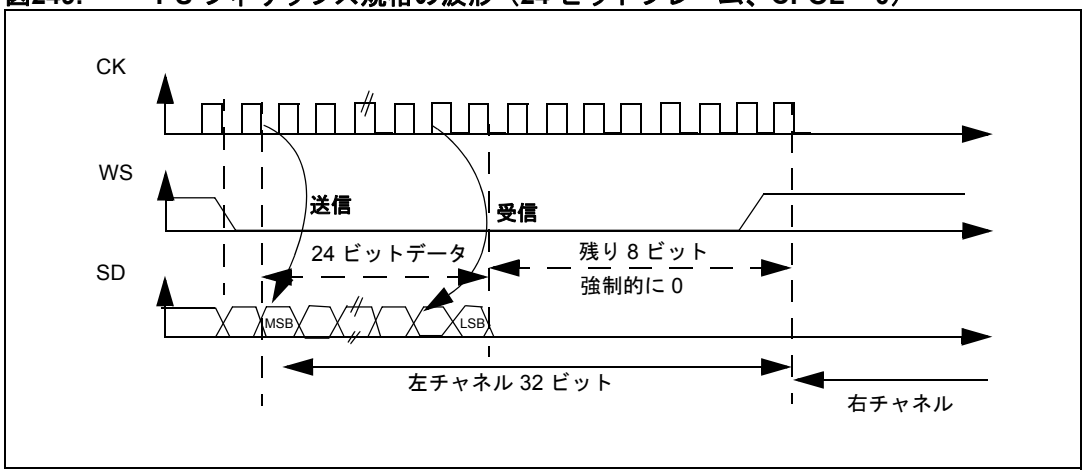
この規格では、どのチャネルが送信されているかを示すために WS 信号を使用します。この信号が有効になってから CK の 1 クロックサイクル後に最初のビット（MSB）が使用可能になります。

図248. I²S フィリップスプロトコルの波形（16/32 ビットフル精度、CPOL = 0）



データは、CK の立ち下がりエッジでラッチされ（トランスミッタの場合）、立ち上がりエッジで読み出されます（レシーバの場合）。WS 信号も CK の立ち下がりエッジでラッチされます。

図249. I²S フィリップス規格の波形（24 ビットフレーム、CPOL = 0）



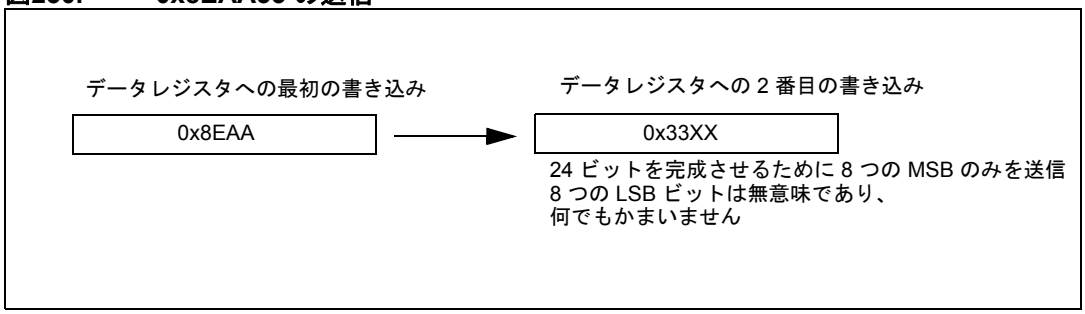
このモードでは、SPI_DR に対して 2 つの書き込みまたは読み出し動作が必要です。

- 送信モードでは：

  0x8EAA33 を送信する必要がある場合（24 ビット）：

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図250. 0x8EAA33 の送信



- 受信モードでは：

  データ 0x8EAA33 が受信される場合：

図251. 0x8EAA33 の受信

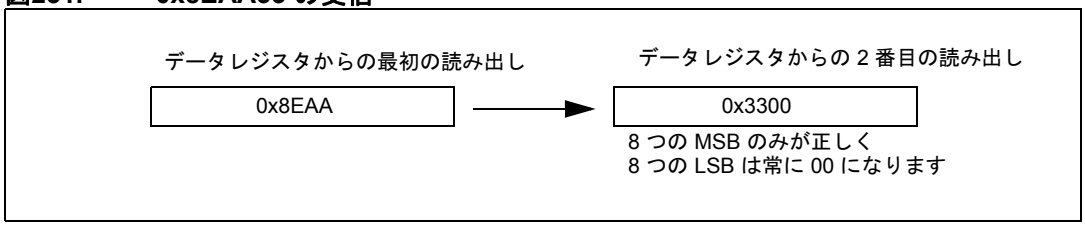
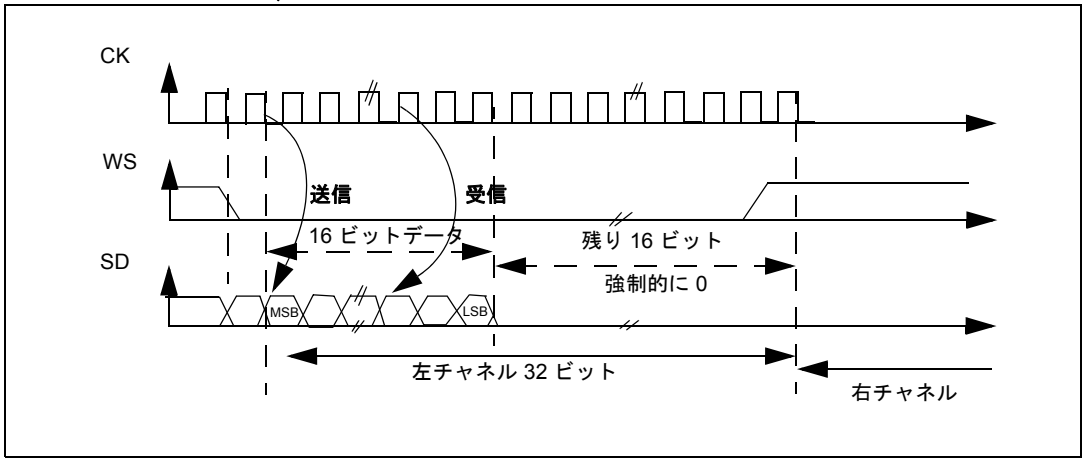


図252. I^2S フィリップス規格（16 ビットを 32 ビットのパケットフレームに拡張、CPOL = 0）

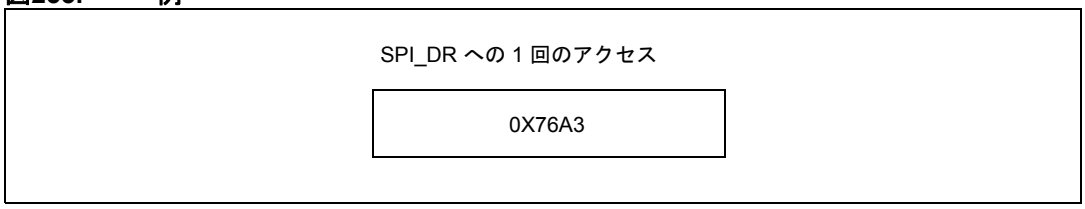


I^2S 設定フェーズで、32 ビットチャネルフレームに拡張された 16 ビットデータフレームが選択されたとき、SPI_DR へのアクセスは 1 回のみ必要です。残りの 16 ビットは、データを 32 ビットフォーマットに拡張するために、ハードウェアによって強制的に 0x0000 にされます。

送信するデータまたは受信したデータが 0x76A3（32 ビットに拡張された 0x76A30000）であるとき、*図 253* に示す動作が要求されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図253. 例



送信では、SPI_DR に MSB が書き込まれるたびに、TXE フラグがセットされ、可能ならば、SPI_DR に新しい送信値をロードするために割り込みが生成されます。これはハードウェアによって行われるため、0x0000 がまだ送信されていなくても行われます。

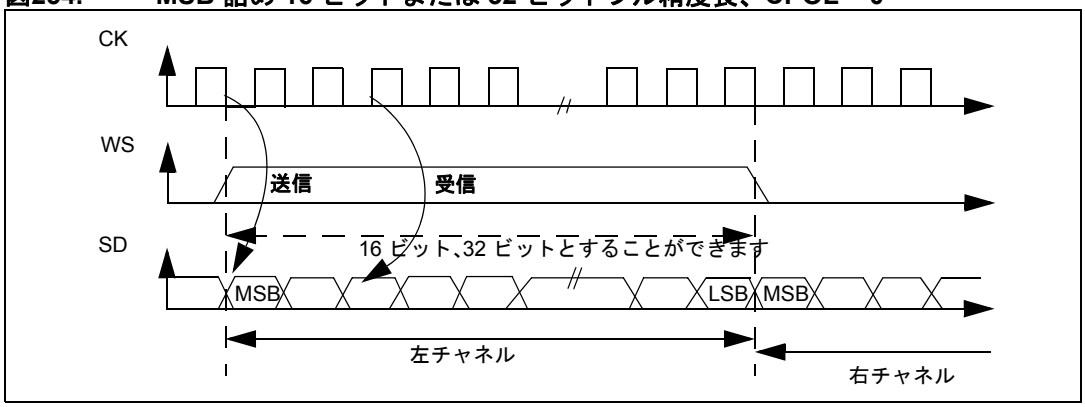
受信では、RXNE フラグがセットされ、可能ならば、最初の 16 MSB ハーフワードの受信時にその割り込みが生成されます。

このように、2 つの書き込みまたは読み出し動作の間にはより多くの時間が設けられるため、アンダーランまたはオーバーラン状態（データ転送の方向に依存）を避けられます。

MSB 詰め規格

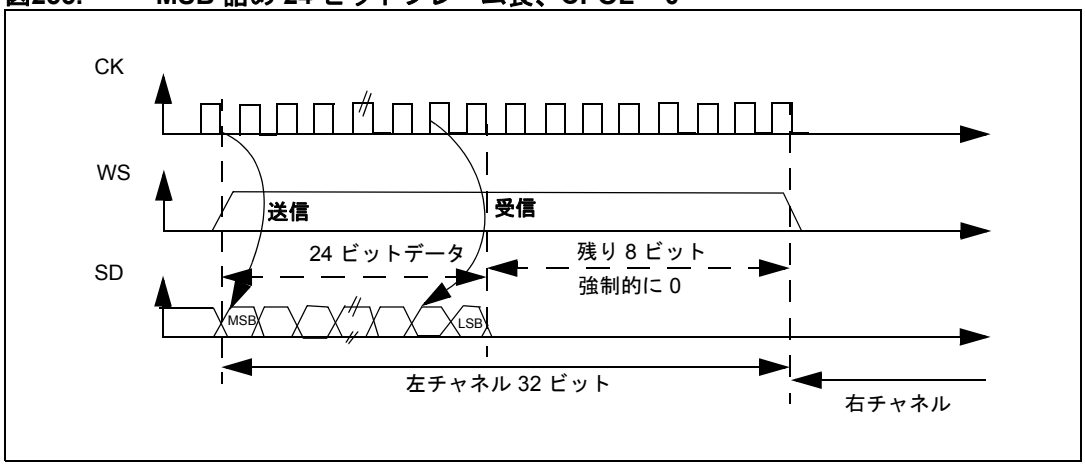
この規格では、WS 信号は最初のデータビット（最上位ビット）と同時に生成されます。

図254. MSB 詰め 16 ビットまたは 32 ビットフル精度長、CPOL = 0



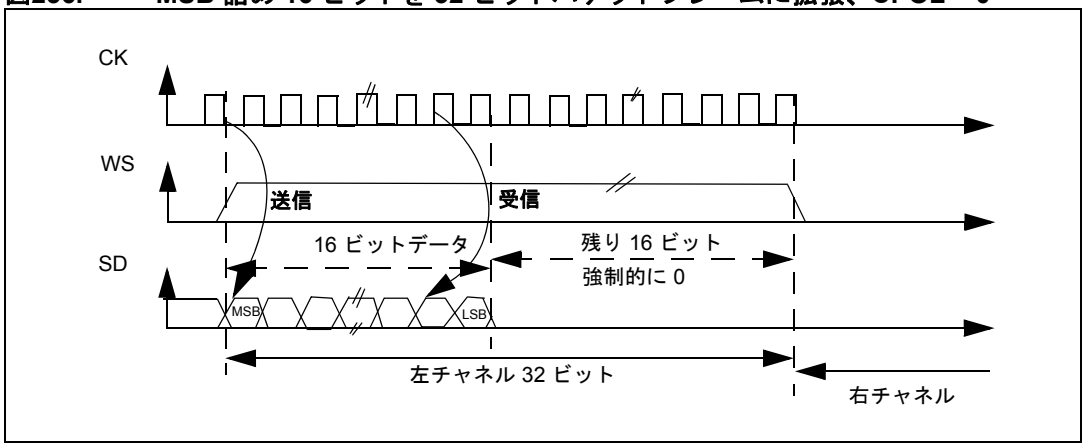
データは、CK の立ち下がりエッジでラッチされ（トランスミッタの場合）、立ち上がりエッジで読み出されます（レシーバの場合）。

図255. MSB 詰め 24 ビットフレーム長、CPOL = 0



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

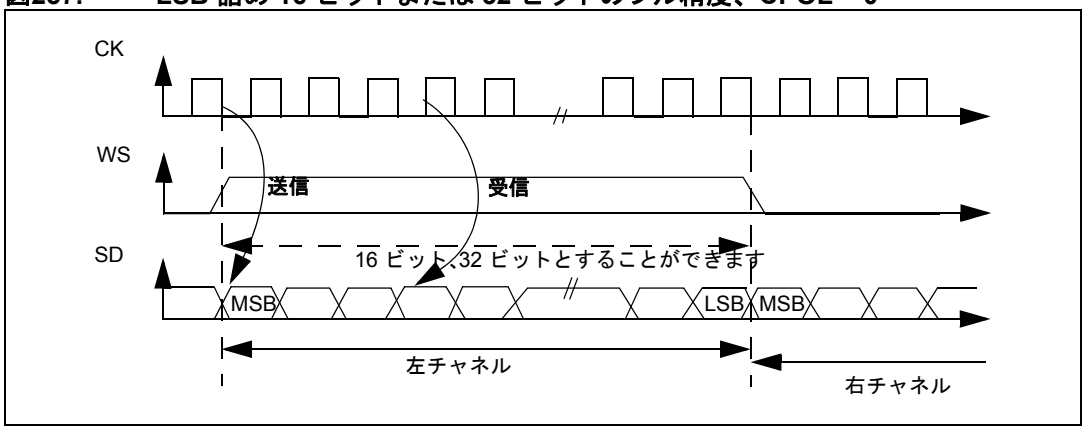
図256. MSB 詰め 16 ビットを 32 ビットパケットフレームに拡張、CPOL = 0



LSB 詰め規格

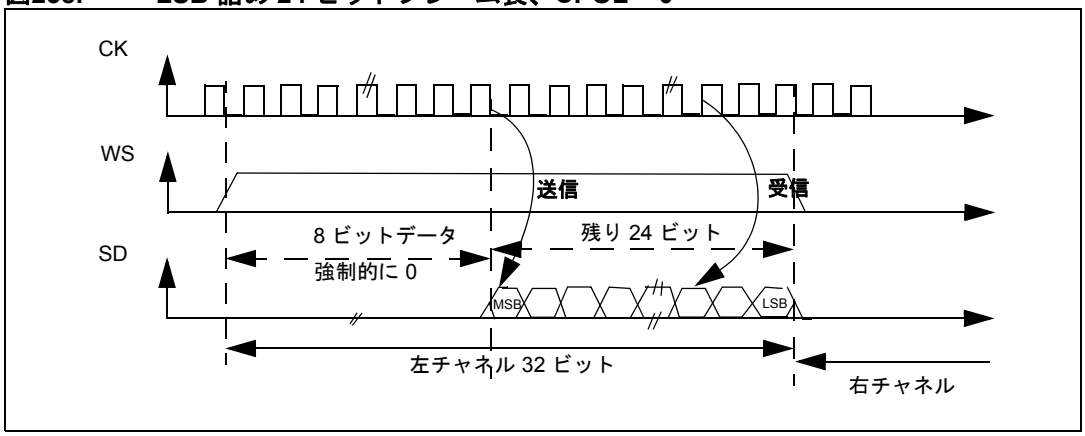
この規格は、MSB 詰め規格と似ています（16 ビットと 32 ビットのフル精度フレームフォーマットに違いはありません）

図257. LSB 詰め 16 ビットまたは 32 ビットのフル精度、CPOL = 0



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

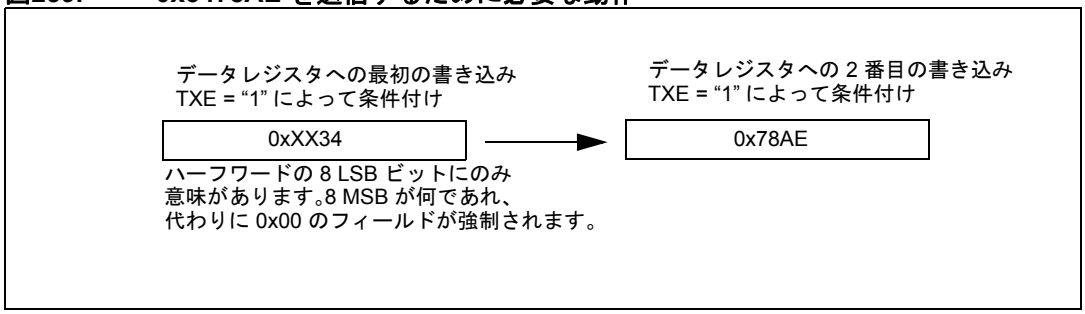
図258. LSB 詰め 24 ビットフレーム長、CPOL = 0



- 送信モードでは：

  データ 0x3478AE を送信する必要がある場合、ソフトウェアまたは DMA によって SPI_DR レジスタへの 2 つの書き込み動作が必要です。この動作を次に示します。

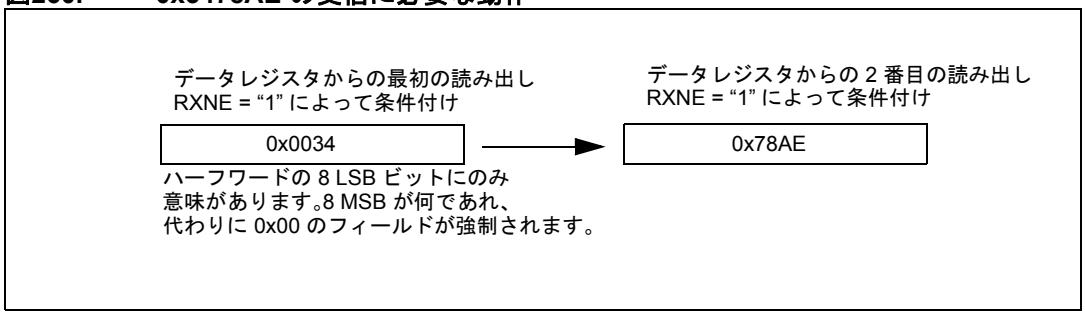
図259. 0x3478AE を送信するために必要な動作



- 受信モードでは：

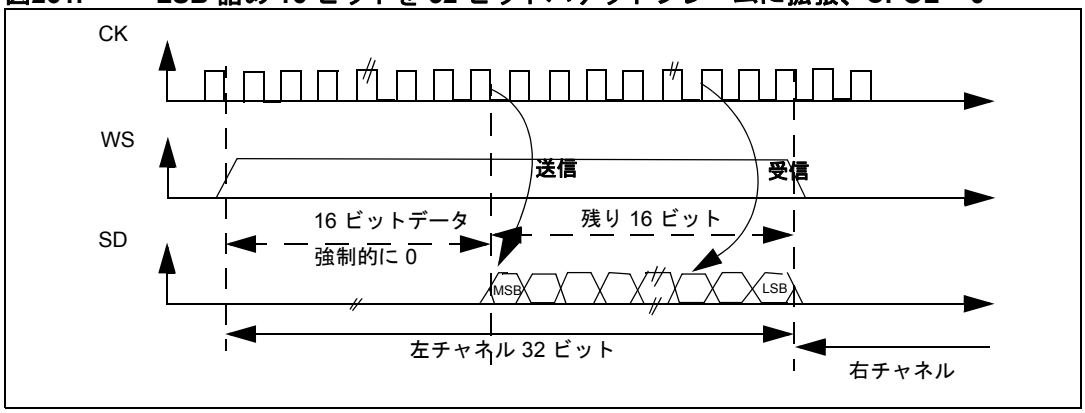
  データ 0x3478AE が受信される場合、RXNE イベントごとに SPI_DR から連続する 2 つの読み出し動作が必要です。

図260. 0x3478AE の受信に必要な動作



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

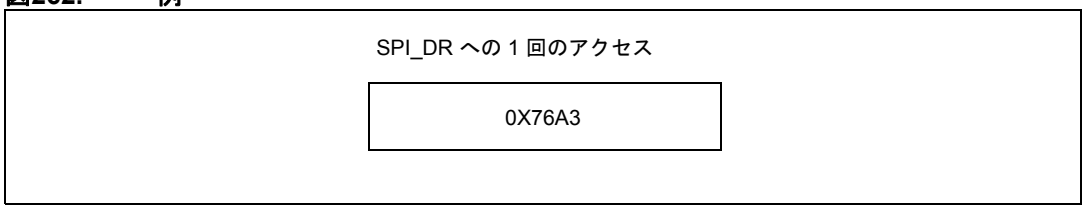
図261. LSB 詰め 16 ビットを 32 ビットパケットフレームに拡張、CPOL = 0



I^2S 設定フェーズで、32 ビットチャネルフレームに拡張された 16 ビットデータフレームが選択されたとき、SPI_DR へのアクセスは 1 回のみ必要です。残りの 16 ビットは、データを 32 ビットフォーマットに拡張するために、ハードウェアによって強制的に 0x0000 にされます。この場合、それはハーフワード MSB に相当します。

送信するデータまたは受信データが 0x76A3（32 ビットに拡張された 0x0000 76A3）である場合、*図 262* に示す動作が要求されます。

図262. 例



送信モードでは、TXE がアサートされると、アプリケーションは送信するデータ（この場合は 0x76A3）を書き込む必要があります。0x000 フィールドが最初に送信されます（32 ビット拡張部）。有効なデータ（0x76A3）が SD に送信されると、すぐに TXE が再びアサートされます。

受信モードでは、0x0000 フィールドではない有効なハーフワードが受信されると、すぐに RXNE がアサートされます。

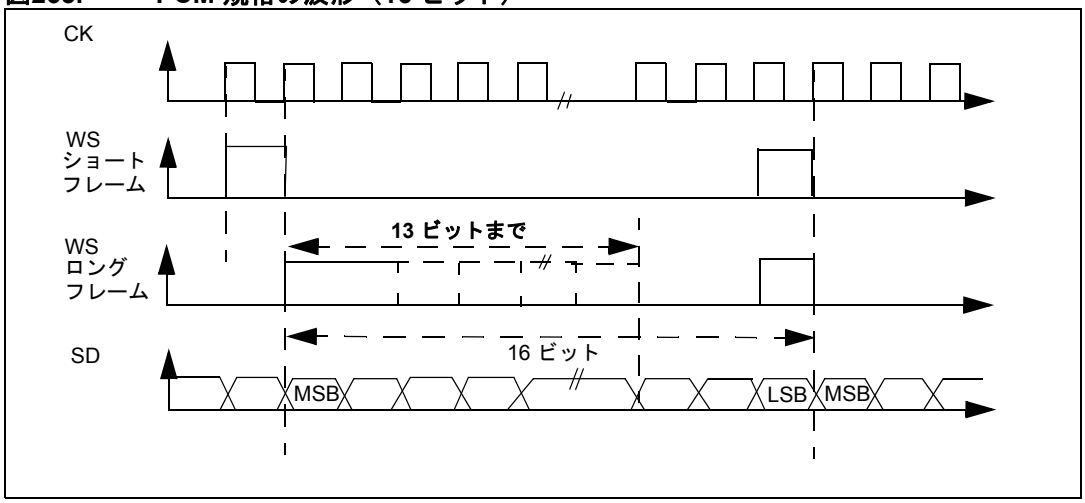
このように、アンダーランやオーバーランの状態を防ぐために、2 つの書き込みまたは読み出し動作の間には、より多くの時間が設けられています。

PCM 規格

PCM 規格では、チャネルサイド情報を使用する必要はありません。SPI_I2SCFGR の PCMSYNC ビットを使用して、2 つの PCM モード（ショートおよびロングフレーム）の使用および、設定が可能です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

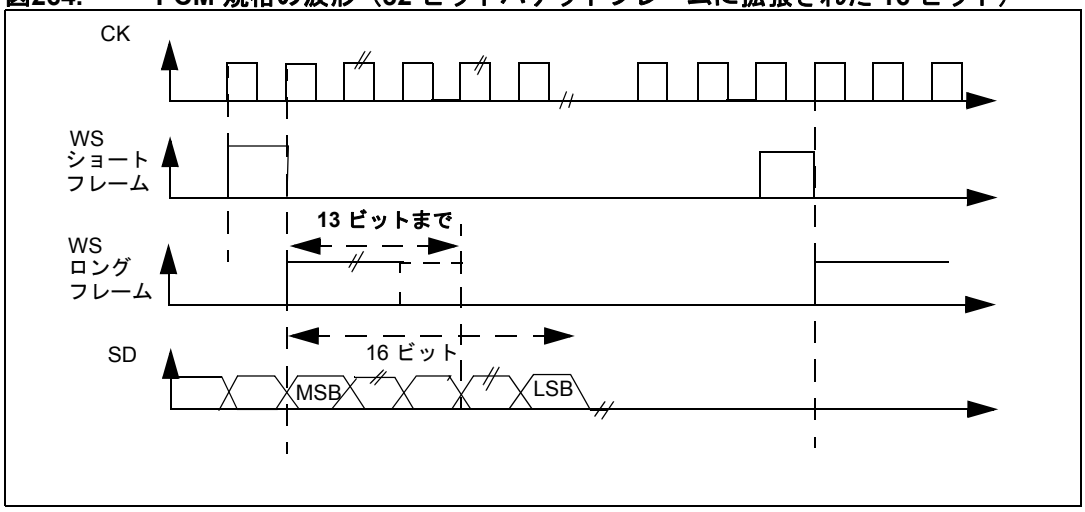
図263. PCM 規格の波形（16 ビット）



ロングフレーム同期では、WS 信号のアサーション時間はマスタモードで 13 ビットに固定されています。

ショートフレーム同期では、WS 同期信号の長さは、わずか 1 サイクルです。

図264. PCM 規格の波形（32 ビットパケットフレームに拡張された 16 ビット）



注： ***2 つのモード（マスタとスレーブ）と 2 つの同期（ショートとロング）に関しては、スレーブモードでも、連続した 2 つのデータ（したがって 2 つの同期信号）間のビット数を（SPI_I2SCFGR レジスタの DATLEN および CHLEN ビットで）指定する必要があります。***

24.4.3 クロックジェネレータ

I^2S ビットレートは、I^2S データライン上のデータフローと I^2S クロック信号の周波数を決定します。

I^2S ビットレート = チャネルごとのビット数 × チャネル数 × オーディオサンプリング周波数

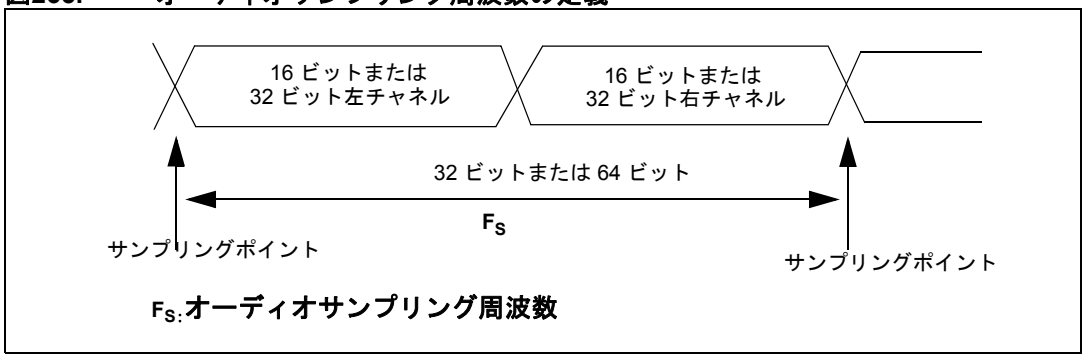
16 ビットオーディオ、左チャネル、および右チャネルでは、I^2S ビットレートは次のように計算されます。

I^2S ビットレート = $16 \times 2 \times F_S$

パケット長が 32 ビット幅の場合、I^2S ビットレート = $32 \times 2 \times F_S$ となります。

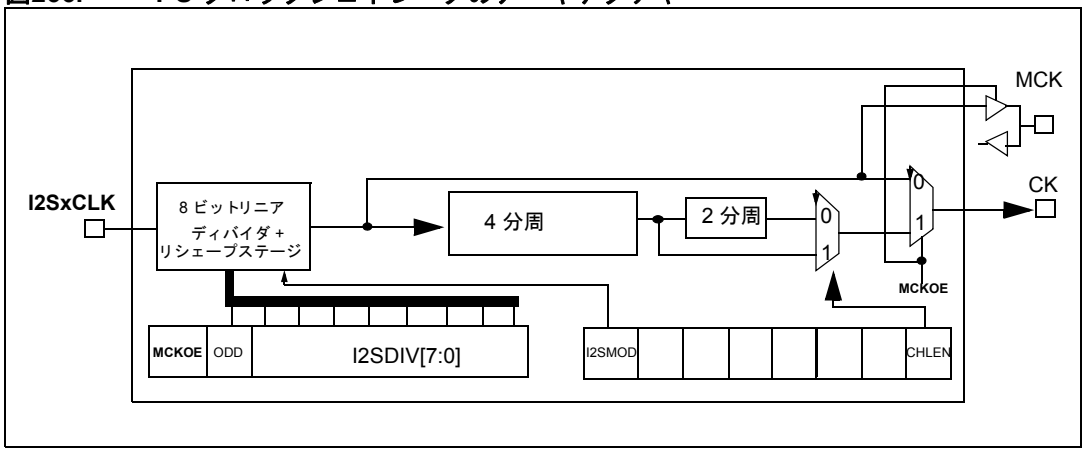
この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図265. オーディオサンプリング周波数の定義



マスタモードが設定された場合、希望するオーディオ周波数で通信するために、特定の措置を講じてリニアディバイダを適切にプログラミングする必要があります。

図266. I²S クロックジェネレータのアーキテクチャ



1. x は 2 または 3 です。

図 265 に、通信クロックのアーキテクチャを示します。I2SxCLK ソースはシステムクロックです（HSI、HSE、または PLL によって提供され、AHB クロックを供給します）。コネクティビティラインデバイスの場合、最大の精度を得るために、I2SxCLK ソースは SYSCLK または PLL3 VCO（2 × PLL3CLK）クロックとすることができます。この選択には、RCC_CFGR2 レジスタの I2S2SRC ビットと I2S3SRC ビットを使用します。

オーディオサンプリング周波数は、96 kHz、48 kHz、44.1 kHz、32 kHz、22.05 kHz、16 kHz、11.025 kHz、または 8 kHz（あるいは、この範囲内の他の任意の値）とすることができます。希望する周波数を達成するには、次の式に基づいてリニアディバイダのプログラミングを行う必要があります。

マスタクロックが生成される場合（SPI_I2SPR レジスタの MCKOE ビットをセット）：

F_S = I2SxCLK / [(16*2)*((2*I2SDIV)+ODD)*8)] …チャネルフレームが 16 ビット幅の場合

F_S = I2SxCLK / [(32*2)*((2*I2SDIV)+ODD)*4)] …チャネルフレームが 32 ビット幅の場合

マスタクロックが無効の場合（MCKOE ビットをクリア）：

F_S = I2SxCLK / [(16*2)*((2*I2SDIV)+ODD))] …チャネルフレームが 16 ビット幅の場合

F_S = I2SxCLK / [(32*2)*((2*I2SDIV)+ODD))] …チャネルフレームが 32 ビット幅の場合

表 182 と *表 183*に、さまざまなクロック設定に対する精度値の例を示します。

*注： **最適なクロック精度のためにこれ以外の設定をすることも可能です。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表181. 標準の 8 MHz HSE を使用したオーディオ周波数精度（大容量および特大容量デバイスのみ）

SYSCLK（MHz）	I2S_DIV		I2S_ODD		MCLK	目標の f_S（Hz）	実際の f_S（KHz）		誤差	
	16 ビット	32 ビット	16 ビット	32 ビット			16 ビット	32 ビット	16 ビット	32 ビット
72	11	6	1	0	なし	96000	97826.09	93750	1.90%	2.34%
72	23	11	1	1	なし	48000	47872.34	48913.04	0.27%	1.90%
72	25	13	1	0	なし	44100	44117.65	43269.23	0.04%	1.88%
72	35	17	0	1	なし	32000	32142.86	32142.86	0.44%	0.44%
72	51	25	0	1	なし	22050	22058.82	22058.82	0.04%	0.04%
72	70	35	1	0	なし	16000	15675.75	16071.43	0.27%	0.45%
72	102	51	0	0	なし	11025	11029.41	11029.41	0.04%	0.04%
72	140	70	1	1	なし	8000	8007.11	7978.72	0.09%	0.27%
72	2	2	0	0	あり	96000	70312.15	70312.15	26.76%	26.76%
72	3	3	0	0	あり	48000	46875	46875	2.34%	2.34%
72	3	3	0	0	あり	44100	46875	46875	6.29%	6.29%
72	9	9	0	0	あり	32000	31250	31250	2.34%	2.34%
72	6	6	1	1	あり	22050	21634.61	21634.61	1.88%	1.88%
72	9	9	0	0	あり	16000	15625	15625	2.34%	2.34%
72	13	13	0	0	あり	11025	10817.30	10817.30	1.88%	1.88%
72	17	17	1	1	あり	8000	8035.71	8035.71	0.45%	0.45%

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表182. 標準の 25 MHz と PLL3 を使用したオーディオ周波数精度（コネクティビティラインデバイスのみ）

PREDIV2		PLL3MUL		I2SDIV		I2SODD		MCLK	目標の f_S（Hz）	実際の f_S（kHz）		誤差	
16 ビット	32 ビット	16 ビット	32 ビット	16 ビット	32 ビット	16 ビット	32 ビット			16 ビット	32 ビット	16 ビット	32 ビット
6	6	14	14	19	9	0	1	なし	96000	95942.98	95942.98	**0.0594%**	**0.0594%**
7	12	20	14	46	9	1	1	なし	48000	48003.07	47971.49	**0.0064%**	**0.0594%**
8	8	14	14	31	15	0	1	なし	44100	44102.82	44102.82	**0.0064%**	**0.0064%**
11	4	16	10	35	30	1	1	なし	32000	32010.24	32018.44	**0.0320%**	**0.0576%**
8	8	14	14	62	31	0	0	なし	22050	22051.41	22051.41	**0.0064%**	**0.0064%**
7	11	20	16	139	35	1	1	なし	16000	16001.02	16005.12	**0.0064%**	**0.0320%**
8	8	14	14	124	62	0	0	なし	11025	11025.71	11025.71	**0.0064%**	**0.0064%**
9	9	20	20	217	108	0	1	なし	8000	8000.512	8000.512	**0.0064%**	**0.0064%**
4	4	8	8	2	2	0	0	あり	96000	97656.25	97656.25	**1.7253%**	**1.7253%**
13	13	16	16	2	2	1	1	あり	48000	48076.92	48076.92	**0.1603%**	**0.1603%**
5	5	9	9	4	4	0	0	あり	44100	43945.31	43945.31	**0.3508%**	**0.3508%**
5	5	9	9	5	5	1	1	あり	32000	31960.22	31960.22	**0.1243%**	**0.1243%**
5	5	13	13	11	11	1	1	あり	22050	22078.80	22078.80	**0.1306%**	**0.1306%**
9	9	14	14	9	9	1	1	あり	16000	15990.49	15990.49	**0.0594%**	**0.0594%**
8	8	14	14	15	15	1	1	あり	11025	11025.70	11025.70	**0.0064%**	**0.0064%**
4	4	10	10	30	30	1	1	あり	8000	8004.611	8004.611	**0.0576%**	**0.0576%**

表183. 標準の 14.7456 MHz と PLL3 を使用したオーディオ周波数精度（コネクティビティラインデバイスのみ）

PREDIV2		PLL3MUL		I2SDIV		I2SODD		MCLK	目標の f_S（Hz）	実際の f_S（kHz）		誤差	
16 ビット	32 ビット	16 ビット	32 ビット	16 ビット	32 ビット	16 ビット	32 ビット			16 ビット	32 ビット	16 ビット	32 ビット
3	3	10	10	16	8	0	0	なし	96000	96000	96000	**0%**	**0%**
6	6	20	20	32	16	0	0	なし	48000	48000	48000	**0%**	**0%**
11	11	20	20	19	9	0	1	なし	44100	44095.69	44095.69	**0.0098%**	**0.0098%**
2	2	10	10	72	36	0	0	なし	32000	32000	32000	**0%**	**0%**
11	11	10	10	19	9	0	1	なし	22050	22047.84	22047.84	**0.0098%**	**0.0098%**
4	4	20	20	144	72	0	0	なし	16000	16000	16000	**0%**	**0%**
2	2	10	10	209	104	0	1	なし	11025	11023.92	11023.92	**0.0098%**	**0.0098%**
12	12	20	20	96	48	0	0	なし	8000	8000	8000	**0%**	**0%**
2	2	10	10	3	3	0	0	あり	96000	96000	96000	**0%**	**0%**
6	6	20	20	4	4	0	0	あり	48000	48000	48000	**0%**	**0%**
2	2	10	10	6	6	1	1	あり	44100	44307.69	44307.69	**0.4710**	**0.4710%**
2	2	10	10	9	9	0	0	あり	32000	32000	32000	**0%**	**0%**

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表183. 標準の 14.7456 MHz と PLL3 を使用したオーディオ周波数精度（コネクティビティラインデバイスのみ）（続き）

PREDIV2		PLL3MUL		I2SDIV		I2SODD		MCLK	目標の f_S（Hz）	実際の f_S（kHz）		誤差	
16 ビット	32 ビット	16 ビット	32 ビット	16 ビット	32 ビット	16 ビット	32 ビット			16 ビット	32 ビット	16 ビット	32 ビット
4	4	13	13	8	8	1	1	あり	22050	22023.52	22023.52	**0.1200%**	**0.1200%**
4	4	20	20	18	18	0	0	あり	16000	16000	16000	**0%**	**0%**
11	11	20	20	9	9	1	1	あり	11025	11023.92	11023.92	**0.0098%**	**0.0098%**
6	6	20	20	24	24	0	0	あり	8000	8000	8000	**0%**	**0%**

24.4.4 I²S マスタモード

I²S はマスタモードに設定できます。つまり、シリアルクロックは、ワードセレクト信号 WS だけでなく、CK ピン上でも生成されます。マスタクロック（MCK）は、SPI_I2SPR レジスタの MCKOE ビットで、出力にすることも、しないこともできます。

手順

1. 適切なオーディオサンプル周波数に到達するシリアルクロックボーレートを定義するため、SPI_I2SPR レジスタの I2SDIV[7:0] ビットを選択します。SPI_I2SPR レジスタの ODD ビットも定義する必要があります。
2. 通信クロックの一定したレベルを定義するために、CKPOL ビットを選択します。外部の DAC/ADC オーディオ部品にマスタクロック MCK を供給する必要がある場合、SPI_I2SPR レジスタの MCKOE ビットをセットします（I2SDIV と ODD の値は、MCK 出力の状態に応じて計算する必要があります。詳細については、*セクション 24.4.3：クロックジェネレータ*を参照）。
3. SPI_I2SCFGR の I2SMOD ビットをセットして I²S 機能を有効にし、I2SSTD[1:0] と PCMSYNC ビットを通じて I²S 規格を、DATLEN[1:0] ビットを通じてデータ長を、CHLEN ビットを設定してチャネルごとのビット数を、それぞれ選択します。SPI_I2SCFGR レジスタの I2SCFG[1:0] ビットを通じて I²S マスタモードと方向（トランスミッタまたはレシーバ）も選択します。
4. 必要ならば、SPI_CR2 レジスタへの設定により、考えられるすべての割り込みソースと DMA を選択します。
5. SPI_I2SCFGR レジスタの I2SE ビットをセットする必要があります。

WS と CK は出力モードに設定されます。SPI_I2SPR の MCKOE ビットがセットされている場合、MCK も出力です。

送信シーケンス

送信シーケンスは、送信バッファにハーフワードが書き込まれたときに開始されます。

ほとんどの場合、送信バッファに書き込まれる最初のデータは、左チャネルのデータに対応します。データが送信バッファからシフトレジスタに転送されると、TXE がセットされ、右チャネルに対応するデータを送信バッファに書き込む必要があります。CHSIDE フラグは、どのチャネルが送信されるかを示します。CHSIDE フラグは TXE がハイレベルになったときに更新されるため、このフラグは TXE フラグがセットされた場合に意味を持ちます。

完全なフレームとは、左チャネルのデータ送信と、それに続く右チャネルのデータ送信であるとみなす必要があります。左チャネルのみが送信されるような部分的なフレームは実現できません。

データハーフワードは、最初のビット送信時に 16 ビットシフトレジスタに同時にロードされてから、MOSI/SD ピンに MSB ファーストで連続的にシフトアウトされます。TXE フラグは、送信バッファ

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

からシフトレジスタへの毎回の転送後にセットされ、SPI_CR2 レジスタの TXEIE ビットがセットされている場合は割り込みが生成されます。

選択された I²S 規格モードに依存する書き込み動作の詳細については、*セクション 24.4.2 : サポートされるオーディオプロトコル*を参照してください。

連続したオーディオデータ送信を行うには、現在の送信が終了する前に、次の送信データを SPI_DR に書き込むことが必要です。

I2SE をクリアすることによって I²S をスイッチオフする場合、TXE = 1 および BSY = 0 になるまで待つ必要があります。

受信シーケンス

動作モードは、ポイント 3 を除いて、送信モードの場合と同じです。ポイント 3 では、I2SCFG[1:0] ビットを通じてマスタ受信モードを設定する必要がありました（*セクション 24.4.4 : I²S マスタモード*に示す手順を参照）。

データやチャネルの長さに関係なく、オーディオデータは 16 ビットのパケットによって受信されます。つまり、受信バッファがいっぱいになるたびに RXNE フラグがセットされ、SPI_CR2 レジスタの RXNEIE ビットがセットされている場合は割り込みが生成されます。データ長とチャネル長の設定にもよりますが、受信バッファへの 1 回または 2 回の受信によって、オーディオ値が右チャネルまたは左チャネルに受信されることがあります。

RXNE ビットのクリアは、SPI_DR レジスタを読み出すことで行われます。

CHSIDE は毎回の受信後に更新されます。CHSIDE は、I²S セルによって生成される WS 信号に敏感です。

選択された I²S 規格モードに依存する読み込み動作の詳細については、*セクション 24.4.2 : サポートされるオーディオプロトコル*を参照してください。

前の受信データがまだ読み出されていない間にデータが受信された場合、オーバーランが生成され、OVR フラグがセットされます。SPI_CR2 レジスタの ERRIE ビットがセットされている場合、割り込みが生成されてエラーを通知します。

I²S をスイッチオフするには、I²S が新しいデータ転送を開始することなく転送サイクルを適切に完了できるように、特定の動作が要求されます。そのシーケンスは、データ長とチャネル長の設定、および選択したオーディオプロトコルモードに依存します。ケース別の説明 :

- 32 ビットチャネル長に拡張された 16 ビットデータ長（DATLEN = 00、CHLEN = 1）、LSB 詰めモードを使用（I2SSTD = 10）
  - a) 最後から 2 番目の RXNE = 1 (n – 1) を待ちます。
  - b) 次に I²S の 17 クロックサイクルを待ちます（ソフトウェアループを使用）。
  - c) I²S を無効にします（I2SE = 0）。
- 32 ビットチャネル長に拡張された 16 ビットデータ長（DATLEN = 00、CHLEN = 1）、MSB 詰め、I²S、または PCM モード（それぞれ、I2SSTD = 00、I2SSTD = 01、または I2SSTD = 11）
  - a) 最後の RXNE を待ちます。
  - b) 次に、I²S の 1 クロックサイクルを待ちます（ソフトウェアループを使用）。
  - c) I²S を無効にします（I2SE = 0）。
- DATLEN と CHLEN のその他すべての組み合わせについては、I2SSTD ビットを通じて選択したオーディオモードが何であれ、次のシーケンスを実行して I²S をスイッチオフします。
  - a) 最後から 2 番目の RXNE = 1 (n – 1) を待ちます。
  - b) 次に、I²S の 1 クロックサイクルを待ちます（ソフトウェアループを使用）。
  - c) I²S を無効にします（I2SE = 0）。

注 : ***転送時、BSY フラグはローレベルに保持されます。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

24.4.5 I²S スレーブモード

スレーブ設定については、I²S は送信モードまたは受信モードに設定できます。動作モードは、主として I²S マスタ設定に関して述べたものと同じ規則に従います。スレーブモードでは、I²S インタフェースによって生成されるクロックはありません。クロックと WS 信号は、I²S インタフェースに接続された外部マスタから入力されます。したがって、ユーザがクロックを設定する必要はありません。

設定ステップを次に示します。

1. SPI_I2SCFGR レジスタの I2SMOD ビットをセットして I²S 機能にアクセスし、I2SSTD[1:0] ビットを通じて I²S 規格を選択し、DATLEN[1:0] ビットを通じてデータ長を選択し、CHLEN ビットを設定してフレームのチャネルごとのビット数を選択します。SPI_I2SCFGR レジスタの I2SCFG[1:0] ビットを通じて、スレーブのモード（送信または受信）も選択します。
2. 必要な場合は、SPI_CR2 レジスタの設定より、考えられるすべての割り込みソースと DMA を選択します。
3. SPI_I2SCFGR レジスタの I2SE ビットをセットする必要があります。

送信シーケンス

送信シーケンスは、外部マスタデバイスがクロックを送信したときと、NSS_WS 信号がデータの転送を要求したときに開始されます。スレーブを有効にしなければ、外部マスタは通信を開始しません。I²S データレジスタにロードしなければ、マスタは通信を開始しません。

I²S、MSB 詰め、および LSB 詰めモードの場合、データレジスタに書き込まれる最初のデータは、左チャネルのデータに対応します。通信が開始されると、データは送信バッファからシフトレジスタに転送されます。次に、右チャネルのデータを I²S データレジスタに書き込むように要求するために、TXE フラグがセットされます。

CHSIDE フラグは、どのチャネルが送信されるかを示します。スレーブモードでは、マスタ送信モードに比べて、CHSIDE は外部マスタからの WS 信号に敏感です。つまり、スレーブが最初のデータの送信準備をしなければ、マスタはクロックを生成できません。WS アサーションは、最初に送信される左チャネルに対応します。

注： ***I2SE は、マスタの最初のクロックが CK ラインに到達するよりも、少なくとも PCLK の 2 サイクル前に書き込まれる必要があります。***

データハーフワードは、最初のビット送信時に内部バスから 16 ビットシフトレジスタに同時にロードされてから、MOSI/SD ピンに MSB ファーストで連続的にシフトアウトされます。TXE フラグは、送信バッファからシフトレジスタへの毎回の転送後にセットされ、SPI_CR2 レジスタの TXEIE ビットがセットされている場合は割り込みが生成されます。

なお、送信バッファへの書き込みの前に、TXE フラグが 1 であることを確認する必要があります。

選択した I²S 規格モードに依存する書き込み動作の詳細については、*セクション 24.4.2 : サポートされるオーディオプロトコル*を参照してください。

連続したオーディオデータ送信を行うには、現在の送信が終了する前に、次の送信データを SPI_DR レジスタに書きこむ必要があります。次のデータ通信の最初のクロックエッジよりも前にデータが SPI_DR レジスタに書き込まれない場合、アンダーランフラグがセットされ、割り込みが生成されることがあります。これによって、転送データに誤りがあることがソフトウェアに知らされます。SPI_CR2 レジスタの ERRIE ビットがセットされた場合、SPI_SR レジスタの UDR フラグがハイレベルになると割り込みが生成されます。この場合、I²S をスイッチオフし、左チャネルからデータ転送をリスタートする必要があります。

I2SE ビットをクリアして I²S をスイッチオフするには、TXE = 1 および BSY = 0 になるまで待つ必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

受信シーケンス

動作モードは、ポイント 1 を除いて、送信モードの場合と同じです。ポイント 1 では、SPI_I2SCFGR レジスタの I2SCFG[1:0] ビットを使用してマスタ受信モードを設定する必要がありました（*セクション 24.4.5 : I²S スレーブモード*に示す手順を参照）。

データやチャネルの長さに関係なく、オーディオデータは 16 ビットのパケットによって受信されます。つまり、受信バッファが満杯になるたびに SPI_SR レジスタの RXNE フラグがセットされ、SPI_CR2 レジスタの RXNEIE ビットがセットされている場合は割り込みが生成されます。データ長とチャネル長の設定にもよりますが、受信バッファへの 1 回または 2 回の受信によって、オーディオ値が右チャネルまたは左チャネルに受信されることがあります。

CHSIDE フラグは、SPI_DR から読み出されるデータが受信されるたびに更新されます。このフラグは、外部マスタ部品によって管理される外部 WS ラインに敏感です。

RXNE ビットのクリアは、SPI_DR レジスタを読み出すことで行われます。

選択された I²S 規格モードに依存する読み出し動作の詳細については、*セクション 24.4.2 : サポートされるオーディオプロトコル*を参照してください。

前の受信データがまだ読み出されていない間にデータが受信された場合、オーバーランが生成され、OVR フラグがセットされます。SPI_CR2 レジスタの ERRIE ビットがセットされた場合、エラーを示すために割り込みが生成されます。

受信モードで I²S をスイッチオフするには、最後の RXNE = 1 を受信した直後に I2SE をクリアする必要があります。

注 : ***外部マスタコンポーネントには、オーディオチャネルを介して 16 ビットまたは 32 ビットのパケットでデータを送受信する機能が必要です。***

24.4.6 ステータスフラグ

I²S バスの状態を完全に監視するため、アプリケーションには 3 つのステータスフラグが用意されています。

ビジーフラグ（BSY）

BSY フラグは、ハードウェアによってセット/クリアされます（このフラグへの書き込みは無効です）。このフラグは I²S の通信層の状態を示します。

BSY がセットされると、I²S が通信中でビジーであることを示します。マスタ受信モード（I2SCFG = 11）には 1 つの例外があり、BSY フラグは受信時にローレベルに保持されます。

ソフトウェアが I²S を無効にする必要がある場合、BSY フラグは転送の終わりを検出するために役立ちます。これによって、最後の転送データの破壊を回避します。このため、下記の手順を厳しく順守する必要があります。

BSY フラグは転送が開始されるとセットされます。ただし、I²S がマスタレシーバモードにある場合を除きます。

BSY フラグのクリア :

- 転送が完了したとき（ただし、マスタ送信モードの場合は通信は連続的であると考えられます）
- I²S が無効にされたとき

通信が連続的なとき :

- マスタ送信モードでは、BSY フラグは転送時にハイレベルに保持されます。
- スレーブモードでは、BSY フラグは、各転送間で I²S の 1 クロックサイクルの間ローレベルになります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

注： *各データの送受信の処理にはBSY フラグを使用しないでください。代わりに 、TXE フラグと RXNE フラグを使用することをお勧めします。*

送信バッファエンプティフラグ（TXE）

このフラグがセットされると、送信バッファは空であり、次に送信するデータをロードできることを示します。送信されるデータがすでに送信バッファに格納されているとき、TXE フラグはリセットされます。TXE フラグは、I^2S が無効にされている（I2SE ビットがリセット）ときにもリセットされます。

受信バッファノットエンプティ（RXNE）

このフラグがセットされると、受信バッファに有効な受信データがあることを示します。このフラグは、SPI_DR レジスタが読み出されるとリセットされます。

チャネルサイドフラグ（CHSIDE）

送信モードでは、このフラグは TXE がハイレベルになるとリフレッシュされます。このフラグは、SD 上の転送データが属するチャネルサイドを示します。スレーブ送信モードでアンダーランエラーイベントが発生した場合、このフラグは信頼できないため、通信をリスタートする前に、I^2S をスイッチオフし、さらにスイッチオンする必要があります。

受信モードでは、このフラグは SPI_DR にデータが受信されるとリフレッシュされます。このフラグは、どちらのチャネルサイドからデータが受信されたかを示します。なお、エラー（OVR など）が発生した場合、このフラグは無意味になるため、I^2S を無効にし、さらに有効にすることによってリセットする必要があります（変更が必要な場合は設定します）。

このフラグは、PCM 規格では意味を持ちません（ショートおよびロングフレームモード）。

SPI_SR の OVR または UDR フラグがセットされ、SPI_CR2 の ERRIE ビットもセットされると、割り込みが生成されます。この割り込みをクリアするには、割り込みソースをいったんクリアした後で、SPI_SR ステータスレジスタを読み出します。

24.4.7 エラーフラグ

I^2S セルには 2 つのエラーフラグがあります。

アンダーランフラグ（UDR）

スレーブ送信モードでは、ソフトウェアが SPI_DR にまだ値をロードしていない間に、データ送信用の最初のクロックが現われると、このフラグがセットされます。このフラグは、SPI_I2SCFGR の I2SMOD ビットがセットされると使用できます。SPI_CR2 の ERRIE ビットがセットされた場合、割り込みが生成されることがあります。
UDR ビットは、SPI_SR レジスタの読み出し動作によってクリアされます。

オーバーランフラグ（OVR）

このフラグがセットされるのは、データが受信され、前のデータが SPI_DR からまだ読み出されていないときです。結果として、受信データは失われます。SPI_CR2 の ERRIE ビットがセットされた場合、割り込みが生成されることがあります。

この場合、受信バッファの内容は、送信側のデバイスからの新しい受信データによって更新されません。SPI_DR レジスタへの読み出し動作によって、以前に正しく受信されたデータが返されます。それ以降に送信されたすべてのハーフワードは失われます。

OVR ビットをクリアするには、SPI_DR レジスタを読み出し、続けて SPI_SR レジスタに読み出しアクセスを行います。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

24.4.8 I²S 割り込み

表 184 に I²S 割り込みのリストを示します。

表184. I²S 割り込みリクエスト

割り込みイベント	イベントフラグ	イネーブル制御ビット
送信バッファエンプティフラグ	TXE	TXEIE
受信バッファノットエンプティフラグ	RXNE	RXNEIE
オーバーランエラー	OVR	ERRIE
アンダーランエラー	UDR	

24.4.9 DMA 機能

DMA は SPI モードとまったく同じように機能します。I²S の場合も違いはありません。I²S モードではデータ転送保護システムがないため、CRC 機能が使用できないだけです。

24.5 SPI レジスタと I²S レジスタ

レジスタの説明で使用されている略語については、*セクション 1.1 (40 ページ)* を参照してください。

ペリフェラルレジスタには、ハーフワード（16 ビット）またはワード（32 ビット）単位でアクセスできます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

24.5.1 SPI 制御レジスタ 1（SPI_CR1）（I²S モードでは使用しません）

アドレスオフセット：0x00

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BIDI MODE	BIDI OE	CRC EN	CRC NEXT	DFF	RX ONLY	SSM	SSI	LSB FIRST	SPE	BR[2:0]			MSTR	CPOL	CPHA
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15 **BIDIMODE**：双方向データモードイネーブル

0：2 線単方向データモードを選択

1：1 線双方向データモードを選択

注： I^2S モードでは未使用

ビット 14 **BIDIOE**：双方向モードでの出力イネーブル

双方向モードでの転送方向は、このビットと BIDImode ビットを組み合わせて選択します。

0：出力無効（受信専用モード）

1：出力有効（送信専用モード）

注： マスタモードでは MOSI ピンが使用され、スレーブモードでは MISO ピンが使用されます。
I^2S モードでは未使用

ビット 13 CRCEN：ハードウェア CRC 計算イネーブル

0：CRC 計算は無効

1：CRC 計算は有効

注： 正しい動作のためには、このビットへの書き込みは、SPI が無効（SPE = “0”）であるときにのみ行います。
I^2S モードでは未使用

ビット 12 **CRCNEXT**：CRC 送信指示

0：次の送信値は送信バッファからです

1：次の送信値は送信 CRC レジスタからです

注： このビットは、最後のデータが SPI_DR レジスタに書き込まれた直後に書き込む必要があります。
I^2S モードでは未使用

ビット 11 **DFF**：データフレームフォーマット

0：送受信に 8 ビットデータフレームフォーマットが選択されます

1：送受信に 16 ビットデータフレームフォーマットが選択されます

注： 正しい動作のためには、このビットへの書き込みは、SPI が無効（SPE = “0”）であるときにのみ行います。
I^2S モードでは未使用

ビット 10 **RXONLY**：受信専用

2 線単方向モードでの転送方向は、このビットと BIDImode ビットを組み合わせて選択します。このビットはマルチスレーブシステムでも役立ちます。つまり、この特定のスレーブはアクセスされず、アクセスされたスレーブからの出力は破壊されません。

0：全二重（送受信）

1：出力無効（受信専用モード）

注： I^2S モードでは未使用

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 9 **SSM**：ソフトウェアスレーブ管理

SSM ビットがセットされているとき、NSS ピンの入力は SSI ビットからの値によって置き換えられます。

0：ソフトウェアスレーブ管理は無効

1：ソフトウェアスレーブ管理は有効

注： I^2S モードでは未使用

ビット 8 **SSI**：内部スレーブ選択

このビットは、SSM ビットがセットされているときにのみ有効です。このビットの値は NSS ピンに設定され、NSS ピンの IO 値は無視されます。

注： I^2S モードでは未使用

ビット 7 **LSBFIRST**：フレームフォーマット

0：MSB が最初に送信されます

1：LSB が最初に送信されます

注： このビットは、通信中には変更しないでください。

I^2S モードでは未使用

ビット 6 **SPE**：SPI イネーブル

0：ペリフェラルは無効

1：ペリフェラルは有効

注： 1- I^2S モードでは未使用。

*注： 2- SPI を無効にするときには、セクション 24.3.8：SPI の無効化*で説明する手順に従ってください。

ビット 5:3 **BR[2:0]**：ボーレート制御

000：$f_{PCLK}/2$

001：$f_{PCLK}/4$

010：$f_{PCLK}/8$

011：$f_{PCLK}/16$

100：$f_{PCLK}/32$

101：$f_{PCLK}/64$

110：$f_{PCLK}/128$

111：$f_{PCLK}/256$

注： これらのビットは、通信中には変更しないでください。

I^2S モードでは未使用

ビット 2 **MSTR**：マスタ選択

0：スレーブ設定

1：マスタ設定

注： このビットは、通信中には変更しないでください。

I^2S モードでは未使用

ビット 1 **CPOL**：クロック極性

0：アイドル時に 0 に CK

1：アイドル時に 1 に CK

注： このビットは、通信中には変更しないでください。

I^2S モードでは未使用

ビット 0 **CPHA**：クロック位相

0：最初のクロック遷移が最初のデータキャプチャエッジです

1：2 番目のクロック遷移が最初のデータキャプチャエッジです

注： このビットは、通信中には変更しないでください。

注： I^2S モードでは未使用

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

24.5.2 SPI 制御レジスタ 2（SPI_CR2）

アドレスオフセット：0x04

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								TXEIE	RXNEIE	ERRIE	予約済み		SSOE	TXDMAEN	RXDMAEN
								rw	rw	rw			rw	rw	rw

ビット 15:8 予約済み。ハードウェアによって 0 に固定されています。

ビット 7 **TXEIE**：送信バッファエンプティ割り込みイネーブル
0：TXE 割り込みはマスクされます。
1：TXE 割り込みはマスクされません。TXE フラグがセットされたとき、割り込みリクエストの生成に使用されます。

ビット 6 **RXNEIE**：受信バッファノットエンプティ割り込みイネーブル
0：RXNE 割り込みはマスクされます。
1：RXNE 割り込みはマスクされません。RXNE フラグがセットされたとき、割り込みリクエストの生成に使用されます。

ビット 5 **ERRIE**：エラー割り込みイネーブル
このビットは、エラー条件が発生したとき（SPI モードでは CRCERR、OVR、MODF。I^2S モードでは UDR、OVR）、割り込みの生成を制御します。
0：エラー割り込みはマスクされます。
1：エラー割り込みは有効です。

ビット 4:3 予約済み。ハードウェアによって 0 に固定されています。

ビット 2 **SSOE**：SS 出力イネーブル
0：マスタモードで SS 出力は無効にされ、セルはマルチマスタ設定で機能できます。
1：マスタモードでセルが有効であるとき、SS 出力は有効です。セルはマルチマスタ環境では機能しません。

注：　I^2S モードでは未使用

ビット 1 **TXDMAEN**：送信バッファ DMA イネーブル
このビットがセットされると、TXE フラグがセットされるたびに DMA リクエストが行われます。
0：送信バッファ DMA 無効
1：送信バッファ DMA 有効

ビット 0 **RXDMAEN**：受信バッファ DMA イネーブル
このビットがセットされると、RXNE フラグがセットされるたびに DMA リクエストが行われます。
0：受信バッファ DMA 無効
1：受信バッファ DMA 有効

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

24.5.3 SPI ステータスレジスタ（SPI_SR）

アドレスオフセット：0x08

リセット値：0x0002

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								BSY	OVR	MODF	CRC ERR	UDR	CHSIDE	TXE	RXNE
								r	r	r	rc_w0	r	r	r	r

ビット 15:8 予約済み。ハードウェアによって 0 に固定されています。

ビット 7 **BSY**：ビジーフラグ

0：SPI（または I2S）はビジー状態ではありません。

1：SPI（または I2S）が通信ビジー状態であるか、または送信バッファが空ではありません。

このフラグはハードウェアによってセット/クリアされます。

注： BSY フラグの使用には注意が必要です（セクション 24.3.7：ステータスフラグおよびセクション 24.3.8：SPI の無効化 を参照）。

ビット 6 **OVR**：オーバーランフラグ

0：オーバーランは発生していません。

1：オーバーランが発生しました。

このフラグは、ハードウェアによってセットされ、ソフトウェアシーケンスによってリセットされます。ソフトウェアシーケンスについては、*セクション 24.4.7（697 ページ）*を参照してください。

ビット 5 **MODF**：モードフォールト

0：モードフォールトは発生していません。

1：モードフォールトが発生しました。

このフラグは、ハードウェアによってセットされ、ソフトウェアシーケンスによってリセットされます。ソフトウェアシーケンスについては、*セクション 24.3.10（679 ページ）*を参照してください。

注： I^2S モードでは未使用

ビット 4 **CRCERR**：CRC エラーフラグ

0：受信した CRC 値が SPI_RXCRCR 値と一致します。

1：受信した CRC 値が SPI_RXCRCR 値と一致しません。

このフラグは、ハードウェアによってセットされ、ソフトウェアによって 0 を書き込むことでクリアされます。

注： I^2S モードでは未使用

ビット 3 **UDR**：アンダーランフラグ

0：アンダーランが発生しませんでした。

1：アンダーランが発生しました。

このフラグは、ハードウェアによってセットされ、ソフトウェアシーケンスによってリセットされます。ソフトウェアシーケンスについては、*セクション 24.4.7（697 ページ）*を参照してください。

注： SPI モードでは未使用

ビット 2 **CHSIDE**：チャネルサイド

0：左チャネルを送信する必要があるか、または受信が行われました。

1：右チャネルを送信する必要があるか、または受信が行われました。

注： SPI モードでは未使用です。PCM モードでは意味を持ちません。

ビット 1 **TXE**：送信バッファエンプティ

0：送信バッファは空ではありません。

1：送信バッファは空です。

ビット 0 **RXNE**：受信バッファノットエンプティ

0：受信バッファは空です。

1：受信バッファは空ではありません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

24.5.4 SPI データレジスタ（SPI_DR）

アドレスオフセット：0x0C

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DR [15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **DR[15:0]**：データレジスタ

受信されたデータ、または送信されるデータ。

データレジスタは 2 つのバッファに分割されます。一方は書き込み用（送信バッファ）であり、もう一方は読み出し用（受信バッファ）です。データレジスタへの書き込みは、送信バッファへの書き込みになります。データレジスタからの読み出しでは、受信バッファに保持されている値が返されます。

SPI モードについての注意：

送受信されるデータは、データフレームフォーマットの選択ビット（SPI_CR1 レジスタの DFF ビット）に応じて、8 ビットまたは 16 ビットになります。正しい動作のためには、この選択を行ってから、SPI を有効にする必要があります。

8 ビットデータフレームの場合、バッファは 8 ビットであり、レジスタの LSB（SPI_DR[7:0]）のみが送受信に使用されます。受信モードのとき、レジスタの MSB（SPI_DR[15:8])は 0 に強制されます。

16 ビットデータフレームの場合、バッファは 16 ビットであり、レジスタ全体（SPI_DR[15:0]）が送受信に使用されます。

24.5.5 SPI CRC 多項式レジスタ（SPI_CRCPR）（I^2S モードでは未使用）

アドレスオフセット：0x10

リセット値：0x0007

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CRCPOLY[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **CRCPOLY[15:0]**：CRC 多項式レジスタ

このレジスタは、CRC 計算用の多項式を内蔵します。

CRC 多項式（0007h）は、このレジスタのリセット値です。他の多項式は、必要に応じて設定することができます。

注：　I^2S モードでは未使用。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

24.5.6 SPI 受信用 CRC レジスタ（SPI_RXCRCR）（I²S モードでは未使用）

アドレスオフセット：0x14

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RxCRC[15:0]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 15:0 **RXCRC[15:0]**：Rx CRC レジスタ

CRC 計算が有効なとき、RxCRC[15:0] ビットには、その後に受信したバイトから算出された CRC 値が格納されています。このレジスタは、SPI_CR1 レジスタの CRCEN ビットに 1 が書き込まれたときにリセットされます。CRC は、SPI_CRCPR レジスタにプログラミングされた多項式を使用して連続的に計算されます。

データフレームフォーマットが 8 ビットデータに設定された場合（SPI_CR1 の DFF ビットがクリア）、8 つの LSB ビットのみが考慮されます。CRC 計算は、任意の CRC8 規格に基づいて行われます。

16 ビットデータフレームフォーマットが選択された場合（SPI_CR1 レジスタの DFF ビットがセット）、このレジスタの 16 ビット全体が考慮されます。CRC 計算は、任意の CRC16 規格に基づいて行われます。

注： BSY フラグがセットされているときにこのレジスタを読み出すと、誤った値が返されることがあります。
I²S モードでは未使用。

24.5.7 SPI 送信用 CRC レジスタ（SPI_TXCRCR）（I²S モードでは未使用）

アドレスオフセット：0x18

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TxCRC[15:0]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 15:0 **TxCRC[15:0]**：Tx CRC レジスタ

CRC 計算が有効なとき、TxCRC[7:0] ビットには、その後に送信されたバイトから算出された CRC 値が格納されます。このレジスタは、SPI_CR1 の CRCEN ビットに 1 が書き込まれたときにリセットされます。CRC は、SPI_CRCPR レジスタにプログラミングされた多項式を使用して連続的に計算されます。

データフレームフォーマットが 8 ビットデータに設定された場合（SPI_CR1 の DFF ビットがクリア）、8 つの LSB ビットのみが考慮されます。CRC 計算は、任意の CRC8 規格に基づいて行われます。

16 ビットデータフレームフォーマットが選択された場合（SPI_CR1 レジスタの DFF ビットがセット）、このレジスタの 16 ビット全体が考慮されます。CRC 計算は、任意の CRC16 規格に基づいて行われます。

注： BSY フラグがセットされているときにこのレジスタを読み出すと、誤った値が返されることがあります。
I²S モードでは未使用。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

24.5.8 SPI_I²S 設定レジスタ（SPI_I2SCFGR）

アドレスオフセット：0x1C

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み				I2SMOD	I2SE	I2SCFG		PCMSYNC	予約済み	I2SSTD		CKPOL	DATLEN		CHLEN
				rw	rw	rw	rw	rw		rw	rw	rw	rw	rw	rw

ビット 15:12 予約済み：ハードウェアによって 0 に固定されています。

ビット 11 **I2SMOD**：I2S モード選択
0：SPI モードが選択されます。
1：I2S モードが選択されます。
注： このビットは、SPI または I²S が無効なときに設定してください。

ビット 10 **I2SE**：I2S イネーブル
0：I²S ペリフェラルは無効です。
1：I²S ペリフェラルは有効です。
注： SPI モードでは未使用

ビット 9:8 **I2SCFG**：I2S 設定モード
00：スレーブ - 送信
01：スレーブ - 受信
10：マスタ - 送信
11：マスタ - 受信
注： このビットは、I²S が無効なときに設定してください。
SPI モードでは未使用

ビット 7 **PCMSYNC**：PCM フレーム同期
0：ショートフレーム同期
1：ロングフレーム同期
注： このビットは、I2SSTD = 11（PCM 規格使用）の場合にのみ意味を持ちます。
SPI モードでは未使用

ビット 6 予約済み：ハードウェアによって 0 に固定されています。

ビット 5:4 **I2SSTD**：I2S 規格選択
00：I²S フィリップス規格
01：MSB 詰め規格（左詰め）
10：LSB 詰め規格（右詰め）
11：PCM 規格
I²S 規格の詳細については、*セクション 24.4.2（682 ページ）*を参照してください。
注： 正しい動作のためには、これらのビットは、I²S が無効のときに設定してください。
SPI モードでは未使用

ビット 3 **CKPOL**：定常状態クロック極性
0：I²S クロックの定常状態はローレベルです。
1：I²S クロックの定常状態はハイレベルです。
注： 正しい動作のためには、このビットは I²S が無効のときに設定してください。
SPI モードでは未使用

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 2:1 **DATLEN**：転送されるデータ長
00：16 ビットデータ長
01：24 ビットデータ長
10：32 ビットデータ長
11：許されません。

注： 正しい動作のためには、これらのビットは、I²S が無効のときに設定してください。
SPI モードでは未使用

ビット 0 **CHLEN**：チャネル長（オーディオチャネルごとのビット数）
0：16 ビット幅
1：32 ビット幅
ビット書き込み動作は、DATLEN=00 のときにのみ意味を持ちます。そうでない場合、書き込まれた値とは無関係に、チャネル長はハードウェアによって 32 ビットに固定されます。

注： 正しい動作のためには、このビットは I²S が無効のときに設定してください。
SPI モードでは未使用

24.5.9 SPI_I²S プリスケーラレジスタ（SPI_I2SPR）

アドレスオフセット：0x20

リセット値：0000 0010（0x0002）

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み						MCKOE	ODD	I2SDIV							
						rw	rw	rw							

ビット 15:10 予約済み：ハードウェアによって 0 に固定されています。

ビット 9 **MCKOE**：マスタクロック出力イネーブル
0：マスタクロック出力は無効です。
1：マスタクロック出力は有効です。

注： このビットは、I²S が無効なときに設定してください。このビットは、I²S がマスタモードのときにのみ使用されます。
SPI モードでは未使用。

ビット 8 **ODD**：プリスケーラの奇除数
0：真のディバイダ値 = I2SDIV *2
1：真のディバイダ値 = (I2SDIV * 2)+1
*セクション 24.4.3（689 ページ）*を参照してください。

注： このビットは、I²S が無効なときに設定してください。このビットは、I²S がマスタモードのときにのみ使用されます。
SPI モードでは未使用

ビット 7:0 **I2SDIV**：I2S リニアプリスケーラ
I2SDIV [7:0] = 0 または I2SDIV [7:0] = 1 は禁止されている値です。
*セクション 24.4.3（689 ページ）*を参照してください。

注： これらのビットは、I²S が無効なときに設定してください。このビットは、I²S がマスタモードのときにのみ使用されます。
SPI モードでは未使用。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

24.5.10 SPI レジスタマップ

次の表に、SPI レジスタマップとリセット値を示します。

表185. SPI レジスタマップとリセット値

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	SPI_CR1	予約済み																BIDIMODE	BIDIOE	CRCEN	CRCNEXT	DFF	RXONLY	SSM	SSI	LSBFIRST	SPE	BR[2:0]			MSTR	CPOL	CPHA
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x04	SPI_CR2	予約済み																								TXEIE	RXNEIE	ERRIE	予約済み		SSOE	TXDMAEN	RXDMAEN
	リセット値																									0	0	0			0	0	0
0x08	SPI_SR	予約済み																								BSY	OVR	MODF	CRCERR	UDR	CHSIDE	TXE	RXNE
	リセット値																									0	0	0	0	0	0	1	0
0x0C	SPI_DR	予約済み																DR [15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x10	SPI_CRCPR	予約済み																CRCPOLY[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1
0x14	SPI_RXCRCR	予約済み																RxCRC[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x18	SPI_TXCRCR	予約済み																TxCRC[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x1C	SPI_I2SCFGR	予約済み																				I2SMOD	I2SE	I2SCFG		PCMSYNC	予約済み	I2SSTD		CKPOL	DATLEN		CHLEN
	リセット値																					0	0	0	0	0		0	0	0	0	0	0
0x20	SPI_I2SPR	予約済み																						MCKOE	ODD	I2SDIV							
	リセット値																							0	0	0	0	0	0	0	0	1	0

注： レジスタ境界アドレスの表を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

25 I²C（Inter-Integrated Circuit）インタフェース

小容量デバイスは、フラッシュメモリ容量が 16～32 KB の STM32F101xx、STM32F102xx、および STM32F103xxマイクロコントローラです。

中容量デバイスは、フラッシュメモリ容量が 64～128 KB の STM32F101xx、STM32F102xx、および STM32F103xxマイクロコントローラです。

大容量デバイスは、フラッシュメモリ容量が 256～512 KB の STM32F101xx および STM32F103xx マイクロコントローラです。

特大容量デバイスは、フラッシュメモリ容量が 768 KB～1 MB の STM32F101xx および STM32F103xx マイクロコントローラです。

コネクティビティラインデバイスは、STM32F105xx および STM32F107xx マイクロコントローラです。

このセクションは、別段の指定がない限り、STM32F10xxx ファミリ全体に適用されます。

25.1 I²C の概要

I²C（Inter-Integrated Circuit）バスインタフェースは、マイクロコントローラとシリアル I²C バスとの間のインタフェースとして機能します。このインタフェースはマルチマスタ機能を提供し、I²C バス固有のすべてのシーケンシング、プロトコル、アービトレーション、およびタイミングを制御します。また、標準モードと高速モードをサポートし、SMBus 2.0 に準拠しています。

このインタフェースは、CRC の生成と検証、SMBus（System Management Bus）、PMBus（Power Management Bus）など、さまざまな目的に使用できます。

デバイスによっては、CPU の負荷を軽減するために DMA 機能を使用できるものもあります。

25.2 I²C の主な機能

- パラレルバス/I²C プロトコル間のコンバータ
- マルチマスタ機能：同じインタフェースがマスタまたはスレーブとして機能
- I²C マスタの機能：
  - クロック生成
  - START 信号、STOP 信号の生成
- I²C スレーブの機能：
  - プログラマブルな I²C アドレス検出
  - 2 つのスレーブアドレスを確認応答するデュアルアドレス機能
  - ストップビット検出
- 7 ビット/10 ビットアドレッシングおよび同報（General Call）の生成と検出
- 複数の通信速度をサポート：
  - 標準モード（最大 100 kHz）
  - 高速モード（最大 400 kHz）
- ステータスフラグ：
  - トランスミッタ/レシーバモードフラグ
  - 最終バイト送信フラグ

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

  - I²C ビジーフラグ
- エラーフラグ：
  - マスタモードのアービトレーションロスト条件
  - アドレス/データ送信後の確認応答障害
  - START/STOP コンディションの誤配置検出
  - クロック伸長が無効な場合のオーバーラン/アンダーラン
- 2 つの割り込みベクタ：
  - 正常なアドレス/データ通信用の割り込み
  - エラー条件用の割り込み
- クロック伸長オプション
- DMA 機能付きの 1 バイトバッファ
- 設定可能な PEC（Packet Error Checking）の生成/検証；
  - PEC 値は、送信モードで最終バイトとして送信可能
  - 最後の受信バイトの PEC エラーチェック
- SMBus 2.0 互換性：
  - クロックロータイムアウト遅延：25 ms
  - マスタのクロックロー累積伸長時間：10 ms
  - スレーブのクロックロー累積伸長時間：25 ms
  - ハードウェアによる PEC 生成/検証（ACK 制御付き）
  - ARP（アドレス解決プロトコル）のサポート
- PMBus 互換性

注： ***製品によっては、上記の機能の一部を使用できないことがあります。搭載されている I²C インタフェースによってサポートされる特定の機能については、製品のデータシートを参照してください。***

25.3 I²C 機能の説明

データの送受信に加えて、このインタフェースは、データをシリアル形式からパラレル形式（およびその逆）に変換します。割り込みは、ソフトウェアによって有効または無効にできます。このインタフェースは、データピン（SDA）とクロックピン（SCL）によって I²C バスに接続されます。標準（最大 100 kHz）または高速（最大 400 kHz）タイプの I²C バスと接続できます。

25.3.1 モード選択

このインタフェースは、次の 4 つのモードのいずれかで動作できます。

- スレーブトランスミッタ
- スレーブレシーバ
- マスタトランスミッタ
- マスタレシーバ

デフォルトでは、スレーブモードで動作します。このインタフェースは、START コンディションを生成した後でスレーブからマスタに、アービトレーションロスまたは STOP 生成が生じた場合はマスタからスレーブに、それぞれ自動的に切り替わることで、マルチマスタ機能を可能にします。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

通信の流れ

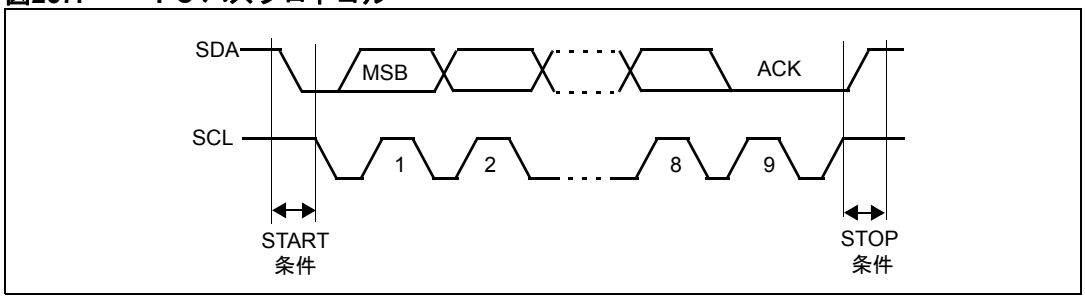
マスタモードでは、I²C インタフェースは、データ転送を開始し、クロック信号を生成します。シリアルデータ転送は、常に START コンディションで始まり、STOP コンディションで終わります。START コンディションと STOP コンディションは、マスタモードではソフトウェアによって生成されます。

スレーブモードでは、このインタフェースは、自己アドレス（7 または 10 ビット）と同報（General call）アドレスを認識できます。同報アドレスの検出は、ソフトウェアによって有効/無効にできます。

データとアドレスは、MSB ファーストの 8 ビットバイトとして転送されます。START コンディションの後に続く最初のバイト（7 ビットモードでは 1 バイト、10 ビットモードでは 2 バイト）にアドレスが含まれています。アドレスは、常にマスタモードで送信されます。

8 クロックサイクルのバイト転送の後には 9 番目のクロックパルスが続きます。その間に、レシーバはトランスミッタに確認応答ビットを送信する必要があります。次の図を参照してください。

図267. I²C バスプロトコル

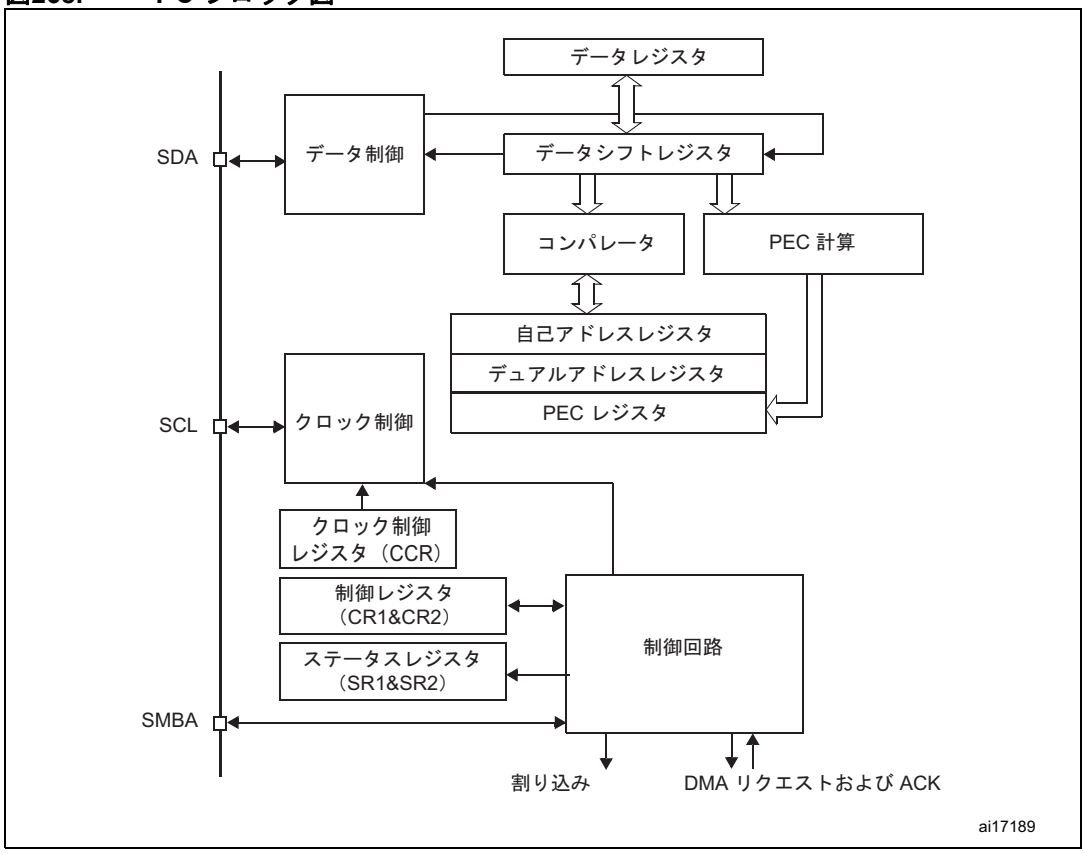


確認応答は、ソフトウェアによって有効/無効にできます。I²C インタフェースアドレス（デュアルアドレッシングの 7 ビット/10 ビットや同報アドレス）は、ソフトウェアによって選択できます。

図 268 に、I²C インタフェースのブロック図を示します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図268. I²C ブロック図



1. SMBA は、SMBus モードでのオプション信号です。SMBus が無効な場合、この信号は適用されません。

25.3.2 I²C スレーブモード

デフォルトでは、I²C インタフェースはスレーブモードで動作します。デフォルトのスレーブモードからマスタモードに切り替えるには、START コンディションの生成が必要です。

正しいタイミングを生成するには、ペリフェラル入力クロックを I2C_CR2 レジスタにプログラミングする必要があります。ペリフェラル入力クロックは、少なくとも次の周波数以上でなければなりません。

- 標準モード：2 MHz
- 高速モード：4 MHz

START コンディションが検出されると、アドレスは、SDA ラインから受信されて、シフトレジスタに送信されます。その後、このアドレスはインタフェースのアドレス（OAR1）および OAR2（ENDUAL=1 の場合）または同報アドレス（ENGC = 1 の場合）と比較されます。

注： ***10 ビットアドレスモードでは、この比較にはヘッダシーケンス（11110xx0）が含まれます。ここで、xx はアドレスの上位 2 ビットを示します。***

ヘッダまたはアドレスの不一致：インタフェースはこれを無視し、別の START コンディションを待ちます。

ヘッダー致（10 ビットモードのみ）：インタフェースは、ACK ビットがセットされている場合は確認応答パルスを生成し、8 ビットのスレーブアドレスを待ちます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

アドレス一致：インタフェースは次の順序で動作します。

- ACK ビットがセットされている場合、確認応答パルスを生成します。
- ADDR ビットがハードウェアによってセットされ、ITEVFEN ビットがセットされている場合は割り込みが生成されます。
- ENDUAL=1 の場合、ソフトウェアは、DUALF ビットを読み出して、どのスレーブアドレスが確認応答されたかをチェックする必要があります。

10 ビットモードでは、アドレスシーケンスの受信後、スレーブは常にレシーバモードになります。スレーブがトランスミッタモードに入るのは、反復 START コンディションの後、一致するアドレスビットを持ち、最下位ビットがセットされた（11110xx1）ヘッダシーケンスを受信したときです。

TRA ビットは、スレーブがレシーバモードかトランスミッタモードかを示します。

スレーブトランスミッタ

アドレス受信に続いて、ADDR をクリアした後、スレーブは、内部シフトレジスタを介して DR レジスタから SDA ラインにバイトを送信します。

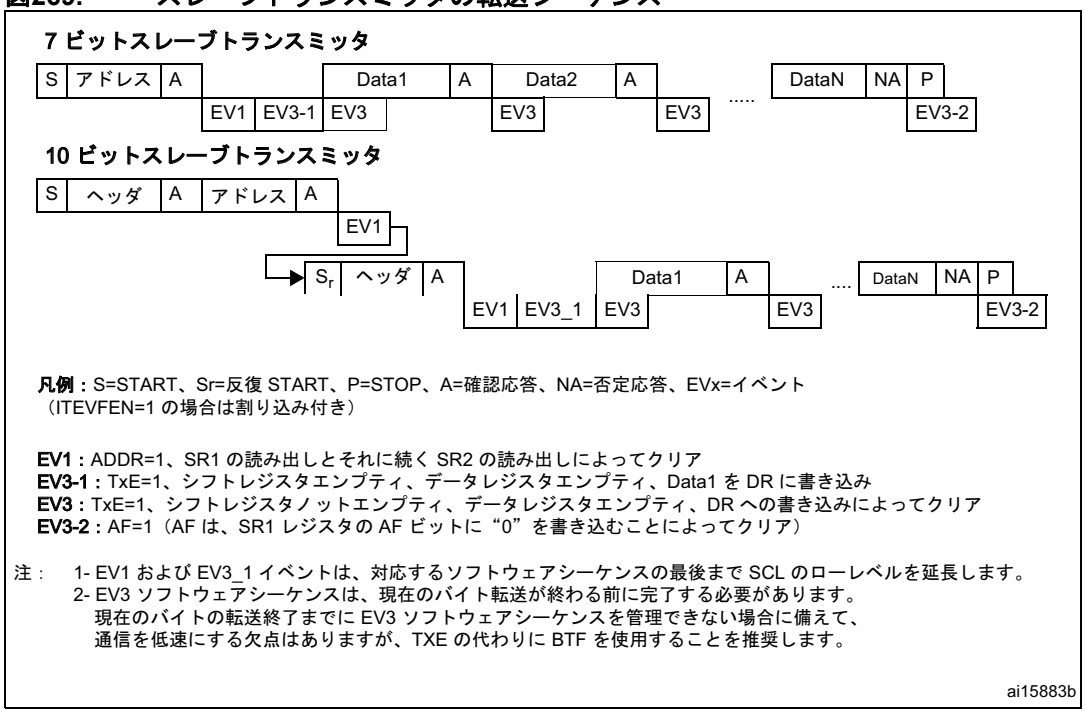
スレーブは、ADDR がクリアされ、DR に送信データが書き込まれるまで、SCL のローレベルを伸長します（*図 269* 転送シーケンス EV1 EV3 を参照）。

確認応答パルスが受信されると：

- TxE ビットがハードウェアによってセットされ、ITEVFEN および ITBUFEN ビットがセットされている場合は割り込みが生成されます。

TxE がセットされ、次のデータ送信の終わりまでに I2C_DR レジスタに一部のデータが書き込まれていない場合、BTF ビットがセットされ、インタフェースは、I2C_SR1 の読み出しと、それに続く I2C_DR レジスタへの書き込みによって BTF がクリアされるまで、SCL のローレベルを伸長して待ちます。

図269. スレーブトランスミッタの転送シーケンス



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

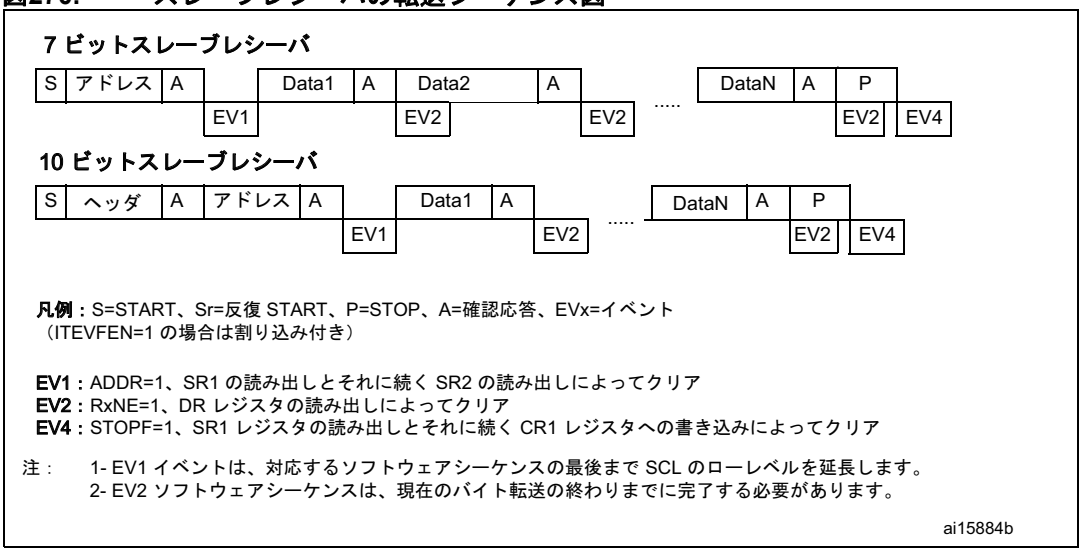
スレーブレシーバ

アドレス受信に続いて、ADDR がクリアされた後、スレーブは、SDA ラインからのバイトを内部シフトレジスタを介して DR レジスタに受信します。各バイトの後、インタフェースは次の順序で動作します。

- ACK ビットがセットされている場合、確認応答パルスを生成します。
- RxNE ビットがハードウェアによってセットされ、ITEVFEN および ITBUFEN ビットがセットされている場合は割り込みが生成されます。

RxNE がセットされ、次のデータ受信の終わりまでに DR レジスタ内のデータが読み出されなかった場合、BTF ビットがセットされます。インタフェースは、I2C_SR1 の読み出しと、それに続く I2C_DR レジスタの読み出しによって BTF がクリアされるまで、SCL のローレベルを伸長して待ちます（*図 270* 転送シーケンスを参照）。

図270. スレーブレシーバの転送シーケンス図



スレーブ通信の終了

最後のデータバイトが転送された後、マスタは STOP コンディションを生成します。インタフェースは、この条件を検出して、次の動作を行います。

- STOPF ビットをセットし、ITEVFEN ビットがセットされている場合は割り込みを生成します。

次に、インタフェースは、SR1 レジスタの読み出しと、それに続く CR1 レジスタへの書き込みを待ちます（*図 270* 転送シーケンス EV4 を参照）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

25.3.3 I²C マスタモード

マスタモードでは、I²C インタフェースは、データ転送を開始し、クロック信号を生成します。シリアルデータ転送は、常に START コンディションで開始され、STOP コンディションで終わります。スタートビットによってバス上に START コンディションが生成されると、すぐにマスタモードが選択されます。

次に、マスタモードで必要なシーケンスを示します。

- 正しいタイミングを生成するため、I2C_CR2 レジスタにペリフェラル入力クロックをプログラミングします。
- クロック制御レジスタを設定します。
- 立ち上がり時間レジスタを設定します。
- I2C_CR1 レジスタのプログラミングによってペリフェラルを有効にします。
- I2C_CR1 レジスタのスタートビットをセットして、START コンディションを生成します。

ペリフェラル入力クロックは、少なくとも次の周波数以上でなければなりません。

- 標準モード：2 MHz
- 高速モード：4 MHz

START コンディション

BUSY ビットがクリアされているときにスタートビットをセットすると、インタフェースは START コンディションを生成し、マスタモードに切り替わります（M/SL=1）。

注： ***マスタモードでスタートビットをセットすると、インタフェースは、現在のバイト転送の最後にリスタート条件を生成します。***

START コンディションが送信されると、

- SB ビットがハードウェアによってセットされ、ITEVFEN ビットがセットされている場合は割り込みが生成されます。

次に、マスタは、SR1 レジスタの読み出しと、それに続く DR レジスタへのスレーブアドレスの書き込みを待ちます（*図 271* と*図 272* の転送シーケンス EV5 を参照）。

スレーブアドレス送信

次に、内部シフトレジスタを介して、スレーブアドレスが SDA ラインに送信されます。

- 10 ビットアドレスモードでは、ヘッダシーケンスの送信によって、次のイベントが発生します。
  - ADD10 ビットがハードウェアによってセットされ、ITEVFEN ビットがセットされている場合は割り込みが生成されます。

  次に、マスタは、SR1 レジスタの読み出しと、それに続く DR レジスタへの 2 番目のアドレスバイトの書き込みを待ちます（*図 271* と*図 272* の転送シーケンスを参照）。
  - ADDR ビットがハードウェアによってセットされ、ITEVFEN ビットがセットされている場合は割り込みが生成されます。

  次に、マスタは、SR1 レジスタの読み出しと、それに続く SR2 レジスタの読み出しを待ちます（*図 271* と*図 272* の転送シーケンスを参照）。
- 7 ビットアドレスモードでは、1 個のアドレスバイトが送信されます。

  アドレスバイトが送信されると、
  - ADDR ビットがハードウェアによってセットされ、ITEVFEN ビットがセットされている場合は割り込みが生成されます。

  次に、マスタは、SR1 レジスタの読み出しと、それに続く SR2 レジスタの読み出しを待ちます（*図 271* と*図 272* の転送シーケンスを参照）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

マスタは、送信されたスレーブアドレスの LSB に応じて、トランスミッタモードに入るか、レシーバモードに入るかを決定できます。

- 7 ビットアドレスモードでは、
  - トランスミッタモードに入るには、マスタは、LSB をリセットしたスレーブアドレスを送信します。
  - レシーバモードに入るには、マスタは、LSB をセットしたスレーブアドレスを送信します。
- 10 ビットアドレスモードでは、
  - トランスミッタモードに入るには、マスタは、ヘッダ（11110xx0）を送信してから、スレーブアドレスを送信します（xx はアドレスの上位 2 ビットです）。
  - レシーバモードに入るには、マスタは、ヘッダ（11110xx0）を送信してから、スレーブアドレスを送信します。さらに、反復 START コンディションと、それに続いてヘッダ（11110xx1）を送信します（xx はアドレスの上位 2 ビットです）。

  TRA ビットは、マスタがレシーバモードにあるか、トランスミッタモードにあるかを示します。

マスタトランスミッタ

アドレス送信に続いて ADDR がクリアされた後、マスタは、内部シフトレジスタを介して DR レジスタから SDA ラインにバイトを送信します。

マスタは、最初のデータバイトが I2C_DR に書き込まれるまで待ちます（*図 271* 転送シーケンスの EV8_1を参照）。

確認応答パルスが受信されると：

- TxE ビットがハードウェアによってセットされ、ITEVFEN および ITBUFEN ビットがセットされている場合は割り込みが生成されます。

TxE がセットされていて、最後のデータ送信が終わるまでにデータバイトが DR レジスタに書き込まれなかった場合、BTF がセットされ、インタフェースは、I2C_SR1 からの読み出しと、それに続く I2C_DR への書き込みによって BTF がクリアされるまで、SCL のローレベルを伸長して待ちます。

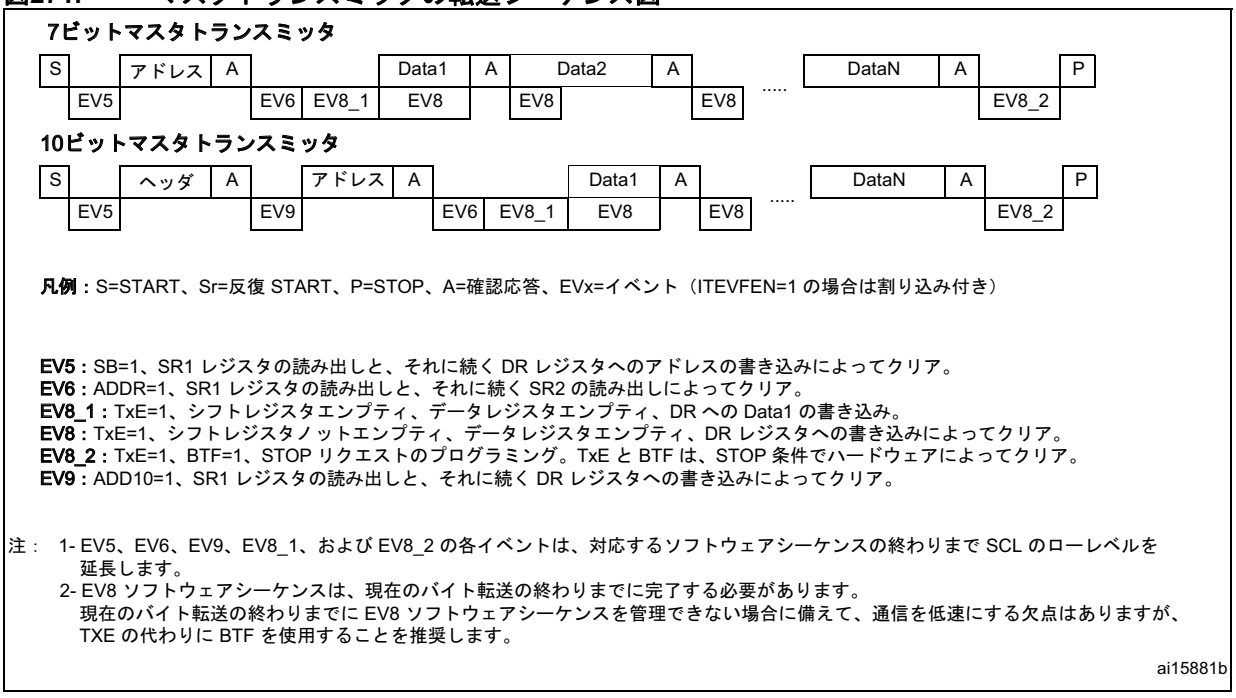
この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

通信の終了

最後のバイトが DR レジスタに書き込まれた後、ストップビットがソフトウェアによってセットされて STOP コンディションを生成します（*図 271* 転送シーケンスの EV8_2 を参照）。インタフェースは自動的にスレーブモードに戻ります（M/SL ビットがクリアされます）。

注： ***STOP コンディションは、TxE または BTF ビットがセットされたとき、EV8_2 イベントの処理中にプログラミングしてください。***

図271. マスタトランスミッタの転送シーケンス図



マスタレシーバ

アドレス送信に続いて ADDR がクリアされると、I²C インタフェースはマスタレシーバモードに入ります。このモードでは、インタフェースは、SDA ラインから内部シフトレジスタを介して DR レジスタにバイトを受信します。各バイトの後、インタフェースは次の順序で動作します。

- ACK ビットがセットされている場合、確認応答パルスを生成します。
- RxNE ビットがセットされ、ITEVFEN および ITBUFEN ビットがセットされている場合は割り込みが生成されます（*図 272* 転送シーケンスの EV7を参照）。

RxNE ビットがセットされ、最後のデータ受信の終わりまでに DR レジスタ内のデータが読み出されなかった場合、BTF ビットがハードウェアによってセットされ、インタフェースは、SR1 レジスタの読み出しと、それに続く DR レジスタの読み出しによって BTF がクリアされるまで、SCL のローレベルを伸長して待ちます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

通信の終了

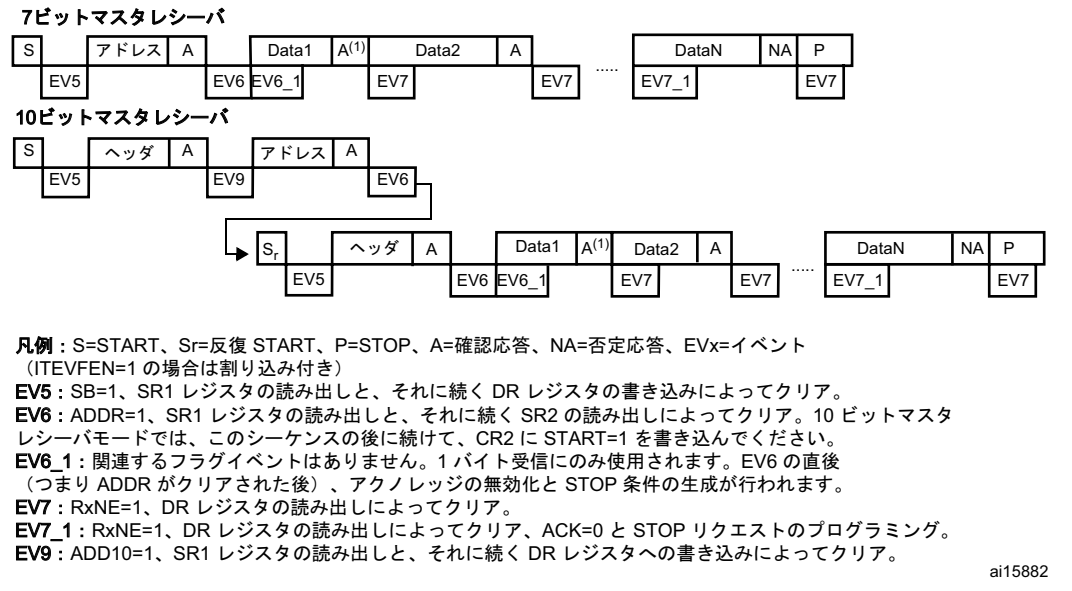
方法 1：この方法は、I2C がアプリケーション内で最高優先順位の割り込みによって使用されるケースに使用します。

マスタは、スレーブから受信した最終バイトに対して NACK を送信します。この NACK を受信したスレーブは、SCL ラインと SDA ラインの制御を解除します。これによって、マスタは STOP/RESTART コンディションを送信できます。

- 最後の受信データバイトの後で否定応答パルスを生成するには、最後から 2 番目の RxNE イベントの後で最後から 2 番目のデータバイトの読み出し直後に、ACK ビットをクリアする必要があります。
- STOP/RESTART コンディションを生成するには、ソフトウェアは、最後から 2 番目の RxNE イベントの後で最後から 2 番目のデータバイトの読み出し直後に、ストップ / スタートビットをセットする必要があります。
- 1 バイトの受信に備えて、確認応答の無効化と STOP コンディションの生成は EV6 の直後（EV6_1では、ADDR がクリアされた直後）に行われます。

STOP コンディションの生成後、インタフェースは自動的にスレーブモードに戻ります（M/SL ビットがクリアされます）。

図272. 方法 1：マスタレシーバの転送シーケンス図



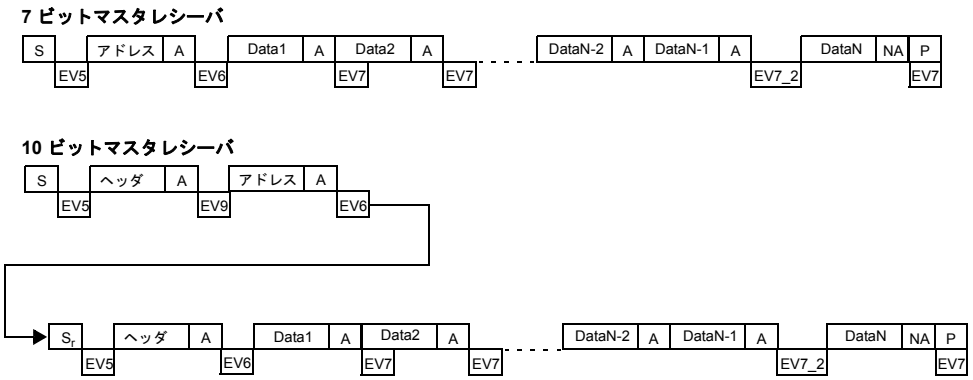
1. 1 バイトが受信された場合、それは NA です。
2. EV5、EV6、および EV9 イベントは、対応するソフトウェアシーケンスの終わりまで、SCL のローレベルを伸長します。
3. EV7 ソフトウェアシーケンスは、現在のバイト転送の終わりまでに完了する必要があります。現在のバイトの転送終了までに EV7 ソフトウェアシーケンスを管理できない場合に備えて、通信を低速にする欠点はありますが、RXNE の代わりに BTF を使用することを推奨します。
4. EV6_1 または EV7_1 ソフトウェアシーケンスは、現在のバイト転送の ACK パルスより前に完了する必要があります。

方法 2：この方法は、アプリケーション内で最高の優先順位を持たない割り込みによって I2Cが使用される場合、またはポーリングによって I2C が使用されるケースに使用します。

この方法では、DataN_2 は読み出されないので、DataN_1 の後で、通信は伸長されます（RxNE と BTF がセットされます）。次に、DR の DataN-2 を読み出す前に ACK ビットをクリアすることで、DataN の確認応答パルスより前にこれがクリアされるようにします。その後、DataN_2 を読み出した直後に、ストップ /スタートビットをセットし、DataN_1 を読み出します。RxNE がセットされた後、DataN を読み出します。これを次の図に示します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図273. 方法 2：マスタレシーバの転送シーケンス図（N > 2の場合）



凡例:S = START、S_r = 反復 START、P = STOP、A = 確認応答、NA = 否定応答、
EVx = イベント（ITEVFEN = 1 の場合は割り込み付き）
EV5:SB=1、SR1 レジスタの読み出しと、それに続く DR レジスタへの書き込みによってクリアされます。
EV6:ADDR=1、SR1 レジスタの読み出しと、それに続く SR2 の読み出しによってクリアされます。
10 ビットマスタレシーバモードでは、このシーケンスに続けて、CR2 に START = 1 を書き込んでください。
EV7: RxNE=1、DR レジスタの読み出しによってクリアされます。
EV7_2:BTF = 1、DR の DataN-2 とシフトレジスタの DataN-1、ACK = 0 にプログラミング、DR の DataN-2 の読み出し。
STOP = 1 にプログラミング、DataN-1 の読み出し。
EV9:ADD10=1、SR1 レジスタの読み出しと、それに続く DR レジスタへの書き込みによってクリアされます。

1. EV5、EV6、および EV9 イベントは、対応するソフトウェアシーケンスの終わりまで、SCL のローレベルを伸長します。
2. EV7 ソフトウェアシーケンスは、現在のバイト転送の終わりまでに完了する必要があります。現在のバイトの転送終了までに EV7 ソフトウェアシーケンスを管理できない場合に備えて、通信を低速にする欠点はありますが、RXNE の代わりに BTF を使用することを推奨します。

まだ 3 バイト分が読み出されていないとき：

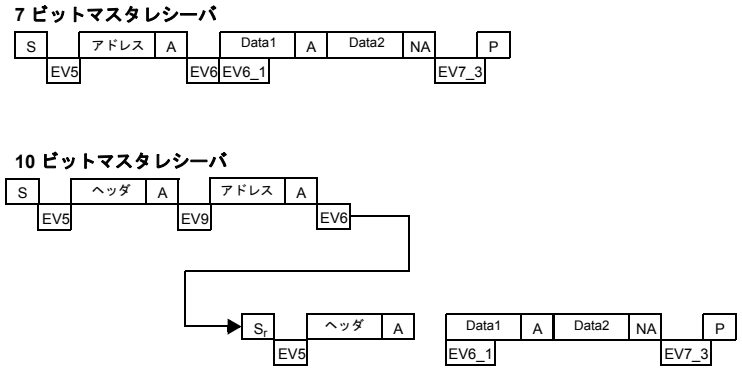
- RxNE = 1 => 何もしません（DataN-2 は読み出されません）
- DataN-1 が受信されます
- シフトレジスタとデータレジスタが満杯なので、BTF = 1：DR の DataN-2 とシフトレジスタの DataN-1 => SCL をローに接続：このバスでは他のいかなるデータも受信されません。
- ACK ビットをクリアします。
- DR の DataN-2 の読み出し => これによって、シフトレジスタに DataN の受信を開始。
- DataN の受信（NACK 付き）。
- START/STOP のプログラミング。
- DataN-1 の読み出し。
- RxNE = 1
- DataN の読み出し。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

上述の手順は N > 2 の場合に有効です。1 バイトまたは 2 バイトを受信するケースでは、下記のように別の方法で処理してください。

- 1 バイトを受信するケース：
  - ADDR イベントで、ACK ビットをクリアします。
  - ADDR をクリアします。
  - ストップ / スタートビットをプログラミングします。
  - RxNE フラグがセットされた後、データを読み出します。
- 2 バイトを受信するケース：
  - POS と ACK をセットします。
  - ADDR フラグがセットされるのを待ちます。
  - ADDR をクリアします。
  - ACK をクリアします。
  - BTF がセットされるのを待ちます。
  - STOP をプログラミングします。
  - DR を 2 回読み出します

図274. 方法 2：マスタレシーバの転送シーケンス図（N=2 の場合）

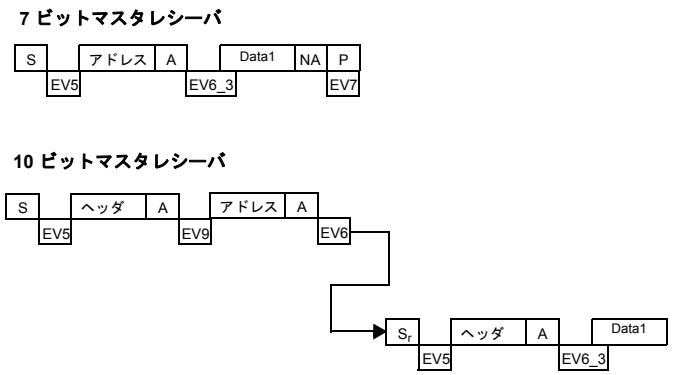


凡例：S=START、Sr= 反復 START、P=STOP、A= 確認応答、NA= 否定応答、EVx= イベント（ITEVFEN=1 の場合は割り込み付き）
EV5：SB=1、SR1 レジスタの読み出しと、それに続く DR レジスタへの書き込みによってクリア。
EV6：ADDR=1、SR1 レジスタの読み出しと、それに続く SR2 の読み出しによってクリア。
10 ビットマスタレシーバモードでは、このシーケンスの後に続けて、CR2 に START=1 を書き込んでください。
EV6_1：関連するフラグイベントはありません。EV6 の直後（つまり ADDR がクリアされた後）、確認応答を無効にしてください。
EV7_3：BTF=1、STOP=1 をプログラミング、STOP のプログラミング直後に、DR を 2 回読み出します（Data1 と Data2 を読み出します）。
EV9：ADD10=1、SR1 レジスタの読み出しと、それに続く DR レジスタの書き込みによってクリア。

1. EV5、EV6、および EV9 イベントは、対応するソフトウェアシーケンスの終わりまで、SCL のローレベルを伸長します。
2. EV6_1 ソフトウェアシーケンスは、現在のバイト転送の ACK パルスより前に完了する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図275. 方法 2：マスタレシーバの転送シーケンス図（N=1 の場合）



凡例：S = START、S_r = 反復 START、P = STOP、A = 確認応答、NA = 否定応答、
EVx = イベント（ITEVFEN = 1 の場合は割り込み付き）
EV5：SB=1、SR1 レジスタの読み出しと、それに続く DR レジスタへの書き込みによってクリアされます。
EV6：ADDR=1、SR1 レジスタの読み出しと、それに続く SR2 レジスタの読み出しによってクリアされます。
EV6_3：ADDR = 1、ACK = 0 にプログラミング、SR1 レジスタの読み出しとそれに続く SR2 レジスタの読み出しによって ADDR をクリア、ADDR がクリアされた直後に STOP =1 にプログラミング。
注：EV6_3 ソフトウェアシーケンスは、現在のバイトの転送終了よりも前に完了する必要があります。
EV7：RxNE=1、DR レジスタの読み出しによってクリアされます。
EV9：ADD10=1、SR1 レジスタの読み出しと、それに続く DR レジスタへの書き込みによってクリアされます。
.

1. EV5、EV6、および EV9 イベントは、対応するソフトウェアシーケンスの終わりまで、SCL のローレベルを伸長します。

25.3.4 エラー条件

以下は、通信障害を引き起こす可能性のあるエラー条件です。

バスエラー（BERR）

このエラーは、I²C インタフェースがアドレスやデータの転送中に外部の STOP または START コンディションを検出したときに発生します。このとき、

- BERR ビットがセットされ、ITERREN ビットがセットされている場合は割り込みが生成されます。
- スレーブモードの場合：データは破棄され、ラインはハードウェアによって解放されます。
  - START の誤配置である場合、スレーブはこれを RESTART とみなし、アドレスまたは STOP コンディションを待ちます。
  - STOP の誤配置である場合、スレーブは STOP コンディションの場合のように動作し、ラインはハードウェアによって解放されます。
- マスタモードの場合：ラインは解放されず、現在の送信の状態は影響を受けません。現在の送信をアボートするかどうかは、ソフトウェア次第です。

確認応答障害（AF）

このエラーは、インタフェースが否定応答ビットを検出したときに発生します。このとき、

- AF ビットがセットされ、ITERREN ビットがセットされている場合は割り込みが生成されます。
- NACK を受信したトランスミッタは、通信をリセットする必要があります。
  - スレーブの場合：ラインはハードウェアによって解放されます。
  - マスタの場合：ソフトウェアが STOP または反復 START コンディションを生成する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

アービトレーションロスト（ARLO）

このエラーは、I²C インタフェースがアービトレーションロスト条件を検出したときに発生します。このとき、

- ARLO ビットがハードウェアによってセットされます（ITERREN ビットがセットされている場合、割り込みが生成されます）。
- I²C インタフェースは自動的にスレーブモードに戻ります（M/SL ビットがクリアされます）。I²C がアービトレーションを失うと、同じ転送ではそのスレーブアドレスを確認応答できませんが、通信を許可されたマスタからの反復 START 後に確認応答できます。
- ラインはハードウェアによって解放されます。

オーバーラン/アンダーランエラー（OVR）

スレーブモードでオーバーランエラーが発生するのは、クロック伸長が無効にされ、I²C インタフェースがデータを受信しているときです。インタフェースがすでにバイトを受信し（RxNE=1）、インタフェースが次のバイトを受信するまでに DR 内のデータがまだ読み出されていません。このとき、

- 最後に受信されたバイトは失われます。
- オーバーランエラーが発生した場合、ソフトウェアで RxNE ビットをクリアし、トランスミッタで最後の受信バイトを再送信してください。

スレーブモードでアンダーランエラーが発生するのは、クロック伸長が無効にされ、I²C インタフェースがデータを送信しているときです。次のバイト用のクロックが到着するまでに、まだ DR は次のバイトで更新されていません（TxE=1）。このとき、

- DR レジスタ内の同じバイトが再送信されます。
- ユーザは、アンダーランエラー中にレシーバ側で受信されたデータが捨てられ、I²C バス規格で指定されたクロックロー時間内に次のバイトが書き込まれるようにしてください。

送信される最初のバイトに関しては、ADDR がクリアされてから最初の SCL 立ち上がりエッジまでに DR を書き込む必要があります。そうしないと、レシーバは最初のデータを破棄しなければなりません。

25.3.5 SDA/SCL ライン制御

- クロック伸長が有効な場合：
  - トランスミッタモード：TxE=1 および BTF=1 の場合：インタフェースは、送信の前にクロックラインをローレベルに保ち、マイクロコントローラが SR1 を読み出し、そのバイトをデータレジスタに書き込むのを待ちます（バッファとシフトレジスタは、いずれも空）。
  - レシーバモード：RxNE=1 および BTF=1 の場合：インタフェースは、受信後にクロックラインをローレベルに保ち、マイクロコントローラが SR1 を読み出し、データレジスタ内のバイトを読み出すのを待ちます（バッファとシフトレジスタのいずれにもデータが存在）。
- スレーブモードでクロック伸長が無効な場合：
  - オーバーランエラー：RxNE=1 で、次のバイトが受信されるまでに DR が読み出されていない場合。最後に受信されたバイトは失われます。
  - アンダーランエラー：TxE=1 で、次のバイトを送信するまでに DR への書き込みが行われていない場合。同じバイトが再送信されます。
  - 書き込み衝突は管理されません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

25.3.6 SMBus

概要

システム管理バス（SMBus）は、さまざまなデバイスが互いに通信したり、他のすべてのシステム部分と通信したりできる 2 線インタフェースです。これは I^2C の動作原理をベースにしています。SMBus は、システムおよびパワーマネジメント関連のタスク向けの制御バスを提供します。システムが SMBus を使用することで、個々の制御ラインをトグルすることなく、デバイスとの間でメッセージをやり取りできます。

System Management Bus 仕様では、3 種類のデバイスを規定しています。*スレーブ*とは、コマンドを受信したり、コマンドに応答したりするデバイスです。*マスタ*とは、コマンドを発行し、クロックを生成し、転送を終了させるデバイスです。*ホスト*とは、システムの CPU にメインインタフェースを提供する特殊なマスタです。ホストは、マスタ/スレーブとすることができ、SMBus ホスト通知プロトコルをサポートする必要があります。システム内では、ただ 1 つのホストが許容されます。

SMBus と I^2C との類似点

- 2 線バスプロトコル（1 Clk、1 Data）+ SMBus アラートライン（オプション）
- マスタ/スレーブ通信（マスタがクロックを供給します）
- マルチマスタ機能
- I^2C 7 ビットアドレスフォーマットに類似した SMBus データフォーマット（*図 267*）

SMBus と I^2C との相違点

次の表に、SMBus と I^2C の相違点を示します。

表186. SMBus と I^2C の比較

SMBus	I^2C
最大速度：100 kHz	最大速度：400 kHz
最小クロック速度：10 kHz	最小クロック速度の規定なし
クロックロータイムアウト：35 ms	タイムアウトなし
論理レベルは固定	論理レベルは V_{DD} に依存
種々のアドレスタイプ（予約、ダイナミック、など）	7 ビット、10 ビット、および同報のスレーブアドレスタイプ
種々のバスプロトコル（クイックコマンド、プロセスコールなど）	バスプロトコルなし

SMBus アプリケーションの用途

SMBus を使用すれば、デバイスは、製造者情報を提供し、モデル/部品番号をシステムに通知し、サスペンドイベントに備えてその状態を保存し、種々のエラーを報告し、制御パラメータを受け付け、そのステータスを返すことができます。SMBus は、システムおよびパワーマネジメント関連のタスク向けの制御バスを提供します。

デバイス識別

SMBus 上にスレーブとして存在するデバイスには、スレーブアドレスと呼ばれるユニークなアドレスがあります。予約済みのスレーブアドレスの一覧については、SMBus 仕様 ver. 2.0（*http://smbus.org/specs/*）を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

バスプロトコル

SMBus 仕様では、最大 9 種のプロトコルをサポートします。これらのプロトコルと SMBus アドレスタイプの詳細については、SMBus 仕様 ver. 2.0（*http://smbus.org/specs/*）を参照してください。これらのプロトコルは、ユーザのソフトウェアによって実装してください。

アドレス解決プロトコル（ARP）

SMBus スレーブアドレスの競合は、各スレーブデバイスに新しいユニークなアドレスを動的に割り当てることによって解決できます。アドレス解決プロトコル（ARP）には、以下の属性があります。

- アドレス割り当てには、標準の SMBus 物理層アービトレーション機構を使用します。
- 割り当てられたアドレスは、デバイスに電源が供給されている間は一定しています。デバイスの電源切断後もアドレスの保持が可能です。
- アドレス割り当ての後、新たな SMBus パケットのオーバーヘッドは生じません（つまり、割り当てられたスレーブアドレスへのその後のアクセスでは、固定アドレスのデバイスへのアクセスと同じオーバーヘッドになります）。
- いずれの SMBus マスタも、バスの番号付けが可能です。

ユニークデバイス識別子（UDID）

アドレス割り当てを目的として各デバイスを分離する仕組みを提供するために、各デバイスは一意デバイス識別子（UDID）を実装する必要があります。

128 ビット UDID と ARP の詳細については、SMBus 仕様 ver. 2.0（*http://smbus.org/specs/*）を参照してください。

SMBus アラートモード

SMBus アラートは、マスタ機能をピンに置き換えたいデバイス用の割り込みラインを持つオプション信号です。SMBA は、SCL 信号や SDA 信号と同じく、ワイヤード AND 信号です。SMBA は、SMBus 同報アドレスとともに使用されます。SMBus で呼び出されるメッセージの長さは 2 バイトです。

スレーブ専用デバイスは、I2C_CR1 レジスタの ALERT ビットをセットすることによって、ホストに接続したいことを SMBA を通じて通知できます。ホストは、割り込みを処理し、アラート応答アドレス（ARA と呼ばれ、値は 0001100X）を通じて全 SMBA デバイスに同時にアクセスします。SMBA をローレベルに落としたデバイスのみが、アラート応答アドレスを確認応答します。このステータスは、I2C_SR1 レジスタの SMBALERT ステータスフラグを使用して識別されます。ホストは、モディファイド受信バイト動作を行います。スレーブ送信デバイスによって提供された 7 ビットのデバイスアドレスは、バイトの上位 7 ビットに置かれます。8 番目のビットは 0 または 1 にできます。

複数のデバイスが SMBA をローレベルにプルしている場合、スレーブアドレス転送時の標準的なアービトレーションによって、最高優先順位（最小アドレス）のデバイスが通信権を獲得します。スレーブアドレスの確認応答後、デバイスは、その SMBA のプルダウンを解放する必要があります。メッセージ転送の完了時に、SMBA が依然としてローレベルであることにホストが気づいた場合、再び ARA の読み出しが行われます。
SMBA 信号を実装していないホストは、周期的に ARA にアクセスすることができます。

SMBu s アラートモードの詳細については、SMBus 仕様 ver. 2.0（*http://smbus.org/specs/*）を参照してください。

タイムアウトエラー

I²C と SMBus では、タイミング仕様に違いがあります。
SMBus では、クロックロータイムアウトとして 35 ms の TIMEOUT が定義されています。さらに SMBus では、スレーブデバイスのクロックロー累積伸長時間として TLOW:SEXT を規定しています。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

また、マスタデバイスのクロックロー累積伸長時間として TLOW:MEXT も規定しています。これらのタイムアウトの詳細については、SMBus 仕様 ver. 2.0（*http://smbus.org/specs/*）を参照してください。

I2C_SR1 レジスタのステータスフラグ TIMEOUT は、Timeout や Tlow エラーのステータスを示します。

SMBus モードでのインタフェースの使い方

I²C モードから SMBus モードに切り替えるには、次のシーケンスを実行してください。

- I2C_CR1 レジスタの SMBus ビットをセットします。
- アプリケーションの必要に合わせて、I2C_CR1 レジスタの SMBTYPE ビットと ENARP ビットを設定します。

デバイスをマスタとして設定したい場合、*セクション 25.3.3 : I2C マスタモード*に記載されている START コンディションの生成手順に従ってください。そうでない場合は、*セクション 25.3.2 : I2C スレーブモード*に記載されている手順に従ってください。

アプリケーションは、ソフトウェアによってさまざまな SMBus プロトコルを制御する必要があります。

- ENARP=1 および SMBTYPE=0 の場合 : SMB デバイスのデフォルトアドレスが確認応答されます。
- ENARP=1 および SMBTYPE=1 の場合 : SMB ホストヘッダが確認応答されます。
- SMBALERT=1 の場合 : SMB アラート応答アドレスが確認応答されます。

25.3.7 DMA リクエスト

DMA リクエストは、データ転送用にのみ生成されます（有効な場合）。DMA リクエストが生成されるのは、送信中にデータレジスタが空になったとき、および受信中にデータレジスタが満杯になったときです。DMA リクエストは、現在のバイト転送の終わりまでに処理される必要があります。対応する DMA チャネルにプログラミングされたデータ転送回数に達したとき、DMA コントローラは、I²C インタフェースに転送終了（EOT）信号を送信し、転送完了割り込みを生成します（有効な場合）。

- マスタトランスミッタ : EOT 割り込み後の割り込みルーチンでは、DMA リクエストを無効にし、BTF イベントの発生を待ってから、STOP コンディションをプログラミングします。
- マスタレシーバ : 受信するバイト数が 2 以上であるとき、DMA コントローラは、最後から 2 番目のデータバイト（number_of_bytes - 1）に対応するハードウェア信号（EOT_1）を送信します。I2C_CR2 レジスタで LAST ビットがセットされた場合、I²C は、EOT_1 に続く次のバイトの後に、自動的に NACK を送信します。ユーザは、DMA 転送完了割り込みルーチンで STOP コンディションを生成できます。

DMA を使用した送信

DMA モードの送信を有効にするには、I2C_CR2 レジスタの DMAEN ビットをセットします。データは、TxE ビットがセットされるたびに、DMA ペリフェラルを使用して設定されたメモリ領域（DMA 仕様を参照）から I2C_DR レジスタにロードされます。I²C 送信用の DMA チャネルを配置するには、次のシーケンスを実行します。ここで、x はチャネル番号です。

1. I2C_DR レジスタのアドレスを DMA_CPARx レジスタにセットします。データは、毎回の TxE イベント後に、メモリからこのアドレスに移動されます。
2. メモリアドレスを DMA_CMARx レジスタにセットします。データは、毎回の TxE イベント後に、このメモリから I2C_DR にロードされます。
3. 転送されるバイトの総数を DMA_CNDTRx レジスタに設定します。毎回の TxE イベント後に、この値はデクリメントされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

4. DMA_CCRx レジスタの PL[0:1] ビットを使用して、チャネルの優先順位を設定します。
5. DMA_CCRx レジスタの DIR ビットをセットし、アプリケーション条件に応じて 1/2 転送終了後または転送完了後に、割り込みを設定します。
6. DMA_CCRx レジスタの EN ビットをセットすることによって、チャネルを有効にします。

DMA コントローラのレジスタにプログラミングされたデータ転送回数に達したとき、DMA コントローラは、I²C インタフェースに転送終了（EOT/EOT_1）信号を送信し、DMA は DMA チャネル割り込みベクタ上に割り込みを生成します（有効な場合）。

注： ***DMA が送信に使用される場合、I2C_CR2 レジスタの ITBUFEN ビットを有効にしないでください。***

DMA を使用した受信

DMA モードの受信を有効にするには、I2C_CR2 レジスタの DMAEN ビットをセットします。データは、データバイトが受信されるたびに、DMA ペリフェラルを使用して設定されたメモリ領域（DMA 仕様を参照）に I2C_DR レジスタからロードされます。I²C 受信用の DMA チャネルを配置するには、次のシーケンスを実行します。ここで、x はチャネル番号です。

1. I2C_DR レジスタのアドレスを DMA_CPARx レジスタに設定します。データは、毎回の RxNE イベント後に、このアドレスからメモリに移動されます。
2. メモリアドレスを DMA_CMARx レジスタにセットします。データは、毎回の RxNE イベント後に、I2C_DR レジスタからこのメモリ領域にロードされます。
3. 転送されるバイトの総数を DMA_CNDTRx レジスタに設定します。毎回の RxNE イベント後に、この値はデクリメントされます。
4. DMA_CCRx レジスタの PL[0:1] ビットを使用してチャネルの優先順位を設定します。
5. DMA_CCRx レジスタの DIR ビットをリセットし、アプリケーション条件に応じて 1/2 転送終了後または転送完了後に、割り込みを設定します。
6. DMA_CCRx レジスタの EN ビットをセットすることによって、チャネルを有効にします。

DMA コントローラのレジスタにプログラミングされたデータ転送回数に達したとき、DMA コントローラは、I²C インタフェースに転送終了（EOT/EOT_1）信号を送信し、DMA は DMA チャネル割り込みベクタ上に割り込みを生成します（有効な場合）。

注： ***DMA が受信に使用される場合、I2C_CR2 レジスタの ITBUFEN ビットを有効にしないでください。***

25.3.8 パケットエラーチェック

通信の信頼性を高めるため、PEC 計算回路が実装されています。PEC の計算には、$C(x) = x^8 + x^2 + x + 1$ という CRC-8 多項式を各ビットに連続的に適用します。

- PEC 計算を有効にするには、I2C_CR1 レジスタの ENPEC ビットをセットします。PEC は、アドレスと R/W ビットを含むすべてのメッセージバイトに基づいて計算される CRC-8 コードです。
  - 送信時：最後のバイトに対応する TxE イベントの後、I2C_CR1 レジスタの PEC 転送ビットをセットします。PEC、最後に送信されたバイトの後で転送されます。
  - 受信時：最後のバイトに対応する RxNE イベントの後、I2C_CR1 レジスタの PEC ビットをセットすることで、次に受信するバイトが内部的に計算した PEC と等しくない場合にレシーバが NACK を送信するようにします。マスタレシーバの場合、チェックの結果にかかわらず、PEC の後には NACK が続く必要があります。PEC は、現在のバイト受信の ACK パルスよりも前にセットする必要があります。
- PECERR エラーフラグ/割り込みは、I2C_SR1 レジスタでも使用できます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

参考資料

- DMA と PEC 計算機能がともに有効な場合：
  - 送信時：I²C インタフェースが DMA コントローラから EOT 信号を受信すると、最終バイトの後で自動的に PEC を送信します。
  - 受信時：I²C インタフェースが DMA コントローラから EOT_1 信号を受信すると、次のバイトを自動的に PEC とみなし、その検査を行います。PEC 受信後に DMA リクエストが生成されます。
- 中間での PEC 転送を可能にするため、I2C_CR2 レジスタには制御ビット（LAST ビット）が用意されており、本当に最後の DMA 転送かどうかを判定できます。マスタレシーバの最後の DMA リクエストである場合、最後に受信されたバイトの後で自動的に NACK が送信されます。
- PEC 計算は、アービトレーションロスが発生すると損なわれます。

25.4 I²C 割り込み

次の表に、I²C 割り込みリクエストの一覧を示します。

表187. I²C 割り込みリクエスト

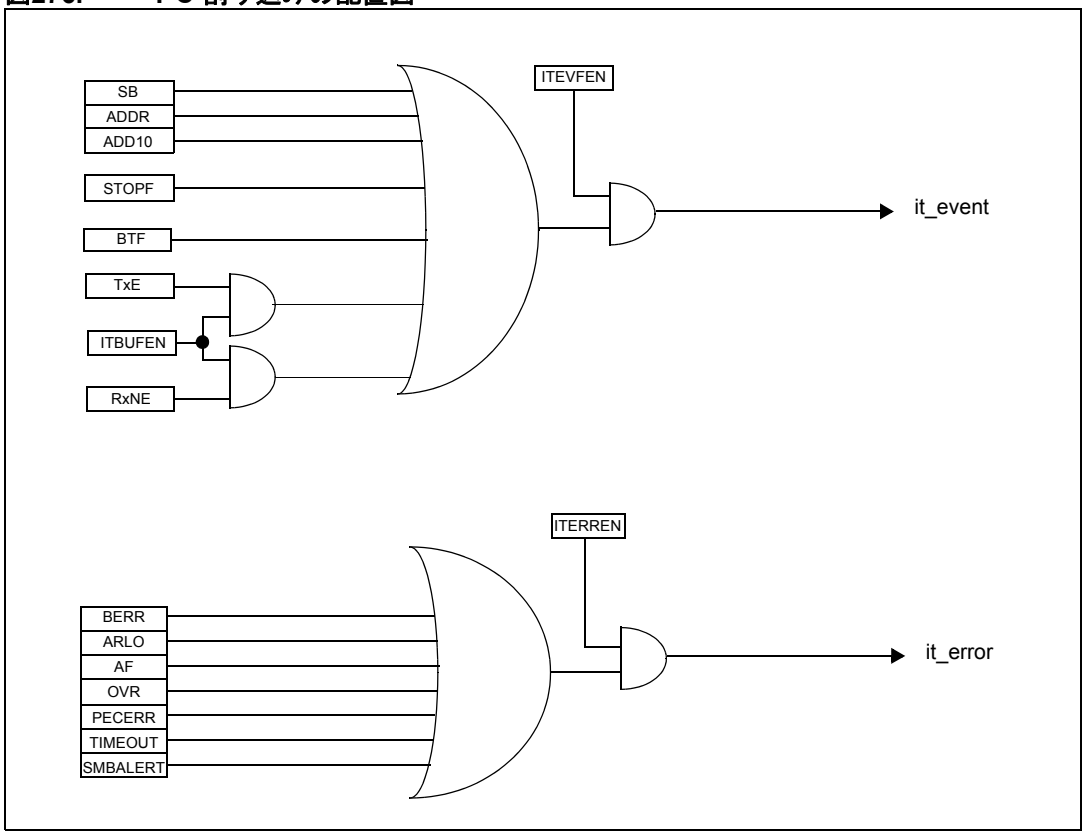
割り込みイベント	イベントフラグ	イネーブル制御ビット
スタートビット送信（マスタ）	SB	ITEVFEN
アドレス送信（マスタ）またはアドレス一致（スレーブ）	ADDR	
10 ビットヘッダ送信（マスタ）	ADD10	
STOP 受信（スレーブ）	STOPF	
データバイト転送終了	BTF	
受信バッファノットエンプティ	RxNE	ITEVFEN および ITBUFEN
送信バッファエンプティ	TxE	
バスエラー	BERR	ITERREN
アービトレーションロス（マスタ）	ARLO	
確認応答障害	AF	
オーバーラン/アンダーラン	OVR	
PEC エラー	PECERR	
Timeout/Tlow error	TIMEOUT	
SMBus アラート	SMBALERT	

注： 1 *SB、ADDR、ADD10、STOPF、BTF、RxNE、および TxE の各ビットは、同じ割り込みチャネル上で論理和がとられます。*

2 *BERR、ARLO、AF、OVR、PECERR、TIMEOUT、および SMBALERT の各ビットは、同じ割り込みチャネル上で論理和がとられます。*

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図276. I²C 割り込みの配置図



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

25.5 I²C デバッグモード

マイクロコントローラがデバッグモードに入ると（Cortex-M3 コア停止）、DBG モジュールの DBG_I2Cx_SMBUS_TIMEOUT 設定ビットに応じて、SMBUS タイムアウトは、通常の動作を続行するか、あるいは停止します。詳細については、*セクション 30.16.2：タイマ、ウォッチドッグ、bxCAN、および I²C のデバッグサポート（1058 ページ）*を参照してください。

25.6 I²C レジスタ

レジスタの説明で使用されている略語については、*セクション 1.1（40 ページ）*を参照してください。

ペリフェラルレジスタには、ハーフワード（16 ビット）またはワード（32 ビット）単位でアクセスできます。

25.6.1 制御レジスタ 1（I2C_CR1）

アドレスオフセット：0x00
リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SWRST	予約済み	ALERT	PEC	POS	ACK	STOP	START	NO STRETCH	ENGC	ENPEC	ENARP	SMB TYPE	予約済み	SMBUS	PE
rw		rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw		rw	rw

ビット 15 **SWRST**：ソフトウェアリセット

このビットがセットされると、I2C はリセット状態になります。このビットをリセットする前に、I2C ラインが解放されていて、バスが空いていることを確認してください。

0：I²C ペリフェラルはリセット状態ではありません。

1：I²C ペリフェラルはリセット状態です。

注：　このビットは、バス上で STOP コンディションが検出されていないときに BUSY ビットが"1"に設定された場合に使用できます。

ビット 14 予約済み、ハードウェアで 0 に固定されています。

ビット 13 **ALERT**：SMBus アラート

このビットは、ソフトウェアによってセット/クリアされ、PE=0 のときにハードウェアによってクリアされます。

0：SMBA ピンをハイレベルに解放します。アラート応答アドレスヘッダの後には NACK が続きます。

1：SMBA ピンをローレベルに駆動します。アラート応答アドレスヘッダの後には ACK が続きます。

ビット 12 **PEC**：パケットエラーチェック

このビットは、ソフトウェアによってセット/クリアされ、PEC が転送されたとき、START/STOP コンディションが検出されたとき、または PE=0 のときにハードウェアによってクリアされます。

0：PEC は転送されません。

1：PEC が転送されます（送信または受信モード）。

注：　PEC 計算は、アービトレーションロスが発生すると損なわれます。

この資料は、STMicroelectronics NV 並びにその子会社（以下 ST）が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 11 **POS**：確認応答/PEC 位置（データ受信）

このビットは、ソフトウェアによってセット/クリアされ、PE=0 のときにハードウェアによってクリアされます。

0 : ACK ビットは、シフトレジスタに受信されている現在のバイトの (N)ACK を制御します。PEC ビットは、シフトレジスタ内の現在のバイトが PEC であることを示します。

1 : ACK ビットは、シフトレジスタに受信される次のバイトの (N)ACK を制御します。PEC ビットは、シフトレジスタ内の次のバイトが PEC であることを示します。

注： 2 バイトの受信手順が実行されるとき、POS ビットが使用されます（方法 2：マスタレシーバの転送シーケンス図（N=2 の場合）を参照）。このビットは、データ受信が始まる前に設定される必要があります。この場合、2 番目のバイトを NACK するには、ADDR がクリアされた直後に ACK ビットをクリアする必要があります。

ビット 10 **ACK**：確認応答有効

このビットは、ソフトウェアによってセット/クリアされ、PE=0 のときにハードウェアによってクリアされます。

0：確認応答は返されません。

1：バイトの受信後（アドレスまたはデータの一致）、確認応答が返されます。

ビット 9 **STOP**：STOP 生成

このビットは、ソフトウェアによってセット/クリアされ、STOP コンディションの検出時にハードウェアによってクリアされ、タイムアウトエラーの検出時にハードウェアによってセットされます。

マスタモード：

0：STOP は生成されません。

1：現在のバイト転送後、または現在の START コンディションの送信後に、STOP が生成されます。

スレーブモード：

0：STOP は生成されません。

1：現在のバイト転送後に SCL ラインと SDA ラインを解放します。

注： STOP、START、または PEC ビットがセットされると、このビットがハードウェアによってクリアされるまで、ソフトウェアは I2C_CR1 に書き込みアクセスを実行してはいけません。そうしないと、第 2 の STOP、START、または PEC リクエストを設定する危険性があります。

ビット 8 **START**：START 生成

このビットは、ソフトウェアによってセット/クリアされ、START の送信時または PE=0 のときにハードウェアによってクリアされます。

マスタモード：

0：START は生成されません。

1：反復 START が生成されます。

スレーブモード：

0：START は生成されません。

1：バスが空いていれば、START が生成されます。

ビット 7 **NOSTRETCH**：クロック伸長ディセーブル（スレーブモード）

このビットは、スレーブモードで ADDR または BTF フラグがセットされているとき、ソフトウェアによってリセットされるまで、クロック伸長を無効にするために使用されます。

0：クロック伸長有効

1：クロック伸長無効

ビット 6 **ENGC**：同報イネーブル

0：同報は無効です。アドレス 00h は NACK されます。

1：同報は有効です。アドレス 00h は ACK されます。

ビット 5 **ENPEC**：PEC イネーブル

0：PEC 計算は無効です。

1：PEC 計算は有効です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 4 **ENARP：**ARP イネーブル

0：ARP は無効です。

1：ARP は有効です。

SMBTYPE=0 の場合、SMBus デバイスのデフォルトアドレスが認識されます。

SMBTYPE=1 の場合、SMBus ホストのアドレスが認識されます。

ビット 3 **SMBTYPE：**SMBus タイプ

0：SMBus デバイス

1：SMBus ホスト

ビット 2 予約済み、ハードウェアで 0 に固定されています。

ビット 1 **SMBUS**：SMBus モード

0：I^2C モード

1：SMBus モード

ビット 0 **PE：**ペリフェラルイネーブル

0：ペリフェラルは無効です。

1：ペリフェラルは有効です。対応する入出力は、SMBus ビットの設定に応じて、オルタネート機能として選択されます。

注： 通信中にこのビットがリセットされた場合、現在の通信の最後にアイドル状態に戻ったとき、ペリフェラルは無効になります。
通信の最後には PE=0 になるので、すべてのビットがリセットされます。
マスタモードでは、通信の最後まで、このビットをリセットしてはなりません。

25.6.2 制御レジスタ 2（I2C_CR2）

アドレスオフセット：0x04

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み			LAST	DMA EN	ITBUF EN	ITEVT EN	ITERR EN	予約済み		FREQ[5:0]					
			rw	rw	rw	rw	rw			rw	rw	rw	rw	rw	rw

ビット 15:13 予約済み、ハードウェアで 0 に固定されています。

ビット 12 **LAST**：DMA 最終転送

0：次の DMA EOT は最終転送ではありません。

1：次の DMA EOT は最終転送です。

注： このビットをマスタレシーバモードで使用すると、最後の受信データで NACK の生成が可能になります。

ビット 11 **DMAEN**：DMA リクエストイネーブル

0：DMA リクエストは無効です。

1：TxE=1 または RxNE =1 のとき、DMA リクエストは有効です。

ビット 10 **ITBUFEN：**バッファ割り込みイネーブル

0：TxE = 1 または RxNE = 1 で、割り込みは生成されません。

1：TxE = 1 または RxNE = 1 で、イベント割り込みを生成します（DMAEN ビットの状態には依存しません）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 9 **ITEVTEN**：イベント割り込みイネーブル

0：イベント割り込みは無効です。

1：イベント割り込みは有効です。

この割り込みは、以下の場合に生成されます。

–SB = 1（マスタ）

–ADDR = 1（マスタ/スレーブ）

–ADD10= 1（マスタ）

–STOPF = 1（スレーブ）

–BTF = 1（ただし、TxE または RxNE イベントが発生してしないとき）

–ITBUFEN = 1 で TxE イベントが 1 になったとき

–ITBUFEN = 1 で RxNE イベントが 1 になったとき

ビット 8 **ITERREN**：エラー割り込みイネーブル

0：エラー割り込みは無効です。

1：エラー割り込みは有効です。

この割り込みは、以下の場合に生成されます。

– BERR = 1

– ARLO = 1

– AF = 1

– OVR = 1

– PECERR = 1

– TIMEOUT = 1

– SMBALERT = 1

ビット 7:6 予約済み、ハードウェアで 0 に固定されています。

ビット 5:0 **FREQ[5:0]**：ペリフェラルクロック周波数

ペリフェラルクロック周波数は、入力 APB クロック周波数（I2C ペリフェラルは APB に接続）を使用して設定する必要があります。最小許容周波数は 2 MHz であり、最大周波数は最大 APB 周波数（36 MHz）と本質的な制限（46 MHz）によって制約されます。

0b000000：設定禁止。

0b000001：設定禁止。

0b000010：2 MHz

...

0b100100：36 MHz

0b100100 を超える場合：設定禁止。

25.6.3 自己アドレスレジスタ 1（I2C_OAR1）

アドレスオフセット：0x08

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADD MODE	予約済み					ADD[9:8]		ADD[7:1]							ADD0
rw						rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15 **ADDMODE**：アドレスモード（スレーブモード）

0：7 ビットスレーブアドレス（10 ビットアドレスは確認応答されません）

1：10 ビットスレーブアドレス（7 ビットアドレスは確認応答されません）

ビット 14 ソフトウェアによって常に 1 に保持してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 13:10 予約済み、ハードウェアで 0 に固定されています。

ビット 9:8 **ADD[9:8]** : インタフェースアドレス
7 ビットアドレスモード : 無視
10 ビットアドレスモード : アドレスのビット 9:8

ビット 7:1 **ADD[7:1]** : インタフェースアドレス
アドレスのビット 7:1

ビット 0 **ADD0** : インタフェースアドレス
7 ビットアドレスモード : 無視
10 ビットアドレスモード : アドレスのビット 0

25.6.4 自己アドレスレジスタ 2（I2C_OAR2）

アドレスオフセット : 0x0C
リセット値 : 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								ADD2[7:1]							ENDUAL
								rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:8 予約済み、ハードウェアで 0 に固定されています。

ビット 7:1 **ADD2[7:1]** : インタフェースアドレス
デュアルアドレスモードでアドレスのビット 7:1

ビット 0 **ENDUAL** : デュアルアドレスモードイネーブル
0 : 7 ビットアドレスモードで、OAR1 のみが認識されます。
1 : 7 ビットアドレスモードで、OAR1 と OAR2 の両方が認識されます。

25.6.5 データレジスタ（I2C_DR）

アドレスオフセット : 0x10
リセット値 : 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								DR[7:0]							
								rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:8 予約済み、ハードウェアで 0 に固定されています。

ビット 7:0 **DR[7:0]** : 8 ビットデータレジスタ
受信されたバイト、またはバスに送信されるバイト。
–トランスミッタモード : DR レジスタにバイトが書き込まれると、バイト送信が自動的に始まります。送信が始まり（TxE=1）、次に送信されるデータが DR に書き込まれた場合、連続的な送信ストリームを維持できます。
–レシーバモード : 受信したバイトは DR にコピーされます（RxNE=1）。DR が読み出されてから次のデータバイトが受信された場合（RxNE=1）、連続的な送信ストリームを維持できます。

注 : スレーブモードでは、アドレスは DR にコピーされません。

注 : 書き込み衝突は管理されません（TxE=0 の場合、DR は書き込み可能です）。

注 : ACK パルスで ARLO イベントが発生した場合、受信したバイトは DR にコピーされないため、読み出しできません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

25.6.6 ステータスレジスタ 1（I2C_SR1）

アドレスオフセット：0x14
リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMB ALERT	TIME OUT	予約済み	PEC ERR	OVR	AF	ARLO	BERR	TxE	RxNE	予約済み	STOPF	ADD10	BTF	ADDR	SB
rc_w0	rc_w0		rc_w0	rc_w0	rc_w0	rc_w0	rc_w0	r	r		r	r	r	r	r

ビット 15 **SMBALERT**：SMBus アラート

SMBus ホストモードで、
0：SMBALERT はありません。
1：SMBALERT イベントがピンに発生しました。
SMBus スレーブモードで、
0：SMBALERT 応答アドレスヘッダはありません。
1：SMBALERT LOW への SMBALERT 応答アドレスヘッダを受信しました。

– ソフトウェアによって 0 を書き込んでクリアするか、PE=0 のときにハードウェアによってクリアされます。

ビット 14 **TIMEOUT**：Timeout または Tlow エラー

0：タイムアウトエラーは発生していません。
1：SCL は 25 ms の間ローレベルを維持しました（タイムアウト）。
または
マスタのクロックローのトータル伸長時間が 10 ms を超えました（Tlow:mext）。
または
スレーブのクロックローのトータル伸長時間が 25 ms を超えました（Tlow:sext）。

– スレーブモードに設定した場合：スレーブは通信をリセットし、ラインはハードウェアによって解放されます。
– マスタモードに設定した場合：STOP コンディションがハードウェアによって送信されます。
– ソフトウェアによって 0 を書き込んでクリアするか、PE=0 のときにハードウェアによってクリアされます。

注： この機能は SMBus モードでのみ使用できます。

ビット 13 予約済み、ハードウェアで 0 に固定されています。

ビット 12 **PECERR**：受信時の PEC エラー

0：PEC エラーなし。レシーバは PEC 受信後に ACK を返します（ACK=1 の場合）。
1：PEC エラーあり。レシーバは PEC 受信後に NACK を返します（ACK は任意）。
–ソフトウェアによって 0 を書き込んでクリアするか、PE=0 のときにハードウェアによってクリアされます。

ビット 11 **OVR**：オーバーラン/アンダーラン

0：オーバーラン/アンダーランなし。
1：オーバーランまたはアンダーランあり。
–スレーブモードで NOSTRETCH=1 の場合、次の条件でハードウェアによってセットされます。
–受信時、新しいバイト（ACK パルスを含む）が受信され、DR レジスタがまだ読み出されていないとき。新しい受信バイトは失われます。
–送信時、新しいバイトを送信すべきときに、DR レジスタへの書き込みがまだ行われていないとき。同じバイトが 2 回送信されます。
–ソフトウェアによって 0 を書き込んでクリアするか、PE=0 のときにハードウェアによってクリアされます。

注： DR への書き込みが SCL の立ち上がりエッジのごく近くで行われた場合、送信されるデータは不定で、ホールドタイミングエラーが発生します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 10 **AF**：確認応答障害

0：確認応答障害なし。

1：確認応答障害あり。

–確認応答が返されないとき、ハードウェアによってセットされます。

–ソフトウェアによって 0 を書き込んでクリアするか、PE=0 のときにハードウェアによってクリアされます。

ビット 9 **ARLO**：アービトレーションロスト（マスタモード）

0：アービトレーションロストは検出されていません。

1：アービトレーションロストが検出されました。

インタフェースがバスのアービトレーションを他のマスタに明け渡したとき、ハードウェアによってセットされます。

–ソフトウェアによって 0 を書き込んでクリアするか、PE=0 のときにハードウェアによってクリアされます。

ARLO イベントの後、インタフェースは自動的にスレーブモード（M/SL=0）に切り替わります。

注： SMBUS では、スレーブモードでのデータのアービトレーションは、データフェーズ中または確認応答の送信中にのみ行われます（アドレスの確認応答では行われません）。

ビット 8 **BERR**：バスエラー

0：START または STOP コンディションのタイミングエラーはありません。

1：START または STOP コンディションのタイミングエラーが発生しました。

–インタフェースが START または STOP コンディションのタイミングエラーを検出したとき、ハードウェアによってセットされます。

–ソフトウェアによって 0 を書き込んでクリアするか、PE=0 のときにハードウェアによってクリアされます。

ビット 7 **TxE**：データレジスタエンプティ（トランスミッタ）

0：データレジスタは空ではありません。

1：データレジスタは空です。

–送信中に DR が空になったときにセットされます。TxE はアドレスフェーズではセットされません。

–DR レジスタへのソフトウェア書き込みによってクリアされ、START/STOP コンディションの後または PE=0 のときにハードウェアによってクリアされます。

NACK が受信された場合、または次に送信されるバイトが PEC である場合（PEC=1）、TxE はセットされません。

注： 送信される最初のデータを書き込んだり、BTF がセットされているときにデータを書き込んだりしても、TxE はクリアされません。いずれの場合も、データレジスタはまだ空だからです。

ビット 6 **RxNE**：データレジスタノットエンプティ（レシーバ）

0：データレジスタは空です。

1：データレジスタは空ではありません。

–レシーバモードで、データレジスタが空でないときにセットされます。RxNE は、アドレスフェーズではセットされません。

–ソフトウェアで DR レジスタへの読み書きを行ってクリアするか、PE=0 のときにハードウェアによってクリアされます。

ARLO イベントの場合、RxNE はセットされません。

注： BTF がセットされているとき、データレジスタはまだ満杯であるため、データを読み出しても RxNE はクリアされません。

ビット 5 予約済み、ハードウェアで 0 に固定されています。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 4 **STOPF :** STOP 検出（スレーブモード）

0 : STOP コンディションは検出されていません。

1 : STOP コンディションが検出されました。

–確認応答後に、スレーブがバス上で STOP コンディションを検出したとき、ハードウェアによってセットされます（ACK=1 の場合）。

–ソフトウェアで SR1 レジスタを読み出し、続いて CR1 レジスタに書き込むとクリアされます。または、PE=0 のときにハードウェアによってクリアされます。

注 : STOPF ビットは、NACK 受信後にはセットされません。

ビット 3 **ADD10 :** 10 ビットヘッダの送信（マスタモード）

0 : ADD10 イベントは発生していません。

1 : マスタは最初のアドレスバイト（ヘッダ）を送信しました。

–マスタが 10 ビットアドレスモードで最初のバイトを送信すると、ハードウェアによってセットされます。

–ソフトウェアで SR1 レジスタを読み出し、続いて DR レジスタに 2 番目のアドレスバイトを書き込むとクリアされます。または、PE=0 のときにハードウェアによってクリアされます。

注 : ADD10 ビットは、NACK 受信後にはセットされません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 2 **BTF**：バイト転送終了

0：データバイト転送は完了していません。

1：データバイト転送が正常に終了しました。

–NOSTRETCH=0 の場合、次の条件でハードウェアによってセットされます。

–受信時、新しいバイト（ACK パルスを含む）が受信され、DR レジスタがまだ読み出されていないとき（RxNE=1）。

–送信時、新しいバイトを送信すべきときに、DR レジスタへの書き込みがまだ行われていないとき（TxE=1）。

–ソフトウェアで SR1 を読み出し、続いて DR レジスタへの読み書きを行ったときにクリアされます。または、送信時の START/STOP コンディションの後や PE=0 のときに、ハードウェアによってクリアされます。

注： ***BTF ビットは、NACK 受信後にはセットされません。***

BTF ビットは、次に送信されるバイトが PEC である場合（I2C_SR2 レジスタの TRA=1 かつ I2C_CR1 レジスタの PEC=1）、セットされません。

ビット 1 **ADDR**：アドレス送信（マスタモード）/アドレス一致（スレーブモード）

このビットは、ソフトウェアで SR1 レジスタを読み出し、続いて SR2 レジスタを読み出すことでクリアされます。または、PE=0 のときにハードウェアによってクリアされます。

アドレス一致（スレーブ）

0：アドレスは受信されていないか、一致しませんでした。

1：受信したアドレスが一致しました。

–受信したスレーブアドレスが OAR レジスタの内容と一致したとき、あるいは同報/SMBus デバイスデフォルトアドレスまたは SMBus ホスト/SMBus アラートが認識されたとき、ハードウェアによってセットされます（設定に応じて、それぞれ有効である場合）。

アドレス送信（マスタ）

0：アドレス送信は終了していません。

1：アドレス送信は終了しました。

–10 ビットアドレッシングでは、2 番目のバイトの ACK 後にビットがセットされます。

–7 ビットアドレッシングでは、バイトの ACK 後にビットがセットされます。

注： ***ADDR は、NACK 受信後にはセットされません。***

ビット 0 **SB**：スタートビット（マスタモード）

0：START コンディションなし。

1：START コンディションが生成されました。

–START コンディションが生成されたときにセットされます。

–ソフトウェアで SR1 レジスタを読み出し、続いて DR レジスタへの書き込みを行うとクリアされます。または、PE=0 のときにハードウェアによってクリアされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

25.6.7 ステータスレジスタ 2（I2C_SR2）

アドレスオフセット：0x18
リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PEC[7:0]								DUALF	SMB HOST	SMBDE FAULT	GEN CALL	予約済み	TRA	BUSY	MSL
r	r	r	r	r	r	r	r	r	r	r	r		r	r	r

ビット 15:8 **PEC[7:0]**：パケットエラーチェックレジスタ

ENPEC=1 のとき、このレジスタは内部 PEC を保持しています。

ビット 7 **DUALF**：デュアルフラグ（スレーブモード）

0：受信アドレスが OAR1 と一致
1：受信アドレスが OAR2 と一致

–STOP コンディションまたは反復 START コンディションの後、あるいは PE=0 のときに、ハードウェアによってクリアされます。

ビット 6 **SMBHOST**：SMBus ホストヘッダ（スレーブモード）

0：SMBus ホストアドレスは受信されていません。
1：SMBTYPE=1 かつ ENARP=1 のとき、SMBus ホストアドレスが受信されました。

–STOP コンディションまたは反復 START コンディションの後、あるいは PE=0 のときに、ハードウェアによってクリアされます。

ビット 5 **SMBDEFAULT**：SMBus デバイスデフォルトアドレス（スレーブモード）

0：SMBus デバイスデフォルトアドレスは受信されていません。
1：ENARP=1 のとき、SMBus デバイスデフォルトアドレスが受信されました。

–STOP コンディションまたは反復 START コンディションの後、あるいは PE=0 のときに、ハードウェアによってクリアされます。

ビット 4 **GENCALL**：同報アドレス（スレーブモード）

0：同報アドレスは受信されていません。
1：ENGC=1 のとき、同報アドレスが受信されました。

–STOP コンディションまたは反復 START コンディションの後、あるいは PE=0 のときに、ハードウェアによってクリアされます。

ビット 3 予約済み、ハードウェアで 0 に固定されています。

ビット 2 **TRA**：トランスミッタ/レシーバ

0：データバイトが受信されました。
1：データバイトが送信されました。

このビットは、全アドレスフェーズの最後に、アドレスバイトの R/W ビットに応じてセットされます。

また、STOP コンディション（STOPF=1）、反復 START コンディション、バスアービトレーションのロスト（ARLO=1）の検出後、または PE=0 のときに、ハードウェアによってクリアされます。

ビット 1 **BUSY**：バスビジー

0：バス上で通信は行われていません。
1：バス上で通信が行われています。

–SDA または SCL のローレベル検出時に、ハードウェアによってセットされます。
–STOP コンディションの検出時に、ハードウェアによってクリアされます。

このビットはバス上で通信が進行中であることを示します。この情報は、インタフェースが無効である（PE=0）ときにも更新されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 0 **MSL**：マスタ/スレーブ

0：スレーブモード

1：マスタモード

–インタフェースがマスタモードになると（SB=1）、ハードウェアによってセットされます。

–バス上での STOP コンディションまたはアービトレーションロスト（ARLO=1）を検出した後、または PE=0 のときに、ハードウェアによってクリアされます。

25.6.8 クロック制御レジスタ（I2C_CCR）

アドレスオフセット：0x1C
リセット値：0x0000

注： ***1*** ***F_{PCLK1} は、400 kHz で高速クロックを生成するために必要な 10 MHz の倍数です。***

2 ***CCR レジスタは、I2C が無効（PE=0）の場合にのみ設定する必要があります。***

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
F/S	DUTY	予約済み		CCR[11:0]											
rw	rw			rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15 **F/S**：I2C マスタモード選択

0：標準モード I2C

1：高速モード I2C

ビット 14 **DUTY**：高速モードデューティサイクル

0：高速モード t_{low}/t_{high} = 2

1：高速モード t_{low}/t_{high} = 16/9（CCRを参照）

ビット 13:12 予約済み、ハードウェアで 0 に固定されています。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 11:0 **CCR[11:0]：**高速/標準モード（マスタモード）でのクロック制御レジスタ

マスタモードにおける SCL クロックを制御します。

標準モードまたは SMBus：

T_{high} = CCR * T_{PCLK1}
T_{low} = CCR * T_{PCLK1}

高速モード：

DUTY = 0 の場合：
T_{high} = CCR * T_{PCLK1}
T_{low} = 2 * CCR * T_{PCLK1}
DUTY = 1の場合：（400 kHz に到達するには）
T_{high} = 9 * CCR * T_{PCLK1}
T_{low} = 16 * CCR * T_{PCLK1}
例：標準モードで 100 kHz の SCL 周波数を生成するには、

FREQR = 08、T_{PCLK1} = 125 ns の場合、CCR には 0x28 をプログラミングする必要があります。

（0x28 <=> 40d x 125 ns = 5000 ns）

注： ***1.最小許容値は 0x04 です。ただし、FAST DUTY モードでは最小許容値は 0x01 になります。***
2.t_{high} = $t_{r(SCL)}$ + $t_{w(SCLH)}$。パラメータの定義については、デバイスのデータシートを参照してください
3.t_{low} = $t_{f(SCL)}$ + $t_{w(SCLL)}$。パラメータの定義については、デバイスのデータシートを参照してください
4.これらのタイミングは、フィルタを通さないものです。
5.CCR レジスタは、I²C が無効（PE=0）の場合にのみ設定する必要があります。

25.6.9 TRISE レジスタ（I2C_TRISE）

アドレスオフセット：0x20
リセット値：0x0002

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み										TRISE[5:0]					
										rw	rw	rw	rw	rw	rw

ビット 15:6 予約済み、ハードウェアで 0 に固定されています。

ビット 5:0 **TRISE[5:0]：**高速/標準モード（マスタモード）における最大立ち上がり時間

これらのビットには、I²C バス仕様で与えられている SCL 最大立ち上がり時間より 1 だけ大きな値をプログラミングする必要があります。

例：標準モードで許容される SCL の最大立ち上がり時間は 1000 ns です。

I2C_CR2 レジスタの FREQ[5:0] ビットの値が 0x08 で、T_{PCLK1} = 125 ns である場合、TRISE[5:0] ビットには 09h をプログラミングする必要があります。

（1000 ns / 125 ns = 8 + 1）

フィルタ値も TRISE[5:0] に加算することができます。

結果が整数でない場合、t_{HIGH} パラメータを考慮して、その整数部を TRISE[5:0] にプログラミングする必要があります。

注： ***TRISE[5:0] の設定は、I2C が無効なとき（PE=0）にのみ行う必要があります。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

25.6.10 I²C レジスタマップ

次の表に、I²C のレジスタマップとリセット値を示します。

表188. I²C レジスタマップとリセット値

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	I2C_CR1	予約済み																SWRST	予約済み	ALERT	PEC	POS	ACK	STOP	START	NOSTRETCH	ENGC	ENPEC	ENARP	SMBTYPE	予約済み	SMBUS	PE
	リセット値																	0		0	0	0	0	0	0	0	0	0	0	0		0	0
0x04	I2C_CR2	予約済み																			LAST	DMAEN	ITBUFEN	ITEVTEN	ITERREN	予約済み		FREQ[5:0]					
	リセット値																				0	0	0	0	0			0	0	0	0	0	0
0x08	I2C_OAR1	予約済み																ADDMODE	予約済み	予約済み				ADD[9:8]		ADD[7:1]							ADD0
	リセット値																	0	0					0	0	0	0	0	0	0	0	0	0
0x0C	I2C_OAR2	予約済み																								ADD2[7:1]							ENDUAL
	リセット値																									0	0	0	0	0	0	0	0
0x10	I2C_DR	予約済み																								DR[7:0]							
	リセット値																									0	0	0	0	0	0	0	0
0x14	I2C_SR1	予約済み																SMBALERT	TIMEOUT	予約済み	PECERR	OVR	AF	ARLO	BERR	TxE	RxNE	予約済み	STOPF	ADD10	BTF	ADDR	SB
	リセット値																	0	0		0	0	0	0	0	0	0		0	0	0	0	0
0x18	I2C_SR2	予約済み																PEC[7:0]								DUALF	SMBHOST	SMBDEFAULT	GENCALL	予約済み	TRA	BUSY	MSL
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0		0	0	0
0x1C	I2C_CCR	予約済み																F/S	DUTY	予約済み		CCR[11:0]											
	リセット値																	0	0		0	0	0	0	0	0	0	0	0	0	0	0	0
0x20	I2C_TRISE	予約済み																										TRISE[5:0]					
	リセット値																											0	0	0	0	1	0

*レジスタ境界アドレス*の表を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

26 USART（Universal synchronous asynchronous receiver transmitter）

小容量デバイスは、フラッシュメモリ容量が 16～32 KB の STM32F101xx、STM32F102xx、および STM32F103xx マイクロコントローラです。

中容量デバイスは、フラッシュメモリ容量が 64～128 KB の STM32F101xx、STM32F102xx、および STM32F103xx マイクロコントローラです。

大容量デバイスは、フラッシュメモリ容量が 256～512 KB の STM32F101xx および STM32F103xx マイクロコントローラです。

特大容量デバイスは、フラッシュメモリ容量が 768 KB～1 MB の STM32F101xx および STM32F103xx マイクロコントローラです。

コネクティビティラインデバイスは、STM32F105xx および STM32F107xx マイクロコントローラです。

このセクションは、別段の指定がない限り、STM32F10xxx ファミリ全体に適用されます。

26.1 USART の概要

USART（Universal Synchronous Asynchronous Receiver Transmitter）を使用すると、業界標準の NRZ 非同期シリアルデータフォーマットを必要とする外部機器と柔軟に全二重データ交換を行うことができます。USART は、フラクショナルボーレートジェネレータを使用して、非常に広範囲のボーレートへの対応可能です。

USART は、同期式単方向通信と半二重単線通信をサポートします。また、LIN（Local Interconnection Network）、スマートカードプロトコルおよび IrDA（infrared data association）SIR ENDEC 仕様、およびモデム動作（CTS/RTS）もサポートします。マルチプロセッサ通信も可能です。

マルチバッファ設定用の DMA を使用して、高速データ通信が可能です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

26.2 USART の主な機能

- 全二重、非同期通信
- NRZ 標準フォーマット（マーク/スペース）
- フラクショナルボーレートジェネレータシステム
  - プログラミング可能な送受信共通のボーレート：最大 4.5 M ビット/秒
- プログラミング可能なデータワード長：8 または 9 ビット
- 設定可能な ストップビット：1 または 2 のストップビットをサポート
- LIN マスタの同期ブレーク送信機能と LIN スレーブのブレーク検出機能
  - USART が LIN 用にハードウェア設定されている場合、13 ビットのブレーク生成と 10/11 ビットのブレーク検出
- 同期送信用のトランスミッタクロック出力
- IrDA SIR エンコーダデコーダ
  - 通常モード用に 3/16 ビット持続時間のサポート
- スマートカードエミュレーション機能
  - スマートカードインタフェースは、ISO 7816-3 規格で定義された非同期プロトコルのスマートカードをサポート
  - スマートカード動作用に 0.5、1.5 の ストップビット
- 単線半二重通信
- DMA（Direct Memory Access）を使用した設定可能なマルチバッファ通信
  - DMA を使用して、送受信バイトを専用 SRAM にバッファリング
- トランスミッタとレシーバ用に別個のイネーブルビット
- 転送検出フラグ：
  - 受信バッファフル
  - 送信バッファエンプティ
  - 送信終了フラグ

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

- パリティ制御：
  - パリティビットの送信
  - 受信したデータバイトのパリティ検査
- 4 種のエラー検出フラグ
  - オーバーランエラー
  - ノイズエラー
  - フレームエラー
  - パリティエラー
- 10 種の割り込みソース（フラグ付き）
  - CTS の変化
  - LIN ブレーク検出
  - 送信データレジスタエンプティ
  - 送信完了
  - 受信データレジスタフル
  - アイドルラインの受信
  - オーバーランエラー
  - フレーミングエラー
  - ノイズエラー
  - パリティエラー
- マルチプロセッサ通信：アドレス不一致の場合、ミュートモードに遷移
- ミュートモードからのウェイクアップ（アイドルライン検出/アドレスマーク検出）
- 2 レシーバウェイクアップモード：アドレスビット（MSB、9 番目のビット）、アイドルライン

26.3 USART 機能の説明

インタフェースは、3 個のピンによって他のデバイスに外部接続されます（*図 277* を参照）。USART 両方向通信では、少なくとも受信データ入力（RX）と送信データ出力（TX）の 2 個のピンが必要です。

RX：受信データ入力はシリアルデータ入力です。データ修復にはオーバーサンプリング技術が使用され、有効な入力データとノイズを区別しています。

TX：送信データ出力。トランスミッタが無効なとき、出力ピンはその入出力ポート設定に戻ります。トランスミッタが有効で、送信すべきデータがないとき、TX ピンはハイレベルになります。単線モードとスマートカードモードでは、この入出力を使用してデータを送受信します（USART レベルでは、データはその時に SW_RX で受信されます）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

通常の USART モードでは、フレームは以下の部分から構成され、これらのピンを通じてシリアルデータが送受信されます。

- 送受信に先立つアイドルライン
- スタートビット
- データワード（8 または 9 ビット）、LSB ファースト
- フレームの完了を示す 0.5、1、1.5、2 の ストップビット
- このインタフェースはフラクショナルボーレートジェネレータを使用します - 12 ビットの整数部と 4 ビットの小数部
- ステータスレジスタ（USART_SR）
- データレジスタ（USART_DR）
- ボーレートレジスタ（USART_BRR）- 12 ビットの整数部と 4 ビットの小数部
- ガードタイムレジスタ（USART_GTPR）- スマートカードモードの場合

各ビットの定義については、*セクション 26.6 : USART レジスタ (773 ページ)* を参照してください。

同期モードでのインタフェースには次のピンが必要になります。

- **CK**：トランスミッタクロック出力。このピンは、SPI マスタモードに対応する同期送信用のトランスミッタデータクロックを出力します（スタート/ストップビットのクロックパルスはなく、ソフトウェアオプションで最後のデータビットのクロックパルスを送信します）。これと並行して、RX 上のデータを同期受信できます。これを使用して、シフトレジスタを持つペリフェラル（例：LCD ドライバ）を制御できます。クロックの位相と極性は、ソフトウェアでプログラミングできます。スマートカードモードでは、CK はスマートカードへのクロックを供給できます。

IrDA モードでのインタフェースには次のピンが必要になります。

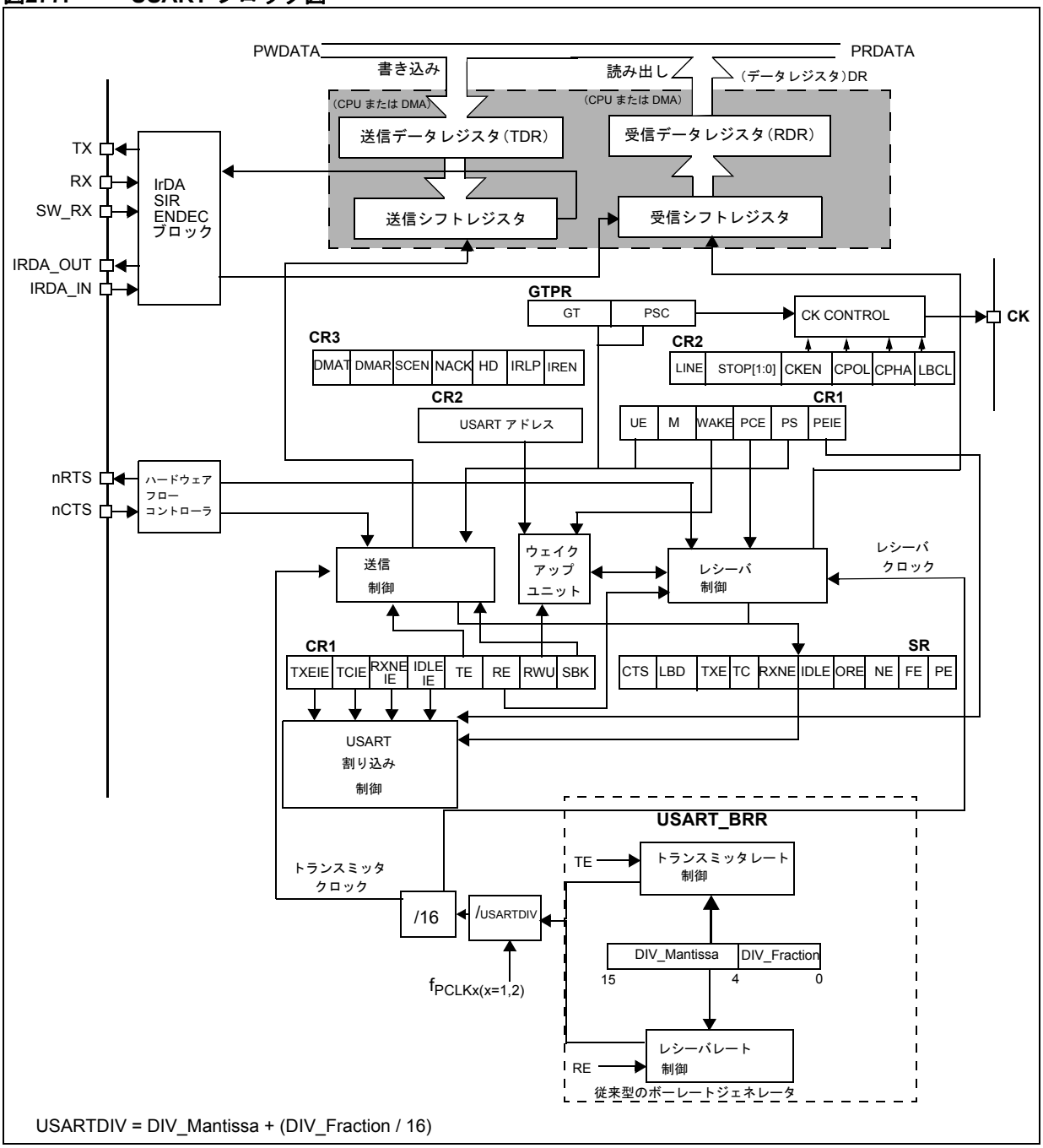
- **IrDA_RDI**：IrDA モードでは、受信データ入力はデータ入力です。
- **IrDA_TDO**：IrDA モードでの送信データ出力。

ハードウェアフロー制御モードでは次のピンが必要になります。

- **nCTS**：Clear To Send は、ハイレベルのとき、現在の転送の終わりにデータ送信をブロックします。
- **nRTS**：Request To Send は、ローレベルのとき、USART がデータを受信できることを示します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図277. USART ブロック図



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

26.3.1 USART キャラクタの説明

ワード長は、USART_CR1 レジスタの M ビットをプログラミングすることによって、8 ビットまたは 9 ビットとして選択できます（*図 278* を参照）。

TX ピンは、スタートビットの処理中にはロー状態です。また、ストップビットの処理中にはハイ状態です。

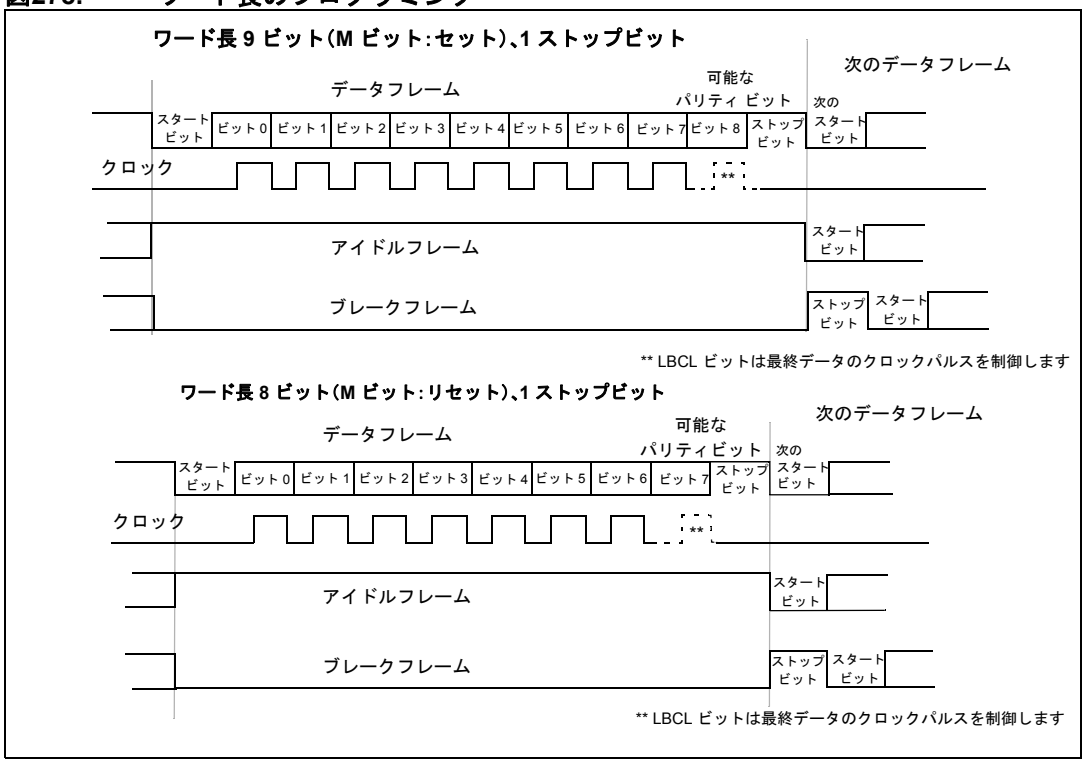
アイドルキャラクタは 1 フレーム分の“1”であると解釈されます。なお、この後にデータが格納された次のフレームの スタートビットが続きます（“1”の数には ストップビットの数も含まれます）。

ブレークキャラクタは 1 フレーム周期分の“0”を受信することであると解釈されます。ブレークフレームの終わりに、スタートビットを確認応答するために、トランスミッタは 1 個または 2 個の ストップビット（論理“1”ビット）を挿入します。

送信と受信は、共通のボーレートジェネレータによって駆動されます。それぞれのクロックは、トランスミッタとレシーバのイネーブルビットがそれぞれセットされたときに生成されます。

各ブロックの詳細を次に示します。

図278. ワード長のプログラミング



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

26.3.2 トランスミッタ

トランスミッタは、M ビットのステータスに応じて、8 または 9 ビットのデータワードを送信します。送信イネーブルビット（TE）がセットされているとき、送信シフトレジスタ内のデータは TX ピンに出力され、対応するクロックパルスは CK ピンに出力されます。

キャラクタ送信

USART 送信時、データは LSB ファーストで TX ピンにシフトアウトされます。このモードでは、USART_DR レジスタは、内部バスと送信シフトレジスタの間のバッファ（TDR）で構成されます（*図 277* を参照）。

各キャラクタの前にスタートビット（1 ビット周期の低論理レベル）があります。キャラクタは、設定可能な数のストップビットによって終わります。

USART では、0.5、1、1.5、および 2 のストップビットがサポートされています。

注： 1 *データの送信中に TE ビットをリセットしないでください。送信中に TE ビットをリセットすると、ボーレートカウンタが凍結されるため、TX ピンのデータが破壊されます。送信中のデータは失われます。*

2 *TE ビットが有効にされた後、アイドルフレームが送信されます。*

設定可能な ストップビット

キャラクタとともに送信されるストップビットの数は、制御レジスタ 2 のビット 13、12 でプログラミングできます。

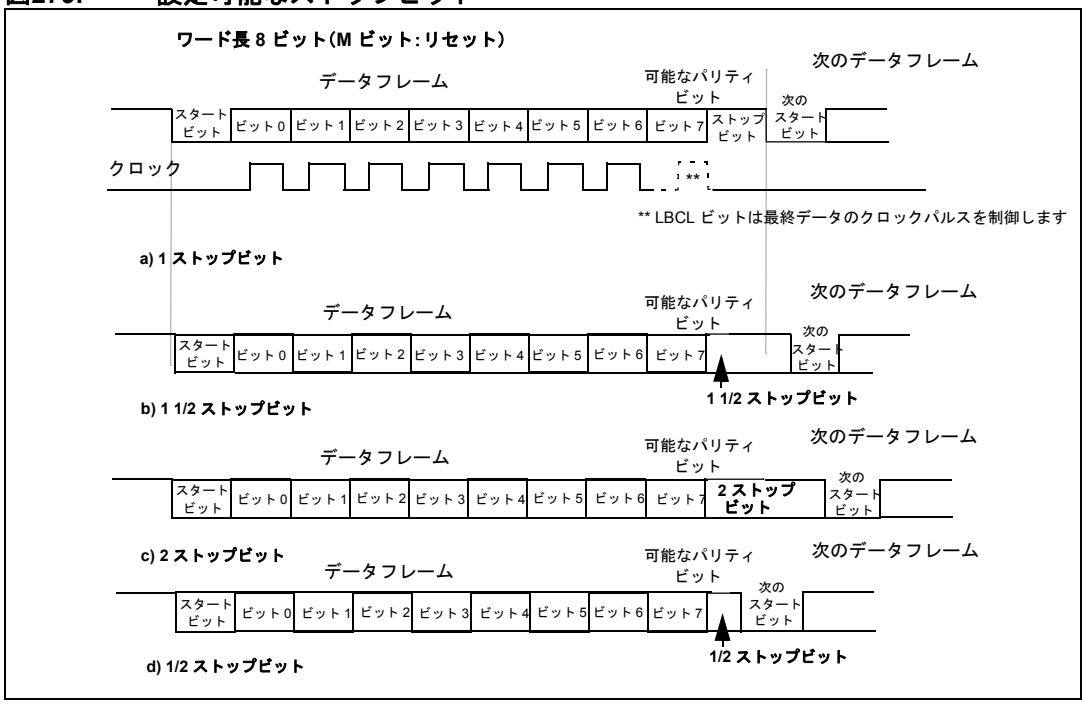
1. ***1 ストップビット*** : ストップビット数のデフォルト値です。
2. ***2 ストップビット*** : 通常の USART モード、単線モード、およびモデムモードでサポートされます。
3. ***0.5 ストップビット*** : スマートカードモードでのデータの受信に使用されます。
4. ***1.5 ストップビット*** : スマートカードモードでのデータの送受信に使用されます。

アイドルフレームの送信にはストップビットが含まれます。

ブレーク送信では、10 個（m = 0 の場合）または 11 個（m = 1 の場合）のローレベルビットの後に、設定された数のストップビットが続きます。ローレベルビットの数が 10/11 個を超える長いブレークを送信することはできません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図279. 設定可能なストップビット



手順：

1. USART_CR1 レジスタの UE ビットに 1 を書き込むことによって、USART を有効にします。
2. USART_CR1 レジスタの M ビットをプログラミングして、ワード長を定義します。
3. USART_CR2 レジスタでストップビットの数をプログラミングします。
4. マルチバッファ通信を行う場合は、USART_CR3 レジスタの DMA イネーブル（DMAT）を選択します。マルチバッファ通信の説明に基づいて、DMA レジスタを設定します。
5. USART_BRR レジスタを使用して、希望するボーレートを選択します。
6. USART_CR1 の TE ビットをセットして、最初の送信としてアイドルフレームを送信します。
7. 送信するデータを USART_DR レジスタに書き込みます（これによって TXE ビットがクリアされます）。シングルバッファの場合、送信するデータごとにこれを繰り返します。
8. USART_DR レジスタに最後のデータを書き込んだ後、TC=1 になるまで待ちます。これは、最後のフレームの送信が完了したことを示します。これは、たとえば、最後の送信内容を破棄せずに、USART を無効にされたり停止モードに入れたりする場合に必要な操作です。

1 バイト通信

TXE ビットのクリアは、常にデータレジスタへの書き込みによって行われます。

TXE ビットは、ハードウェアによってセットされ、次のことを示します。

- データが TDR からシフトレジスタに移動され、データ送信が開始されました。
- TDR レジスタは空です。
- 次のデータは、前のデータを上書きすることなく、USART_DR レジスタに書き込みできます。

TXEIE ビットがセットされている場合、このフラグは割り込みを生成します。

送信が行われている場合、データは、USART_DR レジスタへの書き込み命令によって TDR レジスタに格納され、さらに、現在の送信の最後にシフトレジスタにコピーされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

送信が行われていない場合、データは、USART_DR レジスタへの書き込み命令によってシフトレジスタに直接格納され、データ送信が開始され、TXE ビットがただちにセットされます。

フレームが送信され（ストップビットの後）、TXE ビットがセットされた場合、TC ビットはハイレベルになります。USART_CR1 レジスタの TCIE ビットがセットされている場合、割り込みが生成されます。

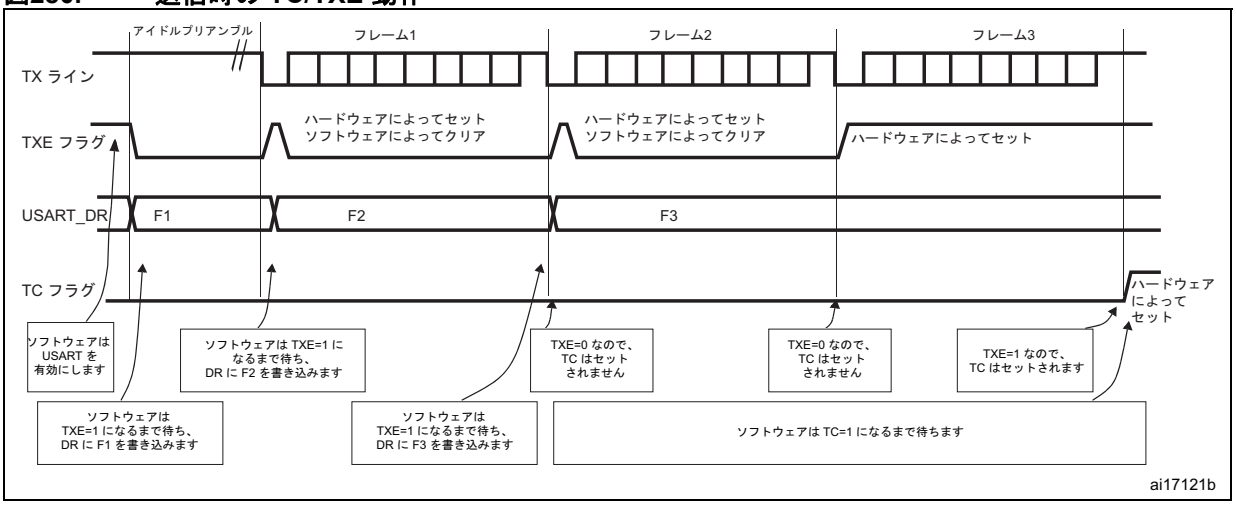
USART_DR レジスタに最後のデータを書き込んだ後、USART を無効にしたり、マイクロコントローラを低電力モードにするには、その前に TC=1 になるまで待つ必要があります（*図 280：送信時の TC/TXE 動作*を参照）。

TC ビットは、次のソフトウェアシーケンスによってクリアされます。

1. USART_SR レジスタからの読み出し
2. USART_DR レジスタへの書き込み

注： ***TC ビットは、“0”を書き込むことによってもクリアされます。このクリアシーケンスは、マルチバッファ通信の場合にのみ推奨されます。***

図280. 送信時の TC/TXE 動作



ブレークキャラクタ

SBK ビットをセットすると、ブレークキャラクタが送信されます。ブレークフレーム長は、M ビットに依存します（*図 278* を参照）。

SBK ビットが“1”にセットされると、現在のキャラクタ送信が完了してから、TX ラインにブレークキャラクタが送信されます。このビットは、ブレークキャラクタが完了したとき（ブレークキャラクタのストップビット）、ハードウェアによってリセットされます。次のフレームのスタートビットが正しく認識されるように、USART は、最後のブレークフレームの終わりに論理 1 ビットを挿入します。

注： ***ソフトウェアがブレーク送信の開始より前に SBK ビットをリセットした場合、ブレークキャラクタは送信されません。2 つの連続したブレークの場合、前のブレークのストップビットの後で SBK ビットをセットしてください。***

アイドルキャラクタ

TE ビットをセットすると、USART は、最初のデータフレームの前にアイドルフレームを送信します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

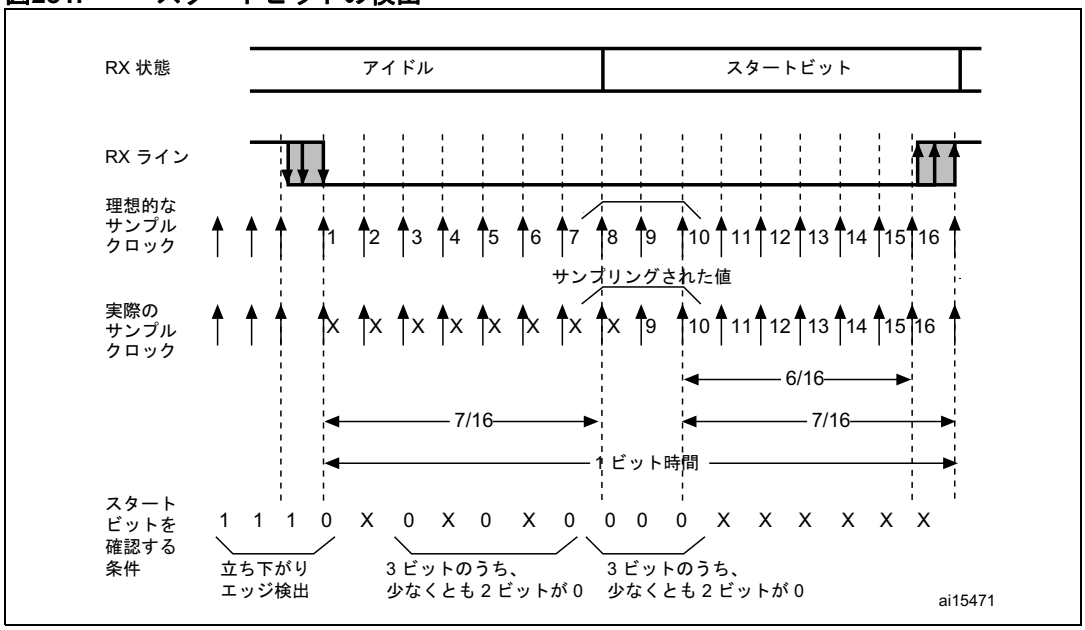
26.3.3 レシーバ

USART は、USART_CR1 レジスタの M ビットに応じて、8 ビットまたは 9 ビットのデータワードを受信します。

スタートビットの検出

USART では、特定のサンプルシーケンスが認識されると、スタートビットが検出されます。このシーケンスは、1 1 1 0 X 0 X 0 X 0 0 0 0 です。

図281. スタートビットの検出



注： *シーケンスが完了していない場合、スタートビットの検出は中止され、レシーバはアイドル状態に戻って（フラグはセットされません）、立ち下がりエッジを待ちます。*

サンプリングされた 3 つのビットが 0 の場合（第 3、第 5、および第 7 ビットでの最初のサンプリングで 3 つのビットが 0 であり、第 8、第 9、および第 10 ビットでの 2 回目のサンプリングでも 3 つのビットが 0）、スタートビットが確認されます（RXNE フラグがセットされ、RXNEIE=1 の場合は割り込みが生成されます）。

スタートビットは確認されますが（RXNE フラグがセットされ、RXNEIE=1 の場合は割り込みが生成されます）、両方のサンプリングで、サンプリングされた 3 つのビットのうち、少なくとも 2 つが 0 の場合（第 3、第 5、および第 7 ビットでのサンプリングと、第 8、第 9、および第 10 ビットでのサンプリング）、NE ノイズフラグがセットされます。この条件が満たされない場合、スタートビットの検出は中止され、レシーバはアイドル状態に戻ります（フラグはセットされません）。

いずれか一方のサンプリングで（第 3、第 5、および第 7 ビットでのサンプリングまたは第 8、第 9、および第 10 ビットでのサンプリング）、3 つのビットのうち 2 つが 0 の場合、スタートビットは確認されますが、NE ノイズフラグビットがセットされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

キャラクタの受信

USART の受信時には、データは RX ピンを通じて LSB ファーストでシフトインされます。このモードでは、USART_DR レジスタは、内部バスと受信シフトレジスタの間のバッファ（RDR）で構成されます。

手順：

1. USART_CR1 レジスタの UE ビットに 1 を書き込むことによって、USART を有効にします。
2. USART_CR1 レジスタの M ビットをプログラミングして、ワード長を定義します。
3. USART_CR2 レジスタでストップビットの数をプログラミングします。
4. マルチバッファ通信を行う場合には、USART_CR3 レジスタの DMA イネーブル（DMAR）を選択します。マルチバッファ通信の説明に基づいて、DMA レジスタを設定します。STEP 3
5. ボーレートレジスタ USART_BRR を使用して、希望するボーレートを選択します。
6. USART_CR1 レジスタの RE ビットをセットします。これによってレシーバが有効になり、スタートビットの検索を開始します。

キャラクタが受信されると、

- RXNE ビットがセットされます。これは、シフトレジスタの内容が RDR レジスタに転送されたことを示します。言い換えると、データは受信され、読み出し可能です（関連するエラーフラグも同様です）。
- RXNEIE ビットがセットされている場合、割り込みが生成されます。
- 受信時にフレームエラー、ノイズ、またはオーバーランエラーが検出された場合、エラーフラグをセットできます。
- マルチバッファでは、RXNE ビットは、バイトが受信されるたびにセットされ、データレジスタへの DMA 読み出しによってクリアされます。
- シングルバッファモードでは、RXNE ビットのクリアは、USART_DR レジスタへのソフトウェア読み出しによって行われます。RXNE フラグは、0 を書き込むことによってもクリアできます。オーバーランエラーを避けるには、次のキャラクタの受信が終了する前に、RXNE ビットをクリアする必要があります。

注： ***データの受信中には、RE ビットをリセットしないでください。受信中に RE ビットが無効にされた場合、現在のバイトの受信は中止されます。***

ブレークキャラクタ

ブレークキャラクタが受信されると、USART はこれをフレーミングエラーとして処理します。

アイドルキャラクタ

アイドルフレームが検出された場合、データ受信キャラクタと同じ手順があり、IDLEIE ビットがセットされている場合は割り込みが生成されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

オーバーランエラー

RXNE ビットがリセットされていないときにキャラクタが受信されると、オーバーランエラーが発生します。RXNE ビットがクリアされない限り、データをシフトレジスタから RDR レジスタに転送することはできません。

RXNE フラグは、バイトが受信されるたびにセットされます。次のデータが受信されたときに RXNE フラグがセットされていた場合、または前回の DMA リクエストがまだ処理されていない場合、オーバーランエラーが発生します。オーバーランエラーが発生すると、

- ORE ビットがセットされます。
- RDR の内容は失われません。USART_DR への読み出しが行われると、前回のデータが読み出されます。
- シフトレジスタは上書きされます。その後、オーバーラン中に受信されたデータは失われます。
- RXNEIE ビットがセットされた場合、または EIE ビットと DMAR ビットの両方がセットされた場合は、割り込みが生成されます。
- ORE ビットは、USART_SR レジスタの読み出しと、それに続く USART_DR レジスタの読み出し動作によってリセットされます。

注： ***ORE ビットがセットされた場合、少なくとも 1 個のデータが失われています。この場合、次の 2 つの可能性があります。***

- *RXNE=1 の場合、有効な最後のデータは、受信レジスタ RDR に格納され、読み出しが可能です。*
- *RXNE=0 の場合、有効な最後のデータはすでに読み出されているため、RDR レジスタには読み出すべきデータがありません。このケースは、有効な最後のデータの RDR への読み込みと、新しい（そして失われた）データの受信が同時に行われた場合に発生します。また、読み出しシーケンス中(USART_SR レジスタと USART_DR レジスタの読み出しアクセスの間)に新しいデータが受信された場合にも発生します。*

ノイズエラー

データ復旧にはオーバーサンプリング技術が使用され（同期モードの場合を除く）、有効な受信データとノイズを区別します。

図282. ノイズ検出のためのデータサンプリング

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表189. サンプリングされたデータからのノイズ検出

サンプリングされた値	NE ステータス	受信ビットの値	データの有効性
000	0	0	有効
001	1	0	無効
010	1	0	無効
011	1	1	無効
100	1	0	無効
101	1	1	無効
110	1	1	無効
111	0	1	有効

フレーム内でノイズが検出された場合：

- RXNE ビットの立ち上がりエッジで、NE ビットがセットされます。
- 無効なデータがシフトレジスタから USART_DR レジスタへ転送されます。
- 1 バイト通信の場合、割り込みは生成されません。ただし、このビットは、割り込みを生成する RXNE ビットと同時に立ち上がります。マルチバッファ通信の場合、USART_CR3 レジスタの EIE ビットがセットされている場合、割り込みが発行されます。

NE ビットは、USART_SR レジスタの読み出し動作と、それに続く USART_DR レジスタの読み出し動作によってリセットされます。

フレーミングエラー

フレーミングエラーは、次の場合に検出されます。

非同期化または過度なノイズのため、受信時に予想されたタイミングで ストップビットが認識されない場合。

フレーミングエラーが検出された場合：

- ハードウェアによって FE ビットがセットされます。
- 無効なデータがシフトレジスタから USART_DR レジスタへ転送されます。
- 1 バイト通信の場合、割り込みは生成されません。ただし、このビットは、割り込みを生成する RXNE ビットと同時に立ち上がります。マルチバッファ通信の場合、USART_CR3 レジスタの EIE ビットがセットされている場合、割り込みが発行されます。

FE ビットは、USART_SR レジスタの読み出し動作と、それに続く USART_DR レジスタの読み出し動作によってリセットされます。

受信時の設定可能なストップビット

受信するストップビット数は、制御レジスタ 2 の制御ビットを通じて設定でき、通常モードでは 1 または 2、スマートカードモードでは 0.5 または 1.5 にできます。

1. ***0.5 ストップビット（スマートカードモードでの受信）***: 0.5 ストップビットでは、サンプリングは行われません。したがって、0.5 ストップビットが選択されている場合、フレーミングエラーやブレークフレームの検出は行われません。
2. ***1 ストップビット***: 1 ストップビットのサンプリングは、8 番目、9 番目、および 10 番目のサンプルで行われます。
3. ***1.5 ストップビット（スマートカードモード）***: スマートカードモードでの送信時には、デバイスは、データが正しく送信されたことをチェックする必要があります。したがって、レシーバブ

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ロックを有効にし（USART_CR1 レジスタの RE=1）、ストップビットをチェックして、スマートカードがパリティエラーを検出したかどうかをテストする必要があります。パリティエラーが発生した場合、スマートカードはサンプリング時のデータ信号を強制的にローレベルにします（これは、フレーミングエラーとして示される NACK 信号です）。その後、1.5 ストップビットの最後に、RXNE ビットとともに FE フラグがセットされます。1.5 ストップビットのサンプリングは、16 番目、17 番目、および 18 番目のサンプルで（ストップビットの開始から 1 ボークロック周期後に）行われます。1.5 ストップビットは、2 つの部分に分けられます。すなわち、何も起こらない 0.5 ボークロック周期と、途中でサンプリングが行われる通常の 1 ストップビット周期です。詳細については、*セクション 26.3.11：スマートカード（764 ページ）*を参照してください。

4. ***2 ストップビット***：2 ストップビットのサンプリングは、最初の ストップビットの 8 番目、9 番目、および 10 番目のサンプルで行われます。最初の ストップビットでフレーミングエラーが検出された場合、フレーミングエラーフラグがセットされます。2 番目の ストップビットでは、フレーミングエラーの検査は行われません。RXNE フラグは、最初の ストップビットの最後でセットされます。

26.3.4 ボーレート生成

レシーバとトランスミッタ（Rx と Tx）のボーレートには、USARTDIV の整数部と小数部にプログラミングされたものと同じ値が設定されます。

$$\text{Tx/ Rx ボー} = \frac{f_{CK}}{(16*\text{USARTDIV})}$$

凡例:f_{CK} - ペリフェラルへの入力クロック（USART2、3、4、5 では PCLK1、USART1 では PCLK2）

USARTDIV は、符号なしの固定小数点数であり、USBART_BRR レジスタにコード化されます。

注： ***ボーカウンタは、USART_BRR への書き込み後、ボーレジスタの新しい値によって更新されます。したがって、通信中には、ボーレートレジスタの値を変更しないでください。***

USART_BRR レジスタの値から USARTDIV を得る方法：

例 1：

DIV_Mantissa = 0d27 かつ DIV_Fraction = 0d12（USART_BRR = 0x1BC）の場合、

整数部 (USARTDIV) = 0d27

小数部 (USARTDIV) = 12/16 = 0d0.75

したがって、USARTDIV = 0d27.75

例 2：

USARTDIV = 0d25.62 をプログラミングするには

次のようにします。

DIV_Fraction = 16*0d0.62 = 0d9.92

最も近い実数は 0d10 = 0xA

DIV_Mantissa = 整数部 (0d25.620) = 0d25 = 0x19

USART_BRR = 0x19A であるため、USARTDIV = 0d25.625

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

例 3：

USARTDIV = 0d50.99 をプログラミングするには

次のようにします。

DIV_Fraction = 16*0d0.99 = 0d15.84

最も近い実数は 0d16 = 0x10 => DIV_frac[3:0] のオーバーフロー => キャリーを整数部に加算する必要があります。

DIV_Mantissa = 整数部 (0d50.990 + キャリー) = 0d51 = 0x33

USART_BRR = 0x330 であるため、USARTDIV = 0d51.000

表190. プログラミングされたボーレートの誤差計算

ボーレート		f_{PCLK} = 36 MHz			f_{PCLK} = 72 MHz		
S.No	Kbps 単位	実際	ボーレートレジスタにプログラミングされた値	誤差（%）= (計算値 - 目標値) B レート / 目標の B レート	実際	ボーレートレジスタにプログラミングされた値	誤差（%）
1.	2.4	2.400	937.5	0%	2.4	1875	0%
2.	9.6	9.600	234.375	0%	9.6	468.75	0%
3.	19.2	19.2	117.1875	0%	19.2	234.375	0%
4.	57.6	57.6	39.0625	0%	57.6	78.125	0.%
5.	115.2	115.384	19.5	0.15%	115.2	39.0625	0%
6.	230.4	230.769	9.75	0.16%	230.769	19.5	0.16%
7.	460.8	461.538	4.875	0.16%	461.538	9.75	0.16%
8.	921.6	923.076	2.4375	0.16%	923.076	4.875	0.16%
9.	2250	2250	1	0%	2250	2	0%
10.	4500	NA	NA	NA	4500	1	0%

注： 1 *CPU クロック周波数が低いほど、ボーレートの精度も低下します。ボーレートの達成可能な上限は、このデータによって決定できます。*

2 *USART1 だけが PCLK2（最大 72 MHz）でクロック供給されます。他の USART は PCLK1（最大 36 MHz）でクロック供給されます。*

26.3.5 クロック偏差に対する USART レシーバの許容誤差

USART の非同期レシーバが正しく機能するのは、クロックシステムの合計偏差が USART レシーバの許容誤差を下回る場合に限ります。合計偏差につながる原因は、以下のとおりです。

- DTRA：トランスミッタの誤差に起因する偏差（トランスミッタのローカルオシレータの偏差も含みます）
- DQUANT：レシーバのボーレート量子化に起因する誤差
- DREC：レシーバのローカルオシレータの偏差
- DTCL：送信ラインに起因する偏差（一般には、ローからハイへの遷移タイミングとハイからローへの遷移タイミングの間に非対称性をもたらすトランシーバに起因）

DTRA + DQUANT + DREC + DTCL < USART レシーバの許容誤差

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

データを正しく受信するための USART レシーバの許容誤差は、許容される最大偏差と等しく、以下の選択に依存します。

- USART_CR1 レジスタの M ビットによって定義される 10/11 ビットのキャラクタ長
- フラクショナルボーレートを使用するかどうか

表191. USART レシーバの許容誤差（DIV_Fraction が 0 の場合）

M ビット	NF はエラー	NF は無視
0	3.75%	4.375%
1	3.41%	3.97%

表192. USART レシーバの許容誤差（DIV_Fraction が 0 でない場合）

M ビット	NF はエラー	NF は無視
0	3.33%	3.88%
1	3.03%	3.53%

注： *表 191 と表 192 に示されている数値は、受信したフレームが正確に 10 ビット時間（M=0 の場合）または 11 ビット時間(M=1 の場合)のアイドルフレームを含んでいる場合、若干異なることがあります。*

26.3.6 マルチプロセッサ通信

複数の USART をネットワークに接続することによって、マルチプロセッサ通信を行うことができます。たとえば、1 つの USART をマスタとして、その TX 出力を別の USART の RX 入力に接続することができます。別の USART はスレーブであり、それぞれの TX 出力の論理積をとった上でマスタの RX 入力に接続します。

マルチプロセッサ設定では、メッセージの本来の受信者のみがメッセージ内容の全体を能動的に受信することが望ましい場合が多く、これによって対象外のレシーバに対する USART のオーバーヘッドを減らすことができます。

対象外のデバイスは、ミュート機能によってミュートモードに置かれます。ミュートモードでは、

- 受信ステータスビットはセットできません。
- すべての受信割り込みは禁止されます。
- USART_CR1 レジスタの RWU ビットが 1 にセットされます。RWU ビットは、ハードウェアによって自動的に制御されますが、特定の条件下ではソフトウェアによる書き込みが可能です。

USART は、USART_CR1 レジスタの WAKE ビットの設定に応じて、次のいずれかの方法でミュートモードの出入りを制御できます。

- WAKE ビットがリセットされている場合は、アイドルライン検出
- WAKE ビットがセットされている場合は、アドレスマーク検出

アイドルライン検出（WAKE=0）

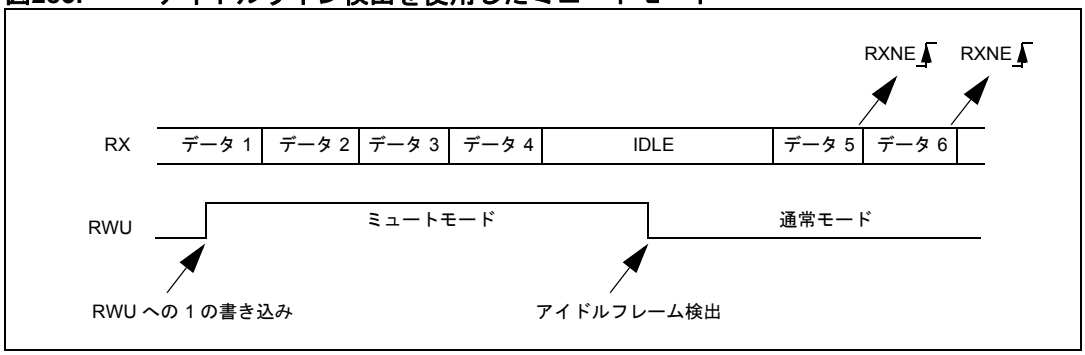
RWU ビットに 1 が書き込まれると、USART はミュートモードに入ります。

USART は、アイドルフレームの検出によってウェイクアップします。その後、RWU ビットはハードウェアによってクリアされますが、USART_SR レジスタの IDLE ビットはセットされません。RWU ビットには、ソフトウェアによって 0 を書き込むこともできます。

図 283 に、アイドルライン検出を使用したミュートモード動作の例を示します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図283. アイドルライン検出を使用したミュートモード



アドレスマーク検出（WAKE=1）

このモードでは、MSB が“1”のバイトはアドレスとして、そうでないバイトはデータとして、それぞれ認識されます。アドレスバイトでは、ターゲットレシーバのアドレスは下位 4 ビットに置かれます。レシーバは、この 4 ビットワードを、USART_CR2 レジスタの ADD ビットにプログラミングされている自分のアドレスと比較します。

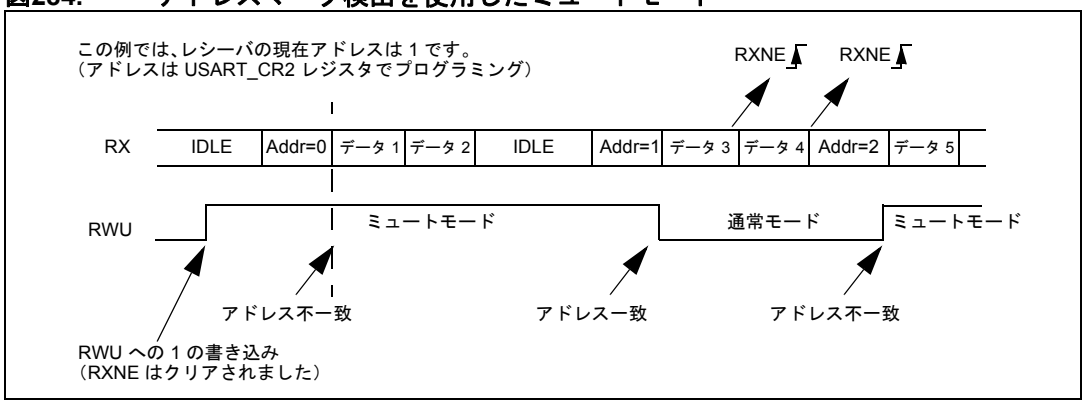
プログラミングされたアドレスと一致しないアドレスキャラクタが受信されると、USART はミュートモードに入ります。この場合、RWU ビットはハードウェアによってセットされます。USART はミュートモードに入っているので、このアドレスバイトに対して RXNE フラグはセットされず、割り込みも DMA リクエストも発行されません。

プログラミングされたアドレスと一致するアドレスキャラクタが受信されると、USART はミュートモードから抜けます。続いて RWU ビットがクリアされ、それ以降のバイトは通常どおりに受信されます。RWU ビットはクリアされているので、アドレスキャラクタに対して RXNE ビットがセットされます。

レシーババッファにデータが存在しない場合（USART_SR レジスタの RXNE=0）、RWU ビットに 0 または 1 を書き込むことができます。そうでない場合、書き込みは無視されます。

図 284 に、アドレスマーク検出を使用したミュートモード動作の例を示します。

図284. アドレスマーク検出を使用したミュートモード



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

26.3.7 パリティ制御

パリティ制御（送信中のパリティビット生成と受信中のパリティ検査）を有効にするには、USART_CR1 レジスタの PCE ビットをセットします。M ビットによって定義されるフレーム長に応じて、予想される USART フレームフォーマットを*表 193* に示します。

表193. フレームフォーマット(1)

M ビット	PCE ビット	USART フレーム
0	0	| SB | 8 ビットデータ | STB |
0	1	| SB | 7 ビットデータ | PB | STB |
1	0	| SB | 9 ビットデータ | STB |
1	1	| SB | 8 ビットデータ | PB | STB |

1. 凡例：SB：スタートビット、STB：ストップビット、PB：パリティビット

注： ***アドレスマークによるウェイクアップの場合、データの最上位ビットが考慮に入れられます（パリティビットではありません）。***

偶数パリティ：下位 7 ビットまたは 8 ビット（M=0 または M=1 に応じて）とパリティビットから構成されるフレーム内で、“1”のビットが偶数になるように、パリティビットが計算されます。

例：データ = 00110101、4 ビットがセット => 偶数パリティが選択された場合（USART_CR1 の PS=0）、パリティビットは 0 になります。

奇数パリティ：下位 7 ビットまたは 8 ビット（M=0 または M=1 に応じて）とパリティビットから構成されるフレーム内で、“1”のビットが奇数になるように、パリティビットが計算されます。

例：データ = 00110101、4 ビットがセット => 奇数パリティが選択された場合（USART_CR1 の PS=1）、パリティビットは 1 になります。

送信モード：USART_CR1 の PCE ビットがセットされている場合、データレジスタに書き込まれたデータの最上位ビットは、パリティビットに交換されて送信されます（これによって、PS=0 で偶数パリティが選択されている場合は偶数個の“1”、PS=1 で奇数パリティが選択されている場合は奇数個の“1”になります）。パリティ検査に失敗した場合、USART_SR レジスタの PE フラグがセットされ、USART_CR1 レジスタの PEIE ビットがセットされている場合は割り込みが生成されます。

26.3.8 LIN（local interconnection network）モード

LIN モードを選択するには、USART_CR2 レジスタの LINEN ビットをセットします。LIN モードでは、次のビットはクリアされた状態に保つ必要があります。

- USART_CR2 レジスタの CLKEN ビット
- USART_CR3 レジスタの STOP[1:0]、SCEN、HDSEL、および IREN ビット

LIN 送信

LIN マスタの送信では、通常の USART 送信の手順ではなく、*セクション 26.3.2* で説明したものと同じ手順を適用する必要がありますが、次の点が異なります。

- 8 ビットのワード長を設定するには M ビットをクリアします。
- LIN モードに入るには LINEN ビットをセットします。この場合、SBK ビットをセットすると、13 個の“0”ビットがブレークキャラクタとして送信されます。その後、値“1”のビットが送信され、次の START 検出が可能になります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

LIN 受信

LIN モードが有効になると、ブレーク検出回路が起動します。この検出は、通常の USART レシーバとは完全に独立しています。アイドル状態時やフレームの処理中には、ブレークは発生のたびに検出できます。

レシーバが有効になると（USART_CR1 レジスタの RE=1）、RX 入力の START 信号を探します。スタートビットの検出方法は、ブレークキャラクタやデータの検索方法と同じです。スタートビットが検出された後、データの場合とまったく同様に次のビットがサンプリングされます（8、9、および 10 番目のサンプル）。10 個（USART_CR2 レジスタの LBDL=0）または 11 個（USART_CR2 レジスタの LBDL=1）の連続した“0”ビットが検出され、その後にデリミタキャラクタが続く場合、USART_SR レジスタの LBD フラグがセットされます。LBDIE ビットが 1 の場合、割り込みが生成されます。ブレークを確認する前に、RX ラインがハイレベルに戻ったことを知らせるデリミタが検査されます。

この 10/11 個が発生する前に“1”がサンプリングされた場合、ブレーク検出回路は現在の検出をキャンセルし、再び スタートビットを検索します。

LIN モードが無効にされた場合（LINEN=0）、レシーバは、ブレーク検出を考慮することなく、通常の USART として機能し続けます。

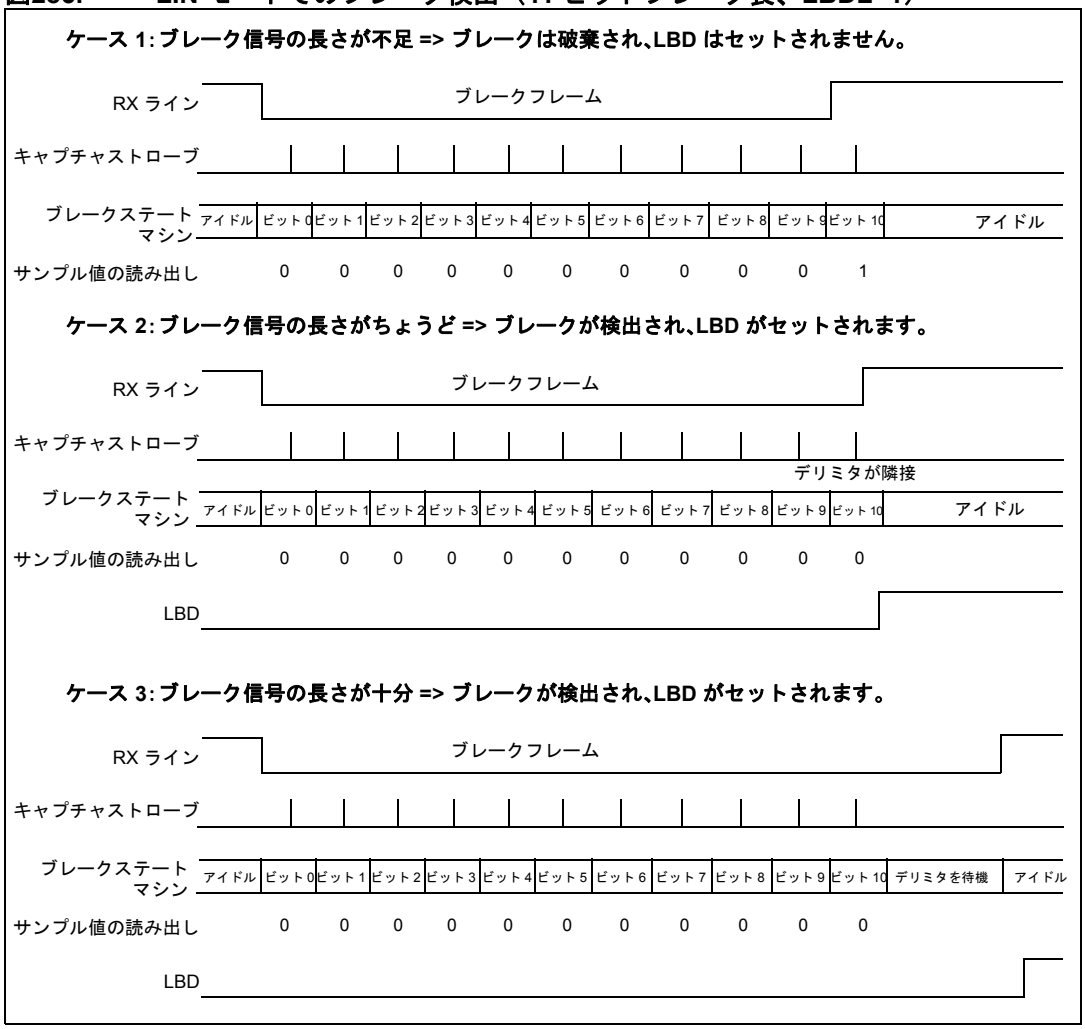
LIN モードが有効にされた場合（LINEN=1）、フレーミングエラーが発生（つまり、ブレークフレームの場合と同様に、“0”の位置で ストップビットを検出）すると、レシーバはすぐに停止し、ブレーク検出回路が“1”（ブレークワードが完全でなかった場合）またはデリミタキャラクタ（ブレークが検出された場合）を受信するまで停止状態を維持します。

ブレーク検出回路ステートマシンの動作とブレークフラグを*図 285:LIN モードでのブレーク検出（11 ビットブレーク長、LBDL=1）（760 ページ）*に示します。

ブレークフレームの例を*図 286 : LIN モードでのブレーク検出とフレーミングエラー検出（761 ページ）*に示します。

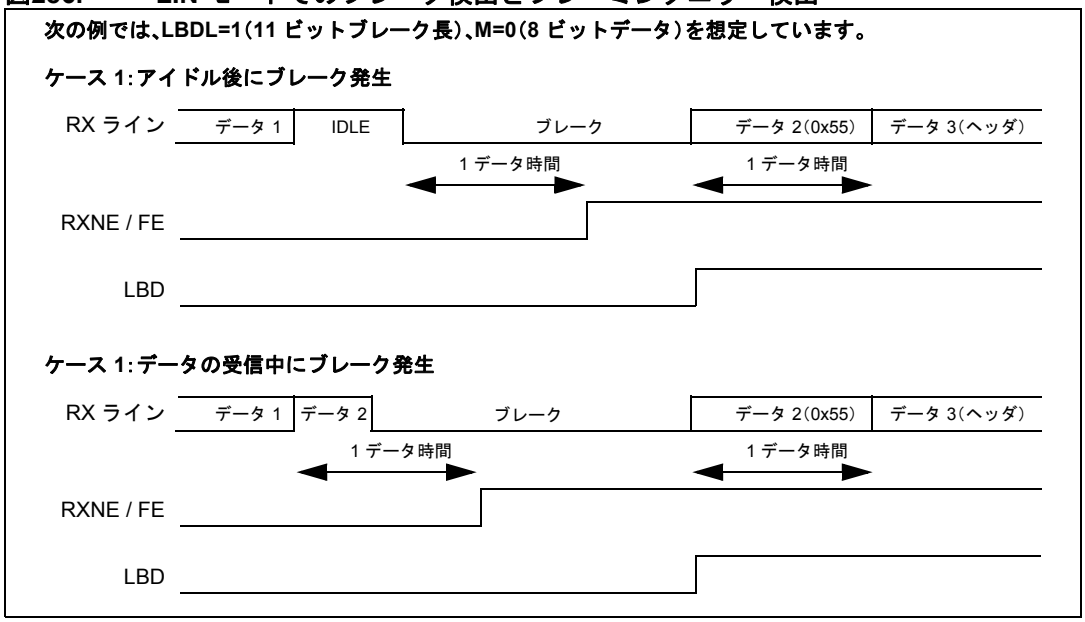
この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図285. LIN モードでのブレーク検出（11 ビットブレーク長、LBDL=1）



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図286. LIN モードでのブレーク検出とフレーミングエラー検出



26.3.9 USART 同期モード

同期モードを選択するには、USART_CR2 レジスタの CLKEN ビットに 1 を書き込みます。同期モードでは、次のビットはクリアされた状態に保つ必要があります。

- USART_CR2 レジスタの LINEN ビット
- USART_CR3 レジスタの SCEN、HDSEL、および IREN ビット

USART では、マスタモードで両方向の同期シリアル通信を制御できます。CK ピンは USART トランスミッタクロックの出力です。スタートビットと ストップビットの処理中には、CK ピンにクロックパルスは送信されません。USART_CR2 レジスタの LBCL ビットの状態によっては、有効な最後のデータビット（アドレスマーク）の処理中にクロックパルスが生成されることもあります。USART_CR2 レジスタの CPOL ビットによってクロック極性を選択でき、同じレジスタの CPHA ビットによって外部クロックの位相を選択できます（*図 287*、*図 288*、および*図 289* を参照）。

アイドル時、プリアンブル処理時、およびブレーク送信時には、外部 CK クロックは起動されません。

同期モードでは、USART トランスミッタは非同期モードの場合とまったく同じように機能します。しかし、CPOL と CPHA に基づいて CK が TX と同期すると、TX 上のデータが同期します。

このモードでは、USART レシーバは非同期モードの場合とは異なる動作をします。RE=1 の場合、データは、オーバーサンプリングなしで、CK（CPOL と CPHA に応じて立ち上がりまたは立ち下がりエッジ）でサンプリングされます。このとき、ボーレート（1/16 ビット時間）に応じたセットアップ時間とホールド時間を守る必要があります。

注： *1 CK ピンは TX ピンとともに機能します。したがって、クロックが供給されるのは、トランスミッタが有効であり（TE=1）、データが送信中（データレジスタ USART_DR への書き込み）の場合に限られます。つまり、データ送信を行わずに同期データを受信することはできません。*

2 トランスミッタとレシーバが無効にされた場合（TE=RE=0）、クロックパルスが正常に機能するには、LBCL、CPOL、および CPHA の各ビットを選択する必要があります。これらのビットは、トランスミッタまたはレシーバが有効である間は、変更しないでください。

この資料は、STMicroelectronics NV 並びにその子会社（以下 ST）が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

3 *レシーバのセットアップ時間とホールド時間を最小限に抑えるには、TE ビットと RE ビットを同じ命令でセットすることを推奨します。*

4 *USART は、マスタモードのみをサポートし、入力クロックに関連するデータを送受信することはできません（CK は常に出力です）。*

図287. USART 同期送信の例

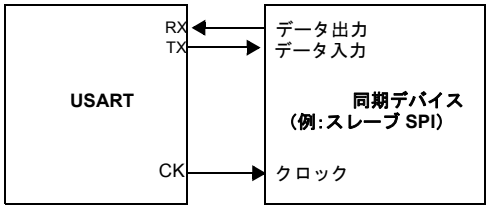
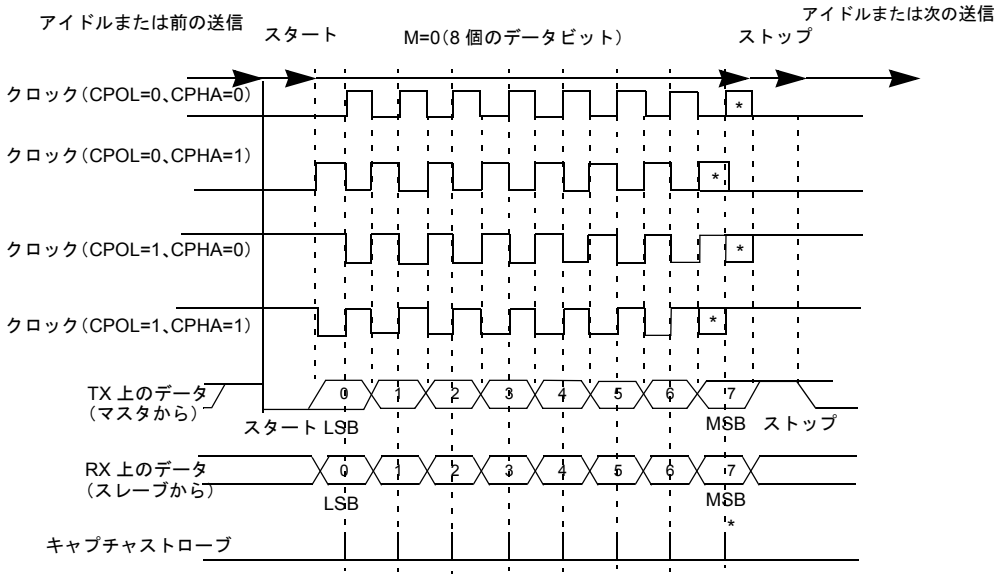


図288. USART データクロックタイミング図（M=0）



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図289. USART データクロックタイミング図（M=1）

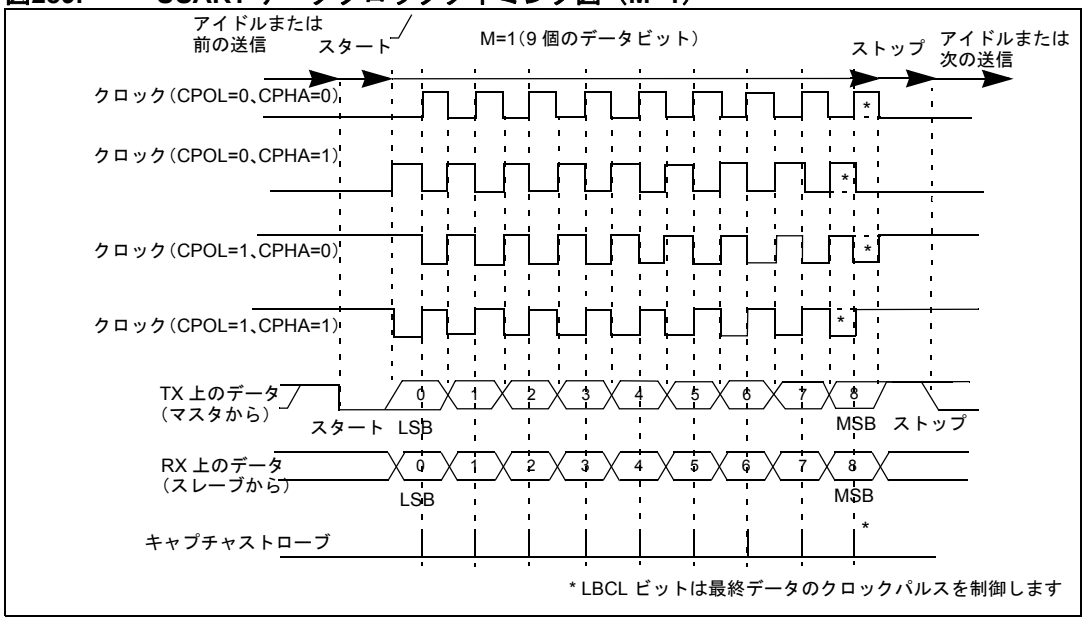
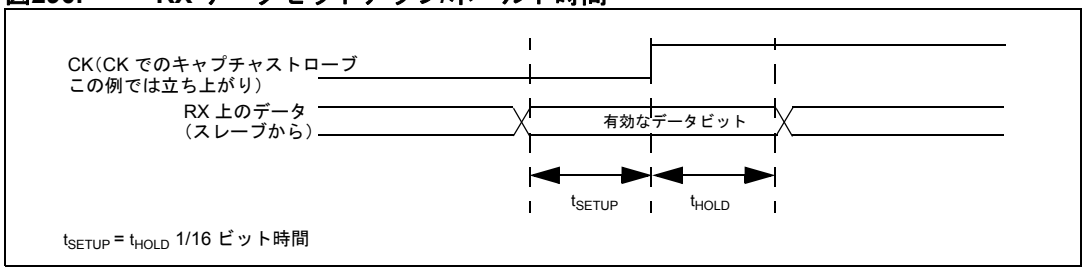


図290. RX データセットアップ/ホールド時間



注： ***スマートカードモードでは CK の機能が異なります。詳細については、スマートカードモードの説明を参照してください。***

26.3.10 単線半二重通信

単線半二重モードを選択するには、USART_CR3 レジスタの HDSEL ビットをセットします。このモードでは、次のビットはクリアされた状態に保つ必要があります。

- USART_CR2 レジスタの LINEN および CLKEN ビット
- USART_CR3 レジスタの SCEN および IREN ビット

USART は、単線半二重のプロトコルに従うように設定できます。単線半二重モードでは、TX ピンと RX ピンは内部的に接続されます。半二重通信と全二重通信の選択は、制御ビット“HALF DUPLEX SEL”（USART_CR3 レジスタの HDSEL）で行います。

HDSEL ビットに 1 が書き込まれると、

- RX は使用されなくなります。
- TX は、データが送信されないときには常に解放されます。したがって、アイドル時や受信時には標準入出力として機能します。つまり、TX が USART によって駆動されないときはフローティング入力（または出力ハイのオープンドレイン）として設定されるように、入出力を設定する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

この点を除くと、通信は通常の USART モードの場合と同様です。ラインの競合はソフトウェアによって管理する必要があります（たとえば、集中型アービタを使用）。特に、TE ビットがセットされている間は、送信はハードウェアによってブロックされることはなく、データがデータレジスタに書き込まれると送信を続行します。

26.3.11 スマートカード

スマートカードモードを選択するには、USART_CR3 レジスタの SCEN ビットをセットします。スマートカードモードでは、次のビットはクリアされた状態に保つ必要があります。

- USART_CR2 レジスタの LINEN ビット
- USART_CR3 レジスタの HDSEL および IREN ビット

さらに、スマートカードにクロックを供給するために CLKEN ビットをセットすることもできます。

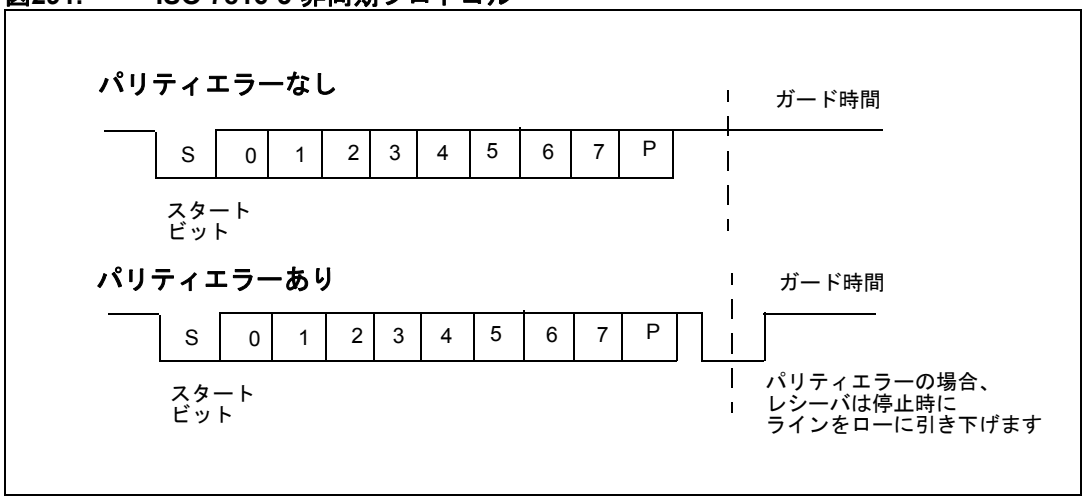
スマートカードインタフェースは、ISO 7816-3 標準で定義された非同期プロトコルスマートカードをサポートするように設計されています。USART は次のように設定してください。

- 8 ビット＋パリティ：USART_CR1 レジスタの M=1、PCE=1
- 送受信では 1.5 ストップビット：USART_CR2 レジスタの STOP="11"。

注： ***受信には 0.5 ストップビットを選択することも可能です。しかし、2 つの設定間の切り替えを避けるために、送信と受信の両方に 1.5 ストップビットを使用することを推奨します。***

図 291 は、パリティエラーの有無によるデータラインの状況の変化の例を示しています。

図291. ISO 7816-3 非同期プロトコル



スマートカードに接続されると、USART の TX 出力は、スマートカードの出力ともなる両方向ラインを駆動します。それには、製品レベルで、SW_RX は TX と同じ入出力に接続されていることが必要です。TX_EN は、スタートビットとデータバイトの送信時にアサートされ、ストップビットの処理時にネゲートされるので（ウィークプルアップ）、レシーバはパリティエラーの場合にラインを駆動できます。TX_EN が使用されない場合、TX は ストップビットの処理時にハイレベルに駆動されます。したがって、TX がオープンドレインに設定されている限り、レシーバはこのラインを駆動できます。

スマートカードは、単線半二重通信プロトコルです。

- 送信シフトレジスタからのデータの送信は、少なくとも 1/2 ボークロックの遅れが保証されます。通常動作では、満杯の送信シフトレジスタは、次のボークロックエッジでシフト動作を開始します。スマートカードモードでは、この送信は、保証された 1/2 ボークロック分だけさらに遅れます。
- 0.5 または 1.5 の ストップビット周期がプログラミングされたフレームの受信時にパリティエラーが検出された場合、受信フレームの完了後に 1 ボークロック周期の間、送信ラインはロー

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

に引き下げられます。これは、USART に送信されたデータが正しく受信されなかったことをスマートカードに知らせるためです。この NACK 信号（1 ボークロックの間、送信ラインをローにプル）は、1.5 ストップビットが組み込まれたトランスミッタ側にフレーミングエラーを引き起こします。アプリケーションは、プロトコルに基づいて、データの再送信に対処できます。NACK 制御ビットがセットされている場合、パリティエラーはレシーバによって“NACK”されます。そうでない場合、NACK は送信されません。

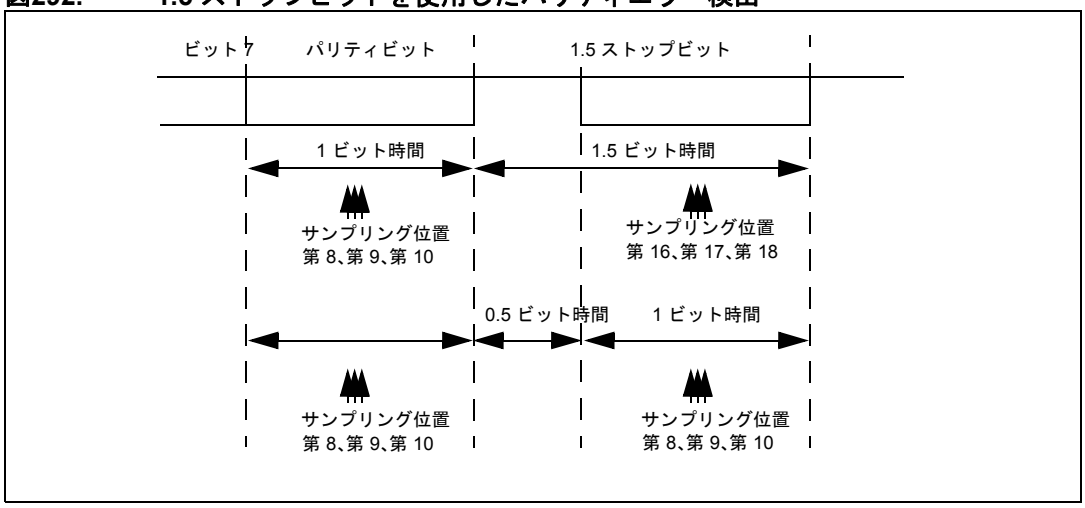
- TC フラグのアサーションは、ガードタイムレジスタのプログラミングによって遅らせることができます。通常動作では、TC がアサートされるのは、送信シフトレジスタが空であり、他に未処理の送信リクエストがない場合です。スマートカードモードでは、空の送信シフトレジスタは、ガードタイムカウンタをトリガして、ガードタイムレジスタにプログラミングされた値までカウントアップします。この間、TC は強制的にローレベルに保たれます。ガードタイムカウンタがプログラミングされた値に達すると、TC がハイにアサートされます。
- TC フラグのディアサーションは、スマートカードモードの影響を受けません。
- レシーバからの NACK によってトランスミッタ端でフレーミングエラーが検出された場合、トランスミッタの受信ブロックは、この NACK を スタートビットとして検出しません。ISO プロトコルによれば、受信される NACK の期間は 1 または 2 ボークロック周期にできます。
- レシーバ側では、パリティエラーが検出されて NACK が送信された場合、レシーバはこの NACK を スタートビットとして検出しません。

注： *1 スマートカードモードでは、ブレークキャラクタは重要ではありません。フレーミングエラー発生時のデータ 0x00 は、ブレークではなくデータとして処理されます。*

2 TE ビットをトグルしたとき、IDLE フレームは送信されません。アイドルフレームは、他の設定では定義されますが、ISO プロトコルでは定義されていません。

図 292 に、USART による NACK 信号のサンプリング方法を示します。この例では、USART はデータを送信中であり、1.5 ストップビットが組み込まれています。データと NACK 信号の整合性を検査するために、USART のレシーバ部が有効にされます。

図292. 1.5 ストップビットを使用したパリティエラー検出



USART は、CK 出力を通じてスマートカードにクロックを供給できます。スマートカードモードでは、CK は通信に関係せず、5 ビットのプリスケーラを通じて単に内部のペリフェラル入力クロックから得られます。この分周比は、プリスケーラレジスタ USART_GTPR で設定されます。ペリフェラル入力クロックの周波数を f_{CK} としたとき、CK の周波数は $f_{CK}/2$ ～ $f_{CK}/62$ の間でプログラミングできます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

26.3.12 IrDA SIR ENDEC ブロック

IrDA モードを選択するには、USART_CR3 レジスタの IREN ビットをセットします。IrDA モードでは、次のビットはクリアされた状態に保つ必要があります。

- USART_CR2 レジスタの LINEN、STOP、および CLKEN ビット
- USART_CR3 レジスタの SCEN および HDSEL ビット

IrDA SIR 物理層は、ロジック 0 を赤外光パルスとして表現する RZI（Return to Zero Inverted）変調方式の使用を指定します（*図 293* を参照）。

SIR 送信エンコーダは、USART からの NRZ（Non Return to Zero）送信ビットストリーム出力を変調します。出力パルスストリームは、外部の出力ドライバと赤外線 LED に送信されます。SIR ENDEC の場合、USART は最大 115.2 kbps のビットレートしかサポートしません。通常モードでは、送信されるパルス幅は、ビット周期の 3/16 と指定されます。

SIR 受信デコーダは、赤外線検出回路からの RZ（Return to Zero）ビットストリームを復調し、受信した NRZ シリアルビットストリームを USART に出力します。デコーダの入力は、アイドル状態のノーマルハイレベル（マーク状態）です。送信エンコーダの出力は、デコーダ入力とは逆の極性になっています。デコーダ入力がローレベルのとき、スタートビットが検出されます。

- IrDA は半二重通信プロトコルです。トランスミッタがビジーである（つまり、USART が IrDA エンコーダにデータを送信している）場合、IrDA デコーダは IrDA 受信ライン上のデータを無視します。レシーバがビジーである（USART がデコードされたデータを受信している）場合、IrDA は USART から IrDA への TX 上のデータをエンコードしません。データの受信中には、送信データの破壊を防ぐために、送信を避けてください。
- “0”はハイパルスとして送信され、“1”は“0”として送信されます。通常モードでは、パルスの幅は、選択されたビット周期の 3/16 と規定されます（*図 294* を参照）。
- SIR デコーダは、IrDA 準拠の受信信号を USART 用のビットストリームに変換します。
- SIR 受信ロジックは、ハイ状態を論理値 1 とみなし、ローパルスを論理値 0 とみなします。
- 送信エンコーダの出力は、デコーダ入力とは逆の極性になっています。SIR 出力は、アイドル時にロー状態になります。
- IrDA 仕様では、1.41 µs より大きなパルスを受け入れるように定義されています。受け入れられるパルス幅は、プログラミング可能です。レシーバのグリッチ検出回路は、2 PSC 周期（PSC は IrDA 低電力ボーレジスタ USART_GTPR にプログラミングされたプリスケーラ値）より小さな幅のパルスをフィルターします。1 PSC 周期より小さな幅のパルスは常にフィルターされますが、1～2 周期の幅のパルスは受け入れられることも、フィルターされることもあります。2 周期より大きな幅のパルスは、パルスとして受け入れられます。PSC=0 のとき、IrDA エンコーダ/デコーダは機能しません。
- レシーバは、低電力トランスミッタと通信できます。
- IrDA モードでは、USART_CR2 レジスタの ストップビットを“1 ストップビット”に設定する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

IrDA 低電力モード

トランスミッタ:

低電力モードでは、パルス幅はビット周期の 3/16 に維持されません。代わりに、パルス幅は低電力ボーレート（最小で 1.42 MHz）の 3 倍です。一般に、この値は 1.8432 MHz（1.42 MHz < PSC < 2.12 MHz）です。低電力モードのプログラマブル divisor は、この値を得るためにシステムクロックを分周します。

レシーバ:

低電力モードでの受信は、通常モードでの受信と同様です。グリッチ検出の場合、USART は 1/PSC よりも短いパルスを破棄する必要があります。有効なローレベルは、その期間が IrDA 低電力ボークロック（USART_GTPR の PSC 値）の 2 周期分を超える場合にのみ受け入れられます。

注： *1 1～2 PSC 周期の幅のパルスは、除去されることも、除去されないこともあります。*

2 レシーバのセットアップ時間は、ソフトウェアで管理してください。IrDA 物理層仕様では、送信と受信の間に最小 10 ms の遅延を指定しています（IrDA は半二重プロトコルです）。

図293. IrDA SIR ENDEC- ブロック図

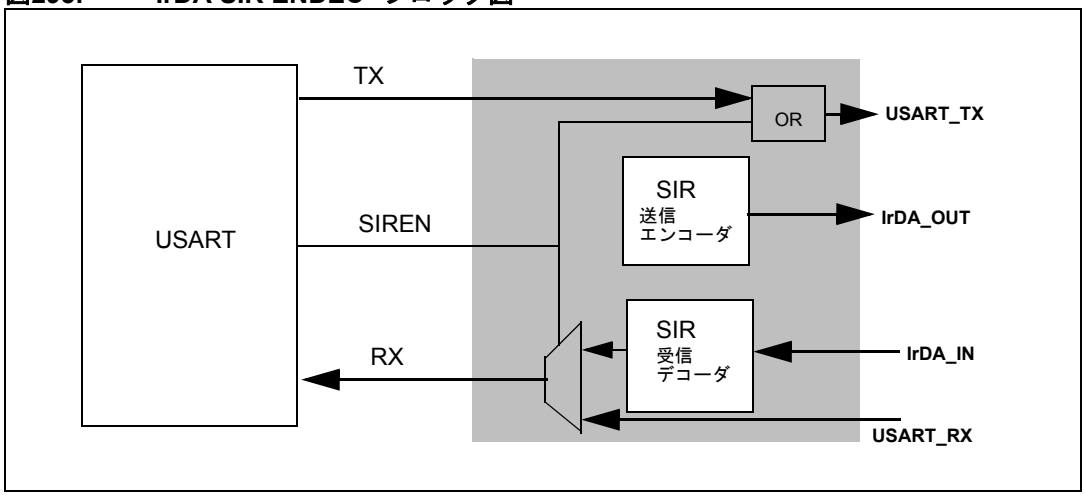
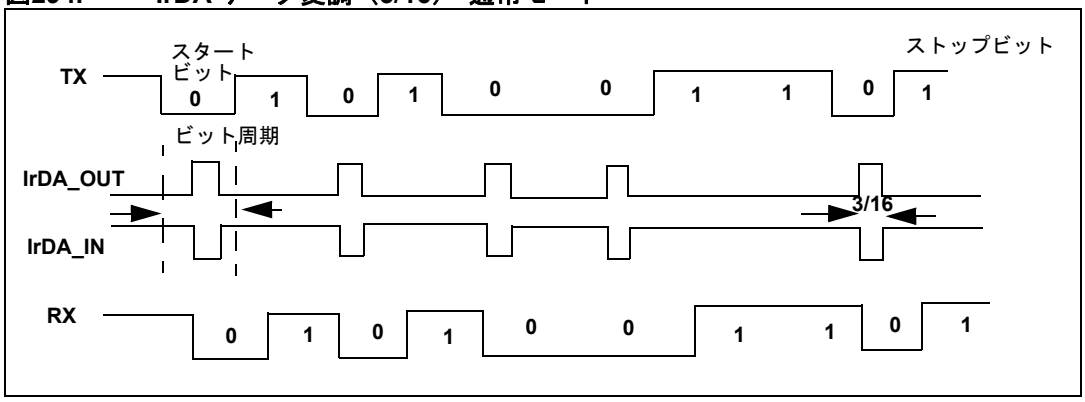


図294. IrDA データ変調（3/16）- 通常モード



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

26.3.13 DMA を使用した連続通信

USART は、DMA を使用して通信を継続することができます。受信バッファと送信バッファに対する DMA リクエストは、それぞれ独立して生成できます。

注： ***DMA コントローラを使用できるかどうかについては、個々の製品仕様を参照してください。目的の製品で DMA を使用できない場合、セクション 26.3.2 または 26.3.3 で説明されているように USART を使用してください。USART_SR レジスタでは、TXE/RXNE フラグをクリアして連続通信を実現できます。***

DMA を使用した送信

DMA モードでの送信を有効にするには、USART_CR3 レジスタの DMAT ビットをセットします。TXE ビットがセットされるたびに、データは、DMA ペリフェラル（DMA 仕様を参照）を使用して設定された SRAM 領域から USART_DR レジスタにロードされます。DMA チャネルを USART 送信用に配置するには、次の手順で行います（x はチャネル番号を示します）。

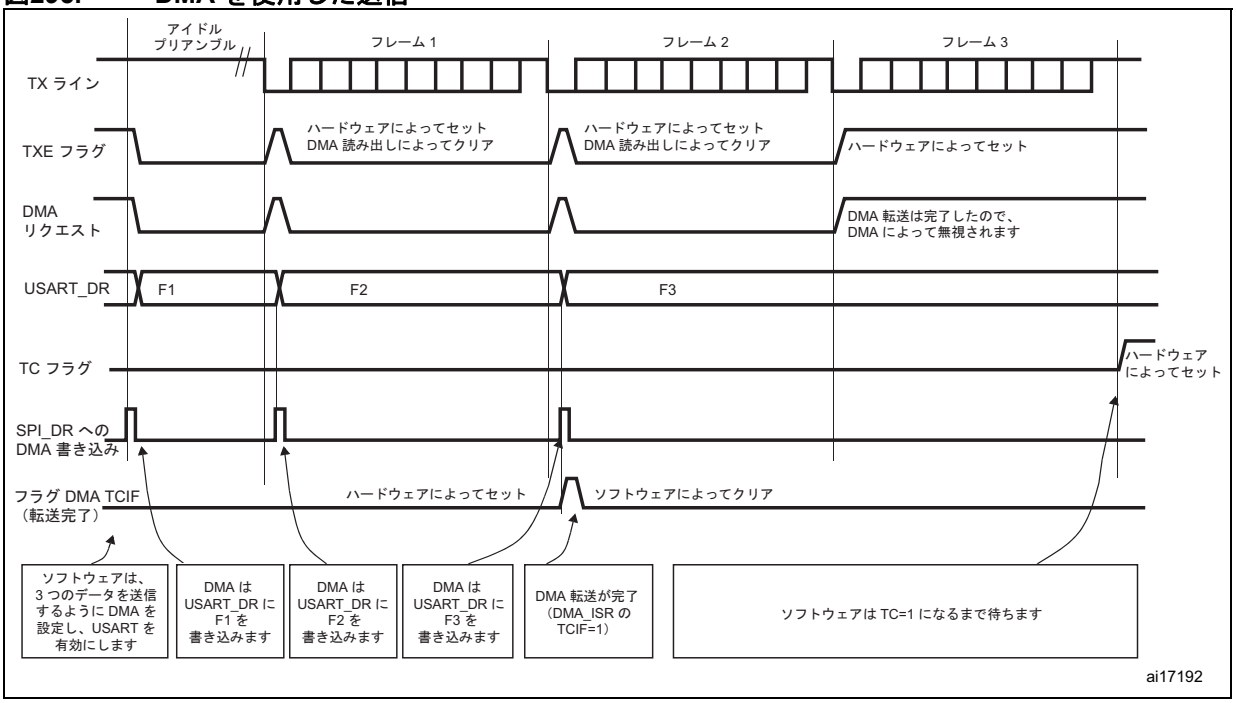
1. DMA 制御レジスタに USART_DR レジスタのアドレスを書き込んで、これを転送先として設定します。データは、毎回の TXE イベント後に、メモリからこのアドレスに移されます。
2. DMA 制御レジスタにメモリアドレスを書き込んで、これを転送元として設定します。データは、毎回の TXE イベント後に、このメモリ領域から USART_DR レジスタにロードされます。
3. 転送すべきバイト総数を DMA 制御レジスタに設定します。
4. チャネル優先順位を DMA レジスタに設定します。
5. アプリケーションで必要とされる 1/2 転送終了、転送完了後の DMA 割り込み生成を設定します。
6. SR レジスタの TC ビットに 0 を書き込んでクリアします。
7. DMA レジスタのチャネルを有効にします。

DMA コントローラにプログラミングされたデータ転送数に達したとき、DMA コントローラは、DMA チャネルの割り込みベクタに基づいて割り込みを生成します。

送信モードでは、送信すべきすべてのデータを DMA が書き込むと（DMA_ISR レジスタの TCIF フラグがセットされます）、TC フラグを観察することで USART 通信の完了を確認できます。これは、USART を無効にしたり STOP モードに入ったりする前に、最後の送信を破壊から守るために必要です。ソフトウェアは、TC=1 になるまで待つ必要があります。TC フラグは、データ転送中はクリアされたままであり、最後のフレームの送信終了時にハードウェアによってセットされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図295. DMA を使用した送信



DMA を使用した受信

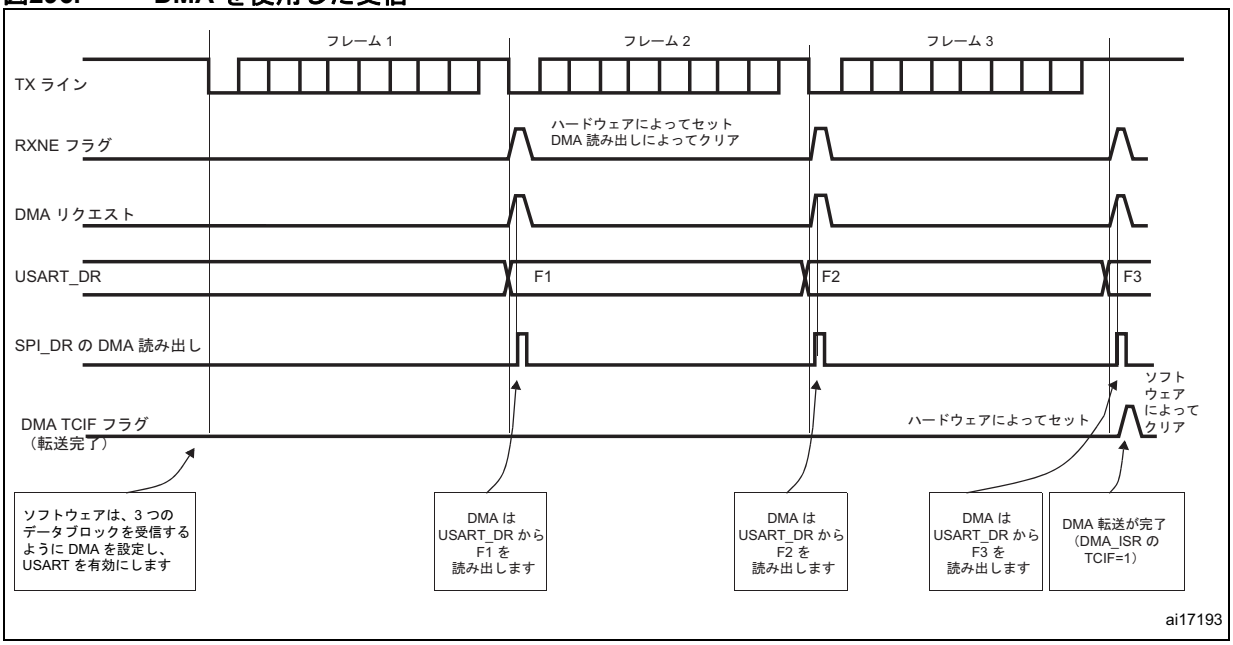
DMA モードでの受信を有効にするには、USART_CR3 レジスタの DMAR ビットをセットします。データバイトが受信されるたびに、データは、USART_DR レジスタから、DMA ペリフェラル（DMA 仕様を参照）を使用して設定された SRAM 領域にロードされます。DMA チャネルを USART 受信用に配置するには、次の手順で行います。

1. DMA 制御レジスタに USART_DR レジスタのアドレスを書き込んで、これを転送元として設定します。データは、毎回の RXNE イベントの後に、このアドレスからメモリに移されます。
2. DMA 制御レジスタにメモリアドレスを書き込んで、これを転送先として設定します。データは、毎回の RXNE イベントの後に、USART_DR レジスタからこのメモリ領域にロードされます。
3. 転送すべきバイト総数を DMA 制御レジスタに設定します。
4. チャネル優先順位を DMA 制御レジスタで設定します。
5. アプリケーションで必要とされる 1/2 転送終了、転送完了後の割り込み生成を設定します。
6. DMA 制御レジスタのチャネルを有効にします。

DMA コントローラにプログラミングされたデータ転送数に達したとき、DMA コントローラは、DMA チャネルの割り込みベクタに基づいて割り込みを生成します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図296. DMA を使用した受信



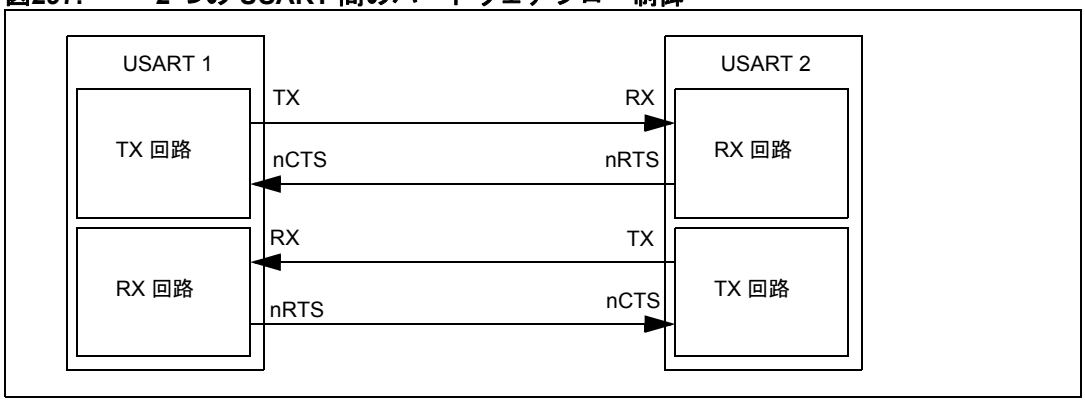
マルチバッファ通信における割り込み生成とエラーフラグ

マルチバッファ通信で、トランザクションの処理中にエラーが発生した場合、現在のバイトの後でエラーフラグがアサートされます。割り込みイネーブルフラグがセットされている場合、割り込みが生成されます。1 バイト受信において RXNE とともにアサートされるフレーミングエラー、オーバーランエラー、およびノイズフラグに関しては、別々のエラーフラグ割り込みイネーブルビット（USART_CR3 レジスタの EIE ビット）が用意されていて、セットされている場合、いずれかのエラーを持つ現在のバイトの後で割り込みを発行します。

26.3.14 ハードウェアフロー制御

nCTS 入力と nRTS 出力を使用すると、2 つのデバイス間でシリアルデータフローを制御できます。*図 297* に、このモードで 2 つのデバイスを接続する方法を示します。

図297. 2 つの USART 間のハードウェアフロー制御



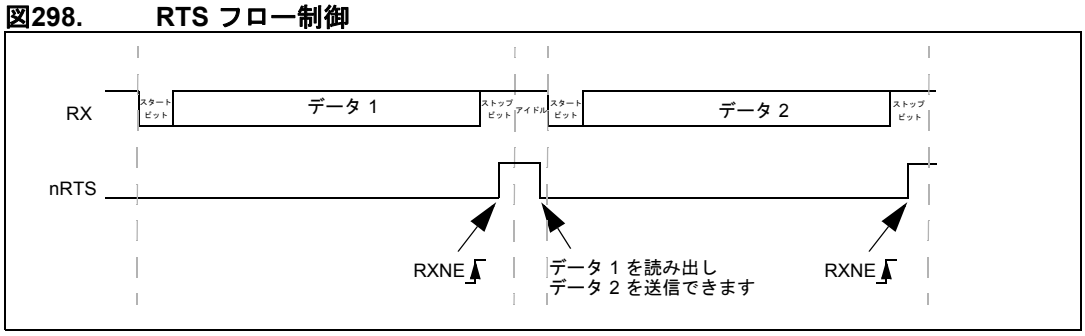
RTS と CTS のフロー制御は、USART_CR3 レジスタのそれぞれ RTSE ビットと CTSE ビットに 1 を書き込むことによって、個別に有効にできます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

RTS フロー制御

RTS フロー制御が有効にされた場合（RTSE=1）、USART レシーバが新しいデータを受信可能である限り、nRTS がアサートされます（ローレベル接続）。受信レジスタが満杯になると nRTS がネゲートされ、現在のフレームの終わりに送信が停止する予定であることを示します。*図 298* に、RTS フロー制御を有効にした通信の例を示します。

図298. RTS フロー制御

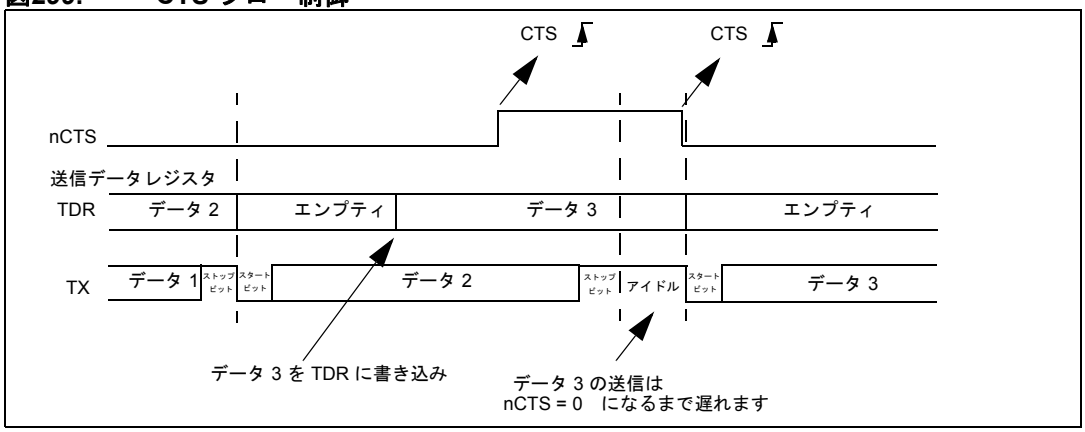


CTS フロー制御

CTS フロー制御が有効にされた場合（CTSE=1）、トランスミッタは、nCTS 入力をチェックしてから、次のフレームを送信します。nCTS がアサートされている場合（ローレベル接続）、次のデータが送信されます（データが送信されるものと想定、つまり TXE=0 の場合）。そうでない場合、送信は行われません。送信中に nCTS がネゲートされると、現在の送信が完了してから、トランスミッタが停止します。

CTSE=1 の場合、nCTS 入力がトグルすると、CTSIF ステータスビットは直ちにハードウェアによって自動的にセットされます。このビットは、レシーバの通信準備ができているかどうかを示します。USART_CR3 レジスタの CTSIE ビットがセットされている場合、割り込みが生成されます。次の図に、CTS フロー制御を有効にしたときの通信例を示します。

図299. CTS フロー制御



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

26.4 USART 割り込み

表194. USART 割り込みリクエスト

割り込みイベント	イベントフラグ	イネーブル制御ビット
送信データレジスタエンプティ	TXE	TXEIE
CTS フラグ	CTS	CTSIE
送信完了	TC	TCIE
受信データ読み出し可能	RXNE	RXNEIE
オーバーランエラー検出	ORE	
アイドルライン検出	IDLE	IDLEIE
パリティエラー	PE	PEIE
ブレークフラグ	LBD	LBDIE
マルチバッファ通信におけるノイズフラグ、オーバーランエラー、およびフレーミングエラー	NE または ORE または FE	EIE(1)

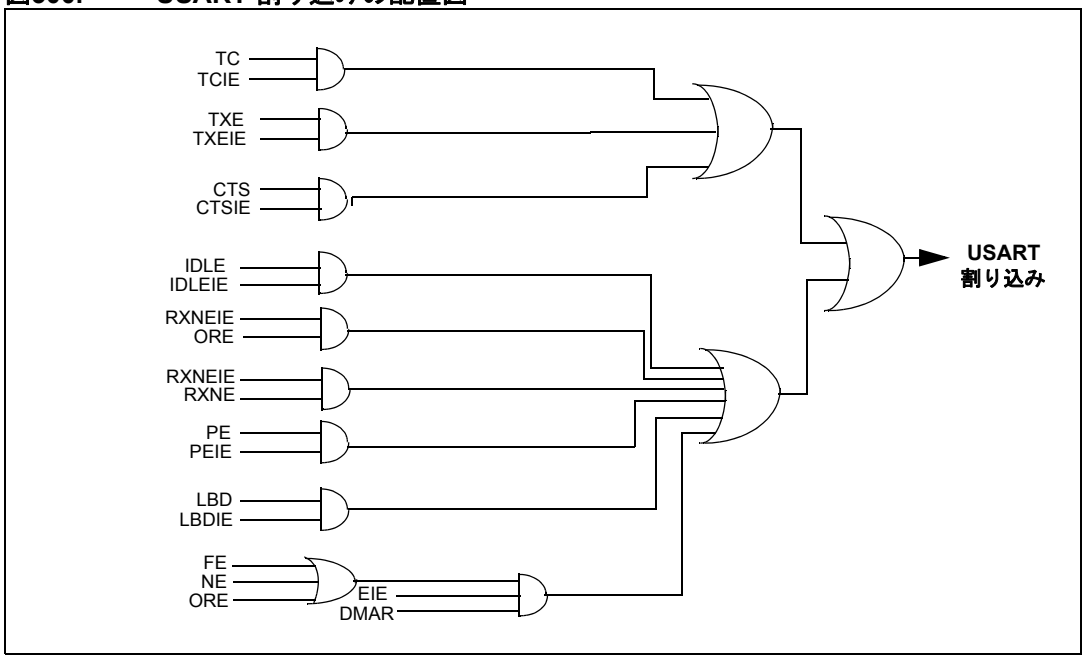
1. このビットが使用されるのは、データ受信が DMA によって行われるときだけです。

USART 割り込みイベントは、同じ割り込みベクタに接続されます（*図 300* を参照）。

- 送信時：送信完了割り込み、CTS 割り込み、または送信データレジスタエンプティ割り込み
- 受信時：アイドルライン検出、オーバーランエラー、受信データレジスタノットエンプティ、パリティエラー、LIN ブレーク検出、ノイズフラグ（マルチバッファ通信時のみ）、およびフレーミングエラー（マルチバッファ通信時のみ）

これらのイベントは、対応するイネーブル制御ビットがセットされている場合、割り込みを生成します。

図300. USART 割り込みの配置図



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

26.5 USART モード設定

表195. USART モード設定(1)

USART モード	USART1	USART2	USART3	UART4	UART5
非同期モード	X	X	X	X	X
ハードウェアフロー制御	X	X	X	NA	NA
マルチバッファ通信（DMA）	X	X	X	X	NA
マルチプロセッサ通信	X	X	X	X	X
同期	X	X	X	NA	NA
スマートカード	X	X	X	NA	NA
半二重（単線モード）	X	X	X	X	X
IrDA	X	X	X	X	X
LIN	X	X	X	X	X

1. X = サポート、NA = 該当せず

26.6 USART レジスタ

レジスタの説明で使用されている略語のリストについては、*セクション 1.1（40 ページ）*を参照してください。

ペリフェラルレジスタには、ハーフワード（16 ビット）またはワード（32 ビット）単位でアクセスできます。

26.6.1 ステータスレジスタ（USART_SR）

アドレスオフセット：0x00
リセット値：0x00C0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み						CTS	LBD	TXE	TC	RXNE	IDLE	ORE	NE	FE	PE
予約済み						rc_w0	rc_w0	r	rc_w0	rc_w0	r	r	r	r	r

ビット 31:10 予約済み、ハードウェアで 0 に固定されています。

ビット 9 **CTS**：CTS フラグ

CTSE ビットがセットされている場合、nCTS 入力がトグルすると、このビットはハードウェアによってセットされます。ソフトウェアで 0 を書き込むことによってクリアされます。USART_CR3 レジスタの CTSIE=1 である場合、割り込みが生成されます。

0：nCTS ステータスラインに変化はありませんでした。

1：nCTS ステータスラインに変化がありました。

このビットは UART4 および UART5 では使用できません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 8 **LBD**：LIN ブレーク検出フラグ

このビットは、LIN ブレークが検出されると、ハードウェアによってセットされます。ソフトウェアで 0 を書き込むことによってクリアされます。USART_CR2 レジスタの LBDIE=1 である場合、割り込みが生成されます。

0：LIN ブレークは検出されませんでした。

1：LIN ブレークが検出されました。

注： LBDIE=1 の場合、LBD=1 になると割り込みが生成されます。

ビット 7 **TXE**：送信データレジスタエンプティ

TDR レジスタの内容がシフトレジスタに転送されたとき、このビットはハードウェアによってセットされます。USART_CT1 レジスタの TXEIE=1 である場合、割り込みが生成されます。このビットは、USART_DR レジスタへの書き込みによってクリアされます。

0：データはシフトレジスタに転送されません。

1：データはシフトレジスタに転送されます。

注： このビットは、シングルバッファ送信時に使用されます。

ビット 6 **TC**：送信完了

データを含むフレームの送信が完了し、TXE がセットされている場合、このビットはハードウェアによってセットされます。USART_CR1 レジスタの TCIE=1 である場合、割り込みが生成されます。このビットは、ソフトウェアシーケンスによってクリアされます（USART_SR レジスタからの読み出しと、それに続く USART_DR レジスタへの書き込み）。TC ビットは、“0”を書き込むことによってもクリアできます。このクリアシーケンスは、マルチバッファ通信の場合にのみ推奨されます。

0：送信は完了していません。

1：送信は完了しています。

ビット 5 **RXNE**：リードデータレジスタノットエンプティ

RDR シフトレジスタの内容が USART_DR レジスタに転送されると、このビットはハードウェアによってセットされます。USART_CR1 レジスタの RXNEIE=1 の場合、割り込みが生成されます。このビットは、USART_DR レジスタへの読み出しによってクリアされます。RXNE フラグは、0 を書き込むことによってもクリアできます。このクリアシーケンスは、マルチバッファ通信の場合にのみ推奨されます。

0：データは受信されません。

1：受信データを読み出すことができます。

ビット 4 **IDLE**：アイドルライン検出

このビットは、アイドルラインが検出されたときに、ハードウェアによってセットされます。USART_CR1 レジスタの IDLEIE=1 である場合、割り込みが生成されます。ソフトウェアシーケンスによってクリアされます（USART_SR レジスタへの読み出しと、それに続く USART_DR レジスタへの読み出し）。

0：アイドルラインは検出されていません。

1：アイドルラインが検出されました。

注： RXNE ビットがセットされる（つまり、新しいアイドルラインが出現する）まで、IDLE ビットが再びセットされることはありません。

ビット 3 **ORE**：オーバーランエラー

このビットは、RXNE=1 であるとき、現在シフトレジスタに受信されているワードを RDR レジスタに転送する準備ができたときに、ハードウェアによってセットされます。USART_CR1 レジスタの RXNEIE=1 の場合、割り込みが生成されます。ソフトウェアシーケンスによってクリアされます（USART_SR レジスタへの読み出しと、それに続く USART_DR レジスタへの読み出し）。

0：オーバーランエラーはありません。

1：オーバーランエラーが検出されました。

注： このビットがセットされると、RDR レジスタの内容は失われませんが、シフトレジスタは上書きされます。マルチバッファ通信で EIE ビットがセットされた場合、ORE フラグに基づいて割り込みが生成されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 2 **NE**：ノイズエラーフラグ

このビットは、受信フレームでノイズが検出されたときに、ハードウェアによってセットされます。ソフトウェアシーケンスによってクリアされます（USART_SR レジスタへの読み出しと、それに続く USART_DR レジスタへの読み出し）。

0：ノイズは検出されていません。

1：ノイズが検出されました。

注：　このビットは割り込みを生成しません。なぜなら、割り込みを生成する RXNE ビットと同時に現れるからです。マルチバッファ通信で EIE ビットがセットされた場合、NE フラグに基づいて割り込みが生成されます。

ビット 1 **FE**：フレーミングエラー

このビットは、非同期化、過度なノイズ、またはブレークキャラクタが検出されたときに、ハードウェアによってセットされます。ソフトウェアシーケンスによってクリアされます（USART_SR レジスタへの読み出しと、それに続く USART_DR レジスタへの読み出し）。

0：フレーミングエラーは検出されていません。

1：フレーミングエラーまたはブレークキャラクタが検出されました。

注：　このビットは割り込みを生成しません。なぜなら、割り込みを生成する RXNE ビットと同時に現れるからです。現在転送中のワードによってフレームエラーとオーバーランエラーが発生した場合、転送は行われ、ORE ビットのみがセットされます。

マルチバッファ通信で EIE ビットがセットされている場合、FE フラグに基づいて割り込みが生成されます。

ビット 0 **PE**：パリティエラー

このビットは、レシーバモードでパリティエラーが発生したときに、ハードウェアによってセットされます。ソフトウェアシーケンスによってクリアされます（ステータスレジスタへの読み出しと、それに続く USART_DR データレジスタへの読み出し）。ソフトウェアは、RXNE フラグがセットされるまで待たなければ、PE ビットをクリアできません。

USART_CR1 レジスタの PEIE=1 である場合、割り込みが生成されます。

0：パリティエラーはありません。

1：パリティエラー。

26.6.2 データレジスタ（USART_DR）

アドレスオフセット：0x04

リセット値：未定義

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み							DR[8:0]								
予約済み							rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:9 予約済み、ハードウェアで 0 に固定されています。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 8:0 **DR[8:0]**：データ値

読み出しか書き込みかに応じて、受信または送信のデータキャラクタを含みます。

データレジスタは、送信用（TDR）と受信用（RDR）の 2 個のレジスタから構成されるため、2 つの機能（読み出しと書き込み）を実行します。

TDR レジスタは、内部バスと出力シフトレジスタとの間にパラレルインタフェースを提供します（図 1 を参照）。

RDR レジスタは、入力シフトレジスタと内部バスとの間にパラレルインタフェースを提供します。

パリティを有効にして（USART_CR1 レジスタの PCE ビットに 1 を設定して）送信しているとき、MSB（データ長に応じてビット 7 または 8）に書き込まれた値は、パリティによって置き換えられるため、無効です。

パリティを有効にして受信しているとき、MSB ビットに読み込まれる値は、受信したパリティビットです。

26.6.3 ボーレートレジスタ（USART_BRR）

注： ***TE または RE ビットがそれぞれ無効にされている場合、ボーカウンタはカウントを停止します。***

アドレスオフセット：0x08

リセット値：0x0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DIV_Mantissa[11:0]												DIV_Fraction[3:0]			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:16 予約済み、ハードウェアで 0 に固定されています。

ビット 15:4 **DIV_Mantissa[11:0]**：USARTDIV の整数部

これらの 12 ビットは、USART ディバイダ（USARTDIV）の整数部を定義します。

ビット 3:0 **DIV_Fraction[3:0]**：USARTDIV の小数部

これらの 4 ビットは、USART ディバイダ（USARTDIV）の小数部を定義します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

26.6.4 制御レジスタ 1（USART_CR1）

アドレスオフセット：0x0C

リセット値：0x0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み		UE	M	WAKE	PCE	PS	PEIE	TXEIE	TCIE	RXNEIE	IDLEIE	TE	RE	RWU	SBK
予約済み		rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:14 予約済み、ハードウェアで 0 に固定されています。

ビット 13 **UE**：USART イネーブル

このビットがクリアされると、消費電力を減らすために、USART プリスケーラと出力は、現在のバイト転送の最後に停止します。

このビットは、ソフトウェアによってセット/クリアされます。

0：USART プリスケーラと出力は無効。

1：USART は有効。

ビット 12 **M**：ワード長

このビットはワード長を決定します。ソフトウェアによってセット/クリアされます。

0：1 スタートビット、8 データビット、n ストップビット

1：1 スタートビット、9 データビット、n ストップビット

注： M ビットは、送受信のデータ転送中に変更することはできません。

ビット 11 **WAKE**：ウェイクアップ方法

このビットは、USART のウェイクアップ方法を決定し、ソフトウェアによってセット/クリアされます。

0：アイドルライン

1：アドレスマーク

ビット 10 **PCE**：パリティ制御イネーブル

このビットは、ハードウェアのパリティ制御（生成と検出）を選択します。パリティ制御が有効なとき、算出されたパリティは MSB 位置（M=1 の場合はビット 9、M=0 の場合はビット 8）に挿入され、受信されたデータではパリティが検査されます。このビットは、ソフトウェアによってセット/クリアされます。このビットがセットされると、送受信での現在のバイトの後で PCE が有効になります。

0：パリティ制御無効。

1：パリティ制御有効。

ビット 9 **PS**：パリティ選択

このビットは、パリティの生成/検出が有効である（PCE ビットがセットされた）とき、奇数パリティ/偶数パリティを選択します。ソフトウェアによってセット/クリアされます。パリティは、現在のバイトの後で選択されます。

0：偶数パリティ

1：奇数パリティ

ビット 8 **PEIE**：PE 割り込みイネーブル

このビットは、ソフトウェアによってセット/クリアされます。

0：割り込みは禁止です。

1：USART_SR レジスタで PE=1 になるたび、USART 割り込みが生成されます。

ビット 7 **TXEIE**：TXE 割り込みイネーブル

このビットは、ソフトウェアによってセット/クリアされます。

0：割り込みは禁止です。

1：USART_SR レジスタで TXE=1 になるたび、USART 割り込みが生成されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 6 **TCIE**：転送完了割り込みイネーブル

このビットは、ソフトウェアによってセット/クリアされます。

0：割り込みは禁止です。

1：USART_SR レジスタで TC=1 になるたび、USART 割り込みが生成されます。

ビット 5 **RXNEIE**：RXNE 割り込みイネーブル

このビットは、ソフトウェアによってセット/クリアされます。

0：割り込みは禁止です。

1：USART_SR レジスタで RXNE=1 または ORE=1 になるたびに、USART 割り込みが生成されます。

ビット 4 **IDLEIE**：IDLE 割り込みイネーブル

このビットは、ソフトウェアによってセット/クリアされます。

0：割り込みは禁止です。

1：USART_SR レジスタで IDLE=1 になるたびに、USART 割り込みが生成されます。

ビット 3 **TE**：トランスミッタイネーブル

このビットは、トランスミッタを有効にします。ソフトウェアによってセット/クリアされます。

0：トランスミッタは無効です。

1：トランスミッタは有効です。

注： 1：スマートカードモードの場合を除いて、送信中に TE ビットに“0”パルスを与える（“0”に続けて“1”を書き込む）と、現在のワードの後にプリアンブル（アイドルライン）が送信されます。

2：TE がセットされると、送信が開始されるまでに 1 ビット時間の遅れが生じます。

ビット 2 **RE**：レシーバイネーブル

このビットは、レシーバを有効にします。ソフトウェアによってセット/クリアされます。

0：レシーバは無効です。

1：レシーバは有効であり、スタートビットの検索が開始されます。

ビット 1 **RWU**：レシーバウェイクアップ

このビットは、USART がミュートモードかどうかを決定します。このビットは、ソフトウェアによってセット/クリアされ、ウェイクアップシーケンスが認識されたときは、ハードウェアによってクリアできます。

0：レシーバはアクティブモードです。

1：レシーバはミュートモードです。

注： 1：ミュートモードを選択する（RWU ビットをセットする）前に、USART は、まずデータバイトを受信する必要があります。そうでない場合、ミュートモードでアイドルラインを検出してもウェイクアップ動作はできません。

2：アドレスマーク検出のウェイクアップ設定（WAKE=1）では、RXNE ビットがセットされている限り、ソフトウェアで RWU ビットを変更することはできません。

ビット 0 **SBK**：ブレーク送信

このビットは、ブレークキャラクタの送信に使用されます。このビットは、ソフトウェアによってセット/クリアできます。ソフトウェアによってセットされ、ブレークの ストップビットの処理時にハードウェアによってリセットされます。

0：ブレークキャラクタは送信されません。

1：ブレークキャラクタは送信されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

26.6.5 制御レジスタ 2（USART_CR2）

アドレスオフセット：0x10

リセット値：0x0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み	LINEN	STOP[1:0]		CLK EN	CPOL	CPHA	LBCL	予約済み	LBDIE	LBDL	予約済み	ADD[3:0]			
	rw	rw	rw	rw	rw	rw	rw		rw	rw	rw	rw	rw	rw	rw

ビット 31:15 予約済み、ハードウェアで 0 に固定されています。

ビット 14 **LINEN**：LIN モードイネーブル

このビットは、ソフトウェアによってセット/クリアされます。

0：LIN モード無効

1：LIN モード有効

LIN モードでは、USART_CR1 レジスタの SBK ビットを使用して LIN 同期ブレーク（下位 13 ビット）を送信し、LIN 同期ブレークを検出することができます。

ビット 13:12 **STOP**：ストップビット

これらのビットは、ストップビットのプログラミングに使用されます。

00：1 ストップビット

01：0.5 ストップビット

10：2 ストップビット

11：1.5 ストップビット

0.5 ストップビットと 1.5 ストップビットは、UART4 と UART5 では使用できません。

ビット 11 **CLKEN**：クロックイネーブル

このビットによって、CK ピンを有効にできます。

0：CK ピン無効

1：CK ピン有効

このビットは UART4 および UART5 では使用できません。

ビット 10 **CPOL**：クロック極性

このビットによって、同期モードにおける CK ピンのクロック出力の極性を選択できます。このビットは、CPHA ビットと連携して機能し、希望するクロック/データ関係をもたらします。

0：送信ウィンドウの外で、CK ピンはローレベルを維持します。

1：送信ウィンドウの外で、CK ピンはハイレベルを維持します。

このビットは UART4 および UART5 では使用できません。

ビット 9 **CPHA**：クロック位相

このビットによって、同期モードにおける CK ピンのクロック出力の位相を選択できます。このビットは、CPOL ビットと連携して機能し、希望するクロック/データ関係をもたらします（図 *288*～*289*を参照）。

0：最初のデータキャプチャエッジは最初のクロック遷移です。

1：最初のデータキャプチャエッジは 2 番目のクロック遷移です。

このビットは UART4 および UART5 では使用できません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 8 **LBCL**：最終ビットのクロックパルス

このビットによって、同期モードで送信される最終データビット（MSB）に関連するクロックパルスを、CK ピンに出力する必要があるかどうかを選択します。

0：最終データビットのクロックパルスは、CK ピンに出力されません。

1：最終データビットのクロックパルスは、CK ピンに出力されます。

最終ビットは、USART_CR1 レジスタの M ビットで選択された 8 または 9 のビットフォーマットに応じて、送信された 8 番目または 9 番目のデータビットです。

このビットは UART4 および UART5 では使用できません。

ビット 7 予約済み、ハードウェアで 0 に固定されています。

ビット 6 **LBDIE**：LIN ブレーク検出割り込みイネーブル

ブレーク割り込みマスク（ブレークデリミタを使用したブレーク検出）。

0：割り込みは禁止です。

1：USART_SR レジスタで LBD=1 になるたびに、割り込みが生成されます。

ビット 5 **LBDL**：LIN ブレーク検出長

このビットでは、10 ビットと 11 ビットのブレーク検出を選択します。

0：10 ビットブレーク検出

1：11 ビットブレーク検出

ビット 4 予約済み、ハードウェアで 0 に固定されています。

ビット 3:0 **ADD[3:0]**：USART ノードのアドレス

このビットフィールドは、USART ノードのアドレスを与えます。

これは、ミュートモードでのマルチプロセッサ通信において、アドレスマーク検出によるウェイクアップに使用されます。

注： CPOL、CPHA、LBCL の 3 ビットには、トランスミッタが有効である間は書き込みしないでください。

26.6.6 制御レジスタ 3（USART_CR3）

アドレスオフセット：0x14

リセット値：0x0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み					CTSIE	CTSE	RTSE	DMAT	DMAR	SCEN	NACK	HDSEL	IRLP	IREN	EIE
予約済み					rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:11 予約済み、ハードウェアで 0 に固定されています。

ビット 10 **CTSIE**：CTS 割り込みイネーブル

0：割り込みは禁止です。

1：USART_SR レジスタで CTS=1 になるたびに、割り込みが生成されます。

このビットは UART4 および UART5 では使用できません。

ビット 9 **CTSE**：CTS イネーブル

0：CTS ハードウェアフロー制御は無効です。

1：CTS モードは有効であり、データは、nCTS 入力がアサートされている（0 に接続）ときにのみ送信されます。データの送信中に nCTS 入力がネゲートされた場合、送信が完了してから停止します。nCTS がアサートされていないときにデータレジスタにデータが書き込まれた場合、送信は nCTS がアサートされるまで延期されます。

このビットは UART4 および UART5 では使用できません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 8 **RTSE**：RTS イネーブル

0：RTS ハードウェアフロー制御は無効です。

1：RTS 割り込みは有効であり、データは、受信バッファに空きがあるときにのみリクエストされます。データの送信は、現在のキャラクタが送信された後で終わるものと期待されます。nRTS 出力は、データ受信が可能なときにアサート（0 に接続）されます。

このビットは UART4 および UART5 では使用できません。

ビット 7 **DMAT**：DMA 対応のトランスミッタ

このビットは、ソフトウェアによってセット/リセットされます。

1：DMA モードの送信は有効です。

0：DMA モードの送信は無効です。

このビットは UART5 では使用できません。

ビット 6 **DMAR**：DMA 対応のレシーバ

このビットは、ソフトウェアによってセット/リセットされます。

1：DMA モードの受信は有効です。

0：DMA モードの受信は無効です。

このビットは UART5 では使用できません。

ビット 5 **SCEN**：スマートカードモードイネーブル

このビットは、スマートカードモードを有効にするために使用されます。

0：スマートカードモードは無効です。

1：スマートカードモードは有効です。

このビットは UART4 および UART5 では使用できません。

ビット 4 **NACK**：スマートカード NACK イネーブル

0：パリティエラーの場合の NACK 送信は無効です。

1：パリティエラーの場合の NACK 送信は有効です。

このビットは UART4 および UART5 では使用できません。

ビット 3 **HDSEL：**半二重選択

単線半二重モードの選択。

0：半二重モードは選択されません。

1：半二重モードが選択されます。

ビット 2 **IRLP**：IrDA 低電力

このビットは、通常と低電力の IrDA モードの選択に使用されます。

0：通常モード

1：低電力モード

ビット 1 **IREN**：IrDA モードイネーブル

このビットは、ソフトウェアによってセット/クリアされます。

0：IrDA 無効

1：IrDA 有効

ビット 0 **EIE**：エラー割り込みイネーブル

エラー割り込みイネーブルビットは、マルチバッファ通信（USART_CR3 レジスタの DMAR=1）において、フレーミングエラー、オーバーランエラー、またはノイズエラー（USART_SR レジスタの FE=1、ORE=1、または NE=1）の場合に割り込み生成を有効にするために必要です。

0：割り込みは禁止です。

1：USART_CR3 レジスタで DMAR=1 になるたび、および USART_SR レジスタで FE=1、ORE=1、または NE=1 になるたびに、割り込みが生成されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

26.6.7 ガード時間/プリスケーラレジスタ（USART_GTPR）

アドレスオフセット：0x18

リセット値：0x0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
GT[7:0]								PSC[7:0]							
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:16 予約済み、ハードウェアで 0 に固定されています。

ビット 15:8 **GT[7:0]**：ガード時間値

このビットフィールドは、ガード時間値をボークロック数で与えます。

これはスマートカードモードで使用されます。このガード時間値が経過すると、送信完了フラグがセットされます。

このビットは UART4 および UART5 では使用できません。

ビット 7:0 **PSC[7:0]**：プリスケーラ値

– **IrDA 低電力モード**：

PSC[7:0] = IrDA 低電力ボーレート

システムクロックを分周して低電力周波数を得るためのプリスケーラのプログラミングに使用されます。

ソースクロックは、レジスタに与えられた値（上位 8 ビット）で分周されます。

00000000：予約済み - この値をプログラミングしないでください。

00000001：ソースクロックは 1 分周されます。

00000010：ソースクロックは 2 分周されます。

...

– **IrDA 通常モード**：PSC には 00000001 を設定する必要があります。

– **スマートカードモード**：

PSC[4:0]：プリスケーラ値

システムクロックを分周してスマートカードのクロックを提供するためのプリスケーラのプログラミングに使用されます。

ソースクロック周波数の分周係数を与えるために、このレジスタに与えられた値（上位 5 ビット）は 2 倍されます。

00000：予約済み - この値をプログラミングしないでください。

00001：ソースクロックは 2 分周されます。

00010：ソースクロックは 4 分周されます。

00011：ソースクロックは 6 分周されます。

...

スマートカードモードが使用される場合、ビット [7:5] は無効です。

このビットは UART4 および UART5 では使用できません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

26.6.8 USART レジスタマップ

次の表に、USART のレジスタマップとリセット値を示します。

表196. USARTのレジスタマップとリセット値

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	USART_SR	予約済み																						CTS	LBD	TXE	TC	RXNE	IDLE	ORE	NE	FE	PE
	リセット値																							0	0	1	1	0	0	0	0	0	0
0x04	USART_DR	予約済み																							DR[8:0]								
	リセット値																								0	0	0	0	0	0	0	0	0
0x08	USART_BRR	予約済み																DIV_Mantissa[15:4]												DIV_Fraction [3:0]			
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0C	USART_CR1	予約済み																		UE	M	WAKE	PCE	PS	PEIE	TXEIE	TCIE	RXNEIE	IDLEIE	TE	RE	RWU	SBK
	リセット値																			0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x10	USART_CR2	予約済み																	LINEN	STOP [1:0]		CLKEN	CPOL	CPHA	LBCL	予約済み	LBDIE	LBDL	予約済み	ADD[3:0]			
	リセット値																		0	0	0	0	0	0	0		0	0		0	0	0	0
0x14	USART_CR3	予約済み																					CTSIE	CTSE	RTSE	DMAT	DMAR	SCEN	NACK	HDSEL	IRLP	IREN	EIE
	リセット値																						0	0	0	0	0	0	0	0	0	0	0
0x18	USART_GTPR	予約済み																GT[7:0]								PSC[7:0]							
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

レジスタ境界アドレスについては、*表 1（45 ページ）*を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

27 USB On-The-Go FS

小容量 デバイス は、フラッシュメモリ容量が 16～32 KB の STM32F101xx、STM32F102xx、および STM32F103xx マイクロコントローラです。

中容量 デバイスは、フラッシュメモリ容量が 64～128 KB の STM32F101xx、STM32F102xx、および STM32F103xx マイクロコントローラです。

大容量デバイスは、フラッシュメモリ容量が 256～512 KB の STM32F101xx および STM32F103xx マイクロコントローラです。

特大容量デバイスは、フラッシュメモリ容量が 768 KB～1 MB の STM32F101xx および STM32F103xx マイクロコントローラです。

コネクティビティラインデバイス は、STM32F105xx および STM32F107xx マイクロコントローラです。

このセクションは、STM32F105xx および STM32F107xx コネクティビティラインデバイスのみに適用されます。

27.1 OTG_FS の概要

Portions Copyright (c) 2004, 2005 Synopsys, Inc. All rights reserved.掲載許可取得済み。

このセクションでは、OTG_FS コントローラのアーキテクチャとプログラミングモデルについて説明します。

このセクションでは、次の略記が使用されます。

FS	フルスピード
LS	ロースピード
MAC	メディアアクセスコントローラ
OTG	On-The-Go
PFC	パケット FIFO コントローラ
PHY	フィジカルレイヤ
USB	ユニバーサルシリアルバス
UTMI	USB 2.0 トランシードマクロセルインタフェース

このセクションでは、参照文献として以下の文書が使用されています。

- USB On-The-Go Supplement, Revision 1.3
- Universal Serial Bus Revision 2.0 Specification

OTG_FS はデバイスとホストの両方の機能をサポートするデュアルロールデバイス（DRD）コントローラであり、*On-The-Go Supplement to the USB 2.0 Specification* に完全に準拠しています。OTG_FS は、*USB 2.0 Specification* に完全に準拠したホスト専用またはデバイス専用のコントローラとして設定することも可能です。ホストモードの場合、OTG_FS はフルスピード（FS、12 Mbits/s）と低速（LS、1.5 Mbits/s）の両方の転送をサポートしますが、デバイスモードの場合は、フルスピード転送のみをサポートします。OTG_FS は HNP と SRP の両方をサポートします。必要な外部デバイスは、ホストモードで使用される V_{BUS} 用のチャージポンプのみです。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

27.2 OTG_FS の主な機能

主な機能は、標準機能、ホストモード機能、およびデバイスモード機能の 3 つのカテゴリに分けて考えることができます。

27.2.1 標準機能

OTG_FS インタフェースは、

- Universal Serial Bus Specification Rev 2.0 に準拠した USB-IF。
- On-The-Go Supplement Rev 1.3 仕様に詳細が規定されているオプションの On-The-Go（OTG）プロトコルのためのフルサポート（PHY）を含みます。
  - A-B Device Identification（ID ライン）をサポート。
  - Host Negotiation Protoco（HNP）および Session Request Protocol（SRP）をサポート。
  - OTG アプリケーションでバッテリを節約するために、ホストで VBUS をオフすることが可能。
  - 内部コンパレータによる OTG の VBUS レベルの監視。
  - ホスト-ペリフェラルのダイナミックな切り替えが可能。
- 以下の動作を行うようにソフトウェアでの設定が可能です。
  - SRP 対応の USB FS ペリフェラル（B デバイス）
  - SRP 対応の USB FS/LS ホスト（A デバイス）
  - USB On-The-Go フルスピードデュアルロールデバイス
- 以下の要素により FS SOF および LS Keep-alive をサポートします。
  - SOF パルス PAD 接続性
  - タイマ 2（TIM2）との SOF パルス内部接続
  - 設定可能なフレーミング周期
  - 設定可能なエンドオブフレーム割り込み
- USB サスペンド中のシステム停止、デジタルコア、PHY、および DFIFO パワー管理回路内部のクロックドメインの電源オフなど、節電機能を含んでいます。
- 以下のような高度な FIFO 制御を備えた専用の 1.25 KB RAM を備えています。
  - RAM 空間を複数の FIFO に分割して、RAM を柔軟かつ効率的に使用できます。
  - 各 FIFO は複数のパケットを保持できます。
  - 動的なメモリ割り当て
  - FIFO を 2 のべき乗でないサイズに設定して、連続的なメモリ位置の使用が可能です。
- システムの介入なしで、最大 1 フレーム（1ms）の間、最大 USB バンド幅を保証します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

27.2.2 ホストモード機能

OTG_FS インタフェースは、

- V_{BUS} 電圧を生成するために、外部チャージポンプが必要です。
- 最大 8 つのホストチャネル（パイプ）を持ち、各チャネルは動的に再設定可能であり、あらゆるタイプの USB 転送も割り当てることができます。
- 以下の要素を持つ組み込みの HW スケジューラを備えています。
  - 最大 8 つの割り込みに加えて、周期的ハードウェアキュー内でのアイソクロナス転送リクエスト
  - 最大 8 つの制御に加えて、非周期的ハードウェアキュー内でのバルク転送リクエスト
- USB データ RAM の効率的な使用のために、共有 RX FIFO、周期的 TX FIFO、および非周期的 TX FIFO を管理します。

27.2.3 ペリフェラルモードの機能

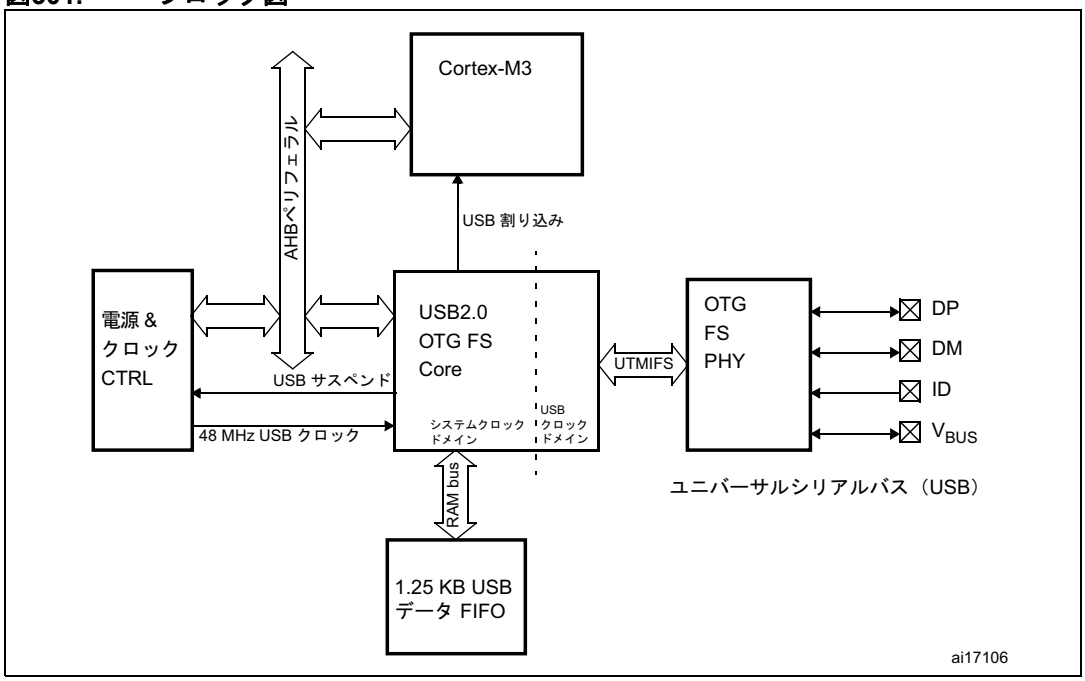
OTG_FS インタフェースは、

- 1 つの双方向コントロールエンドポイント 0 を持っています。
- バルク、割り込み、またはアイソクロナス転送をサポートするために、設定可能な 3 つの IN エンドポイント（EPS）を持っています。
- バルク、割り込み、またはアイソクロナス転送をサポートするために、設定可能な 3 つの OUT エンドポイントを持っています。
- USB データ RAM の効率的な使用のために、共有 RX FIFO と Tx-OUT FIFO を管理します。
- アプリケーションの負荷を軽減するために、最大 4 つの専用 Tx-IN FIFO（アクティブな IN EP に対して 1 つずつ）を管理します。
- ソフト切断機能をサポートしています。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

27.3 OTG_FS 機能の説明

図301. ブロック図



27.3.1 OTG フルスピードコア

USB OTG FS は、外部水晶発振器を通じて、リセットおよびクロックコントローラ（RCC）から 48 MHz ±0.25% のクロックを受け取ります。USB クロックは、フルスピード（12 Mbit/s）で 48 MHz ドメインを駆動するために使用され、OTG_FS コアを設定する前に有効にされなければなりません。

CPU は AHB ペリフェラルバスを通じて OTG FS Core レジスタの読み書きを行います。これは、*セクション 27.14 : OTG_FS 割り込み*で説明されている一つの USB OTG 割り込みを介して USB イベントとして通知されます。

CPU は、専用の OTG_FS 位置（プッシュレジスタ）に 32 ビットのワードを書き込むことによって、USB を介してデータを提供します。データは USB データ RAM 内に設定された Tx データ FIFO に自動的に格納されます。各 IN エンドポイント（ペリフェラルモードの場合）または OUT チャネル（ホストモードの場合）に対して 1 つの Tx FIFO プッシュレジスタがあります。

CPU は、専用の OTG_FS アドレス（ポップレジスタ）から 32 ビットのワードを読み出すことによって、USB からデータを受け取ります。データは、1.25 KB の USB データ RAM 内に設定された共有 Rx FIFO から自動的に取得されます。各 OUT エンドポイントまたは IN チャネルに対して 1 つの Rx FIFO ポップレジスタがあります。

USB プロトコル層は、シリアルインタフェースエンジン（SIE）によって駆動され、オンチップ物理層内のフルスピード/低速トランシーバモジュールによって USB 上で直列化（シリアライズ）されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

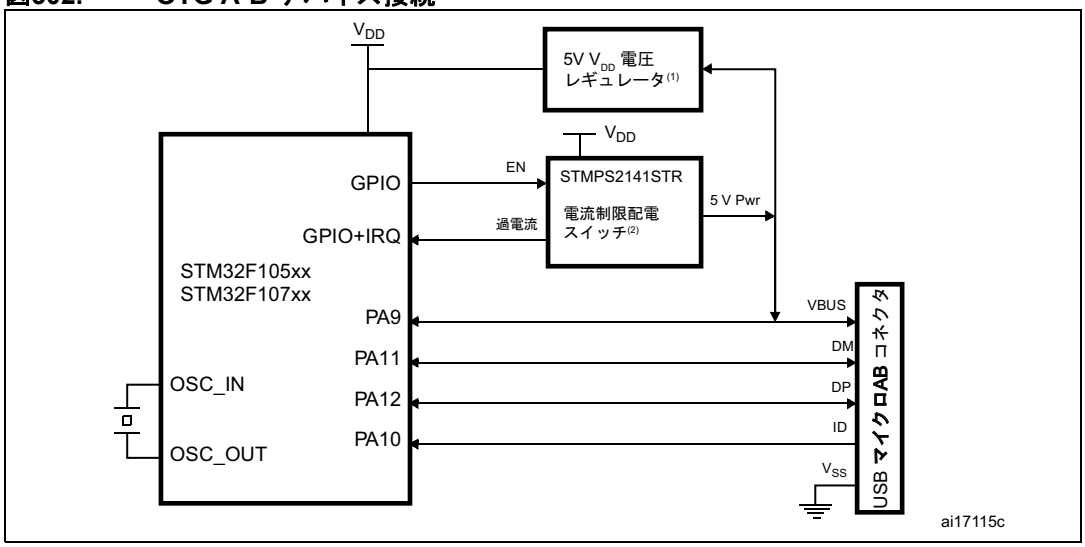
27.3.2 フルスピード OTG PHY

組み込みのフルスピード OTG PHY は、OTG FS コアによって制御され、UTMI+ バス（UTMIFS）のフルスピードサブセットを通じて USB 制御信号およびデータ信号を運びます。USB 接続の物理サポートを提供します。
フルスピード OTG PHY には、以下のコンポーネントが含まれます。

- ホストとデバイスの両方で使用される FS/LS トランシーバモジュール。シングルエンド USB ライン上で送受信を直接駆動します。
- A/B デバイス識別のための ID ラインをサンプリングするために使用される ID プルアップ抵抗。
- デバイスの現在の役割によって OTG_FS コアによって制御される DP/DM 内蔵プルアップおよびプルダウン抵抗。ペリフェラルとして、V_{BUS} が有効なレベルであると判断されると、DP プルアップ抵抗を有効にして、フルスピードペリフェラルを知らせます（B セッションが有効な場合）。ホストモードでは、DP/DM の両方でプルダウン抵抗が有効にされます。プルアップ抵抗とプルダウン抵抗は、デバイスの役割がホストネゴシエーションプロトコル（HNP）を通じて変更されたとき、動的に切り替えられます。
- プルアップ/プルダウン抵抗 ECN 回路。DP プルアップ回路は、USB Rev2.0 に適用される抵抗の技術変更通知（Enginering Change Notice）に従って、OTG_FS から個別に制御される 2 つの抵抗で構成されます。DP プルアップの動的なトリミングは、ノイズの低減と Tx/Rx 信号品質の向上に役立ちます。
- V_{BUS} の有効性、A-B セッションの有効性、およびセッション終了電圧閾値を検出するために使用されるヒステリシスを持つ V_{BUS} レベル検出用コンパレータ。これらは、セッションリクエストプロトコル（SRP）の駆動、有効な起動およびセッション終了条件の検出、および USB 操作中の V_{BUS} 電源の定常的な監視のために使用されます。
- SRP 中に抵抗を通じて V_{BUS} を充電/放電するための V_{BUS} パルス駆動回路（弱駆動）。

27.4 OTG デュアルロールデバイス（DRD）

図302. OTG A-B デバイス接続



1. V_{BUS} で電源が供給されるデバイスを設定するときだけ必要な外部電圧レギュレータ
2. アプリケーションが V_{BUS} で電源が供給されるデバイスをサポートしなければならない場合のみ必要な STMPS2141STR。アプリケーションボード上で 5 V が使用可能な場合、基本的なパワースイッチを使用することができます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

27.4.1 ID ラインの検出

ホストかペリフェラル（デフォルト）かの役割は、ID 入力ピンに応じて割り当てられます。ID ラインのステータスは、USB 端子への挿入時に、USB ケーブルのどちら側がマイクロ AB レセプタクルに接続されたかによって決まります。

- USB ケーブルの B 側がフローティング ID ワイヤに接続された場合、内蔵プルアップ抵抗が ID ラインのハイレベルを検出して、デフォルトのペリフェラルの役割が確立されます。この構成では、OTG_FS はセクション 6.8.2（On-The-Go B デバイス of the On-The-Go Specification Rev1.3 : USB 2.0 に対する補足）で説明される標準 FSM に準拠します。
- USB ケーブルの A 側がアース付き ID ラインに接続された場合、OTG_FS は、ホストのソフトウェア初期化のために ID ラインステータス変化割り込み（OTG_FS_GINTSTS の CIDSCHG ビット）を発行して、自動的にホストの役割に切り替わります。この構成では、OTG_FS はセクション 6.8.1（On-The-Go B デバイス of the On-The-Go Specification Rev1.3 : USB 2.0 に対する補足）で説明される標準 FSM に準拠します。

27.4.2 HNP デュアルロールデバイス

グローバル USB 設定レジスタの HNP 対応ビット（OTG_FS_ GUSBCFG の HNPCAP ビット）は、OTG_FS コアがホストネゴシエーションプロトコル（HNP）に従って、役割を A ホスト から A ペリフェラルに（またその逆）、または B ペリフェラルから B ホスト（またその逆）に動的に変更できるようにします。現在のデバイスのステータスは、グローバル OTG 制御およびステータスレジスタのコネクタ ID ステータスビット（OTG_FS_GOTGCTL の CIDSTS ビット）とグローバル割り込みおよびステータスレジスタの現在の動作モードビット（OTG_FS_GINTSTS の CMOD ビット）の値の組み合わせによって読み出すことができます。

HNP プログラムモデルの詳細は *セクション 27.16 : OTG_FS プログラミングモデル*で説明されています。

27.4.3 SRP デュアルロールデバイス

グローバル USB 設定レジスタの SRP 対応ビット（OTG_FS_ GUSBCFG の SRPCAP ビット）は、OTG_FS コアが A デバイスの節電のために V_{BUS} の生成を停止できるようにします。A デバイス は OTG_FS の役割がホストかペリフェラルかに関係なく、常に、V_{BUS} を駆動する役割を持っていることに注意してください。

SRP A/B デバイスプログラムモデルの詳細は *セクション 27.16 : OTG_FS プログラミングモデル*で説明されています。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

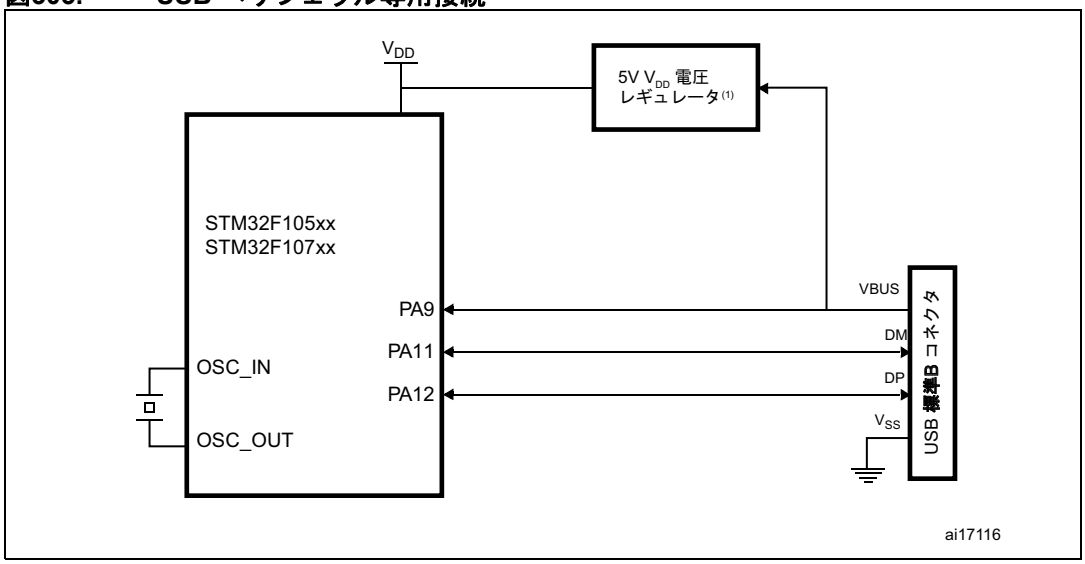
27.5 USB ペリフェラル

このセクションでは、USB ペリフェラルモードでの OTG_FS の機能について説明します。OTG_FS は、以下の環境で USB ペリフェラルとして機能します。

- OTG B ペリフェラル
  - USB ケーブルの B 側が挿入された場合の OTG B デバイス のデフォルトの状態
- OTG A ペリフェラル
  - HNP が OTG_FS の役割をペリフェラルに切り替えた後の OTG A デバイスの状態
- B デバイス
  - ID ラインが存在し、機能していて、USB ケーブルの B 側に接続され、かつ、グローバル USB 設定レジスタの HNP 対応ビット（OTG_FS_GUSBCFG の HNPCAP ビット）がクリアされている場合（On-The-Go Rev1.3 par. 6.8.3 を参照）。
- ペリフェラル専用（*図 303：USB ペリフェラル専用接続*を参照）
  - グローバル USB 設定レジスタの強制デバイスモードビット（OTG_FS_GUSBCFG の FDMOD）が 1 にセットされると、OTG_FS コアは強制的に USB ペリフェラル専用として機能します（On-The-Go Rev1.3 par. 6.8.3 を参照）。この場合、ID ラインは、USB コネクタ上に存在していても無視されます。

注： ***B デバイス または ペリフェラル専用設定の場合に電源がバスから供給されるデバイスを実装するには、V_{BUS} から V_{DD} チップ供給を生成する外部レギュレータ回路を追加する必要があります。***

図303. USB ペリフェラル専用接続



1. バスから電源が供給されるデバイスを構築するには、レギュレータを使用します。

27.5.1 SRP 対応ペリフェラル

グローバル USB 設定レジスタの SRP 対応ビット（OTG_FS_ GUSBCFG の SRPCAP ビット）は、OTG_FS コアがセッションリクエストプロトコル（SRP）をサポートできるようにします。この方法により、USB セッションがサスペンド状態にある間、V_{BUS} の供給を停止して、リモート A デバイスの消費電力を節約できます。

SRP ペリフェラルモードプログラムモデルの詳細は *B デバイス セッションリクエスト プロトコル* のセクションで説明されています。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

27.5.2 ペリフェラルの状態

電源が供給された状態

V_{BUS} 入力は、USB ペリフェラルが電源供給状態に入ることが許される B セッション有効電圧を検出します（USB2.0 par9.1 を参照）。その場合、OTG_FS は、DP プルアップ抵抗を自動的に接続して、フルスピードデバイス接続をホストに知らせ、セッションリクエスト割り込みを生成して（OTG_FS_GINTSTS の SRQINT ビット）、電源供給状態を通知します。

V_{BUS} 入力は、また、USB 動作中にホストによって適切な V_{BUS} レベルが供給されることを保証します。V_{BUS} 電源が B セッションの有効値以下に低下したことが検出された場合（たとえば、電源の変動があった場合や、ホストポートの電源がオフとなった場合など）、OTG_FS は自動的に切断され、セッション終了検出割り込み（OTG_FS_GOTGINT の SEDET ビット）が生成されて、OTG_FS が電源供給状態でなくなったことを通知します。

電源供給状態では、OTG_FS は、ホストからリセットシグナリングを受け取ることを期待しています。他の USB 操作を実行することはできません。リセットシグナリングを受け取ると、リセット検出割り込み（OTG_FS_GINTSTS の USBRST ビット）が生成されます。リセットシグナリングが完了すると、エミュレーション終了割り込み（OTG_FS_GINTSTS の ENUMDNE ビット）が生成され、OTG_FS はデフォルト状態に入ります。

ソフト切断

電源供給状態は、ソフト切断機能によってソフトウェアで終了させることができます。DP プルアップ抵抗は、デバイス制御レジスタのソフト切断ビット（OTG_FS_DCTL の SDIS ビット）をセットすることによって取り除かれ、USB ケーブルが実際にはホストポートから取り除かれていなくても、ホスト側にデバイス切断検出割り込みを生成します。

デフォルト状態

デフォルト状態では、OTG_FS はホストから SET_ADDRESS コマンドを受け取ることを期待しています。他の USB 操作を実行することはできません。有効な SET_ADDRESS コマンドが USB 上でデコードされると、アプリケーションは対応する番号をデバイス設定レジスタのデバイスアドレスフィールドに書き込みます（OTG_FS_DCFG の DAD ビット）。その場合、OTG_FS アドレス状態に入り、設定された USB アドレスでホストトランザクションに応答する準備が整います。

サスペンド状態

OTG_FS ペリフェラルは、USB の活動状態を定常的に監視します。USB のアイドル状態が 3 ms 続くと、アーリーサスペンド割り込み（OTG_FS_GINTSTS の ESUSP ビット）が発行され、適切な場合は 3 ms 後にサスペンド割り込み（OTG_FS_GINTSTS の USBSUSP ビット）によって確認されます。その場合、デバイスステータスレジスタのデバイスサスペンドビット（OTG_FS_DSTS の SUSPSTS ビット）が自動的にセットされ、OTG_FS はサスペンド状態に入ります。

サスペンド状態は、デバイス自身によって終了することもできます。この場合、アプリケーションはデバイス制御レジスタのリモートウェイクアップシグナリングビット（OTG_FS_DCTL の WKUPINT ビット）をセットし、1～15 ms 後にクリアします。

ホストからレジュームシグナリングが検出されると、レジューム割り込み（ OTG_FS_GINTSTS の PWUSIG ビット）が生成され、デバイスサスペンドビットは自動的にクリアされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

27.5.3 ペリフェラルエンドポイント

OTG_FS コアは、以下の USB エンドポイントをインスタンス化します。

- コントロールエンドポイント 0
  - 双方向であり、制御メッセージのみを取り扱います。
  - 入力および出力トランザクションを処理する個別のレジスタセットを備えています。
  - 固有の制御レジスタ（OTG_FS_DIEPCTL0/OTG_FS_DOEPCTL0）、転送設定レジスタ（OTG_FS_DIEPTSIZ0/OTG_FS_DIEPTSIZ0）、およびステータス割り込みレジスタ（OTG_FS_DIEPINTx/）OTG_FS_DOEPINT0）を備えています。制御および転送サイズレジスタ内で使用可能なビットのセットは、他のエンドポイントとは少し違います。
- 3 つの IN エンドポイント
  - それぞれ、アイソクロナス転送、バルク転送、または割り込み転送タイプをサポートするように設定できます。
  - それぞれ、固有の制御レジスタ（OTG_FS_DIEPCTL*x*）、転送設定レジスタ（OTG_FS_DIEPTSIZ*x*）、およびステータス割り込みレジスタ（OTG_FS_DIEPINT*x*）を備えています。
  - デバイス IN エンドポイント共通割り込みマスクレジスタ（OTG_FS_DIEPMSK）を使用して、すべての IN エンドポイント（EP0 も含む）上で 1 種類のエンドポイント割り込みソースを有効/無効にできます。
  - 現在のフレーム内で転送が完了していないアイソクロナス IN エンドポイントが少なくとも 1 つあるときにアサートされる、不完全アイソクロナス IN 転送割り込み（OTG_FS_GINTSTS の IISOIXFR ビット）をサポートします。この割り込みは、周期的フレーム割り込み（OTG_FS_GINTSTS/EOPF）の終わりとともにアサートされます。
- 3 つの OUT エンドポイント
  - それぞれ、アイソクロナス転送、バルク転送、または割り込み転送タイプをサポートするように設定できます。
  - それぞれ、固有の制御レジスタ（OTG_FS_DOEPCTL*x*）、転送設定レジスタ（OTG_FS_DOEPTSIZ*x*）、およびステータス割り込みレジスタ（OTG_FS_DOEPINT*x*）を備えています。
  - デバイス OUT エンドポイント共通割り込みマスクレジスタ（OTG_FS_DOEPMSK）を使用して、すべての OUT エンドポイント（EP0 も含む）上で 1 種類のエンドポイント割り込みソースを有効/無効にすることができます。
  - 現在のフレーム内で転送が完了していないアイソクロナス OUT エンドポイントが少なくとも 1 つあるときにアサートされる、不完全アイソクロナス OUT 転送割り込み（OTG_FS_GINTSTS の INCOMPISOOUT ビット）をサポートします。この割り込みは、周期的フレーム割り込み（OTG_FS_GINTSTS/EOPF）の終わりとともにアサートされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

エンドポイント制御

- 以下のエンドポイント制御は、デバイスエンドポイント *x* IN/OUT 制御レジスタ（DIEPCTL*x*/DOEPCTL*x*）を通じて、アプリケーションから使用できます。
  - エンドポイントイネーブル/ディセーブル
  - 現在の設定でのエンドポイントのアクティブ化
  - USB 転送タイプ（アイソクロナス、バルク、割り込み）のプログラミング
  - サポートされるパケットサイズのプログラミング
  - IN エンドポイントに関連する Tx FIFO 番号のプログラミング
  - 期待される、または送信されるデータ 0/データ 1 PID（バルク/割り込みのみ）のプログラミング
  - トランザクションが送受信される偶数/奇数フレームのプログラミング（アイソクロナス転送のみ）
  - オプションで、FIFO のステータスに関係なく、常にホストに否定応答する NAK ビットのプログラミング
  - オプションで、エンドポイントに対するホストトークンを常に停止する STALL ビットのプログラミング
  - オプションで、OUT エンドポイントが受信データの CRC フィールドをチェックしないようにする SNOOP モードのプログラミング

エンドポイント転送

アプリケーションは、デバイスエンドポイント *x* 転送サイズレジスタ（DIEPTSIZ*x*/DOEPTSIZ*x*）を使用して、転送サイズパラメータをプログラムし、転送ステータスを読み出すことができます。エンドポイント制御レジスタのエンドポイントイネーブルビットをセットする前にプログラミングを行う必要があります。エンドポイントが有効になると、これらのフィールドは、OTG_FS コアが現在の転送ステータスで更新すると、読み出し専用になります。

- 以下の転送パラメータがプログラム可能です。
  - 転送サイズ（バイト単位）
  - 全体の転送サイズを構成するパケットの数

エンドポイントのステータス/割り込み

デバイスエンドポイント *x* 割り込みレジスタ（DIEPINT*x*/DOPEPINT*x*）は、USB および AHB 関連イベントに関するエンドポイントのステータスを示します。アプリケーションは、コア割り込みレジスタの OUT エンドポイント割り込みビットまたは IN エンドポイント割り込みビット（OTG_FS_GINTSTS の OEPINT ビット、または OTG_FS_GINTSTS の IEPINT ビット）がセットされたとき、これらのレジスタを読み出さなければなりません。アプリケーションがこれらのレジスタを読み出すためには、まず、デバイスオールエンドポイント割り込み（OTG_FS_DAINT）レジスタを読み出して、デバイスエンドポイント *x* 割り込みレジスタの正確なエンドポイント番号を取得する必要があります。アプリ

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ケーションは、このレジスタの適切なビットをクリアすることによって、DAINT および GINTSTS レジスタの対応するビットをクリアする必要があります。

- ペリフェラルコアは、以下のステータスチェックおよび割り込み生成を行います。
  - データ転送がアプリケーション側（AHB）と USB 側の両方で完了したことを示す転送完了割り込み
  - セットアップステージが終了しているかどうか（コントロール出力のみ）
  - 関連する送信 FIFO が半分または完全にエンプティであるかどうか（IN エンドポイント）
  - NAK 応答がホストに送信されたかどうか（アイソクロナス入力のみ）
  - Tx FIFO がエンプティのとき IN トークンが受け取られたかどうか（バルク入力/割り込み入力のみ）
  - エンドポイントがまだ有効になっていないときに OUT トークンを受け取ったかどうか
  - バブルエラー条件が検出されたかどうか
  - アプリケーションによるエンドポイントの無効化が可能かどうか
  - アプリケーションによるエンドポイント NAK が可能かどうか（アイソクロナス入力のみ）
  - 3 つを超える連続したセットアップパケットが受信されたかどうか（コントロール出力のみ）
  - タイムアウト条件が検出されたかどうか（コントロール入力のみ）
  - アイソクロナス OUT パケットが割り込みを生成せずにドロップされたかどうか

27.6 USB ホスト

このセクションでは、USB ホストモードでの OTG_FS の機能について説明します。OTG_FS は以下の環境で USB ホストとして機能します。

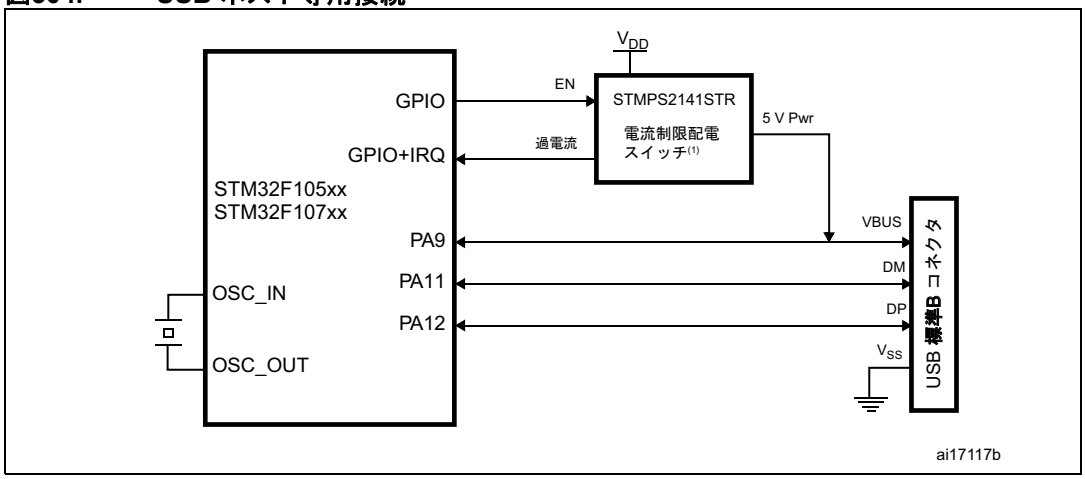
- OTG A ホスト
  - USB ケーブルの A 側が挿入されたときの OTG A デバイスのデフォルト状態
- OTG B ホスト
  - HNP がホストの役割に切り替わった後の OTG B デバイス
- A デバイス
  - ID ラインが存在し、機能していて、USB ケーブルの A 側に接続され、かつ、グローバル USB 設定レジスタの HNP 対応ビット（OTG_FS_GUSBCFG の HNPCAP ビット）がクリアされている場合。組み込みのプルダウン抵抗が自動的に DP/DM ライン上にセットされます。
- ホストのみ（*図 304：USB ホスト専用接続*を参照）。
  - グローバル USB 設定レジスタの強制ホストモードビット（OTG_FS_GUSBCFG の FHMOD ビット）は、OTG_FS コアを強制的に USB ホスト専用として機能させます。この場合、ID ラインは、USB コネクタ上に存在していても無視されます。組み込みのプルダウン抵抗が自動的に DP/DM ライン上にセットされます。

注： ***1*** ***オンチップの 5 V V_{BUS} の生成はサポートされていません。このため、チャージポンプ、または 5 V がアプリケーションボード上で使用可能な場合、基本的なパワースイッチを外部で追加して、5 V V_{BUS} ラインを駆動しなければなりません。外部チャージポンプは、任意の GPIO 出力からでも駆動できます。これは、OTG A ホスト、A デバイス、および ホスト専用設定の場合に必要です。***

2 ***V_{BUS} 入力は、USB 操作中に、チャージポンプによって有効な V_{BUS} レベルが供給されることを保証します。チャージポンプの過電流出力は、ポート割り込みを生成するように設定された任意の GPIO ピンに入力できます。過電流 ISR は速やかに V_{BUS} の生成を無効にする必要があります。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図304. USB ホスト専用接続



1. アプリケーションが V_{BUS} で電源が供給されるデバイスをサポートしなければならない場合のみ必要な STMPS2141STR。アプリケーションボード上で 5 V が使用可能な場合、基本的なパワースイッチを使用することができます。

27.6.1 SRP 対応ホスト

SRP のサポートは グローバル USB 設定レジスタの SRP 対応ビット（OTG_FS_GUSBCFG の SRPCAP ビット）を通じて使用可能です。SRP 機能が有効なときには、ホストは、USB セッションがサスペンド状態にある間、V_{BUS} の電力供給を停止することによって、消費電力を節約できます。

SRP ホストモードのプログラムモデルの詳細は *A デバイス セッションリクエスト プロトコル* のセクションで説明されています。

27.6.2 USB ホストの状態

ホストポートパワー

オンチップの 5 V V_{BUS} の生成はサポートされていません。このため、チャージポンプ、または 5 V がアプリケーションボード上で使用可能な場合、基本的なパワースイッチを外部で追加して、5 V V_{BUS} ラインを駆動しなければなりません。外部チャージポンプは、任意の GPIO 出力からでも駆動できます。これは、OTG A ホスト、A デバイス、および ホスト専用設定の場合に必要です。

V_{BUS} 有効

V_{BUS} 入力は、USB 動作中にチャージポンプによって有効な V_{BUS} レベルが供給されることを保証します。

V_{BUS} の有効閾値（4.25 V）以下への予期せぬ V_{BUS} 電圧の低下が発生すると、セッション終了検出ビット（OTG_FS_GOTGINT の SEDET ビット）に OTG 割り込みがトリガされます。その場合、アプリケーションは V_{BUS} 電源供給を停止し、ポートパワービットをクリアする必要があります。チャージポンプの過電流フラグは、電気的ダメージを防止するためにも使用できます。チャージポンプからの過電流フラグ出力を任意の GPIO 入力に接続して、アクティブレベルになったときにポート割り込みを生成するように設定します。過電流 ISR は速やかに V_{BUS} の生成を無効にし、ポートパワービットをクリアする必要があります。

ペリフェラル接続のホスト検出

USB ペリフェラルや B デバイス を接続できる場合でも、OTG_FS は、V_{BUS} センシング（4.75 V 以上の V_{BUS} ）の終了までは、バス接続を検出しません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

V_{BUS} が有効なレベルにあり、リモート B デバイス が接続されると、OTG_FS コアは、ホストポート制御およびステータスレジスタのデバイス接続ビット（OTG_FS_HPRT の PCDET ビット）によってトリガされるホストポート割り込みを発行します。

ペリフェラル切断のホスト検出

ペリフェラル切断イベントは、切断検出割り込み（OTG_FS_GINTSTS の DISCINT ビット）をトリガします。

ホストのエニュメレーション

ペリフェラル接続を検出した後、ホストは、USB リセットおよび設定コマンドを新しいペリフェラルに送信することによって、エニュメレーションプロセスを開始しなければなりません。

USB リセットの駆動を開始する前に、アプリケーションは、デバウンス終了ビット（OTG_FS_GOTGINT の DBCDNE ビット）によってトリガされる OTG 割り込みを待ちます。これは、DP（FS）または DM（LS）上のプルアップ抵抗の接続によって生じた電気的デバウンスの後、バスが再び安定状態に戻ったことを示します。

アプリケーションは、ホストポート制御およびステータスレジスタ（OTG_FS_HPRT の PRST ビット）のポートリセットビットを最短 10 ms、最長 20 ms の間セット状態に保つことによって、USB を介した USB リセットシグナリング（シングルエンド、ゼロ）を駆動します。アプリケーションは、タイミングカウントをチェックした後、ポートリセットビットがクリアされているかどうかを確認します。

USB リセットシーケンスが完了すると、ポートイネーブル/ディセーブル変更ビット（OTG_FS_HPRT の PENCHNG ビット）によってホストポート割り込みがトリガされます。これは、エニュメレーションされたペリフェラルの速度をホストポート制御およびステータスレジスタ（OTG_FS_HPRT の PSPD ビット）のポート速度フィールドから読み出せることと、ホストが SOF（FS）またはキープアライブ（LS）の駆動を開始しようとしていることをアプリケーションに知らせます。これで、ホストは、ペリフェラル設定コマンドを送信することによってペリフェラルエニュメレーションを完了する準備ができたことになります。

ホストのサスペンド

アプリケーションは、ホストポート制御およびステータスレジスタのポートサスペンドビット（OTG_FS_HPRT の OSUSP ビット）をセットすることによって、USB の活動を中断します。OTG_FS コアは、SOF の送信を停止し、サスペンド状態に入ります。

サスペンド状態は、リモートデバイスが主導して（リモートウェイクアップ）、終了することもできます。この場合、ホストポート制御およびステータスレジスタのポートレジュームビット（OTG_FS_HPRT の PRES ビット）セルフセットが検出されると、リモートウェイクアップ割り込み（OTG_FS_GINTSTS の WKUPINT ビット）が生成され、レジューム信号が USB 上で自動的に駆動されます。アプリケーションは、レジュームウィンドウの時間を決めてから、ポートレジュームビットをクリアしてサスペンド状態を終了し、SOF をリスタートする必要があります。

サスペンド状態をホスト主導で終了した場合、アプリケーションは、ポートレジュームビットをセットして、ホストポートでのシグナリングのレジュームを開始し、レジュームウィンドウの時間を決め、最後に、ポートレジュームビットをクリアする必要があります。

27.6.3 ホストチャネル

OTG_FS コアは、8 つのホストチャネルをインスタンス化します。各ホストチャネルは、USB ホスト転送をサポートします（USB パイプ）。ホストは、同時に 8 つまでの転送リクエストをサポートしています。アプリケーションからの 8 つを超える転送リクエストが保留中の場合、ホストコントローラドライバ（HCD）は、チャネルが以前のデューティが終了し、使用可能になったとき、具体的に

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

は、転送完了およびチャネルホールト割り込みの受信後、チャネルの再割り当てを行う必要があります。

各ホストチャネルは、入力/出力および任意のタイプの周期的/非周期的トランザクションをサポートするように設定できます。各ホストチャネルは、適切な制御（HCCHAR*x*）、転送設定（HCTSIZ*x*）、および持つステータス/割り込み（HCINT*x*）レジスタと関連するマスク（HCINTMSK*x*）レジスタの使用を可能にします。

ホストチャネル制御

- アプリケーションは、ホストチャネル *x* 特性レジスタ（HCCHAR*x*）を通じて、以下のホストチャネル制御を使用できます。
  - チャネルのイネーブル/ディセーブル
  - ターゲット USB ペリフェラルの FS/LS 速度のプログラミング
  - ターゲット USB ペリフェラルのアドレスのプログラミング
  - ターゲット USB ペリフェラルのエンドポイント数のプログラミング
  - IN/OUT 転送方向のプログラミング
  - USB 転送タイプ（制御、バルク、割り込み、アイソクロナス）のプログラミング
  - 最大パケットサイズ（MPS）のプログラミング
  - 奇数/偶数フレームで実行される周期的転送のプログラミング

ホストチャネル転送

アプリケーションは、ホストチャネル転送サイズレジスタ（HCTSIZ*x*）を使用して、転送サイズパラメータをプログラムし、転送ステータスを読み出すことができます。プログラミングは、ホストチャネル特性レジスタのチャネルイネーブルビットをセットする前に行う必要があります。エンドポイントが有効になると、OTG_FS コアが現在の転送ステータスに従って更新するので、パケットカウントフィールドは読み出し専用になります。

- 以下の転送パラメータがプログラム可能です。
  - 転送サイズ（バイト単位）
  - 全体の転送サイズを構成するパケットの数
  - 初期データ PID

ホストチャネルのステータス/割り込み

ホストチャネル *x* 割り込みレジスタ（HCINT*x*）は、USB および AHB 関連イベントに関するエンドポイントのステータスを示します。アプリケーションは、コア割り込みレジスタのホストチャネル割り込みビット（OTG_FS_GINTSTS の OEPINT ビット）がセットされたとき、これらのレジスタを読み出さなければなりません。アプリケーションがこれらのレジスタを読み出すためには、まず、ホストオールチャネル割り込み（HCAINT）レジスタを読み出して、ホストチャネル x 割り込みレジスタの正確なチャネル数を取得する必要があります。アプリケーションは、このレジスタの適切なビットをクリアすることによって、HAINT および GINTSTS レジスタの対応するビットをクリアする必要

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

があります。各チャネルの各割り込みソースのマスクビットも、OTG_FS_HCINTMSK-x レジスタで使用可能です。

- ホストコアは、以下のステータスチェックおよび割り込み生成を行います。
  - データ転送がアプリケーション側（AHB）と USB 側の両方で完了したことを示す転送完了割り込み
  - 転送完了、USB トランザクションエラー、またはアプリケーションからのディセーブルコマンドによってチャネルが停止した時
  - 関連する送信 FIFO が半分または完全にエンプティの時（IN エンドポイント）
  - ACK 応答を受け取った時
  - NAK 応答を受け取った時
  - STALL 応答を受け取った時
  - CRC エラー、タイムアウト、ビットスタッフエラー、偽 EOP による USB トランザクションエラー
  - バブルエラー
  - フレームオーバーラン
  - データトグルエラー

27.6.4 ホストスケジューラ

ホストコアは、アプリケーションによってポストされたトランザクションリクエストを自動的に並べ替えて、USB 上で駆動できる組み込みハードウェアスケジューラを備えています。各フレームの開始時に、ホストは、周期的（アイソクロナスおよび割り込み）トラフィックの転送を最初に実行し、次に、非周期的（制御およびバルク）トラフィックの転送を行うことによって、USB の仕様に従って、アイソクロナスおよび割り込み転送タイプを優先します。

ホストは、リクエストキュー（1 つは周期的転送のキュー、もう 1 つは非周期的転送のキュー）を通じて、USB トランザクションの順番を管理します。各リクエストキューは、最大 8 個のエントリを保持できます。各エントリは、アプリケーションからの保留中のトランザクションリクエストを表します。リクエストキュー内の各エントリは、IN または OUT チャネル番号と、USB 上でトランザクションを実行するためのその他の情報を保持しています。リクエストがキューに書き込まれた順序によって、USB 上のトランザクションの順序が決まります。ホストは、各フレームの開始時に、周期リクエストキューを最初に処理した後、非周期リクエストを処理します。現在のフレームに対してスケジュールされたアイソクロナスまたは割り込みトランザクションが現在のフレームの終了時点でまだ処理されていない場合、ホストは、不完全周期転送割り込み（OTG_FS_GINTSTS の IPXFER ビット）を発行します。

周期および非周期キューの管理は、完全に OTG_FS コアによって行われます。アプリケーションは、以下の読み出し専用レジスタを使用して、各リクエストキューのステータスを読み出すことができます。

- 周期送信 FIFO およびキューステータスレジスタ（HPTXSTS）と非周期送信 FIFO および キューステータスレジスタ（HNPTXSTS）。これらは以下の情報を含んでいます。
  - 周期（非周期）リクエストキューで現在使用可能なフリーエントリの数（最大 8 エントリ）。
  - 周期（非周期）Tx FIFO（OUT トランザクション）で現在使用可能な空きスペース
  - IN/OUT トークン、ホストチャネル番号、およびその他の情報

リクエストキューはそれぞれ最大 8 つのエントリを保持できるので、アプリケーションは、最大 8 つの保留中の周期トランザクションに加えて、8 つの保留中非周期トランザクションについて、USB に物理的に到達する前に、ホストトランザクションを事前にスケジュールできます。たとえば、バルク IN/OUT 転送の場合、最大 64（最大バルクパケットサイズ）× 8（最大エントリ数）= 512 バイトの

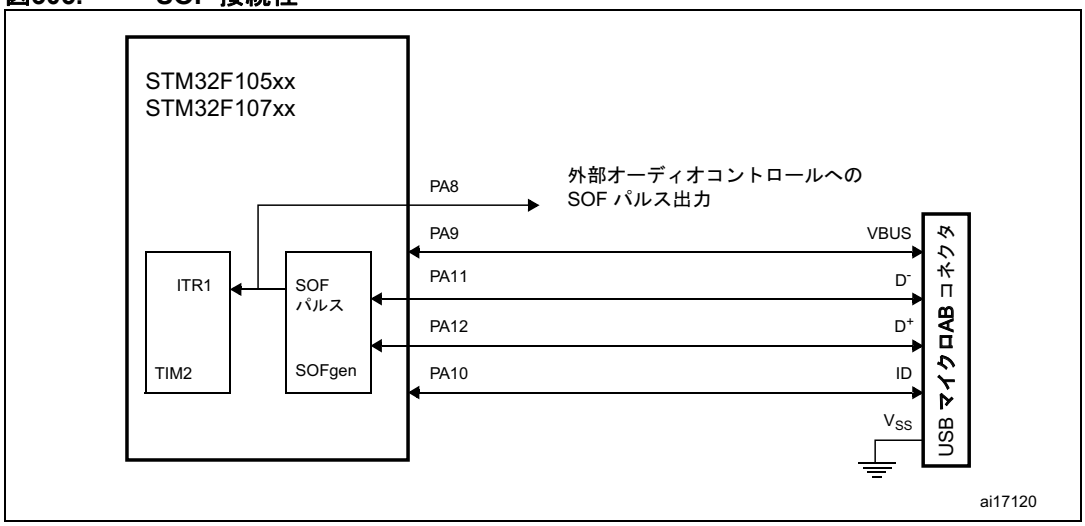
この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

USB バルクトラフィックをアプリケーションによってスケジュールでき、ホストによって最大フルスピードデータ速度で、かつ、アプリケーションの介入なしで自動的に実行できます。

- OUT の周期（非周期）トランザクションリクエストをホストスケジューラに登録するには、アプリケーションは、以下のことを実行する必要があります。
  - 使用可能なホストチャネル上での転送パラメータを設定します。
  - 設定したチャネルを有効にします。
  - OTG_FS_HNPTXSTS レジスタの HPTXSTS ビットを読み出すことによって、周期（非周期）リクエストキューに使用可能なエントリが少なくとも 1 つあることを確認します。
  - HPTXSTS（HNPTXSTS）レジスタを読み出すことによって、周期（非周期）Tx FIFO に十分な FIFO スペースがあるかどうかを確認します（*セクション 27.11.2 : ホスト Tx FIFO* を参照）。このステップは、アプリケーションが周期（非周期）Tx FIFO の半分または完全エンプティ割り込みの受信時にホストトランザクションリクエストを送信する場合は、必ずしも必要ではありません。
  - 関連する FIFO アドレスにデータペイロードをプッシュします（プッシュレジスタ）。有効なホストチャネルごとに 1 つのプッシュレジスタがあります。データペイロードは、OTG_FS_HCCHARx レジスタのホストチャネル EPTYP ビットフィールドに従って、自動的に周期または非周期 Tx FIFO にリダイレクトされます。最後の 32 ビットワードデータが FIFO に書き込まれると、アクティブエントリが周期（非周期）リクエストキューの最下部に挿入され、トランザクションリクエストの実行がスケジュールされます。
- IN 周期（非周期）トランザクションリクエストをホストスケジューラにポストするには、アプリケーションは、以下のシーケンスを行う必要があります。
  - 使用可能なホストチャネル上での転送パラメータを設定します。
  - ホストチャネル特性レジスタのチャネルイネーブルビット（OTG_FS_HCCHARx の CHENA ビット）によって、設定済みのチャネルを有効にします。これにより、アクティブエントリが周期（非周期）リクエストキューの最下部に挿入され、トランザクションリクエストの実行がスケジュールされます。

27.7 SOF トリガ

図305. SOF 接続性



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OTG FS コアは、以下のものを提供します。

- ホストおよびペリフェラルで SOF フレーミングを監視、トラックし、設定するための手段
- SOF パルス出力接続機能

これらのユーティリティは、オーディオペリフェラルが PC によって提供されるアイソクロナスストリームに同期する必要がある場合や、ホストがオーディオペリフェラルの要件に従ってフレーミング速度をトリム（微調整）する必要がある場合など、オーディオクロック生成法に適応させるために特に役立ちます。

27.7.1 ホスト SOF

ホストモードでは、2 つの連続した SOF（FS）またはキープアライブ（LS）トークンの生成の間に発生する PHY クロックの数は、ホストフレームインターバルレジスタ（HFIR）でプログラム可能であり、SOF フレーミング周期に対する制御をアプリケーションに提供します。割り込みは、どのフレームの開始時点でも生成されます（OTH_FS_GINTSTS の SOF ビット）。現在のフレーム番号と次の SOF までの残り時間が、ホストフレーム番号レジスタ（HFNUM）で監視されます。

SOF パルス信号は、任意の SOF 開始トークンで生成され、幅は 12 システムクロックサイクルであり、グローバル制御および設定レジスタの SOFOUTEN ビットを使用して、SOF ピン上で外部的に使用可能になります。SOF パルスは、タイマ 2（TIM2）の入力トリガにも内部接続されるので、入力キャプチャ機能、出力比較機能、およびタイマを SOF パルスによってトリガできます。TIM2 接続は、AFIO_MAPR　レジスタのビット 29 によって有効にされます。

27.7.2 ペリフェラル SOF

デバイスモードでは、フレーム割り込みの開始は、SOF トークンが USB 上で受信されるたびに生成されます（OTH_FS_GINTSTS の SOFT ビット）。対応するフレーム番号は、デバイスステータスレジスタ（OTG_FS_DSTS の FNSOF ビット）から読み出すことができます。12 システムクロックサイクルの幅を持つ SOF パルス信号も生成され、グローバル制御および設定レジスタの SOF 出力イネーブルビット（OTG_FS_GCCFG の SOFOUTEN ビット）を使用して、SOF ピン上で外部的に使用可能になります。SOF パルス信号は、タイマ 2（TIM2）入力トリガにも内部接続されるので、入力キャプチャ機能、出力比較機能、およびタイマを SOF パルスによってトリガできます。TIM2 接続は、AFIO_MAPR　レジスタのビット 29によって有効にされます。

周期的フレーム割り込みの終わり（GINTSTS/EOPF）は、デバイス設定レジスタの周期的フレームインターバルフィールド（OTG_FS_DCFG の PFIVL ビット）に応じて、タイムフレームインターバルの 80%、85%、90%、または 95% が経過した時点をアプリケーションに通知するために使用されます。この機能を使用して、そのフレームのアイソクロナストラフィックのすべてが完了したかどうかを判断できます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

27.8 電力オプション

OTG PHY の消費電力は、一般コア設定レジスタの 3つのビットによって制御されます。

- PHY パワーダウン（GCCFG/PWRDWN）
  - PHY のフルスピードトランシーバモジュールのオン/オフを切り替えます。事前にセットして、すべての USB 操作を可能にする必要があります。
- A-V_{BUS} センスイネーブル（GCCFG/VBUSASEN）
  - A デバイス操作に関連する V_{BUS} 比較器のオン/オフを切り替えます。A デバイス（USB ホスト）モードおよび HNP 中はセットされなければなりません。
- B-V_{BUS} センスイネーブル（GCCFG/VBUSASEN）
  - B デバイス操作に関連する V_{BUS} 比較器のオン/オフを切り替えます。B デバイス（USB ペリフェラル）モードおよび HNP 中はセットされなければなりません。

USB セッションがまだ有効でないか、デバイスが切断されているときには、USB サスペンド状態で節電テクニックを使用できます。

- PHY クロックを停止します（OTG_FS_PCGCCTL の STPPCLK ビット）。
  - クロックゲーティング制御レジスタのストップ PHY クロックビットをセットすると、OTG フルスピードコア内部の 48 MHz クロックドメインのほとんどがクロックゲーティングによってスイッチオフされます。USB クロック切り替え機能による動的な電力消費は、48 MHz クロック入力がアプリケーションによって動作状態を維持された場合でも節減されます。
  - ほとんどのトランシーバも無効になり、非同期レジュームやリモートウェイクアップイベントの検出を担当する部分だけが動作状態を維持します。
- ゲート HCLK（OTG_FS_PCGCCTL の GATEHCLK ビット）。
  - クロックゲーティング制御レジスタのゲート HCLK ビットをセットすると、OTG フルスピードコア内部のシステムクロックドメインのほとんどがクロックゲーティングによってスイッチオフされます。レジスタ読み出しおよび書き込みインタフェースのみが動作状態を維持します。USB クロック切り替え機能による動的な電力消費は、システムクロックが他の目的のためにアプリケーションによって動作状態を維持されている場合でも節減されます。
- USB システムの停止
  - OTG_FS が USB サスペンド状態にある場合、アプリケーションはシステム内のすべてのクロックソースを完全にシャットダウンすることによって、電力消費全体を大幅に削減できます。USB システムの停止は、まず、ストップ PHY クロックビットをセットし、次に、パワー制御システムモジュール（PWR）でシステムディープスリープモードを設定することによって有効になります。
  - OTG_FS コアは、USB 上でリモートウェイクアップ（ホストとして）またはリモートレジューム（デバイスとして）信号の非同期検出によって、システムと USB クロックの両方を自動的に再起動します。

動的消費電力を節減するために、USB データ FIFO は、OTG_FS コアによってアクセスされたときだけクロック駆動されます。

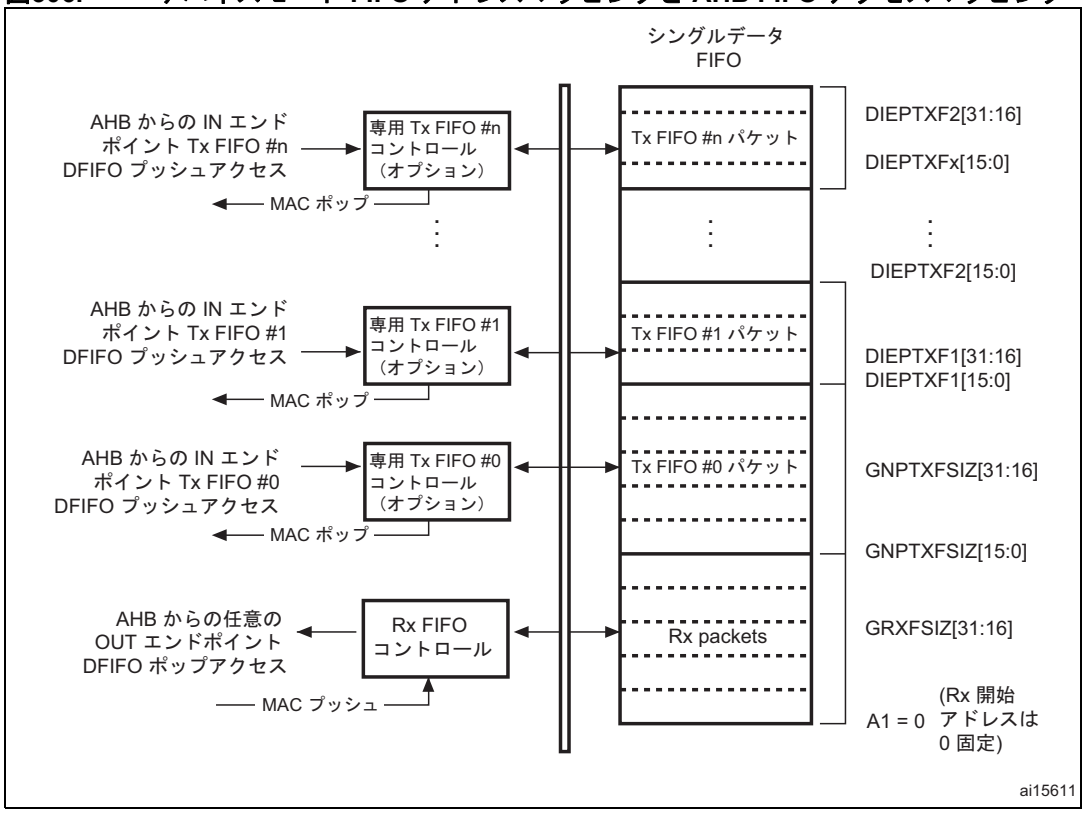
この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

27.9 USB データ FIFO

USB システムは、高度な FIFO 制御メカニズムを持つ 1.25 KB の専用 RAM を備えています。OTG_FS コアのパケット FIFO コントローラモジュールは、RAM 空間を、アプリケーションが USB 転送の前に一時的にデータを格納する（プッシュする）Tx-FIFO と、USB から受信したデータをアプリケーションが取得する（ポップする）前に一時的に格納される Rx FIFO で構成されます。割り当てられる FIFO の数と、これらが RAM の内部でどのように構成されるかは、デバイスの役割に依存します。ペリフェラルモードでは、追加の Tx-FIFO がアクティブな IN エンドポイントのそれぞれに対して割り当てられます。FIFO のサイズは、アプリケーションの要件に従って、ソフトウェアで設定できます。

27.10 ペリフェラル FIFO アーキテクチャ

図306. デバイスモード FIFO アドレスマッピングと AHB FIFO アクセスマッピング



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

27.10.1 ペリフェラル Rx FIFO

OTG ペリフェラルは、すべての OUT エンドポイントに向けたデータを受信する 1 つの受信 FIFO を使用します。受信パケットは、Rx-FIFO の空きスペースが使用可能になるまで、連続的にスタックされます。受信パケットのステータス（OUT エンドポイントの宛先番号、バイト数、データ PID、および受信データの有効性を含みます）も、コアによってデータペイロードの最上部に格納されます。使用可能なスペースがなくなると、ホストトランザクションは NACK され、アドレス指定されたエンドポイントに割り込みが受信されます。受信 FIFO のサイズは、受信 FIFO サイズレジスタ（GRXFSIZ）で設定されます。

この受信 FIFO アーキテクチャは、USB ペリフェラルによる受信 RAM バッファへの書き込みをより効率的にします。

- すべての OUT エンドポイントは同じ RAM バッファを共有します（共有 FIFO）。
- OTG FS コアは、OUT トークンのいかなるホストシーケンスについても、限度まで受信 FIFO に書き込むことができます。

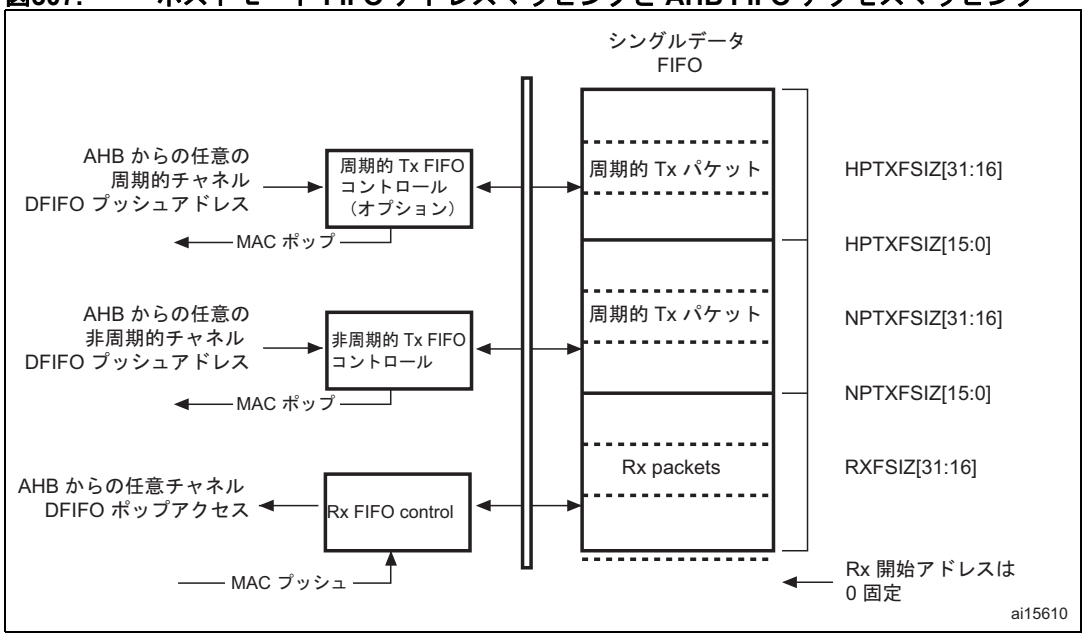
アプリケーションは Rx-FIFO 非エンプティ割り込み（OTG_FS_GINTSTS の RXFLVL ビット）の受信を、少なくとも 1 パケット以上がダウンロード可能である限り継続します。アプリケーションは、受信ステータス読み出しおよびポップレジスタ（GRXSTSP）からパケット情報を読み出し、最後に、エンドポイントに関するポップアドレスから読み取ることによって受信 FIFO からデータを吸い上げます。

27.10.2 ペリフェラル Tx FIFO

コアは、各 IN エンドポイント用の専用 FIFO を備えています。アプリケーションは、IN エンドポイント 0 については非周期的送信 FIFO サイズレジスタ（OTG_FS_TX0FSIZ）に書き込み、IN エンドポイント x についてはデバイス IN エンドポイント送信 FIFOx レジスタ（DIEPTXFx）に書き込むことによって、FIFO のサイズを設定します。

27.11 ホスト FIFO アーキテクチャ

図307. ホストモード FIFO アドレスマッピングと AHB FIFO アクセスマッピング



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

27.11.1 ホスト Rx FIFO

ホストは、すべての周期的および非周期的トランザクションについて 1 つの受信 FIFO を使用します。この FIFO は、USB から受信したデータ（受信パケットのペイロード）をシステムメモリに転送されるまで保持する受信バッファとして使用されます。任意のリモート IN エンドポイントから受信されたパケットは、空きスペースがある限り連続的にスタックされます。各受信パケット（ホストチャネルデスティネーション、バイト数、データ PID、および受信データの有効性を含みます）のステータスも、FIFO に格納されます。受信 FIFO のサイズは、受信 FIFO サイズレジスタ（GRXFSIZ）で設定されます。

この受信 FIFO アーキテクチャは、USB ホストによる受信データバッファへの書き込みをより効率的にします。

- IN に設定されたすべてのホストチャネルは、同じ RAM バッファを共有します（共有 FIFO）。
- OTG FS コアは、ホストのソフトウェアによって駆動された IN トークンのいかなるシーケンスについても、限度まで受信 FIFO に書き込むことができます。

アプリケーションは、少なくとも 1 つのパケットがダウンロード可能である限り、Rx FIFO 非エンプティ割り込みを受け取ります。アプリケーションは、受信ステータス読み出しおよびポップレジスタからパケット情報を読み出し、最後に、受信 FIFO からデータを吸い上げます。

27.11.2 ホスト Tx FIFO

ホストは、すべての非周期的（制御およびバルク）OUT トランザクションついて 1 つの送信 FIFO を、すべての周期的（アイソクロナスおよび割り込み）OUT トランザクションについて 1 つの送信 FIFO を使用します。FIFO は、USB 経由で送信されるデータ（送信パケットのペイロード）を保持する送信バッファとして使用されます。周期的（非周期的）Tx FIFO のサイズは、ホストの周期的（非周期的）送信 FIFO サイズレジスタ（HPTXFSIZ/HNPTXFSIZ）で設定されます。

Tx FIFO が 2 つ実装されているのは、USB フレームよりも周期的トラフィックタイプに対して高い優先度が与えられていることによります。各フレームの先頭で、組み込みのホストスケジューラは、まず、周期的リクエストキューを処理し、次に、非周期的リクエストキューを処理します。

2 つの送信 FIFO アーキテクチャにより、USB ホストは周期的送信データバッファと非周期的送信データバッファを個別に最適化できます。

- OUT 方向の周期的（非周期的）トランザクションをサポートするように設定されたすべてのホストチャネルは、同じ RAM バッファを共有します（共有 FIFO）。
- OTG FS コアは、ホストのソフトウェアによって駆動された OUT トークンのいかなるシーケンスについても、限度まで送信 FIFO に書き込むことができます。

OTG_FS コアは、AHB 設定レジスタの周期的 Tx FIFO エンプティレベルビット（OTG_FS_GAHBCFG の PTXFELVL ビット）の値に応じて、周期的 Tx FIFO が半分または完全にエンプティである限り、周期的 Tx FIFO エンプティ割り込み（OTG_FS_GINTSTS の PTXFE ビット）を発行します。アプリケーションは、周期的 Tx FIFO と周期的リクエストキューの両方に空きスペースが存在する限り、前もって送信データをプッシュすることができます。両方のレジスタにどれだけのスペースがあるかは、ホストの周期的送信 FIFO およびキューステータスレジスタ（HPTXSTS）を読み出すことでわかります。

OTG_FS コアは、AHB 設定レジスタの非周期的 Tx FIFO エンプティレベルビット（OTG_FS_GAHBCFG の TXFELVL ビット）の値に応じて、非周期的 Tx FIFO が半分または完全にエンプティである限り、非周期的 Tx FIFO エンプティ割り込み（OTG_FS_GINTSTS の NPTXFE ビット）を発行します。アプリケーションは、非周期的 Tx FIFO と非周期的リクエストキューの両方に空きスペースが存在する限り、送信データをプッシュすることができます。両方のレジスタにどれだけのスペースがあるかは、ホストの非周期的送信 FIFO およびキューステータスレジスタ（HNPTXSTS）を読み出すことでわかります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

27.12 FIFO RAM の割り当て

27.12.1 デバイスモード

受信 FIFO RAM の割り当て：アプリケーションは SETUP パケット用の RAM を割り当てる必要があります。コントロールエンドポイントで SETUP パケットを受信するためには、受信 FIFO に 10 個の位置が予約されていなければなりません。コアは、SETUP パケット用に予約されている位置に他のデータを書き込むことはありません。1 つの位置は、グローバル OUT NAK のために割り当てられます。各受信パケットとともに、ステータス情報が FIFO に書き込まれます。したがって、パケットを受信するには、少なくとも、（最大パケットサイズ / 4）+ 1 のスペースを割り当てる必要があります。複数のアイソクロナスエンドポイントが有効な場合、連続パケットを受信するには、少なくとも、（最大パケットサイズ / 4）+ 1 の 2 倍のスペースが割り当てられなければなりません。一般に、（最大パケットサイズ / 4）+ 1 の 2 倍のスペースが推奨されます。前のパケットが CPU に転送されている間に、USB は次のパケットを受信できるからです。

各エンドポイントの最後のパケットとともに、送信完了ステータス情報が FIFO にプッシュされます。一般に、各 OUT エンドポイントに対して 1 つの位置を予約することが推奨されます。

送信 FIFO RAM の割り当て：各 IN エンドポイント送信 FIFO に必要な最小 RAM スペースは、その特定の IN エンドポイントに対する最大パケットサイズを収容できるスペースとなります。

注： ***送信 IN エンドポイント FIFO に割り当てるスペースが大きいほど、USB のパフォーマンスは高くなります。***

27.12.2 ホストモード

受信 FIFO RAM の割り当て：各受信パケットとともに、ステータス情報が FIFO に書き込まれます。したがって、パケットを受信するには、少なくとも、（最大パケットサイズ / 4）+ 1 のスペースを割り当てる必要があります。複数のアイソクロナスチャネルが有効な場合、連続パケットを受信するには、少なくとも、（最大パケットサイズ / 4）+ 1 の 2 倍のスペースが割り当てられなければなりません。一般に、（最大パケットサイズ / 4）+ 1 の 2 倍のスペースが推奨されます。前のパケットが CPU に転送されている間に、USB は次のパケットを受信できるからです。

ホストチャネルの最後のパケットとともに、転送完了ステータス情報が FIFO にプッシュされます。したがって、このために 1 つの位置が割り当てられなければなりません。

送信 FIFO RAM の割り当て：ホストの非周期的送信 FIFO に必要な最小 RAM スペースは、サポートされるすべての非周期的 OUT チャネルの中で最大のパケットサイズを収容できるスペースとなります。

一般に、最大パケットサイズの 2 倍のスペースが推奨されます。現在のパケットが USB に転送されているときに、CPU が次のパケットを取得できるからです。

ホストの周期的送信 FIFO に必要な最小 RAM スペースは、サポートされるすべての周期的 OUT チャネルの中で最大のパケットサイズを収容できるスペースとなります。少なくとも 1 つのアイソクロナス OUT エンドポイントがある場合には、スペースはそのチャネルの最大パケットサイズの少なくとも 2 倍でなければなりません。

注： ***非周期的送信 FIFO に割り当てるスペースが大きいほど、USB のパフォーマンスは高くなります。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

27.13 USB システムのパフォーマンス

USB とシステムの最高のパフォーマンスを達成するには、大きな RAM バッファ、柔軟に設定可能な FIFO サイズ、AHB プッシュ /ポップレジスタを通した迅速な 32 ビット FIFO アクセス、そして、特に、高度な FIFO 制御メカニズムが必要です。実際、このメカニズムにより、OTG_FS は、現在の USB シーケンスに関係なく、使用可能な RAM スペースに効率的に書き込むことができます。これらの機能によって、以下のことが可能になります。

- アプリケーションは、CPU のバンド幅使用率を最適化するための介入を調整する余裕ができます。
  - データが効率的に USB に送信されるときまで、大量の送信データを事前に蓄積することができます。
  - 単一の受信 FIFO からデータをダウンロードするための時間の余裕が増えるという利点があります。
- USB コアは、最高動作速度を維持できるので、アプリケーションの介入がある場合に比べて、自律的に動作できる幅が広がり、最大のフルスピードバンド幅を実現できます。
  - 大量の送信データを自由に蓄積して、USB 経由のデータ送信を自律的に管理できます。
  - 受信バッファの使用可能な空きスペースが大量にあるので、USB から入ってくるデータを自律的に書き込むことができます。

OTG_FS コアは 1.25 KB の RAM バッファを非常に効率的に使用でき、また、1.25 KB の送信/受信データはフルスピードフレームをカバーするには十分以上なので、USB システムは CPU の介入がなくても、最大 1 USB フレーム（1 ms）に対応する最高のフルスピードデータ速度に耐えることができます。

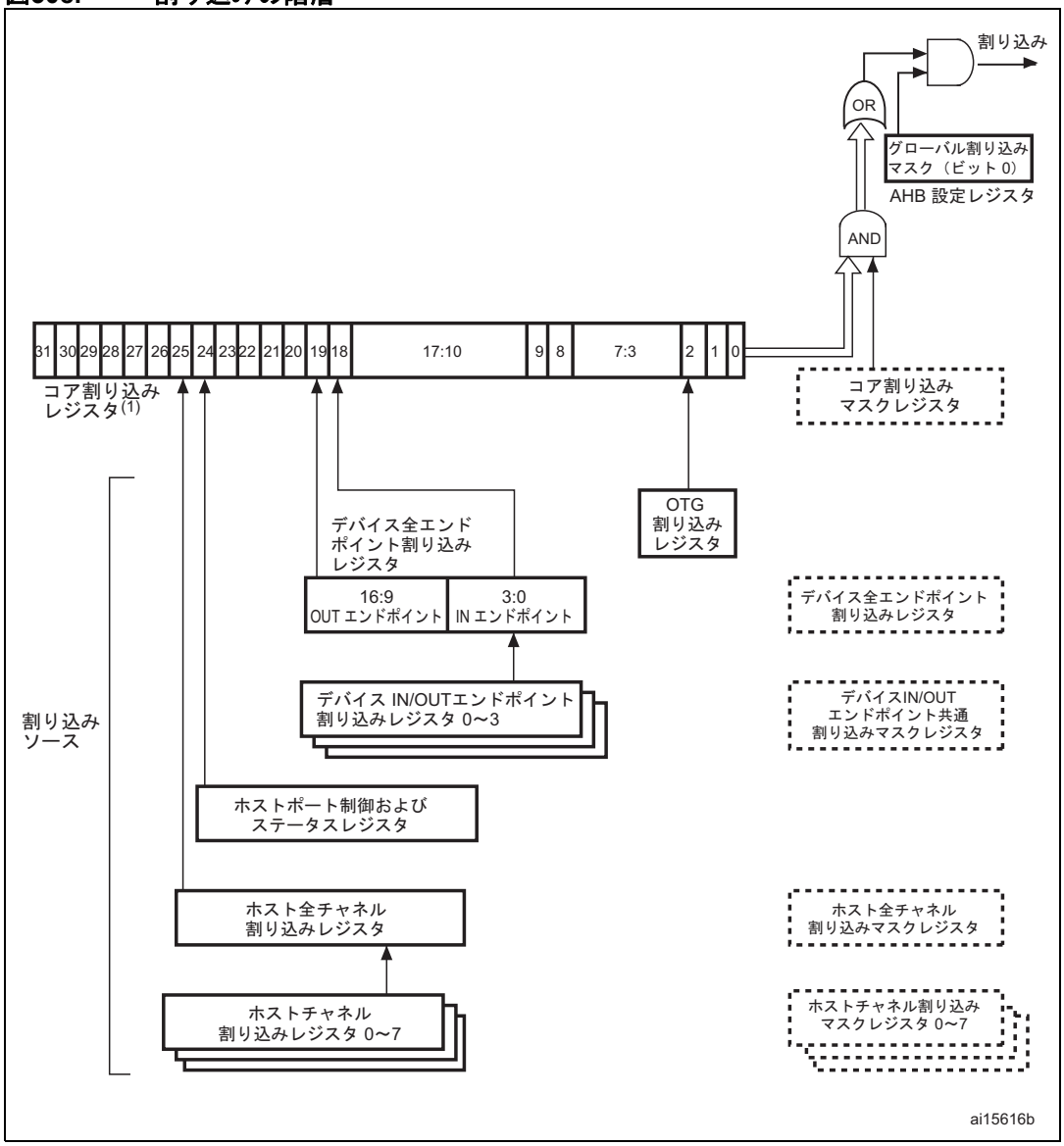
27.14 OTG_FS 割り込み

OTG_FS コントローラがデバイスモードまたはホストモードのいずれかで動作しているときには、アプリケーションは、別のモードからレジスタにアクセスしてはなりません。不正なアクセスが発生した場合、モード不一致割り込みが生成され、コア割り込みレジスタ（OTG_FS_GINTSTS レジスタの MMIS ビット）に反映されます。コアがあるモードから別のモードに切り替わったとき、新しい動作モードにおけるレジスタは、パワーオンリセット後と同様に再プログラムされなければなりません。

図 308 に、割り込みの階層を示します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図308. 割り込みの階層



1. コア割り込みレジスタビットは、*OTG_FS コア割り込みレジスタ (OTG_FS_GINTSTS) (822 ページ)*に示されています。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

27.15 OTG_FS 制御/ステータスレジスタ

アプリケーションは、AHB スレーブインタフェースを通じて制御/ステータスレジスタ（CSR）を読み書きすることによって、OTG_FS コントローラを制御します。これらのレジスタは 32 ビット幅であり、アドレスは 32 ビットブロックに配置されています。CSR は、次のように分類されます。

- コアグローバルレジスタ
- ホストモードレジスタ
- ホストグローバルレジスタ
- ホストポート CSR
- ホストチャネル固有レジスタ
- デバイスモードレジスタ
- デバイスグローバルレジスタ
- デバイスエンドポイント固有レジスタ
- パワーおよびクロックゲーティングレジスタ
- データ FIFO（DFIFO）アクセスレジスタ

コアグローバル、パワーおよびクロックゲーティング、データ FIFO（DFIFO）アクセス、およびホストポート CSR レジスタのみが、ホストモードおよびデバイスモードの両方でのアクセスが可能です。OTG_FS コントローラがデバイスモードまたはホストモードのいずれかで動作しているときには、アプリケーションは、別のモードからレジスタにアクセスしてはなりません。不正なアクセスが発生した場合、モード不一致割り込みが生成され、コア割り込みレジスタ（OTG_FS_GINTSTS レジスタの MMIS ビット）に反映されます。コアがあるモードから別のモードに切り替わったとき、新しい動作モードにおけるレジスタは、パワーオンリセット後と同様に再プログラムされなければなりません。

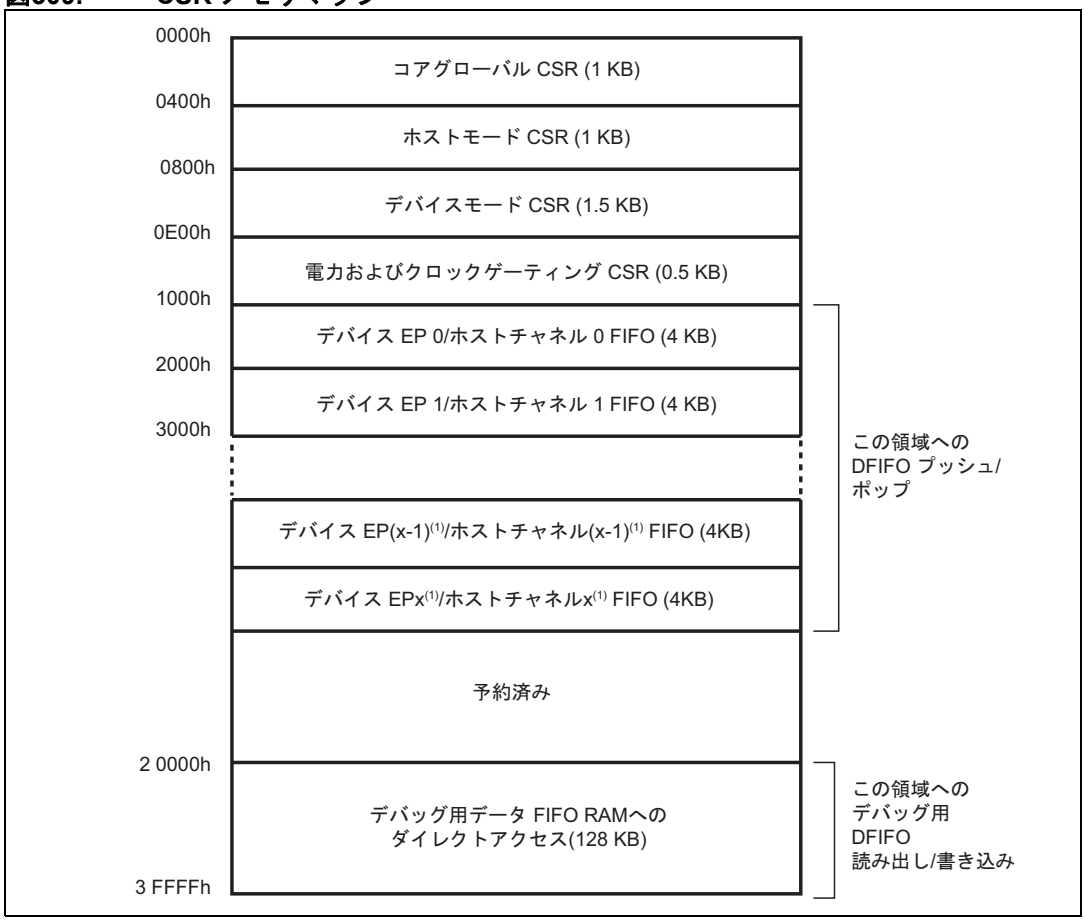
ペリフェラルレジスタには、ワード（32 ビット）単位でアクセスする必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

27.15.1 CSR メモリマップ

ホストモードおよびデバイスモードレジスタは、それぞれ異なるアドレスに配置されています。すべてのレジスタは AHB クロックドメインで実装されます。

図309. CSR メモリマップ



1. デバイスモードでは x = 3、ホストモードでは x = 7 です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

グローバル CSR マップ

これらのレジスタは、ホストモードとデバイスモードの両方で使用可能です。

表197. コアグローバル制御およびステータスレジスタ（CSR）

項目（略称）	アドレスオフセット	レジスタ名
OTG_FS_GOTGCTL	0x000	*OTG_FS 制御およびステータスレジスタ（OTG_FS_GOTGCTL）（814 ページ）*
OTG_FS_GOTGINT	0x004	*OTG_FS 割り込みレジスタ（OTG_FS_GOTGINT）（816 ページ）*
OTG_FS_GAHBCFG	0x008	*OTG_FS AHB 設定レジスタ（OTG_FS_GAHBCFG）（817 ページ）*
OTG_FS_GUSBCFG	0x00C	*OTG_FS USB 設定レジスタ（OTG_FS_GUSBCFG）（818 ページ）*
OTG_FS_GRSTCTL	0x010	*OTG_FS リセットレジスタ（OTG_FS_GRSTCTL）（820 ページ）*
OTG_FS_GINTSTS	0x014	*OTG_FS コア割り込みレジスタ（OTG_FS_GINTSTS）（822 ページ）*
OTG_FS_GINTMSK	0x018	*OTG_FS 割り込みマスクレジスタ（OTG_FS_GINTMSK）（826 ページ）*
OTG_FS_GRXSTSR	0x01C	*OTG_FS 受信ステータスデバッグ読み出し/OTG ステータス読み出しおよびポップレジスタ（OTG_FS_GRXSTSR/OTG_FS_GRXSTSP）（829 ページ）*
OTG_FS_GRXSTSP	0x020	
OTG_FS_GRXFSIZ	0x024	*OTG_FS 受信 FIFO サイズレジスタ（OTG_FS_GRXFSIZ）（830 ページ）*
OTG_FS_HNPTXFSIZ/ OTG_FS_DIEPTXF0(1)	0x028	*OTG_FS ホスト非周期的送信 FIFO サイズレジスタ（OTG_FS_HNPTXFSIZ）/エンドポイント 0 送信 FIFO サイズレジスタ（OTG_FS_DIEPTXF0）*
OTG_FS_HNPTXSTS	0x02C	*OTG_FS 非周期的送信 FIFO/キューステータスレジスタ（OTG_FS_HNPTXSTS）（832 ページ）*
OTG_FS_GCCFG	0x038	*OTG_FS 一般コア設定レジスタ（OTG_FS_GUSBCFG）（833 ページ）*
OTG_FS_CID	0x03C	*OTG_FS コア ID レジスタ（OTG_FS_CID）（833 ページ）*
OTG_FS_HPTXFSIZ	0x100	*OTG_FS ホスト周期的送信 FIFO サイズレジスタ（OTG_FS_HPTXFSIZ）（834 ページ）*
OTG_FS_DIEPTXFx	0x104 0x124 ... 0x138	*OTG_FS デバイス IN エンドポイント送信 FIFO サイズレジスタ（OTG_FS_DIEPTXFx）（x = 1..3、x は FIFO 番号）（834 ページ）*

1. 一般的ルールとして、OTG_FS_HNPTXFSIZ はホストモードで、OTG_FS_DIEPTXF0 はデバイスモードで使用されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ホストモード CSR マップ

これらのレジスタは、コアがホストモードに移行するたびにプログラムされなければなりません。

表198. ホストモード制御およびステータスレジスタ（CSR）

項目（略称）	オフセットアドレス	レジスタ名
OTG_FS_HCFG	0x400	*OTG_FS ホスト設定レジスタ（OTG_FS_HCFG）（835 ページ）*
OTG_FS_HFIR	0x404	*OTG_FS ホストフレームインターバルレジスタ（OTG_FS_HFIR）（836 ページ）*
OTG_FS_HFNUM	0x408	*OTG_FS ホストフレーム番号/残りフレーム時間レジスタ（OTG_FS_HFNUM）（836 ページ）*
OTG_FS_HPTXSTS	0x410	*OTG_FS ホスト周期的送信 FIFO/キューステータスレジスタ（OTG_FS_HPTXSTS）（837 ページ）*
OTG_FS_HAINT	0x414	*OTG_FS ホスト全チャネル割り込みレジスタ（OTG_FS_HAINT）（838 ページ）*
OTG_FS_HAINTMSK	0x418	*OTG_FS ホスト全チャネル割り込みマスクレジスタ（OTG_FS_HAINTMSK）（838 ページ）*
OTG_FS_HPRT	0x440	*OTG_FS ホストポート制御およびステータスレジスタ（OTG_FS_HPRT）（839 ページ）*
OTG_FS_HCCHARx	0x500 0x520 ... 0x6E0h	*OTG_FS ホストチャネル x 特性レジスタ（OTG_FS_HCCHARx）（x = 0..7、x = チャネル番号）（841 ページ）*
OTG_FS_HCINTx	508h	*OTG_FS ホストチャネル x 割り込みレジスタ（OTG_FS_HCINTx）（x = 0..7、x = チャネル番号）（842 ページ）*
OTG_FS_HCINTMSKx	50Ch	*OTG_FS ホストチャネル x 割り込みマスクレジスタ（OTG_FS_HCINTMSKx）（x = 0..7、x = チャネル番号）（843 ページ）*
OTG_FS_HCTSIZx	510h	*OTG_FS ホストチャネル x 転送サイズレジスタ（OTG_FS_HCTSIZx）（x = 0..7、x = チャネル番号）（844 ページ）*

デバイスモード CSR マップ

これらのレジスタは、コアがデバイスモードに移行するたびにプログラムされなければなりません。

表199. デバイスモード制御およびステータスレジスタ

項目（略称）	オフセットアドレス	レジスタ名
OTG_FS_DCFG	0x800	*OTG_FS デバイス設定レジスタ（OTG_FS_DCFG）（845 ページ）*
OTG_FS_DCTL	0x804	*OTG_FS デバイス制御レジスタ（OTG_FS_DCTL）（846 ページ）*
OTG_FS_DSTS	0x808	*OTG_FS デバイスステータスレジスタ（OTG_FS_DSTS）（848 ページ）*
OTG_FS_DIEPMSK	0x810	*OTG_FS デバイス IN エンドポイント共通割り込みマスクレジスタ（OTG_FS_DIEPMSK）（849 ページ）*
OTG_FS_DOEPMSK	0x814	*OTG_FS デバイス OUT エンドポイント共通割り込みマスクレジスタ（OTG_FS_DOEPMSK）（850 ページ）*

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表199. デバイスモード制御およびステータスレジスタ（続き）

項目（略称）	オフセットアドレス	レジスタ名
OTG_FS_DAINT	0x818	*OTG_FS デバイス全チャネル割り込みレジスタ（OTG_FS_DAINT）（851 ページ）*
OTG_FS_DAINTMSK	0x81C	*OTG_FS 全エンドポイント割り込みマスクレジスタ（OTG_FS_DAINTMSK）（851 ページ）*
OTG_FS_DVBUSDIS	0x828	*OTG_FS デバイス V_{BUS} 放電時間レジスタ（OTG_FS_DVBUSDIS）（852 ページ）*
OTG_FS_DVBUSPULSE	0x82C	*OTG_FS デバイス V_{BUS} パルシング時間レジスタ（OTG_FS_DVBUSPULSE）（852 ページ）*
OTG_FS_DIEPEMPMSK	0x834	*OTG_FS デバイス IN エンドポイント FIFO エンプティ割り込みマスクレジスタ：（OTG_FS_DIEPEMPMSK）（853 ページ）*
OTG_FS_DIEPCTL0	0x900	*OTG_FS デバイスコントロール IN エンドポイント 0 制御レジスタ（OTG_FS_DIEPCTL0）（853 ページ）*
OTG_FS_DIEPCTLx	0x920 0x940 ... 0xAE0	*OTG デバイスエンドポイント x 制御レジスタ（OTG_FS_DIEPCTLx）（x = 1..3、x = Endpoint_number）（855 ページ）*
OTG_FS_DIEPINTx	0x908	*OTG_FS デバイスエンドポイント x 割り込みレジスタ（OTG_FS_DIEPINTx）（x = 0..3、x = Endpoint_number）（861 ページ）*
OTG_FS_DIEPTSIZ0	0x910	*OTG_FS デバイス IN エンドポイント 0 転送サイズレジスタ（OTG_FS_DIEPTSIZ0）（863 ページ）*
OTG_FS_DTXFSTSx	0x918	*OTG_FS デバイス IN エンドポイント送信 FIFO ステータスレジスタ（OTG_FS_DTXFSTSx）（x = 0..3、x = Endpoint_number）（866 ページ）*
OTG_FS_DIEPTSIZx	0x930 0x950 ... 0xAF0	*OTG_FS デバイス OUT エンドポイント x 転送サイズレジスタ（OTG_FS_DOEPTSIZx）（x = 1..3、x = Endpoint_number）（866 ページ）*
OTG_FS_DOEPCTL0	0xB00	*OTG_FS デバイス制御 OUT エンドポイント 0 制御レジスタ（OTG_FS_DOEPCTL0）（857 ページ）*
OTG_FS_DOEPCTLx	0xB20 0xB40 ... 0xCC0 0xCE0 0xCFD	*OTG デバイスエンドポイント x 制御レジスタ（OTG_FS_DIEPCTLx）（x = 1..3、x = Endpoint_number）（855 ページ）*
OTG_FS_DOEPINTx	0xB08	*OTG_FS デバイスエンドポイント x 割り込みレジスタ（OTG_FS_DIEPINTx）（x = 0..3、x = Endpoint_number）（861 ページ）*
OTG_FS_DOEPTSIZx	0xB10	*OTG_FS デバイス OUT エンドポイント x 転送サイズレジスタ（OTG_FS_DOEPTSIZx）（x = 1..3、x = Endpoint_number）（866 ページ）*

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

データ FIFO（DFIFO）アクセススレジスタマップ

これらのレジスタは、ホストモードとデバイスモードの両方で使用可能であり、特定のエンドポイントまたはチャネルの FIFO スペースを指定された方向で読み書きするために使用されます。ホストチャネルが IN タイプの場合、FIFO はそのチャネル上では読み出しのみが可能です。同様に、ホストチャネルが OUT タイプの場合、FIFO はそのチャネル上では書き込みのみが可能です。

表200. データ FIFO（DFIFO）アクセススレジスタマップ

FIFO アクセススレジスタセクション	アドレス範囲	アクセス
デバイス IN エンドポイント 0/ホスト OUT チャネル 0：DFIFO 書き込みアクセス デバイス OUT エンドポイント 0/ホスト IN チャネル 0：DFIFO 読み出しアクセス	0x1000–0x1FFC	w r
デバイス IN エンドポイント 1/ホスト OUT チャネル 1：DFIFO 書き込みアクセス デバイス OUT エンドポイント 1/ホスト IN チャネル 1：DFIFO 読み出しアクセス	0x2000–0x2FFC	w r
...	...	...
デバイス IN エンドポイント x(1)/ホスト OUT チャネル x(1)：DFIFO 書き込みアクセス デバイス OUT エンドポイント x(1)/ホスト IN チャネル x(1)：DFIFO 読み出しアクセス	0xX000h–0xXFFCh	w r

1. デバイスモードでは x = 3、ホストモードでは x = 7 です。

パワーおよびクロックゲーティング CSR マップ

パワーおよびクロックゲーティングの場合、シングルレジスタです。このレジスタは、ホストモードとデバイスモードの両方で使用できます。

表201. パワーおよびクロックゲーティング制御およびステータスレジスタ

レジスタ名	項目（略称）	オフセットアドレス：0xE00–0xFFF
パワーおよびクロックゲーティング制御レジスタ	PCGCR	0xE00-0xE04
予約済み		0xE05–0xFFF

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

27.15.2 OTG_FS グローバルレジスタ

これらのレジスタは、ホストモードとデバイスモードの両方で使用でき、これらのモード間で切り替わっても再プログラムの必要はありません。

レジスタの説明で示されているビット値は、特に記載がない限りバイナリで表されています。

OTG_FS 制御およびステータスレジスタ（OTG_FS_GOTGCTL）

アドレスオフセット：0x000

リセット値：0x0000 0800

OTG_FS_GOTGCTL レジスタは、コアの OTG 機能の動作を制御し、そのステータスを反映します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み												BSVLD	ASVLD	DBCT	CIDSTS	予約済み				DHNPEN	HSHNPEN	HNPRQ	HNGSCS	予約済み						SRQ	SRQSCS
												r	r	r	r					rw	rw	rw	r							rw	r

ビット 31:20 予約済み

ビット 19 **BSVLD**：B セッション有効
デバイスモードでのトランシーバのステータスを示します。
0：B セッションは無効です。
1：B セッションは有効です。
OTG モードでは、このビットを使用して、デバイスが接続されているか、切断されているかを判断できます。
注：　デバイスモードでのみアクセス可能です。

ビット 18 **ASVLD**：A セッション有効
ホストモードでのトランシーバのステータスを示します。
0：A セッションは無効です。
1：A セッションは有効です。
注：　ホストモードでのみアクセス可能です。

ビット 17 **DBCT**：ロング/ショートデバウンス時間
検出された接続のデバウンス時間を示します。
0：ロングデバウンス時間（100 ms + 2.5 µs）。物理的接続に使用されます。
1：ショートデバウンス時間（2.5 µs）。ソフト接続に使用されます。
注：　ホストモードでのみアクセス可能です。

ビット 16 **CIDSTS**：コネクタ ID ステータス
接続イベント時のコネクタ ID のステータスを示します。
0：OTG_FS コントローラは A デバイスモードです。
1：OTG_FS コントローラは B デバイスモードです。
注：　デバイスモードとホストモードの両方でアクセス可能です。

ビット 15:12 予約済み

ビット 11 **DHNPEN**：デバイス HNP イネーブル
アプリケーションは、接続された USB ホストから SetFeature.SetHNPEnable コマンドを正常に受信したときに、このビットをセットします。
0：HNP は、アプリケーションでは無効です。
1：HNP は、アプリケーションで有効です。
注：　デバイスモードでのみアクセス可能です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 10 **HSHNPEN**：ホストセット HNP イネーブル

アプリケーションは、接続されたデバイスで HNP を正常に有効にできたとき（SetFeature.SetHNPEnable コマンドを使用して）、このビットをセットします。

0：ホストセット HNP は無効です。

1：ホストセット HNP は有効です。

注： ホストモードでのみアクセス可能です。

ビット 9 **HNPRQ**：HNP リクエスト

アプリケーションは、接続された USB ホストへの HNP リクエストを開始するために、このビットをセットします。アプリケーションは、OTG_FS_GOTGINT レジスタのホストネゴシエーション正常ステータス変更ビット（OTG_FS_GOTGINT の HNSSCHG ビット）がセットされたとき、0 を書き込むことによって、このビットをクリアできます。コアは、HNSSCHG ビットがクリアされたとき、このビットをクリアします。

0：HNP リクエストなし

1：HNP リクエスト

注： デバイスモードでのみアクセス可能です。

ビット 8 **HNGSCS**：ホストネゴシエーション成功

コアは、ホストネゴシエーションに成功したとき、このビットをセットします。コアは、このレジスタの HNP リクエストビット（HNPRQ）がセットされたとき、このビットをクリアします。

0：ホストネゴシエーション失敗

1：ホストネゴシエーション成功

注： デバイスモードでのみアクセス可能です。

ビット 7:2 予約済み

ビット 1 **SRQ**：セッションリクエスト

アプリケーションは、USB 上でセッションリクエストを開始するために、このビットをセットします。アプリケーションは、OTG_FS_GOTGINT レジスタのホストネゴシエーション正常ステータス変更ビット（OTG_FS_GOTGINT の HNSSCHG ビット）がセットされたとき、0 を書き込むことによって、このビットをクリアできます。コアは、HNSSCHG ビットがクリアされたとき、このビットをクリアします。

USB 1.1 フルスピードシリアルトランシーバインタフェースを使用してセッションリクエストを開始する場合、アプリケーションは、このレジスタの B セッション有効ビット（OTG_FS_GOTGCTL の BSVLD ビット）がクリアされた後、V_{BUS} が 0.2 V まで放電するまで待つ必要があります。この放電時間は PHY ごとに異なり、PHY ベンダーから得ることができます。

0：セッションリクエストなし

1：セッションリクエスト

注： デバイスモードでのみアクセス可能です。

ビット 0 **SRQSCS**：セッションリクエスト成功

コアは、セッションリクエストの開始に成功したとき、このビットをセットします。

0：セッションリクエスト失敗

1：セッションリクエスト成功

注： デバイスモードでのみアクセス可能です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OTG_FS 割り込みレジスタ（OTG_FS_GOTGINT）

アドレスオフセット：0x04

リセット値：0x0000 0000

アプリケーションは、OTG 割り込みがあると、このレジスタを読み出し、このレジスタのビットをクリアすることによって、OTG 割り込みをクリアします。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み												DBCDNE	ADTOCHG	HNGDET	予約済み							HNSSCHG	SRSSCHG	予約済み					SEDET	予約済み	
												rc_w1	rc_w1	rc_w1								rc_w1	rc_w1						rc_w1		

ビット 31:20 予約済み

ビット 19 **DBCDNE**：デバウンス終了
コアは、デバイスが接続された後、デバウンスが完了したときに、このビットをセットします。アプリケーションは、この割り込みを確認した後、USB リセットの駆動を開始できます。このビットは、OTG_FS_GUSBCFG レジスタの HNP 対応ビットまたは SRP 対応ビット（OTG_FS_GUSBCFG の HNPCAP ビットまたは SRPCAP ビット）がセットされたときのみ有効です。

注：　ホストモードでのみアクセス可能です。

ビット 18 **ADTOCHG**：A デバイスタイムアウト変化
コアは、B デバイス の接続を待っている間に A デバイスがタイムアウトしたことを示すために、このビットをセットします。

注：　デバイスモードとホストモードの両方でアクセス可能です。

ビット 17 **HNGDET**：ホストネゴシエーションの検出
コアは、USB 上でホストネゴシエーションリクエストを検出したときに、このビットをセットします。

注：　デバイスモードとホストモードの両方でアクセス可能です。

ビット 16:10 予約済み

ビット 9 **HNSSCHG**：ホストネゴシエーション成功ステータスの変化
コアは、USB ホストネゴシエーションリクエストの成功または失敗のときに、このビットをセットします。アプリケーションは、OTG_FS_GOTGCTL　レジスタのホストネゴシエーション成功ビット（OTG_FS_GOTGCTL の HNGSCS ビット）を読み出して、成功か失敗かをチェックする必要があります。

注：　デバイスモードとホストモードの両方でアクセス可能です。

ビット 7:3 予約済み

ビット 8 **SRSSCHG**：セッションリクエスト成功ステータスの変化
コアは、セッションリクエストの成功または失敗のときに、このビットをセットします。アプリケーションは、OTG_FS_GOTGCTL レジスタのセッションリクエスト成功ビット（OTG_FS_GOTGCTL の SRQSCS ビット）を読み出して、成功か失敗かをチェックする必要があります。

注：　デバイスモードとホストモードの両方でアクセス可能です。

ビット 2 **SEDET**：セッション終了検出
コアは、V_{BUS} < 0.8 V のとき、このビットをセットして、V_{BUS} の電圧レベルが B ペリフェラルセッションにとって有効でなくなったことを示します。

ビット 1:0 予約済み

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OTG_FS AHB 設定レジスタ（OTG_FS_GAHBCFG）

アドレスオフセット：0x008

リセット値：0x0000 0000

このレジスタを使用して、電源投入後、またはモード変化後のコアを設定できます。このレジスタは、主に AHB システム関連の設定パラメータを含んでいます。初期プログラミングの後は、このレジスタを変更しないでください。アプリケーションは、AHB または USB のいずれかでトランザクションを開始する前に、このレジスタをプログラムする必要があります。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																							PTXFELVL	TXFELVL	予約済み						GINTMSK
																							rw	rw							rw

ビット 31:20 予約済み

ビット 8 **PTXFELVL**：周期的 TxFIFO エンプティレベル

OTG_FS_GINTSTS レジスタの周期的 TxFIFO エンプティ割り込みビット（OTG_FS_GINTSTS の PTXFE ビット）がトリガされるときを示します。

0：PTXFE（OTG_FS_GINTSTS の）割り込みビットは、周期的 TxFIFO が半分エンプティであることを示します。

1：PTXFE（OTG_FS_GINTSTS の）割り込みビットは、周期的 TxFIFO が完全にエンプティであることを示します。

注：　ホストモードでのみアクセス可能です。

ビット 7 **TXFELVL**：TxFIFO エンプティレベル

デバイスモードでは、このビットは、IN エンドポイント送信 FIFOエンプティ割り込み（OTG_FS_DIEPINTx の TXFE）がトリガされるときを示します。

0：TXFE（OTG_FS_DIEPINTx の）割り込みは、IN エンドポイントの Tx FIFO が半分エンプティであることを示します。

1：TXFE（OTG_FS_DIEPINTx の）割り込みは、IN エンドポイントの Tx FIFO が完全にエンプティであることを示します。

ホストモードでは、このビットは、非周期的 Tx FIFOエンプティ割り込み（OTG_FS_GINTSTS の NPTXFE ビット）がトリガされるときを示します。

0：NPTXFE（OTG_FS_GINTSTS の）割り込みは、非周期的 Tx FIFO が半分エンプティであることを示します。

1：NPTXFE（OTG_FS_GINTSTS の）割り込みは、非周期的 Tx FIFO が完全にエンプティであることを示します。

ビット 6:1 予約済み

ビット 0 **GINTMSK**：グローバル割り込みマスク

アプリケーションは、このビットを使用して、アプリケーション自身に対する割り込みラインのアサーションをマスクまたはマスク解除します。このビットの設定に関係なく、割り込みステータスレジスタはコアによって更新されます。

0：アプリケーションへの割り込みアサーションをマスクします。

1：アプリケーションへの割り込みアサーションをマスク解除します。

注：　デバイスモードとホストモードの両方でアクセス可能です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OTG_FS USB 設定レジスタ（OTG_FS_GUSBCFG）

アドレスオフセット：0x00C

リセット値：0x0000 0A00

このレジスタを使用して、電源投入後、またはホストモードあるいはデバイスモードへの変化後に、コアを設定することができます。このレジスタは、USB および USB-PHY 関連の設定パラメータを含んでいます。アプリケーションは、AHB または USB のいずれかでトランザクションを開始する前に、このレジスタをプログラムする必要があります。初期プログラミングの後は、このレジスタを変更しないでください。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CTXPKT	FDMOD	FHMOD	予約済み															TRDT				HNPCAP	SRPCAP	PHYSEL	予約済み				TOCAL		
rw	rw	rw																rw				r/rw	r/rw	wo					rw		

ビット 31:20 予約済み

ビット 31 **CTXPKT**：破損 Tx パケット
このビットは、デバッグ目的でのみ使用されます。このビットを 1 にセットしないでください。
注：　デバイスモードとホストモードの両方でアクセス可能です。

ビット 30 **FDMOD**：強制デバイスモード
このビットに 1 を書き込むと、コアは OTG_FS_ID 入力ピンに関係なく、強制的にデバイスモードになります。
0：通常モード
1：強制デバイスモード
強制ビットをセットした後、アプリケーションは、変更が有効になるまで少なくとも 25 ms 待つ必要があります。
注：　デバイスモードとホストモードの両方でアクセス可能です。

ビット 29 **FHMOD**：強制ホストモード
このビットに 1 を書き込むと、コアは、OTG_FS_ID 入力ピンに関係なく、強制的にホストモードになります。
0：通常モード
1：強制ホストモード
強制ビットをセットした後、アプリケーションは、変更が有効になるまで少なくとも 25 ms 待つ必要があります。
注：　デバイスモードとホストモードの両方でアクセス可能です。

ビット 28:14 予約済み

ビット 13:10 **TRDT**：USB ターンアラウンド時間
ターンアラウンド時間を PHY クロックで設定します。
TRDT の値を計算するには、以下の式を使用します。

TRDT = 4 × AHB クロック + 1 PHY クロック

例：
1. AHB クロック = 72 MHz（PHY クロックは 48）の場合、TRDT は 9 に設定されます。
2. AHB クロック = 48 MHz（PHY クロックは 48）の場合、TRDT は 5 に設定されます。
注：　デバイスモードでのみアクセス可能です。

ビット 9 **HNPCAP**：HNP 機能
アプリケーションは、このビットを使用して、OTG_FS コントローラの HNP 機能を制御します。
0：HNP 機能は無効です。
1：HNP 機能は有効です。
注：　デバイスモードとホストモードの両方でアクセス可能です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 8 **SRPCAP**：SRP 機能

アプリケーションは、このビットを使用して、OTG_FS コントローラの SRP 機能を制御します。コアが非 SRP 対応 B デバイス として動作する場合、
接続された A デバイス（ホスト）に V_{BUS} を起動し、セッションを開始させるように要求することはできません。

0：SRP 機能は無効です。

1：SRP 機能は有効です。

注：　デバイスモードとホストモードの両方でアクセス可能です。

ビット 7 **PHYSEL**：フルスピードシリアルトランシーバの選択

このビットは常に 1 であり、アクセスは書き込み専用です。

ビット[6:3] 予約済み

ビット[2:0] **TOCAL**：FS タイムアウトの較正

アプリケーションがこのフィールドでプログラムする PHY クロックの数は、PHY によって導入される追加遅延を考慮して、コアのフルスピードパケット間タイムアウト時間に追加されます。ライン状態条件の生成時に PHY によって導入される遅延は、PHY ごとに異なる場合があるので、較正が必要なことがあります。

フルスピード動作での USB の標準タイムアウト値は、16～18 ビット時間です。アプリケーションは、エニュメレーションのスピードに基づいて、このフィールドをプログラムする必要があります。PHY クロックごとに追加されるビット時間の数は 0.25 ビット時間です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OTG_FS リセットレジスタ（OTG_FS_GRSTCTL）

アドレスオフセット：0x10

リセット値：0x2000 0000

アプリケーションは、このレジスタを使用して、コア内のさまざまなハードウェア機能をリセットします。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AHBIDL	予約済み																				TXFNUM					TXFFLSH	RXFFLSH	予約済み	FCRST	HSRST	CSRST
r																					rw					rs	rs		rs	rs	rs

ビット 31 **AHBIDL**：AHB マスタアイドル
AHB マスタステートマシンがアイドル状態にあることを示します。
注：　デバイスモードとホストモードの両方でアクセス可能です。

ビット 30:11 予約済み

ビット 10:6 **TXFNUM**：TxFIFO 番号
これは、TxFIFO フラッシュビットを使用してフラッシュしなければならない TxFIFO 番号です。コアが TxFIFO フラッシュビットをクリアするまでは、このフィールドを変更しないでください。

- 00000：
  - ホストモードでの非周期的 TxFIFO フラッシュ
  - デバイスモードでの TX FIFO 0 のフラッシュ
- 00001：
  - ホストモードでの周期的 TxFIFO のフラッシュ
  - デバイスモードでの TxFIFO 1 のフラッシュ
- 00010：デバイスモードでの TxFIFO 2 のフラッシュ

...

- 00101：デバイスモードでの TxFIFO 15 のフラッシュ
- 10000：デバイスモードまたはホストモードのすべての送信 FIFO をフラッシュします。

注：　デバイスモードとホストモードの両方でアクセス可能です。

ビット 5 **TXFFLSH**：TxFIFO フラッシュ
このビットは、選択された単一またはすべての送信 FIFO をフラッシュしますが、コアがトランザクション中の場合はフラッシュできません。
アプリケーションは、コアが TxFIFO への書き込み中か、TxFIFO からの読み出し中でないことを確認した後でなければ、このビットに書き込むことはできません。以下のレジスタを使用して確認してください。
読み出し — NAK 有効割り込みを使用すると、コアが FIFO から読み出しを行っていないことを確認できます。
書き込み — OTG_FS_GRSTCTL の AHBIDL ビットで、コアが FIFO に書き込みを行っていないことを確認できます。
注：　デバイスモードとホストモードの両方でアクセス可能です。

ビット 4 **RXFFLSH**：RxFIFO フラッシュ
アプリケーションは、このビットを使用して、RxFIFO 全体をフラッシュできますが、まず、コアがトランザクション中でないことを確認する必要があります。
アプリケーションは、コアが RxFIFO からの読み出し中、または RxFIFO への書き込み中でないことを確認した後でなければ、このビットに書き込むことはできません。
アプリケーションは、他の操作を実行する前に、このビットがクリアされるまで待つ必要があります。このビットがクリアされるまで、8 クロック（PHY または AHB クロックの中で最も低速なクロック）かかります。
注：　デバイスモードとホストモードの両方でアクセス可能です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 3 予約済み

ビット 2 **FCRST** : ホストフレームカウンタリセット

アプリケーションは、このビットに書き込むことによって、コア内のフレーム数カウンタをリセットします。フレームカウンタがリセットされると、コアによって次に送出される SOF のフレーム番号は 0 になります。

注 : ホストモードでのみアクセス可能です。

ビット 1 **HSRST** : HCLK ソフトリセット

アプリケーションは、このビットを使用して、AHB クロックドメイン内の制御ロジックをフラッシュします。AHB クロックドメインパイプラインだけがリセットされます。

このビットでは、FIFO はフラッシュされません。

AHB クロックドメイン内のすべてのステートマシンは、プロトコルに従って、AHB 上のトランザクションを終了した後、アイドル状態にリセットされます。

AHB クロックドメインステートマシンによって使用される CSR 制御ビットがクリアされます。

この割り込みをクリアするために、割り込みステータスを制御し、AHB クロックドメインステートマシンによって生成されるステータスマスクビットがクリアされます。

割り込みステータスビットはクリアされないので、アプリケーションは、このビットをセットした後に発生したコアイベントのステータスを取得できます。

これはセルフクリアビットであり、コア内のすべての必要なロジックがリセットされた後、コアがクリアします。これには、コアの現在の状態によって、数クロックサイクルかかります。

注 : デバイスモードとホストモードの両方でアクセス可能です。

ビット 0 **CSRST** : コアのソフトリセット

以下のように、HCLK および PCLK ドメインをリセットします。

割り込みと、以下のビットを除くすべての CSR レジスタビットをクリアします。

– OTG_FS_PCGCCTL の RSTPDMODL ビット
– OTG_FS_PCGCCTL の GAYEHCLK ビット
– OTG_FS_PCGCCTL の PWRCLMP ビット
– OTG_FS_PCGCCTL の STPPCLK ビット
– OTG_FS_HCFG の FSLSPCS ビット
– OTG_FS_DCFG の DSPD ビット

すべてのモジュールのステートマシン（AHB スレーブユニットを除く）がアイドル状態にリセットされ、すべての送信 FIFO および受信 FIFO がフラッシュされます。

AHB 転送の最後のデータフェーズの完了後、AHB マスタ上のすべてのトランザクションが速やかに終了されます。USB 上のすべてのトランザクションをただちに終了します。

アプリケーションは、いつでもこのビットに書き込むことによって、コアをリセットできます。これはセルフクリアビットであり、コア内のすべての必要なロジックがリセットされた後、コアがこのビットをクリアします。コアの現在の状態によって、クリアには数クロックかかります。このビットがクリアされると、ソフトウェアは PHY ドメインにアクセスできるようになるまで少なくとも 3 PHY クロック待つ必要があります（同期遅延）。また、ソフトウェアは、操作を開始する前に、このレジスタのビット 31 が 1 にセットされていること（AHB マスタがアイドル状態）を確認する必要があります。

一般に、ソフトウェアリセットは、ソフトウェア開発時に使用され、上記の USB 設定レジスタの PHY 選択ビットを動的に変更するときにも使用されます。PHY を変更するときには、PHY の対応クロックが選択され、PHY ドメインで使用されます。新しいクロックが選択されたら、適切な動作のためには、PHY ドメインをリセットする必要があります。

注 : デバイスモードとホストモードの両方でアクセス可能です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OTG_FS コア割り込みレジスタ（OTG_FS_GINTSTS）

アドレスオフセット：0x014

リセット値：0x0400 0020

このレジスタは、現在のモード（デバイスモードまたはホストモード）において、システムレベルのイベントのためにアプリケーションに割り込みを要求します。

このレジスタには、ホストモードでのみ有効なビットと、デバイスモードでのみ有効なビットがあります。このレジスタは、現在のモードも示します。rc_w1 タイプの割り込みステータスビットをクリアするには、アプリケーションは、そのビットに 1 を書き込む必要があります。

FIFO ステータス割り込みは読み出し専用です。これらの割り込みの処理中に、ソフトウェアが FIFO への書き込みまたは FIFO からの読み出しを行うと、FIFO 割り込み条件は自動的にクリアされます。

初期化の前に割り込みが生成されるのを避けるためには、アプリケーションは、割り込みビットのマスクを解除する前に、OTG_FS_GINTSTS レジスタをクリアする必要があります。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
WKUINT	SRQINT	DISCINT	CIDSCHG	予約済み	PTXFE	HCINT	HPRTINT	予約済み		IPXFR/INCOMPISOOUT	IISOIXFR	OEPINT	IEPINT	予約済み		EOPF	ISOODRP	ENUMDNE	USBRST	USBSUSP	ESUSP	予約済み		GOUTNAKEFF	GINAKEFF	NPTXFE	RXFLVL	SOF	OTGINT	MMIS	CMOD
rc_w1					r	r	r	????		rc_w1		r	r			rc_w1								r	r	r	r	rc_w1	r	rc_w1	r

ビット 31 **WKUPINT**：レジューム/リモートウェイクアップ検出割り込み
デバイスモードでは、この割り込みは、USB 上でレジュームが検出されたときにアサートされます。ホストモードでは、この割り込みは、USB 上でリモートウェイクアップが検出されたときにアサートされます。
注：　デバイスモードとホストモードの両方でアクセス可能です。

ビット 30 **SRQINT**：セッションリクエスト/新規セッション検出割り込み
ホストモードでは、この割り込みは、デバイスからのセッションリクエストが検出されたときにアサートされます。デバイスモードでは、この割り込みは、V_{BUS} が B ペリフェラルデバイスに対して有効な範囲にあるときにアサートされます。デバイスモードとホストモードの両方でアクセス可能です。

ビット 29 **DISCINT**：切断検出割り込み
デバイスの切断が検出されたときにアサートされます。
注：　ホストモードでのみアクセス可能です。

ビット 28 **CIDSCHG**：コネクタ ID ステータスの変化
コアは、ID ステータスに変化があったとき、このビットをセットします。
注：　デバイスモードとホストモードの両方でアクセス可能です。

ビット 27 予約済み

ビット 26 **PTXFE**：周期的 Tx FIFO エンプティ
周期的送信 FIFO が半エンプティか完全エンプティであり、周期的リクエストキューに少なくとも 1 つのエントリを書き込むためのスペースがあるときにアサートされます。半エンプティステータスか完全エンプティステータスかは、OTG_FS_GAHBCFG レジスタの TxFIFO エンプティレベルビット（OTG_FS_GAHBCFG の PTXFELVL ビット）によって判断できます。
注：　ホストモードでのみアクセス可能です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 25 **HCINT**：ホストチャネル割り込み

コアは、コアのチャネルの 1 つで割り込みが保留されていることを示すために、このビットをセットします（ホストモード）。アプリケーションは、OTG_FS_HAINT レジスタを読み出して、割り込みが発生しているチャネルの正確な数を確認した後、対応する OTG_FS_HCINTx レジスタを読み出して、割り込みの正確な原因を確認する必要があります。アプリケーションは、OTG_FS_HCINTx レジスタの適切なステータスビットをクリアすることによって、このビットをクリアする必要があります。

注：　ホストモードでのみアクセス可能です。

ビット 24 **HPRTINT**：ホストポート割り込み

コアは、ホストモードの OTG_FS コントローラポートの 1 つのポートステータスに変化があったことを示すために、このビットをセットします。アプリケーションは、OTG_FS_HPRT レジスタを読み出して、この割り込みの原因となった正確なイベントを確認する必要があります。アプリケーションは、OTG_FS_HPRT レジスタの適切なステータスビットをクリアすることによって、このビットをクリアする必要があります。

注：　ホストモードでのみアクセス可能です。

ビット 23:22 予約済み

ビット 21 **IPXFR**：不完全な周期的転送

ホストモードでは、コアは、現在のフレームでスケジュールされていて、まだ保留中の周期的トランザクションが存在するとき、この割り込みビットをセットします。

INCOMPISOOUT：不完全アイソクロナス OUT 転送

デバイスモードでは、コアは、現在のフレームで転送が完了していないアイソクロナス OUT エンドポイントが少なくとも 1 つあることを示すために、この割り込みをセットします。この割り込みは、このレジスタの周期的フレーム割り込み終了（EOPF）ビットとともにアサートされます。

ビット 20 **IISOIXFR**：不完全アイソクロナス IN 転送

コアは、現在のフレームで転送が完了していないアイソクロナス IN エンドポイントが少なくとも 1 つあることを示すために、この割り込みをセットします。この割り込みは、このレジスタの周期的フレーム割り込み終了（EOPF）ビットとともにアサートされます。

注：　デバイスモードでのみアクセス可能です。

ビット 19 **OEPINT**：OUT エンドポイント割り込み

コアは、コアの OUT エンドポイントの 1 つで割り込みが保留されていることを示すために、このビットをセットします（デバイスモード）。アプリケーションは、OTG_FS_DAINT レジスタを読み出して、割り込みが発生した OUT エンドポイントの正確な数を確認した後、対応する OTG_FS_DOEPINTx レジスタを読み出して、割り込みの正確な原因を確認する必要があります。アプリケーションは、対応する OTG_FS_DOEPINTx レジスタの適切なステータスビットをクリアすることによって、このビットをクリアする必要があります。

注：　デバイスモードでのみアクセス可能です。

ビット 18 **IEPINT**：IN エンドポイント割り込み

コアは、コアの IN エンドポイントの 1 つで割り込みが保留されていることを示すために、このビットをセットします（デバイスモード）。アプリケーションは、OTG_FS_DAINT レジスタを読み出して、割り込みが発生した IN エンドポイントの正確な数を確認した後、対応する OTG_FS_DIEPINTx レジスタを読み出して、割り込みの正確な原因を確認する必要があります。アプリケーションは、対応する OTG_FS_DIEPINTx レジスタの適切なステータスビットをクリアすることによって、このビットをクリアする必要があります。

注：　デバイスモードでのみアクセス可能です。

ビット 17:16 予約済み

ビット 15 **EOPF**：周期的フレーム終了割り込み

現在のフレームで、OTG_FS_DCFG レジスタの周期的フレームインターバルフィールド（OTG_FS_DCFG の PFIVL ビット）で指定された時間に達したことを示します。

注：　デバイスモードでのみアクセス可能です。

ビット 14 **ISOODRP**：アイソクロナス OUT パケット欠落割り込み

コアは、アイソクロナス OUT エンドポイントの最大サイズのパケットに対応できるだけの十分なスペースが RxFIFO になかったために、RxFIFO にアイソクロナス OUT パケットを書き込めなかったとき、このビットをセットします。

注：　デバイスモードでのみアクセス可能です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 13 **ENUMDNE**：エニュメレーション終了
コアは、速度エニュメレーションが完了したことを示すために、このビットをセットします。アプリケーションは、OTG_FS_DSTS レジスタを読み出して、エニュメレーションされた速度を取得する必要があります。
注： デバイスモードでのみアクセス可能です。

ビット 12 **USBRST**：USB リセット
コアは、USB 上でリセットが検出されたことを示すために、このビットをセットします。
注： デバイスモードでのみアクセス可能です。

ビット 11 **USBSUSP**：USB サスペンド
コアは、USB 上でサスペンドが検出されたことを示すために、このビットをセットします。コアは、データライン上で 3 ms の間、何のアクティビティもなかった場合、サスペンド状態に入ります。
注： デバイスモードでのみアクセス可能です。

ビット 10 **ESUSP**：アーリーサスペンド
コアは、USB 上で 3 ms 間、アイドル状態が検出されたことを示すために、このビットをセットします。
注： デバイスモードでのみアクセス可能です。

ビット 9:8 予約済み

ビット 7 **GONAKEFF**：グローバル OUT NAK 有効
アプリケーションによってセットされた OTG_FS_DCTL レジスタのセットグローバル OUT NAK ビット（OTG_FS_DCTL の SGONAK ビット）がコアで有効になったことを示します。このビットは、OTG_FS_DCTL レジスタのクリアグローバル OUT NAK ビット（OTG_FS_DCTL の CGONAK ビット）に書き込むことによってクリアできます。
注： デバイスモードでのみアクセス可能です。

ビット 6 **GINAKEFF**：グローバル IN 非周期的 NAK 有効
アプリケーションによってセットされた OTG_FS_DCTL レジスタのセットグローバル 非周期的 IN NAK ビット（OTG_FS_DCTL の SGINAK ビット）がコアで有効になったことを示します。すなわち、コアは、アプリケーションによってセットされたグローバル IN NAK ビットをサンプリングしました。このビットは、OTG_FS_DCTL レジスタの クリアグローバル非周期的 IN NAK ビット（OTG_FS_DCTL の CGONAK ビット）をクリアすることによってクリアできます。
この割り込みは、必ずしも NAK ハンドシェークが USB に送出されることを意味しません。STALL ビットが NAK ビットに優先します。
注： デバイスモードでのみアクセス可能です。

ビット 5 **NPTXFE**：非周期的 Tx FIFO エンプティ
この割り込みは、非周期的 TxFIFO が半エンプティか完全エンプティであり、非周期的送信リクエストキューに、少なくとも 1 つのエントリを書き込むスペースがあるときにアサートされます。半エンプティ状態か完全エンプティ状態かは、OTG_FS_GAHBCFG レジスタの 非周期的 TxFIFO エンプティレベルビット（OTG_FS_GAHBCFG の TXFELVL ビット）によって確認できます。
注： ホストモードでのみアクセス可能です。

ビット 4 **RXFLVL**：RxFIFO 非エンプティ
RxFIFO から読み出されるべき保留中のパケットが少なくとも 1 つあることを示します。
注： ホストモードとデバイスモードの両方でアクセス可能です。

ビット 3 **SOF**：フレームの開始
ホストモードでは、コアは、SOF（FS）またはキープアライブ（LS）が USB で送信されることを示すために、このビットをセットします。アプリケーションは、このビットに 1 を書き込むことによって、割り込みをクリアする必要があります。
デバイスモードでは、コアは、USB 上で SOF トークンが受信されたことを示すために、このビットをセットします。アプリケーションは、デバイスステータスレジスタを読み出すことによって、現在のフレーム番号を知ることができます。この割り込みは、コアが FS で動作しているときのみ確認できます。
注： ホストモードとデバイスモードの両方でアクセス可能です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 2 **OTGINT**：OTG 割り込み

コアは、OTG プロトコルイベントが完了したことを示すために、このビットをセットします。アプリケーションは、OTG 割り込みステータスレジスタ（OTG_FS_GOTGINT）を読み出して、この割り込みの原因となった正確なイベントを確認する必要があります。アプリケーションは、OTG_FS_GOTGINT レジスタの適切なステータスビットをクリアすることによって、このビットをクリアする必要があります。

注：　ホストモードとデバイスモードの両方でアクセス可能です。

ビット 1 **MMIS**：モード不一致割り込み

コアは、アプリケーションが以下へのアクセスを試みているときに、このビットをセットします。

コアがデバイスモードで動作しているときにホストモードレジスタをアクセスした時

コアがホストモードで動作しているときにデバイスモードレジスタをアクセスした時

レジスタへのアクセスは、OKAY 応答によって AHB 上で完了しますが、内部的にはコアによって無視され、コアの動作には影響を与えません。

注：　ホストモードとデバイスモードの両方でアクセス可能です。

ビット 0 **CMOD**：現在の動作モード

現在の動作モードを示します。

0：デバイスモード

1：ホストモード

注：　ホストモードとデバイスモードの両方でアクセス可能です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OTG_FS 割り込みマスクレジスタ（OTG_FS_GINTMSK）

アドレスオフセット：0x018

リセット値：0x0000 0000

このレジスタは、コア割り込みレジスタとともに働き、アプリケーションに割り込みを要求します。割り込みビットがマスクされると、そのビットに関連する割り込みは生成されません。ただし、その割り込みに対応するコア割り込みレジスタ（OTG_FS_GINTSTS）のビットは、セットされたままです。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
WUIM	SRQIM	DISCINT	CIDSCHGM	予約済み	PTXFEM	HCIM	PRTIM	予約済み		IPXFRM/IISOOXFRM	IISOIXFRM	OEPINT	IEPINT	EPMISM	予約済み	EOPFM	ISOODRPM	ENUMDNEM	USBRST	USBSUSPM	ESUSPM	予約済み		GONAKEFFM	GINAKEFFM	NPTXFEM	RXFLVLM	SOFM	OTGINT	MMISM	予約済み
rw	rw	rw	rw		rw	rw	r			rw	rw	rw	rw	rw		rw	rw	rw	rw	rw	rw			rw	rw	rw	rw	rw	rw	rw	

ビット 31 **WUIM**：レジューム/リモートウェイクアップ検出割り込みマスク
0：割り込みはマスクされます
1：割り込みはマスクされません
注：　ホストモードとデバイスモードの両方でアクセス可能です。

ビット 30 **SRQIM**：セッションリクエスト/新規セッション検出割り込みマスク
0：割り込みはマスクされます
1：割り込みはマスクされません
注：　ホストモードとデバイスモードの両方でアクセス可能です。

ビット 29 **DISCINT**：切断検出割り込みマスク
0：割り込みはマスクされます
1：割り込みはマスクされません
注：　デバイスモードでのみアクセス可能です。

ビット 28 **CIDSCHGM**：コネクタ ID ステータス変化マスク
0：割り込みはマスクされます
1：割り込みはマスクされません
注：　ホストモードとデバイスモードの両方でアクセス可能です。

ビット 27 予約済み

ビット 26 **PTXFEM**：周期的 Tx FIFO エンプティマスク
0：割り込みはマスクされます
1：割り込みはマスクされません
注：　ホストモードでのみアクセス可能です。

ビット 25 **HCIM**：ホストチャネル割り込みマスク
0：割り込みはマスクされます
1：割り込みはマスクされません
注：　ホストモードでのみアクセス可能です。

ビット 24 **PRTIM**：ホストポート割り込みマスク
0：割り込みはマスクされます
1：割り込みはマスクされません
注：　ホストモードでのみアクセス可能です。

ビット 23:22 予約済み

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 21 **IPXFRM**：不完全周期的転送マスク
0：割り込みはマスクされます
1：割り込みはマスクされません
注： ホストモードでのみアクセス可能です。

IISOOXFRM：不完全アイソクロナス OUT 転送マスク
0：割り込みはマスクされます
1：割り込みはマスクされません
注： デバイスモードでのみアクセス可能です。

ビット 20 **IISOIXFRM**：不完全アイソクロナス IN 転送マスク
0：割り込みはマスクされます
1：割り込みはマスクされません
注： デバイスモードでのみアクセス可能です。

ビット 19 **OEPINT**：OUT エンドポイント割り込みマスク
0：割り込みはマスクされます
1：割り込みはマスクされません
注： デバイスモードでのみアクセス可能です。

ビット 18 **IEPINT**：IN エンドポイント割り込みマスク
0：割り込みはマスクされます
1：割り込みはマスクされません
注： デバイスモードでのみアクセス可能です。

ビット 17 **EPMISM**：エンドポイント不一致割り込みマスク
0：割り込みはマスクされます
1：割り込みはマスクされません
注： デバイスモードでのみアクセス可能です。

ビット 16 予約済み

ビット 15 **EOPFM**：周期的フレーム終了割り込みマスク
0：割り込みはマスクされます
1：割り込みはマスクされません
注： デバイスモードでのみアクセス可能です。

ビット 14 **ISOODRPM**：アイソクロナス OUT パケット欠落割り込みマスク
0：割り込みはマスクされます
1：割り込みはマスクされません
注： デバイスモードでのみアクセス可能です。

ビット 13 **ENUMDNEM**：エニュメレーション終了マスク
0：割り込みはマスクされます
1：割り込みはマスクされません
注： デバイスモードでのみアクセス可能です。

ビット 12 **USBRST**：USB リセットマスク
0：割り込みはマスクされます
1：割り込みはマスクされません
注： デバイスモードでのみアクセス可能です。

ビット 11 **USBSUSPM**：USB サスペンドマスク
0：割り込みはマスクされます
1：割り込みはマスクされません
注： デバイスモードでのみアクセス可能です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 10 **ESUSPM**：アーリーサスペンドマスク
0：割り込みはマスクされます
1：割り込みはマスクされません
注： デバイスモードでのみアクセス可能です。

ビット 9:8 予約済み

ビット 7 **GONAKEFFM**：グローバル OUT NAK 有効マスク
0：割り込みはマスクされます
1：割り込みはマスクされません
注： デバイスモードでのみアクセス可能です。

ビット 6 **GINAKEFFM**：グローバル非周期的 IN NAK 有効マスク
0：割り込みはマスクされます
1：割り込みはマスクされません
注： デバイスモードでのみアクセス可能です。

ビット 5 **NPTXFEM**：非周期的 Tx FIFO エンプティマスク
0：割り込みはマスクされます
1：割り込みはマスクされません
注： ホストモードでのみアクセス可能です。

ビット 4 **RXFLVLM**：受信 FIFO 非エンプティマスク
0：割り込みはマスクされます
1：割り込みはマスクされません
注： デバイスモードとホストモードの両方でアクセス可能です。

ビット 3 **SOFM**：フレーム開始マスク
0：割り込みはマスクされます
1：割り込みはマスクされません
注： デバイスモードとホストモードの両方でアクセス可能です。

ビット 2 **OTGINT**：OTG 割り込みマスク
0：割り込みはマスクされます
1：割り込みはマスクされません
注： デバイスモードとホストモードの両方でアクセス可能です。

ビット 1 **MMISM**：モード不一致割り込みマスク
0：割り込みはマスクされます
1：割り込みはマスクされません
注： デバイスモードとホストモードの両方でアクセス可能です。

ビット 0 予約済み

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OTG_FS 受信ステータスデバッグ読み出し/OTG ステータス読み出しおよびポップレジスタ（OTG_FS_GRXSTSR/OTG_FS_GRXSTSP）

読み出しのアドレスオフセット：0x01C

ポップのアドレスオフセット：0x020

リセット値：0x0000 0000

受信ステータスデバッグ読み出しレジスタを読み出すと、受信 FIFO の最上部の内容が返されます。受信ステータス読み出しおよびポップレジスタを読み出すと、RxFIFO の最上部のデータエントリもポップアウトされます。

受信ステータスの内容は、ホストモードとデバイスモードで異なった解釈をする必要があります。コアは、受信 FIFO がエンプティのときには、受信ステータスのポップ/読み出しを無視して、0x0000 0000 の値を返します。アプリケーションは、コア割り込みレジスタの受信 FIFO 非エンプティビット（OTG_FS_GINTSTS の RXFLVL ビット）がアサートされたときにのみ、受信ステータス FIFO をポップしなければなりません。

ホストモード：

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み											PKTSTS				DPID		BCNT											CHNUM			
											r				r		r											r			

ビット 31:21 予約済み

ビット 20:17 **PKTSTS**：パケットステータス
受信パケットのステータスを示します。
0010：IN データパケットが受信されました。
0011：IN 転送が完了しました（割り込みをトリガします）。
0101：データトグルエラー（割り込みをトリガします）。
0111：チャネル停止（割り込みをトリガします）。
その他：予約済み

ビット 16:15 **DPID**：データ PID
受信パケットのデータ PID を示します。
00：DATA0
10：DATA1
01：DATA2
11：MDATA

ビット 14:4 **BCNT**：バイトカウント
受信した IN データパケットのバイト数を示します。

ビット 3:0 **CHNUM**：チャネル番号
現在の受信パケットが属するチャネル番号を示します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

デバイスモード：

31 30 29 28 27 26 25	24 23 22 21	20 19 18 17	16	15 14 13 12 11 10 9 8 7 6 5 4	3 2 1 0
予約済み	FRMNUM	PKTSTS	DPID	BCNT	EPNUM
	r	r	r	r	r

ビット 31:25 予約済み

ビット 24:21 **FRMNUM**：フレーム番号
これは、USB 上でパケットが受信されるフレーム番号の下位 4 ビットです。このフィールドは、アイソクロナス OUT エンドポイントがサポートされる場合にのみサポートされます。

ビット 20:17 **PKTSTS**：パケットステータス
受信パケットのステータスを示します。
0001：グローバル OUT NAK（割り込みをトリガします）。
0010：OUT データパケットが受信されました。
0011：OUT 転送が完了しました（割り込みをトリガします）。
0100：SETUP トランザクションが完了しました（割り込みをトリガします）。
0110：SETUP データパケットが受信されました。
その他：予約済み

ビット 16:15 **DPID**：データ PID
受信した OUT データパケットのデータ PID を示します。
00：DATA0
10：DATA1
01：DATA2
11：MDATA

ビット 14:4 **BCNT**：バイトカウント
受信したデータパケットのバイト数を示します。

ビット 3:0 **EPNUM**：エンドポイント番号
現在の受信パケットが属するエンドポイント番号を示します。

OTG_FS 受信 FIFO サイズレジスタ（OTG_FS_GRXFSIZ）

アドレスオフセット：0x024

リセット値：0x0000 0200

アプリケーションは、RxFIFO に割り当てられなければならない RAM サイズをプログラムできます。

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0
予約済み	RXFD
	r/rw

ビット 31:16 予約済み

ビット 15:0 **RXFD**：RxFIFO のサイズ
この値は、32 ビットワード単位です。
最小値は 16 です。
最大値は 256 です。
このレジスタのパワーオンリセット値は、Rx データ FIFO の最大サイズで指定されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OTG_FS ホスト非周期的送信 FIFO サイズレジスタ（OTG_FS_HNPTXFSIZ）/エンドポイント 0 送信 FIFO サイズレジスタ（OTG_FS_DIEPTXF0）

アドレスオフセット：0x028

リセット値：0x0000 0200

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NPTXFD/TX0FD																NPTXFSA/TX0FSA															
r/rw																r/rw															

ホストモード

ビット 31:16 **NPTXFD**：非周期的 Tx FIFO のサイズ
この値は、32 ビットワード単位です。
最小値は 16 です。
最大値は 256 です。

ビット 15:0 **NPTXFSA**：非周期的送信 RAM 開始アドレス
このフィールドは、非周期的送信 FIFO RAM のメモリ開始アドレスを含みます。

デバイスモード

ビット 31:16 **TX0FD**：エンドポイント 0 TxFIFO のサイズ
この値は、32 ビットワード単位です。
最小値は 16 です。
最大値は 256 です。

ビット 15:0 **TX0FSA**：エンドポイント 0 送信 RAM 開始アドレス
このフィールドは、エンドポイント 0 送信 FIFO RAM のメモリ開始アドレスを含みます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OTG_FS 非周期的送信 FIFO/キューステータスレジスタ（OTG_FS_HNPTXSTS）

アドレスオフセット：0x02C

リセット値：0x0008 0200

注： ***デバイスモードでは、このレジスタは無効です。***

この読み出し専用レジスタは、非周期的 TxFIFO および非周期的送信リクエストキューの空きスペース情報を含みます。

31	30 29 28 27 26 25 24	23 22 21 20 19 18 17 16	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0
予約済み	NPTXQTOP	NPTQXSAV	NPTXFSAV
	r	r	r

ビット 31 予約済み

ビット 30:24 **NPTXQTOP：**非周期的送信リクエストキューの先頭
MAC によって処理中の非周期的 Tx リクエストキューのエントリ。
ビット[30:27]：チャネル/エンドポイント番号
ビット[26:25]：
– 00：IN/OUT トークン
– 01：ゼロ長送信パケット（デバイス IN/ホスト OUT）
– 11：チャネル停止コマンド
ビット [24]：終了（選択されたチャネル/エンドポイントの最後のエントリ）

ビット 23:16 **NPTQXSAV：**非周期的送信リクエストキューの使用可能スペース
非周期的送信リクエストキューの使用可能な空きスペースの量を示します。このキューは、ホストモードでの IN および OUT リクエストを保持します。デバイスモードは IN リクエストのみです。
00：非周期的送信リクエストキューは満杯です。
01：dx1 の位置が使用可能です。
10：dx2 の位置が使用可能です。
bxn：dx*n* の位置が使用可能です（0 ≤ *n* ≤ dx8）。
その他：予約済み

ビット 15:0 **NPTXFSAV：**使用可能な非周期的 TxFIFO スペース
非周期的 TxFIFO 内で使用できる空きスペースの量を示します。
この値は、32 ビットワード単位です。
00：非周期的 Tx FIFO は満杯です。
01：dx1 ワードが使用可能です。
10：dx2 ワードが使用可能です。
bxn：dx*n* ワードが使用可能です（0 ≤ *n* ≤ dx8）。
その他：予約済み

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OTG_FS 一般コア設定レジスタ（OTG_FS_GUSBCFG）

アドレスオフセット：0x038

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み											SOFOUTEN	VBUSBSEN	VBUSASEN	予約済み	.PWRDWN	????															
											rw	rw	rw		rw																

ビット 31:21 予約済み

ビット 20 **SOFOUTEN**：SOF 出力イネーブル
0 = SOF パルスは PAD 上で使用できません。
1 = SOF パルスは PAD 上で使用できます。

ビット 19 **VBUSBSEN**：V_{BUS} による B デバイスのセンシングを有効にします。
0 = V_{BUS} による B のセンシングは無効です。
1 = V_{BUS} による B のセンシングは有効です。

ビット 18 **VBUSASEN**：V_{BUS} による A デバイスのセンシングを有効にします。
0 = V_{BUS} による A のセンシングは無効です。
1 = V_{BUS} による A のセンシングは有効です。

ビット 17 予約済み

ビット 16 **PWRDWN**：パワーダウン
送信/受信のためにトランシーバを起動するために使用されます。
0 = パワーダウンアクティブ
1 = パワーダウンインアクティブ（"トランシーバアクティブ"）

ビット 15:0 予約済み

OTG_FS コア ID レジスタ（OTG_FS_CID）

アドレスオフセット：0x03C

リセット値：0x00001000

これは、製品 IDを含む読み出し専用レジスタです。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PRODUCT_ID																															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0 **PRODUCT_ID**：製品 ID フィールド
アプリケーションによってプログラム可能な ID フィールド。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OTG_FS ホスト周期的送信 FIFO サイズレジスタ（OTG_FS_HPTXFSIZ）

アドレスオフセット：0x100

リセット値：0x0200 0600

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PTXFSIZ																PTXSA															
r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw

ビット 31:16 **PTXFD**：ホスト周期的 Tx FIFO の深さ
この値は、32 ビットワード単位です。
最小値は 16 です。

ビット 15:0 **PTXSA**：ホスト周期的 Tx FIFO の開始アドレス
このレジスタのパワーオンリセット値は、Rx データ FIFO の最大深さと Tx データ FIFO の最大深さの合計です。

OTG_FS デバイス IN エンドポイント送信 FIFO サイズレジスタ（OTG_FS_DIEPTXFx）（x = 1..3、x は FIFO 番号）

アドレスオフセット：0x104 + (FIFO_number – 1) × 0x04

リセット値：0x02000400

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
INEPTXFD																INEPTXSA															
r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw	r/rw

ビット 31:16 **INEPTXFD**：IN エンドポイント TxFIFO の深さ
この値は、32 ビットワード単位です。
最小値は 16 です。
このレジスタのパワーオンリセット値は、IN エンドポイント FIFO 番号の最大深さとして指定されます。

ビット 15:0 **INEPTXSA**：IN エンドポイント FIFOx 送信 RAM 開始アドレス
このフィールドは、IN エンドポイント送信 FIFOx のメモリ開始アドレスを含みます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

27.15.3 ホストモードレジスタ

レジスタの説明で示されているビット値は、特に記載がない限りバイナリで表されています。

ホストモードレジスタは、ホストモードでのコアの動作に影響を与えます。ホストモードレジスタは、結果が定義されていないため、デバイスモードではアクセスしないでください。ホストモードレジスタは、次のように分類することができます。

OTG_FS ホスト設定レジスタ（OTG_FS_HCFG）

アドレスオフセット：0x400

リセット値：0x0000 0000

このレジスタは、電源投入後のコアを設定します。ホストを初期化した後は、このレジスタを変更しないでください。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																													FSLSS	FSLSPCS	
																													r	rw	rw

ビット 31:3 予約済み

ビット 2 **FSLSS**：FS および LS のみのサポート
アプリケーションは、このビットを使用して、コアのエニュメレーション速度を制御します。このビットを使用して、アプリケーションは、接続されたデバイスが HS トラフィックをサポートする場合でも、FS ホストとしてコアにエニュメレーションさせることができます。初期プログラミングの後は、このフィールドを変更しないでください。
1：接続されたデバイスが HS トラフィックをサポートしている場合でも、FS/LS のみ（読み出し専用）。

ビット 1:0 **FSLSPCS**：FS/LS PHY クロック選択
コアが FS ホストモードのとき、
01：PHY クロックは 48 MHz で動作しています。
その他：予約済み
コアが LS ホストモードのとき、
00：予約済み
01：PHY クロック周波数として 48 MHz を選択
10：PHY クロック周波数として 6 MHz を選択
11：予約済み

*注： **FSLSPCS は、接続されたデバイスの速度に応じて、接続イベント時にセットする必要があります（このビットを変更した後、ソフトウェアリセットを実行する必要があります）。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OTG_FS ホストフレームインターバルレジスタ（OTG_FS_HFIR）

アドレスオフセット：0x404

リセット値：0x0000 EA60

このレジスタは、OTG_FS コントローラがエニュメレーションした現在の速度でのフレームインターバル情報を格納します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																FRIVL															
																rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:16 予約済み

ビット 15:0 **FRIVL**：フレームインターバル
アプリケーションがこのフィールドにプログラムする値は、2 つの連続した SOF（FS）またはキープアライブトークン（LS）の間のインターバルを指定します。このフィールドは、必要なフレームインターバルを構成する PHY クロック数を含みます。アプリケーションは、ホストポート制御およびステータスレジスタのポートイネーブルビット（OTG_FS_HPRT の PENA ビット）がセットされた後のみ、このレジスタに値を書き込むことができます。値がプログラムされていない場合、コアは、ホスト設定レジスタの FS/LS PHY クロック選択フィールド（OTG_FS_HCFG の FSLSPCS）で指定された PHY クロックに基づいて値を計算します。初期プログラミングの後は、このフィールドの値を変更しないでください。
1 ms ×（PHY クロック周波数）

OTG_FS ホストフレーム番号/残りフレーム時間レジスタ（OTG_FS_HFNUM）

アドレスオフセット：0x408

リセット値：0x0000 3FFF

このレジスタは、現在のフレーム番号を示します。また、現在のフレームの残り時間（PHY クロック数）も示します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FTREM																FRNUM															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:16 **FTREM**：残りフレーム時間
現在のフレームの残り時間を、PHY クロック数で示します。このフィールドは、PHY クロックごとにデクリメントされます。値がゼロになると、このフィールドにはフレームインターバルレジスタの値が再ロードされ、新しい SOF が　USB に送信されます。

ビット 15:0 **FRNUM**：フレーム番号
このフィールドは、USB 上で新しい SOF が送信されるたびにインクリメントされ、0x3FFF に達すると、0 にクリアされます.

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OTG_FS ホスト周期的送信 FIFO/キューステータスレジスタ（OTG_FS_HPTXSTS）

アドレスオフセット：0x410

リセット値：0x0008 0100

この読み出し専用レジスタは、周期的 TxFIFO および周期的送信リクエストキューの空きスペース情報を含みます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PTXQTOP								PTXQSAV								PTXFSAVL															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:24 **PTXQTOP**：周期的送信リクエストキューの先頭
これは、MAC によって処理中の周期的 Tx リクエストキューのエントリを示します。
このレジスタは、デバッグに使用されます。
ビット [31]：奇数/偶数フレーム
– 0：偶数フレームで送信
– 1：奇数フレームで送信
ビット[30:27]：チャネル/エンドポイント番号
ビット[26:25]：タイプ
– 00：IN/OUT
– 01：長さゼロのパケット
– 11：チャネルコマンドディセーブル
ビット [24]：終了（選択されたチャネル/エンドポイントの最後のエントリ）

ビット 23:16 **PTXQSAV**：周期的送信リクエストキューの使用可能スペース
周期的送信リクエストキューで書き込みに使用できる空き位置の数を示します。このキューは、IN および OUT リクエストの両方を保持します。
00：周期的送信リクエストキューは満杯です。
01：dx1 の位置が使用可能です。
10：dx2 の位置が使用可能です。
bxn：dxn の位置が使用可能です（0 ≤ dxn ≤ 8）。
その他：予約済み

ビット 15:0 **PTXFSAVL**：周期的送信データ FIFO の使用可能スペース
周期的 TxFIFO で書き込みに使用できる空き位置の数を示します。
値は、32 ビットワード単位です。
0000：周期的 Tx FIFO は満杯です。
0001：dx1 ワードが使用可能です。
0010：dx2 ワードが使用可能です。
bxn：dxn ワードが使用可能です（0≤ dxn ≤ PTXFD）。
その他：予約済み

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OTG_FS ホスト全チャネル割り込みレジスタ（OTG_FS_HAINT）

アドレスオフセット：0x414

リセット値：0x0000 000

チャネル上で重大なイベントが発生すると、ホスト全チャネル割り込みレジスタは、コア割り込みレジスタのホストチャネル割り込みビット（OTG_FS_GINTSTS の HCINT ビット）を使用して、アプリケーションに割り込みをかけます。これを*図 308*に示します。チャネルごとに 1 つの割り込みビットがあります（最大 16 ビット）。このレジスタのビットは、アプリケーションが対応するホストチャネル x 割り込みレジスタのビットをセット/クリアしたときにセット/クリアされます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																HAINT															
																r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:16 予約済み

ビット 15:0 **HAINT**：チャネル割り込み
チャネルあたり 1 ビット：チャネル 0 に対してビット 0、チャネル 15 に対してビット 15

OTG_FS ホスト全チャネル割り込みマスクレジスタ（OTG_FS_HAINTMSK）

アドレスオフセット：0x418

リセット値：0x0000 0000

ホスト全チャネル割り込みマスクレジスタは、ホスト全チャネル割り込みレジスタとともに働き、チャネル上でイベントが発生したときに、アプリケーションに割り込みをかけます。チャネルごとに 1 つの割り込みマスクビットがあります（最大 16 ビット）。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																HAINTM															
																rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:16 予約済み

ビット 15:0 **HAINTM**：チャネル割り込みマスク
0：割り込みはマスクされます
1：割り込みはマスクされません
チャネルあたり 1 ビット：チャネル 0 に対してビット 0、チャネル 15 に対してビット 15

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OTG_FS ホストポート制御およびステータスレジスタ（OTG_FS_HPRT）

アドレスオフセット：0x440

リセット値：0x0000 0000

このレジスタは、ホストモードでのみ使用可能です。現時点では、OTG ホストは 1 つのポートのみをサポートしています。

1 つのレジスタは、各ポートについて、USB リセット、イネーブル、サスペンド、レジューム、接続ステータス、テストモードなどの USB ポート関連情報を保持します。これを*図 308*に示します。このレジスタの rc_w1 ビットは、コア割り込みレジスタのホストポート割り込みビット（OTG_FS_GINTSTS の HPRTINT ビット）を通じて、アプリケーションへの割り込みをトリガできます。ポート割り込みの場合、アプリケーションは、このレジスタを読み出して、割り込みの原因となったビットをクリアする必要があります。rc_w1 ビットの場合、アプリケーションは、このビットに 1 を書き込んで、割り込みをクリアする必要があります。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み													PSPD		PTCTL				PPWR	PLSTS		予約済み	PRST	PSUSP	PRES	POCCHNG	POCA	PENCHNG	PENA	PCDET	PCSTS
													r	r	rw	rw	rw	rw	rw	r	r		rw	rs	rw	rc_w1	r	rc_w1	rc_w0	rc_w1	r

ビット 31:19 予約済み

ビット 18:17 **PSPD**：ポート速度
このポートに接続されたデバイスの速度を示します。
01：フルスピード
10：低速
11：予約済み

ビット 16:13 **PTCTL**：ポートテスト制御
アプリケーションがこのフィールドにゼロ以外の値を書き込んで、ポートをテストモードにすると、対応するパターンがポートにシグナリングされます。
0000：テストモードは無効です。
0001：Test_J モード
0010：Test_K モード
0011：Test_SE0_NAK モード
0100：Test_Packet モード
0101：Test_Force_Enable
その他：予約済み

ビット 12 **PPWR**：ポートパワー
アプリケーションは、このフィールドを使用して、このポートへの電力供給を制御し、コアは、過電流条件が発生すると、このビットをクリアします。
0：パワーオフ
1：パワーオン

ビット 11:10 **PLSTS**：ポートラインステータス
USB データラインの現在のロジックレベルを示します。
ビット [10]：OTG_FS_FS_DP のロジックレベル
ビット [11]：OTG_FS_FS_DM のロジックレベル

ビット 9 予約済み

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 8 **PRST**：ポートリセット

アプリケーションがこのビットをセットすると、このポートでリセットシーケンスが開始されます。アプリケーションは、リセットシーケンスの完了後、リセット時間を決めて、このビットをクリアする必要があります。

0：ポートはリセット中ではありません。

1：ポートはリセット中です。

アプリケーションは、ポートのリセットが開始されるまで、少なくとも 10 ms の間、このビットをセット状態に保つ必要があります。USB 規格では最大限度が規定されていませんが、アプリケーションは、このビットをクリアする前に、必要最小時間に加えて、さらに 10 ms の間、このビットをセット状態に保つことができます。

ビット 7 **PSUSP**：ポートサスペンド

アプリケーションは、このビットをセットして、このポートをサスペンドモードにします。コアは、このビットがセットされると、SOF の送信のみを停止します。PHY クロックを停止するには、アプリケーションは、PHY のサスペンド入力ピンをアサートするポートクロック停止ビットをセットする必要があります。

このビットの読み出し値は、ポートの現在のサスペンドステータスを反映しています。このビットは、リモートウェイクアップ信号の検出後、またはアプリケーションがこのレジスタのポートリセットビットまたはポートレジュームビット、またはコア割り込みレジスタのレジューム/リモートウェイクアップ検出割り込みビットまたは切断検出割り込みビット（それぞれ、OTG_FS_GINTSTS の WKUINT または DISCINT ビット）をセットしたときに、コアによってクリアされます。

0：ポートはサスペンドモードではありません。

1：ポートはサスペンドモードです。

ビット 6 **PRES**：ポートレジューム

アプリケーションは、このビットをセットして、ポート上でレジューム信号を駆動します。コアは、アプリケーションがこのビットをクリアするまで、レジューム信号の駆動を続行します。

コアが、コア割り込みレジスタのポートレジューム/リモートウェイクアップ検出割り込みビット（OTG_FS_GINTSTS の WKUINT ビット）によって示される USB リモートウェイクアップシーケンスを検出した場合、コアは、切断条件を検出すると、アプリケーションの介入なしでレジューム信号の駆動を開始、このビットをクリアします。このビットの読み出し値は、コアが現在レジューム信号を駆動中であるかどうかを示します。

0：レジューム信号を駆動していません。

1：駆動をリスタートします。

ビット 5 **POCCHNG**：ポート過電流の変化

コアは、このレジスタのポート過電流アクティブビット（ビット 4）に変化があったとき、このビットをセットします。

ビット 4 **POCA**：ポート過電流アクティブ

ポートの過電流条件を示します。

0：過電流条件はありません。

1：過電流条件です。

ビット 3 **PENCHNG**：ポートイネーブル/ディセーブルの変化

コアは、このレジスタのポートイネーブルビット [2] のステータスに変化があったとき、このビットをセットします。

ビット 2 **PENA**：ポートイネーブル

ポートは、リセットシーケンス後、コアによってのみ有効にされ、過電流条件、切断条件、またはアプリケーションがこのビットをクリアすることによって無効にされます。アプリケーションは、レジスタへの書き込みによってこのビットをクリアすることはできません。クリアして、ポートを無効にすることだけができます。このビットは、アプリケーションへの割り込みをトリガしません。

0：ポートは無効です。

1：ポートは有効です。

ビット 1 **PCDET**：ポート接続の検出

コアは、デバイス接続が検出されると、このビットをセットして、コア割り込みレジスタのホストポート割り込みビット（OTG_FS_GINTSTS の HPRTINT ビット）を使用して、アプリケーションへの割り込みをトリガします。アプリケーションは、このビットに 1 を書き込むことによって、割り込みをクリアする必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 0 **PCSTS**：ポート接続ステータス
0：ポートにはデバイスが接続されていません。
1：ポートにデバイスが接続されています。

OTG_FS ホストチャネル x 特性レジスタ（OTG_FS_HCCHARx）（x = 0..7、x = チャネル番号）

アドレスオフセット：0x500 + (Channel_number × 0x20)

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CHENA	CHDIS	ODDFRM	DAD							MCNT		EPTYP		LSDEV	予約済み	EPDIR	EPNUM				MPSIZ										
rs	rs	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw		rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31 **CHENA**：チャネルイネーブル
このフィールドは、アプリケーションによってセットされ、OTG ホストによってクリアされます。
0：チャネルは無効です。
1：チャネルは有効です。

ビット 30 **CHDIS**：チャネルディセーブル
アプリケーションは、チャネルへの転送が完了する前でも、このビットをセットして、そのチャネル上での送信/受信を停止することができます。アプリケーションは、チャネルを無効として扱う前に、チャネル無効割り込みを待つ必要があります。

ビット 29 **ODDFRM**：奇数フレーム
このフィールドは、OTG ホストが奇数フレームで転送を実行しなければならないことを示すために、アプリケーションによってセット（リセット）されます。このフィールドは、周期的（アイソクロナスおよび割り込み）トランザクションに対してのみ適用されます。
0：偶数フレーム
1：奇数フレーム

ビット 28:22 **DAD**：デバイスアドレス
このフィールドは、データソースまたはデータシンクとして機能する特定のデバイスを選択します。

ビット 21:20 **MCNT**：マルチカウント
このフィールドは、この周期的エンドポイントについてフレームあたりで実行されなければならないトランザクションの数をホストに示します。非周期的転送の場合、このフィールドは使用されません。
00：予約済みこのフィールドは定義されていない結果をもたらします。
01：1 トランザクション
10：このエンドポイントに対して発行されるべきトランザクションは、フレームあたり 2 つです。
11：このエンドポイントに対して発行されるべきトランザクションは、フレームあたり 3 つです。

注：　このフィールドは、01 以上にセットする必要があります。

ビット 19:18 **EPTYP**：エンドポイントタイプ
選択された転送タイプを示します。
00：制御
01：アイソクロナス
10：バルク
11：割り込み

ビット 17 **LSDEV**：低速デバイス
このフィールドは、このチャネルが低速デバイスと通信中であることを示すために、アプリケーションによってセットされます。

ビット 16 予約済み

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 15 **EPDIR**：エンドポイントの方向
トランザクションが IN か OUT かを示します。
0：OUT
1：IN

ビット 14:11 **EPNUM**：エンドポイント番号
データソースまたはデータシンクとして機能しているデバイスのエンドポイント番号を示します。

ビット 10:0 **MPSIZ**：最大パケットサイズ
関連するエンドポイントの最大パケットサイズを示します。

OTG_FS ホストチャネル x 割り込みレジスタ（OTG_FS_HCINTx）（x = 0..7、x = チャネル番号）

アドレスオフセット：0x508 + (Channel_number × 0x20)

リセット値：0x0000 0000

このレジスタは、USB および AHB 関連イベントに関するチャネルのステータスを示します。これを*図 308*に示します。アプリケーションは、コア割り込みレジスタのホストチャネル割り込みビット（OTG_FS_GINTSTS の OEPINT ビット）がセットされたとき、このレジスタを読み出す必要があります。アプリケーションがこのレジスタを読み出すためには、まず、ホスト全チャネル割り込み（OTG_FS_HAINT）レジスタを読み出して、ホストチャネル x 割り込みレジスタの正確なチャネル番号を知る必要があります。アプリケーションは、このレジスタの適切なビットをクリアすることによって、OTG_FS_HAINT および OTG_FS_GINTSTS レジスタの対応するビットをクリアする必要があります。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																					DTERR	FRMOR	BBERR	TXERR	予約済み	ACK	NAK	STALL	予約済み	CHH	XFRC
																					rc_w1	rc_w1	rc_w1	rc_w1		rc_w1	rc_w1	rc_w1		rc_w1	rc_w1

ビット 31:11 予約済み

ビット 10 **DTERR**：データトグルエラー

ビット 9 **FRMOR**：フレームオーバーラン

ビット 8 **BBERR**：バブルエラー

ビット 7 **TXERR**：トランザクションエラー
USB 上で以下のエラーの 1 つが発生したことを示します。
CRC チェック失敗
タイムアウト
ビットスタッフエラー
偽の EOP

ビット 6 予約済み

ビット 5 **ACK**：ACK レスポンス受信/送信割り込み

ビット 4 **NAK**：NAK レスポンス受信割り込み

ビット 3 **STALL**：STALL レスポンス受信割り込み

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 2 予約済み

ビット 1 **CHH**：チャネル停止
USB トランザクションエラーまたはアプリケーションによるディセーブルリクエストへの応答のいずれかの理由により、転送が異常終了したことを示します。

ビット 0 **XFRC**：転送完了
転送がエラーなく正常に完了しました。

OTG_FS ホストチャネル x 割り込みマスクレジスタ（OTG_FS_HCINTMSKx）（x = 0..7、x = チャネル番号）

アドレスオフセット：0x50C + (Channel_number × 0x20)

リセット値：0x0000 0000

このレジスタは、前のセクションで説明した各チャネルステータスのマスクを反映します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																					DTERRM	FRMORM	BBERRM	TXERRM	NYET	ACKM	NAKM	STALLM	予約済み	CHHM	XFRCM
																					rw	rw	rw	rw	rw	rw	rw	rw		rw	rw

ビット 31:11 予約済み

ビット 10 **DTERRM**：データトグルエラーマスク
0：割り込みはマスクされます
1：割り込みはマスクされません

ビット 9 **FRMORM**：フレームオーバーランマスク
0：割り込みはマスクされます
1：割り込みはマスクされません

ビット 8 **BBERRM**：バブルエラーマスク
0：割り込みはマスクされます
1：割り込みはマスクされません

ビット 7 **TXERRM**：トランザクションエラーマスク
0：割り込みはマスクされます
1：割り込みはマスクされません

ビット 6 **NYET**：レスポンス受信割り込みマスク
0：割り込みはマスクされます
1：割り込みはマスクされません

ビット 5 **ACKM**：ACK レスポンス受信/送信割り込みマスク
0：割り込みはマスクされます
1：割り込みはマスクされません

ビット 4 **NAKM**：NAK レスポンス受信割り込みマスク
0：割り込みはマスクされます
1：割り込みはマスクされません

ビット 3 **STALLM**：STALL レスポンス受信割り込みマスク
0：割り込みはマスクされます
1：割り込みはマスクされません

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 2 予約済み

ビット 1 **CHHM**：チャネル停止マスク
0：割り込みはマスクされます
1：割り込みはマスクされません

ビット 0 **XFRCM**：転送完了マスク
0：割り込みはマスクされます
1：割り込みはマスクされません

OTG_FS ホストチャネル x 転送サイズレジスタ（OTG_FS_HCTSIZx）（x = 0..7、x = チャネル番号）

アドレスオフセット：0x510 + (Channel_number × 0x20)

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み	DPID		PKTCNT										XFRSIZ																		
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31 予約済み

ビット 30:29 **DPID**：データ PID
アプリケーションは、このフィールドを最初のトランザクションで使用する PID のタイプでプログラムします。ホストは、残りの転送の間、このフィールドを維持します。
00：DATA0
01：DATA2
10：DATA1
11：MDATA（非制御）/SETUP（制御）

ビット 28:19 **PKTCNT**：パケットカウント
このフィールドは、アプリケーションによって、送信（OUT）または受信（IN）されるパケットの予想数でプログラムされます。
ホストは、OUT/IN パケットの送信または受信が成功するたびに、このカウントをデクリメントします。このカウントがゼロに達すると、アプリケーションに割り込んで、正常完了を示します。

ビット 18:0 **XFRSIZ**：転送サイズ
OUT の場合、このフィールドは、ホストが転送時に送信するデータバイト数です。
IN の場合、このフィールドは、アプリケーションが転送のために確保したバッファサイズです。アプリケーションは、IN トランザクション（周期的および非周期的）の場合、このフィールドを最大パケットサイズの整数倍でプログラムすることが期待されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

27.15.4 デバイスモードレジスタ

OTG_FS デバイス設定レジスタ（OTG_FS_DCFG）

アドレスオフセット：0x800

リセット値：0x0220 0000

このレジスタは、電源投入後、または特定の制御コマンドあるいはエニュメレーションの後、コアをデバイスモードに設定します。初期プログラミングの後は、このレジスタを変更しないでください。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																			PFIVL		DAD							予約済み	NZLSOHSK	DSPD	
																			rw		rw	rw	rw	rw	rw	rw	rw		rw	rw	rw

ビット 31:13 予約済み

ビット 12:11 **PFIVL：**周期的フレームインターバル
周期的フレーム終了割り込みを使用してアプリケーションに通知しなければならないフレーム内の時間を示します。これを使用して、そのフレームのアイソクロナストラフィックのすべてが完了したかどうかを判断できます。
00：フレームインターバルの 80%
01：フレームインターバルの 85%
10：フレームインターバルの 90%
11：フレームインターバルの 95%

ビット 10:4 **DAD：**デバイスアドレス
アプリケーションは、各 SetAddress 制御コマンドの後、このフィールドをプログラムする必要があります。

ビット 3 予約済み

ビット 2 **NZLSOHSK：**非ゼロ長ステータス OUT ハンドシェイク
アプリケーションは、このフィールドを使用して、制御転送のステータスステージの OUT トランザクション中に、コアが非ゼロ長のデータパケットを受信したときに送信するハンドシェイクを選択できます。
1：非ゼロ長ステータスの OUT トランザクション時には STALL ハンドシェイクを送信し、受信した OUT パケットをアプリケーションに送信しません。
0：受信した OUT パケット（ゼロ長または非ゼロ長）をアプリケーションに送信し、デバイスエンドポイント制御レジスタの NAK および STALL ビットに基づいてハンドシェイクを送信します。

ビット 1:0 **DSPD：**デバイスの速度
アプリケーションがコアにエニュメレーションを要求する速度、またはアプリケーションがサポートできる最高速度を示します。ただし、実際のバス速度は、チャープシーケンスの完了後に決まり、コアが接続される USB ホストの速度に基づきます。
00：予約済み
01：予約済み
10：予約済み
11：フルスピード（USB 1.1 トランシーバのクロックは 48 MHz です）

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OTG_FS デバイス制御レジスタ（OTG_FS_DCTL）

アドレスオフセット：0x804

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																				POPRGDNE	CGONAK	SGONAK	CGINAK	SGINAK	TCTL			GONSTS	GINSTS	SDIS	RWUSIG
																				rw	w	w	w	w	rw	rw	rw	r	r	rw	rw

ビット 31:12 予約済み

ビット 11 **POPRGDNE**：パワーオンプログラミング終了
アプリケーションは、このビットを使用して、パワーダウンモードからのウェイクアップ後に、レジスタのプログラミングが終了したことを示します。

ビット 10 **CGONAK**：グローバル OUT NAK のクリア
このフィールドに書き込むと、グローバル OUT NAK がクリアされます。

ビット 9 **SGONAK**：グローバル OUT NAK のセット
このフィールドに書き込むと、グローバル OUT NAK がセットされます。
アプリケーションは、このビットを使用して、すべての OUT エンドポイントに NAK ハンドシェイクを送信します。
アプリケーションがこのビットをセットするのは、コア割り込みレジスタのグローバル OUT NAK 有効ビット（OTG_FS_GINTSTS の GONAKEFF ビット）がクリアされていることを確認した後でなければなりません。

ビット 8 **CGINAK**：グローバル IN NAK のクリア
このフィールドに書き込むと、グローバル IN NAK がクリアされます。

ビット 7 **SGINAK**：グローバル IN NAK のセット
このフィールドに書き込むと、グローバル非周期的 IN NAK がセットされます。アプリケーションは、このビットを使用して、すべての非周期的 IN エンドポイントに NAK ハンドシェイクを送信します。
アプリケーションがこのビットをセットするのは、コア割り込みレジスタのグローバル IN NAK 有効ビット（OTG_FS_GINTSTS の GINAKEFF ビット）がクリアされていることを確認した後でなければなりません。

ビット 6:4 **TCTL**：テスト制御
000：テストモードは無効です。
001：Test_J モード
010：Test_K モード
011：Test_SE0_NAK モード
100：Test_Packet モード
101：Test_Force_Enable
その他：予約済み

ビット 3 **GONSTS**：グローバル OUT NAK のステータス
0：ハンドシェイクは、FIFO ステータスと NAK および STALL ビットの設定に基づいて送信されます。
1：使用可能なスペースに関係なく、RxFIFO にはデータが書き込まれません。SETUP トランザクションを除き、すべてのパケットに NAK ハンドシェイクを送信します。すべてのアイソクロナス OUT パケットがドロップされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 2 **GINSTS**：グローバル IN NAK のステータス

0：ハンドシェイクは、送信 FIFO 内の使用可能なデータに基づいて送信されます。

1：NAK ハンドシェイクは、送信 FIFO 内の使用可能なデータに関係なく、非周期的 IN エンドポイントに送出されます。

ビット 1 **SDIS**：ソフト切断

アプリケーションは、このビットを使用して、USB OTG コアにソフト切断を実行することを伝えます。このビットがセットされている限り、ホストはデバイスが接続されているとは解釈せず、デバイスは USB 上で信号を受信しません。コアは、アプリケーションがこのビットをクリアするまで、切断状態にとどまります。

0：通常動作。ソフト切断後にこのビットがクリアされると、コアは USB ホストに対してデバイス接続イベントを生成します。デバイスが再接続されると、USB ホストはデバイスのエニュメレーションをリスタートします。

1：コアは、USB ホストに対して、デバイス切断イベントを生成します。

ビット 0 **RWUSIG**：リモートウェイクアップ信号

アプリケーションがこのビットをセットすると、コアはリモートシグナリングを実行して USB ホストをウェイクアップします。コアをサスペンド状態から抜け出させるには、アプリケーションは、このビットをセットする必要があります。USB 2.0 仕様で規定されているように、アプリケーションは、このビットをセットしてから 1 ms から 15 ms 後にクリアする必要があります。

表 202 は、USB ホストがデバイスの切断を検出するためにソフト切断（SDIS）ビットがセットされなければならない最短時間（デバイスの状態による）を示しています。クロックジッタに対応するには、アプリケーションは指定された最短時間まで遅延を追加することが推奨されます。

表202. ソフト切断のための最短時間

動作速度	デバイスの状態	最短時間
フルスピード	サスペンド状態	1 ms + 2.5 µs
フルスピード	アイドル状態	2.5 µs
フルスピード	アイドル状態でもサスペンド状態でもない（トランザクション実行中）	2.5 µs

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OTG_FS デバイスステータスレジスタ（OTG_FS_DSTS）

アドレスオフセット：0x808

リセット値：0x0000 0010

このレジスタは、USB 関連イベントに関するコアのステータスを示します。デバイス全割り込みレジスタ（OTG_FS_DAINT）からの割り込み時に読み出されなければなりません。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み										FNSOF														予約済み				EERR	ENUMSPD		SUSPSTS
										r	r	r	r	r	r	r	r	r	r	r	r	r	r					r	r	r	r

ビット 31:22 予約済み

ビット 21:8 **FNSOF**：受信 SOF のフレーム番号

ビット 7:4 予約済み

ビット 3 **EERR**：不規則エラー
コアは、このビットをセットして、不規則エラーを報告します。
不規則エラーが発生すると、OTG_FS コントローラはサスペンド状態に移行し、OTG_FS_GINTSTS レジスタの早期サスペンドビット（OTG_FS_GINTSTS の ESUP ビット）でアプリケーションへの割り込みが生成されます。不規則エラーによる早期サスペンドがアサートされた場合、アプリケーションは、ソフト切断回復を実行するしかありません。

ビット 2:1 **ENUMSPD**：エニュメレーションされた速度
チャープシーケンスによる速度検出後の OTG_FS コントローラの速度を示します。
01：予約済み
10：予約済み
11：フルスピード（PHY クロックは 48 MHz で動作しています）
その他：予約済み

ビット 0 **SUSPSTS**：サスペンドステータス
デバイスモードでは、このビットは、USB 上でサスペンド状態が検出されている限り、セットされます。USB データライン上で 3 ms の間、何のアクティビティもなかった場合、コアはサスペンド状態に入ります。コアは、以下の場合にサスペンド状態から抜け出します。
– USB データライン上で何らかのアクティビティがあったとき。
– アプリケーションが OTG_FS_DCTL レジスタのリモートウェイクアップシグナリングビット（OTG_FS_DCTL の RWUSIG ビット）に書き込みを行ったとき。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OTG_FS デバイス IN エンドポイント共通割り込みマスクレジスタ（OTG_FS_DIEPMSK）

アドレスオフセット：0x810

リセット値：0x0000 0000

このレジスタは、すべてのエンドポイントの各 OTG_FS_DIEPINTx レジスタとともに機能して、IN エンドポイントごとに割り込みを生成します。このレジスタの対応するビットに書き込むことによって、OTG_FS_DIEPINTx レジスタの特定のステータスに対する IN エンドポイント割り込みをマスクできます。ステータスビットはデフォルトでマスクされます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									INEPNEM	INEPNMM	ITTXFEMSK	TOM	予約済み	EPDM	XFRCM
																									rw	rw	rw	rw		rw	rw

ビット 31:7 予約済み

ビット 6 **INEPNEM**：IN エンドポイント NAK 有効マスク
0：割り込みはマスクされます
1：割り込みはマスクされません

ビット 5 **INEPNMM**：EP 不一致マスク付きで受信された IN トークン
0：割り込みはマスクされます
1：割り込みはマスクされません

ビット 4 **ITTXFEMSK**：TxFIFO エンプティ時受信 IN トークンマスク
0：割り込みはマスクされます
1：割り込みはマスクされません

ビット 3 **TOM**：タイムアウト条件マスク（非アイソクロナスエンドポイント）
0：割り込みはマスクされます
1：割り込みはマスクされません

ビット 2 予約済み

ビット 1 **EPDM**：エンドポイントディセーブル割り込みマスク
0：割り込みはマスクされます
1：割り込みはマスクされません

ビット 0 **XFRCM**：転送完了割り込みマスク
0：割り込みはマスクされます
1：割り込みはマスクされません

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OTG_FS デバイス OUT エンドポイント共通割り込みマスクレジスタ（OTG_FS_DOEPMSK）

アドレスオフセット：0x814

リセット値：0x0000 0000

このレジスタは、すべてのエンドポイントの各 OTG_FS_DOEPINTx レジスタとともに機能して、OUT エンドポイントごとに割り込みを生成します。このレジスタの対応するビットに書き込むことによって、OTG_FS_DOEPINTx レジスタの特定のステータスに対する OUT エンドポイント割り込みをマスクできます。ステータスビットはデフォルトでマスクされます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																											OTEPDM	STUPM	予約済み	EPDM	XFRCM
																											rw	rw		rw	rw

ビット 31:5 予約済み

ビット 4 **OTEPDM**：エンドポイント無効時 OUT トークン受信マスク
制御 OUT エンドポイントのみに適用されます。
0：割り込みはマスクされます
1：割り込みはマスクされません

ビット 3 **STUPM**：SETUP フェーズ終了マスク
制御エンドポイントのみに適用されます。
0：割り込みはマスクされます
1：割り込みはマスクされません

ビット 2 予約済み

ビット 1 **EPDM**：エンドポイントディセーブル割り込みマスク
0：割り込みはマスクされます
1：割り込みはマスクされません

ビット 0 **XFRCM**：転送完了割り込みマスク
0：割り込みはマスクされます
1：割り込みはマスクされません

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OTG_FS デバイス全チャネル割り込みレジスタ（OTG_FS_DAINT）

アドレスオフセット：0x818

リセット値：0x0000 0000

エンドポイント上で重要なイベントが発生すると、OTG_FS_DAINT レジスタは、OTG_FS_GINTSTS レジスタのデバイス OUT エンドポイント割り込みビットまたはデバイス IN エンドポイント割り込みビット（それぞれ、OTG_FS_GINTSTS の OEPINT または IEPINT ビット）を使用して、アプリケーションに割り込みをかけます。エンドポイントごとに 1 つの割り込みビットがあります（OUT エンドポイントおよび IN エンドポイントに対してそれぞれ最大 16 ビット）。双方向エンドポイントの場合、対応する IN および OUT 割り込みビットが使用されます。このレジスタのビットは、アプリケーションが対応するデバイスエンドポイント x 割り込みレジスタのビット（OTG_FS_DIEPINTx/OTG_FS_DOEPINTx）をセット/クリアしたときに、セット/クリアされます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OEPINT																IEPINT															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:16 **OEPINT：**OUT エンドポイント割り込みビット
OUT エンドポイントチャネルあたり 1 ビット：
OUT エンドポイント 0 に対してビット 16、OUT エンドポイント 3 に対してビット 18

ビット 15:0 **IEPINT：**IN エンドポイント割り込みビット
IN エンドポイントあたり 1 ビット：
IN エンドポイント 0 に対してビット 0、IN エンドポイント 3 に対してビット 3

OTG_FS 全エンドポイント割り込みマスクレジスタ（OTG_FS_DAINTMSK）

アドレスオフセット：0x81C

リセット値：0x0000 0000

OTG_FS_DAINTMSK レジスタは、デバイスエンドポイント割り込みレジスタとともに機能して、デバイスエンドポイント上にイベントが発生すると、アプリケーションに割り込みます。ただし、その割り込みに対応する OTG_FS_DAINT レジスタビットはセットされたままです。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OEPM																IEPM															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:16 **OEPM：**OUT EP 割り込みマスクビット
OUT エンドポイント（EP）あたり 1 ビット：
OUT EP 0 に対してビット 16、OUT EP 3 に対してビット 18
0：割り込みはマスクされます
1：割り込みはマスクされません

ビット 15:0 **IEPM：**INT EP 割り込みマスクビット
IN エンドポイントあたり 1 ビット：
IN EP 0 に対してビット 0、IN EP 3 に対してビット 3
0：割り込みはマスクされます
1：割り込みはマスクされません

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OTG_FS デバイス V_{BUS} 放電時間レジスタ（OTG_FS_DVBUSDIS）

アドレスオフセット：0x0828

リセット値：0x0000 17D7

このレジスタは、SRP 中の V_{BUS} パルシング後の V_{BUS} 放電時間を指定します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																VBUSDT															
																rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:16　予約済み

ビット 15:0　**VBUSDT**：デバイス V_{BUS} 放電時間
SRP 期間中の V_{BUS} パルシング後の V_{BUS} 放電時間を指定します。この値は以下のようになります。
V_{BUS} 放電時間（PHY クロック / 1024）
この値は V_{BUS} の負荷によって調整の必要がある可能性があります。

OTG_FS デバイス V_{BUS} パルシング時間レジスタ（OTG_FS_DVBUSPULSE）

アドレスオフセット：0x082C

リセット値：0x0000 05B8

このレジスタは SRP 期間中の V_{BUS} パルシング時間を指定します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																				DVBUSP											
																				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:12　予約済み

ビット 11:0　**DVBUSP**：デバイスの V_{BUS} パルシング時間
SRP 期間中の V_{BUS} パルシング時間を指定します。この値は以下のようになります。
V_{BUS} パルシング放電時間（PHY クロック / 1024）

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OTG_FS デバイス IN エンドポイント FIFO エンプティ割り込みマスクレジスタ：（OTG_FS_DIEPEMPMSK）

アドレスオフセット：0x834

リセット値：0x0000 0000

このレジスタは、IN エンドポイント FIFO エンプティ割り込みの生成（TXFE_OTG_FS_DIEPINTx）を制御するために使用されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																INEPTXFEM															
																rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:16 予約済み

ビット 15:0 **INEPTXFEM**：INT EP TxFIFO エンプティ割り込みマスクビット
これらのビットは OTG_FS_DIEPINTx に対するマスクビットとして機能します。
IN EP あたり TXFE 割り込み 1 ビット：
IN EP 0 に対してビット 0、IN EP 3 に対してビット 3
0：割り込みはマスクされます

OTG_FS デバイスコントロール IN エンドポイント 0 制御レジスタ（OTG_FS_DIEPCTL0）

アドレスオフセット：0x900

リセット値：0x0000 0000

このセクションでは、OTG_FS_DIEPCTL0 レジスタについて説明します。非ゼロ制御エンドポイントは、エンドポイント 1～3 のレジスタを使用します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EPENA	EPDIS	予約済み		SNAK	CNAK	TXFNUM				STALL	予約済み	EPTYP		NAKSTS	予約済み	USBAEP	予約済み													MPSIZ	
r	r			w	w	rw	rw	rw	rw	rs		r	r	r		r														rw	rw

ビット 31 **EPENA**：エンドポイントイネーブル
アプリケーションは、このビットをセットして、エンドポイント 0 でデータ送信を開始します。
コアは、このエンドポイント上で以下の割り込みをセットする前に、このビットをクリアします。
– エンドポイント無効
– 転送完了

ビット 30 **EPDIS**：エンドポイントディセーブル
アプリケーションは、このビットをセットして、エンドポイントへの転送が完了する前でも、そのエンドポイントでのデータ送信を停止することができます。アプリケーションは、エンドポイントを無効として扱う前に、エンドポイント無効割り込みを待つ必要があります。コアは、エンドポイント無効割り込みを設定する前に、このビットをクリアします。アプリケーションは、このエンドポイントのエンドポイントイネーブルがすでにセットされている場合のみ、このビットをセットしなければなりません。

ビット 29:28 予約済み

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 27 **SNAK**：NAK のセット
このビットに書き込むと、エンドポイントの NAK ビットがセットされます。
アプリケーションは、このビットを使用して、エンドポイント上での NAK ハンドシェイクの送信を制御できます。コアは、エンドポイント上で SETUP パケットが受信された後、そのエンドポイントに対してこのビットをセットすることもできます。

ビット 26 **CNAK**：NAK のクリア
このビットに書き込むと、エンドポイントの NAK ビットがクリアされます。

ビット 25:22 **TXFNUM**：TxFIFO 番号
この値は、IN エンドポイント 0 に割り当てられる FIFO 番号に設定されます。

ビット 21 **STALL**：STALL ハンドシェイク
アプリケーションは、このビットのセットのみが可能です。このエンドポイントの SETUP トークンが受信されると、コアがこのビットをクリアします。このビットとともに NAK ビット（グローバル IN NAK またはグローバル OUT NAK）がセットされた場合は、STALL ビットが優先されます。

ビット 20 予約済み

ビット 19:18 **EPTYP**：エンドポイントタイプ
制御のために "00" にハードコード化されています。

ビット 17 **NAKSTS**：NAK ステータス
以下を示します。
0：コアは、FIFO のステータスに基づいて非 NAK ハンドシェイクを送信中です。
1：コアは、このエンドポイント上で NAK ハンドシェイクを送信中です。
このビットがアプリケーションまたはコアによってセットされると、コアは、TxFIFO に使用可能なデータがある場合でも、データの送信を停止します。このビットの設定に関係なく、コアは、常に SETUP データパケットに ACK ハンドシェイクで応答します。

ビット 16 予約済み

ビット 15 **USBAEP**：USB アクティブエンドポイント
このビットは常に 1 にセットされ、制御エンドポイント 0 がすべての設定およびインタフェースにおいて常にアクティブであることを示します。

ビット 14:2 予約済み

ビット 1:0 **MPSIZ**：最大パケットサイズ
アプリケーションは、このフィールドを現在の論理エンドポイントの最大パケットサイズでプログラムする必要があります。
00：64 バイト
01：32 バイト
10：16 バイト
11：8 バイト

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OTG デバイスエンドポイント x 制御レジスタ（OTG_FS_DIEPCTLx）（x = 1..3、x = Endpoint_number）

アドレスオフセット：0x900 + (Endpoint_number × 0x20)

リセット値：0x0000 0000

アプリケーションは、このレジスタを使用して、エンドポイント 0 以外の各論理エンドポイントの動作を制御します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EPENA	EPDIS	SODDFRM	SD0PID/SEVNFRM	SNAK	CNAK	TXFNUM				STALL	予約済み	EPTYP		NAKSTS	EONUM/DPID	USBAEP	予約済み				MPSIZ										
rs	rs	w	w	w	w	rw	rw	rw	rw	rw/rs		rw	rw	r	r	rw					rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31 **EPENA**：エンドポイントイネーブル
アプリケーションは、このビットをセットして、エンドポイントへのデータ送信を開始します。
コアは、このエンドポイント上で以下の割り込みをセットする前に、このビットをクリアします。
– SETUP フェーズ終了
– エンドポイント無効
– 転送完了

ビット 30 **EPDIS**：エンドポイントディセーブル
アプリケーションは、エンドポイントへの転送が完了する前でも、このビットをセットして、そのエンドポイントでのデータ送信/受信を停止することができます。アプリケーションは、エンドポイントを無効として扱う前に、エンドポイント無効割り込みを待つ必要があります。コアは、エンドポイント無効割り込みを設定する前に、このビットをクリアします。アプリケーションは、このエンドポイントのエンドポイントイネーブルがすでにセットされている場合のみ、このビットをセットしなければなりません。

ビット 29 **SODDFRM**：奇数フレームの設定
アイソクロナス IN および OUT エンドポイントのみに適用されます。
このフィールドに書き込むと、偶数/奇数フレーム（EONUM）フィールドが奇数フレームに設定されます。

ビット 28 **SD0PID**：DATA0 PID の設定
割り込み/バルク IN エンドポイントのみに適用されます。
このフィールドに書き込むと、このレジスタのエンドポイントデータ PID（DPID）フィールドが DATA0 に設定されます。

SEVNFRM：偶数フレームの設定
アイソクロナス IN エンドポイントのみに適用されます。
このフィールドに書き込むと、偶数/奇数フレーム（EONUM）フィールドが偶数フレームに設定されます。

ビット 27 **SNAK**：NAK のセット
このビットに書き込むと、エンドポイントの NAK ビットがセットされます。
アプリケーションは、このビットを使用して、エンドポイント上での NAK ハンドシェイクの送信を制御できます。コアは、送信完了割り込み時、またはエンドポイントに SETUP パケットが受信された後、OUT エンドポイントに対してこのビットをセットすることもできます。

ビット 26 **CNAK**：NAK のクリア
このビットに書き込むと、エンドポイントの NAK ビットがクリアされます。

ビット 25:22 **TXFNUM**：TxFIFO 番号
これらのビットは、このエンドポイントに関連する FIFO 番号を指定します。各アクティブ IN エンドポイントは、別々の FIFO 番号にプログラムされなければなりません。
このフィールドは、IN エンドポイントについてのみ有効です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 21 **STALL**：STALL ハンドシェイク

非制御の非アイソクロナス IN エンドポイントのみに適用されます（アクセスタイプは rw です）。

アプリケーションは、このビットをセットして、USB ホストからこのエンドポイントへのすべてのトークンを停止します。このビットとともに NAK ビット（グローバル IN NAK またはグローバル OUT NAK）がセットされた場合は、STALL ビットが優先されます。アプリケーションのみがこのビットをクリアできます。コアはクリアできません。

制御エンドポイントのみに適用されます（アクセスタイプは rs です）。

アプリケーションは、このビットのセットのみが可能です。このエンドポイントの SETUP トークンが受信されると、コアがこのビットをクリアします。このビットとともに NAK ビット（グローバル IN NAK またはグローバル OUT NAK）がセットされた場合は、STALL ビットが優先されます。このビットの設定に関係なく、コアは、常に SETUP データパケットに ACK ハンドシェイクで応答します。

ビット 20 予約済み

ビット 19:18 **EPTYP**：エンドポイントタイプ

これは、この論理エンドポイントがサポートする転送タイプです。

00：制御

01：アイソクロナス

10：バルク

11：割り込み

ビット 17 **NAKSTS**：NAK ステータス

以下を示します。

0：コアは、FIFO のステータスに基づいて非 NAK ハンドシェイクを送信中です。

1：コアは、このエンドポイント上で NAK ハンドシェイクを送信中です。

アプリケーションまたはコアがこのビットをセットすると、

非アイソクロナス IN エンドポイントの場合、コアは、TxFIFO に使用可能なデータがある場合でも、データの送信を停止します。

アイソクロナス IN エンドポイントの場合、コアは、TxFIFO に使用可能なデータがある場合でも、ゼロ長のデータパケットを送出します。

このビットの設定に関係なく、コアは、常に SETUP データパケットに ACK ハンドシェイクで応答します。

ビット 16 **EONUM**：偶数/奇数フレーム

アイソクロナス IN エンドポイントのみに適用されます。

コアがこのエンドポイントにアイソクロナスデータを送受信するフレーム番号を示します。アプリケーションは、このレジスタの SEVNFRM および SODDFRM フィールドを使用して、このエンドポイントに対してアイソクロナスデータを送信/受信する偶数/奇数番号をプログラムする必要があります。

0：偶数フレーム

1：奇数フレーム

DPID：エンドポイントデータ PID

割り込み/バルク IN エンドポイントのみに適用されます。

このエンドポイント上で受信または送信されるパケットの PID を含みます。アプリケーションは、エンドポイントがアクティブ化された後、受信または送信される最初のパケットの PID をプログラムする必要があります。アプリケーションは SC0PID レジスタを使用して、DATA0 または DATA1 PID のいずれかをプログラムします。

0：DATA0

1：DATA1

ビット 15 **USBAEP**：USB アクティブエンドポイント

このエンドポイントの現在の設定とインタフェースでアクティブかどうかを示します。コアは、USB リセットを検出した後、すべてのエンドポイント（EP 0 を除き）について、このビットをクリアします。SetConfiguration および SetInterface コマンドを受信した後、アプリケーションはそれに応じてエンドポイントをプログラムし、このビットをセットする必要があります。

ビット 14:11 予約済み

ビット 10:0 **MPSIZ**：最大パケットサイズ

アプリケーションは、このフィールドを現在の論理エンドポイントの最大パケットサイズでプログラムする必要があります。この値はバイト単位です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OTG_FS デバイス制御 OUT エンドポイント 0 制御レジスタ（OTG_FS_DOEPCTL0）

アドレスオフセット：0xB00

リセット値：0x0000 8000

このセクションでは、OTG_FS_DOEPCTL0 レジスタについて説明します。非ゼロ制御エンドポイントは、エンドポイント 1～3 のレジスタを使用します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EPENA	EPDIS	予約済み		SNAK	CNAK	予約済み				STALL	SNPM	EPTYP		NAKSTS	予約済み	USBAEP	予約済み													MPSIZ	
w	r			w	w					rs	rw	r	r	r		r														r	r

ビット 31 **EPENA**：エンドポイントイネーブル
アプリケーションは、このビットをセットして、エンドポイント 0　上でデータ送信を開始します。
コアは、このエンドポイント上で以下の割り込みをセットする前に、このビットをクリアします。
– SETUP フェーズ終了
– エンドポイント無効
– 転送完了

ビット 30 **EPDIS**：エンドポイントディセーブル
アプリケーションは、制御 OUT エンドポイントを無効にできません。

ビット 29:28 予約済み

ビット 27 **SNAK**：NAK のセット
このビットに書き込むと、エンドポイントの NAK ビットがセットされます。
アプリケーションは、このビットを使用して、エンドポイント上での NAK ハンドシェイクの送信を制御できます。コアは、送信完了割り込み時、または SETUP パケットを受信した後に、このビットをセットすることもできます。

ビット 26 **CNAK**：NAK のクリア
このビットに書き込むと、エンドポイントの NAK ビットがクリアされます。

ビット 25:22 予約済み

ビット 21 **STALL**：STALL ハンドシェイク
アプリケーションは、このビットのセットのみが可能です。このエンドポイントの SETUP トークンが受信されると、コアがこのビットをクリアします。NAK ビット、すなわち、グローバル OUT NAK がこのビットとともにセットされた場合は、STALL ビットが優先します。このビットの設定に関係なく、コアは、常に SETUP データパケットに ACK ハンドシェイクで応答します。

ビット 20 **SNPM**：スヌープモード
このビットは、エンドポイントをスヌープモードに設定します。スヌープモードでは、コアは OUT パケットをアプリケーションメモリに転送する前に、それらの正確さをチェックしません。

ビット 19:18 **EPTYP**：エンドポイントタイプ
制御のために 00 にハードコード化されています。

ビット 17 **NAKSTS**：NAK ステータス
以下を示します。
0：コアは、FIFO のステータスに基づいて非 NAK ハンドシェイクを送信中です。
1：コアは、このエンドポイント上で NAK ハンドシェイクを送信中です。
アプリケーションまたはコアがこのビットをセットすると、RxFIFO に受信パケットを収容できるスペースがある場合でも、コアはデータの受信を停止します。このビットの設定に関係なく、コアは、常に SETUP データパケットに ACK ハンドシェイクで応答します。

ビット 16 予約済み

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 15 **USBAEP**：USB アクティブエンドポイント
このビットは常に 1 にセットされ、制御エンドポイント 0 がすべての設定およびインタフェースにおいて常にアクティブであることを示します。

ビット 14:2 予約済み

ビット 1:0 **MPSIZ**：最大パケットサイズ
制御 OUT エンドポイント 0 の最大パケットサイズは、制御 IN エンドポイントでプログラムされるサイズと同じです。
00：64 バイト
01：32 バイト
10：16 バイト
11：8 バイト

OTG_FS デバイスエンドポイント x 制御レジスタ（OTG_FS_DOEPCTLx）（x = 1..3、x = Endpoint_number）

OUT エンドポイントのアドレスオフセット：0xB00 + (Endpoint_number × 0x20)

リセット値：0x0000 0000

アプリケーションは、このレジスタを使用して、エンドポイント 0 以外の各論理エンドポイントの動作を制御します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EPENA	EPDIS	SODDFRM/SD1PID	SD0PID/SEVNFRM	SNAK	CNAK	予約済み				STALL	SNPM	EPTYP		NAKSTS	EONUM/DPID	USBAEP	予約済み				MPSIZ										
rs	rs	w	w	w	w					rw/rs	rw	rw	rw	r	r	rw					rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31 **EPENA**：エンドポイントイネーブル
IN および OUT エンドポイントに適用されます。
アプリケーションは、このビットをセットして、エンドポイントへのデータ送信を開始します。
コアは、このエンドポイント上で以下の割り込みをセットする前に、このビットをクリアします。
– SETUP フェーズ終了
– エンドポイント無効
– 転送完了

ビット 30 **EPDIS**：エンドポイントディセーブル
アプリケーションは、エンドポイントへの転送が完了する前でも、このビットをセットして、そのエンドポイントでのデータ送信/受信を停止することができます。アプリケーションは、エンドポイントを無効として扱う前に、エンドポイント無効割り込みを待つ必要があります。コアは、エンドポイント無効割り込みを設定する前に、このビットをクリアします。アプリケーションは、このエンドポイントのエンドポイントイネーブルがすでにセットされている場合のみ、このビットをセットしなければなりません。

ビット 29 **SD1PID**：DATA1 PID の設定
割り込み/バルク IN および OUT エンドポイントのみに適用されます。このフィールドに書き込むと、このレジスタのエンドポイントデータ PID（DPID）フィールドが DATA1 に設定されます。
SODDFRM：奇数フレームの設定
アイソクロナス IN および OUT エンドポイントのみに適用されます。このフィールドに書き込むと、偶数/奇数フレーム（EONUM）フィールドが奇数フレームに設定されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 28 **SD0PID**：DATA0 PID の設定

割り込み/バルク OUT エンドポイントのみに適用されます。

このフィールドに書き込むと、このレジスタのエンドポイントデータ PID（DPID）フィールドが DATA0 に設定されます。

SEVNFRM：偶数フレームの設定

アイソクロナス OUT エンドポイントのみに適用されます。

このフィールドに書き込むと、偶数/奇数フレーム（EONUM）フィールドが偶数フレームに設定されます。

ビット 27 **SNAK**：NAK のセット

このビットに書き込むと、エンドポイントの NAK ビットがセットされます。

アプリケーションは、このビットを使用して、エンドポイント上での NAK ハンドシェイクの送信を制御できます。コアは、転送完了割り込み時、または SETUP パケットを受信した後に、OUT エンドポイントに対してこのビットをセットすることもできます。

ビット 26 **CNAK**：NAK のクリア

このビットに書き込むと、エンドポイントの NAK ビットがクリアされます。

ビット 25:22 予約済み

ビット 21 **STALL**：STALL ハンドシェイク

非制御の非アイソクロナス OUT エンドポイントのみに適用されます（アクセスタイプは rw です）。

アプリケーションは、このビットをセットして、USB ホストからこのエンドポイントへのすべてのトークンを停止します。このビットとともに NAK ビット（グローバル IN NAK またはグローバル OUT NAK）がセットされた場合は、STALL ビットが優先されます。アプリケーションのみがこのビットをクリアできます。コアはクリアできません。

制御エンドポイントのみに適用されます（アクセスタイプは rs です）。

アプリケーションは、このビットのセットのみが可能です。このエンドポイントの SETUP トークンが受信されると、コアがこのビットをクリアします。このビットとともに NAK ビット（グローバル IN NAK またはグローバル OUT NAK）がセットされた場合は、STALL ビットが優先されます。このビットの設定に関係なく、コアは、常に SETUP データパケットに ACK ハンドシェイクで応答します。

ビット 20 **SNPM**：スヌープモード

このビットは、エンドポイントをスヌープモードに設定します。スヌープモードでは、コアは OUT パケットをアプリケーションメモリに転送する前に、それらの正確さをチェックしません。

ビット 19:18 **EPTYP**：エンドポイントタイプ

これは、この論理エンドポイントがサポートする転送タイプです。

00：制御

01：アイソクロナス

10：バルク

11：割り込み

ビット 17 **NAKSTS**：NAK ステータス

以下を示します。

0：コアは、FIFO のステータスに基づいて非 NAK ハンドシェイクを送信中です。

1：コアは、このエンドポイント上で NAK ハンドシェイクを送信中です。

アプリケーションまたはコアがこのビットをセットすると、

コアは、RxFIFO に受信パケットを収容するためのスペースが ある場合でも、OUT エンドポイントでのデータの受信を停止します。

このビットの設定に関係なく、コアは、常に SETUP データパケットに ACK ハンドシェイクで応答します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 16 **EONUM**：偶数/奇数フレーム

アイソクロナス IN および OUT エンドポイントのみに適用されます。

コアがこのエンドポイントにアイソクロナスデータを送受信するフレーム番号を示します。アプリケーションは、このレジスタの SEVNFRM および SODDFRM フィールドを使用して、このエンドポイントに対してアイソクロナスデータを送信/受信する偶数/奇数番号をプログラムする必要があります。

0：偶数フレーム

1：奇数フレーム

DPID：エンドポイントデータ PID

割り込み/バルク OUT エンドポイントのみに適用されます。

このエンドポイント上で受信または送信されるパケットの PID を含みます。アプリケーションは、エンドポイントがアクティブ化された後、受信または送信される最初のパケットの PID をプログラムする必要があります。アプリケーションは SC0PID レジスタを使用して、DATA0 または DATA1 PID のいずれかをプログラムします。

0：DATA0

1：DATA1

ビット 15 **USBAEP**：USB アクティブエンドポイント

このエンドポイントが現在の設定およびインタフェースでアクティブかどうかを示します。コアは、USB リセットを検出した後、すべてのエンドポイント（EP 0 を除き）について、このビットをクリアします。SetConfiguration および SetInterface コマンドを受信した後、アプリケーションはそれに応じてエンドポイントをプログラムし、このビットをセットする必要があります。

ビット 14:11 予約済み

ビット 10:0 **MPSIZ**：最大パケットサイズ

アプリケーションは、このフィールドを現在の論理エンドポイントの最大パケットサイズでプログラムする必要があります。この値はバイト単位です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OTG_FS デバイスエンドポイント x 割り込みレジスタ（OTG_FS_DIEPINTx）（x = 0..3、x = Endpoint_number）

アドレスオフセット：0x908 + (Endpoint_number × 0x20)

リセット値：0x0000 0080

このレジスタは、USB および AHB 関連イベントに関するエンドポイントのステータスを示します。これを*図 308*に示します。アプリケーションは、コア割り込みレジスタの IN エンドポイント割り込みビット（OTG_FS_GINTSTS の IEPINT ビット）がセットされたとき、このレジスタを読み出さなければなりません。アプリケーションがこのレジスタを読み出すためには、まず、デバイス全エンドポイント割り込み（OTG_FS_DAINT）レジスタを読み出して、デバイスのエンドポイント x 割り込みレジスタの正確なエンドポイント番号を知る必要があります。アプリケーションは、このレジスタの適切なビットをクリアすることによって、OTG_FS_DAINT および OTG_FS_GINTSTS レジスタの対応するビットをクリアする必要があります。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																								TXFE	INEPNE	予約済み	ITTXFE	TOC	予約済み	EPDISD	XFRC
																								r	rc_w1/rw		rc_w1	rc_w1		rc_w1	rc_w1

ビット 31:8 予約済み

ビット 7 **TXFE**：送信 FIFO エンプティ
この割り込みは、このエンドポイントの TxFIFO が半エンプティまたは完全エンプティのいずれかであるとき、アサートされます。半エンプティステータスか完全エンプティステータスかは、OTG_FS_GAHBCFG レジスタの TxFIFO エンプティレベルビット（OTG_FS_GAHBCFG の TXFELVL ビット）によって判断できます。

ビット 6 **INEPNE**：IN エンドポイント NAK 有効
このビットは、アプリケーションが OTG_FS_DIEBCFG レジスタの CNAK ビットに書き込むことによって IN エンドポイント NAK をクリアするとクリアされます。
この割り込みは、コアが（アプリケーションまたはコアによって）設定された NAK ビットをサンプリングしたことを示します。この割り込みは、アプリケーションによってセットされた IN エンドポイント NAK ビットがコアで有効になったことを示します。
この割り込みは、必ずしも NAK ハンドシェイクが USB に送出されることを保証しません。STALL ビットが NAK ビットに優先します。

ビット 5 予約済み

ビット 4 **ITTXFE**：TxFIFO がエンプティ時に受信された IN トークン
非アイソクロナス IN エンドポイントのみに適用されます。
関連する TxFIFO（周期的/非周期的）が空のときに IN トークンが受信されたことを示します。この割り込みは、IN トークンが受信されたエンドポイント上でアサートされます。

ビット 3 **TOC**：タイムアウト条件
制御 IN エンドポイントのみに適用されます。
このエンドポイント上の最後の IN トークン に対して、コアが USB 上でタイムアウト条件を検出したことを示します。

ビット 2 予約済み

ビット 1 **EPDISD**：エンドポイントディセーブル割り込み
このビットは、エンドポイントがアプリケーションのリクエストによって無効にされたことを示します。

ビット 0 **XFRC**：転送完了割り込み
このフィールドは、このエンドポイントに対してプログラムされた転送が AHB に加えて USB 上でも完了したことを示します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OTG_FS デバイスエンドポイント x 割り込みレジスタ（OTG_FS_DOEPINTx）（x = 0..3、x = Endpoint_number）

アドレスオフセット：0xB08 + (Endpoint_number × 0x20)

リセット値：0x0000 0080

このレジスタは、USB および AHB 関連イベントに関するエンドポイントのステータスを示します。これを*図 308*に示します。アプリケーションは、OTG_FS_GINTSTS レジスタの OUT エンドポイント割り込みビット（OTG_FS_GINTSTS の OEPINT ビット）がセットされたとき、このレジスタを読み出さなければなりません。アプリケーションがこのレジスタを読み出すためには、まず、OTG_FS_DAINT レジスタを読み出して、OTG_FS_DOEPINTx レジスタの正確なエンドポイント番号を知る必要があります。アプリケーションは、このレジスタの適切なビットをクリアすることによって、OTG_FS_DAINT および OTG_FS_GINTSTS レジスタの対応するビットをクリアする必要があります。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																								予約済み	B2BSTUP	予約済み	OTEPDIS	STUP	予約済み	EPDISD	XFRC
																									rc_w1/rw		rc_w1	rc_w1		rc_w1	rc_w1

ビット 31:7　予約済み

ビット 6　**B2BSTUP**：連続 SETUP パケットの受信
制御 OUT エンドポイントのみに適用されます。
このビットは、コアがこの特定のエンドポイントで 3 つを超える連続 SETUP パケットを受信したことを示します。

ビット 5　予約済み

ビット 4　**OTEPDIS**：エンドポイント無効時 OUT トークン受信
制御 OUT エンドポイントのみに適用されます。
エンドポイントがまだ有効になっていないときに OUT トークンを受け取ったことを示します。この割り込みは、OUT トークンが受信されたエンドポイントでアサートされます。

ビット 3　**STUP**：SETUP フェーズ終了
制御 OUT エンドポイントのみに適用されます。
制御エンドポイントの SETUP フェーズが完了し、現在の制御転送のために、これ以上、連続 SETUP パケットは受信されなかったことを示します。この割り込みにより、アプリケーションは、受信した SETUP データパケットをデコードできます。

ビット 2　予約済み

ビット 1　**EPDISD**：エンドポイントディセーブル割り込み
このビットは、エンドポイントがアプリケーションのリクエストによって無効にされたことを示します。

ビット 0　**XFRC**：転送完了割り込み
このフィールドは、このエンドポイントに対してプログラムされた転送が AHB に加えて USB 上でも完了したことを示します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OTG_FS デバイス IN エンドポイント 0 転送サイズレジスタ（OTG_FS_DIEPTSIZ0）

アドレスオフセット：0x910

リセット値：0x0000 0000

アプリケーションは、エンドポイント 0 を無効にする前に、このレジスタを変更する必要があります。デバイス制御エンドポイント 0 制御レジスタのエンドポイントイネーブルビット（OTG_FS_DIEPCTL0 の EPENA）を使用して、エンドポイント 0 が有効にされると、コアは、このレジスタを変更します。コアがエンドポイントイネーブルビットをクリアすると、アプリケーションはこのレジスタを読み出すことしかできません。

非ゼロエンドポイントは、エンドポイント 1～3 のレジスタを使用します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み											PKTCNT		予約済み												XFRSIZ						
											rw	rw													rw	rw	rw	rw	rw	rw	rw

ビット 31:21 予約済み

ビット 20:19 **PKTCNT**：パケットカウント
エンドポイント 0 のデータ転送サイズを構成する USB パケットの総数を示します。
このフィールドは、パケットが TxFIFO から読み出されるたびにデクリメントされます（最大サイズまたはショートパケット）。

ビット 18:7 予約済み

ビット 6:0 **XFRSIZ**：転送サイズ
エンドポイント 0 の転送サイズをバイト単位で示します。コアは、データの転送サイズを使いきった後でのみ、アプリケーションに割り込みをかけます。転送サイズをエンドポイントの最大パケットサイズにセットすると、各パケットの最後で割り込みを生成できます。
コアは、外部メモリからのパケットが TxFIFO に書き込まれるたびに、このフィールドをデクリメントします。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OTG_FS デバイス OUT エンドポイント 0 転送サイズレジスタ（OTG_FS_DOEPTSIZ0）

アドレスオフセット：0xB10

リセット値：0x0000 0000

アプリケーションは、エンドポイント 0 を無効にする前に、このレジスタを変更する必要があります。OTG_FS_DOEPCTL0 レジスタのエンドポイントイネーブルビット（OTG_FS_DOEPCTL0 の EPENA ビット）を使用してエンドポイント 0 が有効にされると、コアは、このレジスタを変更します。コアがエンドポイントイネーブルビットをクリアすると、アプリケーションはこのレジスタを読み出すことしかできません。

非ゼロエンドポイントは、エンドポイント 1～3 のレジスタを使用します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み	STUPCNT		予約済み									PKTCNT	予約済み												XFRSIZ						
	rw	rw										rw													rw	rw	rw	rw	rw	rw	rw

ビット 31 予約済み

ビット 30:29 **STUPCNT**：SETUP パケットカウント
このフィールドは、エンドポイントが受信できる連続 SETUP データパケット数を指定します。
01：1 パケット
10：2 パケット
11：3 パケット

ビット 28:20 予約済み

ビット 19 **PKTCNT**：パケットカウント
このフィールドは、パケットが RxFIFO に書き込まれた後、ゼロまでデクリメントされます。

ビット 18:7 予約済み

ビット 6:0 **XFRSIZ**：転送サイズ
エンドポイント 0 の転送サイズをバイト単位で示します。コアは、データの転送サイズを使いきった後でのみ、アプリケーションに割り込みをかけます。転送サイズをエンドポイントの最大パケットサイズにセットすると、各パケットの最後で割り込みを生成できます。
コアは、RxFIFO からパケットが読み出されて、外部メモリに書き込まれるたびに、このフィールドをデクリメントします。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OTG_FS デバイスエンドポイント x 転送サイズレジスタ（OTG_FS_DIEPTSIZx）（x = 1..3、x = Endpoint_number）

アドレスオフセット：0x910 + (Endpoint_number × 0x20)

リセット値：0x0000 0000

アプリケーションは、エンドポイントを無効にする前に、このレジスタを変更する必要があります。OTG_FS_DIEPCTLx レジスタのエンドポイントイネーブルビット（OTG_FS_DIEPCTLx の EPENA ビット）を使用してエンドポイントが有効にされると、コアは、このレジスタを変更します。コアがエンドポイントイネーブルビットをクリアすると、アプリケーションはこのレジスタを読み出すことしかできません。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み	MCNT		PKTCNT										XFRSIZ																		
	rw/r/rw	rw/r/rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31 予約済み

ビット 30:29 **MCNT**：マルチカウント
周期的 IN エンドポイントの場合、このフィールドは、USB でフレームごとに送信されなければならないパケット数を示します。コアは、このフィールドを使用して、アイソクロナス IN エンドポイントのデータ PID を計算します。
01：1 パケット
10：2 パケット
11：3 パケット

ビット 28:19 **PKTCNT**：パケットカウント
このエンドポイントのデータの転送サイズを構成する USB パケットの総数を示します。
このフィールドは、パケットが TxFIFO から読み出されるたびにデクリメントされます（最大サイズまたはショートパケット）。

ビット 18:0 **XFRSIZ**：転送サイズ
このフィールドは、現在のエンドポイントの転送サイズをバイト単位で示します。コアは、データの転送サイズを使いきった後でのみ、アプリケーションに割り込みをかけます。転送サイズをエンドポイントの最大パケットサイズにセットすると、各パケットの最後で割り込みを生成できます。
コアは、外部メモリからのパケットが TxFIFO に書き込まれるたびに、このフィールドをデクリメントします。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OTG_FS デバイス IN エンドポイント送信 FIFO ステータスレジスタ（OTG_FS_DTXFSTSx）（x = 0..3、x = Endpoint_number）

IN エンドポイントのアドレスオフセット：0x918 +（Endpoint_number × 0x20）この読み出し専用レジスタは、デバイス IN エンドポイント TxFIFO の空きスペース情報を含みます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																INEPTFSAV															
																r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

31:16 予約済み

15:0 **INEPTFSAV**：IN エンドポイント TxFIFO の使用可能スペース
エンドポイント TxFIFO で使用できる空きスペースの量を示します。
値は 32 ビットワード単位です。
0x0:エンドポイント Tx FIFO は満杯です。
0x1:1 ワードが使用可能です。
0x2:2 ワードが使用可能です。
0xn:n ワードが使用可能です。
その他：予約済み

OTG_FS デバイス OUT エンドポイント x 転送サイズレジスタ（OTG_FS_DOEPTSIZx）（x = 1..3、x = Endpoint_number）

アドレスオフセット：0xB10 + (Endpoint_number × 0x20)

リセット値：0x0000 0000

アプリケーションは、エンドポイントを無効にする前に、このレジスタを変更する必要があります。OTG_FS_DOEPCTLx レジスタのエンドポイントイネーブルビット（OTG_FS_DOEPCTLx の EPENA ビット）を使用してエンドポイントが有効にされると、コアは、このレジスタを変更します。コアがエンドポイントイネーブルビットをクリアすると、アプリケーションはこのレジスタを読み出すことしかできません。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み	RXDPID/STUPCNT		PKTCNT										XFRSIZ																		
	rw/r/rw	rw/r/rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31 予約済み

ビット 30:29 **RXDPID**：受信データ PID
アイソクロナス OUT エンドポイントのみに適用されます。
これは、このエンドポイントの最後のパケットで受信されたデータの PID です。
00：DATA0
01：DATA2
10：DATA1
11：MDATA

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

STUPCNT：SETUP パケットカウント
制御 OUT エンドポイントにのみ適用されます。
このフィールドは、エンドポイントが受信できる連続 SETUP データパケット数を指定します。
01：1 パケット
10：2 パケット
11：3 パケット

ビット 28:19 **PKTCNT**：パケットカウント
このエンドポイントのデータの転送サイズを構成する USB パケットの総数を示します。
このフィールドは、パケット（最大サイズまたはショートパケット）が RxFIFO に書き込まれるたびにデクリメントされます。

ビット 18:0 **XFRSIZ**：転送サイズ
このフィールドは、現在のエンドポイントの転送サイズをバイト単位で示します。コアは、データの転送サイズを使いきった後でのみ、アプリケーションに割り込みをかけます。転送サイズをエンドポイントの最大パケットサイズにセットすると、各パケットの最後で割り込みを生成できます。
コアは、RxFIFO からパケットが読み出されて、外部メモリに書き込まれるたびに、このフィールドをデクリメントします。

27.15.5 OTG_FS パワーおよびクロックゲーティング制御レジスタ（OTG_FS_PCGCCTL）

アドレスオフセット：0xE00

リセット値：0x0000 0000

このレジスタは、ホストモードとデバイスモードで使用できます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																											PHYSUSP	予約済み		GATEHCLK	STPPCLK
																											rw			rw	rw

ビット 31:5 予約済み

ビット 4 **PHYSUSP**：PHY サスペンド
PHY が中断されたことを示します。このビットは、アプリケーションが STPPCLK ビット（ビット 0）をセットした後、PHY がサスペンドされると更新されます。

ビット 3:2 予約済み

ビット 1 **GATEHCLK**：HCLK のゲーティング
USB が中断されるか、セッションが有効でないとき、アプリケーションは、このビットをセットして、AHB スレーブとマスタおよびウェイクアップロジック以外のモジュールへの HCLK をゲーティングします。アプリケーションは、USB がレジュームされるか、新しいセッショが開始されると、このビットをクリアします。

ビット 0 **STPPCLK**：PHY クロックの停止
USB が中断されるか、セッションが有効でないか、デバイスが切断されると、アプリケーションは、このビットをセットして、PHY クロックを停止します。アプリケーションは、USB がレジュームされるか、新しいセッショが開始されると、このビットをクリアします。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

27.15.6 OTG_FS レジスタマップ

次の表に、USB OTG のレジスタマップとリセット値を示します。

表203. OTG_FS レジスタマップとリセット値

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x000	OTG_FS_GOTGCTL	予約済み												BSVLD	ASVLD	DBCT	CIDSTS	予約済み				DHNPEN	HSHNPEN	HNPRQ	HNGSCS	予約済み						SRQ	SRQSCS
	リセット値													0	0	0	1					0	0	0	0							0	0
0x004	OTG_FS_GOTGINT	予約済み												DBCDNE	ADTOCHG	HNGDET	予約済み							HNSSCHG	SRSSCHG	予約済み					SEDET	予約済み	
	リセット値													0	0	0								0	0						0		
0x008	OTG_FS_GAHBCFG	予約済み																							PTXFELVL	TXFELVL	予約済み						GINTMSK
	リセット値																								0	0							0
0x00C	OTG_FS_GUSBCFG	CTXPKT	FDMOD	FHMOD	予約済み															TRDT				HNPCAP	SRPCAP	PHYSEL	予約済み				TOCAL		
	リセット値																			0	1	0	1	0	0	1					0	0	0
0x010	OTG_FS_GRSTCTL	AHBIDL	予約済み																			TXFNUM						TXFLSH	RXFFLSH	予約済み	FCRST	HSRST	CSRST
	リセット値	1																				0	0	0			0	0	0	0	0	0	0
0x014	OTG_FS_GINTSTS	WKUINT	SRQINT	DISCINT	CIDSCHG	予約済み	PTXFE	HCINT	HPRTINT	予約済み		IPXFR/INCOMPISOOUT	IISOIXFR	OEPINT	IEPINT	予約済み		EOPF	ISOODRP	ENUMDNE	USBRST	USBSUSP	ESUSP	予約済み		GOUTNAKEFF	GINAKEFF	NPTXFE	RXFLVL	SOF	OTGINT	MMIS	CMOD
	リセット値	0	0	0	0		1	0	0			0	0	0	0			0	0	0	0	0	0			0	0	1	0	0	0	0	0
0x018	OTG_FS_GINTMSK	WUIM	SRQIM	DISCINT	CIDSCHGM	予約済み	PTXFEM	HCIM	PRTIM	予約済み		IPXFRM/IISOOXFRM	IISOIXFRM	OEPINT	IEPINT	EPMISM	予約済み	EOPFM	ISOODRPM	ENUMDNEM	USBRST	USBSUSPM	ESUSPM	予約済み		GONAKEFFM	GINAKEFFM	NPTXFEM	RXFLVLM	SOFM	OTGINT	MMISM	予約済み
	リセット値	0	0	0	0		0	0	0			0	0	0	0	0		0	0	0	0	0	0			0	0	0	0	0	0	0	
0x01C	OTG_FS_GRXSTSR（ホストモード）	予約済み												PKTSTS				DPID		BCNT											CHNUM		
	リセット値													0	0	0	0		0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	OTG_FS_GRXSTSR（デバイスモード）	予約済み							FRMNUM					PKTSTS				DPID		BCNT											EPNUM		
	リセット値								0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x020	OTG_FS_GRXSTSR（ホストモード）	予約済み												PKTSTS				DPID		BCNT											CHNUM		
	リセット値													0	0	0	0		0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	OTG_FS_GRXSTSR（デバイスモード）	予約済み							FRMNUM					PKTSTS				DPID		BCNT											EPNUM		
	リセット値								0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表203. OTG_FS レジスタマップとリセット値（続き）

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x024	OTG_FS_GRXFSIZ	予約済み																RXFD															
	リセット値																	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
0x028	OTG_FS_HNPTXFSIZ/ OTG_FS_DIEPTXF0	NPTXFD/TX0FD																NPTXFSA/TX0FSA															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
0x02C	OTG_FS_HNPTXSTS	予約済み	NPTXQTOP							NPTQXSAV								NPTXFSAV															
	リセット値		0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
0x038	OTG_FS_GCCFG	予約済み											SOFOUTEN	VBUSBSEN	VBUSASEN	予約済み	PWRDWN	予約済み															
	リセット値												0	0	0		0																
0x03C	OTG_FS_CID	PRODUCT_ID																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0
0x100	OTG_FS_HPTXFSIZ	PTXFSIZ																PTXSA															
	リセット値	0	0	0	0	0	1	1	1	0	1	1	0	1	0	0	0	0	0	0	1	0	0	0	0	0	0	1	0	0	1	0	0
0x104	OTG_FS_DIEPTXF1	INEPTXFD																INEPTXSA															
	リセット値	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0
0x108	OTG_FS_DIEPTXF2	INEPTXFD																INEPTXSA															
	リセット値	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0
0x10C	OTG_FS_DIEPTXF3	INEPTXFD																INEPTXSA															
	リセット値	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0
0x400	OTG_FS_HCFG	予約済み																													FSLSS	FSLSPCS	
	リセット値																														0	0	0
0x404	OTG_FS_HFIR	予約済み																FRIVL															
	リセット値																	1	1	1	0	1	0	1	0	0	1	1	0	0	0	0	0
0x408	OTG_FS_HFNUM	FTREM																FRNUM															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1
0x410	OTG_FS_HPTXSTS	PTXQTOP								PTXQSAV								PTXFSAVL															
	リセット値	0	0	0	0	0	0	0	0	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y
0x414	OTG_FS_HAINT	予約済み																HAINT															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x418	OTG_FS_HAINTMSK	予約済み																HAINTM															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x440	OTG_FS_HPRT	予約済み													PSPD	PTCTL					PPWR	PLSTS	予約済み	PRST	PSUSP	PRES	POCCHNG	POCA	PENCHNG	PENA	PCDET	PCSTS	
	リセット値														0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x500	OTG_FS_HCCHAR0	CHENA	CHDIS	ODDFRM	DAD							MCNT	EPTYP		LSDEV	予約済み	EPDIR	EPNUM					MPSIZ										
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x520	OTG_FS_HCCHAR1	CHENA	CHDIS	ODDFRM	DAD							MCNT	EPTYP		LSDEV	予約済み	EPDIR	EPNUM					MPSIZ										
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表203. OTG_FS レジスタマップとリセット値（続き）

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x540	OTG_FS_HCCHAR2	CHENA	CHDIS	ODDFRM	DAD							MCNT		EPTYP		LSDEV	予約済み	EPDIR	EPNUM				MPSIZ										
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x560	OTG_FS_HCCHAR3	CHENA	CHDIS	ODDFRM	DAD							MCNT		EPTYP		LSDEV	予約済み	EPDIR	EPNUM				MPSIZ										
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x580	OTG_FS_HCCHAR4	CHENA	CHDIS	ODDFRM	DAD							MCNT		EPTYP		LSDEV	予約済み	EPDIR	EPNUM				MPSIZ										
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x5A0	OTG_FS_HCCHAR5	CHENA	CHDIS	ODDFRM	DAD							MCNT		EPTYP		LSDEV	予約済み	EPDIR	EPNUM				MPSIZ										
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x5C0	OTG_FS_HCCHAR6	CHENA	CHDIS	ODDFRM	DAD							MCNT		EPTYP		LSDEV	予約済み	EPDIR	EPNUM				MPSIZ										
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x5E0	OTG_FS_HCCHAR7	CHENA	CHDIS	ODDFRM	DAD							MCNT		EPTYP		LSDEV	予約済み	EPDIR	EPNUM				MPSIZ										
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x508	OTG_FS_HCINT0	予約済み																					DTERR	FRMOR	BBERR	TXERR	予約済み	ACK	NAK	STALL	予約済み	CHH	XFRC
	リセット値																						0	0	0	0		0	0	0		0	0
0x528	OTG_FS_HCINT1	予約済み																					DTERR	FRMOR	BBERR	TXERR	予約済み	ACK	NAK	STALL	予約済み	CHH	XFRC
	リセット値																						0	0	0	0		0	0	0		0	0
0x548	OTG_FS_HCINT2	予約済み																					DTERR	FRMOR	BBERR	TXERR	予約済み	ACK	NAK	STALL	予約済み	CHH	XFRC
	リセット値																						0	0	0	0		0	0	0		0	0
0x568	OTG_FS_HCINT3	予約済み																					DTERR	FRMOR	BBERR	TXERR	予約済み	ACK	NAK	STALL	予約済み	CHH	XFRC
	リセット値																						0	0	0	0		0	0	0		0	0
0x588	OTG_FS_HCINT4	予約済み																					DTERR	FRMOR	BBERR	TXERR	予約済み	ACK	NAK	STALL	予約済み	CHH	XFRC
	リセット値																						0	0	0	0		0	0	0		0	0
0x5A8	OTG_FS_HCINT5	予約済み																					DTERR	FRMOR	BBERR	TXERR	予約済み	ACK	NAK	STALL	予約済み	CHH	XFRC
	リセット値																						0	0	0	0		0	0	0		0	0
0x5C8	OTG_FS_HCINT6	予約済み																					DTERR	FRMOR	BBERR	TXERR	予約済み	ACK	NAK	STALL	予約済み	CHH	XFRC
	リセット値																						0	0	0	0		0	0	0		0	0
0x5E8	OTG_FS_HCINT7	予約済み																					DTERR	FRMOR	BBERR	TXERR	予約済み	ACK	NAK	STALL	予約済み	CHH	XFRC
	リセット値																						0	0	0	0		0	0	0		0	0
0x50C	OTG_FS_HCINTMSK0	予約済み																					DTERRM	FRMORM	BBERRM	TXERRM	NYET	ACKM	NAKM	STALLM	予約済み	CHHM	XFRCM
	リセット値																						0	0	0	0	0	0	0	0		0	0

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表203. OTG_FS レジスタマップとリセット値（続き）

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x52C	OTG_FS_HCINTMSK1	予約済み																					DTERRM	FRMORM	BBERRM	TXERRM	NYET	ACKM	NAKM	STALLM	予約済み	CHHM	XFRCM
	リセット値																						0	0	0	0	0	0	0	0		0	0
0x54C	OTG_FS_HCINTMSK2	予約済み																					DTERRM	FRMORM	BBERRM	TXERRM	NYET	ACKM	NAKM	STALLM	予約済み	CHHM	XFRCM
	リセット値																						0	0	0	0	0	0	0	0		0	0
0x56C	OTG_FS_HCINTMSK3	予約済み																					DTERRM	FRMORM	BBERRM	TXERRM	NYET	ACKM	NAKM	STALLM	予約済み	CHHM	XFRCM
	リセット値																						0	0	0	0	0	0	0	0		0	0
0x58C	OTG_FS_HCINTMSK4	予約済み																					DTERRM	FRMORM	BBERRM	TXERRM	NYET	ACKM	NAKM	STALLM	予約済み	CHHM	XFRCM
	リセット値																						0	0	0	0	0	0	0	0		0	0
0x5AC	OTG_FS_HCINTMSK5	予約済み																					DTERRM	FRMORM	BBERRM	TXERRM	NYET	ACKM	NAKM	STALLM	予約済み	CHHM	XFRCM
	リセット値																						0	0	0	0	0	0	0	0		0	0
0x5CC	OTG_FS_HCINTMSK6	予約済み																					DTERRM	FRMORM	BBERRM	TXERRM	NYET	ACKM	NAKM	STALLM	予約済み	CHHM	XFRCM
	リセット値																						0	0	0	0	0	0	0	0		0	0
0x5EC	OTG_FS_HCINTMSK7	予約済み																					DTERRM	FRMORM	BBERRM	TXERRM	NYET	ACKM	NAKM	STALLM	予約済み	CHHM	XFRCM
	リセット値																						0	0	0	0	0	0	0	0		0	0
0x510	OTG_FS_HCTSIZ0	予約済み	DPID		PKTCNT										XFRSIZ																		
	リセット値		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x530	OTG_FS_HCTSIZ1	予約済み	DPID		PKTCNT										XFRSIZ																		
	リセット値		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x550	OTG_FS_HCTSIZ2	予約済み	DPID		PKTCNT										XFRSIZ																		
	リセット値		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x570	OTG_FS_HCTSIZ3	予約済み	DPID		PKTCNT										XFRSIZ																		
	リセット値		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x590	OTG_FS_HCTSIZ4	予約済み	DPID		PKTCNT										XFRSIZ																		
	リセット値		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x5B0	OTG_FS_HCTSIZ5	予約済み	DPID		PKTCNT										XFRSIZ																		
	リセット値		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x5D0	OTG_FS_HCTSIZ6	予約済み	DPID		PKTCNT										XFRSIZ																		
	リセット値		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x5F0	OTG_FS_HCTSIZ7	予約済み	DPID		PKTCNT										XFRSIZ																		
	リセット値	予約済み	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x800	OTG_FS_DCFG	予約済み																			PFIVL		DAD							予約済み	NZLSOHSK	DSPD	
	リセット値																				0	0	0	0	0	0	0	0	0		0	0	0

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表203. OTG_FS レジスタマップとリセット値（続き）

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x804	OTG_FS_DCTL	予約済み																				POPRGDNE	CGONAK	SGONAK	CGINAK	SGINAK	TCTL			GONSTS	GINSTS	SDIS	RWUSIG
	リセット値																					0	0	0	0	0	0	0	0	0	0	0	0
0x808	OTG_FS_DSTS	予約済み										FNSOF														予約済み				EERR	ENUMSPD		SUSPSTS
	リセット値											0	0	0	0	0	0	0	0	0	0	0	0	0	0					0	0	0	0
0x810	OTG_FS_DIEPMSK	予約済み																									INEPNEM	INEPNMM	ITTXFEMSK	TOM	予約済み	EPDM	XFRCM
	リセット値																										0	0	0	0		0	0
0x814	OTG_FS_DOEPMSK	予約済み																											OTEPDM	STUPM	予約済み	EPDM	XFRCM
	リセット値																												0	0		0	0
0x818	OTG_FS_DAINT	OEPINT																IEPINT															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x81C	OTG_FS_DAINTMSK	OEPM																IEPM															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x828	OTG_FS_DVBUSDIS	予約済み																VBUSDT															
	リセット値																	0	0	0	1	0	1	1	1	1	1	0	1	0	1	1	1
0x82C	OTG_FS_DVBUSPULSE	予約済み																				DVBUSP											
	リセット値																					0	1	0	1	1	0	1	1	1	0	0	0
0x834	OTG_FS_DIEPEMPMSK	予約済み																INEPTXFEM															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x900	OTG_FS_DIEPCTL0	EPENA	EPDIS	予約済み		SNAK	CNAK	TXFNUM				STALL	予約済み	EPTYP		NAKSTS	予約済み	USBAEP	予約済み													MPSIZ	
	リセット値	0	0			0	0	0	0	0	0	0		0	0	0		1														0	0
0x918	TG_FS_DTXFSTS0	予約済み																INEPTFSAV															
	リセット値																	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
0x920	OTG_FS_DIEPCTL1	EPENA	EPDIS	SODDFRM/SD1PID	SD0PID/SEVNFRM	SNAK	CNAK	TXFNUM				STALL	予約済み	EPTYP		NAKSTS	EONUM/DPID	USBAEP	予約済み								MPSIZ						
	リセット値	0	0	0	0	0	0	0	0	0	0	0		0	0	0	0	0					0	0	0	0	0	0	0	0	0	0	0
0x938	TG_FS_DTXFSTS1	予約済み																INEPTFSAV															
	リセット値																	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
0x940	OTG_FS_DIEPCTL2	EPENA	EPDIS	SODDFRM	SD0PID/SEVNFRM	SNAK	CNAK	TXFNUM				STALL	予約済み	EPTYP		NAKSTS	EONUM/DPID	USBAEP	予約済み								MPSIZ						
	リセット値	0	0	0	0	0	0	0	0	0	0	0		0	0	0	0	0					0	0	0	0	0	0	0	0	0	0	0
0x958	TG_FS_DTXFSTS2	予約済み																INEPTFSAV															
	リセット値																	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表203. OTG_FS レジスタマップとリセット値（続き）

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x960	OTG_FS_DIEPCTL3	EPENA	EPDIS	SODDFRM	SD0PID/SEVNFRM	SNAK	CNAK	TXFNUM				STALL	予約済み	EPTYP		NAKSTS	EONUM/DPID	USBAEP	予約済み				MPSIZ										
	リセット値	0	0	0	0	0	0	0	0	0	0	0		0	0	0	0	0					0	0	0	0	0	0	0	0	0	0	0
0x978	TG_FS_DTXFSTS3	予約済み																INEPTFSAV															
	リセット値																	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
0xB00	OTG_FS_DOEPCTL0	EPENA	EPDIS	予約済み		SNAK	CNAK	予約済み				STALL	SNPM	EPTYP		NAKSTS	予約済み	USBAEP	予約済み													MPSIZ	
	リセット値	0	0			0	0					0	0	0	0	0		1														0	0
0xB20	OTG_FS_DOEPCTL1	EPENA	EPDIS	SODDFRM	SD0PID/SEVNFRM	SNAK	CNAK	予約済み				STALL	SNPM	EPTYP		NAKSTS	EONUM/DPID	USBAEP	予約済み				MPSIZ										
	リセット値	0	0	0	0	0	0					0	0	0	0	0	0	0					0	0	0	0	0	0	0	0	0	0	0
0xB40	OTG_FS_DOEPCTL2	EPENA	EPDIS	SODDFRM	SD0PID/SEVNFRM	SNAK	CNAK	予約済み				STALL	SNPM	EPTYP		NAKSTS	EONUM/DPID	USBAEP	予約済み				MPSIZ										
	リセット値	0	0	0	0	0	0					0	0	0	0	0	0	0					0	0	0	0	0	0	0	0	0	0	0
0xB60	OTG_FS_DOEPCTL3	EPENA	EPDIS	SODDFRM	SD0PID/SEVNFRM	SNAK	CNAK	予約済み				STALL	SNPM	EPTYP		NAKSTS	EONUM/DPID	USBAEP	予約済み				MPSIZ										
	リセット値	0	0	0	0	0	0					0	0	0	0	0	0	0					0	0	0	0	0	0	0	0	0	0	0
0x908	OTG_FS_DIEPINT0	予約済み																								TXFE	INEPNE	予約済み	ITTXFE	TOC	予約済み	EPDISD	XFRC
	リセット値																									1	0		0	0		0	0
0x928	OTG_FS_DIEPINT1	予約済み																								TXFE	INEPNE	予約済み	ITTXFE	TOC	予約済み	EPDISD	XFRC
	リセット値																									1	0		0	0		0	0
0x948	OTG_FS_DIEPINT2	予約済み																								TXFE	INEPNE	予約済み	ITTXFE	TOC	予約済み	EPDISD	XFRC
	リセット値																									1	0		0	0		0	0
0x968	OTG_FS_DIEPINT3	予約済み																								TXFE	INEPNE	予約済み	ITTXFE	TOC	予約済み	EPDISD	XFRC
	リセット値																									1	0		0	0		0	0
0xB08	OTG_FS_DOEPINT0	予約済み																								予約済み	B2BSTUP	予約済み	OTEPDIS	STUP	予約済み	EPDISD	XFRC
	リセット値																										0		0	0		0	0

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表203. OTG_FS レジスタマップとリセット値（続き）

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0xB28	OTG_FS_DOEPINT1	予約済み																								予約済み	B2BSTUP	予約済み	OTEPDIS	STUP	予約済み	EPDISD	XFRC
	リセット値																										0		0	0		0	0
0xB48	OTG_FS_DOEPINT2	予約済み																								予約済み	B2BSTUP	予約済み	OTEPDIS	STUP	予約済み	EPDISD	XFRC
	リセット値																										0		0	0		0	0
0xB68	OTG_FS_DOEPINT3	予約済み																								予約済み	B2BSTUP	予約済み	OTEPDIS	STUP	予約済み	EPDISD	XFRC
	リセット値																										0		0	0		0	0
0x910	OTG_FS_DIEPTSIZ0	予約済み											PKTCNT		予約済み												XFRSIZ						
	リセット値												0	0													0	0	0	0	0	0	0
0x930	OTG_FS_DIEPTSIZ1	予約済み	MCNT		PKTCNT										XFRSIZ																		
	リセット値		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x950	OTG_FS_DIEPTSIZ2	予約済み	MCNT		PKTCNT										XFRSIZ																		
	リセット値		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x970	OTG_FS_DIEPTSIZ3	予約済み	MCNT		PKTCNT										XFRSIZ																		
	リセット値		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0xB10	OTG_FS_DOEPTSIZ0	予約済み	STUPCNT		予約済み									PKTCNT	予約済み												XFRSIZ						
	リセット値		0	0										0													0	0	0	0	0	0	0
0xB30	OTG_FS_DOEPTSIZ1	予約済み	RXDPID/STUPCNT		PKTCNT										XFRSIZ																		
	リセット値		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0xB50	OTG_FS_DOEPTSIZ2	予約済み	RXDPID/STUPCNT		PKTCNT										XFRSIZ																		
	リセット値		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0xB70	OTG_FS_DOEPTSIZ3	予約済み	RXDPID/STUPCNT		PKTCNT										XFRSIZ																		
	リセット値		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0xE00	OTG_FS_PCGCCTL	予約済み																											PHYSUSP	予約済み		GATEHCLK	STPPCLK
	リセット値																																

レジスタ境界アドレスについては、*表 1 (45 ページ)* を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

27.16 OTG_FS プログラミングモデル

27.16.1 コアの初期化

アプリケーションはコア初期化シーケンスを実行する必要があります。パワーアップ中にケーブルが接続された場合、OTG_FS_GINTSTS レジスタの現在の動作モードビット（OTG_FS_GINTSTS の CMOD ビット）が、モードを反映します。OTG_FS コントローラは、A プラグが接続されたときにはホストモードに、B プラグが接続されたときにはデバイスモードに入ります。

このセクションでは、電源投入後の OTG_FS コントローラの初期化について説明します。アプリケーションは、ホストモードかデバイスモードかに関係なく、初期化シーケンスに従う必要があります。コアのすべてのグローバルレジスタは、コアの設定に従って以下の手順で初期化されます。

1. OTG_FS_GAHBCFG レジスタの以下のフィールドをプログラムします。
   - グローバル割り込みマスクビット GINTMSK = 1
   - RxFIFO 非エンプティ（OTG_FS_GINTSTS の RXFLVL ビット）
   - 周期的 TxFIFO エンプティレベル
2. OTG_FS_GUSBCFG レジスタの以下のフィールドをプログラムします。
   - HNP 対応ビット
   - SRP 対応ビット
   - FS タイムアウト較正フィールド
   - USB ターンアラウンド時間フィールド
3. ソフトウェアは、OTG_FS_GINTMSK レジスタの以下のビットのマスクを解除する必要があります。

   OTG 割り込みマスク

   モード不一致割り込みマスク
4. ソフトウェアは、OTG_FS_GINTSTS レジスタの CMOD ビットを読み出すことによって、OTG_FS コントローラがホストモードで動作中か、デバイスモードで動作中かを判別することができます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

27.16.2 ホストの初期化

コアをホストとして初期化するには、アプリケーションは、以下の手順を実行しなければなりません。

1. OTG_FS_GINTMSK レジスタの HPRTTINT ビットをプログラムして、マスクを解除します。
2. OTG_FS_HCFG レジスタをプログラムして、フルスピードホストを選択します。
3. OTG_FS_HCFG レジスタの PPWR ビットを 1 にプログラムします。これによって USB 上で V_{BUS} が駆動されます。
4. OTG_FS_HPRT0 の PCDET 割り込みを待ちます。これは、デバイスがポートに接続されていることを示します。
5. OTG_FS_HPRT レジスタの PRST ビットを 1 にプログラムします。これによってリセットプロセスが開始されます。
6. リセットプロセスが完了するまで、少なくとも 10 ms 待ちます。
7. OTG_FS_HPRT レジスタの PRST ビットを 0 にプログラムします。
8. OTG_FS_HPRT レジスタの PENCHNG 割り込みを待ちます。
9. OTG_FS_HPRT レジスタの PDPD ビットを読み出して、エニュメレーションされた速度を取得します。
10. HFIR レジスタを、選択された PHY クロック 1 に対応する値でプログラムします。
11. OTG_FS_HCFG レジスタの FSLSPCS フィールドを、手順 9 で検出した速度に従ってプログラムします。FSLSPCS が変更されている場合は、ポートのリセットを行う必要があります。
12. OTG_FS_GRXFSIZ レジスタをプログラムして、受信 FIFO のサイズを選択します。
13. OTG_FS_HNPTXFSIZ レジスタをプログラムして、非周期的トランザクションの非周期的送信 FIFO のサイズと開始アドレスを選択します。
14. OTG_FS_HPTXFSIZ レジスタをプログラムして、周期的トランザクションの周期的送信 FIFO のサイズと開始アドレスを選択します。

デバイスと通信するには、システムソフトウェアは、少なくとも 1 つのチャネルを初期化し、有効にする必要があります。

27.16.3 デバイスの初期化

アプリケーションは、パワーアップ時、またはホストモードからデバイスモードへの変更後、以下の手順を実行して、コアをデバイスとして初期化する必要があります。

1. OTG_FS_DCFG レジスタの以下のフィールドをプログラムします。
   - デバイスの速度
   - 非ゼロ長ステータス OUT ハンドシェイク
2. OTG_FS_GINTMSK レジスタをプログラムして、以下の割り込みのマスクを解除します。
   - USB リセット
   - エニュメレーション終了
   - アーリーサスペンド
   - USB サスペンド
   - SOF
3. OTG_FS_GCCFG レジスタの VBUSBSEN ビットをプログラムして、B デバイスモードでの V_{BUS} センシングを有効にし、DP ライン上でプルアップ抵抗の両端に 5 V を供給します。
4. OTG_FS_GINTSTS の USBRST 割り込みを待ちます。これは、この割り込みの受信時、約 10 ms 続くリセットが USB で検出されたことを示します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OTG_FS_GINTSTS レジスタの ENUMDNE 割り込みを待ちます。この割り込みは、USB 上でリセットが終了したことを示します。この割り込みを受信したとき、アプリケーションは、OTG_FS_DSTS レジスタを読み出して、エニュメレーション速度を判別し、*エニュメレーション完了時のエンドポイントの初期化（895 ページ）*にリストされている手順を実行する必要があります。

この時点で、デバイスは、SOF パケットを受け入れて、制御エンドポイント 0 で制御転送を実行する準備ができたことになります。

27.16.4 ホストプログラミングモデル

チャネルの初期化

アプリケーションが接続されたデバイスと通信するためには、1 つまたは複数のチャネルを初期化する必要があります。チャネルを初期化して、有効にするには、アプリケーションは、以下の手順を実行する必要があります。

1. OTG_FS_GINTMSK レジスタをプログラムして、、以下の割り込みのマスクを解除します。
2. チャネル割り込み
   - OUT トランザクションの非周期的送信 FIFO エンプティ割り込み（パケットカウントフィールドが複数でプログラムされたパイプライントランザクションレベルで動作する場合に適用可能）
   - OUT トランザクションの非周期的送信 FIFO ハーフエンプティ割り込み（パケットカウントフィールドが複数でプログラムされたパイプライントランザクションレベルで動作する場合に適用可能）
3. OTG_FS_HAINTMSK レジスタをプログラムして、選択されたチャネルの割り込みのマスクを解除します。
4. OTG_FS_HCINTMSK レジスタをプログラムして、ホストチャネル割り込みレジスタで指定された、所定のトランザクション関連割り込みのマスクを解除します。
5. 選択されたチャネルの OTG_FS_HCTSIZx レジスタを、合計転送サイズ（バイト数）およびショートパケットを含む予想されるパケット数でプログラムします。アプリケーションは、PID フィールドを初期データ PID（最初の OUT トランザクションで使用される PID、または最初の IN トランザクションから期待される PID）でプログラムする必要があります。
6. 選択されたチャンネルの OTG_FS_HCCHARx レジスタを、タイプ、速度、方向など、デバイスのエンドポイントの特性でプログラムします。（チャネルは、アプリケーションがパケットを送信または受信する準備ができている場合にのみ、チャネルイネーブルビットを 1 にセットすることで有効にできます）。

チャネルの停止

アプリケーションは、OTG_FS_HCCHARx レジスタの CHDIS および CHENA ビットを 1 にセットすることによって、任意のチャネルを無効にできます。これにより、OTG_FS ホストは、要求されたリクエスト（ある場合）を破棄して、チャネル停止割り込みを生成できます。アプリケーションは、チャネルを他のトランザクションに割り当てる前に、チャネル無効割り込みを待つ必要があります。OTG_FS ホストは、USB 上ですでに転送が開始しているトランザクションに対しては割り込みを行いません。

チャネルを無効にする前に、アプリケーションは、非周期的リクエストキュー（非周期的チャネルを無効にするとき）、または周期的リクエストキュー（周期的チャネルを無効にするとき）に使用可能な空きスペースが少なくとも 1 つ以上存在することを確認する必要があります。アプリケーションは、リクエストキューが満杯状態のときには、OTG_FS_HCCHARx レジスタの CHDIS ビットを 1 にセットし、CHENA ビットを 0 にクリアするだけで、ポストされたリクエストを破棄できます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

アプリケーションは、以下のいずれかの条件のとき、チャネルを無効にすることが期待されます。

1. IN または OUT チャネルで、OTG_FS_HCINTx レジスタの STALL、TXERR、BBERR、または DTERR 割り込みが受信されたとき。アプリケーションは、停止割り込みを受信する前に、同じチャネルについての他の割り込み（DTERR、Nak、Data、TXERR）を受信できなければなりません。
2. OTG_FS_GINTSTS レジスタの DISCINT（デバイス切断）割り込みを受信したとき。（アプリケーションは、すべての有効なチャネルを無効にすることが期待されます）。
3. アプリケーションが正常完了の前に転送を中断したとき。

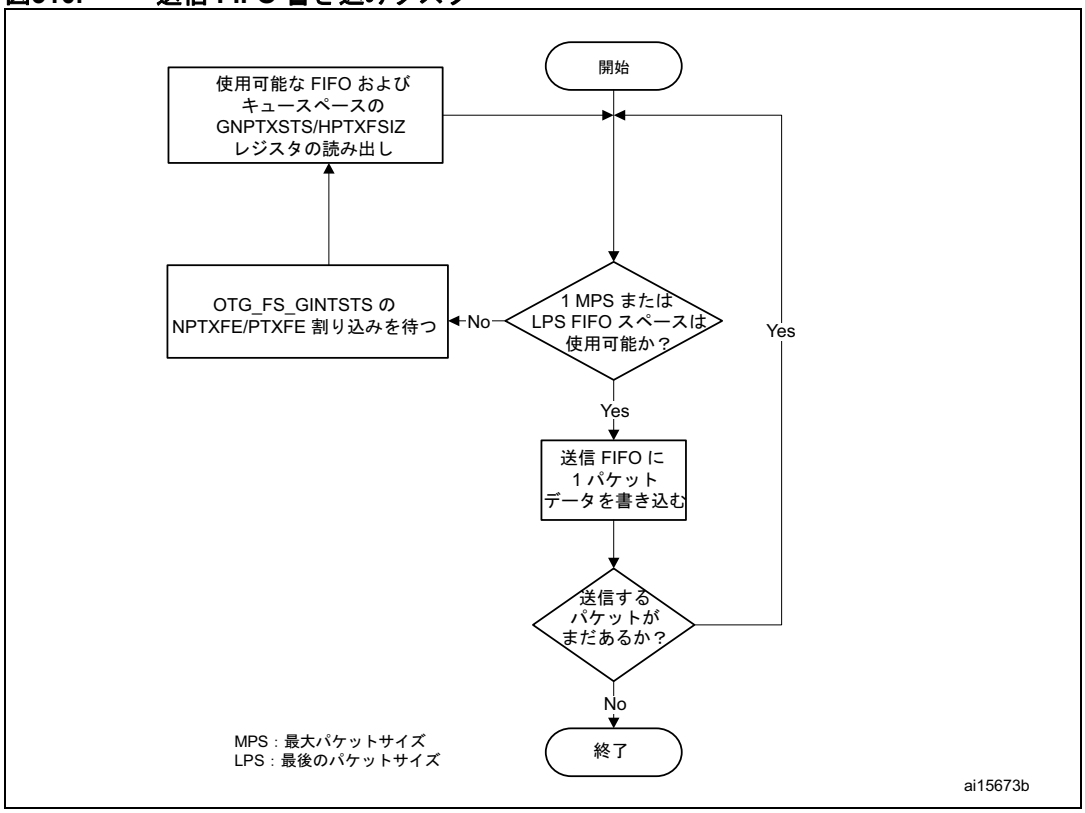
動作モデル

アプリケーションが接続されたデバイスと通信するためには、チャネルを初期化する必要があります。このセクションでは、さまざまなタイプの USB トランザクションについて、実行しなければならない動作のシーケンスについて説明します。

- **送信 FIFO への書き込み**

  OTG_FS ホストは、パケットの最後の ワードの 書き込みとともに、周期的/非周期的リクエストキューにエントリ（OUT リクエスト）を自動的に書き込みます。アプリケーションは、送信 FIFO への書き込みを開始する前に、周期的/非周期的リクエストキューに少なくとも 1 つ以上の空きスペースがあることを確認しなければなりません。アプリケーションは送信 FIFO に必ずワード単位で書き込みを行う必要があります。パケットサイズがワード単位で揃えられていない場合、アプリケーションはパディングを使用する必要があります。OTG_FS ホストは、プログラムされた最大パケットサイズと転送サイズに基づいて、実際のパケットサイズを決定します。

図310. 送信 FIFO 書き込みタスク

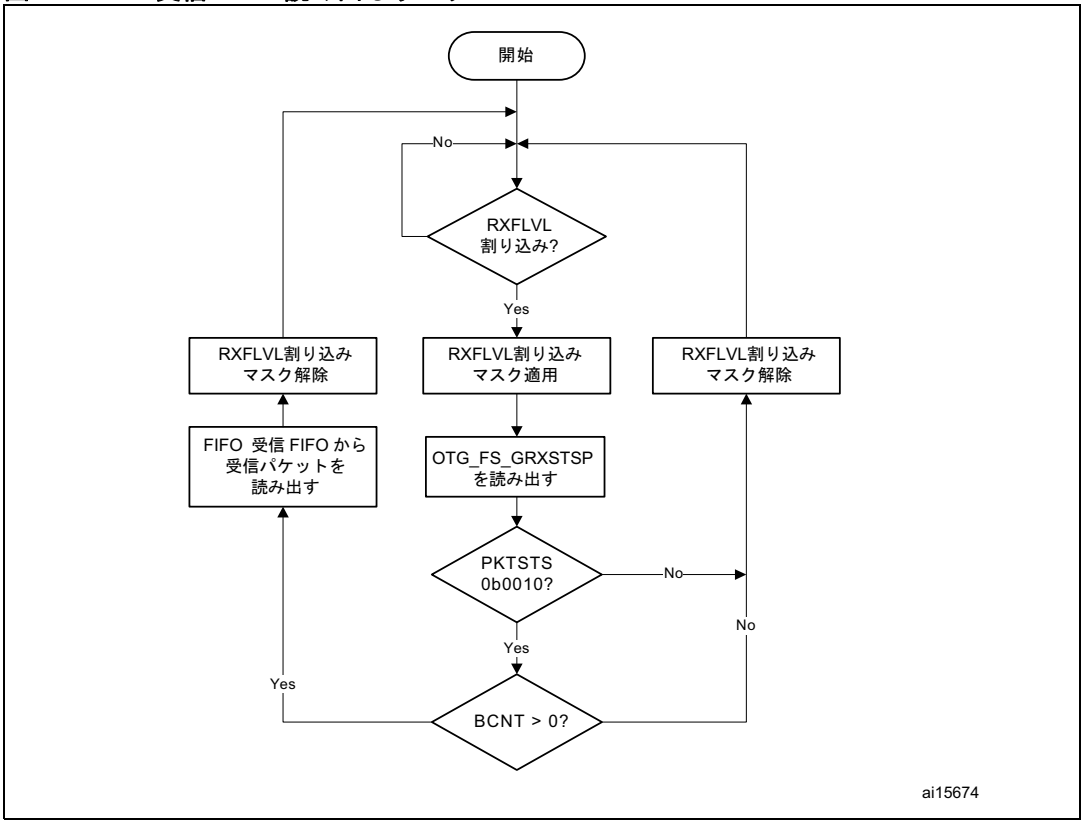


この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

- **受信 FIFO の読み出し**

  アプリケーションは、IN データパケット（bx0010）以外のすべてのパケットステータスを無視しなければなりません。

図311. 受信 FIFO 読み出しラスク



- **バルクおよび制御 OUT/SETUP トランザクション**

  典型的なバルクまたは制御 OUT/SETUP パイプライントランザクションレベルの動作を *図 312* に示します。チャネル 1（ch_1）に注目してください。2 つのバルク OUT パケットが転送されます。制御 SETUP トランザクションは同じように動作しますが、1 パケットのみです。ここでは、以下のように仮定されています。

  – アプリケーションは、最大パケットサイズの 2 つのパケットを送信しようとしています（転送サイズ = 1,024 バイト）。

  – 非周期的送信 FIFO は 2 つのパケットを保持することができます（FS の場合 128 バイト）。

  – 非周期的リクエストキューの深さ = 4。

- **通常のバルクおよび制御 OUT/SETUP 動作**

  動作シーケンス（チャネル 1）は、次のとおりです。

  a) チャネル 1 を初期化します。

  b) チャネル 1 の最初のパケットを書き込みます。

  c) 最後のワードの書き込みと同時に、コアは、非周期的リクエストキューにエントリを書き込みます。

  d) 非周期的キューがエンプティでなくなると、コアは、現在のフレームで OUT トークンの送信を試みます。

  e) チャネル 1 の 2 番目（最後）のパケットを書き込みます。

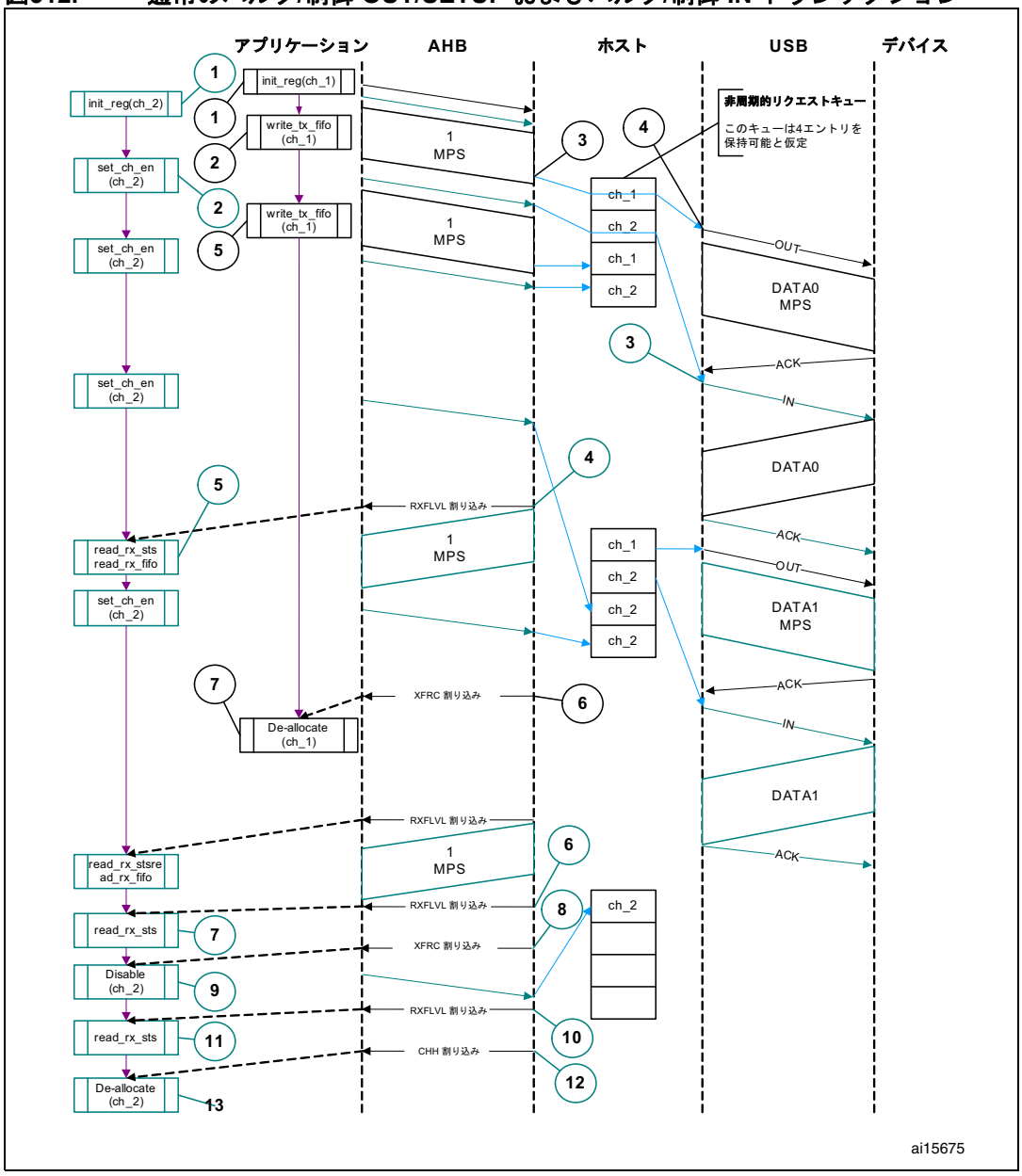
この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

f) コアは、最後のトランザクションが正常に完了すると、XFRC 割り込みを生成します。

g) XFRC 割り込みに応答して、他の転送のためにチャネル割り当てを解除します。

h) 非 ACK レスポンスの取り扱い

図312. 通常のバルク/制御 OUT/SETUP およびバルク/制御 IN トランザクション



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

バルクおよび制御 OUT/SETUP トランザクションのためのチャネル固有の割り込みサービスルーチンを、以下のコードサンプルで示します。

- **バルク/制御 OUT/SETUP およびバルク/制御 IN トランザクションの割り込みサービスルーチン**

  a) バルク/制御 OUT/SETUP

```
Unmask (NAK/TXERR/STALL/XFRC)
if (XFRC)
   {
   Reset Error Count
   Mask ACK
   De-allocate Channel
   }
else if (STALL)
   {
   Transfer Done = 1
   Unmask CHH
   Disable Channel
   }
else if (NAK or TXERR )
   {
   Rewind Buffer Pointers
   Unmask CHH
   Disable Channel
   if (TXERR)
      {
      Increment Error Count
      Unmask ACK
      }
   else
      {
      Reset Error Count
      }
      }
else if (CHH)
   {
   Mask CHH
   if (Transfer Done or (Error_count == 3))
      {
      De-allocate Channel
      }
   else
      {
      Re-initialize Channel
      }
   }
   else if (ACK)
      {
      Reset Error Count
      Mask ACK
      }
```

アプリケーションは、送信 FIFO およびリクエストキューの中に使用可能なスペースがある場合、データパケットを送信 FIFO に書き込むことが期待されます。アプリケーションは、

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OTG_FS_GINTSTS レジスタの NPTXFE 割り込みを使用して、送信 FIFO のスペースを見つけることができます。

b) バルク/制御 IN

```
Unmask (TXERR/XFRC/BBERR/STALL/DTERR)
if (XFRC)
   {
   Reset Error Count
   Unmask CHH
   Disable Channel
   Reset Error Count
   Mask ACK
   }
else if (TXERR or BBERR or STALL)
   {
   Unmask CHH
   Disable Channel
   if (TXERR)
      {
      Increment Error Count
      Unmask ACK
      }
   }
else if (CHH)
   {
   Mask CHH
   if (Transfer Done or (Error_count == 3))
      {
      De-allocate Channel
      }
   else
      {
      Re-initialize Channel
      }
   }
else if (ACK)
   {
   Reset Error Count
   Mask ACK
   }
else if (DTERR)
   {
   Reset Error Count
   }
```


この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

アプリケーションは、リクエストキューのスペースが使用可能なときには、XFRC が受信されるまで、リクエストを書き込むことが期待されます。

- **バルクおよび制御 IN トランザクション**

  典型的なバルクまたは制御 IN パイプライントランザクション動作を *図 313*に示します。チャネル 2（ch_2）に注目してください。ここでは、以下のように仮定されています。

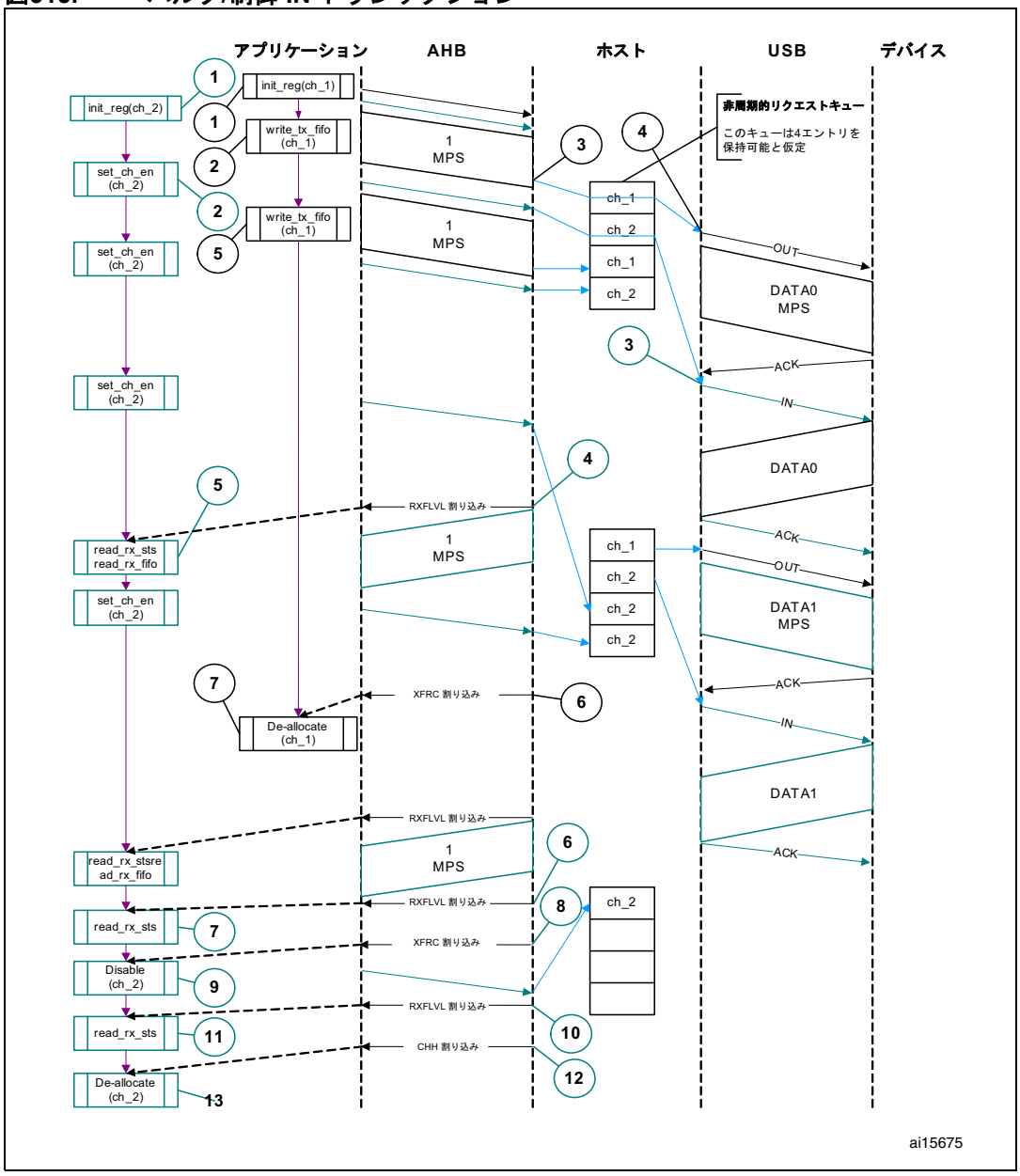
  – アプリケーションは、最大パケットサイズの 2 つのパケットを受信しようとしています（転送サイズ = 1,024 バイト）。

  – 受信 FIFO は、少なくとも 1 つの最大パケットサイズのパケットと、パケットあたり 2 つのステータスワード（FS の場合 72 バイト）を収容することができます。

  – 非周期的リクエストキューの深さ = 4。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図313. バルク/制御 IN トランザクション



動作シーケンスは、次のとおりです。

a) チャネル 2 を初期化します。

b) HCCHAR2 の CHENA ビットをセットして、IN リクエストを非周期的リクエストキューに書き込みます。

c) コアは、現在の OUT トランザクションの完了後、IN トークンの送信を試みます。

d) コアは、受信したパケットが受信 FIFO に書き込まれると、RXFLVL 割り込みを生成します。

e) RXFLVL 割り込みに応答して、RXFLVL 割り込みをマスクし、受信パケットステータスを読み出して受信バイト数を調べた後、それに応じて受信 FIFO を読み出します。続いて、RXFLVL 割り込みのマスクを解除します。

f) コアは、受信 FIFO 内の転送完了ステータスエントリに対して RXFLVL 割り込みを生成します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

g) アプリケーションは、受信パケットステータスを読み出して、受信パケットステータスが IN データパケットでないときには（GRXSTSR ≠ 0b0010 の PKTSTS）、無視する必要があります。

h) コアは、受信パケットステータスが読み出されると、XFRC 割り込みを生成します。

i) XFRC 割り込みに応答して、チャネルを無効にし、それ以降のリクエストについて、OTG_FS_HCCHAR2 レジスタへの書き込みを停止します。コアは、OTG_FS_HCCHAR2 に書き込まれると、非周期的リクエストキューにチャネルディセーブルリクエストを書き込みます。

j) コアは、停止ステータスが受信 FIFO に書き込まれると、RXFLVL 割り込みを生成します。

k) 受信パケットステータスを読み出して、それを無視します。

l) コアは、停止ステータスが受信 FIFO からポップアウトされると、CHH 割り込みを生成します。

m) CHH 割り込みに応答して、他の転送のためにチャネル割り当てを解除します。

n) 非 ACK レスポンスの取り扱い

- **制御トランザクション**

制御転送のセットアップ、データ、およびステータスステージは、3 つの個別の転送として実行されなければなりません。セットアップ、データ、およびステータスステージの OUT トランザクションは、すでに説明したバルク OUT トランザクションと同様に実行されます。データまたはステータスステージの IN トランザクションは、すでに説明したバルク IN トランザクションと同様に実行されます。3 つのステージすべてについて、アプリケーションは OTG_FS_HCCHAR1 レジスタの EPTYP フィールドを Control に設定することが期待されます。セットアップステージでは、アプリケーションは、OTG_FS_HCTSIZ1 レジスタの PID フィールドを SETUP に設定することが期待されます。

- **割り込み OUT トランザクション**

典型的な割り込み OUT 動作を *図 314*に示します。ここでは、以下のように仮定されています。

– アプリケーションは、奇数フレーム（転送サイズ = 1 024 バイト）から始めて、フレームごとに 1 パケット（最大 1 パケットサイズ）の送信を試みています。

– 周期的送信 FIFO は 1 パケット（1 KB）を保持することができます。

– 周期的リクエストキューの深さ = 4

動作シーケンスは、次のとおりです。

a) チャネル 1 を初期化し、有効にします。アプリケーションは、OTG_FS_HCCHAR1 レジスタの ODDFRM ビットをセットする必要があります。

b) チャネル 1 の最初のパケットを書き込みます。

c) 各パケットの最後のワードの書き込みとともに、OTG_FS ホストは、周期的リクエストキューにエントリを書き込みます。

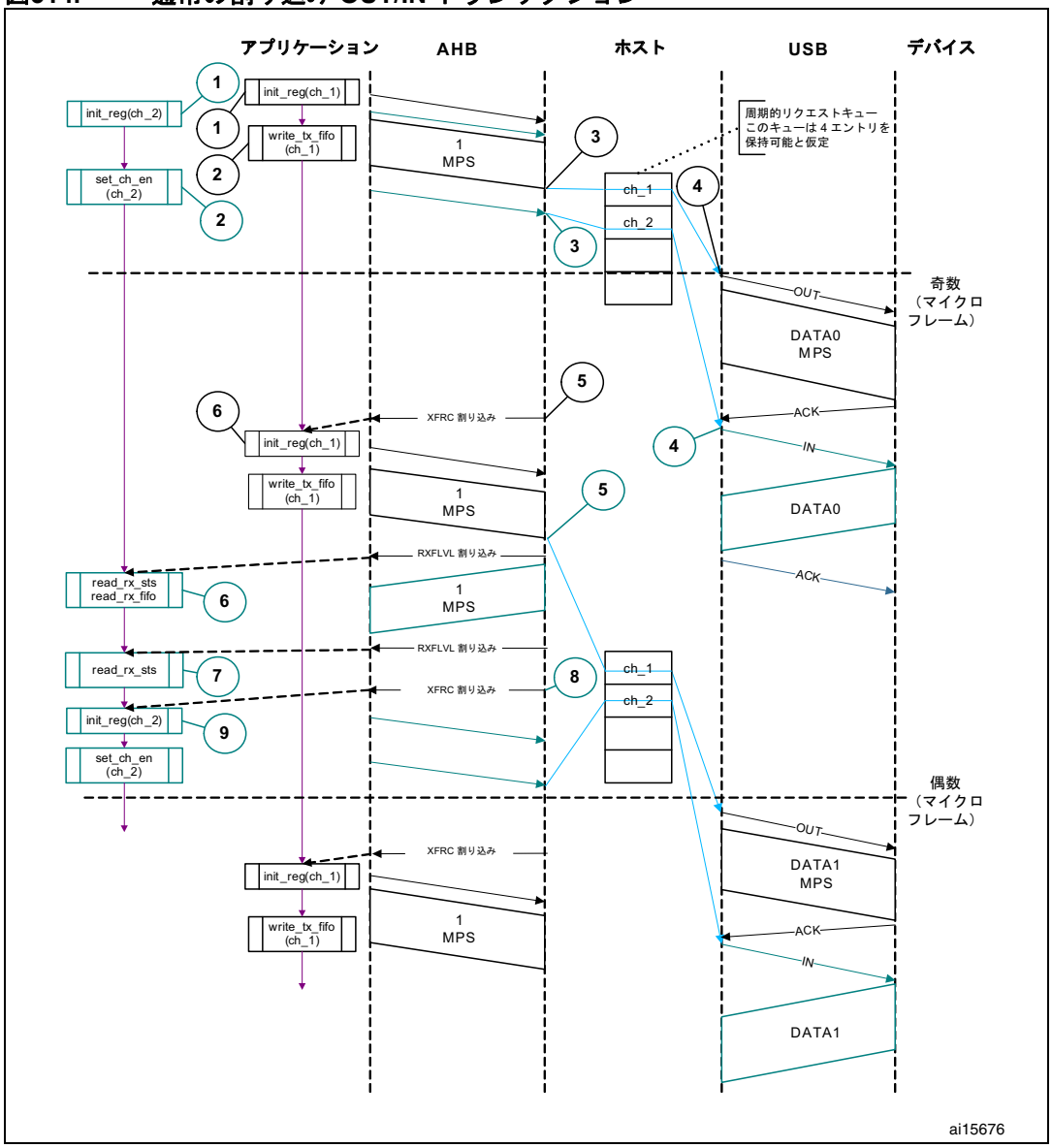
d) OTG_FS ホストは、次の（奇数）フレームで OUT トークンの送信を試みます。

e) OTG_FS ホストは、最後のパケットが正常に送信されると、XFRC 割り込みを生成します。

f) XFRC 割り込みに応答して、次の転送のためにチャネルを再初期化します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図314. 通常の割り込み OUT/IN トランザクション



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

- **割り込み OUT/IN トランザクションのための割り込みサービスルーチン**

  a) 割り込み OUT

```
Unmask (NAK/TXERR/STALL/XFRC/FRMOR)
if (XFRC)
   {
   Reset Error Count
   Mask ACK
   De-allocate Channel
   }
else
   if (STALL or FRMOR)
      {
      Mask ACK
      Unmask CHH
      Disable Channel
      if (STALL)
         {
         Transfer Done = 1
         }
      }
   else
      if (NAK or TXERR)
         {
         Rewind Buffer Pointers
         Reset Error Count
         Mask ACK
         Unmask CHH
         Disable Channel
         }
      else
         if (CHH)
         {
         Mask CHH
         if (Transfer Done or (Error_count == 3))
            {
            De-allocate Channel
            }
         else
            {
            Re-initialize Channel (in next b_interval - 1 Frame)
            }
         }
      else
         if (ACK)
         {
         Reset Error Count
         Mask ACK
         }
```


この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

アプリケーションは、OTG_FS_GINTSTS レジスタの NPTXFE 割り込みを使用して、送信 FIFO のスペースを見つけます。

b) 割り込み IN

```
Unmask (NAK/TXERR/XFRC/BBERR/STALL/FRMOR/DTERR)
if (XFRC)
  {
  Reset Error Count
  Mask ACK
  if (OTG_FS_HCTSIZx.PKTCNT == 0)
    {
    De-allocate Channel
    }
  else
    {
    Transfer Done = 1
    Unmask CHH
    Disable Channel
    }
  }
else
  if (STALL or FRMOR or NAK or DTERR or BBERR)
    {
    Mask ACK
    Unmask CHH
    Disable Channel
    if (STALL or BBERR)
      {
      Reset Error Count
      Transfer Done = 1
      }
    else
      if (!FRMOR)
      {
      Reset Error Count
      }
    }
else
  if (TXERR)
    {
    Increment Error Count
    Unmask ACK
    Unmask CHH
    Disable Channel
    }
else
  if (CHH)
    {
    Mask CHH
    if (Transfer Done or (Error_count == 3))
      {
      De-allocate Channel
      }
```


この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

```
      else
        Re-initialize Channel (in next b_interval - 1 /Frame)
      }
    }
else
  if (ACK)
    {
    Reset Error Count
    Mask ACK
    }
```

- **割り込み IN トランザクション**

  ここでは、以下のように仮定されています。

  – アプリケーションは、奇数フレーム（転送サイズ = 1024 バイト）から始めて、フレームごとに 1 パケット（最大 1 パケットサイズ）の受信を試みています。

  – 受信 FIFO は、少なくとも 1 つの最大パケットサイズのパケットとパケットあたり 2 つのステータスワード（1,031 バイト）を保持することができます。

  – 周期的リクエストキューの深さ = 4。

- **通常の割り込み IN 動作**

  動作シーケンスは、次のとおりです。

  a) チャネル 2 を初期化します。アプリケーションは、OTG_FS_HCCHAR2 レジスタの ODDFRM ビットをセットする必要があります。

  b) OTG_FS_HCCHAR2 の CHENA ビットをセットして、IN リクエストを周期的リクエストキューを書き込みます。

  c) OTG_FS ホストは、CHENA ビットがセットされた OTG_FS_HCCHAR2 レジスタの書き込みごとに、周期的リクエストキューに IN リクエストを書き込みます。

  d) OTG_FS ホストは、次の（奇数）フレームで ＩＮ トークンの送信を試みます。

  e) IN パケットが受信され、受信 FIFO に書き込まれると、OTG_FS ホストは RXFLVL 割り込みを生成します。

  f) RXFLVL 割り込みに応答して、受信パケットステータスを読み出して、受信バイト数を調べた後、それに応じて受信 FIFO を読み出します。アプリケーションは、受信 FIFO を読み出す前に RXFLVL 割り込みをマスクし、すべてのパケットを読み出した後にマスクを解除しなければなりません。

  g) コアは、受信 FIFO 内の転送完了ステータスエントリに対して RXFLVL 割り込みを生成します。アプリケーションは、受信パケットステータスを読み出して、受信パケットステータスが IN データパケット（GRXSTSR ≠ 0b0010 の PKTSTS）でないときには無視する必要があります。

  h) コアは、受信パケットが読み出されると、XFRC 割り込みを生成します。

  i) XFRC 割り込みに応答して、OTG_FS_HCTSIZ2 の PKTCNT フィールドを読み出します。OTG_FS_HCTSIZ2 の PKTCNT ビットが 0 に等しい場合は、次の転送（ある場合）のためにチャネルを再初期化する前に、チャネルを無効にします。OTG_FS_HCTSIZ2 の PKTCNT ビットが 0 の場合、次の転送のためにチャネルを再初期化します。今度は、アプリケーションは、OTG_FS_HCCHAR2 レジスタの ODDFRM ビットをリセットする必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

- **アイソクロナス OUT トランザクション**

  典型的なアイソクロナス OUT 動作を *図 315*に示します。ここでは、以下のように仮定されています。

  – アプリケーションは、奇数フレームから始めて、フレームごとに 1 パケット（最大 1 パケットサイズ）の送信を試みています。（転送サイズ = 1,024 バイト）。

  – 周期的送信 FIFO は 1 パケット（1 KB）を保持することができます。

  – 周期的リクエストキューの深さ = 4。

  動作シーケンスは、次のとおりです。

  a) チャネル 1 を初期化し、有効にします。アプリケーションは、OTG_FS_HCCHAR1 レジスタの ODDFRM ビットをセットする必要があります。

  b) チャネル 1 の最初のパケットを書き込みます。

  c) 各パケットの最後のワードの書き込みとともに、OTG_FS ホストは、周期的リクエストキューにエントリを書き込みます。

  d) OTG_FS ホストは、次のフレーム（奇数）で OUT トークンの送信を試みます。

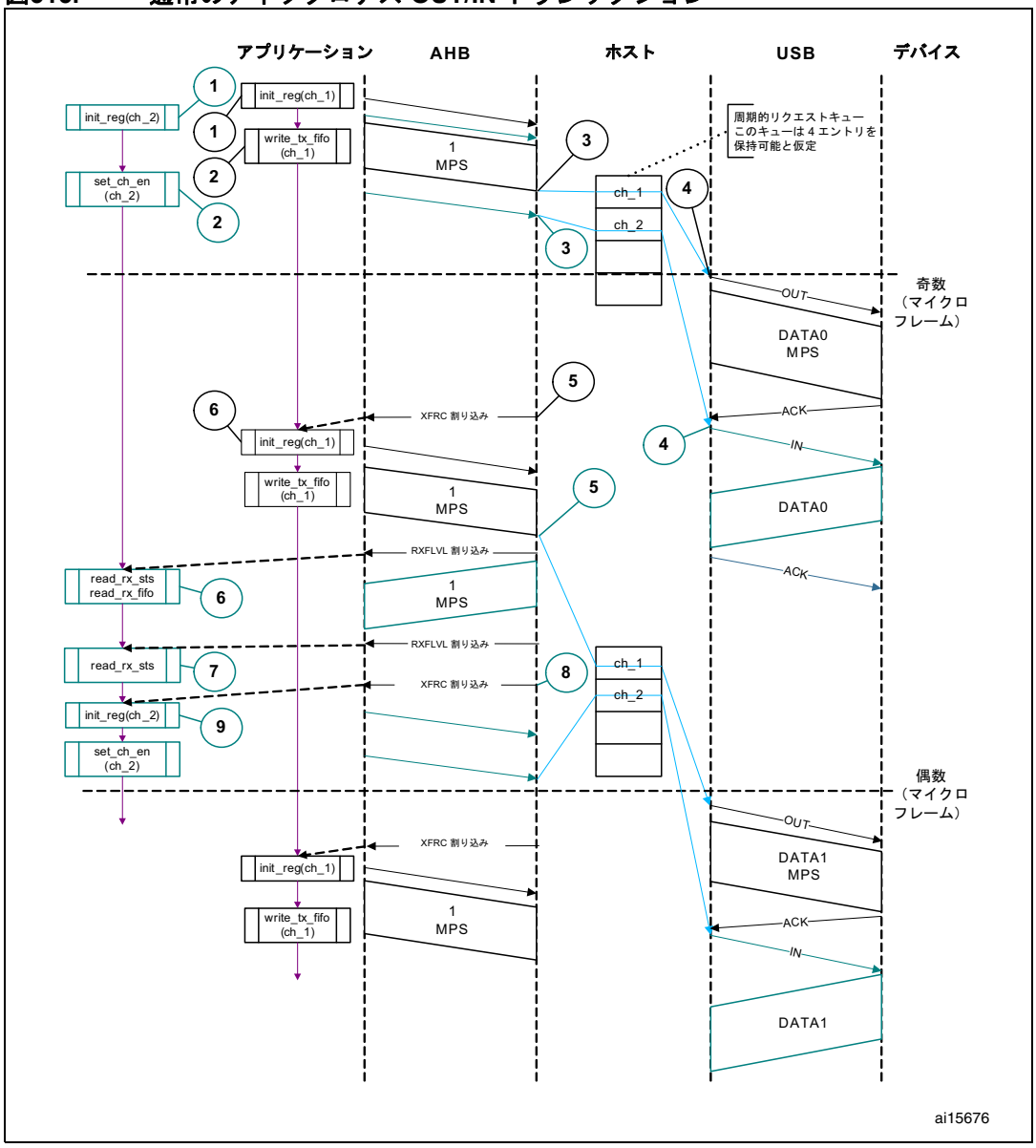
  e) OTG_FS ホストは、最後のパケットが正常に送信されると、XFRC 割り込みを生成します。

  f) XFRC 割り込みに応答して、次の転送のためにチャネルを再初期化します。

  g) 非 ACK レスポンスの取り扱い

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図315. 通常のアイソクロナス OUT/IN トランザクション



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

- **アイソクロナス OUT/IN トランザクションのための割り込みサービスルーチン**

コードサンプル：アイソクロナス OUT

```
Unmask (FRMOR/XFRC)
if (XFRC)
   {
   De-allocate Channel
   }
else
   if (FRMOR)
      {
      Unmask CHH
      Disable Channel
      }
   else
   if (CHH)
      {
      Mask CHH
      De-allocate Channel
      }
```

コードサンプル：アイソクロナス IN

```
Unmask (TXERR/XFRC/FRMOR/BBERR)
if (XFRC or FRMOR)
   {
   if (XFRC and (OTG_FS_HCTSIZx.PKTCNT == 0))
      {
      Reset Error Count
      De-allocate Channel
      }
   else
      {
      Unmask CHH
      Disable Channel
      }
   }
   else
      if (TXERR or BBERR)
         {
         Increment Error Count
         Unmask CHH
         Disable Channel
         }
      else
         if (CHH)
            {
            Mask CHH
            if (Transfer Done or (Error_count == 3))
               {
               De-allocate Channel
               }
            else
               {
               Re-initialize Channel
```


この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

```
        }
    }
```

- **アイソクロナス IN トランザクション**

  ここでは、以下のように仮定されています。

  – アプリケーションは、次の奇数フレーム（転送サイズ = 1024 バイト）から始めて、フレームごとに 1 パケット（最大 1 パケットサイズ）の受信を試みています。

  – 受信 FIFO は少なくとも 1 つの最大パケットサイズのパケットとパケットあたり 2 つのステータスワード（1,031 バイト）を保持することができます。

  – 周期的リクエストキューの深さ = 4。

  動作シーケンスは、次のとおりです。

  a) チャネル 2 を初期化します。アプリケーションは、OTG_FS_HCCHAR2 レジスタの ODDFRM ビットをセットする必要があります。

  b) OTG_FS_HCCHAR2 の CHENA ビットをセットして、IN リクエストを周期的リクエストキューを書き込みます。

  c) OTG_FS ホストは、CHENA ビットがセットされた OTG_FS_HCCHAR2 レジスタの書き込みごとに、周期的リクエストキューに IN リクエストを書き込みます。

  d) OTG_FS ホストは、次の奇数フレームで ＩＮ トークンの送信を試みます。

  e) IN パケットが受信され、受信 FIFO に書き込まれると、OTG_FS ホストは RXFLVL 割り込みを生成します。

  f) RXFLVL 割り込みに応答して、受信パケットステータスを読み出して、受信バイト数を調べた後、それに応じて受信 FIFO を読み出します。アプリケーションは、受信 FIFO を読み出す前に RXFVLV 割り込みをマスクし、すべてのパケットを読み出した後でマスクを解除しなければなりません。

  g) コアは、受信 FIFO 内の転送完了ステータスエントリに対して RXFLVL 割り込みを生成します。今度は、アプリケーションは受信パケットステータスを読み出して、それが IN データパケット（ OTG_FS_GRXSTSR≠ 0b0010 の PKTSTS ビット）でなかった場合、無視する必要があります。

  h) コアは、受信パケットが読み出されると、XFRC 割り込みを生成します。

  i) XFRC 割り込みに応答して、OTG_FS_HCTSIZ2 の PKTCNT フィールドを読み出します。OTG_FS_HCTSIZ2 の PKTCNT≠ 0 の場合、次の転送（ある場合）のためにチャネルを再初期化する前に、チャネルを無効にします。OTG_FS_HCTSIZ2 の PKTCNT = 0 の場合、次の転送のためにチャネルを再初期化します。今度は、アプリケーションは、OTG_FS_HCCHAR2 レジスタの ODDFRM ビットをリセットする必要があります。

- **キューの深さの選択**

  周期的および非周期的リクエストキューの深さは、アクセスされる周期的/非周期的エンドポイントの数に合うように注意して選択してください。

  非周期的リクエストキューの深さは、非周期的転送の性能に影響を与えます。キューが深いほど（FIFO のサイズが十分であれば）、コアは非周期的転送をより多くパイプライン化できます。キューのサイズが小さいと、コアはキューのスペースが空いたときしか新しいリクエストを入れることができません。

  コアの周期的リクエストキューの深さは、周期的転送をスケジュールどおりに実行するために不可欠です。周期的キューの深さは、マイクロフレーム内でスケジュールされた周期的転送の数に基づいて選択してください。周期的リクエストキューの深さがマイクロフレーム内でスケジュールされた周期的転送の数より小さい場合、フレームオーバーラン条件が発生します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

- **バブル条件の取り扱い**

  OTG_FS コントローラは、パケットバブルとポートバブルの 2 つのバブルを処理します。パケットバブルは、デバイスがチャネルの最大パケットサイズよりも多くのデータを送信した場合に発生します。ポートバブルは、コアが EOF2（フレーム 2 の終わり、SOF にきわめて近い）でデバイスからデータを受信し続けると発生します。

  OTG_FS コントローラがパケットバブルを検出すると、Rx バッファへのデータの書き込みを停止して、パケットの終わり（EOP）を待ちます。EOP を検出すると、OTG_FS コントローラは、Rx バッファにすでに書き込まれたデータをフラッシュして、アプリケーションに対するバブル割り込みを生成します。

  OTG_FS コントローラがポートバブルを検出すると、RxFIFO をフラッシュして、ポートを無効にします。コアは、ポート無効割り込み（OTG_FS_GINTSTS の HPRTINT 、OTG_FS_HPRT の PENCHNG）を生成します。この割り込みを受信すると、アプリケーションは、OTG_FS_HPRT の POCA ビットをチェックして、これが過電流条件（ポート無効割り込みのもう 1 つの原因）によるものではないことを確認してから、ソフトリセットを行う必要があります。コアは、ポートバブル条件を検出した後は、それ以上トークンを送信しません。

27.16.5 デバイスプログラミングモデル

USB リセット時のエンドポイントの初期化

1. すべての OUT エンドポイントの NAK ビットをセットします。
   - OTG_FS_DOEPCTLx の SNAK = 1（すべての OUT エンドポイントについて）
2. 以下の割り込みビットのマスクを解除します。
   - OTG_FS_DAINTMSK の INEP0 = 1（制御 0 IN エンドポイント）
   - OTG_FS_DAINTMSK の OUTEP0 = 1（制御 0 OUT エンドポイント）
   - DOEPMSK の STUP = 1
   - DOEPMSK の XFRC = 1
   - DIEPMSK の XFRC = 1
   - DIEPMSK の TOC = 1
3. 各 FIFO の DATA FIFO RAM をセットアップします。
   - OTG_FS_GRXFSIZ レジスタをプログラムして、制御 OUT データとセットアップデータを受信できるようにします。閾値の設定が無効の場合、これは、少なくとも、制御エンドポイント 0 の最大パケットサイズ 1 個分 + 2 ワード（制御 OUT データパケットのステータス用）+ 10 ワード（セットアップパケット用）でなければなりません。
   - OTG_FS_TX0FSIZ レジスタを、制御 IN データを送信できるようにプログラムします（選択された FIFO 番号に応じて）。.これは、少なくとも、制御エンドポイント 0 の最大パケットサイズ 1 個分以上でなければなりません。
4. SETUP パケットを受信するために、制御 OUT エンドポイント 0 のエンドポイント固有レジスタの以下のフィールドをプログラムします。
   - OTG_FS_DOEPTSIZ0 の STUPCNT = 3（3 つの連続 SETUP パケットを受信するため）

この時点で、SETUP パケットを受信するために必要なすべての初期化が終了したことになります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

エニュメレーション完了時のエンドポイントの初期化

1. エニュメレーション終了割り込み（OTG_FS_GINTSTS の ENUMDNE ビット）時には、エニュメレーション速度を決めるために OTG_FS_DSTS レジスタを読み出します。
2. OTG_FS_DIEPCTL0 の MPSIZ フィールドをプログラムして、最大パケットサイズを設定します。このステップでは、制御エンドポイント 0 を設定します。制御エンドポイントの最大パケットサイズは、エニュメレーション速度に依存します。

この時点で、デバイスは、SOF パケットを受信する準備ができ、制御エンドポイント 0 で制御転送を行うように設定されたことになります。

SetAddress コマンド受信時のエンドポイントの初期化

このセクションでは、SETUP パケットで SetAddress コマンドを受信したときにアプリケーションが行わなければならないことについて説明します。

1. SetAddress コマンドで受信したデバイスアドレスで OTG_FS_DCFG レジスタをプログラムします。
2. ステータス IN パケットを送信するように、コアをプログラムします。

SetConfiguration/SetInterface コマンド受信時のエンドポイントの初期化

このセクションでは、SETUP パケットで SetConfiguration または SetInterface コマンドを受信したときにアプリケーションが行わなければならないことについて説明します。

1. SetConfiguration コマンドを受信したとき、アプリケーションは、新しい設定で有効なエンドポイントの特性で、エンドポイントのレジスタをプログラムする必要があります。
2. SetInterface コマンドを受信したとき、アプリケーションは、このコマンドによって影響を受けるエンドポイントのレジスタをプログラムする必要があります。
3. 前の設定または代替設定ではアクティブであったエンドポイントが、新しい設定または代替設定では無効なことがあります。これらの無効なエンドポイントは、機能を停止させる必要があります。
4. アクティブな各エンドポイントの割り込みのマスクを解除して、OTG_FS_DAINTMSK レジスタですべてのインアクティブなエンドポイントに対する割り込みをマスクします。
5. 各 FIFO のデータ FIFO RAM をセットアップします。
6. 必要なすべてのエンドポイントを設定した後、アプリケーションは、ステータス IN パケットを送信するようにコアをプログラムする必要があります。

この時点で、デバイスのコアは、任意のタイプのデータパケットを送信/受信できるように設定されたことになります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

エンドポイントのアクティブ化

このセクションでは、デバイスエンドポイントをアクティブにするか、既存のデバイスエンドポイントを新しいタイプに設定するために必要な手順について説明します。

1. 必要なエンドポイントの特性を、OTG_FS_DIEPCTLx レジスタ（IN または双方向エンドポイントの場合）、または OTG_FS_DOEPCTLx レジスタ（OUT または双方向エンドポイントの場合）の以下のフィールドにプログラムします。
   - 最大パケットサイズ
   - USB アクティブエンドポイント = 1
   - エンドポイント開始データトグル（割り込みおよびバルクエンドポイントの場合）
   - エンドポイントタイプ
   - TxFIFO 番号
2. エンドポイントがアクティブ化されると、コアは、そのエンドポイントに宛てたトークンのデコードを開始し、そのエンドポイントで受信された有効な各トークンについて有効なハンドシェイクを送出します。

エンドポイントの機能停止

このセクションでは、既存のエンドポイントの機能を停止させるために必要な手順について説明します。

1. 機能を停止するエンドポイントで、OTG_FS_DIEPCTLx レジスタ（IN または双方向エンドポイントの場合）、または OTG_FS_DOEPCTLx レジスタ（OUT または双方向エンドポイントの場合）の USB アクティブエンドポイントビットをクリアします。
2. エンドポイントの機能が停止されると、コアは、そのエンドポイントに宛てたトークンを無視するので、USB 上でタイムアウトが発生します。

注： 1 アプリケーションは、以下の条件を満たすように、デバイスコアがトラフィックを処理できるようにセットアップする必要があります。
具体的には OTG_FS_GINTMSK レジスタの NPTXFEM および RXFLVLM をクリアする必要があります。

27.16.6 動作モデル

SETUP および OUT データ転送

このセクションでは、データ OUT 転送および SETUP トランザクション時の内部データフローとアプリケーションレベルの動作について説明します。

- **パケットの読み出し**

このセクションでは、受信 FIFO からパケット（OUT データおよび SETUP パケット）を読み出す方法について説明します。

1. RXFLVL 割り込み（OTG_FS_GINTSTS レジスタ）を受信すると、アプリケーションは、受信ステータスポップレジスタ（OTG_FS_GRXSTSP）を読み出す必要があります。
2. アプリケーションは、RXFLVL = 0（OTG_FS_GINTMSK レジスタ）を書き込むことによって、受信 FIFO からのパケット読み出しが終了するまで、RXFLVL 割り込み（OTG_FS_GINTSTS レジスタ）をマスクすることができます。
3. 受信パケットのバイトカウントが 0 でない場合、データのバイトカウントは受信データ FIFO からポップされ、メモリに格納されます。受信パケットのバイトカウントが 0 の場合、受信データ FIFO からデータはポップされません。

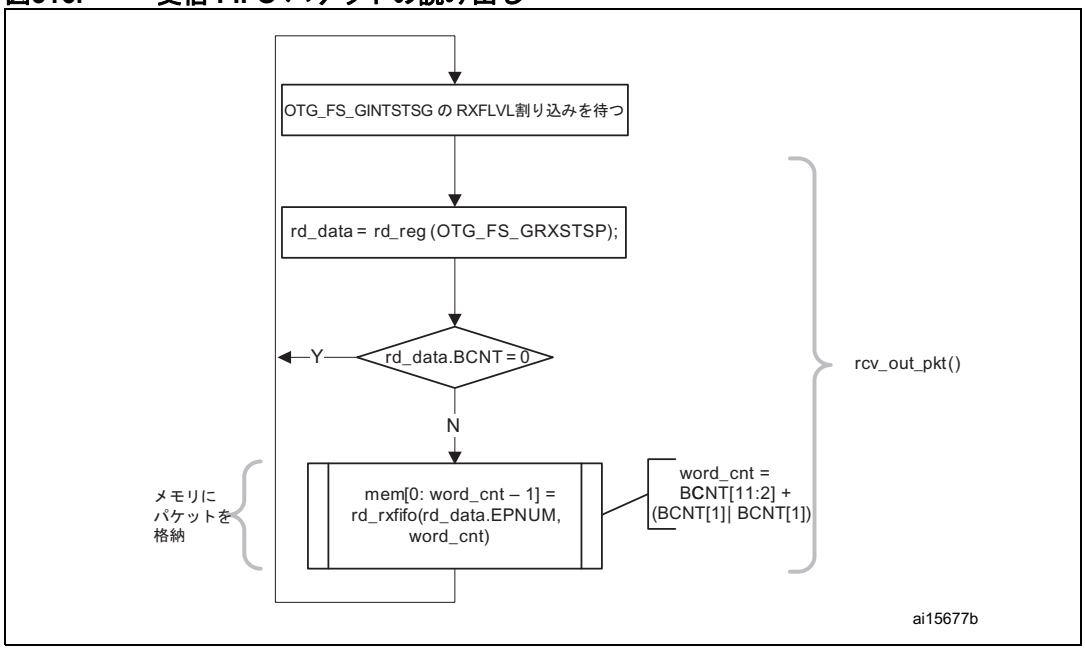
この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

4. 受信 FIFO のパケットステータスの読み出し結果は、以下のいずれかを示します。
   a) グローバル OUT NAK のパターン：
   PKTSTS = グローバル OUT NAK、BCNT = 0x000、EPNUM = 無視（0x0）、DPID = 無視（0b00）。
   これらのデータは、グローバル OUT NAK ビットが有効になっていることを示します。
   b) SETUP パケットのパターン：
   PKTSTS = SETUP、BCNT = 0x008、EPNUM = 制御 EP 番号、DPID = D0。これらのデータは、指定されたエンドポイントの SETUP パケットを受信 FIFO から読み出せることを示します。
   c) セットアップステージ終了パターン：
   PKTSTS = セットアップステージ終了、BCNT = 0x0、EPNUM = 制御 EP 番号、DPID = 無視（0b00）。
   これらのデータは、指定されたエンドポイントのセットアップステージが完了し、データステージが開始されたことを示します。このエントリが受信 FIFO からポップされた後、コアは、指定された制御 OUT エンドポイントでセットアップ割り込みをアサートします。
   d) データ OUT パケットのパターン：
   PKTSTS = データ OUT、BCNT = 受信したデータ OUT パケットのサイズ（0 ≤ BCNT ≤ 1024）、EPNUM = パケットが受信された EPNUM、DPID = 実際のデータ PID。
   e) データ転送完了パターン：
   PKTSTS = データ OUT 転送終了、BCNT = 0x0、EPNUM = データ転送が完了した OUT EP 番号、DPID = 無視（0b00）。
   これらのデータは、指定された OUT エンドポイントの OUT データ転送が完了したことを示します。このエントリが受信 FIFO からポップされた後、コアは、指定された OUT エンドポイントで転送完了割り込みをアサートします。
5. データペイロードが受信 FIFO からポップされた後、RXFLVL 割り込み（OTG_FS_GINTSTS）がマスク解除されなければなりません。
6. 手順 1～5 は、アプリケーションが OTG_FS_GINTSTS レジスタの RXFLVL による割り込みラインのアサーションを検出するたびに繰り返されます。空の受信 FIFO を読み出すと、定義されていないコア動作を引き起こすことがあります。

図 316 は上記の手順のフローチャートです。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図316. 受信 FIFO パケットの読み出し



- **SETUP トランザクション**

このセクションでは、コアが SETUP パケットを処理する方法と、アプリケーションが SETUP トランザクションを処理するシーケンスについて説明します。

- **アプリケーションの要件**

1. SETUP パケットを受信するには、制御 OUT エンドポイントの STUPCNT フィールド（OTG_FS_DOEPTSIZx レジスタ）が、ゼロでない値にプログラムされなければなりません。アプリケーションが STUPCNT フィールドをゼロでない値にプログラムすると、NAK のステータスと OTG_FS_DOEPCTLx レジスタの EOENA ビットの設定に関係なく、コアは、SETUP パケットを受信して、受信 FIFO に書き込みます。STUPCNT フィールドは、制御エンドポイントが SETUP パケットを受信するたびにデクリメントされます。SETUP パケットを受信する前に、STUPCNT フィールドが適切な値にプログラムされていなかった場合、コアは SETUP パケットを受信し、STUPCNT フィールドをデクリメントしますが、アプリケーションは制御転送のセットアップステージで受信した SETUP パケットの正しい数を判定できないことがあります。
   - OTG_FS_DOEPTSIZx レジスタの STUPCNT = 3
2. 制御エンドポイントで 3 つまでの SETUP パケットを受信するためには、アプリケーションは、常に受信データ FIFO に余分のスペースを割り当てておく必要があります。
   - 確保すべきスペースは 10 ワード分です。最初の SETUP パケット用に 3 ワードが必要であり、セットアップステージ終了ワードのために 1 ワード、すべての制御エンドポイントにわたって 2 つの余分な SETUP パケットを格納するために 6 ワードが必要です。
   - 8 バイトの SETUP データと 4 バイトの SETUP ステータス（セットアップパケットパターン）を格納するには、SETUP パケットあたり 3 ワードが必要です。コアは、このスペースを受信データの中に確保します。
   - FIFO は SETUP データのみを書き込むためのものであり、このスペースをデータパケットのために使うことはありません。
3. アプリケーションは、受信 FIFO から SETUP パケットの 2 ワードを読み出す必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

4. アプリケーションは受信 FIFO からセットアップステージ終了ワードを読み出して、破棄する必要があります。

- **内部データフロー**

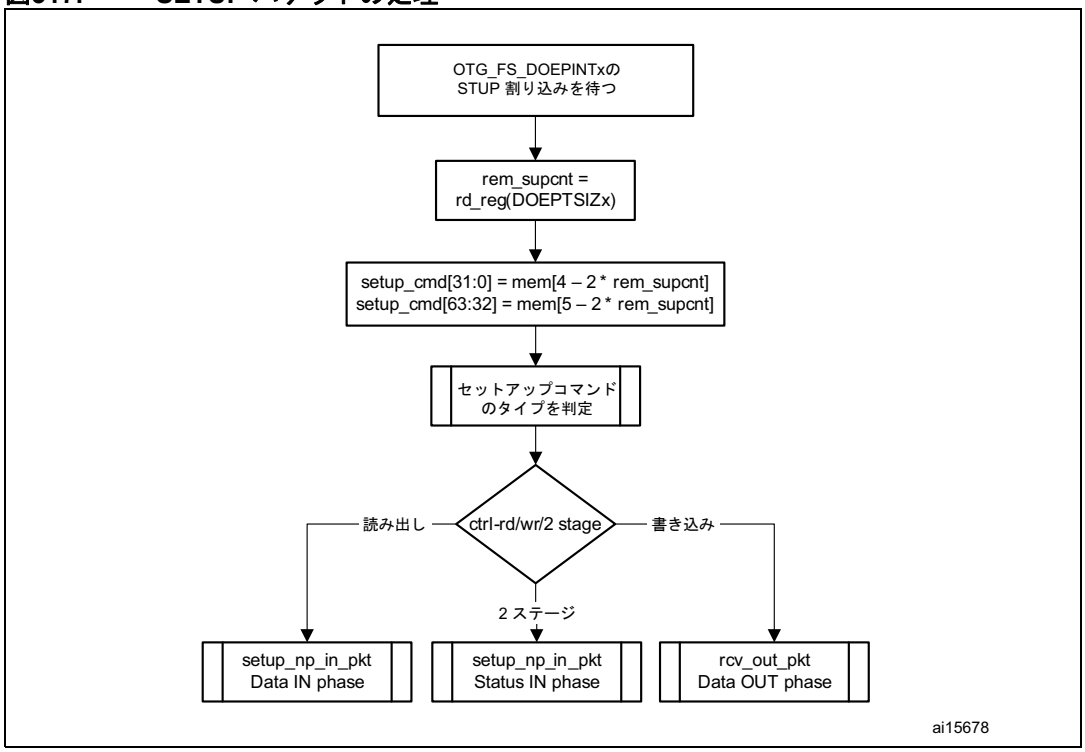
5. SETUP パケットが受信されると、コアは受信 FIFO 内の空きスペースをチェックせずに、また、エンドポイントの NAK および STALL ビットの設定に関係なく、受信したデータを受信 FIFO に書き込みます。
   - コアは、SETUP パケットが受信された制御 IN/OUT エンドポイントの IN NAK および OUT NAK ビットを内部でセットします。
6. USB 上で受信された各 SETUP パケットについて、3 ワードのデータが受信 FIFO に書き込まれ、STUPCNT フィールドが 1 ずつデクリメントされます。
   - 最初のワードは、コアが内部的に使用する制御情報を含みます。
   - 2 番目のワードは、SETUP コマンドの最初の 4 バイトを含みます。
   - 3 番目のワードは、SETUP コマンドの最後の 4 バイトを含みます。
7. セットアップステージがデータ IN/OUT ステージに変わると、コアは、エントリ（セットアップステージ終了ワード）を受信 FIFO に書き込んで、セットアップステージの完了を示します。
8. AHB 側では、SETUP パケットはアプリケーションによってエンプティにされます。
9. アプリケーションが受信 FIFO からセットアップステージ終了ワードをポップすると、コアは、STUP 割り込み（OTG_FS_DOEPINTx）でアプリケーションに割り込んで、受信した SETUP パケットを処理できることを示します。
   - コアは、制御 OUT エンドポイントのエンドポイントイネーブルビットをクリアします。

- **アプリケーションのプログラミングシーケンス**：

1. OTG_FS_DOEPTSIZx レジスタをプログラムします。
   - STUPCNT = 3
2. RXFLVL 割り込み（OTG_FS_GINTSTS）を待ち、受信 FIFO からデータパケットをエンプティにします。
3. STUP 割り込み（OTG_FS_DOEPINTx）のアサートは、SETUP データ転送が正常に完了したことを示します。
   - この割り込み時、アプリケーションは、OTG_FS_DOEPTSIZx レジスタを読み出して、受信した SETUP パケットの数を確認し、最後に受信した SETUP パケットを処理する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図317. SETUP パケットの処理



- **3 つを超える連続 SETUP パケットの処理**

USB 2.0 の仕様に従い、通常、SETUP パケットエラー時には、ホストは同じエンドポイントに対して 3 つを超える連続 SETUP パケットを送信しません。ただし、USB 2.0 仕様では、ホストが同じエンドポイントに送信できる連続 SETUP パケットの数を制限してはいません。この条件が発生すると、OTG_FS コントローラは、割り込み（OTG_FS_DOEPINTx の B2BSTUP）を生成します。

- **グローバル OUT NAK の設定**

内部データフロー：

1. アプリケーションがグローバル OUT NAK（OTG_FS_DCTL の SGONAK ビット）をセットすると、コアは、SETUP パケットを除き、受信 FIFO へのデータの書き込みを停止します。受信 FIFO の使用可能なスペースの有無に関係なく、非アイソクロナス OUT トークンは NAK ハンドシェイクレスポンスを受信し、コアはアイソクロナス OUT データパケットを無視します。
2. コアは、グローバル OUT NAK パターンを受信 FIFO に書き込みます。アプリケーションがこのデータパターンを書き込むには、受信 FIFO に十分なスペースを確保する必要があります。
3. アプリケーションがグローバル OUT NAK パターンワードを受信 FIFO からポップすると、コアは、GONAKEFF 割り込み（OTG_FS_GINTSTS）を生成します。
4. この割り込みを検出したアプリケーションは、コアがグローバル OUT NAK モードにあるとみなすことができます。アプリケーションは、OTG_FS_DCTL の SGONAK ビットをクリアすることによって、この割り込みをクリアできます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

アプリケーションのプログラミングシーケンス：

1. 受信 FIFO でのデータの受信も停止するには、アプリケーションは、以下のフィールドをプログラムすることによって、グローバル OUT NAK ビットをセットする必要があります。
   – OTG_FS_DCTL の SGONAK = 1
2. OTG_FS_GINTSTS の GONAKEFF 割り込みのアサートを待ちます。アサートされた場合、この割り込みは、コアが SETUP パケット以外のいかなるタイプのデータの受信も停止したことを示します。
3. アプリケーションは、OTG_FS_DCTL の SGONAK ビットをセットした後、コアが GONAKEFF 割り込み（OTG_FS_GINTSTS）をアサートする前に、有効な OUT パケットを受信することができます。
4. アプリケーションは、OTG_FS_GINTMSK レジスタの GINAKEFFM ビットに書き込むことによって、この割り込みを一時的にマスクできます。
   – OTG_FS_GINTMSK レジスタの GINAKEFFM = 0
5. アプリケーションがグローバル OUT NAK モードを終了する準備ができたとき、OTG_FS_DCTL レジスタの SGONAK ビットをクリアする必要があります。これによって、GONAKEFF 割り込み（OTG_FS_GINTSTS）もクリアされます。
   – CGOBAK の OTG_FS_DCTL = 1
6. アプリケーションがこの割り込みをマスクするのが早すぎた場合、以下のようにマスク解除を行う必要があります。
   – GINTMSK の GINAKEFFM = 1

- **OUT エンドポイントの無効化**

アプリケーションが有効にした OUT エンドポイントを無効にするには、このシーケンスを使用する必要があります。

アプリケーションのプログラミングシーケンス：

1. OUT エンドポイントを無効にする前に、アプリケーションは、コアのグローバル OUT NAK モードを有効にする必要があります。
   – OTG_FS_DCTL の SGONAK = 1
2. OTG_FS_GINTSTS の GONAKEFF 割り込みを待ちます。
3. 以下のフィールドをプログラムすることによって、必要な OUT エンドポイントを無効にします。
   – OTG_FS_DOEPCTLx の EPDIS = 1
   – OTG_FS_DOEPCTLx の SNAK = 1
4. EPDISD 割り込み（OTG_FS_DOEPINTx）を待ちます。これは、OUT エンドポイントが完全に無効にされたことを示します。EPDISD 割り込みがアサートされると、コアは、以下のビットもクリアします。
   – OTG_FS_DOEPCTLx の EPDIS = 0
   – OTG_FS_DOEPCTLx の EPENA = 0
5. アプリケーションは、無効にされていない他のエンドポイントからのデータ受信を開始するために、グローバル OUT NAK ビットをクリアする必要があります。
   – OTG_FS_DCTL の SGONAK = 0

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

- **一般の非アイソクロナス OUT データ転送**

このセクションでは、通常の非アイソクロナス OUT データ転送（制御、バルク、または割り込み）について説明します。

アプリケーションの要件：

1. OUT 転送をセットアップする前に、アプリケーションは、OUT 転送の一部として受信されるすべてのデータを収容できるバッファをメモリ内で割り当てる必要があります。
2. OUT 転送の場合、エンドポイントの転送サイズレジスタの転送サイズフィールドは、エンドポイントの最大パケットサイズの倍数でなければならず、ワードの境界に揃えられていなければなりません。
   - 転送サイズ [EPNUM] = *n* ×（MPSIZ[EPNUM] + 4 – （MPSIZ[EPNUM] mod 4））
   - パケットカウント [EPNUM] = *n*
   - *n* > 0
3. OUT エンドポイント割り込み時には、アプリケーションは、エンドポイントの転送サイズレジスタを読み出して、メモリ内のペイロードのサイズを計算しなければなりません。受信したペイロードのサイズが、プログラムされた転送サイズより小さいこともあります。
   - メモリ内のペイロードのサイズ =アプリケーションがプログラムした初期ペイロードサイズ – コアが更新した最終転送サイズ
   - このペイロードが受信された USB パケットの数 = アプリケーションがプログラムした初期パケット数 – コアが更新した最終パケット数

内部データフロー：

1. アプリケーションがデータを受信するためには、エンドポイント固有レジスタの転送サイズおよびパケット数フィールドを設定し、NAK ビットをクリアし、エンドポイントを有効にする必要があります。
2. NAK ビットがクリアされると、コアは、データの受信を開始し、受信 FIFO にスペースがある限り、データを受信 FIFO に書き込みます。USB で受信された各データパケットについて、データパケットとそのステータスが受信 FIFO に書き込まれます。受信 FIFO にパケット（最大パケットサイズまたはショートパケット）が書き込まれるたびに、そのエンドポイントのパケットカウントフィールドが 1 ずつデクリメントされます。
   - 受信された OUT データパケットのデータ CRC が不良な場合、受信 FIFO から自動的にフラッシュされます。
   - USB 上のパケットに対して ACK を送信した後、コアは、ACK を検出できないホストが再送信する非アイソクロナス OUT データパケットを破棄します。アプリケーションは、同じエンドポイント上では、同じデータ PID を持つ複数の連続データ OUT パケットを検出しません。この場合、パケットカウントはデクリメントされません。
   - 受信 FIFO にスペースがない場合、アイソクロナスまたは非アイソクロナスデータパケットは無視され、受信 FIFO には書き込まれません。さらに、非アイソクロナス OUT トークンは NAK ハンドシェイク応答を受信します。
   - 上記の 3 つのケースのすべてにおいて、データは受信 FIFO に書き込まれないので、パケットカウントはデクリメントされません。
3. パケットカウントが 0 になるか、エンドポイント上でショートパケットが受信されると、そのエンドポイントの NAK ビットがセットされます。NAK ビットがセットされると、アイソクロナスまたは非アイソクロナスデータパケットは無視され、受信 FIFO には書き込まれず、非アイソクロナス OUT トークンは NAK ハンドシェイク応答を受信します。
4. データが受信 FIFO に書き込まれた後、アプリケーションは受信 FIFO からデータを読み出して、エンドポイントあたり一度に 1 パケットずつ外部メモリに書き込みます。
5. AHB 上で外部メモリへのパケットの書き込みが終わるたびに、書き込まれたパケットのサイズだけエンドポイントの転送サイズがデクリメントされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

6. 以下の条件の 1 つで、OUT エンドポイントの OUT データ転送完了パターンが受信 FIFO に書き込まれます。
   – 転送サイズが 0、およびパケットカウントが 0。
   – 受信 FIFO に書き込まれた最後の OUT データパケットがショートパケット。（0 ≤ パケットサイズ < 最大パケットサイズ）
7. アプリケーションがこのエントリ（OUT データ転送完了）をポップすると、エンドポイントの転送完了割り込みが生成され、エンドポイントイネーブルがクリアされます。

アプリケーションのプログラミングシーケンス：

1. OTG_FS_DOEPTSIZx レジスタで転送サイズおよび対応するパケットカウントをプログラムします。
2. OTG_FS_DOEPCTLx レジスタをエンドポイントの特性でプログラムし、EPENA および CNAK ビットをセットします。
   – OTG_FS_DOEPCTLx の EPENA = 1
   – OTG_FS_DOEPCTLx の CNAK = 1
3. RXFLVL 割り込み（OTG_FS_GINTSTS）を待ち、受信 FIFO からデータパケットをエンプティにします。
   – この手順は、転送サイズに応じて何度でも繰り返すことができます。
4. XFRC 割り込み（OTG_FS_DOEPINTx）のアサートは、非アイソクロナス OUT データ転送が正常に完了したことを示します。
5. OTG_FS_DOEPTSIZx レジスタを読み出して、受信したデータペイロードのサイズを確認します。

● **一般のアイソクロナス OUT データ転送**

このセクションでは、通常のアイソクロナス OUT データ転送について説明します。

アプリケーションの要件：

1. 非アイソクロナス OUT データ転送のアプリケーションの要件はすべて、アイソクロナス OUT データ転送にも適用されます。
2. アイソクロナス OUT データ転送の場合、転送サイズおよびパケットカウントフィールドは、常に、単一フレームで受信できる最大パケットサイズのパケット数を設定しなければなりません。アイソクロナス OUT データ転送は、複数のフレームにまたがってはいけません。
3. アプリケーションは、周期的フレームの終わり（OTG_FS_GINTSTS の EOPF 割り込み）の前に、受信 FIFO からすべてのアイソクロナス OUT データパケットを読み出す必要があります。
4. 次のフレームでデータを受信するには、EOPF（OTG_FS_GINTSTS）の後と SOF（OTG_FS_GINTSTS）の前に、アイソクロナス OUT エンドポイントを有効にしなければなりません。

内部データフロー：

1. アイソクロナス OUT エンドポイントの内部データフローは、非アイソクロナス OUT エンドポイントの内部データフローと基本的に同じですが、少し異なったところがあります。
2. エンドポイントイネーブルビットをセットし、NAK ビットをクリアすることによって、アイソクロナス OUT エンドポイントが有効にされたときには、偶数/奇数フレームビットも適切にセットされなければなりません。コアは、以下の条件が満たされた場合に限り、アイソクロナス OUT エンドポイント上で特定のフレームのデータを受信します。
   – EONUM（OTG_FS_DOEPCTLx レジスタ）= SOFFN[0] （OTG_FS_DSTS レジスタ）

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

3. アプリケーションが受信 FIFO からアイソクロナス OUT データパケット（データとステータス）を完全に読み出すと、コアは、OTG_FS_DOEPTSIZx レジスタの RXDPID フィールドを、受信 FIFO から読み出された最後のアイソクロナス OUT データパケットのデータ PID で更新します。

アプリケーションのプログラミングシーケンス：

1. OTG_FS_DOEPTSIZx レジスタで転送サイズおよび対応するパケットカウントをプログラムします。
2. OTG_FS_DOEPCTLx レジスタをエンドポイントの特性でプログラムし、エンドポイントイネーブル、ClearNAK、および偶数/奇数フレームの各ビットをセットします。
   - EPENA = 1
   - CNAK = 1
   - EONUM =（0：偶数/1：奇数）
3. RXFLVL 割り込み（OTG_FS_GINTSTS）を待ち、受信 FIFO からのデータパケットをエンプティにします。
   - この手順は、転送サイズに応じて何度でも繰り返すことができます。
4. SFRC 割り込み（OTG_FS_DOEPINTx）のアサートは、アイソクロナス OUT データ転送が正常に完了したことを示します。この割り込みは、必ずしもメモリ内のデータが良好であることを意味しません。
5. この割り込みは、アイソクロナス OUT 転送で必ず検出されるとは限りません。その代わり、アプリケーションは、OTG_FS_GINTSTS の IISOOXFRM 割り込みを検出することができます。
6. OTG_FS_DOEPTSIZx レジスタを読み出して、受信した転送データのサイズを確認し、フレームで受信したデータの有効性を確認します。アプリケーションは、以下の条件の 1 つが満たされた場合のみ、メモリに受信されたデータを有効として扱う必要があります。
   - RXDPID = D0（OTG_FS_DOEPTSIZx レジスタ）、およびこのペイロードが受信された USB パケットの数 = 1
   - RXDPID = D1（OTG_FS_DOEPTSIZx レジスタ）、およびこのペイロードが受信された USB パケットの数 = 2
   - RXDPID = D2（OTG_FS_DOEPTSIZx レジスタ）、およびこのペイロードが受信された USB パケットの数 = 3

     このペイロードが受信された USB パケットの数 =
     アプリケーションがプログラムした初期パケットカウント - コアが更新した最終パケットカウント

   アプリケーションは、無効なデータパケットを破棄できます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

- **不完全アイソクロナス OUT データ転送**

このセクションでは、アイソクロナス OUT データパケットがコアの内部で取りこぼされたときのアプリケーションのプログラミングシーケンスについて説明します。

内部データフロー：

1. アイソクロナス OUT エンドポイントの場合、XFRC 割り込み（OTG_FS_DOEPINTx）は必ずアサートされるわけではありません。コアがアイソクロナス OUT データパケットを取りこぼした場合、アプリケーションは以下の状況で XFRC 割り込み（OTG_FS_DOEPINTx）の検出に失敗することがあります。
   - 受信 FIFO が完全な ISO OUT データパケットを収容できない場合、コアは、受信した ISO OUT データをドロップします。
   - アイソクロナス OUT データパケットが CRC エラー付きで受信されたとき。
   - コアが受信したアイソクロナス OUT トークンが破損しているとき。
   - アプリケーションが受信 FIFO からデータを読み出すのに長時間かかっているとき。
2. コアが、すべてのアイソクロナスエンドポイントへの転送を完了する前に周期的フレームの終わりを検出すると、不完全アイソクロナス OUT データ転送割り込み（OTG_FS_GINTSTS レジスタの IISOOXFRM）をアサートして、アイソクロナスエンドポイントのうち少なくとも 1 つで XFRC 割り込み（OTG_FS_DOEPINTx）がアサートされていないことを示します。この時点で、不完全転送のエンドポイントは有効なままですが、USB 上のこのエンドポイントでは、アクティブ転送は進行していません。

アプリケーションのプログラミングシーケンス：

1. IISOOXFRM 割り込み（OTG_FS_GINTSTS）のアサートは、現在のフレームで、少なくとも 1 つのアイソクロナス OUT エンドポイントが転送を完了していないことを示します。
2. アイソクロナス OUT データがエンドポイントから完全に出されていないためにこの割り込みが発生した場合、アプリケーションは処理を進める前に、受信 FIFO からすべてのアイソクロナス OUT データ（データとステータス）を出力する必要があります。
   - すべてのデータが受信 FIFO から出力されて、受信 FIFO がエンプティになると、アプリケーションは XFRC 割り込み（OTG_FS_DOEPINTx）を検出することができます。この場合、アプリケーションは、次のフレームでアイソクロナス OUT データを受信するには、エンドポイントを再び有効にする必要があります。
3. IISOOXFRM 割り込み（OTG_FS_GINTSTS）を受信すると、アプリケーションは、すべてのアイソクロナス OUT エンドポイントの制御レジスタ（OTG_FS_DOEPCTLx）を読み出して、現在のマイクロフレームにおいて転送を完了しなかったエンドポイントを確認する必要があります。次の両方の条件が満たされた場合、エンドポイント転送は完了しません。
   - EONUM ビット（OTG_FS_DOEPCTLx）= SOFFN[0] （OTG_FS_DSTS）
   - OTG_FS_DOEPCTLx の EPENA = 1
4. 現在のフレーム番号が変更されないように、上記の手順は、SOF 割り込みが検出される前に実行されなければなりません。
5. 不完全転送のアイソクロナス OUT エンドポイントの場合、アプリケーションは、メモリ内のデータを破棄し、OTG_FS_DOEPCTLx. レジスタの EDPIS ビットをセットすることによってエンドポイントを無効にする必要があります。
6. EPDIS 割り込み（OTG_FS_DOEPINTx）を待ち、次のフレームで新しいデータを受信するために、エンドポイントを有効にします。
   - コアがエンドポイントを無効にするには若干の時間がかかるため、アプリケーションは完全なアイソクロナスデータを受信した後、次のフレームのデータを受信できないことがあります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

- **非アイソクロナス OUT エンドポイントの停止**

このセクションでは、アプリケーションが非アイソクロナスエンドポイントを停止する方法について説明します。

1. コアをグローバル OUT NAK モードにします。
2. 必要なエンドポイントを無効にします。
   - エンドポイントを無効にするときは、OTG_FS_DOEPCTL の SNAK ビットをセットする代わりに、STALL = 1 にセットしてください（OTG_FS_DOEPCTL）。

     STALL ビットは常に NAK ビットより優先されます。
3. アプリケーションがエンドポイントの STALL ハンドシェイクを終了する準備ができたときは、STALL ビット（OTG_FS_DOEPCTLx）をクリアしなければなりません。
4. アプリケーションが SetFeature.Endpoint Halt または ClearFeature.Endpoint Halt コマンドのためにエンドポイントの STALL ビットをセットまたはクリアする場合、STALL ビットは、アプリケーションが制御エンドポイントでステータスステージ転送をセットアップする前にセットまたはクリアされなければなりません。

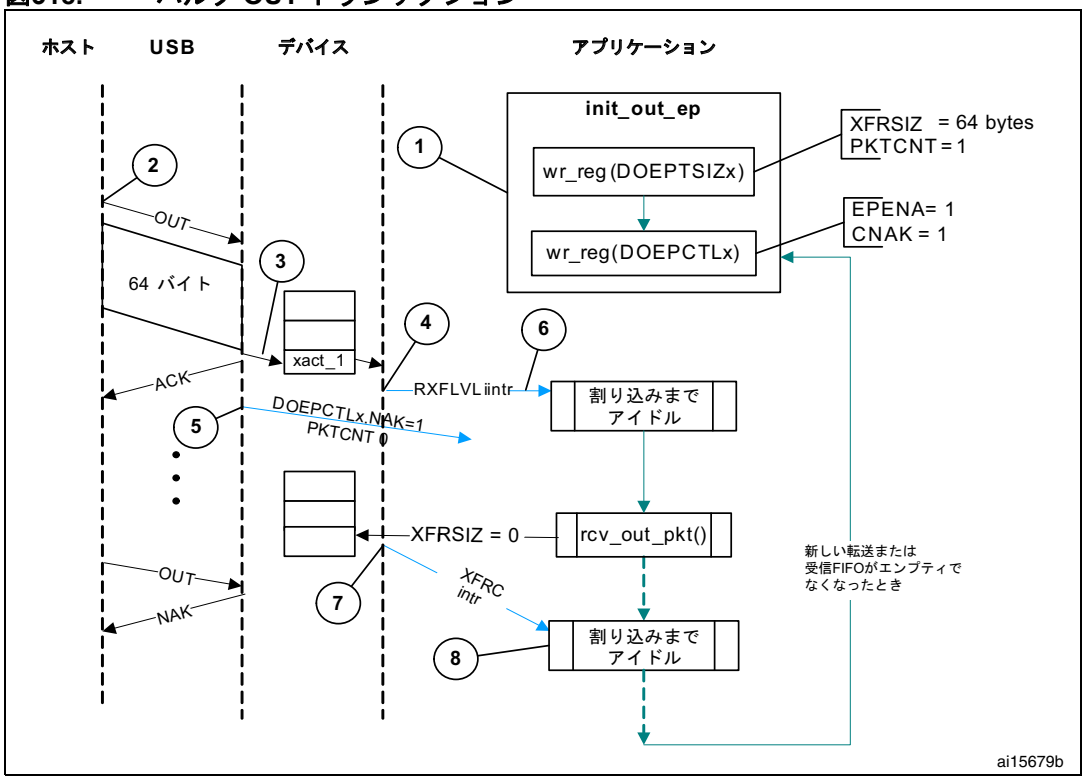
例

このセクションでは、いくつかの基本的な転送タイプとシナリオについて説明します。

- バルク OUT トランザクション

*図 318*に、USB から AHB への単一バルク OUT データパケットの受信と、このプロセスに伴うイベントを示します。

図318. バルク OUT トランザクション



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

SetConfiguration/SetInterface コマンドの後、アプリケーションは、CNAK = 1 および EPENA = 1（OTG_FS_DOEPCTLx レジスタ）をセットし、OTG_FS_DOEPTSIZx レジスタの適切な XFRSIZ および PKTCNT ビットをセットすることによって、すべての OUT エンドポイントを初期化します。

1. ホストは、データ（OUT トークン）のエンドポイントへの送信を試みます。
2. コアは、USB 上で OUT トークンを受信すると、スペースが使用可能なので、RxFIFO にパケットを格納します。
3. RxFIFO に完全なパケットを書き込んだ後、コアは RxFLVL 割り込み（OTG_FS_GINTSTS）をアサートします。
4. USB パケットの PKTCNT 番号を受信すると、コアは、それ以上パケットが受信されないように、このエンドポイントの NAK ビットを内部でセットします。
5. アプリケーションは割り込みを処理して、RxFIFO からデータを読み出します。
6. アプリケーションがすべてのデータ（XFRSIZ に相当）を読み出すと、コアは、XFRC 割り込み（OTG_FS_DOEPINTx）を生成します。
7. アプリケーションは割り込みを処理して、XFRC 割り込みビット（OTG_FS_DOEPINTx）の設定を使用して、意図した転送が完了したかどうかを確認します。

IN データ転送

- **パケットの書き込み**

このセクションでは、専用の送信 FIFO が有効なときに、アプリケーションがデータパケットをエンドポイント FIFO に書き込む方法について説明します。

1. アプリケーションは、ポーリングまたは割り込みモードのいずれかを選択できます。
   - ポーリングモードでは、アプリケーションは、OTG_FS_DTXFSTSx レジスタを読み出すことによってエンドポイント送信データ FIFO のステータスを監視して、データ FIFO に十分なスペースがあるかどうかを確認します。
   - 割り込みモードでは、アプリケーションは、TXFE 割り込み（OTG_FS_DIEPINTx）を待ってから、OTG_FS_DTXFSTSx レジスタを読み出して、データ FIFO 内に十分なスペースがあるかどうかを確認します。
   - 単一の非ゼロ長データパケットを書き込むには、パケット全体を書き込むためのスペースがデータ FIFO になければなりません。
   - ゼロ長パケットを書き込むには、アプリケーションは FIFO のスペースを考慮してはなりません。
2. 上記の方法の 1 つを使用して、アプリケーションが送信 パケットを書き込むのに十分なスペースがあることを確認するときには、アプリケーションは、データをデータ FIFO に書き込む前に、まず、エンドポイント制御レジスタに書き込む必要があります。通常、アプリケーションは、エンドポイントイネーブルビットをセットする場合を除き、レジスタの内容を変更しないように、OTG_FS_DIEPCTLx レジスタにリードモディファイライトを行う必要があります。

アプリケーションは、使用可能なスペースがあれば、同じエンドポイントに対する複数のパケットを送信 FIFO に書き込むことができます。周期的 IN エンドポイントの場合、アプリケーションは 1 つのマイクロフレームのパケットのみを書き込む必要があります。アプリケーションは、前のトランザクションの転送完了割り込みを受信した後でのみ、次の周期的トランザクションのパケットを書き込むことができます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

- **IN エンドポイント NAK の設定**

内部データフロー：

1. アプリケーションが特定のエンドポイントの IN NAK をセットすると、コアは、エンドポイントの送信 FIFO にデータがあるかどうかに関係なく、そのエンドポイントでのデータ送信を停止します。
2. 非アイソクロナス IN トークンは NAK ハンドシェイク応答を受信します。
   – アイソクロナス IN トークンはゼロデータ長のパケット応答を受信します。
3. コアは、OTG_FS_DIEPCTLx の SNAK ビットに応答して、OTG_FS_DIEPINTx の INEPNE 割り込み（IN エンドポイント NAK 有効）をアサートします。
4. この割り込みがアプリケーションによって検出されると、アプリケーションは、エンドポイントが IN NAK モードにあるとみなすことができます。この割り込みは、アプリケーションが OTG_FS_DIEPCTLx の CNAK ビットをセットすることによってクリアできます。

アプリケーションのプログラミングシーケンス：

1. 特定の IN エンドポイントでのデータ送信を停止するには、アプリケーションは、IN NAK ビットをセットする必要があります。このビットをセットするには、以下のフィールドをプログラムする必要があります。
   – OTG_FS_DIEPCTLx の SNAK = 1
2. OTG_FS_DIEPINTx の NEPNE 割り込みのアサートを待ちます。この割り込みは、コアがエンドポイントでのデータ送信を停止したことを示します。
3. コアは、アプリケーションが NAK ビットをセットした後、NAK 有効割り込みがアサートされる前に、エンドポイントで有効な IN データを送信できます。
4. アプリケーションは、DIEPMSK の INEPNEM ビットに書き込むことによって、この割り込みを一時的にマスクできます。
   – DIEPMSK の NEPNEM = 1
5. エンドポイント NAK モードを終了するには、アプリケーションは、OTG_FS_DIEPCTLx の NAK ステータスビット（NAKSTS）をクリアする必要があります。これによって、INEPNE 割り込み（OTG_FS_FS_DIEPINTx）もクリアされます。
   – OTG_FS_DIEPCTLx CNAK = 1
6. アプリケーションがこの割り込みをマスクするのが早すぎた場合、以下のようにしてマスク解除を行う必要があります。
   – DIEPMSK の INEPNEM = 1

- **IN エンドポイントディセーブル**

以前に有効にされた特定の IN エンドポイントを無効にするには、以下のシーケンスを使用します。

アプリケーションのプログラミングシーケンス：

1. アプリケーションは、AHB でのデータ書き込みを停止して、IN エンドポイントを無効にする必要があります。
2. アプリケーションは、エンドポイントを NAK モードに設定する必要があります。
   – OTG_FS_DIEPCTLx の SNAK = 1
3. OTG_FS_DIEPINTx の INEPNE 割り込みを待ちます。
4. 無効にしなければならないエンドポイントについて、OTG_FS_DIEPCTLx レジスタの以下のビットをセットします。
   – OTG_FS_DIEPCTLx の EPDIS = 1
   – OTG_FS_DIEPCTLx の SNAK = 1

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

5. OTG_FS_DIEPINTx レジスタの EPDISD 割り込みのアサートは、コアが指定されたエンドポイントを完全に無効にしたことを示します。割り込みのアサートとともに、コアは、以下のビットもクリアします。
   – OTG_FS_DIEPCTLx の EPENA = 0
   – OTG_FS_DIEPCTLx の EPDIS = 0
6. アプリケーションは、周期的 IN EP について OTG_FS_DIEPTSIZx レジスタを読み出して、エンドポイント上のどれだけのデータが USB で送信されたかを計算する必要があります。
7. アプリケーションは、OTG_FS_GRSTCTL レジスタの以下のフィールドを設定することによって、エンドポイント送信 FIFO 内のデータをフラッシュする必要があります。
   – TXFNUM（OTG_FS_GRSTCTL）= エンドポイント送信 FIFO 番号
   – OTG_FS_GRSTCTL の TXFFLSH = 1

アプリケーションは、TXFFLSH ビットがコアによってクリアされるまで（フラッシュ動作が終了したことを示す）、OTG_FS_GRSTCTL レジスタにポーリングする必要があります。このエンドポイントで新しいデータを送信するために、アプリケーションは後で、エンドポイントを再び有効にできます。

- **一般の非周期的 IN データ転送**

アプリケーションの要件：

1. IN 転送をセットアップする前に、アプリケーションは、IN 転送の一部として送信されるすべてのデータが単一バッファの一部であることを確認する必要があります。
2. IN 転送の場合、エンドポイント転送サイズレジスタの転送サイズフィールドは、最大パケットサイズの複数のパケットと単一のショートパケットから成るペイロードを表します。このショートパケットは、転送のいくつかの最後に送信されます。
   – 転送の終わりにいくつかの最大パケットサイズのパケットとショートパケットを送信するには：

     転送サイズ [EPNUM] = *x* × MPSIZ[EPNUM] + sp

     （sp > 0）の場合、パケットカウント [EPNUM] = x + 1
     そうでない場合、パケットカウント EPNUM] = *x*
   – 単一のゼロ長データパケットを送信するには：

     転送サイズ [EPNUM] = 0

     パケットカウント [EPNUM] = 1
   – 転送の終わりに少数の最大パケットサイズのパケットとゼロ長データパケットを送信するには、アプリケーションは転送を 2 つの部分に分ける必要があります。最初の部分では最大パケットサイズのデータパケットを送信し、2 番目の部分ではゼロ長データパケットのみを送信します。

     最初の転送：転送サイズ [EPNUM] = *x* × MPSIZ[EPNUM]; パケットカウント = *n*;

     2 番目の転送：転送サイズ [EPNUM] = 0; パケットカウント = 1;
3. エンドポイントがデータ転送のために有効にされると、コアは、転送サイズレジスタを更新します。IN 転送の終了時に、アプリケーションは、転送サイズレジスタを読み出して、送信 FIFO に入れられたデータのうち、どれだけ USB で送信されたかを確認する必要があります。
4. 送信 FIFO にフェッチされたデータ = アプリケーションがプログラムした初期転送サイズ – コアが更新した最終転送サイズ
   – USB で送信されたデータ =（アプリケーションがプログラムした初期パケットカウント – コアが更新した最終パケットカウント）×MPSIZ[EPNUM]
   – USB 上でこれから送信されるデータ =（アプリケーションがプログラムした初期転送サイズ – USB で送信されたデータ）

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

内部データフロー：

1. アプリケーションは、エンドポイント固有レジスタの転送サイズおよびパケット数フィールドを設定して、データを送信するためにエンドポイントを有効にする必要があります。
2. アプリケーションは、要求されたデータをエンドポイントの送信 FIFO に書き込む必要もあります。
3. アプリケーションによってパケットが送信 FIFO に書き込まれるたびに、そのエンドポイントの転送サイズがパケットのサイズだけデクリメントされます。エンドポイントの転送サイズが 0 になるまで、データはアプリケーションによってメモリからフェッチされます。FIFO にデータを書き込んだ後、「FIFO 内のパケット数」はインクリメントされます（これは 3 ビットのカウントであり、各 IN エンドポイントの送信 FIFO について、コアによって内部で保持されます。IN エンドポイント FIFO 内にコアによって一度に保持されるパケットの最大数は 8 です）。ゼロ長のパケットの場合、各 FIFO について、FIFO 内にデータがないことを示す個別のフラグがセットされます。
4. データが送信 FIFO に書き込まれると、コアは、IN トークンの受信時に読み出します。非アイソクロナス IN データパケットが ACK ハンドシェイクとともに送信されるたびに、エンドポイントのパケットカウントは、0 になるまで 1 ずつデクリメントされます。パケットカウントは、タイムアウト時にはデクリメントされません。
5. ゼロ長パケットの場合（内部ゼロ長フラグで示されます）、コアは IN トークンのゼロ長パケットを送出し、パケットカウントフィールドをデクリメントします。
6. 受信された IN トークンのデータが FIFO になく、そのエンドポイントのパケットカウントフィールドがゼロの場合、コアは、そのエンドポイントについて、「TxFIFO がエンプティのとき IN トークンが受信された」という割り込み（ITTXFE 割り込み）を生成します。ただし、エンドポイントの NAK ビットがセットされていない場合に限ります。コアは、USB 上の非アイソクロナスエンドポイントに対して NAK ハンドシェイクで応答します。
7. コアは、内部で FIFO ポインタを戻し、タイムアウト割り込みは生成されません。
8. 転送サイズが 0 であり、パケットカウントが 0 のとき、エンドポイントの転送完了割り込み（XFRC）が生成され、エンドポイントイネーブルビットがクリアされます。

アプリケーションのプログラミングシーケンス：

1. OTG_FS_DIEPTSIZx レジスタで転送サイズと対応するパケットカウントをプログラムします。
2. OTG_FS_DIEPCTLx レジスタをエンドポイントの特性でプログラムし、CNAK および EPENA（エンドポイントイネーブル）ビットをセットします。
3. 非ゼロ長データパケットを送信するときには、アプリケーションは、OTG_FS_DTXFSTSx レジスタ（x はそのエンドポイントに関連する FIFO 番号）にポーリングして、データ FIFO に十分なスペースがあるかどうかを確認する必要があります。アプリケーションは、データを書き込む前に、オプションで TXFE（OTG_FS_DIEPINTx）を使用することができます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

- **一般の周期的 IN データ転送**

このセクションでは、典型的な周期的 IN データ転送について説明します。

アプリケーションの要件：

1. *一般の非周期的 IN データ転送（909 ページ）*のアプリケーションの要件 1、2、3、および 4 は、要件 2 が少し変更されていることを除いて、IN データ転送にも適用されます。
   - アプリケーションは複数の最大パケットサイズのパケットの送信、または複数の最大パケットサイズのパケットに最後にショートパケットを加えた送信を行うことができます。転送の終わりに少数の最大パケットサイズのパケットとショートパケットを送信するには、以下の条件が満たされなければなりません。

     転送サイズ [EPNUM] = x × MPSIZ[EPNUM] + sp
     （*x* は整数 ≥ 0、および 0 ≤ sp < MPSIZ[EPNUM]）

     （sp > 0）の場合、パケットカウント [EPNUM] = *x* + 1
     そうでない場合、パケットカウント [EPNUM] = *x*;

     MCNT[EPNUM] = パケットカウント [EPNUM]
   - アプリケーションは転送の最後にゼロ長データパケットを送信することはできません。自分で単一のゼロ長パケットを送信することは可能です。単一のゼロ長データパケットを送信するには：
   - 転送サイズ [EPNUM] = 0

     パケットカウント [EPNUM] = 1

     MCNT[EPNUM] = パケットカウント [EPNUM]
2. アプリケーションは一度に 1 フレームのデータ転送のみをスケジュールすることができます。
   - （MCNT – 1）× MPSIZ ≤ XFERSIZ ≤ MCNT × MPSIZ
   - PKTCNT = MCNT （OTG_FS_DIEPTSIZx）
   - XFERSIZ < MCNT × MPSIZ の場合、転送の最後のデータパケットはショートパケットです。
   - 注：MCNT は OTG_FS_DIEPTSIZx レジスタに、MPSIZ は OTG_FS_DIEPCTLx レジスタに、PKTCNT は OTG_FS_DIEPTSIZx レジスタに、また XFERSIZ は OTG_FS_DIEPTSIZx レジスタにあります。
3. フレームで送信される完全なデータは、IN トークンが受信される前に、アプリケーションによって送信 FIFO に書き込まれなければなりません。IN トークンが受信されたときに、フレームあたりで送信されるデータの 1 ワードが送信 FIFO 内で欠落していても、コアは FIFO がエンプティである場合のように動作します。送信FIFOがエンプティのとき：
   - アイソクロナス IN エンドポイントに対して、USB 上でゼロデータ長のパケットが送信されます。
   - IN エンドポイントに割り込みをかけるため、USB 上で NAK ハンドシェイクが送信されます。

内部データフロー：

1. アプリケーションは、エンドポイント固有レジスタの転送サイズおよびパケット数フィールドを設定して、データを送信するためにエンドポイントを有効にする必要があります。
2. アプリケーションは、また、要求されたデータをエンドポイントの関連する送信 FIFO に書き込む必要があります。
3. アプリケーションがパケットを送信 FIFO に書き込むたびに、そのエンドポイントの転送サイズがパケットのサイズだけデクリメントされます。エンドポイントの転送サイズが 0 になるまで、アプリケーションメモリからデータがフェッチされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

4. 周期的エンドポイントの IN トークンが受信されると、コアは、FIFO のデータ（ある場合）を送信します。フレームの完全なデータペイロード（専用 FIFO モードでは完全なパケット）が FIFO に存在しない場合、コアは、エンドポイントに対する TxFIFO エンプティ割り込みが受信されたときに IN トークンを生成します。
   - アイソクロナス IN エンドポイントに対して、USB 上でゼロ長のデータパケットが送信されます。
   - IN エンドポイントに割り込みをかけるため、USB 上で NAK ハンドシェイクが送信されます。
5. エンドポイントのパケットカウントは、以下の条件のもとで 1 ずつデクリメントされます。
   - アイソクロナスエンドポイントに対して、ゼロ長または非ゼロ長データパケットが送信されたとき。
   - 割り込みエンドポイントに対して、ACK ハンドシェイクが送信されたとき。
   - 転送サイズとパケットカウントの両方が 0 のとき、エンドポイントに対して転送完了割り込み（XFRC）が生成され、エンドポイントイネーブルビットがクリアされます。
6. 「周期的フレームインターバル」（OTG_FS_DCFG の PFIVL によって制御されます）で、コアが現在のフレームについてスケジュールされたアイソクロナス IN エンドポイント FIFO のいずれかが非エンプティであることを検出すると、コアは OTG_FS_GINTSTS の IISOIXFR 割り込みを生成します。

アプリケーションのプログラミングシーケンス：

1. OTG_FS_DIEPCTLx レジスタをエンドポイントの特性でプログラムして、CNAK および EPENA ビットをセットします。
2. 次のフレームで送信するデータを送信 FIFO に書き込みます。
3. OTG_FS_DIEPINTx レジスタの ITTXFE 割り込みのアサートは、アプリケーションが送信するすべてのデータを送信 FIFO にまだ書き込んでいないことを示します。
4. この割り込みが検出されたとき、割り込みエンドポイントがすでに有効だった場合、割り込みは無視されます。まだ有効になっていなかった場合、次の IN トークンの試みでデータを送信できるように、エンドポイントを有効にします。
5. OTG_FS_DIEPINTx レジスタの ITTXFE 割り込みがない状態での XFRC 割り込み（OTG_FS_DIEPINTx）のアサートは、アイソクロナス IN 転送が正常に完了したことを示します。OTG_FS_DIEPTSIZx レジスタの読み出し結果は、転送サイズ = 0、かつ パケットカウント = 0、すなわち、すべてのデータが USB で送信されたことを示していなければなりません。
6. ITTXFE 割り込み（OTG_FS_DIEPINTx）の有無にかかわらず、XFRC 割り込み（OTG_FS_DIEPINTx）のアサートは、アイソクロナス IN 転送が正常に完了したことを示します。OTG_FS_DIEPTSIZx レジスタの読み出し結果は、転送サイズ = 0、かつ パケットカウント = 0、すなわち、すべてのデータが USB で送信されたことを示していなければなりません。
7. 前述のどの割り込みもない状態での OTG_FS_GINTSTS の不完全アイソクロナス IN 転送（IISOIXFR）割り込みのアサートは、コアが現在のフレームで少なくとも 1 つの周期的 IN トークンを受信しなかったことを示します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

- **不完全アイソクロナス IN データ転送**

このセクションでは、アプリケーションが不完全なアイソクロナス IN データ転送で行う必要があることについて説明します。

内部データフロー：

1. アイソクロナス IN 転送は、以下の条件のいずれかがあてはまる場合に不完全として扱われます。
   a) コアが、少なくとも 1 つのアイソクロナス IN エンドポイントで不完全なアイソクロナス IN トークンを受信した場合。この場合、アプリケーションは、不完全アイソクロナス IN 転送割り込み（OTG_FS_GINTSTS の IISOIXFR ビット）を検出します。
   b) アプリケーションが完全なデータペイロードを送信 FIFO に書き込むのに時間がかかり、完全なデータペイロードが FIFO に書き込まれる前に IN トークンが受信された場合。この場合、アプリケーションは、OTG_FS_DIEPINTx の TxFIFO エンプティ割り込み時に IN トークンの受信を検出します。最終的には、周期的フレームの終わりで不完全アイソクロナス IN 転送割り込み（OTG_FS_GINTSTS の IISOIXFR）になるので、アプリケーションはこの割り込みを無視することができます。

   コアは、受信した IN トークンに応答して、USB 上にゼロ長データパケットを送信します。
2. アプリケーションは、できるだけ速やかに、送信 FIFO へのデータペイロードの書き込みを停止する必要があります。
3. アプリケーションは、エンドポイントの NAK ビットとディセーブルビットをセットする必要があります。
4. コアは、エンドポイントを無効にし、ディセーブルビットをクリアし、エンドポイントのエンドポイントディセーブル割り込みをアサートします。

アプリケーションのプログラミングシーケンス：

1. 最終的には不完全アイソクロナス IN 転送割り込み（OTG_FS_GINTSTS）になるので、アプリケーションは、アイソクロナス IN エンドポイントで OTG_FS_DIEPINTx の TxFIFO エンプティ割り込み時に受信された IN トークンを無視することができます。
2. 不完全アイソクロナス IN 転送割り込み（OTG_FS_GINTSTS）のアサートは、少なくとも 1 つのアイソクロナス IN エンドポイントで不完全アイソクロナス IN 転送があったことを示します。
3. アプリケーションは、すべてのアイソクロナス IN エンドポイントのエンドポイント制御レジスタを読み出して、不完全 IN データ転送があるエンドポイントを検出する必要があります。
4. アプリケーションは、AHB 上でこれらのエンドポイントに関連する周期的送信 FIFO へのデータの書き込みを停止する必要があります。
5. OTG_FS_DIEPCTLx レジスタの以下のフィールドをプログラムして、エンドポイントを無効にします。
   – OTG_FS_DIEPCTLx の SNAK = 1
   – OTG_FS_DIEPCTLx の EPDIS = 1
6. OTG_FS_DIEPINTx のエンドポイントディセーブル割り込みのアサートは、コアがエンドポイントを無効にしたことを示します。
   – この時点で、アプリケーションは、次のマイクロフレームで新しい転送を行うために、関連する送信 FIFO 内のデータをフラッシュするか、エンドポイントを有効にすることによって、FIFO 内の既存のデータに上書きする必要があります。データをフラッシュするには、アプリケーションは OTG_FS_GRSTCTL レジスタを使用する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

- **非アイソクロナス IN エンドポイントの停止**

このセクションでは、アプリケーションが非アイソクロナスエンドポイントを停止する方法について説明します。

アプリケーションのプログラミングシーケンス：

1. 停止する IN エンドポイントを無効にします。STALL ビットもセットします。
2. エンドポイントがすでに有効になっているときには、OTG_FS_DIEPCTLx の EPDIS = 1。
   – OTG_FS_DIEPCTLx の STALL = 1
   – 常に STALL ビットが NAK ビットに優先します。
3. エンドポイント無効割り込み（OTG_FS_DIEPINTx）のアサートは、コアが指定されたエンドポイントを無効にしたことをアプリケーションに示します。
4. アプリケーションは、エンドポイントのタイプに応じて、非周期的または周期的 FIFO をフラッシュする必要があります。非周期的エンドポイントの場合、アプリケーションは、データを送信するために、停止する必要がない他の非周期的エンドポイントを再び有効にする必要があります。
5. アプリケーションがエンドポイントの STALL ハンドシェイクを終了する準備ができたときには、OTG_FS_DOEPCTLx の STALL ビットがクリアされなければなりません。
6. アプリケーションが SetFeature.Endpoint Halt コマンドまたは ClearFeature.Endpoint Halt コマンドのためにエンドポイントの STALL ビットをセットまたはクリアする場合、STALL ビットは､アプリケーションが制御エンドポイントでステータスステージ転送をセットアップする前にセットまたはクリアされなければなりません。

特殊なケース：制御 OUT エンドポイントの停止

制御転送のデータステージで、ホストが SETUP パケットで指定されたより多くの IN/OUT トークンを送信した場合、コアは、IN/OUT トークンを停止する必要があります。この場合、アプリケーションは、コアが SETUP パケットで指定されたデータ量を転送した後、制御転送のデータステージで、OTG_FS_DIEPINTx の ITTXFE 割り込みと OTG_FS_DOEPINTx の OTEPDIS 割り込みを有効にしなければなりません。その後、アプリケーションがこの割り込みを受信したとき、アプリケーションは、対応するエンドポイント制御レジスタの STALL ビットをセットし、この割り込みをクリアする必要があります。

27.16.7 最悪なケースの応答時間

OTG_FS コントローラがデバイスとして機能するとき、アイソクロナス OUT に続く任意のトークンで、最悪なケースの応答時間があります。この最悪なケースの応答時間は、AHB クロック周波数に依存します。

コアのレジスタは AHB ドメインにあり、コアはこれらのレジスタを更新するまでは、別のトークンを受け入れません。アイソクロナストランザクションの場合、ハンドシェイクはなく、次のトークンがすぐに入ってくる可能性があるため、アイソクロナス OUT に続くトークンで最悪なケースが生じます。この最悪なケースの値は、AHB クロックが PHY クロックと同じときには 7 PHY クロックです。AHB クロックが高速なほど、この値は小さくなります。

この最悪なケースの条件が発生した場合、コアは、バルク/割り込みトークンに NAK で応答し、アイソクロナスおよび SETUP トークンをドロップします。ホストは、これを SETUP のタイムアウト条件と解釈して、SETUP パケットを再試行します。アイソクロナス転送の場合、不完全アイソクロナス IN 転送割り込み（IISOIXFR）と不完全アイソクロナス OUT 転送割り込み（IISOOXFR）は、アイソクロナス IN/OUT パケットがドロップされたことをアプリケーションに知らせます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OTG_FS_GUSBCFG の TRDT の値の選択

TRDT（OTG_FS_GUSBCFG）の値は、MAC が IN トークンを受信した後、FIFO ステータスと PFC ブロックから最初のデータを取得するまでの時間（PHY クロック数）です。この時間には、PHY クロックと AHB クロック間の同期遅延も含まれます。この場合の最悪なケースの遅延は、AHB クロックが PHY クロックと同じときに発生します。この場合、遅延は 5 クロックです。

MAC が IN トークンを受信すると、この情報（トークンの受信）は PFC（PFC は AHB クロックで動作します）によって AHB に同期されます。次に、PFC は、SPRAM からデータを読み出し、それらをデュアルクロックソースバッファに書き込みます。MAC は、データをソースバッファ（深さ 4）から読み出します。

AHB が PHY より高い周波数で動作している場合､アプリケーションは TRDT（OTG_FS_GUSBCFG）の値として、より小さな値を使用することができます。

*図 319*には以下の信号があります。

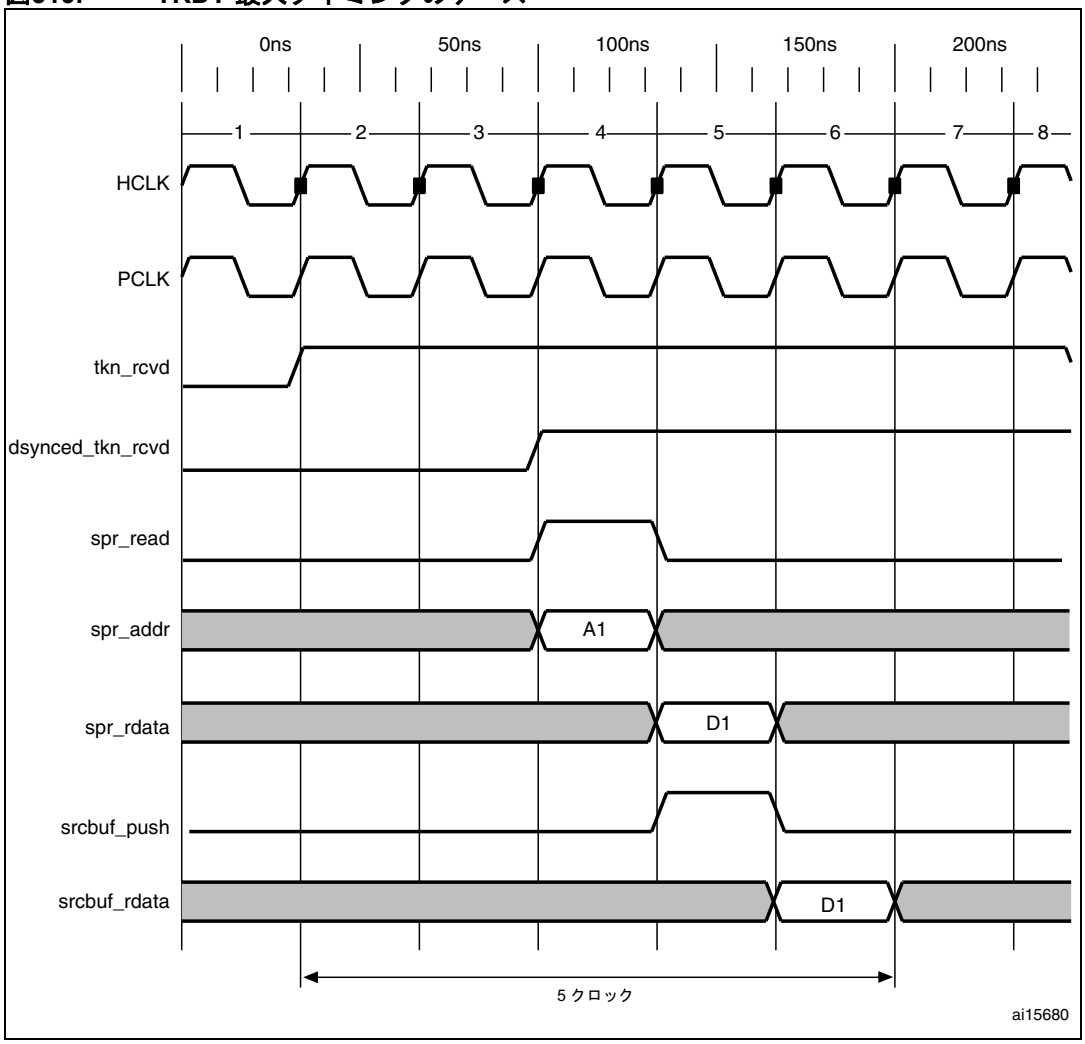
- tkn_rcvd: MAC から PFC へのトークンが受信されたという情報
- dynced_tkn_rcvd: PCLK から HCLK ドメインへの二重同期 tkn_rcvd
- spr_read: SPRAM への読み出し
- spr_addr: SPRAM へのアドレス
- spr_rdata: SPRAM からのデータの読み出し
- srcbuf_push: ソースバッファへのプッシュ
- srcbuf_rdata: ソースバッファからのデータの読み出しMAC によるデータの検出

アプリケーションは次の式を使用して、TRDT の値を計算できます。

4 × AHB クロック + 1 PHY クロック = (2 クロック同期 + 1 クロックメモリアドレス + 同期 RAM からの 1 クロックメモリデータ) + (1 PHY クロック (次の PHY クロック MAC は 2 クロック FIFO 出力をサンプリングできます)

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図319. TRDT 最大タイミングのケース



27.16.8 OTG プログラミングモデル

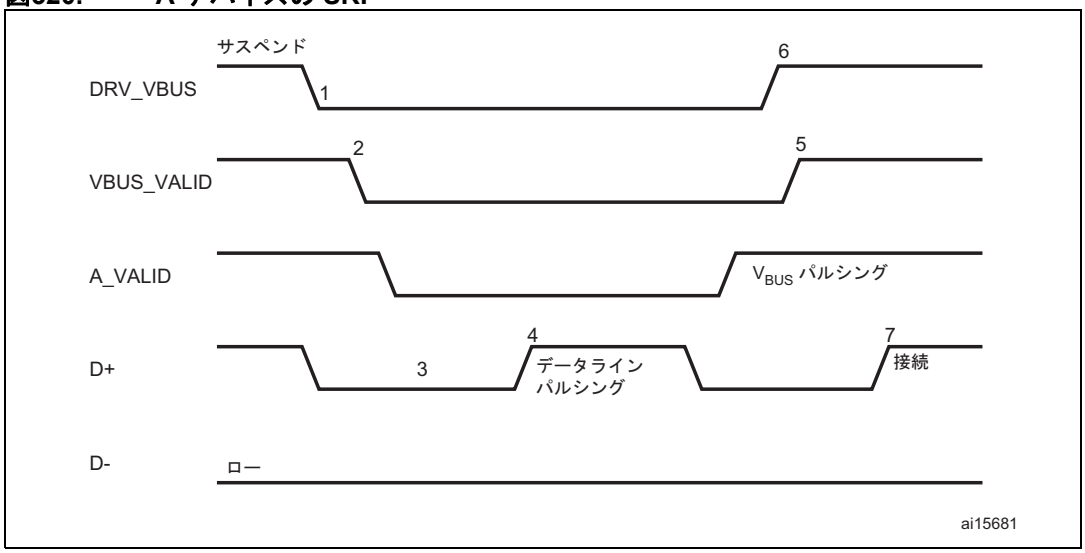
OTG_FS コントローラは、HNP と SRP をサポートする OTG デバイスです。コアが A プラグに接続されると、A デバイスと呼ばれます。コアが B プラグに接続されると、B デバイスと呼ばれます。ホストモードでは、OTG_FS コントローラは、電力を節約するために V_{BUS} をオフにします。SPR は、B デバイスが A デバイスに V_{BUS} 電源をオンにするように信号を送る手段です。デバイスは、データラインパルシングと V_{BUS} パルシングの両方を実行する必要がありますが、ホストは SRP のデータラインパルシングか V_{BUS} パルシングのどちらかを検出することができます。HNP は、B デバイスがネゴシエイトし、役割をホストに切り替える手段です。HNP 後のネゴシエイトモードでは、B デバイスはバスをサスペンドし、その役割をデバイスに戻します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

A デバイス セッションリクエスト プロトコル

アプリケーションは、コア USB 設定レジスタの SRP 対応ビットをセットする必要があります。これによって、OTG_FS コントローラは SRP を A デバイスとして検出できるようになります。

図320. A デバイスの SRP



1. DRV_VBUS = PHY への V_{BUS} 駆動信号
   VBUS_VALID = PHY からの V_{BUS} 有効信号
   A_VALID = PHY への A ペリフェラル V_{BUS} レベル信号
   D+ = データ正ライン
   D- = データ負ライン

1. 節電のためには、アプリケーションは、バスがアイドル状態のときに、ホストポート制御およびステータスレジスタのポートサスペンドおよびポートパワービットに書き込むことによって、ポート電源をオフにします。
2. PHY は、VBUS_VALID 信号をネゲートすることによって、ポート電源のオフを示します。
3. デバイスは、V_{BUS} 電源がオフになると、SRP を開始するために少なくとも 2 ms 以上、SE0 を検出しなければなりません。
4. SRP を開始するには、デバイスはデータラインプルアップ抵抗を 5～10 ms の間オンにします。OTG_FS コントローラはデータラインのパルシングを検出します。
5. デバイスは、V_{BUS} パルシングに対して、V_{BUS} を A デバイスセッション有効レベル以上（最低 2.0 V）に駆動します。

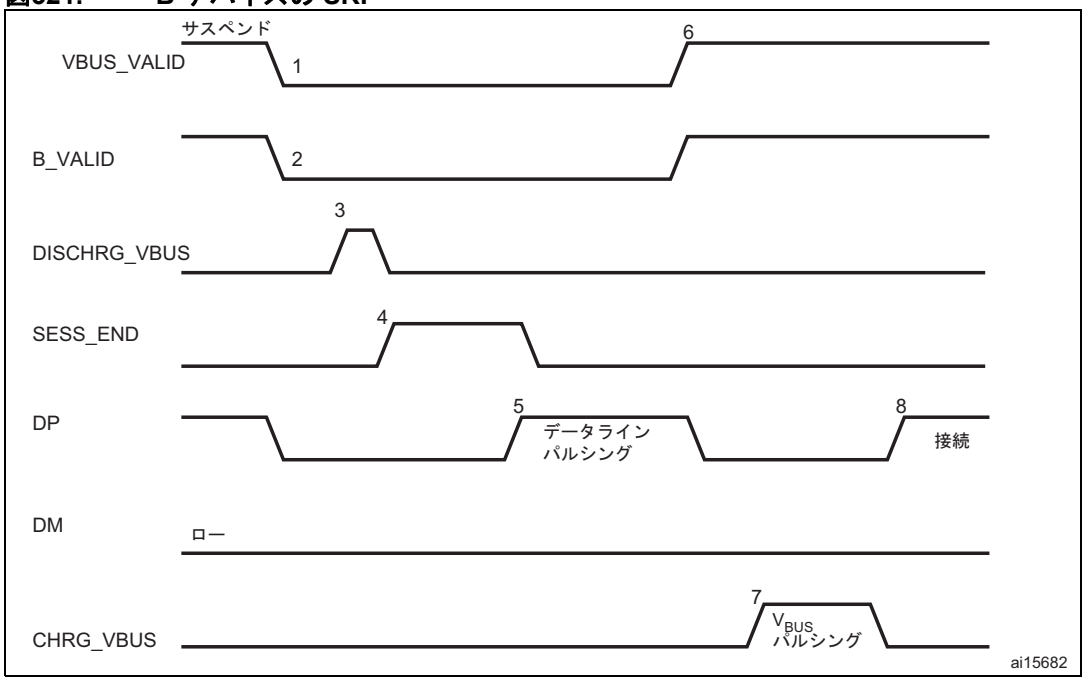
   OTG_FS コントローラは、SRP を検出すると、アプリケーションに割り込みをかけます。グローバル割り込みステータスレジスタのセッションリクエスト検出ビットがセットされます（OTG_FS_GINTSTS の SRQINT）。
6. アプリケーションは、セッションリクエスト検出割り込みを処理して、ホストポート制御およびステータスレジスタのポートパワービットに書き込むことによって、ポート電源をオンにする必要があります。PHY は、VBUS_VALID 信号をアサートすることによって、ポート電源がオンになったことを示します。
7. USB に電源が投入されると、デバイスが接続され、SRP プロセスが完了します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

B デバイス セッションリクエスト プロトコル

アプリケーションは、コア USB 設定レジスタの SRP 対応ビットをセットする必要があります。これによって、OTG_FS コントローラは SRP を B デバイスとして扱えるようになります。SRP は、OTG_FS コントローラがホストからの新しいセッションをリクエストする手段です。

図321. B デバイスの SRP



1. VBUS_VALID = PHY からの V_{BUS} 有効信号
   B_VALID = PHY への B ペリフェラル有効セッション信号
   DISCHRG_VBUS = PHY への放電信号
   SESS_END = PHY へのセッション終了信号
   CHRG_VBUS = PHY への V_{BUS} 充電信号
   DP = データ正ライン
   DM = データ負ライン

1. 節電のために、ホストはバスがアイドル状態のときはポート電源をオフにします。

   OTG_FS コントローラは、バスがアイドル状態になってから 3 ms 後に、コア割り込みレジスタの早期サスペンドビットをセットします。これに続いて、OTG_FS コントローラは、コア割り込みレジスタの USB サスペンドビットをセットします。

   OTG_FS コントローラは、PHY に V_{BUS}を放電するように通知します。

2. PHY はデバイスにセッションの終了を知らせます。これが SRP の初期条件です。OTG_FS コントローラは、SRP を初期化する前に、2 ms の SE0 を必要とします。

   USB 1.1 フルスピードシリアルトランシーバの場合、アプリケーションは、BSVLD（OTG_FS_GOTGCTL）がネゲートされた後、V_{BUS} が 0.2 V まで放電するまで待つ必要があります。この放電時間の値は、トランシーバのベンダから入手でき、ベンダごとに異なります。

3. アプリケーションは、OTG_FS 制御およびステータスレジスタのセッションリクエストビットに書き込むことによって、SRP を開始します。OTG_FS コントローラは、データラインパルシングに続いて V_{BUS} パルシングを実行します。

4. ホストは、データラインパルシングまたは V_{BUS} パルシングから SRP を検出して、V_{BUS}をオンにします。PHY は、デバイスに V_{BUS} 電源オンを知らせます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

5. OTG_FS コントローラは、V_{BUS} パルシングを実行します。

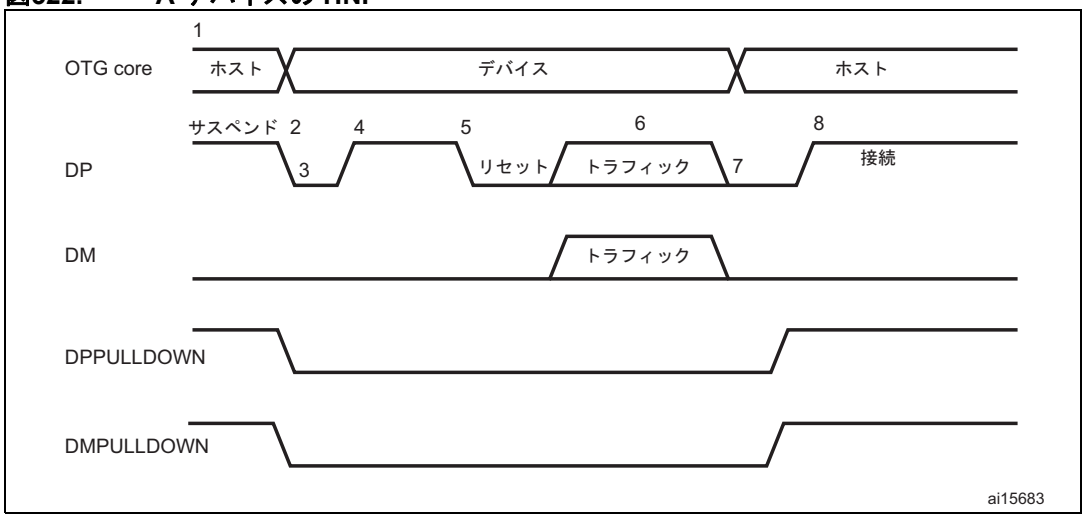
   ホストは、V_{BUS}をオンにして、SRP が成功したことを示すことによって、新しいセッションを開始します。OTG_FS コントローラは、OTG 割り込みステータスレジスタのセッションリクエスト成功ステータス変化ビットをセットすることによって、アプリケーションに割り込みをかけます。アプリケーションは、OTG 制御およびステータスレジスタのセッションリクエスト成功ビットを読み出します。

6. USB に電源が投入されると、OTG_FS コントローラが接続され、SRP プロセスが完了します。

A デバイスホストネゴシエーションプロトコル

HNP は、USB ホストの役割を A デバイスから B デバイスに切り替えます。アプリケーションは、OTG_FS コントローラが HNP を A デバイスとして実行できるように、コア USB 設定レジスタの HNP 対応ビットをセットする必要があります。

図322. A デバイスの HNP



1. DPPULLDOWN = PHY 内部の DP ライン上でプルダウンを有効/無効にするためのコアから PHY への信号
   DMPULLDOWN = PHY 内部の DM ライン上でプルダウンを有効/無効にするためのコアから PHY への信号

1. OTG_FS コントローラは、SetFeature b_hnp_enable 記述子を B デバイスに送信して、HNP サポートを有効にします。B デバイスの ACK 応答は、B デバイスが HNP をサポートしていることを示します。アプリケーションは、OTG 制御およびステータスレジスタのセット HNP イネーブルビットをセットして、B デバイスが HNP をサポートしていることを OTG_FS コントローラに示す必要があります。
2. アプリケーションがバスの使用を終了したときには、ホストポート制御およびステータスレジスタのポートサスペンドビットに書き込むことによって、サスペンドします。
3. B デバイスが USB サスペンドを検出すると、切断して、HNP の初期条件を示します。B デバイスは、ホストの役割に切り替える必要があるときにのみ、HNP を開始します。そうでないときには、バスはサスペンド状態を継続します。

   OTG_FS コントローラは、OTG 割り込みステータスレジスタのホストネゴシエーション検出割り込みをセットして、HNP の開始を示します。

   OTG_FS コントローラは、PHY の DP プルダウンと DM プルダウンをネゲートして、デバイスの役割を示します。PHY は、OTG_FS_DP プルアップ抵抗を有効にして、B デバイスの接続を示します。

   アプリケーションは、OTG 制御およびステータスレジスタの現在のモードビットを読み出して、デバイスモードの動作を確認する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

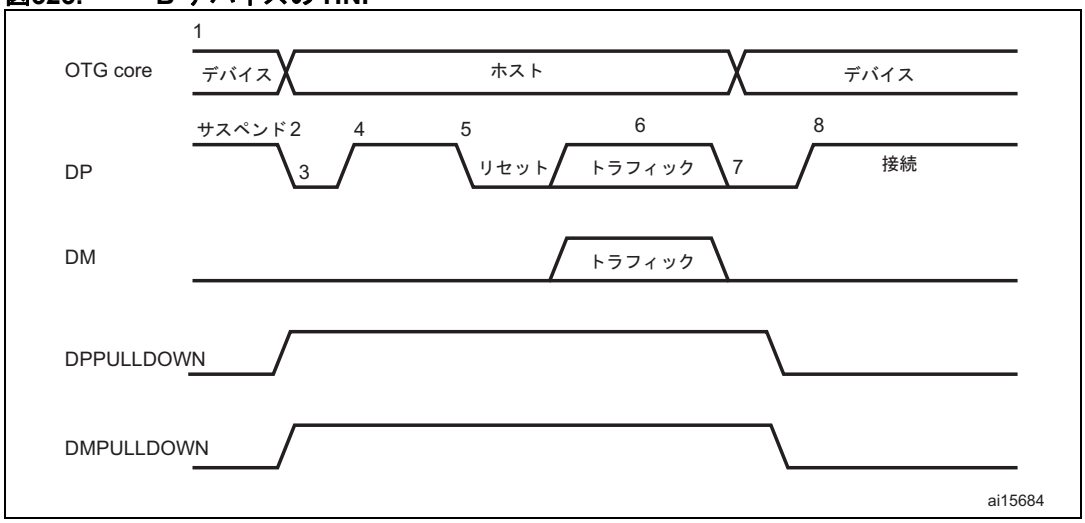
4. B デバイスは接続を検出し、USB リセットを発行し、データトラフィックのために OTG_FS コントローラをエニュメレートします。
5. B デバイスはホストの役割を継続し、トラフィックを開始し、終了時にはバスをサスペンドします。

   OTG_FS コントローラは、バスがアイドル状態になってから 3 ms 後に、コア割り込みレジスタの早期サスペンドビットをセットします。これに続いて、OTG_FS コントローラは、コア割り込みレジスタの USB サスペンドビットをセットします。
6. ネゴシエートモードでは、OTG_FS コントローラは、サスペンドを検出して切断し、ホストの役割に戻ります。OTG_FS コントローラは、ホストの役割の条件を示すために、PHY の DP プルダウンと DM プルダウンをアサートします。
7. OTG_FS コントローラは、OTG 割り込みステータスレジスタのコネクタ ID ステータスレジスタ変更割り込みをセットします。アプリケーションは、OTG 制御およびステータスレジスタのコネクタ ID ステータスを読み出して、OTG_FS コントローラの動作が A デバイスであることを確認する必要があります。これは、HNP の完了をアプリケーションに示します。アプリケーションは、OTG 制御およびステータスレジスタの現在のモードビットを読み出して、ホストモードの動作を確認する必要があります。
8. B デバイスが接続され、HNP プロセスが完了します。

B デバイスホストネゴシエーションプロトコル

HNP は、USB ホストの役割を B デバイスから A デバイスに切り替えます。アプリケーションは、OTG_FS コントローラが HNP を B デバイスとして実行できるように、コア USB 設定レジスタの HNP 対応ビットをセットする必要があります。

図323. B デバイスの HNP



1. DPPULLDOWN = PHY 内部の DP ライン上でプルダウンを有効/無効にするためのコアから PHY への信号
   DMPULLDOWN = PHY 内部の DM ライン上でプルダウンを有効/無効にするためのコアから PHY への信号

1. A デバイスは、SetFeature b_hnp_enable 記述子を送信して、HNP サポートを有効にします。OTG_FS コントローラの ACK 応答は、それが HNP をサポートしていることを示します。アプリケーションは、OTG 制御およびステータスレジスタのデバイス HNP イネーブルビットをセットして、HNP をサポートしていることを示す必要があります。

   アプリケーションは、OTG 制御およびステータスレジスタの HNP リクエストビットをセットして、HNP を開始することを OTG_FS コントローラに示す必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

2. A デバイスがバスの使用を終了したときには、ホストポート制御およびステータスレジスタのポートサスペンドビットに書き込むことによってサスペンドします。

   OTG_FS コントローラは、バスがアイドル状態になってから 3 ms 後に、コア割り込みレジスタの早期サスペンドビットをセットします。これに続いて、OTG_FS コントローラは、コア割り込みレジスタの USB サスペンドビットをセットします。

   OTG_FS コントローラは切断され、A デバイスはバス上で SE0 を検出して HNP を示します。OTG_FS コントローラは、ホストの役割の条件を示すために、PHY のDP プルダウンと DM プルダウンをアサートします。

   A デバイスは、SE0 を検出してから 3 ms 以内に OTG_FS_DP プルアップ抵抗をアクティブ化することによって応答します。OTG_FS コントローラはこれを接続として検出します。

   OTG_FS コントローラは、OTG 割り込みステータスレジスタのホストネゴシエーション成功ステータス変更割り込みをセットして、HNP ステータスを示します。アプリケーションは、OTG 制御およびステータスレジスタのホストネゴシエーション成功ビットを読み出して、ホストネゴシエーションの成功を確認する必要があります。アプリケーションは、コア割り込みレジスタ（OTG_FS_GINTSTS）の現在のモードビットを読み出して、ホストモードの動作を確認する必要があります。

3. アプリケーションはリセットビット（OTG_FS_HPRT の PRST）をセットし、OTG_FS コントローラは USB リセットを発行し、データトラフィックのために A デバイスをエニュメレートします。
4. OTG_FS コントローラは、トラフィックを開始するというホストの役割を継続し、これが終了すると、ホストポート制御およびステータスレジスタのポートサスペンドビットに書き込むことによってバスをサスペンドします。
5. ネゴシエートモードでは、A デバイスは、サスペンドを検出すると、接続を切断し、ホストの役割に戻ります。OTG_FS コントローラは、PHY の DP プルダウンと DM プルダウンをネゲートして、デバイスの役割の条件を示します。
6. アプリケーションは、コア割り込みレジスタ（OTG_FS_GINTSTS）の現在モードビットを読み出して、ホストモードの動作を確認する必要があります。
7. OTG_FE コントローラが接続され、HNP プロセスが完了します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

28 イーサネット（ETH）: DMA コントローラによるメディアアクセス制御（MAC）DMA コントローラ

小容量 デバイス は、フラッシュメモリ容量が 16～32 KB の STM32F101xx、STM32F102xx、および STM32F103xx マイクロコントローラです。

中容量デバイスは、フラッシュメモリ容量が 64～128 KB の STM32F101xx、STM32F102xx、および STM32F103xx マイクロコントローラです。

大容量デバイスは、フラッシュメモリ容量が 256～512 KB の STM32F101xx および STM32F103xx マイクロコントローラです。

特大容量デバイスは、フラッシュメモリ容量が 768 KB～1 MB の STM32F101xx および STM32F103xx マイクロコントローラです。

コネクティビティラインデバイス は、STM32F105xx および STM32F107xx マイクロコントローラです。

このセクションは、STM32F107xx コネクティビティラインデバイスのみに適用されます。

28.1 イーサネットの概要

Portions Copyright ©2004, 2005 Synopsys, Inc. All rights reserved.掲載許可取得済み

イーサネットペリフェラルでは、STM32F107xx は、IEEE 802.3-2002 標準に準拠したイーサネット経由でデータを送受信できます。

イーサネットは、さまざまなアプリケーションやユーザのニーズを満たす、設定可能で柔軟なペリフェラルを提供します。イーサネットは、外部物理層（PHY）に対して 2 つの業界標準インタフェース、すなわち IEEE 802.3 で定義されているデフォルトのメディア独立インタフェース（MII）と、縮小メディア独立インタフェース（RMII）をサポートしています。スイッチ、ネットワークインタフェースカードなど、多くのアプリケーションで使用できます。

イーサネットは、以下の標準に準拠しています。

- IEEE 802.3-2002（イーサネット MAC）
- IEEE 1588-2002（高精度ネットワーク化クロック同期）
- AMBA 2.0（AHB マスタ/スレーブポート）
- RMII 仕様（RMII コンソーシアム）

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

28.2 イーサネットの主な機能

イーサネット（ETH）ペリフェラルは、次のような機能を備えています（カテゴリ別）。

28.2.1 MAC コア機能

- 外部 PHY インタフェースで 10/100 Mbit/s のデータ転送速度をサポートします。
- IEEE 802.3 準拠の MII インタフェースで、外部高速イーサネットPHY と通信します。
- 全二重と半二重の両方の動作をサポートします。
  - 半二重動作では CSMA/CD プロトコルをサポートします。
  - 全二重動作では、IEEE 802.3x フロー制御をサポートします。
  - 全二重動作では、受信したポーズ制御フレームをユーザアプリケーションに転送するオプションを備えています。
  - 半二重動作でのバックプレッシャサポート。
  - 全二重動作では、フロー制御入力のネゲート時に、ゼロクォンタムポーズフレームを自動送信。
- プリアンブルとフレーム開始データ（SFD）を送信パスに挿入し、受信パスで削除。
- フレームごとに制御可能な CRC とパッドの自動生成。
- 受信フレームでの自動パッド/CRC ストリッピングのためのオプション。
- 最大 16 KB までのサイズの標準フレームをサポートするプログラマブルなフレーム長。
- プログラマブルなフレーム間ギャップ（40～96 ビット間隔、8 ビット間隔単位で）。
- 以下のような柔軟なアドレスフィルタリングをサポート。
  - 各バイトのマスク付きで、最大 4 つの 48 ビット完全（DA）アドレスフィルタ
  - 各バイトのマスク付きで、最大 3 つの 48 ビット SA アドレス比較チェック
  - マルチキャストおよびユニキャスト（DA）アドレス用 64 ビットハッシュフィルタ（オプション）
  - すべてのマルチキャストアドレスフレームを通過させるオプション
  - ネットワーク監視にフィルタリングを使用せず、すべてのフレームを通過させるプロミスキャスモードをサポート。
  - ステータスレポート付きで、すべての受信パケットを（フィルタに従って）通過させます。
- 送信および受信パケットについて、個別の 32 ビットステータス情報を返します。
- 受信フレームの IEEE 802.1Q VLAN タグ検出をサポートします。
- アプリケーションへの、個別の送信、受信、および制御インタフェース。
- RMON/MIB カウンタ（RFC2819/RFC2665）による強制ネットワーク統計をサポート。
- PHY デバイスの設定と管理のための MDIO インタフェース。
- LAN ウェイクアップフレームおよび AMD Magic Packet™ フレームの検出。
- イーサネットフレームによってカプセル化された受信 IPv4 および TCP パケットのチェックサムオフロード受信機能。
- IPv4 ヘッダチェックサムと、IPv4 または IPv6 データグラムにカプセル化された TCP、UDP、または ICMP チェックサムをチェックする拡張受信機能。
- IEEE 1588-2002 の規定に従ったイーサネットフレームタイムスタンプのサポート。各フレームの送信または受信ステータスに 64 ビットのタイムスタンプが付加されます。
- 2 セットの FIFO : 閾値を設定できる 2 KB の送信 FIFO と、閾値を設定できる（デフォルトは 64 バイト）2 KB の受信 FIFO。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

- EOF 転送後に受信ステータスベクタが受信 FIFO に挿入されるので、別の FIFO を必要とせずに、受信 FIFO 内の複数フレームストレージにそれらのフレームの受信ステータスを格納できます。
- ストアアンドフォワードモードで、受信時にすべてのエラーフレームをフィルタして、アプリケーションに転送しないオプション
- アンダーサイズの良好フレームを転送するオプション
- 受信 FIFO で（オーバーフローにより）ドロップまたは破損したフレームについて、パルスを生成することにより統計をサポート。
- MAC コアへの送信について、ストアアンドフォワードメカニズムをサポート。
- 受信 FIFO フィルレベル（閾値を設定可能）に基づいて、MAC コアへのポーズフレーム制御またはバックプレッシャ信号を自動生成。
- 送信について、衝突フレームの自動再送信を処理します。
- レイト衝突、過剰衝突、過剰遅延、およびアンダラン条件時にフレームを破棄します。
- Tx FIFO をフラッシュするためのソフトウェア制御
- ストアアンドフォワードモードで送信されたフレームに、IPv4　ヘッダチェックサムと　TCP、UDP、または ICMP チェックサムを計算して挿入します。
- デバッグのための MII での内部ループバックをサポートします。

28.2.2 DMA 機能

- AHB スレーブインタフェースですべての AHB バーストタイプをサポートします。
- ソフトウェアは、AHB マスタインタフェースの AHB バーストのタイプ（固定または不定バースト）を選択できます。
- AHB マスタポートからアドレス整列バーストを選択するオプション。
- フレームデリミタ付きパケット志向 DMA 転送の最適化
- データバッファサポートのためのバイト整列アドレッシング
- デュアルバッファ（リング）またはリンクリスト（チェイン）ディスクリプタチェイニング
- 最小の CPU 介入で大きなデータブロックの転送を可能にするディスクリプタアーキテクチャ。
- 各ディスクリプタは最大 8 KB のデータを転送できます。
- 正常動作とエラー転送についての包括的ステータスレポート
- 最適なホストバス利用のために、送信および受信 DMA エンジンのバーストサイズを個別にプログラム可能。
- さまざまな動作条件に対応するプログラマブルな割り込みオプション。
- フレームごとの送信/受信完了割り込み制御。
- 受信エンジンと送信エンジン間のラウンドロビン方式または固定優先順位のアービトレーション
- 開始/停止モード
- ステータスレジスタとしての現在の Tx/Rx バッファポインタ
- ステータスレジスタとしての現在の Tx/Rx ディスクリプタポインタ

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

28.2.3　PTP 機能

- 受信および送信フレームのタイムスタンピング
- 粗密補正法
- システム時間が目標時間を超えたときに割り込みをトリガ
- 1 秒あたりのパルス出力（製品代替機能出力）

28.3　イーサネットピン

表 204 は、MAC 信号と、対応する MII/RMII のデフォルトまたは再配置された信号を示しています。また、信号が入力または出力されるピンとピン構成も示しています。

表204.　イーサネットピン構成

MAC 信号	MII デフォルト	MII 再配置	RMII デフォルト	RMII 再配置	ピン	ピン構成
ETH_MDC	MDC	-	MDC	-	PC1	AF 出力プッシュプル高速（50 MHz）
ETH_MII_TXD2	TXD2	-	-	-	PC2	AF 出力プッシュプル高速（50 MHz）
ETH_MII_TX_CLK	TX_CLK	-	-	-	PC3	フローティング入力（リセット状態）
ETH_MII_CRS	CRS	-	-	-	PA0	フローティング入力（リセット状態）
ETH_MII_RX_CLK ETH_RMII_REF_CLK	RX_CLK	-	REF_CLK	-	PA1	フローティング入力（リセット状態）
ETH_MDIO	MDIO	-	MDIO	-	PA2	AF 出力プッシュプル高速（50 MHz）
ETH_MII_COL	COL	-	-	-	PA3	フローティング入力（リセット状態）
ETH_MII_RX_DV ETH_RMII_CRS_DV	RX_DV	-	CRS_DV	-	PA7	フローティング入力（リセット状態）
ETH_MII_RXD0 ETH_RMII_RXD0	RXD0	-	RXD0	-	PC4	フローティング入力（リセット状態）
ETH_MII_RXD1 ETH_RMII_RXD1	RXD1	-	RXD1	-	PC5	フローティング入力（リセット状態）
ETH_MII_RXD2	RXD2	-	-	-	PB0	フローティング入力（リセット状態）
ETH_MII_RXD3	RXD3	-	-	-	PB1	フローティング入力（リセット状態）
ETH_MII_RX_ER	RX_ER	-	-	-	PB10	フローティング入力（リセット状態）
ETH_MII_TX_EN ETH_RMII_TX_EN	TX_EN	-	TX_EN	-	PB11	AF 出力プッシュプル高速（50 MHz）
ETH_MII_TXD0 ETH_RMII_TXD0	TXD0	-	TXD0	-	PB12	AF 出力プッシュプル高速（50 MHz）
ETH_MII_TXD1 ETH_RMII_TXD1	TXD1	-	TXD1	-	PB13	AF 出力プッシュプル高速（50 MHz）

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表204. イーサネットピン構成（続き）

MAC 信号	MII デフォルト	MII 再配置	RMII デフォルト	RMII 再配置	ピン	ピン構成
ETH_PPS_OUT	PPS_OUT	-	PPS_OUT	-	PB5	AF 出力プッシュプル高速（50 MHz）
ETH_MII_TXD3	TXD3	-	-	-	PB8	AF 出力プッシュプル高速（50 MHz）
ETH_RMII_CRS_DV	-	RX_DV	-	CRS_DV	PD8	フローティング入力（リセット状態）
ETH_MII_RXD0 ETH_RMII_RXD0	-	RXD0	-	RXD0	PD9	フローティング入力（リセット状態）
ETH_MII_RXD1 ETH_RMII_RXD1	-	RXD1	-	RXD1	PD10	フローティング入力（リセット状態）
ETH_MII_RXD2	-	RXD2	-	-	PD11	フローティング入力（リセット状態）
ETH_MII_RXD3	-	RXD3	-	-	PD12	フローティング入力（リセット状態）

28.4 イーサネットの機能詳細SMI、MII、および RMII

イーサネットペリフェラルは、専用 DMA コントローラ付きの MAC 802.3（メディアアクセス制御）で構成されます。1 つの選択ビットを通じて、デフォルトのメディア独立インタフェース（MII）と縮小メディア独立インタフェース（RMII）の両方をサポートします（AFIO_MAPR レジスタを参照）。

DMA コントローラは、AHB マスタおよびスレーブインタフェースを通じて、コアおよびメモリとインタフェースします。AHB マスタインタフェースはデータ転送を制御し、AHB スレーブインタフェースは制御およびステータスレジスタ（CSR）スペースにアクセスします。

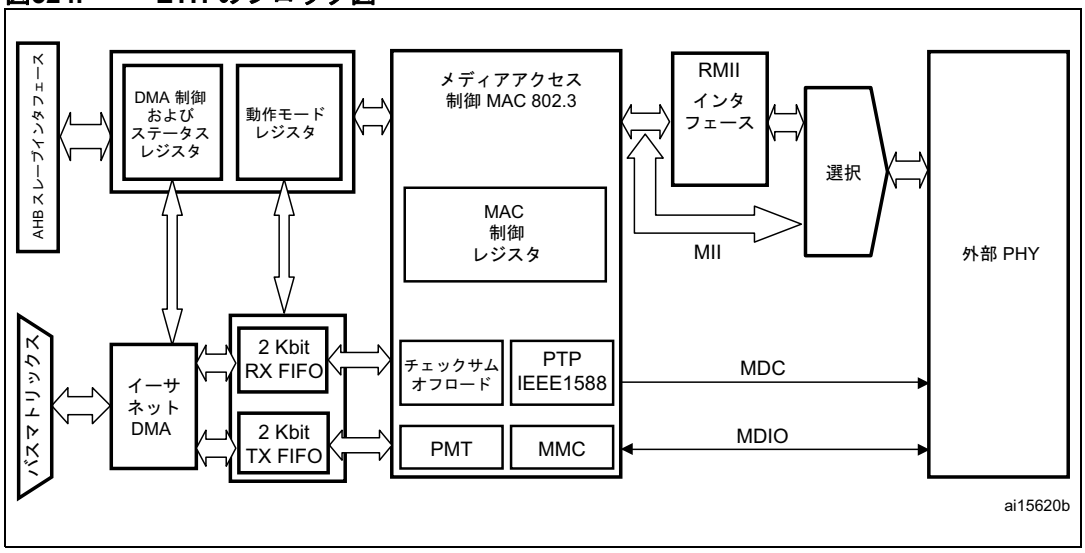
送信 FIFO（Tx FIFO）は、MAC コアによる送信の前に、DMA によってシステムメモリから読み出されたデータをバッファします。同様に、受信 FIFO（Rx FIFO）は、ラインから受信した イーサネットフレームを、DMA によってシステムメモリに転送されるまで格納します。

イーサネットペリフェラルは、外部 PHY と通信するための SMI も含んでいます。一連の設定レジスタによって、ユーザは、MAC および DMA コントローラについて望みの動作モードと機能を選択することができます。

注： ***イーサネットが使用されるときには、AHB クロック周波数は少なくとも 25 MHz でなければなりません。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図324.　ETH のブロック図



1.　AHB 接続については、*図 2：コネクティビティラインデバイスのシステムアーキテクチャ*を参照してください。

28.4.1　ステーション管理インタフェース：SMI

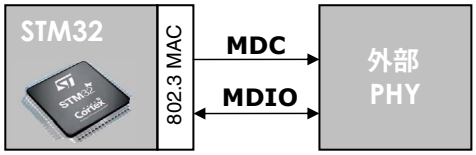
ステーション管理インタフェース（Station Management Interface : SMI）によって、アプリケーションは、2 線のクロックおよびデータラインを通じて任意の PHY にアクセスできます。インタフェースは、最大 32 の PHY へのアクセスをサポートします。

アプリケーションは、32 の PHY のうちの 1 つと、PHY 内の 32 のレジスタのうちの 1 つを選択して、制御データを送信したり、ステータス情報を受信することができます。一度にアドレス指定できるのは、1 つの PHY 内の 1 つのレジスタだけです。

MDC クロックラインと MDIO データラインの両方が、マイクロコントローラ内の代替機能として実装されています。

- MDC：最大周波数 2.5 MHzでデータを転送するために必要な基準タイミングを供給する周期的クロック。MDC のハイ/ロー時間の最小値は、それぞれ 160 ns でなければならず、MDC の最小周期は 400 ns でなければなりません。アイドル状態では、SMI 管理インタフェースは MDC クロック信号をローに駆動します。
- MDIO：PHY との間のステータス情報の転送を MDC クロック信号と同期して行うデータ入力/出力ストリーム。

図325.　SMI インタフェース信号



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

SMI フレームのフォーマット

読み出しおよび書き込み操作に関連するフレーム構造を *表 13*に示します。ビット送信の順序は、左から右でなければなりません。

表205.　管理フレームのフォーマット

	管理フレームのフィールド							
	プリアンブル（32 ビット）	スタート	オペレーション	PADDR	RADDR	TA	データ（16 ビット）	アイドル状態
読み出し	1...1	01	10	ppppp	rrrrr	Z0	dddddddddddddd	Z
書き込み	1...1	01	01	ppppp	rrrrr	10	dddddddddddddd	Z

管理フレームは、8 つのフィールドで構成されます。

- **プリアンブル**：各トランザクション（読み出しまたは書き込み）は、MDC 上の 32 の対応するサイクルで、MDIO ライン上の 32 の連続する論理 1 ビットに対応するプリアンブルフィールドで開始できます。このフィールドは、PHY デバイスとの同期を確立するために使用されます。
- **スタート**：フレームの開始は、ライン上のデフォルトの論理 1 状態から 0 へ、そして 1 へ戻るという遷移を確認する <01> パターンによって定義されます。
- **オペレーション**：進行中のトランザクションのタイプ（読み出しまたは書き込み）を定義します。
- **PADDR**：5 ビットの PHY アドレスであり、32 の一意な PHY アドレスを指定できます。アドレスの MSB ビットが最初に送受信されます。
- **RADDR**：5 ビットのレジスタアドレスであり、選択された PHY デバイス内の 32 の個別のレジスタをアドレス指定できます。アドレスの MSB ビットが最初に送受信されます。
- **TA**：ターンアラウンドフィールドは、読み出しトランザクション時の競合を避けるために、RADDR フィールド と DATA フィールドの間の 2 ビットのパターンを定義します。読み出しトランザクションの場合、MAC コントローラは、TA の 2 ビットに対して MDIO ライン上でハイインピーダンスを駆動します。PHY デバイスは、TA の最初のビットでハイインピーダンス状態を、2 番目のビットでゼロを駆動しなければなりません。
  書き込みトランザクションの場合、MAC コントローラは、TA フィールド時に <10> パターンを駆動します。PHY デバイスは、TA の 2 ビットに対してハイインピーダンス状態を駆動しなければなりません。
- **データ**：データフィールドは 16 ビットです。送受信される最初のビットは、ETH_MIID レジスタのビット 15 でなければなりません。
- **アイドル**：MDIO ラインはハイインピーダンス状態に駆動されます。すべてのトライステートドライバが無効でなければならず、PHY のプルアップ抵抗はラインを論理 1 に保ちます。

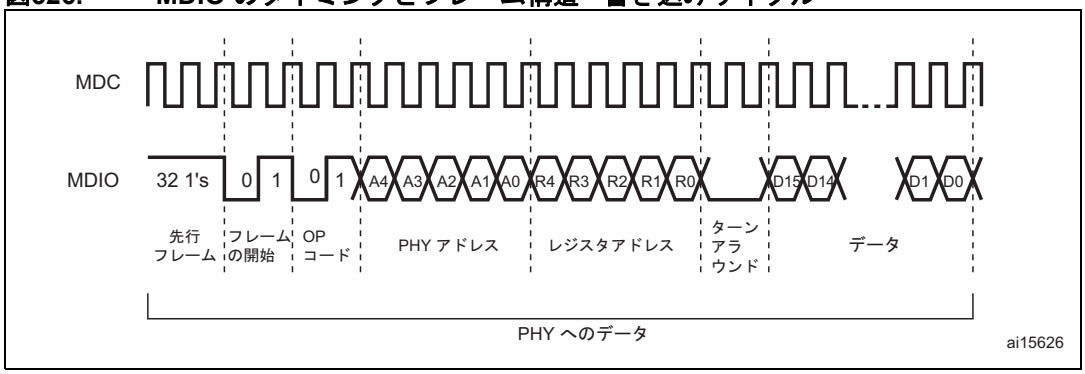
SMI 書き込み動作

アプリケーションが MII 書き込みビットおよびビジービット（*イーサネット MAC MII アドレスレジスタ（ETH_MACMIIAR）*）をセットすると、SMI は、PHY アドレス、PHY 内のレジスタアドレス、および書き込みデータ（*イーサネット MAC MII アドレスレジスタ（ETH_MACMIIDR）*）を送信することによって、PHY レジスタへの書き込み動作を開始します。アプリケーションは、トランザクションの進行中は、MII アドレスレジスタの内容や MII データレジスタを変更しないでください。この期間中の MII アドレスレジスタまたは MII データレジスタへの書き込み動作は無視され（ビジービットがハイ）、トランザクションはエラーなく完了します。書き込み動作が完了した後、SMI は、ビジービットをリセットすることによって、これを示します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

*図 326*に、書き込み動作の場合のフレームフォーマットを示します。

図326.　MDIO のタイミングとフレーム構造 - 書き込みサイクル

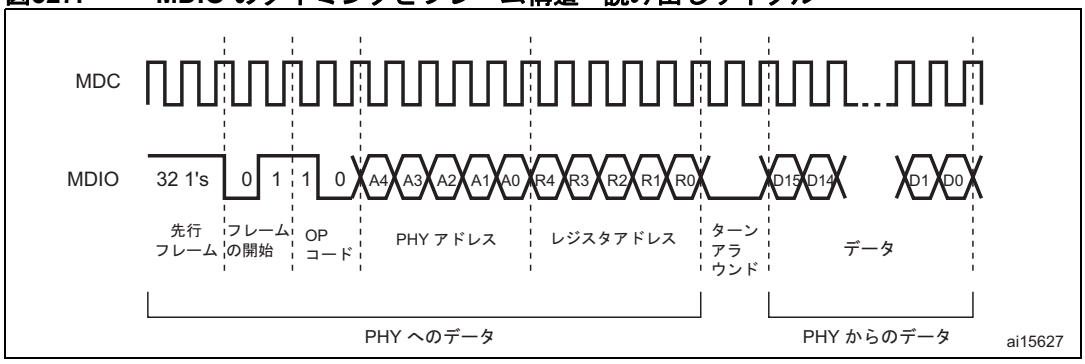


SMI 読み出し動作

ユーザが MII 書き込みビットが 0 の時にイーサネット MAC MII アドレスレジスタ（ETH_MACMIIAR）の MII ビジービットをセットすると、SMI は、PHY アドレスと PHY 内のレジスタアドレスを転送することによって、PHY レジスタの読み出し動作を開始します。アプリケーションは、トランザクションの進行中は、MII アドレスレジスタの内容や MII データレジスタを変更しないでください。この期間中の MII アドレスレジスタまたは MII データレジスタへの書き込み動作は無視され（ビジービットがハイ）、トランザクションはエラーなく完了します。読み出し動作が完了した後、SMI は、ビジービットをリセットし、PHY から読み出したデータで MII データレジスタを更新します。

*図 327*に、読み出し動作の場合のフレームフォーマットを示します。

図327.　MDIO のタイミングとフレーム構造 - 読み出しサイクル



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

SMI クロックの選択

MAC は、書き込み/読み出し動作の管理を開始します。SMI クロックは、アプリケーションクロック（AHB クロック）を分周したクロックです。分周比は、MII アドレスレジスタのクロック範囲設定に依存します。

*表 206*に、クロック範囲の設定方法を示します。

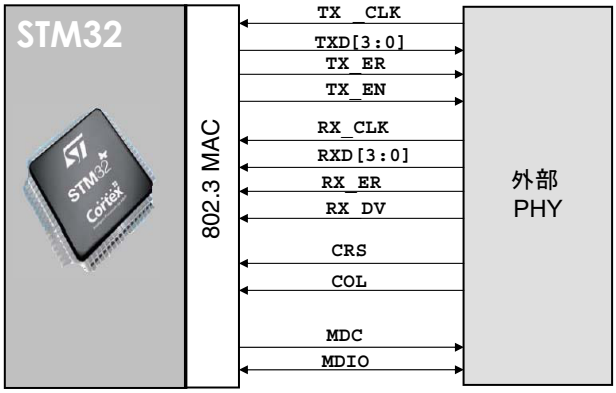
表206.　クロック範囲

選択	HCLK クロック	MDC クロック
0000	60-72 MHz	AHB クロック / 42
0001	予約済み	-
0010	20-35 MHz	AHB クロック / 16
0011	35-60 MHz	AHB クロック / 26
0100, 0101, 0110, 0111	予約済み	-

28.4.2　メディア独立インタフェース：MII

メディア独立インタフェース（MII）は、10 Mbit/s および 100 Mbit/s でのデータ転送における MAC サブレイヤと PHY 間の相互接続を定義します。

図328.　メディア独立インタフェースの信号



- MII_TX_CLK：TX データ転送の基準タイミングを供給する連続クロックです。公称周波数は次のとおりです。10 Mbit/s 転送では 2.5 MHz、100 Mbit/s 転送では 25 MHz。
- MII_RX_CLK：RX データ転送の基準タイミングを供給する連続クロックです。公称周波数は次のとおりです。10 Mbit/s 転送では 2.5 MHz、100 Mbit/s 転送では 25 MHz。
- MII_TX_EN：送信イネーブルは、MAC が送信のために MII 上にニブルを提示していることを示します。プリアンブルの最初のニブル（MII_TX_CLK）に同期してアサートされなければならず、送信されるすべてのニブルが MII に提示されるまで、アサート状態が維持されなければなりません。
- MII_TXD[3:0]：送信データは、MAC サブレイヤによって同期して駆動される 4 つのデータ信号の束であり、MII_TX_EN 信号のアサーションによって有効なデータと認められます。MII_TXD[0] は最下位ビットであり、MII_TXD[3] が最上位ビットです。MII_TX_EN がネゲートされている場合、送信データは PHY に何の影響も与えません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

- MII_CRS : キャリアセンスは、送信または受信メディアがアイドルでないとき、PHY によってアサートされます。送信メディアと受信メディアの両方ともアイドルのときには、PHY によってネゲートされなければなりません。PHY は、衝突条件の全期間を通じて、MII_CS 信号がアサートされたままであることを保証する必要があります。この信号は、TX および RX クロックに同期して遷移する必要はありません。全二重モードでは、この信号の状態は MAC サブレイヤに影響を与えません。
- MII_COL : メディア上で衝突が検出された場合、PHY によって衝突検出がアサートされなければならず、衝突条件が続いている間、アサート状態が保たれなければなりません。この信号は、TX および RX クロックに同期して遷移する必要はありません。全二重モードでは、この信号の状態は MAC サブレイヤに影響を与えません。
- MII_RXD[3:0] : 受信データは、PHY によって同期して駆動される 4 つのデータ信号の束であり、MII_RX_DV 信号のアサーションによって有効なデータと認められます。MII_RXD[0] は最下位ビットであり、MII_RXD[3] が最上位ビットです。MII_RX_EN がネゲートされ、MII_RX_ER がアサートされている間、PHY から特定の情報を転送するために特定の MII_RXD[3:0] 値が使用されます（*表 208*を参照）。
- MII_RX_DV : 受信データ有効ビットは、PHY が MII 上に受信のために回収され、デコードされたニブルを提示していることを示します。フレームの最初の回収ニブルと同期してアサートされなければならず（MII_RX_CLK）、最後の回収ニブルまでアサート状態を維持しなければなりません。最後のニブル後の最初のクロックの前にネゲートされなければなりません。フレームを正しく受信するためには、MII_RX_DV 信号は、SFD フィールドよりも遅れることなく開始して、フレームを取り込む必要があります。
- MII_RX_ER : 受信エラービットは、フレーム内のどこかでエラーが検出されたことを MAC サブレイヤに示すために、1 つまたは複数のクロック周期（MII_RX_CLK）の間、アサートされなければなりません。このエラー条件は、*表 208*での説明のように、MII_RX_DV ビットによって有効とされなければなりません。

表207. TX インタフェース信号のエンコーディング

MII_TX_EN	MII_TXD[3:0]	説明
0	0000 から 1111 まで	通常のフレーム間
1	0000 から 1111 まで	通常のデータ送信

表208. RX インタフェース信号のエンコーディング

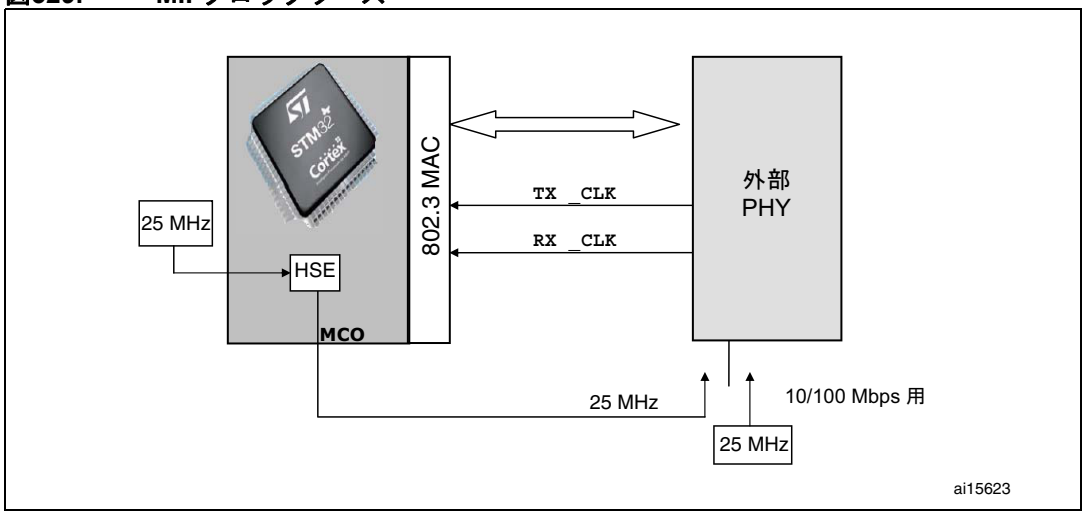
MII_RX_DV	MII_RX_ERR	MII_RXD[3:0]	説明
0	0	0000 から 1111 まで	通常のフレーム間
0	1	0000	通常のフレーム間
0	1	0001 から 1101 まで	予約済み
0	1	1110	不正キャリアの表示
0	1	1111	予約済み
1	0	0000 から 1111 まで	通常のデータ受信
1	1	0000 から 1111 まで	データ受信エラー

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

MII クロックソース

TX_CLK と RX_CLK の両方のクロック信号を生成するには、*図 329*に示されているように、外部 PHY を外部の 25 MHz クロックソースで駆動する必要があります。このクロックを供給するために外部の 25 MHz クォーツを使用する代わりに、STM32F107xx マイクロコントローラは、MCO ピンに出力することができます。この場合、PLL マルチプライヤを 25 MHz の外部クォーツから MCO ピン上に必要な周波数を出力するように設定する必要があります。

図329.　MII クロックソース



28.4.3　縮小メディア独立インタフェース：:RMII

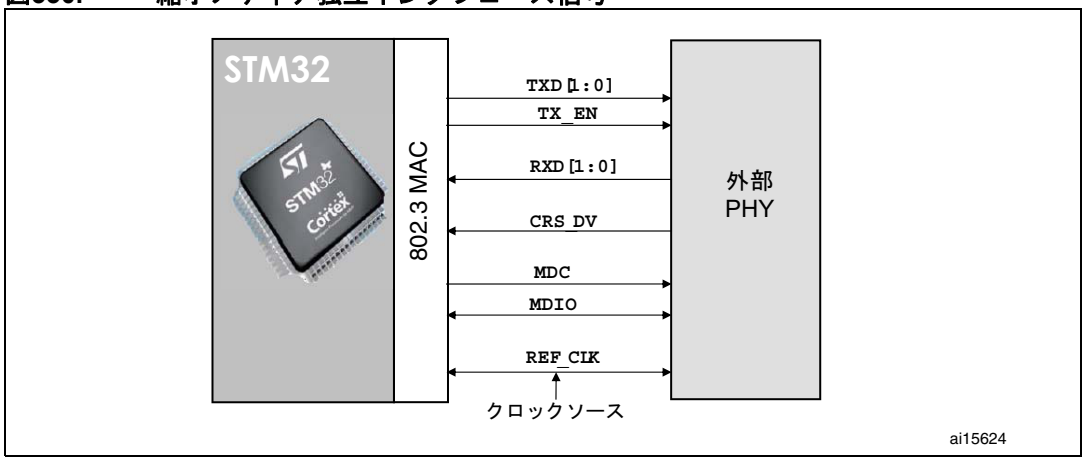
縮小メディア独立インタフェース（RMII）仕様は、STM32F100xx イーサネットペリフェラルと 10/100 Mbit/s の外部イーサネット間のピン数を削減します。IEEE 802.3u 標準に従って、MII は、データおよび制御のために 16 本のピンを備えています。RMII 仕様は、ピン数を 7 本に減らす（ピン数を 62.5% 減らす）ことを目的としています。

RMII は、MAC と PHY の間でインスタンス化されます。これは、MAC の MII を RMII に変換するのに役立ちます。RMII ブロックは、次のような特性を備えています。

- 10 Mbit/s と 100 Mbit/s の動作速度をサポートします。
- 基準クロックは 2 倍して 50 MHz にしなければなりません。
- 同じ基準クロックが MAC と外部イーサネット PHY の両方に供給されなければなりません。
- 独立した 2 ビット幅（双ビット）の送信および受信データパスを提供します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

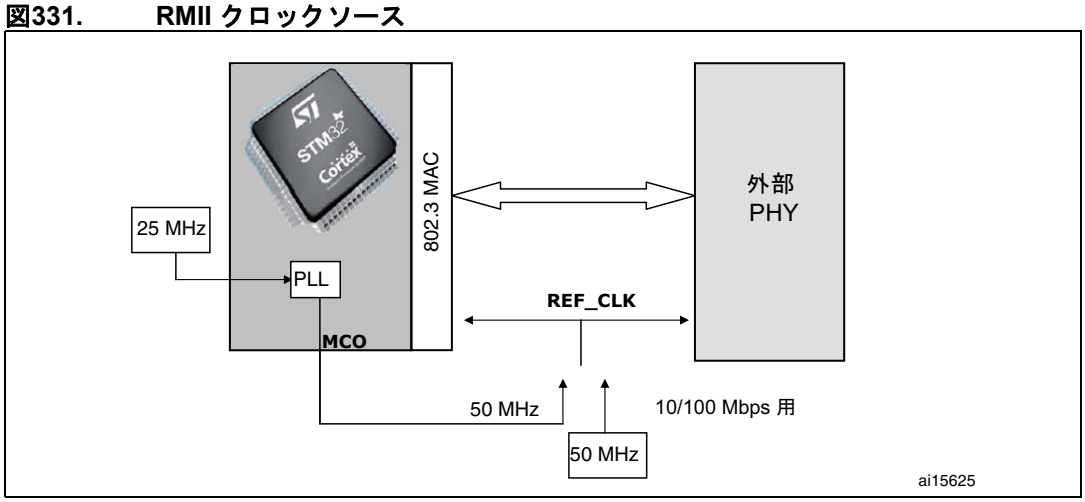
図330.　縮小メディア独立インタフェース信号



RMII クロックソース

RMII クロックソース のセクションで説明されているように、STM32F107xx は MCO 出力ピンにこの 50 MHz クロックを供給することもできますが、その場合、ユーザは、この出力値を PLL 設定を通じて設定する必要があります。

図331.　RMII クロックソース



28.4.4　MII/RMII の選択

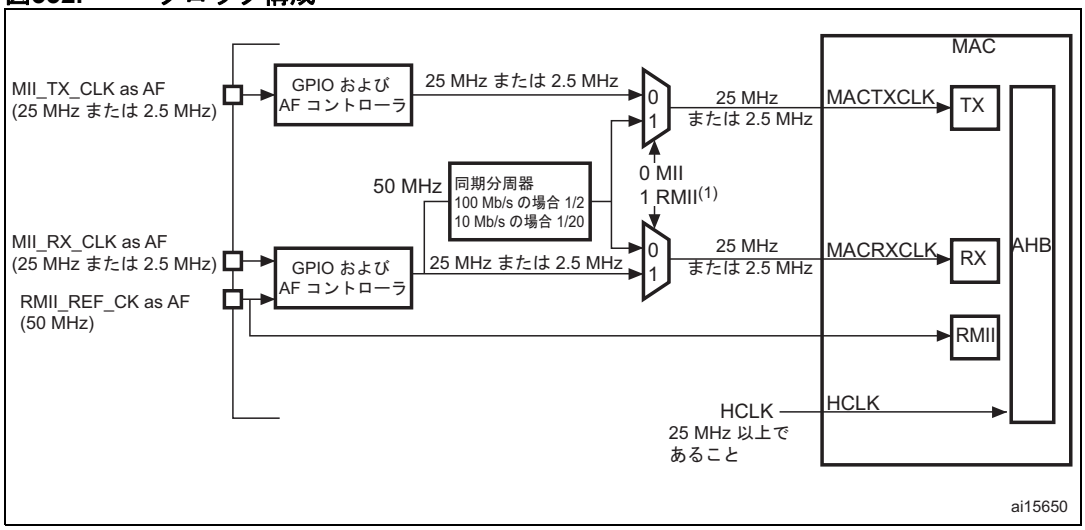
MII モードまたは RMII モードは、AFIO_MAPR レジスタの設定ビット 23（MII_RMII_SEL）を使用して選択されます。アプリケーションは、イーサネットコントローラがリセット状態にあるとき、またはクロックを有効にする前に、MII/RMII モードを設定する必要があります。

MII/RMII 内部クロック構成

MII と RMII の両方、ならびに 10 および 100 Mbit/s 動作をサポートするために必要なクロック構成を *図 332*に示します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図332.　クロック構成



1.　MII/RMII 選択は、AFIO_MAPR レジスタのビット 23（MII_RMII_SEL）を通じて制御されます。

ピン数を節約するために、2 つの入力クロック信号、RMII_REF_CK と MII_RX_CLK が同じ GPIO ピンで多重化されます。

28.5　イーサネットの機能詳細：MAC 802.3

ローカルエリアネットワーク（LAN）に関する IEEE 802.3 国際標準では、アクセス方式として CSMA/CD（Carrier Sense Multiple Access with Collision Detection）を採用しています。

イーサネットペリフェラルは、メディア独立インタフェース（MII）と専用 DMA コントローラ付きの MAC 802.3（メディアアクセス制御）で構成されます。

MAC ブロックは、以下のシステムファミリのための LAN CSMA/CD サブレイヤを実装します。ベースバンドおよびブロードバンドシステムの 10 Mbit/s および 100 Mbit/s でのデータ送受信半二重および全二重動作がサポートされます。衝突検出アクセス方式は、半二重動作モードにのみ適用されます。MAC 制御フレームサブレイヤがサポートされます。

MAC サブレイヤは、データリンク制御手順に関連する以下の機能を実行します。

- データのカプセル化（送受信）
  - フレーミング（フレーム境界区切り、フレーム同期）
  - アドレッシング（ソースおよびデスティネーションアドレスの処理）
  - エラー検出
- メディアアクセス管理
  - メディア割り当て（衝突回避）
  - 競合解決（衝突処理）

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

基本的に、MAC サブレイヤには 2 つの動作モードがあります。

- 半二重モード：ステーションは CSMA/CD アルゴリズムを使用して、物理的メディアの使用に対処します。
- 全二重モード：以下の条件がすべて満たされているときには、競合解決を行うことなく同時送受信が可能です（CSMA/CD アルゴリズムは不要です）。
  - 物理メディアが同時送受信機能をサポート可能。
  - LAN に 2 つのステーションだけが接続されている。
  - どちらのステーションも全二重動作に設定されている。

28.5.1 MAC 802.3 フレームフォーマット

MAC ブロックは、IEEE 802.3-2002 標準で規定されている MAC サブレイヤとオプションの MAC 制御サブレイヤ（10/100 Mbit/s）を実装します。

CSMA/CD MAC を使用したデータ通信システムについては、2 つのフレームフォーマットが規定されています。

- 基本 MAC フレームフォーマット
- タグ付き MAC フレームフォーマット（基本 MAC フレームフォーマットの拡張）

*図 334*と *図 335* は、以下のフィールドを含むフレーム構造（タグなしとタグ付き）を示しています。

- プリアンブル：同期目的で使用される 7 バイトのフィールド（PLS 回路）

  16 進値：55-55-55-55-55-55-55

  ビットパターン：01010101 01010101 01010101 01010101 01010101 01010101 01010101（ビット送信順序は右から左）
- 開始フレームデリミタ（SFD）フレームの開始を示すために使用される 1 バイトのフィールド。16 進値：D5

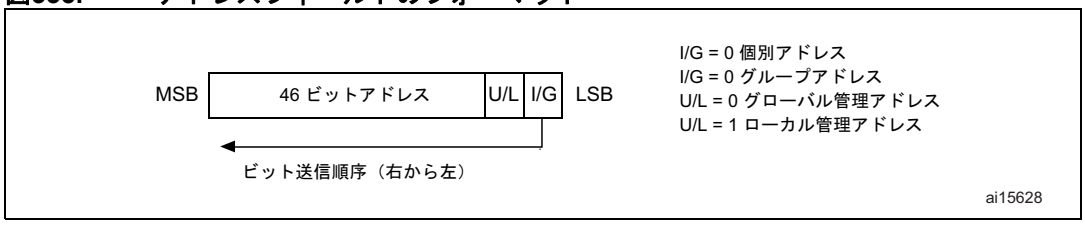
  ビットパターン：11010101（ビット送信順序は右から左）
- デスティネーションおよびソースアドレスフィールド：以下のようなデスティネーションおよびソースステーションアドレスを示す 6 バイトのフィールド（*図 333*を参照）。
  - 各アドレスは 48 ビット長です。
  - デスティネーションアドレスフィールドの最初の LSB ビット（I/G）は、個別のアドレス（I/G = 0）またはグループアドレス（I/G = 1）を示すために使用されます。グループアドレスは、LAN に接続されている 0 個、1 個以上、またはすべてのステーションを識別できます。ソースアドレスの最初のビットは予約済みであり、0 にリセットされます。
  - 2 番目のビット（U/L）は、ローカル管理アドレス（U/L = 1）とグローバル管理アドレス（U/L = 0）を区別します。ブロードキャストアドレスの場合は、このビットも 1 にセットされます。
  - 各アドレスフィールドの各バイトは、最下位ビットから送信されなければなりません。

アドレスの割り当ては、以下のタイプに基づきます。

- 個別アドレス：これは、ネットワーク上の特定のステーションに関連する物理アドレスです。
- グループアドレス：特定のネットワーク上の 1 つまたは複数のステーションに関連づけられたマルチデスティネーションアドレス。マルチキャストアドレスには 2 種類あります。
  - マルチキャストグループアドレス：論理的に関連するステーションのグループに関連づけられたアドレス。
  - ブロードキャストアドレス：常に特定の LAN 上のすべてのステーションを表し、他と区別され、事前定義されたマルチキャストアドレス（デスティネーションアドレスフィールドがすべて 1）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図333.　アドレスフィールドのフォーマット



- QTag プレフィックス : ソースアドレスフィールドと MAC クライアント長/タイプフィールドの間に挿入される 4 バイトのフィールド。このフィールドは、タグ付き MAC フレームを得るための基本フレーム（タグなし）の拡張です。タグなし MAC フレームには、このフィールドはありません。タグ付けのための拡張は、次のとおりです。
  - 2 バイト固定の長さ/タイプフィールドの値は、802.1Q タグプロトコルタイプ（16 進数の 0x8100）の値に等しいタイプ解釈（0x0600 より大きい）に一致します。この固定フィールドは、MAC フレームがタグ付きか、タグなしかを区別するために使用されます。
  - タグ制御情報を含む 2 バイトのフィールドは、3 ビットのユーザ優先順位、キャニカフォーマットインジケータ（CFI）、および 12 ビットの VLAN 識別子に分けられます。タグ付き MAC フレームの長さは、QTag プレフィックスによって 4 バイトだけ拡張されます。
- MAC クライアント長さ/タイプ : 値によって異なる意味（相互排他的）を持つ 2 バイトのフィールド。
  - 値が maxValidFrame（0d1500）以下の場合、このフィールドは、後続の 802.3 フレームのデータフィールドに含まれる MAC クライアントデータバイトの数を示します（長さ解釈）。
  - 値が MinTypeValue（10 進数の 0d1536、0x0600）以上の場合、このフィールドは、イーサネットフレームに関する MAC クライアントプロトコルの性質を示します（タイプ解釈）。

  長さ/タイプフィールドの解釈に関係なく、データフィールドの長さがプロトコルの正常動作に必要な最小値より小さい場合は、データフィールドと FCS（フレームチェックシーケンス）フィールドの間に、PAD フィールドが追加されます。長さ/タイプフィールドは、上位バイトから送受信されます。

  maxValidLength から minTypeValue までの範囲（境界は除く）の長さ/タイプフィールドの値の場合、MAC サブレイヤの動作は規定されていません。すなわち、MAC サブレイヤを通過することもあれば、通過しないこともあります。
- データおよび PAD フィールド : n バイトのデータフィールド。完全なデータ透過性が提供されます。これは、データフィールドには、バイト値が任意の順序で現われてもよいことを意味しています。PAD（ある場合）のサイズは、データフィールドのサイズによって決まります。データおよび PAD フィールドの最大長と最小長は、次のとおりです。
  - 最大長 = 1500 バイト
  - タグなし MAC フレームの最小長 = 46 バイト
  - タグ付き MAC フレームの最小長 = 42 バイト

  データフィールド長が必要な最小値より短い場合、その最小値（タグ付きフレームの場合は 42 バイト、タグなしフレームの場合は 46 バイト）になるように、PAD フィールドが追加されます。
- フレームチェックシーケンス : 巡回冗長検査（CRC）の値を含む 4 バイトのフィールド。CRC の計算は、ソースアドレス、デスティネーションアドレス、QTag プレフィックス、長さ/タイプ、LLC データおよび PAD フィールドに基づきます（すなわち、プリアンブル、SFD 以外のすべてのフィールド）。生成多項式は、以下のように与えられます。

$$G(x) = x^{32} + x^{26} + x^{23} + x^{22} + x^{16} + x^{12} + x^{11} + x^{10} + x^{8} + x^{7} + x^{5} + x^{4} + x^{2} + x + 1$$

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

フレームの CRC 値は、次のように計算されます。

- フレームの最初の 2 ビットの補数が取られます。
- フレームの n ビットは、(n - 1) 次の多項式 M(x)の係数です。デスティネーションアドレスの最初のビットは x^{n-1} 項に対応し、データフィールドの最後のビットは x^0 項に対応します。
- M(x) に x^{32} が乗算され、G(x) で除算されて、≤ 31 次の剰余 R(x) が求められます。
- R(x) の係数は、32 ビットのシーケンスとみなされます。
- このビットシーケンスの補数が CRC になります。
- 32 ビットの CRC 値は、フレームチェックシーケンスに置かれます。x^{32} 項が最初に送信され、x^0 項が最後に送信されます。

図334.　MAC フレームのフォーマット

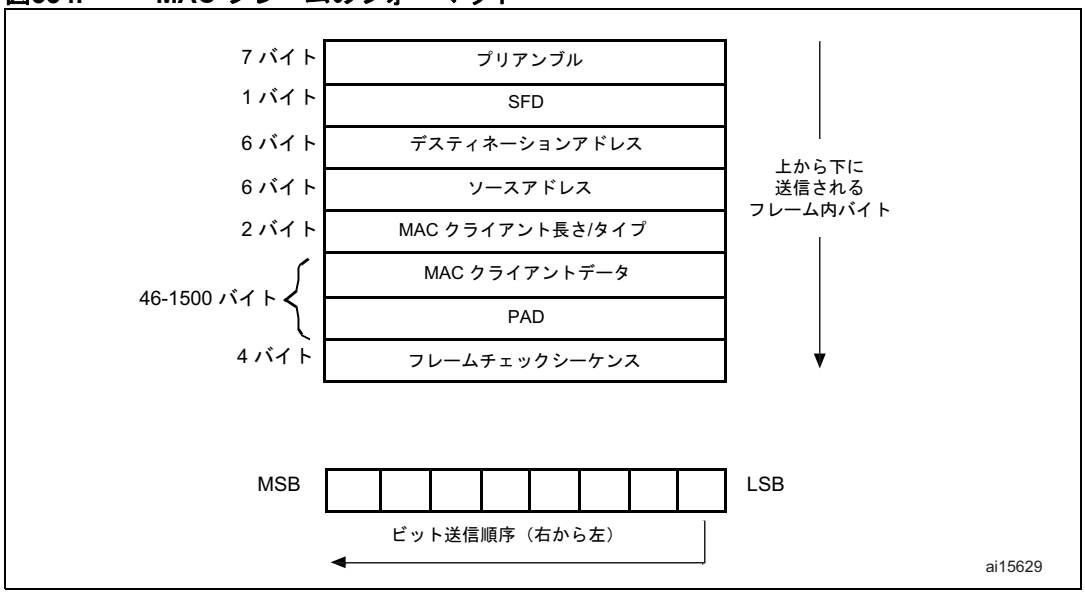
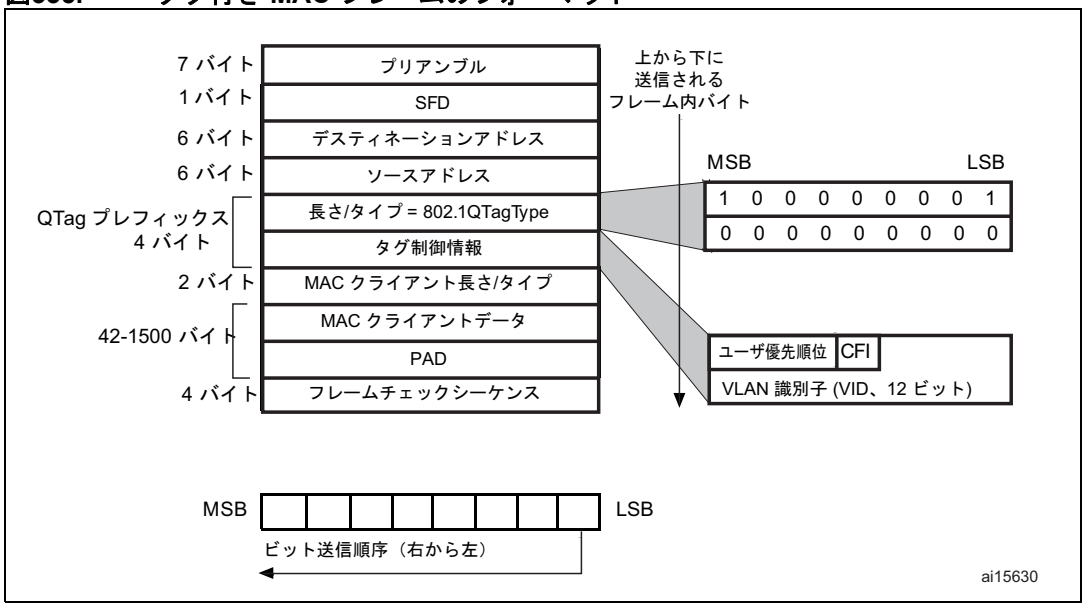


図335.　タグ付き MAC フレームのフォーマット



MAC フレームの各バイトは、FCS フィールドを除き、下位ビットから送信されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

無効な MAC フレームは、次の条件の 1 つによって定義されます。

- フレーム長が、長さ/タイプフィールドで指定された期待値に一致しない。長さ/タイプフィールドがタイプの値を含んでいる場合、フレーム長はこのフィールドに一致している（無効なフレームではない）とみなされます。
- フレーム長が整数のバイト数でない（エキストラビット）。
- 受信したフレームについて計算された CRC 値が、フレームに含まれている FCS に一致しない。

28.5.2 MAC フレームの送信

DMA は、送信パスのすべてのトランザクションを制御します。システムメモリから読み出されたイーサネットフレームは、DMA によって FIFO にプッシュされます。その後、フレームは、ポップアウトされて、MAC コアに転送されます。フレームの終わり（End-of-frame）が転送されると、送信ステータスが MAC コアから取り出されて、DMA に返送されます。送信 FIFO の深さは 2 KB です。FIFO のフィルレベルは DMA に示されるので、DMA は、AHB インタフェースを使用して、要求されたバーストでシステムメモリからのデータフェッチを開始できます。AHB マスタインタフェースからのデータが、FIFO にプッシュされます。

SOF が検出されると、MAC はデータを受け入れて、MII への送信を開始します。アプリケーションが送信を開始した後、MII にフレームデータを送信するのに必要な時間は、IFG 遅延、プリアンブル/SFD の送信時間、半二重モードでのバックオフ遅延などの遅延要素に依存して変わります。EOF が MAC コアに転送されると、コアは通常送信を完了して、DMA に送信ステータスを返送します。送信中に通常の衝突（半二重モード）が発生した場合、MAC コアは、送信ステータスを有効にして、次の SOF を受信するまで、その後のすべてのデータを受け入れてドロップします。MAC から再試行リクエストがあったときには（ステータス内で）、同じフレームが SOF から再送信されなければなりません。送信中にデータが連続的に供給されなかった場合、MAC は、アンダーフローステータスを発行します。フレームの通常転送中に、MAC が前のフレームの EOF を受信していないのに SOF を受信した場合、SOF は無視され、新しいフレームが前のフレームの続きとみなされます。

MAC コアへのデータのポッピングには、2 つの動作モードがあります。

- 閾値モードでは、FIFO 内のバイトの数が設定された閾値レベルを超えると（または、閾値を超える前にフレームの終わりが書き込まれたとき）、データをポップアウトして、MAC コアに転送できます。閾値レベルは、ETH_DMABMR の TTC ビットを使用して設定されます。.
- ストアアンドフォワードモードでは、FIFO に完全なフレームが格納された後でのみ、フレームは MAC コアに向けてポップ可能になります。Tx FIFO のサイズが、送信されるイーサネットフレームより小さい場合、Tx FIFO がほぼいっぱいになったとき、フレームは MAC コアに向けてポップされます。

アプリケーションは、FTF ビット（ETH_DMAOMR レジスタ [20]）をセットすることによって、送信 FIFO のすべての内容をフラッシュできます。このビットは自動的にクリアされ、FIFO ポインタをデフォルト状態に初期化します。MAC コアへのフレーム転送中に FTF ビットがセットされた場合、FIFO はエンプティであるとみなされるので、転送は停止されます。したがって、MAC トランスミッタでアンダーフローイベントが発生し、対応するステータスワードが DMA に転送されます。

CRC およびパッドの自動生成

アプリケーションから受信したバイト数が 60（DA+SA+LT+データ）未満のときには、データ長を正確に 46 バイトにして、IEEE 802.3 の最小データフィールド要件を満たすために、送信フレームにゼロが付加されます。MAC は、パディングを付加しないようにプログラムできます。フレームチェックシーケンス（FCS）フィールドの巡回冗長検査（CRC）が計算され、送信データに付加されます。MAC がイーサネットフレームの最後に CRC 値を付加しないようにプログラムされているときには、計算された CRC は送信されません。このルールの例外として、MAC が 60 バイト未満のフレーム（DA+SA+LT+データ）にパッドを付加するようにプログラムされているときには、パッドが付加されたフレームの最後に CRC が付加されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

CRC ジェネレータは、イーサネットフレームの FCS フィールドの 32 ビットの CRC を計算します。エンコードは、次の多項式によって定義されます。

$$G(x) = x^{32} + x^{26} + x^{23} + x^{22} + x^{16} + x^{12} + x^{11} + x^{10} + x^{8} + x^{7} + x^{5} + x^{4} + x^{2} + x + 1$$

送信プロトコル

MAC は、イーサネットフレームの送信動作を制御します。IEEE 802.3/802.3z 仕様を満たすために、以下の機能を実行します。MAC は、

- プリアンブルと SFD を生成します。
- 半二重モードでジャムパターンを生成します。
- ジャバタイムアウトを制御します。
- 半二重モードのフローを制御します（バックプレッシャ）。
- 送信フレームのステータスを生成します。
- IEEE 1588 に従って、タイムスタンプスナップショットロジックを含んでいます。

新しいフレーム送信が要求されると、MAC は、プリアンブルと SFD を送出してから、データを送出します。プリアンブルは、7 バイトの 0b10101010 パターンとして定義され、SFD は、1 バイトの 0b10101011 パターンとして定義されます。衝突ウィンドウは、1 スロット時間として定義されます（10/100 Mbit/s イーサネットの場合、512 ビット時間）。ジャムパターンの生成は、半二重モードにのみ適用され、全二重モードには適用されません。

MII モードでは、フレームの開始から CRC フィールドの終わりまでの任意の時点で衝突が発生した場合、MAC は、MII で 32 ビットの 0x5555 5555 ジャムパターンを送信して、衝突が発生したステーション以外のすべてのステーションに通知します。プリアンブル送信フェーズ中に衝突が検出された場合、MAC は、プリアンブルと SFD の送信を完了した後、ジャムパターンを送信します。

2048 バイト（デフォルト）を超えるフレームを転送する必要がある場合、イーサネットフレームの送信を中断するために、ジャバタイマが保持されます。MAC は、半二重モードでは、フロー制御のための遅延メカニズム（バックプレッシャ）を使用します。アプリケーションがフレームの受信を停止するように要求すると、MAC は、フレームの受信を検出したときに 32 バイトのジャムパターンを送信します。ただし、送信フロー制御が有効な場合に限ります。これにより衝突が発生し、リモートステーションがバックオフします。アプリケーションは、ETH_MACFCR レジスタの BPA ビット（ビット 0）をセットすることによって、フロー制御を要求します。アプリケーションがフレームの送信を要求した場合、バックプレッシャが有効なときでも、送信がスケジュールされ、実行されます。バックプレッシャが長時間アクティブなままの場合（および 16 を超える衝突イベントが連続して発生した場合）、リモートステーションは過剰衝突のために送信を中止します。送信フレームに対して IEEE 1588 タイムスタンピングが有効な場合、このブロックは SFD が送信 MII バスに送出されたときにシステム時間のスナップショットをとります。

送信スケジューラ

MAC は、MII でのフレーム送信のスケジュールを処理します。2 つの送信フレームの間にフレーム間ギャップを維持し、半二重モードでは、TBEB （Truncated Binary Exponential Backoff）アルゴリズムに従います。MAC は、IFG およびバックオフ遅延を満たした後、送信を有効にします。任意の 2 つの送信フレーム間に設定されたフレーム間ギャップ（ETH_MACCR レジスタの IFG ビット）のアイドル期間を維持します。送信フレームが、設定された IFG 時間より早く到着した場合、MII は、MAC からのイネーブル信号を待ってから、送信を開始します。MAC は、MII のキャリア信号がインアクティブに移行すると、IFG カウンタを開始します。プログラムされた IFG 値の最後で、MAC は、全二重モードでの送信を有効にします。半二重モードで IFG が 96 ビット時間に設定されている場合、MAC は、IEEE 802.3 仕様のセクション 4.2.3.2.1 で規定されている準拠規則に従います。MAC は、IFG インターバルの最初の 3 分の 2 の期間（すべての IFG 値の 64 ビット時間）にキャリアが検出さ

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

れた場合、IFG カウンタをリセットします。IFG インターバルの最後の 3 分の 1 の期間にキャリアが検出された場合、MAC は、IFG カウントを続行して、IFG インターバル後にトランスミッタを有効にします。MAC は、半二重モードで動作するときには、TBEB アルゴリズムを実行します。

送信フロー制御

送信フロー制御イネーブルビット（ETH_MACFCR レジスタの TFE ビット）がセットされると、MAC は、ポーズフレームを生成して、必要に応じて全二重モードで送信します。ポーズフレームは、計算された CRC が付加されて送信されます。ポーズフレームの生成は 2 つの方法で開始できます。

ポーズフレームは、アプリケーションが ETH_MACFCR レジスタの FCB ビットをセットしたときか、受信 FIFO がいっぱい（パケットバッファ）になったときに送信されます。

- アプリケーションが ETH_MACFCR レジスタの FCB ビットをセットすることによってフロー制御を要求した場合、MAC は、1 つのポーズフレームを生成して、送信します。生成されたフレーム内の一時停止時間の値は、ETH_MACFCR でプログラムされた一時停止時間の値を含みます。一時停止時間を延長したり、前に送信されたポーズフレームで指定された時間の前に一時停止を終了するには、アプリケーションは、一時停止時間の値（ETH_MACFCR レジスタの PT）をプログラムしてから、適切な値を持つ別のポーズフレームの送信を要求する必要があります。
- 受信 FIFO がいっぱい状態のときにアプリケーションがフロー制御を要求した場合、MAC は、ポーズフレームを生成して、送信します。生成されたフレーム内の一時停止時間の値は、ETH_MACFCR でプログラムされた一時停止時間の値です。受信 FIFO が、この一時停止時間が経過する前に、設定可能なスロット時間数（ETH_MACFCR の PLT ビット）の間、いっぱい状態のままだった場合、2 番目のポーズフレームが送信されます。このプロセスは、受信 FIFO がいっぱいである限り繰り返されます。サンプリング時間の前に、この条件が満たされなくなった場合、MAC は、一時停止時間がゼロのポーズフレームを送信して、受信バッファが新しいデータフレームを受け取る準備ができたことをリモートエンドに知らせます。

シングルパケット送信動作

送信動作の一般的なイベントシーケンスは、以下のとおりです。

1. システムが送信すべきデータを持っている場合、DMA コントローラは、それらを AHB インタフェースを通じてメモリからフェッチして、FIFO への転送を開始します。フレームの終わりが転送されるまで、データの受信を続けます。
2. 閾値レベルを超えたとき、または 完全なデータパケットが FIFO に受信されたとき、フレームデータはポップされ、MAC コアに送られます。DMA は、完全なパケットが MAC に転送されるまで、FIFO からのデータの転送を続けます。フレームの完了時、DMA コントローラには、MAC からのステータス情報で通知されます。

送信動作 — バッファに 2 つのパケットがある場合

1. DMA はホストに制御を渡す前にディスクリプタのステータスを更新しなければならないので、送信 FIFO に 2 つのフレームが存在することがあります。2 番目のフレームは、OSF（Operate on Second Frame）ビットがセットされている場合にのみ、DMA によってフェッチされて、FIFO に格納されます。このビットがセットされていない場合、次のフレームは、MAC がフレームを完全に処理して、DMA がディスクリプタをリリースした後でのみ、メモリからフェッチされます。
2. OSF ビットがセットされている場合、DMA は、最初のフレームの FIFO への転送を完了した直後に、2 番目のフレームのフェッチを開始します。この場合、ステータスの更新を待ちません。すなわち、最初のフレームの送信中に、2 番目のフレームが FIFO に受信されます。最初のフレームが転送され、MAC からステータスが受信されると、DMA にプッシュされます。DMA が FIFO への 2 番目のパケットの送信をすでに完了している場合、2 番目の送信は、最初のパケットのステータスを待ってから、次のフレームに進む必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

衝突時の再送信

半二重モードでは、フレームが MAC に転送されているときに、MAC ラインインタフェースで衝突イベントが発生することがあります。その場合、MAC は、フレームの終わりが受信される前でも、ステータスを与えることによって、再試行することを明示します。再送信が有効になり、FIFO からフレームが再びポップアウトされます。MAC コアに対して 96 バイトを超えるデータがポップアウトされた後、FIFO コントローラは、そのスペースを解放して、DMA がさらにデータをプッシュできるようにします。これは、この閾値を越えるか、MAC コアがレイト衝突イベントを示したときには、再送信ができないことを意味します。

送信 FIFO のフラッシュ動作

MAC は、動作モードレジスタのビット 20 を使用して、送信 FIFO をフラッシュするための制御をソフトウェアに提供します。フラッシュ動作はただちに実行され、Tx FIFO と対応するポインタは、Tx FIFO が MAC コアへのフレームの転送中でも、初期状態にクリアされます。これにより、MAC トランスミッタにアンダーフローイベントが発生し、フレームの送信は中止されます。このようなフレームのステータスは、アンダーフローとフレームフラッシュの両方のイベント（TDES0 ビットの 13 および 1）でマークされます。フラッシュ動作中は、アプリケーション（DMA）から FIFO へのデータ移動は行われません。フラッシュされたフレーム数（部分的フレームも含む）を示す転送送信ステータスワードがアプリケーションに転送されます。完全にフラッシュされたフレームは、フレームフラッシュステータスビット（TDES0 ビットの 13）がセットされます。フラッシュ動作は、アプリケーション（DMA）が、フラッシュされたフレームのすべてのステータスワードを受け取ったときに完了します。次に、送信 FIFO フラッシュ制御レジスタのビットがクリアされます。この時点で、アプリケーション（DMA）から新しいフレームが受け取られます。フラッシュ動作後に残っている送信データは、SOF マーカーで始まっていない限り、すべて破棄されます。

送信ステータスワード

MAC コアへのイーサネットフレーム転送の最後と、コアがフレームの送信を完了した後に、送信ステータスがアプリケーションに送られます。送信ステータスの詳細な説明は、TDES0 のビット [23:0] と同じです。IEEE 1588 タイムスタンピングが有効な場合、特定のフレームの 64 ビットのタイムスタンプが送信ステータスとともに返されます。

送信チェックサムオフロード

TCP や UDP などの通信プロトコルは、ネットワーク経由で送信されたデータの完全性を確認できるチェックサムフィールドを実装しています。最も広く利用されているイーサネットの用途は、IP データグラムによる TCP や UDP のカプセル化なので、イーサネットコントローラは、チェックサム計算と送信パスへの挿入、および受信パスでのエラー検出をサポートする送信チェックサムオフロード機能を備えています。このセクションでは、送信フレームのチェックサムオフロード機能の動作について説明します。

注：

1. ***TCP、UDP、または ICMP のチェックサムは、完全なフレームに対して計算された後、対応するヘッダフィールドに挿入されます。この要件のため、この機能は、送信 FIFO がストアアンドフォワードモードに設定されているとき（すなわち、ETH_ETH_DMAOMR レジスタの TSF ビットがセットされているとき）のみ有効です。コアが閾値（カットスルー）モードに設定されている場合、送信チェックサムオフロードはバイパスされます。***
2. ***ユーザは、フレームが MAC コアトランスミッタに転送される前に、送信 FIFO が完全なフレームを格納できる十分なサイズがあることを確認する必要があります。FIFO のサイズが入力されたイーサネットフレームのサイズより小さい場合、ストアアンドフォワードモードでも、ペイロード（TCP/UDP/ICMP）チェックサム挿入機能はバイパスされ、フレームの IPv4 ヘッダのチェックサムのみが変更されます。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

送信チェックサムオフロードは、2 種類のチェックサム計算および挿入をサポートします。チェックサムは、CIC ビット（*TDES1：送信ディスクリプタ Word1（975 ページ）*で説明されている TDES1 のビット 28:27）をセットすることによって、フレームごとに制御できます。

IPv4、TCP、UDP、ICMP、IPv6、および ICMPv6 パケットヘッダの仕様については、パケットヘッダの仕様については、IETF 仕様の RFC 791、RFC 793、RFC 768、RFC 792、RFC 2460、および RFC 4443 をそれぞれ参照してください。

- IP ヘッダのチェックサム

  IPv4 データグラムでは、ヘッダフィールドの完全性は、16 ビットのヘッダチェックサムフィールド（IPv4 データグラムの 11 番目と 12 番目のバイト）によって示されます。チェックサムオフロードは、イーサネットフレームのタイプフィールドの値が 0x0800 であり、IP データグラムのバージョンフィールドの値が 0x4 のときに、IPv4 データグラムを検出します。入力フレームのチェックサムフィールドは、計算時には無視され、計算された値に置き換えられます。IPv6 ヘッダにはチェックサムフィールドがないので、チェックサムオフロードは IPv6 ヘッダフィールドを変更しません。この結果、IP ヘッダチェックサムの計算結果は、送信ステータス（ビット 16）の IP ヘッダエラーステータスビットによって示されます。.このステータスビットは、イーサネットタイプフィールドと IP ヘッダのバージョンフィールドの値が一致しないとき、またはイーサネットフレームに十分なデータがない（ IP ヘッダの長さフィールドによって示されます）ときにセットされます。言い換えると、このビットは、IP ヘッダエラーが以下のような状況でアサートされたときにセットされます。

  a) IPv4 データグラムの場合：

  – 受信した イーサネットのタイプは 0x0800 であるが、IP ヘッダのバージョンフィールドが 0x4 に等しくないとき。

  – IPv4 ヘッダ長フィールドが 0x5（20 バイト）未満の値を示しているとき。

  – 合計フレーム長が IPv4 ヘッダ長フィールドで指定された値より小さいとき。

  b) IPv6 データグラムの場合：

  – イーサネットのタイプは 0x86DD だが、IP ヘッダのバージョンフィールドが 0c6 に等しくないとき。

  – IPv6 ヘッダ（40 バイト）または拡張ヘッダ（拡張ヘッダ内の対応するヘッダ長フィールドで指定）が完全に受信される前にフレームが終了したとき。チェックサムオフロードがこのような IP ヘッダエラーを検出したときでも、イーサネットタイプフィールドが IPv4 ペイロードを示している場合は、IPv4 ヘッダチェックサムを挿入します。

- TCP/UDP/ICMP チェックサム

  TCP/UDP/ICMP チェックサムは、IPv4 または IPv6 ヘッダ（拡張ヘッダを含む）を処理して、カプセル化されたペイロードが TCP、UDP、ICMP のいずれかを判断します。

  以下のことに注意してください。

  a) 非 TCP、非 UDP、または非 ICMP/ICMPv6 ペイロードの場合、このチェックサムはバイパスされ、フレームには何の変更も加えられません。

  b) 断片化された IP フレーム（IPv4 または IPv6）、セキュリティ機能を持つ IP フレーム（認証ヘッダやカプセル化されたセキュリティペイロードなど）、およびルーティングヘッダを持つ IPv6 フレームは、バイパスされ、チェックサムによる処理は行われません。

  TCP、UDP、または ICMP ペイロードのチェックサムが計算され、ヘッダ内の対応するフィールドに挿入されます。チェックサムは次の 2 つのモードで動作します。

  – 最初のモードでは、TCP、UDP、または ICMPv6 擬似ヘッダは、チェックサムの計算に含まれず、入力フレームのチェックサムフィールドに存在するとみなされます。チェックサムフィールドはチェックサムの計算に含まれ、最終的に計算されたチェックサムで置き換えられます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

– 第 2 のモードでは、チェックサムフィールドは無視され、TCP、UDP、または ICMPv6 擬似ヘッダデータはチェックサムの計算に含まれ、チェックサムフィールドは最終的な計算値で上書きされます。

次のことに注意してください。ICMP-over-IPv4 パケットの場合、擬似ヘッダは定義されていないので、ICMP パケット内のチェックサムフィールドは、どちらのモードでも常に 0x0000 でなければなりません。0x0000 に等しくない場合、正しくないチェックサムがパケットに挿入される可能性があります。

この操作の結果は、送信ステータスベクタのペイロードチェックサムエラーステータスビット（ビット 12）によって示されます。ペイロードチェックサムエラーステータスビットは、次のどちらかが検出されたときにセットされます。

– フレームがストアアンドフォワードモードで MAC トランスミッタに転送されたが、フレームの終わりが FIFO に書き込まれなかったとき。

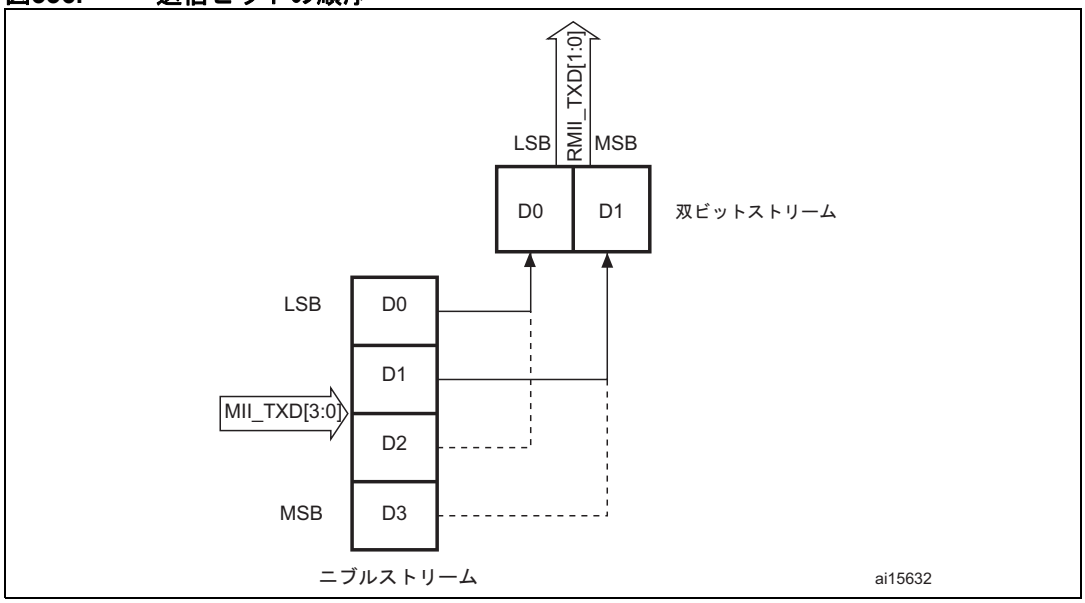
– IP ヘッダのペイロード長フィールドによって示されているバイト数が受信される前に、パケットが終了したとき。

パケットが、示されているペイロード長よりも長いときには、バイトはスタッフバイトとして無視され、エラーは報告されません。最初のタイプのエラーが検出されたとき、TCP、UDP、または ICMP ヘッダは変更されません。2 番目のタイプのエラーの場合、計算されたチェックサムが、対応するヘッダフィールドに挿入されます。

MII/RMII 送信ビットの順序

MII からの各ニブルは、RMII で一度に 2 ビット（双ビット）ずつ、*図 336*に示されている双ビット送信の順序で送信されます。下位ビット（D1 と D0）が最初に送信され、次に上位ビット（D2 と D3）が送信されます。

図336.　送信ビットの順序



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

MII/RMII 送信タイミング図

図337. 衝突がない場合の送信

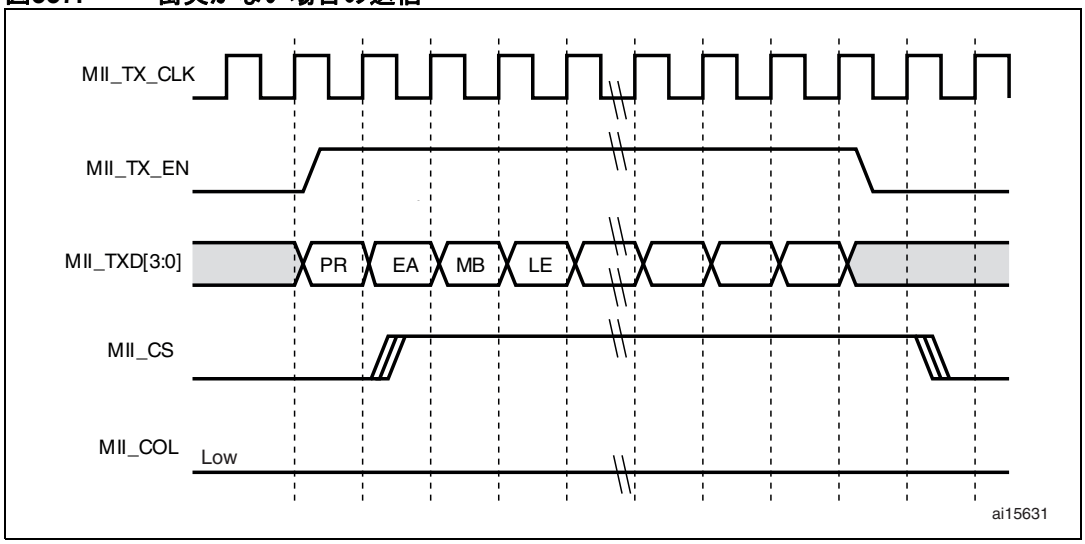


図338. 衝突がある場合の送信

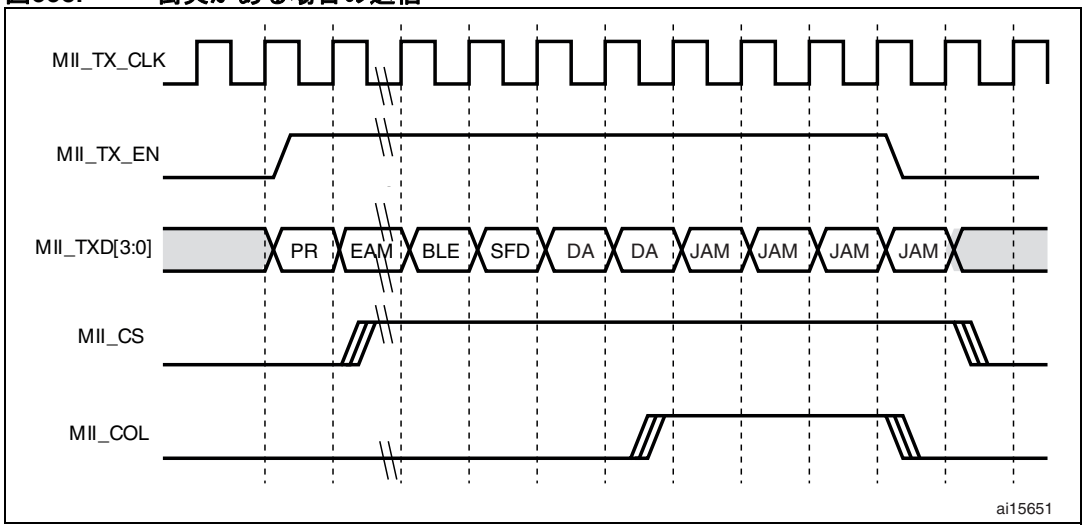
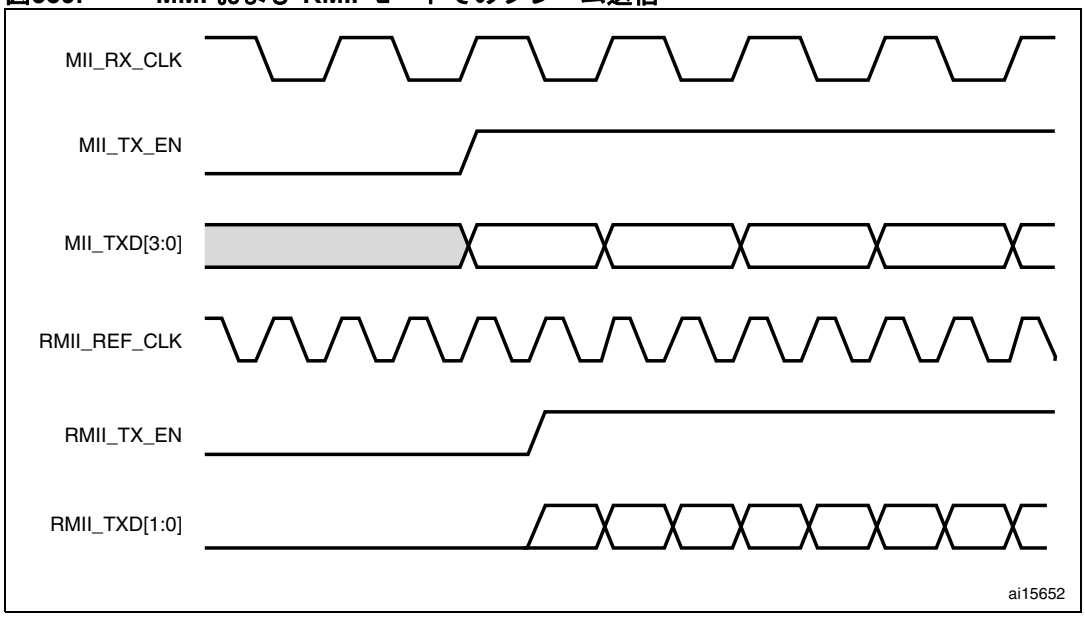


図 339 に、MII および RMII でのフレーム送信を示します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図339.　MMI および RMII モードでのフレーム送信



28.5.3　MAC フレームの受信

MAC が受信したフレームは、Rx FIFO にプッシュされます。この FIFO のステータス（フィルレベル）が設定された受信閾値（ETH_DMAOMR レジスタの RTC）を超えると、そのことが DMA に示されるので、DMA は、AHB インタフェースに対して、事前設定されたバースト転送を開始できます。

デフォルトのカットスルーモードでは、64 バイト（ETH_DMAOMR レジスタの RTC フィールドで設定）またはデータパケット全体がが FIFO に受信されたときに、データがポップアウトされ、データが使用可能になったことが DMA に通知されます。DMA が AHB インタフェースへの転送を開始すると、FIFO からのデータ転送は、完全なパケットが転送されるまで続けられます。EOF フレームの転送が完了すると、ステータスワードがポップアウトされて、DMA コントローラに送信されます。

Rx FIFO のストアアンドフォワードモード（ETH_DMAOMR レジスタの RSF ビットで設定）では、フレームは、受信 FIFOに完全に書き込まれた後にのみ読み出されます。このモードでは、すべてのエラーフレームがドロップされるので（そのようにコアが設定されている場合）、有効なフレームのみが読み出されて、アプリケーションに転送されます。カットスルーモードでは、エラーステータスはフレームの最後に受信され、その時点では、フレームの最初の部分がすでに FIFO から読み出されてしまっているので、一部のエラーフレームはドロップされません。

受信動作は、MAC が MII で SFD を検出したときに開始されます。コアは、フレームの処理を進める前に、プリアンブルと SFD を削除します。フレームの CRC を確認するために、使用されたフィルタリングと FCS フィールドがヘッダフィールドでチェックされます。アドレスフィルタでエラーが発生した場合、そのフレームはコアでドロップされます。

受信プロトコル

受信フレームのプリアンブルと SFD は削除されます。SFD が検出されると、MAC は、イーサネットフレームデータの受信 FIFO への送信を、最初のバイトから始めて、次に SFD（デスティネーションアドレス）という順序で開始します。IEEE タイムスタンピングが有効な場合、任意のフレームの SFD が MII で検出されたとき、システム時間のスナップショットがとられます。MAC がフレームをフィルタリングしてドロップしない限り、このタイムスタンプはアプリケーションに渡されます。

受信フレームの長さ/タイプフィールドが 0x600 未満の場合と、MAC の自動 CRC/パッドストリッピングオプションがプログラムされていた場合には、MAC は、フレームのデータを長さ/タイプフィー

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ルドで指定されたカウントまで Rx FIFO に送信してから、バイトのドロッピング（FCS フィールドを含む）を開始します。長さ/タイプフィールドが 0x600 以上の場合、MAC は、プログラムされた自動 CRC ストリップオプションの値に関係なく、受信したすべてのイーサネットフレームデータを Rx FIFO に送信します。MAC ウォッチドッグタイマは、デフォルトで有効なので、2048 バイト以上のフレーム（DA + SA + LT + データ + パッド + FCS）は切り捨てられます。この機能は、MAC 設定レジスタのウォッチドッグディセーブル（WD）ビットをプログラムすることによって無効にできます。ただし、ウォッチドッグタイマが無効な場合でも、サイズが 16 KB を超えるフレームは切り捨てられ、ウォッチドッグタイムアウトステータスが与えられます。

受信 CRC：自動 CRC およびパッドストリッピング

MAC は、受信フレームの CRC エラーをチェックします。デスティネーションアドレスフィールドから FCS フィールドまでを含めて、受信フレームの 32 ビットの CRC を計算します。エンコードは、次の多項式によって定義されます。

$$G(x) = x^{32} + x^{26} + x^{23} + x^{22} + x^{16} + x^{12} + x^{11} + x^{10} + x^{8} + x^{7} + x^{5} + x^{4} + x^{2} + x + 1$$

自動パッド/CRC ストリップに関係なく、MAC は、フレーム全体を受信して、受信フレームの CRC チェックを計算します。

受信チェックサムオフロード

データの完全性チェックのために、受信 イーサネットフレームの IPv4 または IPv6 が検出され、処理されます。受信チェックサムオフロード機能は、ETH_MACCR レジスタの IPCO ビットをセットすることによって有効にできます。MAC レシーバは、受信した　イーサネットフレームのタイプフィールドの値が 0x0800 か 0x86DD かをチェックすることによって、そのフレームが IPv4 か IPv6 かを識別します。この識別は、VLAN タグ付きフレームにも適用されます。受信チェックサムオフロードは、IPv4 ヘッダのチェックサムを計算して、受信した IPv4 ヘッダのチェックサムと一致するかどうかを確認します。示されているペイロードタイプ（イーサネットタイプフィールド）と IP ヘッダバージョン間に不一致があった場合、または、受信フレームのバイト数が、IPv4 ヘッダの長さフィールドで示されているバイト数より少ないとき（または、IPv4 または IPv6 ヘッダで使用可能なスペースが 20 バイト未満のとき）には、IP ヘッダエラービットがセットされます。受信チェックサムオフロードは、受信した IP データグラム（IPv4 または IPv6）のペイロードが TCP、UDP、または ICMP のいずれであるかも識別して、TCP、UDP、または ICMP 仕様での定義に従って、それぞれのペイロードのチェックサムを計算します。チェックサムの計算には、TCP/UDP/ICMPv6 擬似ヘッダバイトも含まれ、受信したチェックサムフィールドの値が計算値に一致するかどうかをチェックします。この操作の結果は、受信ステータスワードのペイロードチェックサムエラービットとして与えられます。このステータスビットは、TCP、UDP、または ICMP ペイロードが IP ヘッダで示された期待されたペイロード長に一致しない場合にもセットされます。*TCP/UDP/ICMP チェックサム（942 ページ）*で述べたように、受信チェックサムオフロードは、断片化した IP データグラム、セキュリティ機能付き IP データグラム、IPv6 ルーティングヘッダ、および TCP、UDP、または ICMP 以外のペイロードをバイパスします。この情報（チェックサムがバイパスされるかどうか）は、*RDES0：送信ディスクリプタ Word0* のセクションで説明されているように、受信ステータスで与えられます。この設定では、コアは、受信したイーサネットフレームにペイロードチェックサムバイトを付加しません。

*RDES0：送信ディスクリプタ Word0（984 ページ）*で説明されているように、特定のレジスタビットの意味は、*表 209*のように変わります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表209.　フレームのステータス

ビット 18：イーサネットフレーム	ビット 27：ヘッダチェックサムエラー	ビット 28：ペイロードチェックサムエラー	フレームステータス
0	0	0	フレームは IEEE 802.3 フレームです（長さフィールドの値が 0x0600 未満）。
1	0	0	チェックサムエラーが検出されない IPv4/IPv6 タイプのフレーム。
1	0	1	ペイロードチェックサムエラー（PCE の説明と同様）が検出される IPv4/IPv6 タイプのフレーム。
1	1	0	IP ヘッダチェックサムエラー（IPCO HCE の説明と同様）が検出される IPv4/IPv6 タイプのフレーム。
1	1	1	PCE と IPCO HCE の両方が検出される IPv4/IPv6 タイプのフレーム。
0	0	1	IP HCE がなく、サポートされていないペイロードであるためにペイロードチェックがバイパスされる IPv4/IPv6 タイプのフレーム。
0	1	1	IPv4 でも IPv6 でもないタイプのフレーム（チェックサムオフロードはチェックサムのチェックを完全にバイパスします）。
0	1	0	予約済み

受信フレームコントローラ

MAC CSR フレームフィルタレジスタの RA ビットが リセットされた場合、MAC は、デスティネーション/ソースアドレスに基づいて、フレームフィルタリングを行います（その場合でも、アプリケーションは、ラントフレームや CRC エラーフレームなどの不良フレームを受信しないと決めた場合、別のレベルのフィルタリングを実行する必要があります）。フィルタ失敗が検出されると、フレームはドロップされ、アプリケーションに転送されません。フィルタリングパラメータが動的に変更されたときと、（DA-SA）フィルタ失敗の場合、フレームの残りはドロップされ、Rx ステータスワードがただちに更新されて（ゼロフレーム長、CRC エラー、およびラントエラービットがセットされます）、フィルタ失敗を示します。イーサネットパワーダウンモードでは、受信されたすべてのフレームがドロップされ、アプリケーションに転送されません。

受信フロー制御

MAC は、ポーズフレームの受信を検出して、受信したポーズフレームで指定された遅延時間の間、フレーム送信を一時停止します（全二重モードの場合のみ）。ポーズフレーム検出機能は、ETH_MACFCR レジスタの RFCE ビットで有効または無効にできます。受信フロー制御が有効にされると、受信フレームのデスティネーションアドレスの監視が開始され、制御フレームのマルチキャストアドレス（0x0180 C200 0001）と一致しているかどうかが確認されます。一致が検出された場合（受信フレームのデスティネーションアドレスが受信制御フレームのデスティネーションアドレスと一致）、MAC は、ETH_MACFFR レジスタの PCF ビットのレベルに基づいて、受信した制御フレームをアプリケーションに転送するかどうかを決定します。

MAC は、受信した制御フレームのタイプ、OP コード、およびポーズタイマフィールドのデコードも行います。ステータスのバイトカウントが 64 バイトを示している場合と、CRC エラーがない場合、MAC トランスミッタは、デコードしたポーズ時間の値にスロット時間（10/100 Mbit/s の両方のモードについて 64 バイト時間）を掛けた時間の間、フレーム送信を一時停止します。一方、ポーズ時間

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

値がゼロの別のポーズフレームが検出された場合には、MAC は、ポーズ時間をリセットして、この新しいポーズリクエストを管理します。

受信した制御フレームがタイプフィールド（0x8808）、OP コード（0x00001）、またはバイト長（64 バイト）のいずれにも一致しなかった場合、MAC はポーズを生成しません。

マルチキャストデスティネーションアドレスを持つポーズフレームの場合、MAC は、アドレスの一致に基づいてフレームをフィルタします。

ユニキャストデスティネーションアドレスを持つポーズフレームの場合、MAC のフィルタリングは、DA が MAC アドレス 0 レジスタの内容に一致しているかどうか、および ETH_MACFCR レジスタの UPDF ビットがセットされている（ユニキャストデスティネーションアドレスを持つポーズフレームでも検出する）かどうかに依存します。PCF レジスタビット（ETH_MACFFR レジスタのビット[7:6]）は、アドレスフィルタリングに加えて、制御フレームのフィルタリングを制御します。

受信動作におけるマルチフレームの処理

ステータスはデータの直後に使用可能なので、FIFO は、いっぱいでない限り、任意のフレーム数を格納できます。

エラー処理

MAC から EOF データを受信する前に Rx FIFO がいっぱいになった場合は、オーバーフローが宣言され、フレーム全体がドロップされて、ETH_DMAMFBOCR レジスタのオーバーフローカウンタがインクリメントされます。ステータスは、オーバーフローによる部分的フレームであることを示します。
Rx FIFO は、（ETH_DMAOMR レジスタの FEF および FUGF ビットを使用して）有効にされた場合、エラーおよびアンダサイズのフレームをフィルタできます。
受信 FIFO がストアアンドフォワードモードで動作するように設定されている場合、すべてのエラーフレームがフィルタされ、ドロップされます。
カットスルーモードでは、フレームの SOF が Rx FIFO から読み出されたときにフレームのステータスおよび長さが使用可能な場合、エラーフレームを完全にドロップすることができます。DMA は、受信フレームフラッシュビットを有効にすることによって、FIFO から読み出したエラーフレームをフラッシュできます。アプリケーション（DMA）へのデータ転送は停止し、フレームの残りが内部で読み出されて、ドロップされます。使用可能な場合、次のフレーム転送を開始できます。

受信ステータスワード

イーサネットフレーム受信の最後に、MAC は、アプリケーション（DMA）に対して受信ステータスを出力します。受信ステータスの詳細な説明は、RDSE0 のビット[31:0] の説明と同じです。*RDES0：送信ディスクリプタ Word0（984 ページ）*を参照してください。

フレーム長インタフェース

スイッチアプリケーションの場合、アプリケーションと MAC の間でのデータの送受信は、完全なフレーム転送として発生します。アプリケーションレイヤは、フレームを出力ポートに転送するために、入力ポートから受信したフレームの長さを認識する必要があります。MAC コアは、各フレームの受信の最後のステータス内で、受信した各フレームのフレーム長を示します。

注： ***オーバーフローにより、Rx FIFO に書き込まれた部分フレームについては、フレーム長の値として 0 が与えられます。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

MII/RMII 受信ビットの順序

各ニブルは、RMII から受信した双ビットから MII に、*図 340*に示されているニブル送信順序で送信されます。下位ビット（D1 と D0）が最初に受信され、次に上位ビット（D2 と D3）が受信されます。

図340.　受信ビットの順序

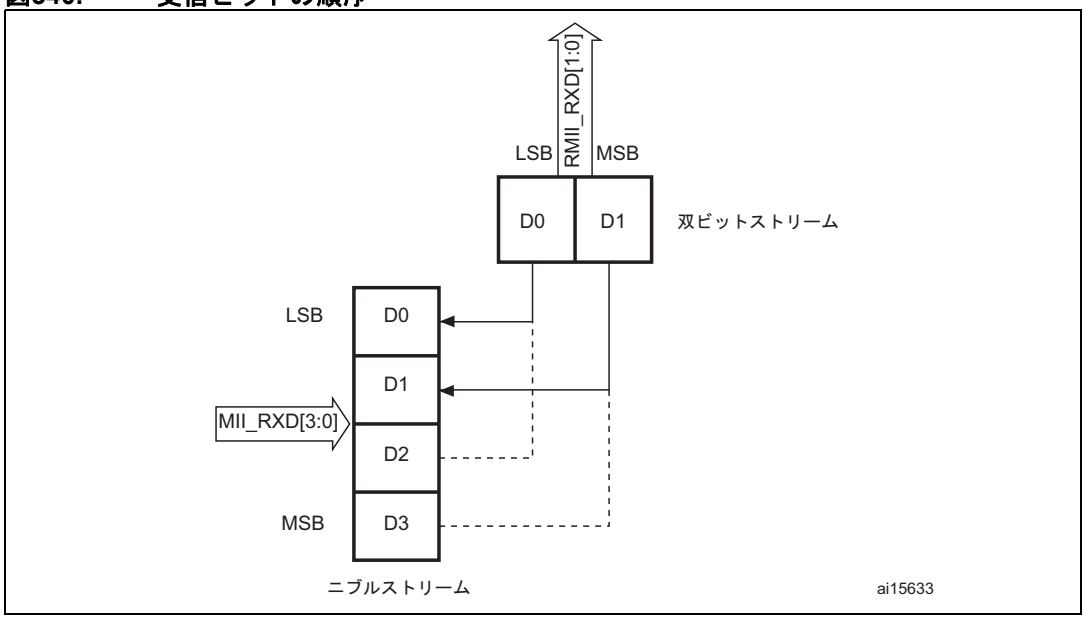
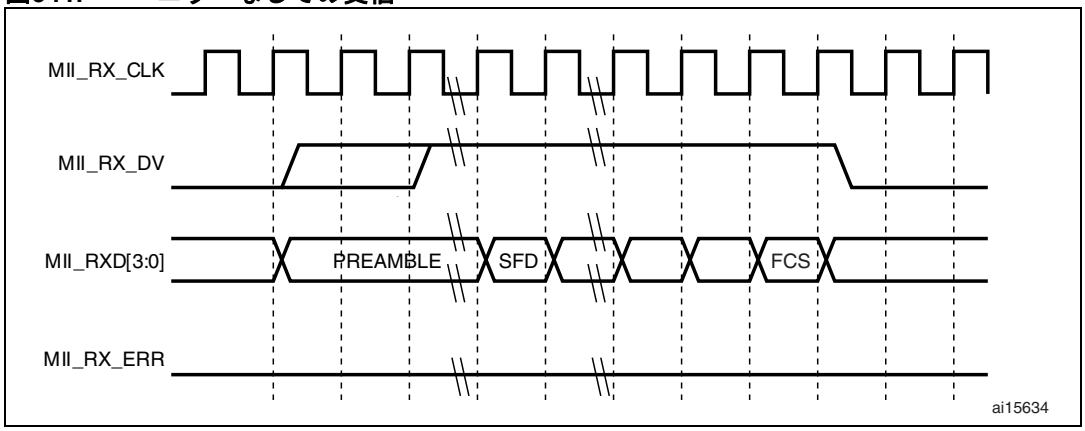


図341.　エラーなしでの受信



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図342. エラーありでの受信

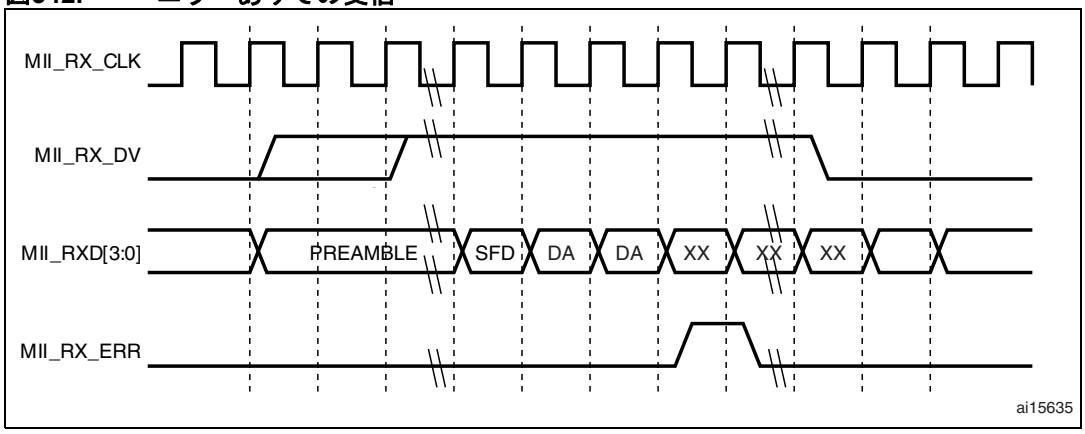
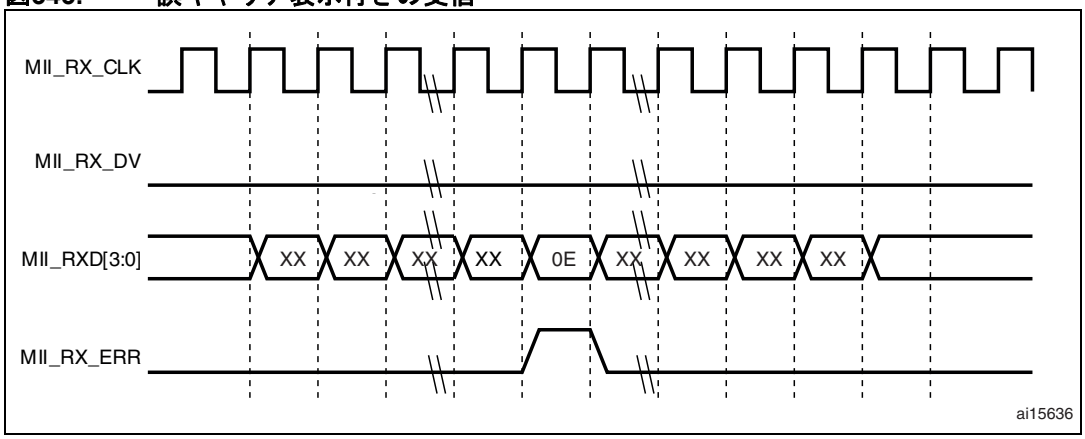


図343. 誤キャリア表示付きの受信



28.5.4 MAC 割り込み

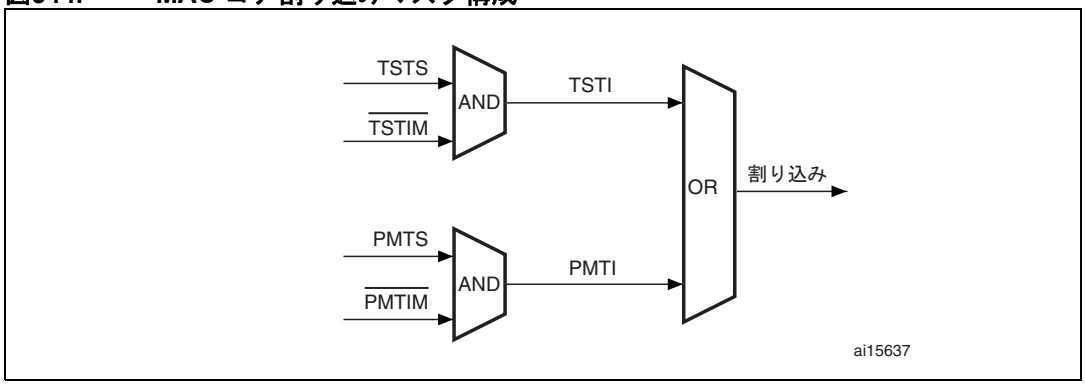
さまざまなイベントの結果として、MAC コアから割り込みが生成されることがあります。

ETH_MACSR レジスタは、MAC コアからの割り込みの原因となるベントを記述します。割り込みマスクレジスタの対応するマスクビットをセットすることによって、各イベントが割り込みをアサートしないようにすることができます。

割り込みレジスタビットは、イベントが報告されるブロックを示すだけです。割り込みをクリアするには、対応するステータスレジスタと他のレジスタを読み出す必要があります。たとえば、割り込みレジスタのビット 3 がハイにセットされているときには、パワーダウンモードでマジックパケットまたは Wake-on-LAN フレームが受信されたことを示します。この割り込みをクリアするには、ユーザは ETH_MACPMTCSR レジスタを読み出す必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図344.　MAC コア割り込みマスク構成



28.5.5　MAC フィルタリング

アドレスフィルタリング

アドレスフィルタリングは、受信したすべてのフレームのデスティネーションアドレスとソースアドレスをチェックして、それに応じてアドレスフィルタリングステータスが報告されます。アドレスチェックは、アプリケーションによって選択されたさまざまなパラメータ（フレームフィルタレジスタ）に基づきます。フィルタされるフレームも、マルチキャストかブロードキャストかが識別されます。

アドレスフィルタリングでは、ステーションの物理（MAC）アドレスとマルチキャストハッシュテーブルがアドレスチェックに使用されます。

ユニキャストデスティネーションアドレスフィルタ

MAC は、ユニキャストの完全なフィルタリングのために、最大 4 つの MAC アドレスをサポートします。完全フィルタリングが選択された場合（フレームフィルタレジスタの HU ビットがリセット）、MAC は、受信したユニキャストアドレスの 48 ビットすべてを、プログラムされた MAC アドレスと比較して、一致しているかどうかを確認します。デフォルトの MacAddr0 は常に有効であり、その他のアドレス（MacAddr1～MacAddr3）は、個別のイネーブルビットで選択されます。その他のアドレス（MacAddr1～MacAddr3）の各バイトは、レジスタの対応するマスクバイト制御ビットをセットすることによって、対応する受信 DA バイトとの比較時にマスクできます。これは、DA のグループアドレスフィルタリングに役立ちます。ハッシュフィルタリングモード（HU ビットがセットされているとき）では、MAC は、64 ビットのハッシュテーブルを使用して、ユニキャストアドレスの不完全フィルタリングを実行します。ハッシュフィルタリングの場合、MAC は、受信したデスティネーションアドレスの CRC の上位 6 ビットを使用して（下記の注 1 を参照）、ハッシュテーブルの内容をインデックスします。値 000000 は、選択されたレジスタのビット 0 を選択し、値 111111 は、ハッシュテーブルレジスタのビット 63 を選択します。対応するビット（6 ビット CRC によって示される）が 1 にセットされた場合、ユニキャストフレームはハッシュフィルタを通過したとみなされ、そうでない場合、フレームはハッシュフィルタ通過できなかったとみなされます。

注：　1　この CRC は、次の多項式によって符号化された 32 ビット値です（詳細については、セクション 28.5.3：MAC フレームの受信を参照してください）。

$$G(x) = x^{32} + x^{26} + x^{23} + x^{22} + x^{16} + x^{12} + x^{11} + x^{10} + x^{8} + x^{7} + x^{5} + x^{4} + x^{2} + x + 1$$

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

マルチキャストデスティネーションアドレスフィルタ

MAC は、フレームフィルタレジスタの PAM ビットをセットすることによって、すべてのマルチキャストフレームを通過させるようにプログラムできます。PAM ビットがリセットされた場合、MAC は、フレームフィルタレジスタの HM ビットに基づいて、マルチキャストアドレスのフィルタリングを実行します。完全フィルタリングモードでは、マルチキャストアドレスが、プログラムされた MAC デスティネーションアドレスレジスタ（1-3）と比較されます。グループアドレスフィルタリングもサポートされています。ハッシュフィルタリングモードでは、MAC は、64 ビットのハッシュテーブルを使用して、不完全フィルタリングを実行します。ハッシュフィルタリングの場合、MAC は、受信したマルチキャストアドレスの CRC の上位 6 ビット（下記の注 1 を参照）を使用して、ハッシュテーブルの内容をインデックスします。値 000000 は選択されたレジスタのビット 0 を、値 111111 はハッシュテーブルレジスタのビット 63 を選択します。対応するビットが 1 にセットされた場合は、マルチキャストフレームがハッシュフィルタを通過したことを示し、そうでない場合は、フレームがハッシュフィルタを通過できなかったことを示します。

注： 1 この CRC は、次の多項式によって符号化された 32 ビット値です（詳細については、セクション 28.5.3：MAC フレームの受信を参照してください）。

$$G(x) = x^{32} + x^{26} + x^{23} + x^{22} + x^{16} + x^{12} + x^{11} + x^{10} + x^{8} + x^{7} + x^{5} + x^{4} + x^{2} + x + 1$$

ハッシュまたは完全アドレスフィルタ

DA フィルタは、フレームフィルタレジスタの HPF ビットをセットし、対応する HU または HM ビットをセットすることによって、DA がハッシュフィルタまたは完全フィルタに一致するときにはフレームを通過させるように設定できます。この設定は、ユニキャストフレームとマルチキャストフレームの両方に適用されます。HPF ビットがリセットされた場合は、1 つのフィルタ（ハッシュまたは完全）だけが受信フレームに適用されます。

ブロードキャストアドレスフィルタ

デフォルトモードでは、MAC は、ブロードキャストフレームをフィルタしません。ただし、フレームフィルタレジスタの BFD ビットをセットすることによって、すべてのブロードキャストフレームを拒絶するように MAC がプログラムされた場合は、ブロードキャストフレームは無視されます。

ユニキャストソースアドレスフィルタ

MAC は、受信フレームのソースアドレスフィールドに基づいて、完全フィルタリングを実行することもできます。デフォルトでは、MAC は、SA フィールドを、SA レジスタでプログラムされた値と比較します。MAC アドレスレジスタ [1:3] は、対応するレジスタのビット 30 をセットすることによって、比較のために DA の代わりに SA を含めるように設定することができます。SA によるグループフィルタリングもサポートされています。フレームフィルタレジスタの SAF ビットがセットされている場合、SA フィルタを通過できなかったフレームは、MAC によってドロップされます。そうでない場合、SA フィルタの結果は、受信ステータスワード内のステータスビットとして与えられます（*RDES0：送信ディスクリプタ Word0*を参照）。

SAF ビットがセットされた場合、SA フィルタと DA フィルタの結果が AND（論理積）されて、フレームを転送する必要があるかどうかが決まります。これは、どちらかのフィルタの通過に失敗したフレームはドロップされることを意味します。フレームがアプリケーションに転送されるためには、両方のフィルタを通過する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

逆フィルタリング動作

デスティネーションおよびソースアドレスフィルタリングの両方について、最終出力でフィルター致結果を反転できるオプションがあります。これらは、それぞれフレームフィルタレジスタの DAIF および SAIF ビットによって制御されます。DAIF ビットは、ユニキャストとマルチキャストの両方の DA フレームに適用可能です。このモードでは、ユニキャスト/マルチキャストデスティネーションアドレスフィルタの結果が反転されます。同様に、SAIF ビットがセットされると、ユニキャスト SA フィルタの結果が反転されます。*表 210* と *表 211*に、受信フレームのタイプに基づくデスティネーションアドレスとソースアドレスのフィルタリングを示します。

表210. デスティネーションアドレスフィルタリングテーブル

フレームタイプ	PM	HPF	HU	DAIF	HM	PAM	DB	DA フィルタ動作
ブロードキャスト	1	X	X	X	X	X	X	成功
	0	X	X	X	X	X	0	成功
	0	X	X	X	X	X	1	失敗
ユニキャスト	1	X	X	X	X	X	X	すべてのフレームをパス
	0	X	0	0	X	X	X	完全/グループフィルター致で成功
	0	X	0	1	X	X	X	完全/グループフィルター致で失敗
	0	0	1	0	X	X	X	ハッシュフィルター致で成功
	0	0	1	1	X	X	X	ハッシュフィルター致で失敗
	0	1	1	0	X	X	X	ハッシュまたは完全/グループフィルター致で成功
	0	1	1	1	X	X	X	ハッシュまたは完全/グループフィルター致で失敗
マルチキャスト	1	X	X	X	X	X	X	すべてのフレームをパス
	X	X	X	X	X	1	X	すべてのフレームをパス
	0	X	X	0	0	0	X	完全/グループフィルター致で成功、PCF = 0x の場合はポーズ制御フレームをドロップ。
	0	0	X	0	1	0	X	ハッシュフィルター致で成功、PCF = 0x の場合はポーズ制御フレームをドロップ。
	0	1	X	0	1	0	X	ハッシュまたは完全/グループフィルター致で成功、PCF = 0x の場合はポーズ制御フレームをドロップ。
	0	X	X	1	0	0	X	完全/グループフィルター致で失敗、PCF = 0x の場合はポーズ制御フレームをドロップ。
	0	0	X	1	1	0	X	ハッシュフィルター致で失敗、PCF = 0x の場合はポーズ制御フレームをドロップ。
	0	1	X	1	1	0	X	ハッシュまたは完全/グループフィルター致で失敗、PCF = 0x の場合はポーズ制御フレームをドロップ。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表211.　ソースアドレスフィルタリングテーブル

フレームタイプ	RTPR	SAIF	SAF	SA フィルタ動作
ユニキャスト	1	X	X	すべてのフレームをパス
	0	0	0	完全/グループフィルター致で成功ステータスだが、失敗したフレームをドロップしない。
	0	1	0	完全/グループフィルター致で失敗ステータスだが、フレームを無視しない。
	0	0	1	完全/グループフィルター致で成功、失敗したフレームを無視する。
	0	1	1	完全/グループフィルター致で失敗、失敗したフレームを無視する。

28.5.6　MAC ループバックモード

MAC は、送信したフレームのレシーバへのループバックをサポートします。デフォルトでは、MAC のループバック機能は無効ですが、MAC ETH_MACCR レジスタのループバックビットをプログラムすることによって有効にできます。

28.5.7　MAC 管理カウンタ：MMC

MAC 管理カウンタ（MMC）は、受信および送信フレームの統計を集めるために、一連のレジスタを維持します。これらのレジスタとしては、レジスタの動作を制御する制御レジスタ、生成された割り込み（受信および送信）を含む 2 つの 32 ビットレジスタ、および割り込みレジスタ（受信および送信）のマスクを含む 2 つの 32 ビットレジスタがあります。これらのレジスタには、アプリケーションからアクセスできます。各レジスタは 32 ビット幅です。

セクション 28.8：イーサネットレジスタの説明 では、さまざまなカウンタについて説明し、統計カウンタのそれぞれのアドレスを示します。このアドレスは、目的の送信/受信カウンタへの読み出し/書き込みアクセスのために使用されます。

受信 MMC カウンタは、アドレスフィルタリングをパスしたフレームについて更新されます。ドロップされたフレームの統計は、ドロップされたフレームが 6 バイト未満のラントフレーム（DA バイトが完全には受信されていない）でない限り、更新されません。

良好な送信および受信フレーム

送信されたフレームは、正常に送信された場合、「良好」とみなされます。言い換えると、送信されたフレームは、フレーム送信が以下のいずれかのエラーによって中止されなければ、良好なフレームです。

+ ジャバタイムアウト
+ キャリアがない/キャリアの喪失
+ レイト衝突
+ フレームアンダーフロー
+ 過剰遅延
+ 過剰衝突

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

受信フレームは、以下のエラーが 1 つもなかった場合に「良好」とみなされます。

+ CRC エラー
+ ラントフレーム（64 バイト未満）
+ アライメントエラー（10/100 Mbit/s のみ）
+ 長さエラー（非型フレームのみ）
+ 範囲外（非型フレームのみ、最大サイズより長い）
+ MII_RXER 入力エラー

最大フレームサイズは、次のように、フレームのタイプに依存します。

+ タグなしフレームの最大サイズ = 1518
+ VLAN フレームの最大サイズ = 1522

28.5.8 電源管理 : PMT

このセクションでは、MAC によってサポートされる電源管理（PMT）のメカニズムについて説明します。PMT は、ネットワーク（リモート）ウェイクアップフレームとマジックパケットフレームの受信をサポートします。PMT は、MAC によって受信されたウェイクアップフレームおよびマジックパケットに対して割り込みを生成します。PMT ブロックは、リモートウェイクアップフレームイネーブルとマジックパケットイネーブルで有効にされます。これらのイネーブルビット（WFE および MPE）は、ETH_MACPMTCSR レジスタにあり、アプリケーションによってプログラムされます。PMT でパワーダウンモードが有効になると、すべての受信フレームが MAC によってドロップされ、アプリケーションに転送されません。MAC は、マジックパケットまたはリモートウェイクアップフレームが受信され、対応する検出機能が有効なときのみ、パワーダウンモードから抜けます。

リモートウェイクアップフレームフィルタレジスタ

8 つのウェイクアップフレームフィルタレジスタがあります。各レジスタに書き込むには、ウェイクアップフレームフィルタレジスタに値を 1 つずつロードします。ウェイクアップフレームフィルタレジスタに 8 回、順にロードすることによって、ウェイクアップフレームフィルタの望ましい値がロードされます。読み出し操作は、書き込み動作と同じです。8 つの値を読み出すには、ウェイクアップフレームフィルタレジスタを 8 回、最後のレジスタまで読み出す必要があります。各読み出し/書き込みは、ウェイクアップフレームフィルタレジスタを次のフィルタレジスタに向けさせます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図345.　ウェイクアップフレームフィルタレジスタ

ウェイクアップフィルタ reg0	フィルタ 0 バイトマスク							
ウェイクアップフィルタ reg1	フィルタ 1 バイトマスク							
ウェイクアップフィルタ reg2	フィルタ 2 バイトマスク							
ウェイクアップフィルタ reg3	フィルタ 3 バイトマスク							
ウェイクアップフィルタ reg4	RSVD	フィルタ 3 コマンド	RSVD	フィルタ 2 コマンド	RSVD	フィルタ 1 コマンド	RSVD	フィルタ 0 コマンド
ウェイクアップフィルタ reg5	フィルタ 3 オフセット		フィルタ 2 オフセット		フィルタ 1 オフセット		フィルタ 0 オフセット	
ウェイクアップフィルタ reg6	フィルタ 1 CRC - 16				フィルタ 0 CRC - 16			
ウェイクアップフィルタ reg7	フィルタ 3 CRC - 16				フィルタ 2 CRC - 16			

ai15647

- フィルタ i バイトマスク

  このレジスタは、フレームがウェイクアップフレームであるかどうかを判定するために、フィルタ i（0、1、2、および 3）によって調べられるフレームのバイトを定義します。MSB（31 番目のビット）はゼロでなければなりません。
  ビット j [30:0] はバイトマスクです。バイトマスクのビット j（バイト数）がセットされた場合、受信フレームのフィルタ i オフセット + j が CRC ブロックによって処理されます。そうでない場合、フィルタ i オフセット + j は無視されます。

- フィルタ i コマンド

  この 4 ビットのコマンドは、フィルタ i 動作を制御します。ビット 3 は、アドレスタイプを指定し、パターンのデスティネーションアドレスタイプを定義します。このビットがセットされると、パターンはマルチキャストフレームにのみ適用されます。このビットがリセットされると、パターンはユニキャストフレームにのみ適用されます。ビット 2 とビット 1 は予約済みです。ビット 0 はフィルタ i のイネーブルビットです。ビット 0 がセットされていない場合、フィルタは無効です。

- フィルタ i オフセット

  このレジスタは、フレームがフィルタ i によって調べられる（フレーム内の）オフセットを定義します。この 8　ビットパターンのオフセットは、フィルタ i によって調べられる最初のバイトのオフセットです。許される最小値は 12 であり、フレームの 13 番目のバイトを指します（オフセット値 0 は、フレームの最初のバイトを指します）。

- フィルタ i CRC-16

  このレジスタは、パターンから計算された CRC-16 値に加えて、ウェイクアップフィルタレジスタブロックに対してプログラムされたバイトマスクを含みます。

リモートウェイクアップフレームの検出

MAC がスリープモードであり、ETH_MACPMTCSR レジスタのリモートウェイクアップビットが有効なときには、リモートウェイクアップフレームの受信後、通常の動作がリスタートされます。アプリケーションは、ウェイクアップフレームフィルタレジスタアドレスへの逐次書き込みを行うことによって、8 つのウェイクアップフィルタレジスタのすべてに書き込みます。アプリケーションは、ETH_MACPMTCSR レジスタのビット 2 に 1 を書き込むことによって、リモートウェイクアップを有効にします。PMT は、さまざまな受信フレームパターンを提供する 4 つのプログラマブルフィルタをサポートします。受信フレームがフィルタコマンドのアドレスフィルタリングをパスし、フィルタ CRC-16 が、チェック対象の受信パターンに一致した場合、ウェイクアップフレームは受信されます。Filter_offset（最小値は、フレームの 13 番目のバイトを指す 12）は、フレームをチェックするオフセット値を指定します。フィルタバイトマスクは、チェックするフレームのバイトを指定します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

バイトマスクの 31 番目のビットは、ゼロにセットされなければなりません。ウェイクアップフレームは、ラントフレームではないことを確認するために、長さエラー、FCS エラー、ドリブルビットエラー、MII エラー、衝突のみがチェックされます。ウェイクアップフレームの長さが 512 バイトを超える場合でも、フレームの CRC 値が有効な場合は、有効とみなされます。ウェイクアップフレームの検出は、リモートウェイクアップフレームが受信されるたびに、ETH_MACPMTCSR レジスタで更新されます。有効な場合は、PMT 割り込みが生成され、リモートウェイクアップフレームの受信を示します。

マジックパケットの検出

マジックパケットフレームは、Advanced Micro Device 社の Magic Packet テクノロジを使用する方法に基づき、ネットワーク上のスリープ状態のデバイスを起動します。MAC は、ネットワーク上の特定のノードに宛てたマジックパケットと呼ばれる特定のパケット情報を受信します。デバイスまたはブロードキャストアドレスに宛てられたマジックパケットのみが、ウェイクアップ要件を満たしているかどうかがチェックされます。アドレスフィルタリング（ユニキャストまたはブロードキャスト）をパスした マジックパケットは、すべて 1 の 6 バイトの後に MAC アドレスが 16 回現われるというリモート Wake-on-LAN データフォーマットを満たしているかどうかがチェックされます。アプリケーションは、ETH_MACPMTCSR レジスタのビット 1 に 1 を書き込むことによって、マジックパケットウェイクアップを有効にします。PMT ブロックは、ノードに宛てられた各フレームが特定のマジックパケットパターンを持っているかどうかを常時監視します。受信された各フレームは、デスティネーションおよびソースアドレスフィールドの後に 0xFFFF FFFF FFFF というパターンが続くかどうかがチェックされます。次に、PMT ブロックは、フレーム内の MAC アドレスが、中断や途切れがなく、16 回繰り返されているかどうかをチェックします。アドレスの 16 回の繰り返しの途中で中断がある場合、受信フレームに 0xFFFF FFFF FFFF パターンが含まれているかどうかが再度チェックされます。16 回の繰り返しはフレーム内のどこにあっても構いませんが、同期ストリーム（0xFFFF FFFF FFFF）の後でなければなりません。デバイスは、MAC アドレスの 16 回の繰り返しが検出される限り、マルチキャストフレームも受け入れます。ノードの MAC アドレスが 0x0011 2233 4455 である場合は、MAC は、データシーケンスをスキャンします。

デスティネーションアドレスとソースアドレス……..FFFF FFFF FFFF

0011 2233 4455 0011 2233 4455 0011 2233 4455 0011 2233 4455

0011 2233 4455 0011 2233 4455 0011 2233 4455 0011 2233 4455

0011 2233 4455 0011 2233 4455 0011 2233 4455 0011 2233 4455

0011 2233 4455 0011 2233 4455 0011 2233 4455 0011 2233 4455

…CRC

マジックパケットの検出は、受信されたマジックパケットの ETH_MACPMTCSR レジスタで更新されます。有効な場合、PMT 割り込みが生成され、マジックパケットの受信を示します。

パワーダウン時のシステムに関する考慮事項

イーサネット PMT ブロックは、システムがストップモードのときでもフレームを検出できます。ただし、EXIT ライン 19 が有効な場合に限ります。

MAC レシーバステートマシンは、パワーダウンモード中も有効なままでなければなりません。これは、マジックパケット/Wake-on-LAN フレームの検出に関係するので、ETH_MACCR レジスタの RE ビットがセットされたままでなければならないことを意味します。ただし、送信ステートマシンは、パワーダウンモード時には、ETH_MACCR レジスタの TE ビットをクリアすることによってオフされなければなりません。さらに、マジックパケット/Wake-on-LAN フレームを SRAM にコピーする必要はないので、イーサネット DMA は、パワーダウンモード中は無効でなければなりません。イーサネット DMA を無効にするには、ETH_DMAOMR レジスタの ST ビットと SR ビット（それぞれ、送信 DMA と受信 DMA に対応）をクリアします。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

推奨されるパワーダウンおよびウェイクアップシーケンスは、次のとおりです。

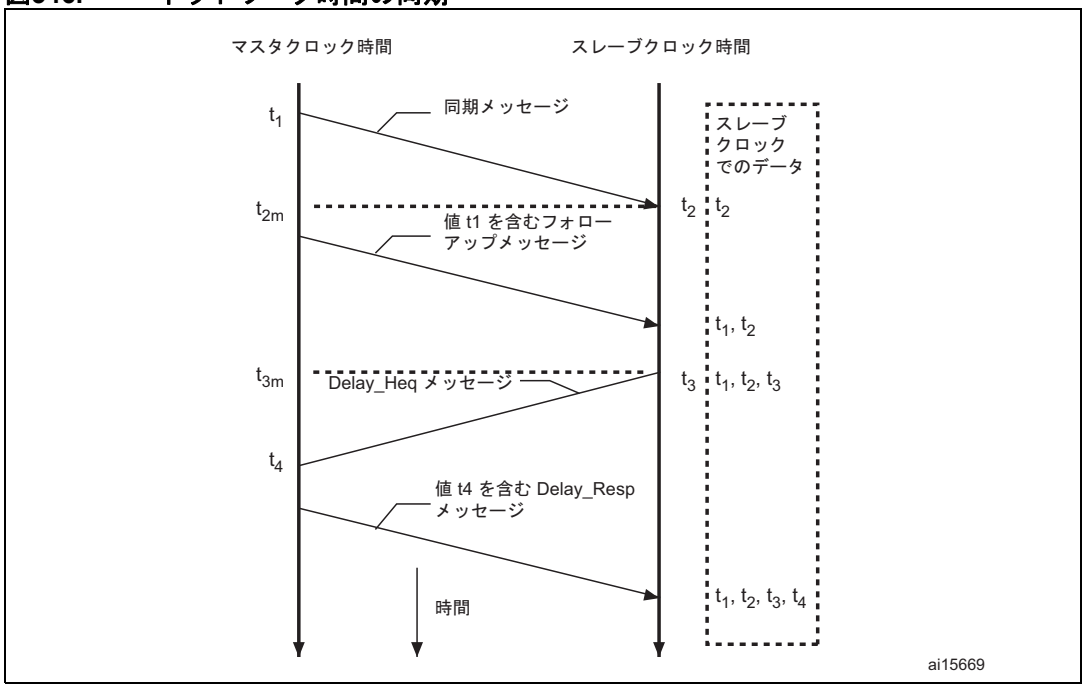
1. 送信 DMA を無効にして、前のフレーム送信の完了を待ちます。送信完了は、ETH_DMASR レジスタ[0] の送信割り込みが受信されると検出できます。
2. ETH_MACCR 設定レジスタの RE および TE ビットをクリアすることによって、MAC トランスミッタと MAC レシーバを無効にします。
3. 受信 DMA が Rx FIFO 内のすべてのフレームを空にするのを待ちます。
4. 受信 DMA を無効にします。
5. EXIT ライン 19 を、イベントまたは割り込みを生成するように設定して、有効にします。
6. 割り込みを生成するように EXIT ライン 19 を設定した場合は、ETH_WKUP_IRQ ハンドラ機能も正しく設定して、EXIT ライン 19 の保留ビットをクリアする必要があります。
7. ETH_MACPMTCSR レジスタの MFE/WFE ビットをセットすることによって、マジックパケット/Wake-on-LAN フレーム検出を有効にします。
8. ETH_MACPMTCSR レジスタの PD ビットをセットすることによって、MAC パワーダウンモードを有効にします。
9. ETH_MACCR レジスタの RE ビットをセットすることによって、MAC レシーバを有効にします。
10. システムをストップモードにします（詳細については、*セクション 4.3.4：STOP モード*を参照）。
11. 有効なウェイクアップフレームを受信すると、イーサネットペリフェラルはパワーダウンモードから抜けます。
12. ETH_MACPMTCSR レジスタを読み出して、電力管理イベントフラグをクリアし、MAC トランスミッタステートマシンと受信および送信 DMA を有効にします。
13. システムクロックを設定します。すなわち、HSE を有効にして、クロックをセットします。

28.5.9 高精度時間プロトコル（IEEE1588 PTP）

IEEE 1588 標準は、ネットワーク通信、ローカルコンピューティング、分散オブジェクトなどのテクノロジで実装される計測および制御システムでの高精度なクロック同期を可能にするプロトコルを定義しています。このプロトコルは、イーサネットをはじめとして（ただし、これに限られず）、マルチキャストメッセージングをサポートするローカルエリアネットワークによって通信するシステムに適用されます。このプロトコルは、固有精度、解像度、および安定性が異なるクロックを含む異種混合システムの同期に使用されます。このプロトコルは、最小限のネットワークおよびローカルクロック計算リソースを使用して、サブマイクロ秒範囲のシステム全体の正確な同期をサポートします。高精度時間プロトコル（PTP）と呼ばれるメッセージベースのプロトコルは、UDP/IP 経由で転送されます。システムまたはネットワークは、タイミング/クロック情報を分配するために、マスタノードとスレーブノードに分類されます。PTP メッセージを交換することによってスレーブノードをマスタノードに同期するこのプロトコルの技法を*図 346*に示します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図346.　ネットワーク時間の同期



1. マスタは、PTP 同期メッセージをすべてのノードにブロードキャストします。同期メッセージは、マスタの基準時間情報を含んでいます。このメッセージがマスタのシステムから送信された時間が、t_1 です。イーサネットポートの場合、この時間は、MII でキャプチャされなければなりません。
2. スレーブは、同期メッセージを受信し、その基準時間を使用して、正確な時間 t_2 をキャプチャします。
3. マスタは、次に、後で使用する t_1 情報を含んだ Follow_up メッセージをスレーブに送信します。
4. スレーブは、マスタに Delay_Req メッセージを送信して、このフレームが MII を離れた正確な時間 t_3 を知らせます。
5. マスタは、このメッセージを受信して、メッセージがシステムに着信した正確な時間 t_4 をキャプチャします。
6. マスタは、Delay_Resp メッセージで t_4 情報をスレーブに送信します。
7. スレーブは、t_1、t_2、t_3、および t_4 の 4 つの値を使用して、ローカル基準時間をマスタの基準時間に同期します。

プロトコル実装のほとんどは、UDP レイヤの上のソフトウェアで行われます。ただし、すでに述べたように、特定の PTP パケットが MII のイーサネットポートで送受信された正確な時間をキャプチャするには、ハードウェアサポートが必要です。PTP の正しく高精度な実装のためには、このタイミング情報がキャプチャされて、ソフトウェアに返されなければなりません。

基準タイミングソース

時間のスナップショットを得るために、コアは、IEEE 1588 仕様での定義に従って、64 ビットフォーマット（2 つの 32 ビットチャネルに分け、上位 32 ビットは時間を秒単位で、下位 32 ビットは時間をマイクロ秒で示す）の基準時間を必要とします。

PTP 基準クロック入力は、基準時間（システム時間とも呼ばれます）を内部で生成し、タイムスタンプをキャプチャするために使用されます。この基準クロックの周波数は、タイムスタンプカウンタの解像度以上でなければなりません。マスタノードとスレーブ間の同期精度の目標は、約 100 ns です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

システム時間の生成、更新、および変更については、*セクション ：システム時間の補正方法*で説明されています。

精度は、PTP 基準クロック入力の周期、オシレータの特性（ドリフト）、および同期プロシージャの頻度などに依存します。

Tx および Rx クロック入力ドメインから PTP 基準クロックドメインへの同期により、ラッチされたタイムスタンプの値の不確定さは、1 基準クロック周期分となります。解像度による不確定さを追加した場合、タイムスタンピングに対して半周期を追加することになります。

PTP 機能を使用したフレームの送信

フレームの SFD が MII に出力されると、タイムスタンプがキャプチャされます。タイムスタンプのキャプチャが必要なフレームは、フレームごとに制御可能です。言い換えると、そのフレームのタイムスタンプをキャプチャする必要があるかどうかを、送信フレームごとにマークできます。送信フレームは、PTP フレームを識別するために処理されません。フレーム制御は、送信ディスクリプタの制御ビットを通じて行われます（*図 354 : IEEE1588 タイムスタンプが有効な送信ディスクリプタフィールドのフォーマット（977 ページ）*を参照）。キャプチャされたタイムスタンプは、フレームのステータスが返されるときと同じ方法で、アプリケーションに返されます。タイムスタンプは、対応する送信ディスクリプタ内のフレームの送信ステータスとともに送り返されるので、タイムスタンプは特定の PTP フレームに自動的に接続されます。64 ビットのタイムスタンプ情報は、TDES2 および TDES3 フィールドに書き戻されます。TDES2 は、*IEEE1588 タイムスタンプを持つ Tx DMA ディスクリプタのフォーマット（977 ページ）*で説明されているように、タイムスタンプの下位 32 ビットを保持します。

PTP 機能を使用したフレームの受信

IEEE 1588 タイムスタンピング機能が有効なときには、イーサネットMAC は、MII で受信したすべてのフレームのタイムスタンプをキャプチャします。受信フレームは、PTP フレームを識別するために処理されません。MAC は、フレームの受信が完了すると、タイムスタンプを与えます。キャプチャされたタイムスタンプは、フレームのステータスが返されるときと同じ方法で、アプリケーションに返されます。タイムスタンプは、対応する受信ディスクリプタ内のフレームの受信ステータスとともに送り返されます。64 ビットのタイムスタンプ情報は、RDES2 および RDES3 フィールドに書き戻されます。RDSE2 は、*IEEE1588 タイムスタンプを持つ Rx DMA ディスクリプタのフォーマット（989 ページ）*で説明されているように、タイムスタンプの下位 32 ビットを保持します。

システム時間の補正方法

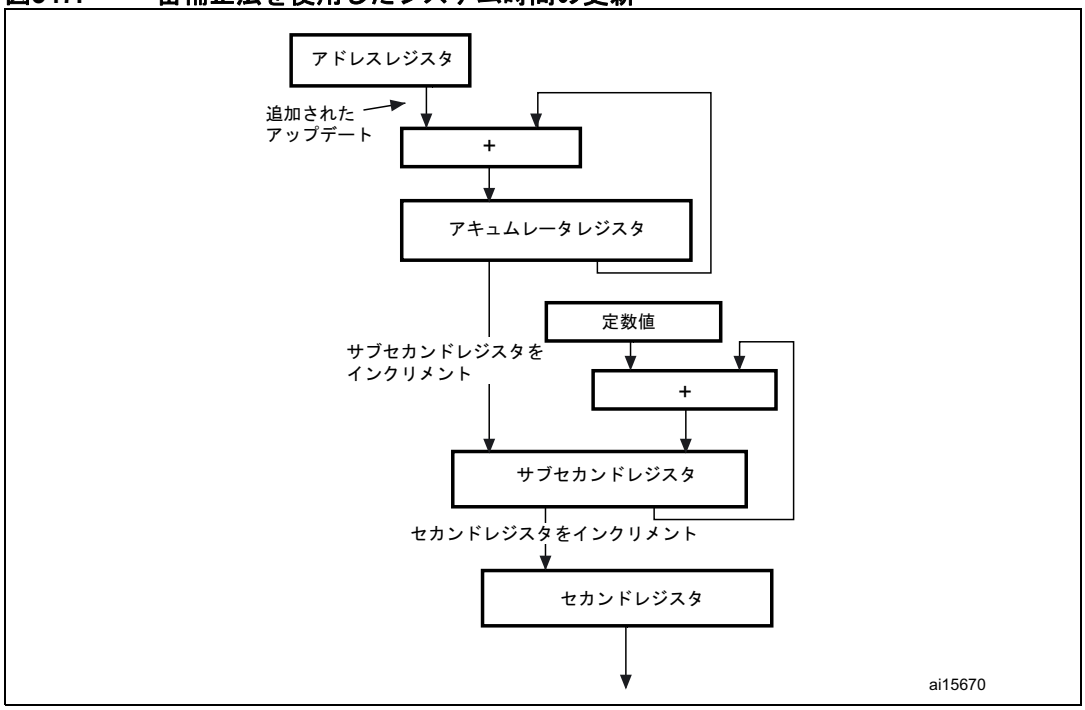
64 ビットの PTP 時間は、PTP 入力基準クロック HCLK を使用して更新されます。この PTP 時間は、MII で送受信されるイーサネットフレームのスナップショット（タイムスタンプ）をとるためのソースとして使用されます。システム時間カウンタは、粗密補正法を使用して初期化または補正できます。

粗補正法では、初期値またはオフセット値がタイムスタンプ更新レジスタ（*セクション 28.8.3 : IEEE 1588 タイムスタンプレジスタ（1014 ページ）*を参照）に書き込まれます。初期化の場合は、システムタイムカウンタにタイムスタンプ更新レジスタの値が書き込まれますが、システム時間の補正の場合は、オフセット値（タイムスタンプ更新レジスタ）がシステム時間に加算または減算されます。

密補正法では、マスタクロックに対するスレーブクロック（基準クロック）の周波数ドリフト（IEEE 1588 で定義）が、一定時間にわたって補正されますが、粗密補正法では、補正は 1 クロックサイクルで行われます。補正時間が長いほど、線形時間を維持しやすく、PTP 同期メッセージインターバル間の基準時間に大きな変化（または大きなジッタ）が生じません。この方法では、*図 347*に示されるように、加算器が加数レジスタの内容を累積します。加算器が生成する桁上げは、システム時間カウンタをインクリメントするためのパルスとして使用されます。加算器と加数レジスタは、32 ビットのレジスタです。したがって、加算器は、高精度な周波数逓倍器または分周器として動作します。*図 347*に、このアルゴリズムを示します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図347.　密補正法を使用したシステム時間の更新



システム時間更新ロジックは、20 ns の精度を達成するために 50 MHz のクロック周波数を必要とします。周波数分周比は、必要なクロック周波数に対する基準周波数の比です。したがって、基準クロック（HCLK）が、たとえば 66 MHz の場合、分周比は 66 MHz/50 MHz = 1.32 になります。したがって、レジスタで設定するデフォルトの加数値は、2^{32}/1.32、すなわち 0xC1F0 7C1F です。

基準クロックが低周波数側にドリフトして、たとえば 65 MHz になった場合、分周比は 65/50、すなわち 1.3 となり、加数レジスタで設定する値は 2^{32}/1.30、すなわち 0xC4EC 4EC4 です。基準クロックが高周波数側にドリフトして、たとえば 67 MHz になった場合は、加数レジスタを 0xBF0 B7672 に設定する必要があります。クロックのドリフトがゼロのときには、デフォルトの加数値として 0xC1F0 7C1F （2^{32}/1.32）をプログラムする必要があります。

*図 347*では、サブセカンドレジスタをインクリメントするために使用される定数値は、0d43 です。これにより、システム時間は 20 ns の精度になります（言い換えると、20 ns 単位でインクリメントされます）。

ソフトウェアは、同期メッセージに基づいて周波数のドリフトを計算し、それに応じて加数レジスタを更新する必要があります。最初に、スレーブクロックは加数レジスタで FreqCompensationValue0 で設定されます。この値は、次のとおりです。

$$\text{FreqCompensationValue0} = 2^{32} / \text{FreqDivisionRatio}$$

MasterToSlaveDelay が連続した同期メッセージで同じであると仮定した場合、以下のアルゴリズムが適用されなければなりません。数サイクルの同期サイクル後、周波数ロックが発生します。スレーブクロックは、正確な MasterToSlaveDelay 値を決定して、新しい値を使用してマスタと再同期します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

アルゴリズムは、次のとおりです。

- MasterSyncTime (n) の時点で、マスタはスレーブクロックに同期メッセージを送信します。スレーブは、ローカルクロックが SlaveClockTime (n) のときに、このメッセージを受信して、MasterClockTime (n) を次のように計算します。

  MasterClockTime (n) = MasterSyncTime (n) + MasterToSlaveDelay (n)

- 現在の同期サイクルのマスタクロックカウント、MasterClockCount (n) は、次の式で求められます。

  MasterClockCount (n) = MasterClockTime (n) – MasterClockTime (n – 1)
  （MasterToSlaveDelay が同期サイクル n と n -1 で同じであると仮定）

- 現在の同期サイクルのスレーブクロックカウント、SlaveClockCount (n) は、次の式で求められます。

  SlaveClockCount (n) = SlaveClockTime (n) – SlaveClockTime (n – 1)

- 現在の同期サイクルのマスタとクロックのクロックカウントの差、MasterClockCount (n) は、次の式で求められます。

  ClockDiffCount (n) = MasterClockCount (n) – SlaveClockCount (n)

- スレーブクロックの周波数スケーリングファクタ、FreqScaleFactor (n) は、次の式で求められます。

  FreqScaleFactor (n) = （MasterClockCount (n) + ClockDiffCount (n)) / SlaveClockCount (n)

- 加数レジスタの周波数補正値、FreqCompensationValue (n) は、次の式で求められます。

  FreqCompensationValue (n) = FreqScaleFactor (n) × FreqCompensationValue (n – 1)

理論的には、このアルゴリズムは 1 同期サイクルでロックを達成しますが、ネットワークの伝搬遅延と動作条件の変動のために、数サイクルかかる場合もあります。

このアルゴリズムは自己補正型です。すなわち、何らかの理由で、最初にスレーブクロックが正しくないマスタからの値に設定された場合でも、アルゴリズムは同期サイクルを数サイクル費やして、それを補正します。

システム時間生成初期化のプログラミング手順

タイムスタンピング機能は、タイムスタンプ制御レジスタ（ETH_PTPTSCR）のビット 0 をセットすることによって有効にできます。ただし、タイムスタンプ動作を開始するには、このビットをセットした後、タイムスタンプカウンタを初期化する必要があります。正しいシーケンスは、次のとおりです。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

1. MACIMR レジスタのビット 9 をセットすることによって、タイムスタンプトリガ割り込みをマスクします。
2. タイムスタンプレジスタのビット 0 をプログラムして、タイムスタンピングを有効にします。
3. PTP クロック周波数に基づいて、サブセカンドインクリメントレジスタをプログラムします。
4. 密補正法を使用する場合は、タイムスタンプ加数レジスタをプログラムし、タイムスタンプ制御レジスタのビット 5 （加数レジスタの更新）をセットします。
5. ビット 5 がクリアされるまで、タイムスタンプ制御レジスタにポーリングします。
6. 密補正法を選択するには（必要な場合）、タイムスタンプ制御レジスタのビット 1 をプログラムします。
7. タイムスタンプハイ更新およびタイムスタンプロー更新レジスタを適切な時間値でプログラムします。
8. タイムスタンプ制御レジスタのビット 2（タイムスタンプ初期化）をセットします。
9. タイムスタンプカウンタは、タイムスタンプ更新レジスタに書き込まれた値で初期化されると、動作を開始します。
10. 適切なタイムスタンピングのためには、MAC レシーバおよびトランスミッタを有効にします。

注： ***ETH_PTPTSCR レジスタのビット 0 をクリアすることによってタイムスタンプ動作が無効にされた場合、タイムスタンプ動作をリスタート始するには、上記の手順を繰り返す必要があります。***

粗補正法でのシステム時間更新のプログラミング手順

システム時間をワンプロセスで同期または更新するには（粗補正法）、以下の手順を実行します。

1. タイムスタンプ更新ハイおよびローレジスタにオフセットを書き込みます（正または負）。
2. タイムスタンプ制御レジスタのビット 3（TSSTU）をセットします。
3. TSSTU ビットがクリアされると、タイムスタンプ更新レジスタの値がシステム時間に加えられるか、差し引かれます。

密補正法でのシステム時間更新のプログラミング手順

システム時間を同期または更新して、システム時間のジッタを減らすには（密補正法）、以下の手順を実行します。

1. *セクション：システム時間の補正方法*で説明されているアルゴリズムを使用して、システム時間のインクリメントをスピードアップまたはスローダウンさせる割合を計算します。
2. タイムスタンプを更新します。
3. 加数レジスタの新しい値として有効にしたい時間まで待ちます。このためには、システム時間が目標値に達した後、タイムスタンプトリガ割り込みを有効にします。
4. 目標時間ハイおよびローレジスタで、必要な目標時間をプログラムします。ETH_MACIMR レジスタのビット 9 をクリアすることによって、タイムスタンプ割り込みマスクを解除します。
5. タイムスタンプ制御レジスタのビット 4（TSARU）をセットします。
6. このトリガによって割り込みが発生したときには、ETH_MACSR レジスタを読み出します。
7. タイムスタンプ加数レジスタを元の値で再プログラムし、ETH_TPTSCR レジスタのビット 5 を再びセットします。

TIM2 と PTP トリガの内部接続

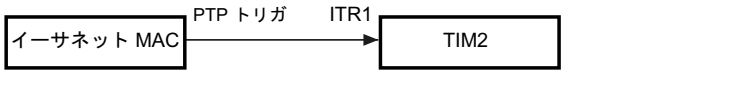
MAC は、システム時間が目標時間を超えたときにトリガ割り込みを行います。割り込みを使用すると、既知の遅延に加えて、コマンド実行時間の不確定性が導入されます。

この不確定性を避けるために、システム時間が目標時間より大きいときには、PTP トリガ出力信号はハイにセットされます。割り込みは、内部的に TIM2 入力トリガに接続されます。この信号により、

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

入力キャプチャ機能、出力比較機能、およびタイマ波形が、同期された PTP システム時間のトリガによって使用可能になります。タイマのクロック（PCLK1：TIM2 APB1 クロック）と PTP 基準クロック（HCLK）は同期されるので、不確定性は導入されません。
この PTP トリガ信号は、ソフトウェアによって選択可能な TIM2 ITR1 入力に接続されます。この接続は、AFIO_MAPR レジスタのビット 29 によって有効にされます。*図 348*に、この接続を示します。

図348.　TIM2 ITR1 への PTP トリガ出力

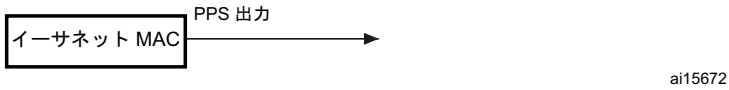


PTP の PPS（Pulse-per-second）出力信号

この PTP パルス出力は、ネットワーク内のすべてのノード間の同期をチェックするために使用されます。ローカルスレーブクロックとマスタ基準クロック間の違いをテストできるように、両方のクロックに、必要に応じてオシレータに接続可能な PPS（Pulse-per-second）出力信号が与えられています。したがって、2 つの信号間の偏差を測定することができます。PPS 出力のパルス幅は 125 ms です。

PPS 出力は、AFIO_MAPR レジスタのビット 30 によって有効にされます。

図349.　PPS 出力



28.6　イーサネットの機能詳細：DMA コントローラの動作

DMA には、独立した送信および受信エンジンと CSR スペースがあります。送信エンジンは、データをシステムメモリから Tx FIFO に転送し、受信エンジンは、データを Rx FIFO からシステムメモリに転送します。コントローラは、ディスクリプタを利用して、データをソースからデスティネーションに最小限の CPU 介入によって効率的に移動します。DMA は、イーサネットのフレームなど、パケット指向のデータ転送を行うように設計されています。コントローラは、フレーム送受信完了やその他の正常/エラー条件発生の場合に CPU に割り込むようにプログラムすることができます。DMA と STM32F107xx は、次の 2 つのデータ構造を使用して通信します。

- 制御およびステータスレジスタ（CSR）
- ディスクリプタのリストおよびデータバッファ

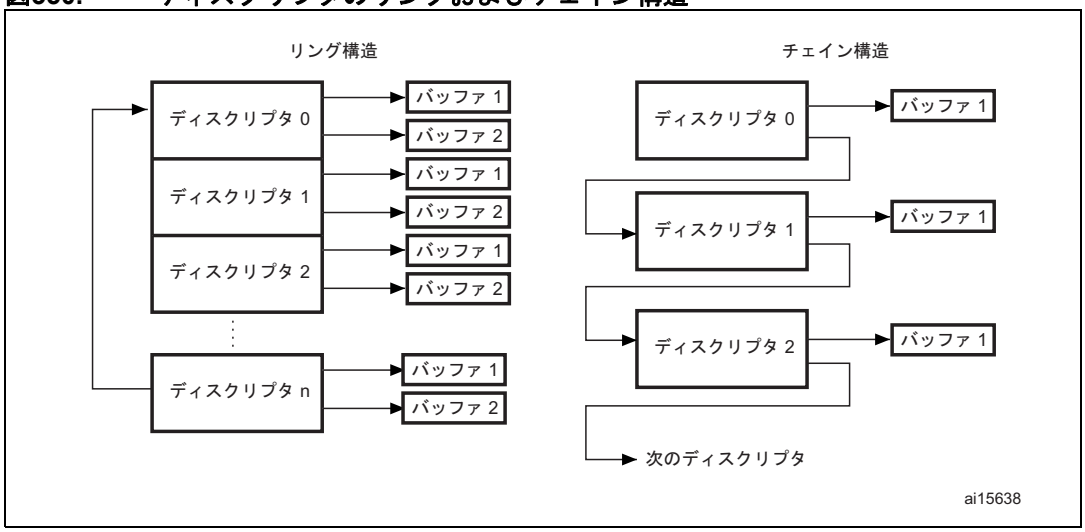
制御およびステータスレジスタについては、*セクション 28.8（992 ページ）*で詳しく説明されています。ディスクリプタについては、*セクション（972 ページ）*で詳しく説明されています。

DMA は、受信したデータフレームを STM32F107xx メモリ内の受信バッファに転送し、データフレームを STM32F107xx メモリ内の送信バッファから転送します。STM32F107xx メモリ内に存在するディスクリプタは、これらのバッファのポインタとして機能します。ディスクリプタリストには、受信用と送信用の 2 つのリストがあります。各リストのベースアドレスは、それぞれ DMA レジスタ 3 および 4 に書き込まれます。ディスクリプタリストは、前方向にリンクされます（暗黙的または明示的）。最後のディスクリプタから最初のディスクリプタにポイントバックして、リング構造を作ることができます。ディスクリプタの明示的な連鎖は、受信および送信ディスクリプタ（RDES1[14] および TDES0[20]）の両方で連鎖した第 2 のアドレスを設定することによって達成されます。ディスクリ

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

プタリストは、ホストの物理メモリ空間に置かれます。各ディスクリプタは、最大 2 つのバッファを指し示すことができます。これにより、メモリ内の隣接した 2 つのバッファではなく、物理的にアドレス指定された 2 つのバッファを使用できます。データバッファは、ホストの物理メモリ空間に置かれ、フレーム全体または一部で構成されますが、1 フレームの長さを超えることはできません。バッファは、データのみを含みます。バッファのステータスは、ディスクリプタ内に保持されます。データチェイニングとは、複数のデータバッファにまたがるフレームを指します。ただし、1 つのディスクリプタが複数のフレームにまたがることはできません。DMA は、フレームの終わりが検出されると、次のフレームバッファにスキップします。データチェイニングは、有効または無効にすることができます。ディスクリプタのリングおよびチェイン構造を*図 350*に示します。

図350.　ディスクリプタのリングおよびチェイン構造



28.6.1　DMA を使用した転送の初期化

MAC の初期化は、次のとおりです。

1. ETH_DMABMR レジスタに書き込んで、STM32F107xx のバスアクセスパラメータを設定します。
2. ETH_DMAIER レジスタに書き込んで、不要な割り込みの原因をマスクします。
3. ソフトウェアドライバは、送信および受信ディスクリプタリストを作成します。次に、ETH_DMARDLAR および ETH_DMATDLAR レジスタの両方に書き込んで、各リストの開始アドレスを指定します。
4. MAC レジスタ 1、2、および 3 に書き込んで、望ましいフィルタリングオプションを選択します。
5. MAC ETH_MACCR レジスタに書き込んで、送信および受信動作モードを設定し、有効にします。PS および DM ビットは、自動ネゴシエーションの結果（PHY からの読み出し）に基づいてセットされます。
6. ETH_DMAOMR レジスタに書き込んで、ビット 13 および 1　をセットし、送信および受信を開始します。
7. 送信および受信エンジンは動作状態に入り、それぞれのディスクリプタリストからディスクリプタの取得を試みます。続いて、受信および送信エンジンは、受信および送信動作の処理を開始します。送信および受信のプロセスは互いに独立していて、個別に開始または停止できます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

28.6.2 ホストバスバーストアクセス

DMA は、そのように設定された場合（ETH_DMABMR レジスタの FB ビット）、AHB マスタインタフェース上で固定長のバースト転送の実行を試みます。最大バースト長は、PBL フィールド（ETH_DMABMR [13:8]）によって示され、制限されます。受信および送信ディスクリプタは、16 バイトが読み出されるように、常に可能な最大サイズでアクセスされます（PBL によって制限されます）。

送信 DMA は、送信 FIFOに、フレームの終わりまで、設定されたバーストまたはバイト数を収容できる十分なスペースがあるとき（設定されたバースト長以下であるとき）のみ、データ転送を開始します。DMA は、開始アドレスと要求された転送数を AHB マスタインタフェースに対して示します。AHB インタフェースが固定長バーストに設定されているときには、INCR4、INCR8、INCR16、および SINGLE トランザクションの最良の組み合わせを使用してデータを転送します。固定長バーストでない場合は、INCR（未定義の長さ）および SINGLE トランザクションを使用してデータを転送します。

受信 DMA は、設定されたバースト長に対して十分なスペースが受信 FIFO にあるとき、またはフレームの終わり（設定されたバースト長未満であるとき）が受信 FIFO 内で検出されたときのみ、データ転送を開始します。DMA は、開始アドレスと要求された転送数を AHB マスタインタフェースに対して示します。AHB インタフェースが固定長バーストに設定されているときには、INCR4、INCR8、INCR16、および SINGLE トランザクションの最良の組み合わせを使用してデータを転送します。AHB インタフェース上で固定長バーストが終了する前にフレームの終わりに達した場合、固定長バーストを完了するためにダミー転送が実行されます。そうでない場合（ETH_DMABMR の FB ビットがリセットされているとき）、INCR（未定義の長さ）および SINGLE トランザクションを使用してデータを転送します。

AHB インタフェースがアドレスアラインドビート用に設定されているときには、両方の DMA エンジンは、AHB が開始する最初のバースト転送が、設定された PBL のサイズ以下であることを確認します。したがって、後続のビートはすべて、設定された PBL に整列されたアドレスで開始します。AHB インタフェースは INCR16 以上をサポートしていないので、DMA は、最大サイズ 16 までのビートについてのみ（PBL > 16）、アドレスを整列できます。

28.6.3 ホストデータバッファ整列

送信および受信データバッファには、開始アドレスの整列について制約はありません。32 ビットメモリを持つシステムでは、バッファの開始アドレスは 4 つのバイトのいずれにも整列できます。ただし、DMA は常に、要求されなかったバイトレーンについては、ダミーデータでバス幅に揃えたアドレスで転送を開始します。これは、通常、イーサネットフレームの始めまたは終わりの転送時に発生します。

- バッファ読み出しの例：

  送信バッファアドレスが 0x0000 0FF2 であり、15 バイトの転送が必要な場合、DMA は、アドレス 0x0000 0FF0 から 5 つの完全なワードを読み出しますが、送信 FIFO へのデータ転送時に、余分なバイト（最初の 2 バイト）がドロップまたは無視されます。同様に、最後の転送の最後の 3 バイトも無視されます。DMA は、フレームの終わりでない限り、常に、完全な 32 ビットデータを送信 FIFO に転送することを保証します。

- バッファ書き込みの例：

  受信バッファアドレスが 0x0000 0FF2 であり、受信したフレームの 16 バイトを転送する必要がある場合、DMA は、5 つの完全な 32 ビットデータアイテムをアドレス 0x0000 0FF0 から書き込みます。ただし、最初の転送の最初の 2 バイトと 3 番目の転送の最後の 2 バイトはダミーデータとなります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

28.6.4 バッファサイズの計算

DMA は、送信および受信ディスクリプタのサイズフィールドを更新しません。DMA は、ディスクリプタのステータスフィールド（xDES0）のみを更新します。ドライバはサイズを計算する必要があります。送信 DMA は、MAC コアに向けて正確なバイト数（TDES1 のバッファサイズフィールドによって示される）を転送します。ディスクリプタが最初としてマークされている場合（TDES0 の FS ビットがセットされている場合）、DMA は、バッファからの最初の転送をフレームの開始としてマークします。ディスクリプタが最後としてマークされている場合（TDES0 の LS ビットがセットされている場合）、DMA は、データバッファからの最後の転送をフレームの終わりとしてマークします。受信 DMA は、バッファがいっぱいになるか、フレームの終わりを受信するまで、バッファにデータを転送します。ディスクリプタが最後としてマークされていない場合（RDES0 の LS ビット）、そのディスクリプタに対応するバッファはいっぱいであり、バッファ内の有効データの量は、ディスクリプタの FS ビットがセットされているとき、バッファサイズフィールドからデータバッファポインタオフセットを差し引いた値で正確に示されます。データバッファポインタがデータバス幅に整列されている場合、オフセットはゼロです。ディスクリプタが最後としてマークされている場合、バッファはいっぱいではない可能性があります（RDES1 のバッファサイズによって示される）。この最終バッファ内の有効データの量を計算するには、ドライバは、フレーム長（RDES0[29:16] の FL ビット）を読み出して、その値からこのフレーム内の先行バッファのサイズの合計を差し引く必要があります。受信 DMA は、常に、次のフレームの開始を新しいディスクリプタで転送します。

注： ***受信バッファの開始アドレスがシステムデータバス幅に整列されていない場合でも、システムは、システムのバス幅に整列されたサイズの受信バッファを割り当てる必要があります。たとえば、システムがアドレス 0x1000 から始まる 1024 バイト（1 KB）の受信バッファを割り当てた場合、ソフトウェアは、受信ディスクリプタ内のバッファ開始アドレスを 0x1002 のオフセットを持つようにプログラムできます。受信 DMA は、最初の 2 つの位置（0x1000 と 0x1001）にダミーデータを持つフレームをこのバッファに書き込みます。実際のフレームは 0x1002 の位置から書き込まれます。したがって、このバッファ内の実際に使用可能なスペースは、バッファサイズが 1024 バイトとしてプログラムされた場合でも、開始アドレスのオフセットにより、1022 バイトです。***

28.6.5 DMA アービタ

DMA 内のアービタは、AHB マスタインタフェースの送信チャネルアクセスと受信チャネルアクセスの間の調停を行います。ラウンドロビンと固定優先度の 2 種類の調停が可能です。ラウンドロビン調停が選択された場合（ETH_DMABMR レジスタの DA ビットがリセット）、アービタは、送信 DMA と受信 DMA の両方が同時にアクセスを要求したとき、ETH_DMABMR レジスタの RTPR ビットによってセットされた割合でデータバスを割り当てます。DA ビットがセットされたときには、受信 DMA は、データアクセスの際、常に送信 DMA より優先されます。

28.6.6 DMA へのエラー応答

DMA チャネルによって開始されたデータ転送で、スレーブがエラー応答を返した場合、DMA は、すべての動作を停止して、ステータスレジスタ（ETH_DMASR レジスタ）のエラービットと致命的バスエラービットを更新します。その DMA コントローラは、ペリフェラルのソフトまたはハードリセットと DMA の再初期化の後でのみ、動作をリスタートできます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

28.6.7 Tx DMA の設定

TxDMA の動作：デフォルト（非 OSF）モード

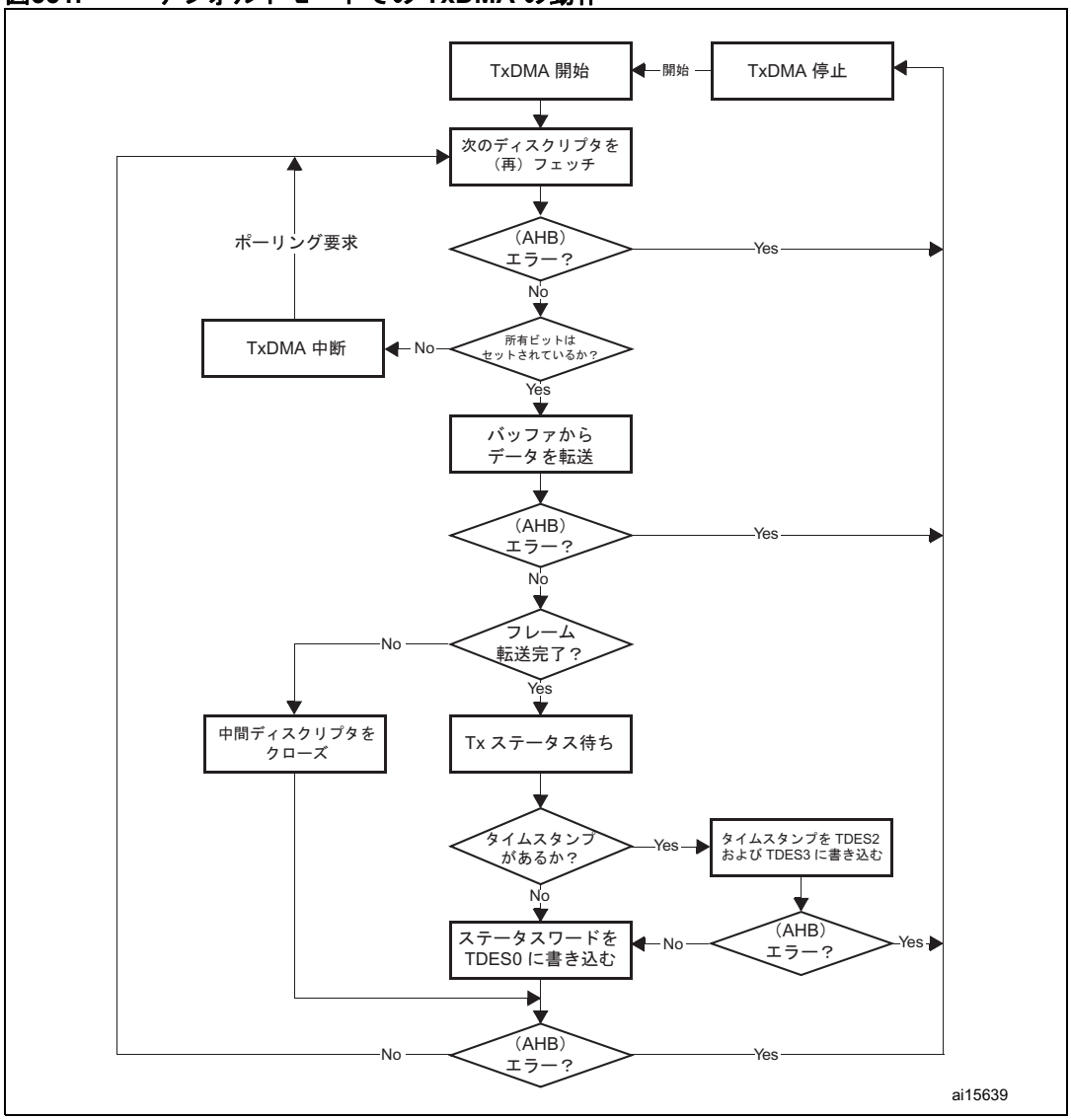
デフォルトモードの送信 DMA エンジンは、次のように動作します。

1. ユーザは、送信ディスクリプタ（TDES0～TDES3）をセットアップし、対応するデータバッファをイーサネットフレームデータでセットアップした後、OWN ビット（TDES0[3:1]）をセットします。
2. ST ビット（ETH_DMAOMR レジスタの [13]）がセットされると、DMA は実行状態に入ります。
3. 実行状態の間、DMA は、送信が必要なフレームの送信ディスクリプタリストをポーリングします。ポーリングの開始後は、シーケンシャルディスクリプタリング順またはチェイン順でポーリングを続行します。DMA が CPU に所有されているというフラグが立てられたディスクリプタを検出するか、エラー条件が発生した場合には、送信は中断され、送信バッファ使用不可ビット（ETH_DMASR レジスタの [2]）と正常割り込み要約ビット（ETH_DMASR レジスタの [16]）がセットされます。送信エンジンは手順 9 へ進みます。
4. 取得したディスクリプタに DMA の所有であるというフラグが立てられていた場合（TDES0[31] がセットされている）、DMA は、取得したディスクリプタから送信データバッファアドレスをデコードします。
5. DMA は、STM32F107xx メモリから送信データをフェッチして、データを転送します。
6. イーサネットフレームが複数のディスクリプタのデータバッファ経由で格納された場合、DMA は、中間のディスクリプタをクローズして、次のディスクリプタをフェッチします。イーサネットフレームデータの終わりが転送されるまで、手順 3、4、および 5 が繰り返されます。
7. フレーム送信が完了すると、IEEE 1588 タイムスタンピングがそのフレームに対して有効な場合（送信ステータスに示される）、タイムスタンプの値がフレームの最後のバッファを含む送信ディスクリプタ（TDES2 および TDES3）に書き込まれます。次に、ステータス情報がこの送信ディスクリプタ（TDES0）に書き込まれます。この手順の間に OWN ビットがクリアされるので、CPU がこのディスクリプタを所有することになります。タイムスタンピングがこのフレームに対して有効でない場合、DMA は TDES2 と TDES3 の内容を変更しません。
8. 最後のディスクリプタで完了時割り込み（TDES1[31]）がセットされているフレームの送信を完了した後、送信割り込み（ETH_DMASR レジスタの [0]）がセットされます。DMA エンジンは手順 3 戻ります。
9. サスペンド状態では、DMA は送信ポーリング要求を受け取ると、ディスクリプタの再取得を試み（その結果、手順 3 に戻り）、アンダーフロー割り込みステータスビットがクリアされます。

*図 351*に、デフォルトモードでの TxDMA 送信フローを示します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図351.　デフォルトモードでの TxDMA の動作



TxDMA の動作：OSF モード

実行状態では、送信プロセスは、最初のフレームのステータスディスクリプタをクローズしなくても、同時に 2 つのフレームを取得することができます（ETH_DMAOMR レジスタ [2] の OSF ビットがセットされている場合）。送信プロセスが最初のフレームの転送を終了すると、ただちに 2 番目のフレームの送信ディスクリプタリストをポーリングします。2 番目のフレームが有効な場合、送信プロセスは、最初のフレームのステータス情報を書き込む前に、このフレームを転送します。OSF モードでは、実行状態の送信 DMA は、以下のシーケンスに従って動作します。

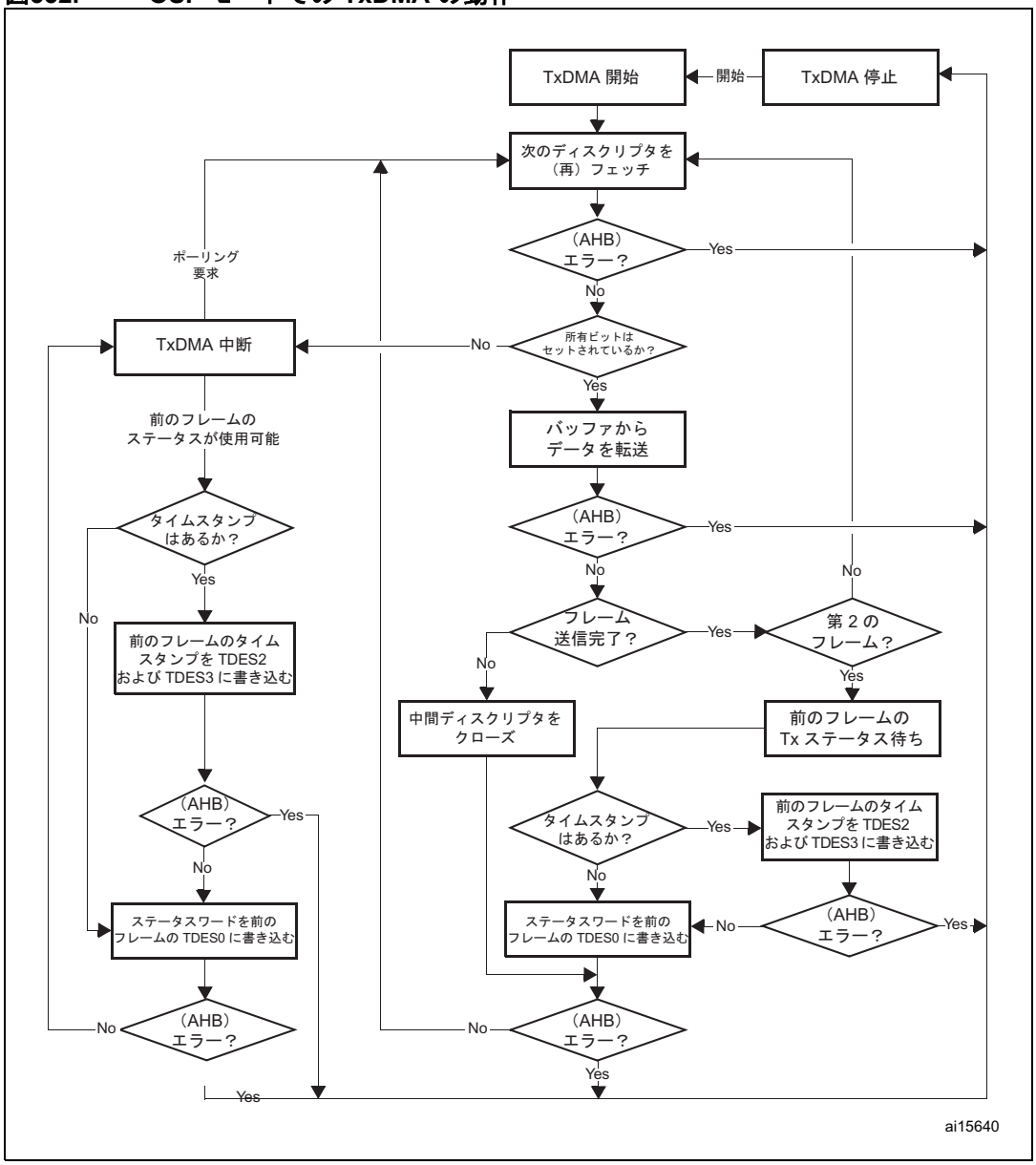
この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

1. DMA は、TxDMA の手順 1～6 で説明されているように動作します（デフォルトモード）。
2. 前のフレームの最後のディスクリプタをクローズせずに、DMA は、次のディスクリプタをフェッチします。
3. DMA が取得したディスクリプタを所有している場合、DMA は、このディスクリプタ内の送信バッファアドレスをデコードします。DMA がディスクリプタを所有していない場合、DMA は、サスペンドモードに入り、手順 7 へスキップします。
4. DMA は、STM32F107xx メモリから送信フレームをフェッチして、フレームデータの終わりが転送されるまで、フレームを転送し、このフレームが複数のディスクリプタに分割されている場合は、中間のディスクリプタをクローズします。
5. DMA は、前のフレームの送信ステータスとタイムスタンプを待ちます。ステータスが入手可能なときには、DMA は、タイムスタンプがキャプチャされていた場合は（ステータスビットで示されます）、タイムスタンプを TDES2 と TDES3 に書き込みます。DMA は、次に、OWN ビットがクリアされたステータスを、対応する TDES0 に書き込み、ディスクリプタをクローズします。タイムスタンピングが前のフレームに対して有効でなかった場合、DMA は、TDES2 と TDES3 の内容を変更しません。
6. 有効な場合は、送信割り込みがセットされ、DMA は、次のディスクリプタをフェッチしてから、手順 3 へ進みます（ステータスが正常な場合）。前の送信ステータスがアンダーフローエラーを示している場合、DMA はサスペンドモードに移行します（手順 7）。
7. サスペンドモードでは、DMA が保留ステータスとタイムスタンプを受け取った場合、DMA はタイムスタンプを TDES2 と TDES3 に書き込み（現在のフレームに対して有効な場合）、次に、対応する TDES0 にステータスを書き込みます。次に、該当する割り込みをセットして、サスペンドモードに戻ります。
8. DMA は、送信ポーリング要求（ETH_DMATPDR レジスタ）を受け取った後にのみ、サスペンドモードから抜けて、実行状態に入ることができます（保留ステータスに応じて、手順 1 または手順 2 へ移行します）。

*図 352*に、OSF モードでの基本的なフローチャートを示します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図352.　OSF モードでの TxDMA の動作



送信フレームの処理

送信 DMA は、データバッファが、プリアンブル、パッドバイト、および FCS フィールドを除く完全なイーサネットフレームを含んでいることを期待しています。DA、SA、およびタイプ/長さフィールドは、有効なデータを含んでいます。送信ディスクリプタが、MAC コアが CRC またはパッド挿入を無効にする必要があることを示している場合、バッファは、CRC バイトも含めて、完全なイーサネットフレーム（プリアンブルは除外）を持っていなければなりません。フレームは、データチェインであったり、複数のバッファにまたがっていることがあります。フレームは、最初のディスクリプタ（TDES0[28]）と最後のディスクリプタ（TDES0[29]）によって区切られなければなりません。送信が始まると、最初のディスクリプタの TDES0[28] がセットされなければなりません。これが発生すると、フレームデータがメモリバッファから送信 FIFO に転送されます。同時に、現在のフレームの最後のディスクリプタ（TDES0[29]）がクリアされた場合、送信プロセスは、次のディスクリプタの取得を試みます。送信プロセスは、このディスクリプタ内の TDES0[28] がクリアされることを期待し

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ます。TDES0[29] がクリアされた場合、中間バッファであることを示します。TDES0[29] がセットされた場合、フレームの最後のバッファであることを示します。フレームの最後のバッファが送信された後、DMA は、送信ディスクリプタ 0（TDES0[29]）で最後のセグメントがセットされたディスクリプタの送信ディスクリプタ 0（TDES0）ワードに最終ステータス情報を書き戻します。この時点で、完了時割り込み （TDES0[30]）がセットされている場合は、送信割り込み（ETH_DMASR レジスタ [0]）がセットされ、次のディスクリプタがフェッチされ、プロセスが繰り返されます。実際のフレーム送信は、送信 FIFO がプログラマブル送信閾値（ETH_DMAOMR レジスタ [16:14]）に達するか、FIFO に完全なフレームが格納された後、開始されます。ストアアンドフォワードモード（ETH_DMAOMR レジスタ [21]）のオプションもあります。DMA がフレームの転送を終了すると、ディスクリプタはリリースされます（TDES0[31] の OWN ビットがクリアされます）。

送信ポーリングのサスペンド

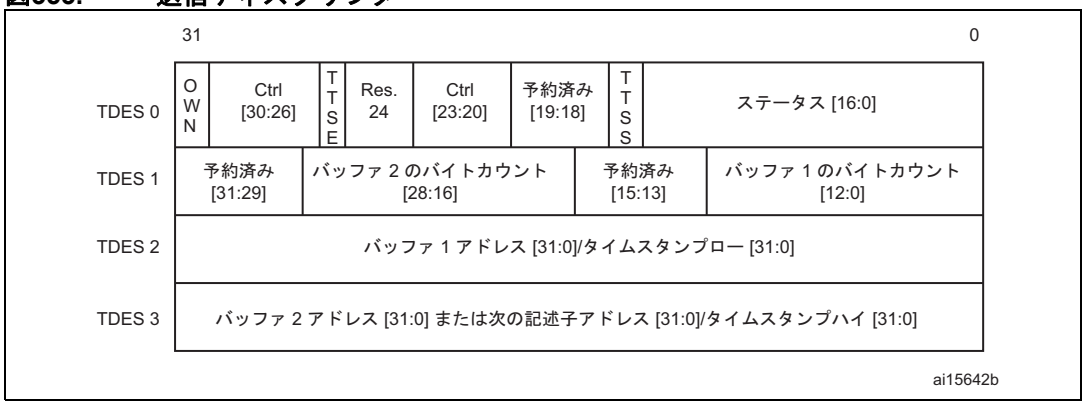
送信ポーリングは、以下の条件のいずれかによって中断できます。

- DMA が CPU によって所有されるディスクリプタ（TDES0[31] =0）を検出したときと、送信バッファ使用不可フラグがセットされたとき（ETH_DMASR レジスタ [2]）。リスタートするには、ドライバは、ディスクリプタの所有権を DMA に与えた後、ポーリング要求コマンドを発行する必要があります。
- アンダーフローによる送信エラーが検出されると、フレーム送信は中止されます。適切な送信ディスクリプタ 0 （TDES0）ビットがセットされます。2 番目の条件が発生した場合、異常割り込み要約ビット（ETH_DMASR レジスタ [15]）と送信アンダーフロービット（ETH_DMASR レジスタ [5]）の両方がセットされ、情報が送信ディスクリプタ 0 に書き込まれて、送信は中断されます。DMA が最初の条件のためにサスペンド状態に移行した場合、正常割り込み要約ビットビット（ETH_DMASR レジスタ [16]）と送信バッファ使用不可ビット（ETH_DMASR レジスタ [2]）の両方がセットされます。どちらの場合も、送信リスト内の位置は維持されます。維持される位置は、DMA によってクローズされた最後のディスクリプタに続くディスクリプタの位置です。ドライバは、中断の原因を修正した後、送信ポーリング要求コマンドを明示的に発行しなければなりません。

Tx DMA ディスクリプタ

このディスクリプタの構造は、*図 353*に示されているように、4 つの 32 ビットワードで構成されます。TDES0、TDES1、TDES2、および TDES3 のビットの説明を以下に示します。

図353.　送信ディスクリプタ



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

- **TDES0：送信ディスクリプタ Word0**

  アプリケーションソフトウェアは、ディスクリプタの初期化の際に、制御ビット [30:26]+[23:20] に加えて、OWN ビット [31] もプログラムする必要があります。DMA がディスクリプタを更新する（または書き戻す）ときには、すべての制御ビットに加えて OWN ビットもリセットして、ステータスビットのみを報告します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OWN	IC	LS	FS	DC	DP	TTSE	予約済み	CIC		TER	TCH	予約済み		TTSS	IHE	ES	JT	FF	IPE	LCA	NC	LCO	EC	VF	CC				ED	UF	DB
rw	rw	rw	rw	rw	rw	rw		rw	rw	rw	rw			rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31　**OWN**：所有権ビット

セットされた場合、このビットは、ディスクリプタが DMA によって所有されていることを示します。このビットがリセットされた場合、ディスクリプタが CPU によって所有されていることを示します。DMA は、フレーム送信を完了したとき、またはディスクリプタの中で割り当てられたバッファが完全に読み出されたときに、このビットをクリアします。フレームの最初のディスクリプタの所有権ビットは、同じフレームに属するすべての後続ディスクリプタがセットされた後にセットされなければなりません。

ビット 30　**IC**：完了時割り込み

セットされると、このビットは、現在のフレームが送信された後、送信割り込みビット（レジスタ 5[0]）をセットします。

ビット 29　**LS**：最後のセグメント

セットされた場合、このビットは、バッファがフレームの最後のセグメントを含んでいることを示します。

ビット 28　**FS**：最初のセグメント

セットされた場合、このビットは、バッファがフレームの最初のセグメントを含んでいることを示します。

ビット 27　**DC**：CRC のディセーブル

このビットがセットされると、MAC は、送信フレームの最後に巡回冗長検査コード（CRC）を付加しません。これは、最初のセグメント（TDES0[28]）がセットされたときのみ有効です。

ビット 26　**DP**：パッドのディセーブル

このビットがセットされると、MAC は、64 バイトより短いフレームにはパッドを自動的に追加しません。このビットがリセットされると、DMA は、64 バイトより短いフレームに自動的にパッドと CRC を追加し、DC（TDES0[27]）ビットの状態に関係なく、CRC フィールドが追加されます。これは、最初のセグメント（TDES0[28]）がセットされたときのみ有効です。

ビット 25　**TTSE**：送信タイムスタンプイネーブル

TTSE がセットされ、TSE がセットされると（ETH_PTPTSCR ビット 0）、ディスクリプタによって記述された送信フレームに対して、IEEE 1588 ハードウェアタイムスタンピングが有効になります。このフィールドは、最初のセグメント制御ビット（TDES0[28]）がセットされたときのみ有効です。

ビット 24　予約済み

ビット 23:22　**CIC**：チェックサム挿入制御

これらのビットは、チェックサムの計算と挿入を制御します。ビットエンコーディングは、以下のとおりです。

00：チェックサム挿入は無効です。

01：IP ヘッダチェックサムの計算と挿入のみが有効です。

10：IP ヘッダチェックサムとペイロードチェックサムの計算と挿入が有効ですが、擬似ヘッダチェックサムはハードウェアでは計算されません。

11：IP ヘッダチェックサムとペイロードチェックサムの計算と挿入が有効であり、擬似ヘッダチェックサムはハードウェアで計算されます。

ビット 21　**TER**：送信リングの終わり

セットされた場合、このビットは、ディスクリプタリストが最後のディスクリプタに達したことを示します。DMA は、リストのベースアドレスに戻り、ディスクリプタリングを形成します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 20　**TCH**：セカンドアドレス連鎖
セットされると、このビットは、ディスクリプタ内の 2 番目のアドレスは 2 番目のバッファアドレスではなく、次のディスクリプタのアドレスであることを示します。TDES0[20] がセットされると、TBS2（TDES1[28:16]）の値は「don't care」値です。TDES0[21] は、TDES0[20] に優先します。

ビット 19:18　予約済み

ビット 17　**TTSS**：送信タイムスタンプステータス
このフィールドは、記述された送信フレームのタイムスタンプがキャプチャされたことを示すためのステータスビットとして使用されます。このビットがセットされると、TDES2 と TDES3 は、送信フレームに対してキャプチャされたタイムスタンプの値を持ちます。このフィールドは、ディスクリプタの最後のセグメント制御ビット（TDES0[29]）がセットされたときのみ有効です。

ビット 16　**IHE**：IP ヘッダエラー
セットされた場合、このビットは、MAC トランスミッタが IP データグラムヘッダにエラーを検出したことを示します。トランスミッタは、IPv4 パケットのヘッダ長とアプリケーションから受信したヘッダバイト数を比較照合して、不一致があった場合はエラーステータスを示します。IPv6 フレームの場合、ヘッダエラーは、メインヘッダ長が 40 バイトでない場合に報告されます。さらに、IPv4 または IPv6 フレームのイーサネットの長さ/タイプフィールドの値は、パケットとともに受信された IP ヘッダのバージョンに一致しなければなりません。IPv4 フレームの場合は、ヘッダ長フィールドの値が 0x5 未満の場合にも、エラーステータスが示されます。

ビット 15　**ES**：エラーの要約
以下のビットの論理 OR を示します。
– TDES0[14]：ジャバタイムアウト
– TDES0[13]：フレームフラッシュ
– TDES0[11]：キャリアの喪失
– TDES0[10]：キャリアなし
– TDES0[9]：レイト衝突
– TDES0[8]：過剰衝突
– TDES0[2]：過剰遅延
– TDES0[1]：アンダーフローエラー
– TDES0[16]：IP ヘッダエラー
– TDES0[12]：IP ペイロードエラー

ビット 14　**JT**：ジャバタイムアウト
セットされた場合、このビットは、MAC トランスミッタがジャバタイムアウトを検出したことを示します。このビットは、MAC 設定レジスタの JD ビットがセットされていないときのみ有効です。

ビット 13　**FF**：フレームフラッシュ
セットされた場合、このビットは、DMA/MTL が、CPU によって与えられたソフトウェアフラッシュコマンドにより、フレームをフラッシュしたことを示します。

ビット 12　**IPE**：IP ペイロードエラー
セットされた場合、このビットは、MAC トランスミッタが TCP、UDP、または ICMP IP データグラムペイロード内でエラーを検出したことを示します。トランスミッタは、IPv4 または IPv6 ヘッダで受信したペイロード長を、アプリケーションから受信した TCP、UDP、または ICMP パケットバイトの実際の数と比較照合して、不一致があった場合はエラーステータスを発行します。

ビット 11　**LCA**：キャリアの喪失
セットされた場合、このビットは、フレーム送信中にキャリアの喪失が発生した（すなわち、フレーム送信中に 1 または 2 送信クロック周期の間、MII_CRS 信号がインアクティブであった）ことを示します。このビットは、MAC が半二重モードで動作しているとき、衝突なしで送信されたフレームについてのみ有効です。

ビット 10　**NC**：キャリアなし
セットされた場合、このビットは、送信中に PHY からのキャリアセンス信号がアサートされなかったことを示します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 9　**LCO**：レイト衝突
セットされた場合、このビットは、衝突ウィンドウ（MII モードで、プリアンブルを含めて 64 バイト時間）の後で衝突が発生したためにフレーム送信が中止されたことを示します。このビットは、アンダーフローエラーがセットされた場合は無効です。

ビット 8　**EC**：過剰衝突
セットされた場合、このビットは、現在のフレームの送信を試みている間に 16 の連続した衝突が発生した後、送信が中止されたことを示します。MAC 設定レジスタの RD（再試行ディセーブル）ビットがセットされている場合、このビットが最初の衝突後にセットされて、フレームの送信が中止されます。

ビット 7　**VF**：VLAN フレーム
セットされた場合、このビットは、送信されたフレームは VLAN タイプであったことを示します。

ビット 6:3　**CC**：衝突カウント
この 4 ビットのカウンタの値は、フレームが送信される前に発生した衝突の回数を示します。このカウントは、過剰衝突ビット（TDES0[8]）がセットされているときには無効です。

ビット 2　**ED**：過剰遅延
セットされた場合、このビットは、MAC 制御レジスタの遅延チェック（DC）ビットがハイにセットされている場合、24,288 ビット時間を超える過剰遅延があったために送信が終了したことを示します。

ビット 1　**UF**：アンダーフローエラー
セットされた場合、このビットは、RAM メモリからのデータが遅れて到着したために、MAC がフレーム送信を中止したことを示します。アンダーフローエラーは、DMA がフレーム送信中に空の送信バッファを検出したことを示します。送信プロセスはサスペンド状態に移行し、送信アンダーフロービット（レジスタ 5[5]）と送信割り込みビット（レジスタ 5[0]）の両方をセットします。

ビット 0　**DB**：遅延ビット
セットされた場合、このビットは、キャリアの存在のために MAC がフレーム送信を延期したことを示します。このビットは、半二重モードでのみ有効です。

- **TDES1：送信ディスクリプタ Word1**

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み			TBS2													予約済み			TBS1												
			rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

31:29　予約済み

28:16　**TBS2**：送信バッファ 2 のサイズ
これらのビットは、第 2 のデータバッファのサイズをバイト数で示します。このフィールドは、TDES0[20] がセットされた場合は無効です。

15:13　予約済み

12:0　**TBS1**：送信バッファ 1 のサイズ
これらのビットは、第 1 のデータバッファのサイズをバイト数で示します。このフィールドが 0 の場合、DMA は、このバッファを無視して、TCH（TDES0[20]）の値に応じて、バッファ 2 または次のディスクリプタを使用します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

- **TDES2 : 送信ディスクリプタ Word2**

  TDES2 は、ディスクリプタの最初のバッファのアドレスポインタ、またはタイムスタンプデータを含みます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TBAP1/TTSL																															
rw																															

ビット 31:0　**TBAP1 / TTSL** : 送信バッファ 1 アドレスポインタ/送信フレームタイムスタンプロー

これらのビットは、2 つの機能で使用されます。アプリケーションは、これらを使用して、メモリ内のデータの位置を DMA に知らせます。次に、これらすべてのデータを転送した後、DMA は、これらのビットを使用して、タイムスタンプデータを返送します。

TBAP : ソフトウェアがこのディスクリプタを DMA から使用可能にすると（TDES0 の OWN ビットが 1 にセットされたとき）、これらのビットは、バッファ 1 の物理アドレスを示します。バッファアドレスの整列に関する制約はありません。バッファアドレスの整列の詳細については、*ホストデータバッファ整列（966 ページ）*を参照してください。

TTSL : TDES0 の OWN ビットをクリアする前に、DMA は、対応する送信フレームについてキャプチャされたタイムスタンプの下位 32 ビットでこのフィールドを更新します（TBAP1 の値を上書きします）。このフィールドは、このフレームについてタイムスタンピングが有効であり（TTSE、TDES0 ビット 25 を参照）、ディスクリプタの最後のセグメント制御ビット（LS）がセットされている場合のみ、タイムスタンプの値を含みます。

- **TDES3 : 送信ディスクリプタ Word3**

  TDES3 は、ディスクリプタまたは次のディスクリプタの第 2 のバッファのアドレスポインタ、またはタイムスタンプデータを含みます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TBAP2/TTSH																															
rw																															

ビット 31:0　**TBAP2 / TTSH** : 送信バッファ 2 アドレスポインタ（次のディスクリプタのアドレス）/送信フレームタイムスタンプハイ

これらのビットは、2 つの機能で使用されます。アプリケーションは、これらを使用して、メモリ内のデータの位置を DMA に知らせます。次に、これらすべてのデータを転送した後、DMA は、これらのビットを使用して、タイムスタンプデータを返送します。

TBAP2 : ソフトウェアがこのディスクリプタを DMA から使用可能にすると（TDES0 の OWN ビットが 1 にセットされたとき）、これらのビットは、ディスクリプタリング構造が使用されるとき、バッファ 1 の物理アドレスを示します。セカンドアドレス連鎖（TDES1 [24]）ビットがセットされた場合、このアドレスは、次のディスクリプタが存在する物理メモリのポインタを含みます。バッファアドレスポインタは、TDES1 [24] がセットされているときのみ、バス幅に整列されなければなりません。（LSB は内部で無視されます。）

TTSH : TDES0 の OWN ビットをクリアする前に、DMA は、対応する送信フレームのタイムスタンプの上位 32 ビットでこのフィールドを更新します（TBAP2 の値を上書きします）。このフィールドは、このフレームについてタイムスタンピングが有効であり（TTSE、TDES0 ビット 25 を参照）、ディスクリプタの最後のセグメント制御ビット（LS）がセットされている場合のみ、タイムスタンプの値を含みます。

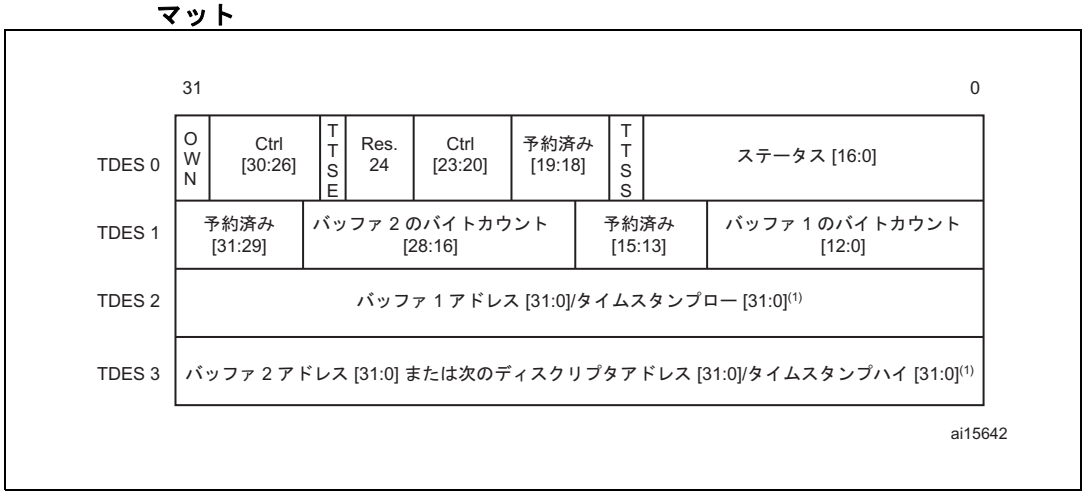
この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

IEEE1588 タイムスタンプを持つ Tx DMA ディスクリプタのフォーマット

ディスクリプタのフォーマット（前に説明済み）とフィールドディスクリプタは、ソフトウェアによって作成されると（TDES0 の OWN ビットがセット）、変更されないまま保持されます。ただし、ソフトウェアが IEEE 1588 の機能を有効にしている場合、TDES2 および TDES3 ディスクリプタフィールドは、DMA がディスクリプタをクローズしたとき（TDES0 の OWN ビットがクリアされたとき）、異なる意味を持ちます。

*図 354*に示されるように、送信ディスクリプタは、タイムスタンピングのための追加の制御ビットとステータスビット（それぞれ、TTSE および TTSS ビット）を持ちます。ソフトウェアは、送信されるイーサネットフレームのタイムスタンプを生成するようにコアに指示する TTSE ビットをセットします（OWN ビットがセットされているとき）。DMA は、ディスクリプタがクローズされたとき（OWN ビットがクリアされたとき）、TDES2 および TDES3 フィールドでタイムスタンプが更新されていた場合、TTSS をセットします。

図354. IEEE1588 タイムスタンプが有効な送信ディスクリプタフィールドのフォーマット



1. DMA は、TDES0 の OWN ビットをクリアする前に、TDES2 と TDES3 をタイムスタンプの値で更新します。TDES2 はタイムスタンプの下位 32 ビット（この後のセクション*TDES2 : 送信ディスクリプタ Word2*で TTSL と呼ばれるサブセカンドフィールド）で更新され、TDES3 はタイムスタンプの上位 32 ビット（この後のセクション*TDES3 : 送信ディスクリプタ Word3*で TTSH と呼ばれるセカンドフィールド）で更新されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

- **TDES0：送信ディスクリプタ Word0：送信タイムスタンプ制御およびステータス**

  このフィールドの値は、ディスクリプタをクローズする時点で、DMA によって保存されなければなりません。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OWN	IC	LS	FS	DC	DP	TTSE	予約済み	CIC		TER	TCH	予約済み		TTSS	IHE	ES	JT	FF	IPE	LCA	NC	LCO	EC	VF	CC				ED	UF	DB
rw	rw	rw	rw	rw	rw	rw		rw	rw	rw	rw			rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31　**OWN**：所有権ビット

セットされた場合、このビットは、ディスクリプタが DMA によって所有されていることを示します。このビットがリセットされた場合、ディスクリプタが CPU によって所有されていることを示します。DMA は、フレーム送信を完了したとき、またはディスクリプタの中で割り当てられたバッファが完全に読み出されたときに、このビットをクリアします。フレームの最初のディスクリプタの所有権ビットは、同じフレームに属するすべての後続ディスクリプタがセットされた後にセットされなければなりません。

ビット 30　**IC**：完了時割り込み

セットされると、このビットは、現在のフレームが送信された後、送信割り込みビット（レジスタ 5[0]）をセットします。

ビット 29　**LS**：最後のセグメント

セットされた場合、このビットは、バッファがフレームの最後のセグメントを含んでいることを示します。

ビット 28　**FS**：最初のセグメント

セットされた場合、このビットは、バッファがフレームの最初のセグメントを含んでいることを示します。

ビット 27　**DC**：CRC のディセーブル

このビットがセットされると、MAC は、送信フレームの最後に巡回冗長検査コード（CRC）を付加しません。これは、最初のセグメント（TDES0[28]）がセットされたときのみ有効です。

ビット 26　**DP**：パッドのディセーブル

このビットがセットされると、MAC は、64 バイトより短いフレームにはパッドを自動的に追加しません。このビットがリセットされると、DMA は、64 バイトより短いフレームに自動的にパッドと CRC を追加し、DC（TDES0[27]）ビットの状態に関係なく、CRC フィールドが追加されます。これは、最初のセグメント（TDES0[28]）がセットされたときのみ有効です。

ビット 25　**TTSE**：送信タイムスタンプイネーブル

セットされた場合、このフィールドは、ディスクリプタによって記述される送信フレームの IEEE 1588 ハードウェアタイムスタンピングを有効にします。このフィールドは、最初のセグメント制御ビット（TDES0[28]）がセットされたときのみ有効で。

ビット 24　予約済み

ビット 23:22　**CIC**：チェックサム挿入制御

これらのビットは、チェックサムの計算と挿入を制御します。ビットエンコーディングは、以下のとおりです。

00：チェックサム挿入は無効です。

01：IP ヘッダチェックサムの計算と挿入のみが有効です。

10：IP ヘッダチェックサムとペイロードチェックサムの計算と挿入が有効ですが、擬似ヘッダチェックサムはハードウェアでは計算されません。

11：IP ヘッダチェックサムとペイロードチェックサムの計算と挿入が有効であり、擬似ヘッダチェックサムはハードウェアで計算されます。

ビット 21　**TER**：送信リングの終わり

セットされた場合、このビットは、ディスクリプタリストが最後のディスクリプタに達したことを示します。DMA は、リストのベースアドレスに戻り、ディスクリプタリングを形成します。

ビット 20　**TCH**：セカンドアドレス連鎖

セットされると、このビットは、ディスクリプタ内の 2 番目のアドレスは 2 番目のバッファアドレスではなく、次のディスクリプタのアドレスであることを示します。TDES0[20] がセットされると、TBS2（TDES1[28:16]）の値は「don't care」値です。TDES0[21] は、TDES0[20] に優先します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 19:18　予約済み

ビット 17　**TTSS**：送信タイムスタンプステータス
このフィールドは、記述された送信フレームのタイムスタンプがキャプチャされたことを示すためのステータスビットとして使用されます。このビットがセットされると、TDES2 と TDES3 は、送信フレームに対してキャプチャされたタイムスタンプの値を持ちます。このフィールドは、ディスクリプタの最後のセグメント制御ビット（TDES0[29]）がセットされたときのみ有効です。

ビット 16　**IHE**：IP ヘッダエラー
セットされた場合、このビットは、MAC トランスミッタが IP データグラムヘッダにエラーを検出したことを示します。トランスミッタは、IPv4 パケットのヘッダ長とアプリケーションから受信したヘッダバイト数を比較照合して、不一致があった場合はエラーステータスを示します。IPv6 フレームの場合、ヘッダエラーは、メインヘッダ長が 40 バイトでない場合に報告されます。さらに、IPv4 または IPv6 フレームのイーサネットの長さ/タイプフィールドの値は、パケットとともに受信された IP ヘッダのバージョンに一致しなければなりません。IPv4 フレームの場合は、ヘッダ長フィールドの値が 0x5 未満の場合にも、エラーステータスが示されます。

ビット 15　**ES**：エラーの要約
以下のビットの論理 OR を示します。
– TDES0[14]：ジャバタイムアウト
– TDES0[13]：フレームフラッシュ
– TDES0[11]：キャリアの喪失
– TDES0[10]：キャリアなし
– TDES0[9]：レイト衝突
– TDES0[8]：過剰衝突
– TDES0[2]：過剰遅延
– TDES0[1]：アンダーフローエラー
– TDES0[16]：IP ヘッダエラー
– TDES0[12]：IP ペイロードエラー

ビット 14　**JT**：ジャバタイムアウト
セットされた場合、このビットは、MAC トランスミッタがジャバタイムアウトを検出したことを示します。このビットは、MAC 設定レジスタの JD ビットがセットされていないときのみ有効です。

ビット 13　**FF**：フレームフラッシュ
セットされた場合、このビットは、DMA/MTL が、CPU によって与えられたソフトウェアフラッシュコマンドにより、フレームをフラッシュしたことを示します。

ビット 12　**IPE**：IP ペイロードエラー
セットされた場合、このビットは、MAC トランスミッタが TCP、UDP、または ICMP IP データグラムペイロード内でエラーを検出したことを示します。トランスミッタは、IPv4 または IPv6 ヘッダで受信したペイロード長を、アプリケーションから受信した TCP、UDP、または ICMP パケットバイトの実際の数と比較照合して、不一致があった場合はエラーステータスを発行します。

ビット 11　**LCA**：キャリアの喪失
セットされた場合、このビットは、フレーム送信中にキャリアの喪失が発生した（すなわち、フレーム送信中に 1 または 2 送信クロック周期の間、MII_CRS 信号がインアクティブであった）ことを示します。このビットは、MAC が半二重モードで動作しているとき、衝突なしで送信されたフレームについてのみ有効です。

ビット 10　**NC**：キャリアなし
セットされた場合、このビットは、送信中に PHY からのキャリアセンス信号がアサートされなかったことを示します。

ビット 9　**LCO**：レイト衝突
セットされた場合、このビットは、衝突ウィンドウ（MII モードで、プリアンブルを含めて 64 バイト時間）の後で衝突が発生したためにフレーム送信が中止されたことを示します。このビットは、アンダーフローエラーがセットされた場合は無効です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 8　**EC**：過剰衝突
セットされた場合、このビットは、現在のフレームの送信を試みている間に 16 の連続した衝突が発生した後、送信が中止されたことを示します。MAC 設定レジスタの RD（再試行ディセーブル）ビットがセットされている場合、このビットが最初の衝突後にセットされて、フレームの送信が中止されます。

ビット 7　**VF**：VLAN フレーム
セットされた場合、このビットは、送信されたフレームは VLAN タイプであったことを示します。

ビット 6:3　**CC**：衝突カウント
この 4 ビットのカウンタの値は、フレームが送信される前に発生した衝突の回数を示します。このカウントは、過剰衝突ビット（TDES0[8]）がセットされているときには無効です。

ビット 2　**ED**：過剰遅延
セットされた場合、このビットは、MAC 制御レジスタの遅延チェック（DC）ビットがハイにセットされている場合、24,288 ビット時間を超える過剰遅延があったために送信が終了したことを示します。

ビット 1　**UF**：アンダーフローエラー
セットされた場合、このビットは、RAM メモリからのデータが遅れて到着したために、MAC がフレーム送信を中止したことを示します。アンダーフローエラーは、DMA がフレーム送信中に空の送信バッファを検出したことを示します。送信プロセスはサスペンド状態に移行し、送信アンダーフロービット（レジスタ 5[5]）と送信割り込みビット（レジスタ 5[0]）の両方をセットします。

ビット 0　**DB**：遅延ビット
セットされた場合、このビットは、キャリアの存在のために MAC がフレーム送信を延期したことを示します。このビットは、半二重モードでのみ有効です。

- **TDES1：送信ディスクリプタ Word1**

セクション*TDES1：送信ディスクリプタ Word1*を参照してください。

- **TDES2：送信ディスクリプタ Word2**

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TTSL																															
rw																															

ビット 31:0　TTSL：送信フレームタイムスタンプロー
このフィールドは、DMA によって、対応する送信フレームについてキャプチャされたタイムスタンプの下位 32 ビットで更新されます。このフィールドは、ディスクリプタの最後のセグメント制御ビット（LS）がセットされている場合にのみ、タイムスタンプの値を持ちます。

- **TDES3：送信ディスクリプタ Word3**

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TTSH																															
rw																															

ビット 31:0　TTSH：送信フレームタイムスタンプハイ
このフィールドは、DMA によって、対応する送信フレームについてキャプチャされたタイムスタンプの上位 32 ビットで更新されます。このフィールドは、ディスクリプタの最後のセグメント制御ビット（LS）がセットされている場合にのみ、タイムスタンプの値を持ちます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

28.6.8 Rx DMA の設定

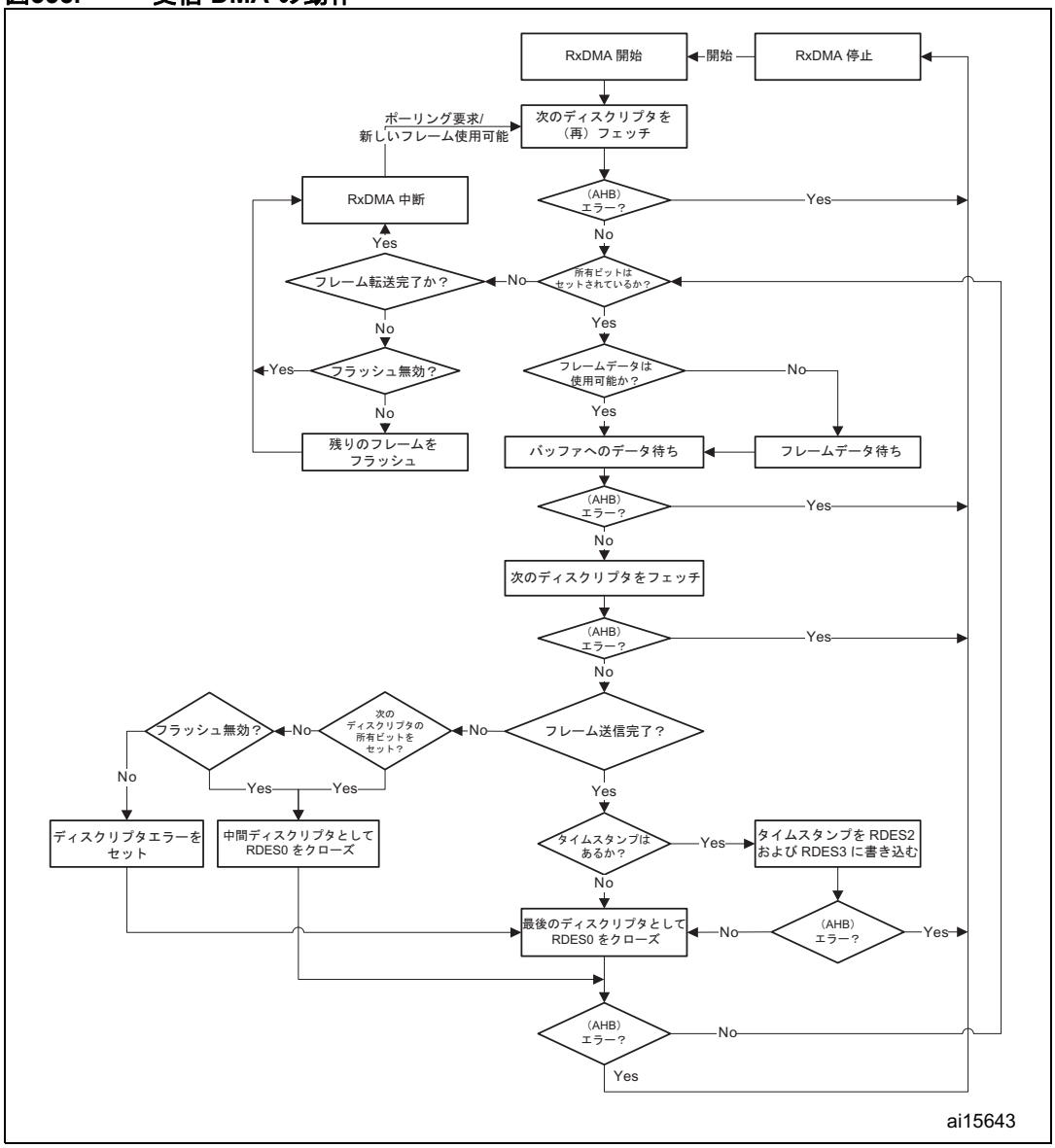
受信 DMA エンジンの受信シーケンスを*図 355*に示し、以下で説明します。

1. CPU は、受信ディスクリプタ（RDES0-RDES3）をセットアップし、OWN ビット（RDES0[31]）をセットします。
2. SR ビット（ETH_DMAOMR レジスタの[13]）がセットされると、DMA は実行状態に入ります。実行状態の間、DMA は、受信ディスクリプタリストをポーリングして、未使用のディスクリプタの取得を試みます。フェッチされたディスクリプタが未使用でない（CPU に所有されている）場合、DMA はサスペンド状態に入り、手順 9 へジャンプします。
3. DMA は、取得したディスクリプタから受信データバッファアドレスをデコードします。
4. 受信フレームは処理され、取得されたディスクリプタのデータバッファに格納されます。
5. バッファがいっぱいになるか、フレーム転送が完了すると、受信エンジンは次のディスクリプタをフェッチします。
6. 現在のフレーム転送が完了した場合、DMA は手順 7 に進みます。DMA がフェッチされた次のディスクリプタを所有せず、フレーム転送が完了していない（EOF がまだ転送されていない）場合、DMA は、RDES0 のディスクリプタエラービットをセットします（フラッシュが無効にされていない場合）。DMA は現在のディスクリプタをクローズし（OWN ビットをクリア）、RDES1 値の最後のセグメント（LS）ビットをクリアすることによって、中間ディスクリプタとしてマークした後（フラッシュが無効にされていない場合は最後のディスクリプタとしてマーク）、手順 8 に進みます。DMA が次のディスクリプタを所有しているが、現在のフレーム転送をまだ完了していない場合、DMA は現在のディスクリプタを中間ディスクリプタとしてクローズして、手順 4 に戻ります。
7. IEEE 1588 タイムスタンピングが有効な場合、DMA は、現在のディスクリプタの RDES2 と RDES3 にタイムスタンプ（入手可能な場合）を書き込みます。DMA は、次に、受信したフレームのステータスを取り出し、そのステータスワードを、OWN ビットがクリアされ、最後のセグメントビット（LS）がセットされている現在のディスクリプタの RDES0 に書き込みます。
8. 受信エンジンは、最新のディスクリプタの OWN ビットをチェックします。CPU がディスクリプタを所有している場合（OWN ビットが 0）、受信バッファ使用不可ビット（ETH_DMASR レジスタ [7]）がセットされ、DMA 受信エンジンはサスペンド状態に入ります（手順 9）。DMA がディスクリプタを所有している場合、エンジンは手順 4 に戻り、次のフレームを待ちます。
9. 受信エンジンがサスペンド状態に入る前に、部分フレームは受信 FIFO からフラッシュされます（フラッシュは、TH_DMAOMR レジスタのビット 24 を使用して制御できます）。
10. 受信 DMA は、ポーリング受信要求が与えられたとき、または受信 FIFO から次のフレームの始めが入手可能となったときに、サスペンド状態から抜けます。エンジンは手順 2 に進み、次のディスクリプタを再びフェッチします。

DMA は、タイムスタンプの書き戻しを完了して、ディスクリプタのステータスの書き戻しを実行する用意ができるまで、ステータスの受け取りを確認応答しません。ソフトウェアが CSR を通じてタイムスタンピングを有効にした場合、フレームの有効なタイムスタンプの値が入手できないときは（たとえば、タイムスタンプの書き込みが完了する前に受信 FIFO がいっぱいになったときなど）、DMA は RDES2 と RDES3 にすべて 1 を書き込みます。そうでない場合（すなわち、タイムスタンピングが有効でない場合）、RDES2 と RDES3 は変更なく維持されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図355.　受信 DMA の動作



受信ディスクリプタの取得

受信エンジンは、常に、受信フレームを期待して、ディスクリプタをさらに取得しようと試みます。以下の条件のいずれかが満たされた場合、ディスクリプタの取得が試みられます。

- DMA が実行状態に入った直後に、受信スタート/ストップビット（ETH_DMAOMR レジスタ [1]）がセットされた。
- 現在のディスクリプタのデータバッファが、現在転送中のフレームの終わりの前にいっぱいである。
- コントローラがフレームの受信を完了したが、現在の受信ディスクリプタがまだクローズされていない。
- CPU 所有のバッファ（RDES0[31] = 0）のために受信プロセスが中断され、新しいフレームが受信された。
- 受信ポーリング要求が発行された。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

受信フレームの処理

MAC は、フレームがアドレスフィルタを通過し、フレームサイズが受信 FIFO に対して設定された設定可能な閾値バイト以上であるか、完全なフレームがストアアンドフォワードモードで FIFO に書き込まれたときにのみ、受信したフレームを STM32F107xx メモリに転送します。フレームがアドレスフィルタを通過できなかった場合は、MAC ブロック自身の中でドロップされます（受信するすべての ETH_MACFFR [31] ビットがセットされている場合を除きます）。衝突や早すぎる終了のために 64 バイトより短くなったフレームは、受信 FIFO から消去されます。64 バイト（設定可能な閾値）が受信された後、DMA ブロックは、現在のディスクリプタによって示される受信バッファへのフレームデータの転送を開始します。DMA は、DMA AHB インタフェースがデータ転送を受け取る準備ができた後（DMA がメモリから送信データをフェッチしていない場合）、最初のディスクリプタ（RDES0[9]）をセットして、フレームを区切ります。ディスクリプタは、データバッファがいっぱいになるか、フレームの最後のセグメントが受信バッファに転送されたことによって、OWN （RDES0[31]）ビットが 0 にリセットされると、リリースされます。フレームが単一のディスクリプタに含まれている場合、最後のディスクリプタ（RDES0[8]）ビットと最初のディスクリプタ（RDES0[9]）ビットの両方がセットされます。DMA は次のディスクリプタをフェッチし、最後のディスクリプタ（RDES0[8]）ビットをセットし、前のフレームディスクリプタの RDES0 ステータスビットをリリースします。次に、DMA は、受信割り込みビット（ETH_DMASR レジスタ [6]）をセットします。DMA が CPU によって所有されているというフラグが立てられているディスクリプタを検出しない限り、同じプロセスが繰り返されます。これが発生した場合、受信プロセスは受信バッファ使用不可ビット（ETH_DMASR レジスタ [7]）をセットした後、サスペンド状態に入ります。受信リスト内の位置は維持されます。

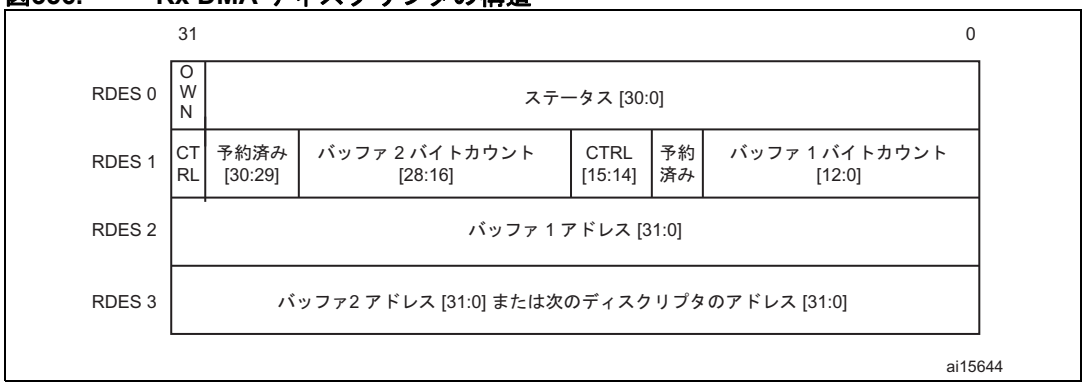
中断された受信プロセス

受信プロセスがサスペンド状態にある間に新しい受信フレームが到着した場合、DMA は、STM32F107xx メモリ内の現在のディスクリプタを再フェッチします。現在、ディスクリプタが DMA によって所有されている場合、受信プロセスは再び実行状態に入り、フレーム受信を開始します。.ディスクリプタが依然としてホストによって所有されている場合、デフォルトでは、DMA は、Rx FIFO の最上部にある現在のフレームを破棄して、欠落フレームカウンタをインクリメントします。Rx FIFO 内に複数のフレームが格納されている場合、このプロセスが繰り返されます。Rx FIFO の最上部にあるフレームの破棄またはフラッシュは、DMA 動作モードレジスタのビット 24（DFRF）をセットすることによって回避できます。このような条件では、受信プロセスは、受信バッファ使用不可ステータスビットをセットして、サスペンド状態に戻ります。

Rx DMA ディスクリプタ

このディスクリプタの構造は、4 つの 32 ビットワード（16 バイト）で構成されます。これらを*図 356* に示します。RDES0、RDES1、RDES2、および RDES3 のビットの説明は、以下のとおりです。

図356.　Rx DMA ディスクリプタの構造



この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

- **RDES0：送信ディスクリプタ Word0**

  RDSE0 は、受信フレームステータス、フレーム長、およびディスクリプタの所有権情報を含んでいます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OWN	AFM	FL														ES	DE	SAF	LE	OE	VLAN	FS	LS	IPHCE	LCO	FT	RWT	RE	DE	CE	PCE
rw																															

ビット 31　**OWN**：所有権ビット

セットされた場合、このビットは、ディスクリプタが MAC サブシステムの DMA によって所有されていることを示します。このビットがリセットされた場合は、ディスクリプタがホストによって所有されていることを示します。DMA は、フレーム受信を完了したとき、または、このディスクリプタに関連するバッファがいっぱいになったときに、このビットをクリアします。

ビット 30　**AFM**：デスティネーションアドレスフィルタ失敗

セットされた場合、このビットは、フレームが MAC コアで DA フィルタの通過に失敗したことを示します。

ビット 29:16　**FL**：フレーム長

これらのビットは、ホストメモリに転送された受信フレームのバイト長（CRC を含む）を示します。このフィールドは、最後のディスクリプタ（RDES0[8]）がセットされ、ディスクリプタエラー（RDES0[14]）がリセットされたときのみ有効です。

このフィールドは、最後のディスクリプタ（RDES0[8]）がセットされたときに有効です。最後のディスクリプタビットとエラー要約ビットがセットされていない場合、このフィールドは、現在のフレームで転送された累積バイト数を示します。

ビット 15　**ES**：エラーの要約

以下のビットの論理 OR を示します。

– RDES0[1]：CRC エラー

– RDES0[3]：受信エラー

– RDES0[4]：ウォッチドッグタイムアウト

– RDES0[6]：レイト衝突

– RDES0[7]：ジャイアントフレーム（これは RDES0[7] が IPv4 ヘッダチェックサムエラーを示しているときは適用されません）。

– RDES0[11]：オーバーフローエラー

– RDES0[14]：ディスクリプタエラー

このフィールドは、最後のディスクリプタ（RDES0[8]）がセットされたときにのみ有効です。

ビット 14　**DE**：ディスクリプタエラー

セットされた場合、このビットは、フレームが現在のディスクリプタバッファに入りきらず、DMA が次のディスクリプタを所有していないために、フレームが切り詰められることを示します。フレームは切り詰められます。このフィールドは、最後のディスクリプタ（RDES0[8]）がセットされたときにのみ有効です。

ビット 13　**SAF**：ソースアドレスフィルタ失敗

セットされた場合、このビットは、フレームの SA フィールドが MAC コアの SA フィルタを通過できなかったことを示します。

ビット 12　**LE**：長さエラー

セットされた場合、このビットは、受信フレームの実際の長さが、長さ/タイプフィールドの値に一致しないことを示します。このビットは、フレームタイプ（RDES0[5]）ビットがリセットされたときにのみ有効です。

ビット 11　**OE**：オーバーフローエラー

セットされた場合、このビットは、受信フレームがバッファオーバーフローのために破損したことを示します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 10 **VLAN** : VLAN タグ
セットされた場合、このビットは、このディスクリプタによって示されるフレームが MAC コアによってタグ付けされた VLAN フレームであることを示します。

ビット 9 **FS** : 最初のディスクリプタ
セットされた場合、このビットは、このディスクリプタがフレームの最初のバッファを含んでいることを示します。最初のバッファのサイズが 0 の場合、2 番目のバッファがフレームの始めを含みます。2 番目のバッファのサイズも 0 の場合、次のディスクリプタがフレームの始めを含みます。

ビット 8 **LS** : 最後のディスクリプタ
セットされた場合、このビットは、このディスクリプタによって示されるバッファがフレームの最後のバッファであることを示します。

ビット 7 **IPHCE** : IPv ヘッダチェックサムエラー
IPHCE がセットされた場合は、IPv4 または IPv6 ヘッダにエラーがあることを示します。このエラーの原因は、イーサネットタイプフィールドと IP ヘッダバージョンフィールドの不一致、IPv4 でのヘッダチェックサムの不一致、または イーサネットフレームが期待される数の IP ヘッダバイトを欠いていることなどが考えられます。

ビット 6 **LCO** : レイト衝突
セットされた場合、このビットは、半二重モードでフレームを受信中に、レイト衝突が発生したことを示します。

ビット 5 **FT** : フレームタイプ
セットされた場合、このビットは、受信フレームがイーサネットタイプフレーム（LT フィールドが 0x0600 以上）であることを示します。このビットがリセットされているときは、受信フレームが IEEE802.3 フレームであることを示します。このビットは、14 バイト未満のラントフレームについては無効です。

ビット 4 **RWT** : 受信ウォッチドッグタイムアウト
セットされた場合、このビットは、現在のフレームの受信中に受信ウォッチドッグタイマが時間切れになり、ウォッチドッグタイムアウト後に現在のフレームが切り詰められることを示します。

ビット 3 **RE** : 受信エラー
セットされた場合、このビットは、フレーム受信時に RX_DV がアサートされているときに、RX_ERR 信号がアサートされたことを示します。

ビット 2 **DE** : ドリブルビットエラー
セットされた場合、このビットは、受信フレームのバイト数が非整数倍（奇数ニブル）であることを示します。このビットは、MII モードでのみ有効です。

ビット 1 **CE** : CRC エラー
セットされると、このビットは、受信フレームで巡回冗長検査（CRC）エラーが発生したことを示します。このフィールドは、最後のディスクリプタ（RDES0[8]）がセットされたときにのみ有効です。

ビット 0 **PCE** : ペイロードチェックサムエラー
セットされた場合、このビットは、コアが計算した TCP、UDP、または ICMP チェックサムが、受信したカプセル化 TCP、UDP、または ICMP セグメントのチェックサムフィールドに一致しないことを示します。このビットは、受信したペイロードのバイト数が、受信したイーサネットフレームのカプセル化された IPv4 または IPv6 データグラムの長さフィールドの値と一致しないときにもセットされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 5、7、および 0 は、*表 212*に示されている条件を反映します。

表212. 受信ディスクリプタ 0

ビット 5 : フレームタイプ	ビット 7 : IPC チェックサムエラー	Bit 0 : ペイロードチェックサムエラー	フレームステータス
0	0	0	IEEE 802.3 タイプフレーム（長さフィールドの値が 0x0600 未満）。
1	0	0	チェックサムエラーが検出されない IPv4/IPv6 タイプのフレーム。
1	0	1	ペイロードチェックサムエラーが検出される IPv4/IPv6 タイプのフレーム（PCE の説明と同様）。
1	1	0	IP ヘッダチェックサムエラーが検出される IPv4/IPv6 タイプのフレーム（IPC CE の説明と同様）。
1	1	1	IP ヘッダとペイロードの両方のチェックサムエラーが検出される IPv4/IPv6 タイプのフレーム。
0	0	1	IP ヘッダチェックサムエラーはないが、サポートされないペイロードであるため、ペイロードチェックがバイパスされる IPv4/IPv6 タイプのフレーム。
0	1	1	IPv4 でも IPv6 でもないタイプのフレーム（チェックサムオフロードエンジンはチェックサムを完全にバイパスします）。
0	1	0	予約済み

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

- **RDES1：受信ディスクリプタ Word1**

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DIC	RBS2		RBS2													RER	RCH	予約済み	RBS												
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw		rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31　**DIC**：完了時割り込みディセーブル
セットされた場合、このビットは、このディスクリプタによって示されたバッファで終わる受信フレームについて、ステータスレジスタの RS ビット（CSR5[6]）がセットされるのを防ぎます。これにより、そのフレームの RS によるホストへの割り込みのアサートが無効になります。

ビット 30:29　予約済み

ビット 28:16　**RBS2**：受信バッファ 2 のサイズ
これらのビットは、第 2 のデータバッファのサイズをバイト数で示します。バッファサイズは、RDES3（バッファ 2 アドレスポインタ）がバス幅に整列されていない場合でも、バス幅（32、64、または 128 ビット）に応じて、それぞれ 4、8、または 16 の倍数でなければなりません。バッファサイズが 4、8、または 16 の適切な倍数でない場合、結果としての動作は未定義です。このフィールドは、RDES1 [14] がセットされた場合は無効です。

ビット 15　**RER**：受信リングの終わり
セットされた場合、このビットは、ディスクリプタリストが最後のディスクリプタに達したことを示します。DMA は、リストのベースアドレスに戻り、ディスクリプタリングを形成します。

ビット 14　**RCH**：セカンドアドレス連鎖
セットされると、このビットは、ディスクリプタ内の 2 番目のアドレスは 2 番目のバッファアドレスではなく、次のディスクリプタのアドレスであることを示します。このビットがセットされると、RBS2（RDES1[28:16]）の値は「don't care」になります。RDES1[15] は RDES1[14] より優先されます。

ビット 13　予約済み

ビット 12:0　**RBS1**：受信バッファ 1 のサイズ
第 1 のデータバッファのサイズをバイト数で示します。バッファサイズは、RDES2（バッファ 1 アドレスポインタ）がバス幅に整列されていない場合でも、バス幅（32、64、または 128 ビット）に応じて、それぞれ 4、8、または 16 の倍数でなければなりません。バッファサイズが 4、8、または 16 の倍数でない場合、結果としての動作は未定義です。このフィールドが 0 の場合、DMA は、このバッファを無視して、RCH（ビット[14]）の値に応じて、バッファ 2 または次のディスクリプタを使用します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

- **RDES2：受信ディスクリプタ Word2**

  RDES2 は、ディスクリプタの最初のデータバッファのアドレスポインタ、またはタイムスタンプデータを含みます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RBP1 / RTSL																															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0　**RBAP1 / RTSL**：受信バッファ 1 アドレスポインタ/受信フレームタイムスタンプロー

これらのビットは、2 つの機能で使用されます。アプリケーションは、これらのビットを使用して、データを書き込むべきメモリ内の位置を DMA に知らせて、すべてのデータを転送した後、DMA は、これらのビットを使用して、タイムスタンプデータを返送できます。

RBAP1：ソフトウェアがこのディスクリプタを DMA から使用可能にすると（RDES0 の OWN ビットが 1 にセットされたとき）、これらのビットは、バッファ 1 の物理アドレスを示します。バッファアドレスの配列には制約がありませんが、以下の条件を除きます。すなわち、DMA は、RDES2 の値がフレームの始めを格納するために使用されるときには、そのアドレス生成のために設定された値を使用します。DMA は、フレームの始めの転送時には、RDES2[3/2/1:0] ビットを 0 として書き込み動作を実行しますが、フレームデータは実際のバッファアドレスポインタに従ってシフトされることに注意してください。DMA は、アドレスポインタがフレームの中間または最後の部分が格納されるバッファを示している場合、RDES2[3/2/1:0]（128/64/32 のバス幅に対応）を無視します。

RTSL：RDES0 の OWN ビットをクリアする前に、DMA は、このフィールドを、対応する受信フレームについてキャプチャされたタイムスタンプの下位 32 ビットで更新します（RBAP1 の値を上書きします）。このフィールドは、このフレームについてタイムスタンピングが有効であり、ディスクリプタの最後のセグメント制御ビット（LS）がセットされている場合のみ、タイムスタンプの値を含みます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

- **RDES3：受信ディスクリプタ Word3**

  RDES3 は、ディスクリプタ内の第 2 のデータバッファまたは次のディスクリプタのいずれかのアドレスポインタ、またはタイムスタンプデータを含みます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RBP2 / RTSH																															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0　**RBAP2 / RTSH**：受信バッファ 2 アドレスポインタ（次のディスクリプタのアドレス）/受信フレームタイムスタンプハイ

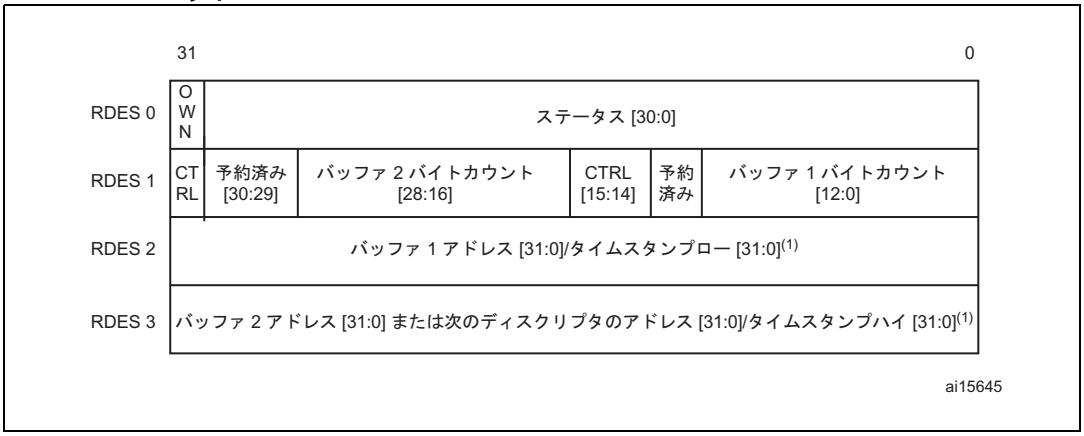
これらのビットは、2 つの機能で使用されます。アプリケーションは、これらのビットを使用して、データを書き込むべきメモリ内の位置を DMA に知らせて、すべてのデータを転送した後、DMA は、これらのビットを使用して、タイムスタンプデータを返送できます。

RBAP1：ソフトウェアがこのディスクリプタを DMA から使用可能にすると（RDES0 の OWN ビットが 1 にセットされたとき）、これらのビットは、ディスクリプタリング構造が使用されるとき、バッファ 2 の物理アドレスを示します。セカンドアドレス連鎖（RDES1 [24]）ビットがセットされた場合、このアドレスは、次のディスクリプタが存在する物理メモリのポインタを含みます。RDES1 [24] がセットされた場合、バッファ（次のディスクリプタ）アドレスポインタは、128、64、または 32 のバス幅に応じて、RDES3[3、2、または 1:0] = 0）、バス幅に整列されていなければなりません。（LSB は内部的に無視されます。）ただし、RDES1 [24] がリセットされた場合、RDES3 の値には制約がありませんが、以下の条件を除きます。すなわち、DMA は、RDES3 の値がフレームの始めを格納するために使用されるときには、そのアドレス生成のために設定された値を使用します。DMA は、アドレスポインタがフレームの中間または最後の部分が格納されるバッファを示している場合、RDES3[3、2、または 1:0]（128、64、32 のバス幅に対応）を無視します。

RTSH：RDES0 の OWN ビットをクリアする前に、DMA は、このフィールドを、対応する受信フレームについてキャプチャされたタイムスタンプの上位 32 ビットで更新します（RBAP2 の値を上書きします）。このフィールドは、このフレームについてタイムスタンピングが有効であり、ディスクリプタの最後のセグメント制御ビット（LS）がセットされている場合のみ、タイムスタンプの値を含みます。

IEEE1588 タイムスタンプを持つ Rx DMA ディスクリプタのフォーマット

図357.　IEEE1588 タイムスタンプが有効な受信ディスクリプタフィールドのフォーマット



1. DMA は、RDES0 の OWN ビットをクリアする前に、RDES2 と RDES3 をタイムスタンプの値で更新します。RDES2 は、タイムスタンプの下位 32 ビット（この後のセクション*RDES2：受信ディスクリプタ Word2*で RTSL と呼ばれるサブセカンドフィールド）で更新され、RDES3 はタイムスタンプの上位 32 ビット（この後のセクション*RDES3：受信ディスクリプタ Word3*で RTSH と呼ばれるセカンドフィールド）で更新されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

- **RDES0：送信ディスクリプタ Word0**

  *RDES0：送信ディスクリプタ Word0*のセクションを参照してください。

- **RDES1：受信ディスクリプタ Word1**

  *RDES1：受信ディスクリプタ Word1*のセクションを参照してください。

- **RDES2：受信ディスクリプタ Word2**

  受信ディスクリプタがクローズされ、タイムスタンピングが有効なとき、RDES2 に対して異なる意味を持つフィールドを次の表に示します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RTSL																															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0　**RTSL**：受信フレームタイムスタンプロー

DMA は、このフィールドを、対応する受信フレームについてキャプチャされたタイムスタンプの下位 32 ビットで更新します。DMA は、最後のディスクリプタのステータスビット（RDES0[8]）によって示された受信フレームの最後のディスクリプタについてのみ、このフィールドを更新します。このフィールドと RDES3 の RTSH フィールドがすべて 1 を示している場合、タイムスタンプは破損しているものとして扱われなければなりません。

- **RDES3：受信ディスクリプタ Word3**

  受信ディスクリプタがクローズされ、タイムスタンピングが有効なとき、RDES3 に対して異なる意味を持つフィールドを次の表に示します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RTSH																															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0　**RTSH**：受信フレームタイムスタンプハイ

DMA は、このフィールドを、対応する受信フレームについてキャプチャされたタイムスタンプの上位 32 ビットで更新します。DMA は、最後のディスクリプタのステータスビット（RDES0[8]）によって示された受信フレームの最後のディスクリプタについてのみ、このフィールドを更新します。

このフィールドと RDES2 の RTSL フィールドがすべて 1 を示している場合、タイムスタンプは破損しているものとして扱われなければなりません。

28.6.9　DMA 割り込み

さまざまなイベントの結果として、割り込みが生成されることがあります。ETH_DMASR レジスタは、割り込みの原因となる可能性があるすべてのビットを含んでいます。ETH_DMAIER レジスタは、割り込みの原因になりえる各イベントのイネーブルビットを含んでいます。

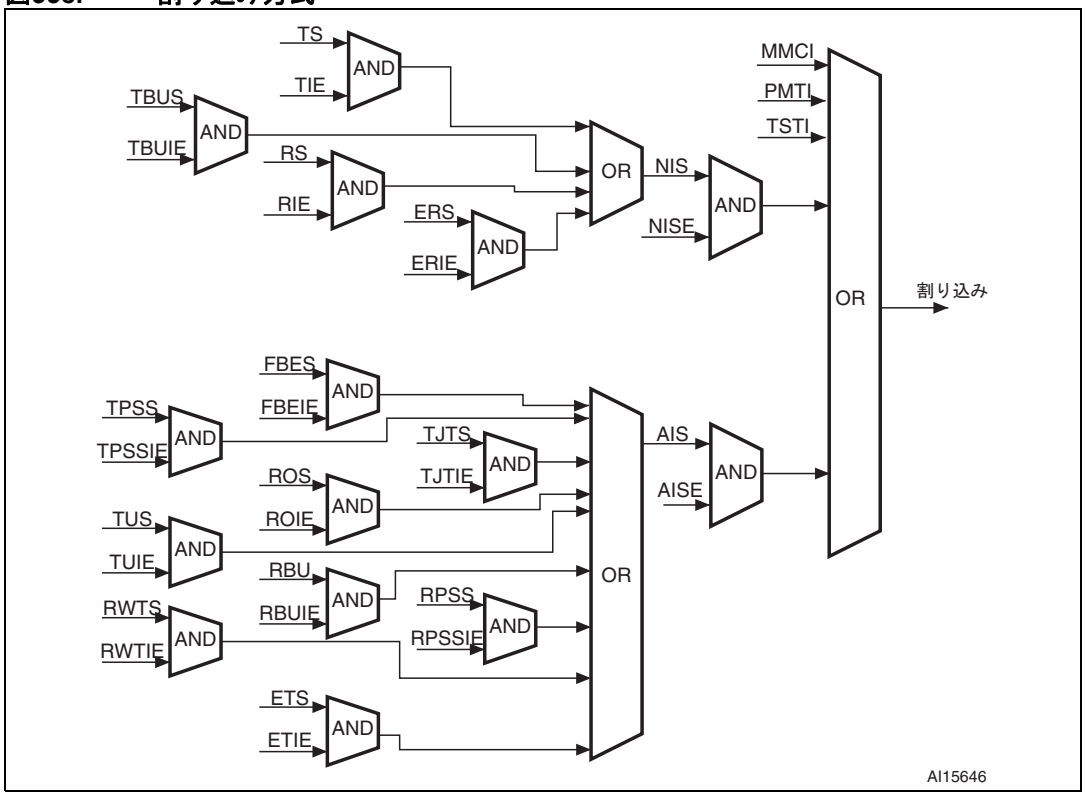
割り込みには、ETH_DMASR レジスタで説明されているように、正常と異常の 2 つのグループがあります。割り込みは、対応するビット位置に 1 を書き込むことによってクリアされます。有効にされていたグループ内のすべての割り込みがクリアされると、対応する要約ビットがクリアされます。MAC コアが割り込みアサートの原因である場合、ETH_DMASR レジスタの TSTS または PMTS ビットのいずれかがハイにセットされます。

割り込みは待ち行列を作らないので、ドライバが割り込みに応答する前に別の割り込みイベントが発生した場合、追加の割り込みは生成されません。たとえば、受信割り込みビット（ETH_DMASR レジスタ [6]）が STM32F107xx バッファに 1 つまたは複数のフレームが転送されたことを示したとします。ドライバは、最後に記録された位置から DMA によって所有される最初のディスクリプタまで、すべてのディスクリプタをスキャンする必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

割り込みは、同時に発生した複数のイベントについて 1 つしか生成されません。ドライバは、ETH_DMASR レジスタをスキャンして、割り込みの原因を調べなければなりません。ドライバが ETH_DMASR レジスタの適切なビットをクリアした後は、新しい割り込みイベントが発生しない限り、割り込みが再び生成されることはありません。たとえば、コントローラが受信割り込み（ETH_DMASR レジスタ [6]）を生成して、ドライバが ETH_DMASR レジスタの読み出しを開始したとします。次に、受信バッファ使用不可ビット（ETH_DMASR レジスタ [7]）がセットされます。ドライバは、受信割り込みをクリアします。その場合でも、アクティブまたは保留中の受信バッファ使用不可割り込みにより、新しい割り込みが生成されます。

図358.　割り込み方式



28.7　イーサネット割り込み

イーサネットコントローラには、2 つの割り込みベクタがあります。1 つは、通常のイーサネット動作用であり、もう 1 つは EXTI ライン 19 に配置されたときにイーサネットウェイクアップイベント（ウェイクアップフレームまたはマジックパケット検出時）にのみ使用されます。

最初のイーサネットベクタは、*MAC 割り込み*および*DMA 割り込み*のセクションにリストされているような、MAC および DMA によって生成される割り込みのために確保されています。

2 番目のベクタは、ウェイクアップイベント時に PMT によって生成される割り込みのために確保されています。EXTI ライン 19 上のウェイクアップイベントのマッピングは、STM32F107xx を低消費電力モードから抜け出させ、割り込みを生成します。

EXTI ライン 19 上でイーサネットウェイクアップイベントのマッピングが発生し、MAC PMT 割り込みが有効にされ、立ち上がりエッジでの検出が指定された EXTI ライン 19 割り込みも有効にされると、両方の割り込みが生成されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

RS ビット（ETH_DMASR レジスタ）の柔軟な制御のために、ウォッチドッグタイマ（ETH_DMARSWTR レジスタを参照）が用意されています。このウォッチドッグタイマがゼロでない値でプログラムされると、対応する受信ディスクリプタ（RDES1 [31]）では有効でないため、RxDMA が受信ステータスをアサートせずに、受信フレームのシステムメモリへの転送を完了すると、ウォッチドッグタイマが起動します。このタイマがプログラムされた値に従ってタイムアウトになると、RS ビットがセットされ、ETH_DMAIER レジスタで対応する RIE が有効な場合、割り込みがアサートされます。このタイマは、フレームがメモリに転送されるとき、そのディスクリプタに対して有効にされているために RS がセットされると、タイムアウトになる前に無効にされます。

注： ***PMT 制御およびステータスレジスタが読み出されると、ウェイクアップフレーム受信割り込みフラグとマジックパケット受信割り込みフラグが自動的にクリアされます。ただし、これらのフラグのレジスタは CLK_RX ドメインにあるので、この更新がファームウェアから見えるようになるまでに、かなりの時間がかかることがあります。この遅延は、RX クロックが遅く（10 Mbit モード）、AHB バスが高周波のときに、特に長くなります。***
PMT から CPU への割り込みリクエストは CLK_RX ドメイン内の同じレジスタに基づくので、CPU は PMT_CSR を読み出した後でも、誤って、割り込みルーチンを再び呼び出すことがあります。したがって、ファームウェアは、ウェイクアップフレーム受信ビットおよび マジックパケット受信ビットにポーリングして、それらが "0" であることを確認したときにのみ、割り込みサービスルーチンから抜ける必要があります。

28.8 イーサネットレジスタの説明

ペリフェラルレジスタには、バイト（8 ビット）、ハーフワード（16 ビット）、またはワード（32 ビット）単位でアクセスできます。

28.8.1 MAC レジスタの説明

イーサネットMAC 設定レジスタ（ETH_MACCR）

アドレスオフセット：0x0000

リセット値：0x0000 8000

MAC 設定レジスタは、MAC の動作モードレジスタです。受信および送信動作モードを確立します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								WD	JD	予約済み		IFG			CSD	予約済み	FES	ROD	LM	DM	IPCO	RD	予約済み	APCS	BL		DC	TE	RE	予約済み	
								rw	rw			rw			rw		rw	rw	rw	rw	rw	rw		rw	rw		rw	rw	rw		

ビット 31:24　予約済み

ビット 23　**WD**：ウォッチドッグディセーブル
このビットがセットされているときは、MAC は、レシーバのウォッチドッグタイマを無効にし、最大 16,384 バイトまでフレームを受信できます。
このビットがリセットされると、MAC は 2,048 バイト以上のフレームは受信できず、それ以降の受信バイトを切り捨てます。

ビット 22　**JD**：ジャバディセーブル
このビットがセットされているときは、MAC は、トランスミッタのジャバタイマを無効にして、最大 16,384 バイトまでフレームを転送できます。
このビットがリセットされているときには、MAC は、アプリケーションが送信時に 2,048 バイトを超えて送信した場合、トランスミッタをオフにします。

ビット 21:20　予約済み

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 19:17 **IFG**：フレーム間ギャップ

これらのビットは、送信時のフレーム間ギャップの最小時間を制御します。

000：96 ビット時間

001：88 ビット時間

010：80 ビット時間

….

111：40 ビット時間

注：　半二重モードでは、最小 IFG は、64 ビット時間（IFG = 100）についてのみ設定できます。それより小さな値は考慮されません。

ビット 16 **CSD**：キャリアセンスディセーブル

このビットがセットされると、MAC トランスミッタは、半二重モードでのフレーム送信時に MII CRS 信号を無視します。そのような送信時には、キャリアの喪失やキャリアなしによるエラーは生成されません。

このビットがリセットされると、MAC トランスミッタは、キャリアセンスによるエラーを生成し、送信を中止します。

ビット 15 予約済み

ビット 14 **FES**：ファストイーサネット速度

ファストイーサネット（MII）モードの速度を示します。

0：10 Mbit/s

1：100 Mbit/s

ビット 13 **ROD**：自己受信ディセーブル

このビットがセットされた場合、MAC は、半二重モードでのフレームの受信を無効にします。

このビットがリセットされた場合、MAC は、送信中に PHY によって与えられるすべてのパケットを受け取ります。

このビットは、MAC が全二重モードで動作している場合は適用されません。

ビット 12 **LM**：ループバックモード

このビットがセットされた場合、MAC は、MII でループバックモードで動作します。送信クロックは内部でループバックされないので、ループバックが正しく機能するためには、MII 受信クロック入力（RX_CLK）が必要です。

ビット 11 **DM**：二重モード

このビットがセットされた場合、MAC は全二重モードで動作し、送信と受信を同時に行うことができます。

ビット 10 **IPCO**：IPv4 チェックサムオフロード

セットされた場合、このビットは、IPv4 チェックサムによる受信フレームペイロードの TCP/UDP/ICMP ヘッダのチェックを有効にします。このビットがリセットされた場合、レシーバでのチェックサムオフロード機能は無効にされ、対応する PCE および IP HCE ステータスビット（*表 209（947 ページ）*を参照）は常にクリアされます。

ビット 9 **RD**：再試行ディセーブル

このビットがセットされると、MAC は送信を 1 回だけ試みます。MII で衝突が発生すると、MAC は現在のフレーム送信を無視して、送信フレームステータスで過剰衝突エラーによるフレーム中止を報告します。

このビットがリセットされた場合、MAC は、BL の設定に基づいて再試行を行います。

注：　このビットは、半二重モードでのみ適用されます。

ビット 8 予約済み

ビット 7 **APCS**：自動パッド/CRC ストリッピング

このビットがセットされた場合、MAC は、受信フレームの長さフィールドの値が 1,500 バイト以下の場合のみ、フレームからパッド/FCS フィールドを削除します。　長さフィールドが 1,501 バイト以上の受信フレームは、パッド/FCS フィールドを削除せずに、そのままアプリケーションに渡されます。

このビットがリセットされると、MAC は、着信するすべてのフレームをそのまま通過させます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 6:5 **BL**：バックオフリミット

バックオフリミットは、衝突の後、再試行時に送信の試みを再スケジュールする前に、MAC が待機するスロット時間遅延（1000 Mbit/s の場合は 4,096 ビット時間、10/100 Mbit/s の場合は 512 ビット時間）のランダム整数値（r）を指定します。

注：　このビットは、半二重モードでのみ適用されます。

00：k = min （*n*, 10）

01：k = min （*n*, 8）

10：k = min （*n*, 4）

11：k = min （*n*, 1）

n = 再送信試行回数ランダム整数値 *r* は、$0 \leq r < 2^k$ の範囲の値をとります。

ビット 4 **DC**：遅延チェック

このビットがセットされた場合、MAC の遅延チェック機能が有効になります。MAC は、送信ステートマシンが 10/100 Mbit/s モードで 24,288 ビット時間以上遅延した場合、フレーム中止ステータスを発行して、送信フレームステータスの過剰遅延エラービットをセットします。遅延は、トランスミッタの送信準備ができたときに開始しますが、MII 上にアクティブな CRS（キャリアセンス）信号があるときには開始されません。遅延時間は累積されません。トランスミッタが 10,000 ビット時間遅延した後、送信を行い、衝突が発生し、バックオフし、さらにバックオフの完了後に再び遅延した場合、遅延タイマは 0 にリセットされ、リスタートします。

このビットがリセットされた場合、遅延チェック機能は無効であり、MAC は CRS 信号がインアクティブになるまで遅延します。このビットは、半二重モードでのみ適用されます。

ビット 3 **TE**：トランスミッタイネーブル

このビットがセットされた場合、MAC の送信ステートマシンは、MII 上で送信を行うために有効になります。このビットがリセットされた場合、MAC の送信ステートマシンは、現在のフレームの送信完了後に無効になり、それ以上のフレームは送信されません。

ビット 2 **RE**：レシーバイネーブル

このビットがセットされた場合、MAC の受信ステートマシンは、MII からフレームを受信するために有効になります。このビットがリセットされた場合、MAC の受信ステートマシンは、現在のフレームの受信完了後に無効になり、MII からそれ以上のフレームを受信しません。

ビット 1:0 予約済み

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

イーサネット MAC フレームフィルタレジスタ（ETH_MACFFR）

アドレスオフセット：0x0004
リセット値：0x0000 0000

MAC のフレームフィルタレジスタは、フレームを受信するためのフィルタ制御ビットを含みます。このレジスタの制御の一部は、MAC のアドレスチェックブロックに渡されて、アドレスフィルタリングの最初のレベルを実行します。フィルタリングの第 2 のレベルは、不良フレームのパスや制御フレームのパスなど、その他の制御に基づいて、着信フレームに対して実行されます。

31	30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11	10	9	8	7	6	5	4	3	2	1	0
RA	予約済み	HPF	SAF	SAIF	PCF		BFD	PAM	DAIF	HM	HU	PM
rw		rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31　**RA**：すべて受信
このビットがセットされた場合、MAC レシーバは、アドレスフィルタをパスしたかどうかに関係なく、すべての受信フレームをアプリケーションに渡します。SA/DA フィルタリングの結果は、受信ステータスワードの対応するビットで更新されます。このビットがリセットされた場合、MAC レシーバは、SA/DA アドレスフィルタをパスしたフレームのみをアプリケーションに渡します。

ビット 30:11　予約済み

ビット 10　**HPF**：ハッシュまたは完全フィルタ
このビットがセットされ、HM または HU ビットがセットされている場合、アドレスフィルタは、完全フィルタリングまたはハッシュフィルタリングのいずれかに一致したフレームを通過させます。
このビットがクリアされ、HU または HM ビットがセットされている場合、ハッシュフィルタに一致したフレームのみがアプリケーションに渡されます。

ビット 9　**SAF**：ソースアドレスフィルタ
MAC コアは、受信したフレームの SA フィールドと、有効な SA レジスタでプログラムされた値とを比較します。比較結果が一致した場合、RxStatus ワードの SA Match ビットがハイにセットされます。このビットがハイにセットされ、SA フィルタが失敗した場合、MAC はフレームをドロップします。
このビットがリセットされた場合、MAC コアは、受信したフレームをアプリケーションに転送します。また、SA アドレス比較に応じて、RxStatus の更新した SA Match ビットも転送します。

ビット 8　**SAIF**：ソースアドレス逆フィルタリング
このビットがセットされた場合、アドレスチェックブロックは、SA アドレス比較の際に逆フィルタリングモードで動作します。SA が SA レジスタと一致するフレームは、SA アドレスフィルタで失敗したものとしてマークされます。
このビットがリセットされた場合、SA がSA レジスタと一致しないフレームが、SA アドレスフィルタで失敗したものとしてマークされます。

ビット 7:6　**PCF**：制御フレームパス
これらのビットは、すべての制御フレーム（ユニキャストおよびマルチキャスト PAUSE フレームを含む）の転送を制御します。PAUSE 制御フレームの処理は、フロー制御レジスタ [2] の RFCE にのみ依存することに注意してください。
00 または 01：MAC は、すべての制御フレームがアプリケーションに届くのを妨げます。
10：MAC は、アドレスフィルタに失敗した場合でも、すべての制御フレームをアプリケーションに転送します。
11：MAC は、アドレスフィルタをパスした制御フレームを転送します。

ビット 5　**BFD**：ブロードキャストフレームディセーブル
このビットがセットされると、アドレスフィルタは、着信するすべてのブロードキャストフレームをフィルタします。
このビットがリセットされると、アドレスフィルタは、受信したすべてのブロードキャストフレームを通過させます。

ビット 4　**PAM**：すべてのマルチキャストをパス
セットされた場合、このビットは、マルチキャストデスティネーションアドレス（デスティネーションアドレスフィールドの最初のビットが "1"）を持つすべての受信フレームがパスされることを示します。
リセットされた場合、マルチキャストフレームのフィルタリングは、HM ビットに依存します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

参考資料

ビット 3　**DAIF**：デスティネーションアドレス逆フィルタリング
このビットがセットされた場合、アドレスチェックブロックは、ユニキャストおよびマルチキャストフレームの両方について、DA アドレス比較の際に逆フィルタリングモードで動作します。
リセットされた場合、通常のフレームフィルタリングが行われます。

ビット 2　**HM**：ハッシュマルチキャスト
セットされた場合、MAC は、ハッシュテーブルに従って、受信したマルチキャストフレームのデスティネーションアドレスフィルタリングを実行します。
リセットされた場合、MAC は、マルチキャストフレームについて完全デスティネーションアドレスフィルタリングを実行します。すなわち、DA フィールドを DA レジスタでプログラムされた値と比較します。

ビット 1　**HU**：ハッシュユニキャスト
セットされた場合、MAC は、ハッシュテーブルに従って、ユニキャストフレームのデスティネーションアドレスフィルタリングを実行します。
リセットされた場合、MAC は、ユニキャストフレームについて完全デスティネーションアドレスフィルタリングを実行します。すなわち、DA フィールドを DA レジスタでプログラムされた値と比較します。

ビット 0　**PM**：プロミスキュアスモード
このビットがセットされると、アドレスフィルタは、デスティネーションまたはソースアドレスに関係なく、着信するすべてのフレームを通過させます。PM がセットされると、受信ステータスワードの SA/DA フィルタ失敗ステータスビットが常にクリアされます。

イーサネット MAC ハッシュテーブルハイレジスタ（ETH_MACHTHR）

アドレスオフセット：0x0008

リセット値：0x0000 0000

64 ビットのハッシュテーブルは、グループアドレスフィルタリングに使用されます。ハッシュフィルタリングの場合、着信フレームのデスティネーションアドレスの内容は、CRC ロジックを通してパスされ、CRC レジスタの上位 6 ビットがハッシュテーブルの内容のインデックスに使用されます。この CRC は、次の多項式によって符号化された 32 ビット値です（詳細については、*セクション 28.5.3：MAC フレームの受信*を参照してください）。

$$G(x) = x^{32} + x^{26} + x^{23} + x^{22} + x^{16} + x^{12} + x^{11} + x^{10} + x^{8} + x^{7} + x^{5} + x^{4} + x^{2} + x + 1$$

最上位ビットは、使用されるレジスタ（ハッシュテーブルハイ/ハッシュテーブルロー）を決め、その他の 5 ビットは、レジスタ内のビットを決めます。ハッシュ値 0b00000 は、選択されたレジスタのビット 0 を、値 0b11111 は、選択されたレジスタのビット 31 を選択します。

たとえば、着信フレームの DA が 0x1F52 419C B6AF として受信された場合（0x1F は MII インタフェースで受信された最初のバイトです）、内部で計算される 6 ビットの ハッシュ値は 0x2C であり、HTH レジスタのビット [12] がフィルタリングのためにチェックされます。着信フレームの DA が 0xA00A 9800 0045 として受信された場合、計算される 6 ビットの ハッシュ値は 0x07 であり、HTL レジスタのビット [7] がフィルタリングのためにチェックされます。

レジスタの対応するビット値が 1 の場合、フレームは受け入れられます。そうでない場合は、拒否されます。ETH_MACFFR レジスタの PAM（すべてのマルチキャストをパス）ビットがセットされている場合、マルチキャストハッシュ値に関係なく、すべてのマルチキャストフレームが受け入れられます。

ハッシュテーブルハイレジスタは、マルチキャストハッシュテーブルの上位 32 ビットを含みます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HTH																															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0　**HTH**：ハッシュテーブルハイ
このフィールドは、ハッシュテーブルの上位 32 ビットを含みます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

イーサネット MAC ハッシュテーブルローレジスタ（ETH_MACHTLR）

アドレスオフセット：0x000C

リセット値：0x0000 0000

ハッシュテーブルローレジスタは、マルチキャストハッシュテーブルの下位 32 ビットを含みます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HTL																															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0　**HTL**：ハッシュテーブルロー
このフィールドは、ハッシュテーブルの下位 32 ビットを含みます。

イーサネット MAC MII アドレスレジスタ（ETH_MACMIIAR）

アドレスオフセット：0x0010

リセット値：0x0000 0000

MII アドレスレジスタは、管理インタフェースを通じて外部 PHY の管理サイクルを制御します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																PA					MR					予約済み	CR			MW	MB
																rw	rw	rw	rw	rw	rw	rw	rw	rw	rw		rw	rw	rw	rw	rc_w1

ビット 31:16　予約済み

ビット 15:11　**PA**：PHY アドレス
このフィールドは、可能な 32 の PHY デバイスのどれがアクセスされているかを示します。

ビット 10:6　**MR**：MII レジスタ
これらのビットは、選択された PHY デバイスの望ましい MII レジスタを選択します。

ビット 5　予約済み

ビット 4:2　**CR**：クロック範囲
CR クロック範囲選択ビットは、HCLK の周波数を決め、MDC クロックの周波数を決定するために使用されます。

選択	HCLK	MDC クロック
000	60-72 MHz	HCLK/42
001	予約済み	-
010	20-35 MHz	HCLK/16
011	35-60 MHz	HCLK/26
100, 101, 110, 111	予約済み	-

ビット 1　**MW**：MII 書き込み
セットされた場合、このビットは、これが MII データレジスタを使用した書き込み動作であることを PHY に知らせます。このビットがセットされていない場合、これは、MII データレジスタにデータを入れる読み出し動作です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 0　**MB**：MII ビジー
このビットは、ETH_MACMIIAR および ETH_MACMIIDR に書き込む前は、論理 0 として読み出されます。このビットは、ETH_MACMIIAR への書き込み時に 0 にリセットされる必要があります。PHY レジスタへのアクセス時には、このビットはアプリケーションによって 0b1 にセットされて、読み出しまたは書き込みアクセスが進行中であることを示します。ETH_MACMIIDR（MII データ）は、このビットが PHY 書き込み動作時に MAC によってクリアされるまで、有効に保たれなければなりません。ETH_MACMIIDR は、このビットがPHY 読み出し動作時に MAC によってクリアされるまで、無効です。ETH_MACMIIAR（MII アドレス）には、このビットがクリアされるまで書き込むことができません。

イーサネット MAC MII アドレスレジスタ（ETH_MACMIIDR）

アドレスオフセット：0x0014

リセット値：0x0000 0000

MAC MII データレジスタは、ETH_MACMIIAR で指定されたアドレスにある PHY レジスタに書き込むデータを格納します。ETH_MACMIIDR は、ETH_MACMIIAR によって指定されたアドレスにある PHY レジスタから読み出されたデータも格納します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																MD															
																rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:16　予約済み

ビット 15:0　**MD**：MII データ
これは、管理読み出し動作の後で PHY から読み出された 16 ビットのデータ、または管理書き込み動作の前に PHY に書き込まれる 16 ビットデータを含みます。

イーサネット MAC フロー制御レジスタ（ETH_MACFCR）

アドレスオフセット：0x0018

リセット値：0x0000 0000

フロー制御レジスタは、MAC による制御フレーム（ポーズコマンド）の生成と受信を制御します。ビジービットが "1" にセットされているレジスタに書き込むと、MAC はポーズ制御フレームを生成します。制御フレームのフィールドは、802.3x 仕様での規定に従って選択され、このレジスタのポーズ時間の値が制御フレームのポーズ時間フィールドで使用されます。ビジービットは、制御フレームがケーブルに転送されるまでセット状態を維持します。ホストは、レジスタに書き込む前に、ビジービットがクリアされていることを確認する必要があります。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PT																予約済み								ZQPD	予約済み	PLT		UPFD	RFCE	TFCE	FCB/BPA
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw									rw		rw	rw	rw	rw	rw	rc_w1/rw

ビット 31:16　**PT**：ポーズ時間
このフィールドは、送信制御フレームのポーズ時間フィールドで使用される値を保持します。ポーズ時間ビットが MII クロックドメインに二重同期されるように設定されている場合、このレジスタへの連続書き込みは、デスティネーションクロックドメインの少なくとも 4 クロックサイクル後にのみ実行されなければなりません。

ビット 15:8　予約済み

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 7　**ZQPD**：ゼロクォンタムポーズディセーブル

セットされた場合、このビットは、FIFO レイヤからのフロー制御信号のネゲート時の、ゼロクォンタムポーズ制御フレームの自動生成を無効にします。

このビットがリセットされた場合、ゼロクォンタムポーズ制御フレームの自動生成を伴う通常動作が有効になります。

ビット 6　予約済み

ビット 5:4　**PLT**：ポーズロー閾値

このフィールドは、ポーズフレームが自動的に再送信されるポーズタイマの閾値を設定します。この閾値は、常に、ビット [31:16] で設定されたポーズ時間未満でなければなりません。たとえば、PT = 100H（256 スロット時間）であり、PLT = 01 の場合、最初のポーズフレームの送信後、228（256 - 28）スロット時間の時点で、第 2 のポーズフレームが自動的に送信されます。

選択	閾値
00	ポーズ時間 - 4 スロット時間
01	ポーズ時間 - 28 スロット時間
10	ポーズ時間 - 144 スロット時間
11	ポーズ時間 - 256 スロット時間

スロット時間は、MII インタフェース上で 512 ビット（64 バイト）を送信するための所要時間として定義されます。

ビット 3　**UPFD**：ユニキャストポーズフレーム検出

このビットがセットされた場合、MAC は、一意なマルチキャストアドレスを持つポーズフレームの検出に加えて、ETH_MACA0HR および ETH_MACA0LR レジスタで指定されたステーションのユニキャストアドレスを持つポーズフレームも検出します。

このビットがリセットされた場合、MAC は、802.3x 規格で規定されている一意なマルチキャストアドレスを持つポーズフレームのみを検出します。

ビット 2　**RFCE**：受信フロー制御イネーブル

このビットがセットされた場合、MAC は、受信したポーズフレームをデコードして、指定された時間（ポーズ時間）の間、トランスミッタを無効にします。

このビットがリセットされた場合、ポーズフレームのデコード機能は無効です。

ビット 1　**TFCE**：送信フロー制御イネーブル

全二重モードでは、このビットがセットされた場合、MAC は、ポーズフレームを送信するためにフロー制御を有効にします。このビットがリセットされた場合、MAC のフロー制御動作は無効になり、MAC はポーズフレームを送信しません。

半二重モードでは、このビットがセットされた場合、MAC はバックプレッシャ機能を有効にします。このビットがリセットされた場合、バックプレッシャ機能は無効です。

ビット 0　**FCB/BPA**：フロー制御ビジー /バックプレッシャ有効

このビットは、全二重モードでは ポーズ制御フレームを開始し、半二重モードでは、TFCE ビットがセットされている場合、バックプレッシャ機能を有効にします。

全二重モードでは、フロー制御レジスタに書き込む前に、このビットが 0 として読み出されなければなりません。ポーズ制御フレームを開始するには、アプリケーションはこのビットを 1 にセットする必要があります。制御フレームの転送時、このビットは、フレーム送信が進行中であることを示すために、セットされたままです。ポーズ制御フレームの送信完了後、MAC はこのビットを 0 にリセットします。フロー制御レジスタは、このビットがクリアされるまで書き込みが禁止されます。

半二重モードでは、このビットがセットされ（TFCE もセットされ）た場合、MAC コアによってバックプレッシャがアサートされます。バックプレッシャ時、MAC が新しいフレームを受信すると、トランスミッタは、JAM パターンの送出を開始し、結果として衝突が発生します。MAC が全二重モードに設定されると、BPA は自動的に無効になります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

イーサネット MAC VLAN タグレジスタ（ETH_MAVLANTR）

アドレスオフセット：0x001C

リセット値：0x0000 0000

VLAN タグレジスタは、VLAN フレームを識別する IEEE 802.1Q VLAN タグを含んでいます。MAC は受信フレームの 13 番目と 14 番目のバイト（長さ/タイプ）を 0x8100 と比較して、次の 2 バイトを VLAN タグと比較します。一致した場合は、受信フレームステータスの VLAN ビットがセットされます。フレームの有効長は、1518 バイトから 1522 バイトに増やされます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															VLANTC	VLANTI															
															rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:17 予約済み

ビット 16 **VLANTC**：12 ビット VLAN タグの比較
このビットがセットされた場合、比較およびフィリタリングには、完全な 16 ビット VLAN タグの代わりに 12 ビット VLAN 識別子が使用されます。VLAN タグのビット [11:0] が、受信した VLAN タグ付きフレーム内の対応するフィールドと比較されます。
このビットがリセットされた場合、受信した VLAN フレームの 15 番目と 16 番目のバイトが比較に使用されます。

ビット 15:0 **VLANTI**：VLAN タグ識別子（受信フレーム用）
これは、VLAN フレームを識別するための 802.1Q VLAN タグを含み、VLAN フレームのために受信されるフレームの 15 および 16 番目のバイトと比較されます。ビット [15:13] はユーザの優先度であり、ビット [12] は正規フォーマットインジケータ（CFI）であり、ビット [11:0] は VLAN タグの VLAN 識別子（VID）フィールドです。VLANTC ビットがセットされると、VID（ビット [11:0]）のみが比較に使用されます。
VLANTI（VLANTC がセットされている場合、VLANTI [11:0]）がすべてゼロの場合、MAC は、VLAN タグの比較のために 15 および 16 番目のバイトをチェックせず、タイプフィールドの値が 0x8100 のすべてのフレームを VLAN フレームとして宣言します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

イーサネット MAC リモートウェイクアップフレームフィルタレジスタ（ETH_MACRWUFFR）

アドレスオフセット：0x0028

リセット値：0x0000 0000

これは、リモートウェイクアップフレームフィルタレジスタがアプリケーションによって読み書きされるアドレスです。ウェイクアップフレームフィルタレジスタは、実際には、そのような（トランスペアレントではない）8 つのフレームフィルタレジスタのポインタです。オフセット（0x0028）を持つこのレジスタへの 8 回の連続書き込み動作によって、すべてのウェイクアップフレームフィルタレジスタに書き込まれます。オフセット（0x0028）を持つこのレジスタへの 8 回の連続読み出し動作によって、すべてのウェイクアップフレームフィルタレジスタが読み出されます。このレジスタは 7 番目の MAC アドレスの上位 16 ビットを含みます。詳細については、*リモートウェイクアップフレームフィルタレジスタ*のセクションを参照してください。

図359.　イーサネット MAC リモートウェイクアップフレームフィルタレジスタ（ETH_MACRWUFFR）

ウェイクアップフレームフィルタ reg0	フィルタ 0 バイトマスク							
ウェイクアップフレームフィルタ reg1	フィルタ 1 バイトマスク							
ウェイクアップフレームフィルタ reg2	フィルタ 2 バイトマスク							
ウェイクアップフレームフィルタ reg3	フィルタ 3 バイトマスク							
ウェイクアップフレームフィルタ reg4	RSVD	フィルタ 3 コマンド	RSVD	フィルタ 2 コマンド	RSVD	フィルタ 1 コマンド	RSVD	フィルタ 0 コマンド
ウェイクアップフレームフィルタ reg5	フィルタ 3 オフセット		フィルタ 2 オフセット		フィルタ 1 オフセット		フィルタ 0 オフセット	
ウェイクアップフレームフィルタ reg6	フィルタ 1 CRC - 16				フィルタ 0 CRC - 16			
ウェイクアップフレームフィルタ reg7	フィルタ 3 CRC - 16				フィルタ 2 CRC - 16			

ai15648

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

イーサネット MAC PMT 制御およびステータスレジスタ（ETH_MACPMTCSR）

アドレスオフセット：0x002C

リセット値：0x0000 0000

ETH_MACPMTCSR は、ウェイクアップイベントのリクエストをプログラムし、ウェイクアップイベントを監視します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
WFFRPR	予約済み																					GU	予約済み		WFR	MPR	予約済み		WFE	MPE	PD
rs	予約済み																					rw			rc_r	rc_r			rw	rw	rs

ビット 31　**WFFRPR**：ウェイクアップフレームフィルタレジスタポインタのリセット
セットされた場合、リモートウェイクアップフレームフィルタレジスタのポインタを 0b000 にリセットします。1 クロックサイクル後に自動的にクリアされます。

ビット 30:10　予約済み

ビット 9　**GU**：グローバルユニキャスト
セットされた場合、MAC（DAF）アドレス認識によってフィルタリングされたすべてのユニキャストパケットをウェイクアップフレームとして有効にします。

ビット 8:7　予約済み

ビット 6　**WFR**：ウェイクアップフレーム受信
セットされた場合、このビットは、ウェイクアップフレームの受信により、電源管理イベントが生成されたことを示します。このビットは、このレジスタの読み出しによってクリアされます。

ビット 5　**MPR**：マジックパケット受信
セットされた場合、このビットは、マジックパケットの受信により、電源管理イベントが生成されたことを示します。このビットは、このレジスタの読み出しによってクリアされます。

ビット 4:3　予約済み

ビット 2　**WFE**：ウェイクアップフレームイネーブル
セットされた場合、このビットは、ウェイクアップフレームの受信による電源管理イベントの生成を有効にします。

ビット 1　**MPE**：マジックパケットイネーブル
セットされた場合、このビットは、マジックパケットの受信による電源管理イベントの生成を有効にします。

ビット 0　**PD**：パワーダウン
このビットがセットされると、すべての受信フレームがドロップされます。このビットは、マジックパケットまたはウィクアップフレームが受信されると自動的にクリアされ、パワーダウンモードが無効になります。このビットがクリアされた後で受信されたフレームは、アプリケーションに転送されます。このビットは、マジックパケットイネーブルビットまたはウェイクアップフレームイネーブルビットがハイにセットされているときのみ、セットされなければなりません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

イーサネット MAC 割り込みステータスレジスタ（ETH_MACSR）

アドレスオフセット：0x0038

リセット値：0x0000 0000

ETH_MACSR レジスタの内容は、割り込みを生成できる MAC のイベントを識別します。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み						TSTS	予約済み		MMCTS	MMCRS	MMCS	PMTS	予約済み		
						rc_r			r	r	r	r			

ビット 15:10　予約済み

ビット 9　**TSTS**：タイムスタンプトリガステータス
このビットは、システム時間の値が 目標時間ハイおよびローレジスタで指定された値以上のときに、ハイにセットされます。このビットは、このレジスタが読み出されたときにクリアされます。

ビット 8:7　予約済み

ビット 6　**MMCTS**：MMC 送信ステータス
このビットは、ETH_MMCTIR レジスタで割り込みが生成されると、セットされます。このビットは、この割り込みレジスタ（ETH_MMCTIR）のすべてのビットがクリアされたときにクリアされます。

ビット 5　**MMCRS**：MMC 受信ステータス
このビットは、ETH_MMCRIR レジスタで割り込みが生成されると、ハイにセットされます。このビットは、この割り込みレジスタ（ETH_MMCRIR）のすべてのビットがクリアされたときにクリアされます。

ビット 4　**MMCS**：MMC ステータス
このビットは、ビット 6:5 のいずれかがハイにセットされたときに、ハイにセットされます。両方のビットがローのときのみクリアされます。

ビット 3　**PMTS**：PMT ステータス
このビットは、パワーダウンモードで マジックパケットまたは Wake-on-LAN フレームが受信されたとき、セットされます（ETH_MACPMTCSR レジスタ *イーサネット MAC PMT 制御およびステータスレジスタ（ETH_MACPMTCSR）（1002 ページ）*のビット 5 と 6 を参照）。このビットは、この最後のレジスタのビット [6:5] の両方が ETH_MACPMTCSR レジスタの読み出し動作のためにクリアされたときにクリアされます。

ビット 2:0　予約済み

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

イーサネット MAC 割り込みマスクレジスタ（ETH_MACIMR）

アドレスオフセット：0x003C

リセット値：0x0000 0000

ETH_MACIMR レジスタのビットによって、ETH_MACSR レジスタの対応するイベントによる割り込み信号をマスクできます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み						TSTIM	予約済み					PMTIM	予約済み		
						rw						rw			

ビット 15:10　予約済み

ビット 9　**TSTIM**：タイムスタンプトリガ割り込みマスク
セットされた場合、このビットは、タイムスタンプ割り込みの生成を無効にします。

ビット 8:4　予約済み

ビット 3　**PMTIM**：PMT 割り込みマスク
セットされた場合、このビットは、ETH_MACSR の PMT ステータスビットのセットによる割り込み信号のアサートを無効にします。

ビット 2:0　予約済み

イーサネット MAC アドレス 0 ハイレジスタ（ETH_MACA0HR）

アドレスオフセット：0x0040

リセット値：0x0010 FFFF

MAC アドレス 0 ハイレジスタは、ステーションの最初の MAC アドレス 6 バイトのうち上位 16 ビットを保持します。MII インタフェース上で受信された最初の DA バイトは、MAC アドレスローレジスタの LS バイト（ビット [7:0]）に対応することに注意してください。たとえば、MII 上でデスティネーションアドレスとして 0x1122 3344 5566 が受信された場合、MAC アドレス 0 レジスタ [47:0] は 0x6655 4433 2211 と比較されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MO	予約済み															MACA0H															
1																rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31　**MO**：常に 1

ビット 30:16　予約済み

ビット 15:0　**MACA0H**：MAC アドレス 0 ハイ [47:32]
このフィールドは、6 バイトの MAC アドレス 0 の上位 16 ビット（47:32）を含みます。これは、受信フレームのフィルタリングのためと、送信フロー制御（ポーズ）フレームに MAC アドレスを挿入するために、MAC によって使用されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

イーサネット MAC アドレス 0 ローレジスタ（ETH_MACA0LR）

アドレスオフセット：0x0044

リセット値：0xFFFF FFFF

MAC アドレス 0 ローレジスタは、ステーションの最初の MAC アドレス 6 バイトのうち下位 32 ビットを保持します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MACA0L																															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0　**MACA0L**：MAC アドレス 0 ロー [31:0]
このフィールドは、6 バイトの MAC アドレス 0 の下位 32 ビットを含みます。これは、受信フレームのフィルタリングのためと、送信フロー制御（ポーズ）フレームに MAC アドレスを挿入するために、MAC によって使用されます。

イーサネット MAC アドレス 1 ハイレジスタ（ETH_MACA1HR）

アドレスオフセット：0x0048

リセット値：0x0000 FFFF

MAC アドレス 1 ハイレジスタは、ステーションの 2 番目の MAC アドレス 6 バイトの上位 16 ビットを保持します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AE	SA	MBC						予約済み								MACA1H															
rw	rw	rw	rw	rw	rw	rw	rw									rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31　**AE**：アドレスイネーブル
このビットがセットされると、アドレスフィルタは、完全フィルタリングに MAC アドレス 1 を使用します。このビットがクリアされると、アドレスフィルタは、フィルタリングについてアドレスを無視します。

ビット 30　**SA**：ソースアドレス
このビットがセットされると、受信フレームの SA フィールドとの比較に MAC アドレス 1 [47:0] が使用されます。
このビットがクリアされると、受信フレームの DA フィールドとの比較に MAC アドレス 1 [47:0] が使用されます。

ビット 29:24　**MBC**：マスクバイト制御
これらのビットは、MAC アドレス 1 の各バイトの比較のためのマスク制御ビットです。これらがハイにセットされると、MAC コアは、受信した DA/SA の対応するバイトと MAC アドレス 1 レジスタの内容とを比較しません。各ビットは、以下のようにバイトのマスキングを制御します。

– ビット 29：ETH_MACA1HR [15:8]
– ビット 28：ETH_MACA1HR [7:0]
– ビット 27：ETH_MACA1LR [31:24]
…
– ビット 24：ETH_MACA1LR [7:0]

ビット 23:16　予約済み

ビット 15:0　**MACA1H**：MAC アドレス 1 ハイ [47:32]
このフィールドは、2 番目の MAC アドレスの 6 バイトのうち上位 16 ビット（47:32）を含みます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

イーサネット MAC アドレス 1 ローレジスタ（ETH_MACA1LR）

アドレスオフセット：0x004C

リセット値：0xFFFF FFFF

MAC アドレス 1 ローレジスタは、ステーションの 2 番目の MAC アドレス 6 バイトのうち下位 32 ビットを保持します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MACA1L																															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0　**MACA1L**：MAC アドレス 1 ロー [31:0]
このフィールドは、6 バイトの MAC アドレス 1 の下位 32 ビットを含みます。このフィールドの内容は、初期化プロセスの後、アプリケーションによってロードされるまで未定義です。

イーサネット MAC アドレス 2 ハイレジスタ（ETH_MACA2HR）

アドレスオフセット：0x0050

リセット値：0x0000 FFFF

MAC アドレス 2 ハイレジスタは、ステーションの 2 番目の MAC アドレス 6 バイトの上位 16 ビットを保持します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AE	SA	MBC						予約済み								MACA2H															
rw	rw	rw	rw	rw	rw	rw	rw									rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31　**AE**：アドレスイネーブル
このビットがセットされると、アドレスフィルタは、完全フィルタリングに MAC アドレス 2 を使用します。このビットがリセットされると、アドレスフィルタは、フィルタリングについてアドレスを無視します。

ビット 30　**SA**：ソースアドレス
このビットがセットされると、受信フレームの SA フィールドとの比較に MAC アドレス 2 [47:0] が使用されます。
このビットがクリアされると、受信フレームの DA フィールドとの比較に MAC アドレス 2 [47:0] が使用されます。

ビット 29:24　**MBC**：マスクバイト制御
これらのビットは、MAC アドレス 2 の各バイトの比較のためのマスク制御ビットです。これらのビットがハイにセットされると、MAC コアは、受信した DA/SA の対応するバイトと MAC アドレス 2 レジスタの内容とを比較しません。各ビットは、以下のようにバイトのマスキングを制御します。

– ビット 29：ETH_MACA2HR [15:8]
– ビット 28：ETH_MACA2HR [7:0]
– ビット 27：ETH_MACA2LR [31:24]
…
– ビット 24：ETH_MACA2LR [7:0]

ビット 23:16　予約済み

ビット 15:0　**MACA2H**：MAC アドレス 2 ハイ [47:32]
このフィールドは、MAC アドレス 2 の 6 バイトの上位 16 ビット（47:32）を含みます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

イーサネット MAC アドレス 2 ローレジスタ（ETH_MACA2LR）

アドレスオフセット：0x0054

リセット値：0xFFFF FFFF

MAC アドレス 2 ローレジスタは、ステーションの 2 番目の MAC アドレス 6 バイトのうち下位 32 ビットを保持します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MACA2L																															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0　**MACA2L**：MAC アドレス 2 ロー [31:0]
このフィールドは、6 バイトの MAC アドレス 2 の下位 32 ビットを含みます。このフィールドの内容は、初期化プロセスの後、アプリケーションによってロードされるまで未定義です。

イーサネット MAC アドレス 3 ハイレジスタ（ETH_MACA3HR）

アドレスオフセット：0x0058

リセット値：0x0000 FFFF

MAC アドレス 3 ハイレジスタは、ステーションの 2 番目の MAC アドレス 6 バイトの上位 16 ビットを保持します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AE	SA	MBC						予約済み								MACA3H															
rw	rw	rw	rw	rw	rw	rw	rw									rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31　**AE**：アドレスイネーブル
このビットがセットされると、アドレスフィルタは、完全フィルタリングに MAC アドレス 3 を使用します。このビットがクリアされると、アドレスフィルタは、フィルタリングについてアドレスを無視します。

ビット 30　**SA**：ソースアドレス
このビットがセットされると、受信フレームの SA フィールドとの比較に MAC アドレス 3 [47:0] が使用されます。
このビットがクリアされると、受信フレームの DA フィールドとの比較に MAC アドレス 3 [47:0] が使用されます。

ビット 29:24　**MBC**：マスクバイト制御
これらのビットは、MAC アドレス 3 の各バイトの比較のためのマスク制御ビットです。これらのビットがハイにセットされると、MAC コアは、受信した DA/SA の対応するバイトと MAC アドレス 3 レジスタの内容とを比較しません。各ビットは、以下のようにバイトのマスキングを制御します。

– ビット 29：ETH_MACA3HR [15:8]
– ビット 28：ETH_MACA3HR [7:0]
– ビット 27：ETH_MACA3LR [31:24]
…
– ビット 24：ETH_MACA3LR [7:0]

ビット 23:16　予約済み

ビット 15:0　**MACA3H**：MAC アドレス 3 ハイ [47:32]
このフィールドは、6 バイトの MAC アドレス 3 の上位 16 ビット（47:32）を含みます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

イーサネット MAC アドレス 3 ローレジスタ（ETH_MACA3LR）

アドレスオフセット：0x005C

リセット値：0xFFFF FFFF

MAC アドレス 3 ローレジスタは、ステーションの 2 番目の MAC アドレス 6 バイトのうち下位 32 ビットを保持します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MACA3L																															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0 **MACA3L**：MAC アドレス 3 ロー [31:0]
このフィールドは、6 バイトの MAC アドレス 3 の下位 32 ビットを含みます。このフィールドの内容は、初期化プロセスの後、アプリケーションによってロードされるまで未定義です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

28.8.2　MMC レジスタの説明

イーサネット MMC 制御レジスタ（ETH_MMCCR）

アドレスオフセット：0x0100

リセット値：0x0000 0000

イーサネット MMC 制御レジスタは、管理カウンタの動作モードを確立します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																												MCF	ROR	CSR	CR
																												rw	rw	rw	rw

ビット 31:4　予約済み

ビット 3　**MCF**：MMC カウンタフリーズ
セットされた場合、このビットは、すべての MMC カウンタを現在の値に凍結します。（このビットが 0 にクリアされるまで、どの MMC カウンタも、送信または受信フレームによって更新されません。MMC カウンタのいずれかが読み出し時リセットビットがセットされた状態で読み出された場合、そのカウンタはこのモードでクリアされます。）

ビット 2　**ROR**：読み出し時リセット
このビットがセットされた場合、MMC カウンタは、読み出し後にゼロにリセットされます（リセット後、自動クリア）。カウンタは、最下位バイトレーン（ビット [7:0]）が読み出されると、クリアされます。

ビット 1　**CSR**：カウンタストップロールオーバー
このビットがセットされた場合、カウンタは、最大値に達した後もゼロにロールオーバーしません。

ビット 0　**CR**：カウンタリセット
セットされた場合、すべてのカウンタがリセットされます。このビットは、1 クロックサイクル後に自動的にクリアされます。

イーサネット MMC 受信割り込み制御レジスタ（ETH_MMCRIR）

アドレスオフセット：0x0104

リセット値：0x0000 0000

イーサネット MMC 受信割り込みレジスタは、受信統計カウンタが最大値の半分に達したときに生成される割り込みを保持します。（カウンタの MSB がセットされます。）32 ビット幅のレジスタです。割り込みビットは、割り込みの原因となったそれぞれの MMC カウンタが読み出されたときにクリアされます。割り込みビットをクリアするには、それぞれのカウンタの最下位バイトレーン（ビット [7:0]）が読み出されなければなりません。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み														RGUFS	予約済み										RFAES	RFCES	予約済み					
														rc_r											rc_r	rc_r						

ビット 31:18　予約済み

ビット 17　**RGUFS**：受信良好ユニキャストフレームステータス
このビットは、受信された良好なユニキャストフレームのカウンタが最大値の半分に達したときにセットされます。

ビット 16:7　予約済み

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 6　**RFAES**：受信フレームアライメントエラーステータス
このビットは、アライメントエラーのある受信フレームのカウンタが最大値の半分に達したときにセットされます。

ビット 5　**RFCES**：受信フレーム CRC エラーステータス
このビットは、CRC エラーがある受信フレームのカウンタが最大値の半分に達したときにセットされます。

ビット 4:0　予約済み

イーサネット MMC 送信割り込みレジスタ（ETH_MMCTIR）

アドレスオフセット：0x0108

リセット値：0x0000 0000

イーサネット MMC 送信割り込みレジスタは、送信統計カウンタが最大値の半分に達したときに生成される割り込みを保持します。（カウンタの MSB がセットされます。）32 ビット幅のレジスタです。割り込みビットは、割り込みの原因となったそれぞれの MMC カウンタが読み出されたときにクリアされます。割り込みビットをクリアするには、それぞれのカウンタの最下位バイトレーン（ビット [7:0]）が読み出されなければなりません。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み										TGFS	予約済み					TGFMSCS	TGFSCS	予約済み													
										rc_r						rc_r	rc_r														

ビット 31:22　予約済み

ビット 21　**TGFS**：送信良好フレームステータス
このビットは、送信された良好なフレームのカウンタが最大値の半分に達したときにセットされます。

ビット 20:16　予約済み

ビット 15　**TGFMSCS**：複数の衝突後に送信された良好フレームのステータス
このビットは、複数の衝突後に送信された良好なフレームのカウンタが最大値の半分に達したときにセットされます。

ビット 14　**TGFSCS**：1 回の衝突後に送信された良好フレームのステータス
このビットは、1 回の衝突後に送信された良好なフレームのカウンタが最大値の半分に達したときにセットされます。

ビット 13:0　予約済み

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

イーサネット MMC 受信割り込みマスクレジスタ（ETH_MMCRIMR）

アドレスオフセット：0x010C

リセット値：0x0000 0000

イーサネット MMC 受信割り込みマスクレジスタは、受信統計カウンタが最大値の半分に達したときに生成される割り込みのマスクを保持します。（カウンタの MSB がセットされます。）32 ビット幅のレジスタです。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み														RGUFM	予約済み										RFAEM	RFCEM	予約済み				
														rw											rw	rw					

ビット 31:18　予約済み

ビット 17　**RGUFM**：受信良好ユニキャストフレームマスク
このビットをセットすると、受信された良好なユニキャストフレームのカウンタが最大値の半分に達したときに割り込みをマスクします。

ビット 16:7　予約済み

ビット 6　**RFAEM**：受信フレームアライメントエラーマスク
このビットをセットすると、アライメントエラーがある受信フレームのカウンタが最大値の半分に達したときに割り込みをマスクします。

ビット 5　**RFCEM**：受信フレーム CRC エラーマスク
このビットをセットすると、CRC エラーがある受信フレームのカウンタが最大値の半分に達したときに割り込みをマスクします。

ビット 4:0　予約済み

イーサネット MMC 送信割り込みマスクレジスタ（ETH_MMCTIMR）

アドレスオフセット：0x0110

リセット値：0x0000 0000

イーサネット MMC 送信割り込みマスクレジスタは、送信統計カウンタが最大値の半分に達したときに生成される割り込みのマスクを保持します。（カウンタの MSB がセットされます。）32 ビット幅のレジスタです。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み										TGFM	予約済み					TGFMSCM	TGFSCM	予約済み													
										rw						rw	rw														

ビット 31:22　予約済み

ビット 21　**TGFM**：送信良好フレームマスク
このビットをセットすると、送信された良好なフレームのカウンタが最大値の半分に達したときに割り込みをマスクします。

ビット 20:16　予約済み

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 15　**TGFMSCM**：複数の衝突後に送信された良好フレームのマスク
このビットをセットすると、複数の衝突後に送信された良好なフレームのカウンタが最大値の半分に達したときに割り込みをマスクします。

ビット 14　**TGFSCM**：1 回の衝突後に送信された良好フレームのマスク
このビットをセットすると、1 回の衝突後に送信された良好なフレームのカウンタが最大値の半分に達したときに割り込みをマスクします。

ビット 13:0　予約済み

1 回の衝突後に送信されたイーサネット MMC 良好フレームカウンタレジスタ（ETH_MMCTGFSCCR）

アドレスオフセット：0x014C

リセット値：0x0000 0000

このレジスタは、半二重モードで 1 回の衝突後に正常に送信されたフレームの数を含みます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TGFSCC																															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:0　**TGFSCC**：1 回の衝突後に送信された良好フレームのカウンタ
1 回の衝突後に送信された良好フレームのカウンタ。

複数の衝突後に送信されたイーサネットMMC 良好フレームカウンタレジスタ（ETH_MMCTGFMSCCR）

アドレスオフセット：0x0150

リセット値：0x0000 0000

このレジスタは、半二重モードで複数の衝突後に正常に送信されたフレームの数を含みます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TGFMSCC																															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:0　**TGFMSCC**：複数の衝突後に送信された良好フレームのカウンタ
複数の衝突後に送信された良好フレームのカウンタ

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

イーサネット MMC 送信良好フレームカウンタレジスタ（ETH_MMCTGFCR）

アドレスオフセット：0x0168

リセット値：0x0000 0000

このレジスタは、送信された良好フレームの数を含みます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TGFC																															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:0　**TGFC**：送信良好フレームカウンタ

CRC エラーのあるイーサネットMMC 受信フレームカウンタレジスタ（ETH_MMCRFCECR）

アドレスオフセット：0x0194

リセット値：0x0000 0000

このレジスタは、CRC エラーがある受信フレームの数を含みます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RFCEC																															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:0　**RFCEC**：受信フレーム CRC エラーカウンタ
CRC エラーのある受信フレームのカウンタ

CRC エラーのあるイーサネット MMC 受信フレームアラインメントエラーカウンタレジスタ（ETH_MMCRFAECR）

アドレスオフセット：0x0198

リセット値：0x0000 0000

このレジスタは、アラインメント（ドリブル）エラーのある受信フレームの数を含みます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RFAEC																															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:0　**RFAEC**：受信フレームアラインメントエラーカウンタ
アラインメントエラーのある受信フレームのカウンタ

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

MMC 受信良好ユニキャストフレームカウンタレジスタ（ETH_MMCRGUFCR）

アドレスオフセット：0x01C4

リセット値：0x0000 0000

このレジスタは、受信された良好なユニキャストフレームの数を含みます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RGUFC																															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:0　**RGUFC**：受信良好ユニキャストフレームカウンタ

28.8.3　IEEE 1588 タイムスタンプレジスタ

このセクションでは、IEEE 1588 標準に基づいて高精度なネットワーククロック同期機能をサポートするために必要なレジスタについて説明します。

イーサネット PTP タイムスタンプ制御レジスタ（ETH_PTPTSCR）

アドレスオフセット：0x0700

リセット値：0x0000 0000

このレジスタは、タイムスタンプの生成および更新ロジックを制御します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																										TTSARU	TSITE	TSSTU	TSSTI	TSFCU	TSE
																										rw	rw	rw	rw	rw	rw

ビット 31:5　予約済み

ビット 5　**TSARU**：タイムスタンプ加数レジスタ更新
このビットがセットされた場合、タイムスタンプ加数レジスタの内容が、微調整のために PTP ブロックに更新されます。このビットは、更新が完了するとクリアされます。このレジスタビットの読み出し値がゼロでなければ、セットできません。

ビット 4　**TSITE**：タイムスタンプ割り込みトリガイネーブル
このビットがセットされた場合、システム時間が目標時間レジスタに書き込まれた値を超えると、タイムスタンプ割り込みが生成されます。タイムスタンプトリガ割り込みが生成されると、このビットはクリアされます。

ビット 3　**TSSTU**：タイムスタンプシステム時間更新
このビットがセットされた場合、システム時間は、タイムスタンプハイ更新およびタイムスタンプロー更新レジスタで指定された値で更新されます（加算または減算されます）。TSSTU ビットと TSSTI ビットの両方の読み出し値がゼロでなければ、このビットをセットできません。ハードウェアで更新が完了すると、このビットはクリアされます。

ビット 2　**TSSTI**：タイムスタンプシステム時間初期化
このビットがセットされた場合、システム時間は、タイムスタンプハイ更新およびタイムスタンプロー更新レジスタで指定された値で初期化されます（上書きされます）。このビットの読み出し値がゼロでなければ、セットできません。初期化が完了すると、このビットはクリアされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 1　**TSFCU**：タイムスタンプ粗密更新
セットされた場合、このビットは、システムタイムスタンプが密更新法を使用して更新されることを示します。クリアされた場合、このビットは、システムタイムスタンプが粗更新法を使用して更新されることを示します。

ビット 0　**TSE**：タイムスタンプイネーブル
このビットがセットされると、送信および受信フレームのタイムスタンプが有効になります。このビットがクリアされると、タイムスタンプ機能は中断され、送信および受信フレームにタイムスタンプが追加されなくなります。維持されていたシステム時間が中断されるので、このビットをハイにセットした後は必ず、タイムスタンプ機能（システム時間）の初期化を行う必要があります。

イーサネット PTP サブセカンドインクリメントレジスタ（ETH_PTPSSIR）

アドレスオフセット：0x0704

リセット値：0x0000 0000

このレジスタは、サブセカンドレジスタがインクリメントされる 8 ビット値を含みます。粗更新モードでは（ETH_PTPTSCR レジスタの TDFCU ビット）、HCLK クロックサイクルごとに、このレジスタの値がシステム時間に加算されます。密更新モードでは、アキュムレータがオーバーフローするたびに、このレジスタの値がシステム時間に加算されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																								STSSI							
																								rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:8　予約済み

ビット 7:0　**STSSI**：システム時間サブセカンドインクリメント
このレジスタでプログラムされた値が、更新のたびに、システム時間のサブセカンド値の内容に 加算されます。
たとえば、20 ns の精度を得るには、この値は次のようになります。20 / 0.467 = ～43 （または 0x2A）

イーサネット PTP タイムスタンプハイレジスタ（ETH_PTPTSHR）

アドレスオフセット：0x0708

リセット値：0x0000 0000

このレジスタは、上位 32 時間ビットを含みます。この読み出し専用レジスタは、システム時間の秒の値を含んでいます。タイムスタンプハイレジスタは、タイムスタンプローレジスタとともに、MAC によって維持されているシステム時間の現在値を示します。ただし、このレジスタは常時更新されています。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
STS																															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:0　**STS**：システム時間の秒
このフィールドの値は、コアによって維持されているシステム時間の現在値を秒で示します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

イーサネット PTP タイムスタンプローレジスタ（ETH_PTPTSLR）

アドレスオフセット：0x070C

リセット値：0x0000 0000

このレジスタは、下位の 32 時間ビットを含んでいます。この読み出し専用レジスタは、システム時間のサブセカンドの値を含んでいます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
STPNS	STSS																														
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31　**STPNS**：システム時間正または負符号
このビットは、正または負の時間値を示します。セットされた場合、このビットは、時間表示が負であることを示します。クリアされた場合は、時間表示が正であることを示します。システム時間は常に正であるべきなので、このビットは通常ゼロです。

ビット 30:0　**STSS**：システム時間サブセカンド
このフィールドの値は、0.46 ns 精度のサブセカンド表示です。

イーサネット PTP タイムスタンプハイ更新レジスタ（ETH_PTPTSHUR）

アドレスオフセット：0x0710

リセット値：0x0000 0000

このレジスタは、システム時間値に書き込まれる時間、または加算あるいは減算される時間の上位 32 ビットを含みます。タイムスタンプハイ更新レジスタは、タイムスタンプロー更新レジスタとともに、MAC によって維持されているシステム時間を初期化または更新します。これらのレジスタは両方とも、タイムスタンプ制御レジスタの TSSTI または TSSTU ビットをセットする前に書き込む必要があります。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TSUS																															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0　**TSUS**：タイムスタンプ更新の秒
このフィールドの値は、システム時間が初期化される時間、またはシステム時間に加算される時間を秒で示します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

イーサネット PTP タイムスタンプロー更新レジスタ（ETH_PTPTSLUR）

アドレスオフセット：0x0714

リセット値：0x0000 0000

このレジスタは、システム時間値に書き込まれる時間、または加算あるいは減算される時間の下位 32 ビットを含みます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TSUPNS	TSUSS																														
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31　**TSUPNS**：タイムスタンプ更新正または負符号
このビットは、正または負の時間値を示します。セットされた場合、このビットは、時間表示が負であることを示します。クリアされた場合は、時間表示が正であることを示します。TSSI がセットされた場合（システム時間の初期化）、このビットはゼロでなければなりません。TSSTU がセットされているときに、このビットがセットされた場合、タイムスタンプ更新レジスタの値がシステム時間から減算されます。そうでない場合は、システム時間に加算されます。

ビット 30:0　**TSUSS**：タイムスタンプ更新のサブセカンド
このフィールドの値は、システム時間が初期化されるサブセカンド時間、またはシステム時間に加算されるサブセカンド時間を示します。この値の精度は 0.43 ns です（言い換えると、値 0x0000_0001 は 0.46 nsです）。

イーサネット PTP タイムスタンプ加数レジスタ（ETH_PTPTSAR）

アドレスオフセット：0x0718

リセット値：0x0000 0000

このレジスタは、クロック周波数をマスタクロック周波数に合わせて線形的に再調整するために、ソフトウェアによって使用されます。このレジスタ値は、システム時間が密更新モード（ETH_PTPTSCR の TSFCU ビット）で設定されているときにのみ使用されます。このレジスタの内容は、クロックサイクルごとに 32 ビットのアキュムレータに加算され、アキュムレータがオーバーフローするたびにシステム時間が更新されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TSA																															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0　**TSA**：タイムスタンプの加数
このレジスタは、時間同期を達成するために、アキュムレータレジスタに加算される 32 ビットの時間値を示します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

イーサネット PTP 目標時間ハイレジスタ（ETH_PTPTTH）

アドレスオフセット：0x071C

リセット値：0x0000 0000

このレジスタは、割り込みイベントの生成のためにシステム時間と比較される時間の上位 32 ビットを含みます。目標時間ハイレジスタは、目標時間ローレジスタとともに、システム時間がこれらのレジスタでプログラムされた値を超えたときに割り込みイベント（ETH_PTPTSCR の TSARU ビット）をスケジュールするために使用されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TTSH																															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0 **TTSH**：目標タイムスタンプハイ
このレジスタは、時間値を秒単位で格納します。タイムスタンプの値が両方の目標タイムスタンプレジスタの値に等しいか、超えたとき、MAC は割り込みを生成します（有効な場合）。

イーサネット PTP 目標時間ローレジスタ（ETH_PTPTTLR）

アドレスオフセット：0x0720

リセット値：0x0000 0000

このレジスタは、割り込みイベントの生成のためにシステム時間と比較される時間の下位 32 ビットを含みます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TTSL																															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0 **TTSL**：目標タイムスタンプロー
このレジスタは、時間値を（符号付き）ナノ秒単位で格納します。タイムスタンプの値が両方の目標タイムスタンプレジスタの値に等しいか、超えたとき、MAC は割り込みを生成します（有効な場合）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

28.8.4　DMA レジスタの説明

このセクションでは、各 DMA レジスタのビットを定義します。アドレスがワード整列されている限り、非 32 ビットアクセスが許されます。

イーサネット DMA バスモードレジスタ（ETH_DMABMR）

アドレスオフセット：0x1000

リセット値：0x0000 2101

このバスモードレジスタは、DMA のバス動作モードを確立します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み						AAB	FPM	USP	RDP						FB	RTPR		PBL						予約済み	DSL					DA	SR
						rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw		rw	rw	rw	rw	rw	rw	rs

ビット 31:26　予約済み

ビット 25　**AAB**：アドレス整列ビート
このビットがハイにセットされ、FB ビットが 1 の場合、AHB インタフェースは、すべてのバーストを開始アドレスの LS ビットに整列して生成します。FB ビットが 0 に等しい場合、最初のバースト（データバッファの開始アドレスにアクセスする）は整列されませんが、それ以降のバーストはアドレスに整列されます。

ビット 24　**FPM**：4xPBL モード
セットされた場合、このビットは、プログラムされた PBL 値（ビット [22:17] およびビット [13:8]）を 4 倍にします。したがって、DMA は、PBL の値に応じて、最大 4、8、16、32、64、および 128 ビートでデータを転送します。

ビット 23　**USP**：個別 PBL の使用
ハイにセットされた場合、ビット [22:17] で設定された値を PBL として使用するように RxDMA が設定され、ビット [13:8] の PBL 値は TxDMA の動作のみに適用されます。このビットがクリアされると、ビット [13:8] の PBL 値は両方の DMA エンジンに対して適用されます。

ビット 22:17　**RDP**：Rx DMA PBL
これらのビットは、1 回の RxDMA トランザクションで転送される最大ビート数を示します。これは、1 回のブロック読み出し/書き込み動作で使用される最大値です。RxDMA は、常に、ホストバス上でバースト転送を開始するたびに、RDP での指定に従ってバーストを試みます。RDP は、1、2、4、8、16、および 32 の許された値でプログラムできます。その他の値は、未定義の動作をもたらします。
これらのビットは、USP がハイにセットされた場合にのみ有効であり、適用されます。

ビット 16　**FB**：固定バースト
このビットは、AHB マスターインタフェースが固定バースト転送を行うかどうかを制御します。このビットがセットされると、AHB は、通常のバースト転送の開始時に、SINGLE、INDR4、INDR8、または INCR16 のみを使用します。このビットがリセットされると、AHB は、SINGLE および INCR バースト転送動作を使用します。

ビット 15:14　**RTPR**：Rx Tx 優先比率
RxDMA リクエストには、TxDMA リクエストに対して、以下の比率で 優先度が与えられます。
00：1:1
01：2:1
10：3:1
11：4:1
これは、DA ビットがクリアされているときのみ有効です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 13:8 **PBL**：プログラマブルバースト長
これらのビットは、1 回の DMA トランザクションで転送される最大ビート数を示します。これは、1 回のブロック読み出し/書き込み動作で使用される最大値です。DMA は、常に、ホストバス上でバースト転送を開始するたびに、PBL での指定に従ってバーストを試みます。PBL は、1、2、4、8、16、および 32 の許された値でプログラムできます。その他の値は、未定義の動作をもたらします。USP がセットされると、この PBL 値は、TxDMA トランザクションのみに適用されます。
PBL 値には、以下のような制約があります。
– 可能な最大ビート数（PBL）は、Tx FIFO および Rx FIFO のサイズによって制限されます。
– FIFO には、サポートされる最大ビート数が FIFO の深さの半分であるという制約があります。
– PBL が送信 DMA と受信 DMA の両方に共通の場合、Rx FIFO と Tx FIFO の最小の深さを考慮する必要があります。
– 範囲外の PBL 値をプログラムしないでください。システムが正常に動作しなくなる可能性があります。

ビット 7 予約済み

ビット 6:2 **DSL**：ディスクリプタスキップ長
このビットは、2 つのチェイニングされていないディスクリプタ間でスキップするワード数を指定します。アドレススキッピングは、現在のディスクリプタの終わりから始まり、次のディスクリプタの始めまでです。DSL の値がゼロの場合、ディスクリプタテーブルは DMA によって連続的である、すなわち、リングモードであると解釈されます。

ビット 1 **DA**：DMA アービトレーション
0：ビット [15:14]で与えられた Rx と Tx の優先比率によるラウンドロビン方式。
1：Rx が Tx に優先します。

ビット 0 **SR**：ソフトウェアリセット
このビットがセットされると、MAC DMA コントローラは、すべての MAC サブシステムの内部レジスタとロジックをリセットします。コアのクロックドメインのすべてでリセット操作が完了した後、自動的にクリアされます。コアのレジスタを再プログラムする前は、このビットの値は 0 が読まれます。

イーサネット DMA 送信ポーリング要求レジスタ（ETH_DMATPDR）

アドレスオフセット：0x1004

リセット値：0x0000 0000

このレジスタは、送信ディスクリプタリストのポーリングを DMA に指示するために、アプリケーションによって使用されます。送信ポーリング要求レジスタによって、送信 DMA は、現在のディスクリプタが DMA によって所有されているかどうかを確認できます。送信ポーリング要求コマンドは、TxDMA がサスペンドモードの場合に、TxDMA をウェイクアップするために与えられます。TxDMA は、送信フレームにアンダーフローエラーがあった場合、または送信 DMA が所有するディスクリプタが使用不能であった場合、サスペンドモードに移行します。このコマンドはいつでも発行することができ、TxDMA はホストメモリからの現在のディスクリプタの再フェッチを開始すると、リセットします。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TPD																															
rw_wt																															

ビット 31:0 TPD：送信ポーリング要求
これらのビットに値が書き込まれると、DMA は、ETH_DMACHTDR レジスタによって示される現在のディスクリプタを読み出します。そのディスクリプタが使用できない（ホストによって所有されている）場合、送信はサスペンド状態に戻り、ETH_DMASR レジスタのビット 2 がアサートされます。ディスクリプタが使用可能な場合は、送信がリスタートされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

イーサネット DMA 受信ポーリング要求レジスタ（ETH_DMARPDR）

アドレスオフセット：0x1008

リセット値：0x0000 0000

このレジスタは、受信ディスクリプタリストをポーリングするように DMA に指示するために、アプリケーションによって使用されます。受信ポーリング要求レジスタによって、受信 DMA は新しいディスクリプタを確認できます。このコマンドは、RxDMA をサスペンド状態からウェイクアップするために与えられます。RxDMA は、所有するディスクリプタが使用できない場合にのみ、サスペンドモードに移行することができます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RPD																															
rw_wt																															

ビット 31:0　**RPD**：受信ポーリング要求
これらのビットに値が書き込まれると、DMA は、ETH_DMACHRDR レジスタによって示される現在のディスクリプタを読み出します。そのディスクリプタが使用できない（ホストによって所有されている）場合、受信はサスペンド状態に戻り、ETH_DMASR レジスタのビット 7 はアサートされません。ディスクリプタが使用可能な場合、受信 DMA はアクティブ状態に戻ります。

イーサネット DMA 受信ディスクリプタリストアドレスレジスタ（ETH_DMARDLAR）

アドレスオフセット：0x100C

リセット値：0x0000 0000

受信ディスクリプタリストアドレスレジスタは、受信ディスクリプタリストの開始アドレスを示します。ディスクリプタリストは STM32F107xx の物理メモリ空間にあり、ワード整列されていなければなりません。DMA は、対応する LS ビットをローにセットすることによって、内部でバス幅で整列されたアドレスに変換します。ETH_DMARDLAR レジスタへの書き込みは、受信が停止されたときにのみ許されます。受信が停止された場合、受信開始コマンドが与えられる前に、ETH_DMARDLAR レジスタに書き込まなければなりません。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SRL																															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0　**SRL**：受信リストの開始
このフィールドは、受信ディスクリプタリストの最初のディスクリプタのベースアドレスを含みます。LSB ビット（32/64/128 ビットバス幅に対して [1/2/3:0] ビット）は、内部的に無視され、DMA によってすべてゼロとして扱われます。したがって、これらの LSB ビットは読み出し専用です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

イーサネット DMA 送信ディスクリプタリストアドレスレジスタ（ETH_DMATDLAR）

アドレスオフセット：0x1010

リセット値：0x0000 0000

送信ディスクリプタリストアドレスレジスタは、送信ディスクリプタリストの開始アドレスを示します。ディスクリプタリストは STM32F107xx の物理メモリ空間にあり、ワード整列されていなければなりません。DMA は、対応する LSB をローにセットすることによって、内部でバス幅で整列されたアドレスに変換します。ETH_DMATDLAR レジスタへの書き込みは、送信が停止されたときにのみ許されます。送信が停止されると、送信開始コマンドが与えられる前に、ETH_DMATDLAR レジスタへの書き込みが可能になります。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
STL																															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0　**STL**：送信リストの開始
このフィールドは、送信ディスクリプタリストの最初のディスクリプタのベースアドレスを含みます。LSB ビット（32/64/128 ビットバス幅に対して [1/2/3:0] ビット）は、内部的に無視され、DMA によってすべてゼロとして扱われます。したがって、これらの LSB ビットは読み出し専用です。

イーサネット DMA ステータスレジスタ（ETH_DMASR）

アドレスオフセット：0x1014

リセット値：0x0000 0000

ステータスレジスタは、DMA がアプリケーションに報告するすべてのステータスビットを含んでいます。ETH_DMASR レジスタは、通常、割り込みサービスルーチンまたはポーリング中にソフトウェアドライバによって読み出されます。このレジスタのフィールドのほとんどは、ホストに割り込みます。ETH_DMASR レジスタのビットは、読み出されてもクリアされません。ETH_DMASR レジスタ [16:0] の（予約されていない）ビットに 1 を書き込むと、それらがクリアされますが、0 を書き込んでも効果はありません。各フィールド（ビット [16:0]）は、ETH_DMAIER レジスタの適切なビットをマスクすることによってマスクできます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み		TSTS	PMTS	MMCS	予約済み	EBS			TPS			RPS			NIS	AIS	ERS	FBES	予約済み		ETS	RWTS	RPSS	RBUS	RS	TUS	ROS	TJTS	TBUS	TPSS	TS
		r	r	r		r	r	r	r	r	r	r	r	r	rc-w1	rc-w1	rc-w1	rc-w1			rc-w1	rc-w1	rc-w1	rc-w1	rc-w1	rc-w1	rc-w1	rc-w1	rc-w1	rc-w1	rc-w1

ビット 31:30　予約済み

ビット 29　**TSTS**：タイムスタンプトリガステータス
このビットは、MAC コアのタイムスタンプジェネレータブロックの割り込みイベントを示します。ソフトウェアは、MAC コアのステータスレジスタを読み出して、ソース（ビット 9）をクリアすることによって、このビットを 0 にリセットする必要があります。このビットがハイのときには、割り込みが生成されます（有効な場合）。

ビット 28　**PMTS**：PMT ステータス
このビットは、MAC コアの PMT のイベントを示します。ソフトウェアは、MAC 内の対応するレジスタを読み出して、割り込みの正確な原因を調べ、ソースをクリアすることによって、このビットを 0 にリセットする必要があります。このビットがハイのとき、割り込みが生成されます（有効な場合）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 27　**MMCS：**MMC ステータス
このビットは、MAC コアの MMC のイベントを反映します。ソフトウェアは、MAC 内の対応するレジスタを読み出して、割り込みの正確な原因を調べ、割り込みのソースをクリアすることによって、このビットを 0 にする必要があります。このビットがハイのとき、割り込みが生成されます（有効な場合）。

ビット 26　予約済み

ビット 25:23　**EBS：**エラービットステータス
これらのビットは、バスエラー（AHB インタフェース上のエラー応答）の原因となったエラーのタイプを示します。致命的バスエラービット（ETH_DMASR レジスタ [13]）がセットされたときのみ有効です。このフィールドは割り込みを生成しません。

ビット 23	1	TxDMA によるデータ転送中のエラー
	0	RxDMA によるデータ転送中のエラー
ビット 24	1	読み出し転送中のエラー
	0	書き込み転送中のエラー
ビット 25	1	ディスクリプタアクセス中のエラー
	0	データバッファアクセス中のエラー

ビット 22:20　**TPS：**送信プロセス状態
これらのビットは、送信 DMA FSM の状態を示します。このフィールドは割り込みを生成しません。
000：停止。送信リセットまたは送信停止コマンドが発行されました。
001：実行中。送信転送ディスクリプタをフェッチしています。
010：実行中。ステータスを待っています。
011：実行中。ホストメモリバッファからデータを読み出して、送信バッファ（TxFIFO）のキューに入れています。
100、101：将来の使用のために予約済み。
110：中断。送信ディスクリプタが使用できないか、送信バッファがアンダーフローしています。
111：実行中。送信ディスクリプタをクローズしています。

ビット 19:17　**RPS：**受信プロセス状態
これらのビットは、受信 DMA FSM の状態を示します。このフィールドは割り込みを生成しません。
000：停止：受信リセットまたは受信停止コマンドが発行されました。
001：実行中：受信転送ディスクリプタをフェッチしています。
010：将来の使用のために予約済み。
011：実行中：受信パケットを待っています。
100：中断：受信ディスクリプタが使用できません。
101：実行中：受信ディスクリプタをクローズしています。
110：将来の使用のために予約済み。
111：実行中：受信パケットデータを受信バッファからホストメモリへ転送しています。

ビット 16　**NIS：**正常割り込み要約
正常割り込み要約ビットの値は、ETH_DMAIER レジスタで対応する割り込みビットが有効なとき、以下の論理 OR です。
– ETH_DMASR [0]：送信割り込み
– ETH_DMASR [2]：送信バッファ使用不可
– ETH_DMASR [6]：受信割り込み
– ETH_DMASR [14]：早期受信割り込み
マスクされていないビットのみが正常割り込み要約ビットに影響します。
これはスティッキービットであり、NIS をセット状態にする対応ビットがクリアされるたびに、クリアされなければなりません（このビットに 1 を書き込むことによって）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 15　**AIS**：異常割り込み要約

異常割り込み要約ビットの値は、ETH_DMAIER レジスタで対応する割り込みビットが有効なとき、以下の論理 OR です。

– ETH_DMASR [1]：送信プロセスが停止されました。
– ETH_DMASR [3]：送信ジャバタイムアウト
– ETH_DMASR [4]：受信 FIFO オーバーフロー
– ETH_DMASR [5]：送信アンダーフロー
– ETH_DMASR [7]：受信バッファ使用不可
– ETH_DMASR [8]：受信プロセスが停止されました
– ETH_DMASR [9]：受信ウォッチドッグタイムアウト
– ETH_DMASR [10]：早期送信割り込み
– ETH_DMASR [13]：致命的バスエラー

マスクされていないビットのみが異常割り込み要約ビットに影響します。
これはスティッキービットであり、AIS をセット状態にする対応ビットがクリアされるたびにクリアされなければなりません。

ビット 14　**ERS**：早期受信ステータス

このビットは、DMA が最初のデータバッファをパケットで一杯にしたことを示します。受信割り込み ETH_DMASR [6] は、このビットを自動的にクリアします。

ビット 13　**FBES**：致命的バスエラーステータス

このビットは、[25:23] で詳細が示されるバスエラーが発生したことを示します。このビットがセットされると、対応する DMA エンジンは、すべてのバスアクセスを無効にします。

ビット 12:11　予約済み

ビット 10　**ETS**：早期送信ステータス

このビットは、送信フレームが完全に送信 FIFO に転送されたことを示します。

ビット 9　**RWTS**：受信ウォッチドッグタイムアウトステータス

このビットは、2,048 バイトより長いフレームが受信されたときにアサートされます。

ビット 8　**RPSS**：受信プロセス停止ステータス

このビットは、受信プロセスが停止状態に入ったときにアサートされます。

ビット 7　**RBUS**：受信バッファ使用不可ステータス

このビットは、受信リスト内の次のディスクリプタがホストによって所有されていて、DMA は取得できないことを示します。受信プロセスは中断されます。受信ディスクリプタの処理をリスタートするには、ホストは、ディスクリプタの所有権を変更して、受信ポーリング要求コマンドを発行しなければなりません。受信ポーリング要求が発行されなかった場合、受信プロセスは、認識可能な次の着信フレームが受信されたときにリスタートされます。ETH_DMASR [7] は、前の受信ディスクリプタが DMA によって所有されていたときにのみセットされます。

ビット 6　**RS**：受信ステータス

このビットは、フレームの受信が完了したことを示します。特定のフレームステータス情報がディスクリプタでポストされました。受信は実行中状態のままです。

ビット 5　**TUS**：送信アンダーフローステータス

このビットは、フレーム送信中に送信バッファがアンダーフローしたことを示します。送信は中断され、アンダーフローエラー TDES0[1] がセットされます。

ビット 4　**ROS**：受信オーバーフローステータス

このビットは、フレーム受信中に受信バッファが オーバーフローしたことを示します。部分的なフレームがアプリケーションに転送された場合、RDES0[1] でオーバーフローステータスがセットされます。

ビット 3　**TJTS**：送信ジャバタイムアウトステータス

このビットは、送信ジャバタイマが時間切れになったことを示し、トランスミッタが過剰にアクティブであることを意味します。送信プロセスは中止され、停止状態になります。これにより、送信ジャバタイムアウト TDES0[14] フラグがアサートされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 2　**TBUS**：送信バッファ使用不可ステータス
このビットは、送信リスト内の次のディスクリプタがホストによって所有されていて、DMA は取得できないことを示します。送信は中断されます。ビット [22:20] は、送信プロセス状態の遷移の理由を示します。送信ディスクリプタの処理をリスタートするには、ホストは、ディスクリプタのビットの所有権を変更して、送信ポーリング要求コマンドを発行しなければなりません。

ビット 1　**TPSS**：送信プロセス停止ステータス
このビットは、送信が停止されたときにセットされます。

ビット 0　**TS**：送信ステータス
このビットは、フレーム送信が終了し、TDES1[31] が最初のディスクリプタでセットされたことを示します。

イーサネット DMA 動作モードレジスタ（ETH_DMAOMR）

アドレスオフセット：0x1018

リセット値：0x0000 0000

動作モードレジスタは、送信および受信動作モードとコマンドを確立します。ETH_DMAOMR レジスタは、DMA 初期化の一部として書きこまれる最後の CSR でなければなりません。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み					DTCEFD	RSF	DFRF	予約済み		TSF	FTF	予約済み			TTC			ST	予約済み					FEF	FUGF	予約済み	RTC		OSF	SR	予約済み
					rw	rw	rw			rw	rs				rw	rw	rw	rw						rw	rw		rw	rw	rw	rw	

ビット 31:27　予約済み

ビット 26　**DTCEFD**：TCP/IP チェックサムエラーフレームのドロッピングディセーブル
このビットがセットされた場合、コアは、受信チェックサムオフロードエンジンによって検出されたエラーだけがあるフレームをドロップしません。そのようなフレームは、MAC によって受信された イーサネットフレームにはエラー（FCS エラーも含む）がなく、カプセル化されたペイロードにのみエラーがあります。このビットがクリアされると、FEF ビットがリセットされていた場合、すべてのエラーフレームがドロップされます。

ビット 25　**RSF**：受信ストアおよびフォワード
このビットがセットされた場合、完全なフレームが書き込まれた後、Rx FIFO からフレームが読み出され、RTC ビットは無視されます。このビットがクリアされると、Rx FIFO は、RTC ビットで指定された閾値に従って、カットスルーモードで動作します。

ビット 24　**DFRF**：受信フレームフラッシュディセーブル
このビットがセットされた場合、RxDMA は、受信ディスクリプタ/バッファの使用不可によるフレームのフラッシュを行いません。このビットがクリアされると、通常はフラッシュが行われます。（*中断された受信プロセス（983 ページ）*を参照。）

ビット 23:22　予約済み

ビット 21　**TSF**：送信ストアおよびフォワード
このビットがセットされると、完全なフレームが送信 FIFO に存在しているときに送信が開始されます。このビットがセットされると、ETH_DMAOMR レジスタのビット [16:14] によって指定された TTC の値は無視されます。
このビットがクリアされると、ETH_DMAOMR レジスタのビット [16:14] によって指定された TTC の値が考慮されます。
このビットは、送信が停止されたときにのみ変更されなければなりません。

ビット 20　**FTF**：送信 FIFO のフラッシュ
このビットがセットされた場合、送信 FIFO コントローラロジックはデフォルト値にリセットされ、Tx FIFO 内のすべてのデータが消去されます。このビットは、フラッシュ動作が完了したときに内部的にクリアされます。動作モードレジスタは、このビットがクリアされるまで書き込みが禁止されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 19:17　予約済み

ビット 16:14　**TTC**：送信閾値制御

この 3 つのビットは、送信 FIFO の閾値レベルを制御します。送信は、送信 FIFO 内のフレームサイズが閾値より大きいときに開始されます。さらに、閾値より短い完全なフレームも送信されます。これらのビットは、TSF ビット（ビット 21）がクリアされたときのみ使用されます。

000：64
001：128
010：192
011：256
100：40
101：32
110：24
111：16

ビット 13　**ST**：送信開始/停止

このビットがセットされた場合、送信は実行中状態に置かれ、DMA は、送信フレームの現在位置での送信リストをチェックします。ディスクリプタの取得は、リスト内の現在位置（ETH_DMATDLAR レジスタによって設定された送信リストのベースアドレス）から、または、以前に送信が停止されたときに保持された位置から試みられます。現在のディスクリプタが DMA によって所有されていない場合、送信はサスペンド状態に入り、送信バッファ使用不可ビット（ETH_DMASR [2]）がセットされます。送信開始コマンドは、送信が停止されたときにのみ有効となります。　DMA ETH_DMATDLAR レジスタをセットする前にコマンドが発行された場合、DMA の動作は予想できません。

このビットがクリアされると、送信プロセスは現在のフレームの送信を終了した後、停止状態に置かれます。送信リスト内の次のディスクリプタの位置が保存され、送信がリスタートされるときに現在位置となります。送信停止コマンドは、現在のフレームの送信が完了したとき、または送信がサスペンド状態にあるときにのみ有効です。

ビット 12:8　予約済み

ビット 7　**FEF**：エラーフレーム転送

このビットがセットされた場合、ラントエラーフレームを除くすべてのフレームが DMA に転送されます。

このビットがクリアされると、Rx FIFO は、エラーステータス（CRC エラー、衝突エラー、巨大フレーム、ウォッチドッグタイムアウト、オーバーフロー）のフレームをドロップします。ただし、フレームの開始バイト（書き込み）ポインタが読み出しコントローラ側にすでに転送されている場合（閾値モードで）、フレームはドロップされません。Rx FIFO は、そのフレームの開始バイトが ARI バスで転送（出力）されていない場合、エラーフレームをドロップします。

ビット 6　**FUGF**：アンダーサイズの良好フレームの転送

このビットがセットされた場合、Rx FIFO は、アンダーサイズのフレーム（エラーがなく、パッドバイトと CRC を含めて長さが 64 バイト未満のフレーム）を転送します。

このビットがクリアされると、Rx FIFO は、受信閾値より低い値であるために（RTC = 10 など）、フレームがすでに転送されていない限り、64 バイト未満のすべてのフレームをドロップします。

ビット 5　予約済み

ビット 4:3　**RTC**：受信閾値制御

この 2 つのビットは、受信 FIFO の閾値レベルを制御します。DMA への転送（リクエスト）は、受信 FIFO 内のフレームサイズが閾値より大きいときに開始されます。さらに、長さが閾値より短い完全なフレームは自動的に転送されます。

注：　設定された受信 FIFO のサイズが 128 バイトの場合、値 11 は適用されないことに注意してください。

注：　これらのビットは、RSF ビットがゼロのときにのみ有効であり、RSF ビットが 1 にセットされたときは無視されます。

00：64
01：32
10：96
11：128

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 2　**OSF**：2 番目のフレームに対する動作

このビットがセットされた場合、このビットは、最初のフレームのステータスが取得される前でも、DMA に送信データの 2 番目のフレームを処理するように指示します。

ビット 1　**SR**：受信開始/停止

このビットがセットされると、受信プロセスは実行状態に置かれます。DMA は、受信リストからのディスクリプタの取得を試みて、受信フレームを処理します。ディスクリプタの取得は、リスト内の現在位置（ETH_DMATDLAR レジスタによって設定されたアドレス）から、または、以前に受信プロセスが停止されたときに保持された位置から試みられます。DMA によって所有されているディスクリプタがない場合、受信は中断され、受信バッファ使用不可ビット（ETH_DMASR [7]）がセットされます。受信開始コマンドは、受信が停止されているときにのみ有効です。DMA ETH_DMARDLAR レジスタをセットする前にコマンドが発行された場合、DMA の動作は予想できません。

このビットがクリアされると、RxDMA の動作は、現在のフレームの転送後に停止されます。受信リスト内の次のディスクリプタの位置が保存され、受信プロセスがリスタートされるときに現在位置となります。受信停止コマンドは、受信プロセスが実行中（受信パケットを待機中）またはサスペンド状態にあるときにのみ有効です。

ビット 0　予約済み

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

イーサネット DMA 割り込みイネーブルレジスタ（ETH_DMAIER）

アドレスオフセット：0x101C

リセット値：0x0000 0000

割り込みイネーブルレジスタは、ETH_DMASR によって報告された割り込みを有効にします。ビットを 1 にセットすると、対応する割り込みが有効になります。すべての割り込みは、ハードウェアまたはソフトウェアリセット後に無効になります。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															NISE	AISE	ERIE	FBEIE	予約済み		ETIE	RWTIE	RPSIE	RBUIE	RIE	TUIE	ROIE	TJTIE	TBUIE	TPSIE	TIE
															rw	rw	rw	rw			rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:17　予約済み

ビット 16　**NISE**：正常割り込み要約イネーブル
このビットがセットされた場合、正常割り込みが有効になります。このビットがクリアされた場合、正常割り込みは無効です。このビットは、以下のビットを有効にします。
- ETH_DMASR [0]：送信割り込み
- ETH_DMASR [2]：送信バッファ使用不可
- ETH_DMASR [6]：受信割り込み
- ETH_DMASR [14]：早期受信割り込み

ビット 15　**AISE**：異常割り込み要約イネーブル
このビットがセットされると、異常割り込みが有効にされます。このビットがクリアされると、異常割り込みは無効です。このビットは、以下のビットを有効にします。
- ETH_DMASR [1]：送信プロセス停止
- ETH_DMASR [3]：送信ジャバタイムアウト
- ETH_DMASR [4]：受信オーバーフロー
- ETH_DMASR [5]：送信アンダーフロー
- ETH_DMASR [7]：受信バッファ使用不可
- ETH_DMASR [8]：受信プロセスの停止
- ETH_DMASR [9]：受信ウォッチドッグタイムアウト
- ETH_DMASR [10]：早期送信割り込み
- ETH_DMASR [13]：致命的バスエラー

ビット 14　**ERIE**：早期受信割り込みイネーブル
このビットが、正常割り込み要約イネーブルビット（ETH_DMAIER レジスタ [16]）とともにセットされると、早期受信割り込みが有効になります。
このビットがクリアされると、早期受信割り込みは無効です。

ビット 13　**FBEIE**：致命的バスエラー割り込みイネーブル
このビットが、異常割り込み要約イネーブルビット（ETH_DMAIER レジスタ [15]）とともにセットされると、致命的バスエラー割り込みが有効になります。
このビットがクリアされると、致命的バスエラー割り込みは無効です。

ビット 12:11　予約済み

ビット 10　**ETIE**：早期送信割り込みイネーブル
このビットが、異常割り込み要約イネーブルビット（ETH_DMAIER register[15]）とともにセットされると、早期送信割り込みが有効になります。
このビットがクリアされると、早期送信割り込みは無効です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 9　**RWTIE**：受信ウォッチドッグタイムアウト割り込みイネーブル
このビットが、異常割り込み要約イネーブルビット（ETH_DMAIER レジスタ [15]）とともにセットされると、受信ウォッチドッグタイムアウト割り込みが有効になります。
このビットがクリアされると、受信ウォッチドッグタイムアウト割り込みは無効です。

ビット 8　**RPSIE**：受信プロセス停止割り込みイネーブル
このビットが、異常割り込み要約イネーブルビット（ETH_DMAIER レジスタ [15]）とともにセットされると、受信プロセス停止割り込みが有効になります。このビットがクリアされると、受信プロセス停止割り込みは無効です。

ビット 7　**RBUIE**：受信バッファ使用不可割り込みイネーブル
このビットが、異常割り込み要約イネーブルビット（ETH_DMAIER レジスタ [15]）とともにセットされた場合、受信バッファ使用不可割り込みが有効になります。
このビットがクリアされると、受信バッファ使用不可割り込みは無効です。

ビット 6　**RIE**：受信割り込みイネーブル
このビットが正常割り込み要約イネーブルビット（ETH_DMAIER レジスタ [16]）とともにセットされた場合、受信割り込みが有効になります。
このビットがクリアされると、受信割り込みは無効です。

ビット 5　**TUIE**：アンダーフロー割り込みイネーブル
このビットが異常割り込み要約イネーブルビット（ETH_DMAIER レジスタ [15]）とともにセットされた場合、送信アンダーフロー割り込みが有効になります。
このビットがクリアされると、アンダーフロー割り込みは無効です。

ビット 4　**ROIE**：オーバーフロー割り込みイネーブル
このビットが異常割り込み要約イネーブルビット（ETH_DMAIER レジスタ [15]）とともにセットされた場合、受信オーバーフロー割り込みが有効になります。
このビットがクリアされると、オーバーフロー割り込みは無効です。

ビット 3　**TJTIE**：送信ジャバタイムアウト割り込みイネーブル
このビットが異常割り込み要約イネーブルビット（ETH_DMAIER レジスタ [15]）とともにセットされた場合、送信ジャバタイムアウト割り込みが有効になります。
このビットがクリアされると、送信ジャバタイムアウト割り込みは無効です。

ビット 2　**TBUIE**：送信バッファ使用不可割り込みイネーブル
このビットが正常割り込み要約イネーブルビット（ETH_DMAIER レジスタ [16]）とともにセットされた場合、送信バッファ使用不可割り込みが有効になります。
このビットがクリアされると、送信バッファ使用不可割り込みは無効です。

ビット 1　**TPSIE**：送信プロセス停止割り込みイネーブル
このビットが異常割り込み要約イネーブルビット（ETH_DMAIER レジスタ [15]）とともにセットされた場合、送信プロセス停止割り込みが有効になります。
このビットがクリアされると、送信停止割り込みは無効です。

ビット 0　**TIE**：送信割り込みイネーブル
このビットが正常割り込み要約イネーブルビット（ETH_DMAIER レジスタ [16]）とともにセットされた場合、送信割り込みが有効になります。
このビットがクリアされると、送信割り込みは無効です。

イーサネット割り込みは、DMA ステータスレジスタの TSTS または PMTS ビットがアサートされ、対応する割り込みのマスクが解除されたとき、または、NIS/AIS ステータスビットがアサートされ、対応する割り込みイネーブルビット（NISE/AISE）が有効にされたときにのみ生成されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

イーサネット DMA 欠落フレームおよびバッファオーバーフローカウンタレジスタ（ETH_DMAMFBOCR）

アドレスオフセット：0x1020

リセット値：0x0000 0000

DMA は、受信中に欠落フレームの数を追跡する 2 つのカウンタを維持します。このレジスタは、カウンタの現在値を報告します。カウンタは、診断目的で使用されます。ビット [15:0] は STM32F107xx バッファが使用できない（使用できる受信ディスクリプタがない）ことによる欠落フレームを示します。ビット [27:17] は、Rx FIFO オーバーフロー条件およびラントフレーム（64 バイト未満の良好フレーム）による欠落フレームを示します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み			OFOC	MFA											OMFC	MFC															
			rc_r	rc_r	rc_r	rc_r	rc_r	rc_r	rc_r	rc_r	rc_r	rc_r	rc_r	rc_r	rc_r	rc_r	rc_r	rc_r	rc_r	rc_r	rc_r	rc_r	rc_r	rc_r	rc_r	rc_r	rc_r	rc_r	rc_r	rc_r	rc_r

ビット 31:29　予約済み

ビット 28　**OFOC**：FIFO オーバーフローカウンタのオーバーフロービット

ビット 27:17　**MFA**：アプリケーションによる欠落フレーム
アプリケーションによる欠落フレームの数を示します。

ビット 16　**OMFC**：欠落フレームカウンタのオーバーフロービット

ビット 15:0　**MFC**：コントローラによる欠落フレーム数
ホスト受信バッファが使用できないためにコントローラによって欠落されたフレームの数を示します。このカウンタは、DMA が着信フレームを破棄するたびにインクリメントされます。

イーサネット DMA 現在のホスト送信ディスクリプタレジスタ（ETH_DMACHTDR）

アドレスオフセット：0x1048

リセット値：0x0000 0000

現在のホスト送信ディスクリプタレジスタは、DMA によって読み出された現在の送信ディスクリプタの開始アドレスを示します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HTDAP																															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:0　**HTDAP**：ホスト送信ディスクリプタアドレスポインタ
リセット時にクリアされます。ポインタは動作中に DMA によって更新されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

イーサネットDMA 現在のホスト受信ディスクリプタレジスタ（ETH_DMACHRDR）

アドレスオフセット：0x104C

リセット値：0x0000 0000

現在のホスト受信ディスクリプタレジスタは、DMA によって読み出された現在の受信ディスクリプタの開始アドレスを示します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HRDAP																															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:0　**HRDAP**：ホスト受信ディスクリプタアドレスポインタ
リセット時にクリアされます。ポインタは動作中に DMA によって更新されます。

イーサネット DMA 現在のホスト送信バッファアドレスレジスタ（ETH_DMACHTBAR）

アドレスオフセット：0x1050

リセット値：0x0000 0000

現在のホスト送信バッファアドレスレジスタは、DMA によって読み出されている現在の送信バッファを示します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HTBAP																															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:0　**HTBAP**：ホスト送信バッファアドレスポインタ
リセット時にクリアされます。ポインタは動作中に DMA によって更新されます。

イーサネット DMA 現在のホスト受信バッファアドレスレジスタ（ETH_DMARDLAR）

アドレスオフセット：0x1054

リセット値：0x0000 0000

現在のホスト受信バッファアドレスレジスタは、DMA によって読み出されている現在の受信バッファを示します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HRBAP																															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:0　**HRBAP**：ホスト受信バッファアドレスポインタ
リセット時にクリアされます。ポインタは動作中に DMA によって更新されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

28.8.5 イーサネットレジスタマップ

*表 213*に、ETH レジスタマップとリセット値を示します。

表213. イーサネットレジスタマップとリセット値

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	ETH_MACCR	予約済み								WD	JD	予約済み		IFG			CSD	予約済み	FES	ROD	LM	DM	IPCO	RD	予約済み	APCS	BL		DC	TE	RE	予約済み	
	リセット値									0	0			0	0	0	0		0	0	0	0	0	0		0	0	0	0	0	0		
0x04	ETH_MACFFR	RA	予約済み																				HPF	SAF		PCF		BFD	PAM	DAIF	HM	HU	PM
	リセット値	0																					0	0	0	0	0	0	0	0	0	0	0
0x08	ETH_MACHTHR	HTH[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0C	ETH_MACHTLR	HTL[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x10	ETH_MACMIIAR	予約済み																PA					MR					予約済み	CR			MW	MB
	リセット値																	0	0	0	0	0	0	0	0	0	0		0	0	0	0	0
0x14	ETH_MACMIIDR	予約済み																MD															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x18	ETH_MACFCR	PT																予約済み								ZQPD	予約済み	PLT		UPFD	RFCE	TFCE	FCB/BPA
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0									0		0	0	0	0	0	0
0x1C	ETH_MACVLANTR	予約済み															VLANTC	VLANTI															
	リセット値																0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x28	ETH_MACRWUFFR	Frame filter reg0\Frame filter reg1\Frame filter reg2\Frame filter reg3\Frame filter reg4\...\Frame filter reg7																															
	リセット値	0																															
0x2C	ETH_MACPMTCSR	WFFRPR	予約済み																					GU	予約済み	WFR	MPR	予約済み			WFE	MPE	PD
	リセット値	0																						0		0	0				0	0	0
0x38	ETH_MACSR	未使用																予約済み						TSTS	予約済み	MMCTS	MMCRS	MMCS	PMTS	予約済み			
	リセット値																							0		0	0	0	0				
0x3C	ETH_MACIMR	未使用																予約済み						TSTIM	予約済み				PMTIM	予約済み			
	リセット値																							0					0				
0x40	ETH_MACA0HR	MO	予約済み															MACA0H															
	リセット値	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
0x44	ETH_MACA0LR	MACA0L																															
	リセット値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
0x48	ETH_MACA1HR	AE	SA	MBC[6:0]						予約済み								MACA1H															
	リセット値	0	0	0	0	0	0	0	0									1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
0x4C	ETH_MACA1LR	MACA1L																															
	リセット値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
0x50	ETH_MACA2HR	AE	SA	MBC						予約済み								MACA2H															
	リセット値	0	0	0	0	0	0	0	0									1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
0x54	ETH_MACA2LR	MACA2L																															
	リセット値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表213.　イーサネットレジスタマップとリセット値（続き）

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x58	ETH_MACA3HR	AE	SA	MBC						予約済み								MACA3H															
	リセット値	0	0	0	0	0	0	0	0									1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
0x5C	ETH_MACA3LR	MACA3L																															
	リセット値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
0x100	ETH_MMCCR	予約済み																												MCF	ROR	CSR	CR
	リセット値																													0	0	0	0
0x104	ETH_MMCRIR	予約済み														RGUFS	予約済み										RFAES	RFCES	予約済み				
	リセット値															0											0	0					
0x108	ETH_MMCTIR	予約済み										TGFS	予約済み					TGFMSCS	TGFSCS	予約済み													
	リセット値											0						0	0														
0x10C	ETH_MMCRIMR	予約済み														RGUFM	予約済み										RFAEM	RFCEM	予約済み				
	リセット値															0											0	0					
0x110	ETH_MMCTIMR	予約済み										TGFM	予約済み					TGFMSCM	TGFSCM	予約済み													
	リセット値											0						0	0														
0x14C	ETH_MMCTGFSCCR	TGFSCC																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x150	ETH_MMCTGFMSCCR	TGFMSCC																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x168	ETH_MMCTGFCR	TGFC																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x194	ETH_MMCRFCECR	RFCEC																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x198	ETH_MMCRFAECR	RFAEC																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x1C4	ETH_MMCRGUFCR	RGUFC																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x700	ETH_PTPTSCR	予約済み																										TTSARU	TSITE	TSSTU	TSSTI	TSFCU	TSE
	リセット値																											0	0	0	0	0	0
0x704	ETH_PTPSSIR	予約済み																								STSSI							
	リセット値																									0	0	0	0	0	0	0	0
0x708	ETH_PTPTSHR	STS[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x70C	ETH_PTPTSLR	STPNS	STSS																														
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x710	ETH_PTPTSHUR	TSUS																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x714	ETH_PTPTSLUR	TSUPNS	TSUSS																														
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表213.　イーサネットレジスタマップとリセット値（続き）

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x718	ETH_PTPTSAR	TSA																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x71C	ETH_PTPTTHR	TTSH																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x720	ETH_PTPTTLR	TTSL																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x1000	ETH_DMABMR	予約済み						AAB	FPM	USP	RDP						FB	RTPR		PBL						EDFE	DSL					DA	SR
	リセット値							0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1
0x1004	ETH_DMATPDR	TPD																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x1008	ETH_DMARPDR	RPD																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x100C	ETH_DMARDLAR	SRL																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x1010	ETH_DMATDLAR	STL																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x1014	ETH_DMASR	予約済み		TSTS	PMTS	MMCS	予約済み	EBS			TPS			RPS			NIS	AIS	ERS	FBES	予約済み		ETS	RWTS	RPSS	RBUS	RS	TUS	ROS	TJTS	TBUS	TPSS	TS
	リセット値			0	0	0		0	0	0	0	0	0	0	0	0	0	0	0	0			0	0	0	0	0	0	0	0	0	0	0
0x1018	ETH_DMAOMR	予約済み					DTCEFD	RSF	DFRF	予約済み		TSF	FTF	予約済み			TTC			ST	予約済み					FEF	FUGF	予約済み	RTC		OSF	SR	予約済み
	リセット値						0	0	0			0	0				0	0	0	0						0	0		0	0	0	0	
0x101C	ETH_DMAIER	予約済み															NISE	AISE	ERIE	FBEIE	予約済み		ETIE	RWTIE	RPSIE	RBUIE	RIE	TUIE	ROIE	TJTIE	TBUIE	TPSIE	TIE
	リセット値																0	0	0	0			0	0	0	0	0	0	0	0	0	0	0
0x1020	ETH_DMAMFBOCR	予約済み			OFOC	MFA											OMFC	MFC															
	リセット値				0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x1048	ETH_DMACHTDR	HTDAP																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x104C	ETH_DMACHRDR	HRDAP																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x1050	ETH_DMACHTBAR	HTBAP																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x1054	ETH_DMACHRBAR	HRBAP																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

レジスタ境界アドレスについては、*表 1（45 ページ）*を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

29 デバイス電子署名

小容量デバイスは、フラッシュメモリ容量が 16～32 KB の STM32F101xx、STM32F102xx、および STM32F103xx マイクロコントローラです。

中容量デバイスは、フラッシュメモリ容量が 64～128 KB の STM32F101xx、STM32F102xx、および STM32F103xx マイクロコントローラです。

大容量デバイスは、フラッシュメモリ容量が 256～512 KB の STM32F101xx および STM32F103xx マイクロコントローラです。

特大容量デバイスは、フラッシュメモリ容量が 768 KB～1 MB の STM32F101xx および STM32F103xx マイクロコントローラです。

コネクティビティラインデバイスは、STM32F105xx および STM32F107xx マイクロコントローラです。

このセクションは、別段の指定がない限り、STM32F10xxx ファミリ全体に適用されます。

電子署名は、フラッシュメモリモジュールのシステムメモリ領域に格納され、JTAG/SWD または CPU を使用して読み出すことができます。電子署名には、出荷時にプログラミングされた識別データが含まれています。このデータを使用すれば、ユーザファームウェアやその他の外部デバイスは、そのインタフェースを STM32F10xxx マイクロコントローラの特性に合わせて自動的に整合させることができます。

29.1 メモリサイズレジスタ

29.1.1 フラッシュサイズレジスタ

ベースアドレス：0x1FFF F7E0

読み出し専用　= 0xXXXX（X は出荷時にプログラミングされます）

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
F_SIZE															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 15:0 **F_SIZE**：フラッシュメモリサイズ
このフィールド値は、デバイスのフラッシュメモリサイズを KB 単位で示します。
例：0x0080 = 128 KB。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

29.2 ユニークデバイス ID レジスタ（96 ビット）

このユニークデバイス識別子は、以下の用途に最適です。

- シリアル番号（例：USB 文字列シリアル番号やその他のエンドアプリケーション）として使用
- 内部フラッシュメモリをプログラミングする前に、このユニーク ID をソフトウェア暗号プリミティブやプロトコルと組み合わせて使用する際に、フラッシュメモリ内のコードのセキュリティを高めるためのセキュリティキーとして使用
- セキュアなブートプロセスなどの起動

96 ビットのユニークデバイス識別子は、状況やデバイスの違いとは無関係にユニークなリファレンス番号を提供します。ユーザは、これらのビットを変更できません。

96 ビットのユニークデバイス識別子は、さまざまな方法で 1 バイト/ハーフワード/ワード単位で読み出し、カスタムアルゴリズムを使用して連結することもできます。

ベースアドレス：0x1FFF F7E8

アドレスオフセット：0x00

読み出し専用　= 0xXXXX（X は出荷時にプログラミングされます）

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
U_ID(15:0)															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 15:0 **U_ID(15:0)**：15:0 ユニーク ID ビット

アドレスオフセット：0x02

読み出し専用　= 0xXXXX（X は出荷時にプログラミングされます）

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
U_ID(31:16)															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 15:0 **U_ID(31:16)**：31:16 ユニーク ID ビット
このフィールド値は、将来の機能のためにも予約されています。

アドレスオフセット：0x04

読み出し専用　= 0xXXXX XXXX（X は出荷時にプログラミングされます）

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
U_ID(63:48)															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
U_ID(47:32)															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:0 **U_ID(63:32)**：63:32 ユニーク ID ビット

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

アドレスオフセット：0x08

読み出し専用　= 0xXXXX XXXX（X は出荷時にプログラミングされます）

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
U_ID(95:80)															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
U_ID(79:64)															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:0 **U_ID(95:64)** : *95:64 ユニーク ID ビット*

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

30 デバッグサポート（DBG）

小容量デバイスは、フラッシュメモリ容量が 16～32 KB の STM32F101xx、STM32F102xx、および STM32F103xx マイクロコントローラです。

中容量デバイスは、フラッシュメモリ容量が 64～128 KB の STM32F101xx、STM32F102xx、および STM32F103xx マイクロコントローラです。

大容量デバイスは、フラッシュメモリ容量が 256～512 KB の STM32F101xx および STM32F103xx マイクロコントローラです。

特大容量デバイスは、フラッシュメモリ容量が 768 KB～1 MB のSTM32F101xx および STM32F103xx マイクロコントローラです。

コネクティビティラインデバイスは、STM32F105xx および STM32F107xx マイクロコントローラです。

このセクションは、別段の指定がない限り、STM32F10xxx ファミリ全体に適用されます。

30.1 概要

STM32F10xxx は、Cortex-M3 コアを中心にして構築されており、高度なデバッグ機能のためのハードウェア拡張機能を含んでいます。デバッグ拡張機能によって、コアは、特定の命令フェッチ時（ブレークポイント）またはデータアクセス時（ウォッチポイント）に停止することができます。停止したとき、コアの内部状態とシステムの外部状態を調査することができます。調査が終わったら、コアとシステムを復元して、プログラム実行をリスタートすることができます。

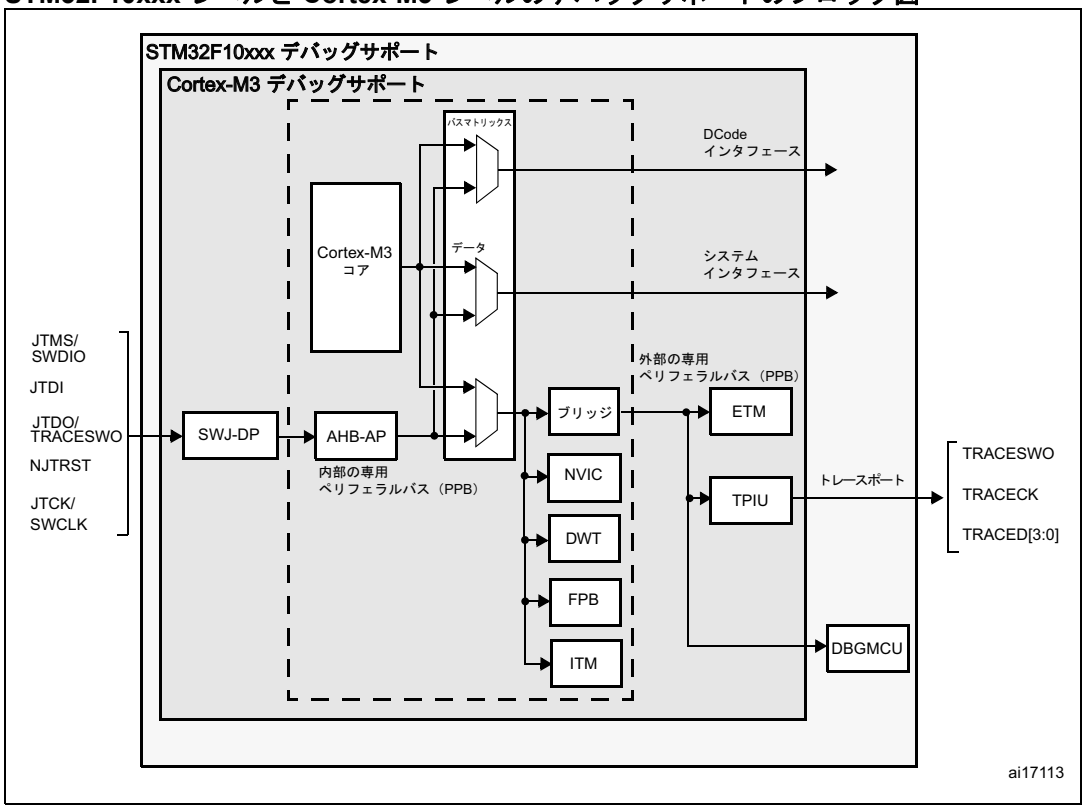
デバッグ機能は、デバッガホストによって、STM32F10xxx MCU への接続時とデバッグ時に使用されます。

デバッグ用に、次の 2 つのインタフェースを使用できます。

- シリアルワイヤ
- JTAG デバッグポート

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図360. STM32F10xxx レベルと Cortex-M3 レベルのデバッグサポートのブロック図



注： ***Cortex-M3 コアに内蔵されているデバッグ機能は、ARM CoreSight Design Kit のサブセットです。***

ARM Cortex-M3 コアは、以下の要素で構成される統合的なオンチップデバッグサポート機能を提供します。

- SWJ-DP：シリアルワイヤ/JTAG デバッグポート
- AHP-AP：AHB アクセスポート
- ITM：計測トレースマクロセル（Instrumentation Trace Macrocell）
- FPB：フラッシュパッチブレークポイント（Flash Patch Breakpoint）
- DWT：データウォッチポイントトリガ（Data Watchpoint Trigger）
- TPIU：トレースポートインタフェースユニット（Trace Port Interface Unit：対応するピンが配置される大型パッケージで使用）
- ETM：エンベデッドトレースマクロセル（Embedded Trace Macrocell：対応するピンが配置される大型パッケージで使用）

STM32F10xxx 専用の以下のデバッグ機能も内蔵されています。

- 柔軟性の高いデバッグピン配置
- MCU デバッグボックス（低電力モードのサポート、ペリフェラルクロックの制御など）

注： ***ARM Cortex-M3 コアでサポートされるデバッグ機能の詳細については、Cortex-M3-r1p1 Technical Reference Manual と CoreSight Design Kit-r1p0 TRM を参照してください(セクション 30.2:ARM リファレンス資料を参照)。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

30.2 ARM リファレンス資料

- Cortex™-M3 r1p1 Technical Reference Manual（TRM）
  次の URL から入手できます：
  http://infocenter.arm.com/help/topic/com.arm.doc.ddi0337e/DDI0337E_cortex_m3_r1p1_trm.pdf
- ARM Debug Interface V5
- ARM CoreSight Design Kit revision r1p1 Technical Reference Manual

30.3 SWJ デバッグポート（シリアルワイヤと JTAG）

STM32F10xxx コアには、シリアルワイヤ/JTAG デバッグポート（SWJ-DP）が組み込まれています。これは、JTAG-DP（5 ピン）インタフェースと SW-DP（2 ピン）インタフェースを組み合わせた ARM 標準の CoreSight デバッグポートです。

- JTAG デバッグポート（JTAG-DP）は、AHP-AP ポートに 5 ピンの標準 JTAG インタフェースを提供します。
- シリアルワイヤデバッグポート（SW-DP）は、AHP-AP ポートに 2 ピン（クロック + データ）のインタフェースを提供します。

SWJ-DP では、SW-DP の 2 個の JTAG ピンは、JTAG-DP の 5 個の JTAG ピンの一部と多重化されています。

図361. SWJ デバッグポート

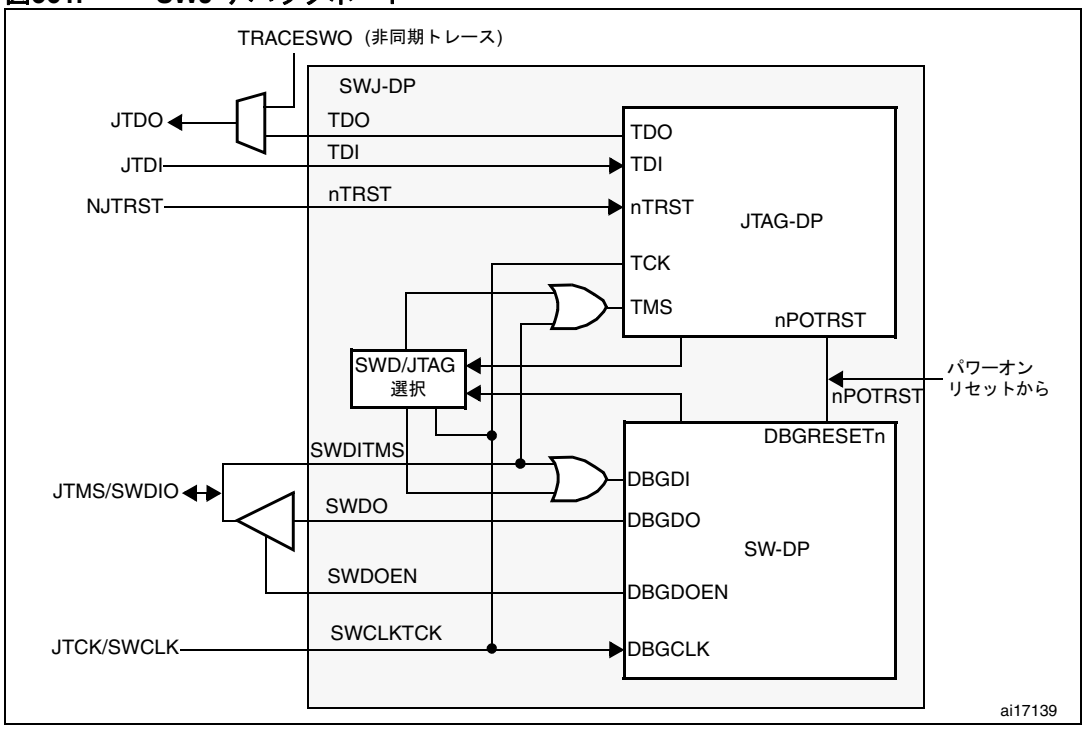


図 361 は、非同期 TRACE 出力（TRACESWO）が TDO と多重化されていることを示しています。これは、非同期トレースは、JTAG-DP ではなく、SW-DP でのみ使用できることを意味します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

30.3.1 JTAG-DP または SW-DP の選択メカニズム

デフォルトでは、JTAG デバッグポートが選択されています。

SW-DP に切り替えるには、デバッガホストは、TMS/TCK（それぞれ SWDIO/SWCLK に配置）に専用の JTAG シーケンスを提供して、JTAG-DP を無効にし SW-DP を有効にする必要があります。このように、SWCLKピン と SWDIO ピンのみを使用して、SW-DP を有効にすることができます。

このシーケンスは、

1. TMS（SWDIO）=1 で 50 を超える TCK サイクルを送信します。
2. TMS（SWDIO）に 16 ビットシーケンス（0111100111100111）を MSB ファーストで送信します。
3. TMS（SWDIO）=1 で 50 を超える TCK サイクルを送信します。

30.4 ピン名とデバッグポートピン

STM32F10xxx MCU は、ピン数の異なるさまざまなパッケージに組み込まれています。このため、ピンを使用する一部の機能（ETM）は、パッケージによって異なることがあります。

30.4.1 SWJ デバッグポートピン

汎用入出力の*オルタネート機能*として、5 本のピンが SWJ-DP 用の STM32F10xxx からの出力として使用されます。これらのピンはすべてのパッケージで使用できます。

表214. SWJ デバッグポートピン

SWJ-DP ピン名	JTAG デバッグポート		SW デバッグポート		ピン割り当て
	タイプ	説明	タイプ	デバッグ割り当て	
JTMS/SWDIO	I	JTAG テストモード選択	IO	シリアルワイヤデータ入出力	PA13
JTCK/SWCLK	I	JTAG テストクロック	I	シリアルワイヤクロック	PA14
JTDI	I	JTAG テストデータ入力	-	-	PA15
JTDO/TRACESWO	O	JTAG テストデータ出力	-	非同期トレースが有効な場合は TRACESWO	PB3
NJTRST	I	JTAG テスト nReset	-	-	PB4

30.4.2 柔軟性の高い SWJ-DP ピンの割り当て

RESET（SYSRESETn または PORESETn）後、SWJ-DP 用に使用される 5 本のピンはすべて、専用ピンとして割り当てられ、デバッガホストがすぐに使用できるようになります（なお、デバッガホストによって明示的にプログラミングされた場合を除いて、トレース出力は割り当てられません）。

ただし、STM32F10xxx MCU は、SWJ-DP ポートの一部または全部を無効にする *オルタネート機能の再配置とデバッグ入出力設定レジスタ（AFIO_MAPR）*レジスタを実装しているので、関連するピンを汎用入出力用に解放します。このレジスタは、Cortex-M3 システムバスに接続されている APB ブリッジに配置されます。このレジスタのプログラミングは、デバッガホストではなく、ユーザソフトウェアプログラムによって行われます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

SWJ-DP ピンの割り当て設定には、3 個の制御ビットを使用します。これらのビットは、システムリセットによってリセットされます。

- AFIO_MAPR（@ 0x40010004、STM32F10xxx MCU 内）
  - 読み出し：APB - ノーウェイトステート
  - 書き込み：APB - AHB-APB ブリッジの書き込みバッファがいっぱいの場合、1 ウェイトステート

  ビット 26:24= **SWJ_CFG[2:0]**

  ソフトウェアによってセット/クリアされます。

  これらのビットは、SWJ デバッグポートに割り当てられるピン数を設定するために使用されます。小さなサイズのデバッグポートを使用する場合、目標は、できるだけ多くのピンを汎用入出力として使用できるように解放することです。

  リセット後のデフォルト状態は"000"です（すべてのピンが JTAG-DP 接続用に割り当てられます）。3 ビット中の 1 ビットのみをセットできます（複数のビットをセットすることは禁止されています）。

表215. 柔軟性の高い SWJ-DP ピンの割り当て

使用可能なデバッグポート	SWJ IO ピンの割り当て				
	PA13 / JTMS/ SWDIO	PA14 / JTCK/ SWCLK	PA15 / JTDI	PB3 / JTDO	PB4/ NJTRST
全 SWJ（JTAG-DP + SW-DP）、リセット状態	X	X	X	X	X
全 SWJ（JTAG-DP + SW-DP）、NJTRST なし	X	X	X	X	
JTAG-DP 無効、SW-DP 有効	X	X			
JTAG-DP 無効、SW-DP 無効	解放				

注： ***APB ブリッジの書き込みバッファがいっぱいのとき、AFIO_MAPR レジスタへの書き込みには APB の 1 サイクル分が追加で必要になります。これは、コアの nTRST および TCK 入力信号でのクリーンレベルを保証するために、JTAGSW ピンの無効化が 2 サイクルで行われるからです。***

- サイクル 1：コアへの JTAGSW 入力信号は 1 または 0 に（nTRST、TDI、および TMS では 1 に、TCK では 0 に）接続されます。
- サイクル 2：GPIO コントローラが SWJTAG 入出力ピンの制御（方向、プルアップ/ダウン、シュミットトリガの有効化などの制御）信号を受け取ります。

30.4.3 JTAG ピンでの内部プルアップ/プルダウン

JTAG 入力ピンは、デバッグモード機能を制御するためにフリップフロップに直結されます。したがって、JTAG 入力ピンをフロート状態にしないことが必要です。これらのフリップフロップの一部のクロックに直結される SWCLK/TCK ピンについては、特に注意が必要です。

入出力レベルを正しく制御するため、STM32F10xxx には内部プルアップ/プルダウンが JTAG 入力ピンに内蔵されています。

- NJTRST：内部プルアップ
- JTDI：内部プルアップ
- JTMS/SWDIO：内部プルアップ
- TCK/SWCLK：内部プルダウン

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

JTAG 入出力がユーザソフトウェアによって解放されると、GPIO コントローラが再び制御権を獲得します。GPIO 制御レジスタのリセット状態によって、入出力は以下のような状態に置かれます。

- NJTRST：入力プルアップ
- JTDI：入力プルアップ
- JTMS/SWDIO：入力プルアップ
- JTCK/SWCLK：入力プルダウン
- JTDO：入力フローティング

これによって、ソフトウェアはこれらの入出力を標準 GPIO として使用できます。

注： ***JTAG IEEE 規格では、TDI、TMS、および nTRST にプルアップを追加することを推奨していますが、TCK に関しては特別な推奨はありません。ただし、STM32F10xxx に関しては、JTCK に内蔵プルダウンが使用されています。***

プルアップとプルダウンを内蔵しているため、外部抵抗を追加する必要がありません。

30.4.4 シリアルワイヤの使用と、未使用のデバッグピンを GPIO として解放する方法

シリアルワイヤ DP を使用して一部の GPIO を解放するには、ユーザソフトウェアは、リセット直後に SWJ_CFG=010 に設定する必要があります。これによって PA15、PB3、および PB4 が解放され、GPIO として使用できるようになります。

デバッグ時には、ホストは次の動作を行います。

- システムリセット中に、すべての SWJ ピンが割り当てられます（JTAG-DP + SW-DP）。
- システムリセット中に、デバッガホストは、JTAG-DP から SW-DP に切り替える JTAG シーケンスを送信します。
- システムリセット中に、さらに、デバッガはベクタリセットにブレークポイントを設定します。
- システムリセットは解除され、コアは停止します。
- これ以降のすべてのデバッグ通信は、SW-DP を使用して行われます。残りの JTAG ピンは、ユーザソフトウェアによって GPIO として再割り当てできます。

注： ***ユーザソフトウェアの設計に関しては、次の点に注意してください。***

デバッグピンを解放するには、リセット後にユーザソフトウェアがピンを解放するまでの一定の期間、デバッグピンは、まず、入力プルアップ（nTRST、TMS、TDI）、プルダウン（TCK）、または出力トライステート（TDO）に設定されることに注意してください。

デバッグピン（JTAG、SW、または TRACE）が配置されると、IOPORT コントローラの対応する入出力ピンの設定を変更しても効果はありません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

30.5 STM32F10xxx JTAG TAP 接続

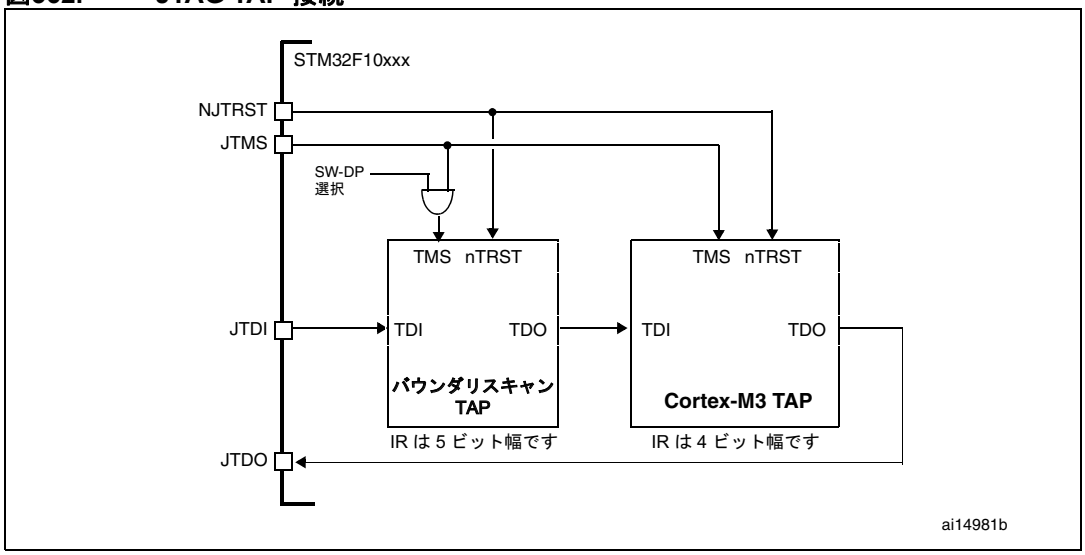
STM32F10xxx MCU は、バウンダリスキャン TAP（IR は 5 ビット幅）と Cortex-M3 TAP（IR は 4 ビット幅）という、シリアル接続された 2 個の JTAG TAP を内蔵しています。

デバッグ目的で Cortex-M3 の TAP にアクセスするには、

1. まず、バウンダリスキャン TAP の BYPASS 命令をシフトする必要があります。
2. 次に、IR シフトごとに、スキャンチェインには 9 (=5+4) ビットが格納され、未使用の TAP 命令を BYPASS 命令によってシフトインする必要があります。
3. データシフトごとに、BYPASS モードにある未使用の TAP は、データスキャンチェインに 1 個のデータビットを追加します。

注： ***重要：専用の ARM JTAG シーケンスを使用してシリアルワイヤが選択されると、バウンダリスキャン TAP は自動的に無効になります（JTMS は強制的にハイレベルになります）。***

図362. JTAG TAP 接続



30.6 ID コードとロック機構

STM32F10xxx MCU には、内部にいくつかの ID コードがあります。ツール設計者は、外部 PPB メモリマップのアドレス 0xE0042000 に配置されている MCU デバイス ID コードを使用して、デバッガをロックすることを強く推奨します。

30.6.1 MCU デバイス ID コード

STM32F10xxx MCU には MCU ID コードが内蔵されています。この ID は、ST MCU の部品番号とダイのリビジョンを識別します。これは DBG_MCU 部品の一部であり、外部 PPB バスに配置されます（*セクション 30.16（1058 ページ）*を参照）。このコードにアクセスするには、JTAG デバッグポート（4～5 本のピン）、SW デバッグポート（2 本のピン）、またはユーザソフトウェアを使用します。アクセスは MCU がシステムリセット中でも可能です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

DBGMCU_IDCODE

アドレス：0xE0042000

32 ビットアクセスのみサポートされます。読み出し専用。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
REV_ID															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み				DEV_ID											
				r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:16 **REV_ID(15:0)**：リビジョン識別子

このフィールドは、デバイスのリビジョンを示します。

小容量デバイス：

– 0x1000 = リビジョン A

中容量デバイス：

– 0x0000 = リビジョン A

– 0x2000 = リビジョン B

– 0x2001 = リビジョン Z

– 0x2003 = リビジョン Y

大容量デバイス：

– 0x1000 = リビジョン A

– 0x1001 = リビジョン Z

– 0x1003 = リビジョン Y

特大容量デバイス：

– 0x1000 = リビジョン A

コネクティビティラインデバイス：

– 0x1000 = リビジョン A

– 0x1001 = リビジョン Z

ビット 15:12 予約済み

ビット 11:0 **DEV_ID(11:0)**：デバイス識別子

このフィールドは、デバイス ID を示します。

小容量デバイスでは、デバイス ID は 0x412 です。

中容量デバイスでは、デバイス ID は 0x410 です。

大容量デバイスでは、デバイス ID は 0x414 です。

特大容量デバイスでは、デバイス ID は 0x430 です。

コネクティビティデバイスでは、デバイス ID は 0x418 です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

30.6.2 バウンダリスキャン TAP

JTAG ID コード

STM32F10xxx BSC（バウンダリスキャン）の TAP は、次の値に等しい JTAG ID コードを内蔵しています。

- 小容量デバイス：
  - 0x06412041 = リビジョン A
- 中容量デバイス：
  - 0x06410041 = リビジョン A
  - 0x16410041 = リビジョン B、リビジョン Z、およびリビジョン Y
- 大容量デバイス：
  - 0x06414041 = リビジョン A、リビジョン Z、およびリビジョン Y
- 特大容量デバイス：
  - 0x06430041 = リビジョン A
- コネクティビティラインデバイス：
  - 0x06418041 = リビジョン A およびリビジョン Z

30.6.3 Cortex-M3 TAP

ARM Cortex-M3 の TAP は、JTAG ID コードを内蔵しています。この ID コードは ARM のデフォルトであり、変更されていません。このコードは、JTAG デバッグポートからのみアクセスできます。このコードは **0x3BA00477 です**（Cortex-M3 r1p1-01rel0に対応、*セクション 30.2 : ARM リファレンス資料*を参照）。

デバッガ/プログラマツールでは、DEV_ID(11:0) のみを識別に使用してください。

30.6.4 Cortex-M3 JEDEC-106 ID コード

ARM Cortex-M3 は JEDEC-106 ID コードを内蔵しています。これは内部 PPB バスのアドレス 0xE00FF000_0xE00FFFFF に配置された 4KB ROM テーブルに置かれています。

このコードは、JTAG デバッグポート（4～5 本のピン）、SW デバッグポート（2 本の ピン）、またはユーザソフトウェアによってアクセスできます。

30.7 JTAG デバッグポート

標準的な JTAG ステートマシンは、4 ビット命令レジスタ（IR）と 5 個のデータレジスタを搭載しています（詳細については、*Cortex-M3* r1p1 Technical *Reference Manual（TRM）と セクション 30.2 : ARM リファレンス資料を参照）。*

表216. JTAG デバッグポートのデータレジスタ

IR(3:0)	データレジスタ	詳細
1111	BYPASS [1 ビット]	
1110	IDCODE [32 ビット]	*ID コード* 0x3BA00477（ARM Cortex-M3 r1p1-01rel0 ID コード）

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表216. JTAG デバッグポートのデータレジスタ（続き）

IR(3:0)	データレジスタ	詳細
1010	DPACC [35 ビット]	*デバッグポートアクセスレジスタ* デバッグポートを初期化し、デバッグポートレジスタへのアクセスを可能にします。 – 入力データ転送時： ビット 34:3 = DATA[31:0] = 書き込みリクエスト用に転送する 32 ビットデータ ビット 2:1 = A[3:2] = デバッグポートレジスタの 2 ビットアドレス ビット 0 = RnW = 読み出しリクエスト（1）または書き込みリクエスト（0） – 出力データ転送時： ビット 34:3 = DATA[31:0] = 読み出しリクエストに続いて読み出される 32 ビットデータ ビット 2:0 = ACK[2:0] = 3 ビット確認応答： 010 = OK/FAULT 001 = WAIT その他 = 予約済み A(3:2) ビットの説明については、*表 217* を参照してください。
1011	APACC [35 ビット]	*アクセスポートアクセスレジスタ* アクセスポートを初期化し、アクセスポートレジスタへのアクセスを可能にします。 – 入力データ転送時： ビット 34:3 = DATA[31:0] = 書き込みリクエスト用にシフトインする 32 ビットデータ ビット 2:1 = A[3:2] = 2 ビットアドレス（サブアドレス AP レジスタ） ビット 0 = RnW = 読み出しリクエスト（1）または書き込みリクエスト（0） – 出力データ転送時： ビット 34:3 = DATA[31:0] = 読み出しリクエストに続いて読み出される 32 ビットデータ ビット 2:0 = ACK[2:0] = 3 ビット確認応答： 010 = OK/FAULT 001 = WAIT その他 = 予約済み 次の項目の組み合わせとして、多くの AP レジスタ（AHB-AP を参照）をアドレス指定します。 – シフトされた値 A[3:2] – DP SELECT レジスタの現在値
1000	ABORT [35 ビット]	*アボートレジスタ* – ビット 31:1 = 予約済み – ビット 0 = DAPABORT：DAP アボートを生成するには 1 を書き込みます

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表217. シフトされた値 A[3:2] によってアドレス指定される 32 ビットデバッグポートレジスタ

アドレス	A(3:2) の値	説明
0x0	00	予約済み
0x4	01	DP CTRL/STAT レジスタ .次の目的で使用されます。 – システムまたはデバッグのパワーアップリクエスト – AP アクセス用の転送動作設定 – プッシュト比較およびプッシュト検証動作の制御 – ステータスフラグ（オーバーラン、パワーアップ確認応答）の読み出し
0x8	10	DP SELECT レジスタ : 現在のアクセスポートと有効な 4 ワードレジスタウィンドウの選択に使用されます。 – ビット 31:24 : APSEL : 現在の AP を選択します – ビット 23:8 = 予約済み – ビット 7:4 : APBANKSEL : 現在の AP 上で有効な 4 ワードレジスタウィンドウを選択します – ビット 3:0 = 予約済み
0xC	11	DP RDBUFF レジスタ : 一連の動作の後で（新しい JTAG-DP 動作をリクエストせずに）、デバッガが最終結果を得られるようにします。

30.8 SW デバッグポート

30.8.1 SW プロトコルの概要

この同期式シリアルプロトコルでは、2 本のピンを使用します。

- SWCLK : ホストからターゲットへのクロック
- SWDIO : 双方向

このプロトコルでは、2 バンクのレジスタ（DPACC レジスタと APACC レジスタ）の読み出し/書き込みが可能です。

ビットは、ワイヤ上を LSB ファーストで転送されます。

SWDIO を双方向管理するには、ボード上でラインがプルアップされている必要があります（ARM の推奨値は 100 kΩ です）。

プロトコルで SWDIO の方向が変化するたびに、ラインがホストからもターゲットからも駆動されないターンアラウンド時間が挿入されます。このターンアラウンド時間のデフォルトは 1 ビット時間ですが、SWCLK 周波数の設定によって調整できます。

30.8.2 SW プロトコルシーケンス

各シーケンスは 3 つのフェーズから構成されます。

1. ホストによって送信されるパケットリクエスト（8 ビット）
2. ターゲットによって送信される確認応答（3 ビット）
3. ホストまたはターゲットによって送信されるデータ転送フェーズ（33 ビット）

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表218. パケットリクエスト（8 ビット）

ビット	名称	説明
0	START	“1”であることが必要です
1	APnDP	0：DP アクセス 1：AP アクセス
2	RnW	0：書き込みリクエスト 1：読み出しリクエスト
4:3	A(3:2)	DP/AP レジスタのアドレスフィールド（*表 217* を参照）
5	Parity	先行するビットの 1 ビットパリティ
6	STOP	0
7	Park	ホストによって駆動されません。プルアップの効果で、ターゲットには”1”と読み出される必要があります。

DPACC レジスタと APACC レジスタの詳細については、*Cortex-M3* r1p1 *TRM* を参照してください。

パケットリクエストの後には、ホストもターゲットもラインを駆動しないターンアラウンド時間（デフォルトでは 1 ビット）が続きます。

表219. ACK 応答（3 ビット）

ビット	名称	説明
0..2	ACK	001：FAULT 010：WAIT 100：OK

READ トランザクションである場合や、WAIT または FAULT 確認応答が受信された場合にのみ、ACK 応答の後にターンアラウンド時間が続く必要があります。

表220. DATA 転送（33 ビット）

ビット	名称	説明
0..31	WDATA または RDATA	書き込み/読み出しデータ
32	Parity	32 データビットの 1 ビットパリティ

READ トランザクションの場合にのみ、DATA 転送の後にターンアラウンド時間が続く必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

30.8.3 SW-DP ステートマシン（リセット、アイドル状態、ID コード）

SW-DP のステートマシンには、SW-DP を識別する、JEP-106 規格に準じた内部 ID コードがあります。この ID コードは、ARM のデフォルトであり、**0x1BA01477**（Cortex-M3 r1p1 に対応）がセットされています。

注： ***SW-DP ステートマシンは、ターゲットがこの ID コードを読み出すまで無効であることに注意してください。***

- パワーオンリセット後、または DP が JTAG から SWD に切り替えられた後、またはラインが 50 サイクルを超えてハイレベルにあった後では、SW-DP ステートマシンは RESET 状態になります。
- RESET 状態の後、ラインが 2 サイクル以上の間ローレベルである場合、SW-DP ステートマシンは IDLE 状態になります。
- RESET 状態の後は、まず IDLE 状態に入り、DP-SW ID CODE レジスタの読み出しアクセスを行う必要があります。さもなければ、ターゲットは、他のトランザクションに対して FAULT 確認応答を発行します。

SW-DP ステートマシンの詳細については、*Cortex-M3 r1p1 TRM* および *CoreSight Design Kit r1p0 TRM* を参照してください。

30.8.4 DP と AP の読み出し/書き込みアクセス

- DP への読み出しアクセスはポストされません。ターゲットは、ACK=OK の場合は直ちに応答し、ACK=WAIT の場合は遅れて応答します。
- AP への読み出しアクセスはポストされます。つまり、アクセスの結果は次の転送時に返されます。次のアクセスが AP アクセスでない場合、結果を得るには DP-RDBUFF レジスタを読み出す必要があります。
  AP 読み出しアクセスが成功したかどうかを判断するため、DP-CTRL/STAT レジスタの READOK フラグは、AP 読み出しアクセスまたは RDBUFF 読み出しリクエストのたびに更新されます。
- SW-DP は、DP/AP 書き込み用の書き込みバッファを実装しているため、たとえ他のトランザクションが未処理であっても、書き込み動作を受付けることができます。書き込みバッファがいっぱいのとき、ターゲットの確認応答は”WAIT”です。ただし、IDCODE 読み出し、CTRL/STAT 読み出し、および ABORT 書き込みは、書き込みバッファがいっぱいであっても受け付けられます。
- 非同期クロックドメイン SWCLK と HCLK によって、書き込みを内部的に有効にするには、書き込みトランザクション後（パリティビット後）に SWCLK の 2 サイクルが余分に必要となります。これらのサイクルは、ラインをローレベルに駆動している間（IDLE 状態）に適用してください。
  これは、パワーアップリクエストのために CTRL/STAT の書き込みを行う際に特に重要です。パワーアップを必要とする次のトランザクションが直ちに発生すると、そのトランザクションは失敗します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

30.8.5 SW-DP レジスタ

これらのレジスタへのアクセスは、APnDP=0 のときに開始されます。

表221. SW-DP レジスタ

A(3:2)	R/W	SELECT レジスタの CTRLSEL ビット	レジスタ	注
00	読み出し		IDCODE	製造者コードは ST 社のコードではありません。0x1BA01477（SW-DP を識別します）。
00	書き込み		ABORT	
01	読み出し / 書き込み	0	DP-CTRL/STAT	用途は、 – システム/デバッグパワーアップのリクエスト – AP アクセス用の転送動作の設定 – プッシュト比較/プッシュト検証動作の制御 – ステータスフラグの読み出し（オーバーラン、パワーアップ確認応答）
01	読み出し / 書き込み	1	WIRE CONTROL	物理的なシリアルポートプロトコルの設定（ターンアラウンド時間など）
10	読み出し		READ RESEND	元の AP 転送を反復しなくても、破壊されたデバッガ転送からの読み出しデータの復旧を可能にします。
10	書き込み		SELECT	現在のアクセスポートと有効な 4 ワードレジスタウィンドウを選択します。
11	読み出し / 書き込み		READ BUFFER	AP アクセスはポストされるため、この読み出しバッファは効果的です（AP 読み出しリクエストの結果は、次の AP トランザクションで得られます）。 この読み出しバッファは、新しいトランザクションを開始することなく、前回の読み出しの結果として AP から出力されるデータをキャプチャします。

30.8.6 SW-AP レジスタ

これらのレジスタへのアクセスは、APnDP=1 のときに開始されます。

次の項目の組み合わせとして、多くの AP レジスタ（AHB-AP を参照）をアドレス指定します。

- シフトされた値 A[3:2]
- DP SELECT レジスタの現在値

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

30.9 AHB-AP（AHB アクセスポート）- JTAG-DP と SW-DP の両方に有効

機能：

- システムアクセスはプロセッサステータスと独立
- SW-DP または JTAG-DP が AHB-AP にアクセス
- AHB-AP はバスマトリックスの AHB マスタです。したがって、AHB-AP は ICode バスを除くすべてのデータバス（Dcode バス、システムバス、内部/外部の PPB バス）にアクセスできます。
- ビットバンドトランザクションがサポートされます。
- AHB-AP トランザクションは FPB を迂回します。

32 ビット AHB-AP レジスタは 6 ビット幅（最大 64 ワードまたは 256 バイト）であり、以下の構成となっています。

c) ビット [7:4] = DP_SELECT レジスタのビット [7:4] APBANKSEL

d) ビット [3:2] = SW-DP 用の 35 ビットパケットリクエストの 2 ビットアドレス A(3:2)

Cortex-M3 の AHB-AP は、9 個の 32 ビットレジスタを内蔵しています。

表222. Cortex-M3 AHB-AP レジスタ

アドレスオフセット	レジスタ名	注
0x00	AHB-AP 制御およびステータスワード	AHB インタフェースを通じて転送を設定および制御します（サイズ、hprot、現在の転送のステータス、アドレスインクリメントタイプ）。
0x04	AHB-AP 転送アドレス	
0x0C	AHB-AP データ読み出し/書き込み	
0x10	AHB-AP バンクデータ 0	転送アドレスレジスタを書き換えずに、4 個のアラインドデータワードを直接配置します。
0x14	AHB-AP バンクデータ 1	
0x18	AHB-AP バンクデータ 2	
0x1C	AHB-AP バンクデータ 3	
0xF8	AHB-AP デバッグ ROM アドレス	デバッグインタフェースのベースアドレス
0xFC	AHB-AP ID レジスタ	

詳細については、*Cortex-M3 r1p1 TRM* を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

30.10 コアデバッグ

コアデバッグはコアデバッグレジスタを通じてアクセスされます。これらのレジスタへのデバッグアクセスには、*Advanced High-performance Bus*（AHB-AP）ポートを使用します。プロセッサは、内部の*専用ペリフェラルバス*（PPB）を介してこれらのレジスタに直接アクセスできます。

コアデバッグは 4 個のレジスタから構成されています。

表223. コアデバッグレジスタ

レジスタ	説明
DHCSR	*32 ビットのデバッグホールト制御/ステータスレジスタ* プロセッサの状態についてのステータス情報を提供し、コアデバッグを有効にし、プロセッサのホールトとステップ実行を行います。
DCRSR	*17 ビットのデバッグコアレジスタセレクタレジスタ：* データの転送先または転送元となるプロセッサレジスタを選択します。
DCRDR	*32 ビットのデバッグコアレジスタデータレジスタ：* DCRSR（セレクタ）レジスタによって選択されたプロセッサとの間でレジスタの読み出しと書き込みを行うためのデータを保持します。
DEMCR	*32 ビットのデバッグ例外/モニタ制御レジスタ：* ベクタキャッチとデバッグモニタの制御を行います。このレジスタには、TRACE を使用できるようにする ***TRCENA*** というビットがあります。

注： ***重要：これらのレジスタは、システムリセットによってはリセットされません。パワーオンリセットによってのみリセットされます。***

詳細については *Cortex-M3* r1p*1 TRM* を参照してください。

リセット時に停止させるには、

- デバッグ例外/モニタ制御レジスタのビット 0（VC_CORRESET）を有効にします。
- デバッグホールト制御/ステータスレジスタのビット 0（C_DEBUGEN）を有効にします。

30.11 システムリセット中のデバッガホスト接続機能

STM32F10xxx MCU のリセットシステムは、次のリセットソースから構成されます。

- POR（パワーオンリセット）：パワーアップのたびに RESET をアサートします。
- 内部ウォッチドッグリセット
- ソフトウェアリセット
- 外部リセット

Cortex-M3 では、デバッグ部のリセット（一般に PORRESETn）とそれ以外のリセット（SYSRESETn）が区別されます。

こうすれば、リセットベクタをフェッチするときにコアを停止させるようコアデバッグレジスタをプログラミングすることで、デバッガはシステムリセット中に接続が可能になります。これによってホストはシステムリセットを解除でき、コアは命令を実行しなくても、ただちに停止します。さらに、システムリセット中にデバッグ機能をプログラミングできます。

注： ***システムリセット中にデバッガホストを接続する（リセットベクタにブレークポイントを設定する）ことを強く推奨します。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

30.12 FPB（フラッシュパッチブレークポイント）

FPB ユニットは、

- ハードウェアブレークポイントを実装します。
- コード空間からシステム空間に、コードとデータをパッチします。この機能によって、コードメモリ空間にあるソフトウェアバグの訂正が可能になることがあります。

ソフトウェアパッチとハードウェアブレークポイントは同時に使用できません。

FPB は以下から構成されます。

- コード空間からのリテラルロードと照合し、システム空間内の対応する領域に再配置する 2 個のリテラルコンパレータ。
- コード空間からの命令フェッチと照合する 6 個の命令コンパレータ。命令コンパレータを使用すると、システム空間内の対応する領域に再配置したり、コアへのブレークポイント命令を生成したりできます。

30.13 DWT（データウォッチポイントトリガ）

DWT ユニットは 4 個のコンパレータから構成されており、次の用途に設定できます。

- ハードウェアウォッチポイント
- ETM へのトリガ
- PC サンプラ
- データアドレスサンプラ

DWT は、プロファイル情報を提供することもできます。このため、次の数を得るためのカウンタにアクセスできます。

- クロックサイクル数
- フォールドされた命令数
- ロードストアユニット（LSU）の動作数
- スリープサイクル数
- CPI（命令あたりのクロック数）
- 割り込みオーバーヘッドの回数

30.14 ITM（計測トレースマクロセル）

30.14.1 概要

ITMは、アプリケーション駆動のトレースソースであり、*オペレーティングシステム*（OS）やアプリケーションのイベントをトレースする *printf* 方式のデバッグをサポートし、システムの診断情報を発行します。ITM がパケットとして発行するトレース情報は、次のように生成できます。

- **ソフトウェアトレース**：ソフトウェアは、ITM スティムラスレジスタに直接書き込みを行って、パケットを発行できます。
- **ハードウェアトレース**：DWT がパケットを生成し、ITM がそれを発行します。
- **タイムスタンプ**：タイムスタンプはパケットを基準にして発行されます。ITM は、タイムスタンプを生成するための 21 ビットカウンタを内蔵しています。カウンタは、Cortex-M3 クロックまたは*シリアルワイヤ ビューア*（SWV）出力のビットクロックレートによって駆動されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ITM によって発行されたパケットは、TPIU（トレースポートインタフェースユニット）に出力されます。TPIU のフォーマッタは、いくつかのパケットを追加してから（TPIU を参照）、完全なパケットシーケンスをデバッガホストに出力します。

ITM をプログラミングまたは使用するには、その前に、デバッグ例外/モニタ制御レジスタの TRCEN ビットを有効にする必要があります。

30.14.2 タイムスタンプパケット、同期、およびオーバーフローパケット

タイムスタンプパケットは、タイムスタンプ情報や一般的な制御および同期情報をコード化します。そのために使用される 21 ビットのタイムスタンプカウンタ（プリスケーラ付きの場合もあります）は、タイムスタンプパケットが発行されるたびにリセットされます。このカウンタは、CPU クロックまたは SWV クロックによって駆動できます。

同期パケットは 6 バイトの値 0x80_00_00_00_00_00 から構成され、TPIU には 00 00 00 00 00 80 として LSB ファーストで発行されます。

同期パケットはタイムスタンプ制御のためのパケットで、DWT トリガのたびに発行されます。

このため、DWT 制御レジスタの CYCCNTENA（ビット 0）をセットして、ITM をトリガするように DWT を設定する必要があります。

注： ***SYNENA ビットがセットされていない場合、DWT は TPIU への同期トリガを生成し、TPIU 同期パケットのみが送信され、ITM 同期パケットは送信されません。***

オーバーフローパケットは、データの書き込み時に FIFO がいっぱいであったことを示す特殊なタイムスタンプパケットで構成されます。

表224. 主な ITM レジスタ

アドレス	レジスタ	詳細
@E0000FB0	ITM ロックアクセス	他の ITM レジスタへの書き込みアクセスをロック解除するには、0xC5ACCE55 を書き込みます。
@E0000E80	ITM トレース制御	ビット 31-24 = 常に 0
		ビット 23 = ビジー
		ビット 22-16 = トレースデータのソースを識別する 7 ビットの ATB ID
		ビット 15-10 = 常に 0
		ビット 9:8 = TSPrescale = タイムスタンププリスケーラ
		ビット 7-5 = 予約済み
		ビット 4 = SWOENA = SWV 動作（タイムスタンプカウンタを SWV クロックによって駆動）を有効にします。
		ビット 3 = DWTENA：DWT スティムラスを有効にします。
		ビット 2 = SYNCENA：DWT が同期トリガを生成して TPIU が同期パケットを発行できるようにするには、このビットを 1 にする必要があります。
		ビット 1 = TSENA（タイムスタンプイネーブル）
		ビット 0 = ITMENA：ITM のグローバルイネーブルビット
@E0000E40	ITM トレース特権	ビット 3：ポート 31:24 のトレースを有効にするマスク
		ビット 2：ポート 23:16 のトレースを有効にするマスク
		ビット 1：ポート 15:8 のトレースを有効にするマスク
		ビット 0：ポート 7:0 のトレースを有効にするマスク

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表224. 主な ITM レジスタ（続き）

アドレス	レジスタ	詳細
@E0000E00	ITM トレースイネーブル	各ビットは、トレースを生成するために対応するスティムラスポートを有効にします。
@E0000000-E000007C	スティムラスポートレジスタ 0-31	選択されたスティムラスポート（32 個まで）に 32 ビットデータを書き込んでトレース出力します。

設定例

TPIU に単純な値を出力するには、

- TPIU を設定し、DBGMCU_CR を設定することによって TRACE 入出力を割り当てます（*セクション 30.17.2 : TRACE ピンの割り当て* と *セクション 30.16.3 : デバッグ MCU 設定レジスタ* を参照）。
- ITM ロックアクセスレジスタに 0xC5ACCE55 を書き込んで、ITM レジスタへの書き込みアクセスをロック解除します。
- ITM トレース制御レジスタに 0x00010005 を書き込んで、同期を有効にした状態で ITM を有効にし、ATB ID を 0x00 以外の値にします。
- ITM トレースイネーブルレジスタに 0x1 を 書き込んで、スティムラスポート 0 を有効にします。
- ITM トレース特権レジスタに 0x1 を 書き込んで、スティムラスポート 7:0 をマスク解除します。
- 出力する値をスティムラスポートレジスタ 0 に書き込みます。これにはソフトウェア（printf 関数）を使用します。

30.15 ETM（組み込みトレースマクロセル）

30.15.1 概要

ETM はプログラム実行の再構築を有効にします。データはデータウォッチポイントおよびトレース（DWT）コンポーネントまたは計測トレースマクロセル（ITM）を使用してトレースされます。一方、命令は組み込みトレースマクロセル（ETM）を使用してトレースされます。

ETMは、情報をパケットとして送信し、埋め込みリソースによってトリガされます。これらのリソースは個別にプログラミングする必要があり、トリガソースの選択にはトリガイベントレジスタ（0xE0041008）を使用します。イベントは、単一イベント（アドレスコンパレータからのアドレスマッチ）または 2 つのイベント間の論理式とすることができます。トリガソースは、DWT モジュールの 4 番目のコンパレータの 1 つです。次のイベントを監視できます。

- クロックサイクルマッチング
- データアドレスマッチング

トリガリソースの詳細については、*セクション 30.13 : DWT（データウォッチポイントトリガ）* を参照してください。

ETM によって送信されたパケットは、TPIU（トレースポートインタフェースユニット）に出力されます。TPIU のフォーマッタは、いくつかのパケットを追加してから（*セクション 30.17 : TPIU（トレースポートインタフェースユニット）* を参照）、完全なパケットシーケンスをデバッガホストに出力します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

30.15.2 信号プロトコル、パケットタイプ

これについては、ARM IHI 0014N ドキュメントの第 7 章「ETMv3 信号プロトコル」を参照してください。

30.15.3 主な ETM レジスタ

レジスタの詳細については、ARM IHI 0014N 仕様の第 3 章を参照してください。

表225. 主な ETM レジスタ

アドレス	レジスタ	詳細
0xE0041FB0	ETM ロックアクセス	他の ETM レジスタへの書き込みアクセスをロック解除するには、0xC5ACCE55 を書き込みます。
0xE0041000	ETM 制御	このレジスタは、ETM の一般的な動作（たとえば、トレースを有効にする方法）を制御します。
0xE0041010	ETM ステータス	このレジスタは、トレースおよびトリガロジックの現在のステータスに関する情報を提供します。
0xE0041008	ETM トリガイベント	このレジスタは、トリガを制御するイベントを定義します。
0xE004101C	ETM トレースイネーブル制御	このレジスタは、どのコンパレータが選択されるかを定義します。
0xE0041020	ETM トレースイネーブルイベント	このレジスタは、トレース有効化イベントを定義します。
0xE0041024	ETM トレース開始/停止	このレジスタは、トレースをそれぞれ開始および停止するためにトリガソースによって使用されるトレースを定義します。

30.15.4 設定例

TPIU に単純な値を出力するには、

- TPIU を設定し、I/IO_TRACEN を有効にして特大容量および大容量デバイスのデバッグ設定レジスタに TRACE IO を割り当てます。
- ETM ロックアクセスレジスタに 0xC5ACCE55 を書き込んで、ITM レジスタへの書き込みアクセスをロック解除します。
- 制御レジスタに 0x00001D1E を書き込みます（トレースを設定します）。
- トリガイベントレジスタに 0000406F を書き込みます（トリガイベントを定義します）。
- トレースイネーブルイベントレジスタに 0000006F を書き込みます（開始/停止するイベントを定義します）。
- トレース開始/停止レジスタに 00000001 を書き込みます（トレースを有効にします）。
- ETM 制御レジスタに 0000191E を書き込みます（設定の終了）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

30.16 MCU デバッグコンポーネント（DBGMCU）

MCU デバッグコンポーネントは、デバッガによる次のサポート機能を支援します。

- 低電力モード
- ブレークポイントにおける、タイマ、ウォッチドッグ、I2C、および bxCAN のクロック制御
- TRACE ピンの割り当て制御

30.16.1 低電力モードのデバッグサポート

低電力モードに入るには、WFI または WFE 命令を実行する必要があります。

MCU はいくつかの低電力モードを実装しており、CPU クロックを無効にしたり、CPU の消費電力を低減したりすることができます。

デバッグセッション中には、FCLK や HCLK をオフにすることはできません。これらは、デバッグ時のデバッガ接続に必要なので、有効な状態に保つ必要があります。MCU は、ユーザが低電力モードでソフトウェアをデバッグするための特殊な手段を備えています。

このため、デバッガホストは、最初にいくつかのデバッグ設定レジスタをセットして、低電力モード動作を変更する必要があります。

- SLEEP モードでは、DBGMCU_CR レジスタの DBG_SLEEP ビットをデバッガによって事前にセットする必要があります。これによって、HCLK には FCLK と同じクロックが供給されます（システムクロックはソフトウェアによって事前に設定されています）。
- STOP モードでは、DBG_STOP ビットをデバッガによって事前にセットする必要があります。これによって、内部 RC オシレータが、STOP モードで FCLK と HCLK にクロックを供給できます。

30.16.2 タイマ、ウォッチドッグ、bxCAN、および I^2C のデバッグサポート

ブレークポイントにおいては、タイマのカウンタやウォッチドッグの動作方法を選択する必要があります。

- ブレークポイントの中でもカウントを継続できます。これは、たとえば、PWM がモータを制御しているときに一般的に必要です。
- ブレークポイントの中でカウントを停止できます。これはウォッチドッグ用に必要です。

bxCAN の場合、ブレークポイントにおいては受信レジスタの更新をブロックするように選択できます。

I^2C の場合、ブレークポイントにおいては SMBUS タイムアウトをブロックするように選択できます。

30.16.3 デバッグ MCU 設定レジスタ

このレジスタを使用して、デバッグ中に MCU を設定できます。次の設定が可能です。

- 低電力モードのサポート
- タイマおよびウォッチドッグカウンタのサポート
- bxCAN 通信のサポート
- TRACE ピンの割り当て

この DBGMCU_CR は、アドレス 0xE0042004 にある外部 PPB バスに配置されます。

このレジスタは PORESET によって非同期にリセットされます（システムリセットではありません）。システムリセット中に、デバッガによって書き込みが可能です。

デバッガホストがこれらの機能をサポートしない場合でも、ユーザソフトウェアによってこれらのレジスタへの書き込みが可能です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

DBGMCU_CR

アドレス：0xE004 2004

32 ビットアクセスのみサポートされます。

POR リセット：0x0000 0000（システムリセットではリセットされません）

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み	DBG_TIM11_STOP	DBG_TIM10_STOP	DBG_TIM9_STOP	DBG_TIM14_STOP	DBG_TIM13_STOP	DBG_TIM12_STOP	予約済み			DGB_CAN2_STOP	DBG_TIM7_STOP	DBG_TIM6_STOP	DBG_TIM5_STOP	DBG_TIM8_STOP	DBG_I2C2_SMBUS_TIMEOUT
	rw	rw	rw	rw	rw	rw				rw	rw	rw	rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DBG_I2C1_SMBUS_TIMEOUT	DBG_CAN1_STOP	DBG_TIM4_STOP	DBG_TIM3_STOP	DBG_TIM2_STOP	DBG_TIM1_STOP	DBG_WWDG_STOP	DBG_IWDG STOP	TRACE_MODE [1:0]		TRACE_IOEN	予約済み		DBG_STANDBY	DBG_STOP	DBG_SLEEP
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw			rw	rw	rw

ビット 31　予約済み、クリア状態を保つ必要があります。

ビット 30:25　**DBG_TIMx_STOP**：コア停止時に TIMx カウンタは停止（x=9..14）
0：コアが停止した場合も当該タイマカウンタのクロックは供給され、出力は通常動作です。
1：コアが停止すると、当該タイマカウンタのクロックは停止し、出力は無効になります（ブレークイベントによる緊急停止の場合と同様）。

ビット 24:22　予約済み、クリア状態を保つ必要があります。

ビット 21　**DBG_CAN2_STOP**：コア停止時にデバッグ CAN2 は停止
0：通常モードと同じ動作です。
1：CAN2 受信レジスタは凍結されます。

ビット 20:17　**DBG_TIMx_STOP**：コア停止時に TIMx カウンタは停止（x=8..5）
0：コアが停止した場合も当該タイマカウンタのクロックは供給され、出力は通常動作です。
1：コアが停止すると、当該タイマカウンタのクロックは停止し、出力は無効になります（ブレークイベントによる緊急停止の場合と同様）。

ビット 16　**DBG_I2C2_SMBUS_TIMEOUT**：コア停止時に SMBUS タイムアウトモードは停止
0：通常モードと同じ動作です。
1：SMBUS タイムアウトは凍結されます。

ビット 15　**DBG_I2C1_SMBUS_TIMEOUT**：コア停止時に SMBUS タイムアウトモードは停止
0：通常モードと同じ動作です。
1：SMBUS タイムアウトは凍結されます。

ビット 14　**DBG_CAN1_STOP**：コア停止時にデバッグ CAN1 は停止
0：通常モードと同じ動作です。
1：CAN1 受信レジスタは凍結されます。

ビット 13:10　**DBG_TIMx_STOP**：コア停止時に TIMx カウンタは停止（x=4..1）
0：コアが停止した場合も当該タイマカウンタのクロックは供給されます。
1：コア停止時に当該タイマカウンタのクロックは停止します。

ビット 9　**DBG_WWDG_STOP**：コア停止時にデバッグウィンドウ型ウォッチドッグは停止
0：コアが停止した場合もウィンドウ型ウォッチドッグカウンタのクロックは継続されます。
1：コア停止時にウィンドウ型ウォッチドッグカウンタのクロックは停止します。

ビット 8　**DBG_IWDG_STOP**：コア停止時にデバッグ独立型ウォッチドッグは停止
0：コアが停止した場合もウォッチドッグカウンタのクロックは継続されます。
1：コア停止時にウォッチドッグカウンタのクロックは停止します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 7:5 **TRACE_MODE[1:0] および TRACE_IOEN**：TRACE ピンの割り当て制御

– *TRACE_IOEN=0 の場合：*

TRACE_MODE=xx：TRACE ピンは割り当てられません（デフォルト状態）。

– *TRACE_IOEN=1 の場合：*

– TRACE_MODE=00：非同期モード用の TRACE ピン割り当て

– TRACE_MODE=01：同期モード用の TRACE ピン割り当て（TRACEDATA サイズ = 1）

– TRACE_MODE=10：同期モード用の TRACE ピン割り当て（TRACEDATA サイズ = 2）

– TRACE_MODE=11：同期モード用の TRACE ピン割り当て（TRACEDATA サイズ = 4）

ビット 4:3 予約済み、クリア状態を保つ必要があります。

ビット 2 **DBG_STANDBY**：デバッグ STANDBY モード

0：（FCLK=オフ、HCLK=オフ）デジタル部全体が電源オフになります。

ソフトウェアから見て、STANDBY モードから抜けることは、リセットベクタのフェッチと同じになります（ただし、いくつかのステータスビットは MCU が STANDBY モードからリスタートしていることを示します）。

1：（FCLK=On、HCLK=On）この場合、デジタル部は電源オフ状態ではなく、FCLK と HCLK はアクティブ状態の内部 RC オシレータから供給されます。さらに、MCU は STANDBY モード中にシステムリセットを生成するため、STANDBY モードから抜けることはリセットベクタのフェッチと同じになります。

ビット 1 **DBG_STOP**：デバッグ STOP モード

0：（FCLK=Off、HCLK=Off）STOP モードでは、クロックコントローラがすべてのクロック（HCLK と FCLK を含む）を無効にします。STOP モードから抜けると、クロック設定はリセット後の場合と同じになります（CPU は 8 MHz の内部 RC オシレータ（HSI）から供給されます）。したがって、ソフトウェアは、クロックコントローラを再プログラムして、PLL やクリスタル発振子などを有効にする必要があります。

1：（FCLK=On、HCLK=On）この場合、STOP モードに入ると、FCLK と HCLK は STOP モードでもアクティブ状態の内部 RC オシレータから供給されます。STOP モードから抜けるとき、ソフトウェアは、クロックコントローラを再プログラムして、PLL やクリスタル発振子などを有効にする必要があります（DBG_STOP=0 の場合と同様です）。

ビット 0 **DBG_SLEEP**：デバッグ SLEEP モード

0：（FCLK=On、HCLK=Off）SLEEP モードでは、FCLK はソフトウェアによって事前に設定されたシステムクロックによって駆動され、HCLK は無効にされます。

SLEEP モードでは、クロックコントローラの設定はリセットされず、事前にプログラミングされた状態のままです。したがって、SLEEP モードから抜けるときに、ソフトウェアでクロックコントローラを再設定する必要はありません。

1：（FCLK=On、HCLK=On）この場合、SLEEP モードに入ると、HCLK には FCLK と同じクロック（ソフトウェアによって事前に設定されたシステムクロック）が供給されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

30.17 TPIU（トレースポートインタフェースユニット）

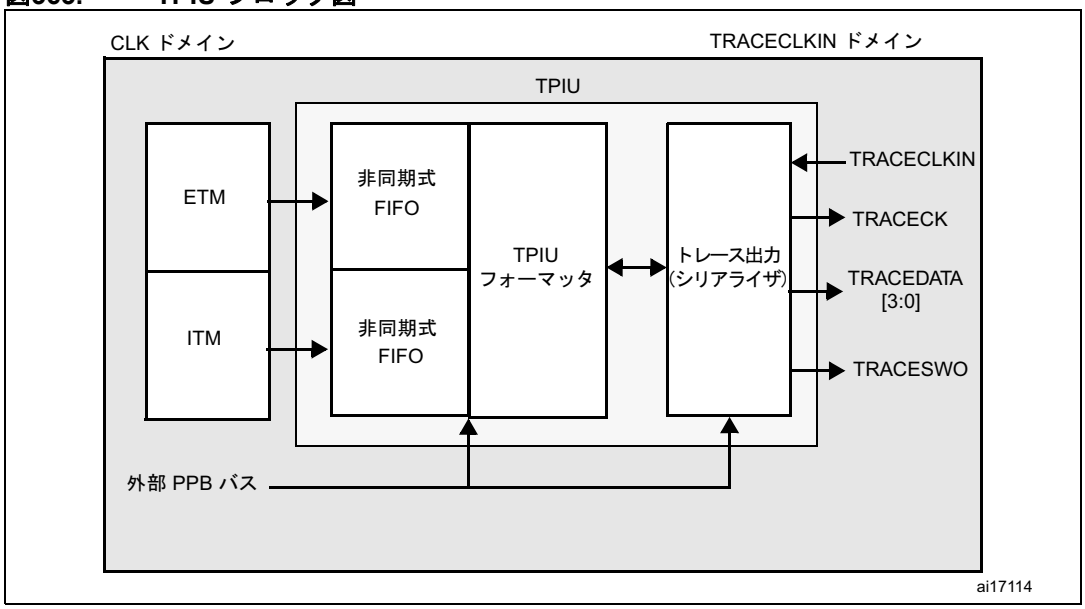
30.17.1 概要

TPIU は、ITM と ETM からのオンチップトレースデータ間のブリッジとしての役割を果たします。

出力データストリームによってカプセル化されたトレースソース ID は、TPA（*トレースポートアナライザ*）によってキャプチャされます。

低コストのデバッグを可能にするため、コアには単純な TPIU（特別バージョンの CoreSight TPIU から構成）が内蔵されています。

図363. TPIU ブロック図



30.17.2 TRACE ピンの割り当て

- 非同期モード

  非同期モードは、1 本のピンを追加で必要とし、すべてのパッケージで使用できます。非同期モードは、JTAG モードではなくシリアルワイヤモードを使用する場合にのみ使用できます。

表226. 非同期 TRACE ピンの割り当て

TPIU ピン名	TRACE 同期モード		STM32F10xxx ピン割り当て
	タイプ	説明	
TRACESWO	O	TRACE 非同期データ出力	PB3

- 同期モード

  同期モードは、データトレースサイズに応じて 2～6 本のピンを追加で必要とし、大型パッケージでのみ使用できます。さらに、JTAG モードとシリアルワイヤモードでも使用でき、非同期トレースよりも優れた帯域幅出力機能を提供します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表227. 同期 TRACE ピンの割り当て

TPIU ピン名	TRACE 同期モード		STM32F10xxx ピン割り当て
	タイプ	説明	
TRACECK	O	TRACE クロック	PE2
TRACED[3:0]	O	TRACE 同期データ出力 1、2、または 4 とすることができます。	PE[6:3]

TPIU TRACE ピンの割り当て

デフォルトでは、これらのピンは割り当てられません。これらのピンを割り当てるには、***MCU デバッグコンポーネント設定レジスタ***の TRACE_IOEN および TRACE_MODE ビットをセットします。この設定はデバッガホストで行う必要があります。

さらに、割り当てるピン数は、トレースの設定（非同期/同期）によって異なります。

- **非同期モード**：1 本のピンが追加で必要です。
- **同期モード**：データトレースポートレジスタのサイズ（1、2、または 4）に応じて、2～5 本のピンが追加で必要です。
  - TRACECK
  - TRACED(0)、ポートサイズが 1、2、または 4 に設定された場合
  - TRACED(1)、ポートサイズが 2 または 4 に設定された場合
  - TRACED(2)、ポートサイズが 4 に設定された場合
  - TRACED(3)、ポートサイズが 4 に設定された場合

TRACE ピンを割り当てるには、デバッガホストは、デバッグ MCU 設定レジスタ（DBGMCU_CR）の TRACE_IOEN ビットと TRACE_MODE[1:0] ビットをプログラミングする必要があります。デフォルトでは、TRACE ピンは割り当てられません。

このレジスタは、外部 PPB に配置され、PORESET によってリセットされます（システムリセットではありません）。このレジスタは、システムリセット中にデバッガによる書き込みができます。

表228. 柔軟性の高い TRACE ピン割り当て

DBGMCU_CR レジスタ		ピン割り当て：	TRACE IO ピンの割り当て					
TRACE_IOEN	TRACE_MODE[1:0]		PB3 / JTDO/ TRACESWO	PE2 / TRACECK	PE3 / TRACED[0]	PE4 / TRACED[1]	PE5 / TRACED[2]	PE6 / TRACED[3]
0	XX	トレースなし（デフォルト状態）	解放 (1)					
1	00	非同期トレース	TRACESWO			解放（GPIO として使用可能）		
1	01	同期トレース、1 ビット	解放 (1)	TRACECK	TRACED[0]			
1	10	同期トレース、2 ビット		TRACECK	TRACED[0]	TRACED[1]		
1	11	同期トレース、4 ビット		TRACECK	TRACED[0]	TRACED[1]	TRACED[2]	TRACED[3]

1. シリアルワイヤモードが使用されているときには解除されます。しかし、JTAG が使用されると、JTDO に割り当てられます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

注： ***デフォルトでは、TPIU の TRACECLKIN 入力クロックは GND に接続されています。このクロックは、TRACE_IOEN ビットがセットされてから 2 クロックサイクル後に HCLK に割り当てられます。***

デバッガは、TPIU の SPP_R（選択ピンプロトコル）レジスタの PROTOCOL[1:0] ビットに書き込むことによって、トレースモードをプログラミングする必要があります。

- PROTOCOL=00：トレースポートモード（同期モード）。
- PROTOCOL=01 または 10：シリアルワイヤ（マンチェスタまたは NRZ）モード（非同期モード）。デフォルト状態は 01 です。

次に、TPIU の CPSPS_R（カレント同期化ポートサイズレジスタ）のビット [3:0] に書き込むことによって TRACE ポートサイズも設定します。

- 0x1：1 ピンの場合（デフォルト状態）
- 0x2：2 ピンの場合
- 0x8：4 ピンの場合

30.17.3 TPIU フォーマッタ

フォーマッタプロトコルは、データを 16 バイトフレームで出力します。

- 7 バイトのデータ
- 8 バイトの混合バイトであり、以下の構成になっています。
  - 1 ビット（LSB）：データバイト（“0”）または ID バイト（“1”）を示します。
  - 7 ビット（MSB）：データまたはソース ID トレースの変更とすることができます。
- 1 バイトの補助ビット：各ビットは 8 つの混合バイトのいずれかに対応します。
  - 対応するバイトがデータであった場合、このビットはデータのビット 0 を与えます。
  - 対応するバイトが ID 変更であった場合、このビットはその ID 変更が有効になるタイミングを示します。

注： ***詳細については、ARM CoreSight Architecture Specification v1.0（ARM IHI 0029B）を参照してください。***

30.17.4 TPIU フレーム同期パケット

TPIU は 2 種類の同期パケットを生成できます。

- フレーム同期パケット（フルワード同期パケット）

  これはワード 0x7F_FF_FF_FF（LSB ファーストで発行）から構成されます。ID ソースコード 0x7F が使用されていない場合、このシーケンスは他のタイミングでは発生できません。

  このパケットは、***フレーム間***で定期的に出力されます。

  連続モードでは、同期フレームが検出されると、TPA はこれらすべてのフレームを破棄する必要があります。

- ハーフワード同期パケット

  これはハーフワード 0x7F_FF（LSB ファーストで発行）から構成されます。

  このパケットは***フレーム間またはフレーム内***で定期的に出力されます。

  これらのパケットは連続モードでのみ生成され、TPA は TRACE ポートが IDLE モードである（TRACE はキャプチャされない）ことを検出できるようになります。TPA によって検出されたパケットは、破棄する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

30.17.5 同期フレームパケットの送信

コアの TPIU には、同期カウンタレジスタは実装されていません。したがって、同期トリガは **DWT** によってのみ生成できます。DWT 制御レジスタ（SYNCTAP[11:10] ビット）と DWT カレント PC サンプラサイクルカウントレジスタの説明を参照してください。

TPIU フレーム同期パケット（0x7F_FF_FF_FF）は次の場合に発行されます。

- 毎回の TPIU リセットの解除後。このリセットは、TRACECLKIN クロックの立ち上がりエッジに同期して解除されます。つまり、DBGMCU_CFG レジスタの TRACE_IOEN ビットがセットされると、このパケットが送信されます。この場合、ワード 0x7F_FF_FF_FF の後に、フォーマットされたパケットは続きません。
- 毎回の DWT トリガ時（DWT は事前に設定されているものとします）。次の 2 つの場合があります。
  - ITM の SYNENA ビットがリセットされた場合、フォーマットされたストリームなしで、ワード 0x7F_FF_FF_FF だけが発行されます。
  - ITM の SYNENA ビットがセットされた場合、TPIU によってフォーマット（トレースソース ID を追加）された ITM 同期パケットが続きます（0x80_00_00_00_00_00）。

30.17.6 同期モード

トレースデータの出力サイズは 4、2、または 1 ピンから選択できます（TRACED[3:0]）。

出力クロックはデバッガに出力されます（TRACECK）。

なお、TRACECLKIN は内部で駆動され、TRACE が使用される場合にのみ HCLK に接続されます。

注： ***同期モードでは、必ずしも安定したクロック周波数を提供する必要はありません。***

TRACE I/O（TRACECK を含む）は、TRACLKIN（HCLK と同等）の立ち上がりエッジで駆動されます。したがって、TRACECK の出力周波数は HCLK/2 になります。

30.17.7 非同期モード

これは 1 ピン（非同期出力ピン TRACESWO）のみを使用してトレースを出力する低コストな方法ですが、その帯域幅は制限されます。

SW-DP ピンを使用する場合、TRACESWO ピンは JTDO ピンと多重化されます。このように、この機能はすべての STM32F10xxx パッケージで使用できます。

この非同期モードでは、TRACECLKIN に一定の周波数が要求されます。標準的な UART（NRZ）のキャプチャ機構では、5 % の精度が必要です。マンチェスタエンコード方式では、10 % までの誤差が許されます。

30.17.8 STM32F10xxx 内部の TRACECLKIN 接続

STM32F10xxx では、この TRACECLKIN 入力は内部で HCLK に接続されます。つまり、非同期トレースモードでは、アプリケーションは、CPU 周波数が安定しているタイムフレームのみを使用できます。

注： ***重要：非同期トレースを使用する場合は、以下のことに注意してください。***

STM32F10xxx MCU のデフォルトクロックは、内部 RC オシレータです。リセット中の周波数はリセット解除後の周波数とは異なります。これは、RC 較正はシステムリセット中のデフォルト動作であり、システムリセット解除のたびに更新されるからです。

したがって、トレースポートアナライザ（TPA）は、システムリセット中に（TRACE_IOEN ビットによって）トレースを有効にするべきではありません。なぜなら、同期フレームパケットは、リセット解除後に送信されるトレースパケットとは異なるビット時間で発行されるからです。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

30.17.9 TPIU レジスタ

TPIU APB レジスタは、デバッグ例外およびモニタ制御レジスタ（DEMCR）の TRCENA ビットがセットされた場合にのみ読み出し/書き込みが可能です。そうでない場合、これらのレジスタはゼロとして読み出されます（このビットの出力は TPIU の PCLK を有効にします）。

表229. 重要な TPIU レジスタ

アドレス	レジスタ	説明
0xE0040004	現在のポートサイズ	トレースポートサイズの選択： ビット 0：ポートサイズ = 1 ビット 1：ポートサイズ = 2 ビット 2：ポートサイズ = 3、サポートされません ビット 3：ポートサイズ = 4 1 ビットのみセットする必要があります。デフォルトでは、ポートサイズは 1 ビットです。（0x00000001）
0xE00400F0	選択ピンプロトコル	トレースポートプロトコルの選択： ビット 1:0= 00：同期トレースポートモード 01：シリアルワイヤ出力 - マンチェスタ（デフォルト値） 10：シリアルワイヤ出力 - NRZ 11：予約済み
0xE0040304	フォーマッタおよびフラッシュ制御	ビット 31-9 = 常に”0” ビット 8 = TrigIn = 常に"1"で、トリガが指定されたことを示します ビット 7-4 = 常に 0 ビット 3-2 = 常に 0 ビット 1 = EnFCont。同期トレースモード（Select_Pin_Protocol レジスタのビット 1:0 = 00）では、このビットは強制的に“1"にされ、フォーマッタは自動的に連続モードで有効にされます。非同期モード（Select_Pin_Protocol レジスタのビット 1:0 <> 00）では、このビットの書き込みによって、フォーマッタを有効/無効にできます。 ビット 0 = 常に 0 このレジスタのデフォルト値は 0x102 です。 **注：**同期モードでは、TRACECTL ピンがチップ外に配置されないため、フォーマッタは常に連続モードで有効になります。このように、フォーマッタは、トレースパケットの転送元を識別するための制御パケットを挿入します。
0xE0040300	フォーマッタおよびフラッシュステータス	Cortex-M3 では使用されず、常に 0x00000008 が読み出されます。

30.17.10 設定例

- デバッグ例外およびモニタ制御レジスタ（DEMCR）の TRCENA ビットをセットします。
- TPIU カレントポートサイズレジスタに希望する値を書き込みます（デフォルトは 0x1 で 1 ビットのポートサイズ）。
- TPIU フォーマッタおよびフラッシュ制御レジスタに 0x102（デフォルト値）を書き込みます。
- TPIU　選択ピンプロトコルレジスタに書き込んで同期/非同期モードを選択します。例：非同期 NRZ モード（UART に類似）の場合は 0x2 を書き込みます。
- DBGMCU 制御レジスタに 0x20（IO_TRACEN ビット）を書き込み、TRACE I/O を非同期モードに割り当てます。このとき、TPIU 同期パケット（FF_FF_FF_7F）が発行されます。
- ITM を設定し、ITM スティムラスレジスタに書き込んで値を出力します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

30.18 DBG レジスタマップ

次の表に、デバッグレジスタの要約を示します。

表230. DBG レジスタマップとリセット値

アドレス	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0xE0042000	DBGMCU_IDCODE	REV_ID																予約済み				DEV_ID											
	リセット値(1)	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X					X	X	X	X	X	X	X	X	X	X	X	X
0xE0042004	DBGMCU_CR	予約済み										DGB_CAN2_STOP	DBG_TIM7_STOP	DBG_TIM6_STOP	DBG_TIM5_STOP	DBG_TIM8_STOP	DBG_I2C2_SMBUS_TIMEOUT	DBG_I2C1_SMBUS_TIMEOUT	DBG_CAN1_STOP	DBG_TIM4_STOP	DBG_TIM3_STOP	DBG_TIM2_STOP	DBG_TIM1_STOP	DBG_WWDG_STOP	DBG_IWDGSTOP	TRACE_MODE[1:0]		TRACE_IOEN	予約済み		DBG_STANDBY	DBG_STOP	DBG_SLEEP
	リセット値											0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			0	0	0

1. リセット値は製品に依存します。詳細については、*セクション 30.6.1 : MCU デバイス ID コード*を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

31 改版履歴

表231. 改版履歴

日付	版	変更内容
2007 年 10 月 19 日	1	ドキュメントリファレンス番号を UM0306 から RM008 に変更。以下の変更内容は、2007 年 6 月 1 日発行の UM0306 の第 1 版を基準にしたものです。 *表 69 : ADC ピン (218 ページ)* から EXTSEL[2:0] と JEXTSEL[2:0] を削除し、摘要欄の V_{REF+} 範囲を変更。 *セクション 11.3.9 (221 ページ)*、*セクション 11.9.2 (229 ページ)*、*セクション 11.9.7 (232 ページ)*、および *セクション 11.9.9 (233 ページ)* に注を追加。 *1 本のクロック線と 1 本の双方向データ線 (BIDIMODE=1) (667 ページ)* で SPI_CR2 を SPI_CR1 に訂正。 *セクション 24.2 : SPI と I^2S の主な機能 (660 ページ)* で f_{CPU} 周波数を f_{PCLK} に変更。 *セクション 24.3.6 :CRC の計算(674 ページ)* と *セクション 24.3.9 :DMA (direct memory addressing) を使用する SPI 通信 (678 ページ)* を変更。 *セクション 24.5.1 : SPI 制御レジスタ 1 (SPI_CR1) (I2S モードでは使用しません) (699 ページ)* でビット 13 の説明に追加された注を変更。*セクション 24.5.3 : SPI ステータスレジスタ (SPI_SR) (702 ページ)* でビット 4 の注を変更。 *64 ピン以下のパッケージ (61 ページ)* を変更。 *セクション 8.3.2 :OSC_IN/OSC_OUT ピンの GPIO ポート PD0/PD1 としての使用 (162 ページ)* を更新。 *図 2 : メモリマップ (39 ページ)* と *表 1: レジスタ境界アドレス* でアドレス 0x4000 6000 の SRAM の説明を変更。 *セクション 22.2 : USB の主な機能 (585 ページ)* と *セクション 23.2 : bxCAN の主な機能 (614 ページ)* に注を追加。 *図 4 : 電源供給の概要* と *100 ピンおよび 144 ピンのパッケージ* を変更。 *CAN ビットタイミングレジスタ (CAN_BTR) (644 ページ)* でビット 25:24 の説明に式を追加。 *セクション 10.3 : DMA の機能詳細 (200 ページ)* を変更。 *設定例 (1056 ページ)* を変更。 *セクション 8.2.2 :ポート設定レジスタ (上位) (GPIOx_CRH) (x=A..G) (159 ページ)* で MODEx[1:0] ビットの定義を訂正。 *ダウンカウントモード (277 ページ)* を変更。 *図 80 : キャプチャ/比較チャネル (チャネル 4) の出力ステージ (288 ページ)* と *図 82 : 出力比較モード、OC1 出力のトグル* を変更。*セクション 13.3.10 : PWM モード (292 ページ)* で OCx 出力イネーブル条件を変更。 *セクション 13.3.19 : TIMx と外部トリガの同期 (307 ページ)* のタイトルを変更。 *セクション 13.4.7 : TIM1および TIM8 キャプチャ/比較モードレジスタ 1 (TIMx_CCMR1)* と *セクション 13.4.8 : TIM1および TIM8 キャプチャ/比較モードレジスタ 2 (TIMx_CCMR2)* で (1, 1) ビット設定用の CC1S、CC2S、CC3S、および CC4S の定義を変更。 *セクション 14.4.7 : TIMx およびキャプチャ/比較モードレジスタ 1 (TIMx_CCMR1)* と *セクション 14.4.8 : キャプチャ/比較モードレジスタ 2 (TIMx_CCMR2)* で (1, 1) ビット設定用の CC1S、CC2S、CC3S、および CC4S の定義を変更。 *表 59 : AFIO レジスタマップとリセット値 (180 ページ)* で AFIO_EVCR ピンを変更。*セクション 13.3.6 : 入力キャプチャモード (288 ページ)* を変更。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料 (以下、「正規英語版資料」) を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表231. 改版履歴（続き）

日付	版	変更内容
2007 年 10 月 19 日（続き）	1（続き）	*図 113：内部クロック分周比が 1、TIMx_ARR=0x6 の場合のカウンタタイミング図* と *図 128：出力比較モード、OC1 出力のトグル* を変更。*セクション 14.4.1：TIMx 制御レジスタ 1（TIMx_CR1）* で CKD の定義を変更。 *セクション 5.4.2：RTC クロック較正レジスタ（BKP_RTCCR）* にビット 8 とビット 9 を追加。 *DBGMCU_CR（1059 ページ）* にビット 15 とビット 16 を追加。*セクション 25.5：I²C デバッグモード（728 ページ）* を追加。 *表 9: 低電力モードの概要* で STOP と STANDBY を変更。 *表 11: Sleep-on-exit* を変更。*デバッグモード（70 ページ）* を変更。 *セクション 6.3.1：クロック制御レジスタ（RCC_CR）* で HSITRIM[4:0] ビットの説明を変更。*セクション 6.3.2：クロック設定レジスタ（RCC_CFGR）* で MCO の説明の注を変更。*RCC レジスタマップとリセット値（112 ページ）* で RCC_CR 行を変更。 *セクション 8.2.6：ポートビットリセットレジスタ（GPIOx_BRR）（x=A..G）* でビット 15:0 の説明を変更。*内蔵ブートローダ（56 ページ）* を追加。 *図 13*、*図 15*、*図 16*、*図 17*、および *図 18* を変更。 *セクション 2.3.3：内蔵フラッシュメモリ（49 ページ）* を変更。 *DBGMCU_IDCODE（1045 ページ）* **に REV_ID ビットの説明を追加。** *クロック制御レジスタ（RCC_CR）（91 ページ）* でリセット値を変更、HSITRIM[4:0] の説明を変更。 *セクション 8.1.1（149 ページ）* を変更。*セクション 8.2：GPIO レジスタ（158 ページ）* でビット定義を変更。*表 12: STOP モード* でウェイクアップ時の遅延の説明を変更。 *クロック制御レジスタ（RCC_CR）* のリセット値を変更。 *5.4.2 on page 76* の ASOS ビットと ASOE ビットの説明に注を追加。 *セクション 30.16.2：タイマ、ウォッチドッグ、bxCAN、および I²C のデバッグサポート* を変更。 *表 230: DBG レジスタマップとリセット値* を更新。 *セクション 22.5.3：バッファ記述子テーブル* を明確化。 *センタアラインモード（アップ/ダウンカウント）（279 ページ）* と *センタアラインモード（アップ/ダウンカウント）（348 ページ）* を更新。 *図 84：センターアライン PWM 波形（ARR=8）（294 ページ）* と *図 130：センターアライン PWM 波形（ARR=8）（362 ページ）* を変更。 *セクション 11.12.3：ADC 制御レジスタ 2（ADC_CR2）* **で RSTCAL の説明を変更。** *表 95: 最小/最大 IWDG タイムアウト期間（40 kHz）（LSI）* の下の注を変更。*図 8：クロックツリー* の下に注を追加。 *セクション 11.2：ADC の主な機能* で ADC 変換時間を変更。 *自動インジェクション（221 ページ）* を更新。 *セクション 11.9.9：インジェクト同時+インタリーブの組み合わせ* に注を追加。*セクション 8.3.2：OSC_IN/OSC_OUT ピンの GPIO ポート PD0/PD1 としての使用* に注を追加。若干のテキスト変更。内部 LSI RC 周波数を 32 から 40 kHz に変更。*表 95: 最小/最大 IWDG タイムアウト期間（40 kHz）（LSI）* を更新。*図 2：メモリマップ* と *表 3: フラッシュモジュールの構成（中容量デバイス）* でオプションバイトアドレスを訂正。*セクション 2.3.3：内蔵フラッシュメモリ* でインフォメーションブロックの構成を変更。 ADC 変換をトリガする外部イベントは、外部割り込みではなく、EXTI ラインです（*セクション 11：A/D コンバータ（ADC）* を参照）。 *付録 A：重要事項（500 ページ）* を追加。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表231. 改版履歴（続き）

日付	版	変更内容
2007 年 11 月 20 日	2	*図 277：USART ブロック図* を変更。 *キャラクタの受信（751 ページ）* で手順を変更。 *セクション 26.3.4：ボーレート生成* で、 – 方程式記号を変更 – *表 190: プログラミングされたボーレートの誤差計算* を変更 – 注を追加 若干のテキスト変更。*CAN ビットタイミングレジスタ（CAN_BTR）（644 ページ）* で、ビット 15 を予約済みに変更。 *セクション 2.3.3:内蔵フラッシュメモリ* で、フラッシュメモリ構成を訂正、*表 3: フラッシュモジュールの構成（中容量デバイス）* を変更。 *セクション 4.1：電源供給* の *図 4：電源供給の概要* の下に注を追加。 *バックアップドメイン制御レジスタ（RCC_BDCR）* で RTCSEL[1:0] ビットの説明を変更。 *表 16: RCC レジスタマップとリセット値* で RCC_APB1RSTR と RCC_APB1ENR のビット [0:2] の名前を訂正。 *A.4：ADC 入力 0 での電圧グリッチ（500 ページ）* でインピーダンス値を指定。 *セクション 24.5.1：SPI 制御レジスタ 1（SPI_CR1）（I2S モードでは使用しません）* で、BR[2:0] の説明を訂正。 更新イベント発生時のプリスケーラバッファの動作を指定（*アップカウントモード（343 ページ）*、*ダウンカウントモード（346 ページ）*、および *センタアラインモード（アップ/ダウンカウント）* を参照）。 *セクション 11.12.2：ADC制御レジスタ1（ADC_CR1）* で AWDCH[4:0] を変更、*セクション 11.12.4：ADC サンプル時間レジスタ 1（ADC_SMPR1）* で ビット [26:24] を予約済みに変更。 *表 179: bxCAN レジスタマップとリセット値* で、CAN_BTR ビット 8 を予約済みに変更。*CAN マスタ制御レジスタ（CAN_MCR）（635 ページ）* を訂正。 *表 69: ADC ピン* と *100 ピンおよび 144 ピンのパッケージ（61 ページ）* で V_{REF+} 範囲を訂正。 *START コンディション（714 ページ）* を更新。*表 33: CAN1 オルタネート機能の再配置* で注を削除。 *表 42: TIM4 オルタネート機能の再配置* に注を追加。 *セクション 8.4.2：オルタネート機能の再配置とデバッグ入出力設定レジスタ（AFIO_MAPR）* で、USART2_REMAP = 0 の場合のビット定義を変更。*セクション 8.4.3：外部割り込み設定レジスタ 1（AFIO_EXTICR1）* で、SPI1_REMAP = 0 の場合のビット定義を変更。*表 229: 重要な TPIU レジスタ* の 0xE0040004 で、ビット 2 のセットはサポートされていません。 *TPIU TRACE ピンの割り当て（1062 ページ）* で、TRCAE ポートサイズの設定を訂正。*図 13*、*図 15*、*図 16*、*図 17*、および *図 18* を変更。*図 14：5V 耐性入出力ポートビットの基本構造* を追加。 *表 8.3.1：OSC32_IN/OSC32_OUT ピンの GPIO ポート PC14/PC15 としての使用（162 ページ）* を追加。 *セクション 17.4.5* と *セクション 17.4.6* で、ビット説明を変更。 *セクション 30.6.2：バウンダリスキャン TAP（1046 ページ）* で JTAG ID コードを訂正。 変更：*セクション 19.2：WWDG の主な機能*、*セクション 5.2：BKP の主な機能*、*セクション 5.3.1：タンパ検出*、*セクション 5.3.2：RTC 周波数調整*、*セクション 22.3：USB の機能詳細*、*ダウンカウンタを制御するには：*、*セクション 4.1.2：バッテリバックアップドメイン*、*セクション 8.2：概要* *セクション 5.4.2：RTC クロック較正レジスタ（BKP_RTCCR）* で、ASOE ビットの説明を変更。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表231. 改版履歴（続き）

日付	版	変更内容
2008 年 2 月 8 日	3	*図 4：電源供給の概要（61 ページ）*を変更。 *セクション 6.1.2：電源リセット（83 ページ）*を変更。 *セクション 6.2：クロック（84 ページ）*を変更。 *セクション 8.4.2：オルタネート機能の再配置とデバッグ入出力設定レジスタ（AFIO_MAPR）（171 ページ）*でビット 26:24 の定義を変更。 *表 59：AFIO レジスタマップとリセット値（180 ページ）*で AFIO_EVCR ビットを訂正。 *セクション 9.1：ネスト化されたベクタ割り込みコントローラ（NVIC）（182 ページ）*でマスク可能割り込みチャネル数を変更。 *セクション 10.3.6：割り込み（204 ページ）*を追加。若干のテキスト変更。 *図 90：6 ステップ生成 COM の例（OSSR=1）（300 ページ）*で例を変更。 *表 82: ブレーク機能を持つ相補 OCx および OCxN チャネルの出力制御ビット（328 ページ）*を変更。 *セクション 23.9.4：CAN フィルタレジスタ（652 ページ）*でレジスタ名を変更。 *セクション 25.3.3：I2C マスタモード（714 ページ）*で若干のテキスト変更。 *セクション 25.6.2：制御レジスタ 2（I2C_CR2）（730 ページ）*でビット 5:0 の周波数説明を変更。 *セクション 22.3.1：USB ブロックの説明（587 ページ）*を変更。 *セクション 24.3.4：SPI の単方向通信設定（667 ページ）*を変更。*セクション 24.3.6：CRC の計算（674 ページ）*を変更。 *ビジーフラグ（BSY）（676 ページ）*に注を追加。 *セクション 24.3.8：SPI の無効化（677 ページ）*を追加。 付録 A：重要事項を削除。
2008 年 5 月 22 日	4 次の ページに 続く	512 KB までのフラッシュメモリを内蔵するデバイス（大容量デバイス）に合わせてリファレンスマニュアルを更新。ドキュメントを再編成。若干のテキスト変更。中容量および大容量デバイスの定義を全セクションに追加。 *セクション 2：メモリとバスのアーキテクチャ（42 ページ）*で、 – *図 1：システムアーキテクチャ（42 ページ）*、*図 2：メモリマップ（39ページ）*、*表 1：レジスタ境界アドレス（45 ページ）*を更新 – *AHB/APB ブリッジ（APB）（44 ページ）*に注とテキストを追加 – *セクション 2.3.1：内蔵 SRAM（48 ページ）*の SRAM サイズ – *セクション 2.3.3：内蔵フラッシュメモリ（49 ページ）*を更新（フラッシュサイズ、ページサイズ、ページ数、*フラッシュメモリの読み出し*、*表 4：フラッシュモジュールの構成（大容量デバイス）（51 ページ）*を追加） – *フラッシュメモリの読み出し*でプリフェッチバッファのオン/オフを指定 *セクション 2.3.2：ビットバンディング（48 ページ）*で *bit_number* の定義を変更。 *セクション 3：CRC 計算ユニット（57 ページ）*を追加（*表 1：レジスタ境界アドレス（45 ページ）*を更新、*図 2：メモリマップ（39 ページ）*を更新、*セクション 6.3.6：AHB ペリフェラルクロック有効レジスタ（RCC_AHBENR）（103 ページ）*に CRCEN ビットを追加）。 *STOP モードへのエントリ（67 ページ）*を指定。 *セクション 5：バックアップレジスタ（BKP）（74 ページ）*での更新：バックアップレジスタの数、使用可能なストレージサイズ、および *セクション 5.1：BKP の概要*。*セクション 5.4.2：RTC クロック較正レジスタ（BKP_RTCCR）（76 ページ）*で ASOE の定義を変更。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表231. 改版履歴（続き）

日付	版	変更内容
2008 年 5 月 22 日 続き	4 続き	*セクション 6：小容量、中容量、大容量、および特大容量のリセットおよびクロック制御（RCC）（82 ページ）*で、 – *LSI 較正（88 ページ）*を追加 – *図 7：簡略化されたリセット回路図（83 ページ）*を更新 – *APB2 ペリフェラルリセットレジスタ（RCC_APB2RSTR）（98 ページ）*を更新 – *APB1 ペリフェラルリセットレジスタ（RCC_APB1RSTR）（100 ページ）*を更新 – *AHB ペリフェラルクロック有効レジスタ（RCC_AHBENR）*を更新 – *APB2 ペリフェラルクロック有効レジスタ（RCC_APB2ENR）*を更新 – *APB1 ペリフェラルクロック有効レジスタ(RCC_APB1ENR)（106 ページ）*を更新（*セクション 表 16.：RCC レジスタマップとリセット値*を参照） – *クロック割り込みレジスタ（RCC_CIR）*で LSERDYIE の定義を変更 – *クロック制御レジスタ（RCC_CR）*で HSITRIM[4:0] の定義を変更 *セクション 8：汎用およびオルタネート機能入出力（GPIO および AFIO）（147 ページ）*で、 – GPIO ポート F および G を追加 – *セクション 8.3：オルタネート機能入出力とデバッグ設定（AFIO）（162 ページ）*で大容量デバイスの再配置を追加、*セクション 8.3.2* の下の注を変更、*セクション 8.3.3（163 ページ）*を変更 – *オルタネート機能の再配置とデバッグ入出力設定レジスタ（AFIO_MAPR）*を更新 *セクション 9：割り込みとイベント（182 ページ）*での更新： – マスク可能割り込みチャネルの数 – GPIO の数（*図 20：外部割り込み/イベントの GPIO マッピング*を参照） *セクション 10：DMA コントローラ（DMA）（198 ページ）*で、 – DMA コントローラと設定可能 DMA チャネルの数を更新 – *図 21：コネクティビティラインデバイスの DMA ブロック図（199 ページ）*を更新、注を追加 – *セクション 10.3.2：アービタ（201 ページ）*で注を更新 – *セクション 10.3.6：割り込み（204 ページ）*で注を更新 – *図 23：DMA1 リクエストの配置（205 ページ）*を更新 – *DMA2 コントローラ（206 ページ）*を追加 *セクション 11：A/D コンバータ（ADC）（215 ページ）*で、 – ADC3 を追加（*図 25：単一 ADC ブロック図（217 ページ）*を更新、*表 74: ADC3 のインジェクトチャネルに対する外部トリガ*を追加、など） *セクション 12：D/A コンバータ（DAC）（250 ページ）*を追加。 *セクション 13：高機能制御タイマ（TIM1および TIM8）（270 ページ）*で、 – 高機能制御タイマ TIM8 を追加（*図 51：高機能制御タイマのブロック図（272 ページ）*を参照） – *セクション 13.4.3：TIM1および TIM8 スレーブモード制御レジスタ（TIMx_SMCR）（315 ページ）*で TS[2:0] を変更 *セクション 14：汎用タイマ（TIM2～TIM5）（339 ページ）*で、 – TIM5 を追加 – *図 99：汎用タイマのブロック図*を更新。*表 85：TIMx 内部トリガ接続（380 ページ）*を変更。*セクション 16：基本タイマ（TIM6、TIM7）*を追加。 *セクション 17.2：RTC の主な機能（454 ページ）*で RTC クロックソースを指定。*セクション 17.1：RTC の概要*を変更。 *セクション 20：フレキシブルスタティックメモリコントローラ（FSMC）（475 ページ）*を追加。 *セクション 21：セキュアデジタル入力/出力インタフェース（SDIO）（529 ページ）*を追加。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表231. 改版履歴（続き）

日付	版	変更内容
2008 年 5 月 22 日 続き	4 続き	*図 233 : CAN フレーム (632 ページ)* を変更。*CAN 送信メールボックス識別子レジスタ (CAN_TIxR) (x=0..2) (646 ページ)* でビット 31:21 とビット 20:3 を変更。*CAN 受信 FIFO メールボックス識別子レジスタ (CAN_RIxR) (x=0..1) (649 ページ)* でビット 31:21 とビット 20:3 を変更。 *セクション 25.3.7 : DMA リクエスト (724 ページ)* を変更。*セクション 25.6.2 : 制御レジスタ 2 (I2C_CR2) (730 ページ)* で DMAEN ビット 11 の説明を変更。 *クロックの位相と極性 (664 ページ)* を変更。*送信シーケンス (666 ページ)* を変更。*受信シーケンス (667 ページ)* を追加。*受信シーケンス (696 ページ)* を変更。*アンダーランフラグ (UDR) (697 ページ)* を変更。 I^2S 機能を追加 (*セクション 24 : シリアルペリフェラルインタフェース (SPI) (659 ページ)* を参照)。 *セクション 30 : デバッグサポート (DBG) (1038 ページ)* で、 – *DBGMCU_IDCODE (1045 ページ)* と *DBGMCU_CR (1059 ページ)* を更新 – TMC TAP をバウンダリスキャン TAP に変更 – *セクション 30.16.3 : デバッグ MCU 設定レジスタ (1058 ページ)* で DBGMCU_CR を配置するアドレスを変更。 *セクション 29 : デバイス電子署名 (1035 ページ)* を追加。 *セクション 30.6.1 : MCU デバイス ID コード (1044 ページ)* で REV_ID(15:0) の定義を変更。
2008 年 7 月 28 日	5	*セクション 3.2 : CRC の主な機能 (57 ページ)* で作成した多項式形式を更新。 *図 4 : 電源供給の概要 (61 ページ)* を変更。 *セクション 4.1.2 : バッテリバックアップドメイン (62 ページ)* を変更。 *セクション 6.2.5 : LSI クロック (88 ページ)* を指定。 *セクション 8.1.4 : オルタネート機能 (AF) (150 ページ)* を明確化。 *表 44 : TIM2 オルタネート機能の再配置 (166 ページ)* に注を追加。 *セクション 10.4.2 : DMA 割り込みフラグクリアレジスタ (DMA_IFCR) (209 ページ)* でビットは書き込み専用。 *セクション 11.3.1 : ADC 電源の制御 (218 ページ)* でレジスタ名を変更。 *セクション 11.10 : 温度センサ (234 ページ)* で推奨サンプリング時間を記載。 *セクション 11.12.1 : ADC ステータスレジスタ (ADC_SR) (236 ページ)* でビット属性を変更。 *セクション 11.12.4 : ADC サンプル時間レジスタ 1 (ADC_SMPR1) (242 ページ)* でビット 23:0 の注を変更。 *セクション 12.2 : DAC の主な機能 (250 ページ)* に注を追加。 *セクション 12.3.5 : DAC 出力電圧 (254 ページ)* で式を更新。 *セクション 13.3.19 : TIMx と外部トリガの同期 (307 ページ)* で **DBL[4:0]** の説明を変更。 *図 81 (290 ページ)* と *図 127 (358 ページ)* を変更。 *セクション 24.5.3 : SPI ステータスレジスタ (SPI_SR) (702 ページ)* を変更。 *通信の終了 (717 ページ)* を更新。 *セクション 25.6.8 : クロック制御レジスタ (I2C_CCR) (738 ページ)* に注を追加。*セクション 25.6.8* と *セクション 25.6.9* で TCK を T_{PCLK1} に置き換え。 *図 300 : USART 割り込みの配置図 (772 ページ)* で OVR を ORE に変更。 *セクション 26.6.1 : ステータスレジスタ (USART_SR) (773 ページ)* を更新。 *スレーブ選択 (NSS) ピンの管理 (663 ページ)* を明確化。 若干のテキスト変更。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表231. 改版履歴（続き）

日付	版	変更内容
2008 年 9 月 26 日	6	このリファレンスマニュアルは、小容量の STM32F101xx、STM32F102xx、および STM32F103xx デバイス、さらには中容量の STM32F102xx デバイスにも適用されます。全セクションで、小容量および中容量デバイスの定義を更新しました。 *セクション 1.3：ペリフェラルの可用性（41 ページ）*を追加。 *セクション 2.3.3：内蔵フラッシュメモリ（49 ページ）*を更新。*セクション 4.1.2：バッテリバックアップドメイン（62 ページ）*を変更。*ポート入力データレジスタ（GPIOx_IDR）(x=A..G)（159 ページ）*のリセット値を変更。*セクション 8.4：AFIO レジスタ（169 ページ）*に注を追加。*セクション 9.3.6：ペンディングレジスタ（EXTI_PR）（196 ページ）*でビット 18:0 の説明から注を削除。 *セクション 13.2：TIM1および TIM8 の主な機能（270 ページ）*と *セクション 14.2：TIMx の主な機能（340 ページ）*を更新。*セクション 14.3.15：タイマの同期（370 ページ）*で、TS=000。 *図 184：FSMC のブロック図（477 ページ）*で FSMC_CLK 信号の方向を訂正。*セクション 20.5.3：一般的なタイミング規則（484 ページ）*から「フィードバッククロック」の段落を削除。 *セクション 20.5.6：NOR/PSRAM 制御レジスタ（507 ページ）*で、リセット値を変更、リセット後の WAITEN ビットのデフォルト値は 1、ビット [5:6] の定義を変更、リセット後の FACCEN のデフォルト値を指定。*図 202：同期多重書き込みモード−NOR、PSRAM（CRAM）（505 ページ）*で NWE 信号の動作を訂正。FSMC インタフェースは、COSMO RAM および OneNAND デバイスをサポートせず、非同期ウェイト機能をサポートしません。*表 106：NOR 型フラッシュ /PSRAM でサポートされるメモリおよびトランザクション（483 ページ）*から SRAM と ROM のメモリデータサイズ 32 を削除。 *データ待ち時間と NOR 型フラッシュ待ち時間（501 ページ）*を変更。*SRAM/NOR 型フラッシュ書き込みタイミングレジスタ 1..4（FSMC_BWTR1..4）（511 ページ）*でビット 19:16 を予約済みに変更。 *セクション 20.6.3：NAND および PC カードのタイミング図（515 ページ）*を変更。*セクション 20.6.8：NAND 型フラッシュ /PCカード制御レジスタ（521 ページ）*で PWID ビットの定義を変更。*セクション 20.6.6：エラー訂正コード計算 ECC（NAND 型フラッシュ）（518 ページ）*を変更。 *セクション 22.3.1：USB ブロックの説明（587 ページ）*で割り込みマッパの定義を変更。*セクション 22.5:USB レジスタ(598 ページ)*で USB レジスタのアドレスとメモリのベースアドレスを変更。 *セクション 25.3.8：パケットエラーチェック（725 ページ）*を変更。 *セクション ：スタートビットの検出（750 ページ）*を追加。*ステータスレジスタ（USART_SR）(773 ページ)*で PE ビットの説明を指定。 *セクション 29：デバイス電子署名（1035 ページ）*から「RAM サイズレジスタ」のセクションを削除。*FIFO ステータスおよび割り込みレジスタ 2..4（FSMC_SR2..4）（522 ページ）*でビット定義を更新。 若干のテキスト変更。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表231. 改版履歴（続き）

日付	版	変更内容
2008 年 12 月 23 日	7	リファレンスマニュアルからメモリマップ図を削除。*セクション 2.1 : システムアーキテクチャ（42 ページ）*を変更。*セクション 2.4 : ブート設定（55 ページ）*を変更。*SLEEP モードからの復帰（66 ページ）*を変更。*セクション 5.3.2 : RTC 周波数調整（75 ページ）*を更新。*ウェイクアップイベント管理（191 ページ）*を更新。 *セクション 6.3 : RCC レジスタ（91 ページ）*を更新。*セクション 10.2 : DMA の主な機能（198 ページ）*を更新。 *セクション 10.3.5 : エラー管理*を変更。*図 21 : コネクティビティラインデバイスの DMA ブロック図（199 ページ）*を変更。*セクション 10.3.4 : プログラミング可能なデータ幅、データの配置、およびエンディアン（203 ページ）*を追加。 *セクション 10.4.5 : DMA チャネル x ペリフェラルアドレスレジスタ（DMA_CPARx）（x = 1..7、x = チャネル番号）（212 ページ）*と *セクション 10.4.6 : DMA チャネル x メモリアドレスレジスタ（DMA_CMARx）（x = 1..7、x = チャネル番号）（212 ページ）*で、ビット定義を変更。 *図 81 : PWM入力モードのタイミング*と *図 127 : PWM 入力モードのタイミング*の下に注を追加。 *図 184 : FSMC のブロック図（477 ページ）*で FSMC_NWAIT 信号の方向を訂正。 *表 112: FSMC_BCRx ビットフィールド*、*表 115: FSMC_BCRx ビットフィールド*、および *表 121: FSMC_BCRx ビットフィールド*で、ビット 6 にセットする値を変更。*表 128: 8 ビット NAND 型フラッシュ*、*表 129: 16 ビット NAND 型フラッシュ*、および *表 130: 16 ビット PC カード*を変更。*表 130: 16 ビット PC カード*で、NWAIT 信号と INTR 信号を分離。*PC カード/NAND 型フラッシュ制御レジスタ 2..4（FSMC_PCR2..4）（521 ページ）*で PWAITEN ビットの定義に注を追加。 *FIFO ステータスおよび割り込みレジスタ 2..4（FSMC_SR2..4）（522 ページ）*でビット定義を更新。*SRAM/NOR 型フラッシュチップセレクトタイミングレジスタ 1..4（FSMC_BTR1..4）（509 ページ）*で、ADDHLD と ADDSET のビット定義の注を変更。*PC カード/NAND 型フラッシュ制御レジスタ 2..4（FSMC_PCR2..4）（521 ページ）*で、ビット 8 を予約済みに変更。 *共通メモリ空間タイミングレジスタ 2..4（FSMC_PMEM2..4）（523 ページ）*で MEMWAIT[15:8] のビット定義を変更。 *属性メモリ空間タイミングレジスタ 2..4 (FSMC_PATT2..4) (524 ページ)*で ATTWAIT[15:8] のビット定義を変更。 *セクション 20.6.5 : NAND 型フラッシュのプリウェイト機能（517 ページ）*を変更。*図 203 : 共通メモリアクセスの NAND/PC カードコントローラのタイミング*を変更。 *表 98 : NOR/PSRAM バンク選択（479 ページ）*の下に注を追加。 *表 99 : 外部メモリアドレス（479 ページ）*から 32 ビットの外部メモリアクセスを削除し、注を追加。 *セクション 20.6.1 : 外部メモリインタフェース信号*に *注 :* を追加。 *表 130 : 16 ビット PC カード（514 ページ）*で、NIOS16 の説明を変更。 *属性メモリ空間タイミングレジスタ 2..4（FSMC_PATT2..4）（524 ページ）*で、レジスタの説明を変更。 *パスワードのリセット（550 ページ）*の手順 2 を訂正。 *図 203 : 共通メモリアクセスの NAND/PC カードコントローラのタイミング*で、write_data 信号を変更。 *bxCAN の主な機能（614 ページ）*を変更。 *セクション 25.3.8 : パケットエラーチェック（725 ページ）*を変更。 *セクション 30.6.3 : Cortex-M3 TAP* を変更。 *DBGMCU_CR（1059 ページ）*で、DBG_TIMx_STOP の位置を変更。 若干のテキスト変更。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表231. 改版履歴（続き）

日付	版	変更内容
2009 年 2 月 11 日	8	*セクション 3.4.1：データレジスタ（CRC_DR）*で、リセット値を訂正。 *セクション 11.10：温度センサ*を変更。*セクション 11.12.7：ADC ウォッチドッグ高閾値レジスタ（ADC_HTR）*で、リセット値を訂正。 *セクション 12.3.9：三角波生成*と*図 49：DAC 三角波生成*を更新。 *セクション 23.6：STM32F10xxx（デバッグモード）*を追加。*CAN マスタ制御レジスタ（CAN_MCR）（635 ページ）*で、ビット 16 を更新。 *セクション 24.3.6：CRC の計算*に注を追加。 I^2C ペリフェラルに関する変更（*I^2C（Inter-Integrated Circuit）インタフェース*）： – *スレーブトランスミッタ（712 ページ）*で、テキスト変更と*図 269：スレーブトランスミッタの転送シーケンス*の変更。 – *スレーブレシーバ（713 ページ）*で、テキスト変更と*図 270：スレーブレシーバの転送シーケンス図*の変更。 – *マスタトランスミッタ（715 ページ）*と*マスタレシーバ（716 ページ）*を明確化。 – *通信の終了（716 ページ）*で、テキスト変更と*図 271：マスタトランスミッタの転送シーケンス図*の変更。 – *図 272：方法 1：マスタレシーバの転送シーケンス図*を変更。 – *オーバーラン/アンダーランエラー（OVR）（721 ページ）*を明確化。 – *セクション 25.3.7：DMA リクエスト*と*セクション 25.3.8：パケットエラーチェック*を更新。 – *セクション 25.6.1：制御レジスタ 1（I2C_CR1）*で、STOP ビットの下の注と POS ビットの下の注を変更。 – *セクション 25.6.5：データレジスタ（I2C_DR）*で、DR ビットの説明のレシーバモードを変更。 – *セクション 25.6.6：ステータスレジスタ 1（I2C_SR1）*で、TxE ビットと RxNE ビットの説明に注を追加。 FSMC セクションの変更： – *表 102: プログラマブル NOR/PSRAM アクセスパラメータ*で、データセットアップ時間とアドレスホールド時間の最小値を訂正。 – *表 127: プログラマブル NAND/PC カードアクセスパラメータ*で、メモリ待ち時間の最小値を訂正。 – *SRAM/NOR 型フラッシュチップセレクトタイミングレジスタ 1..4（FSMC_BTR1..4）（509 ページ）*で、ビット説明を変更。 – *SRAM/NOR 型フラッシュチップセレクトタイミングレジスタ 1..4（FSMC_BTR1..4）（509 ページ）*と*SRAM/NOR 型フラッシュ書き込みタイミングレジスタ 1..4（FSMC_BWTR1..4）（511 ページ）*で 0x0000 に等しいとき、DATAST と ADDHLD を予約済みに変更。 – *共通メモリ空間タイミングレジスタ 2..4（FSMC_PMEM2..4）*で、ビット説明を変更。 – *属性メモリ空間タイミングレジスタ 2..4（FSMC_PATT2..4）*で、ATTHOLDx と ATTWAITx のビット説明を変更。 – *I/O 空間タイミングレジスタ 4（FSMC_PIO4）*で、IOHOLDx ビットの説明を変更。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表231. 改版履歴（続き）

日付	版	変更内容
2009 年 6 月 22 日	9	STM32F105xx/STM32F107xx コネクティビティラインデバイスもサポートするように、リファレンスマニュアルを更新。 *メモリとバスのアーキテクチャ*セクション：*内蔵ブートローダ*を更新。 *セクション 3.3：CRC 機能の説明* を更新。 *セクション 4.1.2：バッテリバックアップドメイン* で、注を変更。 *コネクティビティラインデバイス：リセットおよびクロック制御（RCC）* セクション：*図 10：簡略化されたリセット回路図*を更新。PLL1 を PLL に変更。*セクション 4.4.1：電源制御レジスタ（PWR_CR）* で、BDP ビットの説明に注を追加。*表 56: SPI3/I2S3 の再配置* を訂正。 DMA セクション：*表 64: プログラミング可能なデータ幅とエンディアン動作（ビット PINC = MINC = 1 のとき）* を更新、*セクション 10.3.1：DMA トランザクション* と *ポインタのインクリメント（201 ページ）* を変更。*DMA チャネル x ペリフェラルアドレスレジスタ（DMA_CPARx）（x = 1..7、x = チャネル番号）* と *DMA チャネル x メモリアドレスレジスタ（DMA_CMARx）（x = 1..7、x = チャネル番号）* には、チャネルが無効のときにのみ書き込みできます。 高機能制御タイマセクション：*セクション 13.3.12：ブレーク機能の使用（296 ページ）* を更新。*セクション 13.4.18：TIM1および TIM8 ブレークおよびデッドタイムレジスタ（TIMx_BDTR）* で、BKE と BKP のビット説明を更新。*セクション 13.4.5：TIM1および TIM8 ステータスレジスタ（TIMx_SR）* と *セクション 14.4.5：TIMx ステータスレジスタ（TIMx_SR）* で、CC1IF のビット説明を変更。 *表 81: TIMx 内部トリガ接続* と *表 85：TIMx 内部トリガ接続（380 ページ）* に注を追加。 *表 106：NOR 型フラッシュ/PSRAM でサポートされるメモリおよびトランザクション（483 ページ）* と *シングルバースト転送* を変更。 *セクション 21.9.6：SDIO レスポンス1..4 レジスタ（SDIO_RESPx）（573 ページ）* で、レジスタのナンバリングとアドレスオフセットを訂正。 *セクション 23：コントローラエリアネットワーク（bxCAN）* で、DBF ビットのリセット値とアクセスタイプを変更、若干のテキスト変更。 SPI セクション：*セクション 24.2.2：I^2S 機能* に注を追加。*スレーブ選択（NSS）ピンの管理* を明確化。*セクション 24.3.3：SPI のマスタモード設定* と *セクション 24.3.4：SPI の単方向通信設定* の最後に注を追加。 *セクション 24.4.3：クロックジェネレータ（689 ページ）* にオーディオ周波数精度の表 *182* と *183* を追加し、オーディオサンプリング周波数の範囲を 96 kHz に拡大。 *アービトレーションロスト（ARLO）（721 ページ）* を指定。 USART セクション：*設定可能な ストップビット* で「1.5 ストップビット」の説明を更新、*RTS フロー制御* を訂正。*セクション 26.3.2：トランスミッタ* で、手順シーケンスを変更。*USART_BRR レジスタの値から USARTDIV を得る方法：* を変更。*セクション 26.3.5：クロック偏差に対する USART レシーバの許容誤差* を追加。*セクション 26.3.11：スマートカード* と *セクション 26.3.10：単線半二重通信* を更新。*セクション 26.6.4：制御レジスタ 1（USART_CR1）* で、ビット 12 の説明を変更。 *デバッグサポート（DBG）* セクション： – *図 360：STM32F10xxx レベルと Cortex-M3 レベルのデバッグサポートのブロック図* を更新 – *セクション 30.15：ETM（組み込みトレースマクロセル）* を追加 – *図 363：TPIU ブロック図* を更新 – *DBGMCU_IDCODE* で、コネクティビティラインデバイスの REV_ID(15:0) を更新（リビジョン Z を追加）。 *セクション 27：USB On-The-Go FS* を改訂。若干のテキスト変更。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表231. 改版履歴（続き）

日付	版	変更内容
2009 年 12 月 4 日	10 （次のページに続く）	本書の全体を通じて、STM32F10xxx Cortex-M3 プログラミングマニュアル（PM0056）への言及を行った。 GPIO、AFIO、EXTI、ADC、DAC、CAN、FSMC、SDIO、USB_OTG の各レジスタへのアクセスは、ワード（32 ビット）単位。 PWR、BKP、USART、SPI、I2C、TIM1&8、TIMx、TIM6&7、WWDG、IWDG、USB、RTC の各レジスタへのアクセスは、ワード（32 ビット）またはハーフワード（16 ビット）単位。 DMA レジスタへのアクセスは、バイト（8 ビット）、ワード（32 ビット）、またはハーフワード（16 ビット）単位。 *表 1: レジスタ境界アドレス* で、USB OTG FS の上位境界アドレスを訂正。 *フラッシュメモリの読み出し* で、注 4 を変更。 *セクション 7.2 : クロック* を更新。*図 11 : クロックツリー* を変更。*STANDBY モードからの復帰* を変更。*セクション 7.3.2 : クロック設定レジスタ（RCC_CFGR）* で、HPRE ビットの説明に注意を追加、ビット 22 の説明を変更。 *セクション 7.1.2 : 電源リセット* と *セクション 6.1.2 : 電源リセット* を変更、*図 7 : 簡略化されたリセット回路図* と *図 10 : 簡略化されたリセット回路図* を変更。 *セクション 6.3 : RCC レジスタ* で、HSE 周波数範囲を訂正。 「USB」の表を *表 28: OTG_FS ピン配置* に置き換え。 *セクション 10.4 : DMA レジスタ* で、アドレスオフセットを訂正。 *表 69: ADC ピン* に注を追加、V_{DDA} の説明を変更。 *図 178 : RTC の単純化されたブロック図* を変更。 *表 95: 最小/最大 IWDG タイムアウト期間（40 kHz）（LSI）* で、周波数を変更。 *セクション 19.4 : ウォッチドッグタイムアウトのプログラムの方法* で、テキスト変更。 *セクション 20 : フレキシブルスタティックメモリコントローラ（FSMC）* で、FSMC_TCR を FSMC_BTR に変更。 *セクション 24 : シリアルペリフェラルインタフェース（SPI）* の構造を改訂。 *セクション 24.3.1 : 概要* で、NSS の説明を明確化。 *セクション 24.2.2 : I^2S 機能* を変更。*セクション 24.3.2 : SPI のスレーブモード設定* に注を追加。*図 238 : データクロックのタイミング図* を変更。*セクション 24.3.4 : SPI の単方向通信設定* を明確化。*セクション 24.3.5 : データの送受信手順* を追加。 *セクション 24.3.6 : CRC の計算* を明確化。*セクション 24.3.7 : ステータスフラグ* を更新。*セクション 24.3.8 : SPI の無効化* を更新。*セクション 24.3.9 : DMA（direct memory addressing）を使用する SPI 通信* を更新。*セクション 24.3.10 : エラーフラグ* を変更。*セクション 24.4.3 : クロックジェネレータ* を更新。*セクション 24.5.1 : SPI 制御レジスタ 1（SPI_CR1）（I2S モードでは使用しません）* で、ビット 6（SPE）に注を追加。*セクション 24.5.2 : SPI 制御レジスタ 2（SPI_CR2）* で、ビット 6 と 7 の説明から注を削除。*セクション 24.5.3 : SPI ステータスレジスタ（SPI_SR）* で、ビット 7（BSY）に注を追加。 *セクション 24.4.4 : I^2S マスタモード* を変更。 *通信の終了* を指定。*バスエラー（BERR）* を変更。*セクション 25.6.8 : クロック制御レジスタ（I2C_CCR）* で、CCR ビットの定義を変更。 *セクション 25.6.3 : 自己アドレスレジスタ 1（I2C_OAR1）* で、ビット 14 の定義を変更。 *表 194: USART 割り込みリクエスト* に注を追加。*セクション 26 : USART（Universal synchronous asynchronous receiver transmitter）* の全体を通じて、SCLK を CK に置き換え。*図 280 : 送信時の TC/TXE 動作* を明確化。*スタートビットの検出* を変更。*DMA を使用した送信* を更新。*図 295 : DMA を使用した送信* を追加。*図 296 : DMA を使用した受信* を追加。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表231. 改版履歴（続き）

日付	版	変更内容
2009 年 12 月 4 日	10（続き）	*OTG_FS AHB 設定レジスタ（OTG_FS_GAHBCFG）*で、TXFELVL ビットの説明を変更。 *OTG_FS コア割り込みレジスタ（OTG_FS_GINTSTS）*で、NPTXFE ビットの説明を変更。 *OTG_FS 割り込みマスクレジスタ（OTG_FS_GINTMSK）*で、NPTXFEM ビットの説明を変更。 *図 310：送信 FIFO 書き込みタスク*を変更。 *OTG_FS 割り込みマスクレジスタ（OTG_FS_GINTMSK）*で、ビット 22 を予約済みに変更。 *OTG デバイスエンドポイント x 制御レジスタ（OTG_FS_DIEPCTLx）（x = 1..3、x = Endpoint_number）*で、ビット 29 の説明を変更。 *OTG_FS ホストチャネル x 特性レジスタ（OTG_FS_HCCHARx）（x = 0..7、x = チャネル番号）*で、ビット 21:20 の予約を解除。 4 つの入力/出力エンドポイントしかありません： – *OTG_FS デバイス全チャネル割り込みレジスタ（OTG_FS_DAINT）*で、ビット説明を訂正。 – *OTG_FS デバイス IN エンドポイント FIFO エンプティ割り込みマスクレジスタ：（OTG_FS_DIEPEMPMSK）*で、ビット 15:0 の説明を訂正（4 つのエンドポイントしかありません）。 – *表 203: OTG_FS レジスタマップとリセット値*を訂正 *セクション 28.4：イーサネットの機能詳細SMI、MII、および RMII（926 ページ）*に注を追加。 *ユニキャストデスティネーションアドレスフィルタ*と*マルチキャストデスティネーションアドレスフィルタ*に注を追加。 *パワーダウン時のシステムに関する考慮事項（957 ページ）*を更新。 *図 324：ETH のブロック図*を変更。*TDES0：送信ディスクリプタ Word0*と*TDES0：送信ディスクリプタ Word0：送信タイムスタンプ制御およびステータス（978 ページ）*で、CIC ビットの説明を変更。 *イーサネット MAC ハッシュテーブルハイレジスタ（ETH_MACHTHR）*の説明を明確化。 *イーサネット DMA バスモードレジスタ（ETH_DMABMR）*で、ビット 6:2 の説明を変更。 *セクション 28.8：イーサネットレジスタの説明*で、ペリフェラルレジスタのアクセスを指定。
2010 年 4 月 23 日	11	特大容量デバイスを追加。 *Flash アクセス制御レジスタ（FLASH_ACR）*を挿入。 *外部ソース（HSE バイパス）*と*外部ソース（HSE バイパス）*：HSE の最大周波数を変更。 *セクション 6.3.1：クロック制御レジスタ（RCC_CR）*と*セクション 7.3.1：クロック制御レジスタ（RCC_CR）*で、HSEBYP ビットの説明を変更。 *セクション 8.4.2：オルタネート機能の再配置とデバッグ入出力設定レジスタ（AFIO_MAPR）*で、SPI3_REMAP の定義を変更。 *図 21：コネクティビティラインデバイスの DMA ブロック図*を変更。 *図 84：センターアライン PWM 波形（ARR=8）*を変更。 *セクション 13.4.2：TIM1 および TIM8 制御レジスタ 2（TIMx_CR2）*で、OIS1N ビットと OIS1 ビットの説明を変更。 FSMC のブロック図を再挿入。 *図 201：同期多重読み出しモード−NOR、PSRAM（CRAM）*を変更。 *表 134: FSMC レジスタマップ*で、FSMC_ECCR2 と FSMC_ECCR3 のリセット値を変更。 *スレーブアドレス送信（714 ページ）*で、I2C マスタモードを更新。 *OTG_FS コア割り込みレジスタ（OTG_FS_GINTSTS）*と*OTG_FS 割り込みマスクレジスタ（OTG_FS_GINTMSK）*で、ビット 5 の説明の注を変更。 *DMA を使用した送信*を更新。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表231. 改版履歴（続き）

日付	版	変更内容
2010 年 4 月 23 日	11 続き	*セクション 20：フレキシブルスタティックメモリコントローラ（FSMC）*を更新 *セクション 20.3：AHB インタフェース（477 ページ）*を更新 *NOR 型フラッシュ /PSRAM のラップサポート（480 ページ）*を更新 *表 107：FSMC_BCRx ビットフィールド（486 ページ）*で、ASYNCWAIT を追加 *非同期アクセスにおけるウェイト管理（498 ページ）*セクションを追加 *図 199：書き込みアクセス中の非同期ウェイト（500 ページ）*を更新 *表 130：16 ビット PC カード（514 ページ）*を更新 *セクション 20.6.7：PC カード/コンパクトフラッシュの操作（518 ページ）*を追加 OTG_FS コントローラのブロック図を削除 *セクション 27.10.2：ペリフェラル Tx FIFO* を更新 *セクション 27.12：FIFO RAM の割り当て* を追加 *表 197: コアグローバル制御およびステータスレジスタ（CSR）*を更新 *セクション 25.3.3：I2C マスタモード*に方法 1 と 2 を追加 *セクション 25.6：I^2C レジスタ*で、POS ビットの説明の注を更新 *セクション 27：USB On-The-Go FS* で、NPTXRWEN ビットを削除 *セクション 27：USB On-The-Go FS* で、TRDT ビットの式を更新 *OTG_FS デバイス IN エンドポイント共通割り込みマスクレジスタ（OTG_FS_DIEPMSK）*で、BIM ビットと TXFURM ビットを削除 *OTG_FS デバイス OUT エンドポイント共通割り込みマスクレジスタ（OTG_FS_DOEPMSK）*で、BOIM、OPEM、B2BSTUP の各ビットを削除 *セクション 30.6.2：バウンダリスキャン TAP（1046 ページ）*を更新

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

索引

A

ADC_CR1 237
ADC_CR2 239
ADC_DR 248
ADC_HTR 244
ADC_JDRx 247
ADC_JOFRx 243
ADC_JSQR 247
ADC_LTR 244
ADC_SMPR1 242
ADC_SMPR2 243
ADC_SQR1 245
ADC_SQR2 245
ADC_SQR3 246
ADC_SR 236
AFIO_EVCR 170
AFIO_EXTICR1 177
AFIO_EXTICR2 177
AFIO_EXTICR3 178
AFIO_EXTICR4 178
AFIO_MAPR 171
AFIO_MAPR2 179

B

BKP_CR 77
BKP_CSR 77
BKP_DRx 76
BKP_RTCCR 76

C

CAN_BTR 644
CAN_ESR 643
CAN_FA1R 654
CAN_FFA1R 654
CAN_FiRx 655
CAN_FM1R 653
CAN_FMR 652
CAN_FS1R 653
CAN_IER 642
CAN_MCR 635
CAN_MSR 637
CAN_RDHxR 651
CAN_RDLxR 651
CAN_RDTxR 650
CAN_RF0R 640
CAN_RF1R 641
CAN_RIxR 649
CAN_TDHxR 648
CAN_TDLxR 648
CAN_TDTxR 647
CAN_TIxR 646
CAN_TSR 638
CRC_DR 58
CRC_IDR 58

D

DBGMCU_CR 1059
DBGMCU_IDCODE 1045
DMA_CCRx 210
DMA_CMARx 212
DMA_CNDTRx 211
DMA_CPARx 212
DMA_IFCR 209
DMA_ISR 208

E

ETH_DMABMR 1019
ETH_DMACHRBAR 1031
ETH_DMACHRDR 1031
ETH_DMACHTBAR 1031
ETH_DMACHTDR 1030
ETH_DMAIER 1028
ETH_DMAMFBOCR 1030
ETH_DMAOMR 1025
ETH_DMARDLAR 1021
ETH_DMARPDR 1021
ETH_DMASR 1022
ETH_DMATDLAR 1022
ETH_DMATPDR 1020
ETH_MACA0HR 1004
ETH_MACA0LR 1005
ETH_MACA1HR 1005
ETH_MACA1LR 1006
ETH_MACA2HR 1006
ETH_MACA2LR 1007
ETH_MACA3HR 1007
ETH_MACA3LR 1008
ETH_MACCR 992
ETH_MACFCR 998
ETH_MACFFR 995
ETH_MACHTHR 996
ETH_MACHTLR 997
ETH_MACIMR 1004

この資料は、STMicroelectronics NV 並びにその子会社(以下ST)が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くためにSTマイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST及びSTマイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ETH_MACMIIAR 997
ETH_MACMIIDR 998
ETH_MACPMTCSR 1002
ETH_MACRWUFFR 1001
ETH_MACSR 1003
ETH_MACVLANTR 1000
ETH_MMCCR 1009
ETH_MMCRFAECR 1013
ETH_MMCRFCECR 1013
ETH_MMCRGUFCR 1014
ETH_MMCRIMR 1011
ETH_MMCRIR 1009
ETH_MMCTGFCR 1013
ETH_MMCTGFMSCCR 1012
ETH_MMCTGFSCCR 1012
ETH_MMCTIMR 1011
ETH_MMCTIR 1010
ETH_PTPSSIR 1015
ETH_PTPTSAR 1017
ETH_PTPTSCR 1014
ETH_PTPTSHR 1015
ETH_PTPTSHUR 1016
ETH_PTPTSLR 1016
ETH_PTPTSLUR 1017
ETH_PTPTTHR 1018
ETH_PTPTTLR 1018
EXTI_EMR 194
EXTI_FTSR 195
EXTI_IMR 194
EXTI_PR 196
EXTI_RTSR 195
EXTI_SWIER 196

G

GPIOx_BRR 161
GPIOx_BSRR 160
GPIOx_CRH 159
GPIOx_CRL 158
GPIOx_IDR 159
GPIOx_LCKR 161
GPIOx_ODR 160

I

I2C_CCR 738
I2C_CR1 728
I2C_CR2 730
I2C_DR 732
I2C_OAR1 731
I2C_OAR2 732
I2C_SR1 733
I2C_SR2 737
I2C_TRISE 739
IWDG_KR 466
IWDG_PR 467
IWDG_RLR 468
IWDG_SR 468

O

OTG_FS_CID 833
OTG_FS_DAINT 851
OTG_FS_DAINTMSK 851
OTG_FS_DCFG 845
OTG_FS_DCTL 846
OTG_FS_DIEPCTL0 853
OTG_FS_DIEPEMPMSK 853
OTG_FS_DIEPINTx 861
OTG_FS_DIEPMSK 849
OTG_FS_DIEPTSIZ0 863
OTG_FS_DIEPTSIZx 865
OTG_FS_DIEPTXFx 834
OTG_FS_DOEPCTL0 857
OTG_FS_DOEPCTLx 858
OTG_FS_DOEPINTx 862
OTG_FS_DOEPMSK 850
OTG_FS_DOEPTSIZ0 864
OTG_FS_DOEPTSIZx 866
OTG_FS_DSTS 848
OTG_FS_DTXFSTSx 866
OTG_FS_DVBUSDIS 852
OTG_FS_DVBUSPULSE 852
OTG_FS_GAHBCFG 817
OTG_FS_GCCFG 833
OTG_FS_GINTMSK 826
OTG_FS_GINTSTS 822
OTG_FS_GNPTXFSIZ 831
OTG_FS_GNPTXSTS 832
OTG_FS_GOTGCTL 814
OTG_FS_GOTGINT 816
OTG_FS_GRSTCTL 820
OTG_FS_GRXFSIZ 830
OTG_FS_GRXSTSP 829
OTG_FS_GRXSTSR 829
OTG_FS_GUSBCFG 818
OTG_FS_HAINT 838
OTG_FS_HAINTMSK 838
OTG_FS_HCCHARx 841
OTG_FS_HCFG 835
OTG_FS_HCINTMSKx 843
OTG_FS_HCINTx 842
OTG_FS_HCTSIZx 844
OTG_FS_HFIR 836
OTG_FS_HFNUM 836

この資料は、STMicroelectronics NV 並びにその子会社(以下ST)が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くためにSTマイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST及びSTマイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OTG_FS_HPRT 839
OTG_FS_HPTXFSIZ 834
OTG_FS_HPTXSTS 837
OTG_FS_PCGCCTL 867

P

PWR_CR 70
PWR_CSR 72

R

RCC_AHBENR 103, 134, 142
RCC_APB1ENR 106, 137
RCC_APB1RSTR 100, 131
RCC_APB2ENR 104, 135
RCC_APB2RSTR 98, 130
RCC_BDCR 109, 139
RCC_CFGR 93, 124, 143
RCC_CIR 96, 127
RCC_CR 91, 122
RCC_CSR 110, 141
RTC_ALRH 462
RTC_ALRL 462
RTC_CNTH 461
RTC_CNTL 462
RTC_CRH 458
RTC_CRL 458
RTC_DIVH 461
RTC_DIVL 461
RTC_PRLH 460
RTC_PRLL 460

S

SDIO_CLKCR 570
SDIO_DCOUNT 576
SDIO_DCTRL 574
SDIO_DLEN 574
SDIO_DTIMER 573
SDIO_FIFO 583
SDIO_FIFOCNT 583
SDIO_ICR 578
SDIO_MASK 580
SDIO_POWER 569
SDIO_RESPCMD 572
SDIO_RESPx 573
SDIO_STA 576
SPI_CR1 699
SPI_CR2 701
SPI_CRCPR 703
SPI_DR 703
SPI_I2SCFGR 705
SPI_I2SPR 706
SPI_RXCRCR 704
SPI_SR 702
SPI_TXCRCR 704

T

TIMx_ARR 391, 427, 438, 451
TIMx_BDTR 333
TIMx_CCER 326, 389, 426, 437
TIMx_CCMR1 . . . . . .322, 384, 423, 434
TIMx_CCMR2 . . . . . .325, 388
TIMx_CCR1 . . . . . .331, 391, 428, 439
TIMx_CCR2 . . . . . .332, 392, 428
TIMx_CCR3 . . . . . .332, 392
TIMx_CCR4 . . . . . .333, 393
TIMx_CNT 329, 390, 427, 438, 450
TIMx_CR1 . . . . . .311, 376, 417, 430, 447
TIMx_CR2 . . . . . .312, 377, 418, 431, 449
TIMx_DCR 335, 393
TIMx_DIER 317, 381, 420, 432, 449
TIMx_DMAR 336, 394
TIMx_EGR 320, 383, 422, 433, 450
TIMx_PSC 329, 391, 427, 438, 451
TIMx_RCR 331
TIMx_SMCR 315, 378, 419
TIMx_SR 319, 382, 421, 432, 450

U

USART_BRR 776
USART_CR1 777
USART_CR2 779
USART_CR3 780
USART_DR 775
USART_GTPR 782
USART_SR 773
USB_ADDRn_RX 611
USB_ADDRn_TX 610
USB_BTABLE 605
USB_CNTR 599
USB_COUNTn_RX 611
USB_COUNTn_TX 610
USB_DADDR 604
USB_EPnR 605
USB_FNR 604
USB_ISTR 600

W

WWDG_CFR 473
WWDG_CR 473
WWDG_SR 474

この資料は、STMicroelectronics NV 並びにその子会社(以下ST)が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くためにSTマイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST及びSTマイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

この資料は、STMicroelectronics NV 並びにその子会社(以下ST)が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くためにSTマイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST及びSTマイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

よくお読み下さい：

本書記載の内容はST 製品に関してのみ適用されるものです。STMicroelectronics NV およびその子会社（以下、ST）は、本書、本製品ならびに本書に記載されたサービスの内容を予告なく変更、修正、改定もしくは改良する権利を留保します。

すべてのST 製品はST の販売条件に従って販売されます。

本書記載のST製品およびサービスの選択並びに使用については購入者が全ての責任を負うものとし、本書記載のST製品およびサービスの選択並びに使用に関してST は一切の責任を負いません。

本書は、明示されているか否かに関わらず、また禁反言によるとよらずに関わらず、いかなる知的財産権の実施権を許諾するためのものではありません。本書で第三者の製品もしくはサービスに言及する場合、そのような言及は、STが当該第三者の製品、サービスまたはそれらに含まれる知的財産権を利用する実施権を許諾したとみなすものではなく、またいかなる用法であれ当該第三者の製品、サービスまたはそれらに含まれる知的財産権の使用を保証するものではありません。

ST の販売条件に規定される場合を除き、STは、商品性、特定目的への適合性(その他管轄の如何を問わず法律で認められる同等のもの)、若しくは特許権、著作権その他の知的財産権の侵害に関する黙示の保証を含め、ST 製品の使用または販売に関する明示または黙示の保証をすべて放棄します。

権限のあるST の代表者による書面での明示の許可がある場合を除き、ST 製品を軍事用、航空技術、宇宙用、救命用、若しくは生命維持用に用いること、または不具合若しくは誤動作により負傷または死亡事故、深刻な財産上または環境上の損害を招くおそれのある製品またはシステムへ使用することは、推奨、認可、保証されておりません。「自動車向け」として指定されていないST 製品を自動車用に用いることは、使用者自身の責任においてなされるものとします。

本書に説明されている記述または技術的特徴とは異なる条件でST 製品が再販された場合、本書に記載されるST 製品またはサービスについてのST による保証は直ちに失われるものとし、いかなる形であれ、ST の責任を生ぜしめること、若しくはその責任が延長されることはないものとします。

ST およびST ロゴは各国におけるSTMicroelectronics の商標または登録商標です。

本書の情報はそれ以前に提供された全ての情報に優先します。

ST ロゴはSTMicroelectronics の登録商標です。その他の名称は、それぞれの所有者に帰属します。

© 2011 STMicroelectronics - All rights reserved

STMicroelectronics group of companies

Australia - Belgium - Brazil - Canada - China - Czech Republic - Finland - France - Germany - Hong Kong - India - Israel - Italy - Japan - Malaysia - Malta - Morocco - Philippines - Singapore - Spain - Sweden - Switzerland - United Kingdom - United States of America

www.st.com

この資料は、STMicroelectronics NV 並びにその子会社(以下ST)が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くためにSTマイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST及びSTマイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。