参考資料

# RM0016
# リファレンスマニュアル

## STM8S および STM8A マイクロコントローラファミリ

## 概要

このリファレンスマニュアルは、STM8S および STM8A マイクロコントローラのメモリやペリフェラルの使用法に関する完全な情報をアプリケーション開発者に提供します。

STM8A は、自動車用途向けに設計された、異なるメモリ容量、パッケージ、およびペリフェラルを持つマイクロコントローラ製品群です。

- 中容量の STM8A デバイスは、8～32 KB のフラッシュメモリを持つ STM8AF622x/4x、STM8AF6266/68、STM8AF612x/4x、および STM8AF6166/68 マイクロコントローラです。
- 大容量の STM8A デバイスは、32～128 KB のフラッシュメモリを持つ STM8AF52xx、STM8AF6269/8x/Ax、STM8AF51xx、および STM8AF6169/7x/8x/9x/Ax マイクロコントローラです。

STM8S は、汎用アプリケーション向けに設計された、異なるメモリ容量、パッケージ、およびペリフェラルを持つマイクロコントローラ製品群です。

- バリューラインの小容量 STM8S デバイスは、8 KB のフラッシュメモリを持つ STM8S003xx マイクロコントローラです。
- バリューラインの中容量 STM8S デバイスは、32 KB のフラッシュメモリを持つ STM8S005xx マイクロコントローラです。
- バリューラインの大容量 STM8S デバイスは、64 KB のフラッシュメモリを持つ STM8S007xx マイクロコントローラです。
- アクセスラインの小容量 STM8S デバイスは、8 KB のフラッシュメモリを持つ STM8S103xx および STM8S903xx マイクロコントローラです。
- アクセスラインの中容量 STM8S デバイスは、16～32 KB のフラッシュメモリを持つ STM8S105xx マイクロコントローラです。
- パフォーマンスラインの大容量 STM8S デバイスは、32～128 KB のフラッシュメモリを持つ STM8S207xx および STM8S208xx マイクロコントローラです。

注文情報、ピンの説明、機械的および電気的特性、および使用可能なペリフェラルの完全なリストについては、製品データシートを参照してください。

### リファレンスドキュメント

- 内蔵フラッシュメモリのプログラミング、消去、および保護については、STM8S および STM8A フラッシュプログラミングマニュアル（PM0051）および STM8 SWIM 通信プロトコルおよびデバッグモジュールユーザマニュアル（UM0470）を参照してください。
- STM8 コアについては、STM8 CPU プログラミングマニュアル（PM0044）を参照してください。
- ブートローダユーザマニュアル（UM0560）には内蔵 ROM ブートローダの使用法が記載されています。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

# 目次

**1 中央演算処理装置（CPU）. . . . . 23**

1.1 はじめに . . . . . 23

1.2 CPU レジスタ . . . . . 23

1.2.1 CPU レジスタの説明 . . . . . 23

1.2.2 STM8 CPU レジスタマップ . . . . . 27

1.3 グローバル設定レジスタ（CFG_GCR）. . . . . 28

1.3.1 起動レベル . . . . . 28

1.3.2 SWIM ディセーブル . . . . . 28

1.3.3 グローバル設定レジスタの説明（CFG_GCR）. . . . . 28

1.3.4 グローバル設定レジスタマップとリセット値 . . . . . 28

**2 ブート ROM . . . . . 29**

**3 メモリおよびレジスタマップ . . . . . 30**

3.1 メモリレイアウト . . . . . 30

3.1.1 メモリマップ . . . . . 30

3.1.2 スタック処理 . . . . . 31

3.2 レジスタの説明の略語 . . . . . 33

**4 フラッシュプログラムメモリとデータ EEPROM . . . . . 34**

4.1 はじめに . . . . . 34

4.2 用語 . . . . . 34

4.3 メインフラッシュメモリの機能 . . . . . 34

4.4 メモリ構成 . . . . . 35

4.4.1 STM8S と STM8A のメモリ構成 . . . . . 35

4.4.2 メモリアクセス / ウェイトステートの設定 . . . . . 39

4.4.3 ユーザブート領域（UBC）. . . . . 39

4.4.4 データ EEPROM（DATA）. . . . . 42

4.4.5 メインプログラム領域 . . . . . 42

4.4.6 オプションバイト . . . . . 42

4.5 メモリ保護 . . . . . 43

4.5.1 読み出し保護 . . . . . 43

4.5.2 メモリアクセスセキュリティシステム（MASS）. . . . . 43



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

4.5.3 オプションバイトへの書き込みアクセスの有効化 . . . . . 45
4.6 メモリのプログラミング . . . . . 45
4.6.1 同時書き込み／読み出し（RWW） . . . . . 45
4.6.2 バイトのプログラミング . . . . . 45
4.6.3 ワードプログラミング . . . . . 46
4.6.4 ブロックプログラミング . . . . . 46
4.6.5 オプションバイトのプログラミング . . . . . 48
4.7 ICP と IAP . . . . . 48
4.8 フラッシュレジスタ . . . . . 50
4.8.1 フラッシュ制御レジスタ 1（FLASH_CR1） . . . . . 50
4.8.2 フラッシュ制御レジスタ 2（FLASH_CR2） . . . . . 51
4.8.3 フラッシュ相補制御レジスタ 2（FLASH_NCR2） . . . . . 52
4.8.4 フラッシュ保護レジスタ（FLASH_FPR） . . . . . 53
4.8.5 フラッシュ相補保護レジスタ（FLASH_NFPR） . . . . . 53
4.8.6 フラッシュプログラムメモリ保護解除キーレジスタ（FLASH_PUKR） . . . . . 53
4.8.7 データ EEPROM 保護解除キーレジスタ（FLASH_DUKR） . . . . . 54
4.8.8 フラッシュステータスレジスタ（FLASH_IAPSR） . . . . . 54
4.8.9 フラッシュレジスタマップとリセット値 . . . . . 56

**5 シングルワイヤインタフェースモジュール（SWIM）および デバッグモジュール（DM） . . . . . 57**
5.1 概要 . . . . . 57
5.2 主な特長 . . . . . 57
5.3 SWIM モード . . . . . 57

**6 割り込みコントローラ（ITC） . . . . . 58**
6.1 ITC の概要 . . . . . 58
6.2 割り込みマスクと処理の流れ . . . . . 58
6.2.1 ペンディング割り込みの処理 . . . . . 60
6.2.2 割り込みソース . . . . . 60
6.3 割り込みと低電力モード . . . . . 62
6.4 起動レベル／低電力モードの制御 . . . . . 62
6.5 同時およびネスト割り込み管理 . . . . . 63
6.5.1 同時割り込み管理モード . . . . . 63
6.5.2 ネスト割り込み管理モード . . . . . 63
6.6 外部割り込み . . . . . 65



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

6.7 割り込み命令 . . . . . 65
6.8 割り込みの配置 . . . . . 65
6.9 ITC および EXTI レジスタ . . . . . 66
6.9.1 CPU コンディションコードレジスタ割り込みビット (CCR) . . . . . 66
6.9.2 ソフトウェア優先順位レジスタ x（ITC_SPRx） . . . . . 67
6.9.3 外部割り込み制御レジスタ 1（EXTI_CR1） . . . . . 68
6.9.4 外部割り込み制御レジスタ 1（EXTI_CR2） . . . . . 69
6.9.5 ITC および EXTI レジスタマップとリセット値 . . . . . 70

**7 電源 . . . . . 71**

**8 リセット（RST） . . . . . 72**
8.1 「リセット状態」と「リセット中」の定義 . . . . . 72
8.2 リセット回路の説明 . . . . . 72
8.3 内部リセットソース . . . . . 73
8.3.1 パワーオンリセット（POR）とブラウンアウトリセット（BOR） . . . . . 73
8.3.2 ウォッチドッグリセット . . . . . 74
8.3.3 ソフトウェアリセット . . . . . 74
8.3.4 SWIM リセット . . . . . 74
8.3.5 不正オペコードリセット . . . . . 74
8.3.6 EMC リセット . . . . . 74
8.4 RST レジスタの説明 . . . . . 75
8.4.1 リセットステータスレジスタ（RST_SR） . . . . . 75
8.5 RST レジスタマップ . . . . . 75

**9 クロック制御（CLK） . . . . . 76**
9.1 マスタクロックソース . . . . . 78
9.1.1 HSE . . . . . 78
9.1.2 HSI . . . . . 79
9.1.3 LSI . . . . . 80
9.2 マスタクロック切り替え . . . . . 81
9.2.1 システムの起動 . . . . . 81
9.2.2 マスタクロックの切り替え手順 . . . . . 81
9.3 低速クロックの選択 . . . . . 84
9.4 CPU クロック分周器 . . . . . 84
9.5 ペリフェラルクロックゲーティング（PCG） . . . . . 85



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

9.6 クロックセキュリティシステム（CSS）. . . . . 86
9.7 設定可能クロック出力（CCO）. . . . . 87
9.8 CLK 割り込み . . . . . 87
9.9 CLK レジスタの説明 . . . . . 88
9.9.1 内部クロックレジスタ（CLK_ICKR）. . . . . 88
9.9.2 外部クロックレジスタ（CLK_ECKR）. . . . . 89
9.9.3 クロックマスタステータスレジスタ（CLK_CMSR）. . . . . 90
9.9.4 クロックマスタスイッチレジスタ（CLK_SWR）. . . . . 90
9.9.5 スイッチ制御レジスタ（CLK_SWCR）. . . . . 91
9.9.6 クロック分周器レジスタ（CLK_CKDIVR）. . . . . 92
9.9.7 ペリフェラルクロックゲーティングレジスタ 1（CLK_PCKENR1）. . . . . 93
9.9.8 ペリフェラルクロックゲーティングレジスタ 2（CLK_PCKENR2）. . . . . 94
9.9.9 クロックセキュリティシステムレジスタ（CLK_CSSR）. . . . . 95
9.9.10 設定可能クロック出力レジスタ（CLK_CCOR）. . . . . 96
9.9.11 HSI クロック較正トリミングレジスタ（CLK_HSITRIMR）. . . . . 97
9.9.12 SWIM クロック制御レジスタ（CLK_SWIMCCR）. . . . . 98
9.10 CLK レジスタマップとリセット値 . . . . . 99

**10 電源管理 . . . . . 100**
10.1 一般的な考慮事項 . . . . . 100
10.1.1 低消費電力のためのクロック管理 . . . . . 101
10.2 低電力モード . . . . . 101
10.2.1 WAIT モード . . . . . 102
10.2.2 HALT モード . . . . . 102
10.2.3 アクティブ HALT モード . . . . . 102
10.3 その他のアナログ電源制御 . . . . . 103
10.3.1 HALT モードからの高速フラッシュウェイクアップ . . . . . 103
10.3.2 アクティブ HALT モードでのフラッシュ消費電力の低減 . . . . . 103

**11 汎用入出力ポート (GPIO) . . . . . 104**
11.1 概要 . . . . . 104
11.2 GPIO の主な機能 . . . . . 104
11.3 ポートの設定と使い方 . . . . . 106
11.3.1 入力モード . . . . . 106
11.3.2 出力モード . . . . . 107
11.4 リセット設定 . . . . . 107



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

11.5 未使用の入出力ピン . . . . . 107
11.6 低電力モード . . . . . 107
11.7 入力モードの詳細 . . . . . 107
11.7.1 代替機能入力 . . . . . 107
11.7.2 割り込み機能 . . . . . 108
11.7.3 アナログチャネル . . . . . 108
11.7.4 シュミットトリガ . . . . . 108
11.8 出力モードの詳細 . . . . . 109
11.8.1 代替機能出力 . . . . . 109
11.8.2 スロープ制御 . . . . . 109
11.9 GPIO レジスタ . . . . . 110
11.9.1 ポート x 出力データレジスタ (Px_ODR) . . . . . 110
11.9.2 ポート x ピン入力レジスタ (Px_IDR) . . . . . 110
11.9.3 ポート x データ方向レジスタ (Px_DDR) . . . . . 111
11.9.4 ポート x 制御レジスタ 1 (Px_CR1) . . . . . 111
11.9.5 ポート x 制御レジスタ 2 (Px_CR2) . . . . . 112
11.9.6 GPIO レジスタマップとリセット値 . . . . . 112

**12 自動ウェイクアップ (AWU) . . . . . 113**
12.1 概要 . . . . . 113
12.2 LSI クロックの測定 . . . . . 113
12.3 AWU 機能の説明 . . . . . 114
12.3.1 AWU 動作 . . . . . 114
12.3.2 タイムベースの選択 . . . . . 115
12.3.3 LSI クロック周波数の測定 . . . . . 116
12.4 AWU レジスタ . . . . . 117
12.4.1 制御／ステータスレジスタ (AWU_CSR) . . . . . 117
12.4.2 非同期プリスケーラレジスタ (AWU_APR) . . . . . 117
12.4.3 タイムベース選択レジスタ (AWU_TBR) . . . . . 118
12.4.4 AWU レジスタマップとリセット値 . . . . . 118

**13 ビーパ（BEEP） . . . . . 119**
13.1 概要 . . . . . 119
13.2 ビーパ機能の説明 . . . . . 119
13.2.1 ビーパ動作 . . . . . 119
13.2.2 ビーパ較正 . . . . . 120



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

13.3 ビーパレジスタ . . . . . 120
13.3.1 ビーパ制御 / ステータスレジスタ（BEEP_CSR）. . . . . 120
13.3.2 ビーパレジスタマップとリセット値 . . . . . 120

**14 独立型ウォッチドッグ（IWDG）. . . . . 121**
14.1 概要 . . . . . 121
14.2 IWDG 機能の説明 . . . . . 121
14.3 IWDG レジスタ . . . . . 123
14.3.1 キーレジスタ（IWDG_KR）. . . . . 123
14.3.2 プリスケーラレジスタ（IWDG_PR） . . . . . 123
14.3.3 再ロードレジスタ（IWDG_RLR）. . . . . 124
14.3.4 IWDG レジスタマップとリセット値 . . . . . 124

**15 ウィンドウ型ウォッチドッグ（WWDG）. . . . . 125**
15.1 概要 . . . . . 125
15.2 WWDG の主な機能 . . . . . 125
15.3 WWDG 機能の説明 . . . . . 125
15.4 ウォッチドッグタイムアウトをプログラムするには . . . . . 126
15.5 WWDG 低電力モード . . . . . 128
15.6 ハードウェアウォッチドッグオプション . . . . . 128
15.7 WWDG での HALT モードの使用（WWDGHALT オプション）. . . . . 128
15.8 WWDG 割り込み . . . . . 128
15.9 WWDG レジスタ . . . . . 129
15.9.1 コントロールレジスタ (WWDG_CR) . . . . . 129
15.9.2 ウィンドウレジスタ (WWDG_WR) . . . . . 129
15.10 ウィンドウ型ウォッチドッグレジスタマップとリセット値 . . . . . 129

**16 タイマの概要 . . . . . 130**
16.1 タイマ機能の比較 . . . . . 131
16.2 タイマ信号名の用語 . . . . . 131

**17 16 ビット高機能制御タイマ (TIM1) . . . . . 133**
17.1 概要 . . . . . 133
17.2 TIM1 の主な機能 . . . . . 134
17.3 TIM1 タイムベースユニット . . . . . 136



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

17.3.1 16 ビットカウンタの読み出しと書き込み .....137
17.3.2 16 ビット TIM1_ARR レジスタの書き込みシーケンス .....137
17.3.3 プリスケーラ .....137
17.3.4 アップカウントモード .....138
17.3.5 ダウンカウントモード .....140
17.3.6 センターアラインモード（アップ／ダウンカウント） .....142
17.3.7 繰り返しダウンカウンタ .....144
17.4 TIM1 クロック／トリガコントローラ .....145
17.4.1 プリスケーラクロック（CK_PSC）.....145
17.4.2 内部クロックソース（fMASTER）.....146
17.4.3 外部クロックソースモード 1 .....146
17.4.4 外部クロックソースモード 2 .....148
17.4.5 トリガの同期 .....149
17.4.6 TIM1、TIM5、および TIM6 タイマ間の同期 .....153
17.5 TIM1 キャプチャ／比較チャネル .....159
17.5.1 16 ビット TIM1_CCRi レジスタの書き込みシーケンス .....160
17.5.2 入力ステージ .....161
17.5.3 入力キャプチャモード .....162
17.5.4 出力ステージ .....164
17.5.5 強制出力モード .....165
17.5.6 出力比較モード .....165
17.5.7 PWM モード .....167
17.5.8 ブレーク機能の使用 .....174
17.5.9 外部イベント時の OCiREF 信号のクリア .....177
17.5.10 エンコーダインタフェースモード .....178
17.6 TIM1 割り込み .....180
17.7 TIM1 レジスタ .....181
17.7.1 制御レジスタ 1（TIM1_CR1）.....181
17.7.2 制御レジスタ 2（TIM1_CR2）.....183
17.7.3 スレーブモード制御レジスタ（TIM1_SMCR）.....184
17.7.4 外部トリガレジスタ（TIM1_ETR）.....185
17.7.5 割り込みイネーブルレジスタ（TIM1_IER）.....187
17.7.6 ステータスレジスタ 1（TIM1_SR1）.....188
17.7.7 ステータスレジスタ 2（TIM1_SR2）.....189
17.7.8 イベント生成レジスタ（TIM1_EGR）.....190
17.7.9 キャプチャ／比較モードレジスタ 1（TIM1_CCMR1）.....192
17.7.10 キャプチャ／比較モードレジスタ 2（TIM1_CCMR2）.....195



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

17.7.11 キャプチャ／比較モードレジスタ 3（TIM1_CCMR3）.....196
17.7.12 キャプチャ／比較モードレジスタ 4（TIM1_CCMR4）.....197
17.7.13 キャプチャ／比較イネーブルレジスタ 1（TIM1_CCER1）.....198
17.7.14 キャプチャ／比較イネーブルレジスタ 2（TIM1_CCER2）.....201
17.7.15 カウンタハイ（TIM1_CNTRH）.....201
17.7.16 カウンタロー（TIM1_CNTRL）.....202
17.7.17 プリスケーラハイ（TIM1_PSCRH）.....202
17.7.18 プリスケーラロー（TIM1_PSCRL）.....202
17.7.19 自動再ロードレジスタハイ（TIM1_ARRH）.....203
17.7.20 自動再ロードレジスタロー（TIM1_ARRL）.....203
17.7.21 繰り返しカウンタレジスタ（TIM1_RCR）.....203
17.7.22 キャプチャ／比較レジスタ 1 ハイ（TIM1_CCR1H）.....204
17.7.23 キャプチャ／比較レジスタ 1 ロー（TIM1_CCR1L）.....204
17.7.24 キャプチャ／比較レジスタ 2 ハイ（TIM1_CCR2H）.....205
17.7.25 キャプチャ／比較レジスタ 2 ロー（TIM1_CCR2L）.....205
17.7.26 キャプチャ／比較レジスタ 3 ハイ（TIM1_CCR3H）.....206
17.7.27 キャプチャ／比較レジスタ 3 ロー（TIM1_CCR3L）.....206
17.7.28 キャプチャ／比較レジスタ 4 ハイ（TIM1_CCR4H）.....207
17.7.29 キャプチャ／比較レジスタ 4 ロー（TIM1_CCR4L）.....207
17.7.30 ブレークレジスタ（TIM1_BKR）.....208
17.7.31 デッドタイムレジスタ（TIM1_DTR）.....209
17.7.32 出力アイドル状態レジスタ（TIM1_OISR）.....210
17.7.33 TIM1 レジスタマップとリセット値.....211

**18 16 ビット汎用タイマ（TIM2、TIM3、TIM5）.....213**

18.1 概要.....213
18.2 TIM2/TIM3 の主な機能.....213
18.3 TIM5 の主な機能.....214
18.4 TIM2/TIM3/TIM5 の機能詳細.....214
18.4.1 タイムベースユニット.....215
18.4.2 クロック／トリガコントローラ.....216
18.4.3 キャプチャ／比較チャネル.....217
18.5 TIM2/TIM3/TIM5 割り込み.....219
18.6 TIM2/TIM3/TIM5 レジスタ.....220
18.6.1 制御レジスタ 1（TIMx_CR1）.....220
18.6.2 制御レジスタ 2（TIM5_CR2）.....221



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

18.6.3 スレーブモード制御レジスタ（TIM5_SMCR）.....222
18.6.4 割り込みイネーブルレジスタ（TIMx_IER）.....223
18.6.5 ステータスレジスタ 1（TIMx_SR1）.....224
18.6.6 ステータスレジスタ 2（TIMx_SR2）.....225
18.6.7 イベント生成レジスタ（TIMx_EGR）.....226
18.6.8 キャプチャ／比較モードレジスタ 1（TIMx_CCMR1）.....227
18.6.9 キャプチャ／比較モードレジスタ 2（TIMx_CCMR2）.....229
18.6.10 キャプチャ／比較モードレジスタ 3（TIMx_CCMR3）.....230
18.6.11 キャプチャ／比較イネーブルレジスタ 1（TIMx_CCER1）.....231
18.6.12 キャプチャ／比較イネーブルレジスタ 2（TIMx_CCER2）.....232
18.6.13 カウンタハイ（TIMx_CNTRH）.....232
18.6.14 カウンタロー（TIMx_CNTRL）.....233
18.6.15 プリスケーラレジスタ（TIMx_PSCR）.....233
18.6.16 自動再ロードレジスタハイ（TIMx_ARRH）.....233
18.6.17 自動再ロードレジスタロー（TIMx_ARRL）.....234
18.6.18 キャプチャ／比較レジスタ 1 ハイ（TIMx_CCR1H）.....234
18.6.19 キャプチャ／比較レジスタ 1 ロー（TIMx_CCR1L）.....235
18.6.20 キャプチャ／比較レジスタ 2 ハイ（TIMx_CCR2H）.....235
18.6.21 キャプチャ／比較レジスタ 2 ロー（TIMx_CCR2L）.....235
18.6.22 キャプチャ／比較レジスタ 3 ハイ（TIMx_CCR3H）.....236
18.6.23 キャプチャ／比較レジスタ 3 ロー（TIMx_CCR3L）.....236

**19 8 ビット基本タイマ（TIM4、TIM6）.....241**

19.1 概要.....241
19.2 TIM4 の主な機能.....242
19.3 TIM6 の主な機能.....242
19.4 TIM4/TIM6 割り込み.....242
19.5 TIM4/TIM6 クロックの選択.....242
19.6 TIM4/TIM6 レジスタ.....243
19.6.1 制御レジスタ 1（TIMx_CR1）.....243
19.6.2 制御レジスタ 2（TIM6_CR2）.....244
19.6.3 スレーブモード制御レジスタ（TIM6_SMCR）.....244
19.6.4 割り込みイネーブルレジスタ（TIMx_IER）.....245
19.6.5 ステータスレジスタ 1（TIMx_SR）.....246
19.6.6 イベント生成レジスタ（TIMx_EGR）.....246
19.6.7 カウンタ（TIMx_CNTR）.....247



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

19.6.8 プリスケーラレジスタ（TIMx_PSCR）.....248
19.6.9 自動再ロードレジスタ（TIMx_ARR）.....248
19.6.10 TIM4/TIM6 レジスタマップとリセット値.....249

**20 シリアルペリフェラルインタフェース（SPI）.....251**
20.1 概要.....251
20.2 SPI の主な機能.....251
20.3 SPI 機能の説明.....252
20.3.1 概要.....252
20.3.2 SPI のスレーブモード設定.....256
20.3.3 SPI のマスタモード設定.....256
20.3.4 SPI の単方向通信設定.....257
20.3.5 データの送受信手順.....257
20.3.6 CRC の計算.....264
20.3.7 ステータスフラグ.....264
20.3.8 SPI の無効化.....265
20.3.9 エラーフラグ.....266
20.3.10 SPI 低電力モード.....267
20.3.11 SPI 割り込み.....268
20.4 SPI レジスタ.....269
20.4.1 SPI 制御レジスタ 1（SPI_CR1）.....269
20.4.2 SPI 制御レジスタ 2（SPI_CR2）.....270
20.4.3 SPI 割り込み制御レジスタ（SPI_ICR）.....271
20.4.4 SPI ステータスレジスタ（SPI_SR）.....272
20.4.5 SPI データレジスタ（SPI_DR）.....273
20.4.6 SPI CRC 多項式レジスタ（SPI_CRCPR）.....273
20.4.7 SPI Rx CRC レジスタ（SPI_RXCRCR）.....273
20.4.8 SPI Tx CRC レジスタ（SPI_TXCRCR）.....274
20.5 SPI レジスタマップとリセット値.....274

**21 $I^2C$（Inter-Integrated Circuit）インタフェース.....275**
21.1 概要.....275
21.2 $I^2C$ の主な機能.....275
21.3 $I^2C$ の概要.....276
21.4 $I^2C$ 機能の説明.....278
21.4.1 $I^2C$ スレーブモード.....278



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

21.4.2 I²C マスタモード . . . . . 280
21.4.3 エラー条件 . . . . . 287
21.4.4 SDA/SCL ライン制御 . . . . . 288
21.5 I²C 低電力モード . . . . . 289
21.6 I²C 割り込み . . . . . 290
21.7 I²C レジスタ . . . . . 291
21.7.1 制御レジスタ 1（I2C_CR1） . . . . . 291
21.7.2 制御レジスタ 2（I2C_CR2） . . . . . 292
21.7.3 周波数レジスタ（I2C_FREQR） . . . . . 293
21.7.4 自己アドレスレジスタ LSB（I2C_OARL） . . . . . 293
21.7.5 自己アドレスレジスタ MSB（I2C_OARH） . . . . . 294
21.7.6 データレジスタ（I2C_DR） . . . . . 294
21.7.7 ステータスレジスタ 1（I2C_SR1） . . . . . 295
21.7.8 ステータスレジスタ 2（I2C_SR2） . . . . . 296
21.7.9 ステータスレジスタ 3（I2C_SR3） . . . . . 298
21.7.10 割り込みレジスタ（I2C_ITR） . . . . . 299
21.7.11 クロック制御レジスタロー（I2C_CCRL） . . . . . 300
21.7.12 クロック制御レジスタハイ（I2C_CCRH） . . . . . 301
21.7.13 TRISE レジスタ（I2C_TRISER） . . . . . 303
21.7.14 I²C レジスタマップとリセット値 . . . . . 303

**22 Universal asynchronous receiver transmitter (UART) . . . . . 305**
22.1 概要 . . . . . 305
22.2 UART の主な機能 . . . . . 306
22.3 UART 機能の説明 . . . . . 307
22.3.1 UART キャラクタの説明 . . . . . 311
22.3.2 トランスミッタ . . . . . 312
22.3.3 レシーバ . . . . . 315
22.3.4 高精度ボーレートジュネレータ . . . . . 318
22.3.5 クロック偏差に対する UART レシーバの許容誤差 . . . . . 320
22.3.6 パリティ制御 . . . . . 321
22.3.7 マルチプロセッサ通信 . . . . . 322
22.3.8 LIN（Local Interconnection Network）モード . . . . . 323
22.3.9 UART 同期通信 . . . . . 324
22.3.10 単線半二重通信 . . . . . 326
22.3.11 スマートカード . . . . . 326



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

22.3.12 IrDA SIR ENDEC ブロック . . . . . 328
22.4 LIN モード機能の説明 . . . . . 331
22.4.1 マスタモード . . . . . 331
22.4.2 スレーブモード（自動再同期は無効） . . . . . 335
22.4.3 スレーブモード（自動再同期は有効） . . . . . 338
22.4.4 LIN モード選択 . . . . . 343
22.5 UART 低電力モード . . . . . 344
22.6 UART 割り込み . . . . . 344
22.7 UART レジスタ . . . . . 346
22.7.1 ステータスレジスタ (UART_SR) . . . . . 346
22.7.2 データレジスタ (UART_DR) . . . . . 348
22.7.3 ボーレートレジスタ 1 (UART_BRR1) . . . . . 348
22.7.4 ボーレートレジスタ 2 (UART_BRR2) . . . . . 349
22.7.5 制御レジスタ 1 (UART_CR1) . . . . . 349
22.7.6 制御レジスタ 2 (UART_CR2) . . . . . 350
22.7.7 制御レジスタ 3 (UART_CR3) . . . . . 352
22.7.8 制御レジスタ 4 (UART_CR4) . . . . . 353
22.7.9 制御レジスタ 5（UART_CR5） . . . . . 354
22.7.10 制御レジスタ 6（UART_CR6） . . . . . 355
22.7.11 ガードタイムレジスタ（UART_GTR） . . . . . 355
22.7.12 プリスケーラレジスタ（UART_PSCR） . . . . . 357
22.7.13 UART レジスタマップとリセット値 . . . . . 358

**23 コントローラエリアネットワーク（beCAN） . . . . . 360**
23.1 概要 . . . . . 360
23.2 beCAN の主な機能 . . . . . 360
23.3 beCAN の概要 . . . . . 361
23.3.1 CAN 2.0B アクティブコア . . . . . 361
23.3.2 制御レジスタ、ステータスレジスタ、設定レジスタ . . . . . 361
23.3.3 Tx メールボックス . . . . . 361
23.3.4 受信フィルタ . . . . . 362
23.4 動作モード . . . . . 363
23.4.1 初期化モード . . . . . 363
23.4.2 通常モード . . . . . 364
23.4.3 スリープモード（低電力） . . . . . 364
23.4.4 タイムトリガ通信モード . . . . . 364



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

23.5 テストモード . . . . . 365
23.5.1 サイレントモード . . . . . 365
23.5.2 ループバックモード . . . . . 365
23.5.3 サイレントモードとループバックモードの組み合わせ . . . . . 366
23.6 機能の説明 . . . . . 366
23.6.1 送信処理 . . . . . 366
23.6.2 受信処理 . . . . . 369
23.6.3 識別子フィルタリング . . . . . 370
23.6.4 メッセージストレージ . . . . . 376
23.6.5 エラー管理 . . . . . 378
23.6.6 ビットタイミング . . . . . 379
23.7 割り込み . . . . . 381
23.8 レジスタのアクセス保護 . . . . . 382
23.9 クロックシステム . . . . . 382
23.10 beCAN 低電力モード . . . . . 382
23.11 beCAN レジスタ . . . . . 383
23.11.1 CAN マスタ制御レジスタ（CAN_MCR） . . . . . 383
23.11.2 CAN マスタステータスレジスタ（CAN_MSR） . . . . . 384
23.11.3 CAN 送信ステータスレジスタ（CAN_TSR） . . . . . 385
23.11.4 CAN 送信優先順位レジスタ（CAN_TPR） . . . . . 386
23.11.5 CAN 受信 FIFO レジスタ（CAN_RFR） . . . . . 387
23.11.6 CAN 割り込みイネーブルレジスタ（CAN_IER） . . . . . 388
23.11.7 CAN 診断レジスタ（CAN_DGR） . . . . . 389
23.11.8 CAN ページ選択レジスタ（CAN_PSR） . . . . . 389
23.11.9 CAN エラーステータスレジスタ（CAN_ESR） . . . . . 390
23.11.10 CAN エラー割り込みイネーブルレジスタ（CAN_EIER） . . . . . 391
23.11.11 CAN 送信エラーカウンタレジスタ（CAN_TECR） . . . . . 391
23.11.12 CAN 受信エラーカウンタレジスタ（CAN_RECR） . . . . . 392
23.11.13 CAN ビットタイミングレジスタ 1（CAN_BTR1） . . . . . 392
23.11.14 CAN ビットタイミングレジスタ 2（CAN_BTR2） . . . . . 393
23.11.15 メールボックスレジスタ . . . . . 394
23.11.16 CAN フィルタレジスタ . . . . . 399
23.12 CAN レジスタマップ . . . . . 405
23.12.1 CAN のページ配置 . . . . . 406



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

**24 アナログ／デジタルコンバータ（ADC）. . . . . 409**

24.1 概要 . . . . . 409

24.2 ADC の主な機能 . . . . . 409

24.3 ADC の拡張機能 . . . . . 409

24.4 ADC ピン . . . . . 412

24.5 ADC の機能詳細 . . . . . 412

24.5.1 ADC のオン／オフ制御 . . . . . .412

24.5.2 ADC クロック . . . . . .412

24.5.3 チャネル選択 . . . . . .412

24.5.4 変換モード . . . . . .413

24.5.5 オーバーランフラグ . . . . . .414

24.5.6 アナログウォッチドッグ . . . . . .415

24.5.7 外部トリガによる変換 . . . . . .416

24.5.8 アナログズーミング . . . . . .416

24.5.9 タイミング図 . . . . . .416

24.6 ADC 低電力モード . . . . . 418

24.7 ADC 割り込み . . . . . 418

24.8 データの配置 . . . . . 421

24.9 変換結果の読み出し . . . . . 421

24.10 シュミットトリガディセーブルレジスタ . . . . . 422

24.11 ADC レジスタ . . . . . 423

24.11.1 ADC データバッファレジスタ x ハイ（ADC_DBxRH）（x=0..7 または 0..9） .423

24.11.2 ADC データバッファレジスタ x ロー（ADC_DBxRL）（x=0..7 または 0..9）. .424

24.11.3 ADC 制御／ステータスレジスタ（ADC_CSR） . . . . . .425

24.11.4 ADC 設定レジスタ 1（ADC_CR1）. . . . . .426

24.11.5 ADC 設定レジスタ 2（ADC_CR2）. . . . . .427

24.11.6 ADC 設定レジスタ 3（ADC_CR3）. . . . . .428

24.11.7 ADC データレジスタハイ（ADC_DRH）. . . . . .429

24.11.8 ADC データレジスタロー（ADC_DRL）. . . . . .429

24.11.9 ADC シュミットトリガディセーブルレジスタハイ（ADC_TDRH）. . . . . .430

24.11.10 ADC シュミットトリガディセーブルレジスタロー（ADC_TDRL）. . . . . .430

24.11.11 ADC 高電圧閾値レジスタハイ（ADC_HTRH）. . . . . .431

24.11.12 ADC 高電圧閾値レジスタロー（ADC_HTRL）. . . . . .431

24.11.13 ADC 低電圧閾値レジスタハイ（ADC_LTRH）. . . . . .432

24.11.14 ADC 低電圧閾値レジスタロー（ADC_LTRL）. . . . . .432

24.11.15 ADC ウォッチドッグステータスレジスタハイ（ADC_AWSRH）. . . . . .433



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

24.11.16 ADC ウォッチドッグステータスレジスタロー（ADC_AWSRL）. . . . . .433
24.11.17 ADC ウォッチドッグ制御レジスタハイ（ADC_AWCRH）. . . . . .434
24.11.18 ADC ウォッチドッグ制御レジスタロー（ADC_AWCRL）. . . . . .434
24.12 ADC レジスタマップとリセット値 . . . . . 435

**25 改版履歴 . . . . . 437**



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

# 表の一覧

表 1. 割り込みレベル . . . . . 26
表 2. CPU レジスタマップ . . . . . 27
表 3. CFG_GCR レジスタマップ . . . . . 28
表 4. 略語一覧 . . . . . 33
表 5. ブロックサイズ . . . . . 48
表 6. メモリアクセスとプログラミング方法 . . . . . 49
表 7. フラッシュレジスタマップとリセット値 . . . . . 56
表 8. ソフトウェア優先順位レベル . . . . . 59
表 9. ISR の内部で割り込みを有効／無効にする方法 . . . . . 59
表 10. ベクタアドレスマップとソフトウェア優先順位ビット . . . . . 64
表 11. 専用割り込み命令セット . . . . . 65
表 12. 割り込みレジスタマップ . . . . . 70
表 13. RST レジスタマップ . . . . . 75
表 14. 4 つのトリミングビットを持つデバイス . . . . . 80
表 15. 3 つのトリミングビットを持つデバイス . . . . . 80
表 16. CLK 割り込みリクエスト . . . . . 87
表 17. ペリフェラルクロックゲーティングビット . . . . . 93
表 18. ペリフェラルクロックゲーティングビット . . . . . 94
表 19. CLK レジスタマップとリセット値 . . . . . 99
表 20. 低電力モードの管理 . . . . . 101
表 21. 入出力ポート設定の要約 . . . . . 106
表 22. 低電力モードが GPIO ポートに与える影響 . . . . . 107
表 23. アナログ入力に推奨される設定と推奨されない設定 . . . . . 108
表 24. GPIO レジスタマップ . . . . . 112
表 25. タイムベースの計算テーブル . . . . . 115
表 26. AWU レジスタマップ . . . . . 118
表 27. ビーパレジスタマップ . . . . . 120
表 28. ウォッチドッグタイムアウト時間（LSI クロック周波数 = 128 kHz） . . . . . 122
表 29. IWDG レジスタマップ . . . . . 124
表 30. ウィンドウ型ウォッチドッグのタイミング例 . . . . . 127
表 31. 低電力モードが WWDG に与える影響 . . . . . 128
表 32. WWDG レジスタマップとリセット値 . . . . . 129
表 33. タイマの特性 . . . . . 130
表 34. タイマ機能の比較 . . . . . 131
表 35. 内部タイマ信号の用語 . . . . . 131
表 36. インデックス “i”、“n”、および “x” の説明 . . . . . 132
表 37. カウント方向とエンコーダ信号 . . . . . 178
表 38. 相補型 OCi および OCiN チャネルのブレーク機能による出力制御 . . . . . 200
表 39. TIM1 レジスタマップ . . . . . 211
表 40. TIM2 レジスタマップ . . . . . 236
表 41. TIM3 レジスタマップ . . . . . 238
表 42. TIM5 レジスタマップ . . . . . 239
表 43. TIM4 レジスタマップ . . . . . 249
表 44. TIM6 レジスタマップ . . . . . 249
表 45. 低電力モードでの SPI 動作 . . . . . 267
表 46. SPI 割り込みリクエスト . . . . . 268
表 47. SPI レジスタマップとリセット値 . . . . . 274
表 48. 低電力モードでの $I^2C$ インタフェースの動作 . . . . . 289
表 49. $I^2C$ 割り込みリクエスト . . . . . 290



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 50. SCL 周波数テーブルに対する I2C_CCR 値（fMASTER = 10 MHz または 16 MHz）.....302
表 51. $I^2C$ レジスタマップ.....303
表 52. UART 設定.....305
表 53. サンプリングされたデータからのノイズ検出.....317
表 54. ボーレートのプログラミングと誤差計算.....319
表 55. UART レシーバの許容誤差（UART_DIV[3:0] が 0 の場合）.....320
表 56. UART レシーバの許容誤差（UART_DIV[3:0] が 0 でない場合）.....320
表 57. フレームフォーマット.....321
表 58. LIN モード選択.....343
表 59. 低電力モードでの UART インタフェースの動作.....344
表 60. UART 割り込みリクエスト.....344
表 61. UART1 レジスタマップ.....358
表 62. UART2 レジスタマップ.....358
表 63. UART3 レジスタマップ.....359
表 64. フィルタ番号の例.....374
表 65. 送信メールボックスの配置.....376
表 66. 受信メールボックスの配置.....377
表 67. 低電力モードでの beCAN 動作.....382
表 68. beCAN 制御およびステータスページ - レジスタマップとリセット値.....407
表 69. beCAN メールボックスページ - レジスタマップとリセット値.....407
表 70. beCAN フィルタ設定ページ - レジスタマップとリセット値.....408
表 72. 低電力モード.....418
表 73. シングルモードとバッファ無し連続モードでの ADC 割り込み（ADC1 と ADC2）.....418
表 74. バッファ付き連続モードでの ADC 割り込み（ADC1）.....419
表 75. スキャンモードでの ADC 割り込み（ADC1）.....420
表 76. ADC1 レジスタマップとリセット値.....435
表 77. ADC2 レジスタマップとリセット値.....436
表 78. 改版履歴.....437



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

# 図の一覧

図 1. プログラミングモデル . . . . . 24
図 2. スタッキングの順序 . . . . . 25
図 3. メモリマップ . . . . . 30
図 4. デフォルトのスタックモデル . . . . . 31
図 5. カスタマイズされたスタックモデル . . . . . 32
図 6. 小容量 STM8S でのフラッシュメモリとデータ EEPROM の構成 . . . . . 37
図 7. 中容量 STM8S と STM8A でのフラッシュメモリとデータ EEPROM の構成 . . . . . 38
図 8. 大容量 STM8S と STM8A でのフラッシュメモリとデータ EEPROM の構成 . . . . . 39
図 9. 小容量 STM8S デバイスの UBC 領域のサイズの定義 . . . . . 40
図 10. 最大 32 KB のフラッシュプログラムメモリを持つ中容量 STM8S と STM8A の UBC 領域のサイズの定義 . . . . . 41
図 11. 最大 128 KB のフラッシュプログラムメモリを持つ大容量 STM8S と STM8A の UBC 領域のサイズの定義 . . . . . 42
図 12. SWIM ピンの接続 . . . . . 57
図 13. 割り込み処理のフローチャート . . . . . 59
図 14. 優先順位決定プロセス . . . . . 60
図 15. 同時割り込み管理 . . . . . 63
図 16. ネスト割り込み管理 . . . . . 64
図 17. 電源の概要 . . . . . 71
図 18. リセット回路 . . . . . 72
図 19. VDD/VDDIO 電圧検出：POR/BOR の閾値 . . . . . 73
図 20. クロックツリー . . . . . 77
図 21. HSE クロックソース . . . . . 78
図 22. クロック切り替えのフローチャート（自動モードの例） . . . . . 83
図 23. クロック切り替えのフローチャート（手動モードの例） . . . . . 84
図 24. GPIO ブロック図 . . . . . 105
図 25. AWU のブロック図 . . . . . 113
図 26. ビープのブロック図 . . . . . 119
図 27. 独立型ウォッチドッグ（IWDG）のブロック図 . . . . . 121
図 28. ウォッチドッグのブロック図 . . . . . 125
図 29. 概略タイムアウト時間 . . . . . 127
図 30. ウィンドウ型ウォッチドッグのタイミング図 . . . . . 127
図 31. TIM1 の一般的ブロック図 . . . . . 135
図 32. タイムベースユニット . . . . . 136
図 33. カウンタの 16 ビット読み出しシーケンス（TIM1_CNTR） . . . . . 137
図 34. アップカウントモードのカウンタ . . . . . 138
図 35. プリスケーラ = 2 で ARPE = 0（ARR はプリロードされない）のときのカウンタの更新 . . . . . 139
図 36. ARPE=1（TIM1_ARR はプリロードされる）のときのカウンタ更新イベント . . . . . 139
図 37. ダウンカウントモードのカウンタ . . . . . 140
図 38. プリスケーラ = 2 で ARPE = 0（ARR はプリロードされない）のときのカウンタの更新 . . . . . 141
図 39. プリスケーラ = 1 で ARPE = 1（ARR はプリロードされる）のときのカウンタの更新 . . . . . 141
図 40. センターアラインモードのカウンタ . . . . . 142
図 41. カウンタのタイミング図、$f_{CK_CNT} = f_{CK_PSC}$、TIM1_ARR = 06h、ARPE = 1 . . . . . 143
図 42. モードと TIM1_RCR レジスタの設定による更新レートの例 . . . . . 144
図 43. クロック／トリガコントローラのブロック図 . . . . . 145
図 44. 通常モードの制御回路、$f_{CK_PSC} = f_{MASTER}$ . . . . . 146
図 45. TI2 外部クロックの接続例 . . . . . 146
図 46. 外部クロックモード 1 の制御回路 . . . . . 147
図 47. 外部トリガ入力のブロック図 . . . . . 148



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 48. 外部クロックモード 2 の制御回路 . . . . . 148
図 49. トリガモードの制御回路 . . . . . 149
図 50. トリガリセットモードの制御回路 . . . . . 150
図 51. トリガゲートモードの制御回路 . . . . . 151
図 52. 外部クロックモード 2 ＋トリガモードの制御回路 . . . . . 152
図 53. タイマ連結システムの実装例 . . . . . 153
図 54. トリガ／マスタモード選択ブロック . . . . . 154
図 55. マスタ／スレーブタイマの例 . . . . . 154
図 56. タイマ A の OC1REF によるタイマ B のゲート操作 . . . . . 155
図 57. タイマ A のカウンタイネーブル信号（CNT_EN）によるタイマ B のゲート操作 . . . . . 156
図 58. タイマ A の UEV（TIMERA-UEV）によるタイマ B のトリガ . . . . . 157
図 59. タイマ A のカウンタイネーブル信号（CNT_EN）によるタイマ B のトリガ . . . . . 158
図 60. タイマ A の TI1 入力によるタイマ A とタイマ B のトリガ . . . . . 159
図 61. キャプチャ／比較チャネル 1 メイン回路 . . . . . 159
図 62. キャプチャモードでの TIM1_CCRi レジスタの 16 ビット読み出しシーケンス . . . . . 160
図 63. チャネル入力ステージのブロック図 . . . . . 161
図 64. TIM 1 チャネル 1 の入力ステージ . . . . . 161
図 65. PWM 入力信号の測定 . . . . . 163
図 66. PWM 入力信号測定の例 . . . . . 164
図 67. チャネル出力ステージのブロック図 . . . . . 164
図 68. 相補出力を持つチャネル（チャネル 1）の出力ステージの詳細 . . . . . 165
図 69. 出力比較モード、OC1 のトグル . . . . . 166
図 70. エッジアラインカウントモード PWM モード 1 の波形（ARR=8） . . . . . 168
図 71. センターアライン PWM 波形（ARR=8） . . . . . 169
図 72. ワンパルスモードの例 . . . . . 170
図 73. デッドタイムが挿入された相補出力 . . . . . 172
図 74. 負のパルスより遅延が大きいデッドタイム波形 . . . . . 172
図 75. 正のパルスより遅延が大きいデッドタイム波形 . . . . . 172
図 76. 6 ステップ生成、COM の例（OSSR=1） . . . . . 174
図 77. ブレークに対する出力の動作（相補出力なしのチャネル） . . . . . 175
図 78. ブレークに対する出力の動作（TIM1 相補出力） . . . . . 176
図 79. ETR のアクティブ化 . . . . . 177
図 80. エンコーダインタフェースモードにおけるカウンタの動作例 . . . . . 179
図 81. IC1 の極性を反転したエンコーダインタフェースモードの例 . . . . . 179
図 82. TIM2/TIM3 のブロック図 . . . . . 214
図 83. TIM5 のブロック図 . . . . . 215
図 84. タイムベースユニット . . . . . 215
図 85. 入力ステージのブロック図 . . . . . 217
図 86. TIM 2 チャネル 1 の入力ステージ . . . . . 217
図 87. 出力ステージ . . . . . 218
図 88. チャネル 1 の出力ステージ . . . . . 218
図 89. TIM4 ブロック図 . . . . . 241
図 90. TIM6 ブロック図 . . . . . 241
図 91. SPI のブロック図 . . . . . 252
図 92. シングルマスタ／シングルスレーブアプリケーション . . . . . 253
図 93. データクロックのタイミング図 . . . . . 255
図 94. 全二重モードでの TXE/RXNE/BSY 動作（RXONLY = 0）連続転送の場合 . . . . . 260
図 95. スレーブ／全二重モードでの TXE/RXNE/BSY 動作（BDM = 0、RXONLY = 0）連続転送の場合 . . . 260
図 96. マスタ送信専用モードでの TXE/BSY 動作（BDM = 0 および RXONLY = 0）連続転送の場合 . . . . 261
図 97. スレーブ送信専用モードでの TXE/BSY 動作（BDM = 0 および RXONLY = 0）
連続転送の場合 . . . . . 262
図 98. 受信専用モードでの RXNE 動作（BDM = 0 および RXONLY = 1）連続転送の場合 . . . . . 263



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 99. 送信時の TXE/BSY 動作（BDM = 0 および RXLONY = 0）不連続転送の場合 . . . . . .263
図 100. I2C バスプロトコル . . . . . .276
図 101. I2C ブロック図 . . . . . .277
図 102. スレーブトランスミッタの転送シーケンス図. . . . . .279
図 103. スレーブレシーバの転送シーケンス図 . . . . . .280
図 104. マスタトランスミッタの転送シーケンス図 . . . . . .282
図 105. 方法 1：マスタレシーバの転送シーケンス図 . . . . . .284
図 106. 方法 2：マスタレシーバの転送シーケンス図（N >2 の場合）. . . . . .285
図 107. 方法 2：マスタレシーバの転送シーケンス図（N=2 の場合）. . . . . .286
図 108. 方法 2：マスタレシーバの転送シーケンス図（N=1 の場合）. . . . . .287
図 109. I2C 割り込みマッピング図 . . . . . .290
図 110. UART1 のブロック図 . . . . . .308
図 111. UART2 のブロック図 . . . . . .309
図 112. UART3 のブロック図 . . . . . .310
図 113. ワード長のプログラミング . . . . . .311
図 114. 設定可能な STOP ビット . . . . . .313
図 115. 送信時の TC/TXE の動作. . . . . .314
図 116. START ビットの検出 . . . . . .315
図 117. ノイズ検出のためのデータサンプリング . . . . . .317
図 118. BRR レジスタで USART_DIV をコード化する方法 . . . . . .319
図 119. アイドルライン検出を使用したミュートモード . . . . . .322
図 120. アドレスマーク検出を使用したミュートモード . . . . . .323
図 121. UART 同期送信の例 . . . . . .324
図 122. UART データクロックタイミング図（M=0）. . . . . .325
図 123. UART データクロックタイミング図（M=1）. . . . . .325
図 124. RX データのセットアップ／ホールド時間 . . . . . .325
図 125. ISO 7816-3 非同期プロトコル. . . . . .326
図 126. 1.5 STOP ビットを利用したパリティエラー検出. . . . . .328
図 127. IrDA SIR ENDEC- ブロック図. . . . . .329
図 128. IrDA データ変調（3/16）- 通常モード. . . . . .330
図 129. LIN モードでのブレーク検出（11 ビットブレーク長、LBDL=1）. . . . . .333
図 130. LIN モードでのブレーク検出とフレーミングエラー検出 . . . . . .334
図 131. LIN 識別子フィールドのパリティビット. . . . . .336
図 132. LIN 識別子フィールドのパリティチェック . . . . . .336
図 133. LIN ヘッダの受信タイムアウト. . . . . .337
図 134. LIN 同期フィールドの測定 . . . . . .339
図 135. UARTDIV の読み出し／書き込み動作（LDUM = 0 のとき）. . . . . .339
図 136. UARTDIV の読み出し／書き込み動作（LDUM = 1 のとき）. . . . . .340
図 137. 受信モードでのビットサンプリング . . . . . .343
図 138. UART 割り込みマッピング図 . . . . . .345
図 139. CAN ネットワークのトポロジ. . . . . .361
図 140. beCAN のブロック図. . . . . .362
図 141. beCAN 動作モード . . . . . .362
図 142. beCAN（サイレントモード）. . . . . .365
図 143. beCAN（ループバックモード）. . . . . .365
図 144. beCAN（組み合わせモード）. . . . . .366
図 145. 送信メールボックスの状態 . . . . . .368
図 146. 受信 FIFO の状態. . . . . .369
図 147. 32 ビットフィルタバンクの設定（CAN_FCRx レジスタの FSCx ビット = 0b11）. . . . . .372
図 148. 16 ビットフィルタバンクの設定（CAN_FCRx レジスタの FSCx ビット = 0b10）. . . . . .372
図 149. 16/8 ビットフィルタバンクの設定（CAN_FCRx レジスタの FSCx ビット = 0b01）. . . . . .373
図 150. 8 ビットフィルタバンクの設定（CAN_FCRx レジスタの FSCx ビット = 0b00）. . . . . .373



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 151. *表 64* の例のように設定されたフィルタバンク . . . . . 375
図 152. CAN エラー状態図. . . . . 378
図 153. ビットタイミング . . . . . 379
図 154. CAN フレーム . . . . . 380
図 155. イベントフラグと割り込み生成 . . . . . 381
図 156. CAN レジスタ配置. . . . . 405
図 157. CAN ページ配置 . . . . . 406
図 158. ADC1 のブロック図. . . . . 410
図 159. ADC2 のブロック図. . . . . 411
図 160. アナログウォッチドッグによって保護される領域 . . . . . 415
図 161. シングルモードでのタイミング図（CONT = 0）. . . . . 417
図 162. 連続モードでのタイミング図（CONT = 1）. . . . . 417
図 163. データの右詰め . . . . . 421
図 164. データの左詰め . . . . . 421



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

# 1 中央演算処理装置（CPU）

## 1.1 はじめに

この CPU は 8 ビットアーキテクチャを採用しています。6 つの内部レジスタにより効率的なデータ処理が可能です。この CPU は 80 個の基本命令を実行することができます。20 通りのアドレスモードをサポートし、6 つの内部レジスタをアドレス指定することができます。命令セットの詳しい説明については、STM8 マイクロコントローラファミリプログラミングマニュアル（PM0044）を参照してください。

## 1.2 CPU レジスタ

6 つの CPU レジスタが *図 1*のプログラミングモデルに示されています。割り込みの後、レジスタは *図 2*に示されている順序でスタックにプッシュされます。逆の順序でスタックからポップされます。したがって、割り込みルーチンは必要に応じて、POP および PUSH 命令を使って処理する必要があります。

### 1.2.1 CPU レジスタの説明

#### アキュムレータ（A）

アキュムレータは、オペランドと算術演算および論理演算の結果に加えて、データ操作の結果を保持するために使用される 8 ビットの汎用レジスタです。

#### インデックスレジスタ（X および Y）

これらは、有効なアドレスを作成するために使用される 16 ビットのレジスタです。また、データ操作のための一時的なストレージ領域としても使用され、特定の命令（乗算／除算）のために本来使用されるメモリとしての役割も持っています。ほとんどの場合、後続の命令が Y レジスタを参照することを示すために、クロスアセンブラは PRECODE 命令（PRE）を生成します。

#### プログラムカウンタ（PC）

プログラムカウンタは、CPU によって実行される次の命令のアドレスを格納するために使用される 24 ビットのレジスタです。各命令が処理された後、自動的にリフレッシュされます。その結果、STM8 コアは最大 16 MB のメモリにアクセスできます。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

**図 1. プログラミングモデル**

## スタックポインタ（SP）

スタックポインタは、16 ビットのレジスタです。スタックの次の空き位置のアドレスを含みます。製品によって異なりますが、最上位ビットを強制的にプリセット値に設定できます。

スタックは、サブルーチンコールまたは割り込み時に CPU コンテキストを保存するために使用されます。ユーザは、POP および PUSH 命令を使って直接使用することもできます。

スタックポインタは、C コンパイラで提供されるスタートアップ関数によって初期化できます。C 言語で書かれたアプリケーションの場合、初期化は、C ユーザ用リンカファイルで指定されたアドレスに従って実行されます。ユーザ固有のリンカファイルまたはスタートアップファイルを使用する場合は、スタックポインタが正しく（データシートに示されているアドレスで）初期化されていることを確認してください。アセンブラで書かれたアプリケーションの場合、ST によって提供されるスタートアップ機能を使用するか、正しいアドレスでスタックポインタを初期化することによってユーザ独自のスタートアップ機能をプログラムすることができます。

スタックポインタは、データがスタックにプッシュされるとデクリメントされ、スタックからポップされるとインクリメントされます。アプリケーションでは、下限値を超えないようにする必要があります。

サブルーチンコールは、2 つまたは 3 つのスタックを占有します。割り込みは、すべての内部レジスタ（SP を除く）を保存するために、9 つのスタックを占有します。詳細については、*図 2*を参照してください。

*注：* ***WFI/HALT 命令は、コンテキストを事前に保存します。CPU がこれらのモードにあるときに割り込みが発生した場合、遅延は小さくなります。***



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 2. スタッキングの順序

## 条件コードレジスタ（CC）

条件コードレジスタは、実行直後の命令の結果とプロセッサの状態を示す 8 ビットのレジスタです。このレジスタの第 6 ビット（MSB）は予約済みです。これらのビットは、プログラムによって個別にテストでき、その状態の結果としてとられるアクションを指定できます。各ビットについて、以下に説明します。

- V：オーバーフロー

セットされたとき、V は、最後の符号付き算術演算中に、MSB 結果ビットのオーバーフローが発生したことを示します。INC、INCW、DEC、DECW、NEG、NEGW、ADD、ADDW、ADC、SUB、SUBW、SBC、CP、および CPW 命令を参照してください。

- I1：割り込みマスクレベル 1

I1 フラグは、*表 1* に示されているように、I0 フラグとともに現在の割り込み可能レベルを定義します。これらのフラグは、RIM、SIM、HALT、WFI、IRET、TRAP、および POP 命令を通じ、ソフトウェアによってセット／クリアでき、割り込みサービスルーチンに入ったときにハードウェアによって自動的にセットされます。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 1. 割り込みレベル

| 割り込み可能 | 優先度 | I1 | I0 |
|---|---|---|---|
| 割り込み可能メイン | 最低 | 1 | 0 |
| 割り込み可能レベル 1 | | 0 | 1 |
| 割り込み可能レベル 2 | | 0 | 0 |
| 割り込み不可 | 最高 | 1 | 1 |

- H : ハーフキャリービット

H ビットは、ADD または ADC 命令の実行中に ALU のビット 3 とビット 4 の間で桁上げが発生したときに 1 にセットされます。H ビットは、BCD 算術演算サブルーチンで役立ちます。

- I0 : 割り込みマスクレベル 0

フラグ I1 を参照してください。

- N : ネガティブ

1 にセットされた場合、このビットは、最後の算術演算、論理演算、またはデータ操作の結果が負である（すなわち、最上位ビットが論理 1 である）ことを示します。

- Z : ゼロ

1 にセットされた場合、このビットは、最後の算術演算、論理演算、またはデータ操作の結果がゼロであることを示します。

- C : 桁上げ

セットされた場合、C は、最後の算術演算中に MSB 演算結果ビットで ALU の桁上げまたは桁下げが発生したことを示します。このビットは、ビットテスト、ブランチ、シフト、ローテート、およびロード命令中にも影響されます。ADD、ADC、SUB、および SBC 命令を参照してください。

除算演算では、C は、実行中に問題（商のオーバーフロー、ゼロでの除算）が発生したかどうかを示します。DIV 命令を参照してください。

ビットテスト演算では、C は、テストされたビットのコピーです。BTJF および BTJT 命令を参照してください。
シフトおよびローテート演算では、桁上げは更新されます。RRC、RLC、SRL、SLL、および SRA 命令を参照してください。

このビットは、SCF、RCF、および CCF 命令を使用して、ソフトウェアによってセット、リセット、または補数化できます。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

*例：加算*

$B5 + $94 = "C" + $49 = $149

| | C | 7 | | | | | | 0 |
|---|---|---|---|---|---|---|---|---|
| | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 0 | 1 |
| | C | 7 | | | | | | 0 |
| + | 0 | 1 | 0 | 0 | 1 | 0 | 1 | 0 | 0 |
| | C | 7 | | | | | | 0 |
| = | 1 | 0 | 1 | 0 | 0 | 1 | 0 | 0 | 1 |

## 1.2.2 STM8 CPU レジスタマップ

CPU レジスタは、*表 2*に示されているように、STM8 アドレス空間に配置されます。これらのレジスタは、デバッグモジュールからのみアクセスでき、コアで実行されるメモリアクセス命令によってアクセスすることはできません。

**表 2. CPU レジスタマップ**

| アドレスオフセット | レジスタ名 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|
| 0x00 | A | MSB | - | - | - | - | - | - | LSB |
| 0x01 | PCE | MSB | - | - | - | - | - | - | LSB |
| 0x02 | PCH | MSB | - | - | - | - | - | - | LSB |
| 0x03 | PCL | MSB | - | - | - | - | - | - | LSB |
| 0x04 | XH | MSB | - | - | - | - | - | - | LSB |
| 0x05 | XL | MSB | - | - | - | - | - | - | LSB |
| 0x06 | YH | MSB | - | - | - | - | - | - | LSB |
| 0x07 | YL | MSB | - | - | - | - | - | - | LSB |
| 0x08 | SPH | MSB | - | - | - | - | - | - | LSB |
| 0x09 | SPL | MSB | - | - | - | - | - | - | LSB |
| 0x0A | CC | V | - | I1 | H | I0 | N | Z | C |



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

## 1.3 グローバル設定レジスタ（CFG_GCR）

### 1.3.1 起動レベル

MCU 起動レベルは、CFG_GCR レジスタの AL ビットをプログラムすることによって設定されます。

このビットの詳細については、*セクション 6.4：起動レベル／低電力モードの制御（62 ページ）*を参照してください。

### 1.3.2 SWIM ディセーブル

デフォルトでは、MCU リセット後、SWIM ピンは、デバッグ用またはフラッシュ／EEPROM プログラミング用の外部ツールとの通信ができるように設定されます。このピンをアプリケーションによって汎用 I/O として使用できるように設定できます。このためには、CFG_GCR レジスタの SWD ビットをセットします。

### 1.3.3 グローバル設定レジスタの説明（CFG_GCR）

アドレスオフセット：0x00
リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| 予約済み | | | | | | AL | SWD |
| | | | | | | rw | rw |

ビット 7：2 予約済み

ビット 1 **AL**：起動レベル

このビットは、ソフトウェアによってセット／クリアされます。メインまたは割り込み専用起動レベルを設定します。

0：メイン起動レベル。IRET 命令があると、スタックからコンテキストが取り出され、メインプログラムは WFI 命令後から続行します。

1：割り込み専用起動レベル。IRET 命令があると、CPU はコンテキストを復元せずに、WFI/HALT モードに戻ります。

ビット 0 **SWD**：SWIM ディセーブル

0：SWIM モードは有効です。

1：SWIM モードは無効です。

SWIM モードが有効なときには、SWIM ピンを汎用 I/O として使用することはできません。

### 1.3.4 グローバル設定レジスタマップとリセット値

CFG_GCR は、STM8 アドレス空間に配置されます。ベースアドレスについては、対応するデータシートを参照してください。

**表 3. CFG_GCR レジスタマップ**

| アドレスオフセット | レジスタ名 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|
| 0x00 | CFG_GCR<br>リセット値 | -<br>0 | -<br>0 | -<br>0 | -<br>0 | -<br>0 | -<br>0 | AL<br>0 | SWD<br>0 |



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

# 2 ブート ROM

内蔵の 2 KB ブート ROM（デバイスによっては使用可能）には、ブートローダコードが含まれています。その主な役割は、SPI、CAN、または UART インタフェースを通じて、アプリケーションプログラムを内蔵フラッシュ／EEPROM にダウンロードして、内蔵フラッシュ／EEPROM にコード、データ、オプションバイト、および割り込みベクタをプログラムすることです。

LIN モードでブートローディングを行うために、UART2/UART3 と UART1 には異なるブートローダ通信プロトコルが実装されています。

ブートローダは、リセット後に実行を開始します。詳細については、STM8 ブートローダのユーザマニュアル（UM0560）を参照してください。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

# 3 メモリおよびレジスタマップ

メモリマップ、I/O ポートハードウェアレジスタマップ、および CPU/SWIM／デバッグモジュール／割り込み制御レジスタの詳細については、製品データシートを参照してください。

## 3.1 メモリレイアウト

### 3.1.1 メモリマップ

**図 3. メモリマップ**

RAM の上限、データ EEPROM の上下限、オプションバイトの上限、ハードウェア（HW）レジスタの上限、およびプログラムメモリの上限は、デバイス構成に固有のものです。定量的情報については、データシートを参照してください。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 3.1.2 スタック処理

#### デフォルトのスタックモデル

STM8S および STM8A マイクロコントローラのスタックは、ユーザ RAM 領域に実装されます。デフォルトのスタックモデルを*図 4* に示します。

**図 4. デフォルトのスタックモデル**

1. スタックロールオーバー限界は、すべてのデバイスに実装されているものではありません。詳細については、データシートを参照してください。

***スタックポインタの初期化値***

これはスタックポインタのデフォルト値です。ユーザは、このポインタを初期化するよう注意が必要です。このポインタの正しいロードは、通常、開発ツールによって生成される初期化コード（リンカファイル）によって実行されます。デフォルトのスタックモデルでは、このポインタは、RAM の終了アドレスに初期化されます。

***スタックロールオーバー限界***

デバイスによっては、スタックロールオーバー限界は、固定のアドレスに実装されます。スタックポインタが減少してスタックロールオーバー限界を下回った場合、プッシュ操作によって、またはサブルーチンや割り込みルーチンのコンテキスト保存中に、RAM の終了アドレスにリセットされます。スタックポインタの算術演算が行われた場合、スタックポインタはロールオーバーしません。

ターゲットデバイスとは異なるメモリ構成を持つデバイスでソフトウェアを開発するとき、スタックポインタのこのような動作はきわめて重要です。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### カスタマイズされたスタックモデル

STM8S と STM8A のスタックポインタ処理によって、カスタマイズされたスタックモデルを実装できます。このため、スタックロールオーバー限界による制約のない、柔軟なスタックサイズを実現できます。カスタマイズされたスタックを実装することで、異なるメモリ構成を持つ製品へのソフトウェアのポータビリティも生まれます。*図 5* は、カスタマイズされたスタックモデルを示します。

**図 5. カスタマイズされたスタックモデル**

1. スタックロールオーバー限界は、すべてのデバイスに実装されているものではありません。
2. ガードセルは、スタックオーバーフローが生じたかどうか検出するためにアプリケーションプログラムが連続的にポーリングする必要のある RAM 位置です。

このスタックモデルでは、最初のスタックポインタは、スタックロールオーバー限界を超えて配置する必要があります。したがって、スタックが成長しても、スタックロールオーバー限界に達することはありません。この実装環境では、スタックサイズがロールオーバーメカニズムによって制限されないことは明白です。ただし、ユーザは、スタック位置とスタックサイズをリンクファイルに定義する必要があります。また、スタックポインタが定義済みのスタック領域を超えないようにしなければなりません（スタックのオーバーフローまたはアンダーラン）。

カスタマイズされたスタック以外の RAM 位置は、通常、変数やその他の情報を格納するための RAM として使用できます。

ガードセルをスタックの下端に実装することで、スタックポインタが規定の限界を超えたかどうかを検出できます。これらのセルは、標準の RAM 位置であり、オーバーフローが発生した場合にスタックが上書きされる固定値によって初期化されます。ユーザソフトウェアは、これらのセルを定期的にポーリングし、オーバーフロー条件を検出し、アプリケーションをフェールセーフ状態に置くことができます。

ソフトウェア検証フェーズ中に、スタックのオーバーフローもアンダーランも発生していないことを検証するため、スタックの両方の限界にハードウェアブレークポイントを設定できます。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

## 3.2 レジスタの説明の略語

このリファレンスマニュアルの各章のレジスタの説明では、以下の略語が使用されています。

表 4. 略語一覧

| 略語 | 説明 |
|---|---|
| 読み出し／書き込み（rw） | ソフトウェアは、これらのビットの読み出し／書き込みができます。 |
| 読み出し専用（r） | ソフトウェアは、これらのビットの読み出しのみが可能です。 |
| 書き込み専用（w） | ソフトウェアは、このビットへの書き込みのみが可能です。ビットを読み出した場合、意味のない値が返されます。 |
| 読み出し／1 回書き込み（rwo） | ソフトウェアは、このビットに 1 回だけ書き込むことができますが、読み出しはいつでも可能です。このビットをリセット値に戻すには、リセットする必要があります。 |
| 読み出し／クリア（rc_w1） | ソフトウェアは、このビットを読み出すことができ、1 を書き込むことによってクリアできます。“0”を書き込んでも、ビットの値は変化しません。 |
| 読み出し／クリア（rc_w0） | ソフトウェアは、このビットを読み出すことができ、0 を書き込むことによってクリアできます。“1”を書き込んでも、ビットの値は変化しません。 |
| 読み出し／セット（rs） | ソフトウェアは、このビットの読み出しとセットを行うことができます。“0”を書き込んでも、ビットの値は変化しません。 |
| 読み出し／読み出しによるクリア（rc_r） | ソフトウェアは、このビットを読み出すことができます。このビットを読み出すと、自動的に“0”にクリアされます。<br>“0”を書き込んでも、ビットの値は変化しません。 |
| 予約済み（Res.） | 予約済みのビットであり、リセット値のままにしておかなければなりません。 |



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

# 4 フラッシュプログラムメモリとデータ EEPROM

## 4.1 はじめに

内蔵のフラッシュプログラムメモリとデータ EEPROM は、共通のレジスタセットによって制御されます。これらのレジスタを使用して、アプリケーションは、メモリ内容をプログラムまたは消去したり、書き込み保護を設定したり、特定の低電力モードを設定することができます。アプリケーションは、デバイスのオプションバイトをプログラムすることもできます。

## 4.2 用語

- ブロック

  ブロックとは、1 回のプログラミング操作でプログラムまたは消去できるバイトのセットです。ブロックレベルで実行される操作は、標準のプログラミングおよび消去より高速に実行されます。ブロックサイズの詳細については、*表 5* を参照してください。
- ページ

  ページとは、ブロックのセットです。

  専用オプションバイトを使用して、ユーザブートコードのサイズを 1 ページの単位で設定することができます。

## 4.3 メインフラッシュメモリの機能

- STM8S と STM8A の EEPROM は、2 つのメモリ領域に分けられます。
  - 最大 128 KB のフラッシュプログラムメモリ。容量はデバイスによって異なります。詳細については、*セクション 4.4：メモリ構成* を参照してください。
  - 最大 2 KB のデータ EEPROM（オプションバイトを含む）。データ EEPROM の容量はデバイスによって異なります。詳細については、*セクション 4.4：メモリ構成* を参照してください。
- プログラミングモード
  - バイトプログラミングと自動高速バイトプログラミング（消去操作なし）
  - ワードプログラミング
  - ブロックプログラミングおよび高速ブロックプログラミングモード（消去操作なし）
  - プログラム/消去操作の終了時と不正プログラム操作時の割り込み生成。
- 同時書き込み／読み出し機能（RWW）この機能は、すべてのデバイスで使用できるものではありません。詳細についてはデータシートを参照してください。
- アプリケーション内プログラミング（IAP）およびインサーキットプログラミング（ICP）機能
- 保護機能
  - メモリ読み出し保護（ROP）
  - メモリアクセスセキュリティシステムによるプログラムメモリの書き込み保護（MASS キー）
  - メモリアクセスセキュリティシステムによるデータメモリの書き込み保護（MASS キー）
  - プログラマブルな、書き込み保護されたユーザブートコード領域（UBC）
- メモリの状態は、HALT モードおよび アクティブ HALT モードで通常モードまたはパワーダウンモード（$I_{DDQ}$）に設定可能。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

## 4.4 メモリ構成

### 4.4.1 STM8S と STM8A のメモリ構成

STM8S と STM8A の EEPROM は、32 ビットワード（1 ワードあたり 4 バイト）で構成されます。

メモリ構成は、デバイスによって異なります。

- 小容量 STM8S デバイス
  - 128 ページ（それぞれが 64 バイトのブロック）で構成される 8 KB のフラッシュプログラムメモリ。フラッシュプログラムメモリは、オプションバイトによってサイズを設定できるユーザブートコード領域（UBC）と、メインプログラムメモリ領域の 2 つの領域に分けられます。フラッシュプログラムメモリは、STM8S のアドレス空間の上部に配置され、リセットベクタと割り込みベクタを含みます。
  - ページ（それぞれが 64 バイトのブロック）で構成される最大 640 バイトのデータ EEPROM（DATA）。1 ブロック（64 バイト）に含まれるオプションバイトのうち、11 バイトはデバイスのハードウェア機能の設定に使用されます。オプションバイトは、ユーザモード、IAP モード、ICP/SWIM モードでプログラムすることができます。
- 中容量 STM8S デバイス
  - 最大 64 ページ（それぞれが 128 バイトの 4 ブロック）で構成される 16～32 KB のフラッシュプログラムメモリ。フラッシュプログラムメモリは、オプションバイトによってサイズを設定できるユーザブートコード領域（UBC）と、メインプログラムメモリ領域の 2 つの領域に分けられます。フラッシュプログラムメモリは、STM8S のアドレス空間の上部に配置され、リセットベクタと割り込みベクタを含みます。
  - 最大 2 ページ（それぞれが 128 バイトの 4 ブロック）で構成される最大 1 KB のデータ EEPROM（DATA）。1 ブロック（128 バイト）に含まれるオプションバイトのうち、13 バイトはデバイスのハードウェア機能の設定に使用されます。オプションバイトは、ユーザモード、IAP モード、ICP/SWIM モードでプログラムすることができます。
- 中容量 STM8A デバイス
  - 最大 64 ページ（それぞれが 128 バイトの 4 ブロック）で構成される 8～32 KB のフラッシュプログラムメモリ。フラッシュプログラムメモリは、オプションバイトによってサイズを設定できるユーザブートコード領域（UBC）と、メインプログラムメモリ領域の 2 つの領域に分けられます。フラッシュプログラムメモリは、STM8A のアドレス空間の上部に配置され、リセットベクタと割り込みベクタを含みます。
  - 最大 2 ページ（それぞれが 128 バイトの 4 ブロック）で構成される最大 1 KB のデータ EEPROM（DATA）。1 ブロック（128 バイト）に含まれるオプションバイトのうち、13 バイトはデバイスのハードウェア機能の設定に使用されます。オプションバイトは、ユーザモード、IAP モード、ICP/SWIM モードでプログラムすることができます。
- 大容量 STM8S デバイス
  - 最大 256 ページ（それぞれが 128 バイトの 4 ブロック）で構成される 32～128 KB のフラッシュプログラムメモリ。フラッシュプログラムメモリは、オプションバイトによってサイズを設定できるユーザブートコード領域（UBC）と、メインプログラムメモリ領域の 2 つの領域に分けられます。フラッシュプログラムメモリは、STM8S のアドレス空間の上部に配置され、リセットベクタと割り込みベクタを含みます。
  - 最大 4 ページ（それぞれが 128 バイトの 4 ブロック）で構成される最大 2 KB のデータ EEPROM（DATA）。データ領域のサイズは、所定のマイクロコントローラ用に固定されています。1 ブロック（128 バイト）に含まれるオプションバイトのうち、15 バイトはデバ



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

イスのハードウェア機能の設定に使用されます。オプションバイトは、ユーザモード、IAP モード、ICP/SWIM モードでプログラムすることができます。

- 大容量 STM8A デバイス
  - 最大 256 ページ（それぞれが 128 バイトの 4 ブロック）で構成される 32～128 KB のフラッシュプログラムメモリ。フラッシュプログラムメモリは、オプションバイトによってサイズを設定できるユーザブートコード領域（UBC）と、メインプログラムメモリ領域の 2 つの領域に分けられます。フラッシュプログラムメモリは、STM8A のアドレス空間の上部に配置され、リセットベクタと割り込みベクタを含みます。
  - 最大 4 ページ（それぞれが 128 バイトの 4 ブロック）で構成される最大 2 KB のデータ EEPROM（DATA）。データ領域のサイズは、所定のマイクロコントローラ用に固定されています。1 ブロック（128 バイト）に含まれるオプションバイトのうち、15 バイトはデバイスのハードウェア機能の設定に使用されます。オプションバイトは、ユーザモード、IAP モード、ICP/SWIM モードでプログラムすることができます。

*セクション 4.4.3：ユーザブート領域（UBC）*で説明されているように、ページは、ユーザブートコード領域の粒度（細分性）を定義します。

*図 6*、*図 7*、および*図 8*は、STM8S および STM8A デバイスのフラッシュメモリとデータ EEPROM の構成を示します。詳細については、STM8S と STM8A のプログラミングマニュアル（PM0051）を参照してください。

*注：* ***EEPROM のアクセス時間によって、デバイスは最大 16 MHz で動作できます。16 MHz を超えるクロック周波数の場合、フラッシュ/データ EEPROM のアクセスは、1 ウェイトステート用に設定する必要があります。これは、デバイスのオプションバイトで有効にします（STM8S と STM8A のデータシートのオプションバイトのセクションを参照）。***



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

**図 6. 小容量 STM8S でのフラッシュメモリとデータ EEPROM の構成**

この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

**図 7. 中容量 STM8S と STM8A でのフラッシュメモリとデータ EEPROM の構成**

1. メモリマッピングは、32 KB のフラッシュプログラムメモリと 1 KB の SRAM を備えた STM8A デバイスに対するものです。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 8. 大容量 STM8S と STM8A でのフラッシュメモリとデータ EEPROM の構成

### 4.4.2 メモリアクセス/ウェイトステートの設定

フラッシュ /データ EEPROM のアクセス時間によって、デバイスは、ウェイトステートなしに最大 16 MHz で動作できます。

最大 24 MHz の高周波数で高速外部クロック（HSE）を使用するとき、1 ウェイトステートが必要です。この場合、このウェイトステートを挿入するよう、デバイスのオプションバイトをプログラムする必要があります。データシートのオプションバイトのセクションを参照してください。

### 4.4.3 ユーザブート領域（UBC）

ユーザブート領域（UBC）は、リセットベクタおよび割り込みベクタを含みます。IAP および通信ルーチンを格納するために使用できます。UBC 領域は、IAP プログラミング中の意図しない消去や変更を防ぐために、第 2 レベルの保護対策が施されています。これは、常に書き込み保護され、MASS キーを使用して書き込み保護をロック解除できないことを意味します。

UBC 領域のサイズは、UBC オプションバイトを読み出すことによって確認できます。

UBC 領域のサイズは、ICP モードで（SWIM インタフェースを使用して）UBC オプションバイトによって設定できます。UBC オプションバイトは、アドレス 0x00 8000 から始まる UBC 領域に割り当てられるページ数を指定します。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

UBC 領域のメモリマッピングの説明については、*図 9*、*図 10*、および*図 11* を、UBC オプションバイトの詳細については、データシートのオプションバイトのセクションを参照してください。

**図 9. 小容量 STM8S デバイスの UBC 領域のサイズの定義**

1. N（保護されたページ数）= UBC[7:0]
2. UBC[7:0] = 0x00 は、ユーザブートコード領域が定義されていないことを意味します。UBC オプションバイトの説明については、データシートを参照してください。
3. 最初の 2 ページ（128 バイト）は、割り込みベクタを含みます。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

**図 10. 最大 32 KB のフラッシュプログラムメモリを持つ中容量 STM8S と STM8A の UBC 領域のサイズの定義**

1. N（保護されたページ数）= UBC[7:0] + 2（UBC[7:0] > 1 の場合）
2. UBC[7:0] = 0x00 は、ユーザブートコード領域が定義されていないことを意味します。UBC オプションバイトの説明については、データシートを参照してください。
3. 最初の 2 ページ（1 KB）は、128 バイトの割り込みベクタ（32 の IT ベクタ）を含みます。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 11. 最大 128 KB のフラッシュプログラムメモリを持つ大容量 STM8S と STM8A の UBC 領域のサイズの定義

1. UBC[7:0] = 0x00 は、ユーザブートコード領域が定義されていないことを意味します。UBC オプションバイトの説明については、データシートを参照してください。
2. 最初の 2 ページ（1 KB）に含まれる割り込みベクタのうち、128 バイト（32 IT ベクタ）のみが使用されます。

### 4.4.4 データ EEPROM（DATA）

データ EEPROM 領域は、アプリケーションデータを格納するために使用できます。初期状態で、データ領域は、IAP モードでメインプログラムを更新する際の意図しない変更を防ぐため、書き込み保護されています。書き込み保護は、特定の MASS キーシーケンスを使用することによってのみロック解除できます（*データ領域への書き込みアクセスの有効化*を参照）。

データ領域のサイズについては、*セクション 4.4：メモリ構成* を参照してください。

### 4.4.5 メインプログラム領域

メインプログラムは、アプリケーションコードの格納に使用されるフラッシュプログラムメモリの一部です（*図 6*、*図 7*、および*図 8* を参照）。

### 4.4.6 オプションバイト

オプションバイトは、デバイスハードウェア機能とメモリ保護を設定するために使用されます。1 ブロックの専用メモリ配列にあります。

オプションバイトは、FLASH_CR2 レジスタの OPT ビットに 1 を設定し、FLASH_NCR2 レジスタの NOPT ビットに 0 を設定することによって、ICP/SWIM モードと IAP モードのどちらでも変更できます（*セクション 4.8.2：フラッシュ制御レジスタ 2（FLASH_CR2）*および*セクション 4.8.3：フラッシュ相補制御レジスタ 2（FLASH_NCR2）*を参照）。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

オプションバイトの詳細については、データシートのオプションバイトのセクションを、プログラミングの詳細については、STM8 SWIM プロトコルおよびデバッグモジュールのユーザマニュアル（UM0470）を参照してください。

## 4.5 メモリ保護

### 4.5.1 読み出し保護

読み出し保護は、ROP オプションバイトに 0xAA をプログラムすることによって選択されます。読み出し保護が有効なときには、ICP モード（SWIM インタフェースを使用）でのフラッシュプログラムメモリおよびデータ領域の読み出しと変更は、書き込み保護の設定とは関係なく禁止されます。さらに、中容量と大容量の STM8S と STM8A では、デバッグモジュール（DM）は読み出し保護が有効なときに CPU によるコード実行を開始することができず、CPU はストールします。

絶対に打ち破れない保護とは言えないまでも、読み出し保護機能は、汎用マイクロコントローラに対して非常に高いレベルの保護を提供します。

#### 読み出し保護の解除

読み出し保護機能は、ICP モードで ROP オプションバイトをプログラミングすることによって、プログラムメモリ、UBC、およびデータ領域について無効にできます。この場合、フラッシュプログラムメモリ、データ領域、およびオプションバイトは自動的に消去され、デバイスの再プログラムを行うことができます。

読み出し保護が有効または無効なときのメモリアクセスの詳細については、*表 6：メモリアクセスとプログラミング方法*を参照してください。

### 4.5.2 メモリアクセスセキュリティシステム（MASS）

リセット後、メインプログラムおよびデータ領域は、意図しない書き込み操作に対して保護されます。内容の変更を試みる前に、ロック解除する必要があります。このロック解除メカニズムは、メモリアクセスセキュリティシステム（MASS）によって管理されます。

UBC オプションバイトで指定された UBC 領域は、常に書き込み保護されます（*セクション 4.4.3：ユーザブート領域（UBC）*を参照）。

メモリの内容を変更した後は、メモリの内容が破壊されないように、すぐに再び書き込み保護を有効にすることを推奨します。

#### メインプログラムメモリへの書き込みアクセスの有効化

デバイスのリセット後、MASS キーと呼ばれる 2 つの値を FLASH_PUKR レジスタに連続して書き込むことによって、メインプログラムメモリの書き込み保護を無効にできます（*セクション 4.8.6：フラッシュプログラムメモリ保護解除キーレジスタ（FLASH_PUKR）*を参照）。これらのプログラムキーは、次に 2 つのハードウェアキーと比較されます。

- 最初のハードウェアキー：0b0101 0110 (0x56)
- 2 番目のハードウェアキー：0b1010 1110 (0xAE)



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

メインプログラム領域の書き込み保護を無効にするには、以下の手順が必要です。

1. 最初の 8 ビットキーを FLASH_PUKR レジスタに書き込みます。このレジスタがリセット後に初めて書き込まれるときには、データバスの内容はレジスタにラッチされず、最初のハードウェアキーの値（0x56）と比較されます。
2. データバス上で使用可能なキーが正しくなかった場合、FLASH_PUKR レジスタは、次のリセットまでロックされたままです。このアドレスに送信された新しい書き込みコマンドは破棄されます。
3. FLASH_PUKR レジスタが 2 回目に書き込まれたとき、最初のハードウェアキーが正しい場合、データバスの内容はレジスタにラッチされず、2 番目のハードウェアキーの値（0xAE）と比較されます。
4. データバス上で使用可能なキーが正しくなかった場合、プログラムメモリの書き込み保護は、次のリセットまでロックされたままです。このアドレスに送信された新しい書き込みコマンドは破棄されます。
5. 2 番目のハードウェアキーが正しい場合、メインプログラムメモリの書き込み保護が解除され、FLASH_IAPSR レジスタの PUL ビットがセットされます（*セクション 4.8.8: フラッシュステータスレジスタ（FLASH_IAPSR）*レジスタを参照）。

プログラミングを開始する前に、アプリケーションは、PUL ビットが確実にセットされていることを確認する必要があります。アプリケーションはいつでも、PUL ビットをクリアすることによって、フラッシュプログラムメモリへの書き込みアクセスを再び無効にできます。

### データ領域への書き込みアクセスの有効化

デバイスのリセット後、MASS キーと呼ばれる 2 つの値を連続して FLASH_DUKR レジスタに書き込むことによって、データ領域の書き込み保護を無効にできます（*セクション 4.8.9：フラッシュレジスタマップとリセット値*を参照）。これらのプログラムキーは、次に 2 つのハードウェアキーと比較されます。

- 最初のハードウェアキー：0b1010 1110 (0xAE)
- 2 番目のハードウェアキー：0b0101 0110 (0x56)

データ領域の書き込み保護を無効にするには、以下の手順が必要です。

1. 最初の 8 ビットキーを FLASH_DUKR レジスタに書き込みます。このレジスタがリセット後に初めて書き込まれるときには、データバスの内容はレジスタにラッチされず、最初のハードウェアキーの値（0xAE）と比較されます。
2. データバス上で使用可能なキーが正しくなかった場合、アプリケーションは、2 つの MASS キーを再入力することによって、データ領域の保護解除を試みることができます。
3. 最初のハードウェアキーが正しい場合、2 番目のキーが FLASH_DUKR レジスタに書き込まれます。データバスの内容は、レジスタにラッチされず、2 番目のハードウェアキーの値（0x56）と比較されます。
4. データバス上で使用可能なキーが正しくなかった場合、データ EEPROM 領域は、次のリセットまで書き込み保護されたままです。このアドレスに送信された新しい書き込みコマンドは無視されます。
5. 2 番目のハードウェアキーが正しい場合、データ領域の書き込み保護が解除され、FLASH_IAPSR レジスタの DUL ビットがセットされます（*セクション 4.8.8：フラッシュステータスレジスタ（FLASH_IAPSR）*を参照）。

プログラミングを開始する前に、アプリケーションは、DUL ビットが確実にセットされているかどうかを確認して、データ領域が書き込み保護されていないことを確かめる必要があります。アプリケーションはいつでも、DUL ビットをクリアすることによって、データ領域への書き込みアクセスを再び無効にできます。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 4.5.3 オプションバイトへの書き込みアクセスの有効化

オプションバイト領域への書き込みアクセスを有効にするための手順は、データ EEPROM の場合と同じです。しかし、オプションバイトへの書き込みアクセスを有効にするには、*フラッシュ制御レジスタ 2（FLASH_CR2）*の OPT ビットをセットし、*フラッシュ相補制御レジスタ 2（FLASH_NCR2）*の対応する NOPT ビットをクリアする必要があります。

## 4.6 メモリのプログラミング

メインプログラムメモリとデータ領域は、プログラム操作の実行を試みる前にロック解除する必要があります。ロック解除のメカニズムは、*セクション 4.5.2：メモリアクセスセキュリティシステム（MASS）*で説明されているように、プログラムされるメモリ領域によって異なります。

### 4.6.1 同時書き込み／読み出し（RWW）

RWW 機能によって、プログラムメモリの読み出しや実行中に、データ EEPROM への書き込み操作を行うことができます。したがって、実行時間が最適化されます。逆の操作はできません。すなわち、プログラムメモリへの書き込み中にデータメモリを読み出すことはできません。

この RWW 機能は常に有効にでき、いつでも使用できます。メモリへの書き込みと同時にフラッシュ制御レジスタ（FLASH_CR1 および FLASH_CR2）にアクセスすると、CPU がストールし、RWW を使用できなくなります。

*注：* ***RWW 機能は、すべての デバイスで使用できるものではありません。詳細については、データシートを参照してください。***

### 4.6.2 バイトのプログラミング

メインプログラムメモリとデータ領域は、バイトレベルでプログラムできます。1 バイトをプログラムするには、アプリケーションは、目的のアドレスに直接書き込みます。

- メインプログラムメモリの場合：

  バイトプログラム操作の間、アプリケーションは停止します。
- データ領域の場合：
  - RWW 機能のあるデバイス：プログラムの実行は停止せず、バイトプログラム操作は IAP モードで同時書き込み／読み出し（RWW）機能を使用して実行されます。
  - RWW 機能のないデバイス：バイトプログラム操作の間、アプリケーションは停止します。

バイトを消去するには、対応するアドレスに 0x00 を書き込むだけです。

アプリケーションは、FLASH_IAPSR レジスタを読み出すことによって、プログラミングまたは消去操作が正しく実行されたかどうかを確かめることができます。

- プログラミング操作が成功すると、EOP フラグがセットされます。
- ソフトウェアが保護されたページへの書き込みを試みると、WR_PG_DIS がセットされます。この場合、書き込み処理は実行されません。

FLASH_CR1 レジスタの IE ビットをセットすることによって、前もってフラッシュ割り込みが有効にされていた場合、これらのフラグの 1 つがセットされると、フラッシュ割り込みが生成されます。

#### 自動高速バイトプログラミング

プログラミング時間は、目的アドレスの初期内容によって変わることがあります。プログラムされるバイトを含むワード（4 バイト）が空でない場合、プログラム操作の前にワード全体が自動的に消去



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

されます。逆に、ワードが空の場合、消去操作は行われず、プログラミング時間は短くなります（*データシートの表「フラッシュ プログラムメモリ」*の $t_{PROG}$ を参照）。

ただし、FLASH_CR1 レジスタの FIX ビットをセットすると、バイトの内容に関係なく、プログラム操作によってバイトの内容が強制的に消去されるので、プログラミング時間を固定できます（*セクション 4.8.1：フラッシュ制御レジスタ 1（FLASH_CR1）*を参照）。結果として、プログラミング時間は固定され、消去時間と書き込み時間の合計に等しくなります（*データシートの表「フラッシュ プログラムメモリ」*の $t_{PROG}$ を参照）。

*注：* ***バイト書き込みを高速で（消去なしで）行うには、書き込まれるワード全体の内容が、あらかじめ消去されていなければなりません。この為、同じワードに 2 回の高速書き込みを行う（2 番目の書き込みの前に消去を行わない）ことはできません。最初の書き込みは高速ですが、他のバイトへの 2 番目の書き込みでは消去が必要です。***

### 4.6.3 ワードプログラミング

ワード書き込み操作では、4 バイトのワード全体を 1 回でプログラムできるので、プログラミング時間をより速くできます。

バイトプログラミングと同様、ワード操作は、メインプログラムメモリとデータ EEPROM の両方について可能です。デバイスによっては、データ EEPROM に対してワードプログラミング操作を実行するときに、同時書き込み／読み出し（RWW）機能も使用できます。詳細については、データシートを参照してください。

- メインプログラムメモリの場合：

  バイトプログラム操作の間、アプリケーションは停止します。
- データ領域の場合：
  - RWW 機能のあるデバイス：プログラムの実行は停止せず、バイトプログラム操作は IAP モードで同時書き込み／読み出し（RWW）機能を使用して実行されます。
  - RWW 機能のないデバイス：バイトプログラム操作の間、アプリケーションは停止します。

ワードをプログラムするには、FLASH_CR2 および FLASH_NCR2 レジスタの WPRG/NWPRG ビットをあらかじめセット／クリアして、ワードプログラミングモードを有効にしておく必要があります（*セクション 4.8.2：フラッシュ制御レジスタ 2（FLASH_CR2）*および*セクション 4.8.3：フラッシュ相補制御レジスタ 2（FLASH_NCR2）*を参照）。次に、プログラムされるワードの 4 バイトが、最初のアドレスからロードされなければなりません。プログラミングサイクルは、4 バイトが書き込まれた時点で自動的に開始します。

バイト操作と同様、FLASH_IAPSR の EOP および WR_PG_DIS 制御フラグとフラッシュ割り込みを使用して、操作が正常に完了したかどうかを確認できます。

### 4.6.4 ブロックプログラミング

ブロックプログラム操作は、バイトやワードのプログラム操作よりもはるかに高速です。ブロックプログラム操作では、1 つのプログラミングサイクルでブロック全体がプログラムまたは消去されます。デバイスに応じたブロックサイズの詳細については、*表 5* を参照してください。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ブロック操作は、メインプログラムメモリとデータ領域の両方に対して実行可能です。

- メインプログラムメモリの場合：

  メインプログラムメモリに対するブロックプログラム操作は、完全に RAM から実行されなければなりません。

- データ領域の場合：
  - RWW 機能のあるデバイス：データブロック操作は、メインプログラムメモリから実行できます。ただし、データロードフェーズ（下記参照）は、RAM から実行されなければなりません。
  - RWW 機能のないデバイス：ブロックプログラム操作は、完全に RAM から実行されなければなりません。

次の 3 つのブロック操作が可能です。

- ブロックプログラミング（標準ブロックプログラミングとも呼ばれます）：ブロックはプログラムされる前に自動的に消去されます。
- 高速ブロックプログラミング：事前の消去操作は行われません。
- ブロック消去

ブロックプログラミング中は、割り込みはハードウェアによってマスクされます。

## 標準ブロックプログラミング

標準ブロックプログラム操作では、1 回でブロック全体を書き込むことができます。ブロックは、プログラムの前に自動的に消去されます。

ブロック全体を標準モードでプログラムするには、FLASH_CR2 および FLASH_NCR2 レジスタの PRG/NPRG ビットをあらかじめセット／クリアして、標準ブロックプログラミングを有効にしておく必要があります（*セクション 4.8.2：フラッシュ制御レジスタ 2（FLASH_CR2）*および *セクション 4.8.3：フラッシュ相補制御レジスタ 2（FLASH_NCR2）*を参照）。次に、プログラムされるデータのブロックがメインプログラムメモリまたはデータ領域のデスティネーションアドレスに順にロードされなければなりません。これによって、データのすべてのバイトがラッチされます。ブロック全体のプログラミングを開始するには、データのすべてのバイトが書き込まれなければなりません。プログラミングシーケンスで書き込まれるすべてのバイトは、同じブロック内に存在していなければなりません。これは、同じ上位アドレスを持っていなければならないことを意味します。アドレスの最下位 6 ビットのみが変更可能です。目的ブロックの最後のバイトがロードされると、プログラミングは自動的に開始します。その前にブロック全体が自動的に消去されます。

データ領域のブロックをプログラムするとき、アプリケーションは、*フラッシュステータスレジスタ（FLASH_IAPSR）*の HVOFF ビットをチェックすることができます。HVOFF フラグがリセットされると、すぐに実際のプログラミングフェーズが開始され、アプリケーションはメインプログラムメモリに戻ることができます。

FLASH_IAPSR の EOP および WR_PG_DIS 制御フラグとフラッシュ割り込みを使用して、操作が正常に完了したかどうかを確認できます。

## 高速ブロックプログラミング

高速ブロックプログラミングでは、予めメモリの内容を消去せずにプログラミングできます。したがって、高速ブロックプログラミングは標準プログラミングの 2 倍程度高速です。

このモードは、すでに消去された部分のプログラミングのみを目的としています。時間が節約できるので、空白部分を完全なアプリケーションコードでプログラムするときに役立ちます。

高速ブロックプログラミングは、標準ブロックプログラミングと同じシーケンスを使用して実行されます。高速ブロックプログラミングモードを有効にするには、FLASH_CR2 および FLASH_NCR2 レジスタの FPRG/NFPRG ビットをあらかじめセット／クリアしておく必要があります。

HVOFF フラグをアプリケーションでポーリングすることによって、DATA の実際のプログラミングフェーズ中に他の命令を実行すること（RWW）もできます。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

FLASH_IAPSR レジスタの EOP および WR_PG_DIS ビットをチェックすることで、高速ブロックプログラミング操作が正常に完了したかどうかを確認できます。

注： 高速ブロックプログラミング操作の前にブロックが空白になっていない場合、そのブロックでプログラムされたデータは保証されません。

### ブロック消去

ブロック消去操作では、ブロック全体を消去できます。

ブロック全体を消去するには、FLASH_CR2 および FLASH_NCR2 レジスタの ERASE/NERASE ビットをあらかじめセット／クリアして、ブロック消去を有効にしておく必要があります（*セクション 4.8.2：フラッシュ制御レジスタ 2（FLASH_CR2）*および*セクション 4.8.3：フラッシュ相補制御レジスタ 2（FLASH_NCR2）*を参照）。次に、ブロック内の任意のワードに‘0x00 00 00 00’を書き込むことによってブロックが消去されます。ワードの開始アドレスは、‘0’、‘4’、‘8’、または‘C’で終わらなければなりません。

FLASH_IAPSR の EOP および WR_PG_DIS 制御フラグとフラッシュ割り込みを使用して、操作が正常に完了したかどうかを確認できます。

**表 5. ブロックサイズ**

| STM8 マイクロコントローラファミリ | ブロックサイズ |
|---|---|
| 小容量 STM8S | 64 バイト |
| 中容量 STM8S および STM8A（最大 32 KB） | 128 バイト |
| 大容量 STM8S および STM8A（最大 128 KB） | 128 バイト |

## 4.6.5 オプションバイトのプログラミング

オプションバイトのプログラミングは、データ EEPROM のバイトプログラミングと同様です。

アプリケーションは目的のアドレスに直接書き込みます。プログラムの実行は停止されず、書き込み操作は RWW 機能を使用して実行されます。

オプションバイトの内容の詳細については、データシートを参照してください。

# 4.7 ICP と IAP

インサーキットプログラミング（ICP）は、SWIM インタフェースを使用してユーザアプリケーションをマイクロコントローラにロードして、メモリの内容全体を更新するために使用されます。ICP は、迅速かつ効率的なデザインの繰り返しを提供し、不必要なパッケージの取り扱いやデバイスのソケットへの着脱をなくします。SWIM インタフェース（シングルワイヤインタフェースモジュール）は、プログラミングツールへの接続に SWIM ピンを使用します。

ICP 法とは対照的に、アプリケーション内プログラミング（IAP）は、マイクロコントローラによってサポートされる任意の通信インタフェース（I/O、$I^2C$、SPI、USART など）を使用して、プログラムされるデータをメモリにダウンロードできます。IAP では、フラッシュプログラムメモリの内容を、アプリケーションの実行中に再プログラムできます。ただし、アプリケーションの一部は、ICP を使用して、フラッシュプログラムメモリに事前にプログラムされていなければなりません。

プログラミング手順の詳細については、STM8S および STM8A フラッシュプログラミングマニュアル（PM0051）および STM8 SWIM プロトコルおよびデバッグマニュアル（UM0470）を参照してください。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 6. メモリアクセスとプログラミング方法(1)

| モード | ROP（読み出し保護機能） | メモリ領域 | コアからのアクセス |
|---|---|---|---|
| ユーザ、IAP、およびブートローダ（使用可能な場合） | 読み出し保護有効 | ユーザブートコード領域（UBC） | R/E |
| | | メインプログラム | R/W/E(2) |
| | | データ EEPROM 領域（DATA） | R/W(3) |
| | | オプションバイト | R |
| | 読み出し保護無効 | ユーザブートコード領域（UBC） | R/E(4) |
| | | メインプログラム | R/W/E(2) |
| | | データ EEPROM 領域（DATA） | R/W(3) |
| | | オプションバイト | R/W(5) |
| SWIM アクティブ（ICP モード） | 読み出し保護有効 | ユーザブートコード領域（UBC） | P |
| | | メインプログラム | P |
| | | データ EEPROM 領域（DATA） | P |
| | | オプションバイト | $P/W_{ROP}$(6) |
| | 読み出し保護無効 | ユーザブートコード領域（UBC） | R/E(4) |
| | | メインプログラム | R/W/E(2) |
| | | データ EEPROM 領域（DATA） | R/W(3) |
| | | オプションバイト | R/W(5) |

1. R/W/E = Read（読み出し）、Write（書き込み）、および Execute（実行）
   R/E = 読み出しと実行（書き込み操作は禁止）
   R = 読み出し（書き込みおよび実行操作は禁止）
   P = アクセスできない領域（読み出し、実行、書き込み操作がすべて禁止）
   $P/W_{ROP}$ = 保護されていて、ROP オプションバイト以外の書き込みは禁止。
2. フラッシュプログラムメモリは、FLASH_PUKR レジスタに正しい MASS キーが書き込まれるまで、書き込み保護されます（ロックされます）。FLASH_PUKR レジスタの PUL ビットをリセットすることによって、メモリを再びロックできます。正しくないキーを指定した場合は、デバイスをリセットして、新しいキーをプログラムしなければなりません。
3. データメモリは、FLASH_DUKR レジスタに正しい MASS キーが書き込まれるまで、書き込み保護されます（ロックされます）。FLASH_IAPSR レジスタの DUL ビットをリセットすることによって、メモリを再びロックできます。正しくないキーを指定した場合は、デバイスをリセットしなくても、別のキープログラムシーケンスを実行できます。
4. UBC 領域をプログラムするには、アプリケーションは、まず、UBC オプションバイトをクリアする必要があります。
5. オプションバイトは、FLASH_DUKR レジスタ（OPT が 1 にセットされた）に正しい MASS キーが書き込まれるまで、書き込み保護されます（ロックされます）。FLASH_IAPSR レジスタの DUL ビットをリセットすることによって、メモリを再びロックできます。正しくないキーを指定した場合は、デバイスをリセットしなくても、別のキープログラムシーケンスを実行できます。
6. ROP が解除されると、オプションバイトを含むメモリ全体が消去されます。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

## 4.8 フラッシュレジスタ

### 4.8.1 フラッシュ制御レジスタ 1（FLASH_CR1）

アドレスオフセット：0x00
リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| 予約済み | | | | HALT | AHALT | IE | FIX |
| | | | | rw | rw | rw | rw |

ビット 7：4 予約済み

ビット 3 **HALT**：HALT モードでのパワーダウン

このビットは、ソフトウェアによってセット/クリアされます。

0：MCU が HALT モードのときに、フラッシュはパワーダウンモード

1：MCU が HALT モードのときに、フラッシュは動作モード

ビット 2 **AHALT**：アクティブ HALT モードでのパワーダウン

このビットは、ソフトウェアによってセット/クリアされます。

0：MCU がアクティブ HALT モードのときに、フラッシュは動作モード

1：MCU がアクティブ HALT モードのときに、フラッシュはパワーダウンモード

ビット 1 **IE**：フラッシュ割り込みイネーブル

このビットは、ソフトウェアによってセット/クリアされます。

0：割り込み無効。

1：割り込み有効。FLASH_IAPSR レジスタの EOP または WR_PG_DIS フラグがセットされている場合、割り込みが生成されます。

ビット 0 **FIX**：固定のバイトプログラミング時間

このビットは、ソフトウェアによってセット/クリアされます。

0：メモリがすでに消去されている場合は標準のプログラミング時間（1/2 $t_{prog}$）、そうでない場合は $t_{prog}$。

1：プログラミング時間は $t_{prog}$ に固定されます。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 4.8.2 フラッシュ制御レジスタ 2（FLASH_CR2）

アドレスオフセット：0x01
リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| OPT | WPRG | ERASE | FPRG | 予約済み | | | PRG |
| rw | rw | rw | rw | | | | rw |

ビット 7 **OPT**：オプションバイトの書き込み

このビットは、ソフトウェアによってセット/クリアされます。
0：オプションバイトへの書き込みアクセスは無効です。
1：オプションバイトへの書き込みアクセスは有効です。

ビット 6 **WPRG**：ワードプログラミング

このビットはソフトウェアによってセットされ、操作が完了したときにハードウェアによってクリアされます。
0：ワードプログラム操作は無効です。
1：ワードプログラム操作は有効です。

ビット 5 **ERASE**(1)：ブロック消去

このビットはソフトウェアによってセットされ、操作が完了したときにハードウェアによってクリアされます。
0：ブロック消去操作は無効です。
1：ブロック消去操作は有効です。

ビット 4 **FPRG**(1)：高速ブロックプログラミング

このビットはソフトウェアによってセットされ、操作が完了したときにハードウェアによってクリアされます。
0：高速ブロックプログラム操作は無効です。
1：高速ブロックプログラム操作は有効です。

ビット 3:1 予約済み

ビット 0 **PRG**：標準ブロックプログラミング

このビットはソフトウェアによってセットされ、操作が完了したときにハードウェアによってクリアされます。
0：標準ブロックプログラミング操作は無効です。
1：標準ブロックプログラミング操作は有効です（自動的に最初に消去）。

1. メモリがビジーのとき、ERASE および FPRG ビットはロックされます。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 4.8.3 フラッシュ相補制御レジスタ 2（FLASH_NCR2）

アドレスオフセット：0x02

リセット値：0xFF

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| NOPT | NWPRG | NERASE | NFPRG | 予約済み | | | NPRG |
| rw | rw | rw | rw | | | | rw |

ビット 7 **NOPT**：オプションバイトの書き込み

このビットは、ソフトウェアによってセット/クリアされます。

0：オプションバイトへの書き込みアクセスは有効です。

1：オプションバイトへの書き込みアクセスは無効です。

ビット 6 **NWPRG**：ワードプログラミング

このビットは、ソフトウェアによってクリアされ、操作が完了したときにハードウェアによってセットされます。

0：ワードプログラミングは有効です。

1：ワードプログラミングは無効です。

ビット 5 **NERASE**：ブロック消去

このビットは、ソフトウェアによってクリアされ、操作が完了したときにハードウェアによってセットされます。

0：ブロック消去は有効です。

1：ブロック消去は無効です。

ビット 4 **NFPRG**：高速ブロックプログラミング

このビットは、ソフトウェアによってクリアされ、レジスタを読み出すことによってソフトウェアによってセットされます。

0：高速ブロックプログラミングは有効です（プログラミング前の消去はなく、操作の前にブロックがブランク（完全に消去）ではない場合、プログラムされたデータ値は保証されません）。

1：高速ブロックプログラミングは無効です。

ビット 3：1 予約済み。

ビット 0 **NPRG**：ブロックプログラミング

このビットは、ソフトウェアによってクリアされ、操作が完了したときにハードウェアによってセットされます。

0：ブロックプログラミングは有効です。

1：ブロックプログラミングは無効です。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 4.8.4 フラッシュ保護レジスタ（FLASH_FPR）

アドレスオフセット：0x03

リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| 予約済み | | WPB5 | WPB4 | WPB3 | WPB2 | WPB1 | WPB0 |
| | | ro | ro | ro | ro | ro | ro |

ビット 7：6 予約済み。

ビット 5：0 **WPB[5:0]**：ユーザブートコード領域保護ビット

これらのビットは、ブートコード領域のサイズを示します。これらのビットには、起動時に UBC オプションバイトの内容がロードされます。ビット値に応じて保護されるページについては、データシートを参照してください。

### 4.8.5 フラッシュ相補保護レジスタ（FLASH_NFPR）

アドレスオフセット：0x04

リセット値：0xFF

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| 予約済み | | NWPB5 | NWPB4 | NWPB3 | NWPB2 | NWPB1 | NWPB0 |
| | | ro | ro | ro | ro | ro | ro |

ビット 7：6 予約済み。

ビット 5：0 **WPB[5:0]**：ユーザブートコード領域保護ビット

これらのビットは、ブートコード領域のサイズを示します。これらのビットは、NUBC オプションバイトの内容を反映します。ビット値に応じて保護されるページについては、データシートを参照してください。

### 4.8.6 フラッシュプログラムメモリ保護解除キーレジスタ（FLASH_PUKR）

アドレスオフセット：0x08
リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| MASS_PRG KEYS | | | | | | | |
| rw | | | | | | | |

ビット 7：0 **PUK [7:0]**：メインプログラムメモリロック解除キー

このビットはソフトウェアによって書き込まれます（すべてのモード）。読み出し時、0x00 を返します。

メインプログラム領域の書き込み保護解除メカニズムの説明については、*メインプログラムメモリへの書き込みアクセスの有効化（43 ページ）*を参照してください。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 4.8.7 データ EEPROM 保護解除キーレジスタ（FLASH_DUKR）

アドレスオフセット：0x0A
リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| MASS_DATA KEYS | | | | | | | |
| rw | | | | | | | |

ビット 7：0 **DUK[7:0]**：データ EEPROM 書き込みロック解除キー

このビットはソフトウェアによって書き込まれます（すべてのモード）。読み出し時、0x00 を返します。

メインプログラム領域の書き込み保護解除メカニズムの説明については、*データ領域への書き込みアクセスの有効化（44 ページ）*を参照してください。

### 4.8.8 フラッシュステータスレジスタ（FLASH_IAPSR）

アドレスオフセット：0x05
リセット値：0x40

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| 予約済み | HVOFF | 予約済み | | DUL | EOP | PUL | WR_PG_DIS |
| | r | | | rc_w0 | rc_r | rc_w0 | rc_r |

ビット 7 予約済み。

ビット 6 **HVOFF**：高電圧終了フラグ

このビットは、ハードウェアによってセット/クリアされます。

0：HV オン、実際のプログラミングの開始

1：HV オフ、高電圧の終了

ビット 5：4 予約済み、ハードウェアによって 0 に固定されています。

ビット 3 **DUL**：データ EEPROM 領域ロック解除フラグ

このビットは、ハードウェアによってセットされ、0 を書き込むことでソフトウェアによってクリアされます。

0：データ EEPROM 領域書き込み保護は有効です。

1：データ EEPROM 領域の書き込み保護は、正しい MASS キーを書き込むことによって無効にされました。

ビット 2 **EOP**：プログラミング（書き込みまたは消去操作）の終了フラグ

このビットは、ハードウェアによってセットされます。レジスタを読み出すことによってソフトウェアによって、または新しい書き込み/消去操作が開始したときにクリアされます。

0：EOP　イベントは発生していません。

1：EOP 操作が発生しました。FLASH_CR1 レジスタの IE ビットがセットされている場合、割り込みが生成されます。

ビット 1 **PUL**：フラッシュプログラムメモリロック解除フラグ

このビットは、ハードウェアによってセットされ、0 を書き込むことでソフトウェアによってクリアされます。

0：メインプログラム領域の書き込み保護は有効です。

1：メインプログラム領域の書き込み保護は、正しい MASS キーを書き込むことによって無効にされました。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 0 **WR_PG_DIS**：保護ページへの書き込み試行フラグ

このビットは、ハードウェアによってセットされ、レジスタを読み出すことによってソフトウェアによってクリアされます。

0：WR_PG_DIS イベントは発生していません。

1：書き込み保護されているページへの書き込みの試みが行われました。FLASH_CR1 レジスタの IE ビットがセットされている場合、割り込みが生成されます。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 4.8.9 フラッシュレジスタマップとリセット値

フラッシュレジスタ境界アドレスの詳細については、データシートの一般ハードウェアレジスタマップを参照してください。

**表 7. フラッシュレジスタマップとリセット値**

| アドレス | レジスタ名 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|
| 0x00 | FLASH_CR1<br>リセット値 | -<br>0 | -<br>0 | -<br>0 | -<br>0 | HALT<br>0 | AHALT<br>0 | IE<br>0 | FIX<br>0 |
| 0x01 | FLASH_CR2<br>リセット値 | OPT<br>0 | WPRG<br>0 | ERASE<br>0 | FPRG<br>0 | -<br>0 | -<br>0 | -<br>0 | PRG<br>0 |
| 0x02 | FLASH_NCR2<br>リセット値 | NOPT<br>1 | NWPRG<br>1 | NERASE<br>1 | NFPRG<br>1 | -<br>1 | -<br>1 | -<br>1 | NPRG<br>1 |
| 0x03 | FLASH_FPR<br>リセット値 | -<br>0 | -<br>0 | WPB5<br>0 | WPB4<br>0 | WPB3<br>0 | WPB2<br>0 | WPB1<br>0 | WPB0<br>0 |
| 0x04 | FLASH_NFPR<br>リセット値 | -<br>1 | -<br>1 | NWPB5<br>1 | NWPB4<br>1 | NWPB3<br>1 | NWPB2<br>1 | NWPB1<br>1 | NWPB0<br>1 |
| 0x05 | FLASH_IAPSR<br>リセット値 | -<br>0 | HVOFF<br>1 | - | - | DUL<br>0 | EOP<br>0 | PUL<br>0 | WR_PG_DIS<br>0 |
| 0x06-0x07 | 予約済み | | | | | | | | |
| 0x08 | FLASH_PUKR<br>リセット値 | PUK7<br>0 | PUK6<br>0 | PUK5<br>0 | PUK4<br>0 | PUK3<br>0 | PUK2<br>0 | PUK1<br>0 | PUK0<br>0 |
| 0x09 | 予約済み | | | | | | | | |
| 0x0A | FLASH_DUKR<br>リセット値 | DUK7<br>0 | DUNP6<br>0 | DUK5<br>0 | DUK4<br>0 | DUK3<br>0 | DUK2<br>0 | DUK1<br>0 | DUK0<br>0 |



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

# 5 シングルワイヤインタフェースモジュール（SWIM）およびデバッグモジュール（DM）

## 5.1 概要

インサーキットデバッギングモードまたはインサーキットプログラミングモードは、超高速のメモリプログラミング機能を備えたシングルワイヤハードウェアインタフェースを通じて管理されます。インサーキットデバッギングモジュールとの組み合わせによって非侵入型エミュレーションモードも提供し、インサーキットデバッガをフル装備のエミュレータに近い性能の、非常に強力なツールにします。

## 5.2 主な特長

- 非同期の大電流シンク（8 mA）、オープンドレイン、双方向通信。
- メモリ空間のどの部分でも読み出しまたは書き込みが可能です。
- CPU レジスタ（A、X、Y、CC、SP）へのアクセスが可能です。読み出しまたは書き込みアクセスについてメモリマッピングされます。
- RAM およびペリフェラルレジスタへの非侵入型の迅速な読み出し／書き込みが可能です。
- *リセットステータスレジスタ（RST_SR）*のステータスフラグによるデバイスリセット機能。
- *SWIM クロック制御レジスタ（CLK_SWIMCCR）*で選択可能なクロック速度。

SWIM ピンは、標準 I/O として使用でき、デバッグ用途で使いたい場合は、いくつかの制約があります。最も安全な方法は、PCB でストラップオプションを提供することです。

**図 12. SWIM ピンの接続**

## 5.3 SWIM モード

パワーオンリセット後、SWIM はリセットされ、OFF モードに入ります。

1. **OFF** : パワーオンリセット後のデフォルト状態。SWIM ピンは、アプリケーションが I/O として使用することはできません。
2. **I/O** : *グローバル設定レジスタ（CFG_GCR）*の SWD ビットに書き込むことによって、ソフトウェアによってこの状態になります。この状態では、アプリケーションは SWIM を標準 I/O ピンとして使用できます。リセットの場合、SWIM は OFF モードに戻ります。
3. **SWIM** : SWIM ピンに対して特定のシーケンスが実行されると、この状態になります。この状態では、SWIM ピンは、ホストツールによって STM8 を 3 つのコマンド（SRST システムリセット、ROTF 実行時読み出し、WOTF 実行時書き込み）で制御するために使用されます。

*注 :* ***SWIM およびデバッグモジュール（DM）については、STM8 SWIM 通信プロトコルおよびデバッグモジュールユーザマニュアルを参照してください。***



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

# 6 割り込みコントローラ（ITC）

## 6.1 ITC の概要

- ハードウェア割り込みの管理
  - ポートごとに専用の割り込みベクタとエッジトリガ設定による、ほとんどの入出力ピンで使用可能な外部割り込み機能
  - ペリフェラル割り込み機能
- ソフトウェア割り込みの管理（TRAP）
- 柔軟な割り込み優先順位とレベル管理による、ネスト型／同時割り込み管理：
  - ソフトウェアでプログラムできる最大 4 つのネストレベル
  - ハードウェアによって固定された最大 32 の割り込みベクタ
  - 2 つのノンマスカブルイベント：RESET、TRAP
  - 1 つのノンマスカブル、トップレベルハードウェア割り込み（TLI）

この割り込み管理は、以下に基づきます。

- CPU 条件コードレジスタ（CCR）のビット I1 と I0
- ソフトウェア優先順位レジスタ（ITC_SPRx）
- プログラムメモリの先頭にあるリセットベクタアドレス 0x00 8000。ブート ROM 付きのデバイスでは、リセット初期化ルーチンは、STMicroelectronics によって ROM にプログラミングされます。
- メモリマップの上位アドレス（0x00 8004～0x00 807C）にあり、ハードウェアの優先順位によって分類される固定の割り込みベクタアドレス

## 6.2 割り込みマスクと処理の流れ

割り込みマスキングの管理は、CCR レジスタのビット I1 と I0 に加えて、各割り込みベクタのソフトウェア優先順位レベル（*表 8* を参照）を設定する ITC_SPRx レジスタによって行われます。処理フローを*図 13* に示します。

割り込みリクエストを処理する必要がある場合、

1. 通常の処理は、現在の命令実行の終わりに中断されます。
2. PC、X、Y、A、および CCR レジスタは、スタックに保存されます。
3. CCR レジスタのビット I1 と I0 は、処理された割り込みベクタに対応する ITC_SPRx レジスタの値に基づいてセットされます。
4. 続いて、PC には処理する割り込みの割り込みベクタがロードされ、割り込みサービスルーチンの最初の命令がフェッチされます。

割り込みサービスルーチンは IRET 命令で終わるようにします。これによって、保存されたレジスタの内容がスタックから復旧されます。IRET 命令の結果として、ビット I1 と I0 はスタックから復元され、プログラム実行が再開されます。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

**表 8. ソフトウェア優先順位レベル**

| ソフトウェア優先順位 | レベル | I1 | I0 |
|---|---|---|---|
| レベル 0（メイン） | 低 ↓ 高 | 1 | 0 |
| レベル 1 | | 0 | 1 |
| レベル 2 | | 0 | 0 |
| レベル 3（= ソフトウェア優先順位無効） | | 1 | 1 |

**図 13. 割り込み処理のフローチャート**

**注：** 割り込みサービスルーチン（ISR）の内部で SIM 命令によって割り込みマスクビット I0 と I1 がセットされた場合、RIM 命令による割り込みマスクの解除によって、ソフトウェア優先順位はレベル 0 に設定されます。

ISR の内部で割り込みを有効／無効にするとき、正しい優先順位を復元するには、*表 9* に示す手順に従ってください。

**表 9. ISR の内部で割り込みを有効／無効にする方法**

| 割り込みを無効にするとき | 割り込みを有効にするとき |
|---|---|
| #asm<br>PUSH CC<br>POP ISR_CC(1)<br>SIM<br>#endasm | #asm<br>PUSH ISR_CC(1)<br>POP CC<br>#endasm |

1. IRS_CC は、CC レジスタの現在値を格納する変数です。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 6.2.1 ペンディング割り込みの処理

いくつかの割り込みは同時にペンディング状態になることがあります。ペンディングされる割り込みは、次の 2 ステップのプロセスによって決まります。

1. ソフトウェア優先順位が最も高い割り込みが処理されます。
2. いくつかの割り込みのソフトウェア優先順位が同じ場合、ハードウェア優先順位が最も高い割り込みから処理されます。

割り込みリクエストがすぐに処理されないときにはラッチされ、そのソフトウェア優先順位とハードウェア優先順位を組み合わせた値が最も高くなったときに処理されます。

*注： 1 ハードウェア優先順位は排他的ですが、ソフトウェア優先順位はそうではありません。このため、先行するプロセスは、ただ 1 つの割り込みを処理できます。*

*2 リセット、TLI、およびトラップは、決定プロセスにおいて最高のソフトウェア優先順位を持つとみなされます。*

ペンディング割り込み処理プロセスについては、*図 14* を参照してください。

**図 14. 優先順位決定プロセス**

### 6.2.2 割り込みソース

STM8 割り込みコントローラは、2 種類の割り込みソースを管理します。

- ノンマスカブル割り込み：リセット、TLI 、およびトラップ
- マスク可能割り込み：外部割り込みまたは内部ペリフェラルによって生成された割り込み

#### ノンマスカブル割り込みソース

ノンマスカブル割り込みソースは、CCR レジスタのビット I1 と I0 の状態に関係なく処理されます（*図 13* を参照）。PC、X、Y、A、および CCR レジスタは、トラップ割り込みが発生したときにのみ



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

スタックされます。対応するベクタが PC レジスタにロードされ、CCR レジスタのビット I1 と I0 がセットされて、割り込みを無効にします（レベル 3）。

- トラップ（ノンマスカブルソフトウェア割り込み）

  このソフトウェア割り込みソースは、トラップ命令が実行されるときに処理されます。この処理は、TLI として、*図 13* に示されるフローチャートに従って行われます。

  トラップ割り込みでは、プロセッサは HALT モードから抜けることができません。

- リセット

  リセット割り込みソースは、STM8 ソフトウェアおよびハードウェアの中で最も高い優先順位です。これは、リセットルーチンの始めに、すべての割り込みが無効になることを意味します。RIM 命令によって再び有効にする必要があります（*表 11：専用割り込み命令セット* を参照）。

  リセット割り込みでは、プロセッサは HALT モードから抜けることができます。

リセット割り込み管理の詳細については、リセットの章を参照してください。

- TLI（トップレベルハードウェア割り込み）

  このハードウェア割り込みは、対応する TLI 入力で特定のエッジが検出されたときに発生します。

**注：** トラップ命令は、TLI サービスルーチンでは使用できません。

## マスク可能割り込みソース

マスク可能な割り込みベクタソースが処理されるのは、対応する割り込みが有効であり、ITC_SPRx レジスタの割り込みソフトウェア優先順位が現在処理中のもの（CCR レジスタの I1 と I0）より高い場合です。2 つの条件のいずれかが満たされない場合、割り込みはラッチされ、ペンディング状態のままです。

- 外部割り込み

  外部割り込みを使用して、MCU を HALT モードからウェイクアップできます。外部割り込みに対するトリガは、外部割り込み制御レジスタ（EXTI_CRx）を介して、ソフトウェアによって選択できます。

  同じ割り込みラインに接続された複数の入力ピンが同時に選択されたときには、論理和（OR）がとられます。

  レベルトリガされた外部割り込みがラッチされたとき、割り込みルーチンの終わりにそのレベルがまだ存在した場合には、その割り込みは有効なままです（ルーチンで無効にされた場合を除きます）。

- ペリフェラル割り込み

  ほとんどのペリフェラル割り込みによって、MCU は HALT モードからウェイクアップします。データシートの割り込みベクタテーブルを参照してください。

  ペリフェラル割り込みが発生するのは、ペリフェラルステータスレジスタの特定のフラグがセットされ、ペリフェラル制御レジスタの対応するイネーブルビットがセットされたときです。

  ペリフェラル割り込みをクリアするための標準的なシーケンスでは、ステータスレジスタへのアクセスを行い、関連するレジスタへの読み出しまたは書き込みを行います。このクリアシーケンスによって、内部ラッチがリセットされます。したがって、クリアシーケンスが実行されると、ペンディング割り込み（すなわち、処理を待っている割り込み）は失われます。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

## 6.3 割り込みと低電力モード

すべての割り込みで、プロセッサは WAIT モードから抜けることができます。

プロセッサが HALT／アクティブ HALT モードから抜けられるのは、外部割り込みやその他の特定の割り込みに限られます（データシートの割り込みベクタテーブルにある HALT からのウェイクアップおよびアクティブ HALT からのウェイクアップを参照）。

HALT モードからのウェイクアップ中に複数のペンディング割り込みが存在する場合、最初に処理される割り込みは、HALT モードから抜ける機能を備えた割り込みに限られます。これは、*図 14* に示す決定プロセスを通じて選択されます。優先順位が最も高いペンディング割り込みがデバイスを HALT モードからウェイクアップできない場合、その処理は次に回されます。

HALT 命令の実行中に内部割り込みやタイマなどからの外部割り込みが発生した場合、HALT 命令は実行されますが、HALT 命令が実行を終了した直後に、割り込みはウェイクアッププロセスを呼び出します。この場合、MCU は実際には HALT モードから RUN モードへのウェイクアップ中であり、データシートで指定された対応する遅延 $t_{WUH}$ が伴います。

## 6.4 起動レベル／低電力モードの制御

MCU 起動レベルは、CFG_GCR レジスタの AL ビットをプログラミングすることによって設定されます（グローバル設定レジスタ（CFG_GCR）を参照）。

このビットは、MCU の低電力モードを制御するために使用されます。きわめて低電力のアプリケーションでは、MCU は大部分の時間を WFIで費やし、特定のタスクを実行するために、特定の時点で割り込みによってウェイクアップされます。これらの反復的なタスクのいくつかは十分に短いため、メインプログラムに戻らずに、ISR（割り込みサービスルーチン）で直接処理されます。このようなケースに対応するため、低電力モードに入る前に WFI 命令を実行して AL ビットをセットすることができます。結果として、割り込みルーチンは低電力モードに直接戻ります。レジスタのコンテキストは最初の割り込み時にのみ保存されるので、実行時間／ISR 実行は削減されます。

結果として、きわめて簡単なアプリケーションでは、すべての操作を ISR で実行できます。より複雑なアプリケーションでは、割り込みルーチンは、AL ビットをリセットするだけでメインプログラムを再起動できます。

たとえば、ピン／センサ／押しボタンのステータスをチェックするために、自動ウェイクアップユニット（AWU）によってアプリケーションを 50 ms ごとにウェイクアップすることが必要な場合もあります。ほとんどの場合、これらのピンは無効になっているので、MCU は、メインプログラムを実行しなくても低電力モードに戻ることができます。1 本でも有効なピンがある場合、ISR は、AL ビットをリセットすることによってメインプログラムを起動します。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

## 6.5 同時およびネスト割り込み管理

STM8 デバイスは、2 つの割り込み管理モードを備えています。

- 同時モード
- ネストモード

### 6.5.1 同時割り込み管理モード

このモードでは、すべての割り込みの割り込み優先順位レベルが 3 なので、TLI、リセット、またはトラップによる場合を除いて、割り込みを受けることはありません。

ハードウェア優先順位は、最低から最高の優先順位まで、MAIN、IT4、IT3、IT2、IT1、IT0、TRAP／TLI（同じ優先順位）、および RESET の順です。

*図 15* に同時割り込み管理モードの例を示します。

**図 15. 同時割り込み管理**

### 6.5.2 ネスト割り込み管理モード

このモードでは、割り込みルーチンの処理中の割り込みが可能です。このモードは、レベル 3 を下回る割り込み優先順位レベルが設定されると有効になります。

ハードウェア優先順位は、最低から最高の優先順位まで、MAIN、IT4、IT3、IT2、IT1、IT0、および TRAP の順です。

ソフトウェア優先順位は、ITC_SPRx レジスタの対応する I1_x ビットと I0_x ビットをセットすることによって、割り込みベクタごとに設定されます。I1_x および I0_x ビットは、CCR レジスタの I1 および I0 ビットと同じ意味を持ちます（*表 10* を参照）。

レベル 0 はプログラミングできません（I1_x=1、I0_x=0）。この場合、以前に格納された値が保持されます。たとえば、以前の値が CFh であり、プログラミングされた値が 64h に等しい場合、結果は 44h です。

RESET および TRAP ベクタには、ソフトウェア優先順位はありません。これらのベクタが処理されるとき、CCR レジスタのビット I1 と I0 の両方がセットされます。

**注：** 割り込み x の実行中に I1_x および I0_x ビットが変更された場合、デバイスは次のように動作します。割り込み x がまだペンディング中であり（新しい割り込みまたはフラグがクリアされていない）、新しいソフトウェア優先順位が前のものよりも高い場合、再び割り込み x に入ります。そうでない場合、割り込み x の IRET 後の次の割り込みリクエストまで、ソフトウェア優先順位は変化しません。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

割り込みルーチンの実行時には、HALT、POPCC、RIM、SIM、および WFI 命令は、次の IRET 命令または前述のいずれかの命令が発行されるまで、現在のソフトウェア優先順位を変更します。専用の割り込み命令のリストについては、*セクション 6.7* を参照してください。

*図 16* にネスト割り込み管理モードの例を示します。

**警告：** **スタックオーバーフローは、ソフトウェアに障害を通知することなく発生することがあります。**

**表 10. ベクタアドレスマップとソフトウェア優先順位ビット**

| ベクタアドレス | ITC_SPRx ビット |
|---|---|
| 0x00 8008h | I1_0 および I0_0 ビット(1) |
| 0x00 800Ch | I1_1 および I0_1 ビット |
| ... | ... |
| 0x00 807Ch | I1_29 および I0_29 ビット |

1. TLI に対応する ITC_SPRx レジスタのビットは、読み出し／書き込みが可能です。しかし、これらのビットは、割り込みプロセス管理においては重要ではありません。

**図 16. ネスト割り込み管理**

この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

## 6.6 外部割り込み

5 個の割り込みベクタが外部割り込みイベント専用に割り当てられています。

- ポート A 上の 5 ライン：PA[6:2]
- ポート B 上の 8 ライン：PB[7:0]
- ポート C 上の 8 ライン：PC[7:0]
- ポート D 上の 7 ライン：PD[6:0]
- ポート E 上の 8 ライン：PE[7:0]

PD7 はトップレベル割り込みソース（TLI）です。ただし、20 ピンパッケージの場合、代替機能の再配置オプションビットを使用して、PC3 ピンでトップレベル割り込みソース（TLI）を使用できます。詳細については、製品データシートのオプションバイトのセクションを参照してください。

割り込みを生成するには、割り込みを有効にした状態で、対応する GPIO ポートを入力モードに設定する必要があります。詳細については、GPIO の章のレジスタ説明を参照してください。

割り込みトリガは、外部割り込み制御レジスタ 1（EXTI_CR1）と外部割り込み制御レジスタ 2（EXTI_CR2）で設定する必要があります（*セクション 6.9.3* および *セクション 6.9.4* を参照）。

## 6.7 割り込み命令

*表 11* に割り込み命令を示します。

**表 11. 専用割り込み命令セット**

| 命令 | 新しい説明 | 機能／例 | I1 | H | I0 | N | Z | C |
|---|---|---|---|---|---|---|---|---|
| HALT | HALT モードへの移行 | | 1 | | 0 | | | |
| IRET | 割り込みルーチン復帰 | CCR、A、X、Y、PC をポップ | I1 | H | I0 | N | Z | C |
| JRM | I1:0=11（レベル 3）の場合はジャンプ | I1:0=11 ? | | | | | | |
| JRNM | I1:0<>11 の場合はジャンプ | I1:0<>11 ? | | | | | | |
| POP CC | スタックから CCR をポップ | メモリ => CCR | I1 | H | I0 | N | Z | C |
| PUSH CC | CC をスタックにプッシュ | CC =>メモリ | | | | | | |
| RIM | 割り込みを有効にする（レベル 0 をセット） | CCR の I1:0 に 10 をロード | 1 | | 0 | | | |
| SIM | 割り込みを無効にする（レベル 3 をセット） | CCR の I1:0 に 11 をロード | 1 | | 1 | | | |
| TRAP | ソフトウェアトラップ | ソフトウェア NMI | 1 | | 1 | | | |
| WFI | 割り込みを待機 | | 1 | | 0 | | | |

## 6.8 割り込みの配置

割り込みベクタアドレスのテーブルについては、対応するデバイスのデータシートを参照してください。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

## 6.9 ITC および EXTI レジスタ

### 6.9.1 CPU コンディションコードレジスタ割り込みビット (CCR)

アドレス：データシートの「一般ハードウェアレジスタマップ」の表を参照してください。
リセット値：0x28

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| V | – | I1 | H | I0 | N | Z | C |
| r | r | rw | r | rw | r | r | r |

ビット 5、3[1] **I[1:0]**：ソフトウェア割り込み優先順位ビット[2]

この 2 つのビットは、現在の割り込みリクエストのソフトウェア優先順位を示します。割り込みリクエストが発生すると、対応するベクタのソフトウェア優先順位がソフトウェア優先順位レジスタ（ITC_SPRx）から自動的にロードされます。

I[1:0] ビットは、RIM、SIM、HALT、WFI、IRET、または PUSH/POP 命令を使用して、ソフトウェアによってセット／クリアすることもできます（*図 16：ネスト割り込み管理* を参照）。

| I1 | I0 | 優先順位 | レベル |
|---|---|---|---|
| 1 | 0 | レベル 0（メイン） | 低 |
| 0 | 1 | レベル 1 | ↓ |
| 0 | 0 | レベル 2 | |
| 1 | 1 | レベル 3（= ソフトウェア優先順位無効*） | 高 |

1. 他の CCR ビットの詳細については、「中央演算処理」のセクションを参照してください。
2. TLI、TRAP、および RESET イベントは、レベル 3 のプログラムに割り込むことができます。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 6.9.2 ソフトウェア優先順位レジスタ x（ITC_SPRx）

アドレスオフセット：0x00～0x07
リセット値：0xFF

| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| ITC_SPR1 | VECT3SPR[1:0] | | VECT2SPR[1:0] | | VECT1SPR[1:0] | | VECT0SPR[1:0] | |
| ITC_SPR2 | VECT7SPR[1:0] | | VECT6SPR[1:0] | | VECT5SPR[1:0] | | VECT4SPR[1:0] | |
| ITC_SPR3 | VECT11SPR[1:0] | | VECT10SPR[1:0] | | VECT9SPR[1:0] | | VECT8SPR[1:0] | |
| ITC_SPR4 | VECT15SPR[1:0] | | VECT14SPR[1:0] | | VECT13SPR[1:0] | | VECT12SPR[1:0] | |
| ITC_SPR5 | VECT19SPR[1:0] | | VECT18SPR[1:0] | | VECT17SPR[1:0] | | VECT16SPR[1:0] | |
| ITC_SPR6 | VECT23SPR[1:0] | | VECT22SPR[1:0] | | VECT21SPR[1:0] | | VECT20SPR[1:0] | |
| ITC_SPR7 | VECT27SPR[1:0] | | VECT26SPR[1:0] | | VECT25SPR[1:0] | | VECT24SPR[1:0] | |
| ITC_SPR8 | 予約済み | | | | VECT29SPR[1:0] | | VECT28SPR[1:0] | |
| | rw | | | | rw | rw | rw | rw |

ビット 7:0 **VECTxSPR[1:0]**：ベクタ x ソフトウェア優先順位ビット

これら 8 つの読み出し／書き込みレジスタ（ITC_SPR1～ITC_SPR8）は、各割り込みベクタのソフトウェア優先順位を定義するために、ソフトウェアによって書き込まれます。

ベクタのリストを*表 10：ベクタアドレスマップとソフトウェア優先順位ビット*に示します。

優先順位ごとにプログラミングする値については、*セクション 6.9.1：CPU コンディションコードレジスタ割り込みビット (CCR)* を参照してください。

ITC_SPR1 のビット 1:0 は、ハードウェアによって 1 に固定されています（TLI）。

ITC_SPR8 のビット 7:4 は、ハードウェアによって 1 に固定されています。

*注： 10（優先順位レベル 0）を書き込むことは禁止されています。10 が書き込まれた場合、以前の値が保持され、割り込み優先順位は変更されません。*



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 6.9.3 外部割り込み制御レジスタ 1（EXTI_CR1）

アドレスオフセット：0x00

リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| PDIS[1:0] | | PCIS[1:0] | | PBIS[1:0] | | PAIS[1:0] | |
| rw | | rw | | rw | | rw | |

ビット 7:6 **PDIS[1:0]**：ポート D 外部割り込みトリガビット

これらのビットは、CCR レジスタの I1 と I0 の両方が 1（レベル 3）にセットされた場合にのみ書き込みできます。ポート D 外部割り込みのトリガを定義します。

00：立ち下がりエッジとローレベル

01：立ち上がりエッジのみ

10：立ち下がりエッジのみ

11：立ち上がりおよび立ち下がりエッジ

ビット 5:4 **PCIS[1:0]**：ポート C 外部割り込みトリガビット

これらのビットは、CCR レジスタの I1 と I0 の両方が 1（レベル 3）にセットされた場合にのみ書き込みできます。ポート C 外部割り込みのトリガを定義します。

00：立ち下がりエッジとローレベル

01：立ち上がりエッジのみ

10：立ち下がりエッジのみ

11：立ち上がりおよび立ち下がりエッジ

ビット 3:2 **PBIS[1:0]**：ポート B 外部割り込みトリガビット

これらのビットは、CCR レジスタの I1 と I0 の両方が 1（レベル 3）にセットされた場合にのみ書き込みできます。ポート B 外部割り込みのトリガを定義します。

00：立ち下がりエッジとローレベル

01：立ち上がりエッジのみ

10：立ち下がりエッジのみ

11：立ち上がりおよび立ち下がりエッジ

ビット 1:0 **PAIS[1:0]**：ポート A 外部割り込みトリガビット

これらのビットは、CCR レジスタの I1 と I0 の両方が 1（レベル 3）にセットされた場合にのみ書き込みできます。ポート A 外部割り込みのトリガを定義します。

00：立ち下がりエッジとローレベル

01：立ち上がりエッジのみ

10：立ち下がりエッジのみ

11：立ち上がりおよび立ち下がりエッジ



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 6.9.4 外部割り込み制御レジスタ 1（EXTI_CR2）

アドレスオフセット：0x01

リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| 予約済み | | | | | TLIS | PEIS[1:0] | |
| | | | | | rw | rw | |

ビット 7:3 予約済み。

ビット 2 **TLIS**：トップレベル割り込みトリガ

このビットは、ソフトウェアによってセット／クリアされます。このビットは、対応する GPIO ポート（PD7 または PC3、*セクション 6.6：外部割り込み（65 ページ）*を参照）で外部割り込みが無効にされたときにのみ書き込みできます。

0：立ち下がりエッジ

1：立ち上がりエッジ

ビット 1:0 **PEIS[1:0]**：ポート E 外部割り込みトリガビット

これらのビットは、CCR レジスタの I1 と I0 の両方が 1（レベル 3）にセットされた場合にのみ書き込みできます。ポート E 外部割り込みのトリガを定義します。

00：立ち下がりエッジとローレベル

01：立ち上がりエッジのみ

10：立ち下がりエッジのみ

11：立ち上がりおよび立ち下がりエッジ



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 6.9.5 ITC および EXTI レジスタマップとリセット値

**表 12. 割り込みレジスタマップ**

| アドレスオフセット | レジスタ名称 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|
| **ITC-SPR ブロック(1)** | | | | | | | | | |
| 0x00 | ITC_SPR1<br>リセット値 | VECT3SPR1<br>1 | VECT3SPR0<br>1 | VECT2SPR1<br>1 | VECT2SPR0<br>1 | VECT1SPR1<br>1 | VECT1SPR0<br>1 | 予約済み<br>1 | 予約済み<br>1 |
| 0x01 | ITC_SPR2<br>リセット値 | VECT7SPR1<br>1 | VECT7SPR0<br>1 | VECT6SPR1<br>1 | VECT6SPR0<br>1 | VECT5SPR1<br>1 | VECT5SPR0<br>1 | VECT4SPR1<br>1 | VECT4SPR0<br>1 |
| 0x02 | ITC_SPR3<br>リセット値 | VECT11SPR1<br>1 | VECT11SPR0<br>1 | VECT10SPR1<br>1 | VECT10SPR0<br>1 | VECT9SPR1<br>1 | VECT9SPR0<br>1 | VECT8SPR1<br>1 | VECT8SPR0<br>1 |
| 0x03 | ITC_SPR4<br>リセット値 | VECT15SPR1<br>1 | VECT15SPR0<br>1 | VECT14SPR1<br>1 | VECT14SPR0<br>1 | VECT13SPR1<br>1 | VECT13SPR0<br>1 | VECT12SPR1<br>1 | VECT12SPR0<br>1 |
| 0x04 | ITC_SPR5<br>リセット値 | VECT19SPR1<br>1 | VECT19SPR0<br>1 | VECT18SPR1<br>1 | VECT18SPR0<br>1 | VECT17SPR1<br>1 | VECT17SPR0<br>1 | VECT16SPR1<br>1 | VECT16SPR0<br>1 |
| 0x05 | ITC_SPR6<br>リセット値 | VECT23SPR1<br>1 | VECT23SPR0<br>1 | VECT22SPR1<br>1 | VECT22SPR0<br>1 | VECT21SPR1<br>1 | VECT21SPR0<br>1 | VECT20SPR1<br>1 | VECT20SPR0<br>1 |
| 0x06 | ITC_SPR7<br>リセット値 | VECT27SPR1<br>1 | VECT27SPR0<br>1 | VECT26SPR1<br>1 | VECT26SPR0<br>1 | VECT25SPR1<br>1 | VECT25SPR0<br>1 | VECT24SPR1<br>1 | VECT24SPR0<br>1 |
| 0x07 | ITC_SPR8<br>リセット値 | - | - | - | - | - | - | VECT28SPR1<br>1 | VECT28SPR0<br>1 |
| **ITC-EXTI ブロック(2)** | | | | | | | | | |
| 0x00 | EXTI_CR1 | PDIS1<br>0 | PDIS0<br>0 | PCIS1<br>0 | PCIS0<br>0 | PBIS1<br>0 | PBIS0<br>0 | PAIS1<br>0 | PAIS0<br>0 |
| 0x01 | EXTI_CR2 | -<br>0 | -<br>0 | 0 | 0 | -<br>0 | TLIS<br>0 | PEIS1<br>0 | PEIS0<br>0 |

1. アドレスオフセットは、ITC-SPR ブロックのベースアドレスに対して示されています（データシートの CPU／SWIM／デバッグモジュール／割り込みコントローラレジスタの表を参照）。
2. アドレスオフセットは、ITC-EXTI ブロックのベースアドレスに対して示されています（データシートの「一般ハードウェアレジスタマップ」の表を参照）。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

# 7 電源

MCU には 4 種類の電源があります。

- $V_{DD}/V_{SS}$：主電源（3 V～5.5 V）
- $V_{DDIO}/V_{SSIO}$：I/O 電源（3 V～5.5 V）
- $V_{DDA}/V_{SSA}$：アナログ機能用の電源
- $V_{REF+}/V_{REF-}$：アナログ／デジタルコンバータ用の基準電源

$V_{DD}/V_{SS}$ ピンは、内部のメイン電圧レギュレータ（MVR）と内部の低電力電圧レギュレータ（LPVR）へ供給されます。2 つのレギュレータ出力は、MCU コア（CPU、フラッシュ、および RAM）に、1.8 V の電源電圧（$V_{18}$）を提供します。

低電力モードでは、消費電流を減らすために、システムは MVR から LPVR に自動的に切り替わります。

MVR を安定させるため、VCAP ピンにコンデンサを接続する必要があります（詳細については、データシートの電気特性のセクションを参照してください）。

入出力に電力を供給する $V_{DDIO}/V_{SSIO}$ の場合、パッケージサイズに応じて 1 ペアまたは 2 ペアの専用ピンがあります。

$V_{DDA}/V_{SSA}$ と $V_{REF+}/V_{REF-}$ は、アナログ／デジタルコンバータ（ADC）に接続されます。

**図 17. 電源の概要**

この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

# 8 リセット（RST）

9 つのリセットリソースがあります。

- NRST ピンを通じた外部リセット
- パワーオンリセット（POR）
- ブラウンアウトリセット（BOR）
- 独立型ウォッチドッグリセット（IWDG）
- ウィンドウ型ウォッチドッグリセット（WWDG）
- ソフトウェアリセット
- SWIM リセット
- 不正オペコードリセット
- EMC リセット：重要なレジスタが破壊されるか不適切にロードされた場合に生成

これらのソースは $\overline{\text{RESET}}$ ピンに作用し、遅延フェーズの間、ピンをローに保ちます。リセットサービスルーチンベクタは、メモリマップのアドレス 6000h に固定されています。

**図 18. リセット回路**

## 8.1 「リセット状態」と「リセット中」の定義

リセットが発生すると、外部ピンのプルダウンから内部リセット信号のリリースまで、リセットフェーズが存在します。このフェーズ中に、マイクロコントローラは、リセットベクタに行く前に、いくつかのハードウェア設定を行います。

このフェーズの終わりに、ほとんどのレジスタが「リセット状態」の値に設定されます。リセットフェーズ中、すなわち「リセット中」では、いくつかのピンの設定が「リセット状態」の設定とは異なることがあります。

## 8.2 リセット回路の説明

NRST ピンは、入力ピンと、内蔵の $R_{PU}$ 弱プルアップ抵抗を備えたオープンドレイン出力ピンの両方として使用できます。

NRST ピンに持続時間 $t_{INFP(NRST)}$ のローパルスがあると、外部リセットが生成されます。リセットの検出は非同期なので、MCU は HALT モードでもリセット状態に移行できます。

NRST ピンは、外部デバイスをリセットするためのオープンドレイン出力としても働きます。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

内部の初期化時間によって、内部リセットソースが何であれ、持続時間 $t_{OP(NRST)}$ のパルスが維持されます。追加の内部弱プルアップは、リセットが強制されなかったとき、リセットピンをハイレベル状態に保ちます。

## 8.3 内部リセットソース

各内部リセットソースは、*リセットステータスレジスタ（RST_SR）*の特定のフラグビットにリンクされます（ただし、POR/BOR にはフラグがありません）。これらのフラグは、与えられたリセットソースに応じて、リセット時にそれぞれセットされます。したがって、最後のリセットソースを特定するために使用されます。論理値“1”を書き込むことによって、ソフトウェアによってクリアされます。

### 8.3.1 パワーオンリセット（POR）とブラウンアウトリセット（BOR）

パワーオン時、電源電圧（$V_{DD}$ と $V_{DDIO}$）が BOR の機能開始レベルに達するまで、POR はデバイスをリセット状態に保ちます。この時点で、BOR リセットが POR に取って代わり、POR は自動的にスイッチオフされます。BOR リセットは、電源電圧が動作電圧範囲に達するまで維持されます。

詳細については、データシートの電気パラメータのセクションを参照してください。

電源電圧が $V_{IT-}$ 閾値を下回ると、BOR もリセットを生成します。この場合、POR は次のパワーオンフェーズに対して再準備します。

電圧の上昇／降下を正確に検出できるように、ヒステリシスが持たせてあります。

たとえ MCU が低電力モードに入ったときでも、BOR は常にアクティブ状態を維持します。

**図 19. $V_{DD}/V_{DDIO}$ 電圧検出：POR/BOR の閾値**

この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 8.3.2 ウォッチドッグリセット

詳細については、*セクション 15：ウィンドウ型ウォッチドッグ（WWDG）*と *セクション 14：独立型ウォッチドッグ（IWDG）*を参照してください。

### 8.3.3 ソフトウェアリセット

アプリケーションソフトウェアは、WWDG_CR レジスタのビット T6 ビットをクリアすることによって、リセットをトリガできます。*セクション 15：ウィンドウ型ウォッチドッグ（WWDG）*を参照してください。

### 8.3.4 SWIM リセット

SWIM インタフェースに接続された外部デバイスは、SWIM ブロックに MCU リセットの生成を要求できます。

### 8.3.5 不正オペコードリセット

予期しない動作に対するデバイスの安定性を強化するため、不正オペコード検出のシステムが実装されています。実行されるコードがどのオペコード値やプリバイト値にも対応していない場合、リセットが生成されます。これをウォッチドッグと組み合わせることによって、予期しない故障や干渉からの復帰が可能になります。

*注：* ***有効なプリバイトと有効なオペコードを結合しても、不正な組み合わせであればリセットは生成されません。***

### 8.3.6 EMC リセット

電磁波による障害などによって生じるスプリアスな書き込みアクセスやシステムのハングアップからアプリケーションを保護するため、最も重要なレジスタは、相補値を含む必要のある 2 つのビットフィールドとして実装されます。このメカニズムによって不一致は自動的に検出され、EMC リセットがトリガされ、アプリケーションは通常動作に正しく復帰することができます。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

## 8.4 RST レジスタの説明

### 8.4.1 リセットステータスレジスタ（RST_SR）

アドレスオフセット：0x00

リセット値：0xXX

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| 予約済み | | | EMCF | SWIMF | ILLOPF | IWDGF | WWDGF |
| | | | rc_w1 | rc_w1 | rc_w1 | rc_w1 | rc_w1 |

ビット 7:5 予約済み。

ビット 4 **EMCF**：EMC リセットフラグ

このビットは、ハードウェアによってセットされ、ソフトウェアによって“1”を書き込むことでクリアされます。

0：EMC リセットは発生していません。

1：EMC リセットが発生しました（考えられる原因：相補レジスタまたはオプションバイトの不一致）。

ビット 3 **SWIMF**：SWIM リセットフラグ

このビットは、ハードウェアによってセットされ、ソフトウェアによって“1”を書き込むことでクリアされます。

0：SWIM リセットは発生していません。

1：SWIM リセットが発生しました。

ビット 2 **ILLOPF**：不正オペコードリセットフラグ

このビットは、ハードウェアによってセットされ、ソフトウェアによって“1”を書き込むことでクリアされます。

0：ILLOP リセットは発生していません。

1：ILLOP リセットが発生しました。

ビット 1 **IWDGF**：独立型ウォッチドッグリセットフラグ

このビットは、ハードウェアによってセットされ、ソフトウェアによって“1”を書き込むことでクリアされます。

0：IWDG リセットは発生していません。

1：IWDG リセットが発生しました。

ビット 0 **WWDGF**：ウィンドウ型ウォッチドッグリセットフラグ

このビットは、ハードウェアによってセットされ、ソフトウェアによって“1”を書き込むことでクリアされます。

0：WWDG リセットは発生していません。

1：WWDG リセットが発生しました。

## 8.5 RST レジスタマップ

ベースアドレスについては、対応するデータシートを参照してください。

**表 13. RST レジスタマップ**

| アドレスオフセット | レジスタ名 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|
| 0x00 | RST_SR<br>リセット値 | -<br>x | -<br>x | -<br>x | EMCF<br>x | SWIMF<br>x | ILLOPF<br>x | IWDGF<br>x | WWDGF<br>x |



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

# 9 クロック制御（CLK）

クロックコントローラは、非常に耐ノイズ性に優れていると同時に使いやすく設計されています。その目的は、アプリケーションから最高の性能を引き出すと同時に、すべてのマイクロコントローラの節電機能のメリットをフルに活用することにあります。

すべてのクロックソースを個別に管理して、CPU やさまざまなペリフェラルに供給することができます。マスタクロックと CPU クロックにはプリスケーラを使用できます。

安全でグリッチのないスイッチ機構により、マスタクロックのクロックソースを動作中に切り替えることができます。

EMC が強化されたクロック設定レジスタ

電磁波による障害などによって生じる誤った書き込みアクセスやシステムのハングアップからアプリケーションを保護するため、最も重要な CLK レジスタは、相補値を含む必要のある 2 つのビットフィールドとして実装されます。CLK によって不一致は自動的に検出され、EMC リセットがトリガされ、アプリケーションは通常動作に正しく復帰することができます。詳細については、*CLK レジスタの説明* を参照してください。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

**図 20. クロックツリー**

1. 凡例：HSE = 高速外部クロック信号、HSI = 高速内部クロック信号、LSI = 低速内部クロック信号。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

## 9.1 マスタクロックソース

次の 4 つのクロックソースのいずれかを使用して、マスタクロックを駆動できます。

- 1-24 MHz の高速外部クリスタルオシレータ（HSE）
- 最大 24 MHz の高速ユーザ外部クロック（HSE user-ext）
- 16 MHz の高速内部 RC オシレータ（HSI）
- 128 kHz の低速内部 RC（LSI）

それぞれのクロックソースは、使用しないときに個別にオン／オフを切り替えて、電力消費を最適化できます。

### 9.1.1 HSE

高速外部クロック信号（HSE）は、次のどちらかのクロックソースから生成できます。

- HSE 外部クリスタル／セラミック発振子
- HSE ユーザ外部クロック

**図 21. HSE クロックソース**

波形ひずみと発振開始時の安定化までの時間を少なくするために、発振子と負荷キャパシタはオシレータのピンのできるだけ近くに配置する必要があります。負荷コンデンサの値は、選択したオシレータに応じて調整する必要があります。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 外部クリスタル／セラミック発振子（HSE クリスタル）

1～24 MHz の外部オシレータには、デューティサイクル 50% のメインクロックを非常に高い精度で生成できる利点があります。

関連するハードウェア構成を*図 21* に示します。詳細については、電気特性のセクションを参照してください。

起動時、オシレータによって生成されたクロック信号は安定しておらず、クロック信号がリリースされる前に、デフォルトでは 2048 オシレータサイクル分の遅延が挿入されます。HSECNT オプションバイトで短い安定化時間をプログラムすることも可能です。データシートのオプションバイトのセクションを参照してください。

*外部クロックレジスタ（CLK_ECKR）*の HSERDY フラグは、高速外部オシレータが安定しているかどうかを示します。起動時、このビットがハードウェアによってセットされるまで、クロックはリリースされません。

HSE クリスタルは、*外部クロックレジスタ（CLK_ECKR）*の HSEEN ビットを使用してオン／オフできます。

***外部ソース（HSE user-ext）***

このモードでは、外部クロックソースが必要です。最大 24 MHz の周波数を使用することができます。このモードを選択するには、EXTCLK オプションビットをプログラムします。データシートのオプションバイトのセクションを参照してください。50% までのデューティサイクルを持つ外部クロック信号（矩形波、正弦波、または三角波）で OSCIN ピンを駆動する必要があり、その間、OSCOUT ピンは標準 I/O ピンとして使用できます（*図 20* を参照）。

*注：* ***16 MHz を超えるクロック周波数の場合、フラッシュ／データ EEPROM のアクセスは、1 ウェイトステート用に設定する必要があります。これは、デバイスのオプションバイトによって有効になります。データシートのオプションバイトのセクションを参照してください。***

## 9.1.2 HSI

HSI クロック信号は、プログラマブル分周回路（係数：1～8）と組み合わせた 16 MHz の内部 RC オシレータから生成されます。これは*クロック分周器レジスタ（CLK_CKDIVR）*でプログラムされます。

*注：* ***起動時、マスタクロックソースは、8 分周された HSI RC クロック出力（$f_{HSI}/8$）として自動的に選択されます。***

HSI RC オシレータには、低コスト（外付部品なし）で 50% のデューティサイクルを持つ 16 MHz のマスタクロックソースを供給できるという利点があります。同時に、HSE クリスタルオシレータよりも起動時間を短縮できますが、較正を実施していても、外部クリスタルオシレータやセラミック発振子よりも周波数の精度は劣ります。

*内部クロックレジスタ（CLK_ICKR）*の HSIRDY フラグは、HSI RC が安定しているかどうかを示します。起動時、このビットがハードウェアによってセットされるまで、HSI RC 出力クロックはリリースされません。

HSI RC は、*内部クロックレジスタ（CLK_ICKR）*の HSIEN ビットを使用してオン／オフできます。

***バックアップソース***

HSI/8 信号は、HSE クリスタルオシレータに障害がある場合のバックアップソース（補助クロック）としても使用できます。*セクション 9.6：クロックセキュリティシステム（CSS）*を参照してください。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 高速ウェイクアップ機能

*内部クロックレジスタ（CLK_ICKR）*の FHWU ビットがセットされた場合、MCU が HALT または アクティブ HALT モードからウェイクアップした後、マスタクロックとして自動的に HSI クロックが選択されます（低電力の章を参照）。

### 較正

各デバイスは工場で較正されています。

リセット後、工場較正値が内部較正レジスタに自動的にロードされます。

アプリケーションが電圧または温度の変動を受ける場合は、これが RC オシレータの速度に影響を与えることがあります。*HSI クロック較正トリミングレジスタ（CLK_HSITRIMR）*を使用して、アプリケーションで HSI 周波数をトリミングできます。このレジスタには 3 つまたは 4 つのビットがあり、内部 HSI 較正レジスタ値に加算される追加のトリミング値を提供します。

4 ビットによるトリミングステップの幅は、3 ビットの場合の半分です。

**表 14. 4 つのトリミングビットを持つデバイス**

| トリミングビット値 | トリミングステップ | トリミングビット値 | トリミングステップ |
|---|---|---|---|
| 0111b | +6 | 1111b | -1 |
| 0101b | +5 | 1110b | -2 |
| 0100b | +4 | 1101b | -3 |
| 0011b | +3 | 1100b | -4 |
| 0010b | +2 | 1011b | -5 |
| 0001b | +1 | 1010b | -6 |
| 0000b | 0 | 1001b | -7 |

**表 15. 3 つのトリミングビットを持つデバイス**

| トリミングビット値 | トリミングステップ | トリミングビット値 | トリミングステップ |
|---|---|---|---|
| 011b | +3 | 111b | -1 |
| 010b | +2 | 110b | -2 |
| 001b | +1 | 101b | -3 |
| 000b | 0 | 100b | -4 |

トリミングステップ幅は RC オシレータの絶対周波数に依存するため、トリミングには逐次比較方式を適用する必要があります。この方式については、他の技術文書を参照してください。

## 9.1.3 LSI

128 kHz の LSI RC は、独立型ウォッチドッグ（IWDG）や自動ウェイクアップユニット（AWU）用に HALT モードで動作し続ける低電力クロックソースとしてだけでなく、低電力、低コストの代替マスタクロックソースとしても機能します。

LSI RC は、*内部クロックレジスタ（CLK_ICKR）*の LSIEN ビットを使用してオン／オフできます。

*内部クロックレジスタ（CLK_ICKR）*の LSIRDY フラグは、低速内部オシレータが安定しているかどうかを示します。起動時、このビットがハードウェアによってセットされるまで、クロックはリリースされません。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 較正

HSI RC と同様に、LSI RC デバイスも工場で較正されています。ただし、それ以上のトリミングを行うことはできません。

*注：* ***クロックソースとして LSI を備えた独立型ウォッチドッグを使用するとき、破損した場合に CPU が同じクロックでは動作しないようにするため、LSI_EN オプションビットがリセットされた場合、LSI クロックをマスタクロックとすることはできません。データシートのオプションバイトのセクションを参照してください。***

## 9.2 マスタクロック切り替え

クロック切り替え機能は、アプリケーションがマスタクロックソースを別のマスタクロックソースに切り替えるための、使いやすく、迅速で安全な方法を提供します。

### 9.2.1 システムの起動

高速システム起動の場合、リセット後、クロックコントローラは、マスタクロックソースを 8 分周された HSI RC クロック出力（HSI/8）として設定します。これは、HSI オシレータの安定化時間を短くするという利点があります。/8 分周回路は、$V_{DD}$ 条件が悪い場合に安全な起動を保証するのに役立ちます。

マスタクロックがリリースされると、ユーザプログラムは、マスタクロックを別のクロックソースに切り替えることができます。

### 9.2.2 マスタクロックの切り替え手順

クロックソースを切り替えるには、ユーザは次の 2 つの方法のいずれかを使用できます。

- 自動切り替え
- 手動切り替え

#### 自動切り替え

自動切り替えでは、最小の命令数でクロックを切り替えることができます。ソフトウェアは、切り替えイベントの正確な時間を気にせずに、他の操作を続行できます。

自動切り替えを有効にするには、以下の手順に従ってください（*図 22* のフローチャートを参照）。

1. *スイッチ制御レジスタ（CLK_SWCR）* の SWEN ビットをセットすることによって、スイッチングメカニズムを有効にします。
2. ターゲットクロックソースを選択するために使用される 8 ビットの値を*クロックマスタスイッチレジスタ（CLK_SWR）* に書き込みます。CLK_SWCR レジスタの SWBSY ビットがハードウェアによってセットされ、ターゲットソースオシレータが起動します。古いクロックソースは、CPU とペリフェラルの駆動を継続します。

ターゲットクロックソースの準備ができると（安定すると）、CLK_SWR レジスタの内容が*クロックマスタステータスレジスタ（CLK_CMSR）* にコピーされます。

SWBSY ビットがクリアされ、古いクロックソースは新しいクロックソースに置き換えられます。CLK_SWCR の SWIF フラグがセットされ、SWIEN ビットがセットされている場合は割り込みが生成されます。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 手動切り替え

手動切り替えは自動切り替えのように迅速ではありませんが、切り替えイベント時間を正確に制御することができます。

手動切り替えを有効にするには、以下の手順に従ってください（*図 23* のフローチャートを参照）。

1. ターゲットクロックソースを選択するために使用される 8 ビットの値を*クロックマスタスイッチレジスタ（CLK_SWR）*に書き込みます。SWBSY ビットがハードウェアによってセットされ、ターゲットソースオシレータが開始します。古いクロックソースは、CPU とペリフェラルの駆動を継続します。
2. ソフトウェアは、ターゲットクロックソースがレディ状態になるまで（安定するまで）待つ必要があります。これは、CLK_SWCR レジスタの SWIF フラグによって、および SWIEN ビットがセットされている場合は割り込みによって示されます。
3. ソフトウェアの最後の作業は、指定された時間に CLK_SWCR レジスタの SWEN ビットをセットして、切り替えを実行することです。

自動および手動切り替えモードの両方で、古いマスタクロックソースは、他のブロックによって必要とされた場合（たとえば、LSI RC は独立型ウォッチドッグを駆動するために使用されることがあります）、自動的にオフになりません。クロックソースは、*内部クロックレジスタ（CLK_ICKR）*と*外部クロックレジスタ（CLK_ECKR）*のビットを使用してオフにできます。

クロック切り替えが何らかの理由で働かない場合、ソフトウェアは、SWBSY フラグをクリアすることによって、現在の切り替え操作をリセットできます。この場合、CLK_SWR レジスタは以前の内容（古いマスタクロック）に復元されます



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 22. クロック切り替えのフローチャート（自動モードの例）

この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 23. クロック切り替えのフローチャート（手動モードの例）

## 9.3 低速クロックの選択

AWU や独立型ウォッチドッグ用の低速クロックソースには、LSI を使用したり、CKAWUSEL オプションビットに基づいて分周された HSE を使用することができます。データシートのオプションバイトのセクションを参照してください。

HSE の分周比は、HSEPRSC[1:0] オプションビットでプログラムする必要があります。データシートのオプションバイトのセクションを参照してください。目標は、HSE プリスケーラの出力で 128 kHz を得ることです。

## 9.4 CPU クロック分周器

CPU クロック（$f_{CPU}$）は、*クロック分周器レジスタ（CLK_CKDIVR）*の CPUDIV[2:0] ビットにプログラムされた係数によって分周されたマスタクロック（$f_{MASTER}$）から得られます。7 つの分周比（1～128、2 のべき乗単位）を選択できます（*図 20* を参照）。

$f_{CPU}$ 信号は、CPU とウィンドウ型ウォッチドッグの両方のクロックです。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

## 9.5 ペリフェラルクロックゲーティング（PCG）

使用しないペリフェラルへのクロックをゲーティングすると、消費電力の低減に役立ちます。ペリフェラルクロックゲーティング（PCG）モードは、RUN モード中にいつでも、以下のペリフェラルへの $f_{MASTER}$ クロック接続を選択的に有効または無効にできます。

- ADC
- I2C
- AWU（カウンタクロックではなく、レジスタクロック）
- SPI
- TIM[4:1]
- UART
- CAN（CAN クロックではなく、レジスタクロック）

デバイスリセット後、すべてのペリフェラルクロックは有効です。*ペリフェラルクロックゲーティングレジスタ 1（CLK_PCKENR1）*と*ペリフェラルクロックゲーティングレジスタ 2（CLK_PCKENR2）*の対応する PCKEN ビットをクリアすることによって、任意のペリフェラルへのクロックを無効にできます。しかし、対応するクロックを停止する前に、適切なビットを使用してペリフェラルを正しく無効にする必要があります。

ペリフェラルを有効にするには、まず、CLK_PCKENR レジスタの対応する PCKEN ビットを有効にし、次に、ペリフェラルの制御レジスタのペリフェラルイネーブルビットをセットする必要があります。

AWU カウンタは、$f_{MASTER}$ から独立した内部または外部クロック（LSI または HSE）によって駆動されます。そのため、たとえこのペリフェラルへのレジスタクロックがスイッチオフされても、動作を続行します。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

## 9.6 クロックセキュリティシステム（CSS）

クロックセキュリティシステム（CSS）は、HSE クリスタルクロックソースの障害を監視します。$f_{MASTER}$ が HSE クリスタルに依存する（すなわち、HSE が選択された）とき、HSE クロックが発振子の破損や接続不良、またはその他の理由で動作不良となった場合、クロックコントローラは、補助クロックソース（HSI/8）に $f_{MASTER}$ を自動的に切り替えることによって、ストール対策済みのリカバリメカニズムを起動します。選択された補助クロックソースは、MCU がリセットされるまで、有効なままです。

*クロックセキュリティシステムレジスタ（CLK_CSSR）*の CSSEN ビットをセットすることによって、クロックセキュリティシステムを有効にします。安全上の理由から、CSS が有効になると、次回のリセットまで無効にできません。

CSS が HSE クォーツクリスタルの障害を検出するためには、以下の条件が満たされている必要があります。

- HSE クリスタルがオンである（*外部クロックレジスタ（CLK_ECKR）*の HSEEN = 1）
- HSE オシレータがクォーツクリスタル設定されている（EXTCLK オプションビットがリセットされている）
- CSS 機能が有効である（CLK_CSSR レジスタの CSSEN = 1）。

障害が検出されたときに、HSE が現在のクロックマスタである場合、CSS は以下のアクションを実行します。

- CLK_CSSR レジスタの CSSD ビットがセットされ、CSSIEN ビットがセットされている場合は割り込みが生成されます。
- *クロックマスタステータスレジスタ（CLK_CMSR）*と*クロックマスタスイッチレジスタ（CLK_SWR）*レジスタにリセット値がセットされ（CKM[7:0]= SWI[7:0]=E1h）、*クロック分周器レジスタ（CLK_CKDIVR）*の HSIDIV[1:0] ビットにリセット値がセットされます。HSI/8 はマスタクロックになります。
- *内部クロックレジスタ（CLK_ICKR）*レジスタの HSIEN ビットがセットされます（HSI オン）。
- *外部クロックレジスタ（CLK_ECKR）*の HSEEN ビットがクリアされます（HSE オフ）。
- AUX ビットがセットされて、HSI/8 補助クロックソースが強制されることを示します。

CSSD ビットはソフトウェアによってクリアできますが、AUX ビットはリセットによってのみクリアされます。

さらに高速なクロック速度を選択するため、CLK_CSSR レジスタの CSSD ビットがクリアされた後で、CLK_CKDIVR レジスタの HSIDIV[1:0] ビットを変更することができます。

障害が検出されたときに HSE が現在のクロックマスタでない場合、マスタクロックは補助クロックに切り替えられず、以下を除いて上記のアクションはいずれも実行されません。

- CLK_ECKR レジスタの HSEEN ビットがクリアされてから、HSE がスイッチオフされます。
- CLK_CSSR レジスタの CSSD ビットがセットされ、CSSDIE もセットされている場合は割り込みが生成されます。これはソフトウェアによってクリアできます。

HSE が現在のクロックマスタではなく、HSE へのマスタクロック切り替えが進行中である場合、CSSD ビットをクリアする前に、CLK_SWCR レジスタの SWBSY ビットをソフトウェアによってクリアする必要があります。

障害が検出されたときに HSE が CCOSEL によって出力モードに選択されている場合（*設定可能クロック出力（CCO）*を参照）、この選択は、HSE の代わりに HSI（HSIDIV）を強制するよう自動的に変更されます。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

## 9.7 設定可能クロック出力（CCO）

設定可能クロック出力（CCO）機能によって、外部 CCO ピンにクロックを出力することができます。次の 6 つのクロック信号の 1 つを CCO クロックとして選択できます。

- $f_{HSE}$
- $f_{HSI}$
- $f_{HSIDIV}$
- $f_{LSI}$
- $f_{MASTER}$
- $f_{CPU}$（現在のプリスケール選択で）

*注：* ***可能なすべてのプリスケールされた値で 50% のデューティサイクルが保証されるわけではありません。***

この選択は、*設定可能クロック出力レジスタ（CLK_CCOR）*の CCOSEL[3:0] ビットによって制御されます。

ユーザは、まず、専用 I/O ピン用の希望するクロックを選択する必要があります（ピンの説明の章を参照）。この I/O は、対応する Px_CR1 レジスタで 1 にセットして、プルアップまたはプッシュプル出力を持つ入力として設定する必要があります。

選択されたクロックを実際に出力するシーケンスは、*設定可能クロック出力レジスタ（CLK_CCOR）*の CCOEN=1 から始まります。

CCOBSY ビットがセットされて、設定可能クロック出力システムが動作していることを示します。CCOBSY ビットがセットされている限り、CCOSEL ビットは書き込み保護されます。

CCO は、必要に応じて自動的にターゲットオシレータを起動します。選択されたクロックの準備ができると、CCORDY ビットがセットされます。

クロック出力を無効にするには、CCOEN ビットをクリアする必要があります。CCOBSY ビットと CCORDY ビットは、シャットダウンが完了するまで 1 に保たれます。選択されたクロック出力が $f_{CPU}$ に比べて非常に遅い場合など、CCOEN ビットがクリアされてから 2 つのフラグがリセットされるまで時間がかかることがあります。

## 9.8 CLK 割り込み

クロックコントローラによって、以下の割り込みを生成できます。

- マスタクロックソース切り替えイベント
- クロックセキュリティシステムイベント

どちらの割り込みも個別にマスクできます。

**表 16. CLK 割り込みリクエスト**

| 割り込みイベント | イベントフラグ | イネーブル制御ビット | WAIT の終了 | HALT の終了 |
|---|---|---|---|---|
| CSS イベント | CSSD | CSSDIE | Yes | No |
| マスタクロック切り替えイベント | SWIF | SWIEN | Yes | No |



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

## 9.9 CLK レジスタの説明

### 9.9.1 内部クロックレジスタ（CLK_ICKR）

アドレスオフセット：0x00

リセット値：0x01

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| 予約済み | | REGAH | LSIRDY | LSIEN | FHW | HSIRDY | HSIEN |
| | | rw | r | rw | rw | r | rw |

ビット 7:6 予約済み、クリア状態を保つ必要があります。

ビット 5 **REGAH**：アクティブ HALT モードでレギュレータ電源オフ

このビットは、ソフトウェアによってセット／クリアされます。セットされると、MCU がアクティブ HALT モードに入るとメイン電圧レギュレータが電源オフになるので、ウェイクアップ時間が長くなります。

0：アクティブ HALT モードで、MVR レギュレータの電源はオンです。

1：アクティブ HALT モードで、MVR レギュレータの電源はオフです。

ビット 4 **LSIRDY**：低速内部オシレータレディ

このビットは、ハードウェアによってセット／クリアされます。

0：LSI クロックはレディ状態ではありません。

1：LSI クロックはレディ状態です。

ビット 3 **LSIEN**：低速内部 RC オシレータイネーブル

このビットは、ソフトウェアによってセット／クリアされます。LSI オシレータが必要なときに、ハードウェアによってセットされます。たとえば次のような場合です。

- LSI クロックに切り替えられたとき（CLK_SWR レジスタを参照）。
- LSI がアクティブ CCO ソースとして選択されたとき（CLK_CCOR レジスタを参照）。
- BEEP が有効なとき（BEEP_CSR レジスタの BEEPEN ビットがセットされたとき）。
- LSI 測定が有効なとき（AWU_CSR レジスタの MSR ビットがセットされたとき）。

LSI が、マスタクロックソースとして（CLK_CMSR レジスタ）、アクティブ CCO ソースとして、または AWU ペリフェラルや独立型ウォッチドッグのクロックソースとして選択されているとき、このビットはクリアできません。

0：低速内部 RC はオフです。

1：低速内部 RC はオンです。

ビット 2 **FHWU**：HALT／アクティブ HALT モードからの高速ウェイクアップ

このビットは、ソフトウェアによってセット／クリアされます。

0：HALT／アクティブ HALT モードからの高速ウェイクアップは無効です。

1：HALT／アクティブ HALT モードからの高速ウェイクアップは有効です。

ビット 1 **HSIRDY**：高速内部オシレータレディ

このビットは、ハードウェアによってセット／クリアされます。

0：HSI クロックはレディ状態ではありません。

1：HSI クロックはレディ状態です。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 0 HSIEN：高速内部 RC オシレータイネーブル

このビットは、ソフトウェアによってセット／クリアされます。HSI オシレータが必要なときに、ハードウェアによってセットされます。たとえば次のような場合です。

– CSS によって安全なオシレータとして起動されたとき。
– HSI クロックに切り替えられたとき（CLK_SWR レジスタを参照）。
– HSI がアクティブ CCO ソースとして選択されたとき（CLK_CCOR レジスタを参照）。

HSI がクロックマスタとして（CLK_CMSR レジスタ）またはアクティブ CCO ソースとして選択されているとき、あるいは安全なオシレータ（AUX）が有効な場合は、このビットはクリアできません。

0：高速内部 RC はオフです。

1：高速内部 RC はオンです。

## 9.9.2 外部クロックレジスタ（CLK_ECKR）

アドレスオフセット：0x01

リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| 予約済み | | | | | | HSERDY | HSEEN |
| | | | | | | r | rw |

ビット 7:2 予約済み、クリア状態を保つ必要があります。

ビット 1 **HSERDY**：高速外部クリスタルオシレータレディ

このビットは、ハードウェアによってセット／クリアされます。

0：HSE クロックはレディ状態ではありません。

1：HSE クロックはレディ状態です（HSE クロックは安定していて、使用可能です）。

ビット 0 **HSEEN**：高速外部クリスタルオシレータイネーブル

このビットは、ソフトウェアによってセット／クリアされます。外部クリスタルオシレータのオン／オフを切り替えるために使用できます。以下の場合にハードウェアによってセットされます。

– HSE クロックに切り替えられたとき（CLK_SWR レジスタを参照）。
– HSE がアクティブ CCO ソースとして選択されたとき（CLK_CCOR レジスタを参照）。

HSE がクロックマスタとして（CLK_CMSR レジスタで示されます）またはアクティブ CCO ソースとして選択されているとき、このビットはクリアできません。

0：HSE クロックはオフです。

1：HSE クロックはオンです。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 9.9.3 クロックマスタステータスレジスタ（CLK_CMSR）

アドレスオフセット：0x03

リセット値：0xE1

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| CKM[7：0] | | | | | | | |
| r | r | r | r | r | r | r | r |

ビット 7:0 **CKM[7:0]**：クロックマスタステータスビット

これらのビットは、ハードウェアによってセット／クリアされます。現在選択されているマスタクロックソースを示します。このレジスタに無効な値が発生すると、自動的に MCU リセットが生成されます。

0xE1：HSI がマスタクロックソースとして選択されています（リセット値）。

0xD2：LSI がマスタクロックソースとして選択されています（LSI_EN オプションビットがセットされている場合のみ）

0xB4：HSE がマスタクロックソースとして選択されています。

### 9.9.4 クロックマスタスイッチレジスタ（CLK_SWR）

アドレスオフセット：0x04

リセット値：0xE1

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| SWI[7：0] | | | | | | | |
| rw | rw | rw | rw | rw | rw | rw | rw |

ビット 7:0 **SWI[7:0]**：クロックマスタ選択ビット

これらのビットは、マスタクロックソースを選択するために、ソフトウェアによって書き込まれます。その内容は、クロック切り替えの進行中は（SWBSY ビットがセットされている間は）書き込み保護されています。CLK_CSSR レジスタの AUX ビットがセットされている場合は、リセット値（HSI）にセットされます。高速 HALT ウェイクアップモードが選択された場合（CLK_ICKR レジスタの FHW ビット = 1）、これらのビットは、HALT／アクティブ HALT モードから再開するときに、ハードウェアによって E1h にセットされます（HSI が選択されます）。

0xE1：HSI がマスタクロックソースとして選択されています（リセット値）。

0xD2：LSI がマスタクロックソースとして選択されています（LSI_EN オプションビットがセットされている場合のみ）

0xB4：HSE がマスタクロックソースとして選択されています。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 9.9.5 スイッチ制御レジスタ（CLK_SWCR）

アドレスオフセット：0x05

リセット値：0xXX

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| 予約済み | | | | SWIF | SWIEN | SWEN | SWBSY |
| | | | | rc_w0 | rw | rw | rw |

ビット 7:4 予約済み。

ビット 3 **SWIF**：クロック切り替え割り込みフラグ

このビットは、ハードウェアによってセットされ、ソフトウェアによって 0 を書き込むことでクリアされます。意味は、SWEN ビットのステータスに依存します。*図 22* および*図 23* を参照してください。

- **手動切り替えモード時（SWEN=0）**：

0：ターゲットクロックソースはレディ状態ではありません。

1：ターゲットクロックソースはレディ状態です。

- **自動切り替えモード時（SWEN=1）**：

0：クロック切り替えイベントは発生していません。

1：クロック切り替えイベントが発生しました。

ビット 2 **SWIEN**：クロック切り替え割り込みイネーブル

このビットは、ソフトウェアによってセット／クリアされます。

0：クロック切り替え割り込みは無効です。

1：クロック切り替え割り込みは有効です。

ビット 1 **SWEN**：切り替えの開始／停止

このビットは、ソフトウェアによってセット／クリアされます。このビットに 1 を書き込むと、CLK_SWR レジスタで定義されたソースへのマスタクロックの切り替えが有効になります。

0：クロック切り替えの実行を無効にします。

1：クロック切り替えの実行を有効にします。

ビット 0 **SWBSY**：スイッチビジー

このビットは、ハードウェアによってセット／クリアされます。クロック切り替えプロセスをリセットするために、ソフトウェアによってクリアできます。

0：クロック切り替えは行われていません。

1：クロック切り替えが行われています。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 9.9.6 クロック分周器レジスタ（CLK_CKDIVR）

アドレスオフセット：0x06

リセット値：0x18

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| 予約済み | | | HSIDIV[1:0] | | CPUDIV[2:0] | | |
| | | | rw | rw | rw | rw | rw |

ビット 7:5 予約済み、クリア状態を保つ必要があります。

ビット 4:3 **HSIDIV[1:0]**：高速内部クロックプリスケーラ

これらのビットは、HSI プリスケール比を定義するために、ソフトウェアによって書き込まれます。

00：$f_{HSI}$= $f_{HSI\ RC\ output}$

01：$f_{HSI}$= $f_{HSI\ RC\ output}$/2

10：$f_{HSI}$= $f_{HSI\ RC\ output}$/4

11：$f_{HSI}$= $f_{HSI\ RC\ output}$/8

ビット 2:0 **CPUDIV[2:0]**：CPU クロックプリスケーラ

これらのビットは、CPU クロックのプリスケール比を定義するために、ソフトウェアによって書き込まれます。

000：$f_{CPU}$=$f_{MASTER}$

001：$f_{CPU}$=$f_{MASTER}$/2

010：$f_{CPU}$=$f_{MASTER}$/4

011：$f_{CPU}$=$f_{MASTER}$/8

100：$f_{CPU}$=$f_{MASTER}$/16

101：$f_{CPU}$=$f_{MASTER}$/32

110：$f_{CPU}$=$f_{MASTER}$/64

111：$f_{CPU}$=$f_{MASTER}$/128



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 9.9.7 ペリフェラルクロックゲーティングレジスタ 1（CLK_PCKENR1）

アドレスオフセット：0x07

リセット値：0xFF

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| PCKEN1[7：0] | | | | | | | |
| rw | rw | rw | rw | rw | rw | rw | rw |

ビット 7:0 **PCKEN1[7:0]**：ペリフェラルクロックイネーブル

これらのビットは、対応するペリフェラルへの $f_{MASTER}$ クロックを有効／無効にするために、ソフトウェアによって書き込まれます（*表 17* を参照）。

0：ペリフェラルへの $f_{MASTER}$ は無効です。

1：ペリフェラルへの $f_{MASTER}$ は有効です。

**表 17. ペリフェラルクロックゲーティングビット**

| 制御ビット | ペリフェラル |
|---|---|
| PCKEN17 | TIM1 |
| PCKEN16 | TIM3 |
| PCKEN15 | TIM2/TIM5（製品に依存） |
| PCKEN14 | TIM4/TIM6（製品に依存） |
| PCKEN13 | UART1/2/3（製品に依存、ビット割り当て表についてはデータシートを参照） |
| PCKEN12 | |
| PCKEN11 | SPI |
| PCKEN10 | $I^2C$ |



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 9.9.8 ペリフェラルクロックゲーティングレジスタ 2（CLK_PCKENR2）

アドレスオフセット：0x0A

リセット値：0xFF

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| PCKEN2[7：0] | | | | | | | |
| rw | rw | rw | rw | rw | rw | rw | rw |

ビット 7:0 **PCKEN2[7:0]**：ペリフェラルクロックイネーブル

これらのビットは、対応するペリフェラルへの $f_{MASTER}$ クロックを有効／無効にするために、ソフトウェアによって書き込まれます。*表 18* を参照してください。

0：ペリフェラルへの $f_{MASTER}$ は無効です。

1：ペリフェラルへの $f_{MASTER}$ は有効です。

**表 18. ペリフェラルクロックゲーティングビット**

| 制御ビット | ペリフェラル |
|---|---|
| PCKEN27 | CAN（製品依存、データシートを参照） |
| PCKEN26 | 予約済み |
| PCKEN25 | 予約済み |
| PCKEN24 | 予約済み |
| PCKEN23 | ADC |
| PCKEN22 | AWU |
| PCKEN21 | 予約済み |
| PCKEN20 | 予約済み |



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 9.9.9 クロックセキュリティシステムレジスタ（CLK_CSSR）

アドレスオフセット：0x08

リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| 予約済み | | | | CSSD | CSSDIE | AUX | CSSEN |
| | | | | rc_w0 | rw | r | rwo |

ビット 7:4 予約済み、クリア状態を保つ必要があります。

ビット 3 **CSSD**：クロックセキュリティシステム検出

このビットは、ハードウェアによってセットされ、ソフトウェアによって 0 を書き込むことでクリアされます。

0：CSS はオフか、HSE クリスタルクロック障害が検出されていません。

1：HSE クリスタルクロック障害が検出されました。

ビット 2 **CSSDIE**：クロックセキュリティシステム検出割り込みイネーブル

このビットは、ソフトウェアによってセット／クリアされます。

0：クロックセキュリティシステム割り込みは無効です。

1：クロックセキュリティシステム割り込みは有効です。

ビット 1 **AUX**：マスタクロックに接続された補助オシレータ

このビットは、ハードウェアによってセット／クリアされます。

0：補助オシレータはオフです。

1：補助オシレータ（HSI/8）はオンであり、現在のクロックマスタソースとして選択されています。

ビット 0 **CSSEN**：クロックセキュリティシステムイネーブル

このビットは、何度も読み出しでき、ソフトウェアによって 1 回だけ書き込むことができます。

0：クロックセキュリティシステムはオフです。

1：クロックセキュリティシステムはオンです。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 9.9.10 設定可能クロック出力レジスタ（CLK_CCOR）

アドレスオフセット：0x09

リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| 予約済み | CCOBSY | CCORDY | CCOSEL[3:0] | | | | CCOEN |
| | r | r | rw | rw | rw | rw | rw |

ビット 7 予約済み、クリア状態を保つ必要があります。

ビット 6 **CCOBSY**：設定可能クロック出力ビジー

このビットは、ハードウェアによってセット／クリアされます。選択された CCO クロックソースが起動され、安定化されたことを示します。CCOBSY がセットされている間は、CCOSEL ビットは書き込み保護されます。CCOBSY は、CCO クロックが有効になるまでセット状態を維持します。

0：CCO クロックはビジーではありません。

1：CCO クロックはビジーです。

ビット 5 **CCORDY**：設定可能クロック出力レディ

このビットは、ハードウェアによってセット／クリアされます。CCO クロックが出力されていることを示します。

0：CCO クロックは使用できません。

1：CCO クロックは使用できます。

ビット 4:1 **CCOSEL[3:0]**：設定可能クロック出力選択

これらのビットは、CLK_CCO ピンで使用可能な出力クロックのソースを選択するために、ソフトウェアによって書き込まれます。CCOBSY がセットされているとき、これらのビットは書き込み保護されます。

0000：$f_{HSIDIV}$

0001：$f_{LSI}$

0010：$f_{HSE}$

0011：予約済み

0100：$f_{CPU}$

0101：$f_{CPU}/2$

0110：$f_{CPU}/4$

0111：$f_{CPU}/8$

1000：$f_{CPU}/16$

1001：$f_{CPU}/32$

1010：$f_{CPU}/64$

1011：$f_{HSI}$

1100：$f_{MASTER}$

1101：$f_{CPU}$

1110：$f_{CPU}$

1111：$f_{CPU}$

ビット 0 **CCOEN**：設定可能クロック出力イネーブル

このビットは、ソフトウェアによってセット／クリアされます。

0：CCO クロック出力は無効です。

1：CCO クロック出力は有効です。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 9.9.11 HSI クロック較正トリミングレジスタ（CLK_HSITRIMR）

アドレスオフセット：0x0C

リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| 予約済み | | | | HSITRIM[3:0] | | | |
| | | | | rw | rw | rw | rw |

ビット 7:4 予約済み、クリア状態を保つ必要があります。

ビット 3:0 **HSITRIM[3:0]**：HSI トリミング値

これらのビットは、HSI 較正を微調整するために、ソフトウェアによって書き込まれます。

*注： 大容量 STM8S および STM8A デバイスでは、ビット 2:0 だけが使用可能です。*

*他のデバイスでは、ビット 3:0 が使用可能で、より優れた HSI 分解能を実現できます。ビット 2:0 との互換性は、オプションバイトを通じて選択できます（データシートを参照）。*



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

参考資料



### 9.9.12 SWIM クロック制御レジスタ（CLK_SWIMCCR）

アドレスオフセット：0x0D

リセット値：0bXXXX XXX0

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| 予約済み | | | | | | | SWIMCLK |
| | | | | | | | rw |

ビット 7:1 予約済み。

ビット 0 **SWIMCLK**：SWIM クロック分周器

このビットは、ソフトウェアによってセット／クリアされます。

0：SWIM クロックは 2 分周されます。

1：SWIM クロックは 2 分周されません。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

## 9.10 CLK レジスタマップとリセット値

**表 19. CLK レジスタマップとリセット値**

| アドレスオフセット | レジスタ名 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|
| 0x00 | CLK_ICKR<br>リセット値 | -<br>0 | -<br>0 | REGAH<br>0 | LSIRDY<br>0 | LSIEN<br>0 | FHWU<br>0 | HSIRDY<br>0 | HSIEN<br>1 |
| 0x01 | CLK_ECKR<br>リセット値 | -<br>0 | -<br>0 | -<br>0 | -<br>0 | -<br>0 | -<br>0 | HSERDY<br>0 | HSEEN<br>0 |
| 0x02 | 予約済み領域（1 バイト） | | | | | | | | |
| 0x03 | CLK_CMSR<br>リセット値 | CKM7<br>1 | CKM6<br>1 | CKM5<br>1 | CKM4<br>0 | CKM3<br>0 | CKM2<br>0 | CKM1<br>0 | CKM0<br>1 |
| 0x04 | CLK_SWR<br>リセット値 | SWI7<br>1 | SWI6<br>1 | SWI5<br>1 | SWI4<br>0 | SWI3<br>0 | SWI2<br>0 | SWI1<br>0 | SWI0<br>1 |
| 0x05 | CLK_SWCR<br>リセット値 | -<br>x | -<br>x | -<br>x | -<br>x | SWIF<br>x | SWIEN<br>x | SWEN<br>x | SWBSY<br>x |
| 0x06 | CLK_CKDIVR<br>リセット値 | -<br>0 | -<br>0 | -<br>0 | HSIDIV1<br>1 | HSIDIV0<br>1 | CPUDIV2<br>0 | CPUDIV12<br>0 | CPUDIV0<br>0 |
| 0x07 | CLK_PCKENR1<br>リセット値 | PCKEN17<br>1 | PCKEN16<br>1 | PCKEN15<br>1 | PCKEN14<br>1 | PCKEN13<br>1 | PCKEN12<br>1 | PCKEN11<br>1 | PCKEN10<br>1 |
| 0x08 | CLK_CSSR<br>リセット値 | -<br>0 | -<br>0 | -<br>0 | -<br>0 | CSSD<br>0 | CSSDIE<br>0 | AUX<br>0 | CSSEN<br>0 |
| 0x09 | CLK_CCOR<br>リセット値 | -<br>0 | CCOBSY<br>0 | CCORDY<br>0 | CCOSEL3<br>0 | CCOSEL2<br>0 | CCOSEL1<br>0 | CCOSEL0<br>0 | CCOEN<br>0 |
| 0x0A | CLK_PCKENR2<br>リセット値 | PCKEN27<br>1 | PCKEN26<br>1 | PCKEN25<br>1 | PCKEN24<br>1 | PCKEN23<br>1 | PCKEN22<br>1 | PCKEN21<br>1 | PCKEN20<br>1 |
| 0x0B | 予約済み領域（1 バイト） | | | | | | | | |
| 0x0C | CLK_HSITRIMR<br>リセット値 | -<br>0 | -<br>0 | -<br>0 | -<br>0 | -<br>0 | HSITRIM2<br>0 | HSITRIM1<br>0 | HSITRIM0<br>0 |
| 0x0D | CLK_SWIMCCR<br>リセット値 | -<br>x | -<br>x | -<br>x | -<br>x | -<br>x | -<br>x | -<br>x | SWIMCLK<br>0 |



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

# 10 電源管理

デフォルトでは、システムリセットまたは電源リセット後、マイクロコントローラは RUN モードです。このモードでは、CPU は $f_{CPU}$ によってクロック供給されてプログラムコードを実行し、システムクロックは有効なペリフェラルに分配され、マイクロコントローラはフルパワーを消費しています。

RUN モードでは、CPU を動作させてコードを実行しながら、アプリケーションは、以下のような方法で消費電力を低減します。

- システムクロックの低速化
- 使用されない個々のペリフェラルへのクロックのゲーティング
- 使用されないアナログ機能のスイッチオフ

しかし、CPU 動作を維持する必要がないときは、3 つの専用低電力モードを使用することができます。

- WAIT
- アクティブ HALT（低速または高速ウェイクアップに設定可能）
- HALT（低速または高速ウェイクアップに設定可能）

これらの 3 つのモードのいずれかを選択および設定することで、最低の消費電力、最速の起動時間、および使用可能なウェイクアップソースの間で、最善の妥協点を得ることができます。

## 10.1 一般的な考慮事項

低消費電力機能は、あらゆるタイプのアプリケーションの省エネにとって、一般的にきわめて重要です。超低電力機能は、長いバッテリ寿命を確保するために、モバイルアプリケーションにとって特に重要です。これは、環境保護のためにも重要です。

シリコンチップには、2 種類の消費電力があります。

- **静的消費電力**：アナログ偏波やリークに起因します。これはきわめて小さく、HALT モードとアクティブ HALT モードでのみ意味を持ちます（*セクション 10.2：低電力モード* を参照）。
- **動的消費電力**：チップのデジタル部の動作に由来するものであり、$V_{DD}$、クロック周波数、および負荷コンデンサによって異なります。

マイクロコントローラデバイスでは、消費電力は以下の条件によって異なります。

- $V_{DD}$ 電源電圧
- アナログ性能
- MCU のサイズまたはデジタルゲートの数（リークと負荷コンデンサ）
- クロック周波数
- 有効ペリフェラルの数
- 使用可能な低電力モードと低電力レベル

デバイスの処理性能もきわめて重要であり、これによってアプリケーションは、RUN モードでの所要時間を最小限に抑えて、低電力モードでの時間を最大化できます。

MCU の柔軟な電源管理機能を使用すれば、システム動作時に大幅な節電を実現したり、操作を短時間で再開することができます。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 10.1.1 低消費電力のためのクロック管理

#### システムクロックの低速化

RUN モードでは、性能と消費電力との最善の妥協点を得るために、システムクロックソースとして使用されるオシレータの選択がきわめて重要です。この選択は、クロックコントローラレジスタのプログラミングによって行われます。*クロック制御（CLK）*のセクションを参照してください。

さらなる対策として、*クロック分周器レジスタ（CLK_CKDIVR）*の CPUDIV[2:0] ビットに書き込むことによって、$f_{CPU}$ を減らすことができます。これによって CPU の速度が低下するため、MCU の消費電力が低減します。他のペリフェラル（$f_{MASTER}$ によってクロック供給される）には、この設定による影響はありません。

RUN モードでいつでも全速に戻るには、CPUDIV[2:0] ビットをクリアします。

#### ペリフェラルクロックゲーティング

さらに消費電力を節約するために、ペリフェラルクロックゲーティング（PCG）を使用できます。これは、個々のペリフェラルへの $f_{MASTER}$ クロック接続を選択して有効／無効にすることによって、いつでも行うことができます。*クロック制御（CLK）*のセクションを参照してください。

これらの設定は、RUN モードと WAIT モードの両方で有効です。

## 10.2 低電力モード

4 つの低電力モードの主な特性を*表 20* に示します。

**表 20. 低電力モードの管理**

| モード（消費電力レベル） | メイン電圧レギュレータ | オシレータ | CPU | ペリフェラル | ウェイクアップトリガイベント |
|---|---|---|---|---|---|
| WAIT ( - ) | オン | オン | オフ | オン(1) | すべての内部割り込み（AWU を含む）または外部割り込み、リセット |
| アクティブ HALT ( - - ) | オン | オフ LSI（または HSE）を除く | オフ | AWU のみ(2) | AWU または外部(3) 割り込み、リセット |
| MVR 自動電源オフ付きアクティブ HALT ( - - - ) | オフ（低電力レギュレータはオン） | オフ LSI のみを除く | オフ | AWU のみ(2) | AWU または外部(3)割り込み、リセット |
| HALT ( - - - - ) | オフ（低電力レギュレータはオン） | オフ | オフ | オフ(2) | 外部(3)割り込み、リセット |

1. ペリフェラルクロックがペリフェラルクロックゲーティング機能によって無効にされていない場合。
2. 有効にされた場合、BEEP や IWDG はスイッチオンされたままです。この場合、LSI クロックは動作を強制されます。
3. 通信ペリフェラル割り込みを含みます。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 10.2.1 WAIT モード

WFI（割り込み待ち）命令を実行することによって、RUN モードから WAIT モードに移行します。CPU は停止しますが、他のペリフェラルと割り込みコントローラは実行を続行できます。その結果として消費電力が低下します。WAIT モードを、PCG（ペリフェラルクロックゲーティング）、CPU クロック周波数の低減、および低モードのクロックソース選択（LSI、HSI）と組み合わせることで、デバイスの消費電力をさらに削減できます。*クロック制御（CLK）*の説明を参照してください。

WAIT モードでは、すべてのレジスタと RAM の内容が保持され、以前に定義されたクロック設定がそのまま保持されます（*クロックマスタステータスレジスタ（CLK_CMSR）*）。

内部または外部割り込みリクエストが発生すると、CPU は、WAIT モードからウェイクアップし、処理を再開します。

### 10.2.2 HALT モード

このモードでは、マスタクロックは停止します。これは、CPU と、$f_{MASTER}$ またはそこから生成されたクロックによってクロック供給されているすべてのペリフェラルが無効になることを意味します。その結果、どのペリフェラルもクロック供給されず、MCU のデジタル部分はほとんど電力を消費しません。

HALT モードでは、すべてのレジスタと RAM の内容が保持され、デフォルトでは、クロック設定がそのまま保持されます（*クロックマスタステータスレジスタ（CLK_CMSR）*）。

HALT 命令が実行されると、MCU は HALT モードに入ります。HALT モードからのウェイクアップは、割り込み入力に設定されている GPIO ポート、またはペリフェラル割り込みをトリガできる代替機能ピンによる外部割り込みによってトリガされます。

このモードでは、節電のために MVR レギュレータはスイッチオフされます。LPVR レギュレータ（とブラウンアウトリセット）だけがアクティブです。

#### 高速クロックウェイクアップ

HSI RC の起動時間は、HSE クリスタルの起動時間よりもはるかに高速です（データシートの電気パラメータを参照）。したがって、MCU のウェイクアップ時間を最適化するため、HALT モードに入る前に、$f_{MASTER}$ クロックソースとして HSI クロックを選択することを推奨します。

この選択は、*内部クロックレジスタ（CLK_ICKR）*の FHWU ビットを使用して、クロック切り替えなしに行うことができます。*クロック制御（CLK）*の章を参照してください。

### 10.2.3 アクティブ HALT モード

アクティブ HALT モードは HALT モードと似ていますが、ウェイクアップのために外部割り込みは必要ありません。AWU を使用して、プログラマブルな遅延の後でウェイクアップイベントを内部的に生成します。

アクティブ HALT モードでは、メインオシレータ、CPU、およびほとんどすべてのペリフェラルが停止します。

LSI RC または HSE オシレータのみが動作して、AWU カウンタと IWD カウンタ（有効な場合）を駆動します。

アクティブ HALT モードに入るには、まず、AWU のセクションで説明されているように AWU を有効にします。次に、HALT 命令を実行します。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### メイン電圧レギュレータ（MVR）の自動電源オフ

デフォルトでは、メイン電圧レギュレータはアクティブ HALT モードに保持されます。これを有効にしておくことで、アクティブ HALT モードからの高速ウェイクアップが可能になります。しかし、この場合MVR の消費電流は無視できなくなります。

さらに消費電流を減らすため、MCU がアクティブ HALT モードに入るとき、MVR レギュレータを自動的に電源オフにすることができます。この機能を設定するには、*内部クロックレジスタ（CLK_ICKR）*レジスタの REGAH ビットをセットします。このモードでは：

- MCU コアは､LPVR レギュレータによってのみ電源供給されます（HALT モードの場合と同じ）。
- HSE クロックの消費電流は LPVR にとって高すぎるため、LSI クロックソースのみを使用できます。

メイン電圧レギュレータは、ウェイクアップ時に再び電源オンにされ、長いウェイクアップ時間を必要とします（ウェイクアップのタイミングと消費電流のデータについては、データシートの電気特性のセクションを参照）。

### 高速クロックウェイクアップ

HALT モードの説明と同様に、最短のウェイクアップ時間を実現するため、$f_{MASTER}$ クロックソースとして HSI を選択することを推奨します。切り替え時間を短縮するため、FHWU ビットも使用できます。

アクティブ HALT モードでは、短いウェイクアップ時間がきわめて重要です。低電力モードの 2 つの期間の間に MCU が RUN モードにとどまる時間を最小限に抑えることで、CPU の処理性能の効果を補います。したがって、全体的な平均消費電力が低減します。

クロックは元のマスタクロックに自動的に切り替わらないため、アプリケーションは、HALT／アクティブ HALT モードに入る前に、準備ができるとすぐにクロックソースを復元する必要があります。

## 10.3 その他のアナログ電源制御

### 10.3.1 HALT モードからの高速フラッシュウェイクアップ

デフォルトでは、マイクロコントローラが HALT モードに入ったとき、フラッシュはパワーダウン状態です。リーク電流はごくわずかであるため、HALT モードではきわめて低消費電力になります。しかし、フラッシュのウェイクアップ時間は、比較的長くなります（数 µs）。

アプリケーションを HALT モードから短時間でウェイクアップさせる必要がある場合、*セクション 4.8.1：フラッシュ制御レジスタ 1（FLASH_CR1）*の HALT ビットをセットします。これによって、マイクロコントローラが HALT モードに入ったとき、フラッシュは STANDBY モードにあることが保証されます。そのウェイクアップ時間は、数 ns に短縮されます。しかしこの場合、消費電力は最大で数 µA まで増加します。

詳細については、データシートの電気特性のセクションを参照してください。

### 10.3.2 アクティブ HALT モードでのフラッシュ消費電力の低減

デフォルトでは、アクティブ HALT モードにおいて、フラッシュは最短のウェイクアップ時間を実現するために動作モードのままです。しかしこの場合、消費電力は最適化されません。

消費電力を最適化するため、フラッシュ制御レジスタ 1（FLASH_CR1）の AHALT ビットをセットすることができます。これによって、アクティブ HALT モードに入るとき、フラッシュはパワーダウン状態に切り替えられます。消費電力は低減しますが、ウェイクアップ時間は最大で数 µs まで増加します。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下､｢正規英語版資料｣）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

参考資料



# 11 汎用入出力ポート (GPIO)

## 11.1 概要

汎用入出力ポートは、チップと周辺回路との間のデータ転送に使用されます。入出力ポートは、最大 8 本のピンを内蔵できます。各ピンは、デジタル入力またはデジタル出力として個別にプログラミングすることができます。さらに、アナログ入力、外部割り込み、オンチップペリフェラル用の入出力などのオルタネート機能を備えたポートもあります。ピンには、一度に 1 つの代替機能しか配置できません。代替機能の配置は、オプションバイトによって制御されます。オプションバイトの説明については、データシートを参照してください。

出力データレジスタ、入力データレジスタ、データ方向レジスタ、および 2 つの設定レジスタは、各ポートに関連付けられます。特定のポートは、ポートのデータ方向レジスタのステータスに応じて、入力または出力として動作します。

## 11.2 GPIO の主な機能

- ポートビットは個別に設定できます。
- 選択可能な入力モード：フローティング入力またはプルアップ付き入力。
- 選択可能な出力モード：プッシュプル出力または疑似オープンドレイン。
- データの入出力に別個のレジスタ。
- 外部割り込みを個別に有効／無効にすることが可能。
- 出力スロープ制御によって EMC ノイズを低減。
- オンチップペリフェラル用のオルタネート機能入出力。
- 消費電力を抑えるため、アナログ入力時の入力シュミットトリガは無効にできます。
- データ出力のラッチ時に読み出し／変更／書き込みが可能。
- 5 V 耐性入力
- 1.6 V～$V_{DDIOmax}$の電圧範囲で入出力状態を保証。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

**図 24. GPIO ブロック図**

*注： アナログ入力が選択されると出力ステージが無効になります。*



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

## 11.3 ポートの設定と使い方

出力データレジスタ（ODR）、ピン入力レジスタ（IDR）、データ方向レジスタ（DDR）は、常に各ポートに関連付けられています。

制御レジスタ 1（CR1）と制御レジスタ 2（CR2）によって、入出力オプションが可能になります。入出力ピンは、DDR、ODR、CR1、および CR2 レジスタの対応するビットを使用してプログラミングされます。

レジスタのビット *n* は、ポートのピン *n* に対応します。

*表 21*に、さまざまな設定の要約を示します。

**表 21. 入出力ポート設定の要約**

| モード | DDR ビット | CR1 ビット | CR2 ビット | 機能 | プルアップ | P バッファ | ダイオード | |
|---|---|---|---|---|---|---|---|---|
| | | | | | | | $V_{DD}$へ | $V_{SS}$へ |
| 入力 | 0 | 0 | 0 | 割り込みのないフローティング | オフ | オフ | オン(1) | オン |
| | 0 | 1 | 0 | 割り込みのないプルアップ | オン | | | |
| | 0 | 0 | 1 | 割り込みのあるフローティング | オフ | | | |
| | 0 | 1 | 1 | 割り込みのあるプルアップ | オン | | | |
| 出力 | 1 | 0 | 0 | オープンドレイン出力 | オフ | オフ | | |
| | 1 | 1 | 0 | プッシュプル出力 | | オン | | |
| | 1 | 0 | 1 | オープンドレイン出力、高速モード | | オフ | | |
| | 1 | 1 | 1 | プッシュプル、高速モード | オフ | オン | | |
| | 1 | x | x | 真のオープンドレイン（特定のピンで） | 実装なし | | 実装なし (2) | |

1. 3.6 V および 5 V 耐性の入出力では、$V_{DD}$ に対する保護ダイオードは実装されていません。
2. $V_{DD}$ に接続されるダイオードは、真のオープンドレインパッドでは実装されません。デバイスを正ストレスから保護するために、パッドと $V_{OL}$ の間にローカル保護が実装されています。

### 11.3.1 入力モード

DDRx ビットをクリアすると、入力モードが選択されます。このモードでは、IDR ビットを読み出すと、対応する入出力ピンのデジタル値が返されます。

アナログ入力、外部割り込み、およびシュミットトリガの有効化／無効化については、*セクション 11.7：入力モードの詳細（107 ページ）*を参照してください。

*表 21*に示すように、理論的には、ソフトウェアによって 4 つの異なる入力モード（割り込みのないフローティング、割り込みのあるフローティング、割り込みのないプルアップ、割り込みのあるプルアップ）を設定できます。ただし実際には、すべてのポートが外部割り込み機能やプルアップを備えているわけではありません。各ポートの実際のハードウェア機能については、データシートのピン配置説明を参照してください。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 11.3.2 出力モード

DDRx ビットをセットすると、出力モードが選択されます。このモードでは、ODR ビットへの書き込みによって、デジタル値がラッチを介して入出力に適用されます。IDR ビットを読み出すと、対応する入出力ピンからデジタル値が返されます。CR1 および CR2 レジスタを使用して、異なる出力モード（プッシュプル出力、オープンドレイン出力）をソフトウェアによって設定できます。

詳細については、*セクション 11.8：出力モードの詳細（109 ページ）*を参照してください。

## 11.4 リセット設定

すべての入出力ピンは、リセット中（すなわち、リセットフェーズ中）とリセット状態時（すなわち、リセットリリース後）には、一般に入力フローティングになっています。ただし、いくつかのピンでは動作が異なる場合もあります。詳細については、データシートのピン配置説明を参照してください。

## 11.5 未使用の入出力ピン

未使用の入出力ピンは、固定の電圧レベルに接続し、入力フローティングとして設定する必要があります。未使用の入出力ピンにはプルアップまたはプルダウンを接続するか、あるいは内部ウィークプルアップを使用してください（それらのピンで使用できる場合）。

## 11.6 低電力モード

**表 22. 低電力モードが GPIO ポートに与える影響**

| モード | 説明 |
|---|---|
| WAIT | 入出力ポートに影響を与えません。外部割り込みによって、デバイスは WAIT モードから抜けます。 |
| HALT | 入出力ポートに影響を与えません。外部割り込みによって、デバイスは HALT モードからウェイクアップします。 |

*注：* ***外部オシレータを接続するために PA1/PA2 ピンが使用される場合、HALT モードで最低の消費電力を保証するためには、PA1 および PA2 ピンを入力プルアップに設定する必要があります。***

## 11.7 入力モードの詳細

### 11.7.1 代替機能入力

いくつかの入出力は、代替機能入力として使用できます。たとえば、ポートはタイマへの入力キャプチャ入力として使用できます。オルタネート機能入力は自動的には選択されません。選択するには、対応するペリフェラルのレジスタの制御ビットに書き込みを行います。代替機能入力の場合、DDR および CR1 レジスタでフローティングまたはプルアップの入力設定を選択してください。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 11.7.2 割り込み機能

各入出力を割り込み機能のある入力として設定するには、入出力が入力モードの時に CR2x ビットをセットします。この設定では、入出力でのレベル入力や信号エッジで割り込みリクエストが生成されます。

立ち下がり／立ち上がりエッジの極性は、EXTI_CR［2:1］レジスタで割り込みベクタごとに個別にプログラムされます。

外部割り込み機能は、ポートが入力モードに設定された場合にのみ使用できます。

#### 割り込みのマスク

割り込みを個別に有効／無効にするには、設定レジスタ（Px_CR2）の対応するビットをプログラムします。リセット状態では、割り込みは無効です。

ピンの代替機能が TLI である場合、Px_CR2 ビットを使用して TLI 割り込みを有効／無効にします。TLI 割り込みは専用の割り込みベクタに関連付けられます。

### 11.7.3 アナログチャネル

アナログ入出力チャネルは、ADC ペリフェラルによって選択することができます。その場合、対応する入力ステージと出力ステージは、自動的に無効にされます。次のセクションで説明するように、アナログチャネルを使用する場合は ADC_TDR レジスタで入力シュミットトリガを無効にしてください。

**表 23. アナログ入力に推奨される設定と推奨されない設定**

| DDR | CR1 | CR2 | ADC_TDR | 設定 | コメント |
|---|---|---|---|---|---|
| 0 | 0 | 0 | 1 | 割り込みのないフローティング入力、シュミットトリガは無効 | 推奨されるアナログ入力設定 |
| 0 | 1 | x | x | プルアップを有効にした入力 | アナログ電圧が存在するときは、このような設定では入力ピンに過剰な電流が流れるため、アナログ入力には推奨されません。<br>ADC が選択されたチャネルでは、入力ステージと出力ステージが両方とも無効になります。 |
| 1 | 0 | x | x | 出力 | |
| 1 | 1 | x | x | 出力 | |

### 11.7.4 シュミットトリガ

入力シュミットトリガを内蔵した入出力もあります。シュミットトリガは、ADC_TDR シュミットトリガディセーブルレジスタを使用して有効／無効にできます。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

## 11.8 出力モードの詳細

### 11.8.1 代替機能出力

代替機能出力は、ペリフェラルから出力または入出力パッドへのダイレクトパスを提供し、データ出力ラッチレジスタ（Px_ODR）のポートビットよりも優先され、Px_DDR の対応するビットを強制的に 1 にします。

代替機能出力は、ペリフェラルと制御レジスタ 1（Px_CR1）に応じて、プッシュプルまたは疑似オープンドレインとすることができます。スロープは、制御レジスタ 2（Px_CR2）の値に応じて制御できます。

*例：*

SPI 出力ピンは、最適な動作のためにプッシュプル、高速スロープとしてセットアップする必要があります。

### 11.8.2 スロープ制御

入出力に印加できる最大周波数は、CR2 ビットを使用して、ソフトウェアによって制御できます。リセット時には、EMC 動作が改善された低周波数動作が選択されます。必要ならば、より高い周波数（最大 10 MHz）を選択できます。この機能は、出力タイプ O3 または O4 の入出力ポートで、オープンドレインとプッシュプルの両方の出力モードに適用できます。各ピンの特定の出力タイプ情報については、データシートのピン詳細テーブルを参照してください。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

## 11.9 GPIO レジスタ

各ポートレジスタのビットは、ポートの対応するピンを駆動します。

### 11.9.1 ポート x 出力データレジスタ (Px_ODR)

アドレスオフセット：0x00
リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| ODR7 | ODR6 | ODR5 | ODR4 | ODR3 | ODR2 | ODR1 | ODR0 |
| rw | rw | rw | rw | rw | rw | rw | rw |

ビット 7：0 **ODR[7:0]**：出力データレジスタのビット

出力モードで ODR レジスタに書き込むと、デジタル値がラッチを介して入出力に適用されます。ODR レジスタを読み出すと、レジスタ内の以前にラッチされた値が返されます。

入力モードでは、ODR レジスタに書き込むと、値がレジスタにラッチされますが、ピン状態は変化しません。リセット後、ODR レジスタは常にクリアされます。ODR レジスタでは、ビット読み出し／変更／書き込み命令（BSET、BRST）を使用して、他のピンに影響を与えずに、個々のピンを駆動できます。

### 11.9.2 ポート x ピン入力レジスタ (Px_IDR)

アドレスオフセット：0x01
リセット値：0xXX

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| IDR7 | IDR6 | IDR5 | IDR4 | IDR3 | IDR2 | IDR1 | IDR0 |
| r | r | r | r | r | r | r | r |

ビット 7：0 **IDR[7:0]**：ピン入力値

ピンレジスタを使用して、ポートが入力モードか出力モードかに関係なく、ピン値を読み出すことができます。このレジスタは読み出し専用です。

0：Lowレベル入力

1：Highレベル入力

***注：*** ***Px_IDR のリセット値は、外部回路によって異なります。***



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 11.9.3 ポート x データ方向レジスタ (Px_DDR)

アドレスオフセット：0x02
リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| DDR7 | DDR6 | DDR5 | DDR4 | DDR3 | DDR2 | DDR1 | DDR0 |
| rw | rw | rw | rw | rw | rw | rw | rw |

ビット 7：0 **DDR[7:0]**：データ方向ビット

これらのビットは、ポートの特定のピンの入力または出力モードを選択するために、ソフトウェアによってセット／クリアされます。

0：入力モード

1：出力モード

### 11.9.4 ポート x 制御レジスタ 1 (Px_CR1)

アドレスオフセット：0x03
リセット値：0x00（ただし、PD_CR1 のみ 0x02）

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| C17 | C16 | C15 | C14 | C13 | C12 | C11 | C10 |
| rw | rw | rw | rw | rw | rw | rw | rw |

ビット 7:0 **C1[7:0]**：*制御ビット*

これらのビットは、ソフトウェアによってセット／クリアされます。入力モードと出力モードで異なる機能を選択します（*表 21* を参照）。

– **入力モードの場合（DDR = 0）：**

0：フローティング入力

1：プルアップ付き入力

– **出力モードの場合（DDR = 1）：**

0：疑似オープンドレイン

1：出力のプッシュプル、スロープ制御は対応する CR2 ビットに依存する

*注： このビットは、真のオープンドレインポートには影響がありません（データシートのピン記述テーブルで ”T”とマークされたピンを参照）。*



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 11.9.5 ポート x 制御レジスタ 2 (Px_CR2)

アドレスオフセット：0x04
リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| C27 | C26 | C25 | C24 | C23 | C22 | C21 | C20 |
| rw | rw | rw | rw | rw | rw | rw | rw |

ビット 7:0 **C2[7:0]**：制御ビット

これらのビットは、ソフトウェアによってセット／クリアされます。入力モードと出力モードで異なる機能を選択します。入力モードでは、CR2 ビットは割り込み機能を有効にします（使用可能な場合）。入出力に割り込み機能がない場合、CR2 ビットをセットしても影響はありません。出力モードでは、このビットをセットすると入出力の速度が向上します。これは、O3 と O4 の出力タイプのポートに適用されます（ピン記述テーブルを参照）。

– **入力モードの場合（DDR = 0）：**

0：外部 割り込み無効

1：外部 割り込み有効

– **出力モードの場合（DDR = 1）：**

0：最大 2 MHz の出力速度

1：最大 10 MHz の出力速度

### 11.9.6 GPIO レジスタマップとリセット値

各 GPIO ポートには 5 つのレジスタがあり、*表 24*に示すように配置されます。各ポートのベースアドレスについては、対応するデータシートのレジスタマップを参照してください。

*注：* ***リセット状態では、すべてのポートは入力フローティングです。例外については、対応するデータシートのピン記述テーブルに示されています。***

**表 24. GPIO レジスタマップ**

| アドレスオフセット | レジスタ名 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|
| 0x00 | Px_ODR | ODR7<br>0 | ODR6<br>0 | ODR5<br>0 | ODR4<br>0 | ODR3<br>0 | ODR2<br>0 | ODR1<br>0 | ODR0<br>0 |
| 0x01 | Px_IDR | IDR7<br>x | IDR6<br>x | IDR5<br>x | IDR4<br>x | IDR3<br>x | IDR2<br>x | IDR1<br>x | IDR0<br>x |
| 0x02 | Px_DDR | DDR7<br>0 | DDR6<br>0 | DDR5<br>0 | DDR4<br>0 | DDR3<br>0 | DDR2<br>0 | DDR1<br>0 | DDR0<br>0 |
| 0x03 | Px_CR1(1) | C17<br>0 | C16<br>0 | C15<br>0 | C14<br>0 | C13<br>0 | C12<br>0 | C11<br>0 | C10<br>0 |
| 0x04 | Px_CR2 | C27<br>0 | C26<br>0 | C25<br>0 | C24<br>0 | C23<br>0 | C22<br>0 | C21<br>0 | C20<br>0 |

1. PD_CR のリセット値は 0x02 です。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

# 12 自動ウェイクアップ (AWU)

## 12.1 概要

AWU は、MCU がアクティブ HALT 低消費電力モードに入るときに、内部ウェイクアップのタイムベースを提供するために使用されます。このタイムベースは、低速内部（LSI）RC オシレータクロックまたはプリスケーラによって分周された HSE クリスタルオシレータクロックによってクロック駆動されます。

## 12.2 LSI クロックの測定

LSI クロックを使用するときに最良の精度を確保するため、その周波数は、TIM3 または TIM1 のタイマ入力キャプチャ 1 によって測定することができます（特定の製品で接続されているタイマについては、データシートを参照してください）。

**図 25. AWU のブロック図**

1. クロックコントローラの章で説明したように、LS クロックソースは、CKAWUSEL オプションビットをプログラミングすることによって選択されます。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

## 12.3 AWU 機能の説明

### 12.3.1 AWU 動作

AWU を使用するには、以下の手順を順番に実行してください。

1. LS クロック周波数の測定:AWU_CSR レジスタの MSR ビットと TIM3 または TIM1 の入力キャプチャ 1 を使用します。
2. 適切なプリスケーラ値の定義:*非同期プリスケーラレジスタ (AWU_APR)* の APR [5:0] ビットに書き込みます。
3. 希望する自動ウェイクアップ遅延の選択：*タイムベース選択レジスタ (AWU_TBR)* の AWUTB[3:0] ビットに書き込みます。
4. *制御／ステータスレジスタ (AWU_CSR)* の AWUEN ビットをセットします。
5. HALT 命令を実行します。AWU カウンタが再ロードされ、新しい AWU タイムインターバルのカウントが開始されます。

*注：* ***カウンタが開始されるのは、HALT 命令の後で MCU がアクティブ HALT モードに入ったときのみです（電源管理の章のアクティブ HALT モードのセクションを参照してください）。これによって、同時に AWU 割り込みが有効になります。***

***プリスケーラカウンタがカウントを開始するのは、APR[5:0] の値がそのリセット値（0x3F）とは異なる場合のみです。***

#### アイドルモード

AWU が使用中でない場合は、消費電力を減らすために、*タイムベース選択レジスタ (AWU_TBR)* の AWUTB[3:0] ビットに 0b0000 をロードします。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 12.3.2 タイムベースの選択

*非同期プリスケーラレジスタ (AWU_APR)* と *タイムベース選択レジスタ (AWU_TBR)* の説明を参照してください。

AWU タイムインターバルは、以下の値に依存します：

- AWUTB[3:0] ビット。これはカウンタの出力ランクを示します。
- APR[5:0] ビット。これはプリスケーラの分周比（$APR_{DIV}$）を示します。

タイムインターバルの 15 個の非重複範囲は、次のように定義できます。

**表 25. タイムベースの計算テーブル**

| インターバル範囲 | | AWUTB[3:0] | タイムインターバル計算用の $APR_{DIV}$ 式 | $APR_{DIV}$ 範囲 |
|---|---|---|---|---|
| $f_{LS}$ = f | $f_{LS}$ = 128kHz | | | |
| 2/f - 64/f | 0.015625 ms - 0.5 ms | 0001 | $APR_{DIV}/f_{LS}$ | 2～64 |
| 2x32/f - 2x2x32/f | 0.5 ms - 1.0 ms | 0010 | 2 x $APR_{DIV}/f_{LS}$ | 32～64 |
| 2x64/f - 2x2x64/f | 1 ms - 2 ms | 0011 | $2^2$ x $APR_{DIV}/f_{LS}$ | 32～64 |
| $2^2$x64/f - $2^2$x128/f | 2 ms - 4ms | 0100 | $2^3$ x $APR_{DIV}/f_{LS}$ | 32～64 |
| $2^3$x64/f - $2^3$x128/f | 4 ms - 8 ms | 0101 | $2^4$ x $APR_{DIV}/f_{LS}$ | 32～64 |
| $2^4$x64/f - $2^4$x128/f | 8 ms - 16 ms | 0110 | $2^5$ x $APR_{DIV}/f_{LS}$ | 32～64 |
| $2^5$x64/f - $2^5$x128/f | 16 ms - 32 ms | 0111 | $2^6$ x $APR_{DIV}/f_{LS}$ | 32～64 |
| $2^6$x64/f - $2^6$x128/f | 32 ms - 64 ms | 1000 | $2^7$ x $APR_{DIV}/f_{LS}$ | 32～64 |
| $2^7$x64/f - $2^7$x128/f | 64 ms - 128 ms | 1001 | $2^8$ x $APR_{DIV}/f_{LS}$ | 32～64 |
| $2^8$x64/f - $2^8$x128/f | 128 ms - 256 ms | 1010 | $2^9$ x $APR_{DIV}/f_{LS}$ | 32～64 |
| $2^9$x64/f - $2^9$x128/f | 256 ms - 512 ms | 1011 | $2^{10}$ x $APR_{DIV}/f_{LS}$ | 32～64 |
| $2^{10}$x64/f - $2^{10}$x128/f | 512 ms - 1.024 s | 1100 | $2^{11}$ x $APR_{DIV}/f_{LS}$ | 32～64 |
| $2^{11}$x64/f - $2^{11}$x128/f | 1.024 s - 2.048 s | 1101 | $2^{12}$ x $APR_{DIV}/f_{LS}$ | 32～64 |
| $2^{11}$x130/f - $2^{11}$x320/f | 2.080 s - 5.120 s | 1110 | 5 x $2^{11}$ x $APR_{DIV}/f_{LS}$ | 26～64 |
| $2^{11}$x330/f - $2^{12}$x960/f | 5.280 s - 30.720s | 1111 | 30 x $2^{11}$ x $APR_{DIV}/f_{LS}$ | 11～64 |

AWUTB[3:0] と $APR_{DIV}$ に適切な値を得るには、次の操作が必要です。

- 最初に、希望するタイムインターバルに対応するインターバル範囲を検索します。これで AWUTB[3:0] の値が得られます。
- 続いて、希望する値にできるだけ近いタイムインターバル値が得られるよう、$APR_{DIV}$ を選択することができます。それには、上の表に記載された式を使用します。

*注：* ***目標値が $2^{11}$x128/$f_{LS}$ ～$2^{11}$x130/$f_{LS}$ または $2^{11}$x320/$f_{LS}$ ～$2^{11}$x330/$f_{LS}$ にある場合は、より目標値に近い値を選択する必要があります。***



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

*例 1*

- $f_{LS}$ = 128 kHz
- 目標タイムインターバル = 6 ms

適切なインターバル範囲：4 ms - 8 ms
したがって、AWUTB[3:0] 値は 0x5 です。

$APR_{DIV}$ 値：
6 ms = $2^4$ x $APR_{DIV}$ / $f_{LS}$ => $APR_{DIV}$ = (6*$10^{-3}$ x $f_{LS}$ ) / $2^4$ = 48
したがって、APR[5:0] 値は 48（0x30）です。

*例 2*

- $f_{LS}$ = 128 kHz
- 目標タイムインターバル = 3 s

適切なインターバル範囲：2.080 s - 5.120 s
したがって、AWUTB[3:0] 値は 0xE です。

$APR_{DIV}$ 値：
3 s = 5 x $2^{11}$ x $APR_{DIV}$ / $f_{LS}$ => $APR_{DIV}$ = (3 x $f_{LS}$ ) / 5 x $2^{11}$ = 37.5
したがって、AWUTB[3:0] は 37 または 38 とすることができます（それぞれ、2.96s または 3.04s のタイムベースを与えます）。これは、厳密には 3s ではありません。

### 12.3.3 LSI クロック周波数の測定

RC の工場トリミング後の低速内部（LSI）RC オシレータの周波数のばらつきは、全温度範囲で 128 kHz +/- 12.5% です。正確な AWU タイムインターバルまたはビーパ出力を得るには、正確な LSI 周波数を測定する必要があります。

以下の手順に従ってください。

1. *制御／ステータスレジスタ (AWU_CSR)* の MSR ビットをセットして、LSI クロックをタイマ入力キャプチャに内部接続します。
2. タイマ入力キャプチャ割り込みを使用して、LSI クロックの周波数を測定します。
3. *非同期プリスケーラレジスタ (AWU_APR)* の APR [5:0] ビットに適切な値を書き込み、AWU タイムインターバルを希望する長さに調整します。AWUTB[3:0] ビットを変更して、さまざまなタイムインターバルを選択できます。

LSI クロック周波数の測定は、ビーパ周波数の較正にも使用できます（*セクション 13.2.2* を参照）。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

## 12.4 AWU レジスタ

### 12.4.1 制御／ステータスレジスタ (AWU_CSR)

アドレスオフセット：0x00

リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| 予約済み | | AWUF | AWUEN | 予約済み | | | MSR |
| | | rc_r | rw | | | | rw |

ビット 7：6 予約済み

ビット 5 **AWUF**：自動ウェイクアップフラグ

このビットは、AWU モジュールが割り込みを生成したときにハードウェアによってセットされ、AWU_CSR レジスタの読み出しによってクリアされます。このビットに書き込んでも、その値は変化しません。

0：AWU 割り込みは発生しませんでした。
1：AWU 割り込みが発生しました。

ビット 4 **AWUEN**：自動ウェイクアップイネーブル

このビットは、ソフトウェアによってセット/クリアされます。これは自動ウェイクアップ機能を有効にします。マイクロコントローラがアクティブ HALT または WAIT モードに入った場合、AWU 機能は、プログラマブルな時間遅延の後でマイクロコントローラをウェイクアップします。

0：AWU（自動ウェイクアップ）は無効です。
1：AWU（自動ウェイクアップ）は有効です。

ビット 3：1 予約済み

ビット 0 **MSR**：測定イネーブル

このビットは、$f_{LS}$ クロックをタイマ入力キャプチャに接続します。これによって、タイマを LS 周波数（$f_{LS}$）の測定に使用できます。

0：測定は無効です。
1：測定は有効です。

*注： 特定の製品で LSI クロックに接続できるタイマ入力キャプチャについては、データシートを参照してください。*

### 12.4.2 非同期プリスケーラレジスタ (AWU_APR)

アドレスオフセット：0x01

リセット値：0x3F

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| 予約済み | | APR[5:0] | | | | | |
| | | rw | | | | | |

ビット 7：6 予約済み

ビット 5：0 **APR[5:0]**：非同期プリスケーラ分周回路

これらのビットは、カウンタクロックを供給するプリスケーラ分周回路（$APR_{DIV}$）を選択するために、ソフトウェアによって書き込まれます。

0x00：$APR_{DIV}$ = 2　　0x0E：$APR_{DIV}$ = 16
0x01：$APR_{DIV}$ = 3　　0x0F：$APR_{DIV}$ = 17
...　　...
0x06：$APR_{DIV}$ = 8　　0x3E：$APR_{DIV}$ = 64

*注： このレジスタは、そのリセット値（0x3F）を保持してはいけません。*



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 12.4.3 タイムベース選択レジスタ (AWU_TBR)

アドレスオフセット：0x02

リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| 予約済み | | | | AWUTB[3:0] | | | |
| | | | | rw | | | |

ビット 7：4 予約済み

ビット 3：0 **AWUTB[3:0]**：自動ウェイクアップのタイムベース選択

これらのビットは、AWU 割り込み間のタイムインターバルを定義するために、ソフトウェアによって書き込まれます。AWUEN = 1 のとき、AWU 割り込みは有効です。

**0000**：割り込みは発生しません。

**0001**：$APR_{DIV}/f_{LS}$ **0010**：$2xAPR_{DIV}/f_{LS}$ **0011**：$2^2APR_{DIV}/f_{LS}$

**0100**：$2^3APR_{DIV}/f_{LS}$ **0101**：$2^4APR_{DIV}/f_{LS}$ **0110**：$2^5APR_{DIV}/f_{LS}$

**0111**：$2^6APR_{DIV}/f_{LS}$ **1000**：$2^7APR_{DIV}/f_{LS}$ **1001**：$2^8APR_{DIV}/f_{LS}$

**1010**：$2^9APR_{DIV}/f_{LS}$ **1011**：$2^{10}APR_{DIV}/f_{LS}$ **1100**：$2^{11}APR_{DIV}/f_{LS}$

**1101**：$2^{12}APR_{DIV}/f_{LS}$ **1110**：$5x2^{11}APR_{DIV}/f_{LS}$ **1111**：$30x2^{11}APR_{DIV}/f_{LS}$

### 12.4.4 AWU レジスタマップとリセット値

**表 26. AWU レジスタマップ**

| アドレスオフセット | レジスタ名 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|
| 0x00 | AWU_CSR | -<br>0 | -<br>0 | AWUF<br>0 | AWUEN<br>0 | -<br>0 | -<br>0 | -<br>0 | MSR<br>0 |
| 0x01 | AWU_APR | -<br>0 | -<br>0 | APR5<br>1 | APR4<br>1 | APR3<br>1 | APR2<br>1 | APR1<br>1 | APR0<br>1 |
| 0x02 | AWU_TBR | -<br>0 | -<br>0 | -<br>0 | -<br>0 | AWUTB3<br>0 | AWUTB2<br>0 | AWUTB1<br>0 | AWUTB0<br>0 |



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

# 13 ビーパ（BEEP）

## 13.1 概要

この機能は、LS クロックが 128 kHz の周波数で動作しているとき、1、2、または 4 kHz の範囲でビープ信号を生成します。

**図 26. ビープのブロック図**

## 13.2 ビーパ機能の説明

### 13.2.1 ビーパ動作

ビープ機能を使用するには、以下の手順を順番に実行してください。

1. *セクション 13.2.2：ビーパ較正*で説明されているように LS クロック周波数を較正して BEEPDIV[4:0] 値を定義します。
2. *ビーパ制御/ステータスレジスタ（BEEP_CSR）*の BEEPSEL[1:0] ビットに書き込むことによって、1 kHz、2 kHz、または 4 kHz の出力周波数を選択します。
3. *ビーパ制御/ステータスレジスタ（BEEP_CSR）*の BEEPEN ビットを設定して、LS クロックソースを有効にします。

*注：* ***プリスケーラカウンタがカウントを開始するのは、BEEPDIV[4:0] の値がそのリセット値（0x1F）とは異なる場合のみです。***



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 13.2.2 ビーパ較正

この手順を使用して、LS の 128kHz クロックを較正し、標準の周波数出力（1 kHz、2 kHz、または 4 kHz）を得ることができます。

以下の手順に従ってください。

1. LSI クロック周波数を測定します（上の*セクション 12.3.3 : LSI クロック周波数の測定*を参照）。
2. $BEEP_{DIV}$ 値を次のように計算します。ここで、A と x は $f_{LS}/8$（kHz 単位）の整数部と小数部です。
   x が A/(1+2*A) 以下の場合は $BEEP_{DIV}$ = A-2、
   そうでない場合は $BEEP_{DIV}$ = A-1。
3. 結果として得られた $BEEP_{DIV}$ 値を*ビーパ制御/ステータスレジスタ（BEEP_CSR）*の BEEPDIV[4:0] ビットに書き込みます。

## 13.3 ビーパレジスタ

### 13.3.1 ビーパ制御/ステータスレジスタ（BEEP_CSR）

アドレスオフセット：0x00
リセット値：0x1F

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| BEEPSEL[1:0] | | BEEPEN | BEEPDIV[4:0] | | | | |
| rw | | rw | rw | | | | |

ビット 7：6 **BEEPSEL[1:0]**：ビープ選択

これらのビットは、較正終了時に 1、2、または 4 kHz のビープ出力を選択するため、ソフトウェアによってセット/クリアされます。

00：$f_{LS}/(8 \times BEEP_{DIV})$ kHz の出力
01：$f_{LS}/(4 \times BEEP_{DIV})$ kHz の出力
1x：$f_{LS}/(2 \times BEEP_{DIV})$ kHz の出力

ビット 5 **BEEPEN**：ビープイネーブル

このビットは、ビープ機能を有効/無効にするために、ソフトウェアによってセット/クリアされます。

0：ビープは無効です。
1：ビープは有効です。

ビット 4：0 **BEEPDIV[4:0]**：*ビーププリスケーラディバイダ*

これらのビットは、ビーパのプリスケーラ分周比 $BEEP_{DIV}$ を定義するために、ソフトウェアによってセット/クリアされます。

0x00：$BEEP_{DIV}$ = 2　　0x0E：$BEEP_{DIV}$ = 16
0x01：$BEEP_{DIV}$ = 3　　0x0F：$BEEP_{DIV}$ = 17
...　　0x1E：$BEEP_{DIV}$ = 32

***注：　このレジスタは、そのリセット値（0x1F）に保持してはいけません。***

### 13.3.2 ビーパレジスタマップとリセット値

**表 27. ビーパレジスタマップ**

| アドレスオフセット | レジスタ名 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|
| 0x00 | BEEP_CSR | BEEP SEL2 0 | BEEP SEL1 0 | BEEPEN 0 | BEEP DIV4 1 | BEEP DIV31 | BEEP DIV2 1 | BEEP DIV1 1 | BEEP DIV0 1 |



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

# 14 独立型ウォッチドッグ（IWDG）

## 14.1 概要

独立型ウォッチドッグペリフェラルは、ハードウェアまたはソフトウェア障害によるプロセッサの誤動作を解決するために使用できます。128 kHz の LSI 内部 RC クロックソースによってクロック供給されるので、メインクロックに障害が発生しても動作を継続します。

## 14.2 IWDG 機能の説明

*図 27* に、独立型ウォッチドッグモジュールの機能ブロックを示します。

キーレジスタ（IWDG_KR）に値 0xCC が書き込まれることによって独立型ウォッチドッグが開始すると、カウンタはリセット値 0xFF からカウントダウンを開始します。カウント値の終わり（0x00）に達すると、リセット信号が生成されます（IWDG RESET）。

有効にした後、独立型ウォッチドッグは、IWDG_PR および IWDG_RLR レジスタを通じて設定できます。IWDG_PR レジスタは、カウンタクロックを供給するプリスケーラ分周回路を選択するために使用されます。IWDG_KR レジスタに KEY_REFRESH 値（0xAA）が書き込まれると、IWDG_RLR の値をカウンタに再ロードすることによって IWDG が更新され、ウォッチドッグのリセットが防止されます。

IWDG_PR および IWDG_RLR レジスタは書き込み保護されます。これらを変更するには、まず、IWDG_KR レジスタに KEY_ACCESS コード（0x55）を書き込みます。このシーケンスは、IWDG_KR レジスタに 0xAA を書き込んで更新することによって中止できます。

IWDG レジスタの詳細については、*セクション 14.3 : IWDG レジスタ* を参照してください。

**図 27. 独立型ウォッチドッグ（IWDG）のブロック図**

### ハードウェアウォッチドッグ機能

IWDG_HW オプションバイトを通じてハードウェアウォッチドッグ機能が有効になった場合、ウォッチドッグは電源投入時に自動的に有効になり、カウンタが最終値に達する前にソフトウェアによってキーレジスタへの書き込みが行われない限り、リセットを生成します。データシートのオプションバイトの説明を参照してください。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### タイムアウト時間

タイムアウト時間は、IWDG_PR および IWDG_RLR レジスタを通じて設定でき、次の式で与えられます。

$$T = 2 \times T_{LSI} \times P \times R$$

ここで、

T = タイムアウト時間

$T_{LSI} = 1/f_{LSI}$

$P = 2^{(PR[2:0] + 2)}$

R = RLR[7:0]+1

IWDG カウンタは、このタイムアウト時間が満了する前に、ソフトウェアによって更新される必要があります。さもないと、最後の更新操作から次の遅延が経過した後、IWDG リセットが生成されます。

$D = T + 6 \times T_{LSI}$

ここで、D = 最後の更新操作と IWDG リセットの間の遅延。

**表 28. ウォッチドッグタイムアウト時間（LSI クロック周波数 = 128 kHz）**

| プリスケーラ分周回路 | PR[2:0] ビット | タイムアウト | |
|---|---|---|---|
| | | RL[7:0]= 0x00 | RL[7:0]= 0xFF |
| /4 | 0 | 62.5 µs | 15.90 ms |
| /8 | 1 | 125 µs | 31.90 ms |
| /16 | 2 | 250 µs | 63.70 ms |
| /32 | 3 | 500 µs | 127 ms |
| /64 | 4 | 1.00 ms | 255 ms |
| /128 | 5 | 2.00 ms | 510 ms |
| /256 | 6 | 4.00 ms | 1.02 s |



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

## 14.3 IWDG レジスタ

### 14.3.1 キーレジスタ（IWDG_KR）

アドレスオフセット：0x00

リセット値：0xXX

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| KEY[7:0] | | | | | | | |
| w | | | | | | | |

ビット 7:0 **KEY[7:0]**：キー値

KEY_REFRESH の値は、ソフトウェアによって一定間隔で書き込まれなければなりません。さもないと、カウンタが 0 に達したときにウォッチドッグが MCU リセットを生成します。

IWDG がオプションバイトによって有効にされていない場合（データシートのオプションバイトの説明を参照）、KEY_ENABLE の値がこのレジスタに書き込まれる最初の値になります。

**KEY_ENABLE** 値 = 0xCC
KEY_ENABLE 値が書き込まれると、IWDG がスタートします。
**KEY_REFRESH** 値 = 0xAA
KEY_REFRESH 値が書き込まれると、IWDG が更新されます。
**KEY_ACCESS** 値 = 0x55
KEY_ACCESS 値が書き込まれると、保護されている IWDG_PR および IWDG_RLR レジスタへのアクセスが可能になります（*セクション 14.2* を参照）。

### 14.3.2 プリスケーラレジスタ（IWDG_PR）

アドレスオフセット：0x01

リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| 予約済み | | | | | PR[2:0] | | |
| | | | | | rw | | |

ビット 7:3 予約済み

ビット 2:0 **PR[2:0]**：*プリスケーラ分周回路*

これらのビットは、書き込みアクセス保護がなされています（*セクション 14.2* を参照）。カウンタクロックを供給するプリスケーラ分周回路を選択するために、ソフトウェアによって書き込まれます。

000：4 分周
001：8 分周
010：16 分周
011：32 分周
100：64 分周
101：128 分周
110：256 分周
111：予約済み



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 14.3.3 再ロードレジスタ（IWDG_RLR）

アドレスオフセット：0x02

リセット値：0xFF

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| RL[7:0] | | | | | | | |
| rw | | | | | | | |

ビット 7:0 **RL[7:0]**：ウォッチドッグカウンタ再ロード値

これらのビットは、書き込みアクセス保護がなされています（*セクション 14.2* を参照）。IWDG_KR レジスタに値 0xAA が書き込まれるたびにウォッチドッグカウンタにロードされる値を定義するために、ソフトウェアによって書き込まれます。ウォッチドッグカウンタは、この値からカウントダウンします。タイムアウトまでの時間は、この値とクロックプリスケーラによって決まります。*表 28* を参照してください。

### 14.3.4 IWDG レジスタマップとリセット値

**表 29. IWDG レジスタマップ**

| アドレスオフセット | レジスタ名 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|
| 0x00 | IWDG_KR<br>リセット値 | KEY7<br>x | KEY6<br>x | KEY5<br>x | KEY4<br>x | KEY3<br>x | KEY2<br>x | KEY1<br>x | KEY0<br>x |
| 0x01 | IWDG_PR<br>リセット値 | -<br>0 | -<br>0 | -<br>0 | -<br>0 | -<br>0 | PR2<br>0 | PR1<br>0 | PR0<br>0 |
| 0x02 | IWDG_RLR<br>リセット値 | RL7<br>1 | RL6<br>1 | RL5<br>1 | RL4<br>1 | RL3<br>1 | RL2<br>1 | RL1<br>1 | RL0<br>1 |



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

# 15 ウィンドウ型ウォッチドッグ（WWDG）

## 15.1 概要

ウィンドウ型ウォッチドッグは、通常、外部の影響や予期しない論理条件などによって発生し、アプリケーションプログラムを正常なシーケンスから逸脱させるソフトウェア障害を検出するために使用されます。ウォッチドッグ回路は、T6 ビットがクリアされる前にプログラムがダウンカウンタの内容を更新しない限り、プログラムされた時間の経過後に MCU リセットを生成します。MCU リセットは、ダウンカウンタがウィンドウレジスタ値に達する前に 7 ビットのダウンカウンタの値（制御レジスタ内）が更新された場合にも生成されます。このことは、限られた時間枠（タイムウィンドウ）の間にカウンタが更新されなければならないことを意味します。

## 15.2 WWDG の主な機能

- プログラム可能なフリーランニングダウンカウンタ
- 条件付きリセット
  - ダウンカウンタの値が 0x40 より小さくなったときにリセット（ウォッチドッグが有効な場合）。
  - ダウンカウンタがウィンドウ外で再ロードされた場合にリセット（ウォッチドッグが有効な場合）（*図 30* を参照）。
- ハードウェア/ソフトウェアウォッチドッグの起動（オプションバイトで選択可能）。
- HALT 命令によるオプションのリセット（オプションバイトで設定可能）。

## 15.3 WWDG 機能の説明

ウォッチドッグが有効であり（WDGA ビットがセット）、7 ビットのダウンカウンタ（T[6:0] ビット）が 0x40 から 0x3F にロールオーバーすると（T6 がクリア）、リセットサイクルを開始して、リセットピンをローに引き下げます。カウンタがウィンドウレジスタに格納された値より大きい間にソフトウェアがカウンタをリフレッシュした場合にも、リセットが生成されます。

**図 28. ウォッチドッグのブロック図**

この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

アプリケーションプログラムは、通常動作時には定期的に WWDG_CR レジスタへの書き込みを行って、MCU リセットを防ぐ必要があります。この操作は、カウンタの値がウィンドウレジスタの値より小さいときに限られます。WWDG_CR レジスタに格納される値は、0xFF から 0xC0 の間でなければなりません（*図 29* を参照）。

- ウォッチドッグを有効にするには：

  ソフトウェアウォッチドッグが選択されると（オプションバイトによって）、ウォッチドッグはリセット後に無効になります。これを有効にするには、WWDG_CR レジスタの WDGA ビットをセットします。この後は、リセット以外の方法でウォッチドッグを無効にすることはできません。

  ハードウェアウォッチドッグが選択されると（オプションバイトによって）、ウォッチドッグは常にアクティブであり、WDGA ビットは使用されません。

- ダウンカウンタを制御するには：

  このダウンカウンタはフリーランニングです。ウォッチドッグが無効な場合も、カウントダウンします。ウォッチドッグを有効にするときには、T6 ビットをセットして、即時のリセットの生成を防ぐ必要があります。

  T[5:0] ビットは、ウォッチドッグがリセットを生成するまでの時間遅延を表すインクリメント数を含みます（*図 29：概略タイムアウト時間* を参照）。WWDG_CR レジスタに書き込むときのプリスケーラの状態は不明なので、タイミングは最小値から最大値までさまざまです（*図 30* を参照）。

  ウィンドウレジスタ（WWDG_WR）は、ウィンドウの上限値を含みます。リセットを防ぐには、ダウンカウンタの再ロードは、カウンタの値がウィンドウレジスタの値より小さく、0x3F より大きいときに行わなければなりません。*図 30* に、ウィンドウ型ウォッチドッグプロセスを示します。

*注：* ***T6 ビットを使用して、ソフトウェアリセットを生成することができます（WDGA ビットはセット、T6 ビットはクリアされます）。***

- ホルトオプションによるウォッチドッグのリセット
  ウォッチドッグが起動され、ホルトオプションによるウォッチドッグのリセットが選択された場合、HALT 命令によってリセットが生成されます。

## 15.4 ウォッチドッグタイムアウトをプログラムするには

次の式を使用して、WWDG タイムアウト $t_{WWDG}$（ms 単位）を計算できます。

$$t_{WWDG} = T_{CPU} \times 12288 \times (T[5:0] + 1)$$

ここで、$T_{CPU}$ は、ペリフェラルのクロック周期です（単位：ms）。

**警告：** **ただちにリセットされるのを防ぐために、WWDG_CR レジスタに書き込むときには、常に T6 ビットに 1 を書き込んでください。**



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 29. 概略タイムアウト時間

図 30. ウィンドウ型ウォッチドッグのタイミング図

表 30. ウィンドウ型ウォッチドッグのタイミング例

| T[6:0] | $f_{CPU}$（MHz） | |
|---|---|---|
| | 2 | 16 |
| 40h | 6.144 | 0.768 |
| 7Fh | 393.216 | 49.152 |



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

## 15.5 WWDG 低電力モード

**表 31. 低電力モードが WWDG に与える影響**

| モード | 説明 | |
|---|---|---|
| WAIT | ウォッチドッグに影響なし：ダウンカウンタはデクリメントを続行します。 | |
| HALT | オプションバイトの WWDG_HALT | |
| | 0 | ウォッチドッグリセットは生成されません。MCU は HALT モードに入ります。ウォッチドッグカウンタは、一度デクリメントされた後、カウントを停止し、MCU が外部割り込みまたはリセットを受け取るまで、ウォッチドッグリセットを生成できなくなります。<br>割り込みを受信した場合（HALT モードで発生する可能性のある割り込みについては、割り込みテーブルマッピングを参照）、ウォッチドッグは安定化遅延後にカウントを再スタートします。リセットが生成された場合、オプションバイトによってハードウェアウォッチドッグが選択されていない限り、ウォッチドッグは無効になります（リセット状態）。アプリケーションの推奨事項については、下記の *セクション 15.8* を参照してください。 |
| | 1 | HALT モードに入る代わりに、リセットが生成されます。 |
| アクティブ HALT | x | リセットは生成されません。MCU はアクティブ HALT モードに入ります。ウォッチドッグカウンタは、デクリメントされません。カウントを停止します。MCU がオシレータ割り込みまたは外部割り込みを受け取ると、ウォッチドッグはただちにカウントを再スタートします。MCU がリセットを受け取ると、ウォッチドッグは安定化遅延後にカウントを再スタートします。 |

## 15.6 ハードウェアウォッチドッグオプション

ハードウェアウォッチドッグがオプションバイトによって選択された場合、ウォッチドッグは常にアクティブであり、WWDG_CR レジスタの WDGA ビットは使用されません。データシートのオプションバイトの説明を参照してください。

## 15.7 WWDG での HALT モードの使用（WWDGHALT オプション）

ウォッチドッグが有効なときに HALT モードが使用された場合、次の推奨事項が適用されます。

HALT 命令を実行する前に WDG カウンタをリフレッシュすることによって、マイクロコントローラのウェイクアップ直後の予期しない WWDG リセットを回避してください。

## 15.8 WWDG 割り込み

なし



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

## 15.9 WWDG レジスタ

### 15.9.1 コントロールレジスタ (WWDG_CR)

アドレスオフセット：0x00
リセット値：0x7F

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| WDGA | T6 | T5 | T4 | T3 | T2 | T1 | T0 |
| rs | rw | rw | rw | rw | rw | rw | rw |

ビット 7 **WDGA**：有効化ビット(1)

このビットは、ソフトウェアによってセットされ、リセット後にハードウェアによってのみクリアされます。WDGA = 1 のとき、ウォッチドッグはリセットを生成できます。

0：ウォッチドッグは無効です。
1：ウォッチドッグは有効です。

ビット 6：0 **T[6:0]**：7 ビットカウンタ（MSB～LSB）

これらのビットは、ウォッチドッグカウンタの値を含みます。12288 $f_{CPU}$ サイクル（およそ）ごとにデクリメントされます。0x40 から 0x3F にロールオーバーすると（T6 がクリアされると）、リセットが生成されます。

1. このビットは、ハードウェアウォッチドッグオプションがオプションバイトによって有効にされた場合には使用されません。

### 15.9.2 ウィンドウレジスタ (WWDG_WR)

アドレスオフセット：0x01
リセット値：0x7F

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| 予約済み | W6 | W5 | W4 | W3 | W2 | W1 | W0 |
| | rw | rw | rw | rw | rw | rw | rw |

ビット 7 予約済み

ビット 6：0 **W[6:0]**:7 ビットウィンドウ値

これらのビットは、ダウンカウンタと比較されるウィンドウ値を含みます。

## 15.10 ウィンドウ型ウォッチドッグレジスタマップとリセット値

**表 32. WWDG レジスタマップとリセット値**

| アドレスオフセット | レジスタ名 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|
| 0x00 | WWDG_CR | WDGA | T6 | T5 | T4 | T3 | T2 | T1 | T0 |
| | リセット値 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 0x01 | WWDG_WR | - | W6 | W5 | W4 | W3 | W2 | W1 | W0 |
| | リセット値 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

# 16 タイマの概要

STM8S および STM8A ファミリのデバイスは、最大 3 種類のタイマを搭載することができます。高機能制御用（TIM1）、汎用（TIM2/TIM3/TIM5）、および基本タイマ（TIM4/TIM6）の 3 つです。これらのタイマは、同じアーキテクチャを共有していますが、独自の機能を持つものもあります。同一のレジスタマッピングと共通の基本機能など、共通のタイマアーキテクチャにより、使いやすく、アプリケーションの設計も容易です。*表 33* に、タイマの主な特性を示します。

TIM1、TIM5、および TIM6 を搭載した STM8S および STM8A デバイスでは、タイマはリソースを共有しませんが、互いにリンクして、*TIM1、TIM5、および TIM6 タイマ間の同期（153 ページ）*で説明されているように同期することができます。TIM1、TIM2、TIM3、および TIM4 を搭載した STM8S および STM8A デバイスでは、タイマは互いにリンクされません。

このセクションでは、さまざまなタイマの機能の比較（*表 34*）と、内部タイマ信号名の用語（*表 35*）を示します。

*セクション 17 : 16 ビット高機能制御タイマ (TIM1)* では、タイマのさまざまなモードについて、詳細に説明します。他のタイマセクション（*セクション 18* および *セクション 19*）では、各タイマの簡単な説明と特定の詳細、ブロック図、およびレジスタについて説明します。

**表 33. タイマの特性**

| 記号 | パラメータ | 最小値 | 典型的な値 | 最大値 | 単位 |
|---|---|---|---|---|---|
| $t_{w(ICAP)in}$ | 入力キャプチャパルス時間 | 2 | | | $t_{MASTER}$ |
| $t_{res(TIM)}$ | タイマの時間分解能 | 1 | | | $t_{MASTER}$ |
| $Res_{TIM}$ | 16 ビットカウンタを使用したタイマの時間分解能 | | 16 | | ビット |
| | 8 ビットカウンタを使用したタイマの時間分解能 | | 8 | | ビット |
| $t_{COUNTER}$ | 内部クロックが選択されたときのカウンタクロック周期 | | 1 | | $t_{MASTER}$ |
| $t_{MAX_COUNT}$ | 16 ビットカウンタを使用したタイマの最大カウント数 | | | 65,536 | $t_{MASTER}$ |
| | 8 ビットカウンタを使用したタイマの最大カウント数 | | | 256 | $t_{MASTER}$ |



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

## 16.1 タイマ機能の比較

表 34. タイマ機能の比較

| タイマ | カウンタ分解能 | カウンタタイプ | プリスケーラ係数 | キャプチャ／比較チャネル | 相補出力 | 繰り返しカウンタ | 外部トリガ入力 | 外部ブレーク入力 | タイマの同期／連結 |
|---|---|---|---|---|---|---|---|---|---|
| TIM1（高機能制御タイマ） | 16 ビット | アップ／ダウン | 1 から 65536 までの任意の整数 | 4 | 3 | あり | 1 | 1 | TIM5/TIM6 |
| TIM2（汎用タイマ） | 16 ビット | アップ | 1 から 32768 までの 2 のべき乗 | 3 | なし | なし | 0 | 0 | なし |
| TIM3（汎用タイマ） | 16 ビット | アップ | 1 から 32768 までの 2 のべき乗 | 2 | なし | なし | 0 | 0 | なし |
| TIM4（基本タイマ） | 8 ビット | アップ | 1 から 128 までの 2 のべき乗 | 0 | なし | なし | 0 | 0 | なし |
| TIM5（汎用タイマ） | 16 ビット | アップ | 1 から 32768 までの 2 のべき乗 | 3 | なし | なし | 1（TIM1 と共有） | 0 | あり |
| TIM6（基本タイマ） | 8 ビット | アップ | 1 から 128 までの 2 のべき乗 | 0 | なし | なし | 0 | 0 | あり |

## 16.2 タイマ信号名の用語

表 35. 内部タイマ信号の用語

| 内部信号名 | 説明 | 関連図 |
|---|---|---|
| BI | ブレーク割り込み | *図 31：TIM1 の一般的ブロック図（ページ）135* |
| CC*i*I：CC1I、CC2I、CC3I、CC4I | キャプチャ／比較割り込み | |
| CK_CNT | カウンタクロック | *図 35：プリスケーラ = 2 で ARPE = 0（ARR はプリロードされない）のときのカウンタの更新（ページ）139* |
| CK_PSC | プリスケーラクロック | |
| CNT_EN | カウンタイネーブル | |
| CNT_INIT | カウンタ初期化 | *図 45：TI2 外部クロックの接続例（ページ）146* |
| ETR | TIMx_ETR ピンからの外部トリガ | *図 47：外部トリガ入力のブロック図（ページ）148* |
| ETRF | フィルタされた外部トリガ | |
| ETRP | プリスケールされた外部トリガ | |
| $f_{MASTER}$ | クロックコントローラ（CLK）からのタイマペリフェラルクロック | |



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 35. 内部タイマ信号の用語 （続き）

| 内部信号名 | 説明 | 関連図 |
|---|---|---|
| IC*i* ：IC1、IC2 | 入力キャプチャ | *図 64:TIM 1 チャネル 1 の入力ステージ(ページ) 161* |
| IC*i*PS：IC1PS、IC2PS | プリスケールされた入力キャプチャ | |
| MATCH1 | 比較一致 | *図 54：トリガ／マスタモード選択ブロック（ページ）154* および *セクション 17.7.2:制御レジスタ 2（TIM1_CR2）（183 ページ）* |
| OC*i*：OC1、OC2 | タイマ出力チャネル | *図 68:相補出力を持つチャネル（チャネル 1）の出力ステージの詳細（ページ）165* |
| OC*i*REF：OC1REF、OC2REF | 出力比較基準信号 | |
| TGI | トリガ割り込み | *図 43：クロック／トリガコントローラのブロック図（ページ）145* |
| TI*i* ：TI1、TI2 | タイマ入力 | *図 64:TIM 1 チャネル 1 の入力ステージ(ページ) 161* |
| TI*i*F：TI1F、TI2F | フィルタされたタイマ入力 | |
| TI1_ED | タイマ入力エッジ検出器 | |
| TI*i*FPn：TI1FP1、TI1FP2、TI2FP1、TI2FP2、TI3FP3、TI3FP4、TI4FP3、TI4FP4 | フィルタされ、プリスケールされたタイマ入力 | |
| TRC | トリガキャプチャ | |
| TRGI | クロック／トリガ／スレーブモードコントローラへのトリガ入力 | *図 44：通常モードの制御回路、fCK_PSC = fMASTER（ページ）146* |
| UEV | 更新イベント | *図 35：プリスケーラ = 2 で ARPE = 0（ARR はプリロードされない）のときのカウンタの更新（ページ）139* |
| UIF | 更新割り込み | |

表 36. インデックス“*i*”、“n”、および“x”の説明(1)

| | |
|---|---|
| *i* | 信号番号：デバイスに応じて、1、2、3、4 |
| | ビット番号：デバイスに応じて、1、2、3、4 ..... |
| | レジスタ番号：デバイスに応じて、1、2、3、4 |
| n | 信号番号（*i* がすでに使用されている場合）：デバイスに応じて、1、2、3、4 |
| x | タイマ番号：デバイスに応じて、1、2、3、4、5、6 |
| | 無視（ビットに対して） |

1. これらのインデックスは、*セクション 17*、*セクション 18*、および *セクション 19* で使用されています。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

# 17 16 ビット高機能制御タイマ (TIM1)

このセクションでは、タイマ機能のすべての機能について説明します。

## 17.1 概要

TIM1 は、プログラマブルなプリスケーラによって駆動される 16 ビットのアップダウン自動再ロードカウンタで構成されています。

このタイマは、以下のようなさまざまな目的で使用されます。

- タイムベースの生成
- 入力信号（入力キャプチャ）のパルス長の測定
- 出力波形の生成（出力比較、PWM、およびワンパルスモード）
- さまざまなイベント（キャプチャ、比較、オーバーフロー、ブレーク、トリガ）時の割り込み機能
- TIM5/TIM6 タイマまたは外部信号（外部クロック、リセット、トリガ、およびイネーブル信号）との同期

このタイマは、相補出力とデッドタイム挿入を伴うセンターアライン PWM 機能を必要とするものなど、広範囲な制御アプリケーションに最適です。

タイマクロックは、内部クロック または外部クロックから供給でき、設定レジスタで選択できます。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

## 17.2 TIM1 の主な機能

TIM1 の主な機能は、次のとおりです。

- 16 ビットのアップカウンタ、ダウンカウンタ、アップ／ダウン自動再ロードカウンタ。
- カウンタの特定のサイクル数後にのみタイマレジスタを更新する繰り返しカウンタ。
- カウンタクロック周波数を、1 から 65536 の間で動作中に分周できる 16 ビットプログラマブルプリスケーラ。
- 外部信号でタイマを制御し、複数のタイマを相互接続する同期回路（デバイスによってはタイマ相互接続が実装されていません）。
- 次のように設定することもできる 4 つの独立チャネル：
  - 入力キャプチャ
  - 出力比較
  - PWM 生成（エッジアラインモードとセンターアラインモード）
  - 6 ステップ PWM 生成
  - ワンパルスモード出力
  - プログラマブルなデッドタイム挿入機能を持つ 3 つのチャネルの相補出力
- タイマの出力信号をリセット状態または既知の状態にするブレーク入力。
- 外部トリガ入力ピン（ETR）
- 以下のイベント時の割り込み生成：
  - 更新：カウンタオーバーフロー／アンダーフロー、カウンタの初期化（ソフトウェアまたは内部／外部トリガによる）
  - トリガイベント（カウンタの開始、停止、初期化、または内部／外部トリガによるカウント）
  - 入力キャプチャ
  - 出力比較
  - ブレーク入力



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 31. TIM1 の一般的ブロック図

この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

## 17.3 TIM1 タイムベースユニット

このタイマは、以下を含むタイムベースユニットを備えています。

- 16 ビットアップ／ダウンカウンタ
- 16 ビット自動再ロードレジスタ
- 繰り返しカウンタ
- プリスケーラ

**図 32. タイムベースユニット**

16 ビットカウンタ、プリスケーラ、自動再ロードレジスタ、および繰り返しカウンタは、ソフトウェアによる読み書きが可能です。

自動再ロードレジスタは、プリロードレジスタとシャドウレジスタで構成されています。

自動再ロードレジスタへの書き込みは、次の 2 つのモードで行うことができます。

- **自動再ロードのプリロード有効**（TIM1_CR1 レジスタの ARPE ビットがセット）このモードでは、データが自動再ロードレジスタに書き込まれると、データはプリロードレジスタに保持され、次の更新イベント（UEV）時にシャドウレジスタに転送されます。
- **自動再ロードのプリロード無効**（TIM1_CR1 レジスタの ARPE ビットがクリア）このモードでは、データが自動再ロードレジスタに書き込まれると、データはただちにシャドウレジスタに転送されます。

更新イベントは、以下の場合に生成されます。

- カウンタオーバーフローまたはアンダーフロー時
- ソフトウェアによって、TIM1_EGR レジスタの UG ビットをセットすることによって
- クロック／トリガコントローラからのトリガイベントによって

プリロードが有効な場合（ARPE = 1）、更新イベントが発生すると、自動再ロードシャドウレジスタはプリロード値（TIM1_ARR）で更新され、プリスケーラのバッファにプリロード値（TIM1_PSCR レジスタの内容）が再ロードされます。

UEV は、TIM1_CR1 レジスタの UDIS ビットをセットすることによって無効にできます。

カウンタのクロックは、TIM1_CR1 レジスタのカウンタイネーブルビット（CEN）がセットされているときにのみ、プリスケーラ出力 CK_CNT から供給されます。

*注： **実際のカウンタイネーブル信号 CNT_EN は、CEN の 1 クロックサイクル後にセットされます。***



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 17.3.1 16 ビットカウンタの読み出しと書き込み

カウンタに書き込む場合、バッファリングは行われません。TIM1_CNTRH と TIM1_CNTRL はいつでも書き込みが可能なので、正しくない中間的内容のロードを避けるために、このカウンタの動作中には新しい値を書き込まないでください。

読み出しのために、8 ビットのバッファが実装されています。ソフトウェアは、最初に MS バイトを読み出す必要があります。その後、LS バイトの値が自動的にバッファされます（*図 33* を参照）。このバッファされた値は、16 ビット読み出しシーケンスが完了するまで、そのまま保持されます。

*注：* ***16 ビットカウンタの読み出しに LDW 命令を使用しないでください。LDW 命令は、最初に LS バイトを読み出すので、正しくない結果を返します。***

**図 33. カウンタの 16 ビット読み出しシーケンス（TIM1_CNTR）**

### 17.3.2 16 ビット TIM1_ARR レジスタの書き込みシーケンス

TIM1_ARR レジスタには、プリロードレジスタを介して 16 ビットの値がロードされます。これは、2 つの書き込み命令（各バイトについて 1 つずつ）で行う必要があります。MS バイトが最初に書き込まれなければなりません。

シャドウレジスタの更新は、MS バイトが書き込まれると同時にブロックされ、LS バイトが書き込まれるまでブロックされたままです。LDW 命令は最初に LS バイトを書き込むため、正しくない結果になるので、使用しないでください。

### 17.3.3 プリスケーラ

プリスケーラは、次のように実装されています。

TIM1 プリスケーラは、16 ビットレジスタ（TIM1_PSCR レジスタ）を介して制御される 16 ビットカウンタに基づきます。この制御レジスタはバッファされるので、動作中に変更できます。カウンタクロック周波数を 1 から 65536 の間の値で分周できます。

カウンタクロック周波数は、次の式で計算されます。

$f_{CK_CNT} = f_{CK_PSC}/(PSCR[15:0]+1)$

プリスケーラの値は、プリロードレジスタを介してロードされます。シャドウレジスタは、使用される現在値を含み、LS バイトが書き込まれるとロードされます。

16 ビットプリスケーラを更新するには、MSB から始めて、2 バイトを個別の書き込み操作でロードします。LDW 命令は最初に LSB を書き込むので、この目的には使用しないでください。

新しいプリスケーラ値は、次の期間（次の更新イベントの後）で、有効になります。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

TIM1_PSCR レジスタへの読み出し動作はプリロードレジスタにアクセスするので、読み出しには特別な注意が必要です。

### 17.3.4 アップカウントモード

アップカウントモードでは、カウンタは、0 からユーザによって定義された比較値（TIM1_ARR レジスタの内容）までカウントします。その後、0 から再スタートして、カウンタオーバーフローイベントを生成し、TIMx_CR1 レジスタの UDIS ビットが 0 の場合は UEV を生成します。

*図 34* に、このカウントモードの例を示します。

**図 34. アップカウントモードのカウンタ**

更新イベントは、TIM1_EGR レジスタの UG ビットをセットすることによって（ソフトウェアによって、または、トリガコントローラを使用して）生成することもできます。

UEV は、TIM1_CR1 レジスタの UDIS ビットをセットすることによって、ソフトウェアによって無効にできます。これは、プリロードレジスタに新しい値を書き込んでいるときにシャドウレジスタが更新されるのを防ぐためです。UDIS ビットに“0”が書き込まれるまで、UEV は発生しません。カウンタとプリスケーラはカウントを 0 から再スタートしますが、プリスケーラの分周数は変わらないことに注意してください。さらに、TIM1_CR1 レジスタの URS ビット（更新リクエスト選択）がセットされている場合、UG ビットをセットすると、UIF フラグをセットせずに UEV を生成します。結果として、割り込みリクエストは送信されません。これは、キャプチャイベント時にカウンタをクリアしているときに、更新とキャプチャの両方の割り込みを生成するのを防ぐためです。

更新イベントが発生すると、すべてのレジスタが更新され、URS ビットの設定に応じて、更新フラグ（TIM1_SR レジスタの UIF ビット）がセットされます。

- 自動再ロードシャドウレジスタは、プリロード値（TIM1_ARR）で更新されます。
- プリスケーラのバッファにはプリロード値（TIM1_PSCR レジスタの内容）が再びロードされます。

*図 35* と*図 36* は、TIMx_ARR = 0x36 のときの、さまざまなクロック周波数におけるカウンタの動作の例を示しています。

*図 35* では、プリスケーラ分周回路は 2 にセットされているので、カウンタクロック（CK_CNT）周波数はプリスケーラクロックソース（CK_PSC）の半分です。自動再ロードのプリロードは無効です（ARPE=0）。その結果、シャドウレジスタはただちに変更され、アップカウントが 0x36 に達すると、カウンタオーバーフローが発生します。これにより UEV が生成されます。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

**図 35. プリスケーラ = 2 で ARPE = 0（ARR はプリロードされない）のときのカウンタの更新**

*図 36* では、プリスケーラ分周回路は 1 にセットされているので、CK_CNT は CK_PSC と同じ周波数です。自動再ロードのプリロードは有効（ARPE=1）なので、次のカウンタオーバーフローは 0xFF で発生します。新しい自動再ロード値レジスタの値 36h は、UEV を生成するオーバーフローの後、有効になります。

**図 36. ARPE=1（TIM1_ARR はプリロードされる）のときのカウンタ更新イベント**

この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 17.3.5 ダウンカウントモード

ダウンカウントモードでは、カウンタは自動再ロード値（TIM1_ARR レジスタの内容）から 0 までカウントします。次にカウンタは自動再ロード値から再スタートして、TIM1_CR1 レジスタの UDIS ビットが 0 の場合は、カウンタアンダーフローと UEV を生成します。

*図 37* に、このカウントモードの例を示します。

**図 37. ダウンカウントモードのカウンタ**

更新イベントは、TIM1_EGR レジスタの UG ビットをセットすることによっても（ソフトウェアによって、または、クロック／トリガモードコントローラを使用して）生成できます。

UEV イベントは、TIM1_CR1 レジスタの UDIS ビットをセットすることによって、ソフトウェアによって無効にできます。これは、プリロードレジスタに新しい値を書き込んでいるときにシャドウレジスタが更新されるのを防ぐためです。UDIS ビットに“0”が書き込まれるまで、更新イベントは発生しません。ただし、カウンタは現在の自動再ロード値から再スタートしますが、プリスケーラのカウンタは 0 から再スタートします（プリスケーラ比は変化しません）。

さらに、TIM1_CR1 レジスタの URS ビット（更新リクエスト選択）がセットされている場合、UG ビットをセットすると、UIF フラグをセットせずに UEV を生成します（したがって割り込みリクエストは送信されません）。これは、キャプチャイベント時にカウンタをクリアしているときに、更新とキャプチャの両方の割り込みを生成するのを防ぐためです。

更新イベントが発生すると、すべてのレジスタが更新され、URS ビットの設定に応じて、更新フラグ（TIM1_SR レジスタの UIF ビット）がセットされます。

- プリスケーラのバッファにはプリロード値（TIM1_PSCR レジスタの内容）が再びロードされます。
- 自動再ロードシャドウレジスタは、プリロードレジスタの値（TIM1_ARR レジスタの内容）で更新されます。カウンタが再ロードされる前に自動再ロードが更新されるので、次の周期は予想通りの周期になります。

*図 38* と *図 39* は、TIM1_ARR = 0x36 のときの、さまざまなクロック周波数におけるカウンタの動作の例を示しています。

ダウンカウントモードでは、プリロードは通常、使用されません。したがって、新しい値は次の周期で有効になります（*図 38* を参照）。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

**図 38. プリスケーラ = 2 で ARPE = 0（ARR はプリロードされない）のときのカウンタの更新**

**図 39. プリスケーラ = 1 で ARPE = 1（ARR はプリロードされる）のときのカウンタの更新**

この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 17.3.6 センターアラインモード（アップ／ダウンカウント）

センターアラインモードでは、カウンタは 0 から自動再ロード値 -1（TIM1_ARR レジスタの内容）までカウントします。これにより、カウンタオーバーフローが生成されます。カウンタは次に 0 までカウントダウンして、カウンタアンダーフローイベントを生成します。この後、カウンタは 0 からカウントを再スタートします。

このモードでは、TIM1_CR1 レジスタの方向ビット（DIR）に書き込むことはできません。このビットはハードウェアによって更新されて、カウンタの現在の方向を示します。

*図 40* に、このカウントモードの例を示します。

**図 40. センターアラインモードのカウンタ**

タイマに繰り返しカウンタがある場合（TIM1 のように）、アップ／ダウンカウントの後に UEV が生成され、繰り返しカウンタレジスタ（TIM1_RCR）でプログラムされた回数だけ、アップ／ダウンカウントが繰り返されます。そうでない場合、UEV は、カウンタオーバーフローごと、およびカウンタアンダーフローごとに生成されます。

TIM1_EGR レジスタの UG ビットをセットすることでも（ソフトウェアによって、またはクロック／トリガモードコントローラを使用して）、更新イベントが生成されます。この場合、カウンタとプリスケーラは 0 からカウントを再スタートします。

UEV は、TIM1_CR1 レジスタの UDIS ビットをセットすることによって、ソフトウェアによって無効にできます。これは、プリロードレジスタに新しい値を書き込んでいるときにシャドウレジスタが更新されるのを防ぐためです。このように、UDIS ビットに 0 が書き込まれるまで、更新イベントは発生しません。ただし、カウンタは現在の自動再ロード値に基づいて、カウントアップとカウントダウンを続けます。繰り返しカウンタを持つタイマの場合、繰り返しレジスタはダブルバッファされないので、新しい更新レートが使用されます。このため、更新レートを変更する場合は注意が必要です。

さらに、TIM1_CR1 レジスタの URS ビットがセットされている場合、UG ビットをセットすると、UIF フラグをセットせずに UEV を生成します。結果として、割り込みリクエストは送信されません。これは、キャプチャイベント時にカウンタをクリアしているときに、更新とキャプチャの両方の割り込みを生成するのを防ぐためです。

更新イベントが発生すると、すべてのレジスタが更新され、URS ビットの設定に応じて、更新フラグ（TIM1_SR レジスタの UIF ビット）がセットされます。

- プリスケーラのバッファにはプリロード値（TIM1_PSCR レジスタの内容）が再びロードされます。
- 自動再ロードシャドウレジスタは、プリロードレジスタの値（TIM1_ARR レジスタの内容）で更新されます。更新の原因がカウンタオーバーフローである場合には、自動再ロードが更新されてからカウンタが再ロードされるので、次の周期は予想通りの周期になります（カウンタに新しい値がロードされます）。

以下に、さまざまなクロック周波数におけるカウンタの動作の例を示します。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 41. カウンタのタイミング図、$f_{CK_CNT} = f_{CK_PSC}$、TIM1_ARR = 06h、ARPE = 1

センターアラインモードの使用に関するヒント：

- センターアラインモードで開始するときには、現在のアップ／ダウン設定が使用されます。これは、TIM1_CR1 レジスタの DIR ビットに書き込まれた値に応じて、カウンタがカウントアップまたはカウントダウンを開始することを意味します。さらに、DIR ビットと CMS ビットをソフトウェアによって同時に変更することはできません。
- センターアラインモードで動作中のカウンタへの書き込みは、予期しない結果を招くことがあるので推奨されません。特に、
  - 自動再ロード値より大きい値がカウンタに書き込まれた場合（TIM1_CNT > TIM1_ARR）、方向は更新されません。たとえば、カウンタがカウントアップしていた場合は、カウントアップを続けます。
  - カウンタに 0 または TIM 1 _ARR 値が書き込まれた場合、方向は更新されますが、UEV は生成されません。
- センターアラインモードを使用する最も安全な方法は、カウンタを開始する直前に、ソフトウェアによって更新を生成する（TIM1_EGR レジスタの UG ビットをセットする）ことです。カウンタの動作中には、カウンタへの書き込みを行わないでください。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 17.3.7 繰り返しダウンカウンタ

*セクション 17.3 : TIM1 タイムベースユニット* では、カウンタのオーバーフロー／アンダーフローに伴って、どのように UEV が生成されるかを説明しています。UEV は、繰り返しダウンカウンタが 0 に達したときにのみ生成されます。これは、PWM 信号を生成する際に役立ちます。

すなわち、n 回目のカウンタオーバーフローまたはアンダーフローごとに、プリロードレジスタからシャドウレジスタ（TIM1_ARR 自動再ロードレジスタ、TIM1_PSCR プリスケーラレジスタ、および比較モードの TIM1_CCRx キャプチャ／比較レジスタ）にデータが転送されます。n は、TIM1_RCR 繰り返しカウンタレジスタの値です。

繰り返しダウンカウンタは、次の場合にデクリメントされます。

- アップカウントモードで、カウンタオーバーフローごと。
- ダウンカウントモードで、カウンタアンダーフローごと。
- センターアラインモードで、カウンタオーバーフローとカウンタアンダーフローごと。最大繰り返し回数は 128 PWM サイクルに限られますが、PWM 周期ごとにデューティサイクルを 2 回更新することが可能です。センターアラインモードで比較レジスタの値を PWM 周期あたり 1 回のみ更新するときには、パターンが対称的なので、最大精度は 2 x $t_{CK_PSC}$ です。

繰り返しダウンカウンタは自動再ロードタイプであり、繰り返しの回数は TIM1_RCR レジスタの値によって指定される値が維持されます（*図 42* を参照）。ソフトウェアによって（TIM1_EGR レジスタの UG ビットをセットすることによって）、またはハードウェアによって（クロック／トリガコントローラを通じて）UEV が生成されると、繰り返しダウンカウンタの値に関係なく、ただちに更新されます。繰り返しダウンカウンタには、TIM1_RCR レジスタの内容が再ロードされます。

**図 42. モードと TIM1_RCR レジスタの設定による更新レートの例**

この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

## 17.4 TIM1 クロック／トリガコントローラ

クロック／トリガコントローラによって、タイマクロックソース、入力トリガ、および出力トリガを設定できます。*図 43.* にブロック図を示します。

**図 43. クロック／トリガコントローラのブロック図**

### 17.4.1 プリスケーラクロック（CK_PSC）

タイムベースユニットプリスケーラクロック（CK_PSC）は、次のクロックソースのいずれかから供給できます。

- 内部クロック（$f_{MASTER}$）
- 外部クロックモード 1：外部タイマ入力（TIx）
- 外部クロックモード 2：外部トリガ入力（ETR）
- 内部トリガ入力（ITR*i*）：タイマを別のタイマのプリスケーラとして使用。詳細については、*タイマを別のタイマのプリスケーラとして使用する（154 ページ）*を参照してください。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 17.4.2 内部クロックソース（$f_{MASTER}$）

クロック／トリガモードコントローラと外部トリガ入力の両方とも無効の場合（TIM1_SMCR レジスタの SMS=000、TIM1_ETR レジスタの CEN=0）、CEN、DIR、および UG ビットは制御ビットとして動作し、ソフトウェアによってのみ変更できます（自動的にクリアされたままの UG ビットを除きます）。CEN ビットに 1 が書き込まれると、プリスケーラには内部クロックが供給されます。

次の図は、プリスケーラを使用しない場合の通常モードの制御回路とアップカウンタの動作を示しています。

**図 44. 通常モードの制御回路、$f_{CK_PSC} = f_{MASTER}$**

### 17.4.3 外部クロックソースモード 1

カウンタは、選択されたタイマ入力の立ち上がりまたは立ち下がりエッジでカウントできます。このモードは、TIM1_SMCR レジスタの SMS=111 のときに選択されます（*図 45* を参照）。

**図 45. TI2 外部クロックの接続例**

この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

**手順**

アップカウンタを設定して、たとえば、TI2 入力の立ち上がりエッジでカウントするように設定するには、以下の手順に従ってください。

1. TIM1_CCMR2 レジスタに CC2S=01 を書き込むことによって、チャネル 2 が TI2 入力の立ち上がりエッジを検出するように設定します。
2. TIM1_CCMR2 レジスタの IC2F[3:0] ビットに書き込むことによって、入力フィルタ時間を設定します（フィルタを使用しない場合は、IC2F=0000 にしておきます）。
   ***注：キャプチャプリスケーラはトリガには使用されないので、設定は不要です。CC2S ビットは、入力キャプチャソースのみを選択するため、設定する必要はありません。***
3. TIM1_CCER レジスタに CC2P=0 を書き込むことによって、立ち上がりエッジ極性を選択します。
4. TIM1_SMCR レジスタに SMS=111 を書き込むことによって、タイマを外部クロックモード 1 に設定します。
5. TIM1_SMCR レジスタに TS=110 を書き込むことによって、入力ソースとして TI2 を選択します。
6. TIM1_CR1 レジスタに CEN=1 を書き込むことによって、カウンタを有効にします。

TI2 に立ち上がりエッジが発生すると、カウンタはカウントを開始し、トリガフラグがセットされ（TIM1_SR1 レジスタの TIF ビット）、有効な場合は割り込みリクエストが送信されます（TIM1_IER レジスタの TIE ビットに応じて）。

TI2 の立ち上がりエッジから実際にカウンタがリセットされるまでの遅延は、TI2 入力の再同期回路によるものです。

**図 46. 外部クロックモード 1 の制御回路**

この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 17.4.4 外部クロックソースモード 2

カウンタは、ETR の立ち上がりまたは立ち下がりエッジでカウントできます。このモードは、TIM1_ETR レジスタに ECE=1 を書き込むことによって選択されます。

*図 47* に、外部トリガ入力ブロックの概要を示します。

**図 47. 外部トリガ入力のブロック図**

**手順**

アップカウンタを設定して、たとえば、ETR の 2 回の立ち上がりエッジごとにカウントするように設定するには、以下の手順に従ってください。

1. この例ではフィルタは不要なので、TIM1_ETR レジスタの ETF[3:0] に 0000 を書き込みます。
2. TIM1_ETR レジスタに ETPS[1:0]=01 を書き込むことによって、プリスケーラを設定します。
3. TIM1_ETR レジスタに ETP=0 を書き込むことによって、ETR ピンの立ち上がりエッジ検出を選択します。
4. TIM1_ETR レジスタに ECE=1 を書き込むことによって、外部クロックモード 2 を有効にします。
5. TIM1_CR1 レジスタに CEN=1 を書き込むことによって、カウンタを有効にします。

カウンタは 2 回の ETR 立ち上がりエッジごとに 1 回カウントします。

ETR の立ち上がりエッジから実際のカウンタのリセットまでの遅延は、外部トリガ信号（ETRP）の再同期回路によるものです。

**図 48. 外部クロックモード 2 の制御回路**

この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 17.4.5 トリガの同期

トリガ入力には、次の 4 つの タイプがあります（*表 35：内部タイマ信号の用語（131 ページ）* を参照）。

- ETR
- TI1
- TI2
- TIM5/TIM6 からの TRGO

TIM1 タイマは、外部トリガと次の 3 つのモードで同期できます。トリガ標準モード、トリガリセットモード、およびトリガゲートモード。

#### トリガ標準モード

選択された入力のイベントに対応して、カウンタがスタートします。

**手順**

たとえば、TI2 入力の立ち上がりエッジに応じてアップカウンタをスタートするには、以下の手順に従ってください。

1. TI2 の立ち上がりエッジを検出するように、チャネル 2 を設定します。この例ではフィルタは不要なので、入力フィルタ時間を 0 に設定します（IC2F=0000）。キャプチャプリスケーラはトリガには使用されないので、設定する必要はありません。CC2S ビットは入力キャプチャソースを選択するので、設定する必要はありません。TIM1_CCER1 レジスタの CC2P ビットに 0 を書き込んで、立ち上がりエッジの極性を選択します。
2. TIM1_SMCR レジスタに SMS=110 を書き込むことによって、タイマをトリガモードに設定します。TIM1_SMCR レジスタに TS=110 を書き込むことによって、入力ソースとして TI2 を選択します。

TI2 で立ち上がりエッジが発生すると、カウンタは内部クロックでのカウントを開始し、TIF フラグがセットされます。

TI2 の立ち上がりエッジから実際にカウンタがリセットされるまでの遅延は、TI2 入力の再同期回路によるものです。

**図 49. トリガモードの制御回路**

この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### トリガリセットモード

カウンタとそのプリスケーラを、トリガ入力イベントに対応して再初期化できます。さらに、TIM1_CR1 レジスタの URS ビットがローの場合は、UEV が生成されます。その場合、すべてのプリロードされたレジスタ（TIM1_ARR、TIM1_CCR*i*）が更新されます。

***例***

TI1 入力の立ち上がりエッジに対応してアップカウンタをクリアするには、以下の手順に従ってください。

1. TI1 の立ち上がりエッジを検出するように、チャネル 1 を設定します。この例ではフィルタは不要なので、入力フィルタ時間を 0 に設定します（IC2F=0000）。キャプチャプリスケーラはトリガには使用されないので、設定する必要はありません。CC1S ビットは入力キャプチャソースを選択するので、設定する必要はありません。TIM1_CCER レジスタに CC1P=0 を書き込んで、極性を有効にします（そして、立ち上がりエッジを検出します）。
2. TIM1_SMCR レジスタに SMS=100 を書き込むことによって、タイマをリセットモードに設定します。TIM1_SMCR レジスタに TS=101 を書き込むことによって、入力ソースとして TI1 を選択します。
3. TIM1_CR1 レジスタに CEN=1 を書き込むことによって、カウンタをスタートします。

カウンタは内部クロックでカウントを開始し、TI1 の立ち上がりエッジまで通常の動作を行います。TI1 が立ち上がると、カウンタはクリアされ、0 から再スタートします。同時に、トリガフラグがセットされ（TIM1_SR1 レジスタの TIF ビット）、有効な場合は割り込みリクエストを送信できます（TIM1_IER レジスタの TIE ビットに応じて）。

*図 50* に、自動再ロードレジスタが TIM1_ARR = 36h のときのこの動作を示します。TI1 の立ち上がりエッジから実際にカウンタがリセットされるまでの遅延は、TI1 入力の同期回路によるものです。

**図 50. トリガリセットモードの制御回路**

この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### トリガゲートモード

選択された入力のレベルに応じて、カウンタを有効にできます。

*例*

TI1 入力がローのときにアップカウンタを有効にするには、以下の手順に従ってください。

1. TI1 のローレベルを検出するように、チャネル 1 を設定します。入力フィルタ時間を設定します（IC1F=0000）。キャプチャプリスケーラはトリガには使用されないので、設定する必要はありません。CC1S ビットは入力キャプチャソースを選択するので、設定する必要はありません。TIM1_CCER1 レジスタに CC1P=1 を書き込んで、極性を有効にします（また、ローレベルを検出します）。
2. TIM1_SMCR レジスタに SMS=101 を書き込むことによって、タイマをトリガゲートモードに設定します。TIM1_SMCR レジスタに TS=101 を書き込むことによって、入力ソースとして TI1 を選択します。
3. TIM1_CR1 レジスタに CEN=1 を書き込むことによって、カウンタを有効にします（トリガゲートモードでは、CEN=0 の場合、トリガ入力レベルに関係なく、カウンタはスタートしません）。

カウンタは、TI1 がローである限り、内部クロックでカウントを開始します。カウンタは TI1 がハイになると、カウントを停止します。カウンタのスタート時とストップ時に、TIF フラグがセットされます。

TI1 の立ち上がりエッジから実際にカウンタがリセットされるまでの遅延は、TI1 入力の同期回路によるものです。

**図 51. トリガゲートモードの制御回路**

この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### トリガモードと外部クロックモード 2 の組み合わせ

外部クロックモード 2 は、別のトリガモードとともに使用できます。たとえば、ETR を外部クロック入力として使用し、別の入力をトリガ入力として使用することができます（トリガ標準モード、トリガリセットモード、またはトリガゲートモードで）。ETR を TRGI として選択しないように注意してください（TIM1_SMCR レジスタの TS ビットを通じて）。

*例*

TI1 の立ち上がりエッジが発生すると同時に ETR の各立ち上がりエッジでアップカウンタを有効にするには、以下の手順に従ってください（外部 ETR クロックでの標準トリガモード）。

1. TIM1_SMCR レジスタに書き込むことによって、外部トリガ入力回路を設定します。ETF = 0000 を書き込みます（この例ではフィルタは不要です）。ETPS=00 を書き込んでプリスケーラを無効にし、ETP=0 を書き込んで ETR の立ち上がりエッジを検出し、ECE=1 を書き込んで外部クロックモード 2 を有効にします。
2. TI1 の立ち上がりエッジを検出するように、チャネル 1 を設定します。入力フィルタ時間を設定します（IC1F=0000）。キャプチャプリスケーラはトリガには使用されないので、設定する必要はありません。CC1S ビットは入力キャプチャソースを選択するので、設定する必要はありません。TIM1_CCER1 レジスタの CC1P ビットに 0 を書き込んで、立ち上がりエッジの極性を選択します。
3. TIM1_SMCR レジスタに SMS=110 を書き込むことによって、タイマをトリガモードに設定します。TIM1SMCR レジスタに TS=101 を書き込むことによって、入力ソースとして TI1 を選択します。

TI1 の立ち上がりエッジでカウンタが有効になり、TIF フラグがセットされます。結果として、カウンタは ETR の立ち上がりエッジでカウントします。

TI1 の立ち上がりエッジから実際にカウンタがリセットされるまでの遅延は、TI1 入力の同期回路によるものです。ETR の立ち上がりエッジから実際のカウンタリセットまでの遅延は、ETRP 信号の再同期回路によるものです。

**図 52. 外部クロックモード 2＋トリガモードの制御回路**

この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 17.4.6 TIM1、TIM5、および TIM6 タイマ間の同期

製品によっては、タイマの同期や連結のために、タイマが内部で相互リンクされます。あるタイマがマスタモードに設定されると、そのタイマはスレーブモードに設定された別のタイマのカウンタのリセット、開始、停止、またはクロック供給のためにトリガ（ＴＲＧＯ）を出力することができます。

**図 53. タイマ連結システムの実装例**

この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

*図 54* に、トリガ選択およびマスタモード選択ブロックの概要を示します。

**図 54. トリガ／マスタモード選択ブロック**

## タイマを別のタイマのプリスケーラとして使用する

タイマ A をタイマ B のプリスケーラとして設定する方法を*図 55* に示します。

1. UEV ごとに定期的なトリガ信号を出力するように、タイマ A をマスタモードに設定します。更新イベントが生成されるたびに TRGO1 に立ち上がりエッジが出力されるように設定するために、TIMx_CR2 レジスタに MMS=010 を書き込みます。
2. タイマ A の TRGO1 出力をタイマ B に接続します。タイマ B は、内部トリガとして ITR1 を使用するように、スレーブモードに設定する必要があります。TIMx_SMCR レジスタの TS ビットを通じて（TS=001 を書き込んで）選択します。
3. TIMx_SMCR レジスタに SMS=111 を書き込むことによって、クロック／トリガコントローラを外部クロックモード 1 に設定します。これによりタイマ B は、タイマ A の定期的なトリガ信号の立ち上がりエッジ（タイマ A カウンタのオーバーフローに対応）をクロックとして動作します。
4. それぞれの CEN ビット（TIMx_CR1 レジスタ）をセットすることによって、両方のタイマを有効にします。

*注： タイマ A のトリガ出力として OCi が選択された場合（MMS=1xx）、その立ち上がりエッジがタイマ B カウンタのクロックとして使用されます。*

**図 55. マスタ／スレーブタイマの例**

この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### タイマを使用して別のタイマを有効にする

***例 1***

タイマ B の有効化は、タイマ A の出力比較 1 で制御されます（接続方法については*図 56* を参照）。タイマ B は、タイマ A の OC1REF がハイのときにのみ、分周された内部クロックでカウントします。両方のカウンタクロック周波数は、$f_{MASTER}$ ($f_{CK_CNT} = f_{MASTER}/4$) に比較して、プリスケーラによって 4 分周されます。

1. タイマ A をマスタモードに設定して、その出力比較 1 基準（OC1REF）信号をトリガ出力として送信します（TIMx_CR2 レジスタの MMS=100）。
2. タイマ A の OC1REF 波形を設定します（TIM1_CCMR1 レジスタ）。
3. タイマ B がタイマ A から入力トリガを受け取るように設定します（TIMx_SMCR レジスタの TS=001）。
4. タイマ B をトリガゲートモードに設定します（TIMx_SMCR レジスタの SMS=101）。
5. CEN ビット（TIMx_CR1 レジスタ）に 1 を書き込むことによって、タイマ B を有効にします。
6. CEN ビット（TIMx_CR1 レジスタ）に 1 を書き込むことによって、タイマ A をスタートします。

*注：* ***カウンタ 2 のクロックは、カウンタ 1 と同期されません。このモードは、タイマ B カウンタイネーブル信号にのみ影響します。***

**図 56. タイマ A の OC1REF によるタイマ B のゲート操作**

*図 56* では、タイマ B のカウンタとプリスケーラはスタート前に初期化されていません。したがって、カウントは現在値から開始されます。タイマ A を開始する前に、両方のタイマをリセットすることによって、任意の値からカウントを開始することが可能です。この場合、タイマカウンタに任意の値を書き込むことができます。TIMx_EGR レジスタの UG ビットを使用して、ソフトウェアによって容易にタイマをリセットできます。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

*例 2*

タイマ A とタイマ B は同期しています。タイマ A はマスタであり、0 からスタートします。タイマ B はスレーブであり、E7h からスタートします。プリスケーラの分周比は両方のタイマで同じです。TIMx_CR1 レジスタの CEN ビットに 0 を書き込むことによってタイマ A を無効にすると、タイマ B は停止します。

1. タイマ A をマスタモードに設定して、その出力比較 1 基準（OC1REF）信号をトリガ出力として送信します（TIMx_CR2 レジスタの MMS=100）。
2. タイマ A の OC1REF 波形を設定します（TIM1_CCMR1 レジスタ）。
3. タイマ B がタイマ A から入力トリガを受け取るように設定します（TIMx_SMCR レジスタの TS=001）。
4. タイマ B をトリガゲートモードに設定します（TIMx_SMCR レジスタの SMS=101）。
5. UG ビット（TIMx_EGR レジスタ）に 1 を書き込むことによって、タイマ A をリセットします。
6. UG ビット（TIMx_EGR レジスタ）に 1 を書き込むことによって、タイマ B をリセットします。
7. タイマ B のカウンタ（TIMx_CNTL）に E7h を書き込むことによって、タイマ B を 0xE7 に初期化します。
8. CEN ビット（TIMx_CR1 レジスタ）に 1 を書き込むことによって、タイマ B を有効にします。
9. CEN ビット（TIMx_CR1 レジスタ）に 1 を書き込むことによって、タイマ A をスタートします。
10. CEN ビット（TIMx_CR1 レジスタ）に 0 を書き込むことによって、タイマ A を停止します。

**図 57. タイマ A のカウンタイネーブル信号（CNT_EN）によるタイマ B のゲート操作**

この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### タイマを使用して別のタイマを開始する

***例 1***

タイマ B の有効化は、タイマ A の UEV で制御されます（接続方法につては*図 55* を参照）。タイマ B は、タイマ A によって EUV が生成されると同時に、分周された内部クロックで現在値（非ゼロでも可）からカウントを開始します。タイマ B がトリガ信号を受信すると、その CEN ビットが自動的にセットされ、カウンタは TIM1_CR1 レジスタの CEN ビットに 0 が書き込まれるまでカウントします。両方のカウンタクロック周波数は、$f_{MASTER}$ ($f_{CK_CNT} = f_{MASTER}/4$) に比較して、プリスケーラによって 4 分周されます。

1. UEV をトリガ出力として送信するように、タイマ A をマスタモードに設定します（TIM1_CR2 レジスタの MMS=010）。
2. タイマ A の周期を設定します（TIM1_ARR レジスタ）。
3. タイマ A から入力トリガを受け取るように、タイマ B を設定します（TIM1_SMCR レジスタの TS=001）。
4. タイマ B をトリガモードに設定します（TIM1_SMCR レジスタの SMS=110）。
5. CEN ビット（TIM1_CR1 レジスタ）に 1 を書き込むことによって、タイマ A を開始します。

**図 58. タイマ A の UEV（TIMERA-UEV）によるタイマ B のトリガ**

この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

*例 2*

前の例と同じように、カウントを開始する前に両方のカウンタを初期化できます。*図 59* は、*図 57* と同じ設定ですが、トリガゲートモードではなくトリガ標準モードでの動作を示しています（TIM1_SMCR レジスタの SMS=110）。

**図 59. タイマ A のカウンタイネーブル信号（CNT_EN）によるタイマ B のトリガ**

## 外部トリガに対応して、2 つのタイマを同期して開始する

*例*

TI1 入力が立ち上がり、タイマ B のイネーブルがタイマ A のイネーブル信号でセットされると、タイマ A が有効になります（接続方法については、*図 55* を参照）。カウンタの同時性を確保するには、タイマ A をマスタ／スレーブモードに設定する必要があります（TI1 に対してはスレーブ、タイマ B に対してはマスタ）。

1. イネーブル信号をトリガ出力として送信するように、タイマ A をマスタモードに設定します（TIMx_CR2 レジスタの MMS=001）。
2. TI1 から入力トリガを受け取るように、タイマ A をスレーブモードに設定します（TIMx_SMCR レジスタの TS=100）。
3. タイマ A をトリガモードに設定します（TIMx_SMCR レジスタの SMS=110）。
4. MSM=1（TIMx_SMCR レジスタ）を書き込むことによって、タイマ A をマスタ／スレーブモードに設定します。
5. タイマ B がタイマ A から入力トリガを受け取るように設定します（TIMx_SMCR レジスタの TS=001）。
6. タイマ B をトリガモードに設定します（TIMx_SMCR レジスタの SMS=110）。

TI1（タイマ A）で立ち上がりエッジが発生すると、両方のカウンタが同時に内部クロックによるカウントを開始し、両方の TIF フラグがセットされます。

*注：* ***この例では、両方のタイマが開始前に初期化されます（それぞれの UG ビットをセットすることによって）。両方のカウンタが 0 からスタートしますが、カウンタレジスタ（TIMx_CNT）に書き込むことによって、容易にオフセットを挿入できます。マスタ／スレーブモードがタイマ A の CNT_EN と CK_PSC の間に遅延を挿入しているのがわかります。***



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 60. タイマ A の TI1 入力によるタイマ A とタイマ B のトリガ

## 17.5 TIM1 キャプチャ／比較チャネル

タイマ I/O ピン（TIM1_CC*i*）は、入力キャプチャまたは出力比較機能に設定することができます。その選択は、キャプチャ／比較チャネルモードレジスタ（TIM1_CCMR*i*）の CC*i*S チャネル選択ビットを設定することによって行います（*i* はチャネル番号）。

各キャプチャ／比較チャネルは、キャプチャ／比較レジスタ（シャドウレジスタを含む）、キャプチャの入力ステージ（デジタルフィルタ、マルチプレクサ、プリスケーラ）、および出力ステージ（比較回路と出力制御）から構成されています。

図 61. キャプチャ／比較チャネル 1 メイン回路

この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

キャプチャ／比較ブロックは、1 つのプリロードレジスタと 1 つのシャドウレジスタで構成されています。読み書きのアクセスは、常にプリロードレジスタに対して行われます。キャプチャモードでは、キャプチャはシャドウレジスタで行われ、その値がプリロードレジスタにコピーされます。比較モードでは、プリロードレジスタの内容がシャドウレジスタにコピーされて、カウンタと比較されます。

チャネルが出力モードに設定されている場合（TIM1_CCMR*i* レジスタの CC*i*S = 00）、TIM1_CCR*i* レジスタには制約なしにアクセスできます。

チャネルが入力モードに設定されている場合、TIM1_CCR*i* レジスタの読み出しシーケンスはカウンタの読み出しシーケンスと同じです（*図 62* を参照）。キャプチャが発生すると、カウンタの内容が TIM1_CCR*i* シャドウレジスタにキャプチャされます。次に、この値がプリロードレジスタにロードされますが、プリロードレジスタがフリーズされている読み出しシーケンス中は除きます。

**図 62. キャプチャモードでの TIM1_CCR*i* レジスタの 16 ビット読み出しシーケンス**

*図 62* に、CCR*i* レジスタの 16 ビットタイマ読み出しシーケンスを示します。このバッファされた値は、16 ビット読み出しシーケンスが完了するまで、そのまま保持されます。

読み出しシーケンスの完了後、TIM1_CCR*i*L レジスタのみが読み出された場合、読み出した時点でのカウント値の LS バイトを返します。

LS バイトの後に MS バイトが読み出された場合は、LS バイトと同じキャプチャされた値には対応していません。

### 17.5.1 16 ビット TIM1_CCR*i* レジスタの書き込みシーケンス

TIM1_CCR*i* レジスタには、プリロードレジスタを介して 16 ビットの値がロードされます。これは、2 つの書き込み命令（各バイトについて 1 つずつ）で行う必要があります。MS バイトが最初に書き込まれなければなりません。

シャドウレジスタの更新は、MS バイトが書き込まれると同時にブロックされ、LS バイトが書き込まれるまでブロックされたままです。LDW 命令は最初に LS バイトを書き込んで、正しくない結果になるので、使用しないでください。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

参考資料



### 17.5.2 入力ステージ

**図 63. チャネル入力ステージのブロック図**

*図 64* に、入力ステージで対応する TI*i* 入力をサンプリングして、フィルタされた信号 TI*i*F を生成する方法を示します。次に、極性選択付きのエッジ検出回路が信号（TI*i*FPn）を生成し、それがクロック／トリガコントローラによってトリガ入力として、またはキャプチャコマンドとして使用されます。信号は、キャプチャレジスタ（IC*i*PS）に渡される前にプリスケールされます。

**図 64. TIM 1 チャネル 1 の入力ステージ**

この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 17.5.3 入力キャプチャモード

入力キャプチャモードでは、対応する IC*i* 信号でモード変更が検出された後、カウンタの値をラッチするためにキャプチャ／比較レジスタ（TIM1_CCR*i*）が使用されます。キャプチャが発生すると、対応する CC*i*IF フラグ（TIM1_SR1 レジスタ）がセットされます。

割り込みが有効な場合、TIM1_IER レジスタの CC*i*IE ビットをセットすることによって、割り込みを送信できます。CC*i*IF フラグがすでにハイのときにキャプチャが発生した場合は、オーバーキャプチャフラグ CC*i*OF（TIM1_SR2 レジスタ）がセットされます。CC*i*IF フラグは、0 を書き込むことによって、または、TIMx_CCR*i*L レジスタに格納されたキャプチャデータを読み出すことによって、ソフトウェアによってクリアできます。CC*i*OF は、0 を書き込むことによってクリアされます。

**手順**

次の手順は、たとえば、TI1 入力が立ち上がったときに、TIM1_CCR1 のカウンタ値をキャプチャする方法を示しています。

1. アクティブな入力を選択します。たとえば、TIM1_CCR1 レジスタを TI1 入力にリンクするには、TIM1_CCMR1 レジスタの CC1S ビットに 01 を書き込みます。これによりチャネルは入力モードに設定され、TIM1_CCR1 レジスタは読み出し専用になります。
2. 信号がタイマに接続されるために必要な入力フィルタ時間をプログラムします。これは、各 TI*i* 入力について、TIM1_CCMR*i* レジスタの IC*i*F ビットを使用して行われます。たとえば、入力信号がトグルするとき、最大 5 $t_{MASTER}$ サイクルまで不安定な場合、フィルタ時間は 5 クロックサイクルより長い必要があります。TIMx_CCMR1 レジスタのフィルタビットに 0011 を書き込むことによって、最大 8 サイクルまで持続時間を選択できます。このフィルタ設定では、新しいレベルを持つ連続した 8 個のサンプルが検出されたときのみ（$f_{MASTER}$ の周波数でサンプリング）、TI1 の遷移が有効です。
3. TI1 チャネルのアクティブ遷移を選択するには、TIM1_CCER1 レジスタの CC1P ビットに 0 を書き込みます（この場合、立ち上がりエッジを選択します）。
4. 入力プリスケーラをプログラムします。この例では、有効な遷移ごとにキャプチャする必要があるので、プリスケーラを無効にします（TIM1_CCMR1 レジスタの IC1PS ビットに 00 を書き込みます）。
5. TIM1_CCER1 レジスタの CC1E ビットをセットすることによって、カウンタからキャプチャレジスタへのキャプチャを有効にします。
6. 必要な場合は、TIM1_IER レジスタの CC1IE ビットをセットすることによって、関連する割り込みリクエストを有効にします。

入力キャプチャが発生すると、

- アクティブ遷移時に、カウンタの値が TIM1_CCR1 レジスタに格納されます。
- 入力キャプチャフラグ（CC1IF）がセットされます。このフラグがクリアされていない状態で少なくとも 2 つの連続キャプチャが発生した場合は、オーバーキャプチャフラグ（CC1OF）もセットされます。
- CC1IE ビットに応じて、割り込みが生成されます。

オーバーキャプチャイベント（CC1OF フラグ）を処理するには、オーバーキャプチャフラグの前にデータを読み出すことが推奨されます。これにより、フラグ読み出し後、データ読み出し前に発生するオーバーキャプチャの見落としを避けることができます。

*注：* ***IC 割り込みは、TIM1_EGR レジスタの対応する CCiG ビットをセットすることによって、ソフトウェアによって生成できます。***



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### PWM 入力信号の測定

このモードは、入力キャプチャの特殊ケースです（*図 65* を参照）。操作手順は入力キャプチャモードと同様ですが、以下の点が異なります。

- 2 つの IC*i* 信号が、同じ TI*i* 入力にマッピングされます。
- これら 2 つの IC*i* 信号は、反対の極性を持つエッジ上でアクティブです。
- 2 つの TI*i*FP 信号の 1 つがトリガ入力として選択され、クロック／トリガコントローラはリセットモードに設定されます。

**図 65. PWM 入力信号の測定**

**手順**

$f_{MASTER}$ 周波数とプリスケーラ値に応じて、周期（TIM1_CCR1 レジスタ）の測定が可能であり、PWM のデューティサイクル（TIM1_CCR2 レジスタ）を以下の手順で TI1 に適用できます。

1. TIM1_CCR1 レジスタの CC1S ビットに 01 を書き込むことによって（TI1FP1 を選択）、TIM1_CCR1 のアクティブ入力キャプチャまたはトリガ入力を選択します。
2. CC1P ビットに 0 を書き込むことによって（TI1FP1 は立ち上がりエッジでアクティブ）、TI1FP1 のアクティブ極性を選択します（TIMx_CCR1 のキャプチャとカウンタクリアの両方に使用されます）。
3. TIM1_CCMR2 レジスタの CC2S ビットに 10 を書き込むことによって（TI1FP2 を選択）、TIM1_CCR2 のアクティブ入力を選択します。
4. CC2P ビットに 1 を書き込むことによって（TI1FP2 は立ち下がりエッジでアクティブ）、TI1FP2 のアクティブ極性を選択します（TIM1_CCR2 のキャプチャに使用されます）。
5. TIM1_SMCR レジスタの TS ビットに 101 を書き込むことによって（TI1FP1 を選択）、有効なトリガ入力を選択します。
6. TIM1_SMCR レジスタの SMS ビットに 100 を書き込むことによって、クロック／トリガコントローラをリセットモードに設定します。
7. TIM1_CCER1 レジスタの CC1E および CC2E ビットに 1 を書き込むことによって、キャプチャを有効にします。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 66. PWM 入力信号測定の例

## 17.5.4 出力ステージ

出力ステージは、OC*i*REF（アクティブハイ）と呼ばれ、基準電圧として使用される中間波形を生成します。ブレーク機能と極性は、最終出力に影響を与えます。

図 67. チャネル出力ステージのブロック図

この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 68. 相補出力を持つチャネル（チャネル 1）の出力ステージの詳細

## 17.5.5 強制出力モード

出力モード（TIM1_CCMR*i* レジスタの CC*i*S ビット=00）では、出力比較レジスタとカウンタの比較とは関係なく、ソフトウェアによって直接、各出力比較信号を強制的にハイまたはローレベルにできます。

出力比較信号を強制的にアクティブレベルにするには、対応する TIM1_CCMR*i* レジスタの OC*i*M ビットに 101 を書き込みます。OC*i*REF は強制的にハイになり（OC*i*REF は常にアクティブハイ）、OC*i* 出力は CC*i*P の極性ビットに応じて強制的にハイまたはローになります。

たとえば、CC*i*P = 0（OC*i* アクティブハイ）の場合、OC*i* は強制的にハイになります。

OC*i*REF 信号は、TIMx_CCMRx レジスタの OC*i*M ビットに 100 を書き込むことによって、強制的にローにできます。

いずれにしても、TIM1_CCR*i* シャドウレジスタとカウンタの比較は行われるので、フラグをセットできます。それに応じて、割り込みリクエストを送信できます。これについては、次の出力比較モードのセクションで説明します。

## 17.5.6 出力比較モード

この機能は、出力波形を制御したり、一定時間が経過したことを示すために使用されます。

キャプチャ／比較レジスタとカウンタの値が一致すると、

- 出力比較モードに応じて、対応する OC*i* 出力ピンは、
  - レベルを維持します（OC*i*M = 000）。
  - アクティブにセットされます（OC*i*M = 001）。
  - インアクティブにセットされます（OC*i*M = 010）。
  - トグルします（OC*i*M = 011）。
- 割り込みステータスレジスタのフラグがセットされます（TIM1_SR1 レジスタの CC*i*IF ビット）。
- 対応する割り込みマスク（TIM1_IER レジスタの CC*i*IE ビット）がセットされている場合は、割り込みが生成されます。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

出力比較モードは、TIM1_CCMR*i* レジスタの OC*i*M ビットによって定義されます。アクティブまたはインアクティブレベルの極性は、TIM1_CCER*i* レジスタの CC*i*P ビットによって定義されます。

TIM1_CCR*i* レジスタは、TIM1_CCMR*i* レジスタの OC*i*PE ビットを使用して、プリロードレジスタの有無にかかわらずプログラミングできます。

出力比較モードでは、UEV は OC*i*REF および OC*i* 出力に影響を与えません。タイミングの分解能はカウンタの 1 カウント分です。出力比較モードは、単一パルスを出力するためにも使用できます。

***手順***

1. カウンタクロックを選択します（内部、外部、またはプリスケーラ）。
2. TIM1_CCR*i* レジスタと TIM1_ARR レジスタに希望のデータを書き込みます。
3. 割り込みリクエストを生成する場合は、CC*i*IE ビットをセットします。
4. 出力モードを以下のように選択します。
   - CNT が CCR*i* に一致したときに OC*i* 出力ピンを反転するには、OC*i*M = 011 を書き込みます。
   - プリロードレジスタを無効にするには、OC*i*PE = 0 を書き込みます。
   - アクティブハイ極性を選択するには、CC*i*P = 0 を書き込みます。
   - 出力を有効にするには、CC*i*E = 1 を書き込みます。
5. TIMx_CR1 レジスタの CEN ビットをセットすることによって、カウンタを有効にします。

TIM1_CCR*i* レジスタは、ソフトウェアによっていつでも更新して、出力波形を制御できます。ただし、プリロードレジスタが有効でない場合（OC*i*PE = 0）に限ります。そうでない場合は、TIMx_CCR*i* シャドウレジスタは、次の UEV でのみ更新されます（*図 69* の例を参照）。

**図 69. 出力比較モード、OC1 のトグル**

この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 17.5.7 PWM モード

パルス幅変調（PWM）モードでは、TIM1_ARR レジスタの値によって決められた周波数と TIM1_CCR*i* レジスタの値によって決められたデューティサイクルを持つ信号を生成できます。

PWM モードは、TIM1_CCMR*i* レジスタの OC*i*M ビットに 110（PWM モード 1）または 111（PWM モード 2）を書き込むことによって、チャネルごとに個別に選択できます（OC*i* 出力ごとに 1 つの PWM）。TIM1_CCMR*i* レジスタの OC*i*PE ビットをセットすることよって、対応するプリロードレジスタを有効にする必要があります。TIM1_CR1 レジスタの ARPE ビットをセットすることによって、自動再ロードプリロードレジスタ（アップカウントまたはセンターアラインモード）を、オプションで有効にすることができます。

プリロードレジスタは UEV が発生したときにのみシャドウレジスタに転送されるので、カウンタを開始する前に、TIM1_EGR レジスタの UG ビットをセットすることによって、すべてのレジスタを初期化しておく必要があります。

OC*i* 極性は、TIM1_CCER*i* レジスタの CC*i*P ビットを使用して、ソフトウェアでプログラムできます。アクティブハイまたはアクティブローとしてプログラムできます。OC*i* 出力は、CC*i*E、MOE、OIS*i*、OSSR、および OSSI ビット（TIM1_CCER*i* および TIM1_BKR レジスタ）の組み合わせによって有効にされます。詳細については、TIM1_CCER*i* レジスタの説明を参照してください。

PWM モード（1 または 2）では、TIM1_CNT と TIM1_CCR*i* が常に比較されて、TIM1_CCR*i* ≤ TIM1_CNT または TIM1_CNT≤ TIM1_CCR*i* かどうかが判断されます（カウンタの方向によります）。

タイマは、TIM1_CR1 レジスタの CMS ビットに応じて、エッジアラインモードまたはセンターアラインモードで PWM を生成できます。

#### PWM エッジアラインモード

***アップカウント設定***

TIM1_CR1 レジスタの DIR ビットがローのときには、アップカウントがアクティブです。

***例***

この例では、PWM モード 1 を使用しています。基準の PWM 信号、OC*i*REF は TIM1_CNT < TIM1_CCR*i* である限り、ハイです。そうでない場合は、ローになります。TIM1_CCR*i* の比較値が自動再ロード値（TIM1_ARR）より大きい場合、OC*i*REF は 1 に保持されます。比較値が 0 の場合、OC*i*REF は 0 に保持されます。*図 70* に、TIM1_ARR=8 のときのエッジアライン PWM 波形の例を示します。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 70. エッジアラインカウントモード PWM モード 1 の波形（ARR=8）

*ダウンカウント設定*

TIM1_CR1 レジスタの DIR ビットがハイのときには、ダウンカウントがアクティブです。*ダウンカウントモード（140 ページ）*を参照してください。

PWM モード 1 では、基準信号 OC*i*REF は、TIM1_CNT> TIM1_CCR*i* *である限り、ローです。*そうでない場合は、ハイになります。TIM1_CCR*i* レジスタの比較値が自動再ロード値（TIM1_ARR レジスタ）より大きい場合、OC*i*REF は 1 に保持されます。このモードでは、0 % の PWM 信号を生成することはできません。

## PWM センターアラインモード

センターアラインモードは、TIM1_CR1 レジスタの CMS ビットが 00 でないときにアクティブです（その他すべての設定が、OC*i*REF/OC*i* 信号に対して同じ効果を持ちます）。

比較フラグは、CMS ビットの設定に応じて、カウンタがカウントアップ、カウントダウン、またはカウントアップとカウントダウンしているときにセットされます。TIM1_CR1 レジスタの方向ビット（DIR）は、ハードウェアによって更新され、このモードでは読み出し専用です（*センターアラインモード（アップ／ダウンカウント）（142 ページ）*を参照）。

*図 71* に、次の条件でのセンターアライン PWM 波形の例を示します。

- TIM1_ARR = 8
- PWM モードは PWM モード 1
- フラグは、次の 3 つの場合にセットされます（*図 71* の矢印）。
  - カウンタがカウントダウンしているとき（CMS = 01）
  - カウンタがカウントアップしているとき（CMS = 10）
  - カウンタがカウントアップおよびカウントダウンしているとき（CMS = 11）



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 71. センターアライン PWM 波形（ARR=8）

この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### ワンパルスモード

ワンパルスモード（OPM：One Pulse Mode）は、これまでに説明したモードの特殊ケースです。トリガに応じてカウンタを開始して、プログラム可能な遅延後にプログラム可能な長さのパルスを生成できます。

カウンタの開始は、クロック／トリガコントローラを通じて制御できます。波形の生成は、出力比較モードまたは PWM モードで行うことができます。ワンパルスモードを選択するには、TIM1_CR1 レジスタの OPM ビットをセットします。これによって、カウンタは、次の UEV で自動的に停止します。

パルスは、比較値がカウンタの初期値と異なる場合のみ、正しく生成されます。開始する前に（タイマがトリガを待っているときに）、設定が次のようでなければなりません。

- アップカウント時：CNT< CCR*i* ≤ ARR（特に、0 < CCR*i*）
- ダウンカウント時：CNT> CCR*i*

**図 72. ワンパルスモードの例**

*例*

この例は、TI2 入力ピンで立ち上がりエッジが検出されたときに、OC1 にパルス幅が $t_{PULSE}$ の正のパルスを遅延時間 $t_{DELAY}$ 後に生成する方法を示しています。

IC2 をトリガ 1 として使用するには、以下の手順に従ってください。

- TIM1_CCMR2 レジスタに CC2S=01 を書き込むことによって、IC2 を TI2 に配置します。
- IC2 は立ち上がりエッジを検出しなければならないので、TIM1_CCER1 レジスタに CC2P=0 を書き込みます。
- TIM1_SMCR レジスタに TS=110 を書き込むことによって、IC2 をクロック／トリガコントローラ（TRGI）のトリガとして設定します。
- IC2 を使用してカウンタを開始するには、TIM 1 _SMCR レジスタの SMS ビットに 110（トリガモード）を書き込みます。

OPM 波形は、次のように比較レジスタに書き込むことによって定義されます（クロック周波数とカウンタプリスケーラを考慮に入れて）。

- $t_{DELAY}$ は、TIM 1 _CCR1 レジスタに書き込まれた値によって定義されます。
- $t_{PULSE}$ は、自動再ロード値と比較値の差（TIM1_ARR - TIM1_CCR1）によって定義されます。
- 比較一致が発生したときに 0 から 1 へ遷移し、カウンタが自動再ロード値に達したときに 1 から 0 へ遷移する波形を生成するには、TIM1_CCMR1 レジスタに OC*i*M = 111 を書き込むことに



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

よって、PWM モード 2 を有効にします。または、TIM1_CCMR1 レジスタに OC1PE=1 を、TIM1_CR1 レジスタに ARPE=0 を書き込むことによって、プリロードレジスタを有効にする方法もあります（オプション）。この場合、TIM1_CCR1 レジスタに比較値を書き込み、TIM1_ARR レジスタに自動再ロード値を書き込みます。次に、UG ビットをセットすることによって更新を生成し、TI2 で外部トリガイベントを待ちます。この例では、CC1P に 0 を書き込みます。

上の例では TIM1_CR1 レジスタの DIR および CMS ビットはローでなければなりません。

必要なパルスは 1 つだけなので、次の UEV（カウンタが自動再ロード値に達して、カウンタの値が 0 に戻る時点）でカウンタが停止するように、TIM1_CR1 レジスタの OPM ビットに 1 を書き込みます。

***特殊な場合 : OCi 高速イネーブル :***

ワンパルスモードでは、TI*i* 入力のエッジ検出によって、カウンタを有効にする CEN ビットがセットされます。その後、カウンタと比較値の比較によって、出力が反転されます。ただし、このような動作には数クロックサイクルが必要なので、実現可能な最小遅延（$t_{DELAY}$ min）に影響します。

最小遅延の波形を出力するには、TIM1_CCMR*i* レジスタの OC*i*FE ビットをセットします。OC*i*REF（および OC*i*）は、比較結果に関係なく、トリガに応じてレベルが強制的に決まります。OC*i*REF（および OC*i*）の新しいレベルは、比較が一致した場合と同じです。OC*i*FE ビットは、チャネルが PWM1 または PWM2 モードに設定されている場合にのみ機能します。

## 相補出力とデッドタイム挿入

TIM1 は、チャネルあたり 2 つの相補信号を出力できます。出力のスイッチオフとスイッチオンのタイミングも管理します（*図 31 : TIM1 の一般的ブロック図（ページ）135* を参照）。

この時間は、通常、デッドタイムと呼ばれます。デッドタイムは、出力に接続されたデバイスの特性に応じて調整する必要があります（たとえば、レベルシフタの本来の遅延、電源スイッチによる遅延）。

出力の極性は、各出力について個別に選択できます（メイン出力 OC*i* または相補出力 OC*i* N）。このためには、TIM1_CCER*i* レジスタの CC*i* P および CC*i* NP ビットに書き込みます。

相補信号 OC*i* および OC*i* N は、次のようないくつかの制御ビットの組み合わせによってアクティブ化されます。TIM1_CCER*i* レジスタの CC*i* E および CC*i* NE ビットと、ブレーク機能が実装されている場合は、TIM1_BKR レジスタの MOE、OIS*i*、OIS*i* N、OSSI、および OSSR ビット。詳細については、*表 38 : 相補型 OCi および OCiN チャネルのブレーク機能による出力制御 (200 ページ)* を参照してください。特に、IDLE 状態に切り替わると（MOE が 0 になると）、デッドタイムがアクティブになります。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

デッドタイム挿入は、CC*i* E および CC*i* NE ビットと、ブレーク回路がある場合には、MOE ビットをセットすることによって有効になります。各チャネルには、8 ビットのデッドタイム発生回路が組み込まれています。これは、2 つの出力を生成します。基準波形 OC*i* REF から OC*i* と OC*i* N。OC*i* と OC*i* N がアクティブハイの場合：

- OC*i* 出力信号は基準信号と同じですが、立ち上がりエッジが基準の立ち上がりエッジより遅い点が異なります。
- OC*i* N 出力信号は、立ち上がりエッジが基準波形の立ち下がりエッジより遅れる点を除けば、基準信号を反転させた波形と同じです。

遅延がアクティブ出力（OC*i* または OC*i* N）の幅より大きい場合、対応するパルスは生成されません。

*図 73*、*図 74*、および*図 75* に、デッドタイム発生回路の出力信号と基準信号 OC*i* REF の関係を示します（これらの例では、CC*i* P = 0、CC*i* NP = 0、MOE = 1、CC*i* E = 1、および CC*i* NE = 1）。

**図 73. デッドタイムが挿入された相補出力**

**図 74. 負のパルスより遅延が大きいデッドタイム波形**

**図 75. 正のパルスより遅延が大きいデッドタイム波形**

デッドタイム遅延は、各チャネルで同じであり、TIM1_DTR レジスタの DTG ビットでプログラミングできます。遅延計算の詳細については、*セクション 17.7.31：デッドタイムレジスタ（TIM1_DTR）(209 ページ)* を参照してください。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### OC*i*REF から OC*i* または OC*i*N へのリダイレクト

出力モード（強制、出力比較、または PWM）では、対応する TIM1_CCER*i* レジスタの CC*i*E および CC*i*NE ビットを設定することによって、OC*i*REF を OC*i* または OC*i*N 出力にリダイレクトできます。これは、デッドタイム発生回路をバイパスして、特定の波形（PWM や静的アクティブレベルなど）を 1 つの出力に送信し、相補出力をインアクティブレベルのままにできることを意味します。他の例としては、両方の出力をインアクティブレベルにしたり、両方の出力をアクティブなデッドタイム付き相補出力にすることができます。

*注：* ***OCiN のみが有効なときには（CCiE=0、CCiNE=1）、相補されず、OCiREF がハイになるとアクティブになります。たとえば、CCiNP=0 の場合は、OCiN=OCiREF です。一方、OCi と OCiN の両方が有効なときには（CCiE=CCiNE=1）、OCi は OCiREF がハイになるとアクティブになり、OCiN は OCiREF がローのときに相補され、アクティブになります。***

### モータ制御用 6 ステップ PWM の生成

チャネルで相補出力が使用されているときには、OC*i* M、CC*i* E、および CC*i* NE ビットでプリロードビットが使用できます。プリロードビットは、転流イベント（COM）でアクティブビットに転送されます。これにより、次のステップの設定をあらかじめプログラミングして、すべてのチャネルの設定を同時に変更することができます。COM イベントは、TIM1_EGR レジスタの COMG ビットをセットすることによってソフトウェアによって、またはハードウェアによって（TRGI の立ち上がりエッジで）生成することができます。

COM イベントが発生すると、フラグがセットされ（TIM1_SR レジスタの COMIF ビット）、割り込みを生成できます（TIM1_IER レジスタの COMIE ビットがセットされている場合）。

*図 76* に、COM イベントが発生したときの OC*i* および OC*i* N 出力の動作を、3 種類の異なるプログラミング設定の例で示します。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 76. 6 ステップ生成、COM の例（OSSR=1）

## 17.5.8 ブレーク機能の使用

ブレーク機能は、しばしばモータ制御に使用されます。ブレーク機能を使用すると、出力イネーブル信号とインアクティブレベルは、追加の制御ビット（TIM1_BKR レジスタの MOE、OSSR、および OSSI ビット）に応じて変更されます。

リセットが終了すると、ブレーク回路は無効になり、MOE ビットはローになります。ブレーク機能は、TIM1_BKR レジスタの BKE ビットをセットすることによって有効になります。ブレーク入力の極性は、同じレジスタの BKP ビットを設定することによって選択できます。BKE と BKP は、同時に変更できます。

MOE の立ち下がりエッジは非同期のことがあるので、実際の信号（出力に作用する）と同期制御ビット（TIM1_BKR レジスタからアクセス）の間に、再同期回路が挿入されています。このため、非同期信号と同期信号の間に若干の遅延が発生します。たとえば、MOE がローになった後で 1 が書き込まれた場合、MOE を正しく読み出すためには、遅延（ダミー命令）を挿入する必要があります。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ブレークが発生すると（ブレーク入力で選択されたレベル）、

- MOE　ビットは非同期にクリアされ、出力は、インアクティブ状態、アイドル状態、またはリセット状態（OSSI ビットで選択）になります。これは、MCU オシレータがオフの場合も同様です。
- 各出力チャネルは、MOE=0 になると、TIM1_OISR レジスタの OIS*i* ビットでプログラムされたレベルに駆動されます。OSSI=0 の場合、タイマはイネーブル出力を解除し、そうでない場合、イネーブル出力はハイのままです。
- 相補出力が実装されているときには、
  - 出力は、まず、インアクティブ状態に置かれます（極性に依存します）。これは、タイマにクロックが供給されていない場合でも機能するように、非同期に行われます。
  - タイマクロックが供給されている場合、デッドタイム後に OIS*i* および OIS*i* N ビットでプログラミングされたレベルで出力を駆動するために、デッドタイム発生回路が再起動されます。この場合も、OC*i* と OC*i* N をともにアクティブレベルに駆動することはできません。MOE の再同期により、デッドタイム時間が通常より少し長くなることに注意してください（約 2 CK_TIM クロックサイクル）。
- ブレーク状態フラグ（TIM1_SR1 レジスタの BIF ビット）がセットされます。TIM1_IER レジスタの BIE ビットがセットされている場合は、割り込みを生成できます。
- TIM1_BKR レジスタの AOE ビットがセットされている場合、MOE ビットは次の UEV で再び自動的にセットされます。これを使用して、レギュレーションを行うことができます。そうでない場合、MOE ビットは、再び 1 が書き込まれるまでローのままです。この場合、セキュリティ目的で使用でき、パワー駆動回路、温度センサ、またはセキュリティコンポーネントからのアラームにブレーク入力を接続できます。

*注：* ***ブレーク入力は、信号レベルに対して作用します。このため、ブレーク入力がアクティブな間は、MOE ビットをセットできません（自動的にも、ソフトウェアによっても）。この間、ステータスフラグ BIF をクリアできません。***

ブレークは、プログラム可能な極性を持つブレーク入力（BKIN）によって生成でき、TIM 1 _BKR レジスタの BKE ビットをセットまたはリセットすることによって、有効または無効にできます。

ブレーク入力と出力管理のほかに、アプリケーションに対する安全策として、ブレーク回路内で書き込み保護が施されています。いくつかのパラメータの設定（無効なときの OC*i* の極性と状態、OC*i*M の設定、ブレークイネーブル、および極性）を凍結することができます。TIM1_BKR レジスタの LOCK ビットを使用して、3 つの保護レベルを選択できます。LOCK ビットは、MCU リセット後に 1 回だけ書き込むことができます。

*図 77* に、ブレークに対する出力の動作例を示します。

**図 77.　ブレークに対する出力の動作（相補出力なしのチャネル）**

*図 78* に、ブレークに対する相補出力（TIM1 のみ）の動作の例を示します。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 78. ブレークに対する出力の動作（TIM1 相補出力）

この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 17.5.9 外部イベント時の OC*i*REF 信号のクリア

ETRF でハイレベルが検出されたときに、特定のチャネルの OC*i*REF 信号をクリアできます（TIM1_CCMR*i* レジスタの OC*i*CE =1 の場合、チャネルあたり 1 つのイネーブルビット）。OC*i*REF 信号は、次の UEV が発生するまで、ローのままです。この機能は、出力比較モードと PWM モードでのみ使用できます。強制モードでは動作しません。

OC*i*REF 信号をコンパレータの出力に接続して、外部トリガを以下のように設定することによって、電流処理に使用できます。

1. TIM 1 _ETR レジスタの ETPS[1:0] ビットを 00 にセットすることによって、外部トリガプリスケーラをオフにします。
2. TIM1_ETR レジスタの ECE ビットを 0 にセットすることによって、外部クロックモード 2 を無効にします。
3. 外部トリガの極性（ETP）と外部トリガフィルタ（ETF）を必要に応じて設定します。

*図 47：外部トリガ入力のブロック図* を参照してください。

*図 79* に、イネーブルビット OC*i*CE の両方の値について、ETRF 入力がハイになったときの OC*i*REF 信号の動作を示します。この例では、タイマは PWM モードにプログラミングされています。

**図 79. ETR のアクティブ化**

この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 17.5.10 エンコーダインタフェースモード

エンコーダインタフェースモードは、通常、モータ制御に使用されます。このモードは、以下のように書き込むことによって選択できます。

- カウンタが TI2 のエッジでのみカウントする場合、TIM1_SMCR レジスタの SMS = 001。
- カウンタが TI1 のエッジでのみカウントする場合、SMS = 010。
- カウンタが TI1 と TI2 の両方のエッジでカウントする場合、SMS = 011。

TIM1_CCER1 レジスタの CC1P および CC2P ビットをプログラミングすることによって、TI1 と TI2 の極性を選択します。必要なときには、入力フィルタもプログラミングできます。

2 つの入力 TI1 と TI2 は、インクリメンタルエンコーダとのインタフェースに使用されます（*表 37* を参照）。カウンタが有効な場合（TIM1_CR1 レジスタの CEN ビットが 1 にセットされているとき）、TI1FP1 または TI2FP2 の有効な遷移ごとにクロックされます（*図 64: TIM 1 チャネル 1 の入力ステージ* を参照）。2 つの入力（TI1 と TI2）の遷移シーケンスが評価されて、カウントパルスと方向信号を生成します。シーケンスに応じて、カウンタはカウントアップまたはカウントダウンし、TIM1_CR1 レジスタの DIR ビットがハードウェアによって変更されます。TI1 または TI2 のどちらかからの入力に基づいて、遷移ごとに DIR ビットが計算されます。これは、カウンタが TI1、TI2、またはその両方でパルスをカウントしているかに関係ありません。

エンコーダインタフェースモードは、方向選択を含む外部クロックとして動作します。カウンタは、0 と TIM1_ARR レジスタの自動再ロード値の間で連続的にカウントします（方向に応じて、0 から ARR まで、または ARR から 0 まで）。TIM1_ARR は、開始前に設定されなければなりません。このモードでは、キャプチャ、比較、プリスケーラ、およびトリガ出力機能は、通常動作を続けます。エンコーダモードと外部クロックモード 2 は互換性がないので、同時に選択することはできません。

エンコーダインタフェースモードでは、カウンタはインクリメンタルエンコーダの速度と方向に応じて自動的に変更されます。したがって、カウンタの内容は、常にエンコーダの位置を表します。カウンタの方向は、接続されているセンサの回転方向に対応します。*表 37* に、TI1 と TI2 が同時に切り替わらない前提で、カウント方向とエンコーダ信号の可能な組み合わせを示します。

**表 37. カウント方向とエンコーダ信号**

| アクティブエッジ | 他方の信号のレベル（TI2 に対する TI1FP1、TI1 に対する TI2FP2） | TI1FP1 信号 | | TI2FP2 信号 | |
|---|---|---|---|---|---|
| | | 立ち上がり | 立ち下がり | 立ち上がり | 立ち下がり |
| TI1 のみカウント | ハイ | ダウン | アップ | カウントしない | カウントしない |
| | ロー | アップ | ダウン | カウントしない | カウントしない |
| TI2 のみカウント | ハイ | カウントしない | カウントしない | アップ | ダウン |
| | ロー | カウントしない | カウントしない | ダウン | アップ |
| TI1 と TI2 の両方をカウント | ハイ | ダウン | アップ | アップ | ダウン |
| | ロー | アップ | ダウン | ダウン | アップ |

外部インクリメンタルエンコーダは、外部にインタフェースロジックなしに、MCU に直接接続できます。ただし、エンコーダの差分出力をデジタル信号に変換するために、通常、コンパレータが使用されます。これにより、耐ノイズ性が大幅に向上します。機械的なゼロ位置を示す 3 番目のエンコーダ出力は、外部割り込み入力に接続して、カウンタのリセットをトリガできます。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

*図 80* に、カウント信号の生成と方向制御を含むカウンタの動作例を示します。また、両方のエッジが選択されているときの入力ジッタの補正方法も示します。この状況は、センサの位置が一方のスイッチングポイントの近くにあるときに生じることがあります。下の例では、以下のような設定となっています。

- CC1S=01（TIM1_CCMR1 レジスタ、IC1 は TI1 に配置）
- CC2S=01（TIM1_CCMR2 レジスタ、IC2 は TI2 に配置）
- CC1P=0 （TIM1_CCER1 レジスタ、IC1 非反転、IC1=TI1）
- CC2P=0 （TIM1_CCER2 レジスタ、IC2 非反転、IC2=TI2）
- SMS=011（TIM1_SMCR レジスタ、両方の入力が立ち上がりと立ち下がりの両エッジでアクティブ）
- CEN=1（TIM1_CR1 レジスタ、カウンタ有効）

**図 80. エンコーダインタフェースモードにおけるカウンタの動作例**

*図 81* は、IC1 の極性を反転したときのカウンタの動作例を示しています（*図 80* と同じ設定ですが、CC1P=1 である点が異なります）。

**図 81. IC1 の極性を反転したエンコーダインタフェースモードの例**

この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

タイマがエンコーダインタフェースモードに設定されている場合、タイマはセンサの現在位置に関する情報を提供します。キャプチャモードに設定された 2 番目のタイマを使用して、2 つのエンコーダイベントの時間差を測定することによって、速度、加速、減速などの動的な情報を得ることができます。機械的なゼロ位置を示すエンコーダの出力をこの目的に使用できます。2 つのイベントの時間差に応じて、カウンタを定期的に読み出すこともできます。これは、3 番目の入力キャプチャレジスタが使用可能な場合、これにカウンタ値をラッチすることによって行うことができます。この場合、キャプチャ信号は周期的でなければならず、別のタイマによって生成できます。

## 17.6 TIM1 割り込み

TIM1 には 8 つの割り込みリクエストソースがあり、2 つの割り込みベクタに配置されています。

- ブレーク割り込み
- トリガ割り込み
- 転流割り込み
- キャプチャ／比較 4 割り込み
- キャプチャ／比較 3 割り込み
- キャプチャ／比較 2 割り込み
- キャプチャ／比較 1 割り込み
- 更新割り込み（例：オーバーフロー、アンダーフロー、カウンタ初期化）

使用されている各割り込みチャネルに対して割り込み機能を使用するには、TIM1_IER レジスタの必要な割り込みイネーブルビット（BIE、TIE、COMIE、CC*i*IE、および UIE）をセットして、割り込みリクエストを有効にします。

TIM1_EGR レジスタの対応するビットを使用して、ソフトウェアによってさまざまな割り込みソースを生成することもできます。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

## 17.7 TIM1 レジスタ

### 17.7.1 制御レジスタ 1（TIM1_CR1）

アドレスオフセット：0x00

リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| ARPE | CMS[1:0] | | DIR | OPM | URS | UDIS | CEN |
| rw | rw | rw | rw | rw | rw | rw | rw |

ビット 7 **ARPE**：自動再ロードプリロードイネーブル

0：TIM1_ARR レジスタは、プリロードレジスタを通じてバッファされません。直接書き込むことができます。

1：TIM1_ARR レジスタは、プリロードレジスタを通じてバッファされます。

ビット 6:5 **CMS[1:0]**：センターアラインモード選択

00：エッジアラインモード。カウンタは、方向ビット（DIR）に応じて、カウントアップまたはカウントダウンします。

01：センターアラインモード 1。カウンタは、カウントアップとカウントダウンを交互に行います。出力に設定されたチャネル（TIM1_CCMR*i* レジスタの CC*i*S = 00）の出力比較割り込みフラグは、カウンタがカウントダウンしているときのみセットされます。

10：センターアラインモード 2。カウンタは、カウントアップとカウントダウンを交互に行います。出力に設定されたチャネル（CCMR*i* レジスタの CC*i*S = 00）の出力比較割り込みフラグは、カウンタがカウントアップしているときのみセットされます。

11：センターアラインモード 3。カウンタは、カウントアップとカウントダウンを交互に行います。出力に設定されたチャネル（TIM1_CCMR*i* レジスタの CC*i*S = 00）の出力比較割り込みフラグは、カウンタがカウントアップおよびカウントダウンしているときにセットされます。

*注：　カウンタが有効（CEN=1）なときに、エッジアラインモードからセンターアラインモードに切り替えることはできません。*

*センターアラインモードでは、エンコーダモード（TIM1_SMCR レジスタの SMS = 001、010、または 011）を無効にする必要があります。*

ビット 4 **DIR**：方向

0：カウンタはアップカウンタとして使用されます。

1：カウンタはダウンカウンタとして使用されます。

*注：　このビットは、タイマがセンターアラインモードまたはエンコーダモードに設定されているときには読み出し専用です。*

ビット 3 **OPM**：ワンパルスモード

0：カウンタは更新イベントで停止しません。

1：カウンタは次の更新イベントでカウントを停止します（CEN ビットをクリアします）。

ビット 2 **URS**：更新リクエストソース

0：UDIS ビットによって有効にされている場合、以下のイベントのいずれかが発生すると、UIF ビットがセットされ、更新割り込みリクエストが送信されます。

- レジスタが更新されたとき（カウンタオーバーフロー／アンダーフロー）
- UG ビットがソフトウェアによってセットされたとき
- クロック／トリガコントローラを通じて更新イベントが生成されたとき

1：UDIS ビットによって有効にされている場合、レジスタが更新されたときにのみ（カウンタオーバーフロー／アンダーフロー）、UIF ビットがセットされ、更新割り込みリクエストが送信されます。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 1 **UDIS**：更新ディセーブル

0：カウンタオーバーフローが発生するか、ソフトウェア更新が生成されるか、またはクロック／トリガモードコントローラによってハードウェアリセットが生成されると、UEV が生成されます。バッファを持つレジスタにはプリロード値がロードされます。

1：UEV は生成されず、シャドウレジスタは値を維持します（ARR、PSC、CCR*i*）。カウンタとプリスケーラは、UG ビットがセットされた場合、または、クロック／トリガモードコントローラからハードウェアリセットを受信した場合に再初期化されます。

ビット 0 **CEN**：カウンタイネーブル

0：カウンタは無効です。

1：カウンタは有効です。

*注： 外部クロック、トリガゲートモード、およびエンコーダモードは、CEN ビットが事前にソフトウェアによってセットされている場合のみ動作します。ただし、トリガモードでは、ハードウェアによって自動的に CEN ビットをセットできます。*



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 17.7.2 制御レジスタ 2（TIM1_CR2）

アドレスオフセット：0x01

リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| 予約済み | MMS[2:0] | | | 予約済み | COMS | 予約済み | CCPC |
| | rw | rw | rw | | rw | | rw |

ビット 7 **予約済み**

ビット 6：4 **MMS[2:0]**：マスタモード選択

これらのビットは、同期をとるためにマスタモードで ADC や 他のタイマに送信される情報（TRGO）を選択します。組み合わせは、次のとおりです。

000：リセット - TIM1_EGR レジスタの UG ビットがトリガ出力（TRGO）として使用されます。トリガ入力によってリセットが生成された場合（クロック／トリガモードコントローラがリセットモードに設定されているとき）、TRGO 信号は実際のリセットから遅れて発生します。

001：イネーブル - カウンタイネーブル信号がトリガ出力（TRGO）として使用されます。複数のタイマや ADC を開始して、スレーブタイマや ADC が有効な時間枠を制御するために使用されます。カウンタイネーブル信号は、トリガゲートモードに設定されているとき、CEN 制御ビットとトリガ入力との論理和（OR）によって生成されます。カウンタイネーブル信号がトリガ入力によって制御されているときには、マスタ／スレーブモードが選択されている場合を除き、TRGO に遅延が存在します（TIM1_SMCR レジスタの MSM ビットの説明を参照してください）。

010：更新 - 更新イベントがトリガ出力（TRGO）として選択されます。

011：比較パルス（MATCH1）- キャプチャまたは比較一致が発生すると（TRGO）、CC1F フラグがセットされるとき（フラグがすでにハイの場合でも）、トリガ出力は正のパルスを送信します。

100：比較 - OC1REF 信号がトリガ出力（TRGO）として使用されます。

101：比較 - OC2REF 信号がトリガ出力（TRGO）として使用されます。

110：比較 - OC3REF 信号がトリガ出力（TRGO）として使用されます。

111：比較 - OC4REF 信号がトリガ出力（TRGO）として使用されます。

ビット 3 予約済み、クリア状態を保つ必要があります。

ビット 2 **COMS**：キャプチャ／比較制御更新選択

0：キャプチャ／比較制御ビットがプリロードされるときには（CCPC=1）、COMG ビットをセットすることによって更新されます。

1：キャプチャ／比較制御ビットがプリロードされるときには（CCPC=1）、COMG ビットをセットすることによって、または、TRGI の立ち上がりエッジで更新されます。

***注：　このビットは、相補出力を持つチャネルでのみ機能します。***

ビット 1 予約済み。ハードウェアによって 0 に固定されています。

ビット 0 **CCPC**：キャプチャ／比較プリロード制御

0：TIM1_CCER*i* レジスタの CC*i*E、CC*i*NE、CC*i*P、および CC*i*NP ビットと、TIM1_CCMR*i* レジスタの OC*i*M ビットはプリロードされません。

1：CC*i*E、CC*i*NE、CC*i*P、CC*i*NP、および OC*i*M ビットは、書き込み終了後にプリロードされ、TIM1_EGR レジスタの COMG ビットがセットされたときのみ更新されます。

***注：　このビットは、相補出力を持つチャネルでのみ機能します。***



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 17.7.3 スレーブモード制御レジスタ（TIM1_SMCR）

アドレスオフセット：0x02

リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| MSM | TS[2:0] | | | 予約済み | SMS[2:0] | | |
| rw | rw | rw | rw | | rw | rw | rw |

ビット 7 **MSM**：マスタ／スレーブモード

0：影響なし。

1：イベントがトリガ入力（TRGI）に与える効果は、TIM1 と別のタイマとの完全な同期（TRGO を通じて）を可能にするために遅延されます。

ビット 6：4 **TS[2:0]**：トリガ選択

このビットフィールドは、カウンタの同期に使用されるトリガ入力（TRGI）を選択します。

000：内部トリガ ITR0 は TIM6 TRGO に接続されます。

001：予約済み

010：内部トリガ ITR2 は TIM5 TRGO に接続されます。

011：予約済み

100：TI1 エッジ検出回路（TI1F_ED）

101：フィルタタイマ入力 1（TI1FP1）

110：フィルタタイマ入力 2（TI2FP2）

111：外部トリガ入力（ETRF）

*注： 遷移時の誤ったエッジ検出を避けるために、これらのビットは、使用されていないとき（SMS=000 のときなど）にのみ変更しなければなりません。*

ビット 3 予約済み

ビット 2：0 **SMS[2:0]**：クロック／トリガ／スレーブモード選択

外部信号が選択されると、トリガ信号（TRGI）のアクティブエッジが、外部入力で選択された極性にリンクされます（入力制御レジスタおよび制御レジスタの説明を参照）。

000：クロック／トリガコントローラは無効です。CEN = 1 の場合、プリスケーラは内部クロックによって直接クロック供給されます。

001：エンコーダモード 1 - カウンタは、TI1FP1 のレベルに応じて、TI2FP2 のエッジでカウントアップまたはカウントダウンします。

010：エンコーダモード 2 - カウンタは、TI2FP2 のレベルに応じて、TI1FP1 のエッジでカウントアップまたはカウントダウンします。

011：エンコーダモード 3 - カウンタは、他方の入力のレベルに応じて、TI1FP1 と TI2FP2 の両方のエッジでカウントアップまたはカウントダウンします。

100：リセットモード - 選択されたトリガ信号（TRGI）の立ち上がりエッジで、カウンタを再初期化し、レジスタの更新を生成します。

101：トリガゲートモード - カウンタクロックは、トリガ信号（TRGI）がハイのときに有効になります。トリガがローになると、カウンタは停止します（リセットはされません）。カウンタの開始と停止の両方が制御されます。

110：トリガ標準モード - カウンタは、トリガ入力（TRGI）の立ち上がりエッジで開始します（リセットはされません）。カウンタの開始のみが制御されます。

111：外部クロックモード 1 - 選択されたトリガ（TRGI）の立ち上がりエッジで、カウンタにクロックが供給されます。

*注： トリガ入力として TI1F_ED が選択されている場合（TS=100）、トリガゲートモードを使用することはできません。TI1F_ED は TI1F の変化ごとに 1 パルスを出力しますが、トリガゲートモードはトリガ信号のレベルをチェックします。*



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 17.7.4 外部トリガレジスタ（TIM1_ETR）

アドレスオフセット：0x03

リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| ETP | ECE | ETPS[1:0] | | ETF[3:0] | | | |
| rw | rw | rw | rw | rw | rw | rw | rw |

ビット 7 **ETP**：外部トリガ極性

このビットは、ETR と $\overline{\text{ETR}}$ のいずれがトリガ動作に使用されるかを選択します。

0：ETR は反転されず、ハイレベルまたは立ち上がりエッジでアクティブです。

1：ETR は反転され、ローレベルまたは立ち下がりエッジでアクティブです。

ビット 6 **ECE**：外部クロックイネーブル

このビットは、外部クロックモード 2 を有効にします。

0：外部クロックモード 2 は無効です。

1：外部クロックモード 2 は有効です。カウンタは、ETRF 信号のアクティブエッジによってクロック供給されます。

*注： ECE ビットをセットすると、TRGI が ETRF に接続された状態で外部クロックモード 1 を選択することと同じ効果があります（TIM1_SMCR レジスタの SMS=111、TS=111）。*

*トリガ標準モード、トリガリセットモード、およびトリガゲートモードでは、外部クロックモード 2 を同時に使用することが可能です。ただし、これらの場合、TRGI を ETRF に接続することはできません（TIM1_SMCR レジスタの TS ビットを 111 にしないでください）。*

*外部クロックモード 1 と外部クロックモード 2 が同時に有効な場合、外部クロック入力は ETRF です。*

ビット 5：4 **ETPS**：外部トリガプリスケーラ

ETRP の周波数は、最大でも $f_{MASTER}$ 周波数の 1/4 でなければなりません。プリスケーラを有効にすると、ETRP 周波数を低減できます。これは、高速な外部クロックを入力するときに役立ちます。

00：プリスケーラオフ

01：ETRP 周波数は 2 分周されます。

10：ETRP 周波数は 4 分周されます。

11：ETRP 周波数は 8 分周されます。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 3：0 **ETF**：外部トリガフィルタ

このビットフィールドは、ETRP 信号のサンプリングに使用される周波数と、それに適用されるデジタルフィルタの長さを定義します。デジタルフィルタはイベントカウンタで構成され、出力に有効な変化をもたらすには N 個のイベント発生が必要です。

0000： フィルタなし、サンプリングは $f_{MASTER}$ で行われます。

0001： $f_{SAMPLING}=f_{MASTER}$、N = 2

0010： $f_{SAMPLING}=f_{MASTER}$、N = 4

0011： $f_{SAMPLING}=f_{MASTER}$、N = 8

0100： $f_{SAMPLING}=f_{MASTER}/2$、N = 6

0101： $f_{SAMPLING}=f_{MASTER}/2$、N = 8

0110： $f_{SAMPLING}=f_{MASTER}/4$、N = 6

0111： $f_{SAMPLING}=f_{MASTER}/4$、N = 8

1000： $f_{SAMPLING}=f_{MASTER}/8$、N = 6

1001： $f_{SAMPLING}=f_{MASTER}/8$、N = 8

1010： $f_{SAMPLING}=f_{MASTER}/16$、N = 5

1011： $f_{SAMPLING}=f_{MASTER}/16$、N = 6

1100： $f_{SAMPLING}=f_{MASTER}/16$、N = 8

1101： $f_{SAMPLING}=f_{MASTER}/32$、N = 5

1110： $f_{SAMPLING}=f_{MASTER}/32$、N = 6

1111： $f_{SAMPLING}=f_{MASTER}/32$、N = 8



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 17.7.5 割り込みイネーブルレジスタ（TIM1_IER）

アドレスオフセット：0x04

リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| BIE | TIE | COMIE | CC4IE | CC3IE | CC2IE | CC1IE | UIE |
| rw | rw | rw | rw | rw | rw | rw | rw |

ビット 7 **BIE**：ブレーク割り込みイネーブル
0：ブレーク割り込みは無効です。
1：ブレーク割り込みは有効です。

ビット 6 **TIE**：トリガ割り込みイネーブル
0：トリガ割り込みは無効です。
1：トリガ割り込みは有効です。

ビット 5 **COMIE**：転流割り込みイネーブル
0：転流割り込みは無効です。
1：転流割り込みは有効です。

ビット 4 **CC4IE**：キャプチャ／比較 4 割り込みイネーブル
0：CC4 割り込みは無効です。
1：CC4 割り込みは有効です。

ビット 3 **CC3IE**：キャプチャ／比較 3 割り込みイネーブル
0：CC3 割り込みは無効です。
1：CC3 割り込みは有効です。

ビット 2 **CC2IE**：キャプチャ／比較 2 割り込みイネーブル
0：CC2 割り込みは無効です。
1：CC2 割り込みは有効です。

ビット 1 **CC1IE**：キャプチャ／比較 1 割り込みイネーブル
0：CC1 割り込みは無効です。
1：CC1 割り込みは有効です。

ビット 0 **UIE**：更新割り込みイネーブル
0：更新割り込みは無効です。
1：更新割り込みは有効です。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 17.7.6 ステータスレジスタ 1（TIM1_SR1）

アドレスオフセット：0x05

リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| BIF | TIF | COMIF | CC4IF | CC3IF | CC2IF | CC1IF | UIF |
| rc_w0 | rc_w0 | rc_w0 | rc_w0 | rc_w0 | rc_w0 | rc_w0 | rc_w0 |

ビット 7 **BIF**：ブレーク割り込みフラグ

このフラグは、ブレーク入力がアクティブになると、ハードウェアによってセットされます。ブレーク入力がアクティブでない場合、ソフトウェアによってクリアできます。

0：ブレークイベントは発生していません。

1：ブレーク入力でアクティブレベルが検出されました。

ビット 6 **TIF**：トリガ割り込みフラグ

このフラグは、トリガイベント（TRGI 信号でのアクティブエッジ検出、ゲートモードが選択されている場合は両方のエッジ検出）時にハードウェアによってセットされます。ソフトウェアによってクリアされます。

0：トリガイベントは発生していません。

1：トリガ割り込みがペンディング中です。

ビット 5 **COMIF**：転流割り込みフラグ

このフラグは、COM 時（キャプチャ／比較制御ビット - CC*i*E、CC*i*NE、OC*i*M - が更新されたとき）、ハードウェアによってセットされます。ソフトウェアによってクリアされます。

0：COM イベントは発生していません。

1：COM 割り込みがペンディング中です。

ビット 4 **CC4IF**：キャプチャ／比較 4 割り込みフラグ

CC1IF の説明を参照してください。

ビット 3 **CC3IF**：キャプチャ／比較 3 割り込みフラグ

CC1IF の説明を参照してください。

ビット 2 **CC2IF**：キャプチャ／比較 2 割り込みフラグ

CC1IF の説明を参照してください。

ビット 1 **CC1IF**：キャプチャ／比較 1 割り込みフラグ

***チャネル CC1 が出力として設定されている場合：***

このフラグは、カウンタが比較値と一致したときに、ハードウェアによってセットされますが、センターアラインモードでは例外もあります（TIM1_CR1 レジスタの CMS ビットの説明を参照）。ソフトウェアによってクリアされます。

0：一致なし。

1：カウンタレジスタ TIM1_CNT の内容が TIM1_CCR1 レジスタの内容と一致しました。

*注：* ***センターアラインモードでは、カウンタは、値が 0 のときはカウントアップし、値が ARR の値に等しいときはカウントダウンするとみなされます（0 から ARR-1 までカウントアップし、ARR から 1 までカウントダウンします）。この 2 つの値は、CMS ビットのすべての値についてフラグされません。ただし、CNT が ARR 値に達したとき、または比較値が自動プリロード値より大きいとき（CCR1>ARR）、CC1IF ビットがセットされます。***

***チャネル CC1 が入力として設定されている場合：***

このビットは、キャプチャ時にハードウェアによってセットされます。ソフトウェアによって、または TIM1_CCR1L レジスタを読み出すことによってクリアされます。

0：入力キャプチャは発生していません。

1：カウンタの値が TIM1_CCR1 レジスタにキャプチャされました（選択された極性に一致するエッジが IC1 で検出されました）。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 0 **UIF**：更新割り込みフラグ

このビットは、更新イベント時にハードウェアによってセットされます。ソフトウェアによってクリアされます。

0：更新は発生していません。

1：更新割り込みがペンディング中です。このビットは、レジスタが更新されたときにハードウェアによってセットされます。

- TIM1_CR1 レジスタの UDIS = 0 の場合、オーバーフローまたはアンダーフローが発生したとき。
- TIM1_CR1 レジスタの URS=0 かつ UDIS=0 の場合、TIM1_EGR レジスタの UG ビットを使用してソフトウェアによって CNT が再初期化されたとき。
- TIM1_CR1 レジスタの URS=0 かつ UDIS=0 の場合、CNT がトリガイベントによって再初期化されたとき（TIM1_SMCR レジスタの説明を参照）。

### 17.7.7 ステータスレジスタ 2（TIM1_SR2）

アドレスオフセット：0x06

リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| 予約済み | | | CC4OF | CC3OF | CC2OF | CC1OF | 予約済み |
| | | | rc_w0 | rc_w0 | rc_w0 | rc_w0 | |

ビット 7：5 予約済み、クリアされた状態に保つ必要があります。

ビット 4 **CC4OF**：キャプチャ／比較 4 オーバーキャプチャフラグ

CC1OF の説明を参照してください。

ビット 3 **CC3OF**：キャプチャ／比較 3 オーバーキャプチャフラグ

CC1OF の説明を参照してください。

ビット 2 **CC2OF**：キャプチャ／比較 2 オーバーキャプチャフラグ

CC1OF の説明を参照してください。

ビット 1 **CC1OF**：キャプチャ／比較 1 オーバーキャプチャフラグ

このフラグは、対応するチャネルが入力キャプチャモードに設定されているときのみ、ハードウェアによってセットされます。0 を書き込むことによってソフトウェアによってクリアされます。

0：オーバーキャプチャは検出されていません。

1：CC1IF フラグがすでにセットされているときに、カウンタの値が TIM1_CCR1 レジスタにキャプチャされました。

ビット 0 予約済み、クリア状態を保つ必要があります。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 17.7.8 イベント生成レジスタ（TIM1_EGR）

アドレスオフセット：0x07

リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| BG | TG | COMG | CC4G | CC3G | CC2G | CC1G | UG |
| w | w | w | w | w | w | w | w |

ビット 7 **BG**：ブレーク生成

このビットは、イベントを生成するために、ソフトウェアによってセットされます。ハードウェアによって自動的にクリアされます。

0：影響なし。

1：ブレークイベントが生成されます。MOE ビットがクリアされ、BIF フラグがセットされます。BIE ビットによって有効にされている場合、割り込みが生成されます。

ビット 6 **TG**：トリガ生成

このビットは、イベントを生成するために、ソフトウェアによってセットされます。ハードウェアによって自動的にクリアされます。

0：影響なし。

1：TIM1_SR1 レジスタの TIF フラグがセットされます。TIE ビットによって有効にされている場合、割り込みが生成されます。

ビット 5 **COMG**：キャプチャ／比較制御更新生成

このビットは、ソフトウェアによってセットでき、ハードウェアによって自動的にクリアされます。

0：影響なし。

1：TIM1_CR2 レジスタの CCPC ビットがセットされると、CC*i*E、CC*i*NE CC*i*P、CC*i*NP、および OC*i*M ビットの更新が可能になります。

*注： このビットは、相補出力を持つチャネルでのみ機能します。*

ビット 4 **CC4G**：キャプチャ／比較 4 生成

CC1G の説明を参照してください。

ビット 3 **CC3G**：キャプチャ／比較 3 生成

CC1G の説明を参照してください。

ビット 2 **CC2G**：キャプチャ／比較 2 生成

CC1G の説明を参照してください。

ビット 1 **CC1G**：キャプチャ／比較 1 生成

このビットは、イベントを生成するために、ソフトウェアによってセットされます。ハードウェアによって自動的にクリアされます。

0：影響なし。

1：チャネル 1 でキャプチャ／比較イベントが生成されます。

***CC1 チャネルが出力モードに設定されている場合：***

CC1IF フラグがセットされ、対応する割り込みリクエストが送信されます（有効な場合）。

***CC1 チャネルが入力モードに設定されている場合：***

カウンタの現在値が TIM1_CCR1 レジスタにキャプチャされます。CC1IF フラグがセットされ、対応する割り込みリクエストが送信されます（有効な場合）。CC1IF フラグがすでにハイの場合、CC1OF フラグがセットされます。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 0 **UG**：更新生成

このビットは、ソフトウェアによってセットでき、ハードウェアによって自動的にクリアされます。

0：影響なし。

1：カウンタを再初期化し、レジスタの更新を生成します。プリスケーラカウンタもクリアされることに注意してください。センターアラインモードが選択されている場合、または DIR = 0（アップカウント）の場合、カウンタはクリアされます。そうでない場合、DIR = 1（ダウンカウント）の場合は自動再ロード値（TIM1_ARR）をとります。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 17.7.9 キャプチャ／比較モードレジスタ 1（TIM1_CCMR1）

アドレスオフセット：0x08

リセット値：0x00

このチャネルは、入力（キャプチャモード）または出力（比較モード）で使用できます。チャネルの方向は、CC1S ビットを設定することによって定義されます。このレジスタの他のビットはすべて、入力モードと出力モードで異なる機能を持ちます。特定のビットについて、OC*ii* は、チャネルが出力設定のときの機能を示し、IC*ii* はチャネルが入力設定のときの機能を示します。したがって、同じビットが入力ステージと出力ステージで異なる意味を持つことに注意する必要があります。

#### 出力に設定されたチャネル

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| OC1CE | OC1M[2:0] | | | OC1PE | OC1FE | CC1S[1:0] | |
| rw | rw | rw | rw | rw | rw | rw | rw |

ビット 7 **OC1CE**：出力比較 1 クリアイネーブル

このビットは、TIM1_ETR ピンでの外部イベントによるチャネル 1 出力比較信号（OC1REF）のクリアを可能にするために使用されます（*セクション 17.5.9（177 ページ）*を参照）。

0：OC1REF は、TIM1_ETR ピンから得られる ETRF 入力信号の影響を受けません。

1：OC1REF は、TIM1_ETR ピンから得られる ETRF 入力信号でハイレベルが検出されると、すぐにクリアされます。

ビット 6：4 **OC1M**：出力比較 1 モード

これらのビットは、OC1 が得られる出力基準信号 OC1REF の動作を定義します。OC1REF はアクティブハイですが、OC1 のアクティブレベルは CC1P ビットに依存します。

000：凍結 - 出力比較レジスタ TIM1_CCR1 とカウンタレジスタ TIM1_CNT との比較結果は出力に影響しません。

001：一致時にチャネル 1 をアクティブレベルにセット - カウンタレジスタ TIM1_CNT がキャプチャ／比較レジスタ 1（TIM1_CCR1）と一致すると、OC1REF 信号は強制的にハイになります。

010：一致時にチャネル 1 をインアクティブレベルにセット - カウンタレジスタ TIM1_CNT がキャプチャ／比較レジスタ 1（TIM1_CCR1）と一致すると、OC1REF 信号は強制的にローになります。

011：反転 - TIM1_CNT = TIM1_CCR1 のとき、OC1REF は反転します。

100：強制インアクティブレベル - OC1REF は強制的にローになります。

101：強制アクティブレベル - OC1REF は強制的にハイになります。

110：PWM モード 1 - カウントアップ時、チャネル 1 は、TIM 1 _CNT < TIM 1 _CCR1 の場合はアクティブに、そうでない場合はインアクティブになります。カウントダウン時、チャネル 1 は、TIM1_CNT > TIM1_CCR1 の場合はインアクティブ（OC1REF= 0）に、そうでない場合はアクティブ（OC1REF= 1）になります。

111：PWM モード 2 - カウントアップ時、チャネル 1 は、TIM 1 _CNT < TIM 1 _CCR1 の場合はインアクティブに、そうでない場合はアクティブになります。カウントダウン時、チャネル 1 は、TIM1_CNT > TIM1_CCR1 の場合はアクティブに、そうでない場合はインアクティブになります。

*注：* ***これらのビットは、LOCK レベル 3 がプログラムされていて（TIM1_BKR レジスタの LOCK ビット）、CC1S= 00（チャネルは出力に設定）の場合は、変更できなくなります。***

***PWM モード 1 または 2 では、OCiREF レベルは、比較結果が変化したとき、または出力比較モードが「凍結」モードから PWM モードに切り替わったときのみ、変化します（詳細については、PWM モード（167 ページ）を参照）。***

***相補出力を持つチャネルでは、このビットフィールドはプリロードされます。TIM1_CR2 レジスタの CCPC ビットがセットされた場合、OCM アクティブビットは、COM が生成されたときにのみプリロードから新しい値をとります。***



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 3 **OC1PE**：出力比較 1 プリロードイネーブル

0：TIM 1 _CCR1 のプリロードレジスタは無効です。TIM1_CCR1 はいつでも書き込みが可能です。新しい値はただちに有効になります。

1：TIM1_CCR1 のプリロードレジスタは有効です。読み出し／書き込み動作はプリロードレジスタに対して行われます。TIM1_CCR1 プリロード値は、UEV のたびにシャドウレジスタにロードされます。

*注： これらのビットは、LOCK レベル 3 がプログラムされていて（TIM1_BKR レジスタの LOCK ビット）、CC1S= 00（チャネルは出力に設定）の場合は、変更できなくなります。*

*正しい動作のためには、プリロードレジスタは、タイマが PWM モードのときに有効でなければなりません。これはワンパルスモードの場合（TIM1_CR1 レジスタの OPM ビットがセットされている場合）は、必須ではありません。*

ビット 2 **OC1FE**：出力比較 1 高速イネーブル

このビットは、トリガ入力のイベントから CC 出力への影響の伝播を加速するために使用されます。

0：CC1 の動作は、トリガがオンのときでも、通常、カウンタと CCR1 の値に依存します。トリガ入力のエッジ発生から CC1 が有効になるまでの最小遅延は、5 クロックサイクルです。

1：トリガ入力のアクティブエッジは、CC1 出力に対して、比較一致のように働きます。このような場合、OC は、比較結果に関係なく、比較レベルにセットされます。トリガ入力をサンプリングし、CC1 出力を有効にするまでの遅延は、3 クロックサイクルに短縮されます。OCFE は、チャネルが PWM1 または PWM2 モードに設定されている場合のみ機能します。

ビット 1：0 **CC1S[1:0]**：キャプチャ／比較 1 選択

このビットフィールドは、チャネルの方向（入力／出力）と、使用される入力を定義します。

00：CC1 チャネルは出力として設定されます。

01：CC1 チャネルは入力として設定され、IC1 は TI1FP1 にマップされます。

10：CC1 チャネルは入力として設定され、IC1 は TI2FP1 にマップされます。

11：CC1 チャネルは入力として設定され、IC1 は TRC にマップされます。このモードは、TS ビット（TIM1_SMCR レジスタ）を通じて内部トリガ入力が選択されている場合のみ機能します。

*注： CC1S ビットは、チャネルがオフ（TIM1_CCER1 レジスタの CC1E=0）のときのみ、書き込みができます。*



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

## 入力に設定されたチャネル

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| IC1F[3:0] | | | | IC1PSC[1:0] | | CC1S[1:0] | |
| rw | rw | rw | rw | rw | rw | rw | rw |

ビット 7：4 **IC1F[3:0]**：入力キャプチャ 1 フィルタ

このビットフィールドは、TI1 入力をサンプリングするために使用される周波数 $f_{SAMPLING}$ と、TI1 に適用されるデジタルフィルタの長さを定義します。デジタルフィルタはイベントカウンタで構成され、出力に有効な変化をもたらすには N 個のイベント発生が必要です。

0000：フィルタなし、$f_{SAMPLING}= f_{MASTER}$

0001：$f_{SAMPLING}=f_{MASTER}$、N = 2

0010：$f_{SAMPLING}=f_{MASTER}$、N = 4

0011：$f_{SAMPLING}=f_{MASTER}$、N = 8

0100：$f_{SAMPLING}=f_{MASTER}/2$、N = 6

0101：$f_{SAMPLING}=f_{MASTER}/2$、N = 8

0110：$f_{SAMPLING}=f_{MASTER}/4$、N = 6

0111：$f_{SAMPLING}=f_{MASTER}/4$、N = 8

1000：$f_{SAMPLING}=f_{MASTER}/8$、N = 6

1001：$f_{SAMPLING}=f_{MASTER}/8$、N = 8

1010：$f_{SAMPLING}=f_{MASTER}/16$、N = 5

1011：$f_{SAMPLING}=f_{MASTER}/16$、N = 6

1100：$f_{SAMPLING}=f_{MASTER}/16$、N = 8

1101：$f_{SAMPLING}=f_{MASTER}/32$、N = 5

1110：$f_{SAMPLING}=f_{MASTER}/32$、N = 6

1111：$f_{SAMPLING}=f_{MASTER}/32$、N = 8

*注： 相補出力を持つチャネルでも、このビットフィールドはプリロードされず、CCPC ビット（TIM1_CR2 レジスタ）の内容は考慮されません。*

ビット 3：2 **IC1PSC[1:0]**：入力キャプチャ 1 プリスケーラ

このビットフィールドは、CC1 入力（IC1）に作用するプリスケーラの分周比を定義します。プリスケーラは、CC1E=0（TIM1_CCER レジスタ）になるとリセットされます。

00：プリスケーラなし。キャプチャ入力でエッジが検出されるたびにキャプチャが行われます。

01：イベント 2 回ごとにキャプチャが行われます。

10：イベント 4 回ごとにキャプチャが行われます。

11：イベント 8 回ごとにキャプチャが行われます。

ビット 1：0 **CC1S[1:0]**：キャプチャ／比較 1 選択

このビットフィールドは、チャネルの方向（入力／出力）と、使用される入力を定義します。

00：CC1 チャネルは出力として設定されます。

01：CC1 チャネルは入力として設定され、IC1 は TI1FP1 にマップされます。

10：CC1 チャネルは入力として設定され、IC1 は TI2FP1 にマップされます。

11：CC1 チャネルは入力として設定され、IC1 は TRC にマップされます。このモードは、TS ビット（TIM1_SMCR レジスタ）を通じて内部トリガ入力が選択されている場合のみ機能します。

*注： CC1S ビットは、チャネルがオフ（TIM1_CCER1 レジスタの CC1E=0）のときのみ、書き込みができます。*



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 17.7.10 キャプチャ／比較モードレジスタ 2（TIM1_CCMR2）

アドレスオフセット：0x09

リセット値：0x00

#### 出力に設定されたチャネル

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| OC2CE | OC2M[2:0] | | | OC2PE | OC2FE | CC2S[1:0] | |
| rw | rw | rw | rw | rw | rw | rw | rw |

ビット 7 **OC2CE**：出力比較 2 クリアイネーブル

ビット 6：4 **OC2M(2:0]**：出力比較 2 モード

ビット 3 **OC2PE**：出力比較 2 プリロードイネーブル

ビット 2 **OC2FE**：出力比較 2 高速イネーブル

ビット 1：0 **CC2S[1:0]**：キャプチャ／比較 2 選択

このビットフィールドは、チャネルの方向（入力／出力）と、使用される入力を定義します。

00：CC2 チャネルは出力として設定されます。

01：CC2 チャネルは入力として設定され、IC2 は TI2FP2 にマップされます。

10：CC2 チャネルは入力として設定され、IC2 は TI1FP2 にマップされます。

11：予約済み

*注： CC2S ビットは、チャネルがオフのとき（TIM1_CCER1 レジスタの CC2E および CC2NE=0 であり、更新されたとき）にのみ書き込みができます。*

#### 入力に設定されたチャネル

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| IC2F[3:0] | | | | IC2PSC[1:0] | | CC2S[1:0] | |
| rw | rw | rw | rw | rw | rw | rw | rw |

ビット 7：4 **IC2F**：入力キャプチャ 2 フィルタ

ビット 3：2 **IC2PSC(1:0]**：入力キャプチャ 2 プリスケーラ

ビット 1：0 **CC2S[1:0]**：キャプチャ／比較 2 選択

このビットフィールドは、チャネルの方向（入力／出力）と、使用される入力を定義します。

00：CC2 チャネルは出力として設定されます。

01：CC2 チャネルは入力として設定され、IC2 は TI2FP2 にマップされます。

10：CC2 チャネルは入力として設定され、IC2 は TI1FP2 にマップされます。

11：CC2 チャネルは入力として設定され、IC2 は TRC にマップされます。このモードは、TS ビット（TIM1_SMCR レジスタ）を通じて内部トリガ入力が選択されている場合のみ機能します。

*注： CC2S ビットは、チャネルがオフのとき（TIM1_CCER1 レジスタの CC2E および CC2NE=0 であり、更新されたとき）にのみ書き込みができます。*



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 17.7.11 キャプチャ／比較モードレジスタ 3（TIM1_CCMR3）

アドレスオフセット：0x0A

リセット値：0x00

上記の CCMR1 レジスタの説明を参照してください。

#### 出力に設定されたチャネル

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| OC3CE | OC3M[2:0] | | | OC3PE | OC3FE | CC3S[1:0] | |
| rw | rw | rw | rw | rw | rw | rw | rw |

ビット 7 **OC3CE**：出力比較 3 クリアイネーブル

ビット 6：4 **OC3M[2:0]**：出力比較 3 モード

ビット 3 **OC3PE**：出力比較 3 プリロードイネーブル

ビット 2 **OC3FE**：出力比較 3 高速イネーブル

ビット 1：0 **CC3S[1:0]**：キャプチャ／比較 3 選択

このビットフィールドは、チャネルの方向（入力／出力）と、使用される入力を定義します。

00：CC3 チャネルは出力として設定されます。

01：CC3 チャネルは入力として設定され、IC3 は TI3FP3 にマップされます。

10：CC3 チャネルは入力として設定され、IC3 は TI4FP3 にマップされます。

11：予約済み

*注： **CC3S ビットは、チャネルがオフのとき（TIM1_CCER2 の CC3E および CC3NE=0 であり、更新されたとき）にのみ書き込みができます。***

#### 入力に設定されたチャネル

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| IC3F[3:0] | | | | IC3PSC[1:0] | | CC3S[1:0] | |
| | rw | rw | rw | rw | rw | rw | rw |

ビット 7：4 **IC3F**：入力キャプチャ 3 フィルタ

ビット 3：2 **IC3PSC[1:0]**：入力キャプチャ 3 プリスケーラ

ビット 1：0 **CC3S[1:0]**：キャプチャ／比較 3 選択

このビットフィールドは、チャネルの方向（入力／出力）と、使用される入力を定義します。

00：CC3 チャネルは出力として設定されます。

01：CC3 チャネルは入力として設定され、IC3 は TI3FP3 にマップされます。

10：CC3 チャネルは入力として設定され、IC3 は TI4FP3 にマップされます。

11：予約済み

*CC3S ビットは、チャネルがオフのとき（TIM1_CCER2 の CC3E および CC3NE=0 であり、更新されたとき）にのみ書き込みができます。*



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 17.7.12 キャプチャ／比較モードレジスタ 4（TIM1_CCMR4）

アドレスオフセット：0xB

リセット値：0x00

上記の CCMR1 レジスタの説明を参照してください。

#### 出力に設定されたチャネル

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| OC4CE | OC4M[2:0] | | | OC4PE | OC4FE | CC4S[1:0] | |
| rw | rw | rw | rw | rw | rw | rw | rw |

ビット 7 **OC4CE**：出力比較 4 クリアイネーブル

ビット 6：4 **OC4M[2:0]**：出力比較 4 モード

ビット 3 **OC4PE**：出力比較 4 プリロードイネーブル

ビット 2 **OC4FE**：出力比較 4 高速イネーブル

ビット 1：0 **CC4S[1:0]**：キャプチャ／比較 4 選択

このビットフィールドは、チャネルの方向（入力／出力）と、使用される入力を定義します。

00：CC4 チャネルは出力として設定されます。

01：CC4 チャネルは入力として設定され、IC4 は TI4FP4 にマップされます。

10：CC4 チャネルは入力として設定され、IC4 は TI3FP4 にマップされます。

11：予約済み

*注： CC4S ビットは、チャネルがオフのとき（TIM1_CCER2 レジスタの CC4E および CC4NE= 0 であり、更新されたとき）にのみ書き込みができます。*

#### 入力に設定されたチャネル

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| IC4F[3:0] | | | | IC4PSC[1:0] | | CC4S[1:0] | |
| rw | rw | rw | rw | rw | rw | rw | rw |

ビット 7：4 **IC4F**：入力キャプチャ 4 フィルタ

ビット 3：2 **IC4PSC[1:0]**：入力キャプチャ 4 プリスケーラ

ビット 1：0 **CC4S[1:0]**：キャプチャ／比較 4 選択

このビットフィールドは、チャネルの方向（入力／出力）と、使用される入力を定義します。

00：CC4 チャネルは出力として設定されます。

01：CC4 チャネルは入力として設定され、IC4 は TI4FP4 にマップされます。

10：CC4 チャネルは入力として設定され、IC4 は TI3FP4 にマップされます。

11：予約済み

*注： CC4S ビットは、チャネルがオフのとき（TIM1_CCER2 の CC4E および CC4NE=0 であり、更新されたとき）にのみ書き込みができます。*



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 17.7.13 キャプチャ／比較イネーブルレジスタ 1（TIM1_CCER1）

アドレスオフセット：0x0C

リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| CC2NP | CC2NE | CC2P | CC2E | CC1NP | CC1NE | CC1P | CC1E |
| rw | rw | rw | rw | rw | rw | rw | rw |

ビット 7 **CC2NP**：キャプチャ／比較 2 相補出力極性

CC1NP の説明を参照してください。

ビット 6 **CC2NE**：キャプチャ／比較 2 相補出力イネーブル

CC1NE の説明を参照してください。

ビット 5 **CC2P**：キャプチャ／比較 2 出力極性

CC1P の説明を参照してください。

ビット 4 **CC2E**：キャプチャ／比較 2 出力イネーブル

CC1E の説明を参照してください。

ビット 3 **CC1NP**：キャプチャ／比較 1 相補出力極性

0：OC1N はアクティブハイ。

1：OC1N はアクティブロー。

*注： このビットは、LOCK レベル 2 または 3 がプログラムされていて（TIM1_BKR レジスタの LOCK ビット）、CC1S=00 （チャネルは出力として設定）の場合、書き込みができなくなります。*

*相補出力を持つチャネルでは、このビットはプリロードされます。TIM1_CR2 レジスタの CCPC ビットがセットされた場合、CC1NP アクティブビットは、COM が生成されたときにのみ、プリロードから新しい値をとります。*

ビット 2 **CC1NE**：キャプチャ／比較 1 相補出力イネーブル

0：オフ - OC1N はアクティブではありません。OC1N のレベルは、MOE、OSSI、OSSR、OIS1、OIS1N、および CC1E ビットの組み合わせによって決まります。

1：オン - OC1N 信号は、MOE、OSSI、OSSR、OIS1、OIS1N、および CC1E ビットに応じて、対応する出力ピンに出力されます。

*注： 相補出力を持つチャネルでは、このビットはプリロードされます。TIM1_CR2 レジスタの CCPC ビットがセットされた場合、CC1NE アクティブビットは、COM が生成されたときにのみ、プリロードビットから新しい値をとります。*

ビット 1 **CC1P**：キャプチャ／比較 1 出力極性

***CC1 チャネルが出力として設定されている場合：***

0：OC1 はアクティブハイです。

1：OC1 はアクティブローです。

***CC1 チャネルがトリガ機能のための入力として設定されている場合（図 64 を参照）***：

0：TI1F のハイレベルまたは立ち上がりエッジでトリガします。

1：TI1F のローレベルまたは立ち下がりエッジでトリガします。

***CC1 チャネルがキャプチャ機能のための入力として設定されている場合（図 64 を参照）***：

0：TI1F または TI2F の立ち上がりエッジでキャプチャします。

1：TI1F または TI2F の立ち下がりエッジでキャプチャします。

*注： このビットは、LOCK レベル 2 または 3 がプログラムされた場合（TIM1_BKR レジスタの LOCK ビット）、書き込みができなくなります。*

*相補出力を持つチャネルでは、このビットはプリロードされます。TIM1_CR2 レジスタの CCPC ビットがセットされた場合、CC1P アクティブビットは、COM が生成されたとき、プリロードビットから新しい値をとります。*



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 0 **CC1E**：キャプチャ／比較 1 出力イネーブル

***CC1 チャネルが出力として設定されている場合：***

0：オフ - OC1 はアクティブではありません。OC1 のレベルは、MOE、OSSI、OSSR、OIS1、OIS1N、および CC1NE ビットの組み合わせによって決まります。

1：オン - OC1 信号は、MOE、OSSI、OSSR、OIS1、OIS1N、および CC1NE ビットに応じて、対応する出力ピンに出力されます。

***CC1 チャネルが入力として設定されている場合：***

このビットは、入力キャプチャ／比較レジスタ 1（TIM1_CCR1）でカウンタ値のキャプチャが可能かどうかを決めます。

0：キャプチャは無効です。

1：キャプチャは有効です。

*注：* ***相補出力を持つチャネルでは、このビットはプリロードされます。TIM1_CR2 レジスタの CCPC ビットがセットされた場合、CC1E アクティブビットは、COM が生成されたときにのみ、プリロードから新しい値をとります。***



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 38. 相補型 OC*i* および OC*i*N チャネルのブレーク機能による出力制御[1]

| 制御ビット | | | | | 出力状態 | |
|---|---|---|---|---|---|---|
| MOE | OSSI | OSSR | CCiE | CCiNE | OCi | OCiN |
| 1 | x[2] | 0 | 0 | 0 | 出力無効<br>（タイマによって駆動されない） | 出力無効<br>（タイマによって駆動されない） |
| | | 0 | 0 | 1 | 出力無効<br>（タイマによって駆動されない） | OCiREF + 極性 OC*i*N = OCiREF xor CC*i*NP |
| | | 0 | 1 | 0 | OC*i*REF + 極性 OC*i* = OC*i*REF xor CC*i*P | 出力無効<br>（タイマによって駆動されない） |
| | | 0 | 1 | 1 | OC*i*REF + 極性 + デッドタイム | OC*i*REF に対して相補 (not OC*i*REF) + 極性 + デッドタイム |
| | | 1 | 0 | 0 | 出力無効<br>（タイマによって駆動されない） | 出力無効<br>（タイマによって駆動されない） |
| | | 1 | 0 | 1 | オフ状態<br>（インアクティブ状態で出力有効）<br>OC*i* = CC*i*P | OCiREF + 極性 OC*i*N = OC*i*REF xor CC*i*NP |
| | | 1 | 1 | 0 | OCiREF + 極性 OC*i* = OC*i*REF xor CC*i*P | オフ状態<br>（インアクティブ状態で出力有効）<br>OC*i*N = CCiNP |
| | | 1 | 1 | 1 | OCiREF + 極性 + デッドタイム | OC*i*REF に対して相補 (not OC*i*REF) + 極性 + デッドタイム |
| 0 | 0 | x[2] | x | x | 出力無効（タイマによって駆動されない） | |
| | 0 | | | | | |
| | 0 | | | | | |
| | 0 | | | | | |
| | 1 | | | | オフ状態（インアクティブ状態で出力有効）<br>非同期：OC*i* = CC*i*P および OC*i*N = CC*i*NP<br>クロックが存在する場合：デッドタイム後、OC*i* = OIS*i* および OC*i*N = OIS*i*N。ただし、OIS*i* と OIS*i*N はアクティブ状態の OC*i* と OC*i*N には対応しないと仮定します。 | |
| | 1 | | | | | |
| | 1 | | | | | |
| | 1 | | | | | |

1. チャネルが使用されているときは、CCiE = CCNiE = 0 とセットしないでください。チャネルが使用されていないときに、CCiP = CCiNP = OISi = OISiN = 0 とプログラムしてください。

2. 無視

*注：* ***OCi チャネルに接続されている外部 I/O ピンの状態は、OCi チャネルの状態と GPIO レジスタに依存します。***



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 17.7.14 キャプチャ／比較イネーブルレジスタ 2（TIM1_CCER2）

アドレスオフセット：0x0D

リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| 予約済み | | CC4P | CC4E | CC3NP | CC3NE | CC3P | CC3E |
| | | rw | rw | rw | rw | rw | rw |

ビット 7：6 予約済み

ビット 5 **CC4P**：キャプチャ／比較 4 出力極性
CC1P の説明を参照してください。

ビット 4 **CC4E**：キャプチャ／比較 4 出力イネーブル
CC1E の説明を参照してください。

ビット 3 **CC3NP**：キャプチャ／比較 3 相補出力極性
CC1NP の説明を参照してください。

ビット 2 **CC3NE**：キャプチャ／比較 3 相補出力イネーブル
CC1NE の説明を参照してください。

ビット 1 **CC3P**：キャプチャ／比較 3 出力極性
CC1P の説明を参照してください。

ビット 0 **CC3E**：キャプチャ／比較 3 出力イネーブル
CC1E の説明を参照してください。

### 17.7.15 カウンタハイ（TIM1_CNTRH）

アドレスオフセット：0x0E

リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| CNT[15:8] | | | | | | | |
| rw | rw | rw | rw | rw | rw | rw | rw |

ビット 7：0 **CNT[15:8]**：カウンタ値（MSB）



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 17.7.16 カウンタロー（TIM1_CNTRL）

アドレスオフセット：0x0F

リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| CNT[7:0] | | | | | | | |
| rw | rw | rw | rw | rw | rw | rw | rw |

ビット 7：0 **CNT[7:0]**：カウンタ値（LSB）

### 17.7.17 プリスケーラハイ（TIM1_PSCRH）

アドレスオフセット：0x10

リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| PSC[15:8] | | | | | | | |
| rw | rw | rw | rw | rw | rw | rw | rw |

ビット 7：0 **PSC[15:8]**：プリスケーラ値（MSB）

プリスケーラ値は、CK_PSC クロック周波数を分周します。カウンタのクロック周波数 $f_{CK_CNT}$ は、$f_{CK_PSC}$ / (PSCR[15:0]+1) に等しくなります。PSCR は、UEV ごとにアクティブプリスケーラレジスタにロードされる値を含みます（TIM1_EGR レジスタの UG ビットを通じて、またはトリガリセットモードに設定されているときにはトリガコントローラを通じて、カウンタがクリアされた場合を含みます）。新しいプリスケーラ値が取り入れられるように、UEV が生成されなければなりません。

### 17.7.18 プリスケーラロー（TIM1_PSCRL）

アドレスオフセット：0x11

リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| PSC[7:0] | | | | | | | |
| rw | rw | rw | rw | rw | rw | rw | rw |

ビット 7：0 **PSC[7:0]**：プリスケーラ値（LSB）

プリスケーラ値は、CK_PSC クロック周波数を分周します。カウンタのクロック周波数 $f_{CK_CNT}$ は、$f_{CK_PSC}$ / (PSCR[15:0]+1) に等しくなります。PSCR は、UEV ごとにアクティブプリスケーラレジスタにロードされる値を含みます（TIM1_EGR レジスタの UG ビットを通じて、またはトリガリセットモードに設定されているときにはトリガコントローラを通じて、カウンタがクリアされた場合を含みます）。

新しいプリスケーラ値が取り入れられるように、UEV が生成されなければなりません。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 17.7.19 自動再ロードレジスタハイ（TIM1_ARRH）

アドレスオフセット：0x12

リセット値：0xFF

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| ARR[15:8] | | | | | | | |
| rw | rw | rw | rw | rw | rw | rw | rw |

ビット 7：0 **ARR[15:8]**：自動再ロード値（MSB）

ARR は、実際の自動再ロードレジスタにロードされる値です。ARR の更新と動作の詳細については、*セクション 17.3：TIM1 タイムベースユニット（136 ページ）*を参照してください。自動再ロード値がヌルのときには、カウンタはブロックされます。

### 17.7.20 自動再ロードレジスタロー（TIM1_ARRL）

アドレスオフセット：0x13

リセット値：0xFF

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| ARR[7:0] | | | | | | | |
| rw | rw | rw | rw | rw | rw | rw | rw |

ビット 7：0 **ARR[7:0]**：自動再ロード値（LSB）

### 17.7.21 繰り返しカウンタレジスタ（TIM1_RCR）

アドレスオフセット：0x14

リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| REP[7:0] | | | | | | | |
| rw | rw | rw | rw | rw | rw | rw | rw |

ビット 7：0 **REP[7:0]**：繰り返しカウンタ値

プリロードレジスタが有効なとき、これらのビットによって、比較レジスタの更新レート（プリロードレジスタからシャドウレジスタへの定期的な転送）と、更新割り込みが有効（UIE=1）な場合の更新割り込み生成レートをセットアップできます。

REP_CNT に関連するダウンカウンタがゼロに達するたびに、UEV が生成され、REP 値からカウントを再スタートします。REP_CNT には、繰り返し更新イベント U_RC でのみ、REP の値がロードされ、TIM1_RCR レジスタへの書き込みは、次の繰り返し更新イベントまで効果を持ちません。

PWM モードでは、（REP+1）は次のことを意味します。

- エッジアラインモードでは、PWM 周期の数。
- センターアラインモードでは、PWM の 1/2 周期の数。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 17.7.22 キャプチャ／比較レジスタ 1 ハイ（TIM1_CCR1H）

アドレスオフセット：0x15

リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| CCR1[15:8] | | | | | | | |
| rw | rw | rw | rw | rw | rw | rw | rw |

ビット 7：0 **CCR1[15:8]**：キャプチャ／比較 1 値（MSB）

***CC1 チャネルが出力として設定されている場合（TIM1_CCMR1 レジスタの CC1S ビット）：***

CCR1 の値は、プリロード機能が有効な場合（TIMx_CCMR1 の OC1PE ビット）、実際のキャプチャ／比較 1 レジスタに不変にロードされます。そうでない場合、プリロード値は、UEV が発生したときに、アクティブキャプチャ／比較 1 レジスタにコピーされます。アクティブキャプチャ／比較レジスタは、カウンタレジスタ TIMx_CNT と比較されて、OC1 出力に送信される値を含みます。

***CC1 チャネルが入力として設定されている場合（TIM1_CCMR1 レジスタの CC1S ビット）：***

CCR1 の値は、最後の入力キャプチャ 1 イベント（IC1）によって転送されたカウンタ値です。この場合、これらのビットは読み出し専用です。

### 17.7.23 キャプチャ／比較レジスタ 1 ロー（TIM1_CCR1L）

アドレスオフセット：0x16

リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| CCR1[7:0] | | | | | | | |
| rw | rw | rw | rw | rw | rw | rw | rw |

ビット 7：0 **CCR1[7:0]**：キャプチャ／比較 1 値（LSB）



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 17.7.24 キャプチャ／比較レジスタ 2 ハイ（TIM1_CCR2H）

アドレスオフセット：0x17

リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| CCR2[15:8] | | | | | | | |
| rw | rw | rw | rw | rw | rw | rw | rw |

ビット 7：0 **CCR2[15:8]**：キャプチャ／比較 2 値（MSB）

***CC2 チャネルが出力として設定されている場合（TIM1_CCMR2 レジスタの CC2S ビット）：***

CCR2 の値は、プリロード機能が有効でない場合（TIM1_CCMR2 の OC2PE ビット）、実際のキャプチャ／比較 2 レジスタに不変にロードされます。そうでない場合、プリロード値は、UEV が発生したときに、アクティブキャプチャ／比較 2 レジスタにコピーされます。アクティブキャプチャ／比較レジスタは、カウンタレジスタ TIM1_CNT と比較され、OC2 出力に送信される値を含みます。

***CC2 チャネルが入力として設定されている場合（TIM1_CCMR2 レジスタの CC2S ビット）：***

CCR2 の値は、最後の入力キャプチャ 2 イベント（IC2）によって転送されたカウンタ値です。この場合、これらのビットは読み出し専用です。

### 17.7.25 キャプチャ／比較レジスタ 2 ロー（TIM1_CCR2L）

アドレスオフセット：0x18

リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| CCR2[7:0] | | | | | | | |
| rw | rw | rw | rw | rw | rw | rw | rw |

ビット 7：0 **CCR2[7:0]**：キャプチャ／比較値（LSB）



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 17.7.26 キャプチャ／比較レジスタ 3 ハイ（TIM1_CCR3H）

アドレスオフセット：0x19

リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| CCR3[15:8] | | | | | | | |
| rw | rw | rw | rw | rw | rw | rw | rw |

ビット 7：0 **CCR3[15:8]**：キャプチャ／比較値（MSB）

***CC3 チャネルが出力として設定されている場合（TIM1_CCMR3 レジスタの CC3S ビット）：***

CCR3 の値は、プリロード機能が有効でない場合（TIM1_CCMR3 の OC3PE ビット）、実際のキャプチャ／比較 2 レジスタに不変にロードされます。そうでない場合、プリロード値は、UEV が発生したときに、アクティブキャプチャ／比較 3 レジスタにコピーされます。アクティブキャプチャ／比較レジスタは、カウンタレジスタ TIM1_CNT と比較され、OC3 出力に送信される値を含みます。

***CC3 チャネルが入力として設定されている場合（TIM1_CCMR3 レジスタの CC3S ビット）：***

CCR3 の値は、最後の入力キャプチャ 3 イベント（IC31）によって転送されたカウンタ値です。

### 17.7.27 キャプチャ／比較レジスタ 3 ロー（TIM1_CCR3L）

アドレスオフセット：0x1A

リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| CCR3[7:0] | | | | | | | |
| rw | rw | rw | rw | rw | rw | rw | rw |

ビット 7：0 **CCR3[7:0]**：キャプチャ／比較値（LSB）



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 17.7.28 キャプチャ／比較レジスタ 4 ハイ（TIM1_CCR4H）

アドレスオフセット：0x1B

リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| CCR4[15:8] | | | | | | | |
| rw | rw | rw | rw | rw | rw | rw | rw |

ビット 7：0 **CCR4[15:8]**：キャプチャ／比較値（MSB）

***CC4 チャネルが出力として設定されている場合（TIM1_CCMR4 レジスタの CC4S ビット）***：
CCR4 の値は、プリロード機能が有効でない場合（TIM1_CCMR4 の OC4PE ビット）、実際のキャプチャ／比較 4 レジスタに不変にロードされます。そうでない場合、プリロードは、UEV が発生したときに、アクティブキャプチャ／比較 4 レジスタにコピーされます。アクティブキャプチャ／比較レジスタは、カウンタ TIM1_CNT と比較され、OC4 出力に送信される値を含みます。

***CC4 チャネルが入力として設定されている場合（TIM1_CCMR4 レジスタの CC4S ビット）***：
CCR4 の値は、最後の入力キャプチャ 4 イベント（IC4）によって転送されたカウンタ値です。

### 17.7.29 キャプチャ／比較レジスタ 4 ロー（TIM1_CCR4L）

アドレスオフセット：0x1C

リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| CCR4[7:0] | | | | | | | |
| rw | rw | rw | rw | rw | rw | rw | rw |

ビット 7：0 **CCR4[7:0]**：キャプチャ／比較値（LSB）



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 17.7.30 ブレークレジスタ（TIM1_BKR）

アドレスオフセット：0x1D

リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| MOE | AOE | BKP | BKE | OSSR | OSSI | LOCK [1:0] | |
| rw | rw | rw | rw | rw | rw | rw | rw |

ビット 7 **MOE**：メイン出力イネーブル

このビットは、ブレーク入力がアクティブとなると、ハードウェアによって非同期にクリアされます。ソフトウェアによって、または、AOE ビットに応じて自動的にセットされます。出力として設定されたチャネルに対してのみ有効です。

0：OC および OCN 出力は無効か、強制的にアイドル状態になります。

1：OC および OCN 出力は、それぞれのイネーブルビット（TIM1_CCER*i* レジスタの CC*i*E ビット）がセットされている場合に有効です。

詳細については、OC/OCN イネーブルの説明を参照してください（*セクション 17.7.13（198 ページ）*）。

ビット 6 **AOE**：自動出力イネーブル

0：MOE はソフトウェアによってのみセットできます。

1：MOE は、ソフトウェアによって、または次の UEV で自動的にセットできます（ブレーク入力がアクティブでない場合）。

***注：　このビットは、LOCK レベル 1 がプログラムされると（TIM1_BKR レジスタの LOCK ビット）、変更できなくなります。***

ビット 5 **BKP**：ブレーク極性

0：ブレーク入力 BKIN はアクティブローです。

1：ブレーク入力 BKIN はアクティブハイです。

***注：　このビットは、LOCK レベル 1 がプログラムされると（TIM1_BKR レジスタの LOCK ビット）、変更できなくなります。***

ビット 4 **BKE**：ブレークイネーブル

0：ブレーク入力（BKIN）は無効です。

1：ブレーク入力（BKIN）は有効です。

***注：　このビットは、LOCK レベル 1 がプログラムされると（TIM1_BKR レジスタの LOCK ビット）、変更できなくなります。***

ビット 3 **OSSR**：RUN モードのオフ状態の選択

このビットは、MOE=1 のとき、相補出力を持ち、出力として設定されているチャネルで使用されます。詳細については、OC/OCN イネーブルの説明を参照してください（*セクション 17.7.13*）。

0：インアクティブのとき、OC/OCN 出力は無効です（OC/OCN イネーブル出力信号 = 0）。

1：インアクティブのとき、CC*i*E = 1 または CC*i*NE = 1 になると、OC/OCN 出力は有効になり、その後、OC/OCN イネーブル出力信号 = 1 になります。

***注：　このビットは、LOCK レベル 2 がプログラムされると（TIM1_BKR レジスタの LOCK ビット）、変更できなくなります。***

ビット 2 **OSSI**：アイドルモードのオフ状態の選択

このビットは、MOE=0 のとき、出力として設定されているチャネルで使用されます。詳細については、OC イネーブルの説明を参照してください（*セクション 17.7.13*）。

0：インアクティブのとき、OC*i* 出力は無効です（OC*i* イネーブル出力信号 = 0）。

1：インアクティブのとき、CC*i*E = 1 になると、OC*i* 出力は、まず、強制的にアイドルレベルになります（OC イネーブル出力信号 = 1）。

***注：　このビットは、LOCK レベル 2 がプログラムされると（TIM1_BKR レジスタの LOCK ビット）、変更できなくなります。***



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 1：0 **LOCK[1:0]**：ロック設定

これらのビットは、ソフトウェアエラーに対する書き込み保護を提供します。

00：LOCK オフ - どのビットも書き込み保護されません。

01：LOCK レベル 1 ー TIM1_OISR レジスタの OIS*i* ビットと TIM1_BKR レジスタの BKE/BKP/AOE ビットは書き込めなくなります。

10：LOCK レベル 2 ー LOCK レベル 1 に加えて、CC 極性ビット（関連するチャネルが CC*i*S ビットを通じて出力に設定されている場合は、TIM1_CCER*i* レジスタの CC*i*P ビット）と OSSR および OSSI ビットも書き込めなくなります。

11：LOCK レベル 3 ー LOCK レベル 2 に加えて、CC 制御ビット（関連するチャネルが CC*i*S ビットを通じて出力に設定されている場合は、TIM1_CCMR*i* レジスタの OC*i*M および OC*i*PE ビット）が書き込めなくなります。

*注：* ***LOCK ビットは、リセット後に一度だけ書き込みができます。いったん TIM1_BKR レジスタに書き込みが行われると、それらの内容は次のリセットまで凍結されます。***

*注：* ***AOE、BKP、BKE、OSSR、および OSSI は LOCK 設定に応じて書き込みがロックされるので、TIM1_BKR レジスタへの最初の書き込みアクセスで、これらのすべてを設定する必要があります。***

## 17.7.31 デッドタイムレジスタ（TIM1_DTR）

アドレスオフセット：0x1E

リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| DTG[7:0] | | | | | | | |
| rw | rw | rw | rw | rw | rw | rw | rw |

ビット 7：0 **DTG[7:0]**：デッドタイム発生回路のセットアップ

このビットフィールドは、相補出力の間に挿入されるデッドタイムの長さを定義します。DT はこの時間に対応し、$t_{CK_PSC}$ は TIM1 のクロックパルスです。

DTG[7:5] = 0xx => DT= DTG[7:0] x $t_{dtg}$ ただし、$t_{dtg} = t_{CK_PSC}$ (f1)

DTG[7:5] = 10x => DT= (64 + DTG[5:0]) x $t_{dtg}$ ただし、$t_{dtg}= 2 \times t_{CK_PSC}$ (f2)

DTG[7:5] = 110 => DT = (32 + DTG[4:0]) x $t_{dtg}$ ただし、$t_{dtg}= 8 \times t_{CK_PSC}$ (f3)

DTG[7:5] = 111 => DT = (32 + DTG[4:0]) x $t_{dtg}$ ただし、$t_{dtg} = 16 \times t_{CK_PSC}$ (f4)

***例***

$t_{CK_PSC}$= 125 ns（8 MHz）の場合、デッドタイムが取り得る値は以下のようになります。

DTG[7:0] = 0 x 0～0 x 7F、0～15875 ns（125 ns ステップ）、（f1 を参照）

DTG[7:0] = 0 x 80～0 x BF、16 µs～31750 ns（250 ns ステップ）、（f2 を参照）

DTG[7:0] = 0 x C0～0 x DF、32 µs～63 µs（1 µs ステップ）、（f3 を参照）

DTG[7:0] = 0 x E0～0 x FF、64 µs～126 µs（2 µs ステップ）、（f4 を参照）

*注：* ***このビットフィールドは、LOCK レベル 1、2、または 3 がプログラムされているときには変更できません（TIM1_BKR レジスタの LOCK ビット）。***



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 17.7.32 出力アイドル状態レジスタ（TIM1_OISR）

アドレスオフセット：0x1F

リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| 予約済み | OIS4 | OIS3N | OIS3 | OIS2N | OIS2 | OIS1N | OIS1 |
| | rw | rw | rw | rw | rw | rw | rw |

ビット 7 予約済み。ハードウェアによって 0 に固定されています。

ビット 6 **OIS4**：出力アイドル状態 4（OC4 出力）
OIS1 ビットを参照

ビット 5 **OIS3N**：出力アイドル状態 3（OC3N 出力）
OIS1N ビットを参照

ビット 4 **OIS3**：出力アイドル状態 3（OC3 出力）
OIS1 ビットを参照

ビット 3 **OIS2N**：出力アイドル状態 2（OC2N 出力）
OIS1N ビットを参照

ビット 2 **OIS2**：出力アイドル状態 2（OC2 出力）
OIS1 ビットを参照

ビット 1 **OIS1N**：出力アイドル状態 1（OC1N 出力）
0：MOE=0 のとき、デッドタイム後に OC1N=0
1：MOE=0 のとき、デッドタイム後に OC1N=1

*注： このビットは、LOCK レベル 1、2、または 3 がプログラムされているときには変更できません (TIM1_BKR レジスタの LOCK ビット)。*

ビット 0 **OIS1**：出力アイドル状態 1（OC1 出力）
0：MOE=0 のとき、OC1=0（OC1N が実装されている場合、デッドタイム後に）
1：MOE=0 のとき、OC1=1（OC1N が実装されている場合、デッドタイム後に）

*注： このビットは、LOCK レベル 1、2、または 3 がプログラムされているときには変更できません (TIM1_BKR レジスタの LOCK ビット)。*



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 17.7.33 TIM1 レジスタマップとリセット値

**表 39. TIM1 レジスタマップ**

| アドレス オフセット | レジスタ名 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|
| 0x00 | TIM1_CR1<br>リセット値 | ARPE<br>0 | CMS1<br>0 | CMS0<br>0 | DIR<br>0 | OPM<br>0 | URS<br>0 | UDIS<br>0 | CEN<br>0 |
| 0x01 | TIM1_CR2<br>リセット値 | -<br>0 | MMS2<br>0 | MMS1<br>0 | MMS0<br>0 | -<br>0 | COMS<br>0 | -<br>0 | CCPC<br>0 |
| 0x02 | TIM1_SMCR<br>リセット値 | MSM<br>0 | TS2<br>0 | TS1<br>0 | TS0<br>0 | -<br>0 | SMS2<br>0 | SMS1<br>0 | SMS0<br>0 |
| 0x03 | TIM1_ETR<br>リセット値 | ETP<br>0 | ECE<br>0 | ETPS1<br>0 | ETPS0<br>0 | EFT3<br>0 | EFT2<br>0 | EFT1<br>0 | EFT0<br>0 |
| 0x04 | TIM1_IER<br>リセット値 | BIE<br>0 | TIE<br>0 | COMIE<br>0 | CC4IE<br>0 | CC3IE<br>0 | CC2IE<br>0 | CC1IE<br>0 | UIE<br>0 |
| 0x05 | TIM1_SR1<br>リセット値 | BIF<br>0 | TIF<br>0 | COMIF<br>0 | CC4IF<br>0 | CC3IF<br>0 | CC2IF<br>0 | CC1IF<br>0 | UIF<br>0 |
| 0x06 | TIM1_SR2<br>リセット値 | -<br>0 | -<br>0 | -<br>0 | CC4OF<br>0 | CC3OF<br>0 | CC2OF<br>0 | CC1OF<br>0 | -<br>0 |
| 0x07 | TIM1_EGR<br>リセット値 | BG<br>0 | TG<br>0 | COMG<br>0 | CC4G<br>0 | CC3G<br>0 | CC2G<br>0 | CC1G<br>0 | UG<br>0 |
| 0x08 | TIM1_CCMR1<br>（出力モード）<br>リセット値 | OC1CE<br>0 | OC1M2<br>0 | OC1M1<br>0 | OC1M0<br>0 | OC1PE<br>0 | OC1FE<br>0 | CC1S1<br>0 | CC1S0<br>0 |
| | TIM1_CCMR1<br>（入力モード）<br>リセット値 | IC1F3<br>0 | IC1F2<br>0 | IC1F1<br>0 | IC1F0<br>0 | IC1PSC1<br>0 | IC1PSC0<br>0 | CC1S1<br>0 | CC1S0<br>0 |
| 0x09 | TIM1_ CCMR2<br>（出力モード）<br>リセット値 | OC2CE<br>0 | OC2M2<br>0 | OC2M1<br>0 | OC2M0<br>0 | OC2PE<br>0 | OC2FE<br>0 | CC2S1<br>0 | CC2S0<br>0 |
| | TIM1_CCMR2<br>（入力モード）<br>リセット値 | IC2F3<br>0 | IC2F2<br>0 | IC2F1<br>0 | IC2F0<br>0 | IC2PSC1<br>0 | IC2PSC0<br>0 | CC2S1<br>0 | CC2S0<br>0 |
| 0x0A | TIM1_CCMR3<br>（出力モード）<br>リセット値 | OC3CE<br>0 | OC3M2<br>0 | OC3M1<br>0 | OC3M0<br>0 | OC3PE<br>0 | OC3FE<br>0 | CC3S1<br>0 | CC3S0<br>0 |
| | TIM1_CCMR3<br>（入力モード）<br>リセット値 | IC3F3<br>0 | IC3F2<br>0 | IC3F1<br>0 | IC3F0<br>0 | IC3PSC1<br>0 | IC3PSC0<br>0 | CC3S1<br>0 | CC3S0<br>0 |
| 0x0B | TIM1_CCMR4<br>（出力モード）<br>リセット値 | OC4CE<br>0 | OC4M2<br>0 | OC4M1<br>0 | OC4M0<br>0 | OC4PE<br>0 | OC4FE<br>0 | CC4S1<br>0 | CC4S0<br>0 |
| | TIM1_CCMR4<br>（入力モード）<br>リセット値 | IC4F3<br>0 | IC4F2<br>0 | IC4F1<br>0 | IC4F0<br>0 | IC4PSC1<br>0 | IC4PSC0<br>0 | CC4S1<br>0 | CC4S0<br>0 |
| 0x0C | TIM1_CCER1<br>リセット値 | CC2NP<br>0 | CC2NE<br>0 | CC2P<br>0 | CC2E<br>0 | CC1NP<br>0 | CC1NE<br>0 | CC1P<br>0 | CC1E<br>0 |
| 0x0D | TIM1_CCER2<br>リセット値 | -<br>0 | -<br>0 | CC4P<br>0 | CC4E<br>0 | CC3NP<br>0 | CC3NE<br>0 | CC3P<br>0 | CC3E<br>0 |
| 0x0E | TIM1_CNTRH<br>リセット値 | CNT15<br>0 | CNT14<br>0 | CNT13<br>0 | CNT12<br>0 | CNT11<br>0 | CNT10<br>0 | CNT9<br>0 | CNT8<br>0 |
| 0x0F | TIM1_CNTRL<br>リセット値 | CNT7<br>0 | CNT6<br>0 | CNT5<br>0 | CNT4<br>0 | CNT3<br>0 | CNT2<br>0 | CNT1<br>0 | CNT0<br>0 |
| 0x10 | TIM1_PSCRH<br>リセット値 | PSC15<br>0 | PSC14<br>0 | PSC13<br>0 | PSC12<br>0 | PSC11<br>0 | PSC10<br>0 | PSC9<br>0 | PSC8<br>0 |



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 39. TIM1 レジスタマップ （続き）

| アドレス オフセット | レジスタ名 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|
| 0x11 | TIM1_PSCRL<br>リセット値 | PSC7<br>0 | PSC6<br>0 | PSC5<br>0 | PSC4<br>0 | PSC3<br>0 | PSC2<br>0 | PSC1<br>0 | PSC0<br>0 |
| 0x12 | TIM1_ARRH<br>リセット値 | ARR15<br>1 | ARR14<br>1 | ARR13<br>1 | ARR12<br>1 | ARR11<br>1 | ARR10<br>1 | ARR9<br>1 | ARR8<br>1 |
| 0x13 | TIM1_ARRL<br>リセット値 | ARR7<br>1 | ARR6<br>1 | ARR5<br>1 | ARR4<br>1 | ARR3<br>1 | ARR2<br>1 | ARR1<br>1 | ARR0<br>1 |
| 0x14 | TIM1_RCR<br>リセット値 | REP7<br>0 | REP6<br>0 | REP5<br>0 | REP4<br>0 | REP3<br>0 | REP2<br>0 | REP1<br>0 | REP0<br>0 |
| 0x15 | TIM1_CCR1H<br>リセット値 | CCR115<br>0 | CCR114<br>0 | CCR113<br>0 | CCR112<br>0 | CCR111<br>0 | CCR110<br>0 | CCR19<br>0 | CCR18<br>0 |
| 0x16 | TIM1_CCR1L<br>リセット値 | CCR17<br>0 | CCR16<br>0 | CCR15<br>0 | CCR14<br>0 | CCR13<br>0 | CCR12<br>0 | CCR11<br>0 | CCR10<br>0 |
| 0x17 | TIM1_CCR2H<br>リセット値 | CCR215<br>0 | CCR214<br>0 | CCR213<br>0 | CCR212<br>0 | CCR211<br>0 | CCR210<br>0 | CCR29<br>0 | CCR28<br>0 |
| 0x18 | TIM1_CCR2L<br>リセット値 | CCR27<br>0 | CCR26<br>0 | CCR25<br>0 | CCR24<br>0 | CCR23<br>0 | CCR22<br>0 | CCR21<br>0 | CCR20<br>0 |
| 0x19 | TIM1_CCR3H<br>リセット値 | CCR315<br>0 | CCR314<br>0 | CCR313<br>0 | CCR312<br>0 | CCR311<br>0 | CCR310<br>0 | CCR39<br>0 | CCR38<br>0 |
| 0x1A | TIM1_CCR3L<br>リセット値 | CCR37<br>0 | CCR36<br>0 | CCR35<br>0 | CCR34<br>0 | CCR33<br>0 | CCR32<br>0 | CCR31<br>0 | CCR30<br>0 |
| 0x1B | TIM1_CCR4H<br>リセット値 | CCR415<br>0 | CCR414<br>0 | CCR413<br>0 | CCR412<br>0 | CCR411<br>0 | CCR410<br>0 | CCR49<br>0 | CCR48<br>0 |
| 0x1C | TIM1_CCR4L<br>リセット値 | CCR47<br>0 | CCR46<br>0 | CCR45<br>0 | CCR44<br>0 | CCR43<br>0 | CCR42<br>0 | CCR41<br>0 | CCR40<br>0 |
| 0x1D | TIM1_BKR<br>リセット値 | MOE<br>0 | AOE<br>0 | BKP<br>0 | BKE<br>0 | OSSR<br>0 | OSSI<br>0 | LOCK1<br>0 | LOCK0<br>0 |
| 0x1E | TIM1_DTR<br>リセット値 | DTG7<br>0 | DTG6<br>0 | DTG5<br>0 | DTG4<br>0 | DTG3<br>0 | DTG2<br>0 | DTG1<br>0 | DTG0<br>0 |
| 0x1F | TIM1_OISR<br>リセット値 | -<br>0 | OIS4<br>0 | OIS3N<br>0 | OIS3<br>0 | OIS2N<br>0 | OIS2<br>0 | OIS1N<br>0 | OIS1<br>0 |



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

# 18 16 ビット汎用タイマ（TIM2、TIM3、TIM5）

## 18.1 概要

この章では、同じタイマである TIM2 と TIM3 について説明します（ただし、TIM2 は 3 チャネル、TIM3 は 2 チャネルです）。TIM5 については後述します。これは TIM2 と同じですが、タイマの同期とチェイニングをサポートするために 2 つのレジスタが追加されています。

各タイマは、プログラマブルなプリスケーラによって駆動される 16 ビットのアップカウント自動再ロードカウンタで構成されています。

次のようなさまざまな目的に使用できます。

- タイムベースの生成
- 入力信号（入力キャプチャ）のパルス長の測定
- 出力波形の生成（出力比較、 PWM、およびワンパルスモード）
- さまざまなイベント（キャプチャ、比較、オーバーフロー）時の割り込み機能
- 他のタイマまたは外部信号（外部クロック、リセット、トリガ、およびイネーブル）との同期（TIM5 を搭載したデバイス）

タイマクロックは、内部クロックから供給できます。

この章では、汎用タイマの主な機能についてのみ説明します。
各機能の詳細については、*セクション 17：16 ビット高機能制御タイマ (TIM1)（133 ページ）*の対応する節を参照してください。

## 18.2 TIM2/TIM3 の主な機能

TIM2/TIM3 には、次のような機能があります。

- 16 ビットのアップカウント自動再ロードカウンタ。
- カウンタクロック周波数を動作中に 1 から 32768 までの任意の 2 の累乗で分周するための 4 ビットのプログラマブルプリスケーラ。
- 以下に対応する 3 つの独立チャネル。
  - 入力キャプチャ
  - 出力比較
  - PWM 生成（エッジアラインモード）
- 以下のイベント時の割り込みリクエストの生成。
  - 更新：カウンタオーバーフロー、カウンタの初期化（ソフトウェアによる）
  - 入力キャプチャ
  - 出力比較



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

## 18.3 TIM5 の主な機能

TIM5 の主な機能は、次のとおりです。

- 16 ビットのアップカウント自動再ロードカウンタ。
- カウンタクロック周波数を動作中に 1 から 32768 までの任意の 2 の累乗で分周するための 4 ビットのプログラマブルプリスケーラ。
- 以下に対応する 3 つの独立チャネル。
  - 入力キャプチャ
  - 出力比較
  - PWM 生成（エッジアラインモード）
  - ワンパルスモード出力
- 外部信号でタイマを制御し、複数のタイマを相互接続する同期回路（*セクション 17.4.6（153 ページ）*を参照）。
- 外部トリガ入力 TIM1_ETR（TIM1 と共有）
- 以下のイベント時の割り込みの生成。
  - 更新：カウンタオーバーフロー、カウンタの初期化（ソフトウェアによる）
  - 入力キャプチャ
  - 出力比較

## 18.4 TIM2/TIM3/TIM5 の機能詳細

**図 82. TIM2/TIM3 のブロック図**

この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 83. TIM5 のブロック図

## 18.4.1 タイムベースユニット

このタイマは、以下を含むタイムベースユニットを備えています。

- 16 ビットのアップカウンタ
- 16 ビットの自動再ロードレジスタ
- 4 ビットのプログラマブルプリスケーラ

繰り返しカウンタはありません。

クロックソースは内部クロック（$f_{MASTER}$）です。カウンタクロック CK_CNT を駆動するプリスケーラに供給される CK_PSC クロックに直接接続されます。

図 84. タイムベースユニット

この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

詳細については、*セクション 17.3 : TIM1 タイムベースユニット（136 ページ）*を参照してください。

### プリスケーラ

プリスケーラは、次のように実装されています。

- プリスケーラは、4 ビットレジスタ（TIMx_PSCR レジスタ）を通じて制御される 16 ビットのカウンタに基づきます。この制御レジスタはバッファされるので、動作中に変更できます。カウンタクロック周波数を 1 から 32768 までの任意の 2 の累乗で分周することができます。

  カウンタクロック周波数は、次の式で計算されます。

  $f_{CK_CNT} = f_{CK_PSC}/2^{(PSCR[3:0])}$

プリスケーラの値は、プリロードレジスタを介してロードされます。シャドウレジスタは、使用される現在値を含み、LS バイトが書き込まれるとロードされます。

新しいプリスケーラ値は、次の周期（次のカウンタ更新イベントの後）で有効になります。

TIMx_PSCR レジスタの読み出し動作はプリロードレジスタにアクセスするので、読み出しに特別な注意は必要ありません。

### カウンタの動作

*セクション 17.3.4 : アップカウントモード（138 ページ）*を参照してください。

## 18.4.2 クロック／トリガコントローラ

クロック／トリガコントローラとその関連する TIMx_CR2 および TIMx_SMCR レジスタは、TIM5 にのみ実装されています（TIM2/TIM3 には実装されていません）。*セクション 17.4 : TIM1 クロック／トリガコントローラ（145 ページ）*を参照してください。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 18.4.3 キャプチャ／比較チャネル

#### 入力ステージ

*セクション 17.5 : TIM1 キャプチャ／比較チャネル（159 ページ）*を参照してください。

*図 85 : 入力ステージのブロック図*に示されているように、2 つの入力チャネルがあります。

**図 85. 入力ステージのブロック図**

**図 86. TIM 2 チャネル 1 の入力ステージ**

この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 出力ステージ

*セクション 17.5.4 : 出力ステージ (164 ページ)*、*セクション 17.5.5 : 強制出力モード (165 ページ)*、*セクション 17.5.7 : PWM モード（167 ページ）*を参照してください。

*注 :* ***クロック／トリガコントローラとその関連する TIMx_CR2 および TIMx_SMCR レジスタは TIM2/TIM3 に実装されないため、ワンパルスモード（セクション 17.5.7 : PWM モードで説明）は、TIM2/TIM3 では使用できません。***

*図 87* に示されているように、TIMx 出力には、デッドタイムも相補出力もありません。

**図 87. 出力ステージ**

出力ステージは、基準電圧 OCxREF（アクティブハイ）として使用される中間波形を生成します。極性は最終段に影響を与えます（*図 88* を参照）。

**図 88. チャネル 1 の出力ステージ**

この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

## 18.5 TIM2/TIM3/TIM5 割り込み

タイマには 4 つの割り込みリクエストソースがあります。

- キャプチャ／比較 3 割り込み
- キャプチャ／比較 2 割り込み
- キャプチャ／比較 1 割り込み
- 更新割り込み
- トリガ割り込み（TIM5 のみ）

割り込み機能を使用するには、使用される割り込みチャネルごとに、TIMx_IER レジスタの CC3IE、CC2IE、CC1IE の各ビットを適宜セットして、割り込みリクエストを有効にします。

TIMx_EGR レジスタの対応するビットを使用して、ソフトウェアによってさまざまな割り込みソースを生成することもできます。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

## 18.6 TIM2/TIM3/TIM5 レジスタ

### 18.6.1 制御レジスタ 1（TIMx_CR1）

アドレスオフセット：0x00

リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| ARPE | 予約済み | | | OPM | URS | UDIS | CEN |
| rw | | | | rw | rw | rw | rw |

ビット 7 **ARPE**：自動再ロードプリロードイネーブル

0：TIMx_ARR レジスタは、プリロードレジスタを通じてバッファされません。直接書き込むことができます。

1：TIMx_ARR レジスタは、プリロードレジスタを通じてバッファされます。

ビット 6：4 予約済み

ビット 3 **OPM**：ワンパルスモード [(1)]

0：カウンタは更新イベントで停止しません。

1：カウンタは次の更新イベントでカウントを停止します（CEN ビットをクリアします）。

ビット 2 **URS**：更新リクエストソース

0：UDIS ビットによって有効にされている場合、以下のイベントのいずれかが発生すると、UIF ビットがセットされ、更新割り込みリクエストが送信されます。

- レジスタが更新されたとき（カウンタオーバーフロー／アンダーフロー）
- UG ビットがソフトウェアによってセットされたとき
- クロック／トリガコントローラを通じて更新イベントが生成されたとき

1：UDIS ビットによって有効にされている場合、レジスタが更新されたときにのみ（カウンタオーバーフロー／アンダーフロー）、UIF ビットがセットされ、更新割り込みリクエストが送信されます。

ビット 1 **UDIS**：更新ディセーブル

0：カウンタオーバーフローが発生するか、ソフトウェア更新が生成されるか、またはクロック／トリガモードコントローラによってハードウェアリセットが生成されると、UEV が生成されます。バッファを持つレジスタにはプリロード値がロードされます。

1：UEV は生成されず、シャドウレジスタは値を維持します（ARR、PSC、CCR*i*）。UG ビットがセットされている場合、カウンタとプリスケーラは再初期化されます。

ビット 0 **CEN**：カウンタイネーブル

0：カウンタは無効です。

1：カウンタは有効です。

1. ワンパルスモードは TIM2/TIM3 では使用できません。しかし、OPM ビットは他の目的（たとえば、カウンタを正しく停止させるため）に使用できます。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 18.6.2 制御レジスタ 2（TIM5_CR2）

**アドレスオフセット：0x01**

**リセット値：0x00**

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| 予約済み | MMS[2:0] | | | 予約済み | | | |
| | rw | rw | rw | | | | |

*注： このレジスタは TIM5 でのみ使用可能です（表 42（239 ページ）を参照）。*

ビット 7 予約済み、クリアされた状態に保つ必要があります。

ビット 6：4 **MMS[2:0]**：マスタモード選択

これらのビットは、同期をとるためにマスタモードで TIM1 と TIM2 に送信される情報を選択します（TRGO）。組み合わせは、次のとおりです。

000：リセット - TIM5_EGR レジスタの UG ビットがトリガ出力（TRGO）として使用されます。トリガ入力によってリセットが生成された場合（クロック／トリガモードコントローラがトリガリセットモードに設定されているとき）、TRGO 信号は実際のリセットから遅れて発生します。

001：イネーブル - カウンタイネーブル信号がトリガ出力（TRGO）として使用されます。複数のタイマを同時に開始するときや、スレーブタイマが有効な時間枠を制御するために使用されます。カウンタイネーブル信号は、ゲートモードに設定されているとき、CEN 制御ビットとトリガ入力との論理和（OR）によって生成されます。カウンタイネーブル信号がトリガ入力によって制御されているときには、マスタ／スレーブモードが選択されている場合を除き、TRGO に遅延が存在します（TIM5_SMCR レジスタの MSM ビットの説明を参照）。

010：更新 - 更新イベントがトリガ出力（TRGO）として選択されます。

011：予約済み

100：予約済み

101：予約済み

111：予約済み

ビット 3：0 予約済み、クリアされた状態に保つ必要があります。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 18.6.3 スレーブモード制御レジスタ（TIM5_SMCR）

**アドレスオフセット：0x02**

リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| MSM | TS[2:0] | | | 予約済み | SMS[2:0] | | |
| rw | rw | rw | rw | | rw | rw | rw |

*注： このレジスタは TIM5 でのみ使用可能です（表 42（239 ページ）を参照）。*

ビット 7 **MSM** マスタ／スレーブモード

0：影響なし。

1：トリガ入力（TRGI）に対するイベントの効果は、タイマ間の完全な同期（TRGO を通じて）を可能にするために遅延されます。

ビット 6：4 **TS[2:0]** トリガ選択

このビットフィールドは、カウンタの同期に使用されるトリガ入力を選択します。

000：TIM6 TRGOに接続される内部トリガ ITR0。

001：予約済み

010：予約済み

011：TIM1 TRGOに接続される内部トリガ ITR3。

100：TI1 エッジ検出回路（TI1F_ED）

101：フィルタタイマ入力 1（TI1FP1）

110：フィルタタイマ入力 2（TI2FP2）

111：外部トリガ入力（ETRF）（TIM1_ETR ピンから）

*注： 遷移時の誤ったエッジ検出を避けるために、これらのビットは、使用されていないとき（SMS=000 のときなど）にのみ変更しなければなりません。*

ビット 3 予約済み

ビット 2：0 **SMS[2:0]** クロック／トリガ／スレーブモード選択

外部信号が選択されると、トリガ信号（TRGI）のアクティブエッジが、外部入力で選択された極性にリンクされます（入力制御レジスタおよび制御レジスタの説明を参照）。

000：クロック／トリガコントローラは無効です。CEN = 1 の場合、プリスケーラは内部クロックによって直接クロック供給されます。

001、010、および 011：予約済み

100：トリガリセットモード - 選択されたトリガ信号（TRGI）の立ち上がりエッジで、カウンタが再初期化され、レジスタの更新が生成されます。

101：ゲートモード - カウンタクロックは、トリガ信号（TRGI）がハイのときに有効になります。トリガがローになると、カウンタは停止します（リセットはされません）。カウンタの開始と停止の両方が制御されます。

110：トリガモード - カウンタは、トリガ入力（TRGI）の立ち上がりエッジで開始します（リセットはされません）。カウンタの開始のみが制御されます。

111：外部クロックモード 1 - 選択されたトリガ（TRGI）の立ち上がりエッジで、カウンタにクロックが供給されます。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 18.6.4 割り込みイネーブルレジスタ（TIMx_IER）

アドレスオフセット：0x01 または 0x03（TIM2）、0x01（TIM3）、0x03（TIM5）。TIM2 のアドレスについては、*TIM2/TIM3/TIM5 レジスタマップとリセット値* を参照してください。

リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| 予約済み | TIE | 予約済み | | CC3IE | CC2IE | CC1IE | UIE |
| | rw | | | rw | rw | rw | rw |

ビット 7 予約済み

ビット 6 **TIE**：トリガ割り込みイネーブル

0：トリガ割り込みは無効です。

1：トリガ割り込みは有効です。

***注：　TIM2/TIM3 では、このビットは予約済みです。***

ビット 5：4 予約済み、クリアされた状態に保つ必要があります。

ビット 3 **CC3IE**：キャプチャ／比較 3 割り込みイネーブル

0：CC3 割り込みは無効です。

1：CC3 割り込みは有効です。

ビット 2 **CC2IE**：キャプチャ／比較 2 割り込みイネーブル

0：CC2 割り込みは無効です。

1：CC2 割り込みは有効です。

ビット 1 **CC1IE**：キャプチャ／比較 1 割り込みイネーブル

0：CC1 割り込みは無効です。

1：CC1 割り込みは有効です。

ビット 0 **UIE**：更新割り込みイネーブル

0：更新割り込みは無効です。

1：更新割り込みは有効です。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 18.6.5 ステータスレジスタ 1（TIMx_SR1）

アドレスオフセット：0x02 または 0x04（TIM2）、0x02（TIM3）、0x04（TIM5）。TIM2 のアドレスについては、*TIM2/TIM3/TIM5 レジスタマップとリセット値* を参照してください。

リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| 予約済み | TIF | 予約済み | | CC3IF | CC2IF | CC1IF | UIF |
| | rc_w0 | | | rc_w0 | rc_w0 | rc_w0 | rc_w0 |

ビット 7 予約済み

ビット 6 **TIF**：トリガ割り込みフラグ

このフラグは、トリガイベント（TRGI 信号でのアクティブエッジ検出、ゲートモードが選択されている場合は両方のエッジ検出）時にハードウェアによってセットされます。ソフトウェアによってクリアされます。

0：トリガイベントは発生していません。

1：トリガ割り込みがペンディング中です。

***注： TIM2/TIM3 では、このビットは予約済みです。***

ビット 5：4 予約済み、クリアされた状態に保つ必要があります。

ビット 3 **CC3IF**：キャプチャ／比較 3 割り込みフラグ

CC1IF の説明を参照してください。

ビット 2 **CC2IF**：キャプチャ／比較 2 割り込みフラグ

CC1IF の説明を参照してください。

ビット 1 **CC1IF**：キャプチャ／比較 1 割り込みフラグ

***チャネル CC1 が出力として設定されている場合***：

このフラグは、カウンタの値が比較値と一致したときにハードウェアによってセットされます。ソフトウェアによってクリアされます。

0：一致なし。

1：カウンタ TIMx_CNT の内容が TIMx_CCR1 レジスタの内容と一致しました。

***チャネル CC1 が入力として設定されている場合***：

このビットは、キャプチャ時にハードウェアによってセットされます。ソフトウェアによって、または TIMx_CCR1L レジスタを読み出すことによってクリアされます。

0：入力キャプチャは発生していません。

1：カウンタの値が TIMx_CCR1 レジスタにキャプチャされました（IC1 で、選択された極性に一致するエッジが検出されました）。

ビット 0 **UIF**：更新割り込みフラグ

このビットは、更新イベント時にハードウェアによってセットされます。ソフトウェアによってクリアされます。

0：更新は発生していません。

1：更新割り込みがペンディング中です。このビットは、レジスタが以下で更新されたときにハードウェアによってセットされます。

– TIMx_CR1 レジスタの UDIS = 0 の場合、オーバーフローが発生したとき。

– TIMx_CR1 レジスタの URS=0 かつ UDIS=0 の場合、TIMx_EGR レジスタの UG ビットを使用して、ソフトウェアによって CNT が再初期化されたとき。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 18.6.6 ステータスレジスタ 2（TIMx_SR2）

アドレスオフセット：0x03 または 0x05（TIM2）、0x03（TIM3）、0x05（TIM5）。TIM2 のアドレスについては、*TIM2/TIM3/TIM5 レジスタマップとリセット値* を参照してください。

リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| 予約済み | | | | CC3OF | CC2OF | CC1OF | 予約済み |
| | | | | rc_w0 | rc_w0 | rc_w0 | |

ビット 7:4 予約済み

ビット 3 **CC3OF**：キャプチャ／比較 3 オーバーキャプチャフラグ

CC1OF の説明を参照してください。

ビット 2 **CC2OF**：キャプチャ／比較 2 オーバーキャプチャフラグ

CC1OF の説明を参照してください。

ビット 1 **CC1OF**：キャプチャ／比較 1 オーバーキャプチャフラグ

このフラグは、対応するチャネルが入力キャプチャモードに設定されているときのみ、ハードウェアによってセットされます。0 を書き込むことによってソフトウェアによってクリアされます。

0：オーバーキャプチャは検出されていません。

1：CC1IF フラグがすでにセットされているときに、カウンタの値が TIMx_CCR1 レジスタにキャプチャされました。

ビット 0 予約済み。ハードウェアによって 0 に固定されています。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 18.6.7 イベント生成レジスタ（TIMx_EGR）

アドレスオフセット：0x04 または 0x06（TIM2）、0x04（TIM3）、0x06（TIM5）。TIM2 のアドレスについては、*TIM2/TIM3/TIM5 レジスタマップとリセット値* を参照してください。

リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| 予約済み | TG | 予約済み | | CC3G | CC2G | CC1G | UG |
| | w | | | w | w | w | w |

ビット 7 予約済み

ビット 6 **TG**：トリガ生成

このビットは、イベントを生成するために、ソフトウェアによってセットされます。ハードウェアによって自動的にクリアされます。

0：影響なし。

1：TIM5_SR1 レジスタの TIF フラグがセットされます。TIE ビットによって有効にされている場合、割り込みが生成されます。

***注： TIM2/TIM3 では、このビットは予約済みです。***

ビット 5：4 予約済み

ビット 3 **CC3G**：キャプチャ／比較 3 生成

CC1G の説明を参照してください。

ビット 2 **CC2G**：キャプチャ／比較 2 生成

CC1G の説明を参照してください。

ビット 1 **CC1G**：キャプチャ／比較 1 生成

このビットは、イベントを生成するために、ソフトウェアによってセットされます。ハードウェアによって自動的にクリアされます。

0：影響なし。

1：チャネル 1 でキャプチャ／比較イベントが生成されます。

– CC1 チャネルが出力モードに設定されている場合：この場合、CC1IF フラグがセットされ、対応する割り込みリクエストが送信されます（有効な場合）。

– CC1 チャネルが入力モードに設定されている場合：この場合、カウンタの現在値が TIMx_CCR1 レジスタにキャプチャされます。CC1IF フラグがセットされ、対応する割り込みリクエストが送信されます（有効な場合）。CC1IF フラグがすでにハイの場合、CC1OF フラグがセットされます。

ビット 0 **UG**：更新生成

このビットは、ソフトウェアによってセットでき、ハードウェアによって自動的にクリアされます。

0：影響なし。

1：カウンタを再初期化し、レジスタの更新を生成します。プリスケーラカウンタもクリアされることに注意してください。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 18.6.8 キャプチャ／比較モードレジスタ 1（TIMx_CCMR1）

チャネルは、入力（キャプチャモード）または出力（比較モード）で使用できます。チャネルの方向は、CC1S ビットを設定することによって定義されます。このレジスタの他のビットはすべて、入力モードと出力モードで異なる意味を持ちます。特定のビットについて、OC*i* は、チャネルが出力に設定されているときの機能を示し、IC*i* は、チャネルが入力に設定されているときの機能を示します。したがって、同じビットが入力ステージと出力ステージで異なる意味を持つことに注意する必要があります。

アドレスオフセット：0x05 または 0x07（TIM2）、0x05（TIM3）、0x07（TIM5）。TIM2 のアドレスについては、*TIM2/TIM3/TIM5 レジスタマップとリセット値* を参照してください。

リセット値：0x00

#### 出力に設定されたチャネル

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| 予約済み | OC1M[2:0] | | | OC1PE | 予約済み | CC1S[1:0] | |
| | rw | rw | rw | rw | | rw | rw |

ビット 7 予約済み

ビット 6：4 **OC1M[2:0]**：出力比較 1 モード

これらのビットは、OC1 が生成される出力基準信号 OC1REF の動作を定義します。OC1REF はアクティブハイですが、OC1 のアクティブレベルは CC1P ビットに依存します。

000：凍結 - 出力比較レジスタ TIMx_CCR1 とカウンタ TIMx_CNT との間の比較結果は出力に影響しません。

001：一致時にチャネル 1 をアクティブレベルに設定します。OC1REF 信号は、カウンタ TIMx_CNT がキャプチャ／比較レジスタ 1（TIMx_CCR1）と一致したときに、強制的にハイになります。

010：一致時にチャネル 1 をインアクティブレベルに設定します。OC1REF 信号は、カウンタ TIMx_CNT がキャプチャ／比較レジスタ 1（TIMx_CCR1）と一致したときに、強制的にローになります。

011：反転 - TIMx_CNT = TIMx_CCR1 のとき、OC1REF は反転します。

100：強制インアクティブレベル - OC1REF は強制的にローになります。

101：強制アクティブレベル - OC1REF は強制的にハイになります。

110：PWM モード 1 - カウントアップ時、TIMx_CNT < TIMx_CCR1 の場合、チャネル 1 はアクティブになります。そうでない場合、チャネル 1 はインアクティブです。カウントダウン時、TIMx_CNT > TIMx_CCR1 の場合、チャネル 1 はインアクティブ（OC1REF=0）です。そうでない場合、チャネル 1 はアクティブ（OC1REF = 1）です。

111：PWM モード 2 - カウントアップ時、TIMx_CNT < TIMx_CCR1 の場合、チャネル 1 はインアクティブです。そうでない場合、チャネル 1 はアクティブです。

*注：* ***PWM モード 1 または 2 では、比較結果が変化したとき、または出力比較モードが凍結モードから PWM モードに変更されたときにのみ、OCiREF のレベルが変化します。詳細については、セクション 17.5.7 (167 ページ) を参照してください。***

ビット 3 **OC1PE**：出力比較 1 プリロードイネーブル

0：TIMx_CCR1 のプリロードレジスタは無効です。TIMx_CCR1 はいつでも書き込みが可能です。新しい値はただちに有効になります。

1：TIMx_CCR1 のプリロードレジスタは有効です。読み出し／書き込み動作はプリロードレジスタに対して行われます。TIMx_CCR1 プリロード値は、更新イベントのたびにシャドウレジスタにロードされます。

*注：* ***正しい動作のためには、プリロードレジスタは、タイマが PWM モードのときに有効でなければなりません。これはワンパルスモードの場合（TIMx_CR1 レジスタの OPM ビットがセットされている場合）は、必須ではありません。***

ビット 2 予約済み



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 1：0 **CC1S[1:0]**：キャプチャ／比較 1 選択

このビットフィールドは、チャネルの方向（入力／出力）と、使用される入力を定義します。

00：CC1 チャネルは出力として設定されます。

01：CC1 チャネルは入力として設定され、IC1 は TI1FP1 にマップされます。

10：CC1 チャネルは入力として設定され、IC1 は TI2FP1 にマップされます。

11：CC1 チャネルは入力として設定され、IC1 は TRC にマップされます。このモードは、TS ビット（TIM5_SMCR レジスタ）で内部トリガ入力が選択されている場合のみ機能します。

*注： CC1S ビットは、チャネルがオフのときのみ（TIMx_CCER1 レジスタの CC1E=0 であり、更新されたとき）、書き込みができます。*

## 入力に設定されたチャネル

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| IC1F[3:0] | | | | IC1PSC[1:0] | | CC1S[1:0] | |
| rw | rw | rw | rw | rw | rw | rw | rw |

ビット 7：4 **IC1F[3:0]**：入力キャプチャ 1 フィルタ

このビットフィールドは、TI1 入力をサンプルする周波数と、TI1 に適用されるデジタルフィルタの長さを定義します。デジタルフィルタはイベントカウンタで構成され、出力に有効な変化をもたらすには N 個のイベント発生が必要です。

0000：フィルタなし、サンプリングは $f_{MASTER}$ で行われます。

0001：$f_{SAMPLING}= f_{MASTER}$、N = 2

0010：$f_{SAMPLING}= f_{MASTER}$、N = 4

0011：$f_{SAMPLING}= f_{MASTER}$、N = 8

0100：$f_{SAMPLING}= f_{MASTER}/2$、N = 6

0101：$f_{SAMPLING}= f_{MASTER}/2$、N = 8

0110：$f_{SAMPLING}= f_{MASTER}/4$、N = 6

0111：$f_{SAMPLING}= f_{MASTER}/4$、N = 8

1000：$f_{SAMPLING}= f_{MASTER}/8$、N = 6

1001：$f_{SAMPLING}= f_{MASTER}/8$、N = 8

1010：$f_{SAMPLING}= f_{MASTER}/16$、N = 5

1011：$f_{SAMPLING}= f_{MASTER}/16$、N = 6

1100：$f_{SAMPLING}= f_{MASTER}/16$、N = 8

1101：$f_{SAMPLING}= f_{MASTER}/32$、N = 5

1110：$f_{SAMPLING}= f_{MASTER}/32$、N = 6

1111：$f_{SAMPLING}= f_{MASTER}/32$、N = 8

ビット 3：2 **IC1PSC[1:0]**：入力キャプチャ 1 プリスケーラ

このビットフィールドは、CC1 入力（IC1）に作用するプリスケーラの分周比を定義します。プリスケーラは、CC1E=0（TIMx_CCER レジスタ）になるとリセットされます。

00：プリスケーラなし。キャプチャは、キャプチャ入力のエッジが検出されるたびに行われます。

01：イベント 2 回ごとにキャプチャが行われます。

10：イベント 4 回ごとにキャプチャが行われます。

11：イベント 8 回ごとにキャプチャが行われます。

*注： 動作中に IC1PSC が変更された場合、内部イベントカウンタはリセットされません。この場合、次のキャプチャが発生するまで、古い値が使用されます。新しい値を強制的にすぐに有効にするには、CCIE ビットをクリアして、再びセットします。*



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 1：0 **CC1S[1:0]**：キャプチャ／比較 1 選択

このビットフィールドは、チャネルの方向（入力／出力）と、使用される入力を定義します。

00：CC1 チャネルは出力として設定されます。

01：CC1 チャネルは入力として設定され、IC1 は TI1FP1 にマップされます。

10：CC1 チャネルは入力として設定され、IC1 は TI2FP1 にマップされます。

11：予約済み

*注： CC1S ビットは、チャネルがオフのときのみ（TIMx_CCER 1 レジスタの CC1E=0 であり、更新されたとき）、書き込みができます。*

## 18.6.9 キャプチャ／比較モードレジスタ 2（TIMx_CCMR2）

*注： これらのビットの使用方法の詳細については、キャプチャ／比較モードレジスタ 1（TIMx_CCMR1）(227 ページ) を参照してください。*

アドレスオフセット：0x06 または 0x08（TIM2）、0x06（TIM3）、0x08（TIM5）。TIM2 のアドレスについては、*TIM2/TIM3/TIM5 レジスタマップとリセット値* を参照してください。

リセット値：0x00

### 出力に設定されたチャネル

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| 予約済み | OC2M[2:0] | | | OC2PE | 予約済み | CC2S[1:0] | |
| | rw | rw | rw | rw | | rw | |

ビット 7 予約済み

ビット 6：4 **OC2M[2:0]**：出力比較 2 モード

ビット 3 **OC2PE**：出力比較 2 プリロードイネーブル

ビット 2 予約済み

ビット 1：0 **CC2S[1:0]**：キャプチャ／比較 2 選択

このビットフィールドは、チャネルの方向（入力／出力）と、使用される入力を定義します。

00：CC2 チャネルは出力として設定されます。

01：CC2 チャネルは入力として設定され、IC2 は TI2FP2 にマップされます。

10：CC2 チャネルは入力として設定され、IC2 は TI1FP2 にマップされます。

11：CC2 チャネルは入力として設定され、IC2 は TRC にマップされます。このモードは、TS ビット（TIM5_SMCR レジスタ）で内部トリガ入力が選択されている場合のみ機能します。

*注： CC2S ビットは、チャネルがオフ（TIMx_CCER 1 レジスタの CC2E=0）のときにのみ書き込み可能です。*



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 入力に設定されたチャネル

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| IC2F[3:0] | | | | IC2PSC[1:0] | | CC2S[1:0] | |
| rw | rw | rw | rw | rw | rw | rw | rw |

ビット 7：4 **IC2F[3:0]**：入力キャプチャ 2 フィルタ

ビット 3：2 **IC2PCS[1:0]**：入力キャプチャ 2 プリスケーラ

ビット 1：0 **CC2S[1:0]**：キャプチャ／比較 2 選択

このビットフィールドは、チャネルの方向（入力／出力）と、使用される入力を定義します。

00：CC2 チャネルは出力として設定されます。

01：CC2 チャネルは入力として設定され、IC2 は TI2FP2 にマップされます。

10：CC2 チャネルは入力として設定され、IC2 は TI1FP2 にマップされます。

11：予約済み

*注： CC2S ビットは、チャネルがオフ（TIMx_CCER 1 レジスタの CC2E=0）のときにのみ書き込み可能です。*

## 18.6.10 キャプチャ／比較モードレジスタ 3（TIMx_CCMR3）

*これらのビットの使用方法の詳細については、キャプチャ／比較モードレジスタ 1（TIM1_CCMR1）（192 ページ）を参照してください。*

アドレスオフセット：0x07 または 0x09（TIM2）、0x09（TIM5）。TIM2 のアドレスについては、*TIM2/TIM3/TIM5 レジスタマップとリセット値*を参照してください。

リセット値：0x00

### 出力に設定されたチャネル

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| 予約済み | OC3M[2:0] | | | OC3PE | 予約済み | CC3S[1:0] | |
| | rw | rw | rw | rw | | rw | rw |

*注： このレジスタは TIM3 では使用できません。*

ビット 7 予約済み

ビット 6：4 **OC3M[2:0]**：出力比較 3 モード

ビット 3 **OC3PE**：出力比較 3 プリロードイネーブル

ビット 2 予約済み

ビット 1：0 **CC3S[1:0]**：キャプチャ／比較 3 選択

このビットフィールドは、チャネルの方向（入力／出力）と、使用される入力を定義します。

00：CC3 チャネルは出力として設定されます。

01：CC3 チャネルは入力として設定され、IC3 は TI3FP3 にマップされます。

10：予約済み

11：予約済み

*注： CC3S ビットは、チャネルがオフ（TIMx_CCER2 レジスタの CC3E=0）のときにのみ書き込み可能です。*



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 入力に設定されたチャネル

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| IC3F[3:0] | | | | IC3PSC[1:0] | | CC3S[1:0] | |
| rw | rw | rw | rw | rw | rw | rw | rw |

*注：　このレジスタは TIM3 では使用できません。*

ビット 7：4 **IC3F[3:0]**：入力キャプチャ 3 フィルタ

ビット 3：2 **IC3PSC[1:0]**：入力キャプチャ 3 プリスケーラ

ビット 1：0 **CC3S[1:0]**：キャプチャ／比較 3 選択

このビットフィールドは、チャネルの方向（入力／出力）と、使用される入力を定義します。

00：CC3 チャネルは出力として設定されます。

01：CC3 チャネルは入力として設定され、IC3 は TI3FP3 にマップされます。

10：予約済み

11：予約済み

*注：　CC3S ビットは、チャネルがオフ（TIMx_CCER2 レジスタの CC3E=0）のときにのみ書き込み可能です。*

## 18.6.11 キャプチャ／比較イネーブルレジスタ 1（TIMx_CCER1）

アドレスオフセット：0x08 または 0x0A（TIM2）、0x07（TIM3）、0x0A（TIM5）。TIM2 のアドレスについては、*TIM2/TIM3/TIM5 レジスタマップとリセット値* を参照してください。

リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| 予約済み | | CC2P | CC2E | 予約済み | | CC1P | CC1E |
| | | rw | rw | | | rw | rw |

ビット 6：7 予約済み

ビット 5 **CC2P**：キャプチャ／比較 2 出力極性

CC1P の説明を参照してください。

ビット 4 **CC2E**：キャプチャ／比較 2 出力イネーブル

CC1E の説明を参照してください。

ビット 2：3 予約済み

ビット 1 **CC1P**：キャプチャ／比較 1 出力極性

***CC1 チャネルが出力として設定されている場合***：

0：OC1 はアクティブハイです。

1：OC1 はアクティブローです。

***CC1 チャネルがキャプチャ機能のための入力として設定されている場合（図 64 を参照）***：

0：キャプチャは TI1F または TI2F の立ち上がりエッジで行われます。

1：キャプチャは、TI1F または TI2F の立ち下がりエッジで行われます。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 0 **CC1E**：キャプチャ／比較 1 出力イネーブル

***CC1 チャネルが出力として設定されている場合***：

0：オフ - OC1 はアクティブではありません。

1：オン - OC1 信号は、対応する出力ピンに出力されます。

**CC1 チャネルが入力として設定されている場合**：

この場合、このビットは、入力キャプチャ／比較レジスタ 1（TIMx_CCR1）でカウンタ値のキャプチャが可能かどうかを決めます。

0：キャプチャは無効です。

1：キャプチャは有効です。

## 18.6.12 キャプチャ／比較イネーブルレジスタ 2（TIMx_CCER2）

アドレスオフセット：0x09 または 0x0B（TIM2）、0x0B（TIM5）。TIM2 のアドレスについては、*TIM2/TIM3/TIM5 レジスタマップとリセット値* を参照してください。

リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| 予約済み | | | | | | CC3P | CC3E |
| | | | | | | rw | rw |

***注：*** ***このレジスタは TIM3 では使用できません。***

ビット 7：2 予約済み

ビット 1 **CC3P**：キャプチャ／比較 3 出力極性

CC1P の説明を参照してください。

ビット 0 **CC3E**：キャプチャ／比較 3 出力イネーブル

CC1E の説明を参照してください。

## 18.6.13 カウンタハイ（TIMx_CNTRH）

アドレスオフセット：0x0A または 0x0C（TIM2）、0x08（TIM3）、0x0C（TIM5）。TIM2 のアドレスについては、*TIM2/TIM3/TIM5 レジスタマップとリセット値* を参照してください。

リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| CNT[15:8] | | | | | | | |
| rw | rw | rw | rw | rw | rw | rw | rw |

ビット 7：0 **CNT[15:8]**：カウンタ値（MSB）



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 18.6.14 カウンタロー（TIMx_CNTRL）

アドレスオフセット：0x0B または 0x0D（TIM2）、0x09（TIM3）、0x0D（TIM5）。TIM2 のアドレスについては、*TIM2/TIM3/TIM5 レジスタマップとリセット値* を参照してください。

リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| CNT[7:0] | | | | | | | |
| rw | rw | rw | rw | rw | rw | rw | rw |

ビット 7：0 **CNT[7:0]**：カウンタ値（LSB）

### 18.6.15 プリスケーラレジスタ（TIMx_PSCR）

アドレスオフセット：0x0C または 0x0E（TIM2）、0x0A（TIM3）、0x0E（TIM5）。TIM2 のアドレスについては、*TIM2/TIM3/TIM5 レジスタマップとリセット値* を参照してください。

リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| 予約済み | | | | PSC[3:0] | | | |
| | | | | rw | rw | rw | rw |

ビット 7：3 予約済み

ビット 2：0 **PSC[3:0]**：プリスケーラ値

プリスケーラ値は、CK_PSC クロック周波数を分周します。

カウンタのクロック周波数 $f_{CK_CNT}$ は、$f_{CK_PSC} / 2^{(PSC[3:0])}$ に等しくなります。PSC[7:4] は、ハードウェアによって 0 に固定されています。

PSCR は、更新イベントごとにアクティブプリスケーラレジスタにロードされる値を含みます（TIMx_EGR レジスタの UG ビットを通じてカウンタがクリアされる場合を含みます）。

新しいプリスケーラ値が取り入れられるように、UEV が生成されなければなりません。

### 18.6.16 自動再ロードレジスタハイ（TIMx_ARRH）

アドレスオフセット：0x0D または 0x0F（TIM2）、0x0B（TIM3）、0x0F（TIM5）。TIM2 のアドレスについては、*TIM2/TIM3/TIM5 レジスタマップとリセット値* を参照してください。

リセット値：0xFF

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| ARR[15:8] | | | | | | | |
| rw | rw | rw | rw | rw | rw | rw | rw |

ビット 7：0 **ARR[15:8]**：自動再ロード値（MSB）

ARR は、実際の自動再ロードレジスタにロードされる値です。

ARR の更新と動作の詳細については、*セクション 17.3：TIM1 タイムベースユニット（136 ページ）* を参照してください。

自動再ロード値が 0 のときには、カウンタはブロックされます。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 18.6.17 自動再ロードレジスタ ロー（TIMx_ARRL）

アドレスオフセット：0x0E または 0x10（TIM2）、0x0C（TIM3）、0x10（TIM5）。TIM2 のアドレスについては、*TIM2/TIM3/TIM5 レジスタマップとリセット値* を参照してください。

リセット値：0xFF

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| ARR[7:0] | | | | | | | |
| rw | rw | rw | rw | rw | rw | rw | rw |

ビット 7：0 **ARR[7:0]**：自動再ロード値（LSB）

### 18.6.18 キャプチャ／比較レジスタ 1 ハイ（TIMx_CCR1H）

アドレスオフセット：0x0F または 0x11（TIM2）、0x0D（TIM3）、0x11（TIM5）。TIM2 のアドレスについては、*TIM2/TIM3/TIM5 レジスタマップとリセット値* を参照してください。

リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| CCR1[15:8] | | | | | | | |
| rw | rw | rw | rw | rw | rw | rw | rw |

ビット 7：0 **CCR1[15:8]**：キャプチャ／比較 1 値（MSB）

***CC1 チャネルが出力として設定されている場合（TIMx_CCMR1 レジスタの CC1S ビット）***：
CCR1 の値は、プリロード機能が有効でない場合（TIMx_CCMR1 の OC1PE ビット）、実際のキャプチャ／比較 1 レジスタに不変にロードされます。そうでない場合、プリロード値は、UEV が発生したときに、アクティブキャプチャ／比較 1 レジスタにコピーされます。アクティブキャプチャ／比較レジスタは、カウンタレジスタ TIMx_CNT と比較されて、OC1 出力に送信される値を含みます。

***CC1 チャネルが入力として設定されている場合（TIMx_CCMR1 レジスタの CC1S ビット）***：
CCR1 の値は、最後の入力キャプチャ 1 イベント（IC1）によって転送されたカウンタ値です。この場合、これらのビットは読み出し専用です。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 18.6.19 キャプチャ／比較レジスタ 1 ロー（TIMx_CCR1L）

アドレスオフセット：0x10 または 0x12（TIM2）、0x0E（TIM3）、0x12（TIM5）。TIM2 のアドレスについては、*TIM2/TIM3/TIM5 レジスタマップとリセット値* を参照してください。

リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| CCR1[7:0] | | | | | | | |
| rw | rw | rw | rw | rw | rw | rw | rw |

ビット 7：0 **CCR1[7:0]**：キャプチャ／比較 1 値（LSB）

### 18.6.20 キャプチャ／比較レジスタ 2 ハイ（TIMx_CCR2H）

アドレスオフセット：0x11 または 0x13（TIM2）、0x0F（TIM3）、0x13（TIM5）。TIM2 のアドレスについては、*TIM2/TIM3/TIM5 レジスタマップとリセット値* を参照してください。

リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| CCR2[15:8] | | | | | | | |
| rw | rw | rw | rw | rw | rw | rw | rw |

ビット 7：0 **CCR2[15:8]**：キャプチャ／比較 2 値（MSB）

***CC2 チャネルが出力として設定されている場合（TIMx_CCMR2 レジスタの CC2S ビット）***：
CCR2 の値は、プリロード機能が有効でない場合（TIMx_CCMR2 の OC2PE ビット）、実際のキャプチャ／比較 2 レジスタに不変にロードされます。そうでない場合、プリロード値は、UEV が発生したときに、アクティブキャプチャ／比較 2 レジスタにコピーされます。アクティブキャプチャ／比較レジスタは、カウンタレジスタ TIMx_CNT と比較され、OC2 出力に送信される値を含みます。

***CC2 チャネルが入力として設定されている場合（TIMx_CCMR2 レジスタの CC2S ビット）***：
CCR2 の値は、最後の入力キャプチャ 2 イベント（IC2）によって転送されたカウンタ値です。

### 18.6.21 キャプチャ／比較レジスタ 2 ロー（TIMx_CCR2L）

アドレスオフセット：0x12 または 0x14（TIM2）、0x10（TIM3）、0x14（TIM5）。TIM2 のアドレスについては、*TIM2/TIM3/TIM5 レジスタマップとリセット値* を参照してください。

リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| CCR2[7:0] | | | | | | | |
| rw | rw | rw | rw | rw | rw | rw | rw |

ビット 7：0 **CCR2[7:0]**：キャプチャ／比較値（LSB）



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 18.6.22 キャプチャ／比較レジスタ 3 ハイ（TIMx_CCR3H）

アドレスオフセット：00x13 または 0x15（TIM2）、0x15（TIM5）。TIM2 のアドレスについては、*TIM2/TIM3/TIM5 レジスタマップとリセット値* を参照してください。

リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| CCR3[15:8] | | | | | | | |
| rw | rw | rw | rw | rw | rw | rw | rw |

***注：*** ***このレジスタは TIM3 では使用できません。***

ビット 7:0 **CCR3[15:8]**：キャプチャ／比較値（MSB）

***CC3 チャネルが出力として設定されている場合（TIMx_CCMR3 レジスタの CC3S ビット）***：
CCR3 の値は、プリロード機能が有効でない場合（TIMx_CCMR3 の OC3PE ビット）、実際のキャプチャ／比較 3 レジスタに不変にロードされます。そうでない場合、プリロード値は、UEV が発生したときに、アクティブキャプチャ／比較 3 レジスタにコピーされます。アクティブキャプチャ／比較レジスタは、カウンタレジスタ TIMx_CNT と比較されて、OC3 出力に送信される値を含みます。

***CC3 チャネルが入力として設定されている場合（TIMx_CCMR3 レジスタの CC3S ビット）***：
CCR3 の値は、最後の入力キャプチャ 3 イベント（IC3）によって転送されたカウンタ値です。

### 18.6.23 キャプチャ／比較レジスタ 3 ロー（TIMx_CCR3L）

アドレスオフセット：00x14 または 0x16（TIM2）、0x16（TIM5）。TIM2 のアドレスについては、*TIM2/TIM3/TIM5 レジスタマップとリセット値* を参照してください。

リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| CCR3[7:0] | | | | | | | |
| rw | rw | rw | rw | rw | rw | rw | rw |

***注：*** ***このレジスタは TIM3 では使用できません。***

ビット 7:0 **CCR3[7:0]**：キャプチャ／比較値（LSB）

## TIM2/TIM3/TIM5 レジスタマップとリセット値

STM8S および STM8A デバイスによっては、オフセット 0x01 および 0x02 における TIM2 レジスタの位置が予約済みの場合があります。この場合、TIM2 ブロックにおける TIM2_IER とそれ以降のレジスタは、さらに 2 バイトだけオフセット調整されます。製品固有のレジスタマップについては、データシートを参照してください。

**表 40. TIM2 レジスタマップ**

| アドレスオフセット（製品に依存） | | レジスタ名 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|
| 0x00 | 0x00 | TIM2_CR1<br>リセット値 | ARPE<br>0 | -<br>0 | -<br>0 | -<br>0 | OPM<br>0 | URS<br>0 | UDIS<br>0 | CEN<br>0 |
| - | 0x01 | 予約済み | | | | | | | | |
| - | 0x02 | 予約済み | | | | | | | | |



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 40. TIM2 レジスタマップ （続き）

| アドレスオフセット（製品に依存） | | レジスタ名 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|
| 0x01 | 0x03 | TIM2_IER<br>リセット値 | -<br>0 | -<br>0 | -<br>0 | -<br>0 | CC3IE<br>0 | CC2IE<br>0 | CC1IE<br>0 | UIE<br>0 |
| 0x02 | 0x04 | TIM2_SR1<br>リセット値 | -<br>0 | -<br>0 | -<br>0 | -<br>0 | CC3IF<br>0 | CC2IF<br>0 | CC1IF<br>0 | UIF<br>0 |
| 0x03 | 0x05 | TIM2_SR2<br>リセット値 | -<br>0 | -<br>0 | -<br>0 | -<br>0 | CC3OF<br>0 | CC2OF<br>0 | CC1OF<br>0 | -<br>0 |
| 0x04 | 0x06 | TIM2_EGR<br>リセット値 | -<br>0 | -<br>0 | -<br>0 | -<br>0 | CC3G<br>0 | CC2G<br>0 | CC1G<br>0 | UG<br>0 |
| 0x05 | 0x07 | TIM2_CCMR1<br>（出力モード）<br>リセット値 | -<br>0 | OC1M2<br>0 | OC1M1<br>0 | OC1M0<br>0 | OC1PE<br>0 | -<br>0 | CC1S1<br>0 | CC1S0<br>0 |
| | | TIM2_CCMR1<br>（入力モード）<br>リセット値 | IC1F3<br>0 | IC1F2<br>0 | IC1F1<br>0 | IC1F0<br>0 | IC1PSC1<br>0 | IC1PSC0<br>0 | CC1S1<br>0 | CC1S0<br>0 |
| 0x06 | 0x08 | TIM2_ CCMR2<br>（出力モード）<br>リセット値 | -<br>0 | OC2M2<br>0 | OC2M1<br>0 | OC2M0<br>0 | OC2PE<br>0 | -<br>0 | CC2S1<br>0 | CC2S0<br>0 |
| | | TIM2_CCMR2<br>（入力モード）<br>リセット値 | IC2F3<br>0 | IC2F2<br>0 | IC2F1<br>0 | IC2F0<br>0 | IC2PSC1<br>0 | IC2PSC0<br>0 | CC2S1<br>0 | CC2S0<br>0 |
| 0x07 | 0x09 | TIM2_CCMR3<br>（出力モード）<br>リセット値 | -<br>0 | OC3M2<br>0 | OC3M1<br>0 | OC3M0<br>0 | OC3PE<br>0 | -<br>0 | CC3S1<br>0 | CC3S0<br>0 |
| | | TIM2_CCMR3<br>（入力モード）<br>リセット値 | IC3F3<br>0 | IC3F2<br>0 | IC3F1<br>0 | IC3F0<br>0 | IC3PSC1<br>0 | IC3PSC0<br>0 | CC3S1<br>0 | CC3S0<br>0 |
| 0x08 | 0x0A | TIM2_CCER1<br>リセット値 | -<br>0 | -<br>0 | CC2P<br>0 | CC2E<br>0 | -<br>0 | -<br>0 | CC1P<br>0 | CC1E<br>0 |
| 0x09 | 0x0B | TIM2_CCER2<br>リセット値 | -<br>0 | -<br>0 | -<br>0 | -<br>0 | -<br>0 | -<br>0 | CC3P<br>0 | CC3E<br>0 |
| 0x0A | 0x0C | TIM2_CNTRH<br>リセット値 | CNT15<br>0 | CNT14<br>0 | CNT13<br>0 | CNT12<br>0 | CNT11<br>0 | CNT10<br>0 | CNT9<br>0 | CNT8<br>0 |
| 0x0B | 0x0D | TIM2_CNTRL<br>リセット値 | CNT7<br>0 | CNT6<br>0 | CNT5<br>0 | CNT4<br>0 | CNT3<br>0 | CNT2<br>0 | CNT1<br>0 | CNT0<br>0 |
| 0x0C | 0x0E | TIM2_PSCR<br>リセット値 | -<br>0 | -<br>0 | -<br>0 | -<br>0 | PSC3<br>0 | PSC2<br>0 | PSC1<br>0 | PSC0<br>0 |
| 0x0D | 0x0F | TIM2_ARRH<br>リセット値 | ARR15<br>1 | ARR14<br>1 | ARR13<br>1 | ARR12<br>1 | ARR11<br>1 | ARR10<br>1 | ARR9<br>1 | ARR8<br>1 |
| 0x0E | 0x10 | TIM2_ARRL<br>リセット値 | ARR7<br>1 | ARR6<br>1 | ARR5<br>1 | ARR4<br>1 | ARR3<br>1 | ARR2<br>1 | ARR1<br>1 | ARR0<br>1 |
| 0x0F | 0x11 | TIM2_CCR1H<br>リセット値 | CCR115<br>0 | CCR114<br>0 | CCR113<br>0 | CCR112<br>0 | CCR111<br>0 | CCR110<br>0 | CCR19<br>0 | CCR18<br>0 |
| 0x10 | 0x12 | TIM2_CCR1L<br>リセット値 | CCR17<br>0 | CCR16<br>0 | CCR15<br>0 | CCR14<br>0 | CCR13<br>0 | CCR12<br>0 | CCR11<br>0 | CCR10<br>0 |
| 0x11 | 0x13 | TIM2_CCR2H<br>リセット値 | CCR215<br>0 | CCR214<br>0 | CCR213<br>0 | CCR212<br>0 | CCR211<br>0 | CCR210<br>0 | CCR29<br>0 | CCR28<br>0 |
| 0x12 | 0x14 | TIM2_CCR2L<br>リセット値 | CCR27<br>0 | CCR26<br>0 | CCR25<br>0 | CCR24<br>0 | CCR23<br>0 | CCR22<br>0 | CCR21<br>0 | CCR20<br>0 |
| 0x13 | 0x15 | TIM2_CCR3H<br>リセット値 | CCR315<br>0 | CCR314<br>0 | CCR313<br>0 | CCR312<br>0 | CCR311<br>0 | CCR310<br>0 | CCR39<br>0 | CCR38<br>0 |
| 0x14 | 0x16 | TIM2_CCR3L<br>リセット値 | CCR37<br>0 | CCR36<br>0 | CCR35<br>0 | CCR34<br>0 | CCR33<br>0 | CCR32<br>0 | CCR31<br>0 | CCR30<br>0 |



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

**表 41. TIM3 レジスタマップ**

| アドレス<br>オフセット | レジスタ名 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|
| 0x00 | TIM3_CR1<br>リセット値 | ARPE<br>0 | -<br>0 | -<br>0 | -<br>0 | OPM<br>0 | URS<br>0 | UDIS<br>0 | CEN<br>0 |
| 0x01 | TIM3_IER<br>リセット値 | -<br>0 | 0 | -<br>0 | -<br>0 | -<br>0 | CC2IE<br>0 | CC1IE<br>0 | UIE<br>0 |
| 0x02 | TIM3_SR1<br>リセット値 | -<br>0 | 0 | -<br>0 | -<br>0 | -<br>0 | CC2IF<br>0 | CC1IF<br>0 | UIF<br>0 |
| 0x03 | TIM3_SR2<br>リセット値 | -<br>0 | -<br>0 | -<br>0 | -<br>0 | -<br>0 | CC2OF<br>0 | CC1OF<br>0 | -<br>0 |
| 0x04 | TIM3_EGR<br>リセット値 | -<br>0 | 0 | -<br>0 | -<br>0 | -<br>0 | CC2G<br>0 | CC1G<br>0 | UG<br>0 |
| 0x05 | TIM3_CCMR1<br>（出力モード）<br>リセット値 | -<br>0 | OC1M2<br>0 | OC1M1<br>0 | OC1M0<br>0 | OC1PE<br>0 | -<br>0 | CC1S1<br>0 | CC1S0<br>0 |
| | TIM3_CCMR1<br>（入力モード）<br>リセット値 | IC1F3<br>0 | IC1F2<br>0 | IC1F1<br>0 | IC1F0<br>0 | IC1PSC1<br>0 | IC1PSC0<br>0 | CC1S1<br>0 | CC1S0<br>0 |
| 0x06 | TIM3_ CCMR2<br>（出力モード）<br>リセット値 | -<br>0 | OC2M2<br>0 | OC2M1<br>0 | OC2M0<br>0 | OC2PE<br>0 | -<br>0 | CC2S1<br>0 | CC2S0<br>0 |
| | TIM3_CCMR2<br>（入力モード）<br>リセット値 | IC2F3<br>0 | IC2F2<br>0 | IC2F1<br>0 | IC2F0<br>0 | IC2PSC1<br>0 | IC2PSC0<br>0 | CC2S1<br>0 | CC2S0<br>0 |
| 0x07 | TIM3_CCER1<br>リセット値 | -<br>0 | -<br>0 | CC2P<br>0 | CC2E<br>0 | -<br>0 | -<br>0 | CC1P<br>0 | CC1E<br>0 |
| 0x08 | TIM3_CNTRH<br>リセット値 | CNT15<br>0 | CNT14<br>0 | CNT13<br>0 | CNT12<br>0 | CNT11<br>0 | CNT10<br>0 | CNT9<br>0 | CNT8<br>0 |
| 0x09 | TIM3_CNTRL<br>リセット値 | CNT7<br>0 | CNT6<br>0 | CNT5<br>0 | CNT4<br>0 | CNT3<br>0 | CNT2<br>0 | CNT1<br>0 | CNT0<br>0 |
| 0x0A | TIM3_PSCR<br>リセット値 | -<br>0 | -<br>0 | -<br>0 | -<br>0 | PSC3<br>0 | PSC2<br>0 | PSC1<br>0 | PSC0<br>0 |
| 0x0B | TIM3_ARRH<br>リセット値 | ARR15<br>1 | ARR14<br>1 | ARR13<br>1 | ARR12<br>1 | ARR11<br>1 | ARR10<br>1 | ARR9<br>1 | ARR8<br>1 |
| 0x0C | TIM3_ARRL<br>リセット値 | ARR7<br>1 | ARR6<br>1 | ARR5<br>1 | ARR4<br>1 | ARR3<br>1 | ARR2<br>1 | ARR1<br>1 | ARR0<br>1 |
| 0x0D | TIM3_CCR1H<br>リセット値 | CCR115<br>0 | CCR114<br>0 | CCR113<br>0 | CCR112<br>0 | CCR111<br>0 | CCR110<br>0 | CCR19<br>0 | CCR18<br>0 |
| 0x0E | TIM3_CCR1L<br>リセット値 | CCR17<br>0 | CCR16<br>0 | CCR15<br>0 | CCR14<br>0 | CCR13<br>0 | CCR12<br>0 | CCR11<br>0 | CCR10<br>0 |
| 0x0F | TIM3_CCR2H<br>リセット値 | CCR215<br>0 | CCR214<br>0 | CCR213<br>0 | CCR212<br>0 | CCR211<br>0 | CCR210<br>0 | CCR29<br>0 | CCR28<br>0 |
| 0x10h | TIM3_CCR2L<br>リセット値 | CCR27<br>0 | CCR26<br>0 | CCR25<br>0 | CCR24<br>0 | CCR23<br>0 | CCR22<br>0 | CCR21<br>0 | CCR20<br>0 |



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 42. TIM5 レジスタマップ

| アドレス | レジスタ名 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|
| 0x00 | TIM5_CR1<br>リセット値 | ARPE<br>0 | -<br>0 | -<br>0 | -<br>0 | OPM<br>0 | URS<br>0 | UDIS<br>0 | CEN<br>0 |
| 0x01 | TIM5_CR2<br>リセット値 | -<br>0 | MMS2<br>0 | MMS1<br>0 | MMS0<br>0 | -<br>0 | COMS<br>0 | -<br>0 | CCPC<br>0 |
| 0x02 | TIM5_SMCR<br>リセット値 | MSM<br>0 | TS2<br>0 | TS1<br>0 | TS0<br>0 | -<br>0 | SMS2<br>0 | SMS1<br>0 | SMS0<br>0 |
| 0x03 | TIM5_IER<br>リセット値 | -<br>0 | TIE<br>0 | -<br>0 | -<br>0 | CC3IE<br>0 | CC2IE<br>0 | CC1IE<br>0 | UIE<br>0 |
| 0x04 | TIM5_SR1<br>リセット値 | -<br>0 | TIF<br>0 | -<br>0 | -<br>0 | CC3IF<br>0 | CC2IF<br>0 | CC1IF<br>0 | UIF<br>0 |
| 0x05 | TIM5_SR2<br>リセット値 | -<br>0 | -<br>0 | -<br>0 | -<br>0 | CC3OF<br>0 | CC2OF<br>0 | CC1OF<br>0 | -<br>0 |
| 0x06 | TIM5_EGR<br>リセット値 | -<br>0 | TG<br>0 | -<br>0 | -<br>0 | CC3G<br>0 | CC2G<br>0 | CC1G<br>0 | UG<br>0 |
| 0x07 | TIM5_CCMR1<br>（出力モード）<br>リセット値 | -<br>0 | OC1M2<br>0 | OC1M1<br>0 | OC1M0<br>0 | OC1PE<br>0 | -<br>0 | CC1S1<br>0 | CC1S0<br>0 |
| | TIM5_CCMR1<br>（入力モード）<br>リセット値 | IC1F3<br>0 | IC1F2<br>0 | IC1F1<br>0 | IC1F0<br>0 | IC1PSC1<br>0 | IC1PSC0<br>0 | CC1S1<br>0 | CC1S0<br>0 |
| 0x08 | TIM5_ CCMR2<br>（出力モード）<br>リセット値 | -<br>0 | OC2M2<br>0 | OC2M1<br>0 | OC2M0<br>0 | OC2PE<br>0 | -<br>0 | CC2S1<br>0 | CC2S0<br>0 |
| | TIM5_CCMR2<br>（入力モード）<br>リセット値 | IC2F3<br>0 | IC2F2<br>0 | IC2F1<br>0 | IC2F0<br>0 | IC2PSC1<br>0 | IC2PSC0<br>0 | CC2S1<br>0 | CC2S0<br>0 |
| 0x09 | TIM5_CCMR3<br>（出力モード）<br>リセット値 | -<br>0 | OC3M2<br>0 | OC3M1<br>0 | OC3M0<br>0 | OC3PE<br>0 | -<br>0 | CC3S1<br>0 | CC3S0<br>0 |
| | TIM5_CCMR3<br>（入力モード）<br>リセット値 | IC3F3<br>0 | IC3F2<br>0 | IC3F1<br>0 | IC3F0<br>0 | IC3PSC1<br>0 | IC3PSC0<br>0 | CC3S1<br>0 | CC3S0<br>0 |
| 0x0A | TIM5_CCER1<br>リセット値 | -<br>0 | -<br>0 | CC2P<br>0 | CC2E<br>0 | -<br>0 | -<br>0 | CC1P<br>0 | CC1E<br>0 |
| 0x0B | TIM5_CCER2<br>リセット値 | -<br>0 | -<br>0 | -<br>0 | -<br>0 | -<br>0 | -<br>0 | CC3P<br>0 | CC3E<br>0 |
| 0x0C | TIM5_CNTRH<br>リセット値 | CNT15<br>0 | CNT14<br>0 | CNT13<br>0 | CNT12<br>0 | CNT11<br>0 | CNT10<br>0 | CNT9<br>0 | CNT8<br>0 |
| 0x0D | TIM5_CNTRL<br>リセット値 | CNT7<br>0 | CNT6<br>0 | CNT5<br>0 | CNT4<br>0 | CNT3<br>0 | CNT2<br>0 | CNT1<br>0 | CNT0<br>0 |
| 0x0E | TIM5_PSCR<br>リセット値 | -<br>0 | -<br>0 | -<br>0 | -<br>0 | PSC3<br>0 | PSC2<br>0 | PSC1<br>0 | PSC0<br>0 |
| 0x0F | TIM5_ARRH<br>リセット値 | ARR15<br>1 | ARR14<br>1 | ARR13<br>1 | ARR12<br>1 | ARR11<br>1 | ARR10<br>1 | ARR9<br>1 | ARR8<br>1 |
| 0x10 | TIM5_ARRL<br>リセット値 | ARR7<br>1 | ARR6<br>1 | ARR5<br>1 | ARR4<br>1 | ARR3<br>1 | ARR2<br>1 | ARR1<br>1 | ARR0<br>1 |
| 0x11 | TIM5_CCR1H<br>リセット値 | CCR115<br>0 | CCR114<br>0 | CCR113<br>0 | CCR112<br>0 | CCR111<br>0 | CCR110<br>0 | CCR19<br>0 | CCR18<br>0 |
| 0x12 | TIM5_CCR1L<br>リセット値 | CCR17<br>0 | CCR16<br>0 | CCR15<br>0 | CCR14<br>0 | CCR13<br>0 | CCR12<br>0 | CCR11<br>0 | CCR10<br>0 |
| 0x13 | TIM5_CCR2H<br>リセット値 | CCR215<br>0 | CCR214<br>0 | CCR213<br>0 | CCR212<br>0 | CCR211<br>0 | CCR210<br>0 | CCR29<br>0 | CCR28<br>0 |



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

**表 42. TIM5 レジスタマップ （続き）**

| アドレス | レジスタ名 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|
| 0x14 | TIM5_CCR2L<br>リセット値 | CCR27<br>0 | CCR26<br>0 | CCR25<br>0 | CCR24<br>0 | CCR23<br>0 | CCR22<br>0 | CCR21<br>0 | CCR20<br>0 |
| 0x15 | TIM5_CCR3H<br>リセット値 | CCR315<br>0 | CCR314<br>0 | CCR313<br>0 | CCR312<br>0 | CCR311<br>0 | CCR310<br>0 | CCR39<br>0 | CCR38<br>0 |
| 0x16 | TIM5_CCR3L<br>リセット値 | CCR37<br>0 | CCR36<br>0 | CCR35<br>0 | CCR34<br>0 | CCR33<br>0 | CCR32<br>0 | CCR31<br>0 | CCR30<br>0 |



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

参考資料



# 19 8 ビット基本タイマ（TIM4、TIM6）

## 19.1 概要

このタイマは、プログラマブルなプリスケーラによって駆動される 8 ビット自動再ロードアップカウンタで構成されています。タイマオーバーフロー時の割り込み生成機能を備え、タイムベース生成に使用できます。

TIM6 は、タイマ同期と連結用のクロック／トリガコントローラを実装しています。

タイマ機能の一般的な説明については、*セクション 17.3（136 ページ）*を参照してください。

**図 89. TIM4 ブロック図**

**図 90. TIM6 ブロック図**

この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

## 19.2 TIM4 の主な機能

主な機能：

- 8 ビット自動再ロードアップカウンタ
- 3 ビットプログラマブルプリスケーラ：カウンタクロック周波数の 1、2、4、8、16、32、64、および 128 分周（動作中でも変更可）が可能。
- 割り込みの生成
  - カウンタ更新時：カウンタオーバーフロー

## 19.3 TIM6 の主な機能

主な機能：

- 8 ビット自動再ロードアップカウンタ
- 3 ビットプログラマブルプリスケーラ：カウンタクロック周波数の 1、2、4、8、16、32、64、および 128 分周（動作中でも変更可）が可能。
- 外部信号でタイマを制御し、複数のタイマを相互接続する同期回路（*セクション 17.4.6（153 ページ）*を参照）。
- 割り込みの生成
  - カウンタ更新時：カウンタオーバーフロー
  - トリガ入力時

## 19.4 TIM4/TIM6 割り込み

タイマには 2 つの割り込みリクエストソースがあります。

- 更新割り込み（オーバーフロー、カウンタ初期化）
- トリガ入力（TIM6 のみ）

## 19.5 TIM4/TIM6 クロックの選択

このタイマのクロックソースは、内部クロック（$f_{MASTER}$）です。カウンタクロック CK_CNT を駆動するプリスケーラに供給される CK_PSC クロックに直接接続されます。

### プリスケーラ

プリスケーラは、次のように実装されています。

- プリスケーラは、3 ビットレジスタ（TIMx_PSCR レジスタ）を通じて制御される 7 ビットのカウンタに基づきます。この制御レジスタはバッファされるので、動作中に変更できます。カウンタクロック周波数を 1 から 128 までの任意の 2 の累乗で分周することができます。

  カウンタクロック周波数は、次の式で計算されます。

  $f_{CK_CNT} = f_{CK_PSC}/2^{(PSCR[2:0])}$

プリスケーラの値は、プリロードレジスタを介してロードされます。シャドウレジスタは、使用される現在値を含み、LS バイトが書き込まれるとロードされます。

TIMx_PSCR レジスタの読み出し動作はプリロードレジスタにアクセスするので、読み出しに特別な注意は必要ありません。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

## 19.6 TIM4/TIM6 レジスタ

### 19.6.1 制御レジスタ 1（TIMx_CR1）

アドレスオフセット：0x00
リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| ARPE | 予約済み | | | OPM | URS | UDIS | CEN |
| rw | | | | rw | rw | rw | rw |

ビット 7 **ARPE**：自動再ロードプリロードイネーブル

0：TIM4_ARR レジスタは、プリロードレジスタを通じてバッファされません。直接書き込むことができます。

1：TIM4_ARR レジスタは、プリロードレジスタを通じてバッファされます。

ビット 6:4 予約済み、クリアされた状態に保つ必要があります。

ビット 3 **OPM**：ワンパルスモード

0：カウンタは更新イベントで停止しません。

1：カウンタは次の更新イベントでカウントを停止します（CEN ビットをクリアします）。

ビット 2 **URS**：更新リクエストソース

0：有効なときには、レジスタが更新されると（カウンタオーバーフロー）、更新割り込みリクエストが送信されます。

1：有効なときには、カウンタがオーバーフロー／アンダーフローしたときのみ、更新割り込みリクエストが送信されます。

ビット 1 **UDIS**：更新ディセーブル

0：カウンタオーバーフローが発生したとき、またはソフトウェア更新が生成されたとき、UEV が生成されます。バッファを持つレジスタにはプリロード値がロードされます。

1：UEV は生成されず、シャドウレジスタ（ARR、PSC）は値を維持します。UG ビットがセットされている場合、カウンタとプリスケーラは再初期化されます。

ビット 0 **CEN**：カウンタイネーブル

0：カウンタは無効です。

1：カウンタは有効です。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 19.6.2 制御レジスタ 2（TIM6_CR2）

アドレスオフセット：0x01

リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| 予約済み | MMS[2:0] | | | 予約済み | | | |
| | rw | rw | rw | | | | |

*注： このレジスタは TIM4 では使用できません。*

ビット 7 予約済み、クリアされた状態に保つ必要があります。

ビット 6:4 **MMS[2:0]**：マスタモード選択

これらのビットは、同期のためにマスタモードで送信される情報（TRGO）を選択するために使用されます。組み合わせは、次のとおりです。

000：リセット - TIM6_EGR レジスタの UG ビットがトリガ出力（TRGO）として使用されます。トリガ入力によってリセットが生成された場合（クロック／トリガモードコントローラがトリガリセットモードに設定されているとき）、TRGO 信号は実際のリセットより遅延します。

001：イネーブル - カウンタイネーブル信号がトリガ出力（TRGO）として使用されます。複数のタイマを同時に開始するときや、スレーブタイマが有効な時間枠を制御するために使用されます。カウンタイネーブル信号は、ゲートモードに設定されているとき、CEN 制御ビットとトリガ入力との論理和（OR）によって生成されます。カウンタイネーブル信号がトリガ入力によって制御されているときには、マスタ／スレーブモードが選択されている場合を除き、TRGO に遅延が存在します（TIM6_SMCR レジスタの MSM ビットの説明を参照）。

010：更新 - 更新イベントがトリガ出力（TRGO）として選択されます。

011：予約済み

100：予約済み

101：予約済み

111：予約済み

ビット 3:0 予約済み、クリアされた状態に保つ必要があります。

### 19.6.3 スレーブモード制御レジスタ（TIM6_SMCR）

アドレスオフセット：0x02

リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| MSM | TS[2:0] | | | 予約済み | SMS[2:0] | | |
| rw | rw | rw | rw | | rw | rw | rw |

*注： このレジスタは TIM4 では使用できません。*

ビット 7 **MSM**：マスタ／スレーブモード

0：影響なし。

1：イベントがトリガ入力（TRGI）に与える効果は、タイマ間の完全な同期（TRGO を通じて）を可能にするために遅延されます。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 6:4 **TS[2:0]**：トリガ選択

このビットフィールドは、カウンタの同期に使用されるトリガ入力を選択します。

000：予約済み

001：予約済み

010：内部トリガ ITR2 は TIM5 TRGO に接続されます。

011：内部トリガ ITR3 は TIM1 TRGO に接続されます。

100：予約済み

101：予約済み

110：予約済み

111：予約済み

*注： 遷移時の誤ったエッジ検出を避けるために、これらのビットは、使用されていないとき（SMS=000 のときなど）にのみ変更しなければなりません。*

ビット 3 予約済み。

ビット 2:0 **SMS[2:0]**：クロック／トリガ／スレーブモード選択

外部信号が選択されると、トリガ信号（TRGI）のアクティブエッジが外部入力で選択された極性にリンクされます（入力制御レジスタおよび制御レジスタの説明を参照してください）。

000：クロック／トリガコントローラは無効です。CEN = 1 の場合、プリスケーラは内部クロックによって直接クロック供給されます。

001：予約済み

010：予約済み

011：予約済み

100：トリガリセットモード - 選択されたトリガ信号（TRGI）の立ち上がりエッジで、カウンタが再初期化され、レジスタの更新が生成されます。

101：ゲートモード - カウンタクロックは、トリガ信号（TRGI）がハイのときに有効になります。トリガがローになると、カウンタは停止します（リセットはされません）。カウンタの開始と停止の両方が制御されます。

110：トリガモード - カウンタは、トリガ入力（TRGI）の立ち上がりエッジで開始します（リセットはされません）。カウンタの開始のみが制御されます。

111：外部クロックモード 1 - 選択されたトリガ（TRGI）の立ち上がりエッジで、カウンタのクロックが供給されます。

## 19.6.4 割り込みイネーブルレジスタ（TIMx_IER）

アドレスオフセット：0x01 または 0x03（TIM4）、0x03（TIM6）。TIM4 のアドレスについては、*セクション 19.6.10* を参照してください。

リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| 予約済み | TIE | 予約済み | | | | | UIE |
| | rw | | | | | | rw |

ビット 7 予約済み、クリアされた状態に保つ必要があります。

ビット 6 **TIE**：トリガ割り込みイネーブル

0：トリガ割り込みは無効です。

1：トリガ割り込みは有効です。

*注： TIM4 では、このビットは予約済みです。*

ビット 5:1 予約済み、クリアされた状態に保つ必要があります。

ビット 0 **UIE**：更新割り込みイネーブル

0：更新割り込みは無効です。

1：更新割り込みは有効です。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 19.6.5 ステータスレジスタ 1（TIMx_SR）

アドレスオフセット：0x02 または 0x04（TIM4）、0x04（TIM6）。TIM4 のアドレスについては、*セクション 19.6.10* を参照してください。

リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| 予約済み | TIF | 予約済み | | | | | UIF |
| | rc_w0 | | | | | | rc_w0 |

ビット 7 予約済み、クリアされた状態に保つ必要があります。

ビット 6 **TIF**：トリガ割り込みフラグ

このフラグは、トリガイベント（TRGI 信号でのアクティブエッジ検出、ゲートモードが選択されている場合は両方のエッジ検出）時にハードウェアによってセットされます。ソフトウェアによってクリアされます。

0：トリガイベントは発生していません。

1：トリガ割り込みがペンディング中です。

***注： TIM4 では、このビットは予約済みです。***

ビット 5:1 予約済み、クリアされた状態に保つ必要があります。

ビット 0 **UIF**：更新割り込みフラグ

このビットは、更新イベント時にハードウェアによってセットされます。ソフトウェアによってクリアされます。

0：更新は発生していません。

1：更新割り込みがペンディング中です。このビットは、レジスタが以下で更新されたときにハードウェアによってセットされます。

– TIM4_CR1レジスタの UDIS = 0 の場合、オーバーフローが発生したとき。

– TIM4_CR1 レジスタの URS=0 かつ UDIS=0 の場合、TIM4_EGR レジスタの UG ビットを使用して、ソフトウェアによって CNT が再初期化されたとき。

### 19.6.6 イベント生成レジスタ（TIMx_EGR）

アドレスオフセット：0x03 または 0x05（TIM4）、0x05（TIM6）。TIM4 のアドレスについては、*セクション 19.6.10* を参照してください。

リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| 予約済み | TG | 予約済み | | | | | UG |
| | w | | | | | | w |

ビット 7 予約済み、クリアされた状態に保つ必要があります。

ビット 6 **TG**：トリガ生成

このビットは、イベントを生成するために、ソフトウェアによってセットされます。ハードウェアによって自動的にクリアされます。

0：影響なし。

1：TIM6_SR レジスタの TIF フラグがセットされます。TIE ビットによって有効にされている場合、割り込みが生成されます。

***注： TIM4 では、このビットは予約済みです。***

ビット 5:1 予約済み、クリアされた状態に保つ必要があります。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 0 **UG**：更新生成

このビットは、ソフトウェアによってセットでき、ハードウェアによって自動的にクリアされます。

0：影響なし。

1：カウンタを再初期化し、レジスタの更新を生成します。プリスケーラカウンタもクリアされることに注意してください。

## 19.6.7 カウンタ（TIMx_CNTR）

アドレスオフセット：0x04 または 0x06（TIM4）、0x06（TIM6）。TIM4 のアドレスについては、*セクション 19.6.10* を参照してください。

リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| CNT[7:0] | | | | | | | |
| rw | rw | rw | rw | rw | rw | rw | rw |

ビット 7:0 **CNT[7:0]**：カウンタ値



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 19.6.8 プリスケーラレジスタ（TIMx_PSCR）

アドレスオフセット：0x05 または 0x07（TIM4）、0x07（TIM6）。TIM4 のアドレスについては、*セクション 19.6.10* を参照してください。

リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| 予約済み | | | | | PSC[2:0] | | |
| | | | | | rw | rw | rw |

ビット 7：3 予約済み、クリアされた状態に保つ必要があります。

ビット 2:0 **PSC[2:0]**：プリスケーラ値

プリスケーラ値は、CK_PSC クロック周波数を分周します。カウンタのクロック周波数 $f_{CK_CNT}$ は、$f_{CK_PSC}$ / 2(PSC[2:0]) に等しくなります。

PSC は、UEV ごとにアクティブプリスケーラレジスタにロードされる値を含みます（TIM4_EGR レジスタの UG ビットを通じてカウンタがクリアされる場合を含みます）。

したがって、新しいプリスケーラ値が取り入れられるように、UEV が生成されなければなりません。

### 19.6.9 自動再ロードレジスタ（TIMx_ARR）

アドレスオフセット：0x06 または 0x08（TIM4）、0x08（TIM6）。TIM4 のアドレスについては、*セクション 19.6.10* を参照してください。

リセット値：0xFF

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| ARR[7:0] | | | | | | | |
| rw | rw | rw | rw | rw | rw | rw | rw |

ビット 7:0 **ARR[7:0]**：自動再ロード値



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 19.6.10 TIM4/TIM6 レジスタマップとリセット値

STM8S および STM8A デバイスによっては、オフセット 0x01 および 0x02 における TIM4 レジスタの位置が予約済みの場合があります。この場合、TIM4 ブロックにおける TIM4_IER とそれ以降のレジスタは、さらに 2 バイトだけオフセット調整されます。製品固有のレジスタマップについては、データシートを参照してください。

**表 43. TIM4 レジスタマップ**

| アドレスオフセット（製品に依存） | | レジスタ名 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|
| 0x00 | 0x00 | TIM4_CR1<br>リセット値 | ARPE<br>0 | -<br>0 | -<br>0 | -<br>0 | OPM<br>0 | URS<br>0 | UDIS<br>0 | CEN<br>0 |
| - | 0x01 | 予約済み | | | | | | | | |
| - | 0x02 | 予約済み | | | | | | | | |
| 0x01 | 0x03 | TIM4_IER<br>リセット値 | -<br>0 | -<br>0 | -<br>0 | -<br>0 | -<br>0 | -<br>0 | -<br>0 | UIE<br>0 |
| 0x02 | 0x04 | TIM4_SR<br>リセット値 | -<br>0 | -<br>0 | -<br>0 | -<br>0 | -<br>0 | -<br>0 | -<br>0 | UIF<br>0 |
| 0x03 | 0x05 | TIM4_EGR<br>リセット値 | -<br>0 | -<br>0 | -<br>0 | -<br>0 | -<br>0 | -<br>0 | -<br>0 | UG<br>0 |
| 0x04 | 0x06 | TIM4_CNTR<br>リセット値 | CNT7<br>0 | CNT6<br>0 | CNT5<br>0 | CNT4<br>0 | CNT3<br>0 | CNT2<br>0 | CNT1<br>0 | CNT0<br>0 |
| 0x05 | 0x07 | TIM4_PSCR<br>リセット値 | -<br>0 | -<br>0 | -<br>0 | -<br>0 | -<br>0 | PSC2<br>0 | PSC1<br>0 | PSC0<br>0 |
| 0x06 | 0x08 | TIM4_ARR<br>リセット値 | ARR7<br>1 | ARR6<br>1 | ARR5<br>1 | ARR4<br>1 | ARR3<br>1 | ARR2<br>1 | ARR1<br>1 | ARR0<br>1 |

**表 44. TIM6 レジスタマップ**

| アドレスオフセット | レジスタ名 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|
| 0x00 | TIM6_CR1<br>リセット値 | ARPE<br>0 | -<br>0 | -<br>0 | -<br>0 | OPM<br>0 | URS<br>0 | UDIS<br>0 | CEN<br>0 |
| 0x01 | TIM6_CR2<br>リセット値 | -<br>0 | MMS2<br>0 | MMS1<br>0 | MMS0<br>0 | -<br>0 | -<br>0 | -<br>0 | -<br>0 |
| 0x02 | TIM6_SMCR<br>リセット値 | MSM<br>0 | TS2<br>0 | TS1<br>0 | TS0<br>0 | -<br>0 | SMS2<br>0 | SMS1<br>0 | SMS0<br>0 |
| 0x03 | TIM6_IER<br>リセット値 | -<br>0 | TIE<br>0 | -<br>0 | -<br>0 | -<br>0 | -<br>0 | -<br>0 | UIE<br>0 |
| 0x04 | TIM6_SR1<br>リセット値 | -<br>0 | TIF<br>0 | -<br>0 | -<br>0 | -<br>0 | -<br>0 | -<br>0 | UIF<br>0 |
| 0x05 | TIM6_EGR<br>リセット値 | -<br>0 | TG<br>0 | -<br>0 | -<br>0 | -<br>0 | -<br>0 | -<br>0 | UG<br>0 |
| 0x06 | TIM6_CNTR<br>リセット値 | CNT7<br>0 | CNT6<br>0 | CNT5<br>0 | CNT4<br>0 | CNT3<br>0 | CNT2<br>0 | CNT1<br>0 | CNT0<br>0 |



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

参考資料



表 44. TIM6 レジスタマップ （続き）

| アドレス オフセット | レジスタ名 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|
| 0x07 | TIM6_PSCR<br>リセット値 | -<br>0 | -<br>0 | -<br>0 | -<br>0 | -<br>0 | PSC2<br>0 | PSC1<br>0 | PSC0<br>0 |
| 0x08 | TIM6_ARR<br>リセット値 | ARR7<br>1 | ARR6<br>1 | ARR5<br>1 | ARR4<br>1 | ARR3<br>1 | ARR2<br>1 | ARR1<br>1 | ARR0<br>1 |



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

# 20 シリアルペリフェラルインタフェース（SPI）

## 20.1 概要

SPI（シリアルペリフェラルインタフェース）では、外部デバイスとの半二重／全二重の同期シリアル通信が可能です。このインタフェースはマスタとして設定することも可能で、その場合、外部スレーブデバイスに通信クロック（SCK）を供給します。このインタフェースは、マルチマスタ設定で動作することもできます。

2 本のライン（双方向データラインを使用可能）での単方向同期転送や、CRC チェックを使用した信頼性の高い通信など、さまざまな目的に使用できます。

## 20.2 SPI の主な機能

- 3 本のラインで全二重同期転送
- 2 本のラインで単方向同期転送（双方向データラインの有無にかかわらず）
- マスタまたはスレーブ動作
- 8 つのマスタモード周波数（最大：$f_{MASTER}/2$）
- スレーブモード周波数（最大：$f_{MASTER}/2$）
- 高速通信 - 最大 SPI 速度：10 MHz
- マスタとスレーブの両方に対するハードウェア／ソフトウェアによる NSS 管理
- クロックの極性と位相をプログラミング可能
- データ順序をプログラミング可能（MSB ファースト／LSB ファーストのシフト）
- 専用の送受信フラグ（割り込み機能付き）
- SPI バスビジーステータスフラグ
- マスタモードの障害およびオーバーランフラグ（割り込み機能付き）
- ハードウェア CRC 機能による信頼性の高い通信：
  - 送信モードでは CRC 値を最終バイトとして送信可能
  - 最終受信バイトの CRC エラーチェック
- ウェイクアップ機能：
  MCU は、全二重／半二重の送信専用モードにおいて、低電力モードからウェイクアップします



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

## 20.3 SPI 機能の説明

### 20.3.1 概要

SPI のブロック図を*図 91* に示します。

**図 91. SPI のブロック図**

SPI は 4 本のピンで外部デバイスに接続されます。

- MISO：Master In / Slave Out データ（ポート C7）。このピンは、マスタモードではデータの受信に、スレーブモードではデータの送信に使用できます。
- MOSI：Master Out / Slave In データ（ポート C6）。このピンは、マスタモードではデータの送信に、スレーブモードではデータの受信に使用できます。
- SCK：SPI マスタではシリアルクロック出力（ポート C5）に、SPI スレーブではシリアルクロック入力に使用されます。
- NSS：スレーブ選択（ポート E5）。これは、スレーブデバイスを選択するためのオプションピンです。このピンが"チップセレクト"として機能することで、SPI マスタは複数のスレーブと個別に通信を行うことができ、データラインの競合を避けることができます。スレーブの NSS 入力は、マスタデバイスの標準入出力ポートによって駆動できます。SPI がマスタモードに設定され（MSTR ビット=1）、NSS がローレベルに引っぱられた場合、SPI はマスタモードフォルト状態に入ります。MSTR ビットは自動的にリセットされ、デバイスはスレーブモードに設定されます（*セクション 20.3.9：エラーフラグ（266 ページ）*を参照）。

1 個のマスタと 1 個のスレーブの間の基本的な相互接続例を*図 92* に示します。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

*注：* ***SPI を高速モードで使用する場合、想定されるバス速度に到達できるように、SPI 出力が接続される入出力は、高速スロープ出力としてプログラムしてください。***

**図 92. シングルマスタ／シングルスレーブアプリケーション**

MOSI ピンと MISO ピンは、それぞれに相互接続されています。このようにして、データはマスタとスレーブの間を（MSB ファーストで）シリアルに転送されます。

通信は常にマスタによって開始されます。マスタデバイスが MOSI ピンを介してスレーブデバイスにデータを送信すると、スレーブデバイスは MISO ピンを介して応答します。このことは、データ出力とデータ入力がマスタデバイスから SCK ピンを介して供給される同じクロック信号に同期した全二重通信を意味します。

## スレーブ選択（NSS）ピンの管理

ハードウェアまたはソフトウェアのスレーブ選択管理の設定は、SPI_CR2 レジスタのソフトウェアスレーブ管理（SSM）ビットを使用して行うことができます。

- **ソフトウェア NSS 管理（SSM = 1）**：この設定では、スレーブ選択情報は、SPI_CR2 レジスタの内部スレーブ選択 （SSI）ビット値によって内部的に駆動されます。外部 NSS ピンは、依然として他のアプリケーション用途に解放されたままです。
- **ハードウェア NSS 管理（SSM = 0）**：マスタとしてセットされたデバイスの場合、この設定はマルチマスタ機能を可能にします。スレーブとしてセットされたデバイスの場合、NSS ピンは古典的な NSS 入力として機能します。スレーブは、NSS ラインがローレベルのときに選択され、NSS ラインがハイレベルの場合は選択されません。

*注：* ***マスタが、送信と送信の間に選択解除する必要のある SPI スレーブと通信している場合、NSS ピンは GPIO として設定する必要があります。***



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### クロックの位相と極性

CPOL ビットと CPHA ビットを使用することによって、4 つのタイミング関係をソフトウェアで選択できます。CPOL（クロック極性）ビットは、データが転送されていないときのクロックの定常値を制御します。このビットは、マスタモードとスレーブモードの両方に影響を与えます。CPOL がリセットされた場合、SCK ピンはローレベルのアイドル状態になります。CPOL がセットされた場合、SCK ピンはハイレベルのアイドル状態になります。

*注：* ***SPI セルを有効または無効にするときに SPI クロックピンでのエッジ生成を避けるには、SPI ピンを SPI のアイドル状態レベルで設定するようにします。***

CPHA（クロック位相）ビットがセットされている場合、SCK ピンの 2 番目のエッジ（CPOL ビットがリセットされていれば立ち下がりエッジ、CPOL ビットがセットされていれば立ち上がりエッジ）が最上位ビットのキャプチャストローブです。データは、最初のクロック遷移でラッチされます。CPHA ビットがリセットされている場合、SCK ピンでの最初のエッジ（CPOL ビットがリセットされていれば立ち上がりエッジ、セットされていれば立ち下がりエッジ）が最上位ビットのキャプチャストローブです。データは、2 番目のクロック遷移でラッチされます。

CPOL（クロック極性）ビットと CPHA（クロック位相）ビットの組み合わせによって、データキャプチャのクロックエッジを選択できます。

*図 93* は、CPHA ビットと CPOL ビットの 4 つの組み合わせによる SPI 転送を示しています。この図は、SCK ピン、MISO ピン、MOSI ピンがマスタ／スレーブデバイス間で直接接続されている場合のマスタまたはスレーブのタイミング図とみなすことができます。

*注：*

1. ***CPOL/CPHA ビットを変更する前に、SPE ビットをリセットすることによって、SPI を無効にする必要があります。***
2. ***マスタとスレーブは、同じタイミングモードでプログラミングする必要があります。***
3. ***SCK のアイドル状態は、SPI_CR1 レジスタで（CPOL=1 の場合は SCK のプルアップ、CPOL=0 の場合は SCK のプルダウンによって）選択された極性に一致する必要があります。***



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 93. データクロックのタイミング図

1. これらのタイミングは、SPI_CR1 レジスタの LSBFIRST ビットをリセットした状態で示されています。

## フレームフォーマット

データは、SPI_CR1 レジスタの LSBFIRST ビットの値に応じて、MSB ファーストまたは LSB ファーストでシフト出力できます。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 20.3.2 SPI のスレーブモード設定

スレーブ設定では、マスタデバイスからのシリアルクロックは SCK ピンで受信されます。SPI_CR1 レジスタの BR[2:0] ビットに設定された値は、データ転送速度に影響を与えません。

SPI をスレーブモードに設定するには、次の手順に従ってください。

1. CPOL ビットと CPHA ビットを選択して、データ転送とシリアルクロックの間の 4 つの関係のうちの 1 つを定義します（*図 93* を参照）。データを正しく転送するには、スレーブデバイスとマスタデバイスで CPOL ビットと CPHA ビットを同じに設定する必要があります。
2. フレームフォーマット（SPI_CR1 レジスタの LSBFIRST ビットの値に応じて、MSB ファーストまたは LSB ファースト）は、マスタデバイスと同じでなければなりません。
3. ハードウェアモード（*スレーブ選択（NSS）ピンの管理（253 ページ）*を参照）では、バイト送信シーケンス全体を通じて、NSS ピンをローレベル信号に接続しておく必要があります。NSS ソフトウェアモードでは、SPI_CR2 レジスタの SSM ビットをセットし、SSI ビットをクリアします。
4. ピンをオルタネート機能に割り当てるためには、MSTR ビットをクリアし、SPE ビットをセットします。

この設定では、MOSI ピンはデータ入力に、MISO ピンはデータ出力になります。

*注：* ***パラレルマルチスレーブ構造のアプリケーションでは、別々の NSS 信号とスレーブ MISO 出力を接続することによって、対応する GPIO レジスタを正しく設定する必要があります。SPI_MISO ピンが SPI ペリフェラルによって制御されるのは、NSS 信号が有効であり、デバイスがスレーブとして選択された場合に限られます。NSS 信号がリリースされると、ピンは、GPIO レジスタの設定によってのみ駆動されます。正しく機能させるには、GPIO を割り込みなしの入力プルアップモードに設定する必要があります。この設定には、GPIO_DDR、GPIO_CR1、および GPIO_CR2 レジスタを使用します（セクション 11.8.1：代替機能出力 を参照）。***

### 20.3.3 SPI のマスタモード設定

マスタ設定では、シリアルクロックは SCK ピンに生成されます。

SPI をマスタモードに設定するには、次の手順に従ってください。

1. BR[2:0] ビットを選択して、シリアルクロックのボーレートを定義します（SPI_CR1 レジスタを参照）。
2. CPOL ビットと CPHA ビットを選択して、データ転送とシリアルクロックの間の 4 つの関係のうちの 1 つを定義します（*図 93* を参照）。
3. SPI_CR1 レジスタの LSBFIRST ビットを設定して、フレームフォーマットを定義します。
4. ハードウェアモードでは、完全なデータ送信シーケンス中に NSS ピンをハイレベル信号に接続します。ソフトウェアモードでは、SPI_CR2 レジスタの SSM ビットと SSI ビットをセットします。
5. MSTR ビットと SPE ビットをセットします（これらのビットは、NSS ピンがハイレベル信号に接続されている場合にのみ、セット状態を維持します）。

この設定では、MOSI ピンはデータ出力、MISO ピンはデータ入力になります。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

## 20.3.4 SPI の単方向通信設定

SPI は、次の 2 つの設定において単方向モードで動作できます。

- 1 本のクロック線と 1 本の双方向データ線
- 1 本のクロック線と 1 本のデータ線（受信専用または送信専用）

### 1 本のクロック線と 1 本の双方向データ線

このモードを有効にするには、SPI_CR2 レジスタの BDM ビットをセットします。このモードでは、SCK ピンがクロックに使用され、マスタモードでは MOSI ピン、スレーブモードでは MISO ピンがデータ通信に使用されます。転送方向（入力／出力）は、SPI_CR2 レジスタの BDOE ビットによって選択されます。このビットが 1 にセットされた場合、データラインは出力です。そうでない場合、データラインは入力です。

### 1 本のクロック線と 1 本の単方向データ線（BDM=0）

このモードでは、アプリケーションは、SPI を送信専用モードまたは受信専用モードで使用できます。

- 送信専用モードは全二重モード（BDM=0、RXONLY=0）と似ています。データは送信ピン（マスタモードでは MOSI ピン、スレーブモードでは MISO ピン）で送信され、受信ピン（マスタモードでは MISO ピン、スレーブモードでは MOSI ピン）は汎用入出力として使用できます。この場合、アプリケーションは受信バッファを無視する必要があります（データレジスタに受信したデータ値は含まれていません）。
- 受信専用モードでは、アプリケーションは、SPI_CR2 レジスタの RXONLY ビットをセットすることによって、SPI 出力機能を無効にできます。この場合、送信 I/O ピン（マスタモードでは MOSI ピン、スレーブモードでは MISO ピン）が解放されるので、他の目的に使用できます。

受信専用モードで通信を開始するには、SPI を設定して有効にします。

- マスタモードでは、通信はただちに開始され、SPE ビットがリセットされて現在の受信が停止すると、通信は停止します。このモードでは、BSY フラグを読み出す必要はありません。SPI 通信が行われているときは、常にセットされています。
- スレーブモードでは、NSS がプルダウンされていて（または NSS ソフトウェアモードで SSI ビットがリセットされていて）、SCK が動作している限り、SPI は受信を継続します。

## 20.3.5 データの送受信手順

### 受信バッファと送信バッファ

受信の場合、受信されたデータは内部の受信バッファに格納されます。一方、送信の場合、データはまず内部の送信バッファに格納されてから、送信されます。

SPI_DR レジスタの読み出しアクセスでは、受信バッファに格納された値が返されます。一方、SPI_DR への書き込みアクセスでは、書き込まれたデータが送信バッファに格納されます。

### マスタモードでの開始シーケンス

- 全二重の場合（BDM=0 および RXONLY=0）
  - データが SPI_DR レジスタ（送信バッファ）に書き込まれると、シーケンスが開始されます。
  - その後、データは、最初のビット送信時に送信バッファから 8 ビットシフトレジスタに同時にロードされてから、MOSI ピンに連続的にシフト出力されます。
  - 同時に、MISO ピンで受信されたデータは、8 ビットシフトレジスタに連続的にシフト入力されてから、SPI_DR レジスタ（受信バッファ）に同時にロードされます。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

- 単方向受信専用モードの場合（BDM=0 および RXONLY=1）
  - SPE=1 になると、このシーケンスはすぐに開始されます。
  - レシーバのみが有効になり、MISO ピンで受信されたデータは 8 ビットシフトレジスタに連続的にシフト入力されてから、SPI_DR レジスタ（受信バッファ）に同時にロードされます。
- 双方向モードでの送信時（BDM=1 および BDOE=1）
  - データが SPI_DR レジスタ（送信バッファ）に書き込まれると、シーケンスが開始されます。
  - その後、データは、最初のビット送信時に送信バッファから 8 ビットシフトレジスタに同時にロードされてから、MOSI ピンに連続的にシフト出力されます。
  - データは受信されません。
- 双方向モードでの受信時（BDM=1 および BDOE=0）
  - SPE=1 および BDOE=0 になると、このシーケンスはすぐに開始されます。
  - MOSI ピンで受信されたデータは、8 ビットシフトレジスタに連続的にシフト入力されてから、SPI_DR レジスタ（受信バッファ）に同時にロードされます。
  - トランスミッタは有効にされず、MOSI ピンに連続的にシフト出力されるデータはありません。

### スレーブモードでの開始シーケンス

- 全二重モードの場合（BDM=0 および RXONLY=0）
  - スレーブデバイスが MOSI ピンでクロック信号と、データの最初のビットを受信すると、このシーケンスが開始されます。残りの 7 ビットは、シフトレジスタにロードされます。
  - 同時に、最初のビット送信時にデータは送信バッファから 8 ビットシフトレジスタに同時にロードされてから、MISO ピンに連続的にシフト出力されます。SPI マスタデバイスが転送を開始する前に、ソフトウェアは送信すべきデータを書き込んでおく必要があります。
- 単方向受信専用モードの場合（BDM=0 および RXONLY=1）
  - スレーブデバイスが MOSI ピンでクロック信号と、データの最初のビットを受信すると、このシーケンスが開始されます。残りの 7 ビットは、シフトレジスタにロードされます。
  - トランスミッタは有効にされず、MISO ピンに連続的にシフト出力されるデータはありません。
- 双方向モードでの送信時（BDM=1 および BDOE=1）
  - スレーブデバイスがクロック信号を受信し、送信バッファの最初のビットが MISO ピンで送信されると、このシーケンスが開始されます。
  - その後、データは、最初のビット送信時に送信バッファから 8 ビットシフトレジスタに同時にロードされてから、MISO ピンに連続的にシフト出力されます。SPI マスタデバイスが転送を開始する前に、ソフトウェアは送信すべきデータを書き込んでおく必要があります。
  - データは受信されません。
- 双方向モードでの受信時（BDM=1 および BDOE=0）
  - スレーブデバイスが MISO ピンでクロック信号と、データの最初のビットを受信すると、このシーケンスが開始されます。
  - MISO ピンで受信されたデータは、8 ビットシフトレジスタに連続的にシフト入力されてから、SPI_DR レジスタ（受信バッファ）に同時にロードされます。
  - トランスミッタは有効にされず、MISO ピンに連続的にシフト出力されるデータはありません。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### データの送受信処理

データが送信バッファからシフトレジスタに転送されると、TXE フラグ（送信バッファエンプティ）がセットされます。これは、内部の送信バッファに次のデータをロードする準備ができていることを示します。SPI_ICR レジスタの TXIE ビットがセットされている場合は、割り込みを生成できます。

*注：* ***ソフトウェアは、送信バッファへの書き込みを行う前に、TXE フラグを 1 にセットする必要があります。そうしないと、以前に送信バッファに書き込まれたデータに上書きされます。***

データがシフトレジスタから受信バッファに転送されると、最後のサンプリングクロックエッジで RXNE フラグ（受信バッファノットエンプティ）がセットされます。これは、SPI_DR レジスタからデータを読み出す準備ができていることを示します。SPI_ICR レジスタの RXIE ビットがセットされている場合は、割り込みを生成できます。RXNE ビットのクリアは、SPI_DR レジスタを読み出すことで行われます。

設定によっては、最後のデータ転送時に BSY フラグを使用して、転送の完了まで待つことができます。

### マスタまたはスレーブモードでの全二重送受信手順（BDM=0 および RXONLY = 0）

1. SPE ビットをセットすることによって、SPI を有効にします。
2. 送信する最初のデータを SPI_DR レジスタに書き込みます（これによって TXE フラグがクリアされます）。
3. TXE=1 になるまで待ち、送信する 2 番目のデータを書き込みます。その後、RXNE=1 になるまで待ち、SPI_DR を読み出して、最初の受信データを取得します（これによって RXNE ビットがクリアされます）。n-1 個のデータを受信するまで、送受信するデータごとにこの操作を繰り返します。
4. RXNE=1 になるまで待ち、最後の受信データを読み出します。
5. TXE=1 になるまで待ち、BSY=0 になるまで待ってから、SPI を無効にします。

この手順は、RXNE または TXE フラグの立ち上がりエッジのたびに起動される専用の割り込みサブルーチンを使用しても実行できます。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

**図 94. 全二重モードでの TXE/RXNE/BSY 動作（RXONLY = 0）連続転送の場合**

**図 95. スレーブ／全二重モードでの TXE/RXNE/BSY 動作（BDM = 0、RXONLY = 0）連続転送の場合**

この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 送信専用手順（BDM = 0 RXONLY = 0）

このモードでは、手順は下記のように短縮でき、BSY ビットを使用して送信の完了まで待つことができます（*図 94* と *図 95* を参照）。

1. SPE ビットをセットすることによって、SPI を有効にします。
2. 送信する最初のデータを SPI_DR レジスタに書き込みます（これによって TXE ビットがクリアされます）。
3. TXE=1 になるまで待ち、送信する次のデータを書き込みます。送信するデータごとに、このステップを繰り返します。
4. SPI_DR レジスタに最後のデータを書き込んだ後、TXE=1 になるまで待ち、さらに BSY=0 になるまで待ちます。これは最後のデータの送信が完了したことを示します。

この手順は、TXE フラグの立ち上がりエッジのたびに起動される専用の割り込みサブルーチンを使用しても実行できます。

*注：* *1 マスタモードでの不連続通信時には、SPI_DR への書き込み動作と BSY ビットの設定の間に、CPU の 2 クロック周期分の遅延があります。その結果、送信専用モードでは、最後のデータを書き込んだ後、まず TXE がセットされるまで待ち、さらに BSY がリセットされるまで待つ必要があります。*

*2 2 つのデータを送信専用モードで送信した後、受信データが読み出されることはないので、SPI_SR レジスタの OVR フラグがセットされます。*

**図 96. マスタ送信専用モードでの TXE/BSY 動作（BDM = 0 および RXONLY = 0）連続転送の場合**

この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

**図 97. スレーブ送信専用モードでの TXE/BSY 動作（BDM = 0 および RXONLY = 0）連続転送の場合**

### 双方向送信手順（BDM = 1 および BDOE = 1）

このモードでは、手順は送信専用モードの手順と似ていますが、SPI を有効にする前に、SPI_CR2 レジスタの BDM ビットと BDOE ビットをセットする必要があります。

### 単方向受信専用手順（BDM = 0 および RXONLY = 1）

このモードでは、手順は下記のように短縮できます（*図 98* を参照）：

1. SPI_CR2 レジスタの RXONLY ビットをセットします。
2. SPE ビットを 1 にセットすることによって、SPI を有効にします：
   a) マスタモードでは、これによって SCK クロックの生成がすぐに有効になり、データは、SPI が無効にされる（SPE = 0）まで連続的に受信されます。
   b) スレーブモードでは、SPI マスタデバイスが NSS をローレベルに駆動して SCK クロックを生成すると、データが受信されます。
3. RXNE=1 になるまで待ち、SPI_DR レジスタから受信データを読み出します（これによって RXNE ビットがクリアされます）。受信されるデータごとにこの操作を繰り返します。

この手順は、RXNE フラグの立ち上がりエッジのたびに起動される専用の割り込みサブルーチンを使用しても実行できます。

*注：* ***最後の転送の後に SPI を無効にする必要がある場合は、セクション 20.3.8 : SPI の無効化（265 ページ）に述べる推奨事項に従ってください。***



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

**図 98. 受信専用モードでの RXNE 動作（BDM = 0 および RXONLY = 1）連続転送の場合**

### 双方向受信手順（BDM = 1 および BDOE = 0）

このモードでは、手順は受信専用モードの手順と似ていますが、SPI を有効にする前に、SPI_CR2 レジスタの BDM ビットをセットし、BDOE ビットをリセットする必要があります。

### 連続転送と不連続転送

マスタモードでデータを送信するとき、ソフトウェアが十分に高速であり、各 TXE 立ち上がりエッジ（または TXE 割り込み）を検出し、現在のデータ転送が完了する前に SPI_DR レジスタにすぐに書き込みできる場合、通信は連続的であると言われます。この場合、各データ間で SPI クロックを生成する際に不連続性はなく、各データ転送間で BSY ビットがリセットされることはありません。

逆に、ソフトウェアが十分に高速でない場合、通信に若干の不連続性が生じることがあります。この場合、各データ送信間で BSY ビットがリセットされます（*図 99* を参照）。

マスタ受信専用モード（BDM = 0 および RXONLY = 1）または双方向受信モード（BDM = 1 および BDOE = 0）では、通信は常に連続的であり、BSY フラグは常に 1 で読み出されます。

スレーブモードでは、通信の連続性は SPI マスタデバイスによって決定されます。しかし通信が連続的であっても、BSY フラグは、各転送間で SPI の 1 クロックサイクルという最小期間だけローレベルになります（*図 95* を参照）。

**図 99. 送信時の TXE/BSY 動作（BDM = 0 および RXLONY = 0）不連続転送の場合**

この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 20.3.6 CRC の計算

CRC 計算機は、信頼性の高い通信を実現するために実装されました。送信データと受信データに対して、別々の CRC 計算機が実装されています。CRC は、各ビットに対してプログラミング可能な多項式を連続的に使用して計算されます。CRC は、SPI_CR1 レジスタの CPHA ビットと CPOL ビットによって定義されるサンプリングクロックエッジで計算されます。

CRC 計算は、SPI_CR1 レジスタの CRCEN ビットをセットすることによって有効になります。これによって CRC レジスタ（SPI_RXCRCR および SPI_TXCRCR）がリセットされます。SPI_CR2 レジスタの CRCNEXT ビットがセットされると、現在のバイト送信の最後に SPI_TXCRCR レジスタの値が送信されます。

送信バッファにバイトが存在する場合、CRC 値はこのバイトの送信後にのみ送信されます。CRC の送信時に、CRC 計算機はスイッチオフされ、レジスタの値は変化しません。

SPI_TXCRCR 値の送信時にシフトレジスタに受信された値が SPI_RXCRCR の値と一致しなかった場合は、SPI_SR レジスタの CRCERR フラグがセットされます。

CRC を使用した SPI 通信は、次の手順によって可能になります。

- CPOL、CPHA、LSBfirst、BR、SSM、SSI、および MSTR の値をプログラミングします。
- SPI_CRCPR レジスタに多項式をプログラミングします。
- SPI_CR1 レジスタの CRCEN ビットをセットして、CRC 計算を有効にします。これによって、SPI_RXCRCR レジスタと SPI_TXCRCR レジスタがクリアされます。
- SPI_CR1 レジスタの SPE ビットをセットして、SPI を有効にします。
- 通信を開始し、最後の 1 つを除いてすべてのバイトが送受信されるまで、通信を維持します。
- 送信バッファに最後のバイトを書き込むとき、SPI_CR2 レジスタの CRCNext ビットをセットすることによって、最後のバイトの送信後に CRC を送信するように指示します。CRC 送信時には、CRC 計算は停止されます。
- 最後のバイトを送信した後、SPI は CRC を送信します。CRCNext ビットがリセットされます。CRC は受信され、SPI_RXCRCR レジスタの値と比較されます。値が一致しない場合、SPI_SR レジスタの CRCERR フラグがセットされ、SPI_ICR レジスタの ERRIE がセットされていれば、割り込みを生成できます。

*注：* ***高ビットレート周波数では、CRC の送信時に注意が必要です。CRC 転送フェーズで使用される CPU サイクル数は、できるだけ少なくする必要があります。したがって、最後のデータと CRC 受信におけるエラーを避けるために、CRC 送信シーケンスでソフトウェア関数を呼び出すことは禁止されています。***

### 20.3.7 ステータスフラグ

アプリケーションが SPI バスの状態を完全に監視できるように、3 つのステータスフラグが用意されています。

#### 送信バッファエンプティフラグ（TXE）

このフラグがセットされると、送信バッファが空であり、次に送信するデータをバッファにロードできることを示します。TXE フラグは、SPI_DR レジスタへの書き込み時にリセットされます。

#### 受信バッファノットエンプティ（RXNE）

このフラグがセットされると、受信バッファに有効な受信データがあることを示します。このフラグは SPI_DR の読み出し時にリセットされます。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### ビジーフラグ（BSY）

この BSY フラグは、ハードウェアによってセット／リセットされます（このフラグへの書き込みは無効です）。BSY フラグは、SPI の通信の状態を示します。

BSY がセットされると、SPI が通信中でビジーであることを示します。マスタモード／双方向受信モード（MSTR=1、BDM=1、および BDOE=0）には 1 つの例外があり、BSY フラグは受信時にローレベルに保持されます。

ソフトウェアが SPI を無効にして HALT モードに入りたい（またはペリフェラルクロックを無効にしたい）場合、BSY フラグは転送の終わりを検出するのに役立ちます。これによって、最後の転送データの破壊を回避します。このため、下記の手順を厳しく順守する必要があります。

BSY フラグは、マルチマスタシステムでの書き込み衝突の回避にも役立ちます。

BSY フラグは転送が開始されるとセットされます。ただし、マスタモード／双方向受信モード（MSTR=1、BDM=1、および BDOE=0）の場合を除きます。

BSY フラグは次の場合にリセットされます。

- 転送が終わったとき（通信が連続的である場合はマスタモードを除きます）
- SPI が無効にされたとき
- マスタモード障害が発生したとき（MODF=1）

通信が連続的でないとき、BSY フラグは各通信間でローレベルになります。

通信が連続的なとき、マスタモードでは、BSY フラグはすべての転送期間を通じてハイレベルに保持されます。

通信が連続的なとき、スレーブモードでは、BSY フラグは、各転送間で SPI の 1 クロックサイクルの間ローレベルに戻ります。

*注：* ***各データの送受信の処理には BSY フラグを使用しないでください。代わりに、TXE フラグと RXNE フラグを使用することをお勧めします。***

## 20.3.8 SPI の無効化

転送が終了すると、アプリケーションは SPI ペリフェラルを無効にすることによって、通信を停止することができます。これには SPE ビットをリセットします。

設定によっては、転送が行われているときに SPI を無効にして HALT モードに入ると、現在の転送内容が破壊されたり、BSY フラグが信頼できなくなることがあります。

このような影響を回避するには、SPI を無効にするとき、以下の手順を順守することをお勧めします。

### マスタまたはスレーブの全二重モード（BDM = 0、RXONLY = 0）の場合：

1. RXNE=1 になるまで待ってから、最後のデータを受信します。
2. TXE=1 になるまで待ちます。
3. 次に、BSY=0 になるまで待ちます。
4. SPI を無効にし（SPE=0）、結果的に HALT モードに入ります（あるいは、ペリフェラルクロックを無効にします）。

### マスタまたはスレーブの単方向送信専用モード（BDM=0、RXONLY=0）または双方向送信モード（BDM=1、BDOE=1）の場合：

SPI_DR レジスタに最後のデータが書き込まれた後：



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

1. TXE=1 になるまで待ちます。
2. 次に、BSY=0 になるまで待ちます。
3. SPI を無効にし（SPE = 0）、必要なら、HALT モードに入ります（あるいは、ペリフェラルクロックを無効にします）。

#### マスタの単方向受信専用モード（MSTR=1、BDM=0、RXONLY=1）または双方向受信モード（MSTR=1、BDM=1、BDOE=0）の場合：

このケースは、SPI が新しい転送を開始しないように、特別の方法で管理する必要があります。

1. RXNE=1（n–1）の最後から 2 番目の出現を待ちます。
2. ソフトウェアループを使用して SPI の 1 クロックサイクルの間待ってから、SPI を無効にします
（SPE=0）。
3. 次に、最後の RXNE=1 になるまで待ってから、HALT モードに入ります（あるいは、ペリフェラルクロックを無効にします）。

*注：* ***マスタの双方向受信モード（MSTR=1、BDM=1、および BDOE=0）では、BSY フラグは転送時にローレベルに保持されます。***

#### スレーブの受信専用モード（MSTR=0、BDM=0、RXONLY=1）または双方向受信モード（MSTR=0、BDM=1、BDOE=0）の場合：

1. SPI はいつでも無効にできます（SPE=1 の書き込み）。現在の転送が完了してから、SPI は実質的に無効になります。
2. 次に、HALT モードに入りたい場合は、まず BSY = 0 になるまで待ってから、HALT モードに入ります（あるいは、ペリフェラルクロックを無効にします）。

### 20.3.9 エラーフラグ

#### マスタモードフォールト（MODF）

マスタモードフォールトは、マスタデバイスが NSS ピンをローにしたとき（NSS ハードウェアモード）、または SSI ビットをローにしたとき（NSS ソフトウェアモード）に発生し、MODF ビットが自動的にセットされます。マスタモードフォールトは、SPI ペリフェラルに次のような影響を与えます。

- MODF ビットがセットされ、ERRIE ビットがセットされている場合は SPI 割り込みが生成されます。
- SPE ビットがクリアされます。これによって、デバイスからのすべての出力がブロックされ、SPI インタフェースが無効になります。
- MSTR ビットがリセットされ、デバイスは強制的にスレーブモードになります。

MODF ビットをクリアするには、次のソフトウェアシーケンスを実行します。

1. MODF ビットがセットされている間に、SPI_SR レジスタに読み出し／書き込みアクセスを行います。
2. 次に、SPI_CR1 レジスタに書き込みを行います。

複数の MCU で構成されるシステムでスレーブ間の競合を避けるには、MODF ビットをクリアするシーケンス中、NSS ピンをハイレベルにプルアップする必要があります。このクリアシーケンスの後、SPE ビットと MSTR ビットは、元の状態に戻すことができます。

安全のため、MODF ビットがセットされている間、ハードウェアは SPE ビットと MSTR ビットのセットを許可しません。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

スレーブデバイスでは、MODF ビットをセットできません。ただし、マルチマスタ設定では、デバイスはこの MODF ビットをセットした状態でスレーブモードになることができます。この場合、MODF ビットは、システム制御に関してマルチマスタ競合が生じた可能性を示します。割り込みルーチンを使用して、リセットを行ったりデフォルト状態に復帰することによって、この状態からクリーンに回復できます。

### オーバーラン条件

オーバーラン条件が発生するのは、マスタデバイスがデータバイトを送信し、スレーブデバイスが以前に送信されたデータバイトに起因する RXNE ビットをクリアしなかった場合です。オーバーラン条件が発生すると、

- OVR ビットがセットされ、ERRIE ビットがセットされている場合は割り込みが生成されます。

この場合、レシーババッファは、マスタデバイスから新しく受信したデータによって更新されません。このバイトは、SPI_DR レジスタを読み出すことによって返されます。その後に送信されたすべてのバイトは失われます。

OVR ビットのクリアは、SPI_DR レジスタを読み出した後に SPI_SR レジスタを読み出すことによって行われます。

### CRC エラー

このフラグを使用して、SPI_CR2 レジスタの CRCEN ビットがセットされているときに受信された値の正確さを検証します。SPI_TXCRCR 値が送信された後でシフトレジスタに受信された値が SPI_RXCRCR 値と一致しない場合、SPI_SR レジスタの CRCERR フラグがセットされます。*章 20.3.6：CRC の計算* を参照してください。

## 20.3.10 SPI 低電力モード

**表 45. 低電力モードでの SPI 動作**

| モード | 説明 |
|---|---|
| WAIT | SPI には影響ありません。<br>SPI 割り込みイベントによって、デバイスは WAIT モードから抜けます。 |
| HALT | SPI レジスタは凍結されます。<br>HALT モードでは、SPI は無効です。SPI がマスタモードにある場合、「HALT モードからのウェイクアップ」機能を備えた割り込みによってデバイスがウェイクアップすると、通信は再開します。<br>SPI がスレーブモードにある場合、データの最初のサンプリングエッジを検出した後、MCU を HALT モードからウェイクアップできます。 |

### SPI を使用してデバイスを HALT モードからウェイクアップする方法

マイクロコントローラが HALT モードにあるときでも、SPI はスレーブとして応答することができます。ただし、NSS ピンがローに接続されているか、HALT モードに入る前に SSI ビットがリセットされている必要があります。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

データの最初のサンプリングエッジ（CPHA ビットによって定義）が検出されると、

- SPI_SR レジスタの WKUP ビットがセットされます。
- SPI_ICR レジスタの WKIE ビットがセットされている場合、割り込みが生成されます。
- この割り込みは、デバイスを HALT モードからウェイクアップします。
- システムクロックの復元には時間が必要なので、SPI スレーブは、正しく通信できるようになる前に、いくつかのデータを送受信します。したがって、次のプロトコルを使用することが不可欠です。
  - HALT モードに入る前に、SPI_DR に特定の値が書き込まれます。この値は、SPI が HALT モードにあることを外部マスタに知らせます。
  - 外部マスタは、SPI が HALT モードにあることを示すユニークな値以外の新しい値を SPI スレーブデバイスから受信するまで、同じバイトを連続的に送信します。この新しい値は、SPI スレーブがウェイクアップし、正しく通信できることを示します。

### 受信専用モードでの制約

受信専用モード（BDM = 0 と RXONLY = 1 または BDM = 1 と BDOE = 0）
では、システムクロックの復元に必要な時間がデータ受信時間を上回ることがあるため、ウェイクアップ機能は保証されません。これによって受信時にデータの消失が発生するため、スレーブデバイスは、どのデータが正しく受信されたかをマスタに知らせることができません。

## 20.3.11 SPI 割り込み

**表 46. SPI 割り込みリクエスト**

| 割り込みイベント | イベントフラグ | イネーブル制御ビット | WAIT 終了 | HALT 終了 |
|---|---|---|---|---|
| 送信バッファエンプティフラグ | TXE | TXIE | あり | なし |
| 受信バッファノットエンプティフラグ | RXNE | RXIE | あり | なし |
| ウェイクアップイベントフラグ | WKUP | WKIE | あり | あり |
| マスタモードフォールトイベント | MODF | ERRIE | あり | なし |
| オーバーランエラー | OVR | | あり | なし |
| CRC エラーフラグ | CRCERR | | あり | なし |



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

## 20.4 SPI レジスタ

### 20.4.1 SPI 制御レジスタ 1（SPI_CR1）

アドレスオフセット：0x00
リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| LSBFIRST | SPE | BR[2:0] | | | MSTR | CPOL | CPHA |
| rw | rw | rw | | | rw | rw | rw |

*ビット 7* **LSBFIRST**：フレームフォーマット (1)
0：MSB が最初に送信されます
1：LSB が最初に送信されます

ビット 6 **SPE**：SPI イネーブル (2)
0：ペリフェラルは無効です。
1：ペリフェラルは有効です。

ビット 5:3 **BR[2:0]**：ボーレート制御
000：$f_{MASTER}/2$
001：$f_{MASTER}/4$
010：$f_{MASTER}/8$
011：$f_{MASTER}/16$
100：$f_{MASTER}/32$
101：$f_{MASTER}/64$
110：$f_{MASTER}/128$
111：$f_{MASTER}/256$

***注：　これらのビットは、通信中には変更しないでください。***

ビット 2 **MSTR**：マスタ選択 (1)
0：スレーブ設定
1：マスタ設定

ビット 1 **CPOL**：クロック極性 (1)
0：アイドル時に 0 に SCK
1：アイドル時に 1 に SCK

ビット 0 **CPHA**：クロック位相 (1)
0：最初のクロック遷移が最初のデータキャプチャエッジです。
1：2 番目のクロック遷移が最初のデータキャプチャエッジです。

1. このビットは、通信中には変更しないでください。
2. SPI を無効にするときには、*セクション 20.3.8：SPI の無効化（265 ページ）*で説明されている手順に従ってください。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 20.4.2 SPI 制御レジスタ 2（SPI_CR2）

アドレスオフセット：0x01
リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| BDM | BDOE | CRCEN | CRCNEXT | 予約済み | RXOnly | SSM | SSI |
| rw | rw | rw | rw | rw | rw | rw | rw |

ビット 7 **BDM**：双方向データモードイネーブル

0：2 線単方向データモードを選択

1：1 線双方向データモードを選択

ビット 6 **BDOE**：双方向モードの入力／出力イネーブル

このビットは、BDM に 1 がセットされた場合の双方向モードでの転送方向を選択します。

0：入力有効（受信専用モード）

1：出力有効（送信専用モード）

マスタモードでは MOSI ピンが使用され、スレーブモードでは MISO ピンが使用されます。

ビット 5 **CRCEN**：ハードウェア CRC 計算イネーブル

0：CRC 計算は無効です。

1：CRC 計算は有効です。

*注： 正しい動作のためには、このビットへの書き込みは、SPI が無効（SPE = ”0”）のときにのみ行います。*

ビット 4 **CRCNEXT**：CRC 送信指示

0：次の送信値は送信バッファからです

1：次の送信値は送信 CRC レジスタからです

ビット 3 予約済み

ビット 2 **RXONLY**：受信専用

0：全二重（送受信）

1：出力無効（受信専用モード）

2 線単方向モードでの転送方向は、このビットと BDM ビットを組み合わせて選択します。

このビットはマルチスレーブシステムでも役立ちます。つまり、この特定のスレーブはアクセスされず、アクセスされたスレーブからの出力は破壊されません。

ビット 1 **SSM**：ソフトウェアスレーブ管理

0：ソフトウェアスレーブ管理は無効です。

1：ソフトウェアスレーブ管理は有効です。

SSM ビットがセットされているとき、NSS ピンの入力は SSI ビットからの値によって置き換えられます。

ビット 0 **SSI**：内部スレーブ選択

このビットは、SSM ビットがセットされているときにのみ有効です。このビットの値は NSS ピンに設定され、NSS ピンの I/O 値は無視されます。

0：スレーブモード

1：マスタモード



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 20.4.3 SPI 割り込み制御レジスタ（SPI_ICR）

アドレスオフセット：0x02
リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| TXIE | RXIE | ERRIE | WKIE | 予約済み | | | |
| rw | rw | rw | rw | | | | |

ビット 7 **TXIE**：送信バッファエンプティ割り込みイネーブル

0：TXE 割り込みはマスクされます。

1：TXE 割り込みはマスクされません。TXE フラグがセットされたとき、割り込みリクエストの生成に使用されます。

ビット 6 **RXIE**：受信バッファノットエンプティ割り込みイネーブル

0：RXNE 割り込みはマスクされます。

1：RXNE 割り込みはマスクされません。RXNE フラグがセットされたとき、割り込みリクエストの生成に使用されます。

ビット 5 **ERRIE**：エラー割り込みイネーブル

0：エラー割り込みはマスクされます。

1：エラー割り込みは有効です。エラー条件が発生したとき（CRCERR、OVR、MODF）、割り込みリクエストの生成に使用されます。

ビット 4 **WKIE**：ウェイクアップ割り込みイネーブル

0：ウェイクアップ割り込みはマスクされます。

1：ウェイクアップ割り込みは有効です。WKUP フラグがセットされたとき、割り込みリクエストの生成に使用されます。

ビット 3:0 予約済み



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 20.4.4 SPI ステータスレジスタ（SPI_SR）

アドレスオフセット：0x03
リセット値：0x02

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| BSY | OVR | MODF | CRCERR | WKUP | 予約済み | TXE | RXNE |
| r | rc_w0 | rc_w0 | rc_w0 | rc_w0 | | r | r |

ビット 7 **BSY**：ビジーフラグ

0：SPI はビジー状態ではありません。
1：SPI は通信ビジー状態です。

このフラグは、ハードウェアによってセット／リセットされます。

*注： BSY フラグの使用には注意が必要です（セクション 20.3.7：ステータスフラグ（264 ページ）およびセクション 20.3.8：SPI の無効化（265 ページ）を参照）。*

ビット 6 **OVR**：オーバーランフラグ

0：オーバーランは発生していません。
1：オーバーランが発生しました。

このフラグは、ハードウェアによってセットされ、ソフトウェアシーケンスによってリセットされます。

ビット 5 **MODF**：モードフォールト

0：モードフォールトは発生していません。
1：モードフォールトが発生しました。

このフラグは、ハードウェアによってセットされ、ソフトウェアシーケンスによってリセットされます。

ビット 4 **CRCERR**：CRC エラーフラグ

0：受信した CRC 値が SPI_RXCRCR 値と一致します。
1：受信した CRC 値が SPI_RXCRCR 値と一致しません。

このフラグは、ハードウェアによってセットされ、ソフトウェアによって 0 を書き込むことでクリアされます。

ビット 3 **WKUP**：ウェイクアップフラグ

0：ウェイクアップイベントは発生していません。
1：ウェイクアップイベントが発生しました。

このフラグは、STM8 が HALT モードであり、SPI がスレーブとして設定されているとき、SCK の最初のサンプリングエッジでセットされます。

このフラグは、ソフトウェアで 0 を書き込むことによってリセットされます。

ビット 2 予約済み

ビット 1 **TXE**：送信バッファエンプティ

0：送信バッファは空ではありません。
1：送信バッファは空です。

ビット 0 **RXNE**：受信バッファノットエンプティ

0：受信バッファは空です。
1：受信バッファは空ではありません。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 20.4.5 SPI データレジスタ（SPI_DR）

アドレスオフセット：0x04
リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| DR[7:0] | | | | | | | |
| rw | | | | | | | |

ビット 7:0 **DR[7:0]**：データレジスタ

受信されたバイト、または送信されるバイト。

データレジスタは 2 つのバッファに分割されます。一方は書き込み用（送信バッファ）であり、もう一方は読み出し用（受信バッファ）です。データレジスタへの書き込みは、送信バッファへの書き込みになります。データレジスタからの読み出しでは、受信バッファに保持されている値が返されます。

### 20.4.6 SPI CRC 多項式レジスタ（SPI_CRCPR）

アドレスオフセット：0x05

リセット値：0x07

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| CRCPOLY[7:0] | | | | | | | |
| rw | | | | | | | |

ビット 7:0 **CRCPOLY[7:0]**：CRC 多項式レジスタ

このレジスタは、CRC 計算用の多項式を含みます。

CRC 多項式（0x07）は、このレジスタのリセット値です。他の多項式は、アプリケーションの必要に応じて設定することができます。

### 20.4.7 SPI Rx CRC レジスタ（SPI_RXCRCR）

アドレスオフセット：0x06 リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| RxCRC[7:0] | | | | | | | |
| r | | | | | | | |

ビット 7:0 **RXCRC[7:0]**：Rx CRC レジスタ

CRC 計算が有効なとき、RxCRC[7:0] ビットには、その後に受信したバイトから算出された CRC 値が格納されています。このレジスタは、SPI_CR2 レジスタの CRCEN ビットに 1 が書き込まれたときにリセットされます。CRC は、SPI_CRCPR レジスタにプログラミングされた多項式を使用して連続的に計算されます。

***注：　BSY フラグがセットされているときにこのレジスタを読み出すと、誤った値が返されることがあります。***



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 20.4.8 SPI Tx CRC レジスタ（SPI_TXCRCR）

アドレスオフセット：0x07 リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| TxCRC[7:0] | | | | | | | |
| r | | | | | | | |

ビット 7:0 **TxCRC[7:0]**：Tx CRC レジスタ

CRC 計算が有効なとき、TxCRC[7:0] ビットには、その後に送信されたバイトから算出された CRC 値が格納されます。このレジスタは、SPI_CR2 の CRCEN ビットに 1 が書き込まれたときにリセットされます。CRC は、SPI_CRCPR レジスタにプログラミングされた多項式を使用して連続的に計算されます。

*注： BSY フラグがセットされているときにこのレジスタを読み出すと、誤った値が返されることがあります。*

## 20.5 SPI レジスタマップとリセット値

**表 47. SPI レジスタマップとリセット値**

| アドレスオフセット | レジスタ名 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|
| 0x00 | SPI_CR1<br>リセット値 | LSB FIRST<br>0 | SPE<br>0 | BR2<br>0 | BR1<br>0 | BR1<br>0 | MSTR<br>0 | CPOL<br>0 | CPHA<br>0 |
| 0x01 | SPI_CR2<br>リセット値 | BDM<br>0 | BDOE<br>0 | CRCEN<br>0 | CRCNEXT<br>0 | -<br>0 | RXONLY<br>0 | SSM<br>0 | SSI<br>0 |
| 0x02 | SPI_ICR<br>リセット値 | TXIE<br>0 | RXIE<br>0 | ERRIE<br>0 | WKIE<br>0 | -<br>0 | -<br>0 | 0 | 0 |
| 0x03 | SPI_SR<br>リセット値 | BSY<br>0 | OVR<br>0 | MODF<br>0 | CRCERR<br>0 | WKUP<br>0 | -<br>0 | TXE<br>1 | RXNE<br>0 |
| 0x04 | SPI_DR<br>リセット値 | MSB<br>0 | -<br>0 | -<br>0 | -<br>0 | -<br>0 | -<br>0 | -<br>0 | LSB<br>0 |
| 0x05 | SPI_CRCPR<br>リセット値 | MSB<br>0 | -<br>0 | -<br>0 | -<br>0 | -<br>0 | -<br>1 | -<br>1 | LSB<br>1 |
| 0x06 | SPI_RXCRCR<br>リセット値 | MSB<br>0 | -<br>0 | -<br>0 | -<br>0 | -<br>0 | -<br>0 | -<br>0 | LSB<br>0 |
| 0x07 | SPI_TXCRCR<br>リセット値 | MSB<br>0 | -<br>0 | -<br>0 | -<br>0 | -<br>0 | -<br>0 | -<br>0 | LSB<br>0 |



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

# 21 I²C（Inter-Integrated Circuit）インタフェース

## 21.1 概要

I²C（Inter-Integrated Circuit）バスインタフェースは、マイクロコントローラとシリアル I²C バスとの間のインタフェースとして機能します。このインタフェースはマルチマスタ機能を提供し、I²C バス固有のすべてのシーケンシング、プロトコル、アービトレーション、およびタイミングを制御します。また、標準モードと高速モードをサポートします。

## 21.2 I²C の主な機能

- パラレルバス／I²C プロトコル間のコンバータ
- マルチマスタ機能：同じインタフェースがマスタまたはスレーブとして機能
- I²C マスタの機能：
  - クロック生成
  - START 信号、STOP 信号の生成
- I²C スレーブの機能：
  - プログラマブルな I²C アドレス検出
  - STOP ビット検出
- 7 ビット／10 ビットアドレッシングおよび同報（General Call）の生成と検出
- 複数の通信速度をサポート：
  - 標準モード（最大 100 kHz）
  - 高速モード（最大 400 kHz）
- ステータスフラグ：
  - トランスミッタ／レシーバモードフラグ
  - バイト終わり送信フラグ
  - I²C ビジーフラグ
- エラーフラグ：
  - マスタモードのアービトレーションロスト条件
  - アドレス／データ送信後の確認応答障害
  - START/STOP コンディションの誤配置検出
  - クロック伸長が無効な場合のオーバーラン／アンダーラン
- 3 種類の割り込み：
  - 通信割り込み
  - エラー条件割り込み
  - HALT からのウェイクアップ割り込み
- ウェイクアップ機能：
  - MCU は、スレーブモードでのアドレス検出時に低電力モードからウェイクアップします。
- オプションのクロック伸長



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

## 21.3 I²C の概要

データの送受信に加えて、このインタフェースは、データをシリアル形式からパラレル形式（およびその逆）に変換します。割り込みは、ソフトウェアによって有効または無効にできます。このインタフェースは、データピン（SDA）とクロックピン（SCL）によって I²C バスに接続されます。標準（最大 100 kHz）または高速（最大 400 kHz）の I²C バスと接続できます。

### モード選択

このインタフェースは、次の 4 つのモードのいずれかで動作できます。

- スレーブトランスミッタ
- スレーブレシーバ
- マスタトランスミッタ
- マスタレシーバ

デフォルトでは、スレーブモードで動作します。このインタフェースは、START コンディションを生成した後はスレーブからマスタに、アービトレーションロストまたは STOP 生成が発生した場合はマスタからスレーブに、それぞれ自動的に切り替わることで、マルチマスタ機能を可能にします。

通信の流れ

マスタモードでは、I²C インタフェースは、データ転送を開始し、クロック信号を生成します。シリアルデータ転送は、常に START コンディションで始まり、STOP コンディションで終わります。START および STOP コンディションは、マスタモードではソフトウェアによって生成されます。

スレーブモードでは、このインタフェースは、自己アドレス（7 または 10 ビット）と同報アドレスを認識できます。同報アドレスの検出は、ソフトウェアによって有効／無効にできます。

データとアドレスは、MSB ファーストの 8 ビットバイトとして転送されます。START コンディションの後に続く最初のバイト（7 ビットモードでは 1 バイト、10 ビットモードでは 2 バイト）にアドレスが含まれています。アドレスは、常にマスタモードで送信されます。

8 クロックサイクルのバイト転送の後には 9 番目のクロックパルスが続きます。その間に、レシーバはトランスミッタに確認応答ビットを送信する必要があります。次の図を参照してください。

**図 100. I²C バスプロトコル**

確認応答は、ソフトウェアによって有効／無効にできます。I²C インタフェースアドレス（7 ビット／10 ビットや同報アドレス）は、ソフトウェアによって選択できます。

I²C インタフェースのブロック図を次に示します。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 101. I²C ブロック図

この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

## 21.4 I²C 機能の説明

デフォルトでは、I²C インタフェースはスレーブモードで動作します。デフォルトのスレーブモードからマスタモードに切り替えるには、START コンディションの生成が必要です。

### 21.4.1 I²C スレーブモード

正しいタイミングを生成するには、ペリフェラル入力クロックを I2C_FREQR レジスタにプログラミングする必要があります。ペリフェラル入力クロックは、少なくとも次の周波数以上でなければなりません。

- 標準モード：1 MHz
- 高速モード：4 MHz

START コンディションが検出されると、アドレスは、SDA ラインから受信されて、シフトレジスタに送信されます。その後、このアドレスはインタフェースのアドレス（OAR1L および OAR2）（ENDUAL=1 の場合）または同報アドレス（ENGC = 1 の場合）と比較されます。

*注：* ***10 ビットアドレスモードでは、この比較にはヘッダシーケンス（11110xx0）が含まれます。ここで、xx はアドレスの上位 2 ビットを示します。***

**ヘッダまたはアドレスの不一致**：インタフェースはこれを無視し、別の START コンディションを待ちます。

**ヘッダー致**（10 ビットモードのみ）：インタフェースは、ACK ビットがセットされている場合は確認応答パルスを生成し、8 ビットのスレーブアドレスを待ちます。

**アドレス一致**：インタフェースは次の順序で動作します。

- ACK ビットがセットされている場合、確認応答パルスを生成します。
- ADDR ビットがハードウェアによってセットされ、ITEVTEN ビットがセットされている場合は割り込みが生成されます。

10 ビットモードでは、アドレスシーケンスの受信後、スレーブは常にレシーバモードになります。スレーブがトランスミッタモードに入るのは、反復 START コンディションの後、一致するアドレスビットを持ち、最下位ビットがセットされた（11110xx1）ヘッダシーケンスを受信したときです。

TRA ビットは、スレーブがレシーバモードかトランスミッタモードかを示します。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### スレーブトランスミッタ

アドレス受信に続いて、ADDR をクリアした後、スレーブは、内部シフトレジスタを介して、DR レジスタから SDA ラインにバイトを送信します。

スレーブは、ADDR がクリアされ、DR が送信データで満杯になるまで、SCL のローレベルを伸長します（次の図の転送シーケンスの EV1 EV3 を参照）。

確認応答パルスが受信されると：

- TXE ビットがハードウェアによってセットされ、ITEVTEN および ITBUFEN ビットがセットされている場合は割り込みが生成されます。

TXE がセットされ、次のデータ送信の終わりまでに DR レジスタにデータが書き込まれなかった場合は、BTF ビットがセットされ、インタフェースは、SR1 レジスタの読み出しと、それに続く DR レジスタへの書き込みによって BTF がクリアされるまで、SCL のローレベルを伸長して待ちます。

**図 102. スレーブトランスミッタの転送シーケンス図**

1. 凡例：
   **S** = START、**$S_r$** = 反復 START、**P** = STOP、**A** = 確認応答、**NA** = 否定応答、**EVx** = イベント（ITEVTEN=1 の場合は割り込み付き）
   **EV1**：ADDR=1、SR1 の読み出しとそれに続く SR3 の読み出しによってクリア
   **EV3-1**：TXE=1、シフトレジスタエンプティ、データレジスタエンプティ、Data1 を DR に書き込み
   **EV3**：TXE=1、シフトレジスタノットエンプティ、データレジスタエンプティ、DR への書き込みによってクリア
   **EV3-2**：AF=1（AF は、SR2 レジスタの AF ビットに“0”を書き込むことによってクリア）
2. EV1 および EV3-1 イベントは、対応するソフトウェアシーケンスの終わりまで SCL のローレベルを伸長します。
3. EV3 ソフトウェアシーケンスは、現在のバイト転送が終わる前に行う必要があります。現在のバイト転送の終了までに EV3 ソフトウェアシーケンスを管理できない場合に備えて、通信が遅くなる欠点はありますが、TXE の代わりに BTF を使用することを推奨します。

### スレーブレシーバ

アドレス受信に続いて、ADDR がクリアされた後、スレーブは、SDA ラインからのバイトを内部シフトレジスタを介して DR レジスタに受信します。各バイトの後、インタフェースは以下のものを順に生成します。

- ACK ビットがセットされている場合、確認応答パルスを生成します。
- RXNE ビットがハードウェアによってセットされ、ITEVTEN および ITBUFEN ビットがセットされている場合は割り込みが生成されます。

RXNE がセットされ、次のデータ受信の終わりまでに DR レジスタ内のデータが読み出されなかった場合、BTF ビットがセットされます。インタフェースは、SR1 レジスタの読み出しと、それに続く DR レジスタの読み出しによって BTF がクリアされるまで、SCL のローレベルを伸長して待ちます（*図 103* を参照）。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 103. スレーブレシーバの転送シーケンス図

1. 凡例：
   **S** = START、**$S_r$** = 反復 START、**P** = STOP、**A** = 確認応答、**NA** = 否定応答、**EVx** = イベント（ITEVTEN=1 の場合は割り込み付き）
   **EV1**：ADDR=1、SR1 の読み出しとそれに続く SR3 の読み出しによってクリア
   **EV2**：RXNE=1、DR レジスタの読み出しによってクリア
   **EV4**：STOPF=1、SR1 レジスタの読み出しとそれに続く CR2 レジスタへの書き込みによってクリア
2. EV1 イベントは、対応するソフトウェアシーケンスの終わりまで SCL のローレベルを伸長します。
3. EV2 ソフトウェアシーケンスは、現在のバイト転送が終わる前に行う必要があります。
4. SR1 レジスタの内容をチェックした後、ユーザは、セットされていることが分かったフラグごとに、完全なクリアシーケンスを実行する必要があります。したがって、ADDR フラグと STOPF フラグの場合、I2C 割り込みルーチンの中に次のシーケンスを記述することを推奨します。

   READ SR1
   if (ADDR == 1) {READ SR1; READ SR3}
   if (STOPF == 1) {READ SR1; WRITE CR2}

   この目的は、ADDR フラグと STOPF フラグがセットされていることが分かった場合、両方とも確実にクリアすることです。
5. *注 8（296 ページ）*も参照してください。

### スレーブ通信の終了

最後のデータバイトが転送された後、マスタは STOP コンディションを生成します。インタフェースは、このコンディションを検出して、STOPF ビットをセットし、ITEVTEN ビットがセットされている場合は割り込みを生成します。

STOPF は、SR1 レジスタの読み出しと、それに続く CR2 レジスタへの書き込みによってクリアされます（*図 104* を参照）。

## 21.4.2 I²C マスタモード

マスタモードでは、I²C インタフェースは、データ転送を開始し、クロック信号を生成します。シリアルデータ転送は、常に START コンディションで開始され、STOP コンディションで終わります。START ビットによってバス上に START コンディションが生成されると、マスタモードが選択されます。

次に、マスタモードで必要なシーケンスを示します。

- 正しいタイミングを生成するために、I2C_FREQR レジスタにペリフェラル入力クロックをプログラミングします。
- クロック制御レジスタを設定します。
- 立ち上がり時間レジスタを設定します。
- I2C_CR1 レジスタをプログラミングして、ペリフェラルを有効にします。
- I2C_CR2 レジスタの START ビットをセットして、START コンディションを生成します。

ペリフェラル入力クロックは、少なくとも次の周波数以上でなければなりません。

- 標準モード：1 MHz
- 高速モード：4 MHz



この資料は、STMicroelectronics NV 並びにその子会社（以下 ST）が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### START コンディション

BUSY ビットがクリアされているときに START ビットをセットすると、インタフェースは、START コンディションを生成し、マスタモードに切り替わります（MSL ビットをセット）。

*注：* ***マスタモードで START ビットをセットすると、インタフェースは、現在のバイト転送の最後に RESTART コンディションを生成します。***

START コンディションが送信されると、

- SB ビットがハードウェアによってセットされ、ITEVTEN ビットがセットされている場合は割り込みが生成されます。

次に、マスタは、SR1 レジスタの読み出しと、それに続く DR レジスタへのスレーブアドレスの書き込みを待ちます（*図 104* と*図 105* の転送シーケンスの EV5 を参照）。

### スレーブアドレス送信

次に、スレーブアドレスが内部シフトレジスタを介して SDA ラインに送信されます。

- 10 ビットアドレスモードでは、ヘッダシーケンスの送信によって、次のイベントが発生します。
  - ADD10 ビットがハードウェアによってセットされ、ITEVTEN ビットがセットされている場合は割り込みが生成されます。

  次に、マスタは、SR1 レジスタの読み出しと、それに続く DR レジスタへの 2 番目のアドレスバイトの書き込みを待ちます（*図 104* と*図 105* の転送シーケンスの EV9 を参照）。

  ADDR ビットがハードウェアによってセットされ、ITEVTEN ビットがセットされている場合は割り込みが生成されます。次に、マスタは、SR1 レジスタの読み出しと、それに続く SR3 レジスタの読み出しを待ちます（*図 104* と*図 105* の転送シーケンスの EV6 を参照）。
- 7 ビットアドレスモードでは、1 個のアドレスバイトが送信されます。

  アドレスバイトが送信されると、
  - ADDR ビットがハードウェアによってセットされ、ITEVTEN ビットがセットされている場合は割り込みが生成されます。

  次に、マスタは、SR1 レジスタの読み出しと、それに続く SR3 レジスタの読み出しを待ちます（*図 104* と*図 105* の転送シーケンスの EV6 を参照）。

  マスタは、送信されたスレーブアドレスの LSB に応じて、トランスミッタモードに入るか、レシーバモードに入るかを決定できます。
- 7 ビットアドレスモードでは、
  - トランスミッタモードに入るには、マスタは、LSB をリセットしたスレーブアドレスを送信します。
  - レシーバモードに入るには、マスタは、LSB をセットしたスレーブアドレスを送信します。
- 10 ビットアドレスモードでは、
  - トランスミッタモードに入るには、マスタは、ヘッダ（11110xx0）を送信してから、スレーブアドレスを送信します（xx はアドレスの上位 2 ビットです）。
  - レシーバモードに入るには、マスタは、ヘッダ（11110xx0）を送信してから、スレーブアドレスを送信します。さらに、反復 START コンディションと、それに続いてヘッダ（11110xx1）を送信します（xx はアドレスの上位 2 ビットです）。

  TRA ビットは、マスタがレシーバモードにあるか、トランスミッタモードにあるかを示します。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### マスタトランスミッタ

アドレス送信に続いて、ADDR がクリアされた後、マスタは、内部シフトレジスタを介して DR レジスタから SDA ラインにバイトを送信します。

マスタは、最初のデータバイトが DR レジスタに書き込まれるまで待ちます（*図 104* の転送シーケンスの EV8_1 を参照）。

確認応答パルスが受信されると：

- TXE ビットがハードウェアによってセットされ、ITEVTEN および ITBUFEN ビットがセットされている場合は割り込みが生成されます。

TXE がセットされていて、次のデータ送信が終わるまでにデータバイトが DR レジスタに書き込まれなかった場合、BTF がセットされ、インタフェースは、SR1 レジスタからの読み出しと、それに続く DR レジスタへの書き込みによって BTF がクリアされるまで、SCL のローレベルを伸長して待ちます。

### 通信の終了

最後のバイトが DR レジスタに書き込まれた後、STOP ビットがソフトウェアによってセットされて STOP コンディションを生成します（*図 104* の転送シーケンスの EV8_2 を参照）。インタフェースは自動的にスレーブモードに戻ります（MSL ビットがクリアされます）。

*注：* ***STOP コンディションは、TXE または BTF ビットがセットされたとき、EV8_2 イベント時にプログラミングしてください。***

**図 104. マスタトランスミッタの転送シーケンス図**

1. 凡例：
   **S** = START、**$S_r$** = 反復 START、**P** = STOP、**A** = 確認応答、**NA** = 否定応答、
   **EVx** = イベント（ITEVTEN=1 の場合は割り込み付き）
   **EV5**：SB=1、SR1 レジスタの読み出しと、それに続く DR レジスタへのアドレスの書き込みによってクリア。
   **EV6**：ADDR=1、SR1 レジスタの読み出しと、それに続く SR3 の読み出しによってクリア。
   **EV8_1**：TXE=1、シフトレジスタエンプティ、データレジスタエンプティ、DR レジスタへの書き込み。
   **EV8**：TXE=1、シフトレジスタノットエンプティ、データレジスタエンプティ、DR レジスタへの書き込みによってクリア。
   **EV8_2**：TXE=1、BTF = 1、STOP リクエストのプログラミング。TXE と BTF は、STOP コンディションでハードウェアによってクリア。
   **EV9**：ADD10=1、SR1 レジスタの読み出しと、それに続く DR レジスタへの書き込みによってクリア。*注 8（296 ページ）*も参照してください。

2. EV8 ソフトウェアシーケンスは、現在のバイト転送の終わりまでに行う必要があります。現在のバイト転送の終わりまでに EV8 ソフトウェアシーケンスを管理できない場合に備えて、通信を低速にする欠点はありますが、TXE の代わりに BTF を使用することを推奨します。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### マスタレシーバ

アドレス送信に続いて ADDR がクリアされると、I²C インタフェースはマスタレシーバモードに入ります。このモードでは、インタフェースは、SDA ラインから内部シフトレジスタを介して DR レジスタにバイトを受信します。各バイトの後、インタフェースは以下のものを順に生成します。

- ACK ビットがセットされている場合、確認応答パルスを生成します。
- RXNE ビットがセットされ、ITEVTEN および ITBUFEN ビットがセットされている場合は割り込みが生成されます（*図 105* 転送シーケンスの EV7 を参照）。

RXNE ビットがセットされ、次のデータ受信の終わりまでに DR レジスタ内のデータが読み出されなかった場合、BTF ビットがハードウェアによってセットされ、インタフェースは、I2C_SR1 レジスタの読み出しと、それに続く I2C_DR レジスタの読み出しによって BTF ビットがクリアされるまで、SCL のローレベルを伸長して待ちます。

### 通信の終了

**方法 1**：この方法は、I2C がアプリケーション内で最高優先順位の割り込みによって使用されるケースに使用します。

マスタは、スレーブから受信した最終バイトに対して NACK を送信します。この NACK を受信したスレーブは、SCL ラインと SDA ラインの制御を解除します。これによって、マスタは STOP/RESTART コンディションを送信できます。

- 最後の受信データバイトの後で否定応答パルスを生成するには、最後から 2 番目の RXNE イベントの後で最後から 2 番目のデータバイトの読み出し直後に、ACK ビットをクリアする必要があります。
- STOP/RESTART コンディションを生成するには、ソフトウェアは、最後から 2 番目の RXNE イベントの後で最後から 2 番目のデータバイトの読み出し直後に、STOP/START ビットをセットする必要があります。
- 1 バイトの受信に備えて、確認応答の無効化と STOP コンディションの生成は、EV6 の直後（*EV6-1* では、ADDR がクリアされた直後）に行われます。

STOP コンディションの生成後、インタフェースは自動的にスレーブモードに戻ります（MSL ビットがクリアされます）。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

**図 105. 方法 1：マスタレシーバの転送シーケンス図**

1. 1 バイトが受信される場合、それは NACK です。

1. 凡例：
**S** = START、**$S_r$** = 反復 START、**P** = STOP、**A** = 確認応答、**NA** = 否定応答、
**EVx** = イベント（ITEVTEN=1 の場合は割り込み付き）
**EV5**：SB=1、SR1 レジスタの読み出しと、それに続く DR レジスタへの書き込みによってクリア。
**EV6**：ADDR=1、SR1 レジスタの読み出しと、それに続く SR3 の読み出しによってクリア。10 ビットマスタレシーバモードでは、このシーケンスの後に続けて、CR2 に START = 1 を書き込んでください。
**EV6_1**：関連するフラグイベントはありません。1 バイト受信にのみ使用されます。ADDR をクリアした後、ACK=0 と STOP=1 をプログラミングします。
**EV7**：RxNE=1、DR レジスタの読み出しによってクリア。
**EV7_1**：RxNE=1、DR レジスタの読み出しによってクリア、ACK=0 と STOP リクエストのプログラミング。
**EV9**：ADD10=1、SR1 レジスタの読み出しと、それに続く DR レジスタへの書き込みによってクリア。
2. DR レジスタとシフトレジスタが満杯の場合、次のデータ受信（スレーブ用の I²C クロック生成）は、EV7 イベントがクリアされた後で実行されます。この場合、EV7 はデータ受信とオーバーラップしません。
3. 1 バイトが受信された場合、それは NA です。
4. EV5、EV6、および EV9 イベントは、対応するソフトウェアシーケンスの終わりまで、SCL のローレベルを伸長します。
5. EV7 ソフトウェアシーケンスは、現在のバイト転送の終わりまでに完了する必要があります。現在のバイトの転送終了までに EV7 ソフトウェアシーケンスを管理できない場合に備えて、通信を低速にする欠点はありますが、RXNE の代わりに BTF を使用することを推奨します。
6. EV6_1 または EV7_1 ソフトウェアシーケンスは、現在のバイト転送の ACK パルスより前に完了する必要があります。
7. *注 8（296 ページ）*も参照してください。

**方法 2**：この方法は、アプリケーション内で最高の優先順位を持たない割り込みによって I2Cが使用される場合、またはポーリングによって I2C が使用されるケースに使用します。

この方法では、

- DataN_2 は読み出されないので、DataN_1 の後で、通信は延長されます（RxNE と BTF がセットされます）。
- 次に、DR の DataN-2 を読み出す前に ACK ビットをクリアすることで、DataN の確認応答パルスより前にこれがクリアされるようにします。
- その後、DataN_2 を読み出した直後に、ソフトウェアは、STOP/START ビットをセットし、DataN_1 を読み出す必要があります。RxNE がセットされた後、DataN を読み出します。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

これを次の図に示します。

**図 106. 方法 2：マスタレシーバの転送シーケンス図（N >2 の場合）**

1. 凡例：
   **S** = START、**$S_r$** = 反復 START、**P** = STOP、**A** = 確認応答、**NA** = 否定応答、
   **EVx** = イベント（ITEVTEN=1 の場合は割り込み付き）
   **EV5 :** SB=1、SR1 レジスタの読み出しと、それに続く DR レジスタへの書き込みによってクリアされます。
   **EV6** : ADDR=1、SR1 レジスタの読み出しと、それに続く SR3 の読み出しによってクリアされます。
   10 ビットマスタレシーバモードでは、このシーケンスの後に続けて、CR2 に START = 1 を書き込んでください。
   **EV7** : RxNE=1、DR レジスタの読み出しによってクリア。
   **EV7_2** : BTF = 1、DR の DataN-2 とシフトレジスタの DataN-1、ACK = 0 にプログラミング、DR の DataN-2 の読み出し。STOP = 1 にプログラミング、DataN-1 の読み出し。
   **EV9** : ADD10=1、SR1 レジスタの読み出しと、それに続く DR レジスタへの書き込みによってクリアされます。
2. EV5、EV6、および EV9 イベントは、対応するソフトウェアシーケンスの終わりまで、SCL のローレベルを伸長します。
3. EV7 ソフトウェアシーケンスは、現在のバイト転送の終わりまでに完了する必要があります。現在のバイトの転送終了までに EV7 ソフトウェアシーケンスを管理できない場合に備えて、通信を低速にする欠点はありますが、RXNE の代わりに BTF を使用することを推奨します。

まだ 3 バイトが読み出されていないとき：

- RxNE = 1 => 何もしません（DataN-2 は読み出されません）。
- DataN-1 が受信されます
- シフトレジスタとデータレジスタが満杯なので、BTF = 1：DR の DataN-2 とシフトレジスタの DataN-1 => SCL をローに接続：このバスでは他のいかなるデータも受信されません。
- ACK ビットをクリアします。
- DR の DataN-2 の読み出し => これによって、シフトレジスタに DataN の受信を開始。
- DataN の受信（NACK 付き）。
- START/STOP のプログラミング。
- DataN-1 の読み出し。
- RxNE = 1
- DataN の読み出し。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

上述の手順は N > 2 の場合に有効です。1 バイトまたは 2 バイトを受信するケースでは、下記のように別の方法で処理してください。

- 1 バイトを受信するケース：
  - ADDR イベントで、ACK ビットをクリアします。
  - ADDR をクリアします。
  - STOP/START ビットをプログラミングします。
  - RxNE フラグがセットされた後、データを読み出します。
- 2 バイトを受信するケース：
  - POS と ACK をセットします。
  - ADDR フラグがセットされるのを待ちます。
  - ADDR をクリアします。
  - ACK をクリアします。
  - BTF がセットされるのを待ちます。
  - STOP をプログラミングします。
  - DR を 2 回読み出します

**図 107. 方法 2：マスタレシーバの転送シーケンス図（N=2 の場合）**

1. 凡例：
   **S** = START、**$S_r$** = 反復 START、**P** = STOP、**A** = 確認応答、**NA** = 否定応答、
   **EVx** = イベント（ITEVTEN=1 の場合は割り込み付き）
   **EV5 :** SB=1、SR1 レジスタの読み出しと、それに続く DR レジスタへの書き込みによってクリアされます。
   **EV6** : ADDR=1、SR1 レジスタの読み出しと、それに続く SR3 の読み出しによってクリアされます。
   10 ビットマスタレシーバモードでは、このシーケンスの後に続けて、CR2 に START = 1 を書き込んでください。
   **EV6_1** : 関連するフラグイベントはありません。確認応答は、EV6 の直後、つまり ADDR がクリアされた後で無効にしてください。
   **EV7_3** : BTF=1、STOP=1 をプログラミング、STOP のプログラミング直後に、DR を 2 回読み出します（Data1 と Data2 を読み出します）。
   **EV9** : ADD10=1、SR1 レジスタの読み出しと、それに続く DR レジスタへの書き込みによってクリアされます。
2. EV5、EV6、および EV9 イベントは、対応するソフトウェアシーケンスの終わりまで、SCL のローレベルを伸長します。
3. EV6_1 ソフトウェアシーケンスは、現在のバイト転送の ACK パルスより前に完了する必要があります。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 108. 方法 2：マスタレシーバの転送シーケンス図（N=1 の場合）

1. 凡例：
   **S** = START、**$S_r$** = 反復 START、**P** = STOP、**A** = 確認応答、**NA** = 否定応答、
   **EVx** = イベント（ITEVTEN=1 の場合は割り込み付き）
   **EV5 :** SB=1、SR1 レジスタの読み出しと、それに続く DR レジスタへの書き込みによってクリアされます。
   **EV6** : ADDR=1、SR1 レジスタの読み出しと、それに続く SR3 レジスタの読み出しによってクリアされます。
   **EV6_3** : ADDR = 1、ACK = 0 をプログラミング、SR1 レジスタの読み出しとそれに続く SR3 レジスタの読み出しによって ADDR をクリア、ADDR がクリアされた直後に STOP =1 をプログラミング。
   **EV7** : RxNE=1、DR レジスタの読み出しによってクリア。
   **EV9** : ADD10=1、SR1 レジスタの読み出しと、それに続く DR レジスタへの書き込みによってクリアされます。
2. EV5、EV6、および EV9 イベントは、対応するソフトウェアシーケンスの終わりまで、SCL のローレベルを伸長します。
3. EV6_3 ソフトウェアシーケンスは、現在のバイト転送の ACK パルスより前に完了する必要があります。

## 21.4.3 エラー条件

以下は、通信障害を引き起こす可能性のあるエラー条件です。

### バスエラー（BERR）

このエラーは、I2C インタフェースがアドレスやデータの転送中に外部の STOP または START コンディションを検出したときに発生します。このとき、

- BERR ビットがセットされ、ITERREN ビットがセットされている場合は割り込みが生成されます。
- スレーブモードの場合：データは破棄され、ラインはハードウェアによって解放されます。
  - START の誤配置である場合、スレーブはこれを RESTART とみなし、アドレスまたは STOP コンディションを待ちます。
  - STOP の誤配置である場合、スレーブは STOP コンディションの場合のように動作し、ラインはハードウェアによって解放されます。
- マスタモードの場合：ラインは解放されず、現在の送信の状態は影響を受けません。現在の送信を中止するかどうかは、ソフトウェアしだいです。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 確認応答障害（AF）

このエラーは、インタフェースが否定応答ビットを検出したときに発生します。このとき、

- AF ビットがセットされ、ITERREN ビットがセットされている場合は割り込みが生成されます。
- NACK を受信したトランスミッタは、通信をリセットする必要があります。
  - スレーブの場合：ラインはハードウェアによって解放されます。
  - マスタの場合：ソフトウェアが STOP または反復 START コンディションを 生成する必要があります。

### アービトレーションロスト（ARLO）

このエラーは、I2C インタフェースがアービトレーションロスト条件を検出したときに発生します。このとき、

- ARLO ビットがハードウェアによってセットされます（ITERREN ビットがセットされている場合、割り込みが生成されます）。
- I2C インタフェースは自動的にスレーブモードに戻ります（MSL ビットがクリアされます）。
- I²C がアービトレーションを失うと、同じ転送ではそのスレーブアドレスを確認応答できませんが、マスタからの反復 START 後に確認応答できます。
- ラインはハードウェアによって解放されます。

### オーバーラン／アンダーランエラー（OVR）

スレーブモードでオーバーランエラーが発生するのは、クロック伸長が無効であり、I2C インタフェースがデータを受信しているときです。インタフェースがすでにバイトを受信し（RXNE = 1）、インタフェースが次のバイトを受信するまでに DR 内のデータがまだ読み出されていません。このとき、

- 最後に受信されたバイトは失われます。
- オーバーランエラーが発生した場合、ソフトウェアで RXNE ビットをクリアし、トランスミッタで最後の受信バイトを再送信してください。

スレーブモードでアンダーランエラーが発生するのは、クロック伸長が無効であり、I2C インタフェースがデータを送信しているときです。次のバイト用のクロックが到着するまでに、まだ DR は次のバイトで更新されていません（TXE=1）。このとき、

- DR レジスタ内の同じバイトが再送信されます。
- ユーザは、アンダーランエラー中にレシーバ側で受信されたデータが捨てられ、I²C バス規格で指定されたクロックロー時間内に次のバイトが書き込まれるようにしてください。
- 送信される最初のバイトに関しては、ADDR がクリアされてから最初の SCL 立ち上がりエッジまでに DR を書き込む必要があります。さもなければ、レシーバは最初のデータを捨てなければなりません。

## 21.4.4 SDA/SCL ライン制御

- クロック伸長が有効な場合：
  - トランスミッタモード：TXE=1 および BTF=1 の場合：インタフェースは、送信の前にクロックラインをローレベルに保ち、マイクロコントローラが SR1 を読み出し、そのバイトをデータレジスタに書き込むのを待ちます（バッファとシフトレジスタは、いずれも空）。
  - レシーバモード：RXNE=1 および BTF=1 の場合：インタフェースは、受信後にクロックラインをローレベルに保ち、マイクロコントローラが SR1 を読み出し、データレジスタ内のバイトを読み出すか CR2 に書き込むのを待ちます（バッファとシフトレジスタは、いずれも満杯）。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

- スレーブモードでクロック伸長が無効な場合：
  - オーバーランエラー：RXNE=1 で、次のバイトが受信されるまでに DR が読み出されていない場合。最後に受信されたバイトは失われます。
  - アンダーランエラー：TXE=1 で、次のバイトを送信するまでに DR への書き込みが行われていない場合。同じバイトが再送信されます。
  - 書き込み衝突は管理されません。

## 21.5 I²C 低電力モード

**表 48. 低電力モードでの I²C インタフェースの動作**

| モード | 説明 |
|---|---|
| WAIT | I²C インタフェースには影響ありません。<br>I²C 割り込みによって、デバイスは WAIT モードから抜けます。 |
| HALT | **スレーブモードの場合**：設定レジスタを除いて、通信はリセットされます。デバイスはスレーブモードです。<br>ITEVTEN = 1 であり、許容ヘッダも含めてアドレスが一致した場合、HALT からのウェイクアップ割り込みが生成されます。<br>一致したアドレスは HALT モードでは確認応答されないため、マスタは、CPU がウェイクアップしたときにこれを再送信して確認応答を受信する必要があります。<br>NOSTRETCH = 0 の場合、SCLH は、WUFH がソフトウェアによってクリアされるまで、HALT モードでの確認応答パルス後に伸長されます。<br>どのフラグも、CPU をウェイクアップするアドレスによってはセットされません。<br>**マスタモードの場合**：通信は、CPU がウェイクアップされるまで凍結されます。ITEVTEN=1 であり、HALT 命令がある場合、HALT からのウェイクアップフラグと割り込みが生成されます。<br>***注：通信中に HALT モードに入ることは禁止されています。*** |



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

参考資料



## 21.6 I²C 割り込み

表 49. I²C 割り込みリクエスト

| 割り込みイベント | イベントフラグ | イネーブル制御ビット | WAIT 終了 | HALT 終了 |
|---|---|---|---|---|
| START ビット送信（マスタ） | SB | ITEVTEN | あり | なし |
| アドレス送信（マスタ）またはアドレス一致（スレーブ） | ADDR | | | |
| 10 ビットヘッダ送信（マスタ） | ADD10 | | | |
| STOP 受信（スレーブ） | STOPF | | | |
| データバイト転送終了 | BTF | | | |
| HALT からのウェイクアップ | WUFH | ITEVTEN | | あり |
| 受信バッファノットエンプティ | RXNE | ITEVTEN および ITBUFEN | | なし |
| 送信バッファエンプティ | TXE | | | |
| バスエラー | BERR | ITERREN | | |
| アービトレーションロスト（マスタ） | ARLO | | | |
| 確認応答障害 | AF | | | |
| オーバーラン／アンダーラン | OVR | | | |

図 109. I²C 割り込みマッピング図

この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

## 21.7 I²C レジスタ

### 21.7.1 制御レジスタ 1（I2C_CR1）

アドレスオフセット：0x00
リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| NOSTRETCH | ENGC | 予約済み | | | | | PE |
| rw | rw | | | | | | rw |

ビット 7 **NOSTRETCH**：クロック伸長ディセーブル（スレーブモード）

このビットは、スレーブモードで ADDR または BTF フラグがセットされているとき、ソフトウェアによってリセットされるまで、クロック伸長を無効にするために使用されます。

0：クロック伸長は有効です。
1：クロック伸長は無効です。

ビット 6 **ENGC**：同報イネーブル

0：同報は無効です。アドレス 0x00 は NACK されます。
1：同報は有効です。アドレス 0x00 は ACK されます。

ビット 5:1 予約済み

ビット 0 **PE**：ペリフェラルイネーブル

0：ペリフェラルは無効です。
1：ペリフェラルは有効です。対応する入出力はオルタネート機能として選択されます。

*注：　通信中にこのビットがリセットされた場合、現在の通信の最後にアイドル状態に戻ったとき、ペリフェラルは無効になります。*
*通信の最後には PE=0 になるので、すべてのビットがリセットされます。*



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 21.7.2 制御レジスタ 2（I2C_CR2）

アドレスオフセット：0x01

リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| SWRST | 予約済み | | | POS | ACK | STOP | START |
| rw | | | | rw | rw | rw | rw |

ビット 7 **SWRST**：ソフトウェアリセット

このビットがセットされると、I2C はリセット状態になります。このビットをリセットする前に、I2C ラインが解放されていて、バスが空いていることを確認してください。

0：I2C ペリフェラルはリセット状態ではありません。

1：I2C ペリフェラルはリセット状態です。

*注： このビットは、バス上で STOP コンディションが検出されていないときに BUSY ビットが"1"に設定された場合に備えて使用できます。*

ビット 6:4 予約済み

ビット 3 **POS**：確認応答位置（データ受信）

このビットは、ソフトウェアによってセット／クリアされ、PE=0 のときにハードウェアによってクリアされます。

0：ACK ビットは、シフトレジスタに受信されている現在のバイトの (N)ACK を制御します。

1：ACK ビットは、シフトレジスタに受信される次のバイトの (N)ACK を制御します。

*注： 2 バイトの受信手順が実行されるとき、POS ビットが使用されます（方法 2：マスタレシーバの転送シーケンス図（N=2 の場合）を参照）。このビットは、データ受信が始まる前に設定される必要があります。この場合、2 番目のバイトを NACK するには、ADDR がクリアされた直後に ACK ビットをクリアする必要があります。*

ビット 2 **ACK**：確認応答イネーブル

このビットは、ソフトウェアによってセット／クリアされ、PE=0 のときにハードウェアによってクリアされます。

0：確認応答は返されません。

1：バイトの受信後（アドレスまたはデータの一致）、確認応答が返されます。

ビット 1 **STOP**：STOP 生成

このビットは、ソフトウェアによってセット／クリアされ、STOP コンディションの検出時にハードウェアによってクリアされ、タイムアウトエラーの検出時にハードウェアによってセットされます。

– マスタモード：

0：STOP は生成されません。

1：現在のバイト転送後、または現在の START コンディションの送信後に、STOP が生成されます。

– スレーブモード：

0：STOP は生成されません。

1：現在のバイト転送後に SCL ラインと SDA ラインを解放します。

ビット 0 **START**：START 生成

このビットは、ソフトウェアによってセット／クリアされ、START の送信時または PE=0 のときにハードウェアによってクリアされます。

– マスタモード：

0：START は生成されません。

1：反復 START が生成されます。

– スレーブモード：

0：START は生成されません。

1：バスが空いていれば、START が生成されます。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

*注：* *STOP または START がセットされると、制御ビットがハードウェアによってクリアされるまで、ユーザは I2C_CR2 に書き込みアクセスを実行してはいけません。さもなければ、2 番目の STOP または START リクエストが発生することがあります。*

### 21.7.3 周波数レジスタ（I2C_FREQR）

アドレスオフセット：0x02
リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| 予約済み | | FREQ[5:0] | | | | | |
| | | rw | | | | | |

ビット 7:6 予約済み

ビット 5:0 **FREQ[5:0]**：ペリフェラルクロック周波数 (1)

入力クロック周波数は正しいタイミングを生成するようにプログラミングする必要があります。
許容範囲は 1 MHz～24 MHz です。
000000：設定禁止
000001：1 MHz
000010：2 MHz
...
011000：24 MHz
さらに高い値：設定禁止

1. I²C バスタイミングを守るための最小ペリフェラルクロック周波数は、標準モードでは 1MHz、高速モードでは 4MHz です。

### 21.7.4 自己アドレスレジスタ LSB（I2C_OARL）

アドレスオフセット：0x03
リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| ADD[7:1] | | | | | | | ADD0 |
| rw | | | | | | | rw |

ビット 7:1 **ADD[7:1]**：インタフェースアドレス
アドレスのビット 7:1

ビット 0 **ADD[0]**：インタフェースアドレス
7 ビットアドレスモード：無視
10 ビットアドレスモード：アドレスのビット 0



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 21.7.5 自己アドレスレジスタ MSB（I2C_OARH）

アドレスオフセット：0x04
リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| ADDMODE | ADDCONF | 予約済み | | | ADD[9:8] | | 予約済み |
| rw | rw | | | | rw | | |

ビット 7 **ADDMODE**：アドレスモード（スレーブモード）
0：7 ビットスレーブアドレス（10 ビットアドレスは確認応答されません）
1：10 ビットスレーブアドレス（7 ビットアドレスは確認応答されません）

ビット 6 **ADDCONF**：アドレスモード設定
このビットは、ソフトウェアによってセットされる必要があります（常に”1”として書き込まれます）。

ビット 5:3 予約済み

ビット 2:1 **ADD[9:8]**：インタフェースアドレス
10 ビットアドレスモード：アドレスのビット 9:8

ビット 0 予約済み

### 21.7.6 データレジスタ（I2C_DR）

アドレスオフセット：0x06
リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| DR[7:0] | | | | | | | |
| rw | | | | | | | |

ビット 7:0 **DR[7:0]**：データレジスタ (1)(2)(3)
受信されたバイト、またはバスに送信されるバイト。
– トランスミッタモード：DR レジスタにバイトが書き込まれると、バイト送信が自動的に始まります。送信が始まり（TXE=1）、次に送信されるデータが DR に書き込まれた場合、連続的な送信ストリームを維持できます。
– レシーバモード：受信したバイトは DR にコピーされます（RXNE=1）。DR が読み出されてから次のデータが受信された場合（RXNE=1）、連続的な送信ストリームを維持できます。

1. スレーブモードでは、アドレスは DR にコピーされません。
2. 書き込み衝突は管理されません（TXE=0 の場合、DR は書き込み可能です）。
3. ACK パルスで ARLO イベントが発生した場合、受信したバイトは DR にコピーされないため、読み出しできません。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 21.7.7 ステータスレジスタ 1（I2C_SR1）

アドレスオフセット：0x07
リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| TXE | RXNE | 予約済み | STOPF | ADD10 | BTF | ADDR | SB |
| r | r | | r | r | r | r | r |

ビット 7 **TXE**：データレジスタエンプティ（トランスミッタ）(1)

0：データレジスタは空ではありません。
1：データレジスタは空です。

– 送信中に DR が空になったときにセットされます。TXE はアドレスフェーズではセットされません。
– DR レジスタへのソフトウェア書き込みによってクリアされ、START/STOP コンディションの後または PE=0 のときにハードウェアによってクリアされます。

*注： 送信中に最初のデータを書き込んだり、BTF がセットされているときにデータを書き込んだりしても、TXE はクリアできません。いずれの場合も、DR レジスタはまだ空だからです。*

ビット 6 **RXNE**：データレジスタノットエンプティ（レシーバ）(2) (3)

0：データレジスタは空です。
1：データレジスタは空ではありません。

– レシーバモードで、データレジスタが空でないときにセットされます。RXNE は、アドレスフェーズではセットされません。
– ソフトウェアで DR レジスタへの読み書きを行ってクリアするか、PE=0 のときにハードウェアによってクリアされます。

*注： BTF ビットがセットされているときにデータを読み出しても、DR レジスタはまだ満杯なので、RXE はクリアできません。*

ビット 5 予約済み

ビット 4 **STOPF**：STOP 検出（スレーブモード）(4)(5)

0：STOP コンディションは検出されていません。
1：STOP コンディションが検出されました。

– 確認応答後に、スレーブがバス上で STOP コンディションを検出したとき、ハードウェアによってセットされます（ACK=1 の場合）。
– ソフトウェアで SR1 レジスタを読み出し、続いて CR2 レジスタに書き込むとクリアされます。または、PE=0 のときにハードウェアによってクリアされます。

ビット 3 **ADD10**：10 ビットヘッダの送信（マスタモード）(6)

0：ADD10 イベントは発生していません。
1：マスタは最初のアドレスバイト（ヘッダ）を送信しました。

– マスタが 10 ビットアドレスモードで最初のバイトを送信すると、ハードウェアによってセットされます。
– ソフトウェアで SR1 レジスタを読み出し、続いて DR レジスタに 2 番目のアドレスバイトを書き込むとクリアされます。または、PE=0 のときにハードウェアによってクリアされます。

ビット 2 **BTF**：バイト転送終了 (7)(8)

0：データバイト転送は完了していません。
1：データバイト転送が正常に終了しました。

– NOSTRETCH=0 の場合、次の条件でハードウェアによってセットされます。
  – 受信時、新しいバイト（ACK パルスを含む）が受信され、DR レジスタがまだ読み出されていないとき（RXNE=1）。
  – 送信時、新しいバイトを送信すべきときに、DR レジスタへの書き込みがまだ行われていないとき（TXE=1）。
– ソフトウェアで SR1 を読み出し、続いて DR レジスタへの読み書きを行ったときにクリアされます。または、送信時の START/STOP コンディションの後や PE=0 のときに、ハードウェアによってクリアされます。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 1 **ADDR**：アドレス送信（マスタモード）／アドレス一致（スレーブモード）(8)(9)

このビットは、ソフトウェアで SR1 レジスタを読み出し、続いて SR3 レジスタを読み出すことでクリアされます。または、PE=0 のときにハードウェアによってクリアされます。

– アドレス一致（スレーブ）

0：アドレスは受信されていないか、一致しませんでした。

1：受信したアドレスが一致しました。

– 受信したスレーブアドレスが OAR レジスタの内容と一致したとき、あるいは同報または SMBus が認識されたとき、ハードウェアによってセットされます（設定に応じて、それぞれ有効である場合）。

– アドレス送信（マスタ）

0：アドレス送信は終了していません。

1：アドレス送信は終了しました。

– 10 ビットアドレッシングでは、2 番目のバイトの ACK 後にビットがセットされます。

– 7 ビットアドレッシングでは、バイトの ACK 後にビットがセットされます。

***注：　ADDR は、NACK 受信後にはセットされません。***

ビット 0 **SB**：START ビット（マスタモード）(8)

0：START コンディションなし。

1：START コンディションが生成されました。

– START コンディションが生成されたときにセットされます。

– ソフトウェアで SR1 レジスタを読み出し、続いて DR レジスタへの書き込みを行うとクリアされます。または、PE=0 のときにハードウェアによってクリアされます。

1. ACK パルスの後で DR がシフトレジスタにコピーされると、割り込みが生成されます。NACK が受信された場合、コピーは行われず、TXE はセットされません。
2. ACK パルスの後でシフトレジスタが DR にコピーされると、割り込みが生成されます。
3. ARLO イベントの場合、RXNE はセットされません。
4. STOPF ビットは、NACK 受信後にはセットされません。
5. STOPF がセットされた後、完全なクリアシーケンス（SR1 の読み出し、続いてCR2 の書き込み）を実行することを推奨します。*図 103：スレーブレシーバの転送シーケンス図（280 ページ）*を参照してください。
6. ADD10 ビットは、NACK 受信後にはセットされません。
7. BTF ビットは、NACK 受信後または ARLO イベントの場合にはセットされません。
8. タイミング制約があるため、標準モードにおいて CCR が 9 未満（つまり、ペリフェラルクロックが 2 MHz 未満）、$f_{MASTER} = f_{CPU}$、およびイベント割り込みが無効である場合、以下の手順に従う必要があります。
   フラグのクリアシーケンスにおける各動作間に少なくとも 5 サイクルを挿入するため、リセットシーケンスを変更します。たとえば、$f_{MASTER} = f_{CPU}$ = 1 MHz のとき、以下のシーケンスを使用して SB ビットをポーリングします。
   _label_wait: BTJF I2C_SR1,SB,_label_wait
   NOP ;
   NOP;
   NOP ;
   NOP
   NOP
   LD I2C_DR, A ; 実行後、SB ビットはクリアされます。
9. スレーブモードでは、ADDR がセットされた後、完全なクリアシーケンス（SR1 の読み出し、続いてSR3 の書き込み）を実行することを推奨します。*図 103：スレーブレシーバの転送シーケンス図（280 ページ）*を参照してください。

## 21.7.8 ステータスレジスタ 2（I2C_SR2）

アドレスオフセット：0x08

リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| 予約済み | | WUFH | 予約済み | OVR | AF | ARLO | BERR |
| | | rc_w0 | | rc_w0 | rc_w0 | rc_w0 | rc_w0 |



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 7:6 予約済み

ビット 5 **WUFH**：HALT からのウェイクアップ

0：HALT モードからのウェイクアップなし。

1：HALT モード（スレーブモード）で 7 ビットアドレスまたはヘッダが一致、あるいはマスタモードのときに HALT になりました。

*注： このビットは、スレーブモードで（HALT モード中に）非同期にセットされます。ITEVTEN = 1 の場合にのみセットされます。*

– ソフトウェアによって 0 を書き込んでクリアするか、PE=0 のときにハードウェアによってクリアされます。

ビット 4 予約済み

ビット 3 **OVR**：オーバーラン／アンダーラン

0：オーバーラン／アンダーランなし。

1：オーバーランまたはアンダーランあり。

– スレーブモードで NOSTRETCH=1 の場合、次の条件でハードウェアによってセットされます。

– 受信時、新しいバイト（ACK パルスを含む）が受信され、DR レジスタがまだ読み出されていないとき。新しい受信バイトは失われます。

– 送信時、新しいバイトを送信すべきときに、DR レジスタへの書き込みがまだ行われていないとき。同じバイトが 2 回送信されます。

ソフトウェアによって 0 を書き込んでクリアするか、PE=0 のときにハードウェアによってクリアされます。

*注： DR への書き込みが SCL の立ち上がりエッジのごく近くで行われた場合、送信されるデータは不定で、ホールドタイミングエラーが発生します。*

ビット 2 **AF**：確認応答障害

0：確認応答障害なし。

1：確認応答障害あり。

– 確認応答が返されないとき、ハードウェアによってセットされます。

– ソフトウェアによって 0 を書き込んでクリアするか、PE=0 のときにハードウェアによってクリアされます。

ビット 1 **ARLO**：アービトレーションロスト（マスタモード）

0：アービトレーションロストは検出されていません。

1：アービトレーションロストが検出されました。

インタフェースがバスのアービトレーションを他のマスタに開放したとき、ハードウェアによってセットされます。

– ソフトウェアによって 0 を書き込んでクリアするか、PE=0 のときにハードウェアによってクリアされます。

ARLO イベントの後、インタフェースは自動的にスレーブモード（MSL=0）に切り替わります。

ビット 0 **BERR**：バスエラー

0：START または STOP コンディションの誤配置はありません。

1：START または STOP コンディションが誤配置されました。

– バイト転送中に SCL がハイである間、SDA の立ち上がりまたは立ち下がりエッジが有効でない位置に発生していることをインタフェースが検出したとき、ハードウェアによってセットされます。

– ソフトウェアによって 0 を書き込んでクリアするか、PE=0 のときにハードウェアによってクリアされます。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 21.7.9 ステータスレジスタ 3（I2C_SR3）

アドレスオフセット：0x09
リセット値：0x00

| 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|
| 予約済み | | GENCALL | 予約済み | TRA | BUSY | MSL |
| | | r | | r | r | r |

ビット 7:5 予約済み。

ビット 4 **GENCALL**：同報ヘッダ（スレーブモード）

0：同報ヘッダは受信されていません。
1：ENGC=1 のとき、同報ヘッダが受信されました。
– STOP コンディションまたは反復 START コンディションの後、あるいは PE=0 のときに、ハードウェアによってクリアされます。

ビット 3 予約済み

ビット 2 **TRA**：トランスミッタ／レシーバ

0：データバイトが受信されました。
1：データバイトが送信されました。
このビットは、全アドレスフェーズの終わりで、アドレスバイトの R/W ビットに応じてセットされます。
また、STOP コンディション（STOPF=1）、反復 START コンディション、バスアービトレーションロス（ARLO=1）の検出後、または PE=0 のときに、ハードウェアによってクリアされます。

ビット 1 **BUSY**：バスビジー

0：バス上で通信は行われていません。
1：バス上で通信が行われています。
– SDA または SCL のローレベル検出時に、ハードウェアによってセットされます。
– STOP コンディションの検出時に、ハードウェアによってクリアされます。
このビットは、バス上で通信が進行中であることを示します。この情報は、インタフェースが無効である（PE=0）ときにも更新されます。

ビット 0 **MSL**：マスタ／スレーブ

0：スレーブモード
1：マスタモード
– インタフェースがマスタモードになると（SB=1）、ハードウェアによってセットされます。
– バス上での STOP コンディションまたはアービトレーションロス（ARLO=1）を検出した後、または PE=0 のときに、ハードウェアによってクリアされます。

*注：* ***たとえ I2C_SR1 の読み出し後に ADDR フラグがセットされた場合でも、I2C_SR1 の読み出し後に I2C_SR3 を読み出すと、ADDR フラグはクリアされます。したがって、I2C_SR1 の ADDR がセットされていると分かったとき、または STOPF ビットがクリアされているときにのみ、I2C_SR3 を読み出す必要があります。***



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 21.7.10 割り込みレジスタ（I2C_ITR）

アドレスオフセット：0x0A
リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| 予約済み | | | | | ITBUFEN | ITEVTEN | ITERREN |
| | | | | | rw | rw | rw |

ビット 7:3 予約済み

ビット 2 **ITBUFEN**：バッファ割り込みイネーブル

0：TXE = 1 または RXNE = 1 で、割り込みは生成されません。
1：TXE = 1 または RXNE = 1 で、イベント割り込みを生成します。

ビット 1 **ITEVTEN**：イベント割り込みイネーブル

0：イベント割り込みは無効です。
1：イベント割り込みは有効です。

この割り込みは、以下の場合に生成されます。

– SB = 1（マスタ）
– ADDR = 1（マスタ／スレーブ）
– ADD10= 1（マスタ）
– STOPF = 1（スレーブ）
– BTF = 1（ただし、TXE または RXNE イベントが発生してしないとき）
– ITBUFEN = 1 で TXE イベントが 1 になったとき
– ITBUFEN = 1 で RXNE イベントが 1 になったとき
– WUFH = 1（HALT からのウェイクアップへの非同期割り込み）

ビット 0 **ITERREN**：エラー割り込みイネーブル

0：エラー割り込みは無効です。
1：エラー割り込みは有効です。

– この割り込みは、以下の場合に生成されます。
– BERR = 1
– ARLO = 1
– AF = 1
– OVR = 1



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 21.7.11 クロック制御レジスタ低（I2C_CCRL）

アドレスオフセット：0x02
リセット値：0x0B

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| CCR[7:0] | | | | | | | |
| rw | | | | | | | |

ビット 7:0 **CCR[7:0]**：クロック制御レジスタ（マスタモード）

マスタモードにおける SCLH クロックを制御します。

– 標準モード：

Period(I2C) = 2 * CCR * $t_{MASTER}$

$t_{high}$ = CCR * $t_{MASTER}$

$t_{low}$ = CCR * $t_{MASTER}$

– 高速モード：

DUTY = 0 の場合：

Period(I2C) = 3* CCR * $t_{MASTER}$

$t_{high}$ = CCR * $t_{MASTER}$

$t_{low}$ = 2 * CCR * $t_{MASTER}$

DUTY = 1 の場合：（400 kHz に到達するには）

Period(I2C) = 25 * CCR * $t_{MASTER}$

$t_{high}$ = 9 * CCR * $t_{MASTER}$

$t_{low}$ = 16 * CCR * $t_{MASTER}$

*注：* ***$t_{CK}$ = 1/ $f_{MASTER}$。$f_{MASTER}$ は、クロック制御レジスタを使用して設定されたペリフェラルへの入力クロックです。***

***最小許容値は 04h です。ただし、FAST DUTY モードでは最小許容値は 0x01 になります。***

***$t_{high}$ = $t_{r(SCL)}$ + $t_{w(SCLH)}$。パラメータの定義については、デバイスのデータシートを参照してください。***

***$t_{low}$ = $t_{f(SCL)}$ + $t_{w(SCLL)}$。パラメータの定義については、デバイスのデータシートを参照してください。***

***I2C 通信速度、$f_{SCL}$ = 1/($t_{high}$ + $t_{low}$)***

***これらのタイミングは、フィルタを通さないものです。***



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 21.7.12 クロック制御レジスタハイ（I2C_CCRH）

アドレスオフセット：0x0C
リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| F/S | DUTY | 予約済み | | CCR[11:8] | | | |
| rw | rw | | | rw | | | |

ビット 7 **F/S**：I2C マスタモード選択
0：標準モード I2C
1：高速モード I2C

ビット 6 **DUTY**：高速モードデューティサイクル
0：高速モード $t_{low}/t_{high}$ = 2
1：高速モード $t_{low}/t_{high}$ = 16/9（CCR を参照）

ビット 5:4 予約済み

ビット 3:0 **CCR[11:8]**：高速／標準モード（マスタモード）でのクロック制御レジスタ
マスタモードにおける SCLH クロックを制御します。

– 標準モード：
Period(I2C) = 2 * CCR * $t_{MASTER}$
$t_{high}$ = CCR * $t_{MASTER}$
$t_{low}$ = CCR * $t_{MASTER}$

– 高速モード：
DUTY = 0 の場合：
Period(I2C) = 3 * CCR * $t_{MASTER}$
$t_{high}$ = CCR * $t_{MASTER}$
$t_{low}$ = 2 * CCR * $t_{MASTER}$
DUTY = 1 の場合：（400 kHz に到達するには）
Period(I2C) = 25 * CCR * $t_{MASTER}$
$t_{high}$ = 9 * CCR * $t_{MASTER}$
$t_{low}$ = 16 * CCR * $t_{MASTER}$
例：標準モードで 100 kHz の SCL 周波数を生成するには、
FREQR = 08、$t_{MASTER}$ = 125 ns の場合、CCR には 0x28 をプログラミングする必要があります。
（0x28 <=> 40 x 125 ns = 5000 ns）

*注：* ***$t_{high} = t_{r(SCL)} + t_{w(SCLH)}$。パラメータの定義については、デバイスのデータシートを参照してください。***
***$t_{low} = t_{f(SCL)} + t_{w(SCLL)}$。パラメータの定義については、デバイスのデータシートを参照してください。***
***これらのタイミングは、フィルタを通さないものです。***

*注：* ***CCR レジスタは、I²C が無効（PE=0）の場合にのみ設定可能です。***
***400 kHz で高速クロックを生成するには、$f_{MASTER}$ = 10 MHz の倍数にする必要があります。***
***100 kHz で標準クロックを生成するには、$f_{MASTER} \geq$ 1 MHz にする必要があります。***



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 50. SCL 周波数テーブルに対する I2C_CCR 値（$f_{MASTER}$ = 10 MHz または 16 MHz(1)）

| I2C 速度 | I2C 周波数 ($f_{SCL}$) | $f_{MASTER}$ = 10 MHz | | | | $f_{MASTER}$= 16 MHz | | | |
|---|---|---|---|---|---|---|---|---|---|
| | Hz 単位 | 実際（Hz） | 誤差（%） | I2C_CCR（h） | デューティサイクルビット | 実際（Hz） | 誤差（%） | I2C_CCR（h） | デューティサイクルビット |
| 高速モード | 400000 | 400000 | 0 | 1 | 1 | 410256.41 | 2.56 | D | 0 |
| | 370000 | 370370.37 | 0.10 | 9 | 0 | 380952.38 | 2.96 | E | 0 |
| | 350000 | 370370.37 | 5.82 | 9 | 0 | 355555.56 | 1.59 | F | 0 |
| | 320000 | 333333.33 | 4.17 | A | 0 | 320000 | 0 | 2 | 1 |
| | 300000 | 303030.30 | 1.01 | B | 0 | 313725.49 | 4.57 | 11 | 0 |
| | 270000 | 277777.78 | 2.88 | C | 0 | 280701.75 | 3.96 | 13 | 0 |
| | 250000 | 256410.26 | 2.56 | D | 0 | 253968.25 | 1.59 | 15 | 0 |
| | 220000 | 222222.22 | 1.01 | F | 0 | 222222.22 | 1.01 | 18 | 0 |
| | 200000 | 200000 | 0 | 2 | 1 | 205128.20 | 2.56 | 1A | 0 |
| | 170000 | 175438.60 | 3.20 | 13 | 0 | 172043.01 | 1.20 | 1F | 0 |
| | 150000 | 151515.15 | 1.01 | 16 | 0 | 152380.95 | 1.59 | 23 | 0 |
| | 120000 | 123456.79 | 2.88 | 1B | 0 | 121212.12 | 1.01 | 2C | 0 |
| 標準モード | 100000 | 100000 | 0 | 32 | 影響なし | 100000 | 0 | 50 | 影響なし |
| | 50000 | 50000 | 0 | 64 | | 50000 | 0 | A0 | |
| | 30000 | 30120.48 | 0.40 | A6 | | 30075.19 | 0.25 | 10A | |
| | 20000 | 20000 | 0 | FA | | 20000 | 0 | 190 | |

1. 次の表は、必要な I²C SCL ライン周波数を得るために I2C_CCR レジスタに書き込む値を示します。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 21.7.13 TRISE レジスタ（I2C_TRISER）

アドレスオフセット：0x0D

リセット値：0x02

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| 予約済み | | TRISE[5:0] | | | | | |
| | | rw | | | | | |

ビット 7:6 予約済み

ビット 5:0 **TRISE[5:0]**：高速／標準モード（マスタモード）における最大立ち上がり時間

これらのビットには、I2C バス仕様で定められている SCL 最大立ち上がり時間より 1 だけ大きな値をプログラミングする必要があります。

例：標準モードで許容される SCL の最大立ち上がり時間は 1000 ns です。

I2C_FREQR レジスタの値が 08h で、$t_{MASTER}$ = 125 ns である場合、TRISE[5:0] ビットには 0x09 をプログラミングする必要があります。

（1000 ns / 125 ns = 8 + 1）

フィルタ値も TRISE[5:0] に加算することができます。

結果が整数でない場合、$t_{HIGH}$ パラメータを考慮して、その整数部を TRISE[5:0] にプログラミングする必要があります。

*注： TRISE[5:0] の設定は、I2C が無効なとき（PE=0）にのみ可能です。*

### 21.7.14 I²C レジスタマップとリセット値

**表 51. I²C レジスタマップ**

| アドレスオフセット | レジスタ名 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|
| 0x00 | I2C_CR1<br>リセット値 | NO STRETCH<br>0 | ENGC<br>0 | -<br>0 | -<br>0 | -<br>0 | -<br>0 | -<br>0 | PE<br>0 |
| 0x01 | I2C_CR2<br>リセット値 | SWRST<br>0 | -<br>0 | -<br>0 | -<br>0 | POS<br>0 | ACK<br>0 | STOP<br>0 | START<br>0 |
| 0x02 | I2C_FREQR<br>リセット値 | -<br>0 | -<br>0 | FREQ5<br>0 | FREQ4<br>0 | FREQ3<br>0 | FREQ2<br>0 | FREQ1<br>0 | FREQ0<br>0 |
| 0x03 | I2C_OARL<br>リセット値 | ADD[7:1]<br>0 | | | | | | | ADD0<br>0 |
| 0x04 | I2C_OARH<br>リセット値 | ADDMODE<br>0 | ADDCONF<br>0 | -<br>0 | -<br>0 | -<br>0 | ADD[9:8]<br>0 | | -<br>0 |
| 0x05 | 予約済み | | | | | | | | |
| 0x06 | I2C_DR<br>リセット値 | DR[7:0]<br>0 | | | | | | | |
| 0x07 | I2C_SR1<br>リセット値 | TXE<br>0 | RXNE<br>0 | -<br>0 | STOPF<br>0 | ADD10<br>0 | BTF<br>0 | ADDR<br>0 | SB<br>0 |
| 0x08 | I2C_SR2<br>リセット値 | -<br>0 | -<br>0 | WUFH<br>0 | -<br>0 | OVR<br>0 | AF<br>0 | ARLO<br>0 | BERR<br>0 |
| 0x09 | I2C_SR3<br>リセット値 | -<br>0 | -<br>0 | -<br>0 | GENCALL<br>0 | -<br>0 | TRA<br>0 | BUSY<br>0 | MSL<br>0 |
| 0x0A | I2C_ITR<br>リセット値 | -<br>0 | -<br>0 | -<br>0 | --<br>0 | --<br>0 | ITBUFEN<br>0 | ITEVTEN<br>0 | ITERREN<br>0 |
| 0x0B | I2C_CCRL<br>リセット値 | CCR[7:0]<br>0 | | | | | | | |



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

参考資料



表 51. I²C レジスタマップ （続き）

| アドレスオフセット | レジスタ名 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|
| 0x0C | I2C_CCRH<br>リセット値 | FS<br>0 | DUTY<br>0 | -<br>0 | -<br>0 | CCR[11:8]<br>0 | | | |
| 0x0D | I2C_TRISER<br>リセット値 | -<br>0 | -<br>0 | TRISE[5:0]<br>0 | | | | | |



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

# 22 Universal asynchronous receiver transmitter (UART)

## 22.1 概要

STM8S および STM8A マイクロコントローラファミリの UART（UART1、UART2、または UART3）を使用すれば、業界標準の NRZ 非同期シリアルデータフォーマットを必要とする外部機器と柔軟に全二重データ交換を行うことができます（UART モード）。STM8 UART は、きわめて広範囲なボーレートを提供し、マルチプロセッサ通信にも使用することができます。また、LIN（Local Interconnection Network）プロトコルのバージョン 1.3、2.0、および 2.1、ならびに J2602 もサポートします。

UART1 と UART2 には、拡張機能があります（*表 52* を参照）。

- LIN スレーブモードは、UART2 と UART3 でサポートされます。
- 同期式単方向通信、スマートカードプロトコル、および IrDA（Infrared Data Association）SIR ENDEC 仕様は、UART1 と UART2 でサポートされます。
- 半二重単線通信は、UART1 でサポートされます。

各マイクロコントローラタイプで UART 設定（UART1、UART2、または UART3）を使用可能かどうかについては、データシートを参照してください。

**表 52. UART 設定(1)**

| 機能 | UART1 | UART2 | UART3 |
|---|---|---|---|
| 非同期モード | X | X | X |
| マルチプロセッサ通信 | X | X | X |
| 同期通信 | X | X | NA |
| スマートカードモード | X | X | NA |
| IrDA モード | X | X | NA |
| 半二重（単線モード） | X | NA | NA |
| LIN マスタモード | X | X | X |
| LIN スレーブモード | NA | X | X |

1. X = サポート、NA = 該当せず



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

## 22.2 UART の主な機能

- 全二重、非同期通信
- NRZ 標準フォーマット（マーク／スペース）
- 高精度ボーレートジェネレータシステム
  - プログラミング可能な送受信共通のボーレート：最大 fMASTER/16
- プログラミング可能なデータワード長：8 または 9 ビット
- 設定可能な STOP ビット
  - 1 または 2 STOP ビットのサポート
- LIN マスタモード（UART1、UART2、および UART3）
  - LIN ブレークおよびデリミタ生成
  - リードバックチェック用に別個のフラグと割り込みソースを使用した LIN ブレークおよびデリミタ検出
- LIN スレーブモード（UART2 および UART3）
  - 自律的なヘッダ処理と、レスポンスをフィルタするためのミュートモード
  - 識別子のパリティエラーチェック
  - LIN の自動再同期によって、内蔵 RC オシレータ（HSI）クロックソースによる動作が可能。
  - いつでもブレーク検出（バイト受信中でも）
  - ヘッダエラー検出：

    短すぎるデリミタ

    同期フィールドエラー

    偏差エラー（自動再同期が有効な場合）

    同期フィールドまたは識別子フィールドでのフレーミングエラー

    ヘッダタイムアウト
- 同期通信用のトランスミッタクロック出力（UART1、UART2）
- IrDA SIR エンコーダデコーダ（UART1、UART2）
  - 通常モード用に 3/16 ビット持続時間のサポート
- スマートカードエミュレーション機能（UART1、UART2）
  - ISO 7816-3 規格で定義されたスマートカードの非同期プロトコルをサポートするスマートカードインタフェース
  - スマートカード用に 1.5 の STOP ビット
- 単線半二重通信（UART1）
- トランスミッタとレシーバ用に別個のイネーブルビット
- 転送検出フラグ：
  - 受信バッファフル
  - 送信バッファエンプティ
  - 送信終了フラグ
- パリティ制御
  - パリティビットの送信
  - 受信したデータバイトのパリティ検査
- 4 つのエラー検出フラグ
  - オーバーランエラー
  - ノイズエラー



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

  - フレームエラー
  - パリティエラー
- 6 つの割り込みソースとフラグ
  - 送信データレジスタエンプティ
  - 送信完了
  - 受信データレジスタフル
  - アイドルラインの受信
  - オーバーランエラー
  - フレーミングエラーまたはノイズフラグ
- 2 つの割り込みベクタ
  - トランスミッタ割り込み
  - レジスタフルのときのレシーバ割り込み
- 低電力モード
- マルチプロセッサ通信：アドレス不一致の場合、ミュートモードに遷移
- ミュートモードからのウェイクアップ（アイドルライン検出またはアドレスマーク検出によって）
- 2 つのレシーバウェイクアップモード：
  - アドレスビット（MSB）
  - アイドルライン

## 22.3 UART 機能の説明

インタフェースは、2 本または 3 本のピンによって他のデバイスに外部接続されます（*図 110: UART1 のブロック図*、*図 111 : UART2 のブロック図*、および*図 112 : UART3 のブロック図*を参照）。UART 双方向通信では、少なくとも UART 受信データ入力（UART_RX）と UART 送信データ出力（UART_TX）の 2 本のピンが必要です。

UART_RX はシリアルデータ入力です。データ復旧にはオーバーサンプリング技術が使用され、有効な入力データとノイズを区別します。

**UART_TX** はシリアルデータ出力です。トランスミッタが無効なとき、出力ピンはその入出力ポート設定に戻ります。トランスミッタが有効であり、送信すべきデータがないときには、ピンはハイレベルになります。

通常の UART モードでは、これらのピンを通じてシリアルデータが以下のフレームとして送受信されます。

- 送受信前のアイドルライン
- START ビット
- データワード（8 または 9 ビット）、LSB ファースト
- フレームの完了を示す 1、1.5、および 2 の STOP ビット
- ステータスレジスタ（UART_SR）
- データレジスタ（UART_DR）
- 16 ビットのボーレートプリスケーラ（UART_BRR）
- スマートカードモードで使用するためのガードタイムレジスタ

各ビットの定義については、レジスタの説明を参照してください。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

同期モードでのインタフェースには、以下のピンが必要です。

**UART_CK**：トランスミッタクロック出力。このピンは、同期送信用のトランスミッタデータクロックを出力します（START ビットと STOP ビットのクロックパルスはなく、ソフトウェアオプションで最後のデータビットのクロックパルスを送信します）。これを使用して、シフトレジスタを持つペリフェラル（例：LCD ドライバ）を制御できます。クロックの位相と極性は、ソフトウェアでプログラミングできます。

UART_RX および UART_TX ピンは、IrDA モードで次のように使用されます。

**UART_RX** = IrDA_RDI：IrDA モードでの受信データ入力
**UART_TX** = IrDA_TDO：IrDA モードでの送信データ出力

**図 110. UART1 のブロック図**

この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

**図 111. UART2 のブロック図**

この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

**図 112. UART3 のブロック図**

この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 22.3.1 UART キャラクタの説明

ワード長は、UART_CR1 レジスタの M ビットをプログラミングすることによって、8 ビットまたは 9 ビットとして選択できます（*図 113* を参照）。

UART_TX ピンは、START ビットの処理中にはロー状態です。また、STOP ビットの処理中にはハイ状態です。

***アイドルキャラクタ***は、“1”のフレーム全体として解釈されます（“1”の数には、START ビット、データビットの数、および STOP ビットの数が含まれます）。

***ブレークキャラクタ***は、フレーム周期中に“0”を受信することであると解釈されます。ブレークフレームの終わりに、START ビットを確認応答するために、トランスミッタは 1 個または 2 個の STOP ビット（論理“1”ビット）を挿入します。

送信と受信は、共通のボーレートジェネレータによって駆動されます。それぞれのクロックは、トランスミッタとレシーバのイネーブルビットがそれぞれセットされたときに生成されます。

各ブロックの詳細を次に示します。

**図 113. ワード長のプログラミング**

この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 22.3.2 トランスミッタ

トランスミッタは、M ビットのステータスに応じて、8 または 9 ビットのデータワードを送信できます。M ビットがセットされると、ワード長は 9 ビットとなり、9 番目のビット（MSB）が UART_CR1 レジスタの T8 ビットに格納されなければなりません。

送信イネーブルビット（TEN）がセットされると、送信シフトレジスタ内のデータが UART_TX ピンに出力され、対応するクロックパルスが UART_CK ピンに出力されます。

#### キャラクタの送信

UART 送信時、データは LSB ファーストで UART_TX ピンにシフト出力されます。このモードでは、UART_DR レジスタは、内部バスと送信シフトレジスタの間のバッファ（TDR）で構成されます（*図 110* を参照）。

各キャラクタの前に START ビット（1 ビット周期の間、論理レベルロー）があります。キャラクタは、設定可能な数の STOP ビットによって終端されます。

以下の STOP ビットが UART によってサポートされます。

*注：* 1 ***TEN ビットは、データ送信中はリセットしないでください。送信中に TEN ビットをリセットすると、ボーレートカウンタが凍結されるので、UART_TX ピンのデータが破壊されます。現在送信中のデータは失われます。***

2 ***TEN ビットが有効にされた後、アイドルフレームが送信されます。***

#### 設定可能は STOP ビット

キャラクタごとに送信される STOP ビットの数は、制御レジスタ 3 のビット 5、4 でプログラミングできます。

- *1 STOP ビット*：これは STOP ビット数のデフォルト値です。
- *2 STOP ビット*：通常モードの UART でサポートされます。
- *1.5 STOP ビット*：スマートカードモードにのみ使用されます。

アイドルフレームの送信には STOP ビットが含まれます。

ブレーク送信では、10 個（m = 0 の場合）または 11 個（m = 1 の場合）のロービットの後に、設定された数の STOP ビットが続きます。ローレベルビットの数が 10/11 個を超える長いブレークを送信することはできません。

*注：* ***LIN モード（セクション 22.3.8（323 ページ）を参照）では、標準の 13 ビットブレークが常に生成されます。***



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

**図 114. 設定可能な STOP ビット**

手順：

1. UART_CR1 レジスタの M ビットをプログラミングして、ワード長を定義します。
2. UART_CR3 で、STOP ビットの数をプログラミングします。
3. 以下の順序でボーレートレジスタをプログラミングすることによって、望ましいボーレートを選択します。
   a) UART_BRR2
   b) UART_BRR1
4. UART_CR2 の TEN ビットをセットして、トランスミッタモードを有効にします。
5. 送信するデータを UART_DR レジスタに書き込みます（これによって TXE ビットがクリアされます）。シングルバッファの場合、送信されるデータごとにこれを繰り返します。
6. UART_DR レジスタに最後のデータが書き込まれたら、TC が 1 にセットされるまで、すなわち最後のデータ送信が完了するまで待ちます。この最後の手順は、たとえば、UART を無効にするときや HALT モードに入るときに、最後のデータ送信の破損を避けるために必要です。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 単一バイト通信

TXE ビットのクリアは、常にデータレジスタへの書き込みによって行われます。

TXE ビットは、ハードウェアによってセットされ、次のことを示します。

- データが TDR からシフトレジスタに移動され、データ送信が開始されました。
- TDR レジスタは空です。
- 次のデータは、前のデータを上書きすることなく、UART_DR レジスタに書き込みできます。

TIEN ビットがセットされている場合、このフラグは割り込みを生成します。

送信が行われている場合、データは、UART_DR レジスタへの書き込み命令によって TDR レジスタに格納されます。データは現在の送信が終了した時点でシフトレジスタにコピーされます。

送信が行われていない場合、データは、UART_DR レジスタへの書き込み命令によってシフトレジスタに直接格納され、データ送信が開始され、TXE ビットがただちにセットされます。

フレームの送信が完了し（STOP ビット後）、TXE ビットがセットされると、TC ビットがセットされます。UART_CR2 レジスタの TCIEN ビットがセットされている場合、割り込みが生成されます。UART_DR レジスタに最後のデータを書き込んだ後、HALT モードに入るか UART を無効にする前に、TC が“1”にセットされるまで待つ必要があります（*図 115：送信時の TC/TXE の動作* を参照）。

TC ビットのクリアは、以下のソフトウェアシーケンスによって行われます。

1. UART_SR レジスタの読み出し
2. UART_DR レジスタへの書き込み

**図 115. 送信時の TC/TXE の動作**

1. この例では、TE がセットされた後、複数の別の送信が発生したと仮定しています。

*注：* ***TC ビットは、“0”を書き込むことによってもクリアされます。このクリアシーケンスは、マルチバッファ通信の場合にのみ推奨されます。***



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### ブレークキャラクタ

SBK ビットをセットすると、ブレークキャラクタが送信されます。ブレークフレーム長は、M ビットに依存します（*図 113* を参照）。

SBK ビットが“1”にセットされると、現在のキャラクタ送信が完了してから、UART_TX ラインにブレークキャラクタが送信されます。このビットは、ブレークキャラクタが完了したとき（ブレークキャラクタの STOP ビット）、ハードウェアによってリセットされます。UART は、次のフレームの START ビットが正しく認識されるように、最後のブレークフレームの終わりに論理 1 ビットを挿入します。

*注：* ***ブレークキャラクタは、STOP ビットの数に関係なく送信されます。UART が 2 つの STOP ビットでプログラムされた場合、TX ラインは、最初の STOP ビットの終了までローに引き下げられます。次に、2 つの論理 1 ビットが次のキャラクタの前に挿入されます。***

*注：* ***ソフトウェアがブレーク送信の開始前に SBK ビットをリセットした場合、ブレークキャラクタは送信されません。2 つの連続したブレークの場合、前のブレークの STOP ビットの後で SBK ビットをセットしてください。***

### アイドルキャラクタ

TEN ビットをセットすると、UART は、最初のデータフレームの前にアイドルフレームを送信します。

## 22.3.3 レシーバ

UART は、8 ビットまたは 9 ビットのデータワードを受け取ることができます。M ビットがセットされると、ワード長は 9 ビットとなり、MSB が UART_CR1 レジスタの R8 ビットに格納されます。

### START ビットの検出

UART では、特定のサンプルシーケンスが認識されると、START ビットが検出されます。このシーケンスは、1 1 1 0 X 0 X 0X 0X 0 X 0X 0 です。START ビットの検出シーケンスを*図 116* に示します。

**図 116. START ビットの検出**

この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

*注：* ***シーケンスが完了していない場合、START ビットの検出は中断され、レシーバはアイドル状態に戻って（フラグはセットされません）、立ち下がりエッジを待ちます。***

3 ビットのうち 2 ビットのみが 0 の場合（3 番目、5 番目、および 7 番目のビットでのサンプリング、または 8 番目、9 番目、および 10 番目のビットでのサンプリング）、START ビットは確認されますが、NF ノイズフラグビットがセットされます。

START ビットは、最後の 3 つのサンプルが 0 である場合に確認されます（8 番目、9 番目、および 10 番目のビットでのサンプリング）。

### キャラクタの受信

UART の受信時には、データは UART_RX ピンを通じて LSB ファーストでシフト入力されます。このモードでは、UART_DR レジスタは、内部バスと受信シフトレジスタの間のバッファ（RDR）で構成されます（*図 2* を参照）。

手順：

1. UART_CR1 レジスタの M ビットをプログラミングして、ワード長を定義します。
2. UART_CR3 で、STOP ビットの数をプログラミングします。
3. 以下の順序でボーレートレジスタをプログラミングすることによって、望ましいボーレートを選択します。
   a) UART_BRR2
   b) UART_BRR1
4. UART_CR2 の REN ビットをセットします。これによってレシーバが有効になり、START ビットの検索を開始します。

キャラクタが受信されると、

- RXNE ビットがセットされます。これは、シフトレジスタの内容が RDR レジスタに転送されたことを示します。
- RIEN ビットがセットされている場合、割り込みが生成されます。
- 受信時にフレームエラー、ノイズ、またはオーバーランエラーが検出された場合、エラーフラグをセットできます。
- RXNE ビットのクリアは、UART_DR レジスタへのソフトウェア読み出しによって行われます。RXNE フラグは、0 を書き込むことによってもクリアできます。オーバーランエラーを避けるには、次のキャラクタの受信が終了する前に、RXNE ビットをクリアする必要があります。

*注：* ***データの受信中には、REN ビットをリセットしないでください。受信中に REN ビットが無効にされた場合、現在のバイトの受信は中止されます。***

### ブレークキャラクタ

ブレークキャラクタが受信されると、UART はこれをフレーミングエラーとして処理します。

### アイドルキャラクタ

アイドルフレームが検出されたときには、データ受信キャラクタと同じ手順があり、ILIEN ビットがセットされている場合は割り込みが生成されます。

### オーバーランエラー

RXNE ビットがリセットされていないときにキャラクタが受信されると、オーバーランエラーが発生します。RXNE ビットがクリアされない限り、データをシフトレジスタから RDR レジスタに転送することはできません。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

オーバーランエラーが発生すると、

- OR ビットがセットされます。
- RDR の内容は失われません。UART_DR への読み出しが行われると、前回のデータが読み出されます。
- シフトレジスタは上書きされます。オーバーラン中に受信された 2 番目のデータは失われます。
- RIEN ビットがセットされている場合、割り込みが生成されます。
- OR ビットは、UART_SR レジスタの読み出しと、それに続く UART_DR レジスタの読み出し動作によってリセットされます。

### ノイズエラー

データ復旧にはオーバーサンプリング技術が使用され、有効な入力データとノイズを区別します。

**図 117. ノイズ検出のためのデータサンプリング**

*注： サンプルクロック周波数はボーレートの 16 倍です。*

**表 53. サンプリングされたデータからのノイズ検出**

| サンプリングされた値 | NF ステータス | 受信ビットの値 | データの有効性 |
|---|---|---|---|
| 000 | 0 | 0 | 有効 |
| 001 | 1 | 0 | 無効 |
| 010 | 1 | 0 | 無効 |
| 011 | 1 | 1 | 無効 |
| 100 | 1 | 0 | 無効 |
| 101 | 1 | 1 | 無効 |
| 110 | 1 | 1 | 無効 |
| 111 | 0 | 1 | 有効 |

フレーム内でノイズが検出された場合：

- RXNE ビットの立ち上がりエッジで、NF ビットがセットされます。
- 無効なデータがシフトレジスタから UART_DR レジスタへ転送されます。

ただし、このビットは、割り込みを生成する RXNE ビットと同時に立ち上がります。NF ビットは、UART_SR レジスタの読み出し動作と、それに続く UART_DR レジスタの読み出し動作によってリセットされます。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### フレーミングエラー

フレーミングエラーは、次の場合に検出されます。

非同期化または過度なノイズのため、受信時に予想されたタイミングで STOP ビットが認識されない場合。

フレーミングエラーが検出された場合：

- ハードウェアによって FE ビットがセットされます。
- 無効なデータがシフトレジスタから UART_DR レジスタへ転送されます。
- 1 バイト通信の場合、割り込みは生成されません。ただし、このビットは、割り込みを生成する RXNE ビットと同時に立ち上がります。

FE ビットは、UART_SR レジスタの読み出し動作と、それに続く UART_DR レジスタの読み出し動作によってリセットされます。

### 設定可能は受信時の STOP ビット

受信する STOP ビット数は、制御レジスタ 3 の制御ビットを通じて設定でき、通常モードでは 1 または 2、IrDA モードでは 1、スマートカードモードでは 1.5 に設定できます。

1. *1 STOP ビット*: 1 STOP ビットのサンプリングは、8 番目、9 番目、および 10 番目のサンプルで行われます。
2. *1.5 STOP ビット（スマートカードモードのみ）*: 1.5 STOP ビットのサンプリングは、16 番目、17 番目、および 18 番目のサンプルで行われます。スマートカードから NACK 信号が受信されると、データ信号はサンプリングの間、強制的にローになり、フレーミングエラーとしてフラグが立てられます。その後、1.5 STOP ビットの最後に、RXNE ビットとともに FE フラグがセットされます。
3. *2 STOP ビット*: 2 STOP ビットのサンプリングは、最初の STOP ビットの 8 番目、9 番目、および 10 番目のサンプルで行われます。最初の STOP ビットでフレーミングエラーが検出された場合、フレーミングエラーフラグがセットされます。2 番目の STOP ビットでは、フレーミングエラーの検査は行われません。RXNE フラグは、最初の STOP ビットの最後でセットされます。

## 22.3.4 高精度ボーレートジュネレータ

レシーバとトランスミッタ（Rx と Tx）は、次の式に従って、16 ビットのディバイダ UART_DIV によってプログラミングされた同じボーレートにセットされます。

$$\text{Tx/Rx ボーレート} = \frac{f_{MASTER}}{UART_DIV}$$

UART_DIV ボーレートディバイダは、符号なし整数であり、*図 118* に示されているように、BRR1 および BRR2 レジスタでコード化されます。

典型的なボーレートのプログラム例を*表 54.* に示します。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 118. BRR レジスタで USART_DIV をコード化する方法

*注 : BRR1 に書き込みが行われた後、ボーレートカウンタはボーレートレジスタの新しい値で更新されます。したがって、トランザクション中はボーレートレジスタの値を変更しないでください。BRR2 は BRR1 の前にプログラムされなければなりません。*

*注 : UART_DIV は 16d 以上でなければなりません。*

**表 54. ボーレートのプログラミングと誤差計算**

| ボーレート | $f_{MASTER}$ = 10 MHz | | | | | $f_{MASTER}$ = 16 MHz | | | | |
|---|---|---|---|---|---|---|---|---|---|---|
| 単位 : Kbps | 実際 | 誤差 (%) (1) | UART_DIV | BRR1 | BRR2 | 実際 | 誤差 (%) (1) | UART_DIV | BRR1 | BRR2 |
| 2.4 | 2.399 | –0.008% | 0x1047 | 0x04 | 0x17 | 2.399 | –0.005% | 0x1A0B | 0xA0 | 0x1B |
| 9.6 | 9.596 | –0.032% | 0x0412 | 0x41 | 0x02 | 9.598 | –0.020% | 0x0683 | 0x68h | 0x03 |
| 19.2 | 19.193 | –0.032% | 0x0209 | 0x20 | 0x09 | 19.208 | –0.040% | 0x0341 | 0x34 | 0x01 |
| 57.6 | 57.471 | –0.224% | 0x00AE | 0x0A | 0x0E | 57.554 | –0.080% | 0x0116 | 0x11 | 0x06 |
| 115.2 | 114.942 | –0.224% | 0x0057 | 0x05 | 0x07 | 115.108 | –0.080% | 0x008B | 0x08 | 0x0B |
| 230.4 | 232.558 | –0.937% | 0x002B | 0x02 | 0x0B | 231.884 | –0.644% | 0x0045 | 0x04 | 0x05 |
| 460.8 | 454.545 | –1.358% | 0x0016 | 0x01 | 0x06 | 457.143 | –0.794% | 0x0023 | 0x02 | 0x03 |
| 921.6 | NA | NA | NA | NA | NA | 941.176 | –2.124% | 0x11 | 0x01 | 0x01 |

1. 誤差 (%) = (計算値 - 期待値) ボーレート / ボーレート期待値

*注 : $f_{MASTER}$ 周波数が低いほど、特定のボーレートに対する精度は低くなります。このデータで到達可能なボーレートの上限を固定できます。*



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料 (以下、「正規英語版資料」) を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 22.3.5 クロック偏差に対する UART レシーバの許容誤差

USART の非同期レシーバが正しく機能するのは、クロックシステムの合計偏差が USART レシーバの許容誤差を下回る場合に限ります。合計偏差の要因は、次のとおりです。

- DTRA：トランスミッタの誤差に起因する偏差（トランスミッタのローカルオシレータの偏差も含みます）
- DQUANT：レシーバのボーレート量子化に起因する誤差
- DREC：レシーバのローカルオシレータの偏差
- DTCL：送信ラインに起因する偏差（一般には、ローからハイへの遷移タイミングとハイからローへの遷移タイミングの間に非対称性をもたらすトランシーバに起因）

DTRA + DQUANT + DREC + DTCL < UART レシーバの許容誤差

データを正しく受信するための UART レシーバの許容誤差は、許容される最大偏差と等しく、次の選択に依存します。

- UART_CR1 レジスタの M ビットによって定義される 10/11 ビットのキャラクタ長
- 小数点適用のボーレートを使用するかどうか

**表 55. UART レシーバの許容誤差（UART_DIV[3:0] が 0 の場合）**

| M ビット | NF はエラー | NF は無視 |
|---|---|---|
| 0 | 3.75% | 4.375% |
| 1 | 3.41% | 3.97% |

**表 56. UART レシーバの許容誤差（UART_DIV[3:0] が 0 でない場合）**

| M ビット | NF はエラー | NF は無視 |
|---|---|---|
| 0 | 3.33% | 3.88% |
| 1 | 3.03% | 3.53% |

*注：* *表 55 と表 56 に示されている数値は、受信したフレームが正確に 10 ビット時間（M=0 の場合）または 11 ビット時間（M=1 の場合）のアイドルフレームを含んでいる場合、若干異なることがあります。*



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 22.3.6 パリティ制御

パリティ制御（送信中のパリティビット生成と受信中のパリティ検査）を有効にするには、UART_CR1 レジスタの PCEN ビットをセットします。M ビットによって定義されるフレーム長に応じて、予想される UART フレームフォーマットを*表 57* に示します。

**表 57. フレームフォーマット**

| M ビット | PCEN ビット | UART フレーム |
|---|---|---|
| 0 | 0 | \| SB \| 8 ビットデータ \| STB \| |
| 0 | 1 | \| SB \| 7 ビットデータ \| PB \| STB \| |
| 1 | 0 | \| SB \| 9 ビットデータ \| STB \| |
| 1 | 1 | \| SB \| 8 ビットデータ \| PB \| STB \| |

凡例：SB：START ビット、STB：STOP ビット、PB：パリティビット

*注：* ***アドレスマークによるウェイクアップの場合、データの最上位ビットが考慮されます（パリティビットではありません）。***

***偶数パリティ***：下位 7 ビットまたは 8 ビット（M=0 または M=1 に応じて）とパリティビットから構成されるフレーム内で、”1”のビットが偶数になるように、パリティビットが計算されます。

例：データ = 00110101、4 ビットがセット => 偶数パリティが選択された場合（UART_CR1 の PS ビット=0）、パリティビットは 0 になります。

***奇数パリティ***：下位 7 ビットまたは 8 ビット（M=0 または M=1 に応じて）とパリティビットから構成されるフレーム内で、”1”のビットが奇数になるように、パリティビットが計算されます。

例：データ = 00110101、4 ビットがセット => 奇数パリティが選択された場合（UART_CR1 の PS ビット=1）、パリティビットは 1 になります。

**送信**：UART_CR1 の PCEN ビットがセットされていると、データレジスタに書き込まれたデータの MSB は送信されませんが、パリティビットによって変更され、偶数パリティが選択されている（PS=0）場合には 1 を偶数個付与し、奇数パリティが選択されている（PS=1）場合には 1 を奇数個付与します。

**受信**：パリティ検査に失敗した場合、UART_SR レジスタの PE フラグがセットされ、UART_CR1 レジスタの PIEN ビットがセットされている場合は割り込みが生成されます。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 22.3.7 マルチプロセッサ通信

複数の UART をネットワークに接続することによって、マルチプロセッサ通信を行うことができます。たとえば、1 つの UART をマスタとして、その TX 出力を別の UART の RX 入力に接続することができます。別の UART はスレーブであり、それぞれの TX 出力の論理積をとった上でマスタの RX 入力に接続します。

マルチプロセッサ設定では、メッセージの本来の受信者のみがメッセージ内容の全体を能動的に受信することが望ましい場合が多く、これによって対象外のレシーバに対する UART サービスの余分なオーバーヘッドを減らすことができます。

対象外のデバイスは、ミュート機能によってミュートモードに置かれます。ミュートモードでは、

- 受信ステータスビットはセットできません。
- すべての受信割り込みは禁止されます。
- UART_CR1 レジスタの RWU ビットが 1 にセットされます。RWU ビットは、ハードウェアによって自動的に制御されますが、特定の条件下ではソフトウェアによる書き込みが可能です。

UART は、UART_CR1 レジスタの WAKE ビットの設定に応じて、次のいずれかの方法でミュートモードの出入りを制御できます。

- WAKE ビットがリセットされている場合は、アイドルライン検出
- WAKE ビットがセットされている場合は、アドレスマーク検出

#### アイドルライン検出 (WAKE = 0)

RWU ビットに 1 が書き込まれると、UART はミュートモードに入ります。

UART は、アイドルフレームの検出によってウェイクアップします。その後、RWU ビットはハードウェアによってクリアされますが、UART_SR レジスタの IDLE ビットはセットされません。RWU ビットには、ソフトウェアによって 0 を書き込むこともできます。

アイドルライン検出を使用したミュートモードの動作例を*図 119* に示します。

**図 119. アイドルライン検出を使用したミュートモード**

#### アドレスマーク検出 (WAKE = 1)

このモードでは、MSB が“1”のバイトはアドレスとして、そうでないバイトはデータとして、それぞれ認識されます。アドレスバイトでは、ターゲットレシーバのアドレスは下位 4 ビットに置かれます。レシーバは、この 4 ビットワードを、UART_CR4 レジスタの ADD ビットにプログラミングされている自分のアドレスと比較します。

プログラミングされたアドレスと一致しないアドレスキャラクタが受信されると、UART はミュートモードに入ります。UART はミュートモードに入っているので、このアドレスバイトに対して RXNE フラグはセットされず、割り込みリクエストは発行されません。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

プログラミングされたアドレスと一致するアドレスキャラクタが受信されると、UART はミュートモードから抜けます。続いて RWU ビットがクリアされ、それ以降のバイトは通常どおりに受信されます。RWU ビットはクリアされているので、アドレスキャラクタに対して RXNE ビットがセットされます。

レシーババッファにデータが存在しない場合（UART_SR レジスタの RXNE=0）、RWU ビットに 0 または 1 を書き込むことができます。そうでない場合、書き込みは無視されます。

アドレスマーク検出を使用したミュートモードの動作例を*図 120* に示します。

**図 120. アドレスマーク検出を使用したミュートモード**

*注：* ***パリティ制御が有効な場合、パリティビットは MSB に残っており、アドレスビットは「MSB - 1」ビットに入れられます。***

***たとえば、7 ビットデータの場合、アドレスモードとパリティ制御は次のようになります。***

***SB I 7 ビットデータ I ADD I PB I STB***

***ここで、***

***SB = START ビット***
***STB = STOP ビット***
***ADD = アドレスビット***
***PB = パリティビット***

## 22.3.8 LIN（Local Interconnection Network）モード

UART は、LIN マスタモードで LIN ブレークおよびデリミタ生成をサポートします。

詳細については、*セクション 22.4.1：マスタモード（331 ページ）*を参照してください。LIN スレーブモードは、UART2 と 3 によってのみサポートされ、UART1 ではサポートされません。

LIN モードを選択するには、UART_CR3 レジスタの LINEN ビットをセットします。LIN モードでは、次のビットはクリアされた状態に保つ必要があります。

- UART_CR3 レジスタの CLKEN、STOP[1:0] ビット
- UART_CR5 レジスタの SCEN、HDSEL、および IREN ビット



この資料は、STMicroelectronics NV 並びにその子会社（以下 ST）が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 22.3.9 UART 同期通信

UART トランスミッタでは、マスタモードで双方向の同期シリアル通信を制御できます。

同期モードでは、次のビットはクリアされた状態に保つ必要があります。

- UART_CR3 レジスタの LINEN ビット
- UART_CR5 レジスタの SCEN、HDSEL、および IREN ビット

*注： この機能は、UART1 と UART2 にのみ使用できます。*

UART_CK ピンは UART トランスミッタクロックの出力です。START ビットと STOP ビットの処理中には、UART_CK ピンにクロックパルスは送信されません。UART_CR3 レジスタの LBCL ビットの状態によっては、有効な最後のデータビット（アドレスマーク）の処理中にクロックパルスが生成されることもあります。UART_CR3 レジスタの CPOL ビットによってクロック極性を選択でき、同じレジスタの CPHA ビットによって外部クロックの位相を選択できます（*図 121*、*図 122*、および *図 123*を参照）。

アイドルフレームとブレークフレームの処理中、外部 CK クロックは起動されません。

同期モードでは、UART レシーバは、非同期モードの場合とは異なる機能を発揮します。RE=1 の場合、データは、オーバーサンプリングなしで、SCLK（CPOL と CPHA に応じて立ち上がりまたは立ち下がりエッジ）でサンプリングされます。たとえ SPI プロトコルのせいでホールド時間が無関係であっても、ボーレート（整数ボーレートでは 1/16 ビット時間）に応じたセットアッ プ時間とホールド時間を守る必要があります。

*注：*

1. *UART_CK ピンは TX ピンとともに機能します。UART トランスミッタが無効にされると（TEN および REN = 0）、UART_CK ピンと UART_TX ピンは高インピーダンス状態になります。*
2. *トランスミッタとレシーバが無効にされた場合（TEN=REN=0）、クロックパルスが正常に機能するには、UART_CR3 の LBCL、CPOL、および CPHA の各ビットを選択する必要があります。これらのビットは、トランスミッタまたはレシーバが有効である間は、変更しないでください。*
3. *レシーバのセットアップ時間とホールド時間を最小限に抑えるには、TE ビットと RE ビットを同じ命令でセットすることを推奨します。*
4. *UART は、マスタモードのみをサポートし、入力クロックに関連するデータを送受信することはできません（SCLK は常に出力です）。*
5. *このセクションに記載されているデータは、UART_BRR2 レジスタの UART_DIV[3:0] ビットが 0 に保持されているときにのみ有効です。そうでない場合、セットアップ時間とホールド時間は、ビット時間の 1/16 ではなく、ビット時間の 4/16 になります。*

このオプションによって、非同期通信の機能を失わずに（他の非同期トランスミッタおよびレシーバと通信可能）、シフトレジスタで構成されるペリフェラルをシリアルに制御できます。

**図 121. UART 同期送信の例**

この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

**図 122. UART データクロックタイミング図（M=0）**

**図 123. UART データクロックタイミング図（M=1）**

**図 124. RX データのセットアップ／ホールド時間**

*注：* *スマートカードモードでは UART_CK の機能が異なります。詳細については、セクション 22.3.11：スマートカード を参照してください。*



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 22.3.10 単線半二重通信

UART は単線半二重のプロトコルに従うように設定できます。単線半二重モードを選択するには、UART_CR5 レジスタの HDSEL ビットをセットします。このモードでは、次のビットはクリアされた状態に保つ必要があります。

- UART_CR3 レジスタの LINEN および CLKEN ビット
- UART_CR5 レジスタの SCEN および IREN ビット

*注：* ***この機能は、UART1 でのみ使用できます。***

HDSEL がセットされると、

- UART_RX は使用されなくなります。
- UART_TX は、データが送信されないときには常に解放されます。したがって、アイドル時や受信時には標準入出力として機能します。つまり、UART_TX が UART によって駆動されないときはフローティング入力（または出力ハイのオープンドレイン）として設定されるように、入出力を設定する必要があります。

この点を除くと、通信は通常の UART モードの場合と同様です。ラインの競合はソフトウェアによって管理する必要があります（たとえば、集中型アービタを使用）。特に、TEN ビットがセットされているときには、送信はハードウェアによってブロックされることはなく、データがデータレジスタに書き込まれると送信を続行します。

### 22.3.11 スマートカード

スマートカードモードを選択するには､UART_CR5 レジスタの SCEN ビットをセットします｡スマートカードモードでは、次のビットはクリアされた状態に保つ必要があります。

- UART_CR3 レジスタの LINEN ビット
- UART_CR5 レジスタの HDSEL および IREN ビット

さらに、スマートカードにクロックを供給するために CKEN ビットをセットすることもできます。

*注：* ***この機能は、UART1 と UART2 にのみ使用できます。***

スマートカードインタフェースは ISO7816-3 規格で定められている非同期プロトコルスマートカードをサポートするように設計されています。UART は、8 ビット＋パリティおよび 1.5 STOP ビットとして設定されなければなりません｡スマートカードモードが有効な場合(UART_CR5 の SCEN ビットをセットすることによって有効にできます)、UART は非同期スマートカードと通信できます。

**図 125. ISO 7816-3 非同期プロトコル**

スマートカードに接続されると、UART_TX 出力は、やはりスマートカードによって駆動される双方向ラインを駆動します。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

スマートカードは、単線半二重通信プロトコルです。

- 送信シフトレジスタからのデータの送信は、少なくとも 1/2 ボークロックの遅れが保証されます。通常動作では、満杯の送信シフトレジスタは、次のボークロックエッジでシフト動作を開始します。スマートカードモードでは、この送信は、保証された 1/2 ボークロック分だけさらに遅れます。
- 1.5 STOP ビット周期がプログラミングされたフレームの受信時にパリティエラーが検出された場合、1/2 ボークロック周期後に 1 ボークロック周期の間、送信ラインはローレベルに引き下げられます。これは、UART に送信されたデータが正しく受信されなかったことをスマートカードに知らせるためです。この NACK 信号（1 ボークロックの間、送信ラインをローにプル）は、1.5 STOP ビットが組み込まれたトランスミッタ側にフレーミングエラーを引き起こします。アプリケーションは、プロトコルに基づいて、データの再送信に対処できます。NACK 制御ビットがセットされている場合、パリティエラーはレシーバによって“NACK”されます。そうでない場合、NACK は送信されません。
- 以下のことを可能にするために TE ビットをセットする必要があります。
  - データの送信
  - パリティエラー発生時の確認応答の送信

    ソフトウェアは、データレジスタに新しいデータを書き込むときにデータライン上での競合を避けるためにデータ送信のタイミングを管理する必要があります。
- 以下のことを可能にするために RE ビットをセットする必要があります。
  - データ（スマートカードや UART から送られたデータ）の受信
  - パリティエラー発生時の確認応答の検出
- TC フラグのアサーションは、ガードタイムレジスタのプログラミングによって遅らせることができます。通常動作では、TC がアサートされるのは、送信シフトレジスタが空であり、他に未処理の送信リクエストがない場合です。スマートカードモードでは、空の送信シフトレジスタは、ガードタイムカウンタをトリガして、ガードタイムレジスタにプログラミングされた値までカウントアップします。この間、TC は強制的にローレベルに保たれます。ガードタイムカウンタがプログラミングされた値に達すると、TC がハイにアサートされます。
- TC フラグのネゲートは、スマートカードモードの影響を受けません。
- レシーバからの NACK によってトランスミッタ端でフレーミングエラーが検出された場合、トランスミッタの受信ブロックは、この NACK を START ビットとして検出しません。ISO プロトコルによれば、受信される NACK の期間は 1 または 2 ボークロック周期にできます。
- レシーバ側では、パリティエラーが検出されて NACK が送信された場合、レシーバはこの NACK を START ビットとして検出しません。
- スマートカード I/O の出力イネーブル信号により、スマートカードによって駆動される双方向ラインの駆動が可能です。この信号は、スタートおよびデータビットの送信中と NACK の送信中にアクティブとなります。STOP ビットの送信中は、この信号は無効になるので、UART は双方向ラインで 1 を弱く駆動します。

*注：* 1 *スマートカードモードでは、ブレークキャラクタは重要ではありません。フレーミングエラー発生時のデータ 00h は、ブレークではなくデータとして処理されます。*

2 *TEN ビットをトグルするとき、アイドルフレームは送信されません。アイドルフレームは、他の設定では定義されていますが、ISO プロトコルでは定義されていません。*

*図 126* に、UART による NACK 信号のサンプリング方法を示します。この例では、UART はデータを送信中であり、1.5 STOP ビットが組み込まれています。データと NACK 信号の完全性を検査するために、UART のレシーバ部が有効にされます。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 126. 1.5 STOP ビットを利用したパリティエラー検出

UART は、UART_CK 出力を通じてスマートカードにクロックを供給できます。スマートカードモードでは、UART_CK は通信に関係せず、5 ビットのプリスケーラを通じて単に内部のペリフェラル入力クロックから得られます。この分周比は、プリスケーラレジスタ UART_PSCR で設定されます。ペリフェラル入力クロックの周波数を $f_{MASTER}$ としたとき、UART_CK の周波数は $f_{MASTER}/2$ から $f_{MASTER}/62$ の間でプログラミングできます。

## 22.3.12 IrDA SIR ENDEC ブロック

IrDA モードを選択するには、UART_CR5 レジスタの IREN ビットをセットします。UART_CR3 レジスタの STOP ビットを「1 STOP ビット」に設定する必要があります。IrDA モードでは、次のビットはクリアされた状態に保つ必要があります。

- UART_CR3 レジスタの LINEN、STOP、および CKEN ビット
- UART_CR5 レジスタの SCEN および HDSEL ビット

*注：* ***この機能は、UART1 と UART2 にのみ使用できます。***

IrDA SIR 物理層は、ロジック 0 を赤外光パルスとして表現する RZI（Return to Zero, Inverted）変調方式の使用を指定します（*図 127* を参照）。

SIR 送信エンコーダは、UART からの NRZ（Non Return to Zero）送信ビットストリーム出力を変調します。出力パルスストリームは、外部の出力ドライバと赤外線 LED に送信されます。SIR ENDEC の場合、UART は最大 115.2 Kbps のビットレートしかサポートしません。通常モードでは、送信されるパルス幅は、ビット周期の 3/16 と指定されます。

SIR 受信デコーダは、赤外線検出回路からの RZ（Return to Zero）ビットストリームを復調し、受信した NRZ シリアルビットストリームを UART に出力します。デコーダの入力は、アイドル状態のノーマルハイレベル（マーク状態）です。送信エンコーダの出力は、デコーダ入力とは逆の極性になっています。デコーダ入力がローレベルのとき、START ビットが検出されます。

- IrDA は半二重通信プロトコルです。トランスミッタがビジーである（つまり、UART が IrDA エンコーダにデータを送信している）場合、IrDA デコーダは IrDA 受信ライン上のデータを無視します。レシーバがビジーである（UART がデコードされたデータを受信している）場合、IrDA は UART から IrDA への TX 上のデータをエンコードしません。データの受信中には、送信データの破壊を防ぐために、送信を避けてください。
- ”0”はハイパルスとして送信され、”1”は”0”として送信されます。通常モードでは、パルスの幅は、選択されたビット周期の 3/16 と規定されます（*図 128* を参照）。
- SIR デコーダは、IrDA 準拠の受信信号を UART 用のビットストリームに変換します。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

- SIR 受信ロジックは、ハイ状態を論理値 1 とみなし、ローパルスを論理値 0 とみなします。
- 送信エンコーダの出力は、デコーダ入力とは逆の極性になっています。SIR 出力は、アイドル時にロー状態になります。
- IrDA 仕様では、1.41 µs より大きなパルスを受け入れる必要があります。受け入れられるパルス幅は、プログラミング可能です。レシーバ端のグリッチ検出回路は、2 PSC 周期（PSC は UART_PSCR にプログラミングされたプリスケーラ値）より小さな幅のパルスをフィルタします。1 PSC 周期より小さな幅のパルスは常に除かれますが、1～2 周期の幅のパルスは受け入れられることも、除かれることもあります。2 周期より大きな幅のパルスは、パルスとして受け入れられます。PSC=0 のとき、IrDA エンコーダ／デコーダは機能しません。
- レシーバは、低電力トランスミッタと通信できます。
- IrDA モードでは、UART_CR2 レジスタの STOP ビットを「1 STOP ビット」に設定する必要があります。

### IrDA 低電力モード

IrDA は、通常モードまたは低電力モードのいずれかで使用できます。低電力モードを選択するには、UART_CR5 レジスタの IRLP ビットをセットします。

*トランスミッタ*：

低電力モードでは、パルス幅はビット周期の 3/16 に維持されません。代わりに、パルス幅は低電力ボーレート（最小で 1.42 MHz）の 3 倍です。一般に、この値は 1.8432 MHz（1.42 MHz < PSC < 2.12 MHz）です。低電力モードのプログラマブル分周器は、この値を得るためにシステムクロックを分周します。

*レシーバ*：

低電力モードでの受信は、通常モードでの受信と同様です。グリッチ検出の場合、UART は 1/PSC よりも短いパルスを破棄する必要があります。有効なローレベルは、その期間が IrDA 低電力ボークロック（UART_PSCR の PSC 値）の 2 周期分を超える場合にのみ受け入れられます。

*注：* 1 *1～2 PSC 周期の幅のパルスは、除去されることも、除去されないこともあります。*

2 *レシーバのセットアップ時間は、ソフトウェアで管理してください。IrDA 物理層仕様では、送信と受信の間に最小 10 ms の遅延を指定しています（IrDA は半二重プロトコルです）。*

**図 127. IrDA SIR ENDEC- ブロック図**

この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

参考資料



図 128. IrDA データ変調（3/16）- 通常モード

この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

## 22.4 LIN モード機能の説明

LIN モードでは、LIN 規格に従って、1 STOP ビットを持つ 8 ビットデータフォーマットが必要です。

これらの設定を行うには、UART_CR1 レジスタの M ビットをクリアし、UART_CR3 レジスタの STOP[1:0] ビットをクリアします。

### 22.4.1 マスタモード

#### UART の初期化

手順：

1. UART_BRR2 レジスタと UART_BRR1 レジスタをプログラムすることによって、希望するボーレートを選択します。
2. UART_CR3 レジスタの LINEN ビットをセットすることによって、LIN モードを有効にします。
3. UART_CR2 レジスタの TEN ビットと REN ビットをセットすることによって、トランスミッタとレシーバを有効にします。

#### LIN ヘッダの送信

LIN プロトコルに基づいて、LIN バスでの通信はヘッダを送信するマスタによってトリガされ、その後にレスポンスが続きます。ヘッダはマスタタスク（マスタノード）によって送信されますが、データはノード（マスタノードまたはいずれかのスレーブノード）のスレーブタスクによって送信されます。

エラー監視のない手順：

1. UART_CR2 レジスタの SBK ビットをセットすることによって、ブレーク＋デリミタの送信（13 個のドミナントビットと 1 個のリセッシブビット）を要求します。
2. UART_DR レジスタに 0x55 を書き込むことによって、同期フィールドの送信を要求します。
3. UART_SR レジスタの TC フラグを待ちます。
4. UART_DR レジスタに保護された識別子の値を書き込むことによって、識別子フィールドの送信を要求します。
5. UART_SR レジスタの TC フラグを待ちます。

エラー監視のある手順：

1. UART_CR2 レジスタの SBK ビットをセットすることによって、ブレーク＋デリミタの送信（13 個のドミナントビットと 1 個のリセッシブビット）を要求します。
2. UART_CR4 レジスタの LBDF フラグを待ちます。
3. UART_DR レジスタに 0x55 を書き込むことによって、同期フィールドの送信を要求します。
4. UART_SR レジスタの RXNE フラグを待ち、UART_DR レジスタを読み返します。
5. UART_DR レジスタに保護された識別子の値を書き込むことによって、識別子フィールドの送信を要求します。
6. UART_SR レジスタの RXNE フラグを待ち、UART_DR レジスタを読み返します。

LBDF フラグがセットされるのは、有効なブレーク＋デリミタが UART_RX ピンに戻された場合のみです。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### LIN ブレークおよびデリミタ検出

UART は、通常の UART レシーバとは完全に独立したブレーク検出回路を備えています。アイドル状態時やフレームの処理中には、ブレークは発生のたびに検出できます。

レシーバが有効になると（UART_CR2 レジスタの REN=1）、UART_RX 入力の START 信号を探します。START ビットの検出方法は、ブレークキャラクタやデータの検索方法と同じです。START ビットが検出された後、データの場合とまったく同様に次のビットがサンプリングされます（8、9、および 10 番目のサンプル）。10 個（UART_CR4 レジスタの LBDL=0）または 11 個（UART_CR4 レジスタの LBDL=1）の連続した“0”ビットが検出され、その後にデリミタキャラクタが続く場合、UART_CR4 レジスタの LBDF フラグがセットされます。LBDIEN ビットが 1 の場合、割り込みが生成されます。

この 10/11 個が発生する前に”1”がサンプリングされた場合、ブレーク検出回路は現在の検出をキャンセルし、再び START ビットを検索します。LIN モードが無効にされた場合（LINEN=0）、レシーバは、ブレーク検出を考慮することなく、通常の UART として機能し続けます。

LIN モードが有効にされた場合（LINEN=1）、フレーミングエラーが発生（つまり、ブレークフレームの場合と同様に、“0”の位置で STOP ビットを検出）すると、レシーバはすぐに停止し、ブレーク検出回路が“1”（ブレークワードが完全でなかった場合）またはデリミタキャラクタ（ブレークが検出された場合）を受信するまで停止状態を維持します。

ブレーク検出回路ステートマシンの動作とブレークフラグを*図 129:LIN モードでのブレーク検出(11 ビットブレーク長、LBDL=1）（ページ）333* に示します。

LBDF フラグはマスタモードで使用されます。スレーブモードでは、代わりに LHDF フラグが使用されます。

ブレークフレームの例を*図 130 : LIN モードでのブレーク検出とフレーミングエラー検出（ページ）334* に示します。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

**図 129. LIN モードでのブレーク検出（11 ビットブレーク長、LBDL=1）**

この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 130. LIN モードでのブレーク検出とフレーミングエラー検出

## レスポンス送信（マスタはレスポンスの発行者です）

レスポンスは、標準の UART フォーマット（8 ビットデータ、1 STOP ビット、パリティなし）を持つバイトで構成されます。

n 個のデータバイトを送信するには、アプリケーションは、以下のシーケンスを n 回繰り返す必要があります。

1. データを UART_DR レジスタに書き込みます
2. UART_SR レジスタの RXNE フラグを待ちます
3. UART_DR レジスタを読み出すことによって、リードバック値をチェックします

## レスポンス受信（マスタはレスポンスの購読者です）

n 個のデータバイトを受信するには、アプリケーションは、以下のシーケンスを n 回繰り返す必要があります。

1. UART_SR レジスタの RXNE フラグを待ちます
2. UART_DR レジスタを読み出します

## 破棄レスポンス（スレーブ間通信）

スレーブ間通信で、マスタがレスポンスのエラーをチェックする必要がない場合、アプリケーションは、次のフレームスロットまで RXNE フラグを無視することができます。RXNE フラグと OR フラグは、次のブレーク送信を開始する前にクリアしてください。

*注：* ***ブレークが戻ると、RXNE フラグと FE フラグもセットされてから、LBDF フラグがセットされます。したがって、RX 割り込みが使用される場合、ブレークを送信する前に（UART_CR2 レジスタの RIEN ビットをクリアすることによって）これを無効にし、追加の割り込みを避けることを推奨します。スレーブ間通信の場合、ヘッダが送信されたら、RIEN ビットをクリアすることができます。***



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 22.4.2 スレーブモード（自動再同期は無効）

*注：* ***この機能は、UART2 と UART3 にのみ使用できます。***

#### UART の初期化

手順：

1. UART_BRR2 レジスタと UART_BRR1 レジスタをプログラムすることによって、希望するボーレートを選択します。
2. UART_CR2 レジスタの TEN ビットと REN ビットをセットすることによって、トランスミッタとレシーバを有効にします。
3. UART_CR6 レジスタの LSLV ビットを有効にします。
4. UART_CR3 レジスタの LINEN ビットをセットすることによって、LIN モードを有効にします。

#### LIN ヘッダの受信

LIN プロトコルに基づいて、スレーブノードは、マスタノードからの有効なヘッダを待つ必要があります。その後、アプリケーションは、ヘッダ識別子の値に応じて以下のアクションを実行する必要があります。

- レスポンスを受信します
- レスポンスを送信します
- レスポンスを無視し、次のヘッダを待ちます

LIN ヘッダが受信されると、

- UART_CR6 レジスタの LHDF フラグは、LIN ヘッダが検出されたことを示します。
- UART_CR6 レジスタの LHDIEN ビットがセットされている場合、割り込みが生成されます。
- LIN 識別子は、UART_DR レジスタで使用可能です。

*注：* ***RWU ビットをセットすることによって、UART をミュートモードにすることを推奨します。このモードでは、ヘッダの検出のみが可能であり、他のキャラクタの受信を防ぎます。***

LIN がスレーブモードにある間に UART_CR2 レジスタの PCEN ビットをセットすると、識別子のパリティチェックが有効になります。識別子のパリティが正しくない場合、UART_CR6 レジスタの PE フラグと LHDF フラグがとともにセットされます。

#### レスポンス送信（スレーブはレスポンスの発行者です）

n 個のデータバイトを送信するには、アプリケーションは、以下のシーケンスを n 回繰り返す必要があります。

1. データを UART_DR レジスタに書き込みます
2. UART_SR レジスタの RXNE フラグを待ちます
3. UART_DR レジスタを読み出すことによって、リードバック値をチェックします

レスポンス送信が完了すると、ソフトウェアは RWU ビットをセットできます。

#### レスポンス受信（スレーブはレスポンスの購読者です）

n 個のデータバイトを受信するには、アプリケーションは、以下のシーケンスを n 回繰り返す必要があります。

1. UART_SR レジスタの RXNE フラグを待ちます
2. UART_DR レジスタを読み出します

レスポンス受信が完了すると、ソフトウェアは RWU ビットをセットできます。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 破棄レスポンス

ソフトウェアは、すぐに RWU ビットをセットできます。

LIN スレーブパリティ

LIN スレーブモード（LINEN ビットと LSLV ビットがセット）では、PCEN ビットをセットすることによって LIN パリティチェックを有効にすることができます。ID パリティエラーが発生し（PE ビットが立ち上がる）、PIEN ビットがセットされている場合、割り込みが生成されます。

この場合、LIN 識別子フィールドのパリティビットがチェックされます。ブレークキャラクタ（含まれる）の後、識別子キャラクタは 3 番目の受信キャラクタとして認識されます。

**図 131. LIN 識別子フィールドのパリティビット**

関係するビットは、識別子キャラクタの 2 つの MSB 位置（7 番目と 8 番目のビット）です。チェックは、LIN 仕様の指定に従って行われます。

**図 132. LIN 識別子フィールドのパリティチェック**

### LIN ヘッダのエラー検出

LIN ヘッダエラーフラグは、無効な LIN ヘッダが検出されたことを示します。

LIN ヘッダエラーが発生すると、

- LHE フラグがセットされます。
- UART_CR2 レジスタの RIEN ビットがセットされている場合、割り込みが生成されます。

LHE ビットは、UART_SR レジスタへのアクセスと、それに続く UART_DR レジスタの読み出しによってリセットされます。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

LHE がセットされるのは、以下のいずれかの条件が発生した場合です。

- 短すぎるブレークデリミタ
- 55h とは異なる同期フィールド
- 同期フィールドまたは識別子フィールドでのフレーミングエラー
- LIN ヘッダの受信タイムアウト

*注：* ***LIN ヘッダのエラーが発生した場合、UART_CR6 レジスタの LSF ビットをソフトウェアによってクリアする必要があります。***

### LIN ヘッダのタイムアウトエラー

UART は、LIN プロトコルによって与えられる THEADER_MAX 条件を自動的に監視します。

ヘッダ全体（LIN 識別子フィールドの STOP ビットまで）が 57 ビット時間という最大タイムリミット内に受信されなかった場合、LIN ヘッダエラーが通知され、UART_SR レジスタの LHE ビットがセットされます。

**図 133. LIN ヘッダの受信タイムアウト**

タイムアウトカウンタは、ブレーク検出のたびに有効になります。また、以下の条件で停止します。

- LIN 識別子フィールドの受信
- LHE エラーの発生（タイムアウトエラー以外）
- LIN 同期フィールドの解析中に発生した LSF ビットのソフトウェアリセット（ハイからローへの遷移）

LIN 同期フィールドの処理中（LASE ビット = 1）にこのエラーによって LHE ビットがセットされた場合、UART はブロックされた状態になります（LSF ビットがセット）。

LIN 同期フィールド以外のフィールドの処理中にこのエラーによって LHE ビットがセットされた場合、または LASE ビットがリセットされた場合、受信された現在のヘッダが破棄され、UART は新しいブレークフィールドを検索します。

注：LIN ヘッダのタイムアウト限度に関する

LIN 仕様に基づいて、タイムアウトを引き起こさない LIN ヘッダの最大長は、次の値になります。

1.4 * (34 + 1) = 49 TBIT_MASTER.

TBIT_MASTER は、マスタのボーレートを表します。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

このタイムアウトをチェックするとき、スレーブノードは、LIN のブレークおよび同期フィールドの受信に関して非同期化されます。したがって、最悪ケースを考慮して余裕を取っておく必要があります。これは、LIN 識別子がちょうど 10 TBIT_MASTER 期間続いたときに発生します。この場合、LIN のブレークおよび同期フィールドは、49 - 10 = 39 TBIT_MASTER 期間続きます。

スレーブは 15.5% の非同期化されたクロックでこれらの最初の 39 ビットを測定するものと想定します。許容される最大ヘッダ長は、次のようになります。

39 x (1/0.845) TBIT_MASTER + 10 TBIT_MASTER

= 56.15 TBIT_SLAVE

ヘッダ長が 57 TBIT_SLAVE 期間を超えたときにタイムアウトが発生するように、余裕を確保します。これが 57 TBIT_SLAVE 期間以下の場合、タイムアウトは発生しません。

### ミュートモードとエラー

ミュートモードで、LIN 同期フィールドの解析中に LHE エラーが発生した場合、または LIN ヘッダのタイムアウトが発生した場合、LHE ビットはセットされますが、ミュートモードからはウェイクアップしません。この場合、現在のヘッダ解析は破棄されます。必要ならば、ソフトウェアは、LSF ビットをリセットしなければなりません。その後、UART は新しい LIN ヘッダを検索します。

ミュートモードで、ブレークではないデータにフレーミングエラーが発生した場合、データは破棄され、FE ビットはセットされません。

以下の条件を順守する LIN ヘッダの場合、ミュートモードからのウェークアップを引き起こします。

- 有効な LIN ブレークおよびデリミタ
- 有効な LIN 同期フィールド（偏差エラーなし）
- LIN 識別子フィールド（フレーミングエラーなし）。なお、LIN 識別子フィールドでの LIN パリティエラーは、ミュートモードからのウェイクアップを妨げません。
- ヘッダ受信中に LIN ヘッダのタイムアウトが発生してはなりません。

## 22.4.3 スレーブモード（自動再同期は有効）

このモードは、*セクション 22.4.2：スレーブモード（自動再同期は無効）*で説明したスレーブモードと似ていますが、LASE ビットによって有効にされる自動再同期が追加されています。このモードでは、UART は、毎回の同期フィールド受信後に、ボーレートジェネレータを調整します。

*注：* ***この機能は、UART2 と UART3 にのみ使用できます。***

### 自動再同期

自動再同期が有効になると、毎回の LIN ブレーク後に、RDI 上の 5 つの立ち下がりエッジ間の時間が $f_{MASTER}$ でサンプリングされます。この測定の結果は、SM と呼ばれる内部 19 ビットレジスタ（ユーザアクセス不可）に格納されます（*図 134* を参照）。その後、5 番目の立ち下がりエッジの最後に、UARTDIV 値（とその関連する BRR1 および BRR2 レジスタ）が自動的に更新されます。LIN 同期フィールドの測定中、UART ステートマシンは停止し、データはデータレジスタに転送されません。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

**図 134. LIN 同期フィールドの測定**

UARTDIV は、符号なし整数であり、*図 118* に示されているように、BRR1 および BRR2 レジスタでコード化されます。

LASE ビット = 1 の場合、UARTDIV は各 LIN 同期フィールドの最後に自動的に更新されます。

LIN ディバイダの自動更新を管理するため、3 つのレジスタが内部的に使用されます（UARTDIV）。

- UARTDIV_NOM（UART_BRR1 と UART_BRR2 のアドレスにソフトウェアによって公称値が書き込まれます）
- UARTDIV_MEAS（フィールド同期測定の結果）
- UARTDIV（ローカルボーレートの生成に使用）

これらのレジスタの制御と相互作用を*図 135* と*図 136* に示します。これらは LDUM（LIN ディバイダアップデートメソッド）ビットの設定によって異なります。

*図 135* と*図 136* で説明するように、UARTDIV は、2 つの同時アクションによって更新できます。つまり、LIN 同期フィールドの最後での UARTDIV_MEAS からの転送と、BRR1 へのソフトウェア書き込みに起因する UARTDIV_NOM からの転送です。2 つの動作が同時に発生した場合、UARTDIV_NOM からの転送が優先されます。

**図 135. UARTDIV の読み出し／書き込み動作（LDUM = 0 のとき）**

この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

**図 136. UARTDIV の読み出し／書き込み動作（LDUM = 1 のとき）**

同期フィールドでの偏差エラー

偏差エラーをチェックするには、現在のボーレート（スレーブオシレータ基準）と受信した LIN 同期フィールド（マスタオシレータ基準）を比較します。2 つのチェックは並行して実行されます。

最初のチェックは、同期フィールドの最初の立ち下がりエッジと最後の立ち下がりエッジとの測定に基づいています。

- D1 > 14.84% の場合、LHE はセットされます
- D1< 14.06% の場合、LHE はセットされません
- 14.06% < D1 < 14.84% の場合、UART_RX ピンでの信号と $f_{MASTER}$ クロックとの間の反位相に応じて、LHE はセットまたはリセットすることができます

2 番目のチェックは、同期フィールドの各立ち下がりエッジ間の時間の測定に基づいています。

- D2 > 18.75% の場合、LHE はセットされます
- D2 < 15.62% の場合、LHE はセットされません
- 15.62% < D2 < 18.75% の場合、UART_RX ピンでの信号と $f_{MASTER}$ クロックとの間の反位相に応じて、LHE はセットまたはリセットすることができます

なお、UART は、次のエッジが想定よりも遅く発生するかどうかをチェックする必要はありません。これは、完全同期バイトでの偏差エラーのチェックによってカバーされます。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

*注：* *偏差チェックは、公称値ではなく、現在のボーレートに基づいています。したがって、正しい偏差チェックを保証するため、ボーレートジェネレータは、毎回の新しいブレーク受信の前に、公称値を再ロードする必要があります。この公称値は、初期化中にアプリケーションによってプログラムされます。そのため、ソフトウェアは、チェックサム受信の前に LDUM ビットをセットする必要があります。*

*LDUM ビットがセットされている場合、次のキャラクタ受信によって、ボーレートジェネレータには公称値が自動的に再ロードされます。*

*BRR2 と BRR1 への書き込みによっても、公称値を再ロードすることができます。この 2 番目の方法は、一般には、レスポンスの送／受信中にエラーが発生したときに使用されます。*

*何らかの理由で、UART が新しいブレークと同期フィールドを受信しているときに LDUM ビットがセットされた場合、このビットは無視されてクリアされます。UART は、同期フィールドから計算された値を使用してボーレートジェネレータを調整します。*

### LIN ヘッダのエラー検出

LHE がセットされるのは、以下のいずれかの条件が発生した場合です。

- 短すぎるブレークデリミタ
- 同期フィールドでの偏差エラーが LIN 仕様の範囲外（スレーブオシレータとマスタオシレータの間では周期偏差の +/-14% まで許容）
- 同期フィールドまたは識別子フィールドでのフレーミングエラー
- LIN ヘッダの受信タイムアウト
- 同期フィールド測定中のオーバーフロー（ディバイダレジスタのオーバーフローにつながります）

### LIN ヘッダのタイムアウトエラー

自動再同期が有効にされた場合、セクション*LIN ヘッダのタイムアウトエラー（337 ページ）*の説明も適用されます。

### UART クロックの許容誤差（同期の場合）

LIN ブレークの受信後に同期が実行された場合、UART のクロック偏差許容誤差は、後述する UART モードの場合と同じです。

受信中に、各ビットは 16 回オーバーサンプリングされます。8 番目、9 番目、および 10 番目のサンプルの平均は、ビット値と見なされます。

したがって、1 ビットの範囲内でクロック周波数が 6/16（37.5%）を超えて変動してはなりません。

サンプリングクロックは、各 START ビットで再同期されます。その結果、10 ビット（1 START ビット、1 データバイト、1 STOP ビット）を受信したとき、クロック偏差は 3.75% を超えません。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### UART クロックの許容誤差（非同期の場合）

LIN スレーブが非同期である場合（つまり、比較的長時間にわたってキャラクタが送信されていません）、UART クロックの最大許容偏差は +/-14% です。

偏差がこの範囲内にある場合、新しい受信が行われると LIN ブレークは正しく検出されます。

これは、マスタが LIN ブレーク用に送信した 13 個のロービットが、「高速」スレーブによって 11 個のロービット（13 ビット - 14% = 11.18）として解釈され、LIN ブレークと見なされることがあるという事実によって可能となります。LIN 仕様に基づいて、$t_{SBRKTS}$ = 10 を超える継続時間を持つ LIN ブレークは有効です。つまり、LIN ブレークは、少なくとも 11 個のロービットの間続く必要があります。

スレーブの周期非同期化が +14%（遅すぎるスレーブ）である場合、9 個の一連のロービットを表すキャラクタ「00h」は、ブレークキャラクタ（9 ビット + 14% = 10.26）と解釈されてはなりません。したがって、有効な LIN ブレークは、少なくとも 11 個のロービットの間続く必要があります。

### クロック偏差の原因

合計偏差の要因は、次のとおりです。

- DTRA：トランスミッタの誤差に起因する偏差。注：トランスミッタは、マスタまたはスレーブとすることができます（スレーブの場合、別のスレーブのレスポンスを待機中）。
- DMEAS：レシーバによって実行される LIN 同期測定に起因する誤差。
- DQUANT：レシーバのボーレート量子化に起因する誤差
- DREC：レシーバのローカルオシレータの偏差。メッセージの初めに偏差が補償されていると想定して、この偏差は、1 つの完全な LIN メッセージの受信中に発生することがあります。
- DTCL：送信ライン（一般にはトランシーバ）に起因する偏差
- システムのすべての偏差を加算し、UART クロックの許容誤差と比較してください。
  - DTRA + DMEAS+ DQUANT + DREC + DTCL < 3.75%

### LIN 同期測定に起因する誤差

LIN 同期フィールドは、8 ビット時間にわたって測定されます。

この測定には、CPU クロックによってクロック駆動されるカウンタが使用されます。エッジ検出には、CPU クロックサイクルが使用されます。

このため、8*UARTDIV クロックサイクルの間続く測定では、2 CPU クロックサイクルの精度が得られます。

したがって、この誤差（DMEAS）は次のようになります。

2 / (8*UARTDIVMIN)

+/-14% の最大偏差を考慮すると、UARTDIVMIN は最小の LIN プリスケーラ値に相当するため、最大のボーレートが得られます。

### ボーレート量子化に起因する誤差

ボーレートは 1 / (UARTDIV) のステップで調整することができます。最悪ケースが発生するのは、「実際の」ボーレートがこのステップの中央にあるときです。

この場合、1 / (2*UARTDIVMIN) に等しい量子化誤差（DQUANT）が得られます。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### クロック偏差が最大ボーレートに与える影響

公称ボーレート（UARTDIVNOM）の選択は、量子化誤差（DQUANT）と測定誤差（DMEAS）の両方に影響を与えます。最悪ケースは UARTDIVMIN に対して発生します。

したがって、ある一定の CPU 周波数では、次式によって与えられる最大許容偏差を考慮して、可能な最大公称ボーレート（LPRMIN）を選択してください。

DTRA + 1 / (2*UARTDIVMIN) + DREC + DTCL < 3.75%

**例：**

TCPU = 125 ns（8 MHz）で 20 K ビット／秒の公称ボーレートでは、UARTDIVNOM = 25d が得られます。

UARTDIVMIN = 25 - 0.15*25 = 21.25

DQUANT = 1 / (2*UARTDIVMIN) = 0.0015%

**図 137. 受信モードでのビットサンプリング**

## 22.4.4 LIN モード選択

**表 58. LIN モード選択**

| LINE | LSLV | LASE | 意味 |
|---|---|---|---|
| 0 | 0 | 0 | LIN モードは無効です |
| 1 | | | LIN マスタモード |
| | 1 | 0 | LIN スレーブモード<br>自動再同期は無効 |
| | | 1 | LIN スレーブモード<br>自動再同期は有効 |



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

## 22.5 UART 低電力モード

表 59. 低電力モードでの UART インタフェースの動作

| モード | 説明 |
|---|---|
| WAIT | UART には影響ありません。<br>UART 割り込みによって、デバイスは WAIT モードから抜けます。 |
| HALT | UART レジスタは凍結されます。<br>HALT モードでは、UART は HALT モードが終了するまで送受信を停止します。 |

## 22.6 UART 割り込み

表 60. UART 割り込みリクエスト

| 割り込みイベント | イベントフラグ | イネーブル制御ビット | WAIT 終了 | HALT 終了 |
|---|---|---|---|---|
| 送信データレジスタエンプティ | TXE | TIEN | あり | なし |
| 送信完了 | TC | TCIEN | あり | なし |
| 受信データ読み出し可能 | RXNE | RIEN | あり | なし |
| オーバーランエラー検出／LIN ヘッダエラー | OR/LHE | | あり | なし |
| アイドルライン検出 | IDLE | ILIEN | あり | なし |
| パリティエラー | PE | PIEN | あり | なし |
| ブレークフラグ | LBDF | LBDIEN | あり | なし |
| ヘッダフラグ | LHDF | LHDIEN | あり | なし |

*注：* 1 *UART 割り込みイベントは、2 つの割り込みベクタに接続されます（図 138 を参照）。*

a) 送信完了または送信データレジスタエンプティ割り込み。

b) アイドルライン検出、オーバーランエラー、受信データレジスタフル、パリティエラー割り込み、およびノイズフラグ。

2 *これらのイベント時、対応するイネーブル制御ビットがセットされ、CC レジスタの割り込みマスクがリセットされていた場合、割り込みが生成されます（RIM 命令）。*



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 138. UART 割り込みマッピング図

この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

## 22.7 UART レジスタ

### 22.7.1 ステータスレジスタ (UART_SR)

アドレスオフセット：0x00

リセット値：0xC0

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| TXE | TC | RXNE | IDLE | OR/LHE | NF | FE | PE |
| r | rc_w0 | rc_w0 | r | r | r | r | r |

ビット 7 **TXE**：送信データレジスタエンプティ

このビットは、TDR レジスタの内容がシフトレジスタに転送されたとき、ハードウェアによってセットされます。UART_CR2 レジスタの TIEN ビット =1 の場合、割り込みが生成されます。このビットは、UART_DR レジスタへの書き込みによってクリアされます。

0：データはシフトレジスタに転送されていません。

1：データはシフトレジスタに転送されました。

ビット 6 **TC**：送信完了

このビットは、データを含んでいるフレームの送信が完了し、TXE ビットがセットされている場合に、ハードウェアによってセットされます。UART_CR2 レジスタの TCIEN=1 である場合、割り込みが生成されます。TC ビットは、ソフトウェアシーケンス（UART_SR レジスタの読み出しに続く UART_DR レジスタへの書き込み）、またはこのビットを“0”にプログラミングすることによってクリアされます。このクリアシーケンスは、マルチバッファ通信の場合にのみ推奨されます。

0：送信は完了していません。

1：送信は完了しています。

ビット 5 **RXNE**：読み出しデータレジスタノットエンプティ

RDR シフトレジスタの内容が UART_DR レジスタに転送されると、このビットはハードウェアによってセットされます。UART_CR2 レジスタの RIEN=1 である場合、割り込みが生成されます。UART_DR レジスタの読み出しによってクリアされます。UART2 と UART3 では、0 を書き込むことによってもクリアできます。

0：データは受信されていません。

1：受信データを読み出すことができます。

ビット 4 **IDLE**：アイドルライン検出 (1)

このビットは、アイドルラインが検出されたときに、ハードウェアによってセットされます。UART_CR2 レジスタの ILIEN=1 である場合、割り込みが生成されます。ソフトウェアシーケンスによってクリアされます（UART_SR レジスタの読み出しに続く UART_DR レジスタの読み出し）。

0：アイドルラインは検出されていません。

1：アイドルラインが検出されました。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 3 **OR** : オーバーランエラー[(2)]

このビットは、RXNE=1 であるときに、現在シフトレジスタに受信されているワードを RDR レジスタに転送する準備ができると、ハードウェアによってセットされます。UART_CR2 レジスタの RIEN=1 である場合、割り込みが生成されます。ソフトウェアシーケンスによってクリアされます（UART_SR レジスタの読み出しに続く UART_DR レジスタの読み出し）。

0 : オーバーランエラーはありません。

1 : オーバーランエラーが検出されました。

**LHE** LIN ヘッダエラー（LIN スレーブモード）

LIN ヘッダの受信中に、このビットは 3 種類のエラーを通知します。

- 短すぎるブレークデリミタ
- 同期フィールドエラー
- 偏差エラー（LASE=1 の場合）
- 識別子フレーミングエラー

0 : LIN ヘッダエラーはありません。

1 : LIN ヘッダエラーが検出されました。

ビット 2 **NF** : ノイズフラグ [(3)]

このビットは、受信フレームでノイズが検出されたときに、ハードウェアによってセットされます。ソフトウェアシーケンスによってクリアされます（UART_SR レジスタの読み出しに続く UART_DR レジスタの読み出し）。

0 : ノイズは検出されていません。

1 : ノイズが検出されました。

ビット 1 **FE** : フレーミングエラー [(4)]

このビットは、非同期化、過度なノイズ、またはブレークキャラクタが検出されたときに、ハードウェアによってセットされます。ソフトウェアシーケンスによってクリアされます（UART_SR レジスタの読み出しに続く UART_DR レジスタの読み出し）。

0 : フレーミングエラーは検出されていません。

1 : フレーミングエラーまたはブレークキャラクタが検出されました。

*注 : **UART2 と UART3 の場合、LIN スレーブモード（LINE ビットと LSLV ビットがセット）では、同期または識別子フィールドでフレーミングエラーが検出されたとき、FE ビットがセットされます。しかし、ブレーク受信が検出されたとき、FE ビットはセットされません。***

ビット 0 **PE** : パリティエラー

このビットは、レシーバモードでパリティエラーが発生したときに、ハードウェアによってセットされます。ソフトウェアシーケンスによってクリアされます（ステータスレジスタの読み出しに続く UART_DR データレジスタの読み出し）。クリアする前に、RXNE フラグがセットされるまで待つ必要があります。UART_CR1 レジスタの PIEN=1 の場合、割り込みが生成されます。

0 : パリティエラーはありません。

1 : パリティエラー（または、LIN スレーブモードでは識別子のパリティエラー）

1. RXNE ビットがセットされる（つまり、新しいアイドルラインが出現する）まで、IDLE ビットが再びセットされることはありません。
2. このビットがセットされると、RDR レジスタの内容は失われませんが、シフトレジスタは上書きされます。
3. このビットは、割り込みを生成する RXNE ビットと同時に現れるので、割り込みを生成しません。
4. このビットは、割り込みを生成する RXNE ビットと同時に現れるので、割り込みを生成しません。現在転送中のワードによってフレームエラーとオーバーランエラーが発生した場合、転送は行われ、OR ビットのみがセットされます。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 22.7.2 データレジスタ (UART_DR)

アドレスオフセット：0x01

リセット値：0xXX

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| DR[7:0] | | | | | | | |
| rw | rw | rw | rw | rw | rw | rw | rw |

ビット 7：0 **DR[7:0]**：データ値

読み出しか書き込みかに応じて、受信または送信のデータキャラクタを含みます。

データレジスタは、送信用（TDR）と受信用（RDR）の 2 個のレジスタから構成されるため、2 つの機能（読み出しと書き込み）を実行します。

TDR レジスタは、内部バスと出力シフトレジスタとの間にパラレルインタフェースを提供します。

RDR レジスタは、入力シフトレジスタと内部バスとの間にパラレルインタフェースを提供します。

### 22.7.3 ボーレートレジスタ 1 (UART_BRR1)

ボーレートレジスタは、トランスミッタとレシーバの両方に共通です。ボーレートは、BRR1 と BRR2 の 2 つのレジスタを使用してプログラムされます。BRR1 への書き込みによってボーカウンタが更新されるので、BRR2 への書き込みを先に行ってください（必要な場合）。

*図 118：BRR レジスタで USART_DIV をコード化する方法（ページ）319* および *表 54：ボーレートのプログラミングと誤差計算（ページ）319* を参照してください。

***注：*** ***1*** ***TEN または REN ビットがそれぞれ無効にされている場合、ボーカウンタはカウントを停止します。***

アドレスオフセット：0x02

リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| UART_DIV[11:4] | | | | | | | |
| rw | rw | rw | rw | - | rw | rw | rw |

ビット 7：0 **UART_DIV[11:4]** UART_DIV ビット [(1)]

これらの 8 ビットは、16 ビット UART ディバイダ（UART_DIV）の 2 番目と 3 番目のニブルを定義します。

1. BRR1 = 00h は、UART クロックが無効であることを意味します。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 22.7.4 ボーレートレジスタ 2 (UART_BRR2)

アドレスオフセット：0x03

リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| UART_DIV[15:12] | | | | UART_DIV[3:0] | | | |
| rw | rw | rw | rw | rw | rw | rw | rw |

ビット 7：4 **UART_DIV[15:12]**：UART_DIV の MSB

これらの 4 ビットは、UART ディバイダ（UART_DIV）の MSB を定義します。

ビット 3：0 **UART_DIV[3:0]**：UART_DIV の LSB

これらの 4 ビットは、UART ディバイダ（UART_DIV）の LSB を定義します。

### 22.7.5 制御レジスタ 1 (UART_CR1)

アドレスオフセット：0x04

リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| R8 | T8 | UARTD | M | WAKE | PCEN | PS | PIEN |
| rw | rw | rw | rw | rw | rw | rw | rw |

ビット 7 **R8**：*受信データのビット 8*

このビットは、M=1 のときの受信ワードの 9 番目のビットを格納するために使用されます。

ビット 6 **T8**：*送信データのビット 8*

このビットは M=1 のときの送信ワードの 9 番目のビットを格納するために使用されます。

ビット 5 **UARTD**：*UART ディセーブル（低電力用）*

このビットがセットされると、消費電力を低減するため、UART プリスケーラと信号出力は進行中の転送動作が終わった時点で停止します。このビットは、ソフトウェアによってセット／クリアされます。

0：UART は有効です。

1：UART プリスケーラと出力は無効です。

ビット 4 **M**：*ワード長*

このビットは、ワード長を決定します。ソフトウェアによってセット／クリアされます。

0：1 START ビット、8 データビット、n STOP ビット（n は UART_CR3 レジスタの STOP[1:0] ビットで指定）。

1：1 START ビット、9 データビット、1 STOP ビット

***注：*** ***M ビットは、送受信のデータ転送中に変更することはできません。LIN スレーブモードでは、M ビットと UART_CR3 レジスタの STOP[1:0] ビットは 0 に保持してください。***

ビット 3 **WAKE**：ウェイクアップ方法

このビットは、UART のウェイクアップ方法を決定し、ソフトウェアによってセット／クリアされます。

0：アイドルライン

1：アドレスマーク



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 2 **PCEN**：パリティ制御イネーブル

– UART モード

このビットは、ハードウェアのパリティ制御（生成と検出）を選択します。パリティ制御が有効なとき、算出されたパリティは MSB 位置（M=1 の場合はビット 9、M=0 の場合はビット 8）に挿入され、受信されたデータではパリティが検査されます。このビットは、ソフトウェアによってセット／クリアされます。このビットがセットされると、送受信での現在のバイトの後で PCEN が有効になります。

0：パリティ制御は無効です。

1：パリティ制御は有効です。

– LIN スレーブモード

UART が LIN スレーブモードであるとき、このビットは、LIN 識別子のパリティチェックを有効にします。

0：識別子のパリティチェックは無効です。

1：識別子のパリティチェックは有効です。

ビット 1 **PS**：パリティ選択

このビットは、UART モードでパリティの生成／検出が有効である（PCEN ビットがセットされた）とき、奇数パリティ／偶数パリティを選択します。ソフトウェアによってセット／クリアされます。パリティは、現在のバイトの後で選択されます。

0：偶数パリティ

1：奇数パリティ

ビット 0 **PIEN**：パリティ割り込みイネーブル

このビットは、ソフトウェアによってセット／クリアされます。

0：パリティ割り込みは無効です。

1：UART_SR レジスタの PE=1 のときには、パリティ割り込みが生成されます。

## 22.7.6 制御レジスタ 2 (UART_CR2)

アドレスオフセット：0x05

リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| TIEN | TCIEN | RIEN | ILIEN | TEN | REN | RWU | SBK |
| rw | rw | rw | rw | rw | rw | rw | rw |

ビット 7 **TIEN**：トランスミッタ割り込みイネーブル

このビットは、ソフトウェアによってセット／クリアされます。

0：割り込みは禁止です。

1：UART_SR レジスタの TXE=1 のときには、UART 割り込みが生成されます。

ビット 6 **TCIEN**：送信完了割り込みイネーブル

このビットは、ソフトウェアによってセット／クリアされます。

0：割り込みは禁止です。

1：UART_SR レジスタの TC=1 のときには、UART 割り込みが生成されます。

ビット 5 **RIEN**：レシーバ割り込みイネーブル

このビットは、ソフトウェアによってセット／クリアされます。

0：割り込みは禁止です。

1：UART_SR レジスタの OR=1 または RXNE=1 のときには、UART 割り込みが生成されます。

ビット 4 **ILIEN**：アイドルライン割り込みイネーブル

このビットは、ソフトウェアによってセット／クリアされます。

0：割り込みは禁止です。

1：UART_SR レジスタの IDLE=1 のときには、UART 割り込みが生成されます。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 3 **TEN**：トランスミッタイネーブル [(1) (2)]

このビットは、トランスミッタを有効にします。ソフトウェアによってセット／クリアされます。

0：トランスミッタは無効です。

1：トランスミッタは有効です。

ビット 2 **REN**：レシーバイネーブル

このビットは、レシーバを有効にします。ソフトウェアによってセット／クリアされます。

0：レシーバは無効です。

1：レシーバは有効であり、START ビットの検索を開始します。

ビット 1 **RWU**：レシーバウェイクアップ

– UART モード

このビットは、UART がミュートモードかどうかを決定します。ソフトウェアによってセット／クリアされ、ウェイクアップシーケンスが認識されたときは、ハードウェアによってクリアされます。[(3) (4)]

– LIN スレーブモード（UART2 と UART3 のみ、LINE ビットと LSLV ビットがセットされた場合）

LIN がスレーブモードで使用されているとき、RWU ビットをセットすると、ヘッダの検出のみが可能になり、他のキャラクタの受信を防ぎます。*ミュートモードとエラー（338 ページ）*を参照してください。LIN スレーブモードでは、RXNE がセットされると、ソフトウェアは RWU ビットのセットもクリアも行うことができません。

0：レシーバはアクティブモードです。

1：レシーバはミュートモードです。

ビット 0 **SBK**：ブレーク送信

このビットは、ブレークキャラクタを送信するために使用されます。ソフトウェアによってセット／クリアできます。ソフトウェアによってセットされ、ブレークの STOP ビットの処理中にハードウェアによってリセットされます。

0：ブレークキャラクタは送信されません。

1：ブレークキャラクタは送信されます。

1. 送信中に TEN ビットに“0”パルスを与える（“0”を書き込み、続いて“1”を書き込む）と、現在のワードの後にプリアンブル（アイドルライン）が送信されます。
2. TEN がセットされると、送信が開始されるまでに 1 ビット時間の遅延が生じます。
3. ミュートモードを選択する（RWU ビットをセットする）前に、まず、UART はデータバイトを受信しなければなりません。そうしないと、ミュートモードで、アイドルライン検出によるウェイクアップを伴う動作はできません。
4. アドレスマーク検出によるウェイクアップ設定（WAKE=1）では、RXNE ビットがセットされているときには、ソフトウェアによって RWU ビットを変更することはできません。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 22.7.7 制御レジスタ 3 (UART_CR3)

アドレスオフセット：0x06

リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| 予約済み | LINEN | STOP[1:0] | | CLKEN | CPOL | CPHA | LBCL |
| | rw | rw | rw | rw | rw | rw | rw |

ビット 7　予約済み、クリア状態を保つ必要があります。

ビット 6 **LINEN**：LIN モードイネーブル

このビットは、ソフトウェアによってセット／クリアされます。

0：LIN モードは無効です。

1：LIN モードは有効です。

ビット 5：4 **STOP**：STOP ビット

これらのビットは、STOP ビットのプログラミングに使用されます。

00：1 STOP ビット

01：予約済み

10：2 STOP ビット

11：1.5 STOP ビット

注：LIN スレーブモードでは、両方のビットをクリアされた状態に保ってください。

ビット 3 **CLKEN**：クロックイネーブル

このビットによって、SCLK ピンを有効にできます。

0：SLK ピンは無効です。

1：SLK ピンは有効です。

***注：　このビットは UART3 では使用できません。***

ビット 2 **CPOL**：クロック極性 (1)

このビットによって、SCLK ピンのクロック出力の極性を選択できます。CPHA ビットと連携して機能し、希望するクロック／データ関係をもたらします。

0：アイドル時には、SCK は 0 になります。

1：アイドル時には、SCK は 1 になります。

***注：　このビットは UART3 では使用できません。***

ビット 1 **CPHA**：クロック位相 (1)

このビットによって、SCLK ピンのクロック出力の位相を選択できます。CPOL ビットと連携して機能し、希望するクロック／データ関係をもたらします。

0：最初のクロック遷移が最初のデータキャプチャエッジです。

1：2 番目のクロック遷移が最初のデータキャプチャエッジです。

***注：　このビットは UART3 では使用できません。***

ビット 0 **LBCL**：最終ビットのクロックパルス(1)(2)

このビットによって、送信される最終データビット（MSB）に関連するクロックパルスを SCLK ピンに出力する必要があるかどうかを選択できます。

0：最終データビットのクロックパルスは、SCLK ピンに出力されません。

1：最終データビットのクロックパルスは、SCLK ピンに出力されます。

***注：　このビットは UART3 では使用できません。***

1. CPOL、CPHA、LBCL の 3 ビットには、トランスミッタが有効である間は書き込まないでください。
2. 最終ビットは、UART_CR1 レジスタの M ビットによって選択された 8 または 9 ビットフォーマットに応じて送信された 8 番目または 9 番目のデータビットです。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 22.7.8 制御レジスタ 4 (UART_CR4)

アドレスオフセット：0x07

リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| 予約済み | LBDIEN | LBDL | LBDF | ADD[3:0] | | | |
| | rw | rw | rw | rw | rw | rw | rw |

ビット 7 予約済み、クリア状態を保つ必要があります。

ビット 6 **LBDIEN**：LIN ブレーク検出割り込みイネーブル

ブレーク割り込みマスク（ブレークデリミタを使用したブレーク検出）。

0：LIN ブレーク検出割り込みは無効です。

1：LIN ブレーク検出割り込みは有効です。

ビット 5 **LBDL**：LIN ブレーク検出長

このビットでは、10 ビットと 11 ビットのブレーク検出を選択します。

0：10 ビットのブレーク検出。

1：11 ビットのブレーク検出。

ビット 4 **LBDF**：LIN ブレーク検出フラグ

LIN ブレーク検出フラグ（ステータスフラグ）

このビットは、ハードウェアによってセットされ、ソフトウェアによって 0 を書き込むことでクリアされます。

0：LIN ブレークは検出されていません。

1：LIN ブレークが検出されました。

LBDIEN=1 の場合、LBDF=1 になると割り込みが生成されます。

ビット 3：0 **ADD[3:0]**：UART ノードのアドレス

このビットフィールドは、UART ノードのアドレスを示します。

これは、ミュートモードでのマルチプロセッサ通信において、アドレスマーク検出によるウェイクアップに使用されます。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 22.7.9 制御レジスタ 5（UART_CR5）

アドレスオフセット：0x08

リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| 予約済み | | SCEN | NACK | HDSEL | IRLP | IREN | 予約済み |
| | | r | r | rw | rw | rw | |

ビット 7：6 予約済み、クリア状態を保つ必要があります。

ビット 5 **SCEN**：スマートカードモードイネーブル

このビットは、スマートカードモードを有効にするために使用されます。

0：スマートカードモードは無効です。

1：スマートカードモードは有効です。

***注：　このビットは UART3 では使用できません。***

ビット 4 **NACK**：スマートカード NACK イネーブル

0：パリティエラーの場合の NACK 送信は無効です。

1：パリティエラーの場合の NACK 送信は有効です。

***注：　このビットは UART3 では使用できません。***

ビット 3 **HDSEL**：半二重選択

単線半二重モードの選択。

0：半二重モードは選択されません。

1：半二重モードが選択されます。

***注：　このビットは UART2 および UART3 では使用できません。***

ビット 2 **IRLP**：IrDA 低電力

このビットは、通常と低電力の IrDA モードの選択に使用されます。

0：通常モード

1：低電力モード

***注：　このビットは UART3 では使用できません。***

ビット 1 **IREN**：IrDA モードイネーブル

このビットは、ソフトウェアによってセット／クリアされます。

0：IrDA は無効です。

1：IrDA は有効です。

***注：　このビットは UART3 では使用できません。***

ビット 0 予約済み、クリア状態を保つ必要があります。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 22.7.10 制御レジスタ 6（UART_CR6）

アドレスオフセット：0x09

リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| LDUM | 予約済み | LSLV | LASE | 予約済み | LHDIEN | LHDF | LSF |
| rw | | rw | rw | | rw | rc_w0 | rc_w0 |

*注：　このレジスタは UART1 では使用できません。*

ビット 7 **LDUM**：LIN ディバイダアップデートメソッド

0：LDIV は、BRR1 が書き込まれるとすぐに更新されます（同時に自動再同期更新が行われない場合）。

1：LDIV は、BRR1 レジスタへの書き込み後の次の受信キャラクタで更新されます（RXNE=1 のとき）。

LDIV は、2 つのレジスタ（BRR1 と BRR2）を使用してコード化されます。

同期フィールドの最後に LDIV が測定されたボーレートで更新されると、このビットは、ハードウェアによってリセットされます。

ビット 6 予約済み

ビット 5 **LSLV**：LIN スレーブイネーブル

0：LIN マスタモード

1：LIN スレーブモード

ビット 4 **LASE**：LIN 自動再同期イネーブル

0：LIN 自動再同期は無効です。

1：LIN 自動再同期は有効です。

ビット 3 予約済み

ビット 2 **LHDIEN**：LIN ヘッダ検出割り込みイネーブル

ヘッダ割り込みマスク。

0：LIN ヘッダ検出割り込みは無効です。

1：LIN ヘッダ検出割り込みは有効です。

ビット 1 **LHDF**：LIN ヘッダ検出フラグ

このビットは、LIN スレーブモードで LIN ヘッダが検出されるとハードウェアによってセットされ、ソフトウェアによって 0 を書き込むことでクリアされます。

0：LIN ヘッダは検出されていません。

1：LIN ヘッダが検出されました（ブレーク＋同期＋識別子）

LHDIEN=1 の場合、LHDF=1 になると割り込みが生成されます。

ビット 0 **LSF**：LIN 同期フィールド

このビットは、LIN 同期フィールドが解析中であることを示します。LIN スレーブモードでのみ使用されます。自動再同期モード（LASE ビット = 1）では、UART が LIN 同期フィールド状態になると、RDI ラインの立ち下がりエッジを待機またはカウントします。

LIN ブレークが検出されるとすぐにハードウェアによってセットされ、LIN 同期フィールド解析が終了するとハードウェアによってクリアされます。このビットは、ソフトウェアによって 0 を書き込むことでもクリアでき、LIN 同期状態を抜けてアイドルモードに戻ります。

0：現在のキャラクタは、LIN 同期フィールドではありません。

1：LIN 同期フィールド状態（LIN 同期フィールドの解析中）

### 22.7.11 ガードタイムレジスタ（UART_GTR）

アドレスオフセット：0x09（UART1）、0x0A（UART2）



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| GT[7:0] | | | | | | | |
| rw | rw | rw | rw | rw | rw | rw | rw |

ビット 7：0 **GT[7:0]**：ガード時間値

このレジスタは、ガード時間値をボークロック数で示します。

これは、スマートカードモードで使用されます。このガード時間値の後、送信完了フラグがセットされます。

***注：　これらのビットは UART3 では使用できません。***



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 22.7.12 プリスケーラレジスタ（UART_PSCR）

アドレスオフセット：0x0A（UART1）、0x0B（UART2）

リセット値：0x00

*注：* ***アプリケーションでスマートカードと IrDA インタフェースの両方が使用されているときには、このレジスタに正しい値をプログラムするように特に注意する必要があります。***

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| PSC[7:0] | | | | | | | |
| rw | rw | rw | rw | rw | rw | rw | rw |

ビット 7：0 **PSC[7:0]**：*プリスケーラ値*

– **IrDA 低電力モードでは：**

PSC[7:0] = IrDA 低電力モードのボーレート [(1)]

システムクロックを分周して低電力周波数を得るために、プリスケーラのプログラミングに使用されます。

ソースクロックは、レジスタで指定された値（上位 8 ビット）で分周されます。

0000 0000：予約済み - この値をプログラミングしないでください。

0000 0001：ソースクロックは 1 分周されます。

0000 0010：ソースクロックは 2 分周されます。

...

– スマートカードモードでは：

PSC[4:0]：プリスケーラ値 [(2)] [(3)]

システムクロックを分周してスマートカードのクロックを提供するために、プリスケーラのプログラミングに使用されます。

レジスタで指定された値（上位 5 ビット）を 2 倍して、ソースクロック周波数の分周係数を求めます。

0 0000：予約済み - この値をプログラミングしないでください。

0 0001：ソースクロックは 2 分周されます。

0 0010：ソースクロックは 4 分周されます。

0 0011：ソースクロックは 6 分周されます。

...

*注：* ***これらのビットは UART3 では使用できません。***

1. このプリスケーラ設定は、IrDA モードが有効でない場合は無視されます。
2. このプリスケーラ設定は、スマートカードモードが有効でない場合は無視されます。
3. ビット [7:5] は、スマートカードモードが有効な場合も無視されます。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 22.7.13 UART レジスタマップとリセット値

**表 61. UART1 レジスタマップ**

| アドレス | レジスタ名 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|
| 0x00 | UART1_SR<br>リセット値 | TXE<br>1 | TC<br>1 | RXNE<br>0 | IDLE<br>0 | OR<br>0 | NF<br>0 | FE<br>0 | PE<br>0 |
| 0x01 | UART1_DR<br>リセット値 | DR7<br>x | DR6<br>x | DR5<br>x | DR4<br>x | DR3<br>x | DR2<br>x | DR1<br>x | DR0<br>x |
| 0x02 | UART1_BRR1<br>リセット値 | UART_DIV[11:4]<br>00000000 | | | | | | | |
| 0x03 | UART1_BRR2<br>リセット値 | UART_DIV[15:12]<br>0000 | | | | UART_DIV[3:0]<br>0000 | | | |
| 0x04 | UART1_CR1<br>リセット値 | R8<br>0 | T8<br>0 | UARTD<br>0 | M<br>0 | WAKE<br>0 | PCEN<br>0 | PS<br>0 | PIEN<br>0 |
| 0x05 | UART1_CR2<br>リセット値 | TIEN<br>0 | TCIEN<br>0 | RIEN<br>0 | ILIEN<br>0 | TEN<br>0 | REN<br>0 | RWU<br>0 | SBK<br>0 |
| 0x06 | UART1_CR3<br>リセット値 | -<br>0 | LINEN<br>0 | STOP<br>00 | | CKEN<br>0 | CPOL<br>0 | CPHA<br>0 | LBCL<br>0 |
| 0x07 | UART1_CR4<br>リセット値 | -<br>0 | LBDIEN<br>0 | LBDL<br>0 | LBDF<br>0 | ADD[3:0]<br>0000 | | | |
| 0x08 | UART1_CR5<br>リセット値 | -<br>0 | -<br>0 | SCEN<br>0 | NACK<br>0 | HDSEL<br>0 | IRLP<br>0 | IREN<br>0 | 0 |
| 0x09 | UART1_GTR<br>リセット値 | GT7<br>0 | GT6<br>0 | GT5<br>0 | GT4<br>0 | GT3<br>0 | GT2<br>0 | GT1<br>0 | GT0<br>0 |
| 0x0A | UART1_PSCR<br>リセット値 | PSC7<br>0 | PSC6<br>0 | PSC5<br>0 | PSC4<br>0 | PSC3<br>0 | PSC2<br>0 | PSC1<br>0 | PSC0<br>0 |

**表 62. UART2 レジスタマップ**

| アドレス | レジスタ名 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|
| 0x00 | UART2_SR<br>リセット値 | TXE<br>1 | TC<br>1 | RXNE<br>0 | IDLE<br>0 | OR<br>0 | NF<br>0 | FE<br>0 | PE<br>0 |
| 0x01 | UART2_DR<br>リセット値 | DR7<br>x | DR6<br>x | DR5<br>x | DR4<br>x | DR3<br>x | DR2<br>x | DR1<br>x | DR0<br>x |
| 0x02 | UART2_BRR1<br>リセット値 | UART_DIV[11:4]<br>00000000 | | | | | | | |
| 0x03 | UART2_BRR2<br>リセット値 | UART_DIV[15:12]<br>0000 | | | | UART_DIV[3:0]<br>0000 | | | |
| 0x04 | UART2_CR1<br>リセット値 | R8<br>0 | T8<br>0 | UARTD<br>0 | M<br>0 | WAKE<br>0 | PCEN<br>0 | PS<br>0 | PIEN<br>0 |
| 0x05 | UART2_CR2<br>リセット値 | TIEN<br>0 | TCIEN<br>0 | RIEN<br>0 | ILIEN<br>0 | TEN<br>0 | REN<br>0 | RWU<br>0 | SBK<br>0 |
| 0x06 | UART2_CR3<br>リセット値 | -<br>0 | LINEN<br>0 | STOP<br>00 | | CKEN<br>0 | CPOL<br>0 | CPHA<br>0 | LBCL<br>0 |
| 0x07 | UART2_CR4<br>リセット値 | -<br>0 | LBDIEN<br>0 | LBDL<br>0 | LBDF<br>0 | ADD[3:0]<br>0000 | | | |
| 0x08 | UART2_CR5<br>リセット値 | -<br>0 | -<br>0 | SCEN<br>0 | NACK<br>0 | HDSEL<br>0 | IRLP<br>0 | IREN<br>0 | 0 |
| 0x09 | UART2_CR6<br>リセット値 | LDUM<br>0 | -<br>0 | LSLV<br>0 | LASE<br>0 | -<br>0 | LHDIEN<br>0 | LHDF<br>0 | LSF<br>0 |



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

**表 62. UART2 レジスタマップ （続き）**

| アドレス | レジスタ名 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|
| 0x0A | UART2_GTR<br>リセット値 | GT7<br>0 | GT6<br>0 | GT5<br>0 | GT4<br>0 | GT3<br>0 | GT2<br>0 | GT1<br>0 | GT0<br>0 |
| 0x0B | UART2_PSCR<br>リセット値 | PSC7<br>0 | PSC6<br>0 | PSC5<br>0 | PSC4<br>0 | PSC3<br>0 | PSC2<br>0 | PSC1<br>0 | PSC0<br>0 |

**表 63. UART3 レジスタマップ**

| アドレス | レジスタ名 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|
| 0x00 | UART3_SR<br>リセット値 | TXE<br>1 | TC<br>1 | RXNE<br>0 | IDLE<br>0 | OR<br>0 | NF<br>0 | FE<br>0 | PE<br>0 |
| 0x01 | UART3_DR<br>リセット値 | DR7<br>x | DR6<br>x | DR5<br>x | DR4<br>x | DR3<br>x | DR2<br>x | DR1<br>x | DR0<br>x |
| 0x02 | UART3_BRR1<br>リセット値 | UART_DIV[11:4]<br>00000000 | | | | | | | |
| 0x03 | UART3_BRR2<br>リセット値 | UART_DIV[15:12]<br>0000 | | | | UART_DIV[3:0]<br>0000 | | | |
| 0x04 | UART3_CR1<br>リセット値 | R8<br>0 | T8<br>0 | UARTD<br>0 | M<br>0 | WAKE<br>0 | PCEN<br>0 | PS<br>0 | PIEN<br>0 |
| 0x05 | UART3_CR2<br>リセット値 | TIEN<br>0 | TCIEN<br>0 | RIEN<br>0 | ILIEN<br>0 | TEN<br>0 | REN<br>0 | RWU<br>0 | SBK<br>0 |
| 0x06 | UART3_CR3<br>リセット値 | -<br>0 | LINEN<br>0 | STOP<br>00 | | -<br>0 | -<br>0 | -<br>0 | -<br>0 |
| 0x07 | UART3_CR4<br>リセット値 | -<br>0 | LBDIEN<br>0 | LBDL<br>0 | LBDF<br>0 | ADD[3:0]<br>0000 | | | |
| 0x08 | 予約済み | | | | | | | | |
| 0x09 | UART2_CR6<br>リセット値 | LDUM<br>0 | -<br>0 | LSLV<br>0 | LASE<br>0 | -<br>0 | LHDIEN<br>0 | LHDF<br>0 | LSF<br>0 |



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

# 23 コントローラエリアネットワーク（beCAN）

## 23.1 概要

Basic Enhanced CAN ペリフェラル（略称 beCAN）は、CAN ネットワークとのインタフェースであり、CAN プロトコルバージョン 2.0A および B をサポートしています。beCAN は、最小限の CPU 負荷で多数の受信メッセージを効率的に管理できるように設計されています。また、送信メッセージの優先順位に関する要件も満たしています。

安全性が重視されるアプリケーションの場合、CAN コントローラは、CAN タイムトリガ通信オプションをサポートするためのすべてのハードウェア機能を提供します。

## 23.2 beCAN の主な機能

- CAN プロトコルバージョン 2.0 A、B Active のサポート
- ビットレート：最大 1 M ビット／秒
- タイムトリガ通信オプションのサポート

**送信**

- 3 つの送信メールボックス
- 設定可能な送信優先順位
- SOF 送信時のタイムスタンプ

**受信**

- 1 つの 3 ステージ受信 FIFO
- 6 つのスケーラブルなフィルタバンク
- 識別子リスト機能
- 設定可能な FIFO オーバーラン
- SOF 受信時のタイムスタンプ

**タイムトリガ通信オプション**

- 自動再送信モードの無効化
- 16 ビットのフリーランニングタイマ
- タイマ分解能の選択
- タイムスタンプを最後の 2 データバイトで送信

**管理**

- マスク可能な割り込み
- 固有のアドレス空間でのソフトウェア効率の高いメールボックス配置



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

## 23.3 beCAN の概要

今日の CAN アプリケーションでは、ネットワークのノード数が増加し、複数のネットワークがゲートウェイを介してリンクされることもあります。一般に、システム内の（そして各ノードが扱う）メッセージ数は大幅に増加しています。アプリケーションメッセージに加えて、ネットワーク管理や診断のメッセージも導入されています。

- 各種のメッセージを扱うには、高度なフィルタ機構が要求されます。

さらに、アプリケーションタスクはより多くの CPU 時間を必要としているため、メッセージ受信に起因するリアルタイム制約を減らす必要があります。

- 受信 FIFO 方式では、CPU は、メッセージを失うことなく、長時間にわたってアプリケーションタスクに専念できます。

標準の CAN ドライバに基づく標準 HLP（Higher Layer Protocol：上位層プロトコル）では、CAN コントローラとの効率的なインタフェースを必要とします。

- すべてのメールボックスとレジスタは、16 バイトのページに構成され、同じアドレスに配置され、ページ選択レジスタを介して選択されます。

**図 139. CAN ネットワークのトポロジ**

### 23.3.1 CAN 2.0B アクティブコア

beCAN モジュールは、CAN メッセージの送受信を完全に自律的に処理できます。標準識別子（11 ビット）と拡張識別子（29 ビット）は、ハードウェアによって完全にサポートされます。

### 23.3.2 制御レジスタ、ステータスレジスタ、設定レジスタ

アプリケーションは、これらのレジスタを以下の目的で使用します。

- CAN パラメータ（ボーレートなど）の設定
- 送信リクエスト
- 受信処理
- 割り込みの管理
- 診断情報の入手

### 23.3.3 Tx メールボックス

ソフトウェアがメッセージをセットアップするために、3 つの送信メールボックスが用意されています。最初に送信されるメールボックスは、送信スケジューラによって決定されます。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 23.3.4 受信フィルタ

beCAN は、ソフトウェアが必要とする受信メッセージを選択し、それ以外を破棄するために、6 つのスケーラブルで設定可能な識別子フィルタバンクを備えています。

**受信 FIFO**

CAN コントローラは、受信メッセージを格納するために受信 FIFO を使用します。この FIFO には、3 つのメッセージを完全に格納できます。ソフトウェアは、常に同じアドレスで次に使用可能なメッセージにアクセスします。FIFO の管理はすべてハードウェアによって行われます。

**図 140. beCAN のブロック図**

**図 141. beCAN 動作モード**

この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

## 23.4 動作モード

beCAN には、**初期化**、**通常**、および**スリープ**という 3 つの主な動作モードがあります。ハードウェアリセットの後、beCAN は消費電力を低減するためにスリープモードに入ります。ソフトウェアは、CAN_MCR レジスタの INRQ または SLEEP ビットをセットすることによって、beCAN に**初期化**または**スリープ**モードに入るように要求します。いずれかのモードに入ると、beCAN は、CAN_MSR レジスタの INAK または SLAK ビットをセットすることによって、それを確定します。INAK も SLAK もセットされていない場合、beCAN は**通常**モードです。beCAN は、**通常**モードに入る前に、CAN バスで**同期**をとる必要があります。同期のために、beCAN は、CAN バスがアイドル状態になる（つまり、CANRX 上で 11 個の連続したリセッシブビットが観察される）のを待ちます。

### 23.4.1 初期化モード

ハードウェアが初期化モードにある間に、ソフトウェアの初期化も行うことができます。このモードに入るには、ソフトウェアは CAN_MCR レジスタの INRQ ビットをセットし、ハードウェアが CAN_MSR レジスタの INAK ビットをセットしてこのリクエストを確認するのを待ちます。

初期化モードを終了するには、ソフトウェアは INQR ビットをクリアします。ハードウェアによって INAK ビットがクリアされると、beCAN は初期化モードから通常モードに入ります。しかし、このモードを終了するには、Rx ラインはリセッシブ状態であることが必要です。

初期化モードでは、CAN バスとの間のすべてのメッセージ転送は停止し、CAN バス出力 CANTX のステータスはリセッシブ（ハイ）になります。

初期化モードに入る際には、どの設定レジスタの内容も変化しません。

CAN コントローラを初期化するには、ソフトウェアでビットタイミングレジスタとフィルタバンクのセットアップを行う必要があります。フィルタバンクを使用しない場合は、これを無効のままにしておく（CAN_FCRx レジスタの対応する FACT ビットをクリアしておく）ことを推奨します。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 23.4.2 通常モード

初期化が終了すると、ソフトウェアは、ハードウェアに対して通常モードに入り、CAN バスに同期し、送受信を開始するように要求する必要があります。この通常モードに入るリクエストは、CAN_MCR レジスタの INRQ ビットをクリアすることによって行われます。その後、beCAN は、11 個の連続したリセッシブビットの発生（バスアイドル状態）を待つことで CAN バス上のデータ転送と同期してから、通常モードへの切り替えを完了し、バス動作に参加する準備ができます。この切り替え完了は、CAN_MSR レジスタの INAK ビットをクリアすることによって、ハードウェアによって確認されます。

フィルタ値の初期化は初期化モードとは別に行いますが、フィルタバンクが有効でない（対応する FACTx ビットがクリアされている）ときに行う必要があります。フィルタバンクのスケールとモードの設定は、初期化モードで行う必要があります。

### 23.4.3 スリープモード（低電力）

消費電力を低減するため、beCAN にはスリープモードと呼ばれる低電力モードがあります。このモードに入るには、ソフトウェアは CAN_MCR レジスタの SLEEP ビットをセットします。このモードでは beCAN のクロックは停止しますが、ソフトウェアから beCAN のメールボックスにアクセスすることは可能です。

*注：* ***beCAN がスリープモードのときにソフトウェアが INRQ ビットをセットして初期化モードに入るように要求する場合には、SLEEP ビットもクリアする必要があります。***

beCAN がスリープモードからウェイクアップするには、ソフトウェアで SLEEP ビットをクリアするか、CAN バス動作を検出する必要があります。

CAN バス動作を検出すると、ハードウェアは、SLEEP ビットをクリアしてウェイクアップシーケンスを自動的に実行します（CAN_MCR レジスタの AWUM ビットがセットされている場合）。AWUM ビットがクリアされている場合、スリープモードから抜けるには、ウェイクアップ割り込みの発生時にソフトウェアが SLEEP ビットをクリアする必要があります。

*注：* ***ウェイクアップ割り込みが有効な場合（CAN_IER レジスタの WKUIE ビットがセットされている）、beCAN がウェイクアップシーケンスを自動的に実行する場合でも、CAN バス動作の検出時にウェイクアップ割り込みが生成されます。***

SLEEP ビットがクリアされた後、beCAN が CAN バスに同期するとスリープモードから抜けます（*図 141：beCAN 動作モード*を参照）。しかし、このモードを終了するには、Rx ラインはリセッシブ状態であることが必要です。SLAK ビットがハードウェアによってクリアされると、スリープモードから抜けます。

### 23.4.4 タイムトリガ通信モード

このモードでは CAN ハードウェアの内部カウンタが有効になり、受信／送信メールボックスの CAN_MTSRH レジスタと CAN_MTSRL レジスタに格納されるタイムスタンプ値の生成に使用されます。内部カウンタは、送受信ともに、フレーム開始（SOF）ビットのサンプルポイントでキャプチャされます。

TGT ビット（CAN_MDLCR の送信グローバルタイム）によって、メッセージの 2 つの最終データバイトに含まれる CAN_MTSRH と CAN_MTSRL の内容を自動送信できます（TTCAN 仕様 ISO 11898-4 を参照）。この場合、タイムトリガ通信のメカニズムを有効にするために、TTCM（CAN_MCR のタイムトリガ通信モード）ビットをセットする必要があります。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

## 23.5 テストモード

テストモードは、CAN_DGR レジスタの SILM ビットと LBKM ビットによって選択できます。これらのビットは、beCAN が初期化モードにある間に設定する必要があります。テストモードが選択された後で通常モードに戻るには、CAN_MCR レジスタの INRQ ビットをリセットする必要があります。

### 23.5.1 サイレントモード

beCAN をサイレントモードにするには、CAN_DGR レジスタの SILM ビットをセットします。

サイレントモードでは、beCAN は有効なデータフレームやリモートフレームを受信できますが、CAN バスにはリセッシブビットのみを送信するため、送信を開始することはできません。beCAN がドミナントビット（ACK ビット、オーバーロードフラグ、アクティブエラーフラグ）を送信する必要がある場合、CAN バスはリセッシブ状態にとどまることがあっても、CAN コアがこのドミナントビットを監視できるように、このビットは内部的にルート変更されます。サイレントモードを使用すると、ドミナントビット（ACK ビット、エラーフレーム）の送信による影響を受けずに、CAN バス上のトラフィックを解析できます。

**図 142. beCAN（サイレントモード）**

### 23.5.2 ループバックモード

beCAN をループバックモードに設定するには、CAN_DGR レジスタの LBKM ビットをセットします。ループバックモードでは、beCAN は自分が送信したメッセージを受信メッセージとして扱い、それらを FIFO に格納します（受信フィルタを通過した場合）。

**図 143. beCAN（ループバックモード）**

このモードは、セルフテスト機能のために用意されています。外部イベントから独立させるために、ループバックモードでは、CAN コアは ACK エラーを無視します（データ／リモートフレームの ACK スロットではドミナントビットはサンプリングされません）。このモードでは、beCAN は Tx 出力から Rx 入力へ内部フィードバックを行います。beCAN は、CANRX 入力ピンの実際の値を無視します。送信メッセージは CANTX ピンで監視できます。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

*注：　このモードでは Tx ラインがまだ有効であるため、CAN バスでの通信の妨げになることがあることに注意してください。*

### 23.5.3 サイレントモードとループバックモードの組み合わせ

CAN_DGR レジスタの LBKM ビットと SILM ビットをセットすることによって、ループバックモードとサイレントモードを組み合わせることもできます。このモードは「ホットセルフテスト」に使用できます。つまり、CANTX および CANRX ピンに接続されている実行中の CAN システムに影響を与えずに、ループバックモードと同様に beCAN をテストできます。このモードでは、CANRX ピンは beCAN から切断され、CANTX ピンはリセッシブに保持されます。

**図 144.　beCAN（組み合わせモード）**

## 23.6 機能の説明

### 23.6.1 送信処理

メッセージを送信するには、アプリケーションは、**EMPTY** 状態の送信メールボックスを 1 つ選択し、識別子、データ長コード（DLC）、およびデータを設定してから、CAN_MCSR レジスタの対応する TXRQ ビットをセットすることによって、送信を要求する必要があります。メールボックスが **EMPTY** 状態でなくなると、ソフトウェアはこのメールボックスレジスタへの書き込みができなくなります。TXRQ ビットがセットされると、メールボックスはただちに **PENDING** 状態になり、最高優先順位のメールボックスになるまで待機します。*送信優先順位*を参照してください。メールボックスの優先順位が最高になると、メールボックスは送信の **SCHEDULED** 状態になります。スケジュール済みメールボックスのメッセージの送信は、CAN バスがアイドル状態になると開始されます（**TRANSMIT** 状態になります）。メールボックスの内容が正常に送信されると、そのメールボックスは再び **EMPTY** 状態になります。ハードウェアは、CAN_MCSR レジスタと CAN_TSR レジスタの RQCP ビットと TXOK ビットをセットして、送信が正常に終了したことを示します。

送信が失敗した場合、その原因がアービトレーションロストである場合は CAN_MCSR レジスタの ALST ビットによって、または、送信エラー検出である場合は TERR ビットによって示されます。

**送信優先順位**

**識別子による優先順位：**

複数の送信メールボックスが保留中のときには、送信順序は、メールボックスに格納されているメッセージの識別子によって決まります。CAN プロトコルのアービトレーションに従って、最小の識別子の値を持つメッセージの優先順位が最高になります。識別子の値が同じ場合には、メールボックス番号の小さい方が優先的にスケジュールされます。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

**送信リクエストの順序による優先順位：**

送信メールボックスは、CAN_MCR レジスタの TXFP ビットをセットすることによって、送信 FIFO として設定できます。このモードでは、優先順位は送信リクエストの順序によって決まります。このモードは分割送信の場合に非常に役立ちます。

**アボート**

ユーザは、CAN_MCSR レジスタの ABRQ ビットをセットすることによって、送信リクエストをアボートできます。**PENDING** または **SCHEDULED** 状態では、メールボックスはただちにアボートされます。メールボックスが **TRANSMIT** 状態のときにアボートリクエストが出されると、次の 2 つの結果につながります。メールボックスの送信が正常に行われた場合、CAN_MCSR レジスタと CAN_TSR レジスタの TXOK ビットがセットされ、メールボックスは **EMPTY** 状態になります。送信に失敗した場合、メールボックスは **SCHEDULED** 状態になり、送信がアボートされ、TXOK ビットがクリアされて、メールボックスは **EMPTY** 状態になります。いずれの場合にも、メールボックスは、少なくとも現在の転送の最後には再び **EMPTY** 状態になります。

**非自動再送モード**

このモードは、CAN 規格のタイムトリガ通信オプションの要件を満たすために実装されています。ハードウェアをこのモードに設定するには、CAN_MCR レジスタの NART ビットをセットする必要があります。

このモードでは、個々の送信は一度だけ開始されます。最初の試みがアービトレーションロスやエラーのために失敗した場合、ハードウェアはメッセージ送信を自動的に再スタートしません。

最初の送信試行の終わりに、ハードウェアは、そのリクエストが完了したものとみなして、CAN_MCSR レジスタの RQCP ビットをセットします。送信の結果は、CAN_MCSR レジスタの TXOK、ALST、および TERR ビットによって示されます。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 145. 送信メールボックスの状態

この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

## 23.6.2 受信処理

CAN メッセージを受信するために、3 つのメールボックスが FIFO として用意されています。CPU 負荷を軽減し、ソフトウェアを単純化し、データの一貫性を保証するために、FIFO の管理はハードウェアによって行われます。アプリケーションは、FIFO 出力メールボックスを通じて、FIFO に格納されたメッセージにアクセスします。

**有効なメッセージ**

受信されたメッセージは、CAN プロトコルに従って正しく受信され（EOF フィールドの最後から 2 番目のビットまでエラーなし）、**かつ**、識別子フィルタリングを正常に通過した**場合**に、有効であるとみなされます（*セクション 23.6.3：識別子フィルタリング* を参照）。

**図 146. 受信 FIFO の状態**

**FIFO 管理**

**EMPTY** 状態から始まり、受信した最初の有効なメッセージが FIFO に格納されると、FIFO は **PENDING_1** 状態になります。ハードウェアは、CAN_RFR レジスタの FMP[1:0] ビットを値 0b01 に設定して、このイベントを通知します。このメッセージは FIFO 出力メールボックスからアクセスできます。ソフトウェアは、このメールボックスの内容を読み出し、CAN_RFR レジスタの RFOM ビットをセットすることによってメールボックスを解放します。FIFO は再び **EMPTY** 状態になります。その間に新しい有効なメッセージが受信されると、FIFO は **PENDING_1** 状態にとどまり、出力メールボックスから新しいメッセージにアクセスできます。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

アプリケーションがメールボックスを解放しない場合に次の有効なメッセージが FIFO に格納されると、FIFO は **PENDING_2** 状態（FMP[1:0] = 0b10）になります。この格納プロセスは、次の有効なメッセージに対しても繰り返され、FIFO は **PENDING_3** 状態（FMP[1:0] = 0b11）になります。この時点で、メールボックスが次の有効なメッセージを自由に格納できるように、ソフトウェアは、RFOM ビットをセットして、出力メールボックスを解放する必要があります。解放しないと、受信された次の有効なメッセージは失われます。

*セクション 23.6.4：メッセージストレージ*も参照してください。

**オーバーラン**

FIFO が **PENDING_3** 状態（すなわち、3 個のメールボックスが満杯）になると、次の有効なメッセージが受信されると **OVERRUN** 状態になり、メッセージは失われます。ハードウェアは、CAN_RFR レジスタの FOVR ビットをセットすることによって、オーバーラン状態を通知します。どのメッセージが失われるかは、FIFO の設定に依存します。

– FIFO ロック機能が無効（CAN_MCR レジスタの RFLM ビットがクリア）である場合、最後に FIFO に格納されたメッセージが新しい受信メッセージによって上書きされます。その結果、アプリケーションがアクセスできるのは、常に最後のメッセージとなります。

*注：* ***それまでに受信されたメッセージは FIFO 内のそれぞれの位置にとどまります。最後のメッセージのみが上書きされます。***

– FIFO ロック機能が有効（CAN_MCR レジスタの RFLM ビットがセット）である場合、最新のメッセージが破棄され、ソフトウェアは FIFO 内にある 3 個の最も古いメッセージにアクセスできます。

**受信関連の割り込み**

最初のメッセージが FIFO に格納されると、FMP[1:0] ビットが 0b00 から 0b01 に変更され、割り込みが生成されます（CAN_IER レジスタの FMPIE ビットがセットされている場合）。

FIFO が満杯になると（3 番目のメッセージが格納されると）、CAN_RFR レジスタの FULL ビットがセットされ、割り込みが生成されます（CAN_IER レジスタの FFIE ビットがセットされている場合）。

オーバーラン状態になると、FOVR ビットがセットされ、割り込みが生成されます（CAN_IER レジスタの FOVIE ビットがセットされている場合）。

### 23.6.3 識別子フィルタリング

CAN プロトコルでは、メッセージの識別子は、ノードのアドレスには関連付けられておらず、メッセージの内容に関連したものとなっています。したがって、トランスミッタは、そのメッセージをすべてのレシーバにブロードキャスト（一斉送信）します。メッセージが受信されると、受信ノードは、識別子の値に基づいて、このメッセージがソフトウェアに必要なものかどうかを判断します。このメッセージが必要な場合は、RAM にコピーされます。そうでない場合、このメッセージは、ソフトウェアによる介入なしに破棄される必要があります。

この要件を満たすため、beCAN コントローラは 6 つの設定可能でスケーラブルなフィルタバンク（5:0）を備えており、ソフトウェアに必要なメッセージのみを受信できます。このハードウェアフィルタリングによって、ソフトウェアでフィルタリングを行う場合に比べて、CPU リソースを節約できます。各フィルタバンク x は、8 個の 8 ビットレジスタ（CAN_FxR[8:1]）から構成されています。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

**スケーラブルな幅**

フィルタをアプリケーションニーズに合わせて最適化／適応するため、各フィルタバンクを個別に拡大／縮小できます。フィルタのスケールに応じて、フィルタバンクは以下のフィルタを提供します。

- 1 個の 32 ビットフィルタ : STDID[10:0] / EXID[28:18]、IDE、EXID[17:0]、および RTR ビット用。
- 2 個の 16 ビットフィルタ：STDID[10:0] / EXID[28:18]、RTR、および IDE ビット用。
- 4 個の 8 ビットフィルタ：STDID[10:3] / EXID[28:21] ビット用。他のビットは無視されます。
- 1 個の 16 ビットフィルタと 2 個の 8 ビットフィルタ : 上述の 16 および 8 ビットフィルタと同じビットセットのフィルタ用。

*図 147*～*図 150* を参照してください。

さらに、これらのフィルタはマスクモードまたは識別子リストモードに設定できます。

**マスクモード**

**マスク**モードでは、識別子レジスタは、識別子のどのビットを「一致が必要」として扱い、どのビットを「無視」として扱うかを指定するマスクレジスタに関連付けられます。

**識別子リストモード**

**識別子リスト**モードでは、マスクレジスタが識別子レジスタとして使用されます。このように、識別子とマスクを定義する代わりに、2 つの識別子を指定することで、1 つの識別子の数を倍にします。受信識別子のすべてのビットが、フィルタレジスタに指定されたビットと一致する必要があります。

**フィルタバンクのスケールとモードの設定**

フィルタバンクは、対応する CAN_FCRx レジスタによって設定されます。フィルタバンクを設定するには、CAN_FCRx レジスタの FACT ビットをクリアすることによって、無効にする必要があります。フィルタのスケールは、対応する CAN_FCRx レジスタの FSC[1:0] ビットによって設定されます。対応するマスク／識別子レジスタの**識別子リスト**または**識別子マスク**モードは、CAN_FMRx レジスタの FMLx ビットと FMHx ビットによって設定されます。FMLx ビットはフィルタバンク x の下半分（レジスタ CAN_FxR1-4）のモードを定義し、FMHx ビットは上半分（レジスタ CAN_FxR5-8）のモードを定義します。詳細については、*図 147*～*図 150* を参照してください。

**例**：

- フィルタバンク 1 が 2 個の 16 ビットフィルタとして設定された場合、FML1 ビットは CAN_F1R3 レジスタと CAN_F1R4 レジスタのモードを定義し、FMH1 ビットは CAN_F1R7 レジスタと CAN_F1R8 レジスタのモードを定義します。
- フィルタバンク 1 が 4 個の 8 ビットフィルタとして設定された場合、FML1 ビットは CAN_F1R2 レジスタと CAN_F1R4 レジスタのモードを定義し、FMH1 ビットは CAN_F1R6 レジスタと CAN_F1R8 レジスタのモードを定義します。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

*注：* *32 ビット設定では、4 つのマスク／識別子レジスタが同じモードになるように、FMLx ビットと FMHx ビットは同じ値を持つ必要があります。*

*標準識別子が受信された場合（IDE ビットはゼロ）、32 ビットまたは 16 ビットフィルタの拡張部は比較されません。*

*識別子のグループをフィルタするには、マスク／識別子レジスタをマスクモードに設定します。*

*単一識別子を選択するには、マスク／識別子レジスタを識別子リストモードに設定します。*

*アプリケーションで使用されないフィルタは、無効のままにしておきます。*

*フィルタバンク内の各フィルタには、各フィルタバンクのモードとスケールに応じて 0 から最大値までの番号（フィルタ番号）が付けられます。*

*フィルタの設定については、図 147～図 150 を参照してください。*

**図 147. 32 ビットフィルタバンクの設定（CAN_FCRx レジスタの FSCx ビット = 0b11）**

| | フィルタレジスタ | | | | | | | | フィルタモード[1] | | | |
|---|---|---|---|---|---|---|---|---|---|---|---|---|
| 配置 | STID[10:3] / EXID[28:21] | STID [2:0] / EXID[20:18] | RTR | IDE | EXID [17:15] | EXID [14:7] | EXID[6:0] | 0 | FMHx = 0 FMLx = 0 | | FMHx = 1 FMLx = 1 | |
| 識別子 | CAN_FxR1 | CAN_FxR2 | | | | CAN_FxR3 | CAN_FxR4 | | ID | n | ID | n |
| 識別子／マスク | CAN_FxR5 | CAN_FxR6 | | | | CAN_FxR7 | CAN_FxR8 | | M | | ID | n+1 |

ID = 識別子　　n = フィルタ番号
M = マスク　　x = フィルタバンク番号

[1] FMHx ビットと FMLx ビットは、CAN_FMR1 レジスタと CAN_FMR2 レジスタにあります。

**図 148. 16 ビットフィルタバンクの設定（CAN_FCRx レジスタの FSCx ビット = 0b10）**

| | フィルタレジスタ | | | | | フィルタモード[1] | | | | | | | |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| 配置 | STID[10:3] / EXID[28:21] | STID [2:0] / EXID [20:18] | RTR | IDE | EXID [17:15] | FMHx = 0 FMLx = 0 | | FMHx = 0 FMLx = 1 | | FMHx = 1 FMLx = 0 | | FMHx = 1 FMLx = 1 | |
| 識別子 | CAN_FxR1 | CAN_FxR2 | | | | ID | n | ID | n | ID | n | ID | n |
| 識別子／マスク | CAN_FxR3 | CAN_FxR4 | | | | M | | ID | n+1 | M | | ID | n+1 |
| 識別子 | CAN_FxR5 | CAN_FxR6 | | | | ID | n+1 | ID | n+2 | ID | n+1 | ID | n+2 |
| 識別子／マスク | CAN_FxR7 | CAN_FxR8 | | | | M | | M | | ID | n+2 | ID | n+3 |

ID = 識別子　　n = フィルタ番号
M = マスク　　x = フィルタバンク番号

[1] FMHx ビットと FMLx ビットは、CAN_FMR1 レジスタと CAN_FMR2 レジスタにあります。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

**図 149. 16/8 ビットフィルタバンクの設定（CAN_FCRx レジスタの FSCx ビット = 0b01）**

| 配置 | フィルタレジスタ | | | | | フィルタモード[1] | | | | | | | |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | STID[10:3] / EXID[28:21] | STID [2:0] / EXID [20:18] | RTR | IDE | EXID [17:15] | FMHx = 0 FMLx = 0 | | FMHx = 0 FMLx = 1 | | FMHx = 1 FMLx = 0 | | FMHx = 1 FMLx = 1 | |
| 識別子 | CAN_FxR1 | CAN_FxR2 | | | | ID | n | ID | n | ID | n | ID | n |
| 識別子／マスク | CAN_FxR3 | CAN_FxR4 | | | | M | | ID | n+1 | M | | ID | n+1 |
| 識別子 | CAN_FxR5 | | | | | ID | n+1 | ID | n+2 | ID | n+1 | ID | n+2 |
| 識別子／マスク | CAN_FxR6 | | | | | M | | M | | ID | n+2 | ID | n+3 |
| 識別子 | CAN_FxR7 | | | | | ID | n+2 | ID | n+3 | ID | n+3 | ID | n+4 |
| 識別子／マスク | CAN_FxR8 | | | | | M | | M | | ID | n+4 | ID | n+5 |

ID = 識別子　　n = フィルタ番号
M = マスク　　x = フィルタバンク番号

[1] FMHx ビットと FMLx ビットは、CAN_FMR1 レジスタと CAN_FMR2 レジスタにあります。

**図 150. 8 ビットフィルタバンクの設定（CAN_FCRx レジスタの FSCx ビット = 0b00）**

| 配置 | フィルタレジスタ | フィルタモード[1] | | | | | | | |
|---|---|---|---|---|---|---|---|---|---|
| | STID[10:3] / EXID[28:21] | FMHx = 0 FMLx = 0 | | FMHx = 0 FMLx = 1 | | FMHx = 1 FMLx = 0 | | FMHx = 1 FMLx = 1 | |
| 識別子 | CAN_FxR1 | ID | n | ID | n | ID | n | ID | n |
| 識別子／マスク | CAN_FxR2 | M | | ID | n+1 | M | | ID | n+1 |
| 識別子 | CAN_FxR3 | ID | n+1 | ID | n+2 | ID | n+1 | ID | n+2 |
| 識別子／マスク | CAN_FxR4 | M | | ID | n+3 | M | | ID | n+3 |
| 識別子 | CAN_FxR5 | ID | n+2 | ID | n+4 | ID | n+2 | ID | n+4 |
| 識別子／マスク | CAN_FxR6 | M | | M | | ID | n+3 | ID | n+5 |
| 識別子 | CAN_FxR7 | ID | n+3 | ID | n+5 | ID | n+4 | ID | n+6 |
| 識別子／マスク | CAN_FxR8 | M | | M | | ID | n+5 | ID | n+7 |

ID = 識別子　　n = フィルタ番号
M = マスク　　x = フィルタバンク番号

[1] FMHx ビットと FMLx ビットは、CAN_FMR1 レジスタと CAN_FMR2 レジスタにあります。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 該当フィルタインデックス

メッセージが FIFO に受信されると、アプリケーションからアクセス可能になります。通常、アプリケーションのデータは RAM のいずれかの位置にコピーされます。データを正しい位置にコピーするには、アプリケーションは識別子によってデータを識別する必要があります。この操作を省き、RAM へのアクセスを容易にするために、CAN コントローラは該当フィルタインデックス（Filter Match Index）を搭載しています。

このインデックスは、フィルタの優先順位規則に従って、メッセージとともにメールボックスに格納されます。したがって、受信された各メッセージには該当フィルタインデックスが関連付けられています。

該当フィルタインデックスは、次の 2 つの方法で使用できます。

- 該当フィルタインデックスと予期される値のリストを比較します。
- 該当フィルタインデックスを配列のインデックスとして使用し、データの格納先にアクセスします。

マスクされていないフィルタについては、ソフトウェアは識別子を比較する必要はありません。

フィルタがマスクされた場合、ソフトウェアは、マスクされたビットのみを比較するだけとなります。

*注：* ***フィルタ番号のインデックス値は、フィルタバンクの有効化状態を考慮に入れません。***

**表 64. フィルタ番号の例**

| フィルタバンク | | | | | | フィルタ番号 |
|---|---|---|---|---|---|---|
| 番号 | FCS | FMH | FML | FACT | 設定 | |
| 0 | 0b11 | 1 | 1 | 1 | 識別子リスト（32 ビット） | 0<br>1 |
| 1 | 0b11 | 0 | 0 | 1 | 識別子マスク（32 ビット） | 2 |
| 2 | 0b10 | 1 | 1 | 1 | 識別子リスト（16 ビット） | 3<br>4<br>5<br>6 |
| 3 | 0b00 | 0 | 1 | 0 | 無効<br>識別子リスト／<br>識別子マスク（8 ビット） | 7<br>8<br>9<br>10<br>11<br>12 |
| 4 | 0b10 | 0 | 0 | 0 | 無効<br>識別子マスク（16 ビット） | 13<br>14 |
| 5 | 0b01 | 0 | 0 | 1 | 識別子マスク（16/8 ビット） | 15<br>16<br>17 |



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### フィルタの優先順位規則

フィルタの組み合わせによっては、1 つの識別子が複数のフィルタを正常に通過することがあります。この場合、受信メールボックスに格納される該当フィルタ値は、次の規則に基づいて選択されます。

- 32 ビットフィルタは 16 ビットフィルタよりも優先され、16 ビットフィルタは 8 ビットフィルタよりも優先されます。
- 同じスケールのフィルタでは、識別子リストモードは識別子マスクモードよりも優先されます。
- スケールとモードが同じフィルタでは、フィルタ番号によって優先順位が与えられます（番号が小さいほど優先順位が高くなります）。

**図 151. *表 64* の例のように設定されたフィルタバンク**

上の例は beCAN のフィルタリングの原理を示しています。メッセージが受信されると、その識別子は、まず識別子リストモードで設定されたフィルタと比較されます。一致する項目があれば、メッセージは FIFO に格納され、一致したフィルタのインデックスは該当フィルタインデックスに格納されます。この例では、識別子は識別子 #4 と一致するため、メッセージの内容と FMI 4 が FIFO に格納されます。

一致する項目がなければ、受信メッセージの識別子は、次にマスクモードで設定されたフィルタと比較されます。

この識別子がフィルタ内のどの識別子とも一致しない場合、メッセージはハードウェアによって破棄され、ソフトウェアが介入することはありません。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 23.6.4 メッセージストレージ

CAN メッセージに関するソフトウェアとハードウェアのインタフェースは、メールボックスによって実現されます。メールボックスには、識別子、データ、制御、ステータス、タイムスタンプ情報など、メッセージに関するすべての情報が格納されます。

**送信メールボックス**

ソフトウェアは、送信しようとするメッセージを空の送信メールボックスにセットアップします。送信のステータスは、ハードウェアによって CAN_MCSR レジスタに示されます。

**表 65. 送信メールボックスの配置**

| 送信メールボックスのベースアドレスのオフセット（バイト） | レジスタ名 |
|---|---|
| 0 | CAN_MCSR |
| 1 | CAN_MDLCR |
| 2 | CAN_MIDR1 |
| 3 | CAN_MIDR2 |
| 4 | CAN_MIDR3 |
| 5 | CAN_MIDR4 |
| 6 | CAN_MDAR1 |
| 7 | CAN_MDAR2 |
| 8 | CAN_MDAR3 |
| 9 | CAN_MDAR4 |
| 10 | CAN_MDAR5 |
| 11 | CAN_MDAR6 |
| 12 | CAN_MDAR7 |
| 13 | CAN_MDAR8 |
| 14 | CAN_MTSRL |
| 15 | CAN_MTSRH |



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 受信メールボックス

メッセージが受信されると、ソフトウェアは FIFO 出力メールボックスを通してこれにアクセスすることができます。ソフトウェアがメッセージの読み出しなどの処理を終えると、ソフトウェアは、CAN_RFR レジスタの RFOM ビットによって FIFO 出力メールボックスを解放し、次の受信メッセージにアクセスできるようにする必要があります。該当フィルタインデックスは、CAN_MFMIR レジスタに格納されます。16 ビットタイムスタンプの値は、CAN_MTSRH レジスタと CAN_MTSRL レジスタに格納されます。

**表 66. 受信メールボックスの配置**

| 受信メールボックスのベースアドレスのオフセット（バイト） | レジスタ名 |
|---|---|
| 0 | CAN_MFMIR |
| 1 | CAN_MDLCR |
| 2 | CAN_MIDR1 |
| 3 | CAN_MIDR2 |
| 4 | CAN_MIDR3 |
| 5 | CAN_MIDR4 |
| 6 | CAN_MDAR1 |
| 7 | CAN_MDAR2 |
| 8 | CAN_MDAR3 |
| 9 | CAN_MDAR4 |
| 10 | CAN_MDAR5 |
| 11 | CAN_MDAR6 |
| 12 | CAN_MDAR7 |
| 13 | CAN_MDAR8 |
| 14 | CAN_MTSRL |
| 15 | CAN_MTSRH |



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 23.6.5 エラー管理

CAN プロトコルに記述されているエラー管理は、エラー条件によってインクリメント／デクリメントされる送信エラーカウンタ（CAN_TECR レジスタ）と受信エラーカウンタ（CAN_RECR レジスタ）を使用して、すべてハードウェアによって処理されます。TEC および REC の管理の詳細については、CAN 規格を参照してください。

ソフトウェアは、この 2 つのカウンタを読み出してネットワークの安定性を判断できます。さらに、CAN ハードウェアは、現在のエラーステータスに関する詳細な情報を CAN_ESR レジスタで提供します。CAN_IER レジスタの ERRIE ビットと CAN_EIER レジスタによって、ソフトウェアは、エラー検出時の割り込み生成をきわめて柔軟に設定できます。

**バスオフからの復帰**

TEC が 255 を超えるとバスオフ状態になります。この状態は CAN_ESR レジスタの BOFF ビットによって示されます。バスオフ状態では、beCAN はメッセージの送受信を行うことができません。

CAN_MCR レジスタの ABOM ビットに応じて、beCAN は、自動的に、またはソフトウェアのリクエストに基づいて、バスオフ状態から復帰します（再びエラーアクティブになります）。しかし、いずれの場合も、beCAN は、少なくとも CAN 規格で定められた復帰シーケンス（CANRX で 128 x 11 の連続したリセッシブビットを観測）の間は待機する必要があります。

ABOM がセットされている場合、beCAN は、バスオフ状態に入った後で自動的に復帰シーケンスを開始します。

ABOM がクリアされている場合、ソフトウェアは、beCAN に対して初期化モードに入るようにリクエストすることによって、復帰シーケンスを開始する必要があります。その後、beCAN が初期化モードを終了するようにリクエストされたとき、beCAN は復帰シーケンスの監視を開始します。

*注：* ***初期化モードでは、beCAN は CANRX 信号を監視しません。このため、復帰シーケンスを実行できません。復帰するには、beCAN は通常モードでなければなりません。***

**図 152. CAN エラー状態図**

この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 23.6.6 ビットタイミング

ビットタイミング回路は、シリアルバスラインを監視し、START ビットエッジでの同期と後続エッジでの再同期によって、サンプリングとサンプリングポイントの調整を行います。この動作を説明するには、公称ビット時間を次のように 3 つのセグメントに分割します。

- **同期セグメント（SYNC_SEG）**：この時間セグメント内にビット変化が生じることが想定されます。この時間の長さは 1 タイムクォンタム（1 x $t_{CAN}$）に固定されています。
- **ビットセグメント 1（BS1）**：サンプルポイントの位置を定義します。これには、CAN 規格の PROP_SEG と PHASE_SEG1 が含まれます。セグメントの時間は 1～16 タイムクォンタムの間でプログラミング可能ですが、ネットワークのさまざまなノード間の周波数の差に起因する正の位相ドリフトを補正するために、自動的に延長されることがあります。
- **ビットセグメント 2（BS2）**：送信ポイントの位置を定義します。これは、CAN 規格の PHASE_SEG2 に相当します。セグメントの時間は 1～8 タイムクォンタムの間でプログラミング可能ですが、負の位相ドリフトを補正するために、自動的に短縮されることもあります。

再同期ジャンプ幅（SJW）はビットセグメントを延長／短縮する際の上限を定めており、1～4 タイムクォンタムの間でプログラミング可能です。

CAN コントローラの正しい動作を保証するため、SYNC_SEG + BS1 + BS2 は、5 タイムクォンタム以上であることが必要です。

*注：* ***CAN ビットタイミングと再同期メカニズムの詳細については、ISO11898 規格を参照してください。***

プログラミングエラーに対する安全対策として、ビットタイミングレジスタ（CAN_BTR1 および CAN_BTR2）の設定は、デバイスが初期化モードの場合にのみ可能です。

**図 153. ビットタイミング**

$$\text{ボーレート} = \frac{1}{\text{公称ビット時間}}$$

$$\text{公称ビット時間} = t_q + t_{BS1} + t_{BS2}$$

ここで：

$$t_{BS1} = (BS1[3:0] + 1) \times t_q$$

$$t_{BS2} = (BS2[2:0] + 1) \times t_q$$

$$t_q = (BRP[5:0] + 1) \times t_{sys}$$

ここで、$t_q$ はタイムクォンタムを表し、$t_{sys}$ はシステムクロック周期（$f_{MASTER}$）です。BRP[5:0]、BS1[3:0]、および BS2[2:0] は、CAN_BTR1 レジスタと CAN_BTR2 レジスタで定義されます。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

参考資料



**図 154. CAN フレーム**

1. 凡例：
   0 <= N <= 8



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

SOF = フレーム開始；ID = 識別子；RTR = リモート送信リクエスト；IDE = ID 拡張ビット；
r0、r1 = 予約済みビット；DLC = データ長コード；CRC = 巡回冗長コード；
エラーフラグ:ノードがエラーアクティブの場合は 6 個のドミナントビット、そうでない場合は 6 個のリセッシブビット。
サスペンド送信：エラーパッシブノードにのみ適用
EOF = フレーム終了
ACK = 確認応答ビット（リセッシブとして送信）
Ctrl = 制御

## 23.7 割り込み

beCAN には 2 つの割り込みベクタが確保されています。各割り込みソースは、CAN 割り込みイネーブルレジスタ（CAN_IER）と CAN エラー割り込みイネーブルレジスタ（CAN_EIER）によって個別に有効／無効にできます。

**図 155. イベントフラグと割り込み生成**

- **FIFO 割り込み**は次のイベントによって生成できます。
  - 新しいメッセージの受信、CAN_RFR レジスタの FMP ビットがインクリメントされる。
  - FIFO の満杯状態、CAN_RFR レジスタの FULL ビットがセットされる。
  - FIFO のオーバーラン状態、CAN_RFR レジスタの FOVR ビットがセットされる。
- **送信／エラー／ステータス変化割り込み**は次のイベントによって生成できます。
  - 送信メールボックス 0 が空になり、CAN_TSR レジスタの RQCP0 ビットがセットされる。
  - 送信メールボックス 1 が空になり、CAN_TSR レジスタの RQCP1 ビットがセットされる。
  - 送信メールボックス 2 が空になり、CAN_TSR レジスタの RQCP2 ビットがセットされる。
  - エラー条件：エラー条件の詳細については、CAN エラーステータスレジスタ（CAN_ESR）を参照ください。
  - ウェイクアップ条件：CAN Rx 信号で SOF が観察されたとき。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

## 23.8 レジスタのアクセス保護

特定の設定レジスタに誤ったアクセスを行うと、ハードウェアが CAN ネットワーク全体の動作に一時的に干渉することがあります。このため、ソフトウェアが以下のレジスタを変更できるのは、ハードウェアが初期化モードのときに限られます。

CAN_BTR1、CAN_BTR2、CAN_FCR1、CAN_FCR2、CAN_FMR1、CAN_FMR2、および CAN_DGR レジスタ。

誤ったデータを送信しても CAN ネットワークレベルでの問題は生じませんが、アプリケーションには致命的な影響を与える可能性があります。ソフトウェアが送信メールボックスを変更できるのは、メールボックスが EMPTY 状態のときに限られます。*図 145：送信メールボックスの状態* を参照してください。

ソフトウェアによってフィルタの値を変更するには、その前にフィルタを無効にする必要があります。フィルタ設定（スケールやモード）の変更は、初期化モードでのみ、ソフトウェアによって行うことができます。

## 23.9 クロックシステム

CAN プロトコルに定められたクロック許容誤差の限度は、最大 125 Kbps の速度で 1.58% です。これより高いボーレートの場合は、クリスタルオシレータの使用をお勧めします。

*注：* ***CLK コントローラでクロックセキュリティシステムの機能が有効である場合（クロックセキュリティシステムレジスタ（CLK_CSSR）（95 ページ）の CSSEN ビットの説明を参照）、CAN ネットワークがデバイスによってスタックしないように、重大なクロック障害が発生したときに CAN を自動的にリセッシブ状態にする方法があります。しかし、そのためには、beCAN を使用する前に PG0 の入出力ピンをプルアップモードに設定する必要があります。このように、故障が発生して入出力オルタネート機能が無効になると、このラインは、フローティングされずにプルアップされます。***

## 23.10 beCAN 低電力モード

**表 67. 低電力モードでの beCAN 動作**

| モード | 説明 |
|---|---|
| WAIT | beCAN には影響ありませんが、Tx/Rx メールボックスやフィルタ値へのアクセスはできません（CPU クロックが停止します）。<br>beCAN 割り込みによって、デバイスは WAIT モードから抜けます。 |
| SLOW | beCAN. には影響ありません。 |
| HALT／アクティブ HALT | beCAN は停止します。<br>beCAN Rx 割り込みによって、デバイスは HALT／アクティブ HALT モードから抜けます（実際、Rx ピンで外部から駆動される立ち下がりエッジではマイクロコントローラがウェイクアップします。 |

*注：* ***WAIT、HALT、またはアクティブ HALT モードで CAN フレームが受信された場合、マイクロコントローラはウェイクアップしますが、CAN フレームは失われます。***



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

## 23.11 beCAN レジスタ

### 23.11.1 CAN マスタ制御レジスタ（CAN_MCR）

アドレスオフセット：0x00

リセット値：0x02

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| TTCM | ABOM | AWUM | NART | RFLM | TXFP | SLEEP | INRQ |
| rw | rw | rw | rw | rw | rw | rw | rw |

ビット 7 **TTCM**：タイムトリガ通信モード

0：タイムトリガ通信モードは無効です。

1：タイムトリガ通信モードは有効です。

*注： タイムトリガ通信モードの詳細については、セクション 23.4.4：タイムトリガ通信モード を参照してください。*

ビット 6 **ABOM**：自動バスオフ管理

このビットは、バスオフ状態を出るときの CAN ハードウェアの動作を制御します。

0：ソフトウェアリクエストによってバスオフ状態から出ます。

*セクション 23.6.5：エラー管理*、「バスオフからの復帰」を参照してください。

1：（128 x 11 個のリセッシブビットが観測されたとき）ハードウェアによって自動的にバスオフ状態から出ます。

*注： バスオフ状態の詳細については、セクション 23.6.5：エラー管理 を参照してください。*

ビット 5 **AWUM**：自動ウェイクアップモード

このビットは、スリープモードでのメッセージ受信時の CAN ハードウェアの動作を制御します。

0: ソフトウェアリクエストによって CAN_MCR レジスタの SLEEP ビットをクリアしてスリープモードを出ます。

1: ハードウェアによって CAN メッセージの検出時に自動的にスリープモードを出ます。この場合、CAN_MSR レジスタの WKUI ビットがセットされているとき、CAN_MCR レジスタの SLEEP ビットと CAN_MSR レジスタの SLAK ビットはハードウェアによってクリアされます。CAN バスがアクティブである場合、スリープの自動ウェイクアップリクエストが発生してもスリープモードには入りません。

**AWUM ビットと SLEEP ビットは、同時にセットする必要があります。**

ビット 4 **NART**：非自動再送信

0：CAN ハードウェアは、CAN 規格に基づいてメッセージを正常に送信するまで、メッセージを自動的に再送信します。

1：送信結果（正常、エラー、アービトレーションロスト）にかかわらず、メッセージは 1 回だけ送信されます。

ビット 3 **RFLM**：受信 FIFO ロックモード

0：受信 FIFO はオーバーラン時にロックされません。受信 FIFO が満杯になると、次の受信メッセージは前のメッセージに上書きされます。

1：受信 FIFO はオーバーランに対してロックされます。受信 FIFO が満杯になると、次の受信メッセージは破棄されます。

ビット 2 **TXFP**：送信 FIFO 優先順位

このビットは、複数のメールボックスが同時にペンディング状態のときの送信順序を制御します。

0：優先順位はメッセージの識別子によって決まります。

1：優先順位はリクエスト順に（時系列に）決まります。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 1 **SLEEP**：スリープモードリクエスト

このビットは、CAN ハードウェアにスリープモードに入るようにリクエストするために、ソフトウェアによってセットされる必要があります。AWUM ビットがセットされていない場合、現在の CAN 動作（CAN フレームの送受信）が完了すると、すぐにスリープモードに入ります。AWUM ビットがセットされ、CAN バスがアクティブである場合、CAN はスリープモードに入らず、SLEEP ビットはセットされず、CAN_MSR レジスタの WKUI ビットがセットされます。

このビットは、スリープモードから抜けるために、ソフトウェアによってクリアされる必要があります。AWUM ビットがセットされていて、CAN Rx 信号で SOF ビットが検出されると、このビットはハードウェアによってクリアできます。

リセット後、CAN はスリープモードになり、SLEEP ビットがセットされます。

ビット 0 **INRQ**：初期化リクエスト

このビットは、ハードウェアを通常モードに切り替えるために、ソフトウェアによってクリアされます。Rx 信号で 11 個の連続したリセッシブビットが観察されると、CAN ハードウェアが同期して送受信の準備ができます。ハードウェアは、CAN_MSR レジスタの INAK ビットをクリアすることによって、このイベントを通知します。

このビットは、CAN ハードウェアに初期化モードに入るようにリクエストするために、ソフトウェアによってセットされます。ソフトウェアが INRQ ビットをセットすると、CAN ハードウェアは、現在の CAN 動作（送受信）が完了するのを待ってから、初期化モードに入ります。ハードウェアは、CAN_MSR レジスタの INAK ビットをセットすることによって、このイベントを通知します。

## 23.11.2 CAN マスタステータスレジスタ（CAN_MSR）

アドレスオフセット：0x01

リセット値：0x002

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| 予約済み | | RX | TX | WKUI | ERRI | SLAK | INAK |
| | | r | r | rc_w1 | rc_w1 | r | r |

ビット 7:6 予約済み。

ビット 5 **RX**：受信

1：CAN ハードウェアは、現在はレシーバです。

ビット 4 **TX**：送信

1：CAN ハードウェアは、現在はトランスミッタです。

ビット 3 **WKUI**：ウェイクアップ割り込み

このビットは、CAN ハードウェアがスリープモードのときに SOF ビットが検出されたことを通知するために、ハードウェアによってセットされます。CAN_IER レジスタの WKUIE ビットがセットされている場合、このビットをセットすると状態変化割り込みが生成されます。

このビットは、ソフトウェアで 1 を書き込むことによってクリアされます。

ビット 2 **ERRI**：エラー割り込み

エラー検出時に CAN_ESR のビットがセットされており、CAN_EIER で対応する割り込みが有効にされている場合、このビットはハードウェアによってセットされます。CAN_EIER レジスタの ERRIE ビットがセットされている場合、このビットをセットすると状態変化割り込みが生成されます。

このビットは、ソフトウェアで 1 を書き込むことによってクリアされます。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 1 **SLAK**：スリープ確認応答

このビットは、ハードウェアによってセットされ、CAN ハードウェアがスリープモードにあることをソフトウェアに知らせます。このビットは、ソフトウェアからのスリープモードリクエスト（CAN_MCR レジスタの SLEEP ビットをセット）に対する確認応答になります。

このビットは、CAN ハードウェアがスリープモードを出たときに、ハードウェアによってクリアされます。スリープモードを出るのは、CAN_MCR レジスタの SLEEP ビットがクリアされたときです。SLEEP ビットのクリアについては、CAN_MCR レジスタの AWUM ビットの説明を参照してください。

ビット 0 **INAK**：初期化確認応答

このビットは、CAN ハードウェアが初期化モードにあることをソフトウェアに知らせるために、ハードウェアによってセットされます。このビットは、ソフトウェアからの初期化リクエスト（CAN_MCR レジスタの INRQ ビットをセット）に対する確認応答になります。

このビットは、CAN ハードウェアが初期化モードを出て、現在は CAN バス上で同期しているときに、ハードウェアによってクリアされます。同期をとるため、ハードウェアは、CAN RX 信号で 11 個の連続したリセッシブビットを観測する必要があります。

## 23.11.3 CAN 送信ステータスレジスタ（CAN_TSR）

アドレスオフセット：0x02

リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| 予約済み | TXOK2 | TXOK1 | TXOK0 | 予約済み | RQCP2 | RQCP1 | RQCP0 |
| | r | r | r | | rc_w1 | rc_w1 | rc_w1 |

ビット 7 予約済み。

ビット 6 **TXOK2**：メールボックス 2 送信 OK

このビットは、メールボックス 2 での送信リクエストが正常に完了したとき、ハードウェアによってセットされます。*図 145* を参照してください。

このビットは、メールボックス 2 が送信用にリクエストされたとき、またはソフトウェアが RQCP2 ビットをクリアしたとき、ハードウェアによってクリアされます。

ビット 5 **TXOK1**：メールボックス 1 送信 OK

このビットは、メールボックス 1 での送信リクエストが正常に完了したとき、ハードウェアによってセットされます。*図 145* を参照してください。

このビットは、メールボックス 1 が送信用にリクエストされたとき、またはソフトウェアが RQCP1 ビットをクリアしたとき、ハードウェアによってクリアされます。

ビット 4 **TXOK0**：メールボックス 0 送信 OK

このビットは、メールボックス 0 での送信リクエストが正常に完了したとき、ハードウェアによってセットされます。*図 145* を参照してください。

このビットは、メールボックス 0 が送信用にリクエストされたとき、またはソフトウェアが RQCP0 ビットをクリアしたとき、ハードウェアによってクリアされます。

ビット 3 予約済み。

ビット 2 **RQCP2**：メールボックス 2 リクエスト完了

このビットは、メールボックス 2 の最後のリクエストが完了したことを通知するために、ハードウェアによってセットされます。リクエストには、送信またはアボートリクエストを使用できます。

このビットは、ソフトウェアで 1 を書き込むことによってクリアされます。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 1 **RQCP1**：メールボックス 1 リクエスト完了

このビットは、メールボックス 1 の最後のリクエストが完了したことを通知するために、ハードウェアによってセットされます。リクエストには、送信またはアボートリクエストを使用できます。
このビットは、ソフトウェアで 1 を書き込むことによってクリアされます。

ビット 0 **RQCP0**：メールボックス 0 リクエスト完了

このビットは、メールボックス 0 の最後のリクエストが完了したことを通知するために、ハードウェアによってセットされます。リクエストには、送信またはアボートリクエストを使用できます。
このビットは、ソフトウェアで 1 を書き込むことによってクリアされます。

### 23.11.4 CAN 送信優先順位レジスタ（CAN_TPR）

アドレスオフセット：0x03

リセット値：0x0C

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| LOW2 | LOW1 | LOW0 | TME2 | TME1 | TME0 | CODE1 | CODE0 |
| r | r | r | r | r | r | r | r |

ビット 7 **LOW2**：メールボックス 2 最低優先順位フラグ

複数のメールボックスが送信待ち状態であり、メールボックス 2 が最低優先順位のとき、このビットはハードウェアによってセットされます。

*注： 1 つのメールボックスのみが待ち状態のときは、ゼロに設定されます。*

ビット 6 **LOW1**：メールボックス 1 最低優先順位フラグ

複数のメールボックスが送信待ち状態であり、メールボックス 1 が最低優先順位のとき、このビットはハードウェアによってセットされます。

*注： 1 つのメールボックスのみが待ち状態のときは、ゼロに設定されます。*

ビット 5 **LOW0** ：メールボックス 0 最低優先順位フラグ

複数のメールボックスが送信待ち状態であり、メールボックス 0 が最低優先順位のとき、このビットはハードウェアによってセットされます。

*注： 1 つのメールボックスのみが待ち状態のときは、ゼロに設定されます。*

ビット 4 **TME2**：送信メールボックス 2 エンプティ

このビットは、メールボックス 2 が待ち状態となる送信リクエストがないとき、ハードウェアによってセットされます。

*注： ST7 beCAN 互換モード（CAN_DGR レジスタの TXM2E ビット = 0）では、このビットは予約済みであり、ハードウェアによって 0 に固定されています。*

ビット 3 **TME1**：送信メールボックス 1 エンプティ

このビットは、メールボックス 1 が待ち状態となる送信リクエストがないとき、ハードウェアによってセットされます。

ビット 2 **TME0**：送信メールボックス 0 エンプティ

このビットは、メールボックス 0 が待ち状態となる送信リクエストがないとき、ハードウェアによってセットされます。

ビット 1:0 **CODE[1:0]**：メールボックスコード

少なくとも 1 個の送信メールボックスが空き状態の場合、このコード値は、次の空き状態の送信メールボックスの番号になります。
すべての送信メールボックスが待ち状態の場合、このコード値は、最低優先順位の送信メールボックスの番号になります。

*注： ST7 beCAN 互換モード（CAN_DGR レジスタの TXM2E ビット = 0）では、CODE1 は常に 0 です。*



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 23.11.5 CAN 受信 FIFO レジスタ（CAN_RFR）

アドレスオフセット：0x04

リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| 予約済み | | RFOM | FOVR | FULL | 予約済み | FMP[1:0] | |
| | | rs | rc_w1 | rc_w1 | | r | r |

ビット 7:6 予約済み。

ビット 5 **RFOM**：FIFO 出力メールボックスの解放

FIFO の出力メールボックスを解放するために、ソフトウェアによってセットされます。出力メールボックスの解放は、FIFO 内で少なくとも 1 個のメッセージがペンディング状態のときにのみ可能です。FIFO が空のときにビットをセットしても影響はありません。FIFO 内で複数のメッセージがペンディング状態にある場合、ソフトウェアが次のメッセージにアクセスするには、出力メールボックスを解放する必要があります。

このビットは、出力メールボックスが解放されると、ハードウェアによってクリアされます。

ビット 4 **FOVR**：FIFO オーバーラン

このビットは、FIFO が満杯のときに新しいメッセージが受信され、フィルタを通過したときに、ハードウェアによってセットされます。

このビットは、ソフトウェアで“1”を書き込むことによってクリアされます。

ビット 3 **FULL**：FIFO フル

FIFO に 3 個のメッセージが格納されたときに、ハードウェアによってセットされます。

このビットは、ソフトウェアで“1”を書き込むか、または RFOM を使用して FIFO を解放することによってクリアできます。

ビット 2 予約済み。

ビット 1:0 **FMP[1:0]**：FIFO メッセージペンディング

これらのビットは、受信 FIFO 内でペンディング状態になっているメッセージの数を示します。

FMP は、ハードウェアが FIFO に新しいメッセージを格納するたびに増加します。FMP は、FIFO 出力メールボックスがハードウェアによって解放されるたびに減少します（RFOM ビットは、ソフトウェアによる事前の設定後にクリアされています）。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 23.11.6 CAN 割り込みイネーブルレジスタ（CAN_IER）

アドレスオフセット：0x05

リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| WKUIE | 予約済み | | | FOVIE | FFIE | FMPIE | TMEIE |
| rw | | | | rw | rw | rw | rw |

ビット 7 **WKUIE**：ウェイクアップ割り込みイネーブル

0：WKUI ビットがセットされるとき、割り込みは生成されません。
1：WKUI ビットがセットされると、割り込みが生成されます。

ビット 6:4 予約済み。

ビット 3 **FOVIE**：FIFO オーバーラン割り込みイネーブル

0：FOVR ビットがセットされるとき、割り込みは生成されません。
1：FOVR ビットがセットされると、割り込みが生成されます。

ビット 2 **FFIE**：FIFO フル割り込みイネーブル

0：FULL ビットがセットされるとき、割り込みは生成されません。
1：FULL ビットがセットされると、割り込みが生成されます。

ビット 1 **FMPIE**：FIFO メッセージペンディング割り込みイネーブル

0：FMP[1:0] ビットの 0b00 から 0b01 への遷移時に割り込みは生成されません。
1：FMP[1:0] ビットの 0b00 から 0b01 への遷移時に割り込みが生成されます。

ビット 0 **TMEIE**：送信メールボックスエンプティ割り込みイネーブル

0：RQCPx ビットがセットされるとき、割り込みは生成されません。
1：RQCPx ビットがセットされると、割り込みが生成されます。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 23.11.7 CAN 診断レジスタ（CAN_DGR）

アドレスオフセット：0x06

リセット値：0x0C

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| 予約済み | | | TXM2E | RX | SAMP | SILM | LBKM |
| | | | rw | r | r | rw | rw |

ビット 7:5 予約済み。

ビット 4 **TXM2E**：TX メールボックス 2 イネーブル

0：ST7 beCAN（2 つの TX メールボックス）との互換性を強制 - リセット値。

1：3 番目の TX メールボックス（メールボックス番号 2）を有効にします。

ビット 3 **RX**：CAN Rx 信号

**CAN_RX** ピンの実際の値を監視します。

ビット 2 **SAMP**：最終サンプルポイント

最後のサンプルポイントの値。

ビット 1 **SILM**：サイレントモード

0：通常動作

1：サイレントモード

ビット 0 **LBKM**：ループバックモード

0：ループバックモードは無効です。

1：ループバックモードは有効です。

### 23.11.8 CAN ページ選択レジスタ（CAN_PSR）

アドレスオフセット：0x07

リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| 予約済み | | | | | PS[2:0] | | |
| | | | | | rw | rw | rw |

ビット 7:3 予約済み。

ビット 2:0 **PS[2:0]**：ページ選択

このレジスタはレジスタページの選択に使用されます。

000：Tx メールボックス 0

001：Tx メールボックス 1

010：受信フィルタ 0:1

011：受信フィルタ 2:3

100：受信フィルタ 4:5

101：Tx メールボックス 2

110：設定／診断

111：受信 FIFO

詳細については、*図 157* を参照してください。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 23.11.9 CAN エラーステータスレジスタ（CAN_ESR）

アドレスオフセット：*表 70* を参照。

リセット値：0000 0000（00h）

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| 予約済み | LEC[2:0] | | | 予約済み | BOFF | EPVF | EWGF |
| | rw | rw | rw | | r | r | r |

ビット 7　予約済み。

ビット 6:4　**LEC[2:0]**：最終エラーコード

このフィールドは、CAN バス上で検出された最後のエラーのタイプを示すコードを保持します。メッセージがエラーなしに転送（送信または受信）された場合、このフィールドは"0"にクリアされます。コード 7 は未使用ですが、更新状態をチェックするために CPU によって書き込まれることがあります。

000：エラーなし
001：スタッフエラー
010：フォームエラー
011：ACK エラー
100：ビットリセッシブエラー
101：ビットドミナントエラー
110：CRC エラー
111：ソフトウェアによってセットされます

ビット 3　予約済み。

ビット 2　**BOFF**：バスオフフラグ

このビットは、ハードウェアがバスオフ状態に入ると、ハードウェアによってセットされます。バスオフ状態に入るのは、CAN_TECR オーバーランのとき（TEC が 255 を超えたとき）です。*セクション 23.6.5 (378 ページ)* を参照してください。

ビット 1　**EPVF**：エラーパッシブフラグ

このビットは、エラーパッシブが限界に達したときに（受信エラーカウンタまたは送信エラーカウンタ > 127）、ハードウェアによってセットされます。

ビット 0　**EWGF**：エラー警告フラグ

このビットは、警告が限界に達したときに（受信エラーカウンタまたは送信エラーカウンタ > 96）、ハードウェアによってセットされます。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 23.11.10 CAN エラー割り込みイネーブルレジスタ（CAN_EIER）

アドレスオフセット：*表 70* を参照。

リセット値：0000 0000（00h）

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| ERRIE | 予約済み | | LECIE | 予約済み | BOFIE | EPVIE | EWGIE |
| rw | | | rw | | rw | rw | rw |

ビット 7 **ERRIE**：エラー割り込みイネーブル

0：CAN_ESR でエラー条件がペンディング状態のとき（CAN_MSR の ERRI ビットがセットされているとき）、割り込みは生成されません。

1：CAN_ESR でエラー条件がペンディング状態のとき（CAN_MSR の ERRI ビットがセットされているとき）、割り込みが生成されます。

詳細については、*図 155* を参照してください。

ビット 6:5 予約済み。

ビット 4 **LECIE**：最終エラーコード割り込みイネーブル

0：エラー検出時にハードウェアによって LEC[2:0] にエラーコードがセットされるとき、ERRI ビットはセットされません。

1：エラー検出時にハードウェアによって LEC[2:0] にエラーコードがセットされると、ERRI ビットがセットされます。

ビット 3 予約済み。

ビット 2 **BOFIE**：バスオフ割り込みイネーブル

0：BOFF がセットされるとき、ERRI ビットはセットされません。

1：BOFF がセットされると、ERRI ビットがセットされます。

ビット 1 **EPVIE**：エラーパッシブ割り込みイネーブル

0：EPVF がセットされるとき、ERRI ビットはセットされません。

1：EPVF がセットされると、ERRI ビットがセットされます。

ビット 0 **EWGIE**：エラー警告割り込みイネーブル

0：EWGF がセットされるとき、ERRI ビットはセットされません。

1：EWGF がセットされると、ERRI ビットがセットされます。

### 23.11.11 CAN 送信エラーカウンタレジスタ（CAN_TECR）

アドレスオフセット：*表 70* を参照。

リセット値：0000 0000（00h）

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| TEC[7:0] | | | | | | | |
| r | r | r | r | r | r | r | r |

ビット 7:0 **TEC[7:0]**：送信エラーカウンタ

送信時にエラーがあった場合、このカウンタは、CAN 規格に定められたエラー条件に応じて、8 だけインクリメントされます。送信が正常に行われるたびに、このカウンタは 1 だけデクリメントされます（ただし、CAN コントローラがバスオフ状態からエラーアクティブ状態に遷移した場合は 0 にリセットされます）。カウンタ値が 127 を超えると、CAN コントローラはエラーパッシブ状態に入ります。カウンタ値が 255 を超えると、CAN コントローラはバスオフ状態に入ります。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 23.11.12 CAN 受信エラーカウンタレジスタ（CAN_RECR）

アドレスオフセット：*表 70* を参照。

リセット値：0000 0000（00h）

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| REC[7:0] | | | | | | | |
| r | r | r | r | r | r | r | r |

ビット 7:0 **REC[7:0]**：受信エラーカウンタ

これは、CAN プロトコルの障害隔離メカニズムの受信エラーカウンタ実装部です。受信時にエラーがあった場合、このカウンタは、CAN 規格に定められたエラー条件に応じて、1 または 8 だけインクリメントされます。受信が正常に行われるたびに、このカウンタは 1 だけデクリメントされます（カウンタの値が 128 を超えた場合は、120 にリセットされます）。カウンタ値が 127 を超えると、CAN コントローラはエラーパッシブ状態に入ります。

### 23.11.13 CAN ビットタイミングレジスタ 1（CAN_BTR1）

アドレスオフセット：*表 70* を参照。

リセット値：0100 0000（40h）

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| SJW[1:0] | | BRP[5:0] | | | | | |
| rw | rw | rw | rw | rw | rw | rw | rw |

このレジスタは、CAN ハードウェアが初期化モードのときに、ソフトウェアによってのみアクセスできます。

ビット 7:6 **SJW[1:0]**：再同期ジャンプ幅

これらのビットは、再同期を行うために CAN ハードウェアがビットを伸縮できる最大タイムクォンタム数を定義します。再同期ジャンプ幅 = (SJW+1)。

ビット 5:0 **BRP[5:0]**：ボーレートプリスケーラ

これらのビットは、タイムクォンタムの長さを定義します。

$tq = (BRP+1)/f_{MASTER}$



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 23.11.14 CAN ビットタイミングレジスタ 2（CAN_BTR2）

アドレスオフセット：*表 70* を参照。

リセット値：0x23

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| 予約済み | BS2[2:0] | | | BS1[3:0] | | | |
| | rw | rw | rw | rw | rw | rw | rw |

このレジスタは、CAN ハードウェアが初期化モードのときに、ソフトウェアによってのみアクセスできます。

ビット 7 予約済み、クリア状態を保つ必要があります。

ビット 6:4 **BS2[2:0]**：ビットセグメント 2

これらのビットは、ビットセグメント 2 に含まれるタイムクォンタム数を定義します。
ビットセグメント 2 = (BS2+1)

ビット 3:0 **BS1[3:0]**：ビットセグメント 1

これらのビットは、ビットセグメント 1 に含まれるタイムクォンタム数を定義します。
ビットセグメント 1 = (BS1+1)
ビットタイミングの詳細については、*セクション 23.6.6：ビットタイミング*を参照してください。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 23.11.15 メールボックスレジスタ

ここでは、送受信メールボックスのレジスタについて説明します。詳細なレジスタ配置については、*セクション 23.6.4：メッセージストレージ*を参照してください。

送信メールボックスと受信メールボックスのレジスタは同じですが、次の点が異なっています。

- 送信メールボックスの CAN_MCSR レジスタは、受信メールボックスの CAN_MFMIR レジスタによって置き換えられます。
- 受信メールボックスは常に書き込み保護されます。
- 送信メールボックスは空のとき（CAN_TPR レジスタの対応する TME ビットがセットされているとき）のみ、書き込み可能です。

**注：** メールボックスレジスタでは一般にリセット値が定義されていないため、ユーザは、最初のセットアップに依存するべきではなく、すべての構成ビットを適宜書き込む必要があります。

#### CAN メッセージ制御／ステータスレジスタ（CAN_MCSR）

アドレスオフセット：*表 65* と*表 66* を参照。

リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| 予約済み | | TERR | ALST | TXOK | RQCP | ABRQ | TXRQ |
| | | r | r | r | rc_w1 | rs | rs |

***注：*** ***このレジスタは、送信メールボックスにのみ実装されます。受信メールボックスでは、CAN_MFMIR レジスタがこの位置に配置されます。***

ビット 7:6 予約済み。

ビット 5 **TERR**：送信エラー

このビットは、毎回の送信試行後に、ハードウェアによって更新されます。

0：前回の送信は成功しました。

1：前回の送信はエラーのために失敗しました。

ビット 4 **ALST**：アービトレーションロスト

このビットは、毎回の送信試行後に、ハードウェアによって更新されます。

0：前回の送信は成功しました。

1：前回の送信はアービトレーションロストのために失敗しました。

ビット 3 **TXOK**：送信 OK

ハードウェアは、送信を試みた後で毎回このビットを更新します。

0：前回の送信は失敗しました。

1：前回の送信は成功しました。

***注：*** ***このビットは、CAN_TSR レジスタの対応する TXOKx ビットと同じ値を持ちます。***

ビット 2 **RQCP**：リクエスト完了

最後のリクエスト（送信またはアボート）が実行されたとき、ハードウェアによってセットされます。

ソフトウェアによって“1”を書き込むか、送信リクエスト時にハードウェアによってクリアされます。

***注：*** ***このビットは、CAN_TSR レジスタの対応する RQCPx ビットと同じ値を持ちます。***

***このビットをクリアすると、CAN_MCSR レジスタのすべてのステータスビット（TXOK、ALST、および TERR）と、CAN_TSR レジスタの対応する RQCPx ビットと TXOKx ビットがクリアされます。***



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 1 **ABRQ**：メールボックスのアボートリクエスト

対応するメールボックスの送信リクエストをアボートするために、ソフトウェアによってセットされます。
メールボックスが空になると、ハードウェアによってクリアされます。
メールボックスが送信待ち状態にない場合、このビットをセットしても効果はありません。

ビット 0 **TXRQ**：送信メールボックスリクエスト

対応するメールボックスに送信を要求するために、ソフトウェアによってセットされます。
メールボックスが空になると、ハードウェアによってクリアされます。

### CAN メールボックス該当フィルタインデックスレジスタ（CAN_MFMIR）

アドレスオフセット：*表 65* と *表 66* を参照。

リセット値：0xXX

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| FMI[7:0] | | | | | | | |
| r | r | r | r | r | r | r | r |

***注：*** ***このレジスタは、受信メールボックスにのみ実装されます。送信メールボックスでは、CAN_MCSR レジスタがこの位置に配置されます。***

ビット 7:0 **FMI[7:0]**：該当フィルタインデックス

このレジスタは、メールボックスに格納されたメッセージが通過したフィルタの索引を含みます。識別子フィルタリングの詳細については、*セクション 23.6.3：識別子フィルタリング* - **該当フィルタインデックス**の項を参照してください。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### CAN メールボックス識別子レジスタ 1（CAN_MIDR1）

アドレスオフセット：*表 65* と *表 66* を参照。

リセット値：0xXX

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| 予約済み | IDE | RTR | STID[10:6] / EXID[28:24] | | | | |
| | rw | rw | rw | rw | rw | rw | rw |

ビット 7 予約済み。

ビット 6 **IDE**：拡張識別子

このビットは、メールボックス内のメッセージの識別子のタイプを定義します。

0：標準識別子

1：拡張識別子

ビット 5 **RTR**：リモート送信リクエスト

0：データフレーム

1：リモートフレーム

ビット 4:0 **STID[10:6]**：標準識別子

識別子の標準部の最上位 5 ビット

または

**EXID[28:24]**：拡張識別子

拡張識別子の「ベース」部の最上位 5 ビット

### CAN メールボックス識別子レジスタ 2（CAN_MIDR2）

アドレスオフセット：*表 65* と *表 66* を参照。

リセット値：0xXX

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| STID[5:0] / EXID[23:18] | | | | | | EXID[17:16] | |
| rw | rw | rw | rw | rw | rw | rw | rw |

ビット 7:2 **STID[5:0]**：標準識別子

識別子の標準部の最下位 6 ビット

または

**EXID[23:18]**：拡張識別子

拡張識別子の「ベース」部の最下位 6 ビット

ビット 1:0 **EXID[17:16]**：拡張識別子

拡張識別子の「拡張」部の最上位 2 ビット



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### CAN メールボックス識別子レジスタ 3（CAN_MIDR3）

アドレスオフセット：*表 65* と *表 66* を参照。

リセット値：0xXX

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| EXID[15:8] | | | | | | | |
| rw | rw | rw | rw | rw | rw | rw | rw |

ビット 7:0 **EXID[15:8]**：拡張識別子

拡張識別子の「拡張」部のビット 15～8

### CAN メールボックス識別子レジスタ 4（CAN_MIDR4）

アドレスオフセット：*表 65* と *表 66* を参照。

リセット値：0xXX

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| EXID[7:0] | | | | | | | |
| rw | rw | rw | rw | rw | rw | rw | rw |

ビット 7:0 **EXID[7:0]**：拡張識別子

拡張識別子の「拡張」部の最下位 8 ビット

### CAN メールボックスデータ長制御レジスタ（CAN_MDLCR）

アドレスオフセット：*表 65* と *表 66* を参照。

リセット値：0xXX

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| TGT | 予約済み | | | DLC[3:0] | | | |
| rw | | | | rw | rw | rw | rw |

ビット 7 **TGT**：送信グローバルタイム

このビットは、ハードウェアがタイムトリガ通信モードにある（CAN_MCR レジスタの TTCM ビットがセットされている）ときにのみ使用できます。最後の 2 つのデータバイトを正しく転送するには、ユーザが通常モードでクリアする必要があります。

0：CAN_MTSRH レジスタと CAN_MTSRL レジスタは送信されません。

1：CAN_MTSRH レジスタと CAN_MTSRL レジスタは、メッセージの最後の 2 つのデータバイトで送信されます。

ビット 6:4 予約済み。

ビット 3:0 **DLC[3:0]**：データ長コード

このフィールドは、データフレームまたはリモートフレームリクエスト内のデータバイト数を定義します。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### CAN メールボックスデータレジスタ x（CAN_MDAR）（x= 1 .. 8）

アドレスオフセット：*表 65* と *表 66* を参照。

リセット値：0xXX

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| DATA[7:0] | | | | | | | |
| rw | rw | rw | rw | rw | rw | rw | rw |

ビット 7:0 **DATA[7:0]**：データ

メッセージのデータバイト。メッセージは、0～8 個のデータバイトを含むことができます。

***注：　メールボックスが空の状態でない場合、これらのビットは書き込み保護されます。***

### CAN メールボックスタイムスタンプ下位レジスタ（CAN_MTSRL）

アドレスオフセット：*表 65* と *表 66* を参照。

リセット値：0xXX

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| TIME[7:0] | | | | | | | |
| r | r | r | r | r | r | r | r |

ビット 7:0 **TIME[7:0]**：下位メッセージタイムスタンプ

このフィールドは、SOF 検出時にキャプチャされた 16 ビットタイマ値の下位バイトを含みます。

### CAN メールボックスタイムスタンプ上位レジスタ（CAN_MTSRH）

アドレスオフセット：*表 65* と *表 66* を参照。

リセット値：0xXX

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| TIME[15:8] | | | | | | | |
| r | r | r | r | r | r | r | r |

ビット 7:0 **TIME[15:8]**：上位メッセージタイムスタンプ

このフィールドは、SOF 検出時にキャプチャされた 16 ビットタイマ値の上位バイトを含みます。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

## 23.11.16 CAN フィルタレジスタ

### CAN フィルタモードレジスタ 1（CAN_FMR1）

アドレスオフセット：*表 70* を参照。

リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| FMH3 | FML3 | FMH2 | FML2 | FMH1 | FML1 | FMH0 | FML0 |
| rw | rw | rw | rw | rw | rw | rw | rw |

ビット 7 **FMH3**：フィルタ 3 モードハイ
フィルタ 3 の上位識別子／マスクレジスタのモード
0：上位レジスタはマスクモードです。
1：上位レジスタは識別子リストモードです。

ビット 6 **FML3**：フィルタ 3 モードロー
フィルタ 3 の下位識別子／マスクレジスタのモード
0：下位レジスタはマスクモードです。
1：下位レジスタは識別子リストモードです。

ビット 5 **FMH2**：フィルタ 2 モードハイ
フィルタ 2 の上位識別子／マスクレジスタのモード
0：上位レジスタはマスクモードです。
1：上位レジスタは識別子リストモードです。

ビット 4 **FML2**：フィルタ 2 モードロー
フィルタ 2 の下位識別子／マスクレジスタのモード
0：下位レジスタはマスクモードです。
1：下位レジスタは識別子リストモードです。

ビット 3 **FMH1**：フィルタ 1 モードハイ
フィルタ 1 の上位識別子／マスクレジスタのモード
0：上位レジスタはマスクモードです。
1：上位レジスタは識別子リストモードです。

ビット 2 **FML1**：フィルタ 1 モードロー
フィルタ 1 の下位識別子／マスクレジスタのモード
0：下位レジスタはマスクモードです。
1：下位レジスタは識別子リストモードです。

ビット 1 **FMH0**：フィルタ 0 モードハイ
フィルタ 0 の上位識別子／マスクレジスタのモード
0：上位レジスタはマスクモードです。
1：上位レジスタは識別子リストモードです。

ビット 0 **FML0**：フィルタ 0 モードロー
フィルタ 0 の下位識別子／マスクレジスタのモード
0：下位レジスタはマスクモードです。
1：下位レジスタは識別子リストモードです。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### CAN フィルタモードレジスタ 2（CAN_FMR2）

アドレスオフセット：*表 70* を参照。

リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| 予約済み | | | | FMH5 | FML5 | FMH4 | FML4 |
| | | | | rw | rw | rw | rw |

ビット 7:4 予約済み。

ビット 3 **FMH5**：フィルタ 5 モードハイ

フィルタ 5 の上位識別子／マスクレジスタのモード

0：上位レジスタはマスクモードです。

1：上位レジスタは識別子リストモードです。

ビット 2 **FML5**：フィルタ 5 モードロー

フィルタ 5 の下位識別子／マスクレジスタのモード

0：下位レジスタはマスクモードです。

1：下位レジスタは識別子リストモードです。

ビット 1 **FMH4**：フィルタ 4 モードハイ

フィルタ 4 の上位識別子／マスクレジスタのモード

0：上位レジスタはマスクモードです。

1：上位レジスタは識別子リストモードです。

ビット 0 **FML4**：フィルタ 4 モードロー

フィルタ 4 の下位識別子／マスクレジスタのモード

0：下位レジスタはマスクモードです。

1：下位レジスタは識別子リストモードです。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### CAN フィルタ設定レジスタ 1（CAN_FCR1）

アドレスオフセット：*表 70* を参照。

リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| 予約済み | FSC11 | FSC10 | FACT1 | 予約済み | FSC01 | FSC00 | FACT0 |
| | rw | rw | rw | | rw | rw | rw |

ビット 7 予約済み。

ビット 6:5 **FSC1[1:0]**：フィルタスケール設定

これらのビットは、フィルタ 1 のスケール設定を定義します。

ビット 4 **FACT1**：フィルタアクティブ

ソフトウェアはこのビットをセットしてフィルタ 1 を有効にします。フィルタ 1 レジスタ（CAN_F1Rx）を変更するには、FACT1 ビットをクリアする必要があります。

0：フィルタ 1 は無効です。

1：フィルタ 1 は有効です。

ビット 3 予約済み。

ビット 2:1 **FSC0[1:0]**：フィルタスケール設定

これらのビットは、フィルタ 0 のスケール設定を定義します。

ビット 0 **FACT0**：フィルタアクティブ

ソフトウェアはこのビットをセットしてフィルタ 0 を有効にします。フィルタ 0 レジスタ（CAN_F0Rx）を変更するには、FACT0 ビットをクリアする必要があります。

0：フィルタ 0 は無効です。

1：フィルタ 0 は有効です。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### CAN フィルタ設定レジスタ 2（CAN_FCR2）

アドレスオフセット：*表 70* を参照。

リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| 予約済み | FSC31 | FSC30 | FACT3 | 予約済み | FSC21 | FSC20 | FACT2 |
| | rw | rw | rw | | rw | rw | rw |

ビット 7 予約済み。

ビット 6:5 **FSC3[1:0]**：フィルタスケール設定

これらのビットは、フィルタ 3 のスケール設定を定義します。

ビット 4 **FACT3**：フィルタアクティブ

ソフトウェアはこのビットをセットしてフィルタ 3 を有効にします。フィルタ 3 レジスタ（CAN_F3Rx）を変更するには、FACT3 ビットをクリアする必要があります。

0：フィルタ 3 は無効です。

1：フィルタ 3 は有効です。

ビット 3 予約済み。

ビット 2:1 **FSC2[1:0]**：フィルタスケール設定

これらのビットは、フィルタ 2 のスケール設定を定義します。

ビット 0 **FACT2**：フィルタアクティブ

ソフトウェアはこのビットをセットしてフィルタ 2 を有効にします。フィルタ 2 レジスタ（CAN_F2Rx）を変更するには、FACT2 ビットをクリアする必要があります。

0：フィルタ 2 は無効です。

1：フィルタ 2 は有効です。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### CAN フィルタ設定レジスタ 3（CAN_FCR3）

アドレスオフセット：*表 70* を参照。

リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| 予約済み | FSC51 | FSC50 | FACT5 | 予約済み | FSC41 | FSC40 | FACT4 |
| | rw | rw | rw | | rw | rw | rw |

ビット 7　予約済み。

ビット 6:5　**FSC5[1:0]**：フィルタスケール設定

これらのビットは、フィルタ 5 のスケール設定を定義します。

ビット 4　**FACT5**：フィルタアクティブ

ソフトウェアはこのビットをセットしてフィルタ 5 を有効にします。フィルタ 5 レジスタ（CAN_F5Rx）を変更するには、FACT5 ビットをクリアする必要があります。

0：フィルタ 5 は無効です。

1：フィルタ 5 は有効です。

ビット 3　予約済み。

ビット 2:1　**FSC4[1:0]**：フィルタスケール設定

これらのビットは、フィルタ 4 のスケール設定を定義します。

ビット 0　**FACT4**：フィルタアクティブ

ソフトウェアはこのビットをセットしてフィルタ 4 を有効にします。フィルタ 4 レジスタ（CAN_F4Rx）を変更するには、FACT4 ビットをクリアする必要があります。

0：フィルタ 4 は無効です。

1：フィルタ 4 は有効です。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### CAN フィルタバンク i レジスタ x（CAN_FiRx）（i = 0 .. 5、x = 1 .. 8）

アドレスオフセット：*図 157* を参照。

リセット値：0xXX

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| FB(7:0] | | | | | | | |
| rw | rw | rw | rw | rw | rw | rw | rw |

ビット 7:0 **FB[7:0]**：フィルタビット

– **識別子**

レジスタの各ビットは、予期される識別子の対応するビットのレベルを指定します。

0：ドミナントビットが予期されます。

1：リセッシブビットが予期されます。

– **マスク**

レジスタの各ビットは、関連する識別子レジスタのビットが、予期される識別子の対応するビットに一致する必要があるかどうかを指定します。

0：無視（このビットは比較に使用されません）

1：一致が必要（受信識別子のビットのレベルは、フィルタの対応する識別子レジスタに指定されたレベルと同じでなければなりません）

*注：* ***各フィルタ i は、8 つのレジスタ（CAN_FiR1..8）から構成されます。フィルタのスケールとモードの設定に応じて、各レジスタの機能は異なることがあります。フィルタ配置、機能の説明、およびマスクレジスタの関連については、セクション図 23.6.3：識別子フィルタリング を参照してください。***

***マスクモードにおけるマスク／識別子レジスタのビット配置は、識別子リストモードの場合と同じです。***

***注：これらのレジスタを変更するには、CAN_FCRx レジスタの対応する FACT ビットをクリアする必要があります。***



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

## 23.12 CAN レジスタマップ

**図 156. CAN レジスタ配置**

この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 23.12.1 CAN のページ配置

**図 157. CAN ページ配置**

| | ページ 0 | ページ 1 | ページ 2 | ページ 3 | ページ 4 |
|---|---|---|---|---|---|
| 0x00 | CAN_MCSR | CAN_MCSR | CAN_F0R1 | CAN_F2R1 | CAN_F4R1 |
| 0x01 | CAN_MDLCR | CAN_MDLCR | CAN_F0R2 | CAN_F2R2 | CAN_F4R2 |
| 0x02 | CAN_MIDR1 | CAN_MIDR1 | CAN_F0R3 | CAN_F2R3 | CAN_F4R3 |
| 0x03 | CAN_MIDR2 | CAN_MIDR2 | CAN_F0R4 | CAN_F2R4 | CAN_F4R4 |
| 0x04 | CAN_MIDR3 | CAN_MIDR3 | CAN_F0R5 | CAN_F2R5 | CAN_F4R5 |
| 0x05 | CAN_MIDR4 | CAN_MIDR4 | CAN_F0R6 | CAN_F2R6 | CAN_F4R6 |
| 0x06 | CAN_MDAR1 | CAN_MDAR1 | CAN_F0R7 | CAN_F2R7 | CAN_F4R7 |
| 0x07 | CAN_MDAR2 | CAN_MDAR5 | CAN_F0R8 | CAN_F2R8 | CAN_F4R8 |
| 0x08 | CAN_MDAR3 | CAN_MDAR6 | CAN_F1R1 | CAN_F3R1 | CAN_F5R1 |
| 0x09 | CAN_MDAR4 | CAN_MDAR4 | CAN_F1R2 | CAN_F3R2 | CAN_F5R2 |
| 0x0A | CAN_MDAR5 | CAN_MDAR5 | CAN_F1R3 | CAN_F3R3 | CAN_F5R3 |
| 0x0B | CAN_MDAR6 | CAN_MDAR6 | CAN_F1R4 | CAN_F3R4 | CAN_F5R4 |
| 0x0C | CAN_MDAR7 | CAN_MDAR7 | CAN_F1R5 | CAN_F3R5 | CAN_F5R5 |
| 0x0D | CAN_MDAR8 | CAN_MDAR8 | CAN_F1R6 | CAN_F3R6 | CAN_F5R6 |
| 0x0E | CAN_MTSRL | CAN_MTSRL | CAN_F1R7 | CAN_F3R7 | CAN_F5R7 |
| 0x0F | CAN_MTSRH | CAN_MTSRH | CAN_F1R8 | CAN_F3R8 | CAN_F5R8 |
| | Tx メールボックス 0 | Tx メールボックス 1 | 受信フィルタ 0:1 | 受信フィルタ 2:3 | 受信フィルタ 4:5 |

| | ページ 5 | ページ 6 | ページ 7 |
|---|---|---|---|
| 0x00 | CAN_MCSR | CAN_ESR | CAN_MFMIR |
| 0x01 | CAN_MDLCR | CAN_EIER | CAN_MDLCR |
| 0x02 | CAN_MIDR1 | CAN_TECR | CAN_MIDR1 |
| 0x03 | CAN_MIDR2 | CAN_RECR | CAN_MIDR2 |
| 0x04 | CAN_MIDR3 | CAN_BTR1 | CAN_MIDR3 |
| 0x05 | CAN_MIDR4 | CAN_BTR2 | CAN_MIDR4 |
| 0x06 | CAN_MDAR1 | 予約済み | CAN_MDAR1 |
| 0x07 | CAN_MDAR2 | 予約済み | CAN_MDAR2 |
| 0x08 | CAN_MDAR3 | CAN_FMR1 | CAN_MDAR3 |
| 0x09 | CAN_MDAR4 | CAN_FMR2 | CAN_MDAR4 |
| 0x0A | CAN_MDAR5 | CAN_FCR1 | CAN_MDAR5 |
| 0x0B | CAN_MDAR6 | CAN_FCR2 | CAN_MDAR6 |
| 0x0C | CAN_MDAR7 | CAN_FCR3 | CAN_MDAR7 |
| 0x0D | CAN_MDAR8 | 予約済み | CAN_MDAR8 |
| 0x0E | CAN_MTSRL | 予約済み | CAN_MTSRL |
| 0x0F | CAN_MTSRH | 予約済み | CAN_MTSRH |
| | Tx メールボックス 2（TXM2E=1 の場合、CAN_DGR レジスタ） | 設定／診断 | 受信 FIFO |



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 68. beCAN 制御およびステータスページ - レジスタマップとリセット値

| アドレスオフセット | レジスタ名 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|
| 0x00 | CAN_MCR<br>リセット値 | TTCM<br>0 | ABOM<br>0 | AWUM<br>0 | NART<br>0 | RFLM<br>0 | TXFP<br>0 | SLEEP<br>1 | INRQ<br>0 |
| 0x01 | CAN_MSR<br>リセット値 | <br>0 | <br>0 | RX<br>0 | TX<br>0 | WKUI<br>0 | ERRI<br>0 | SLAK<br>1 | INAK<br>0 |
| 0x02 | CAN_TSR<br>リセット値 | <br>0 | TXOK2<br>0 | TXOK1<br>0 | TXOK0<br>0 | <br>0 | RQCP2<br>0 | RQCP1<br>0 | RQCP0<br>0 |
| 0x03 | CAN_TPR<br>リセット値 | LOW2<br>0 | LOW1<br>0 | LOW0<br>0 | TME2<br>0 | TME1<br>1 | TME0<br>1 | CODE1<br>0 | CODE0<br>0 |
| 0x04 | CAN_RFR<br>リセット値 | <br>0 | <br>0 | RFOM<br>0 | FOVR<br>0 | FULL<br>0 | <br>0 | FMP1<br>0 | FMP0<br>0 |
| 0x05 | CAN_IER<br>リセット値 | WKUIE<br>0 | 0 | 0 | 0 | FOVIE<br>0 | FFIE<br>0 | FMPIE<br>0 | TMEIE<br>0 |
| 0x06 | CAN_DGR<br>リセット値 | <br>0 | <br>0 | <br>0 | TXM2E<br>0 | RX<br>1 | SAMP<br>1 | SILM<br>0 | LBKM<br>0 |
| 0x07 | CAN_PSR<br>リセット値 | <br>0 | <br>0 | <br>0 | <br>0 | <br>0 | PS2<br>0 | PS1<br>0 | PS0<br>0 |

表 69. beCAN メールボックスページ - レジスタマップとリセット値

| アドレスオフセット | レジスタ名 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|
| 0x00<br>受信 | CAN_MFMIR<br>リセット値 | FMI7<br>x | FMI6<br>x | FMI5<br>x | FMI4<br>x | FMI3<br>x | FMI2<br>x | FMI1<br>x | FMI0<br>x |
| 0x00<br>送信 | CAN_MCSR<br>リセット値 | <br>0 | <br>0 | TERR<br>0 | ALST<br>0 | TXOK<br>0 | RQCP<br>0 | ABRQ<br>0 | TXRQ<br>0 |
| 0x01 | CAN_MDLCR<br>リセット値 | TGT<br>x | <br>x | <br>x | <br>x | DLC3<br>x | DLC2<br>x | DLC1<br>x | DLC0<br>x |
| 0x02 | CAN_MIDR1<br>リセット値 | <br>x | IDE<br>x | RTR<br>x | STID10 / EXID28<br>x | STID9 / EXID27<br>x | STID8 / EXID26<br>x | STID7 / EXID25<br>x | STID6 / EXID24<br>x |
| 0x03 | CAN_MIDR2<br>リセット値 | STID5 / EXID23<br>x | STID4 / EXID22<br>x | STID3 / EXID21<br>x | STID2 / EXID20<br>x | STID1 / EXID19<br>x | STID0 / EXID18<br>x | EXID17<br>x | EXID16<br>x |
| 0x04 | CAN_MIDR3<br>リセット値 | EXID15<br>x | EXID14<br>x | EXID13<br>x | EXID12<br>x | EXID11<br>x | EXID10<br>x | EXID9<br>x | EXID8<br>x |
| 0x05 | CAN_MIDR4<br>リセット値 | EXID7<br>x | EXID6<br>x | EXID5<br>x | EXID4<br>x | EXID3<br>x | EXID2<br>x | EXID1<br>x | EXID0<br>x |
| 0x06:0D | CAN_MDAR1:8<br>リセット値 | MDAR7<br>x | MDAR6<br>x | MDAR5<br>x | MDAR4<br>x | MDAR3<br>x | MDAR2<br>x | MDAR1<br>x | MDAR0<br>x |



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

**表 69. beCAN メールボックスページ - レジスタマップとリセット値 （続き）**

| アドレスオフセット | レジスタ名 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|
| 0x0E | CAN_MTSRL<br>リセット値 | TIME7<br>x | TIME6<br>x | TIME5<br>x | TIME4<br>x | TIME3<br>x | TIME2<br>x | TIME1<br>x | TIME0<br>x |
| 0x0F | CAN_MTSRH<br>リセット値 | TIME15<br>x | TIME14<br>x | TIME13<br>x | TIME12<br>x | TIME11<br>x | TIME10<br>x | TIME9<br>x | TIME8<br>x |

**表 70. beCAN フィルタ設定ページ - レジスタマップとリセット値**

| アドレスオフセット | レジスタ名 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|
| 0x00 | CAN_ESR<br>リセット値 | 0 | LEC2<br>0 | LEC1<br>0 | LEC0<br>0 | 0 | BOFF<br>0 | EPVF<br>0 | EWGF<br>0 |
| 0x01 | CAN_EIER<br>リセット値 | ERRIE<br>0 | 0 | 0 | LECIE<br>0 | 0 | BOFIE<br>0 | EPVIE<br>0 | EWGIE<br>0 |
| 0x02 | CAN_TECR<br>リセット値 | TEC7<br>0 | TEC6<br>0 | TEC5<br>0 | TEC4<br>0 | TEC3<br>0 | TEC2<br>0 | TEC1<br>0 | TEC0<br>0 |
| 0x03 | CAN_RECR<br>リセット値 | REC7<br>0 | REC6<br>0 | REC5<br>0 | REC4<br>0 | REC3<br>0 | REC2<br>0 | REC1<br>0 | REC0<br>0 |
| 0x04 | CAN_BTR1<br>リセット値 | SJW1<br>0 | SJW0<br>1 | BRP5<br>0 | BRP4<br>0 | BRP3<br>0 | BRP2<br>0 | BRP1<br>0 | BRP0<br>0 |
| 0x05 | CAN_BTR2<br>リセット値 | 0 | BS22<br>0 | BS21<br>1 | BS20<br>0 | BS13<br>0 | BS12<br>0 | BS11<br>1 | BS10<br>1 |
| 0x06 | 予約済み | X | X | X | X | X | X | X | X |
| 0x07 | 予約済み | X | X | X | X | X | X | X | X |
| 0x08 | CAN_FMR1<br>リセット値 | FMH3<br>0 | FML3<br>0 | FMH2<br>0 | FML2<br>0 | FMH1<br>0 | FML1<br>0 | FMH0<br>0 | FML0<br>0 |
| 0x09 | CAN_FMR2<br>リセット値 | 0 | 0 | 0 | 0 | FMH5<br>0 | FML5<br>0 | FMH4<br>0 | FML4<br>0 |
| 0x0A | CAN_FCR1<br>リセット値 | 0 | FSC11<br>0 | FSC10<br>0 | FACT1<br>0 | 0 | FSC01<br>0 | FSC00<br>0 | FACT0<br>0 |
| 0x0B | CAN_FCR2<br>リセット値 | 0 | FSC31<br>0 | FSC30<br>0 | FACT3<br>0 | 0 | FSC21<br>0 | FSC20<br>0 | FACT2<br>0 |
| 0x0C | CAN_FCR3<br>リセット値 | 0 | FSC51<br>0 | FSC50<br>0 | FACT5<br>0 | 0 | FSC41<br>0 | FSC40<br>0 | FACT4<br>0 |



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

# 24 アナログ／デジタルコンバータ（ADC）

## 24.1 概要

ADC1 と ADC2 は、10 ビットの逐次比較型アナログ／デジタルコンバータです。ADC1 と ADC2 には、最大 16 の多重化入力チャネルがあります（正確なチャネル数はデータシートのピンの説明に示されます）。さまざまなチャネルの A/D 変換は、シングルモードと連続モードで行うことができます。

ADC1 には、スキャンモード、バッファ付き連続モード、およびアナログウォッチドッグ用の拡張機能があります。特定の製品タイプで ADC1 と ADC2 を使用可能かどうかについては、データシートを参照してください。

## 24.2 ADC の主な機能

以下の機能は、ADC1 と ADC2 で使用可能です。

- 分解能：10 ビット
- シングルおよび連続変換モード
- プログラマブルプリスケーラ：$f_{MASTER}$ を 2～18 分周
- 外部割り込み（ADC_ETR）またはタイマトリガ（TRGO）を使用した外部トリガオプション
- アナログズーミング（$V_{REF}$ ピンを備えたデバイスでのみ使用可能）
- 変換終了時の割り込み生成
- 組み込みのデータコヒーレンシによるデータ配置
- ADC 入力範囲：$V_{SSA} \leq V_{IN} \leq V_{DDA}$

## 24.3 ADC の拡張機能

以下の機能は、ADC1 で使用可能です。

- バッファ付き連続変換モード[(1)]
- シングルおよび連続変換用スキャンモード
- 上側と下側の閾値を持つアナログウォッチドッグ
- アナログウォッチドッグイベント時の割り込み生成

ADC1 と ADC2 のブロック図を*図 158* と*図 159* に示します。

1. データバッファのサイズは、製品によって異なります（10×10 ビットまたは 8×10 ビット）。データシートを参照してください。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

**図 158. ADC1 のブロック図**

1. AIN12 を使用可能かどうかについては、製品データシートを参照してください。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

**図 159. ADC2 のブロック図**

この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

## 24.4 ADC ピン

**Table 71. ADC ??**

| 名称 | 信号種別 | 摘要 |
|---|---|---|
| $V_{DDA}$ | 入力、アナログ電源供給 | アナログ電源供給。外部 $V_{DDA}$ ピンを持たないデバイスでは、この入力は $V_{DD}$ に接続されます。 |
| $V_{SSA}$ | 入力、アナログ供給グランド | アナログ電源供給のグランド。外部 $V_{SSA}$ ピンを持たないデバイスでは、この入力は $V_{SS}$ に接続されます。 |
| $V_{REF-}$ | 入力、アナログ基準電圧負 | ADC のローレベル／負基準電圧、<br>範囲は $V_{SSA}$～（$V_{SSA}$ + 500 mV）。<br>外部 VREF- ピンを持たないデバイス（48 ピン以下のパッケージ）では、この入力は VSSA に接続されます。 |
| $V_{REF+}$ | 入力、アナログ基準電圧正 | ADC のハイレベル／正基準電圧、<br>範囲は 2.75 V～$V_{DDA}$。外部 VREF+ ピンを持たないデバイス（48 ピン以下のパッケージ）では、この入力は $V_{DDA}$ に接続されます。 |
| AIN[15:0] | アナログ入力信号 | ADC によって 1 つずつ変換される、最大 16 のアナログ入力チャネル。 |
| ADC_ETR | デジタル入力信号 | 外部トリガ。 |

## 24.5 ADC の機能詳細

### 24.5.1 ADC のオン／オフ制御

ADC は、ADC_CR1 レジスタの ADON ビットをセットすることによって、電源オンにできます。ADON ビットが最初にセットされると、ADC はパワーダウンモードからウェイクアップします。変換を開始するには、2 番目の書き込み命令で ADC_CR1 レジスタの ADON ビットをセットします。

変換終了時に、ADC は電源オンの状態に維持されます。したがって、次の変換を開始するには、ADON ビットを 1 回だけセットする必要があります。

ADC が長時間使用されない場合は、消費電力を減らすために、パワーダウンモードに切り替えることを推奨します。このためには ADON ビットをクリアします。

ADC が電源オンにされると、選択されたチャネルのデジタル入出力ステージは、GPIO ピン配置に対して個別に無効にされます。したがって、ADC を電源オンにする前に、アナログ入力チャネルを選択することを推奨します（*セクション 24.5.3：チャネル選択*を参照）。

### 24.5.2 ADC クロック

ADC に供給されるクロックは、プリスケールされた $f_{MASTER}$ クロックとすることができます。クロックのプリスケール比は、ADC_CR1 レジスタの SPSEL[2:0] ビットによって異なります。

### 24.5.3 チャネル選択

ADC_SR レジスタの CH[0:3] ビットを通じて選択できる、最大 16 の外部入力チャネルがあります。外部チャネルの数は、デバイスによって異なります（*製品データシート*を参照）。

変換中にチャネル選択が変更された場合、現在の変換はリセットされ、新しい開始パルスが ADC に送られます。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 24.5.4 変換モード

ADC は、シングルモード、連続モード、バッファ付き連続モード、シングルスキャンモード、連続スキャンモードという 5 つの変換モードをサポートします。

*注：* ***ADC スキャンモードやアナログウォッチドッグ使用時では、ADC1 AIN12 チャネルを選択できません。AIN12 から変換された値は、ADC_DRH/ADC_DRL レジスタにのみ格納されます。AIN12 を使用可能かどうかについては、製品データシートを参照してください。***

#### シングルモード

シングル変換モードでは、ADC は、ADC_CSR レジスタの CH[3:0] ビットによって選択されたチャネルで 1 つの変換を行います。このモードは、CONT ビットが 0 のとき、ADC_CR1 レジスタの ADON ビットをセットすることによって開始されます。

変換が完了すると、変換されたデータは ADC_DR レジスタに格納され、EOC（End of Conversion：変換終了）フラグがセットされ、EOCIE ビットがセットされている場合は割り込みが生成されます。

#### 連続モードとバッファ付き連続モード

連続変換モードでは、ADC は 1 つの変換が終了すると、もう 1 つの変換を開始します。このモードは、CONT ビットがセットされているとき、ADC_CR1 レジスタの ADON ビットをセットすることによって開始されます。

- バッファリングが有効でない（ADC_CR3 レジスタの DBUF ビット = 0）場合、変換されたデータは ADC_DR レジスタに格納され、EOC（変換終了）フラグがセットされます。EOCIE ビットがセットされている場合、割り込みが生成されます。その後、新しい変換が自動的に開始されます。
- バッファリングが有効である（DBUF ビット = 1）場合、データバッファは、単一チャネルで実行される 8 または 10 回の連続した変換の結果で満たされます。バッファが満杯になると、EOC（変換終了）フラグがセットされ、EOCIE ビットがセットされている場合は割り込みが生成されます。その後、8 または 10 回の新しい変換が自動的に開始されます。データバッファレジスタの 1 つが読み出される前に上書きされた場合、OVR フラグがセットされます（*セクション 24.5.5* を参照）。

連続変換を停止するには、CONT ビットをリセットして変換を停止するか、ADON ビットをリセットして ADC を電源オフにします。

#### シングルスキャンモード

このモードは、AIN0～AINn の一連のアナログチャネルの変換に使用されます（ここで“n”は、ADC_CSR レジスタの CH[3:0] ビットによって定義されるチャネル番号）。スキャン変換シーケンス中に、CH[3:0] ビットは、ハードウェアによって更新され、現在変換中のチャネル番号を含みます。

シングルスキャンモードは、SCAN ビットがセットされ CONT ビットがクリアされているとき、ADON ビットをセットすることによって開始されます。

*注：* ***スキャンモードを使用するとき、出力モードではチャネル AIN0～AINn を使用できません。なぜなら、ADC マルチプレクサによって選択された各チャネルの出力ステージは無効になるからです。***

シングル変換は、AIN0 から始まるチャネルごとに実行されます。データは、データバッファレジスタ ADC_DBxR に格納されます。最後のチャネル（チャネル“n”）が変換されると、EOC（変換終了）フラグがセットされ、EOCIE ビットがセットされている場合は割り込みが生成されます。

チャネルごとに変換された値は、データバッファレジスタから読み出すことができます。データバッファレジスタの 1 つが読み出される前に上書きされた場合、OVR フラグがセットされます（*セクション 24.5.5* を参照）。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

変換シーケンスの進行中は、SCAN ビットをクリアしないでください。シングルスキャンモードは、ADON ビットをクリアすることによってすぐに停止できます。

新しいスキャン変換を開始するには、EOC ビットをクリアし、ADC_CR1 レジスタの ADON ビットをセットします。

### 連続スキャンモード

このモードはシングルスキャンモードに似ていますが、最後のチャネルが変換されるたびに、チャネル 0 からチャネル n までの新しいスキャン変換が自動的に開始されます。データバッファレジスタの 1 つが読み出される前に上書きされた場合、OVR フラグがセットされます（*セクション 24.5.5* を参照）。

連続スキャンモードは、SCAN ビットと CONT ビットがセットされているとき、ADON ビットをセットすることによって開始されます。

スキャン変換の進行中は、SCAN ビットをクリアしないでください。

連続スキャンモードは、ADON ビットをクリアすることによってすぐに停止できます。あるいは、変換の進行中に CONT ビットがクリアされた場合は、次に最後のチャネルが変換されたとき、変換は停止します。

**注：** スキャンモードでは、ビット操作命令（BRES）を使用して EOC フラグをクリアしないでください。その理由は、この命令によって ADC_CSR レジスタ全体に読み出し／変更／書き込みが行われるからです。CH[3:0] レジスタから現在のチャネル番号を読み出し、それを書き戻すため、スキャンシーケンスの最後のチャネル番号が変更されます。

連続スキャンモードで EOC フラグをクリアする正しい方法は、RAM 変数から ADC_CSR レジスタに 1 バイトをロードして、EOC フラグをクリアし、スキャンシーケンスの最後のチャネル番号を再ロードすることです。

## 24.5.5 オーバーランフラグ

OVR エラーフラグは、バッファ付き連続モード、シングルスキャンモード、または連続スキャンモードで、ハードウェアによってセットされます。このフラグは、10 個のデータバッファレジスタのうちの 1 個が、前の値が読み出される前に、変換された新しい値によって上書きされたことを示します。この場合、新しい変換を開始することを推奨します。

***注：*** ***ADON ビットをセットすると、OVR フラグは自動的にクリアされます。***



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 24.5.6 アナログウォッチドッグ

ADC_CSR レジスタの AWDEN ビットをセットすることによって、アナログウォッチドッグは、シングル変換モードとバッファ無し連続変換モード用に有効になります。

AWD アナログウォッチドッグフラグは、*図 160* に示すように、ADC によって変換されたアナログ電圧が低電圧閾値を下回るか高電圧閾値を上回る場合にセットされます。これらの閾値は、ADC_HTR および ADC_LTR 10 ビットレジスタにプログラムされます。ADC_CSR レジスタの AWDIE ビットをセットすることによって、割り込みを有効にできます。

スキャンモードの場合、ADC_AWCRH および ADC_AWCRL レジスタの AWENx ビットを使用すれば、選択されたチャネルに対してアナログウォッチドッグを有効にすることができます。チャネルごとのウォッチドッグステータスを得るには、ADC_AWSRH および ADC_AWSRL レジスタの AWSx ビットを読み出します。いずれかの AWS フラグがセットされている場合、AWD フラグもセットされています。AWDIE 割り込みイネーブルビットに応じて、スキャンシーケンスの最後に割り込みが生成されます。その後、割り込みルーチンは、AWS フラグと ADC_CSR レジスタのグローバル AWD フラグをクリアする必要があります。

バッファ付き連続モードの場合、アナログウォッチドッグは、選択されたバッファに対して有効にすることができ、スキャンモードの場合と同様に管理されます。ただし、バッファには、1 つのチャネルに対して実行された連続変換の結果が含まれます。

割り込みの詳細については、*セクション 24.7* を参照してください。

*注：* ***スキャンまたはバッファ付き連続モードでアナログウォッチドッグの割り込み遅延を最適化するには、変換シーケンスの最後のチャネルを使用することを推奨します。***

**図 160. アナログウォッチドッグによって保護される領域**

この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 24.5.7 外部トリガによる変換

変換は、ADC_ETR ピンでの立ち上がりエッジイベントまたはタイマからの TRGO イベントによってトリガすることができます。タイマトリガの詳細については、製品によって異なるため、データシートを参照してください。EXTTRIG 制御ビットがセットされている場合、いずれの外部イベントを使用しても変換をトリガできます。EXTSEL[1:0] ビットは、変換をトリガできるイベントの 2 つの可能なソースの選択に使用されます。

外部トリガモードを使用するには：

1. ADC はオフ状態（ADON=0）、EOC ビットはクリア。
2. トリガソース（EXTSEL [1:0]）を選択します。
3. レジスタ内の他のビットを変更しないよう、BSET 命令を使用して外部トリガモードを設定します（EXTTRIG=1）。
4. トリガソースがハイ状態である場合、これによって ADC はスイッチオンされます。このため、ADC がスイッチオフされている（ADON=0）かどうかをテストしてから、ADC をスイッチオンします（ADON=1）。
5. 安定化時間（$t_{STAB}$）の間待ちます。$t_{STAB}$ が経過する前に外部トリガが発生した場合、結果は正確ではありません。
6. 外部トリガイベントが発生すると、変換が開始されます。

*注：* *1 タイマトリガモードが選択された場合（外部ピンではなく、トリガソースとしてのタイマイベント）、ADC が完全にセットされたときにのみタイマを開始し、ADC がスイッチオフされる前にタイマを停止することを推奨します。*

*2 外部トリガモードは、HALT 命令を実行する前に無効にする必要があります（EXTTRIG=0）。*

### 24.5.8 アナログズーミング

アナログズーミングは、外部基準電圧ピン（$V_{REF+}$ および $V_{REF-}$）を備えたデバイスでサポートされます。アナログズーミングでは、基準電圧は、縮小された電圧範囲で高い分解能を可能にするように選択されます。許容される基準電圧範囲の詳細については、データシートを参照してください。

### 24.5.9 タイミング図

*図 161* に示すように、パワーオン後の ADC は、正しい変換を開始する前に、安定化時間 $t_{STAB}$（1 回の変換時間 $t_{CONV}$ に相当）を必要とします。それ以降の変換に安定化遅延はなく、ADON のセットは 1 回のみ必要です。ADC の変換時間として、14 クロックサイクルが必要です。変換後、EOC フラグがセットされ、変換された結果が 10 ビットの ADC データレジスタに格納されます。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 161. シングルモードでのタイミング図（CONT = 0）

図 162. 連続モードでのタイミング図（CONT = 1）

この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

## 24.6 ADC 低電力モード

表 72. 低電力モード

| モード | 説明 |
|---|---|
| WAIT | ADC には影響ありません。 |
| HALT/<br>アクティブ HALT | 拡張機能を持つデバイスでは、ADC は、HALT/アクティブ HALT モードに入る前に、自動的にスイッチオフされます。アクティブ HALT からのウェイクアップ後、ADC の電源をオンにするため、ADON ビットをソフトウェアによってセットする必要があります。また、新しい変換を開始する前に 7 µsの遅延が必要です。 |

ADC には、デバイスをアクティブ HALT または HALT モードからウェイクアップさせる機能がありません。

## 24.7 ADC 割り込み

ADC 割り込み制御ビットの要約を*表 73*、*表 74*、および*表 75* に示します。

表 73. シングルモードとバッファ無し連続モードでの ADC 割り込み（ADC1 と ADC2）(1)

| イネーブルビット | | | ステータスフラグ | | | WAIT からの復帰 | HALT からの復帰 |
|---|---|---|---|---|---|---|---|
| AWDENx | AWDIE | EOCIE | AWSx | AWDG | EOC | | |
| 無視 | 0 | 0 | 無視 | チャネルがプログラムされた閾値を超えた場合、フラグがセットされます。 | フラグは各変換の最後にセットされます。 | なし | なし |
| | 0 | 1 | | チャネルがプログラムされた閾値を超えた場合、フラグがセットされます。 | フラグは各変換の最後にセットされ、割り込みが生成されます。 | あり | なし |
| | 1 | 0 | | チャネルがプログラムされた閾値を超えた場合、フラグがセットされます。割り込みは生成されますが、連続変換は停止しません。 | フラグは各変換の最後にセットされます。 | あり | なし |
| | 1 | 1 | | チャネルがプログラムされた閾値を超えた場合、フラグがセットされます。割り込みは生成されますが、連続変換は停止しません。 | フラグは各変換の最後にセットされ、割り込みが生成されます。 | あり | なし |

1. BSIZE = データバッファサイズ（製品に応じて 8 または 10）。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 74. バッファ付き連続モードでの ADC 割り込み（ADC1）

<table>
<tr><th colspan="3">イネーブルビット</th><th colspan="3">ステータスフラグ</th><th rowspan="2">WAIT からの復帰</th><th rowspan="2">HALT からの復帰</th></tr>
<tr><th>AWENx</th><th>AWDIE</th><th>EOCIE</th><th>AWSx</th><th>AWD</th><th>EOC</th></tr>
<tr><td>0</td><td>無視</td><td>0</td><td>0</td><td rowspan="2">0</td><td>フラグは BSIZE 変換の最後にセットされます。</td><td>なし</td><td>なし</td></tr>
<tr><td>0</td><td>無視</td><td>1</td><td>0</td><td>フラグは BSIZE 変換の最後にセットされ、割り込みが生成されます。</td><td>あり</td><td>なし</td></tr>
<tr><td>1</td><td>0</td><td>0</td><td rowspan="4">バッファ「x」での変換が ADC_HTR レジスタと ADC_LTR レジスタにプログラムされた閾値を超えた場合、フラグがセットされます。</td><td>少なくとも 1 つの AWSx ビットがセットされた場合、BSIZE 変換の最後にフラグがセットされます。</td><td rowspan="2">フラグは BSIZE 変換の最後にセットされます（データバッファ満杯）。</td><td>なし</td><td>なし</td></tr>
<tr><td>1</td><td>1</td><td>0</td><td>少なくとも 1 つの AWSx ビットがセットされた場合、BSIZE 変換の最後にフラグがセットされ、割り込みが生成されます。連続変換は停止しません。</td><td>あり</td><td>なし</td></tr>
<tr><td>1</td><td>0</td><td>1</td><td>少なくとも 1 つの AWSx ビットがセットされた場合、BSIZE 変換の最後にフラグがセットされます。</td><td>フラグは BSIZE 変換の最後にセットされ、割り込みが生成されます。</td><td>あり</td><td>なし</td></tr>
<tr><td>1</td><td>1</td><td>1</td><td>AWSx ビットの 1 つがセットされると、すぐにフラグがセットされます。割り込みが生成され、連続変換が停止します。</td><td>フラグは BSIZE 変換の最後にセットされ、割り込みが生成されます。</td><td>あり</td><td>なし</td></tr>
</table>



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 75. スキャンモードでの ADC 割り込み（ADC1）

| 制御ビット | | | ステータスビット | | | WAIT からの復帰 | HALT からの復帰 |
|---|---|---|---|---|---|---|---|
| AWENx | AWDIE | EOCIE | AWSx | AWD | EOC | | |
| 0 | 無視 | 0 | 0 | 0 | フラグはスキャンシーケンスの最後にセットされます。 | なし | なし |
| 0 | 無視 | 1 | 0 | 0 | フラグはスキャンシーケンスの最後にセットされ、割り込みが生成されます。 | あり | なし |
| 1 | 0 | 0 | チャネル「x」での変換が ADC_HTR レジスタと ADC_LTR レジスタにプログラムされた閾値を超えた場合、フラグがセットされます。 | 少なくとも 1 つの AWSx ビットがセットされた場合、スキャンシーケンスの最後にフラグがセットされます。 | フラグはスキャンシーケンスの最後にセットされます。 | なし | なし |
| 1 | 1 | 0 | | 少なくとも 1 つの AWSx ビットがセットされた場合、スキャンシーケンスの最後にフラグがセットされ、割り込みが生成されます。スキャン変換は停止しません。 | フラグはスキャンシーケンスの最後に 1 にセットされます。 | あり | なし |
| 1 | 0 | 1 | | 少なくとも 1 つの AWSx ビットがセットされた場合、スキャンシーケンスの最後にフラグがセットされます。 | フラグはスキャンシーケンスの最後に 1 にセットされ、割り込みが生成されます。 | あり | なし |
| 1 | 1 | 1 | | AWSx ビットの 1 つがセットされると、すぐにフラグがセットされます。割り込みが生成され、スキャン変換が停止します。 | フラグはスキャンシーケンスの最後にセットされ、割り込みが生成されます。 | あり | なし |



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

## 24.8 データの配置

ADC_CR2 レジスタの ALIGN ビットは、変換後に格納されるデータの配置を選択します。データは次のように配置することができます。

**右詰め** : 最下位 8 ビットは ADC_DL レジスタに書き込まれ、残りの最上位ビットは ADC_DH レジスタに書き込まれます。最下位バイトを最初に読み出し、続いて最上位バイトを読み出す必要があります。この場合、読み出し順序が同じ LDW 命令を使用することができます。

**図 163. データの右詰め**

**左詰め** : 最上位 8 ビットは ADC_DH レジスタに書き込まれ、残りの最下位ビットは ADC_DL レジスタに書き込まれます。最上位バイトを最初に読み出し、続いて最下位バイトを読み出す必要があります。

**図 164. データの左詰め**

## 24.9 変換結果の読み出し

データ整合性を保証するため、データレジスタ ADC_DRH と ADC_DRL からの変換結果は、特定の順序で読み出す必要があります。この順序はデータの配置によって異なります（*セクション 24.8 : データの配置*を参照）。

データバッファレジスタ ADC1DBxRH と ADC1DBxRL が読み出されるとき（ADC1 のみ）、内部ロック機構はありません。したがって、ユーザは、ADC1DBxRH レジスタと ADC1CBxRL レジスタを読み出した後で、ADC_CR3 レジスタの OVR フラグをチェックする必要があります。OVR フラグがクリアされている場合、ADC1DBxRH レジスタと ADC1CBxRL レジスタから読み出されたばかりの値には整合性があることが保証されます。
データ一貫性を保証するもう 1 つの方法は（右詰めデータの場合）、ADC1DBxRH と ADC1DBxRL を次のシーケンスで読み出すことです。なお、この間に割り込まれてはいけません。

```
ADC_READ:
LDW X,#ADC_DB0RH
CPW X,#ADC_DB0RH
JREQ ADC_END
LDW X,#ADC_DB0RH
ADC_END:
```



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

## 24.10 シュミットトリガディセーブルレジスタ

ADC_TDRH レジスタと ADC_TDRL レジスタは、AIN アナログ入力ピンで使用可能なシュミットトリガを無効にするために使用されます。シュミットトリガを無効にすると、入出力での消費電力が低下します。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

## 24.11 ADC レジスタ

### 24.11.1 ADC データバッファレジスタ x ハイ（ADC_DBxRH）（x=0..7 または 0..9）

アドレスオフセット：0x00 + 2 * チャネル番号

リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| DBH[7:0] | | | | | | | |
| r | r | r | r | r | r | r | r |

*注：データバッファレジスタは、ADC2 では使用できません。データバッファのサイズとベースアドレスは、デバイスに依存し、対応するデータシートに指定されています。データバッファレジスタとその他の ADC レジスタでは、ベースアドレスが異なることに注意してください。*

ビット 7：0 **DBH[7:0]** データビットハイ

これらのビットは、ハードウェアによってセット／リセットされ、読み出し専用です。ADC がバッファ付き連続モードまたはスキャンモードにあるとき、これらのビットは、変換されたデータの上位部分を含みます。データは、ALIGN ビットに応じて、右詰めまたは左詰めされたフォーマットです。

**データの左詰め**

これらのビットは、変換されたデータの 8 つの MSB ビットを含みます。

**データの右詰め**

これらのビットは、変換されたデータの MSB ビットを含みます。8 ADC データ幅なので、残りのビットはゼロに固定されます。

*図 163.* を参照してください。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 24.11.2 ADC データバッファレジスタ x ロー（ADC_DBxRL）（x=0..7 または 0..9）

アドレスオフセット：0x01 + 2 * チャネル番号

リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| DBL[7:0] | | | | | | | |
| r | r | r | r | r | r | r | r |

*注：* *データバッファレジスタは、ADC2 では使用できません。データバッファのサイズとベースアドレスは、デバイスに依存し、対応するデータシートに指定されています。データバッファレジスタとその他の ADC レジスタでは、ベースアドレスが異なることに注意してください。*

ビット 7：0 **DBL[7:0]** データビットロー

これらのビットは、ハードウェアによってセット／リセットされ、読み出し専用です。ADC がバッファ付き連続モードまたはスキャンモードにあるとき、これらのビットは、A/D 変換結果の下位部分を、ALIGN ビットに応じて右詰めまたは左詰めフォーマットで含みます。

**データの左詰め**

これらのビットは、変換されたデータの LSB ビットを含みます。8 ADC データ幅なのでレジスタの残りのビットはゼロに固定されます。

*図 164.* を参照してください。

**データの右詰め**

変換されたデータの 8 つの LSB ビットを含みます。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 24.11.3 ADC 制御／ステータスレジスタ（ADC_CSR）

アドレスオフセット：0x20

リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| EOC | AWD | EOCIE | AWDIE | CH[3:0] | | | |
| rw | rc_w0 | rw | rw | rw | rw | rw | rw |

ビット 7 **EOC**：変換終了

このビットは、変換終了時にハードウェアによってセットされます。ソフトウェアで “0” を書き込むことによって、クリアされます。

0：変換は完了していません。

1：変換が完了しました。

ビット 6 **AWD**：アナログウォッチドッグフラグ

0：アナログウォッチドッグイベントは発生していません。

1：アナログウォッチドッグイベントが発生しました。バッファ付き連続モードまたはスキャンモードでは、ADC_AWSR レジスタを読み出すことで、イベントに関係するデータバッファレジスタを調べることができます。AWDIE=1 の場合、割り込みリクエストが生成されます。

***注：　このビットは ADC2 では使用できません。***

ビット 5 **EOCIE**：EOC 割り込みイネーブル

このビットは、ソフトウェアによってセット／クリアされます。変換終了の割り込みを有効にします。

0：EOC 割り込みは無効です。

1：EOC 割り込みは有効です。EOC ビットがセットされると、割り込みが生成されます。

ビット 4 **AWDIE**：アナログウォッチドッグ割り込みイネーブル

0：AWD 割り込みは無効です。

1：AWD 割り込みは有効です。

***注：　このビットは ADC2 では使用できません。***

ビット 3：0 **CH[3:0]**：チャネル選択ビット

これらのビットは、ソフトウェアによってセット／クリアされます。これらのビットは、変換される入力チャネルを選択します。

0000：チャネル AIN0

0001：チャネル AIN1

....

1111：チャネル AIN15



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 24.11.4 ADC 設定レジスタ 1（ADC_CR1）

アドレスオフセット：0x21

リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| 予約済み | SPSEL[2:0] | | | 予約済み | | CONT | ADON |
| | rw | rw | rw | | | rw | rw |

ビット 7 予約済み、常に 0 として読み出されます。

ビット 6：4 **SPSEL[2:0]**：プリスケーラ選択

これらの制御ビットは、プリスケーラの分周比を選択するために、ソフトウェアによって書き込まれます。

000: $f_{ADC} = f_{MASTER}/2$
001: $f_{ADC} = f_{MASTER}/3$
010: $f_{ADC} = f_{MASTER}/4$
011: $f_{ADC} = f_{MASTER}/6$
100: $f_{ADC} = f_{MASTER}/8$
101: $f_{ADC} = f_{MASTER}/10$
110: $f_{ADC} = f_{MASTER}/12$
111: $f_{ADC} = f_{MASTER}/18$

*セクション 24.5.2（412 ページ）*を参照してください。

***注：*** ***ADC のパワーダウン中に、SPSEL ビットを変更することを推奨します。その理由は、この変更中に内部的にクロックにグリッチが発生することがあるためです。さもなければ、ADC のパワーダウン中でないときに変更が行われた場合、ユーザは最初の変換結果を無視する必要があります。***

ビット 3：2 予約済み、常に 0 として読み出されます。

ビット 1 **CONT**：連続変換

このビットは、ソフトウェアによってセット／クリアされます。セットされた場合、このビットがソフトウェアによってリセットされるまで、連続的に変換が行われます。

0：シングル変換モード

1：連続変換モード

ビット 0 **ADON**：A/D コンバータのオン／オフ

このビットは、ソフトウェアによってセット／リセットされます。このビットは、ADC をパワーダウンモードからウェイクアップさせ、変換の開始をトリガするために書き込む必要があります。このビットが 0 の値を保持しているときに 1 が書き込まれた場合、ADC はパワーダウンモードからウェイクアップします。このビットが 1 の値を保持しているときに 1 が書き込まれると、変換が開始されます。ADC が電源オンにされると、選択されたチャネルの出力ステージはすぐに無効になります。

0：ADC の変換／較正を無効にして、パワーダウンモードに移行します。

1：ADC を有効にして、変換を開始します。

***注：*** ***このレジスタの ADON 以外のビットが同時に変更されても、変換はトリガされません。これは、誤った変換のトリガを防ぐためです。***



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 24.11.5 ADC 設定レジスタ 2（ADC_CR2）

アドレスオフセット：0x22

リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| 予約済み | EXTTRIG | EXTSEL[1:0] | | ALIGN | 予約済み | SCAN | 予約済み |
| | rw | rw | rw | rw | | rw | |

ビット 7 予約済み、クリア状態を保つ必要があります。

ビット 6 **EXTTRIG**：外部トリガイネーブル

このビットは、ソフトウェアによってセット／クリアされます。外部トリガを有効にして変換をトリガするために使用されます。

0：外部イベントによる変換は無効です。

1：外部イベントによる変換は有効です。

***注：*** ***偽のトリガイベントを避けるには、BSET 命令を使用して、レジスタ内の他のビットを変更することなく EXTTRIG をセットします。***

ビット 5：4 **EXTSEL[1:0]**：外部イベントの選択

2 つのビットがソフトウェアによって書き込まれます。これらのビットは、ADC 変換の開始をトリガするために使用される、4 種類のイベントの 1 つを選択します。

00：内部 TIM1 TRGO イベント

01：ADC_ETR ピンによる外部割り込み

10：予約済み

11：予約済み

ビット 3 **ALIGN**：データの配置

このビットは、ソフトウェアによってセット／クリアされます。

0：左詰め（8 つの MSB ビットが ADC_DRH レジスタに書き込まれてから、残りの LSB ビットが ADC_DRL レジスタに書き込まれます）。読み出し順序は MSB ファーストで、その後に LSB です。

1：右詰め（8 つの LSB ビットが ADC_DRL レジスタに書き込まれてから、残りの MSB ビットが ADC_DH レジスタに書き込まれます）。読み出し順序は LSB ファーストで、その後に MSB です。

***注：*** ***ALIGN ビットは、バッファレジスタの読み出し順序ではなく、ADC_DRH/ADC_DRL レジスタの読み出し順序に影響を与えます。***

ビット 2 予約済み、クリア状態を保つ必要があります。

ビット 1 **SCAN**：スキャンモードイネーブル

このビットは、ソフトウェアによってセット／クリアされます。

0：スキャンモードは無効です。

1：スキャンモードは有効です。

***注：*** ***このビットは ADC2 では使用できません。***

ビット 0 予約済み、クリア状態を保つ必要があります。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 24.11.6 ADC 設定レジスタ 3（ADC_CR3）

アドレスオフセット：0x23

リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| DBUF | OVR | 予約済み | | | | | |
| rw | rc_w0 | | | | | | |

***注：*** ***このレジスタは ADC2 では使用できません。***

ビット 7 **DBUF**：データバッファイネーブル

このビットは、ソフトウェアによってセット／クリアされます。バッファ付き連続モードを有効にするため、CONT ビットとともに使用されます（DBUF=1、CONT=1）。DBUF がセットされると、変換された値は、ADC_DRH および ADC_DRL レジスタの代わりに、ADC_DBxRH および ADC_DBxRL レジスタに格納されます。

0：データバッファは無効です。

1：データバッファは有効です。

ビット 6 **OVR**：オーバーランフラグ

このビットは、ハードウェアによってセットされ、ソフトウェアによってクリアされます。

0：オーバーランは発生していません。

1：データバッファレジスタでオーバーランが検出されました。

詳細については、*セクション 24.5.5（414 ページ）*を参照してください。

ビット 5：0 予約済み、クリア状態を保つ必要があります。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 24.11.7 ADC データレジスタハイ（ADC_DRH）

アドレスオフセット：0x24

リセット値：0xXX

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| DH[7:0] | | | | | | | |
| r | r | r | r | r | r | r | r |

ビット 7：0 **DH[7:0]** データビットハイ

これらのビットは、ハードウェアによってセット／リセットされ、読み出し専用です。ADC がシングルモードまたはバッファ無し連続モードにあるとき、これらのビットは、変換されたデータの上位部分を、ALIGN ビットに応じて右詰めまたは左詰めフォーマットで含みます。

– **データの左詰め**

これらのビットは、変換されたデータの 8 つの MSB ビットを含みます。LSB を読み出す前に、MSB を最初に読み出す必要があります（*セクション 24.9：変換結果の読み出し* および*図 164.* を参照）。

– **データの右詰め**

これらのビットは、変換されたデータの（ADC データ幅 -8）個の MSB ビットを含みます。残りのビットはゼロに固定されます。

*図 163.* を参照してください。

### 24.11.8 ADC データレジスタローー（ADC_DRL）

アドレスオフセット：0x25

リセット値：0xXX

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| DL[7:0] | | | | | | | |
| r | r | r | r | r | r | r | r |

ビット 7：0 **DL[7:0]** データビットローー

これらのビットは、ハードウェアによってセット／リセットされ、読み出し専用です。ADC がシングルモードまたはバッファ無し連続モードにあるとき、これらのビットは、A/D 変換結果の下位部分を、ALIGN ビットに応じて右詰めまたは左詰めフォーマットで含みます。

– **データの左詰め**

これらのビットは、変換されたデータの（ADC データ幅 -8）個の LSB ビットを含みます。レジスタの残りのビットはゼロに固定されます。

*図 164.* を参照してください。

– **データの右詰め**

これらのビットは、変換されたデータの 8 つの LSB ビットを含みます。MSB を読み出す前に、LSB を最初に読み出す必要があります（*セクション 24.9：変換結果の読み出し* および*図 163.* を参照）。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 24.11.9 ADC シュミットトリガディセーブルレジスタハイ（ADC_TDRH）

アドレスオフセット：0x26

リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| TD[15:8] | | | | | | | |
| rw | rw | rw | rw | rw | rw | rw | rw |

ビット 7：0 **TD[15:8]** シュミットトリガディセーブルハイ

これらのビットは、ソフトウェアによってセット／クリアされます。TDx ビットがセットされると、対応する ADC 入力チャネル x の入出力ポート入力シュミットトリガは、たとえこのチャネルが変換中でなくても、無効になります。これは、入出力ポートの静的消費電力を低下させるために必要です。

0：シュミットトリガは有効です。

1：シュミットトリガは無効です。

### 24.11.10 ADC シュミットトリガディセーブルレジスタロー（ADC_TDRL）

アドレスオフセット：0x27

リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| TD[7:0] | | | | | | | |
| rw | rw | rw | rw | rw | rw | rw | rw |

ビット 7：0 **TD[7:0]** シュミットトリガディセーブルロー

これらのビットは、ソフトウェアによってセット／クリアされます。TDx ビットがセットされると、対応する ADC 入力チャネル x の入出力ポート入力シュミットトリガは、たとえこのチャネルが変換中でなくても、無効になります。これは、入出力ポートの静的消費電力を低下させるために必要です。

0：シュミットトリガは有効です。

1：シュミットトリガは無効です。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 24.11.11 ADC 高電圧閾値レジスタハイ（ADC_HTRH）

アドレスオフセット：0x28

リセット値：0xFF

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| HT[9:2] | | | | | | | |
| rw | rw | rw | rw | rw | rw | rw | rw |

*注：　このレジスタは ADC2 では使用できません。*

ビット 7：0 **HT[9:2]** アナログウォッチドッグ電圧閾値の MSB

これらのビットは、ソフトウェアによってセット／クリアされます。アナログウォッチドッグの高電圧閾値（$V_{REFH}$）の MSB を定義します。

### 24.11.12 ADC 高電圧閾値レジスタロー（ADC_HTRL）

アドレスオフセット：0x29

リセット値：0x03

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| 予約済み | | | | | | HT[1:0] | |
| | | | | | | rw | rw |

*注：　このレジスタは ADC2 では使用できません。*

ビット 7：2 予約済み、クリア状態を保つ必要があります。

ビット 1：0 **HT[1:0]** アナログウォッチドッグ高電圧閾値の LSB

これらのビットは、ソフトウェアによってセット／クリアされます。アナログウォッチドッグの高電圧閾値（$V_{REFH}$）の LSB を定義します。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 24.11.13 ADC 低電圧閾値レジスタハイ（ADC_LTRH）

アドレスオフセット：0x2A

リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| LT[9:2] | | | | | | | |
| rw | rw | rw | rw | rw | rw | rw | rw |

*注： このレジスタは ADC2 では使用できません。*

ビット 7：0 **LT[9:2]** アナログウォッチドッグ低電圧閾値の MSB

これらのビットは、ソフトウェアによってセット／クリアされます。アナログウォッチドッグの低電圧閾値（$V_{REFL}$）の MSB を定義します。

### 24.11.14 ADC 低電圧閾値レジスタローー（ADC_LTRL）

アドレスオフセット：0x2B

リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| 予約済み | | | | | | LT[1:0] | |
| | | | | | | rw | rw |

*注： このレジスタは ADC2 では使用できません。*

ビット 7：2 予約済み、クリア状態を保つ必要があります。

ビット 1：0 **LT[1:0]** アナログウォッチドッグ低電圧閾値の LSB

これらのビットは、ソフトウェアによってセット／クリアされます。アナログウォッチドッグの低電圧閾値（$V_{REFL}$）の LSB を定義します。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 24.11.15 ADC ウォッチドッグステータスレジスタハイ（ADC_AWSRH）

アドレスオフセット：0x2C

リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| 予約済み | | | | | | AWS[9:8] | |
| | | | | | | rc_w0 | rc_w0 |

*注：　このレジスタは ADC2 では使用できません。*

ビット 7：2　予約済み、クリア状態を保つ必要があります。

ビット 1：0　**AWS[9:8]** アナログウォッチドッグステータスフラグ 9:8

これらのビットは、ハードウェアによってセットされ、ソフトウェアによってクリアされます。

– バッファ付き連続モード（DBUF=1、CONT=1）では、AWS フラグは*表 74.* で説明されているように動作します。

– スキャンモード（SCAN=1）では、AWS フラグは*表 75.* で説明されているように動作します。

0：データバッファレジスタ x でアナログウォッチドッグイベントは発生していません。

1：データバッファレジスタ x でアナログウォッチドッグイベントが発生しました。

### 24.11.16 ADC ウォッチドッグステータスレジスタロー（ADC_AWSRL）

アドレスオフセット：0x2D

リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| AWS[7:0] | | | | | | | |
| rc_w0 | rc_w0 | rc_w0 | rc_w0 | rc_w0 | rc_w0 | rc_w0 | rc_w0 |

*注：　このレジスタは ADC2 では使用できません。*

ビット 7：0　**AWS[7:0]** アナログウォッチドッグステータスフラグ 7:0

これらのビットは、ハードウェアによってセットされ、ソフトウェアによってクリアされます。

– バッファ付き連続モード（DBUF=1、CONT=1）では、AWS フラグは*表 74.* で説明されているように動作します。

– スキャンモード（SCAN=1）では、AWS フラグは*表 75.* で説明されているように動作します。

0：データバッファレジスタ x でアナログウォッチドッグイベントは発生していません。

1：データバッファレジスタ x でアナログウォッチドッグイベントが発生しました。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 24.11.17 ADC ウォッチドッグ制御レジスタハイ（ADC_AWCRH）

アドレスオフセット：0x2E

リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| 予約済み | | | | | | AWEN[9:8] | |
| | | | | | | rw | rw |

*注： このレジスタは ADC2 では使用できません。*

ビット 7：2 予約済み、クリア状態を保つ必要があります。

ビット 1：0 **AWEN[9:8]** アナログウォッチドッグイネーブルビット 9:8

これらのビットは、ソフトウェアによってセット／クリアされます。

バッファ付き連続モード（DBUF=1、CONT=1）とスキャンモード（SCAN=1）では、AWENx ビットは、10 個のデータバッファレジスタのそれぞれのアナログウォッチドッグ機能を有効にします。

0：データバッファレジスタ x でアナログウォッチドッグは無効です。

1：データバッファレジスタ x でアナログウォッチドッグは有効です。

### 24.11.18 ADC ウォッチドッグ制御レジスタロー（ADC_AWCRL）

アドレスオフセット：0x2F

リセット値：0x00

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| AWEN[7:0] | | | | | | | |
| rw | rw | rw | rw | rw | rw | rw | rw |

*注： このレジスタは ADC2 では使用できません。*

ビット 7：0 **AWEN[7:0]** アナログウォッチドッグイネーブルビット 7:0

これらのビットは、ソフトウェアによってセット／クリアされます。

バッファ付き連続モード（DBUF=1、CONT=1）とスキャンモード（SCAN=1）では、AWENx ビットは、10 個のデータバッファレジスタのそれぞれのアナログウォッチドッグ機能を有効にします。

0：データバッファレジスタ x でアナログウォッチドッグは無効です。

1：データバッファレジスタ x でアナログウォッチドッグは有効です。



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

## 24.12 ADC レジスタマップとリセット値

**表 76. ADC1 レジスタマップとリセット値**

| アドレスオフセット | レジスタ名 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|
| 0x00 | ADC1 _DB0RH<br>リセット値 | -<br>0 | -<br>0 | -<br>0 | -<br>0 | -<br>0 | -<br>0 | DATA9<br>0 | DATA8<br>0 |
| 0x01 | ADC1_DB0RL<br>リセット値 | DATA7<br>0 | DATA6<br>0 | DATA5<br>0 | DATA4<br>0 | DATA3<br>0 | DATA2<br>0 | DATA1<br>0 | DATA0<br>0 |
| 0x02～<br>0x0D | 予約済み | | | | | | | | |
| 0x0E | ADC1 _DB7RH<br>リセット値 | -<br>0 | -<br>0 | -<br>0 | -<br>0 | -<br>0 | -<br>0 | DATA9<br>0 | DATA8<br>0 |
| 0x0Fh | ADC1_DB7RL<br>リセット値 | DATA7<br>0 | DATA6<br>0 | DATA5<br>0 | DATA4<br>0 | DATA3<br>0 | DATA2<br>0 | DATA1<br>0 | DATA0<br>0 |
| 0x10 | ADC1 _DB8RH(1)<br>リセット値 | -<br>0 | -<br>0 | -<br>0 | -<br>0 | -<br>0 | -<br>0 | DATA9<br>0 | DATA8<br>0 |
| 0x11 | ADC1_DB8RL(1)<br>リセット値 | DATA7<br>0 | DATA6<br>0 | DATA5<br>0 | DATA4<br>0 | DATA3<br>0 | DATA2<br>0 | DATA1<br>0 | DATA0<br>0 |
| 0x12 | ADC1 _DB9RH(1)<br>リセット値 | -<br>0 | -<br>0 | -<br>0 | -<br>0 | -<br>0 | -<br>0 | DATA9<br>0 | DATA8<br>0 |
| 0x13 | ADC1_DB9RL(1)<br>リセット値 | DATA7<br>0 | DATA6<br>0 | DATA5<br>0 | DATA4<br>0 | DATA3<br>0 | DATA2<br>0 | DATA1<br>0 | DATA0<br>0 |
| 0x14～<br>0x1F | 予約済み | | | | | | | | |
| 0x20 | ADC1 _CSR<br>リセット値 | EOC<br>0 | AWD<br>0 | EOCIE<br>0 | AWDIE<br>0 | CH3<br>0 | CH2<br>0 | CH1<br>0 | CH0<br>0 |
| 0x21 | ADC1_CR1<br>リセット値 | -<br>0 | SPSEL2<br>0 | SPSEL1<br>0 | SPSEL0<br>0 | -<br>0 | -<br>0 | CONT<br>0 | ADON<br>0 |
| 0x22 | ADC1_CR2<br>リセット値 | -<br>0 | EXTTRIG<br>0 | EXTSEL1<br>0 | EXTSEL0<br>0 | ALIGN<br>0 | -<br>0 | SCAN<br>0 | -<br>0 |
| 0x23 | ADC1_CR3<br>リセット値 | DBUF<br>0 | OVR<br>0 | -<br>0 | -<br>0 | -<br>0 | -<br>0 | -<br>0 | -<br>0 |
| 0x24 | ADC1_DRH<br>リセット値 | -<br>x | -<br>x | -<br>x | -<br>x | -<br>x | -<br>x | DATA9<br>x | DATA8<br>x |
| 0x25 | ADC1_DRL<br>リセット値 | DATA7<br>x | DATA6<br>x | DATA5<br>x | DATA4<br>x | DATA3<br>x | DATA2<br>x | DATA1<br>x | DATA0<br>x |
| 0x26 | ADC1_TDRH(2)<br>リセット値 | TD15<br>0 | TD14<br>0 | TD13<br>0 | TD12<br>0 | TD11<br>0 | TD10<br>0 | TD9<br>0 | TD8<br>0 |
| 0x27 | ADC1_TDRL<br>リセット値 | TD7<br>0 | TD6<br>0 | TD5<br>0 | TD4<br>0 | TD3<br>0 | TD2<br>0 | TD1<br>0 | TD0<br>0 |
| 0x28 | ADC1 _HTRH<br>リセット値 | HT9<br>1 | HT8<br>1 | HT7<br>1 | HT6<br>1 | HT5<br>1 | HT4<br>1 | HT3<br>1 | HT2<br>1 |
| 0x29 | ADC1_HTRL<br>リセット値 | -<br>0 | -<br>0 | -<br>0 | -<br>0 | -<br>0 | -<br>0 | HT1<br>1 | HT0<br>1 |
| 0x2A | ADC1 _LTRH<br>リセット値 | LT9<br>0 | LT8<br>0 | LT7<br>0 | LT6<br>0 | LT5<br>0 | LT4<br>0 | LT3<br>0 | LT2<br>0 |
| 0x2B | ADC1_LTRL<br>リセット値 | -<br>0 | -<br>0 | -<br>0 | -<br>0 | -<br>0 | -<br>0 | LT1<br>0 | LT0<br>0 |



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

### 表 76. ADC1 レジスタマップとリセット値 （続き）

| アドレスオフセット | レジスタ名 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|
| 0x2C | ADC1 _AWSRH(2)<br>リセット値 | -<br>0 | -<br>0 | -<br>0 | -<br>0 | -<br>0 | -<br>0 | AWS9<br>0 | AWS8<br>0 |
| 0x2D | ADC1_AWSRL<br>リセット値 | AWS7<br>0 | AWS6<br>0 | AWS5<br>0 | AWS4<br>0 | AWS3<br>0 | AWS2<br>0 | AWS1<br>0 | AWS0<br>0 |
| 0x2E | ADC1 _AWCRH(2)<br>リセット値 | -<br>0 | -<br>0 | -<br>0 | -<br>0 | -<br>0 | -<br>0 | AWEN9<br>0 | AWEN8<br>0 |
| 0x2F | ADC1_AWCRL<br>リセット値 | AWEN7<br>0 | AWEN6<br>0 | AWEN5<br>0 | AWEN4<br>0 | AWEN3<br>0 | AWEN2<br>0 | AWEN1<br>0 | AWEN0<br>0 |

1. このレジスタは、8×10 ビットのバッファサイズを持つデバイスでは予約済みです。
2. このレジスタは、ADC チャネル 8 と 9 を持たないデバイスでは予約済みです。

### 表 77. ADC2 レジスタマップとリセット値

| アドレスオフセット | レジスタ名 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|
| 0x20 | ADC2 _CSR<br>リセット値 | EOC<br>0 | AWD<br>0 | EOCIE<br>0 | AWDIE<br>0 | CH3<br>0 | CH2<br>0 | CH1<br>0 | CH0<br>0 |
| 0x21 | ADC2_CR1<br>リセット値 | -<br>0 | SPSEL2<br>0 | SPSEL1<br>0 | SPSEL0<br>0 | -<br>0 | -<br>0 | CONT<br>0 | ADON<br>0 |
| 0x22 | ADC2_CR2<br>リセット値 | -<br>0 | EXTTRIG<br>0 | EXTSEL1<br>0 | EXTSEL0<br>0 | ALIGN<br>0 | -<br>0 | -<br>0 | -<br>0 |
| 0x23 | ADC2_CR3<br>リセット値 | DBUF<br>0 | OVR<br>0 | -<br>0 | -<br>0 | -<br>0 | -<br>0 | -<br>0 | -<br>0 |
| 0x24 | ADC2_DRH<br>リセット値 | -<br>0 | -<br>0 | -<br>0 | -<br>0 | -<br>0 | -<br>0 | DATA9<br>0 | DATA8<br>0 |
| 0x25 | ADC2_DRL<br>リセット値 | DATA7<br>0 | DATA6<br>0 | DATA5<br>0 | DATA4<br>0 | DATA3<br>0 | DATA2<br>0 | DATA1<br>0 | DATA0<br>0 |
| 0x26 | ADC2_TDRH<br>リセット値 | TD15<br>0 | TD14<br>0 | TD13<br>0 | TD12<br>0 | TD11<br>0 | TD10<br>0 | TD9<br>0 | TD8<br>0 |
| 0x27 | ADC2_TDRL<br>リセット値 | TD7<br>0 | TD6<br>0 | TD5<br>0 | TD4<br>0 | TD3<br>0 | TD2<br>0 | TD1<br>0 | TD0<br>0 |



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

# 25 改版履歴

表 78. 改版履歴

| 日付 | 版 | 変更内容 |
|---|---|---|
| 2008 年 5 月 27 日 | 1 | 初版リリース。 |
| 2008 年 8 月 13 日 | 2 | *セクション 3：メモリおよびレジスタマップ（30 ページ）*を更新：大、中、および小容量のカテゴリを導入;オプションバイトの終了アドレスを変更;RAM、データ EEPROM、およびフラッシュプログラムメモリの容量を更新。<br>*図 18：リセット回路（ページ）72* を更新<br>*セクション 8.2：リセット回路の説明（72 ページ）*で最小リセットパルスを 300 から 500 ns に更新<br>*表 6：メモリアクセスとプログラミング方法（49 ページ）*を更新。<br>*セクション 16（130 ページ）～セクション 19（241 ページ）*を再編成<br>新しい *セクション 22（305 ページ）*で USART と LINUART を UART1、UART2、および UART3 の組み合わせに名前変更。<br>*セクション 23（360 ページ）*で CAN フィルタと外部クロックの説明を更新。<br>*セクション 24（409 ページ）*で ADC を ADC1 と ADC2 に名前変更<br>*連続スキャンモード（414 ページ）*を更新<br>*外部トリガによる変換（416 ページ）*を更新 |
| 2008 年 9 月 22 日 | 3 | *セクション 4：フラッシュプログラムメモリとデータ EEPROM* を更新。<br>*セクション 9.9.1：内部クロックレジスタ（CLK_ICKR）（88 ページ）*で SWUAH ビットの名前を REGAH に変更。<br>*セクション 11.1（104 ページ）*で LSI 周波数測定を変更<br>*ペリフェラルクロックゲーティングレジスタ 1（CLK_PCKENR1）（93 ページ）*を変更<br>*セクション 11.8.2：スロープ制御（109 ページ）*を変更。<br>*セクション 16：タイマの概要*、*セクション 18：16 ビット汎用タイマ（TIM2、TIM3、TIM5）*、および *セクション 19：8 ビット基本タイマ（TIM4、TIM6）*で TIM5、TIM6 の説明を追加。<br>*セクション 24.5.6：アナログウォッチドッグ*を更新。 |



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 78. 改版履歴 （続き）

| 日付 | 版 | 変更内容 |
|---|---|---|
| 2009 年 1 月 15 日 | 4 | メモリとレジスタマップを削除（情報をデータシートに転送）<br>レジスタの絶対アドレスをオフセットに置き換え。(現在、ベースアドレスについてはデータシートのレジスタマップを参照)。<br>*セクション 6.2.1(60 ページ)* で TLI 割り込みに関係する*注* を追加。*セクション 6.5：同時およびネスト割り込み管理* で TLI を追加。<br>*セクション 4：フラッシュプログラムメモリとデータ EEPROM* で大容量 STM8S デバイスのフラッシュプログラム容量を32 - 128 KB に更新。<br>*セクション 4.4: メモリ構成* と *図 6*、*図 7*、および*図 8* で STM8S のオプションバイト領域のサイズを更新。<br>*図 11* で UBC の最大値を更新。*セクション 4.6.2：バイトのプログラミング* と *セクション 4.6.4: ブロックプログラミング*で RWW 機能がある場合とない場合のデバイスで DATA 領域のプログラミングに関する情報を追加。<br>*：高速ブロックプログラミング*、*：高速ブロックプログラミング*、および *セクション 4.8.8: フラッシュステータスレジスタ (FLASH_IAPSR)* に HVOFF を追加。*セクション 4.8.8：フラッシュステータスレジスタ (FLASH_IAPSR) (54 ページ)* でビットフィールドのアクセスタイプを更新。<br>*表 6：メモリアクセスとプログラミング方法*：NMI および TRAP ベクタを削除、ICP/SWIM モード/ROP 有効および UBC ROP 無効でオプションバイトのアクセスを変更。<br>*表 28：ウォッチドッグタイムアウト時間（LSI クロック周波数 = 128 kHz）(122 ページ)* を更新<br>*表 29：概略タイムアウト時間（127 ページ）* を更新<br>*表 30：ウィンドウ型ウォッチドッグのタイミング図（127 ページ）*<br>*注 8（ページ）296* を更新 |
| 2009 年 8 月 10 日 | 5 | *セクション 4.4：メモリ構成* に注を追加。<br>*セクション 4.4.2：メモリアクセス/ウェイトステートの設定* を追加。<br>*図 2 で UCB[7:0] の最大値を更新：255 ページはデータ EEPROM 用に確保。*<br>*図 10* の下に注 1 を追加。*図 11* の下に注 1 を追加し、注 3 を更新。<br>*セクション 4.5.2： メモリアクセスセキュリティシステム（MASS）* で PUL/DUL ビットのチェックを必須化。<br>*セクション 4.6: メモリのプログラミング*にメインプログラムと DATA でのワードプログラミングの詳細を追加。<br>*セクション 4.8.8: フラッシュステータスレジスタ (FLASH_IAPSR) (54 ページ)* を更新。<br>*セクション 9.1.2：HSI* に注を追加。<br>*表 17* を更新（UART ペリフェラルクロックゲーティングビットの説明をデータシートに移動）。<br>*表 20：低電力モードの管理（101 ページ）* を更新<br>*セクション 6.1：ITC の概要* でハードウェア割り込みの管理を更新。<br>割り込みベクタテーブルを削除（データシートに移動） |



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 78. 改版履歴 （続き）

| 日付 | 版 | 変更内容 |
|---|---|---|
| 2009 年 8 月 10 日 | 5<br>続き | *セクション 6.9.2：ソフトウェア優先順位レジスタ x（ITC_SPRx）（67 ページ）*で注を変更。<br>*セクション 12.3.2：タイムベースの選択* で AWU を更新。<br>タイマ入力 XOR 機能の説明を削除（*セクション 17* と *セクション 18* の TI1S ビット）。<br>*セクション 18* で TIM5 のトリガ選択と ETR 説明を更新。<br>*制御レジスタ 2（TIM5_CR2）*と *制御レジスタ 2（TIM6_CR2）*で MMS ビットを更新。<br>*イベント生成レジスタ（TIMx_EGR）*の TG ビットを更新。<br>*セクション（236 ページ）*と *セクション 19.6.10（249 ページ）*で TIM2 および TIM4 レジスタのオフセットに関する注を追加<br>*セクション 21.4.3、確認応答障害（AF）*：マスタコンディションに「反復 START」を追加。<br>*セクション 21.7.3：周波数レジスタ（I2C_FREQR）（293 ページ）*を変更。<br>UART *キャラクタの送信* に 6 番目のステップを追加。UART*単一バイト通信*を更新。<br>*図 115：送信時の TC/TXE の動作* を追加。<br>*セクション 22.7.1：ステータスレジスタ (UART_SR)* で TC ビットの説明を更新。<br>*セクション 22.3.3：レシーバ*に*START ビットの検出* と *セクション 22.3.5：クロック偏差に対する UART レシーバの許容誤差* を追加。<br>*セクション 23.11.15：メールボックスレジスタ* に注意を追加。<br>*CAN メールボックスデータ長制御レジスタ（CAN_MDLCR）*で TGT の説明を更新。<br>*セクション 24.11：ADC レジスタ* で閾値レジスタの配置を変更し、データバッファのベースアドレスの注を追加。 |
| 2009 年 12 月 8 日 | 6 | *ペリフェラルクロックゲーティングレジスタ 2（CLK_PCKENR2）*：アドレスオフセットを置き換え。<br>*表 20：低電力モードの管理*：アクティブ HALT（--）、MVR 自動電源オフ付きアクティブ HALT（---）、および HALT（----）のペリフェラル情報を更新。<br>*繰り返しカウンタレジスタ（TIM1_RCR）*：リセット値を置き換え。<br>*割り込みイネーブルレジスタ（TIMx_IER）*：レジスタテーブルのビット 3（CC3IE）の名前を訂正。<br>*ステータスレジスタ 1（TIMx_SR1）*：レジスタ記述テーブルにビット 3（CC3IF）の説明を追加。<br>*図 93：データクロックのタイミング図*：MISO と MOSI の下でそれぞれ「マスタから」と「スレーブから」を削除。<br>*セクション 20.3.5：データの送受信手順*：タイミング図を改訂し、受信専用モードの説明を増補。<br>*セクション 20.3.8：SPI の無効化* を追加。<br>*マスタモードフォールト（MODF）*：SPE ビットと MSTR ビットは、MODF ビットのクリアシーケンスの後でのみ、元の状態に戻すことができます。<br>*SPI 割り込み制御レジスタ（SPI_ICR）*：TXIE ビットと RXIE ビットに関する注を削除。 |



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 78. 改版履歴 （続き）

| 日付 | 版 | 変更内容 |
|---|---|---|
| 2009 年 12 月 8 日 | 6<br>続き | *図 105 : 方法 1 : マスタレシーバの転送シーケンス図*: 次のデータ受信と EV7 イベントに関する脚注を追加。<br>*バスエラー（BERR）*: 更新。<br>*図 115 : 送信時の TC/TXE の動作* を更新し、IDLE プリアンブルに関する注を削除。<br>バッファレジスタに起因する ADC の読み出し順序はデータコヒーレンシに影響を与えないという事実を考慮して、*セクション 24.9 : 変換結果の読み出し* を更新。<br>*セクション 24.11.1* と *セクション 24.11.2*: MSB ビットと LSB ビットのそれぞれの読み出し順序についての文を削除。<br>*セクション 24.11.5* : ALIGN ビットの読み出し順序についての注を追加。 |



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 78. 改版履歴 （続き）

| 日付 | 版 | 変更内容 |
|---|---|---|
| 2011 年 1 月 31 日 | 7 | STM8A リファレンスマニュアル（RM0009）との統合。<br>ドキュメント全体で低電力モード、HALT、アクティブ HALT、WAIT、および RUN の名前変更。<br>カバーページに STM8S および STM8A デバイスファミリの概要を追加。<br><br>***セクション 2：ブート ROM*** : LIN モード設定を追加。<br>***セクション 3：メモリおよびレジスタマップ***:<br>– STM8A および STM8S デバイスに対応するように*セクション 3.1.1: メモリマップ*を更新。<br>– *セクション 3.1.2：スタック処理* を追加。<br>***セクション 4：フラッシュプログラムメモリとデータ EEPROM***<br>– *セクション 4.4.1: STM8S と STM8A のメモリ構成* で中容量 STM8S および STM8A デバイスのフラッシュプログラムメモリと SRAM サイズを更新。<br>– *図 7: 中容量 STM8S と STM8A でのフラッシュメモリとデータ EEPROM の構成* の下に*注 1* を追加。<br>– *セクション 4.4.2：メモリアクセス/ウェイトステートの設定* に 32 KB と 128 KB の STM8A デバイスを追加。<br>– *セクション 4.5.1：読み出し保護* : 読み出し保護が有効なときの DM モードと*「読み出し保護の一時的解除」のセクション*を追加。<br>– *セクション 4.6.1：同時書き込み／読み出し（RWW）* にメモリ書き込み操作中の FLASH_CR1/FLASH_CR2 アクセスのケースを追加。<br>– 一時的なメモリ保護解除に関連するすべての情報を専用のアプリケーションノートに移動。<br>***セクション 7：電源***:<br>– 電力セクションの概要から最小 VCAP 値を削除。<br>***セクション 8：リセット（RST）***:<br>– EMS を EMC に変更。<br>– *セクション 8.1：「リセット状態」と「リセット中」の定義* を追加<br>– *セクション 8.2：リセット回路の説明* で数値を $t_{OP(NRST)}$ と $t_{INFP(NRST)}$ に置き換え。<br>***セクション 9：クロック制御（CLK）***:<br>– *セクション 9.1.2 : HSI* に*表 14 : 4 つのトリミングビットを持つデバイス*と*表 15 : 3 つのトリミングビットを持つデバイス* を追加。<br>– CLK_HSITRIMR、CLK_SWIMCCR、および CLK_SWCR のリセット値を更新。<br>***セクション 10：電源管理***:<br>– *セクション 10.2.3： アクティブ HALT モード* で高速クロックウェイクアップを更新。<br>***セクション 6：割り込みコントローラ（ITC）***:<br>– *セクション 6.2: 割り込みマスクと処理の流れ* で ISR 内の割り込み無効化に関する注意／注を追加。<br>– *表 11：専用割り込み命令セット* で PUSH CC 命令を追加。<br>– *セクション 6.2.1：ペンディング割り込みの処理* で注 3 を削除。*セクション 6.2.2：割り込みソース* で TLI による TRAP 割り込みのケースを削除。<br>– *セクション 6.4： 起動レベル／低電力モードの制御* から HALT モードと HALT 命令を削除。 |



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 78. 改版履歴 （続き）

| 日付 | 版 | 変更内容 |
|---|---|---|
| 2011 年 1 月 31 日 | 7<br>続き | ***セクション 11：汎用入出力ポート (GPIO)***：<br>– *図 24：GPIO ブロック図*に注を追加。<br>– *セクション 11.3：ポートの設定と使い方*で警告／注を削除。<br>– *表 21：入出力ポート設定の要約*を更新。<br>– *セクション 11.4：リセット設定*を更新。<br>– *セクション 11.5：未使用の入出力ピン*で未使用の入出力ピンのステータスを更新。<br>– *セクション 11.7.2：割り込み機能*で TLI マスキングを追加。<br>– *セクション 11.7.3：アナログチャネル*を更新。<br>– *セクション 11.8.2：スロープ制御*を更新。<br>– *セクション 11.9.2：ポート x ピン入力レジスタ (Px_IDR)*で Px_IDR のリセット値を 0xXX に変更。<br>– *セクション 11.9.4：ポート x 制御レジスタ 1 (Px_CR1)*で PD_CR1 のリセット値を指定。<br>***セクション 12：自動ウェイクアップ（AWU）***：<br>– *セクション 12.3.1：AWU 動作*でステップ 5 を変更。<br>***セクション 17：16 ビット高機能制御タイマ (TIM1)***：<br>– *図 71：センターアライン PWM 波形（ARR=8）*を変更<br>– *図 31：TIM1 の一般的ブロック図*で $f_{SYSCLK}$ を $f_{MASTER}$ に変更。<br>– TIM1_TRIG を TIM1_ETR に名前変更。<br>***セクション 20：シリアルペリフェラルインタフェース（SPI）***：<br>– *セクション 20.3.2: SPI のスレーブモード設定*でパラレルマルチスレーブ構造に関連する注を追加。<br>***セクション 21：I2C（Inter-Integrated Circuit）インタフェース***：<br>– *図 101：I2C ブロック図（ページ）277*、*図 102：スレーブトランスミッタの転送シーケンス図*、および*図 103：スレーブレシーバの転送シーケンス図*を変更。<br>– *セクション 21.4.2：I2C マスタモード*を変更。<br>– *セクション 21.7.2：制御レジスタ 2（I2C_CR2）*で PO ビットの説明を変更。<br>– *セクション 21.7.7：ステータスレジスタ 1（I2C_SR1）*、*セクション 21.7.11：クロック制御レジスタロー（I2C_CCRL）*、および*セクション 21.7.12：クロック制御レジスタハイ（I2C_CCRH）*で注 8 を変更。<br>– *表 50：SCL 周波数テーブルに対する I2C_CCR 値（fMASTER = 10 MHz または 16 MHz）*を追加。<br>***セクション 22：Universal asynchronous receiver transmitter (UART)***：<br>– *LIN ブレークおよびデリミタ検出*を更新。<br>– *表 54：ボーレートのプログラミングと誤差計算*を更新。<br>– *セクション 22.2*で割り込みソースフラグとスレーブモード機能を更新。 |



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 78. 改版履歴 （続き）

| 日付 | 版 | 変更内容 |
|---|---|---|
| 2011 年 1 月 31 日 | 7（続き） | ***セクション 23：コントローラエリアネットワーク（beCAN）***：<br>– *セクション 23.9：クロックシステム* で $f_{CANEXT}$ の上限を変更。<br>– *セクション 23.11.1: CAN マスタ制御レジスタ (CAN_MCR)* で SLEEP と AWUM のビット説明を更新。<br>– 外部 beCAN クロックソース（$f_{CANEXT}$）を CAN_BTR2 レジスタのビット CLKS とともに削除。<br>– CAN レジスタ CLK_CANCCR を削除。<br>***セクション 24：アナログ／デジタルコンバータ（ADC）***：<br>– ADC _CSR～ADC_AWCRL のアドレスオフセットを更新。<br>– *図 158：ADC1 のブロック図* に AIN12 ピンと *注 1* を追加し、*セクション 24.5.4：変換モード* に AIN12 関連の注を追加。 |
| 2011 年 12 月 15 日 | 8 | 1 ページにバリューライン STM8S デバイスを追加。<br>*セクション 4.4.1：STM8S と STM8A のメモリ構成（35 ページ）* を変更<br>*セクション 6.6：外部割り込み（65 ページ）* を変更<br>*セクション 6.9.4：外部割り込み制御レジスタ 1（EXTI_CR2）（69 ページ）* で TLIS ビットの説明を変更。<br>*図 20：クロックツリー（ページ）77* を変更。<br>*セクション 9.6:クロックセキュリティシステム (CSS) (86 ページ)* でクォーツクリスタル設定の HSE オシレータを変更。<br>*セクション 11.8.1：代替機能出力（109 ページ）* で 1 つの文を削除。<br>*タイムアウト時間（122 ページ）* を変更<br>*図 101：I2C ブロック図（ページ）277* を変更（SMBA ピンを削除）<br>*セクション 15：ウィンドウ型ウォッチドッグ（WWDG）（125 ページ）* で SYSCLK を $f_{CPU}$ に置き換え。<br>*セクション 15.7：WWDG での HALT モードの使用（WWDGHALT オプション）（128 ページ）* を変更<br>の下の注 1 を削除。*図 101：I2C ブロック図（ページ）277*<br>*セクション ：出力ステージ* に 1 つの注を追加。<br>*セクション 18.6.1：制御レジスタ 1（TIMx_CR1）* で OPM ビットの説明に 1 つの注を追加。<br>*セクション 21.7.9：ステータスレジスタ 3（I2C_SR3）（298 ページ）* の下に注を追加。<br>*表 55：UART レシーバの許容誤差（UART_DIV[3:0] が 0 の場合）（320 ページ）* と *表 56：UART レシーバの許容誤差（UART_DIV[3:0] が 0 でない場合）（320 ページ）* のタイトルを変更。<br>*セクション 22.7.6:制御レジスタ 2 (UART_CR2) (350 ページ)* で RWU ビットの説明を変更。<br>*セクション 23.4.2：通常モード（364 ページ）* を変更<br>*セクション 22.7.1：ステータスレジスタ (UART_SR)（346 ページ）* で FE ビットの説明に注を追加。<br>*セクション 24.9：変換結果の読み出し（421 ページ）* と *セクション 24.11.2：ADC データバッファレジスタ x ロー（ADC_DBxRL）(x=0..7 または 0..9)* を変更（DB[7:0] の代わりに DBL[7:0]） |



この資料は、STMicroelectronics NV 並びにその子会社 ( 以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

# 索引


## A

ADC_AWCRH . . . . . .434
ADC_AWCRL . . . . . .434
ADC_AWSRH . . . . . .433
ADC_AWSRL . . . . . .433
ADC_CR1 . . . . . .426
ADC_CR2 . . . . . .427
ADC_CR3 . . . . . .428
ADC_CSR . . . . . .425
ADC_DBxRH . . . . . .423
ADC_DBxRL . . . . . .424
ADC_DRH . . . . . .429
ADC_DRL . . . . . .429
ADC_HTRH . . . . . .431
ADC_HTRL . . . . . .431
ADC_LTRH . . . . . .432
ADC_LTRL . . . . . .432
ADC_TDRH . . . . . .430
ADC_TDRL . . . . . .430
AWU_APR . . . . . .117
AWU_CSR1 . . . . . .117
AWU_TBR . . . . . .118

## B

BEEP_CSR . . . . . .120

## C

CAN_BTR1 . . . . . .392
CAN_BTR2 . . . . . .393
CAN_DGR . . . . . .389
CAN_ESR . . . . . .390
CAN_FCR1 . . . . . .401
CAN_FCR2 . . . . . .402
CAN_FCR3 . . . . . .403
CAN_FiRx . . . . . .404
CAN_FMR1 . . . . . .399
CAN_FMR2 . . . . . .400
CAN_IER . . . . . .388, 391
CAN_MCR . . . . . .383
CAN_MCSR . . . . . .394
CAN_MDAR . . . . . .398
CAN_MDLCR . . . . . .397
CAN_MFMIR . . . . . .395
CAN_MIDR1 . . . . . .396
CAN_MIDR2 . . . . . .396
CAN_MIDR3 . . . . . .397
CAN_MIDR4 . . . . . .397
CAN_MSR . . . . . .384
CAN_MTSRH . . . . . .398
CAN_MTSRL . . . . . .398
CAN_PSR . . . . . .389
CAN_RECR . . . . . .392
CAN_RFR . . . . . .387
CAN_TECR . . . . . .391
CAN_TPR . . . . . .386
CAN_TSR . . . . . .385
CFG_GCR . . . . . .28
CLK_CCOR . . . . . .96
CLK_CKDIVR . . . . . .92
CLK_CMSR . . . . . .90
CLK_CSSR . . . . . .95
CLK_ECKR . . . . . .89
CLK_HSITRIMR . . . . . 97-98
CLK_ICKR . . . . . .88
CLK_PCKENR1 . . . . . .93
CLK_PCKENR2 . . . . . .94
CLK_SWCR . . . . . .91
CLK_SWR . . . . . .90

## E

EXTI_CR1 . . . . . .68
EXTI_CR2 . . . . . .69

## F

FLASH_CR1 . . . . . 50-51, 54
FLASH_NCR2 . . . . . .52

## I

I2C_CCRH . . . . . .301
I2C_CCRL . . . . . .300
I2C_CR1 . . . . . .291
I2C_CR2 . . . . . .292
I2C_DR . . . . . .294
I2C_FREQR . . . . . .293
I2C_ITR . . . . . .299
I2C_OARH . . . . . .294
I2C_OARL . . . . . .293
I2C_SR1 . . . . . .295
I2C_SR2 . . . . . .296
I2C_SR3 . . . . . .298
I2C_TRISER . . . . . .303
ITC_SPRx . . . . . .67




この資料は、STMicroelectronics NV 並びにその子会社(以下ST)が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くためにSTマイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST及びSTマイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

IWDG_KR . . . . . 123
IWDG_PR . . . . . 123
IWDG_RLR . . . . . 124

## P

Px_CR1 . . . . . 111
Px_CR2 . . . . . 112
Px_DDR . . . . . 111
Px_IDR . . . . . 110
Px_ODR . . . . . 110

## R

RST_SR . . . . . 75

## S

SPI_CR1 . . . . . 269
SPI_CR2 . . . . . 270
SPI_CRCPR . . . . . 273
SPI_DR . . . . . 273
SPI_ICR . . . . . 271
SPI_RXCRCR . . . . . 273
SPI_SR . . . . . 272
SPI_TXCRCR . . . . . 274

## T

TIM1_ARRH . . . . . 203
TIM1_ARRL . . . . . 203
TIM1_BKR . . . . . 208
TIM1_CCER1 . . . . . 198
TIM1_CCER2 . . . . . 201
TIM1_CCMR1 . . . . . 192
TIM1_CCMR2 . . . . . 195
TIM1_CCMR3 . . . . . 196
TIM1_CCMR4 . . . . . 197
TIM1_CCR1H . . . . . 204
TIM1_CCR1L . . . . . 204
TIM1_CCR2H . . . . . 205
TIM1_CCR2L . . . . . 205
TIM1_CCR3H . . . . . 206
TIM1_CCR3L . . . . . 206
TIM1_CCR4H . . . . . 207
TIM1_CCR4L . . . . . 207
TIM1_CNTRH . . . . . 201
TIM1_CNTRL . . . . . 202
TIM1_CR1 . . . . . 181
TIM1_CR2 . . . . . 183
TIM1_DTR . . . . . 209
TIM1_EGR . . . . . 190
TIM1_ETR . . . . . 185
TIM1_IER . . . . . 187
TIM1_OISR . . . . . 210
TIM1_PSCRH . . . . . 202
TIM1_PSCRL . . . . . 202
TIM1_RCR . . . . . 203
TIM1_SMCR . . . . . 184
TIM1_SR1 . . . . . 188
TIM1_SR2 . . . . . 189
TIM4_ARR . . . . . 248
TIM4_CNTR . . . . . 247
TIM4_CR1 . . . . . 243
TIM4_CR2 . . . . . 244
TIM4_EGR . . . . . 246
TIM4_IER . . . . . 245
TIM4_PSCR . . . . . 248
TIM4_SMCR . . . . . 244
TIM4_SR1 . . . . . 246
TIMx_ARRH . . . . . 233
TIMx_ARRL . . . . . 234
TIMx_CCER1 . . . . . 231
TIMx_CCER2 . . . . . 232
TIMx_CCMR1 . . . . . 227
TIMx_CCMR2 . . . . . 229
TIMx_CCMR3 . . . . . 230
TIMx_CCR1H . . . . . 234
TIMx_CCR1L . . . . . 235
TIMx_CCR2H . . . . . 235
TIMx_CCR2L . . . . . 235
TIMx_CCR3H . . . . . 236
TIMx_CCR3L . . . . . 236
TIMx_CNTRH . . . . . 232
TIMx_CNTRL . . . . . 233
TIMx_CR1 . . . . . 220
TIMx_CR2 . . . . . 221
TIMx_EGR . . . . . 226
TIMx_IER . . . . . 223
TIMx_PSCR . . . . . 233
TIMx_SMCR . . . . . 222
TIMx_SR1 . . . . . 224
TIMx_SR2 . . . . . 225

## U

UART_BRR1 . . . . . 348
UART_BRR2 . . . . . 349
UART_CR1 . . . . . 349
UART_CR2 . . . . . 350
UART_CR3 . . . . . 352
UART_CR4 . . . . . 353
UART_CR5 . . . . . 354
UART_CR6 . . . . . 355
UART_DR . . . . . 348



この資料は、STMicroelectronics NV 並びにその子会社(以下ST)が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くためにSTマイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST及びSTマイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

UART_GTR . . . . . .355
UART_SR . . . . . .346

## W

WWDG_CR . . . . . .129
WWDG_WR . . . . . .129



この資料は、STMicroelectronics NV 並びにその子会社(以下ST)が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くためにSTマイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST及びSTマイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

**よくお読み下さい：**

本書記載の内容はST 製品に関してのみ適用されるものです。STMicroelectronics NV およびその子会社（以下、ST）は、本書、本製品ならびに本書に記載されたサービスの内容を予告なく変更、修正、改定もしくは改良する権利を留保します。

すべてのST 製品はST の販売条件に従って販売されます。

本書記載のST製品およびサービスの選択並びに使用については購入者が全ての責任を負うものとし、本書記載のST製品およびサービスの選択並びに使用に関してST は一切の責任を負いません。

本書は、明示されているか否かに関わらず、また禁反言によるとよらずに関わらず、いかなる知的財産権の実施権を許諾するためのものではありません。本書で第三者の製品もしくはサービスに言及する場合、そのような言及は、STが当該第三者の製品、サービスまたはそれらに含まれる知的財産権を利用する実施権を許諾したとみなすものではなく、またいかなる用法であれ当該第三者の製品、サービスまたはそれらに含まれる知的財産権の使用を保証するものではありません。

**ST の販売条件に規定される場合を除き、STは、商品性、特定目的への適合性(その他管轄の如何を問わず法律で認められる同等のもの)、若しくは特許権、著作権その他の知的財産権の侵害に関する黙示の保証を含め、ST 製品の使用または販売に関する明示または黙示の保証をすべて放棄します。**

**権限のあるST の代表者による書面での明示の許可がある場合を除き、ST 製品を軍事用、航空技術、宇宙用、救命用、若しくは生命維持用に用いること、または不具合若しくは誤動作により負傷または死亡事故、深刻な財産上または環境上の損害を招くおそれのある製品またはシステムへ使用することは、推奨、認可、保証されておりません。「自動車向け」として指定されていないST 製品を自動車用に用いることは、使用者自身の責任においてなされるものとします。**

本書に説明されている記述または技術的特徴とは異なる条件でST 製品が再販された場合、本書に記載されるST 製品またはサービスについてのST による保証は直ちに失われるものとし、いかなる形であれ、ST の責任を生ぜしめること、若しくはその責任が延長されることはないものとします。

ST およびST ロゴは各国におけるSTMicroelectronics の商標または登録商標です。

本書の情報はそれ以前に提供された全ての情報に優先します。

ST ロゴはSTMicroelectronics の登録商標です。その他の名称は、それぞれの所有者に帰属します。

© 2013 STMicroelectronics - All rights reserved

STMicroelectronics group of companies

Australia - Belgium - Brazil - Canada - China - Czech Republic - Finland - France - Germany - Hong Kong - India - Israel - Italy - Japan - Malaysia - Malta - Morocco - Philippines - Singapore - Spain - Sweden - Switzerland - United Kingdom - United States of America

**www.st.com**