参考資料

RM0041
リファレンスマニュアル

STM32F100xx

高性能 ARM ベース 32 ビット MCU

概要

このリファレンスマニュアルは、アプリケーション開発者を対象としています。STM32F100x4、STM32F100x6、STM32F100x8、STM32F100xB、STM32F100xC、STM32F100xD、および STM32F100xE マイクロコントローラのメモリやペリフェラルの使用方法について詳細に説明しています。本書の全体を通じて、特に記載がない限り、STM32F100x4、STM32F100x6、STM32F100x8、STM32F100xB、STM32F100xC、STM32F100xD、および STM32F100xE を STM32F100xx と呼びます。

STM32F100xx は、異なるメモリサイズ、パッケージ、およびペリフェラルを持つマイクロコントローラ製品群です。

注文情報、機械的および電気的なデバイス特性については、*STM32F100xx* のデータシートを参照してください。

内蔵フラッシュメモリのプログラミング、消去、および保護については、*STM32F100xx フラッシュプログラミングマニュアル（PM0063）*を参照してください。

ARM Cortex™-M3 コアについては、*Cortex™-M3 テクニカルリファレンスマニュアル*を参照してください。

関連ドキュメント

次の資料が *www.arm.com* から入手できます。

- *Cortex™-M3 テクニカルリファレンスマニュアルは、次の Web サイトから入手できます。*
http://infocenter.arm.com/help/topic/com.arm.doc.ddi0337e/DDI0337E_cortex_m3_r1p1_trm.pdf

*お近くの STMicroelectronics 販売代理店*から、次の資料を入手できます。

- *STM32F100xx のデータシート*
- *STM32F100xx フラッシュプログラミングマニュアル*

www.st.com

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

目次

1 このマニュアルにおける表記の規則 32

1.1 レジスタに関する略記 32

1.2 用語 32

1.3 使用可能なペリフェラル 32

2 メモリとバスのアーキテクチャ 33

2.1 システムアーキテクチャ 33

2.2 メモリ構成 35

2.3 メモリマップ 36

2.3.1 内蔵 SRAM 39

2.3.2 ビットバンディング 40

2.3.3 内蔵フラッシュメモリ 40

2.4 ブート設定 44

3 CRC 計算ユニット 45

3.1 CRC の概要 45

3.2 CRC の主な機能 45

3.3 CRC 機能の説明 46

3.4 CRC レジスタ 46

3.4.1 データレジスタ（CRC_DR） 46

3.4.2 独立型データレジスタ（CRC_IDR） 46

3.4.3 制御レジスタ（CRC_CR） 47

3.4.4 CRC レジスタマップ 47

4 電源制御（PWR） 48

4.1 電源供給 48

4.1.1 独立 A/D および D/A コンバータ電源と参照電圧 49

4.1.2 バッテリバックアップドメイン 49

4.1.3 電圧レギュレータ 50

4.2 電源供給スーパバイザ 50

4.2.1 パワーオンリセット（POR）/ パワーダウンリセット（PDR） 50

4.2.2 プログラマブル電圧検出器（PVD） 51

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

4.3 低電力モード 52
4.3.1 システムクロック周波数の低減 52
4.3.2 ペリフェラルクロックの停止 53
4.3.3 SLEEP モード 53
4.3.4 STOP モード 54
4.3.5 STANDBY モード 55
4.3.6 低電力モードからの自動ウェイクアップ（AWU） 57
4.4 電源制御レジスタ 57
4.4.1 電源制御レジスタ（PWR_CR） 57
4.4.2 電力制御 / ステータスレジスタ（PWR_CSR） 59
4.4.3 PWR レジスタマップ 60

5 バックアップレジスタ（BKP） 61
5.1 BKP の概要 61
5.2 BKP の主な機能 61
5.3 BKP 機能の説明 62
5.3.1 タンパ検出 62
5.3.2 RTC 較正 62
5.4 BKP レジスタ 63
5.4.1 バックアップデータレジスタ x（BKP_DRx）（x = 1 ..42） 63
5.4.2 RTC クロック較正レジスタ（BKP_RTCCR） 63
5.4.3 バックアップ制御レジスタ（BKP_CR） 64
5.4.4 バックアップ制御 / ステータスレジスタ（BKP_CSR） 64
5.4.5 BKP レジスタマップ 65

6 リセットおよびクロック制御（RCC） 69
6.1 リセット 69
6.1.1 システムリセット 69
6.1.2 電源リセット 70
6.1.3 バックアップドメインリセット 70
6.2 クロック 70
6.2.1 HSE クロック 73
6.2.2 HSI クロック 74
6.2.3 PLL 74
6.2.4 LSE クロック 74
6.2.5 LSI クロック 75

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

6.2.6 システムクロック（SYSCLK）の選択 76
6.2.7 クロックセキュリティシステム（CSS） 76
6.2.8 RTC クロック 76
6.2.9 ウォッチドッグクロック 77
6.2.10 クロック信号出力 77
6.3 RCC レジスタ 78
6.3.1 クロック制御レジスタ（RCC_CR） 78
6.3.2 クロック設定レジスタ（RCC_CFGR） 80
6.3.3 クロック割り込みレジスタ（RCC_CIR） 82
6.3.4 APB2 ペリフェラルリセットレジスタ（RCC_APB2RSTR） 84
6.3.5 APB1 ペリフェラルリセットレジスタ（RCC_APB1RSTR） 86
6.3.6 AHB ペリフェラルクロックイネーブルレジスタ（RCC_AHBENR） 89
6.3.7 APB2 ペリフェラルクロックイネーブルレジスタ（RCC_APB2ENR） 90
6.3.8 APB1 ペリフェラルクロックイネーブルレジスタ（RCC_APB1ENR） 92
6.3.9 バックアップドメイン制御レジスタ（RCC_BDCR） 95
6.3.10 制御 / ステータスレジスタ（RCC_CSR） 96
6.3.11 クロック設定レジスタ 2（RCC_CFGR2） 98
6.3.12 RCC レジスタマップ 99

7 汎用およびオルタネート機能入出力（GPIO および AFIO） 100
7.1 GPIO 機能の説明 100
7.1.1 汎用入出力（GPIO） 102
7.1.2 ビット単位のセット / リセット 102
7.1.3 外部割り込み / ウェイクアップライン 103
7.1.4 オルタネート機能（AF） 103
7.1.5 ソフトウェアによる入出力オルタネート機能の再配置 103
7.1.6 GPIO ロック機構 103
7.1.7 入力設定 104
7.1.8 出力設定 105
7.1.9 オルタネート機能設定 106
7.1.10 アナログ設定 107
7.1.11 デバイスペリフェラルの GPIO 設定 107
7.2 GPIO レジスタ 111
7.2.1 ポート設定レジスタ（下位）（GPIOx_CRL）（x=A..G） 111
7.2.2 ポート設定レジスタ（上位）（GPIOx_CRH）（x=A..G） 112
7.2.3 ポート入力データレジスタ（GPIOx_IDR）（x=A..G） 112
7.2.4 ポート出力データレジスタ（GPIOx_ODR）（x=A..G） 113

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

7.2.5 ポートビットセット / リセットレジスタ（GPIOx_BSRR）（x=A..G） 113
7.2.6 ポートビットリセットレジスタ（GPIOx_BRR）（x=A..G） 114
7.2.7 ポート設定ロックレジスタ（GPIOx_LCKR）（x=A..G） 114
7.3 オルタネート機能入出力とデバッグ設定（AFIO） 115
7.3.1 OSC32_IN/OSC32_OUT ピンの GPIO ポート PC14/PC15 としての使用 115
7.3.2 OSC_IN/OSC_OUT ピンの GPIO ポート PD0/PD1 としての使用 115
7.3.3 JTAG/SWD オルタネート機能の再配置 116
7.3.4 タイマオルタネート機能の再配置 117
7.3.5 USART オルタネート機能の再配置 119
7.3.6 I2C1 オルタネート機能の再配置 120
7.3.7 SPI1 オルタネート機能の再配置 120
7.3.8 CEC の再配置 120
7.4 AFIO レジスタ 121
7.4.1 イベント制御レジスタ（AFIO_EVCR） 121
7.4.2 オルタネート機能の再配置とデバッグ入出力設定レジスタ（AFIO_MAPR） . . 122
7.4.3 外部割り込み設定レジスタ 1（AFIO_EXTICR1） 124
7.4.4 外部割り込み設定レジスタ 2（AFIO_EXTICR2） 124
7.4.5 外部割り込み設定レジスタ 3（AFIO_EXTICR3） 125
7.4.6 外部割り込み設定レジスタ 4（AFIO_EXTICR4） 125
7.4.7 オルタネート機能の再配置とデバッグ入出力設定レジスタ（AFIO_MAPR2） . 126
7.5 GPIO と AFIO のレジスタマップ 128

8 割り込みとイベント 130
8.1 ネスト化されたベクタ割り込みコントローラ（NVIC） 130
8.1.1 SysTick 較正値レジスタ 130
8.1.2 割り込みおよび例外ベクタ 130
8.2 外部割り込み / イベントコントローラ（EXTI） 133
8.2.1 主な機能 133
8.2.2 ブロック図 134
8.2.3 ウェイクアップイベント管理 134
8.2.4 機能の説明 134
8.2.5 外部割り込み / イベントラインのマッピング 136
8.3 EXTI レジスタ 137
8.3.1 割り込みマスクレジスタ（EXTI_IMR） 137
8.3.2 イベントマスクレジスタ（EXTI_EMR） 137
8.3.3 立ち上がりトリガ選択レジスタ（EXTI_RTSR） 138

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

8.3.4 立ち下がりトリガ選択レジスタ（EXTI_FTSR）.....138
8.3.5 ソフトウェア割り込みイベントレジスタ（EXTI_SWIER）.....139
8.3.6 ペンディングレジスタ（EXTI_PR）.....139
8.3.7 EXTI レジスタマップ.....140

9 DMA コントローラ（DMA）.....141
9.1 DMA の概要.....141
9.2 DMA の主な機能.....141
9.3 DMA 機能の説明.....143
9.3.1 DMA トランザクション.....143
9.3.2 アービタ.....144
9.3.3 DMA チャネル.....144
9.3.4 プログラミング可能なデータ幅、データの配置、およびエンディアン.....146
9.3.5 エラー管理.....147
9.3.6 割り込み.....147
9.3.7 DMA リクエストの配置.....147
9.4 DMA レジスタ.....151
9.4.1 DMA 割り込みステータスレジスタ（DMA_ISR）.....151
9.4.2 DMA 割り込みフラグクリアレジスタ（DMA_IFCR）.....152
9.4.3 DMA チャネル x 設定レジスタ（DMA_CCRx）（x = 1..7、x = チャネル番号） 153
9.4.4 DMA チャネル x データ数レジスタ（DMA_CNDTRx）（x = 1..7、x = チャネル番号）.....154
9.4.5 DMA チャネル x ペリフェラルアドレスレジスタ（DMA_CPARx）（x = 1..7、x = チャネル番号）.....155
9.4.6 DMA チャネル x メモリアドレスレジスタ（DMA_CMARx）（x = 1..7、x = チャネル番号）.....155
9.4.7 DMA レジスタマップ.....156

10 A/D コンバータ（ADC）.....158
10.1 ADC の概要.....158
10.2 ADC の主な機能.....158
10.3 ADC 機能の説明.....159
10.3.1 ADC のオン / オフ制御.....160
10.3.2 ADC クロック.....160
10.3.3 チャネル選択.....160
10.3.4 シングル変換モード.....161
10.3.5 連続変換モード.....161

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

10.3.6 タイミング図 161
10.3.7 アナログウォッチドッグ 162
10.3.8 スキャンモード 163
10.3.9 インジェクトチャネルの管理 163
10.3.10 不連続モード 164
10.4 較正 165
10.5 データの配置 166
10.6 チャネルごとにプログラミング可能なサンプル時間 167
10.7 外部トリガによる変換 167
10.8 DMA リクエスト 167
10.9 温度センサ 168
10.10 ADC 割り込み 169
10.11 ADC レジスタ 170
10.11.1 ADC ステータスレジスタ（ADC_SR） 170
10.11.2 ADC 制御レジスタ 1（ADC_CR1） 171
10.11.3 ADC 制御レジスタ 2（ADC_CR2） 173
10.11.4 ADC サンプル時間レジスタ 1（ADC_SMPR1） 175
10.11.5 ADC サンプル時間レジスタ 2（ADC_SMPR2） 175
10.11.6 ADC インジェクトチャネルデータオフセットレジスタ x（ADC_JOFRx）（x=1..4）176
10.11.7 ADC ウォッチドッグ高閾値レジスタ（ADC_HTR） 176
10.11.8 ADC ウォッチドッグ低閾値レジスタ（ADC_LTR） 177
10.11.9 ADC レギュラシーケンスレジスタ 1（ADC_SQR1） 177
10.11.10 ADC レギュラシーケンスレジスタ 2（ADC_SQR2） 178
10.11.11 ADC レギュラシーケンスレジスタ 3（ADC_SQR3） 178
10.11.12 ADC インジェクトシーケンスレジスタ（ADC_JSQR） 179
10.11.13 ADC インジェクトデータレジスタ x（ADC_JDRx）（x= 1..4） 179
10.11.14 ADC レギュラデータレジスタ（ADC_DR） 180
10.11.15 ADC レジスタマップ 180

11 D/A コンバータ（DAC） 182
11.1 DAC の概要 182
11.2 DAC の主な機能 182
11.3 DAC 機能の説明 184
11.3.1 DAC チャネルイネーブル 184
11.3.2 DAC 出力バッファイネーブル 184

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

11.3.3 DAC データフォーマット 184
11.3.4 DAC 変換 185
11.3.5 DAC 出力電圧 186
11.3.6 DAC トリガ選択 186
11.3.7 DMA リクエスト 187
11.3.8 ノイズ生成 187
11.3.9 三角波生成 188
11.4 デュアル DAC チャネル変換 189
11.4.1 波形生成なしの独立トリガ 189
11.4.2 1 つの LFSR 生成による独立トリガ 190
11.4.3 異なる LFSR 生成による独立トリガ 190
11.4.4 1 つの三角波生成による独立トリガ 190
11.4.5 異なる三角波生成による独立トリガ 191
11.4.6 同時ソフトウェア開始 191
11.4.7 波形生成なしの同時トリガ 191
11.4.8 1 つの LFSR 生成による同時トリガ 192
11.4.9 異なる LFSR 生成による同時トリガ 192
11.4.10 1 つの三角波生成による同時トリガ 192
11.4.11 異なる三角波生成による同時トリガ 193
11.5 DAC レジスタ 193
11.5.1 DAC 制御レジスタ（DAC_CR） 193
11.5.2 DAC ソフトウェアトリガレジスタ（DAC_SWTRIGR） 196
11.5.3 DAC チャネル 1 12 ビット右詰めデータ保持レジスタ（DAC_DHR12R1） 197
11.5.4 DAC チャネル 1 12 ビット左詰めデータ保持レジスタ（DAC_DHR12L1） . . . 197
11.5.5 DAC チャネル 1 8 ビット右詰めデータ保持レジスタ（DAC_DHR8R1） 197
11.5.6 DAC チャネル 2 12 ビット右詰めデータ保持レジスタ（DAC_DHR12R2） . . . 198
11.5.7 DAC チャネル 2 12 ビット左詰めデータ保持レジスタ（DAC_DHR12L2） . . . 198
11.5.8 DAC チャネル 2 8 ビット右詰めデータ保持レジスタ（DAC_DHR8R2） 198
11.5.9 デュアル DAC 12 ビット右詰めデータ保持レジスタ（DAC_DHR12RD） 199
11.5.10 デュアル DAC 12 ビット左詰めデータ保持レジスタ（DAC_DHR12LD） 199
11.5.11 デュアル DAC 8 ビット右詰めデータ保持レジスタ（DAC_DHR8RD） 200
11.5.12 DAC チャネル 1 データ出力レジスタ（DAC_DOR1） 200
11.5.13 DAC チャネル 2 データ出力レジスタ（DAC_DOR2） 200
11.5.14 DAC ステータスレジスタ（DAC_SR） 201
11.5.15 DAC レジスタマップ 202

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

12 高機能制御タイマ（TIM1）. 203

12.1 TIM1 の概要 203

12.2 TIM1 の主な機能 203

12.3 TIM1 機能の説明 206

12.3.1 タイムベースユニット 206

12.3.2 カウンタモード 207

12.3.3 繰り返しカウンタ 215

12.3.4 クロック選択 217

12.3.5 キャプチャ / 比較チャネル 220

12.3.6 入力キャプチャモード 222

12.3.7 PWM 入力モード 223

12.3.8 強制出力モード 224

12.3.9 出力比較モード 224

12.3.10 PWM モード 225

12.3.11 相補出力とデッドタイム挿入 228

12.3.12 ブレーク機能の使用 229

12.3.13 外部イベントによる OCxREF 信号のクリア 232

12.3.14 6 ステップ PWM 生成 233

12.3.15 ワンパルスモード 234

12.3.16 エンコーダインタフェースモード 235

12.3.17 タイマ入力 XOR 機能 237

12.3.18 ホールセンサとのインタフェース 237

12.3.19 TIMx と外部トリガの同期 240

12.3.20 タイマの同期 243

12.3.21 デバッグモード 243

12.4 TIM1 レジスタ 244

12.4.1 TIM1 制御レジスタ 1 （TIMx_CR1） 244

12.4.2 TIM1 制御レジスタ 2 （TIMx_CR1） 245

12.4.3 TIM1 スレーブモード制御レジスタ（TIMx_SMCR） 249

12.4.4 TIM1 DMA/ 割り込みイネーブルレジスタ（TIMx_DIER） 251

12.4.5 TIM1 ステータスレジスタ（TIMx_SR） 253

12.4.6 TIM1 イベント生成レジスタ（TIMx_EGR） 254

12.4.7 TIM1 キャプチャ / 比較モードレジスタ 1（TIMx_CR1） 256

12.4.8 TIM1 キャプチャ / 比較モードレジスタ 2（TIMx_CCMR2） 260

12.4.9 TIM1 キャプチャ / 比較イネーブルレジスタ（TIMx_CCER） 262

12.4.10 TIM1 カウンタ（TIMx_CNT） 264

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

12.4.11 TIM1 プリスケーラ（TIMx_PSC）.....264
12.4.12 TIM1 自動再ロードレジスタ（TIMx_ARR）.....264
12.4.13 TIM1 繰り返しカウンタレジスタ（TIMx_RCR）.....265
12.4.14 TIM1 キャプチャ / 比較レジスタ 1（TIMx_CCR1）.....265
12.4.15 TIM1 キャプチャ / 比較レジスタ 2（TIMx_CCR2）.....266
12.4.16 TIM1 キャプチャ / 比較レジスタ 3（TIMx_CCR3）.....266
12.4.17 TIM1 キャプチャ / 比較レジスタ 4（TIMx_CCR4）.....267
12.4.18 TIM1 ブレークおよびデッドタイムレジスタ（TIMx_BDTR）.....267
12.4.19 TIM1 DMA 制御レジスタ（TIMx_DCR）.....269
12.4.20 完全転送の TIM1 DMA アドレス（TIMx_DMAR）.....270
12.4.21 TIM1 レジスタマップ.....271

13 汎用タイマ （TIM2 ～ TIM5）.....273

13.1 TIM2 ～ TIM5 の概要.....273
13.2 TIM2 ～ TIM5 の主な機能.....273
13.3 TIM2 ～ TIM5 機能の説明.....274
13.3.1 タイムベースユニット.....274
13.3.2 カウンタモード.....276
13.3.3 クロック選択.....285
13.3.4 キャプチャ / 比較チャネル.....287
13.3.5 入力キャプチャモード.....290
13.3.6 PWM 入力モード.....291
13.3.7 強制出力モード.....292
13.3.8 出力比較モード.....292
13.3.9 PWM モード.....293
13.3.10 ワンパルスモード.....296
13.3.11 外部イベントによる OCxREF 信号のクリア.....297
13.3.12 エンコーダインタフェースモード.....298
13.3.13 タイマ入力 XOR 機能.....300
13.3.14 タイマと外部トリガの同期.....300
13.3.15 タイマの同期.....303
13.3.16 デバッグモード.....308
13.4 TIMx2 ～ TIM5 レジスタ.....309
13.4.1 TIMx 制御レジスタ 1（TIMx_CR1）.....309
13.4.2 TIMx 制御レジスタ 2（TIMx_CR2）.....311
13.4.3 TIMx スレーブモード制御レジスタ（TIMx_SMCR）.....312
13.4.4 TIMx DMA/ 割り込みイネーブルレジスタ（TIMx_DIER）.....314

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

13.4.5 TIMx ステータスレジスタ（TIMx_SR）.....314
13.4.6 TIMx イベント生成レジスタ（TIMx_EGR）.....314
13.4.7 TIMx およびキャプチャ / 比較モードレジスタ 1（TIMx_CCMR1）.....315
13.4.8 TIMx およびキャプチャ / 比較モードレジスタ 2（TIMx_CCMR2）.....318
13.4.9 TIMx キャプチャ / 比較イネーブルレジスタ（TIMx_CCER）.....319
13.4.10 TIMx カウンタ（TIMx_CNT）.....320
13.4.11 TIMx プリスケーラ（TIMx_PSC）.....321
13.4.12 TIMx 自動再ロードレジスタ（TIMx_ARR）.....321
13.4.13 TIMx キャプチャ / 比較モードレジスタ 1（TIMx_CCR1）.....321
13.4.14 TIMx キャプチャ / 比較モードレジスタ 2（TIMx_CCR2）.....322
13.4.15 TIMx キャプチャ / 比較モードレジスタ 3（TIMx_CCR3）(TIM2 でのみ使用可能).....323
13.4.16 TIMx キャプチャ / 比較モードレジスタ 4（TIMx_CCR4）(TIM2 でのみ使用可能).....323
13.4.17 TIMx DMA 制御レジスタ（TIMx_DCR）.....324
13.4.18 完全転送の TIMx DMA アドレス（TIMx_DMAR）.....325
13.4.19 TIM2 オプションレジスタ (TIM2_OR).....326
13.4.20 TIMx レジスタマップ.....327

14 汎用タイマ (TIM15/16/17).....329

14.1 TIMx の概要.....329
14.2 汎用タイマ TIM15 の主な機能.....329
14.3 汎用タイマ TIM16 および TIM17 の主な機能.....331
14.4 TIMx 機能の説明.....333
14.4.1 タイムベースユニット.....333
14.4.2 カウンタモード.....334
14.4.3 繰り返しカウンタ.....337
14.4.4 クロック選択.....338
14.4.5 キャプチャ / 比較チャネル.....340
14.4.6 入力キャプチャモード.....342
14.4.7 PWM 入力モード時（TIM15 のみ）.....343
14.4.8 強制出力モード.....344
14.4.9 出力比較モード.....344
14.4.10 PWM モード.....345
14.4.11 相補出力とデッドタイム挿入.....346
14.4.12 ブレーク機能の使用.....348
14.4.13 ワンパルスモード（ TIM15 のみ）.....351

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

14.4.14 TIM15 と外部トリガの同期 353
14.4.15 タイマ間の同期（TIM15） 355
14.4.16 デバッグモード 355
14.5 TIM15 レジスタ 356
14.5.1 TIM15 制御レジスタ 1（TIM15_CR1） 356
14.5.2 TIM15 制御レジスタ 2（TIM15_CR2） 357
14.5.3 TIM15 スレーブモード制御レジスタ（TIM15_SMCR） 359
14.5.4 TIM15 DMA/ 割り込みイネーブルレジスタ（TIM15_DIER） 361
14.5.5 TIM15 制御レジスタ（TIM15_SR） 362
14.5.6 TIM15 イベント生成レジスタ（TIM15_EGR） 364
14.5.7 TIM15 キャプチャ / 比較モードレジスタ 1（TIM15_CCMR1） 365
14.5.8 TIM15 キャプチャ / 比較イネーブルレジスタ（TIM15_CCER） 368
14.5.9 TIM15 カウンタ (TIM15_CNT) 371
14.5.10 TIM15 プリスケーラ (TIM15_PSC) 371
14.5.11 TIM15 自動再ロードレジスタ（TIM15_ARR） 371
14.5.12 TIM15 繰り返しカウンタレジスタ（TIM15_RCR） 372
14.5.13 TIM15 キャプチャ / 比較レジスタ 1（TIM15_CCR1） 372
14.5.14 TIM15 キャプチャ / 比較レジスタ 2（TIM15_CCR2） 373
14.5.15 TIM15 ブレークおよびデッドタイムレジスタ（TIM15_BDTR） 373
14.5.16 TIM15 DMA 制御レジスタ（TIM15_DCR） 375
14.5.17 TIM15 完全転送の DMA アドレス（TIM15_DMAR） 376
14.5.18 TIM15 レジスタマップ 376
14.6 TIM16 および TIM17 レジスタ 378
14.6.1 TIM16 および TIM17 制御レジスタ 1（TIMx_CR1） 378
14.6.2 TIM16 および TIM17 制御レジスタ 2（TIMx_CR2） 379
14.6.3 TIM6 および TIM7 DMA/ 割り込みイネーブルレジスタ（TIMx_DIER） 380
14.6.4 TIM6 および TIM7 ステータスレジスタ（TIMx_SR） 381
14.6.5 TIM6 および TIM7 イベント生成レジスタ（TIMx_EGR） 382
14.6.6 TIM16 および TIM17 キャプチャ / 比較モードレジスタ 1（TIMx_CCMR1） . .384
14.6.7 TIM16 および TIM17 キャプチャ / 比較イネーブルレジスタ（TIMx_CCER） .387
14.6.8 TIM16 および TIM17 カウンタ (TIMx_CNT) 389
14.6.9 TIM6 および TIM7 プリスケーラ（TIMx_PSC） 389
14.6.10 TIM16 および TIM17 自動再ロードレジスタ（TIMx_ARR） 389
14.6.11 TIM16 および TIM17 繰り返しカウンタレジスタ（TIMx_RCR） 390
14.6.12 TIM16 および TIM17 キャプチャ / 比較レジスタ 1（TIMx_CCR1） 390
14.6.13 TIM16 および TIM17 ブレークおよびデッドタイムレジスタ（TIMx_BDTR） .391
14.6.14 TIM16 および TIM17 DMA 制御レジスタ（TIMx_DCR） 393

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

14.6.15 完全転送の TIM16 および TIM17 DMA アドレス（TIMx_DMAR）.....394
14.6.16 TIM16 および TIM17 レジスタマップ 394

15 汎用タイマ（TIM12/13/14）..... 396

15.1 TIMx の概要 396
15.2 汎用タイマ TIM12 396
15.3 汎用タイマ TIM13/TIM14 397
15.4 TIMx 機能の説明 399
15.4.1 タイムベースユニット 399
15.4.2 カウンタモード 400
15.4.3 クロック選択 403
15.4.4 キャプチャ / 比較チャネル 405
15.4.5 入力キャプチャモード 406
15.4.6 PWM 入力モード（TIM12 のみ）.....407
15.4.7 強制出力モード 408
15.4.8 出力比較モード 409
15.4.9 PWM モード 410
15.4.10 ワンパルスモード（TIM12 のみ）.....412
15.4.11 TIM12 と外部トリガの同期 414
15.4.12 タイマの同期（TIM12）.....416
15.4.13 デバッグモード 416
15.5 TIM12 レジスタ 416
15.5.1 TIM12 制御レジスタ 1（TIM12_CR1）.....417
15.5.2 TIM12 制御レジスタ 2（TIM12_CR2）.....418
15.5.3 TIM12 スレーブモード制御レジスタ（TIM12_SMCR）.....419
15.5.4 TIM12 ステータスレジスタ（TIM12_SR）.....421
15.5.5 TIM12 イベント生成レジスタ（TIM12_EGR）.....422
15.5.6 TIM12 キャプチャ / 比較モードレジスタ 1（TIM12_CCMR1）.....423
15.5.7 TIM12 キャプチャ / 比較イネーブルレジスタ（TIM12_CCER）.....426
15.5.8 TIM12 カウンタ（TIM12_CNT）.....427
15.5.9 TIM12 プリスケーラ（TIM12_PSC）.....427
15.5.10 TIM12 自動再ロードレジスタ（TIM12_ARR）.....427
15.5.11 TIM12 キャプチャ / 比較レジスタ 1（TIM12_CCR1）.....428
15.5.12 TIM12 キャプチャ / 比較レジスタ 2（TIM12_CCR2）.....428
15.5.13 TIM12 レジスタマップ 429

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

15.6 TIM13 および TIM14 レジスタ 430
15.6.1 TIM13 および TIM14 制御レジスタ 1（TIMx_CR1）. 430
15.6.2 TIM13 および TIM14 制御レジスタ 2（TIMx_CR2）. 431
15.6.3 TIM13 および TIM14 ステータスレジスタ（TIMx_SR）. 432
15.6.4 TIM13 および TIM14 イベント生成レジスタ（TIMx_EGR）. 433
15.6.5 TIM13 および TIM14 キャプチャ / 比較モードレジスタ 1（TIMx_CCMR1）. .433
15.6.6 TIM13 および TIM14 キャプチャ / 比較イネーブルレジスタ（TIMx_CCER）.436
15.6.7 TIM13 および TIM14 カウンタ（TIMx_CNT）. 436
15.6.8 TIM13 および TIM14 プリスケーラ（TIMx_PSC）. 437
15.6.9 TIM13 および TIM14 自動再ロードレジスタ（TIMx_ARR）. 437
15.6.10 TIM13 および TIM14 キャプチャ / 比較レジスタ 1（TIMx_CCR1）. 437
15.6.11 TIM13 および TIM14 レジスタマップ 438

16 基本タイマ（TIM6 および TIM7）. 439
16.1 TIM6 および TIM7 の概要 439
16.2 TIM6 および TIM7 の主な機能 439
16.3 TIM6 および TIM7 の機能の説明 440
16.3.1 タイムベースユニット 440
16.3.2 カウントモード 442
16.3.3 クロックソース 444
16.3.4 デバッグモード 445
16.4 TIM6 および TIM7 レジスタ 445
16.4.1 TIM6 および TIM7 制御レジスタ 1（TIMx_CR1）. 445
16.4.2 TIM6 および TIM7 制御レジスタ 2（TIMx_CR2）. 447
16.4.3 TIM6 および TIM7 DMA/ 割り込みイネーブルレジスタ（TIMx_DIER）. 447
16.4.4 TIM6 および TIM7 ステータスレジスタ（TIMx_SR）. 448
16.4.5 TIM6 および TIM7 イベント生成レジスタ（TIMx_EGR）. 448
16.4.6 TIM6 および TIM7 カウンタ（TIMx_CNT）. 448
16.4.7 TIM6 および TIM7 プリスケーラ（TIMx_PSC）. 449
16.4.8 TIM6 および TIM7 自動再ロードレジスタ（TIMx_ARR）. 449
16.4.9 TIM6 および TIM7 レジスタマップ 450

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

17 リアルタイムクロック（RTC）. 451

17.1 RTC の概要 451

17.2 RTC の主な機能 452

17.3 RTC 機能の説明 453

17.3.1 概要 453

17.3.2 RTC レジスタのリセット 454

17.3.3 RTC レジスタの読み出し 454

17.3.4 RTC レジスタの設定 454

17.3.5 RTC フラグのアサート 455

17.4 RTC レジスタ 456

17.4.1 RTC 制御レジスタ（上位）（RTC_CRH）. 456

17.4.2 RTC 制御レジスタ（下位）（RTC_CRL）. 456

17.4.3 RTC プリスケーラロードレジスタ（RTC_PRLH/RTC_PRLL）. 458

17.4.4 RTC プリスケーラ分周レジスタ（RTC_DIVH/RTC_DIVL）. 459

17.4.5 RTC カウンタレジスタ（RTC_CNTH/RTC_CNTL）. 460

17.4.6 RTC アラームレジスタ（上位）（RTC_ALRH/RTC_ALRL）. 461

17.4.7 RTC レジスタマップ 462

18 独立型ウォッチドッグ (IWDG) 463

18.1 IWDG の概要 463

18.2 IWDG の主な機能 463

18.3 IWDG 機能の説明 463

18.3.1 ハードウェアウォッチドッグ 464

18.3.2 レジスタのアクセス保護 464

18.3.3 デバッグモード 464

18.4 IWDG レジスタ 465

18.4.1 キーレジスタ（IWDG_KR）. 465

18.4.2 プリスケーラレジスタ（IWDG_PR）. 465

18.4.3 再ロードレジスタ（IWDG_RLR）. 466

18.4.4 ステータスレジスタ（IWDG_SR）. 466

18.4.5 IWDG レジスタマップ 467

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

19 ウィンドウ型ウォッチドッグ（WWDG） 468

19.1 WWDG の概要 468

19.2 WWDG の主な機能 468

19.3 WWDG 機能の説明 468

19.4 ウォッチドッグタイムアウトをプログラムするには 470

19.5 デバッグモード 470

19.6 WWDG レジスタ 470

19.6.1 制御レジスタ（WWDG_CR） 470

19.6.2 設定レジスタ（WWDG_CFR） 471

19.6.3 ステータスレジスタ（WWDG_SR） 471

19.6.4 WWDG レジスタマップ 472

20 フレキシブルスタティックメモリコントローラ（FSMC） 473

20.1 FSMC の主な機能 473

20.2 ブロック図 474

20.3 AHB インタフェース 475

20.3.1 サポートされるメモリおよびトランザクション 475

20.4 外部デバイスアドレスマッピング 476

20.4.1 NOR/PSRAM アドレスマッピング 476

20.5 NOR 型フラッシュ /PSRAM コントローラ 477

20.5.1 外部メモリインタフェース信号 478

20.5.2 サポートされるメモリおよびトランザクション 480

20.5.3 一般的なタイミング規則 481

20.5.4 NOR 型フラッシュ /PSRAM コントローラ非同期トランザクション 481

20.5.5 同期バーストトランザクション 497

20.5.6 NOR/PSRAM 制御レジスタ 503

20.5.7 FSMC レジスタマップ 509

21 シリアルペリフェラルインタフェース（SPI） 510

21.1 SPI の概要 510

21.2 SPI の主な機能 511

21.2.1 SPI 機能 511

21.3 SPI 機能の説明 512

21.3.1 概要 512

21.3.2 SPI のスレーブモード設定 515

21.3.3 SPI のマスタモード設定 517

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

21.3.4 SPI の単方向通信設定 518
21.3.5 データの送受信手順 518
21.3.6 CRC の計算 525
21.3.7 ステータスフラグ 527
21.3.8 SPI の無効化 528
21.3.9 DMA（Direct Memory Addressing）を使用する SPI 通信 529
21.3.10 エラーフラグ 530
21.3.11 SPI 割り込み 531
21.4 SPI レジスタ 532
21.4.1 SPI 制御レジスタ 1（SPI_CR1）. 532
21.4.2 SPI 制御レジスタ 2（SPI_CR2）. 534
21.4.3 SPI ステータスレジスタ（SPI_SR）. 535
21.4.4 SPI データレジスタ（SPI_DR） 536
21.4.5 SPI CRC 多項式レジスタ（SPI_CRCPR) 536
21.4.6 SPI RX CRC レジスタ（SPI_RXCRCR) 537
21.4.7 SPI TX CRC レジスタ（SPI_TXCRCR) 537
21.4.8 SPI レジスタマップ 538

22 I²C（Inter-Integrated Circuit）インタフェース 539
22.1 I²C の概要 539
22.2 I²C の主な機能 539
22.3 I²C 機能の説明 540
22.3.1 モード選択 540
22.3.2 I²C スレーブモード 542
22.3.3 I²C マスタモード 544
22.3.4 エラー条件 551
22.3.5 SDA/SCL ライン制御 552
22.3.6 SMBus 553
22.3.7 DMA リクエスト 555
22.3.8 パケットエラーチェック 556
22.4 I²C 割り込み 557
22.5 I²C デバッグモード 559
22.6 I²C レジスタ 559
22.6.1 制御レジスタ 1（I2C_CR1）. 559
22.6.2 制御レジスタ 2（I2C_CR2）. 561
22.6.3 自己アドレスレジスタ 1（I2C_OAR1）. 562

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

22.6.4 自己アドレスレジスタ 2（I2C_OAR2）.....563
22.6.5 データレジスタ（I2C_DR）.....563
22.6.6 ステータスレジスタ 1（I2C_SR1）.....564
22.6.7 ステータスレジスタ 2（I2C_SR2）.....568
22.6.8 クロック制御レジスタ（I2C_CCR）.....569
22.6.9 TRISE レジスタ（I2C_TRISE）.....570
22.6.10 I2C レジスタマップ.....571

23 USART（Universal synchronous asynchronous receiver transmitter）.....572

23.1 USART の概要.....572
23.2 USART の主な機能.....572
23.3 USART 機能の説明.....573
23.3.1 USART キャラクタの説明.....576
23.3.2 トランスミッタ.....577
23.3.3 レシーバ.....580
23.3.4 小数点適用のボーレート生成.....584
23.3.5 クロック偏差に対する USART レシーバの許容誤差.....589
23.3.6 マルチプロセッサ通信.....590
23.3.7 パリティ制御.....591
23.3.8 LIN（local interconnection network）モード.....592
23.3.9 USART 同期モード.....595
23.3.10 単線半二重通信.....597
23.3.11 スマートカード.....598
23.3.12 IrDA SIR ENDEC ブロック.....600
23.3.13 DMA を使用した連続通信.....602
23.3.14 ハードウェアフロー制御.....604
23.4 USART 割り込み.....606
23.5 USART モード設定.....607
23.6 USART レジスタ.....607
23.6.1 ステータスレジスタ（USART_SR）.....607
23.6.2 データレジスタ（USART_DR）.....610
23.6.3 ボーレートレジスタ（USART_BRR）.....610
23.6.4 制御レジスタ 1（USART_CR1）.....611
23.6.5 制御レジスタ 2（USART_CR2）.....613
23.6.6 制御レジスタ 3（USART_CR3）.....614
23.6.7 ガード時間 / プリスケーラレジスタ（USART_GTPR）.....616

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

23.6.8 USART レジスタマップ 617

24 HDMI™-CEC（High-Definition Multimedia Interface -Consumer Electronics Control）コントローラ 618

24.1 概要 618

24.2 HDMI-CEC の主な機能 618

24.3 HDMI-CEC バストポロジ 619

24.3.1 HDMI-CEC ピン 619

24.3.2 メッセージの説明 620

24.3.3 ビットタイミング 621

24.4 アービトレーション 622

24.4.1 信号フリータイム（Signal Free Time：SFT） 622

24.4.2 ヘッダアービトレーション 622

24.5 エラー処理 623

24.5.1 BTE、BPE、およびエラービットの生成 623

24.5.2 メッセージエラー 623

24.6 デバイスアドレッシング 623

24.7 HDMI-CEC 機能の説明 624

24.7.1 ブロック図 624

24.7.2 プリスケーラ 624

24.7.3 Rx デジタルフィルタ 625

24.7.4 Rx ビットタイミング 625

24.7.5 Tx ビットタイミング 626

24.7.6 CEC アービタ 627

24.7.7 CEC 状態 628

24.7.8 CEC とシステム STOP モード 633

24.8 HDMI-CEC 割り込み 634

24.9 HDMI-CEC レジスタ 635

24.9.1 CEC 設定レジスタ（CEC_CFGR） 635

24.9.2 CEC 自己アドレスレジスタ（CEC_OAR） 636

24.9.3 CEC プリスケーラレジスタ（CEC_PRES） 636

24.9.4 CEC エラーステータスレジスタ（CEC_ESR） 637

24.9.5 CEC 制御およびステータスレジスタ（CEC_CSR） 639

24.9.6 CEC Tx データレジスタ（CEC_TXD） 640

24.9.7 CEC Rx データレジスタ（CEC_RXD） 640

24.9.8 HDMI-CEC レジスタマップ 641

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

25 デバッグサポート（DBG） 642

25.1 概要 642

25.2 ARM リファレンス資料 644

25.3 SWJ デバッグポート（シリアルワイヤと JTAG） 644

25.3.1 JTAG-DP または SW-DP の選択メカニズム 645

25.4 ピン名とデバッグポートピン 645

25.4.1 SWJ デバッグポートピン 645

25.4.2 フレキシブルな SWJ-DP ピン配置 645

25.4.3 JTAG ピンでの内部プルアップ / プルダウン 646

25.4.4 シリアルワイヤの使用と、未使用のデバッグピンを GPIO として解放する方法 . 647

25.5 STM32F100xxJTAG TAP 接続 647

25.6 ID コードとロック機構 648

25.6.1 MCU デバイス ID コード 648

25.6.2 バウンダリスキャン TAP 649

25.6.3 Cortex-M3 TAP 649

25.6.4 Cortex-M3 JEDEC-106 ID コード 650

25.7 JTAG デバッグポート 650

25.8 SW デバッグポート 652

25.8.1 SW プロトコルの概要 652

25.8.2 SW プロトコルシーケンス 652

25.8.3 SW-DP ステートマシン（リセット、アイドル状態、ID コード） 653

25.8.4 DP と AP の読み出し / 書き込みアクセス 653

25.8.5 SW-DP レジスタ 654

25.8.6 SW-AP レジスタ 655

25.9 AHB-AP（AHB アクセスポート）- JTAG-DP と SW-DP の両方に有効 655

25.10 コアデバッグ 656

25.11 システムリセット中のデバッガホスト接続機能 656

25.12 FPB（フラッシュパッチブレークポイント） 657

25.13 DWT（データウォッチポイントトリガ） 657

25.14 ITM（計測トレースマクロセル） 657

25.14.1 概要 657

25.14.2 タイムスタンプパケット、同期およびオーバーフローパケット 658

25.15 MCU デバッグコンポーネント（DBGMCU） 659

25.15.1 低電力モードのデバッグサポート 659

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

25.15.2 タイマ、ウォッチドッグ、および I²C のデバッグサポート 660
25.15.3 デバッグ MCU 設定レジスタ 660
25.16 TPIU（トレースポートインタフェースユニット） 663
25.16.1 概要 663
25.16.2 TRACE ピンの割り当て 663
25.16.3 TPIU フォーマッタ 665
25.16.4 TPIU フレーム同期パケット 665
25.16.5 同期フレームパケットの送信 665
25.16.6 同期モード 666
25.16.7 非同期モード 666
25.16.8 STM32F100xx 内部の TRACECLKIN 接続 666
25.16.9 TPIU レジスタ 666
25.16.10 設定例 667
25.17 DBG レジスタマップ 668

26 デバイス電子署名 669
26.1 メモリサイズレジスタ 669
26.1.1 フラッシュサイズレジスタ 669
26.2 ユニークデバイス ID レジスタ（96 ビット） 670

27 改版履歴 675

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表の一覧

表 1. 小容量および中容量デバイスのレジスタ境界アドレス 36
表 2. 大容量デバイスのレジスタ境界アドレス 37
表 3. フラッシュモジュールの構成（小容量バリューラインデバイス） 41
表 4. フラッシュモジュールの構成（中容量バリューラインデバイス） 41
表 5. フラッシュモジュールの構成（大容量バリューラインデバイス） 42
表 6. ブートモード 44
表 7. CRC 計算ユニットのレジスタマップとリセット値 47
表 8. 低電力モードの要約 52
表 9. Sleep-now 54
表 10. Sleep-on-exit 54
表 11. STOP モード 55
表 12. STANDBY モード 56
表 13. PWR レジスタマップとリセット値 60
表 14. BKP レジスタマップとリセット値 65
表 15. RCC レジスタマップとリセット値 99
表 16. ポートビット設定表 102
表 17. 出力モードビット 102
表 18. 高機能タイマ TIM1 107
表 19. 汎用タイマ TIM2/3/4/5 108
表 20. 汎用タイマ TIM15/16/17 108
表 21. 汎用タイマ TIM12/13/14 108
表 22. USART 108
表 23. SPI 108
表 24. CEC 109
表 25. I2C 109
表 26. FSMC 109
表 27. その他の入出力 110
表 28. デバッグインタフェース信号 116
表 29. デバッグポートの配置 116
表 30. TIM5 オルタネート機能の再配置 117
表 31. TIM12 の再配置 117
表 32. TIM13 の再配置 117
表 33. TIM14 の再配置 117
表 34. TIM4 オルタネート機能の再配置 117
表 35. TIM3 オルタネート機能の再配置 118
表 36. TIM2 オルタネート機能の再配置 118
表 37. TIM1 オルタネート機能の再配置 118
表 38. TIM1 DMA の再配置 118
表 39. TIM15 の再配置 119
表 40. TIM16 の再配置 119
表 41. TIM17 の再配置 119
表 42. USART3 の再配置 119
表 43. USART2 の再配置 119
表 44. USART1 の再配置 120
表 45. I2C1 の再配置 120
表 46. SPI1 の再配置 120
表 47. CEC の再配置 120
表 48. GPIO のレジスタマップとリセット値 128
表 49. AFIO のレジスタマップとリセット値 128

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 50. STM32F100xx デバイスのベクタテーブル 130
表 51. 外部割り込み / イベントコントローラのレジスタマップとリセット値 140
表 52. プログラミング可能なデータ幅とエンディアン動作（ビット PINC = MINC = 1 のとき）. 146
表 53. DMA 割り込みリクエスト 147
表 54. チャネルごとの DMA1 リクエストの一覧. 149
表 55. チャネルごとの DMA2 リクエストの一覧. 150
表 56. DMA レジスタマップとリセット値. 156
表 57. ADC ピン. 160
表 58. アナログウォッチドッグチャネル選択 162
表 59. ADC1 のレギュラチャネルに対する外部トリガ 167
表 60. ADC1 のインジェクトチャネルに対する外部トリガ 167
表 61. ADC 割り込み 169
表 62. ADC レジスタマップとリセット値 180
表 63. DAC ピン. 183
表 64. 外部トリガ. 186
表 65. DAC レジスタマップ. 202
表 66. カウント方向とエンコーダ信号 236
表 67. TIMx 内部トリガ接続. 251
表 68. ブレーク機能を持つ相補 OCx および OCxN チャネルの出力制御ビット 263
表 69. TIM1 レジスタマップとリセット値. 271
表 70. カウント方向とエンコーダ信号 299
表 71. TIM2 ～ TIM5 内部トリガ接続. 313
表 72. 標準 OCx チャネルの出力制御ビット 320
表 73. TIM2 ～ TIM5 レジスタマップとリセット値 327
表 74. TIMx 内部トリガ接続. 360
表 75. ブレーク機能をもつ相補出力 OCx および OCxN チャネルの出力制御ビット 370
表 76. TIM15 レジスタマップとリセット値. 376
表 77. ブレーク機能をもつ相補出力 OCx および OCxN チャネルの出力制御ビット 388
表 78. TIM16 および TIM17 レジスタマップとリセット値 394
表 79. TIMx 内部トリガ接続. 420
表 80. TIM12 レジスタマップとリセット値. 429
表 81. TIM13 および TIM14 レジスタマップとリセット値 438
表 82. TIM6 および TIM7 レジスタマップとリセット値 450
表 83. RTC レジスタマップとリセット値 462
表 84. 最小 / 最大 IWDG タイムアウト期間（kHz）（LSI） 464
表 85. IWDG レジスタマップとリセット値 467
表 86. WWDG レジスタマップとリセット値. 472
表 87. NOR/PSRAM バンク選択 476
表 88. 外部メモリアドレス 476
表 89. プログラマブル NOR/PSRAM アクセスパラメータ 477
表 90. 非多重化 I/O NOR 型フラッシュ 478
表 91. 多重化 I/O NOR 型フラッシュ. 478
表 92. 非多重化 I/O PSRAM/SRAM 479
表 93. 非多重化 I/O PSRAM. 479
表 94. NOR 型フラッシュ /PSRAM でサポートされるメモリおよびトランザクション 480
表 95. FSMC_BCRx ビットフィールド 482
表 96. FSMC_BTRx ビットフィールド 483
表 97. FSMC_BCRx ビットフィールド 484
表 98. FSMC_BTRx ビットフィールド 485
表 99. FSMC_BWTRx ビットフィールド 485
表 100. FSMC_BCRx ビットフィールド 487
表 101. FSMC_BTRx ビットフィールド 488

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 102. FSMC_BWTRx ビットフィールド 488
表 103. FSMC_BCRx ビットフィールド 490
表 104. FSMC_BTRx ビットフィールド 490
表 105. FSMC_BWTRx ビットフィールド 490
表 106. FSMC_BCRx ビットフィールド 492
表 107. FSMC_BTRx ビットフィールド 492
表 108. FSMC_BWTRx ビットフィールド 492
表 109. FSMC_BCRx ビットフィールド 494
表 110. FSMC_BTRx ビットフィールド 494
表 111. FSMC_BCRx ビットフィールド 499
表 112. FSMC_BTRx ビットフィールド 500
表 113. FSMC_BCRx ビットフィールド 502
表 114. FSMC_BTRx ビットフィールド 502
表 115. FSMC レジスタマップ 509
表 116. SPI 割り込みリクエスト 531
表 117. SPI レジスタマップとリセット値 538
表 118. SMBus と I2C の比較 553
表 119. I2C 割り込みリクエスト 557
表 120. I2C レジスタマップとリセット値 571
表 121. サンプリングされたデータからのノイズ検出 583
表 122. プログラミングされたボーレートの誤差計算（f_{PCLK} = 8 MHz または f_{PCLK} = 12 MHz）、16 倍のオーバーサンプリング 586
表 123. プログラミングされたボーレートの誤差計算（f_{PCLK} = 8 MHz または f_{PCLK} = 12 MHz）、8 倍のオーバーサンプリング 587
表 124. プログラミングされたボーレートの誤差計算（f_{PCLK} = 16 MHz または f_{PCLK} = 24 MHz）、16 倍のオーバーサンプリング 588
表 125. プログラミングされたボーレートの誤差計算（f_{PCLK} = 16 MHz または f_{PCLK} = 24 MHz）、8 倍のオーバーサンプリング 588
表 126. USART レシーバの許容誤差（DIV_Fraction が 0 の場合） 589
表 127. USART レシーバの許容誤差（DIV_Fraction が 0 でない場合） 590
表 128. フレームフォーマット 591
表 129. USART 割り込みリクエスト 606
表 130. USART モード設定 607
表 131. USART のレジスタマップとリセット値 617
表 132. HDMI ピン 619
表 133. 信号フリータイムの定義 622
表 134. ロービット持続時間（LBD）に依存するビットステータス 626
表 135. 合計ビット持続時間（TBD）に依存するビットステータス 626
表 136. STM32 CEC のアービトレーション 627
表 137. メッセージの受信時に尊重すべきソフトウェアシーケンス 629
表 138. メッセージの送信時に尊重すべきソフトウェアシーケンス 631
表 139. メッセージの送信時に尊重すべきソフトウェアシーケンス 632
表 140. HDMI-CEC 割り込み 634
表 141. HDMI-CEC のレジスタマップとリセット値 641
表 142. SWJ デバッグポートピン 645
表 143. フレキシブルな SWJ-DP ピン配置 646
表 144. JTAG デバッグポートのデータレジスタ 650
表 145. シフトされた値 A[3:2] によってアドレス指定される 32 ビットデバッグポートレジスタ 651
表 146. パケットリクエスト（8 ビット） 652
表 147. ACK 応答（3 ビット） 653
表 148. DATA 転送（33 ビット） 653
表 149. SW-DP レジスタ 654

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 150. Cortex-M3 AHB-AP レジスタ 655
表 151. コアデバッグレジスタ 656
表 152. 主な ITM レジスタ 658
表 153. 非同期 TRACE ピンの割り当て 663
表 154. 同期 TRACE ピンの割り当て 663
表 155. 柔軟性の高い TRACE ピン割り当て 664
表 156. 重要な TPIU レジスタ 667
表 157. DBG レジスタマップとリセット値 668
表 158. 改版履歴 675

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図の一覧

図 1. 小容量および中容量バリューラインデバイスのシステムアーキテクチャ 33
図 2. 大容量バリューラインデバイスのシステムアーキテクチャ 34
図 3. CRC 計算ユニットのブロック図 45
図 4. 電源の概要 48
図 5. パワーオンリセット / パワーダウンリセット波形 50
図 6. PVD 閾値 51
図 7. 簡略化されたリセット回路図 70
図 8. STM32F100xx クロックツリー （小容量および中容量デバイス） 71
図 9. STM32F100xx クロックツリー（大容量デバイス） 72
図 10. HSE/LSE クロックソース 73
図 11. 標準入出力ポートビットの基本構造 101
図 12. 5V 耐性入出力ポートビットの基本構造 101
図 13. 入力フローティング / プルアップ / プルダウン設定 104
図 14. 出力設定 105
図 15. オルタネート機能設定 106
図 16. ハイインピーダンスアナログ設定 107
図 17. ADC/DAC 109
図 18. 外部割り込み / イベントコントローラのブロック図 134
図 19. 外部割り込み / イベントの GPIO マッピング 136
図 20. 小容量および中容量 STM32F100xx デバイスの DMA ブロック図 142
図 21. 大容量 STM32F100xx デバイスの DMA ブロック図 143
図 22. DMA1 リクエストの配置 148
図 23. DMA2 リクエストの配置 150
図 24. シングル ADC ブロック図 159
図 25. タイミング図 162
図 26. アナログウォッチドッグによって保護される領域 162
図 27. インジェクト変換の遅延時間 164
図 28. 較正のタイミング図 165
図 29. データの右詰め 166
図 30. データの左詰め 166
図 31. 温度センサおよび VREFINT チャネルのブロック図 168
図 32. DAC チャネルブロック図 183
図 33. シングル DAC チャネルモードのデータレジスタ 184
図 34. デュアル DAC チャネルモードのデータレジスタ 185
図 35. トリガ無効（TEN = 0）時の変換タイミング図 185
図 36. DAC LFSR レジスタ計算アルゴリズム 187
図 37. LSFR 波形生成による DAC 変換（SW トリガ有効） 188
図 38. DAC 三角波生成 188
図 39. 三角波生成による DAC 変換（SW トリガ有効） 189
図 40. 高機能制御タイマのブロック図 205
図 41. プリスケーラ分周比が 1 から 2 に変化したときのカウンタのタイミング図 207
図 42. プリスケーラ分周比が 1 から 4 に変化したときのカウンタのタイミング図 207
図 43. 内部クロック分周比が 1 の場合のカウンタのタイミング図 208
図 44. 内部クロック分周比が 2 の場合のカウンタのタイミング図 208
図 45. 内部クロック分周比が 4 の場合のカウンタのタイミング図 209
図 46. 内部クロック分周比が N の場合のカウンタのタイミング図 209
図 47. ARPE=0 時（TIMx_ARR はプリロードされない）、更新イベント時のカウンタのタイミング図 . . 209
図 48. ARPE=1 時（TIMx_ARR はプリロードされる）、更新イベント時のカウンタのタイミング図 210
図 49. 内部クロック分周比が 1 の場合のカウンタのタイミング図 211

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 50. 内部クロック分周比が 2 の場合のカウンタのタイミング図 211
図 51. 内部クロック分周比が 4 の場合のカウンタのタイミング図 211
図 52. 内部クロック分周比が N の場合のカウンタのタイミング図 212
図 53. 繰り返しカウンタが使用されないときの更新イベント時のカウンタタイミング図 212
図 54. 内部クロック分周比が 1、TIMx_ARR=0x6 の場合のカウンタのタイミング図 213
図 55. 内部クロック分周比が 2 の場合のカウンタのタイミング図 214
図 56. 内部クロック分周比が 4、TIMx_ARR=0x36 の場合のカウンタのタイミング図 214
図 57. 内部クロック分周比が N の場合のカウンタのタイミング図 214
図 58. ARPE=1 時の更新イベントのカウンタのタイミング図（カウンタアンダーフロー）. 215
図 59. ARPE=1（カウンタオーバーフロー）のときの更新イベント時のカウンタのタイミング図 215
図 60. モードと TIMx_RCR レジスタの設定による更新レートの例 216
図 61. 内部クロック分周比 1 の場合の、通常モードの制御回路 217
図 62. TI2 外部クロックの接続例 217
図 63. 外部クロックモード 1 の制御回路 218
図 64. 外部トリガ入力ブロック 219
図 65. 外部クロックモード 2 の制御回路 219
図 66. キャプチャ / 比較チャネル（例：チャネル 1 入力ステージ）. 220
図 67. キャプチャ / 比較チャネル 1 メイン回路 220
図 68. キャプチャ / 比較チャネル（チャネル 1 ～ 3）の出力ステージ 221
図 69. キャプチャ / 比較チャネル（チャネル 4）の出力ステージ 221
図 70. PWM 入力モードのタイミング 223
図 71. 出力比較モード、OC1 出力のトグル 225
図 72. エッジアライン PWM 波形（ARR=8）. 226
図 73. センターアライン PWM 波形（ARR=8）. 227
図 74. デッドタイム挿入のある相補出力 228
図 75. 負のパルスより長い遅延があるときのデッドタイムの波形 228
図 76. 正のパルスより長い遅延があるときのデッドタイムの波形 229
図 77. ブレークに対する出力の動作 231
図 78. TIMx OCxREF のクリア 232
図 79. 6 ステップ生成 COM の例（OSSR=1）. 233
図 80. ワンパルスモードの例 234
図 81. エンコーダインタフェースモードにおけるカウンタの動作例 236
図 82. TI1FP1 の極性を反転したエンコーダインタフェースモードの例 237
図 83. ホールセンサインタフェースの例 239
図 84. リセットモードの制御回路 240
図 85. ゲートモードの制御回路 241
図 86. トリガモードの制御回路 242
図 87. 外部クロックモード 2 ＋トリガモードの制御回路 243
図 88. 汎用タイマのブロック図 274
図 89. プリスケーラ分周比が 1 から 2 に変化したときのカウンタのタイミング図 275
図 90. プリスケーラ分周比が 1 から 4 に変化したときのカウンタのタイミング図 276
図 91. 内部クロック分周比が 1 の場合のカウンタのタイミング図 277
図 92. 内部クロック分周比が 2 の場合のカウンタのタイミング図 277
図 93. 内部クロック分周比が 4 の場合のカウンタのタイミング図 277
図 94. 内部クロック分周比が N の場合のカウンタのタイミング図 278
図 95. ARPE=0（TIMx_ARR はプリロードされない）のときの更新イベントのカウンタタイミング図 . . 278
図 96. ARPE=1（TIMx_ARR はプリロードされる）のときの更新イベントのカウンタタイミング図 279
図 97. 内部クロック分周比が 1 の場合のカウンタのタイミング図 280
図 98. 内部クロック分周比が 2 の場合のカウンタのタイミング図 280
図 99. 内部クロック分周比が 4 の場合のカウンタのタイミング図 280
図 100. 内部クロック分周比が N の場合のカウンタのタイミング図 281
図 101. 繰り返しカウンタが使用されないときの更新イベント時のカウンタのタイミング図 281

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 102. 内部クロック分周比が 1、TIMx_ARR=0x6 の場合のカウンタタイミング図 282
図 103. 内部クロック分周比が 2 の場合のカウンタのタイミング図. 283
図 104. 内部クロック分周比が 4、TIMx_ARR=0x36 の場合のカウンタのタイミング図 283
図 105. 内部クロック分周比が N の場合のカウンタのタイミング図 283
図 106. ARPE=1(カウンタアンダーフロー) のときの更新イベント時のカウンタタイミング図. 284
図 107. ARPE=1（カウンタオーバーフロー）のときの更新イベント時のカウンタのタイミング図 284
図 108. 内部クロック分周比 1 の場合の、通常モードの制御回路 285
図 109. TI2 外部クロックの接続例. 285
図 110. 外部クロックモード 1 の制御回路 286
図 111. 外部トリガ入力ブロック 287
図 112. 外部クロックモード 2 の制御回路 287
図 113. キャプチャ / 比較チャネル（例：チャネル 1 入力ステージ）. 288
図 114. キャプチャ / 比較チャネル 1 メイン回路 288
図 115. キャプチャ / 比較チャネル（チャネル 1）の出力ステージ. 289
図 116. PWM 入力モードのタイミング 291
図 117. 出力比較モード、OC1 のトグル 293
図 118. エッジアライン PWM 波形（ARR=8）. 294
図 119. センターアライン PWM 波形（ARR=8）. 295
図 120. ワンパルスモードの例. 296
図 121. TIMx OCxREF のクリア 298
図 122. エンコーダインタフェースモードにおけるカウンタの動作例 299
図 123. IC1FP1 の極性を反転したエンコーダインタフェースモードの例 300
図 124. リセットモードの制御回路 301
図 125. ゲートモードの制御回路. 302
図 126. トリガモードの制御回路. 302
図 127. 外部クロックモード 2 ＋トリガモードの制御回路. 303
図 128. マスタ / スレーブタイマの例. 304
図 129. TIM3 の OC1REF による TIM2 のゲーティング 305
図 130. TIM3 の イネーブルによる TIM2 のゲーティング. 306
図 131. TIM3 の更新による TIM2 のトリガリング. 306
図 132. TIM3 のイネーブルによる TIM2 のトリガ. 307
図 133. TIM3 の TI1 入力で TIM3 と TIM2 をトリガする 308
図 134. 汎用タイマのブロック図（TIM15）. 330
図 135. 汎用タイマのブロック図（TIM16 および TIM17）. 332
図 136. プリスケーラ分周比が 1 から 2 に変化したときのカウンタのタイミング図. 334
図 137. プリスケーラ分周比が 1 から 4 に変化したときのカウンタのタイミング図. 334
図 138. 内部クロック分周比が 1 の場合のカウンタのタイミング図. 335
図 139. 内部クロック分周比が 2 の場合のカウンタのタイミング図. 335
図 140. 内部クロック分周比が 4 の場合のカウンタのタイミング図. 336
図 141. 内部クロック分周比が N の場合のカウンタのタイミング図 336
図 142. ARPE=0 時（TIMx_ARR はプリロードなし）、更新イベント時のカウンタのタイミング図 336
図 143. ARPE=1 時（TIMx_ARR はプリロード）、更新イベント時のカウンタのタイミング図. 337
図 144. モードと TIMx_RCR レジスタの設定による更新レートの例 338
図 145. 内部クロック分周比 1 の場合の、通常モードの制御回路 339
図 146. TI2 外部クロックの接続例. 339
図 147. 外部クロックモード 1 の制御回路 340
図 148. キャプチャ / 比較チャネル（例：チャネル 1 入力ステージ）. 340
図 149. キャプチャ / 比較チャネル 1 メイン回路 341
図 150. キャプチャ / 比較チャネル（TIM15 に対するチャネル 2）の出力ステージ. 341
図 151. PWM 入力モードのタイミング 343
図 152. 出力比較モード、OC1 のトグル 345
図 153. エッジアライン PWM 波形（ARR=8）. 346

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 154. デッドタイム挿入のある相補出力 347
図 155. 負のパルスより長い遅延があるときのデッドタイムの波形 347
図 156. 正のパルスより長い遅延があるときのデッドタイムの波形 347
図 157. ブレークに対する出力の動作 350
図 158. ワンパルスモードの例 351
図 159. リセットモードの制御回路 353
図 160. ゲートモードの制御回路 354
図 161. トリガモードの制御回路 355
図 162. 汎用タイマのブロック図（TIM12） 397
図 163. 汎用タイマのブロック図（TIM13/14） 398
図 164. プリスケーラ分周比が 1 から 2 に変化したときのカウンタのタイミング図 400
図 165. プリスケーラ分周比が 1 から 4 に変化したときのカウンタのタイミング図 400
図 166. 内部クロック分周比が 1 の場合のカウンタのタイミング図 401
図 167. 内部クロック分周比が 2 の場合のカウンタのタイミング図 401
図 168. 内部クロック分周比が 4 の場合のカウンタのタイミング図 402
図 169. 内部クロック分周比が N の場合のカウンタのタイミング図 402
図 170. ARPE=0（TIMx_ARR はプリロードされない）のときの更新イベント時のカウンタのタイミング図 . 402
図 171. ARPE=1（TIMx_ARR はプリロードされる）のときの更新イベント時のカウンタのタイミング図 403
図 172. 内部クロック分周比 1 の場合の、通常モードの制御回路 403
図 173. TI2 外部クロックの接続例 404
図 174. 外部クロックモード 1 の制御回路 405
図 175. キャプチャ / 比較チャネル（例：TIM12 チャネル 1 入力ステージ） 405
図 176. キャプチャ / 比較チャネル 1 メイン回路 406
図 177. キャプチャ / 比較チャネル（チャネル 1）の出力ステージ 406
図 178. PWM 入力モードのタイミング 408
図 179. 出力比較モード、OC1 のトグル 410
図 180. エッジアライン PWM 波形（ARR=8） 411
図 181. ワンパルスモードの例 412
図 182. リセットモードの制御回路 414
図 183. ゲートモードの制御回路 415
図 184. トリガモードの制御回路 416
図 185. 基本タイマのブロック図 440
図 186. プリスケーラ分周比が 1 から 2 に変化したときのカウンタのタイミング図 441
図 187. プリスケーラ分周比が 1 から 4 に変化したときのカウンタのタイミング図 441
図 188. 内部クロック分周比が 1 の場合のカウンタのタイミング図 442
図 189. 内部クロック分周比が 2 の場合のカウンタのタイミング図 443
図 190. 内部クロック分周比が 4 の場合のカウンタのタイミング図 443
図 191. 内部クロック分周比が N の場合のカウンタのタイミング図 443
図 192. ARPE=0（TIMx_ARR はプリロードされない）のときの更新イベント時のカウンタのタイミング図 . 444
図 193. ARPE=1（TIMx_ARR はプリロードされる）のときの更新イベント時のカウンタのタイミング図 444
図 194. 内部クロック分周比 1 の場合の、通常モードの制御回路 445
図 195. RTC の単純化されたブロック図 453
図 196. RTC 秒およびアラーム波形の例 （PR=0003、ALARM=00004） 455
図 197. RTC オーバーフロー波形の例（PR=0003） 455
図 198. 独立型ウォッチドッグのブロック図 464
図 199. ウォッチドッグのブロック図 469
図 200. ウィンドウ型ウォッチドッグのタイミング図 470
図 201. FSMC のブロック図 474
図 202. FSMC メモリバンク 476
図 203. モード 1 読み出しアクセス 481

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 204. モード 1 書き込みアクセス 482
図 205. モード A 読み出しアクセス 483
図 206. モード A 書き込みアクセス 484
図 207. モード 2/B 読み出しアクセス 486
図 208. モード 2 書き込みアクセス 486
図 209. モード B 書き込みアクセス 487
図 210. モード C 読み出しアクセス 489
図 211. モード C 書き込みアクセス 489
図 212. モード D 読み出しアクセス 491
図 213. モード D 書き込みアクセス 491
図 214. 多重化読み出しアクセス 493
図 215. 多重化書き込みアクセス 493
図 216. 読み出しアクセス中の非同期ウェイト 495
図 217. 書き込みアクセス中の非同期ウェイト 496
図 218. ウェイト設定 498
図 219. 同期多重化読み出しモードー NOR、PSRAM（CRAM） 499
図 220. 同期多重化書き込みモードー PSRAM（CRAM） 501
図 221. SPI のブロック図 512
図 222. シングルマスタ / シングルスレーブアプリケーション 513
図 223. ハードウェア / ソフトウェアのスレーブ選択管理 514
図 224. データクロックのタイミング図 515
図 225. マスタ / 全二重モードでの TXE/RXNE/BSY 動作（BIDIMODE=0 および RXONLY=0）
連続転送の場合 521
図 226. スレーブ / 全二重モードでの TXE/RXNE/BSY 動作（BIDIMODE=0、RXONLY=0）
連続転送の場合 521
図 227. マスタ送信専用モードでの TXE/BSY 動作（BIDIMODE=0 および RXONLY=0）
連続転送の場合 522
図 228. スレーブ送信専用モードでの TXE/BSY 動作（BIDIMODE=0 および RXONLY=0）
連続転送の場合 523
図 229. 受信専用モードでの RXNE 動作（BIDIRMODE=0 および RXONLY=1）
連続転送の場合 524
図 230. 送信時の TXE/BSY 動作（BIDIRMODE=0 および RXONLY=0）不連続転送の場合 525
図 231. DMA を使用した送信 529
図 232. DMA を使用した受信 530
図 233. I2C バスプロトコル 541
図 234. I2C ブロック図 541
図 235. スレーブトランスミッタの転送シーケンス 543
図 236. スレーブレシーバの転送シーケンス図 544
図 237. マスタトランスミッタの転送シーケンス図 546
図 238. 方法 1：マスタレシーバの転送シーケンス図 548
図 239. 方法 2：マスタレシーバの転送シーケンス図（N > 2 の場合） 549
図 240. 方法 2：マスタレシーバの転送シーケンス図（N=2 の場合） 550
図 241. 方法 2：マスタレシーバの転送シーケンス図（N=1 の場合） 551
図 242. I2C 割り込みの配置図 558
図 243. USART ブロック図 575
図 244. ワード長のプログラミング 576
図 245. 設定可能なストップビット 578
図 246. 送信時の TC/TXE の動作 579
図 247. 16 倍または 8 倍でオーバーサンプリングするときのスタートビットの検出 580
図 248. データサンプリング（16 倍のオーバーサンプリング） 583
図 249. データサンプリング（8 倍のオーバーサンプリング） 583
図 250. アイドルライン検出を使用したミュートモード 590

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 251. アドレスマーク検出を使用したミュートモード 591
図 252. LIN モードでのブレーク検出（11 ビットブレーク長、LBDL=1）. 594
図 253. LIN モードでのブレーク検出とフレーミングエラー検出 595
図 254. USART 同期送信の例 596
図 255. USART データクロックタイミング図（M=0） 596
図 256. USART データクロックタイミング図（M=1） 597
図 257. RX データセットアップ / ホールド時間 597
図 258. ISO 7816-3 非同期プロトコル. 598
図 259. 1.5 ストップビットを使用したパリティエラー検出 599
図 260. IrDA SIR ENDEC- ブロック図. 601
図 261. IrDA データ変調（3/16）- 通常モード. 601
図 262. DMA を使用した送信. 603
図 263. DMA を使用した受信. 604
図 264. 2 つの USART 間のハードウェアフロー制御 604
図 265. RTS フロー制御. 605
図 266. CTS フロー制御. 605
図 267. USART 割り込みの配置図 606
図 268. CEC ライン接続 619
図 269. メッセージ構造 620
図 270. ブロック 620
図 271. ビットタイミング 621
図 272. フォロアの確認応答（ACK）. 621
図 273. 信号フリータイム 622
図 274. アービトレーションフェーズ 622
図 275. エラービットのタイミング 623
図 276. HDMI-CEC のブロック図 624
図 277. ビットタイミング 625
図 278. Tx ビットタイミング. 626
図 279. CEC コントローラステートマシン 628
図 280. 完全なメッセージ受信の例 629
図 281. 完全なメッセージ送信の例 630
図 282. 送信エラーのあるメッセージ送信の例 632
図 283. CEC とシステム STOP モード 634
図 284. STM32F100xx レベルと Cortex-M3 レベルのデバッグサポートのブロック図 643
図 285. SWJ デバッグポート. 644
図 286. JTAG TAP 接続 648
図 287. TPIU ブロック図 663

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

1 このマニュアルにおける表記の規則

1.1 レジスタに関する略記

レジスタの説明では、次の略記が使用されます。

読み出し/書き込み（rw）	ソフトウェアは、これらのビットの読み出し/書き込みができます。
読み出し専用（r）	ソフトウェアは、これらのビットの読み出しのみが可能です。
書き込み専用（w）	ソフトウェアは、このビットへの書き込みのみが可能です。ビットを読み出すと、リセット値が返されます。
読み出し/クリア（rc_w1）	ソフトウェアは、このビットを読み出すことができ、“1”を書き込むことによってクリアすることもできます。“0” を書き込んでも、ビットの値は変化しません。
読み出し/クリア（rc_w0）	ソフトウェアは、このビットを読み出すことができ、“0”を書き込むことによってクリアすることもできます。“1” を書き込んでも、ビットの値は変化しません。
読み出し/読み出しによるクリア（rc_r）	ソフトウェアは、このビットを読み出すことができます。このビットを読み出すと、自動的に“0”にクリアされます。“0” を書き込んでも、ビットの値は変化しません。
読み出し/セット（rs）	ソフトウェアは、このビットの読み出しとセットができます。“0” を書き込んでも、ビットの値は変化しません。
読み出し専用書き込みトリガ（rt_w）	ソフトウェアは、このビットを読み出すことができます。“0”または“1”を書き込むと、イベントがトリガされますが、ビットの値は変化しません。
トグル（t）	ソフトウェアは、このビットに“1”を書込むことによって、トグルすることだけができます。“0”を書き込んでも、ビットの値は変化しません。
予約済み（Res.）	予約済みのビットであり、リセット値のままにしておかなければなりません。

1.2 用語

- **小容量バリューラインデバイス**は、フラッシュメモリ容量が 16～32 KB の STM32F100xx マイクロコントローラです。
- **中容量 バリューラインデバイス**は、フラッシュメモリ容量が 64～128 KB の STM32F100xx マイクロコントローラです。
- **大容量バリューラインデバイス**は、フラッシュメモリ容量が 256～512 KB の STM32F100xx マイクロコントローラです。
- **ワード**：32 ビット長のデータ。
- **ハーフワード**：16 ビット長のデータ。
- **バイト**：8 ビット長のデータ。

1.3 ペリフェラルの可用性

すべての STM32F10xxx 製品タイプのペリフェラルの可用性と数については、小容量、中容量、および大容量 STM32F100xx データシートを参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

2 メモリとバスのアーキテクチャ

2.1 システムアーキテクチャ

小容量および中容量バリューラインデバイスでは、メインシステムは以下のもので構成されます。

- 3 つのマスタ回路：
  - Cortex™-M3 コア DCode バス（D-bus）およびシステムバス（S-bus）
  - GP-DMA1（汎用 DMA）
- 3 つのスレーブ回路：
  - 内蔵 SRAM
  - 内蔵フラッシュメモリ
  - すべての APB ペリフェラルを接続する AHB/APB ブリッジ（AHB から APBx）

これらは、*図 1* に示されているように、マルチレイヤ AHB バスアーキテクチャで相互に接続されています。

図 1. 小容量および中容量バリューラインシステムアーキテクチャ

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

大容量バリューラインデバイスでは、メインシステムは以下のもので構成されます。

- 4 つのマスタ回路：
  - Cortex™-M3 コア DCode バス（D-bus）およびシステムバス（S-bus）
  - GP-DMA1 および 2（汎用 DMA）
- 4 つのスレーブ回路：
  - 内蔵 SRAM
  - 内蔵フラッシュメモリ
  - FSMC
  - すべての APB ペリフェラルを接続するための AHB/APB ブリッジ（AHB から APBx）

これらは、*図 1* に示されているように、マルチレイヤ AHB バスアーキテクチャで相互に接続されています。

図 2. 大容量バリューラインシステムアーキテクチャ

ICode バス

このバスは、Cortex™-M3 コアの命令バスをフラッシュメモリの命令インタフェースに接続します。命令フェッチは、このバスで行われます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

DCode バス

このバスは、Cortex™-M3 コアの Dcode バス（リテラルのロードとデバッグのためのアクセス）をフラッシュメモリデータインタフェースに接続します。

システムバス

このバスは、Cortex™-M3 コアのシステムバス（ペリフェラルバス）を、コアと DMA の間の調停を管理するバスマトリックスに接続します。

DMA バス

このバスは、DMA の AHB マスタインタフェースをバスマトリックスに接続し、CPU の DCode バスと DMA から SRAMや、フラッシュメモリ、およびペリフェラルへのアクセスを管理しています。

バスマトリックス（BusMatrix）

バスマトリックスは、コアシステムバスと DMA マスタバスの間のアクセス調停をラウンドロビン方式で管理します。小容量および中容量バリューラインデバイスでは、バスマトリックスは、3 つのマスタ（CPU DCode、システムバス、DMA1 バス）と 3 つのスレーブ（FLITF、SRAM、および AHB/APB ブリッジ）で構成されます。

大容量バリューラインデバイスでは、バスマトリックスは、4 つのマスタ（CPU DCode、システムバス、DMA1 バス、および DMA2 バス）と 4 つのスレーブ（FLITF、SRAM、FSMC、および AHB/APB ブリッジ）で構成されます。

AHB ペリフェラルは、DMA アクセスを可能とするため、バスマトリックスを経由してシステムバスに接続されています。

AHB/APB ブリッジ（APB）

2 つの AHB/APB ブリッジは、AHB と 2 つの APB バスの間の完全同期式の接続を提供します。APB バスは、フルスピードで動作します（最大 24 MHz）。

各ブリッジに接続されるペリフェラルのアドレスマッピングについては、*表 2（37 ページ）*を参照してください。

各デバイスリセットの後、すべてのペリフェラルクロックは無効になります（SRAM と FLITF は除く）。ペリフェラルを使う前に、RCC_AHBENR、RCC_APB2ENR、または RCC_APB1ENR レジスタでクロックを有効にする必要があります。

注： ***APB レジスタに 16 または 8 ビットアクセスが行われるとき、アクセスは 32 ビットアクセスに変換されます。ブリッジが 16 または 8 ビットデータを複製し、32 ビットのベクタとして提供します。***

2.2 メモリ構成

プログラムメモリ、データメモリ、レジスタ、および入出力ポートは、同じ 4 GB のリニアなアドレス空間に配置されています。

バイトは、メモリ内でリトルエンディアン形式でコード化されます。ワード内で最も小さな番号のバイトがワードの最下位バイトとみなされ、最も大きな番号のバイトが最上位バイトとみなされます。

ペリフェラルレジスタの詳細なマッピングについては、該当するセクションを参照してください。

アドレス可能なメモリ空間は、それぞれ 512 MB の 8 つのメインブロックに分けられています。

オンチップメモリとペリフェラルに割り当てられていないメモリ領域はすべて、「予約済み」とみなされます。該当する製品データシートのメモリマップの図を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

2.3 メモリマップ

総合的なメモリマップの図については、お使いのデバイスに該当するデータシートを参照してください。*表 1* と*表 2* に、すべての STM32F100xx デバイスで使用可能なペリフェラルの境界アドレスを示します。

表 1. 小容量および中容量デバイスのレジスタ境界アドレス

境界アドレス	ペリフェラル	バス	レジスタマップ
0x4002 3000 - 0x4002 33FF	CRC	AHB	*セクション 3.4.4（48 ページ）*
0x4002 2400 - 0x4002 2FFF	予約済み		
0x4002 2000 - 0x4002 23FF	フラッシュメモリインタフェース		
0x4002 1400 - 0x4002 1FFF	予約済み		
0x4002 1000 - 0x4002 13FF	リセットおよびクロック制御 RCC		*セクション 6.3.12（100 ページ）*
0x4002 0400 - 0x4002 0FFF	予約済み		
0x4002 0000 - 0x4002 03FF	DMA1		*セクション 9.4.7（156 ページ）*
0x4001 4C00 - 0x4001 FFFF	予約済み	APB2	
0x4001 4800 - 0x4001 4BFF	TIM17 タイマ		*セクション 14.6.16（391 ページ）*
0x4001 4400 - 0x4001 47FF	TIM16 タイマ		*セクション 14.6.16（391 ページ）*
0x4001 4000 - 0x4001 43FF	TIM15 タイマ		*セクション 14.5.18（373 ページ）*
0x4001 3C00 - 0x4001 3FFF	予約済み		
0x4001 3800 - 0x4001 3BFF	USART1		*セクション 23.6.8（617 ページ）*
0x4001 3400 - 0x4001 37FF	予約済み		
0x4001 3000 - 0x4001 33FF	SPI1		*セクション 21.4.8（533 ページ）*
0x4001 2C00 - 0x4001 2FFF	TIM1 タイマ		*セクション 12.4.21（272 ページ）*
0x4001 2800 - 0x4001 2BFF	予約済み		
0x4001 2400 - 0x4001 27FF	ADC1		*セクション 10.11.15（181 ページ）*
0x4001 1C00 - 0x4001 23FF	予約済み		
0x4001 1800 - 0x4001 1BFF	GPIO ポート E		*セクション 7.5（128 ページ）*
0x4001 1400 - 0x4001 17FF	GPIO ポート D		*セクション 7.5（128 ページ）*
0x4001 1000 - 0x4001 13FF	GPIO ポート C		*セクション 7.5（128 ページ）*
0x4001 0C00 - 0x4001 0FFF	GPIO ポート B		*セクション 7.5（128 ページ）*
0x4001 0800 - 0x4001 0BFF	GPIO ポート A		*セクション 7.5（128 ページ）*
0x4001 0400 - 0x4001 07FF	EXTI		*セクション 8.3.7（140 ページ）*
0x4001 0000 - 0x4001 03FF	AFIO		*セクション 7.5（128 ページ）*

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 1. 小容量および中容量デバイスのレジスタ境界アドレス （続き）

境界アドレス	ペリフェラル	バス	レジスタマップ
0x4000 7C00 - 0x4000 FFFF	予約済み	APB1	
0x4000 7800 - 0x4000 7BFF	CEC		*セクション 24.9.8 （641 ページ）*
0x4000 7400 - 0x4000 77FF	DAC		*セクション 11.5.15 （202 ページ）*
0x4000 7000 - 0x4000 73FF	電源制御 PWR		*セクション 4.4.3 （61 ページ）*
0x4000 6C00 - 0x4000 6FFF	バックアップレジスタ（BKP）		*セクション 5.4.5 （66 ページ）*
0x4000 5C00 - 0x4000 6BFF	予約済み		
0x4000 5800 - 0x4000 5BFF	I2C2		*セクション 22.6.10 （571 ページ）*
0x4000 5400 - 0x4000 57FF	I2C1		*セクション 22.6.10 （571 ページ）*
0x4000 4C00 - 0x4000 53FF	予約済み		
0x4000 4800 - 0x4000 4BFF	USART3		*セクション 23.6.8 （617 ページ）*
0x4000 4400 - 0x4000 47FF	USART2		*セクション 23.6.8 （617 ページ）*
0x4000 3C00 - 0x4000 3FFF	予約済み		
0x4000 3800 - 0x4000 3BFF	SPI2		*セクション 21.4.8 （533 ページ）*
0x4000 3400 - 0x4000 37FF	予約済み		
0x4000 3000 - 0x4000 33FF	独立型ウォッチドッグ（IWDG）		*セクション 18.4.5 （461 ページ）*
0x4000 2C00 - 0x4000 2FFF	ウィンドウ型ウォッチドッグ（WWDG）		*セクション 19.6.4 （467 ページ）*
0x4000 2800 - 0x4000 2BFF	RTC		*セクション 17.4.7 （455 ページ）*
0x4000 1800 - 0x4000 27FF	予約済み		
0x4000 1400 - 0x4000 17FF	TIM7 タイマ		*セクション 16.4.9 （443 ページ）*
0x4000 1000 - 0x4000 13FF	TIM6 タイマ		*セクション 16.4.9 （443 ページ）*
0x4000 0C00 - 0x4000 0FFF	予約済み		
0x4000 0800 - 0x4000 0BFF	TIM4 タイマ		*セクション 13.4.20 （328 ページ）*
0x4000 0400 - 0x4000 07FF	TIM3 タイマ		*セクション 13.4.20 （328 ページ）*
0x4000 0000 - 0x4000 03FF	TIM2 タイマ		*セクション 13.4.20 （328 ページ）*

表 2. 大容量デバイスのレジスタ境界アドレス

境界アドレス	ペリフェラル	バス	レジスタマップ
0x4002 3000 - 0x4002 33FF	CRC	AHB	*セクション 3.4.4 （48 ページ）*
0x4002 2400 - 0x4002 2FFF	予約済み		
0x4002 2000 - 0x4002 23FF	フラッシュメモリインタフェース		
0x4002 1400 - 0x4002 1FFF	予約済み		
0x4002 1000 - 0x4002 13FF	リセットおよびクロック制御 RCC		*セクション 6.3.12 （100 ページ）*
0x4002 0800 - 0x4002 0FFF	予約済み		
0x4002 0400 - 0x4002 07FF	DMA2		*セクション 9.4.7 （156 ページ）*
0x4002 0000 - 0x4002 03FF	DMA1		*セクション 9.4.7 （156 ページ）*

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 2. 大容量デバイスのレジスタ境界アドレス （続き）

境界アドレス	ペリフェラル	バス	レジスタマップ
0x4001 4C00 - 0x4001 FFFF	予約済み	APB2	
0x4001 4800 - 0x4001 4BFF	TIM17 タイマ		*セクション 14.6.16（391 ページ）*
0x4001 4400 - 0x4001 47FF	TIM16 タイマ		*セクション 14.6.16（391 ページ）*
0x4001 4000 - 0x4001 43FF	TIM15 タイマ		*セクション 14.5.18（373 ページ）*
0x4001 3C00 - 0x4001 3FFF	予約済み		
0x4001 3800 - 0x4001 3BFF	USART1		*セクション 23.6.8（617 ページ）*
0x4001 3400 - 0x4001 37FF	予約済み		
0x4001 3000 - 0x4001 33FF	SPI1		*セクション 21.4.8（533 ページ）*
0x4001 2C00 - 0x4001 2FFF	TIM1 タイマ		*セクション 12.4.21（272 ページ）*
0x4001 2800 - 0x4001 2BFF	予約済み		
0x4001 2400 - 0x4001 27FF	ADC1		*セクション 10.11.15（181 ページ）*
0x4001 2000 - 0x4001 23FF	GPIO ポート G		*セクション 7.5（128 ページ）*
0x4001 1C00 - 0x4001 1FFF	GPIO ポート F		*セクション 7.5（128 ページ）*
0x4001 1800 - 0x4001 1BFF	GPIO ポート E		*セクション 7.5（128 ページ）*
0x4001 1400 - 0x4001 17FF	GPIO ポート D		*セクション 7.5（128 ページ）*
0x4001 1000 - 0x4001 13FF	GPIO ポート C		*セクション 7.5（128 ページ）*
0x4001 0C00 - 0x4001 0FFF	GPIO ポート B		*セクション 7.5（128 ページ）*
0x4001 0800 - 0x4001 0BFF	GPIO ポート A		*セクション 7.5（128 ページ）*
0x4001 0400 - 0x4001 07FF	EXTI		*セクション 8.3.7（140 ページ）*
0x4001 0000 - 0x4001 03FF	AFIO		*セクション 7.5（128 ページ）*

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 2. 大容量デバイスのレジスタ境界アドレス （続き）

境界アドレス	ペリフェラル	バス	レジスタマップ
0x4000 7C00 - 0x4000 FFFF	予約済み	APB1	
0x4000 7800 - 0x4000 7BFF	CEC		セクション 24.9.8 （641 ページ）
0x4000 7400 - 0x4000 77FF	DAC		セクション 11.5.15 （202 ページ）
0x4000 7000 - 0x4000 73FF	電源制御 PWR		セクション 4.4.3 （61 ページ）
0x4000 6C00 - 0x4000 6FFF	バックアップレジスタ（BKP）		セクション 5.4.5 （66 ページ）
0x4000 5C00 - 0x4000 6BFF	予約済み		
0x4000 5800 - 0x4000 5BFF	I2C2		セクション 22.6.10 （571 ページ）
0x4000 5400 - 0x4000 57FF	I2C1		セクション 22.6.10 （571 ページ）
0x4000 5000 - 0x4000 53FF	UART5		セクション 23.6.8 （617 ページ）
0x4000 4C00 - 0x4000 4FFF	UART4		セクション 23.6.8 （617 ページ）
0x4000 4800 - 0x4000 4BFF	USART3		セクション 23.6.8 （617 ページ）
0x4000 4400 - 0x4000 47FF	USART2		セクション 23.6.8 （617 ページ）
0x4000 4000 - 0x4000 43FF	予約済み		
0x4000 3C00 - 0x4000 3FFF	SPI3		セクション 21.4.8 （533 ページ）
0x4000 3800 - 0x4000 3BFF	SPI2		セクション 21.4.8 （533 ページ）
0x4000 3400 - 0x4000 37FF	予約済み		
0x4000 3000 - 0x4000 33FF	独立型ウォッチドッグ（IWDG）		セクション 18.4.5 （461 ページ）
0x4000 2C00 - 0x4000 2FFF	ウィンドウ型ウォッチドッグ（WWDG）		セクション 18.4.5 （461 ページ）
0x4000 2800 - 0x4000 2BFF	RTC		セクション 17.4.7 （455 ページ）
0x4000 2400 - 0x4000 27FF	予約済み		
0x4000 2000 - 0x4000 23FF	TIM14 タイマ		セクション 15.6.11 （432 ページ）
0x4000 1C00 - 0x4000 1FFF	TIM13 タイマ		セクション 15.6.11 （432 ページ）
0x4000 1800 - 0x4000 1BFF	TIM12 タイマ		セクション 15.5.13 （423 ページ）
0x4000 1400 - 0x4000 17FF	TIM7 タイマ		セクション 16.4.9 （443 ページ）
0x4000 1000 - 0x4000 13FF	TIM6 タイマ		セクション 16.4.9 （443 ページ）
0x4000 0C00 - 0x4000 0FFF	TIM5 タイマ		セクション 13.4.20 （328 ページ）
0x4000 0800 - 0x4000 0BFF	TIM4 タイマ		セクション 13.4.20 （328 ページ）
0x4000 0400 - 0x4000 07FF	TIM3 タイマ		セクション 13.4.20 （328 ページ）
0x4000 0000 - 0x4000 03FF	TIM2 タイマ		セクション 13.4.20 （328 ページ）

2.3.1 内蔵 SRAM

STM32F100xx は、最大 32 KB の SRAM を搭載しています。SRAM は、バイト、ハーフワード（16 ビット）、またはフルワード（32 ビット）によるアクセスが可能です。SRAM の開始アドレスは、0x2000 0000 です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

2.3.2 ビットバンディング

Cortex™-M3 のメモリマップには、2 つのビットバンド領域が含まれています。これらの領域は、メモリのエイリアス領域の各ワードをメモリのビットバンド領域のビットにマップします。エイリアス領域のワードへの書き込みは、ビットバンド領域の対象ビットへのリードモディファイライト操作と同じ効果を持ちます。

STM32F100xx では、ペリフェラルのレジスタと SRAM の両方がビットバンド領域でマッピングされます。これにより、シングルビットでビットバンド書き込み/読み出し操作を実行することができます。

マッピング計算式は、ビットバンド領域の対象ビットがどのようにエイリアス領域のワードに対応するかを示しています。マッピング計算式は、次のとおりです。

bit_word_addr = *bit_band_base* + (*byte_offset* x 32) + (*bit_number* × 4)

ここで、

bit_word_addr は、対象ビットにマップ1されるエイリアスメモリ領域のワードのアドレスです。

bit_band_base は、エイリアス領域の開始アドレスです。

byte_offset は、対象ビットを含むビットバンド領域のバイトの番号です。

bit_number は、対象ビットのビット位置（0-7）です。

例：

次の例は、SRAM アドレス 0x2000 0300 にあるバイトのビット 2 がエイリアス領域でどのようにマップされるかを示しています。

0x2200 6008 = 0x2200 0000 + (0x300*32) + (2*4).

アドレス 0x2200 6008 への書き込みは、SRAM アドレス 0x2000 0300 のバイトのビット 2 に対してリードモディファイライト操作を実行することと同じ効果があります。

アドレス 0x2200 6008 を読み出すと、SRAM アドレス 0x2000 0300 のバイトのビット 2 の値（0x01 または 0x00）が返されます（ビットがセットされていれば 0x01、クリアされていれば 0x00）。

ビットバンディングの詳細については、*Cortex™-M3 テクニカルリファレンスマニュアル*を参照してください。

2.3.3 内蔵フラッシュメモリ

高性能なフラッシュメモリモジュールには、次のような特徴があります。

- 最大容量 512 KB
- メモリ構成：フラッシュメモリはメインブロックとインフォメーションブロックで構成されます。
  - メインメモリブロックサイズ：

    小容量バリューラインデバイスでは、最大 8 K ビット x 32 ビットが 32 ページ（1 ページ = 1KB）に分割されます（*表 3*を参照）。

    中容量バリューラインデバイスでは、最大 32 K ビット x 32 ビットが 128 ページ（1 ページ = 1KB）に分割されます（*表 4*を参照）。

    大容量バリューラインデバイスでは、最大 128 K ビット x 32 ビットが 256 ページ（1 ページ = 2KB）に分割されます（*表 5*を参照）。
  - インフォメーションブロックのサイズ：

    小容量、中容量、および大容量バリューラインデバイスでは、516 x 32 ビット（*表 3*、*表 4*、および*表 5*を参照）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

フラッシュメモリインタフェース（FLASH）は、次のような機能を備えています。

- 読み出しインタフェース（32 ビット）
- オプションバイトローダ
- フラッシュプログラム/消去操作
- 読み出し/書き込み保護

表 3. フラッシュモジュールの構成（小容量バリューラインデバイス）

ブロック	名称	ベースアドレス	サイズ（バイト）
メインメモリ	ページ 0	0x0800 0000 - 0x0800 03FF	1 KB
	ページ 1	0x0800 0400 - 0x0800 07FF	1 KB
	ページ 2	0x0800 0800 - 0x0800 0BFF	1 KB
	ページ 3	0x0800 0C00 - 0x0800 0FFF	1 KB
	ページ 4	0x0800 1000 - 0x0800 13FF	1 KB
	. . .	. . .	. . .
	ページ 31	0x0800 7C00 - 0x0800 8000	1 KB
情報ブロック	システムメモリ	0x1FFF F000 - 0x1FFF F7FF	2 KB
	オプションバイト	0x1FFF F800 - 0x1FFF F80F	16
フラッシュメモリインタフェースレジスタ	FLASH_ACR	0x4002 2000 - 0x4002 2003	4
	FLASH_KEYR	0x4002 2004 - 0x4002 2007	4
	FLASH_OPTKEYR	0x4002 2008 - 0x4002 200B	4
	FLASH_SR	0x4002 200C - 0x4002 200F	4
	FLASH_CR	0x4002 2010 - 0x4002 2013	4
	FLASH_AR	0x4002 2014 - 0x4002 2017	4
	予約済み	0x4002 2018 - 0x4002 201B	4
	FLASH_OBR	0x4002 201C - 0x4002 201F	4
	FLASH_WRPR	0x4002 2020 - 0x4002 2023	4

表 4. フラッシュモジュールの構成（中容量バリューラインデバイス）

ブロック	名称	ベースアドレス	サイズ（バイト）
メインメモリ	ページ 0	0x0800 0000 - 0x0800 03FF	1 KB
	ページ 1	0x0800 0400 - 0x0800 07FF	1 KB
	ページ 2	0x0800 0800 - 0x0800 0BFF	1 KB
	ページ 3	0x0800 0C00 - 0x0800 0FFF	1 KB
	ページ 4	0x0800 1000 - 0x0800 13FF	1 KB
	. . .	. . .	. . .
	ページ 127	0x0801 FC00 - 0x0801 FFFF	1 KB

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 4. フラッシュモジュールの構成（中容量バリューラインデバイス）（続き）

ブロック	名称	ベースアドレス	サイズ（バイト）
インフォメーションブロック	システムメモリ	0x1FFF F000 - 0x1FFF F7FF	2 KB
	オプションバイト	0x1FFF F800 - 0x1FFF F80F	16
フラッシュメモリインタフェースレジスタ	FLASH_ACR	0x4002 2000 - 0x4002 2003	4
	FLASH_KEYR	0x4002 2004 - 0x4002 2007	4
	FLASH_OPTKEYR	0x4002 2008 - 0x4002 200B	4
	FLASH_SR	0x4002 200C - 0x4002 200F	4
	FLASH_CR	0x4002 2010 - 0x4002 2013	4
	FLASH_AR	0x4002 2014 - 0x4002 2017	4
	予約済み	0x4002 2018 - 0x4002 201B	4
	FLASH_OBR	0x4002 201C - 0x4002 201F	4
	FLASH_WRPR	0x4002 2020 - 0x4002 2023	4

表 5. フラッシュモジュールの構成（大容量バリューラインデバイス）

ブロック	名称	ベースアドレス	サイズ（バイト）
メインメモリ	ページ 0	0x0800 0000 - 0x0800 07FF	2 KB
	ページ 1	0x0800 0800 - 0x0800 0FFF	2 KB
	ページ 2	0x0800 1000 - 0x0800 17FF	2 KB
	ページ 3	0x0800 1800 - 0x0800 1FFF	2 KB
	. . .	. . .	. . .
	ページ 255	0x0807 F800 - 0x0807 FFFF	2 KB
インフォメーションブロック	システムメモリ	0x1FFF F000 - 0x1FFF F7FF	2 KB
	オプションバイト	0x1FFF F800 - 0x1FFF F80F	16
フラッシュメモリインタフェースレジスタ	FLASH_ACR	0x4002 2000 - 0x4002 2003	4
	FLASH_KEYR	0x4002 2004 - 0x4002 2007	4
	FLASH_OPTKEYR	0x4002 2008 - 0x4002 200B	4
	FLASH_SR	0x4002 200C - 0x4002 200F	4
	FLASH_CR	0x4002 2010 - 0x4002 2013	4
	FLASH_AR	0x4002 2014 - 0x4002 2017	4
	予約済み	0x4002 2018 - 0x4002 201B	4
	FLASH_OBR	0x4002 201C - 0x4002 201F	4
	FLASH_WRPR	0x4002 2020 - 0x4002 2023	4

注： ***フラッシュメモリインタフェースレジスタの詳細については、STM32F100xx フラッシュプログラミングマニュアル（PM003）を参照してください。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

フラッシュメモリの読み出し

フラッシュメモリアクセスは AHB バスを通して行われます。アクセスは、ICode バス経由の命令フェッチか、または D-code バス経由のデータアクセス（リテラルプールなど）のいずれかです。この 2 つのバスは同じフラッシュメモリをターゲットとするので、インタフェースは、D-code バスアクセスに対して I-code バス、すなわち、命令フェッチアクセスより優先されます。

読み出しアクセスは、待機状態を伴わずに、以下の設定オプションを指定して行うことができます。

- ハーフサイクル：消費電力の最適化。

注： 1 ***ハーフサイクル設定は、AHB 上のプリスケーラと同時に利用することはできません。システムクロック（SYSCLK）は、HCLK クロックと同じにする必要があります。このため、この機能は、8 MHz 以下の低周波数クロックのみで使用できます。このクロックは、HSI または HSE から生成できますが、PLL からは生成できません。***

2 ***DMA の使用：DMA は、DCode バスを経由してフラッシュメモリにアクセスし、ICode 命令より優先されます。DMA では、各転送動作のあとに1サイクル分の空き時間がおかれるよう制御しています。いくつかの命令は、DMA 転送と同時に実行できます。***

フラッシュメモリのプログラミングと消去

フラッシュメモリは、一度に 16 ビット（ハーフワード）ずつプログラミングされます。

フラッシュメモリの消去は、ページ単位か、またはフラッシュメモリ全体に対して（全消去）実行されます。全消去の場合でも、インフォメーションブロックは消去されません。

正確なフラッシュプログラミング時間を維持するため、フラッシュプログラミング/消去コントローラブロックには固定されたクロックが供給されています。

書き込み操作（プログラミングまたは消去）の終了時に割り込みをトリガできます。フラッシュクロックが有効な場合のみ、この割り込みを使用して WFI モードを終了することができます。そうでない場合、WFI の終了後に割り込みが行われます。

FLASH_ACR レジスタでフラッシュメモリのハーフサイクルアクセスを有効/無効にできます。次の表に、このレジスタのビットマップとビットの説明を示します。

フラッシュメモリ操作とレジスタ設定の詳細については、STM32F100xx フラッシュプログラミングマニュアル（PM0063）を参照してください。

Flash アクセス制御レジスタ (FLASH_ACR)

アドレスオフセット：0x00
リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み												HLFCYA	予約済み		
												rw			

ビット 31:4　予約済み、クリアしたままでなければなりません。

ビット 3　**HLFCYA**：フラッシュハーフサイクルアクセスイネーブル

0：ハーフサイクルは無効。
1：ハーフサイクルは有効。

ビット 2:0　予約済み、クリア状態を保つ必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

2.4 ブート設定

STM32F100xx では、*表 6* に示されているように、BOOT[1：0] ピンによって 3 種類のブートモードを選択できます。

表 6. ブートモード

ブートモード選択ピン		ブートモード	摘要
BOOT1	BOOT0		
x	0	メインフラッシュメモリ	ブート領域にメインフラッシュメモリが選択されます。
0	1	システムメモリ	ブート領域にシステムメモリが選択されます。
1	1	内蔵 SRAM	ブート領域に内蔵 SRAM が選択されます。

BOOT ピンの値は、リセット後、SYSCLK の 4 番目の立ち上がりエッジでラッチされます。ユーザは、リセット後のブートモードを指定するために BOOT1 と BOOT0 ピンを設定する必要があります。

BOOT ピンは、STANDBY モードから抜ける場合にもサンプルされます。したがって、これらのピンは、STANDBY モードでも必要なブートモード設定に保たれる必要があります。このスタートアップ遅延が経過した後、CPU は、アドレス 0x0000 0000 からスタック最上位の値をフェッチし、0x0000 0004 から始まるブートメモリからコード実行を開始します。

固定メモリマップにより、コード領域はアドレス 0x0000 0000 から始まり（ICode/DCode バス経由でアクセス）、データ領域（SRAM）はアドレス 0x2000 0000 から始まります（システムバス経由でアクセス）。Cortex-M3 CPU は、常に ICode バスのリセットベクタをフェッチします。これは、ブート空間はコード領域（一般にはフラッシュメモリ）でのみ使用可能なことを意味します。STM32F100xx マイクロコントローラは、メインフラッシュメモリとシステムメモリからだけでなく、SRAM からもブートできる特殊なメカニズムを実装しています。

選択したブートモードに応じて、メインフラッシュメモリ、システムメモリ、または SRAM に、次のようにアクセス可能です。

- メインフラッシュメモリからブート：メインフラッシュメモリはブートメモリ空間（0x0000 0000）に割り当てられますが、オリジナルのメモリ空間（0x800 0000）からもアクセス可能です。言い換えると、フラッシュメモリの内容は、0x0000 0000 または 0x800 0000 の開始アドレスからアクセスできます。
- システムメモリからブート：システムメモリは、aliased ブートメモリ空間（0x0000 0000）に割り当てられますが、オリジナルのメモリ空間（0x1FFF F000）からもアクセス可能です。
- 内蔵 SRAM からブート：SRAM は、アドレス 0x2000 0000 でのみアクセス可能です。

注： ***SRAM からブートするときには、アプリケーションの初期化コードで、NVIC 例外テーブルとオフセットレジスタを使用して、SRAM のベクタテーブルを再配置する必要があります。***

内蔵ブートローダ

内蔵ブートローダは、USART1 シリアルインタフェースを使用してフラッシュメモリを再プログラムするために使用されます。このプログラムは、ST によって生産時にプログラムされ、システムメモリに配置されます。詳細については、AN2606 を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

3 CRC 計算ユニット

小容量バリューラインデバイスは、フラッシュメモリ容量が 16～32 KB の STM32F100xx マイクロコントローラです。

中容量バリューラインデバイスは、フラッシュメモリ容量が 64～128 KB の STM32F100xx マイクロコントローラです。

大容量バリューラインデバイスは、フラッシュメモリ容量が 256～512 KB の STM32F100xx マイクロコントローラです。

このセクションは、別段の指定がない限り、STM32F100xx ファミリ全体に適用されます。

3.1 CRC の概要

CRC（Cyclic Redundancy Check）計算ユニットは、32 ビットデータワードと決められた生成多項式から CRC コードを取得するために使用されます。

他のアプリケーションの中でも、CRC ベースのテクニックは、データ転送やストレージの整合性を確認するために使用されます。EN/IEC 60335-1 標準の範囲内では、フラッシュメモリの整合性を確認する手段となっています。リンク時に生成され、特定のメモリ位置に保存されたリファレンス署名と比較するために、CRC 計算ユニットは、ランタイム時にソフトウェアの署名の計算を支援します。

3.2 CRC の主な機能

- CRC-32（イーサネット）多項式：0x4C11DB7 を使用
  - $X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^{8} + X^{7} + X^{5} + X^{4} + X^{2} + X + 1$
- シングル入力/出力 32 ビットデータレジスタ
- CRC 計算は 4 AHB クロックサイクル（HCLK）で完了
- 汎用 8 ビットレジスタ（一時的なストレージとして使用可能）

図 3 にブロック図を示します。

図 3. CRC 計算ユニットブロック図

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

3.3 CRC 機能の説明

CRC 計算ユニットは、主に次のような 1 つの 32 ビットデータレジスタから構成されています。

- CRC 計算機に新しいデータを入力する入力レジスタとして使用されます（レジスタに書き込むとき）。
- 前の CRC 計算結果を保持します（レジスタを読み出すとき）。

データレジスタへの書き込み操作のたびに、前の CRC 値と新しい値の組み合わせが作成されます（CRC 計算は 32 ビットデータワード単位で行われ、バイト単位ではありません）。

書き込み操作は、CRC 計算の終了まで停止されるので、back-to-back 書き込みアクセスや連続した書き込み/読み出しアクセスが可能です。

CRC 計算機は、CRC_CR レジスタの RESET 制御ビットで、FFFF FFFFh にリセットできます。この操作は、CRC_IDR レジスタの内容に影響しません。

3.4 CRC レジスタ

CRC 計算ユニットは、2 つのデータレジスタと制御レジスタから構成されています。

3.4.1 データレジスタ（CRC_DR）

アドレスオフセット：0x00

リセット値：0xFFFF FFFF

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DR [31:16]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DR [15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0 **データレジスタビット**

新しいデータを CRC 計算機に書き込むときに入力レジスタとして使用されます。
読み出し時には、前の CRC 計算結果を保持します。

3.4.2 独立型データレジスタ（CRC_IDR）

アドレスオフセット：0x04

リセット値：0x0000 0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								IDR [7:0]							
								rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:8 予約済み

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 7:0 **汎用 8 ビットデータレジスタビット**

1 バイトの一時ストレージとして使用できます。

このレジスタは、CRC_CR レジスタの RESET ビットによって生成される CRC リセットの影響を受けません。

3.4.3 制御レジスタ（CRC_CR）

アドレスオフセット：0x08

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															RESET
															w

ビット 31:1 **予約済み**

ビット 0 **RESET ビット**

CRC 計算ユニットをリセットして、データレジスタを FFFF FFFFh にセットします。

このビットはセットのみで、ハードウェアによって自動的にクリアされます。

3.4.4 CRC レジスタマップ

次の表に、CRC レジスタマップとリセット値を示します。

表 7. CRC 計算ユニットのレジスタマップとリセット値

オフセット	レジスタ	31-24	23-16	15-8	7	6	5	4	3	2	1	0
0x00	**CRC_DR** リセット値	データレジスタ 0xFFFF FFFF										
0x04	**CRC_IDR** リセット値	予約済み			独立型データレジスタ 0x00							
0x08	**CRC_CR** リセット値	予約済み										RESET 0

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

4 電源制御（PWR）

小容量バリューラインデバイスは、フラッシュメモリ容量が 16～32 KB の STM32F100xx マイクロコントローラです。

中容量バリューラインデバイスは、フラッシュメモリ容量が 64～128 KB の STM32F100xx マイクロコントローラです。

大容量バリューラインデバイスは、フラッシュメモリ容量が STM32F100xx 256～512 KB のマイクロコントローラです。

このセクションは、別段の指定がない限り、STM32F100xx ファミリ全体に適用されます。

4.1 電源供給

このデバイスには、2.0～3.6 V のV_{DD} 電源供給が必要です。内部の 1.8 V デジタル電源に供給するために、レギュレータが搭載されています。

リアルタイムクロック（RTC）とバックアップレジスタの電源は、主電源 V_{DD} がオフのときにV_{BAT} から供給されます。

図 4. 電源供給の概要

注： 1 V_{DDA} と V_{SSA} は、それぞれ V_{DD} と V_{SS} に接続する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

4.1.1 独立した A/D および D/A コンバータ電源と基準電圧

変換精度を高めるため、ADC および DAC には独立した電源が供給され、PCB 上のノイズを個別にフィルタし、防ぐことができます。

- ADC および DAC 電圧供給入力は、独立した V_{DDA} ピンから供給されます。
- V_{SSA} ピンには、独立して供給されるグランド接続が用意されています。

可能な限り（パッケージによります）、V_{REF-} は V_{SSA} に接続する必要があります。

100 ピンおよび 144 ピンのパッケージ

低電圧入力および出力での精度を確保するため、独立した外部基準電圧を V_{REF+} に接続することができます。V_{REF+} は最高電圧であり、アナログ入力（ADC）または出力（DAC）信号のフルスケール値によって表されます。V_{REF+} の電圧は、2.4 V から V_{DDA} の範囲になります。

64 ピン以下のパッケージ

V_{REF+} および V_{REF-} ピンは使用できません。これらは ADC 電圧供給（V_{DDA}）およびグランド（V_{SSA}）に内部接続されています。

4.1.2 バッテリバックアップドメイン

V_{DD} がオフのときにバックアップレジスタの内容を保持し、RTC 機能を提供するために、V_{BAT} ピンを、電池やその他の電源によって供給されるオプションのスタンバイ電圧に接続することができます。

V_{BAT} ピンは、RTC ユニット、LSE オシレータ、および PC13～15 の入出力に電源供給されるので、RTC はメインのデジタル電源（V_{DD}）がオフのときでも動作できます。V_{BAT} 電源への切り替えは、リセットブロックに組み込まれているパワーダウンリセット回路によって制御されます。

警告： **$t_{RSTTEMPO}$（V_{DD} スタートアップ時の一時的供給）中または PDR の検出後、V_{BAT} と V_{DD} の間の電源スイッチは V_{BAT} に接続されたままになります。**
スタートアップフェーズ中、V_{DD} が $t_{RSTTEMPO}$ 未満で確立され（$t_{RSTTEMPO}$ の値については、データシートを参照）、$V_{DD} > V_{BAT} + 0.6$ V の場合、電流は V_{DD} と電源スイッチ（V_{BAT}）の間に接続された内部ダイオードを通じて V_{BAT} に注入されます。
V_{BAT} ピンに接続された電源/バッテリがこの電流注入をサポートできない場合は、この電源と V_{BAT} ピンの間に外部低電圧ダイオードを接続することを強く推奨します。

外部バッテリが使用されないアプリケーションでは、V_{BAT} を 100 nF の外部セラミック安定化コンデンサ経由で V_{DD} に外部接続することを推奨します（詳細については AN2586 を参照）。

バックアップドメインが V_{DD}（V_{DD} に接続されたアナログスイッチ）から供給を受けている場合には、次の機能が使用できます。

- PC14 と PC15 は、GPIO または LSE ピンとして使用できます。
- PC13 は、GPIO、TAMPER ピン、RTC 較正クロック、RTC アラーム、または第 2 出力として使用できます（*セクション 5：バックアップレジスタ（BKP）（62 ページ）*を参照）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

注： ***スイッチに流すことができる電流は限られているので（3mA）、出力モードでの GPIO PC 13 から PC15 までの使用は制限があります。最大負荷 30 pF で最大速度 2 MHz に制限する必要があり、これらの入出力を（たとえば、LED を駆動するための）電流ソースとして使用することはできません。***

バックアップドメインが V_{BAT} から供給を受けているときには（V_{DD} が存在しないので、アナログスイッチは V_{BAT} に接続）、次の機能が使用できます。

- PC14 と PC15 は、LSE ピンとしてのみ使用できます。
- PC13 は、TAMPER ピン、RTC アラーム、または第 2 出力として使用できます（*セクション 5.4.2：RTC クロック較正レジスタ（BKP_RTCCR）（64 ページ）*を参照）。

4.1.3 電圧レギュレータ

電圧レギュレータは、リセット後は常に有効です。アプリケーションのモードに応じて、3 種類のモードで動作します。

- RUN モードでは、レギュレータは 1.8 V ドメイン（コア、メモリ、およびデジタルペリフェラル）にフル電力を供給します。
- STOP モードでは、レギュレータは 1.8 V ドメインに対して、レジスタと sram の内容を保持できる低電力を供給します。
- STANDBY モードでは、レギュレータはパワーオフ状態です。スタンバイ回路とバックアップドメイン以外のレジスタと SRAM の内容は失われます。

4.2 電源供給スーパバイザ

4.2.1 パワーオンリセット（POR）/パワーダウンリセット（PDR）

このデバイスには、電源電圧が 2 V を超えたとき、または低下したときに必要な動作を行わせるための POR/PDR 回路が搭載されています。

デバイスは、V_{DD}/V_{DDA} が所定の閾値（$V_{POR/PDR}$）を下回っている間は、外部のリセット回路を必要とせずに、リセットモードを維持することができます。POR/PDR 閾値の詳細については、データシートの電気特性の項を参照してください。

図 5. パワーオンリセット/パワーダウンリセット波形

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

4.2.2 プログラマブル電圧検出器（PVD）

PVDを 使用すると、*電源制御レジスタ（PWR_CR）*の PLS[2：0] によって選択された閾値と比較することによって、V_{DD}/V_{DDA} 電源を監視できます。

PVD は、PVDE ビットをセットすることによって有効になります。

*電力制御/ステータスレジスタ（PWR_CSR）*の PVDO フラグは、V_{DD}/V_{DDA} が PVD 閾値より高いか低いかを示します。このイベントは、EXTI のライン 16 に内部接続され、EXTI レジスタで有効な場合は、割り込みリクエストを生成できます。V_{DD}/V_{DDA} が PVD 閾値を下回るか、V_{DD}/V_{DDA} が PVD 閾値を上回るときには、EXTI ライン 16 の立ち上がり/立ち下がりエッジ設定に応じて、PVD 出力割り込みを生成できます。たとえば、サービスルーチンで緊急停止処理を行わせることなどができます。

図 6. PVD 閾値

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

4.3 低電力モード

デフォルトでは、マイクロコントローラは、システムリセットまたは電源リセット後は RUN モードとなります。外部イベント待ちなど、CPU の実行が不要なときの節電のために、いくつかの低電力モードが用意されています。消費電力の節減、スタートアップ時間の短縮、および使用可能なウェイクアップソースを考慮して、ユーザは最適なモードを選択します。

STM32F100xx デバイスは、次の 3 つの低電力モードを備えています。

- SLEEP モード（CPU クロックはオフ、NVIC、SysTick などの Cortex-M3 コアペリフェラルを含むすべてのペリフェラルは実行状態を維持）
- STOP モード（すべてのクロックが停止）
- STANDBY モード（1.8V ドメインの電源オフ）

さらに、次のような手段で RUN モードの消費電力を節減できます。

- システムクロック周波数の低速化
- 使用されない APB およびAHB ペリフェラルのクロックの停止

表 8. 低電力モードの要約

モード名	モード遷移	ウェイクアップ	1.8V ドメインクロックへの影響	V_{DD} ドメインクロックへの影響	電圧レギュレータ
SLEEP（Sleep-now または Sleep-on-exit）	WFI	割り込み	CPU クロックオフ 他のクロックまたはアナログクロックソースへの影響なし	なし	ON
	WFE	ウェイクアップイベント			
STOP	PDDS および LPDS ビット + SLEEPDEEP ビット + WFI または WFE	EXTI ライン（EXTI レジスタで設定）	すべての 1.8V ドメインクロック OFF	HSI および HSE オシレータ OFF	ON または低電力モード（*電源制御レジスタ（PWR_CR）*に依存）
STANDBY	PDDS ビット + SLEEPDEEP ビット + WFI または WFE	WKUP ピン立ち上がりエッジ、RTC アラーム、NRST ピンの外部リセット、IWDG リセット			OFF

4.3.1 システムクロック周波数の低減

RUN モードでは、プリスケーラレジスタのプログラミングによってシステムクロック（SYSCLK、HCLK、PCLK1、PCLK2）の速度を低下させることができます。これらのプリスケーラを使用して、SLEEP モードに入る前にペリフェラルの速度を低下させておくこともできます。

詳細については、*セクション 6.3.2：クロック設定レジスタ（RCC_CFGR）*を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

4.3.2 ペリフェラルクロックの停止

RUN モードでは、個々のペリフェラルとメモリの HCLK および PCLKx をいつでも停止して、消費電力を節減できます。

SLEEP モードで消費電力をさらに節減するには、WFI または WFE 命令を実行する前に、ペリフェラルクロックを停止しておきます。

ペリフェラルクロックの停止は、*AHB ペリフェラルクロック有効レジスタ（RCC_AHBENR）*、*APB1 ペリフェラルクロック有効レジスタ（RCC_APB1ENR）*および *APB2 ペリフェラルクロック有効レジスタ（RCC_APB2ENR）*によって制御されます。

4.3.3 SLEEP モード

SLEEP モードへの移行

SLEEP モードに入るには、WFI（Wait For Interrupt）または WFE（Wait for Event）命令を実行します。SLEEP モードに入るメカニズムの選択には、Cortex-M3 システム制御レジスタの SLEEPONEXIT ビットに応じて 2 つのオプションが使用できます。

- Sleep-now：SLEEPONEXIT ビットがクリアされている場合、MCU は、WFI または WFE 命令の実行と同時に SLEEP モードに入ります。
- Sleep-on-exit：SLEEPONEXIT ビットがセットされている場合、MCU は、最も優先度の低い ISR から抜けた時点で SLEEP モードに入ります。

SLEEP モードでは、すべての入出力ピンは RUN モードと同じ状態を保ちます。

SLEEP モードへの入り方の詳細については、*表 9* および*表 10* を参照してください。

SLEEP モードからの復帰

WFI 命令によってSLEEP モードに入った場合、ペリフェラルの割り込みがネスト化されたベクトル割り込みコントローラ（NVIC）によって受け入れられると、デバイスは SLEEP モードを終了します。

WFE 命令によって SLEEP モードに入った場合、イベントが発生すると同時に MCU はSLEEP モードを終了します。ウェイクアップイベントは、次のどちらかによって生成できます。

- NVIC で有効にするのではなくペリフェラル制御レジスタで割り込みを有効にして、Cortex-M3 システム制御レジスタの SEVONPEND ビットを有効にします。MCU が WFE からリスタートするときには、ペリフェラル割り込み保留ビットとペリフェラル NVIC IRQ チャネル保留ビット（NVIC 割り込みクリア保留レジスタ）をクリアする必要があります。
- または、イベントモードで外部または内部 EXTI ラインを設定します。CPU が WFE からリスタートするときには、イベントラインに対応する保留ビットはセットされていないので、ペリフェラル割り込み保留ビットや NVIC IRQ チャネル保留ビットをクリアする必要はありません。

このモードは、割り込みの入口と出口で余分な時間を必要としないため、ウェイクアップ時間は最も短くなります。

SLEEP モードの終了方法の詳細については、*表 9* および*表 10* を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 9. Sleep-now

Sleep-now モード	説明
モードへのエントリ	次の条件下での WFI（Wait for Interrupt）または WFE（Wait for Event） – SLEEPDEEP = 0 および – SLEEPONEXIT = 0 Cortex™-M3 システム制御レジスタを参照。
モードからの復帰	WFI 命令で SLEEP モードに入った場合： 割り込み：を参照。 WFE 命令で SLEEP モードに入った場合： ウェイクアップイベント：*セクション 8.2.3：ウェイクアップイベント管理*を参照してください。
ウェイクアップ時の遅延	なし

表 10. Sleep-on-exit

Sleep-on-exit	説明
モードへのエントリ	次の条件下での WFI（Wait for Interrupt） – SLEEPDEEP = 0 および – SLEEPONEXIT = 1 Cortex™-M3 システム制御レジスタを参照。
モードからの復帰	割り込み：を参照してください。
ウェイクアップ時の遅延	なし

4.3.4 STOP モード

STOP モードは、Cortex-M3 のディープスリープ（deepsleep）モードとペリフェラルクロックスイッチ機能を組み合わせたものです。電圧レギュレータは、通常モードか、低電力モードのいずれかに設定できます。STOP モードでは、1.8 V ドメインのすべてのクロックが停止し、PLL、HSI、および HSE RC オシレータは無効になります。SRAM とレジスタの内容は保持されます。

STOP モードでは、すべての入出力ピンが RUN モードと同じ状態を保ちます。

STOP モードへのエントリ

STOP モードへの入り方については、*表 11* を参照してください。

STOP モードで消費電力をさらに節減するには、内蔵されている電圧レギュレータを低電力モードにします。この設定は、*電源制御レジスタ（PWR_CR）*の LPDS ビットで行います。

フラッシュメモリのプログラミング中の場合は、メモリアクセスが終了するまで、STOP モードへの移行が遅延します。

APB ドメインへのアクセス中の場合、APB アクセスが終了するまで、STOP モードへの移行が遅延します。

STOP モードでは、個別の制御ビットをプログラミングすることによって、次の機能を選択できます。

- 独立型ウォッチドッグ（IWDG）：IWDGは、キーレジスタへの書き込みによって、またはハードウェアオプションによって開始されます。ウォッチドッグの動作がいったん開始されると、リセット以外では停止できません。*セクション 18：独立型ウォッチドッグ(IWDG)* の *セクション 18.3：IWDG の機能詳細* を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

- リアルタイムクロック（RTC）：これは*バックアップドメイン制御レジスタ（RCC_BDCR）*の RTCEN ビットによって設定されます。
- 内部 RC オシレータ（LSI RC）：これは、*制御/ステータスレジスタ（RCC_CSR）*の LSION ビットによって設定されます。
- 外部 32.768 kHz オシレータ（LSE OSC）：これは、*バックアップドメイン制御レジスタ（RCC_BDCR）*の LSEON ビットによって設定されます。

ADC または DAC も、STOP モードに入る前に無効にされない限り、STOP モード中に電力を消費します。これらを無効にするには、ADC_CR2 レジスタの ADON ビットと DAC_CR レジスタの ENx ビットの両方に 0 を書き込む必要があります。

STOP モードからの復帰

STOP モードの終了方法の詳細については、*表 11* を参照してください。

割り込みまたはウェイクアップイベントによって STOP モードを終了するときには、HSI RC オシレータがシステムクロックとして選択されます。

電圧レギュレータが低電力モードで動作しているときには、STOP モードからのウェイクアップの際に余分なスタートアップ時間が必要になります。STOP モードの間も内部レギュレータをオン状態に保つと、消費電力は増加しますが、ウェイクアップ時間は短縮されます。

表 11. STOP モード

STOP モード	説明
モードへのエントリ	次の条件下での WFI（Wait for Interrupt）または WFE（Wait for Event） – Cortex™-M3 システム制御レジスタの SLEEPDEEP ビットをセット – 電力制御レジスタ（PWR_CR）の PDDS ビットをクリア – PWR_CR の LPDS ビットの設定によって電圧レギュレータのモードを選択 **注：**STOP モードに入るには、すべての EXTI ライン保留ビット（*ペンディングレジスタ（EXTI_PR）*）と RTC アラームフラグをリセットする必要があります。さもないと、STOP モード遷移手順が無視されて、プログラムの実行が続けられます。
モードからの復帰	WFI 命令で STOP モードに入った場合： 割り込みモードに設定されている任意の EXTI ライン（対応する EXTI 割り込みベクトルが NVIC で有効になっている必要があります）。を参照してください。 WFE 命令で STOP モードに入った場合： イベントモードに設定されている任意の EXTI ライン。*セクション 8.2.3：ウェイクアップイベント管理（134 ページ）*を参照してください。
ウェイクアップ時の遅延	HSI RC ウェイクアップ時間 + レギュレータの低電力モードからのウェイクアップ時間

4.3.5 STANDBY モード

STANDBY モードでは、消費電力を最も少なくできます。このモードは、電圧レギュレータが無効なときの Cortex-M3 ディープ SLEEP モードをベースにしています。結果として、1.8 V ドメインの電力がオフになります。PLL、HSI オシレータ、および HSE オシレータもオフになります。SRAM とレジスタの内容は、バックアップドメインと STANDBY 回路を除いて失われます（*図 4* を参照）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

STANDBY モードへのエントリ

STANBY モードへの入り方の詳細については、*表 12* を参照してください。

STANDBY モードでは、個別の制御ビットをプログラミングすることによって、次の機能を選択できます。

- 独立型ウォッチドッグ（IWDG）: IWDGは、キーレジスタへの書き込みによって、またはハードウェアオプションによって開始されます。ウォッチドッグの動作がいったん開始されると、リセット以外では停止できません。*セクション 18：独立型ウォッチドッグ(IWDG)* の *セクション 18.3：IWDG の機能詳細* を参照してください。
- リアルタイムクロック（RTC）: この設定は、バックアップドメイン制御レジスタ（RCC_BDCR）の RTCEN ビットで行います。
- 内部 RC オシレータ（LSI RC）: この設定は制御/ステータスレジスタ（RCC_CSR）の LSION ビットで行います。
- 外部 32.768 kHz オシレータ（LSE OSC）: この設定は、バックアップドメイン制御レジスタ（RCC_BDCR）の LSEON ビットで行います。

STANDBY モードからの復帰

マイクロコントローラは、外部リセット（NRST ピン）、IWDG リセット、WKUP ピンの立ち上がりエッジ、または RTC アラームの立ち上がりエッジで STANDBY モードから抜けます（*図 195：RTC の簡略化されたブロック図*を参照）。STANDBY モードからのウェイクアップ後、*電力制御/ステータスレジスタ（PWR_CSR）* を除くすべてのレジスタがリセットされます。

STANDBY モードからのウェイクアップ後、プログラム実行はリセット後と同じ手順でリスタートされます（ブートピン信号のサンプリング、ベクトルリセットのフェッチなど）。*電力制御/ステータスレジスタ（PWR_CSR）* の SBF ステータスフラグは、MCU が STANDBY モードにあったことを示します。

STANBY モードの終了方法の詳細については、*表 12* を参照してください。

表 12. STANDBY モード

STANDBY モード	説明
モードへのエントリ	次の条件下での WFI（Wait for Interrupt）または WFE（Wait for Event） – Cortex™-M3 システム制御レジスタの SLEEPDEEP をセット – 電力制御レジスタ（PWR_CR）の PDDS ビットをセット – 電力制御/ステータスレジスタ（PWR_CSR）の WUF ビットをクリア
モードからの復帰	WKUP ピンの立ち上がりエッジ、RTC アラームイベントの立ち上がりエッジ、NRST ピンの外部リセット、IWDG リセット
ウェイクアップ時の遅延	リセットフェーズ

STANDBY モードでの入出力の状態

STANDBY モードでは、以下の信号を除いて、すべての入出力ピンがハイインピーダンス状態となります。

- リセットパッド（依然として有効）
- TAMPER ピン（タンパまたは較正出力用に設定されている場合）
- WKUP ピン（有効な場合）

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

デバッグモード

デフォルトでは、デバッグ機能が使用されているときにアプリケーションが MCU を STOP または STANDBY モードにすると、デバッグ接続は失われます。これは、Cortex™-M3 コアにクロックが供給されなくなるためです。

ただし、DBGMCU_CR レジスタの設定ビットをセットすることによって、低電力モードを多用しているときでも、ソフトウェアのデバッグを行うことができます。詳細については、*セクション 25.15.1: 低電力モードのデバッグサポート*を参照してください。

4.3.6 低電力モードからの自動ウェイクアップ（AWU）

外部割り込みに依存せずに、RTC を使用して MCU を低電力モードからウェイクアップできます（自動ウェイクアップモード）。RTC は、一定の時間間隔で STOP または STANDBY モードからウェイクアップするためのプログラム可能なタイムベースとなります。この目的のため、の RTCSEL[1：0] ビットをプログラミングすることによって、3 つの代替 RTC クロックソースのうちの 2 つを選択できます。

- 低電力 32.768 kHz 外部クリスタルオシレータ（LSE OSC）
  このクロックソースは、非常に少ない消費電力（標準的な条件で追加消費電力 1μA 未満）で高精度のタイムベースを提供します。
- 低電力内部 RC オシレータ（LSI RC）
  このクロックソースには、32.768 kHz クリスタルのコストを節減できるという利点があります。内部 RC オシレータは、追加の消費電力が最小となるように設計されています。

RTC アラームイベントによって STOP モードからウェイクアップするには、次の設定が必要です。

- EXTI ライン 17 を立ち上がりエッジに敏感に反応するように設定します。
- RTC が RTC アラームを生成するように設定します。

STANDBY モードからウェイクアップするには、EXTI ライン 17 の設定は不要です。

4.4 電源制御レジスタ

ペリフェラルレジスタには、ハーフワード（16 ビット）またはワード（32 ビット）単位でアクセスできます。

4.4.1 電源制御レジスタ（PWR_CR）

アドレスオフセット：0x00

リセット値：0x0000 0000（STANDBY モードからのウェークアップによってリセット）

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み							DBP	PLS[2:0]			PVDE	CSBF	CWUF	PDDS	LPDS
							rw	rw	rw	rw	rw	rc_w1	rc_w1	rw	rw

ビット 31:9　予約済み、常に 0 として読み出されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 8 **DBP**：バックアップドメイン書き込み保護を無効にします。

リセット状態では、RTC レジスタとバックアップレジスタは、過渡状態における書き込みアクセスから保護されます。これらのレジスタへの書き込みアクセスを可能にするには、このビットをセットする必要があります。

0：RTC およびバックアップレジスタへのアクセスは無効です。

1：RTC およびバックアップレジスタへのアクセスは有効です。

注：　HSE の 128 分周が RTC クロックとして使用される場合、このビットは 1 にセットしたままにする必要があります。

ビット 7:5 **PLS[2:0]**：PVD レベル選択

これらのビットは、電源電圧検出器によって検出された電圧閾値を選択するために、ソフトウェアによって書き込まれます。

000：2.2V
001：2.3V
010：2.4V
011：2.5V
100：2.6V
101：2.7V
110：2.8V
111：2.9V

注：　詳細については、データシートの電気特性を参照してください。

ビット 4 **PVDE**：電源電圧検出器イネーブル

このビットは、ソフトウェアによってセット/クリアされます。

0：PVD 無効

1：PVD 有効

ビット 3 **CSBF**：STANDBY フラグのクリア

このビットは常に 0 として読み出されます。

0：ビットの値に影響を与えません。

1：SBF STANDBY フラグをクリアします（書き込み）。

ビット 2 **CWUF**：ウェイクップフラグのクリア

このビットは常に 0 として読み出されます。

0：ビットの値に影響を与えません。

1：WUF ウェイクップフラグを **2 システムクロックサイクル後にクリアします。**（書き込み）

ビット 1 **PDDS**：パワーダウンディープスリープ

このビットは、ソフトウェアによってセット/クリアされます。LPDS ビットとの組み合わせで動作します。

0：CPU がディープスリープに入ると、STOP モードになります。レギュレータの状態は LPDS ビットに依存します。

1：CPU がディープスリープに入ると、STANDBY モードになります。

ビット 0 **LPDS**：低電力ディープスリープ

このビットは、ソフトウェアによってセット/クリアされます。PDDS ビットとの組み合わせで動作します。

0：電圧レギュレータは STOP モードの間もオン状態を保ちます。

1：電圧レギュレータは STOP モードの間は低電力モードになります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

4.4.2 電力制御/ステータスレジスタ（PWR_CSR）

アドレスオフセット：0x04

リセット値：0x0000 0000（STANDBY モードからのウェークアップによってリセットされない）

このレジスタを読み出すには、標準 APB 読み出しに対する追加の APB サイクルが必要です。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み							EWUP	予約済み					PVDO	SBF	WUF
							rw						r	r	r

ビット 31:9 予約済み、常に 0 として読み出されます。

ビット 8 **EWUP**：WKUP ピンを有効にします。

このビットは、ソフトウェアによってセット/クリアされます。

0：WKUP ピンは汎用入出力として使用されます。この WKUP ピンでイベントが発生しても、デバイスは STANDBY モードからウェイクアップしません。

1：WKUP ピンは STANDBY モードからのウェイクアップに使用され、強制的にプルダウン入力モードに設定されます（WKUP ピンの立ち上がりエッジで、システムは STANDBY モードからウェイクアップします）。

注：　このビットは、システムリセットによってリセットされます。

ビット 7:3 予約済み、常に 0 として読み出されます。

ビット 2 **PVDO**：PVD 出力

このビットは、ソフトウェアによってセット/クリアされます。PVDE ビットによって PVD が有効な場合のみ有効です。

0：V_{DD}/V_{DDA} は PLS[2:0] ビットで選択された PVD 閾値より高い。

1：V_{DD}/V_{DDA} は PLS[2:0] ビットで選択された PVD 閾値より低い。

注：　PVD は STANDBY モードで停止します。このため、このビットは STANDBY またはリセット後は、PVDE ビットがセットされるまで 0 になります。

ビット 1 **SBF**：STANDBY フラグ

このビットはハードウェアによってセットされ、POR/PDR（パワーオンリセット/パワーダウンリセット）によって、または *電源制御レジスタ（PWR_CR）* の CSBF ビットをセットすることによってのみクリアされます。

0：デバイスは STANDBY モードではありません。

1：デバイスは STANDBY モードです。

ビット 0 **WUF**：ウェイクップフラグ

このビットはハードウェアによってセットされ、POR/PDR（パワーオンリセット/パワーダウンリセット）によって、または *電源制御レジスタ（PWR_CR）* の CWUF ビットをセットすることによってのみクリアされます。

0：ウェイクアップイベントは発生していません。

1：WKUP ピンまたは RTC アラームからウェイクアップイベントを受信しました。

注：　WKUP ピンのレベルが常にハイのとき、WKUP ピンが有効な場合（EWUP ビットがセットされている）、追加のウェイクアップイベントが検出されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

4.4.3 PWR レジスタマップ

次の表は PWR レジスタの一覧です。

表 13. PWR レジスタマップとリセット値

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x000	PWR_CR	予約済み																							DBP	PLS[2:0]			PVDE	CSBF	CWUF	PDDS	LPDS
	リセット値																								0	0	0	0	0	0	0	0	0
0x004	PWR_CSR	予約済み																							EWUP	予約済み					PVDO	SBF	WUF
	リセット値																								0						0	0	0

レジスタ境界アドレスについては、*表 1 (36 ページ)* を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

5 バックアップレジスタ（BKP）

小容量デバイスは、フラッシュメモリ容量が 16～32 KB の STM32F100xx マイクロコントローラです。

中容量デバイスは、フラッシュメモリ容量が 64～128 KB の STM32F100xx マイクロコントローラです。

大容量デバイスは、フラッシュメモリ容量が 256～512 KB の STM32F100xx マイクロコントローラです。

このセクションは、別段の指定がない限り、STM32F100xx ファミリ全体に適用されます。

5.1 BKP の概要

バックアップレジスタは、小容量および中容量デバイスでは 10 個の 16 ビットレジスタであり、大容量デバイスでは 42 個のレジスタであり、20 または 84 バイトのユーザアプリケーションデータを格納します。

これらのレジスタは、V_{DD} 電源が遮断されたときに V_{BAT} によって電源を維持するバックアップドメインに搭載されています。これらのレジスタは、デバイスが STANDBY モードからウェイクアップするときや、システムリセットまたは電源リセットのときもリセットされません。

さらに、BKP 制御レジスタは、タンパ検出機能や RTC 周波数調整の管理にも使用されます。

リセット後のバックアップレジスタと RTC へのアクセスは無効であり、バックアップドメイン（BKP）は不正な書き込みアクセスから保護されます。バックアップレジスタと RTC へのアクセスを有効にするには、次の手順に従ってください。

- RCC_APB1ENR レジスタの PWREN および BKPEN ビットをセットすることによって、電源およびバックアップインタフェースクロックを有効にします。
- 電源制御レジスタ（PWR_CR）の DBP ビットをセットして、バックアップレジスタと RTC へのアクセスを有効にします。

5.2 BKP の主な機能

- 20 バイトのデータレジスタ（小容量および中容量デバイス）または 84 バイトのデータレジスタ（大容量デバイス）
- 割り込みによるタンパ検出を管理するステータス/制御レジスタ
- RTC 周波数の調整値を格納する較正レジスタ
- RTC 較正クロック、RTC アラームパルス、または秒パルスをタンパピン PC13（このピンがタンパ検出に使用されないとき）の出力

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

5.3 BKP の機能説明

5.3.1 タンパ検出

TAMPER ピンは、*バックアップ制御レジスタ（BKP_CR）*の TPAL ビットに応じて、ピンが 0 から 1 または 1 から 0 に変化したときにタンパ検出イベントを生成します。タンパ検出イベントは、すべてのデータバックアップレジスタの内容をリセットします。

ただし、タンパイベントの見落しを防ぐため、エッジ検出に使用される信号はタンパ有効ビットとの論理積がとられています。これにより、TAMPER ピンが有効になる前にすでに発生していたタンパイベントも検出することができます。

- **TPAL=0 のとき**: TAMPER ピンが TPE ビットをセットすることで有効になる前にすでにハイであった場合、TAMPER ピンが有効になると同時に追加のタンパイベントが検出されます（このとき、TPE がセットされた後には TAMPER ピンの立ち上がりエッジは存在していません）。
- **TPAL=1 のとき**: TAMPER ピンが TPE ビットをセットすることによって有効になる前にすでにローであった場合、TAMPER ピンが有効になると同時に追加のタンパイベントが検出されます（このとき、TPE がセットされた後には TAMPER ピンの立ち下がりエッジは存在していません）。

BKP_CSR レジスタの TPIE ビットをセットすることにより、タンパ検出イベントが発生したときに割り込みが生成されます。

タンパイベントが検出されて、クリアされた後、TAMPER ピンはいったん無効になり、バックアップデータレジスタ（BKP_DRx）に書き込みを行う前に TPE ビットで再び有効にしなければなりません。これによって、TAMPER ピンの値がまだタンパ検出を示しているときに、ソフトウェアがバックアップデータレジスタ（BKP_DRx）に書き込むのを防ぎます。これは、TAMPER ピンでのレベル検出と同じことです。

注： ***タンパ検出は、V_{DD} 電源がオフのときでも有効です。バックアップデータレジスタの不要なリセットを避けるには、TAMPER ピンは外部で正しい信号レベルに接続しておく必要があります。***

5.3.2 RTC周波数調整

測定目的で、周波数を 64 分周した RTC クロックを TAMPER ピンに出力できます。これは、*RTC クロック較正レジスタ（BKP_RTCCR）*の CCO ビットをセットすることによって有効になります。

クロック周波数は CAL[6:0] ビットの設定で 121 ppm まで低下させることができます。

RTC周波数調整とタイミング管理の精度を高める方法の詳細については、AN2604 *「STM32F101xx および STM32F103xx RTC周波数調整」*を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

5.4 BKP レジスタ

レジスタの説明で使用されている略語については、*セクション 1.1 (32 ページ)* を参照してください。

ペリフェラルレジスタには、ハーフワード（16 ビット）またはワード（32 ビット）単位でアクセスできます。

5.4.1 バックアップデータレジスタ x（BKP_DRx）（x = 1 ..42）

アドレス・オフセット：0x04～0x28、0x40～0xBC

リセット値：0x0000 0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
D[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **D[15:0]** バックアップデータ

これらのビットには任意のユーザデータを書き込むことができます。

注： BKP_DRx レジスタは、システムリセットやパワーリセット、または STANDBY モードからのウェイクアップではリセットされません。
レジスタの内容は、バックアップドメインリセットまたは TAMPER ピンイベント（この機能が有効な場合）によってリセットされます。

5.4.2 RTC クロック較正レジスタ（BKP_RTCCR）

アドレスオフセット：0x2C

リセット値：0x0000 0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み						ASOS	ASOE	CCO	CAL[6:0]						
						rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:10 予約済み、常に 0 として読み出されます。

ビット 9 **ASOS**：アラームまたは秒出力選択

ASOE ビットがセットされているときには、ASOS ビットを使用して、TAMPER ピンの信号出力を RTC 秒パルス信号にするか、アラームパルス信号にするかを選択できます。

0：RTC アラームパルス出力が選択されます。

1：RTC 秒パルス出力が選択されます。

注： このビットは、バックアップドメインリセットによってのみリセットされます。

ビット 8 **ASOE**：アラームまたは秒出力イネーブル

このビットをセットすると、ASOS ビットに応じて、RTC アラームパルス信号または秒パルス信号が TAMPER ピンに出力されます。

出力パルス周期は、1 RTC クロック周期です。ASOE ビットがセットされている間は、TAMPER ピンを有効にすることはできません。

注： このビットは、バックアップドメインリセットによってのみリセットされます。

ビット 7 **CCO**：較正クロック出力

0：影響なし。

1：測定目的で、周波数を 64 分周した RTC クロックを TAMPER ピンに出力できます。不要なタンパ検出を防ぐため、CCO ビットがセットされているときには TAMPER ピンを有効にすることはできません。

注： このビットは V_{DD} 供給がオフになるとクリアされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 6:0 **CAL[6:0]**：較正値

この値は、2^20 クロックパルスごとに無視されるクロックパルス数を示します。これにより、RTC の較正ができ、クロックを 1000000/2^20 ppm 単位で下げることができます。
RTC クロックは、0 から 121ppm まで下げることができます。

5.4.3 バックアップ制御レジスタ（BKP_CR）

アドレスオフセット：0x30

リセット値：0x0000 0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み														TPAL	TPE
														rw	rw

ビット 15:2 予約済み、常に 0 として読み出されます。

ビット 1 **TPAL**：TAMPER ピンアクティブレベル

0：TAMPER ピンのハイレベルですべてのデータバックアップレジスタがリセットされます（TPE ビットがセットされている場合）。
1：TAMPER ピンのローレベルですべてのデータバックアップレジスタがリセットされます（TPE ビットがセットされている場合）。

ビット 0 **TPE**：TAMPER ピンイネーブル

0：TAMPER ピンは汎用入出力（GPIO）として使用できます。
1：タンパオルタネート入出力機能が有効です。

注： ***TPAL と TPE ビットを同時にセットすることは常に可能ですが、両方を同時にクリアすると、副作用としてタンパイベントを発生させてしまうことがあります。このため、TPAL ビットの変更は、TPE ビットがリセットされているときに限るようにしてください。***

5.4.4 バックアップ制御/ステータスレジスタ（BKP_CSR）

アドレスオフセット：0x34

リセット値：0x0000 0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み						TIF	TEF	予約済み					TPIE	CTI	CTE
						r	r						rw	w	w

ビット 15:10 予約済み、常に 0 として読み出されます。

ビット 9 **TIF**：タンパ割り込みフラグ

このビットは、タンパイベントが検出され、TPIE ビットがセットされているときに、ハードウェアによってセットされます。CTI ビットに 1 を書き込むことでクリアされます（割り込みもクリアされます）。また、TPIE ビットがリセットされた場合もクリアされます。
0：タンパ割り込みは発生していません。
1：タンパ割り込みが発生しました。

注： ***このビットは、システムリセットと STANDBY モードからのウェイクアップでのみリセットされます。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 8 **TIF：**タンパイベントフラグ

このビットは、タンパイベントが検出されたときに、ハードウェアによってセットされます。CTE ビットに 1 を書き込むことによってクリアされます。

0：タンパイベントは発生していません。

1：タンパイベントが発生しました。

注： タンパイベントは、すべてのBKP_DRx レジスタをリセットします。レジスタは TEF ビットがセットされている間、リセット状態に置かれます。このビットがセットされているときに BKP_DRx レジスタに書き込んでも、値は格納されません。

ビット 7:3 予約済み、常に 0 として読み出されます。

ビット 2 **TPIE：**TAMPER ピン割り込みイネーブル

0：タンパ割り込みは無効

1：タンパ割り込み有効（BKP_CR レジスタの TPE ビットもセットされていなければなりません）。

注： 1：タンパ割り込みがあっても、コアは低電力モードからウェイクアップしません。

2：このビットは、システムリセットと STANDBY モードからのウェイクアップでのみリセットされます。

ビット 1 **CTI：**タンパ割り込みをクリアします。

このビットは書き込み専用であり、常に 0 として読み出されます。

0：影響ありません。

1：タンパ割り込みと TIF タンパ割り込みフラグをクリアします。

ビット 0 **CTI：**タンパイベントをクリアします。

このビットは書き込み専用であり、常に 0 として読み出されます。

0：影響ありません。

1：TEF タンパイベントフラグ（およびタンパ検出回路）をリセットします。

5.4.5 BKP レジスタマップ

BKP レジスタは、次の表のように、16 ビットのアドレス可能レジスタとしてマップされます。

表 14. BKP レジスタマップとリセット値

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	予約済み																																
0x04	BKP_DR1	予約済み																D[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x08	BKP_DR2	予約済み																D[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0C	BKP_DR3	予約済み																D[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x10	BKP_DR4	予約済み																D[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x14	BKP_DR5	予約済み																D[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x18	BKP_DR6	予約済み																D[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 14. BKP レジスタマップとリセット値 （続き）

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x1C	BKP_DR7	予約済み																D[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x20	BKP_DR8	予約済み																D[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x24	BKP_DR9	予約済み																D[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x28	BKP_DR10	予約済み																D[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x2	BKP_RTCCR	予約済み																						ASOS	ASOE	CCO	CAL[6:0]						
	リセット値																							0	0	0	0	0	0	0	0	0	0
0x30	BKP_CR	予約済み																														TPAL	TPE
	リセット値																															0	0
0x34	BKP_CSR	予約済み																						TIF	TEF	予約済み					TPIE	CTI	CTE
	リセット値																							0	0						0	0	0
0x38	予約済み																																
0x3C	予約済み																																
0x40	BKP_DR11	予約済み																D[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x44	BKP_DR12	予約済み																D[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x48	BKP_DR13	予約済み																D[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x4C	BKP_DR14	予約済み																D[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x50	BKP_DR15	予約済み																D[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x54	BKP_DR16	予約済み																D[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x58	BKP_DR17	予約済み																D[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x5C	BKP_DR18	予約済み																D[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 14. BKP レジスタマップとリセット値 （続き）

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x60	BKP_DR19	予約済み																D[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x64	BKP_DR20	予約済み																D[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x68	BKP_DR21	予約済み																D[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x6C	BKP_DR22	予約済み																D[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x70	BKP_DR23	予約済み																D[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x74	BKP_DR24	予約済み																D[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x78	BKP_DR25	予約済み																D[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x7C	BKP_DR26	予約済み																D[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x80	BKP_DR27	予約済み																D[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x84	BKP_DR28	予約済み																D[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x88	BKP_DR29	予約済み																D[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x8C	BKP_DR30	予約済み																D[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x90	BKP_DR31	予約済み																D[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x94	BKP_DR32	予約済み																D[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x98	BKP_DR33	予約済み																D[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x9C	BKP_DR34	予約済み																D[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0xA0	BKP_DR35	予約済み																D[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 14. BKP レジスタマップとリセット値 （続き）

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0xA4	BKP_DR36	予約済み																D[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0xA8	BKP_DR37	予約済み																D[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0xAC	BKP_DR38	予約済み																D[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0xB0	BKP_DR39	予約済み																D[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0xB4	BKP_DR40	予約済み																D[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0xB8	BKP_DR41	予約済み																D[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0xBC	BKP_DR42	予約済み																D[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

レジスタ境界アドレスについては *表 1：小容量および中容量デバイスのレジスタ境界アドレス* および *表 2：大容量デバイスのレジスタ境界アドレス* を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

6 リセットおよびクロック制御（RCC）

小容量バリューラインデバイスは、フラッシュメモリ容量が 16～32 KB の STM32F100xx マイクロコントローラです。

中容量バリューラインデバイスは、フラッシュメモリ容量が 64～128 KB の STM32F100xx マイクロコントローラです。

大容量バリューラインデバイスは、フラッシュメモリ容量が 256～512 KB の STM32F100xx マイクロコントローラです。

このセクションは、別段の指定がない限り、STM32F100xx ファミリ全体に適用されます。

6.1 リセット

リセットには、システムリセット、電源リセット、バックアップドメインリセットの 3 種類があります。

6.1.1 システムリセット

システムリセットは、クロックコントローラ CSR レジスタとバックアップドメインレジスタのリセットフラグを除き、すべてのレジスタをリセット値にリセットします（*図 4* を参照）。

システムリセットは、次のイベントのいずれかの発生時に生成されます。

1. NRST ピンのローレベル（外部リセット）
2. ウィンドウ型ウォッチドッグのカウント終了条件（WWDG リセット）
3. 独立型ウォッチドッグのカウント終了条件（IWDG リセット）
4. ソフトウェアリセット（SW リセット）（*ソフトウェアリセット* を参照）
5. 低電力管理リセット（*低電力管理リセット* を参照）

リセットソースは、制御/ステータスレジスタ RCC_CSR のリセットフラグを確認することによって識別できます（*セクション 6.3.10：制御/ステータスレジスタ（RCC_CSR）* を参照）。

ソフトウェアリセット

Cortex™-M3 アプリケーション割り込みおよびリセット制御レジスタの SYSRESETREQ ビットをセットすると、デバイスのソフトウェアリセットが強制的に行われます。詳細については、Cortex™-M3 テクニカルリファレンスマニュアルを参照してください。

低電力管理リセット

低電力管理リセットを生成するには、2 つの方法があります。

1. STANDBY モードに入るときに生成されるリセット：

   この種類のリセットは、ユーザオプションバイトの nRST_STDBY ビットをリセットすることによって有効になります。この場合、STANDBY モードへの遷移シーケンスが正常に実行されるたびに、STANDBY モードに入る代わりにデバイスがリセットされます。

2. STOP モードに入るときのリセット：

   この種類のリセットは、ユーザオプションバイトの NRST_STOP ビットをリセットすることによって有効になります。この場合、STOP モードへの遷移シーケンスが正常に実行されるたびに、STOP モードに入る代わりにデバイスがリセットされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ユーザオプションバイトの詳細については、STM32F100xx フラッシュプログラミングマニュアルを参照してください。

6.1.2 電源リセット

電源リセットは、次のいずれかのイベントが発生したときに生成されます。

1. パワーオン/パワーダウンリセット （POR/PDR リセット）
2. STANDBY モードを終了するとき

電源リセットは、バックアップドメインを除くすべてのレジスタをリセット値にセットします（*図 4* を参照）。

これらのソースは NRST ピンに作用し、遅延フェーズの間、ピンをローに保ちます。RESET サービスルーチンのベクタは、メモリマップのアドレス 0x0000_0004 に固定されます。詳細については、*表 51：外部割り込み/イベントコントローラのレジスタマップとリセット値（140 ページ）* を参照してください。

デバイスに与えられるシステムリセット信号は、NRST ピンに出力されます。パルス発生回路は、各リセットソース（外部または内部リセット）について 20 µs の最小リセットパルス期間を保証します。外部リセットの場合、リセットパルスは NRST ピンがローにアサートされているときに生成されます。

図 7. 簡略化されたリセット回路図

6.1.3 バックアップドメインリセット

バックアップドメインには、バックアップドメインだけに影響する 2 種類のリセットがあります（*図 4* を参照）。

バックアップドメインのリセットは、次のいずれかのイベントが発生したときに生成されます。

1. ソフトウェアリセット。*バックアップドメイン制御レジスタ（RCC_BDCR）* の BDRST ビットをセットすることによってトリガされます。
2. V_{DD} または V_{BAT} パワーオン。ただし、両方の供給が以前にオフされていた場合。

6.2 クロック

次の 3 つのクロックソースを使用して、システムクロック（SYSCLK）を駆動できます。

- HSI オシレータクロック
- HSE オシレータクロック
- PLL クロック

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

デバイスは、次の 2 つ 2 次クロックソースを持ちます。

- 40 kHz 低速内蔵 RC（LSI RC）。独立型ウォッチドッグを駆動し、オプションで、STOP/STANDBY モードからの自動ウェイクアップ に使用される RTC を駆動します。
- 32.768 kHz 低速外部クリスタル（LSE クリスタル）。オプションで、リアルタイムクロック（RTCCLK）を駆動します。

それぞれのクロックソースは、未使用時の電力消費を防ぐために、個別にオン/オフが可能です。

図 8. STM32F100xx クロックツリー （小容量および中容量デバイス）

1. 内部および外部クロックソース特性の詳細については、デバイスのデータシートの「電気特性」のセクションを参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 9. STM32F100xx クロックツリー（大容量デバイス）

複数のプリスケーラを利用して、AHB 周波数、高速 APB（APB2）、および低速 APB（APB1）ドメインを設定することができます。AHB、APB1、および APB2 ドメインの最大周波数は 24 MHz です。

RCC は Cortex システムタイマ（SysTick）外部クロックに、8 分周した AHB クロック（HCLK）を供給します。SysTick は、この分周されたクロックか Cortex クロック（HCLK）のいずれかで動作でき、SysTick 制御およびステータスレジスタで設定できます。ADC1 には高速ドメイン（APB2）を 2、4、6、または 8 分周したクロックが供給されます。

フラッシュメモリプログラミングインタフェースクロック（FLITFCLK）は、常に HSI クロックです。

タイマクロック周波数は、ハードウェアによって自動的に決定されます。これには、2 つのケースがあります。

1. APB プリスケーラが 1 のときには、タイマのクロック周波数は、接続されている APB ドメインのクロックと同じになります。
2. そうでない場合は、タイマが接続されている APB ドメインの周波数の 2 倍に設定されます。

FCLK は Cortex™-M3 フリーラニングクロックとして動作します。詳細については、
ARM Cortex™-M3 Technical Reference Manual
（http : //infocenter.arm.com/help/topic/com.arm.doc.ddi0337e/DDI0337E_cortex_m3_r1p1_trm.pdf）を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

6.2.1 HSE クロック

高速外部クロック信号（HSE）は、次のどちらかのクロックソースから生成できます。

- HSE 外部クリスタル/セラミック発振子
- HSE ユーザ外部クロック

波形ひずみと発振開始時の安定化までの時間を少なくするために、発振子と負荷キャパシタはオシレータのピンのできるだけ近くに配置する必要があります。負荷キャパシタの値は、選択したオシレータに応じて調整する必要があります。

図 10. HSE/LSE クロックソース

クロックソース	ハードウェア 設定
外部 クロック	
クリスタル/セラミック発振子	

外部ソース（HSE バイパス）

このモードでは、外部クロックソースが必要です。最大 24 MHz の周波数を使用することができます。このモードを選択するには、*クロック制御レジスタ（RCC_CR）*の HSEBYP および HSEON ビットをセットします。50% までのデューティサイクルを持つ外部クロック信号（矩形波、正弦波、または三角波）で OSC_IN ピンを駆動する必要があり、その間、OSC_OUT ピンはハイインピーダンスに保たれている必要があります。*図 10* を参照してください。

外部クリスタル/セラミック発振子（HSE クリスタル）

4～24 MHz の外部オシレータには、メインクロックの周波数を高精度にできる利点があります。

関連するハードウェア設定を *図 10* に示します。詳細については、データシートの電気特性のセクションを参照してください。

*クロック制御レジスタ（RCC_CR）*の HSERDY フラグは、高速外部オシレータが安定しているかどうかを示します。起動時、このビットがハードウェアによってセットされるまで、クロック信号は出

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

力されません。*クロック割り込みレジスタ（RCC_CIR）*で有効になっている場合、割り込みを生成できます。

HSE クリスタルは、*クロック制御レジスタ（RCC_CR）*の HSEON ビットを使用してオン/オフできます。

6.2.2 HSI クロック

HSI クロック信号は、内蔵 8 MHz RC オシレータから生成され、システムクロックとして直接、または 2 分周して PLL 入力として使用できます。

HSI RC オシレータには、低コスト（外付部品なし）でクロックソースを供給できるという利点があります。同時に、HSE クリスタルオシレータを使用する場合に比べ、スタートアップに要する時間が短縮されますが、較正を実施していても、外部クリスタルオシレータやセラミック発振子を使用する場合に比べて周波数の精度は劣ります。

較正

RC オシレータの周波数は、製造工程でのばらつきのため、チップごとに異なります。このため、T_A=25 ℃で 1 % の精度を確保するよう、製造時に ST 社においてデバイスごとの較正が行われています。

リセット後、工場較正値が *クロック制御レジスタ（RCC_CR）*の HSICAL[7 : 0] ビットにロードされます。

アプリケーションが電圧または温度変動にさらされる場合は、これが RC オシレータ速度に影響を与えることがあります。*クロック制御レジスタ（RCC_CR）*の HSITRIM[4 : 0] ビットを使用して、アプリケーションで HSI 周波数をトリミングできます。

*クロック制御レジスタ（RCC_CR）*の HSIRDY フラグは、HSI RC が安定しているかどうかを示します。起動時、このビットがハードウェアによってセットされるまで、HSI RC 出力クロックは出力されません。

HSI RC は、*クロック制御レジスタ（RCC_CR）*の HSION ビットを使用してオン/オフできます。

HSI 信号は、HSE クリスタルオシレータに障害がある場合のバックアップソース（補助クロック）として使用することもできます。*セクション 6.2.7 : クロックセキュリティシステム（CSS）（77 ページ）*を参照してください。

6.2.3 PLL

内蔵 PLL を使用して、HSI RC 出力やクロック周波数が 1～16 分周された HSE オシレータ出力を逓倍することができます。*図 8* および *クロック制御レジスタ（RCC_CR）*を参照してください。

PLL の設定（PLL 入力クロックとして、2 分周した HSI オシレータまたは HSE オシレータの選択、および逓倍数）は、PLL を有効にする前に行う必要があります。PLL が有効になると、これらのパラメータを変更できません。

注： ***PLL 出力周波数は 16～24 MHz の範囲に入っていなければなりません。***

*クロック割り込みレジスタ（RCC_CIR）*で有効になっている場合、PLL の準備ができていると、割り込みを生成できます。

6.2.4 LSE クロック

LSE クリスタルは、32.768 kHz の低速外部クリスタルまたはセラミック発振子です。時計/カレンダ、その他のタイミング機能のためのリアルタイムクロックペリフェラル（RTC）に、低電力で高精度なクロックソースを供給できるという利点があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

LSE クリスタルは、*バックアップドメイン制御レジスタ（RCC_BDCR）*の LSEON ビットを使用してオン/オフできます。

*バックアップドメイン制御レジスタ（RCC_BDCR）*の LSERDY フラグは、LSE クリスタルが安定しているかどうかを示します。起動時、このビットがハードウェアによってセットされるまで、LSE クリスタル出力クロック信号は出力されません。*クロック割り込みレジスタ（RCC_CIR）*で有効になっている場合、割り込みを生成できます。

外部ソース（LSE バイパス）

このモードでは、外部クロックソースが必要です。周波数は 32.768 kHz でなければなりません。このモードを選択するには、*バックアップドメイン制御レジスタ（RCC_BDCR）*の LSEBYP および LSEON ビットをセットします。50% までのデューティサイクルを持つ外部クロック信号（矩形波、正弦波、または三角波）で OSC_32_IN ピンを駆動する必要があり、その間、OSC_32_OUT ピンはハイインピーダンスに保たれます。*図 10* を参照してください。

6.2.5 LSI クロック

LSI RC は、独立型ウォッチドッグ（IWDG）や自動ウェイクアップユニット（AWU）のために STOP モードおよび STANDBY モードで動作する低電力のクロックソースとして動作します。クロック周波数は約 40 kHz です。詳細については、データシートの電気特性のセクションを参照してください。

LSI RC は、*制御/ステータスレジスタ（RCC_CSR）*の LSION ビットを使用してオン/オフできます。

*制御/ステータスレジスタ（RCC_CSR）*の LSIRDY フラグは、低速内部オシレータが安定しているかどうかを示します。起動時、このビットがハードウェアによってセットされるまで、クロック信号は出力されません。*クロック割り込みレジスタ（RCC_CIR）*で有効になっている場合、割り込みを生成できます。

LSI 較正

注： ***LSI 較正は、大容量バリューラインデバイスでのみ使用可能です。***

低速内部 RC（LSI）オシレータの周波数のばらつきを較正して、

正確な RTC 基準時間および/または妥当な精度の IWDG タイムアウト（これらのペリフェラルのクロックソースとして LSI が使用されているとき）を確保できます。

この較正は、TIM5 入力クロック（TIM5CLK）に対して LSI クロック周波数を計測することによって行われます。HSE オシレータの精度で行われたこの計測に従って、ソフトウェアは RTC のプログラマブル 20 ビットプリスケーラを調整して、正確な基準時間を得たり、正確な IWDG タイムアウトを計算することができます。

LSI を較正するには、次の手順に従ってください。

1. TIM5 タイマを有効にして、チャネル 4 を入力キャプチャモードに設定します。
2. AFIO_MAPR レジスタの TIM5CH4_IREMAP ビットをセットして、較正目的で、LSI クロックを TIM5 チャネル 4 入力キャプチャに内部接続します。
3. TIM5 キャプチャ/比較 4 イベントまたは割り込みを使用して、LSI クロックの周波数を計測します。
4. 計測した LSI 周波数を使用して、必要な基準時間および/または、IWDG タイムアウトを計算するために、RTC の 20 ビットプリスケーラを更新します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

6.2.6 システムクロック（SYSCLK）の選択

システムリセット後は、HSI オシレータがシステムクロックとして選択されています。クロックソースが直接、または PLL を経由してシステムクロックとして使用されているときには、このクロック信号を停止することはできません。

あるクロックソースから別のクロックソースへの切り替えは、ターゲットクロックソースの準備ができている場合のみ行われます（スタートアップ遅延後にクロックが安定しているか、PLL がロックされている状態）。準備ができていないクロックソースが選択された場合は、クロックソースの準備ができたときに切り替えが行われます。*クロック制御レジスタ（RCC_CR）*のステータスビットは、準備ができているクロックと、システムクロックとして使用されているクロックを示します。

6.2.7 クロックセキュリティシステム（CSS）

クロックセキュリティシステムはソフトウェアで有効にできます。この場合、HSE オシレータのスタートアップ遅延時間の後にクロック検出回路が有効になり、オシレータが停止すると検出回路も無効になります。

HSE オシレータクロックに障害が検出された場合、このオシレータは自動的に無効になり、クロック障害イベントが TIM1 高機能制御タイマのブレーク入力に送られます。また、ソフトウェアに障害を通知する割り込み（クロックセキュリティシステム割り込み（CSSI））が生成されるので、MCU は対応処理を行うことができます。CSSI は、Cortex™-M3 NMI（Non-Maskable Interrupt）例外ベクタにリンクされています。

注： ***CSS が有効になると、HSE クロック異常が発生した場合、CSS 割り込みが発生し、NMI が自動的に生成されます。NMI は、CSS 割り込みペンディングビットがクリアされない限り、無条件に実行されます。結果として、NMI ISR では、ユーザが クロック割り込みレジスタ（RCC_CIR）の CSSC ビットをセットすることによって、CSS 割り込みをクリアしなければなりません。***

HSE オシレータが直接または間接的にシステムクロックとして使用されている場合（間接的とは、PLL 入力クロックとして使用されていて、PLL クロックがシステムクロックとして使用されていることを意味します）、障害が検出されると、システムクロックが HSI オシレータに切り替えられ、外部 HSE オシレータは無効になります。HSE オシレータクロック（分周されているかどうかにかかわらず）が、システムクロックとして使用されている PLL のクロック入力の場合、障害が発生すると、PLL も無効になります。

6.2.8 RTC クロック

RTCCLK クロックソースは、HSE/128、LSE、または LSI クロックのいずれかです。これは、*バックアップドメイン制御レジスタ（RCC_BDCR）*の RTCSEL[1：0] ビットのプログラミングによって選択されます。この選択は、バックアップドメインをリセットしない限り変更できません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

LSE クロックはバックアップドメインに属しますが、HSE および LSI クロックはそうではありません。このため、

- LSE が RTC クロックとして使用されている場合、
  - V_{DD} 供給がオフになった場合でも、V_{BAT} の供給が保たれている限り、RTC は動作を続けます。
- LSI が自動ウェイクアップ（AWU）クロックとして選択された場合、
  - V_{DD} 供給がオフになった場合、AWU の状態は保証されません。LSI 較正の詳細については、*セクション 6.2.5 : LSI クロック（76 ページ）*を参照してください。
- 128 分周した HSE クロックが RTC クロックとして使用されている場合、
  - V_{DD} 供給がオフになった場合や、内蔵されている電圧レギュレータがオフになった場合（1.8 V ドメインから電源が取り除かれた場合）、RTC の状態は保存されません。
  - 電源コントローラレジスタの DPB ビット（バックアップドメイン書き込み保護無効）を 1 にセットする必要があります（*セクション 4.4.1 : 電源制御レジスタ（PWR_CR）*を参照）。

6.2.9 ウォッチドッグクロック

独立型ウォッチドッグ（IWDG）がハードウェアのオプションまたはソフトウェアアクセスによって開始された場合、LSI オシレータは強制的にオンになり、オフにすることはできません。LSI オシレータの立ち上がりの過渡状態が終わると、このクロックが IWDG に供給されます。

6.2.10 クロック信号出力

マイクロコントローラクロック出力（MCO）機能によって、クロックを外部 MCO ピンに出力できます。対応する GPIO ポートの設定レジスタをオルタネート機能モードでプログラミングする必要があります。以下の 4 つの信号の 1 つを MCO クロックとして選択することができます。

- SYSCLK
- HSI
- HSE
- 2 分周された PLL クロック

この選択は、*クロック設定レジスタ（RCC_CFGR）*の MCO[2:0] ビットによって制御されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

6.3 RCC レジスタ

レジスタの説明で使用されている略語については、*セクション 1.1 (32 ページ)* を参照してください。

6.3.1 クロック制御レジスタ（RCC_CR）

アドレスオフセット：0x00

リセット値：0x0000 XX83（X は未定義）。

アクセス：ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み						PLL RDY	PLLON	予約済み				CSS ON	HSE BYP	HSE RDY	HSE ON
						r	rw					rw	rw	r	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HSICAL[7:0]								HSITRIM[4:0]					予約済み	HSI RDY	HSION
r	r	r	r	r	r	r	r	rw	rw	rw	rw	rw		r	rw

ビット 31:26　予約済み、常に 0 として読み出されます。

ビット 25　**PLLRDY**：PLL クロックレディフラグ

ハードウェアによってセットされ、PLL がロック状態であることを示します。

0：PLL アンロック

1：PLL ロック

ビット 24　**PLLON**：PLL イネーブル

PLL を有効にするために、ソフトウェアによってセット/クリアされます。

STOP または STANDBY モードに入るときに、ハードウェアによってクリアされます。このビットは、PLL クロックがシステムクロックとして使用されている場合や、システムクロックになるように選択されている場合は、リセットできません。

0：PLL オフ

1：PLL オン

ビット 23:20　予約済み、常に 0 として読み出されます。

ビット 19　**CSSON**：クロックセキュリティシステムイネーブル

クロック検出回路を有効にするために、ソフトウェアによってセット/クリアされます。

0：クロック検出回路オフ

1：クロック検出回路オン（HSE オシレータがレディ状態の場合）

ビット 18　**HSEBYP**：外部高速クロックバイパス

外部クロックでオシレータをバイパスするために、ソフトウェアによってセット/クリアされます。このビットは、HSE オシレータが無効のときのみ、書き込みができます。

0：HSE オシレータはバイパスされません。

1：HSE オシレータはバイパスされ、外部クロックが使用されます。

ビット 17　**HSERDY**：外部高速クロックレディフラグ

HSE オシレータが安定していることを示すために、ハードウェアによってセットされます。このビットは、HSEON がリセット後、立ち下がるまでに HSE オシレータクロックの 6 サイクルの時間を必要とします。

0：HSE オシレータはレディ状態ではありません。

1：HSE オシレータはレディ状態です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 16 **HSEON**：外部高速クロックイネーブル

ソフトウェアによってセット/クリアされます。

STOP または STANDBY モードに入るときに、HSE オシレータを停止するためにハードウェアによってクリアされます。HSE オシレータが直接または間接的にシステムクロックとして使用されている場合や、システムクロックになるように選択されている場合は、このビットをリセットできません。

0：HSE オシレータ OFF

1：HSE オシレータ ON

ビット 15:8 **HSICAL[7:0]**：内蔵高速クロック較正

これらのビットは、スタートアップ時に自動的に初期化されます。

ビット 7:3 **HSITRIM[4:0]**：内蔵高速クロックトリミング

これらのビットは、HSICAL[7:0] ビットに追加されるユーザがプログラミング可能なトリミング値を提供します。内蔵 HSI RC の周波数に影響する電圧や温度の変化に対応できるようにプログラミングできます。

デフォルトト値は 16 であり、これが HSICAL 値に追加されると、HSI を 8 MHz±1 % にトリムします。トリミングステップ（$F_{hsitrim}$）は、2 つの連続する HSICAL ステップの間で約 40 kHz です。

ビット 2 予約済み、常に 0 として読み出されます。

ビット 1 **HSIRDY**：内蔵高速クロックレディフラグ

内蔵 8 MHz RC オシレータが安定していることを示すために、ハードウェアによってセットされます。HSION ビットがクリアされた後、HSIRDY は、内部 8 MHｚ RC オシレータクロックの 6 サイクル後にローになります。

0：内部 8 MHz RC オシレータはレディ状態ではありません。

1：内部 8 MHz RC オシレータはレディ状態です。

ビット 0 **HSION**：内蔵高速クロックイネーブル

ソフトウェアによってセット/クリアされます。

STOP または STANDBY モードを終了するとき、または、直接または間接的にシステムクロックとして使用されている HSE オシレータに障害が発生した場合、内部 8 MHz RC オシレータを強制的にオンにするために、ハードウェアによってセットされます。内部 8 MHz RC が直接または間接的にシステムクロックとして使用されている場合や、システムクロックになるように選択されている場合は、このビットをリセットできません。

0：内部 8 MHz RC オシレータは OFF です。

1：内部 8 MHz RC オシレータは ON です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

6.3.2 クロック設定レジスタ（RCC_CFGR）

アドレスオフセット：0x04

リセット値：0x0000 0000

アクセス：0 ≤ ウェイトステート≤ 2、ワード、ハーフワード、およびバイトアクセス

クロックソースの切り替え中にアクセスが発生した場合に限り、1 または 2 個のウェイトステートが挿入されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み					MCO[2:0]			予約済み		PLLMUL[3:0]				PLL XTPRE	PLL SRC
					rw	rw	rw			rw	rw	rw	rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADC PRE[1:0]		PPRE2[2:0]			PPRE1[2:0]			HPRE[3:0]				SWS[1:0]		SW[1:0]	
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	r	r	rw	rw

ビット 31:27 予約済み、常に 0 として読み出されます。

ビット 26:24 **MCO**：マイクロコントローラクロック出力

ソフトウェアによってセット/クリアされます。

0xx：クロックなし

100：システムクロック（SYSCLK）の選択

101：HSI クロックの選択

110：HSE クロックの選択

111：2 分周された PLL クロックの選択

注： このクロック出力は、スタートアップ時または MCO クロックソースの切り替え中は、サイクルが短縮されることがあります。

ビット 23:22 予約済み

ビット 21:18 **PLLMUL**：PLL 逓倍数

これらのビットは、PLL 逓倍数を定義するために、ソフトウェアによって書き込まれます。これらのビットに書き込めるのは、PLL が無効なときだけです。

注意： PLL 出力周波数は 16～24 MHz の範囲に入っていなければなりません。

0000：PLL 入力クロック x 2

0001：PLL 入力クロック x 3

0010：PLL 入力クロック x 4

0011：PLL 入力クロック x 5

0100：PLL 入力クロック x 6

0101：PLL 入力クロック x 7

0110：PLL 入力クロック x 8

0111：PLL 入力クロック x 9

1000：PLL 入力クロック x 10

1001：PLL 入力クロック x 11

1010：PLL 入力クロック x 12

1011：PLL 入力クロック x 13

1100：PLL 入力クロック x 14

1101：PLL 入力クロック x 15

1110：PLL 入力クロック x 16

1111：PLL 入力クロック x 16

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 17 **PLLXTPRE**：分周数 PREDIV1 の LSB

PREDIV1 分周数の最下位ビットを選択するために、ソフトウェアによってセット/クリアされます。RCC_CFGR2 レジスタのビット 0 と同じビットなので、RCC_CFGR2 レジスタのビット 0 を変更すると、このビットも変更されます。

RCC_CFGR2 レジスタのビット [3:1] がセットされていなかった場合、PLLXTPRE ビットによって、PREDIV1 が入力クロックを 2 分周する（PLLXTPRE=1）か、2 分周しない（PLLXTPRE=0）かが決まります。

このビットに書き込めるのは、PLL が無効のときだけです。

ビット 16 **PLLSRC**：PLL 入力クロックソース

PLL クロックソースを選択するために、ソフトウェアによってセット/クリアされます。このビットに書き込めるのは、PLL が無効のときだけです。

0：2分周された HSI オシレータクロックが PLL 入力クロックとして選択されます。

1：PREDIV1 からのクロックが PLL 入力クロックとして選択されます。

ビット 15:14 **ADCPRE**：ADC プリスケーラ

ADC1 へのクロックの周波数を選択するために、ソフトウェアによってセット/クリアされます。

00：PCLK2 は 2 分周されます。

01：PCLK2 は 4 分周されます。

10：PCLK2 は 6 分周されます。

11：PCLK2 は 8 分周されます。

ビット 13:11 **PPRE2**：APB 高速 プリスケーラ（APB2)

APB 高速クロック（PCLK2）の分周比を制御するために、ソフトウェアによってセット/クリアされます。

0xx：HCLK は分周されません。

100：HCLK は 2 分周されます。

101：HCLK は 4 分周されます。

110：HCLK は 8 分周されます。

111：HCLK は 16 分周されます。

ビット 10:8 **PPRE1**：APB 低速プリスケーラ（APB1)

APB 低速クロック（PCLK1）の分周比を制御するために、ソフトウェアによってセット/クリアされます。

警告：ソフトウェアは、このドメインで 36 MHz を超えないように、これらのビットを正しくセットする必要があります。

0xx：HCLK は分周されません。

100：HCLK は 2 分周されます。

101：HCLK は 4 分周されます。

110：HCLK は 8 分周されます。

111：HCLK は 16 分周されます。

ビット 7:4 **HPRE**：AHB プリスケーラ

AHB クロックの分周比を制御するために、ソフトウェアによってセット/クリアされます。

0xxx：SYSCLK は分周されません。

1000：SYSCLK は 2 分周されます。

1001：SYSCLK は 4 分周されます。

1010：SYSCLK は 8 分周されます。

1011：SYSCLK は 16 分周されます。

1100：SYSCLK は 64 分周されます。

1101：SYSCLK は 128 分周されます。

1110：SYSCLK は 256 分周されます。

1111：SYSCLK は 512 分周されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 3:2 **SWS**：システムクロックスイッチステータス

システムクロックとして使用されているクロックソースを示すために、ハードウェアによってセット/クリアされます。

00：HSI オシレータがシステムクロックとして使用されています。

01：HSE オシレータがシステムクロックとして使用されています。

10：PLL がシステムクロックとして使用されています。

11：適用されません。

ビット 1:0 **SW**：システムクロックスイッチ

SYSCLK のソースを選択するために、ソフトウェアによってセット/クリアされます。

STOP および STANDBY モードを終了するときや、直接または間接的にシステムクロックとして使用されている HSE オシレータに障害が発生した場合、強制的にHSI を選択するために、ハードウェアによってセットされます（クロックセキュリティシステムが有効な場合）。

00：HSI がシステムクロックとして選択されます。

01：HSE がシステムクロックとして選択されます。

10：PLL がシステムクロックとして選択されます。

11：設定禁止

6.3.3 クロック割り込みレジスタ（RCC_CIR）

アドレスオフセット：0x08

リセット値：0x0000 0000

アクセス：ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み								CSSC	予約済み		PLL RDYC	HSE RDYC	HSI RDYC	LSE RDYC	LSI RDYC
								w			w	w	w	w	w

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み			PLL RDYIE	HSE RDYIE	HSI RDYIE	LSE RDYIE	LSI RDYIE	CSSF	予約済み		PLL RDYF	HSE RDYF	HSI RDYF	LSE RDYF	LSI RDYF
			rw	rw	rw	rw	rw	r			r	r	r	r	r

ビット 31:24 予約済み、常に 0 として読み出されます。

ビット 23 **CSSC**：クロックセキュリティシステム割り込みクリア

このビットは、CSSF フラグをクリアするために、ソフトウェアによってセットされます。

0：影響ありません。

1：CSSF フラグをクリアします。

ビット 22:21 予約済み、常に 0 として読み出されます。

ビット 20 **PLLRDYC**：PLL レディ割り込みクリア

このビットは、PLLRDYF フラグをクリアするために、ソフトウェアによってセットされます。

0：影響ありません。

1：PLLRDYF がクリアされます。

ビット 19 **HSERDYC**：HSE レディ割り込みクリア

このビットは、HSERDYF フラグをクリアするために、ソフトウェアによってセットされます。

0：影響ありません。

1：HSERDYF がクリアされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 18 **HSIRDYC**：HSI レディ割り込みクリア

このビットは、HSIRDYF フラグをクリアするために、ソフトウェアによってセットされます。

0：影響ありません。

1：HSIRDYF がクリアされます。

ビット 17 **LSERDYC**：LSE レディ割り込みクリア

このビットは、LSERDYF フラグをクリアするために、ソフトウェアによってセットされます。

0：影響ありません。

1：LSERDYF がクリアされます。

ビット 16 **LSIRDYC**：LSI レディ割り込みクリア

このビットは、LSIRDYF フラグをクリアするために、ソフトウェアによってセットされます。

0：影響ありません。

1：LSIRDYF がクリアされます。

ビット 15:13 予約済み、常に 0 として読み出されます。

ビット 12 **PLLRDYIE**：PLL レディ割り込みイネーブル

PLL ロックによって発生する割り込みを有効/無効にするために、ソフトウェアによってセット/クリアされます。

0：PLL ロック割り込み無効

1：PLL ロック割り込み有効

ビット 11 **HSERDYIE**：HSE レディ割り込みイネーブル

HSE オシレータの安定化によって発生する割り込みを有効/無効にするために、ソフトウェアによってセット/クリアされます。

0：HSE レディ割り込み無効

1：HSE レディ割り込み有効

ビット 10 **HSIRDYIE**：HSI レディ割り込みイネーブル

内部 8 MHz RC オシレータの安定化によって発生する割り込みを有効/無効にするために、ソフトウェアによってセット/クリアされます。

0：HSI レディ割り込み無効

1：HSI レディ割り込み有効

ビット 9 **LSERDYIE**：LSE レディ割り込みイネーブル

外部 32 kHz オシレータの安定化によって発生する割り込みを有効/無効にするために、ソフトウェアによってセット/クリアされます。

0：LSE レディ割り込み無効

1：LSE レディ割り込み有効

ビット 8 **LSIRDYIE**：LSI レディ割り込みイネーブル

内部 40 kHz オシレータの安定化によって発生する割り込みを有効/無効にするために、ソフトウェアによってセット/クリアされます。

0：LSI レディ割り込み無効

1：LSI レディ割り込み有効

ビット 7 **CSSF**：クロックセキュリティシステム割り込みフラグ

HSE オシレータで障害が検出されたときに、ハードウェアによってセットされます。

CSSC ビットをセットすることによって、ソフトウェアによってクリアされます。

0：HSE クロック障害によるクロックセキュリティ割り込みは発生していません。

1：HSE クロック障害によってクロックセキュリティ割り込みが発生しました。

ビット 6:5 予約済み、常に 0 として読み出されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 4 **PLLRDYF**：PLL レディ割り込みフラグ

PLL がロックされ、PLLRDYDIE ビットがセットされているときに、ハードウェアによってセットされます。

PLLRDYC ビットをセットすることによって、ソフトウェアによってクリアされます。

0：PLL ロックによるクロックレディ割り込みは発生していません。

1：PLL ロックによるクロックレディ割り込みが発生しました。

ビット 3 **HSERDYF**：HSE レディ割り込みフラグ

外部低速クロックが安定し、HSERDYDIE ビットがセットされているとき、ハードウェアによってセットされます。

HSERDYC ビットをセットすることによって、ソフトウェアによってクリアされます。

0：HSE オシレータによるクロックレディ割り込みは発生していません。

1：HSE オシレータによるクロックレディ割り込みが発生しました。

ビット 2 **HSIRDYIF**：HSI レディ割り込みフラグ

内部高速クロックが安定し、HSIRDYDIE ビットがセットされているとき、ハードウェアによってセットされます。

HSIRDYC ビットをセットすることによって、ソフトウェアによってクリアされます。

0：内部 8 MHz RC オシレータによるクロックレディ割り込みは発生していません。

1：内部 8 MHz RC オシレータによるクロックレディ割り込みが発生しました。

ビット 1 **LSERDYF**：LSE レディ割り込みフラグ

外部低速クロックが安定し、LSERDYDIE ビットがセットされているとき、ハードウェアによってセットされます。

LSERDYC ビットをセットすることによって、ソフトウェアによってクリアされます。

0：外部 32 kHz オシレータによるクロックレディ割り込みは発生していません。

1：外部 32 kHz オシレータによるクロックレディ割り込みが発生しました。

ビット 0 **LSIRDYF**：LSI レディ割り込みフラグ

内部低速クロックが安定し、LSIRDYDIE ビットがセットされているとき、ハードウェアによってセットされます。

LSIRDYC ビットをセットすることによって、ソフトウェアによってクリアされます。

0：内部 RC 40 kHz オシレータによるクロックレディ割り込みは発生していません。

1：内部 RC 40 kHz オシレータによるクロックレディ割り込みが発生しました。

6.3.4 APB2 ペリフェラルリセットレジスタ（RCC_APB2RSTR）

アドレスオフセット：0x0C

リセット値：0x0000 0000

アクセス：ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み													TIM17RST	TIM16RST	TIM15RST
													rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み	USART1RST	予約済み	SPI1RST	TIM1RST	予約済み	ADC1RST	IOPGRST	IOPFRST	IOPERST	IOPDRST	IOPCRST	IOPBRST	IOPARST	予約済み	AFIORST
	rw		rw	rw		rw	rw	rw	rw	rw	rw	rw	rw	予約済み	rw

ビット 31:19 予約済み、常に 0 として読み出されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 18 **TIM17RST**：TIM17 リセット
ソフトウェアによってセット/クリアされます。
0：影響ありません。
1：TIM17 をリセットします。

ビット 17 **TIM16RST**：TIM16 リセット
ソフトウェアによってセット/クリアされます。
0：影響ありません。
1：TIM16 をリセットします。

ビット 16 **TIM15RST**：TIM15 リセット
ソフトウェアによってセット/クリアされます。
0：影響ありません。
1：TIM15 をリセットします。

ビット 15 予約済み

ビット 14 **USART1RST**：USART1 リセット
ソフトウェアによってセット/クリアされます。
0：影響ありません。
1：USART1 をリセットします。

ビット 13 予約済み

ビット 12 **SPI1RST**：SPI 1 リセット
ソフトウェアによってセット/クリアされます。
0：影響ありません。
1：SPI 1 をリセットします。

ビット 11 **TIM1RST**：TIM1 タイマリセット
ソフトウェアによってセット/クリアされます。
0：影響ありません。
1：TIM1 タイマをリセットします。

ビット 10 予約済み

ビット 9 **ADC1RST**：ADC 1 インタフェースリセット
ソフトウェアによってセット/クリアされます。
0：影響ありません。
1：ADC1 インタフェースをリセットします。

ビット 8 **IOPGRST**：IO ポート G リセット
ソフトウェアによってセット/クリアされます。
0：影響ありません。
1：IO ポート G をリセットします。

ビット 7 **IOPFRST**：IO ポート F リセット
ソフトウェアによってセット/クリアされます。
0：影響ありません。
1：IO ポート F をリセットします。

ビット 6 **IOPERST**：IO ポート E リセット
ソフトウェアによってセット/クリアされます。
0：影響ありません。
1：IO ポート E をリセットします。

ビット 5 **IOPDRST**：IO ポート D リセット
ソフトウェアによってセット/クリアされます。
0：影響ありません。
1：IO ポート D をリセットします。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 4 **IOPCRST**：IO ポート C リセット
ソフトウェアによってセット/クリアされます。
0：影響ありません。
1：IO ポート C をリセットします。

ビット 3 **IOPBRST**：IO ポート B リセット
ソフトウェアによってセット/クリアされます。
0：影響ありません。
1：IO ポート B をリセットします。

ビット 2 **IOPARST**：IO ポート A リセット
ソフトウェアによってセット/クリアされます。
0：影響ありません。
1：IO ポート A をリセットします。

ビット 1 予約済み、常に 0 として読み出されます。

ビット 0 **AFIORST**：オルタネート機能 IO リセット
ソフトウェアによってセット/クリアされます。
0：影響ありません。
1：オルタネート機能をリセットします。

6.3.5 APB1 ペリフェラルリセットレジスタ（RCC_APB1RSTR）

アドレスオフセット：0x10

リセット値：0x0000 0000

アクセス：ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み	CECRST	DAC RST	PWR RST	BKP RST	予約済み				I2C2 RST	I2C1 RST	UART5 RST	UART4 RST	USART3 RST	USART2 RST	予約済み
	rw	rw	rw	rw					rw	rw	rw	rw	rw	rw	

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SPI3 RST	SPI2 RST	予約済み		WWDG RST	予約済み		TIM14 RST	TIM13 RST	TIM12 RST	TIM7 RST	TIM6 RST	TIM5 RST	TIM4 RST	TIM3 RST	TIM2 RST
rw	rw			rw			rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31 予約済み、常に 0 として読み出されます。

ビット 30 **CECRST**：CEC リセット
ソフトウェアによってセット/クリアされます。
0：影響ありません。
1：CEC をリセットします。

ビット 29 **DACRST**：DAC インタフェースリセット
ソフトウェアによってセット/クリアされます。
0：影響ありません。
1：DAC インタフェースをリセットします。

ビット 28 **PWRRST**：電源インタフェースリセット
ソフトウェアによってセット/クリアされます。
0：影響ありません。
1：電源インタフェースをリセットします。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 27 **BKPRST**：Backup インタフェースリセット
ソフトウェアによってセット/クリアされます。
0：影響ありません。
1：Backup インタフェースをリセットします。

ビット 26:23 予約済み、常に 0 として読み出されます。

ビット 22 **I2C2RST**：I2C 2 リセット
ソフトウェアによってセット/クリアされます。
0：影響ありません。
1：I2C 2 をリセットします。

ビット 21 **I2C1RST**：I2C 1 リセット
ソフトウェアによってセット/クリアされます。
0：影響ありません。
1：I2C 1 をリセットします。

ビット 20 **UART5RST**：UART 5 リセット
ソフトウェアによってセット/クリアされます。
0：影響ありません。
1：UART 5 をリセットします。

ビット 19 **UART4RST**：UART 4 リセット
ソフトウェアによってセット/クリアされます。
0：影響ありません。
1：UART 4 をリセットします。

ビット 18 **USART3RST**：USART 3 リセット
ソフトウェアによってセット/クリアされます。
0：影響ありません。
1：USART 3 をリセットします。

ビット 17 **USART2RST**：USART 2 リセット
ソフトウェアによってセット/クリアされます。
0：影響ありません。
1：USART 2 をリセットします。

ビット 16 予約済み、常に 0 として読み出されます。

ビット 15 **SPI3RST**：SPI 3 リセット
ソフトウェアによってセット/クリアされます。
0：影響ありません。
1：SPI 3 をリセットします。

ビット 14 **SPI2RST**：SPI 2 リセット
ソフトウェアによってセット/クリアされます。
0：影響ありません。
1：SPI 2 をリセットします。

ビット 13:12 予約済み、常に 0 として読み出されます。

ビット 11 **WWDGRST**：ウィンドウ型ウォッチドッグリセット
ソフトウェアによってセット/クリアされます。
0：影響ありません。
1：ウィンドウ型ウォッチドッグをリセットします。

ビット 10:9 予約済み、常に 0 として読み出されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 8 **TIM14RST**：タイマ 14 リセット

ソフトウェアによってセット/クリアされます。

0：影響ありません。

1：タイマ 14 をリセットします。

ビット 7 **TIM13RST**：タイマ 13 リセット

ソフトウェアによってセット/クリアされます。

0：影響ありません。

1：タイマ 13 をリセットします。

ビット 6 **TIM12RST**：タイマ 12 リセット

ソフトウェアによってセット/クリアされます。

0：影響ありません。

1：タイマ 12 をリセットします。

ビット 5 **TIM7RST**：タイマ 7 リセット

ソフトウェアによってセット/クリアされます。

0：影響ありません。

1：タイマ 7 をリセットします。

ビット 4 **TIM6RST**：タイマ 6 リセット

ソフトウェアによってセット/クリアされます。

0：影響ありません。

1：タイマ 6 をリセットします。

ビット 3 **TIM5RST**：タイマ 5 リセット

ソフトウェアによってセット/クリアされます。

0：影響ありません。

1：タイマ 5 をリセットします。

ビット 2 **TIM4RST**：タイマ 4 リセット

ソフトウェアによってセット/クリアされます。

0：影響ありません。

1：タイマ 4 をリセットします。

ビット 1 **TIM3RST**：タイマ 3 リセット

ソフトウェアによってセット/クリアされます。

0：影響ありません。

1：タイマ 3 をリセットします。

ビット 0 **TIM2RST**：タイマ 2 リセット

ソフトウェアによってセット/クリアされます。

0：影響ありません。

1：タイマ 2 をリセットします。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

6.3.6 AHB ペリフェラルクロック有効レジスタ（RCC_AHBENR）

アドレスオフセット：0x14

リセット値：0x0000 0014

アクセス：ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

注： *ペリフェラルクロックが有効でないときには、ペリフェラルレジスタの値をソフトウェアによって読み出すことはできず、返される値は常に 0 x0 です。*

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み							FSMC EN	予約済み	CRCEN	予約済み	FLITF EN	予約済み	SRAM EN	DMA2 EN	DMA1 EN
							rw		rw		rw		rw	rw	rw

ビット 31:9 予約済み、常に 0 として読み出されます。

ビット 8 **FSMCEN**：FSMC クロックイネーブル
ソフトウェアによってセット/クリアされます。
0：FSMC クロック無効
1：FSMC クロック有効

ビット 7 予約済み、常に 0 として読み出されます。

ビット 6 **CRCEN**：CRC クロックイネーブル
ソフトウェアによってセット/クリアされます。
0：CRC クロック無効
1：CRC クロック有効

ビット 5 予約済み、常に 0 として読み出されます。

ビット 4 **FLITFEN**：FLITF クロックイネーブル
SLEEP モード時の FLITF クロックを無効/有効にするために、ソフトウェアによってセット/クリアされます。
0：SLEEP モード時は FLITF クロックは無効です。
1：SLEEP モード時は FLITF クロックは有効です。

ビット 3 予約済み、常に 0 として読み出されます。

ビット 2 **SRAMEN**：SRAM インタフェースクロックイネーブル
SLEEP モード時の SRAM インタフェースクロックを無効/有効にするために、ソフトウェアによってセット/クリアされます。
0：SLEEP モード時は SRAM インタフェースクロックは無効です。
1：SLEEP モード時は SRAM インタフェースクロックは有効です。

ビット 1 **DMA2EN**：DMA2 クロックイネーブル
ソフトウェアによってセット/クリアされます。
0：DMA2 クロック無効
1：DMA2 クロック有効

ビット 0 **DMA1EN**：DMA1 クロックイネーブル
ソフトウェアによってセット/クリアされます。
0：DMA1 クロック無効
1：DMA1 クロック有効

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

6.3.7 APB2 ペリフェラルクロック有効レジスタ（RCC_APB2ENR）

アドレスオフセット：0x18

リセット値：0x0000 0000

アクセス：ワード、ハーフワード、およびバイトアクセス

ノーウェイトステート。ただし、APB2 ドメイン内のペリフェラルへのアクセス中にアクセスが発生した場合を除きます。この場合、APB2 ペリフェラルへのアクセスが終了するまで、ウェイトステートが挿入されます。

注： ***ペリフェラルクロックが有効でないときには、ペリフェラルレジスタの値をソフトウェアによって読み出すことはできず、返される値は常に 0 x 0 です。***

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み													TIM17EN	TIM16EN	TIM15EN
													rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み	USART1EN	予約済み	SPI1EN	TIM1EN	予約済み	ADC1EN	IOPGEN	IOPFEN	IOPEEN	IOPDEN	IOPCEN	IOPBEN	IOPAEN	予約済み	AFIOEN
	rw		rw	rw		rw	rw	rw	rw	rw	rw	rw	rw		rw

ビット 31:19 予約済み、常に 0 として読み出されます。

ビット 18 **TIM17EN**：TIM17 タイマクロックイネーブル
ソフトウェアによってセット/クリアされます。
0：TIM17 タイマクロック無効
1：TIM17 タイマクロック有効

ビット 17 **TIM16EN**：TIM16 タイマクロックイネーブル
ソフトウェアによってセット/クリアされます。
0：TIM16 タイマクロック無効
1：TIM16 タイマクロック有効

ビット 16 **TIM15EN**：TIM15 タイマクロックイネーブル
ソフトウェアによってセット/クリアされます。
0：TIM15 タイマクロック無効
1：TIM15 タイマクロック有効

ビット 15 予約済み

ビット 14 **USART1EN**：USART1 クロックイネーブル
ソフトウェアによってセット/クリアされます。
0：USART1 クロック無効
1：USART1 クロック有効

ビット 13 予約済み

ビット 12 **SPI1EN**：SPI 1 クロックイネーブル
ソフトウェアによってセット/クリアされます。
0：SPI 1 クロック無効
1：SPI 1 クロック有効

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 11 **TIM1EN**：TIM1 タイマクロックイネーブル
ソフトウェアによってセット/クリアされます。
0：TIM1 タイマクロック無効
1：TIM1 タイマクロック有効

ビット 10 予約済み

ビット 9 **ADC1EN**：ADC 1 インタフェースクロックイネーブル
ソフトウェアによってセット/クリアされます。
0：ADC 1 インタフェースクロック無効
1：ADC 1 インタフェースクロック有効

ビット 8 **IOPGEN**：I/O ポート G クロックイネーブル
ソフトウェアによってセット/クリアされます。
0：IO ポート G クロック無効
1：IO ポート G クロック有効

ビット 7 **IOPFEN**：I/O ポート F クロックイネーブル
ソフトウェアによってセット/クリアされます。
0：IO ポート F クロック無効
1：IO ポート F クロック有効

ビット 6 **IOPEEN**：I/O ポート E クロックイネーブル
ソフトウェアによってセット/クリアされます。
0：IO ポート E クロック無効
1：IO ポート E クロック有効

ビット 5 **IOPDEN**：I/O ポート D クロックイネーブル
ソフトウェアによってセット/クリアされます。
0：IO ポート D クロック無効
1：IO ポート D クロック有効

ビット 4 **IOPCEN**：I/O ポート C クロックイネーブル
ソフトウェアによってセット/クリアされます。
0：IO ポート C クロック無効
1：IO ポート C クロック有効

ビット 3 **IOPBEN**：I/O ポート B クロックイネーブル
ソフトウェアによってセット/クリアされます。
0：IO ポート B クロック無効
1：IO ポート B クロック有効

ビット 2 **IOPAEN**：I/O ポート A クロックイネーブル
ソフトウェアによってセット/クリアされます。
0：IO ポート A クロック無効
1：IO ポート A クロック有効

ビット 1 予約済み、常に 0 として読み出されます。

ビット 0 **AFIOEN**：オルタネート機能 I/O クロックイネーブル
ソフトウェアによってセット/クリアされます。
0：オルタネート機能 I/O クロック無効
1：オルタネート機能 I/O クロック有効

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

6.3.8 APB1 ペリフェラルクロック有効レジスタ（RCC_APB1ENR）

アドレス：0x1C

リセット値：0x0000 0000

アクセス：ワード、ハーフワード、およびバイトアクセス

ノーウェイトステート。ただし、APB1 ドメイン内のペリフェラルへのアクセス中にアクセスが発生した場合を除きます。この場合、APB1 ペリフェラルへのアクセスが終了するまで、ウェイトステートが挿入されます。

注： ***ペリフェラルクロックが有効でないときには、ペリフェラルレジスタの値をソフトウェアによって読み出すことはできず、返される値は常に 0 x 0 です。***

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み	CECEN	DAC EN	PWR EN	BKP EN	予約済み				I2C2 EN	I2C1 EN	UART5E N	UART4E N	USART3 EN	USART2 EN	予約済み
	rw	rw	rw	rw					rw	rw	rw	rw	rw	rw	予約済み

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SPI3 EN	SPI2 EN	予約済み		WWDG EN	予約済み		TIM14 EN	TIM13 EN	TIM12 EN	TIM7 EN	TIM6 EN	TIM5 EN	TIM4 EN	TIM3 EN	TIM2 EN
rw	rw			rw			rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:29 予約済み、常に 0 として読み出されます。

ビット 30 **CECEN**：CEC クロックイネーブル
ソフトウェアによってセット/クリアされます。
0：CEC クロック無効
1：CEC クロック有効

ビット 29 **DACEN**：DAC インタフェースクロックイネーブル
ソフトウェアによってセット/クリアされます。
0：DAC インタフェースクロック無効
1：DAC インタフェースクロック有効

ビット 28 **PWREN**：電源インタフェースクロックイネーブル
ソフトウェアによってセット/クリアされます。
0：電源インタフェースクロック無効
1：電源インタフェースクロック有効

ビット 27 **BKPEN**：Backup インタフェースクロックイネーブル
ソフトウェアによってセット/クリアされます。
0：Backup インタフェースクロック無効
1：Backup インタフェースクロック有効

ビット 26:23 予約済み、常に 0 として読み出されます。

ビット 22 **I2C2EN**：I2C 2 クロックイネーブル
ソフトウェアによってセット/クリアされます。
0：I2C 2 クロック無効
1：I2C 2 クロック有効

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 21 **I2C2EN**：I2C 1 クロックイネーブル
ソフトウェアによってセット/クリアされます。
0：I2C 1 クロック無効
1：I2C 1 クロック有効

ビット 20 **UART5EN**：UART 5 クロックイネーブル
ソフトウェアによってセット/クリアされます。
0：UART 5 クロック無効
1：UART 5 クロック有効

ビット 19 **UART4EN**：UART 4 クロックイネーブル
ソフトウェアによってセット/クリアされます。
0：UART 4 クロック無効
1：UART 4 クロック有効

ビット 18 **USART3EN**：USART 3 クロックイネーブル
ソフトウェアによってセット/クリアされます。
0：USART 3 クロック無効
1：USART 3 クロック有効

ビット 17 **USART2EN**：USART 2 クロックイネーブル
ソフトウェアによってセット/クリアされます。
0：USART 2 クロック無効
1：USART 2 クロック有効

ビット 16 予約済み、常に 0 として読み出されます。

ビット 14 **SPI3EN**：SPI 3 クロックイネーブル
ソフトウェアによってセット/クリアされます。
0：SPI 3 クロック無効
1：SPI 3 クロック有効

ビット 14 **SPI2EN**：SPI 2 クロックイネーブル
ソフトウェアによってセット/クリアされます。
0：SPI 2 クロック無効
1：SPI 2 クロック有効

ビット 13:12 予約済み、常に 0 として読み出されます。

ビット 11 **WWDGEN**：ウィンドウ型ウォッチドッグクロックイネーブル
ソフトウェアによってセット/クリアされます。
0：ウィンドウ型ウォッチドッグクロック無効
1：ウィンドウ型ウォッチドッグクロック有効

ビット 10:9 予約済み、常に 0 として読み出されます。

ビット 8 **TIM14EN**：タイマ 14 クロックイネーブル
ソフトウェアによってセット/クリアされます。
0：タイマ 14 クロック無効
1：タイマ 14 クロック有効

ビット 7 **TIM13EN**：タイマ 13 クロックイネーブル
ソフトウェアによってセット/クリアされます。
0：タイマ 13 クロック無効
1：タイマ 13 クロック有効

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 6 **TIM12EN**：タイマ 12 クロックイネーブル

ソフトウェアによってセット/クリアされます。

0：タイマ 12 クロック無効

1：タイマ 12 クロック有効

ビット 5 **TIM7EN**：タイマ 7 クロックイネーブル

ソフトウェアによってセット/クリアされます。

0：タイマ 7 クロック無効

1：タイマ 7 クロック有効

ビット 4 **TIM6EN**：タイマ 6 クロックイネーブル

ソフトウェアによってセット/クリアされます。

0：タイマ 6 クロック無効

1：タイマ 6 クロック有効

ビット 3 **TIM5EN**：タイマ 5 クロックイネーブル

ソフトウェアによってセット/クリアされます。

0：タイマ 5 クロック無効

1：タイマ 5 クロック有効

ビット 2 **TIM4EN**：タイマ 4 クロックイネーブル

ソフトウェアによってセット/クリアされます。

0：タイマ 4 クロック無効

1：タイマ 4 クロック有効

ビット 1 **TIM3EN**：タイマ 3 クロックイネーブル

ソフトウェアによってセット/クリアされます。

0：タイマ 3 クロック無効

1：タイマ 3 クロック有効

ビット 0 **TIM2EN**：タイマ 2 クロックイネーブル

ソフトウェアによってセット/クリアされます。

0：タイマ 2 クロック無効

1：タイマ 2 クロック有効

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

6.3.9 バックアップドメイン制御レジスタ（RCC_BDCR）

アドレスオフセット：0x20
リセット値：0 x 0000 0000、Backup ドメインリセットによってリセットされます。
アクセス：0 ≤ ウェイトステート≤ 3、ワード、ハーフワード、およびバイトアクセス
このレジスタへの連続したアクセスの場合、ウェイトステートが挿入されます。

注： ***バックアップドメイン制御レジスタ（RCC_BDCR）の LSEON、LSEBYP、RTCSEL、および RTCEN ビットは、Backup ドメインにあります。このため、リセット後、これらのビットは書き込み保護されるので、これらを変更するには、電源制御レジスタ（PWR_CR）の DBP ビットをセットする必要があります。詳細については、セクション 5：バックアップレジスタ（BKP）を参照してください。これらのビットは、バックアップドメインリセット後にのみリセットされます（セクション 6.1.3：バックアップドメインリセットを参照してください）。内部または外部リセットは、これらのビットに影響しません。***

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															BDRST
															rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RTC EN	予約済み					RTCSEL[1:0]		予約済み					LSE BYP	LSE RDY	LSEON
rw						rw	rw						rw	r	rw

ビット 31:17 予約済み、常に 0 として読み出されます。

ビット 16 **BDRST**：バックアップドメインソフトウェアリセット
ソフトウェアによってセット/クリアされます。
0：リセットは有効ではありません。
1：バックアップドメイン全体をリセットします。

ビット 15 **RTCEN**：RTC クロックイネーブル
ソフトウェアによってセット/クリアされます。
0：RTC クロック無効
1：RTC クロック有効

ビット 14:10 予約済み、常に 0 として読み出されます。

ビット 9:8 **RTCSEL[1:0]**：RTC クロックソース選択
RTC のクロックソースを選択するために、ソフトウェアによってセットされます。RTC クロックソースが選択されると、バックアップドメインがリセットされない限り、変更はできません。BDRST ビットを使用して、リセットできます。
00：クロックなし
01：LSE オシレータクロックが RTC クロックとして使用されます。
10：LSI オシレータクロックが RTC クロックとして使用されます。
11：128 分周された HSE オシレータクロックが RTC クロックとして使用されます。

ビット 7:3 予約済み、常に 0 として読み出されます。

ビット 2 **LSEBYP**：外部低速オシレータバイパス
デバッグモードでオシレータをバイパスするために、ソフトウェアによってセット/クリアされます。このビットは、外部 32 kHz オシレータが無効のときのみ、書き込みができます。
0：LSE オシレータはバイパスされません。
1：LSE オシレータはバイパスされます。

この資料は、STMicroelectronics NV 並びにその子会社（以下 ST）が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 1 **LSERDY**：外部低速オシレータレディ

外部 32 kHz オシレータが安定していることを示すために、ハードウェアによってセット/クリアされます。LSEON ビットがクリアされた後、LSERDY は、外部低速オシレータクロックの 6 サイクル後にローになります。

0：外部 32 kHz オシレータはレディ状態ではありません。

1：外部 32 kHz オシレータはレディ状態です。

ビット 0 **LSEON**：外部低速オシレータイネーブル

ソフトウェアによってセット/クリアされます。

0：外部 32 kHz オシレータは OFF です。

1：外部 32 kHz オシレータは ON です。

6.3.10 制御/ステータスレジスタ（RCC_CSR）

アドレス：0x24

リセット値：0x0C00 0000。システムリセットによってリセットされます。ただし、リセットフラグは電源リセット時のみリセットされます。

アクセス：0 ≤ ウェイトステート≤ 3、ワード、ハーフワード、およびバイトアクセス

このレジスタへの連続したアクセスの場合、ウェイトステートが挿入されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
LPWR RSTF	WWDG RSTF	IWDG RSTF	SFT RSTF	POR RSTF	PIN RSTF	予約済み	RMVF	予約済み							
rw	rw	rw	rw	rw	rw		rw								

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み														LSI RDY	LSION
														r	rw

ビット 31 **LPWRRSTF**：低電力リセットフラグ

低電力管理リセットが発生したときに、ハードウェアによってセットされます。

RMVF ビットに書き込むことによってクリアされます。

0：低電力管理リセットは発生していません。

1：低電力管理リセットが発生しました。

低電力管理リセットの詳細については、*低電力管理リセット* を参照してください。

ビット 30 **WWDGRSTF**：ウィンドウ型ウォッチドッグリセットフラグ

ウィンドウ型ウォッチドッグリセットが発生したときに、ハードウェアによってセットされます。

RMVF ビットに書き込むことによってクリアされます。

0：ウィンドウ型ウォッチドッグリセットは発生していません。

1：ウィンドウ型ウォッチドッグリセットが発生しました。

ビット 29 **IWDGRSTF**：独立型ウォッチドッグリセットフラグ

V_{DD} ドメインから独立型ウォッチドッグリセットが発生したときに、ハードウェアによってセットされます。

RMVF ビットに書き込むことによってクリアされます。

0：ウォッチドッグリセットは発生していません。

1：ウォッチドッグリセットが発生しました。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 28 **SFTRSTF**：ソフトウェアリセットフラグ

ソフトウェアリセットが発生したときに、ハードウェアによってセットされます。
RMVF ビットに書き込むことによってクリアされます。
0：ソフトウェアリセットは発生していません。
1：ソフトウェアリセットが発生しました。

ビット 27 **PORRSTF**：POR/PDR リセットフラグ

POR/PDR リセットが発生したときに、ハードウェアによってセットされます。
RMVF ビットに書き込むことによってクリアされます。
0：POR/PDR リセットは発生していません。
1：POR/PDR リセットが発生しました。

ビット 26 **PINRSTF**：PIN リセットフラグ

NRST ピンからリセットが発生したときに、ハードウェアによってセットされます。
RMVF ビットに書き込むことによってクリアされます。
0：NRST ピンからのリセットは発生していません。
1：NRST ピンからリセットが発生しました。

ビット 25 予約済み、常に 0 として読み出されます。

ビット 24 **RMVF**：リセットフラグ解除

リセットフラグをクリアするために、ソフトウェアによってセットされます。
0：影響ありません。
1：リセットフラグをクリアします。

ビット 23:2 予約済み、常に 0 として読み出されます。

ビット 1 **LSIRDY**：内部低速オシレータレディ

内部 RC 40 kHz オシレータが安定していることを示すために、ハードウェアによってセット/クリアされます。LSION ビットがクリアされた後、LSIRDY は、内部 RC 40 kHz オシレータクロックの 3 サイクル後にローになります。
0：内部 RC 40 kHz オシレータはレディ状態ではありません。
1：内部 RC 40 kHz オシレータはレディ状態です。

ビット 0 **LSION**：内部低速オシレータイネーブル

ソフトウェアによってセット/クリアされます。
0：内部 RC 40 kHz オシレータは OFF です。
1：内部 RC 40 kHz オシレータは ON です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

6.3.11 クロック設定レジスタ 2（RCC_CFGR2）

アドレスオフセット：0x2C

アクセス：ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み												PREDIV1[3:0]			
												rw	rw	rw	rw

ビット 31:4 予約済み

ビット 3:0 **PREDIV1[3:0]**：PREDIV1 分周比

PREDIV1 の分周比を選択するために、ソフトウェアによってセット/クリアされます。これらのビットに書き込めるのは、PLL が無効なときだけです。

注： ビット 0 は RCC_CFGR レジスタのビット 17 と同じビットなので、RCC_CFGR レジスタのビット 17 を変更すると、ビット 0 も変更されます。

0000：PREDIV1 入力クロックは分周されません。
0001：PREDIV1 入力クロックは 2 分周されます。
0010：PREDIV1 入力クロックは 3 分周されます。
0011：PREDIV1 入力クロックは 4 分周されます。
0100：PREDIV1 入力クロックは 5 分周されます。
0101：PREDIV1 入力クロックは 6 分周されます。
0110：PREDIV1 入力クロックは 7 分周されます。
0111：PREDIV1 入力クロックは 8 分周されます。
1000：PREDIV1 入力クロックは 9 分周されます。
1001：PREDIV1 入力クロックは 10 分周されます。
1010：PREDIV1 入力クロックは 11 分周されます。
1011：PREDIV1 入力クロックは 12 分周されます。
1100：PREDIV1 入力クロックは 13 分周されます。
1101：PREDIV1 入力クロックは 14 分周されます。
1110：PREDIV1 入力クロックは 15 分周されます。
1111：PREDIV1 入力クロックは 16 分周されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

6.3.12 RCC レジスタマップ

次の表に、RCC レジスタマップおよびリセット値を示します。

表 15. RCCレジスタマップとリセット値

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x000	**RCC_CR**	予約済み						PLL RDY	PLL ON	予約済み				CSSON	HSEBYP	HSERDY	HSEON	HSICAL[7:0]								HSITRIM[4:0]					予約済み	HSIRDY	HSION
	リセット値							0	0					0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0		1	1
0x004	**RCC_CFGR**	予約済み					MCO[2:0]			予約済み		PLLMUL[3:0]				PLLXTPRE	PLLSRC	ADC PRE [1:0]		PPRE2 [2:0]			PPRE1 [2:0]			HPRE[3:0]				SWS [1:0]		SW [1:0]	
	リセット値						0	0	0			0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x008	RCC_CIR	予約済み								CSSC	予約済み		PLLRDYC	HSERDYC	HSIRDYC	LSERDYC	LSIRDYC	予約済み			PLLRDYIE	HSERDYIE	HSIRDYIE	LSERDYIE	LSIRDYIE	CSSF	予約済み		PLLRDYF	HSERDYF	HSIRDYF	LSERDYF	LSIRDYF
	リセット値									0			0	0	0	0	0				0	0	0	0	0	0			0	0	0	0	0
0x00C	RCC_APB2RSTR	予約済み													TIM17RST	TIM16RST	TIM15RST	予約済み	USART1RST	予約済み	SPI1RST	TIM1RST	予約済み	ADC1	IOPGRST	IOPFRST	IOPERST	IOPDRST	IOPCRST	IOPBRST	IOPARST	予約済み	AFIORST
	リセット値														0	0	0		0		0	0		0	0	0	0	0	0	0	0		0
0x010	RCC_APB1RSTR	予約済み	CECRST	DACRST	PWRRST	BKPRST	予約済み				I2C2RST	I2C1RST	UART5RST	UART4RST	USART3RST	USART2RST	予約済み	SPI3RST	SPI2RST	予約済み		WWDGRST	予約済み		TIM14RST	TIM13RST	TIM12RST	TIM7RST	TIM6RST	TIM5RST	TIM4RST	TIM3RST	TIM2RST
	リセット値			0	0	0					0	0	0	0	0	0		0	0			0			0	0	0	0	0	0	0	0	0
0x014	RCC_AHBENR	予約済み																							FSMCEN	予約済み	CRCEN	予約済み	FLITFEN	予約済み	SRAMEN	DMA2EN	DMA1EN
	リセット値																								0		0		1		1	0	0
0x018	RCC_APB2ENR	予約済み													TIM17EN	TIM16EN	TIM15EN	予約済み	USART1EN	予約済み	SPI1EN	TIM1EN	予約済み	ADC1EN	IOPGEN	IOPFEN	IOPEEN	IOPDEN	IOPCEN	IOPBEN	IOPAEN	予約済み	AFIOEN
	リセット値														0	0	0		0		0	0		0	0	0	0	0	0	0	0		0
0x01C	RCC_APB1ENR	予約済み	CECEN	DACEN	PWREN	BKPEN	予約済み				I2C2EN	I2C1EN	UART5EN	UART4EN	USART3EN	USART2EN	予約済み	SPI3EN	SPI2EN	予約済み		WWDGEN	予約済み		TIM14EN	TIM13EN	TIM12EN	TIM7EN	TIM6EN	TIM5EN	TIM4EN	TIM3EN	TIM2EN
	リセット値		0	0	0	0					0	0	0	0	0	0		0	0			0			0	0	0	0	0	0	0	0	0
0x020	RCC_BDCR	予約済み															BDRST	RTCEN	予約済み					RTC SEL [1:0]		予約済み					LSEBYP	LSERDY	LSEON
	リセット値																0	0						0	0						0	0	0
0x024	RCC_CSR	LPWRSTF	WWDGRSTF	IWDGRSTF	SFTRSTF	PORRSTF	PINRSTF	予約済み	RMVF	予約済み																						LSIRDY	LSION
	リセット値	0	0	0	0	1	1		0																							0	0
0x02C	RCC_CFGR2	予約済み																													PREDIV1[3:0]		
	リセット値																														0	0	0

レジスタ境界アドレスについては *表 1：小容量および中容量デバイスのレジスタ境界アドレス* および *表 2：大容量デバイスのレジスタ境界アドレス* を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

7 汎用およびオルタネート機能入出力（GPIO および AFIO）

小容量バリューラインデバイスは、フラッシュメモリ容量が 16～32 KB の STM32F100xx マイクロコントローラです。

中容量バリューラインデバイスは、フラッシュメモリ容量が 64～128 KB の STM32F100xx マイクロコントローラです。

大容量バリューラインデバイスは、フラッシュメモリ容量が 256～512 KB の STM32F100xx マイクロコントローラです。

このセクションは、別段の指定がない限り、STM32F100xx ファミリ全体に適用されます。

7.1 GPIO 機能の説明

汎用入出力（GPIO）ポートのそれぞれには、2 つの 32 ビット設定レジスタ（GPIOx_CRL、GPIOx_CRH）、2 つの 32 ビットデータレジスタ（GPIOx_IDR、GPIOx_ODR）、32 ビットセット/リセットレジスタ（GPIOx_BSRR）、16 ビットリセットレジスタ（GPIOx_BRR）、32 ビットロックレジスタ（GPIOx_LCKR）があります。

各入出力ポートの特定のハードウェア特性については、*データシート*に記載されています。汎用入出力（GPIO）ポートの各ポートビットは、ソフトウェアによって以下の動作モードを個別に設定できます。

- 入力フローティング
- 入力プルアップ
- 入力プルダウン
- アナログ
- 出力オープンドレイン
- 出力プッシュプル
- オルタネート機能プッシュプル
- オルタネート機能オープンドレイン

各入出力ポートビットは自由にプログラミングできますが、入出力ポートレジスタには 32 ビットワード単位でアクセスする必要があります（ハーフワードやバイト単位でのアクセスはできません）。GPIOx_BSRR レジスタと GPIOx_BRR レジスタを使用すると、GPIO レジスタにビット単位の読み出し/変更アクセスを行うことができます。これにより、読み出しと変更アクセスの間に IRQ が発生するリスクを回避できます。

図 11 に、入出力ポートビットの基本構造を示します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 11. 標準入出力ポートビットの基本構造

図 12. 5V 耐性入出力ポートビットの基本構造

1. V_{DD_FT} は、5V 耐性入出力に固有の電位であり、V_{DD} とは異なります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 16. ポートビット設定表

設定モード		CNF1	CNF0	MODE1	MODE0	PxODR レジスタ
汎用出力	プッシュプル	0	0	01		0 または 1
	オープンドレイン		1	10		0 または 1
オルタネート機能出力	プッシュプル	1	0	11		無視
	オープンドレイン		1	*表 17* を参照してください		無視
入力	アナログ	0	0	00		無視
	入力フローティング		1			無視
	入力プルダウン	1	0			0
	入力プルアップ					1

表 17. 出力モードビット

MODE[1:0]	意味
00	予約済み
01	最大出力速度 10 MHz
10	最大出力速度 2 MHz
11	最大出力速度 50 MHz

7.1.1 汎用入出力（GPIO）

リセット中とリセット直後は、オルタネート機能は有効ではなく、入出力ポートはフローティングモード（CNFx[1:0]=01b、MODEx[1:0]=00b）に設定されています。

リセット後、JTAG ピンは入力プルアップ/プルダウンになっています。

PA15：JTDI プルアップ

PA14：JTCK プルダウン

PA13：JTMS プルアップ

PB4：NJTRST プルアップ

出力として設定されたときには、出力データレジスタ（GPIOx_ODR）に書き込まれた値が入出力ピンに出力されます。出力ドライバをプッシュプルモードまたはオープンドレインモードで使用することができます（0 を出力すると、N-MOS のみが有効になります）。

入力データレジスタ（GPIOx_IDR）は、APB2 クロックサイクルごとに、入出力ピン上のデータをキャプチャします。

すべての GPIO ピンには、内部ウィークプルアップおよびウィークプルダウンがあり、入力として設定されたときに有効/無効にすることができます。

7.1.2 ビット単位のセット/リセット

GPIOx_ODR をビットレベルでプログラミングするときには、ソフトウェアで割り込みを無効にする必要はありません。アトミックな 1 回の APB2 書き込みアクセスで 1 ビットまたは数ビットのみを変更することができます。このためには、ビットセット/リセットレジスタ（GPIOx_BSRR、またはリセットのみであれば GPIOx_BRR）の変更したいビットに対応する位置に“1”をプログラミングします。選択されなかった（= 0）ビットの値は変更されません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

7.1.3 外部割り込み/ウェイクアップライン

すべてのポートに外部割り込み機能があります。外部割り込みラインを使用するには、ポートを入力モードにする必要があります。外部割り込みの詳細については、次のセクションを参照してください。

- *セクション 8.2：外部割り込み/イベントコントローラ（EXTI）（133 ページ）*および
- *セクション 8.2.3：ウェイクアップイベント管理（134 ページ）*

7.1.4 オルタネート機能（AF）

デフォルトのオルタネート機能を使用するには、ポートビット設定レジスタをプログラミングする必要があります。

- オルタネート機能の入力では、ポートは入力モード（フローティング、プルアップ、プルダウン）に設定し、入力ピンは外部から駆動しなければなりません。

注： ***GPIO コントローラをプログラミングすることによって、ソフトウェアで AFI 入力ピンをエミュレートすることもできます。この場合、ポートをオルタネート機能出力モードに設定する必要があります。また、当然、対応するポートは、ソフトウェアによって GPIO コントローラを使用して駆動されるので、外部から駆動しないでください。***

- オルタネート機能出力では、ポートをオルタネート機能出力モード（プッシュプル、オープンドレイン）に設定する必要があります。
- 双方向オルタネート機能の場合、ポートビットはオルタネート機能出力モード（プッシュプル、オープンドレイン）に設定する必要があります。この場合、入力ドライバは入力フローティングモードに設定されます。

ポートビットをオルタネート機能出力に設定した場合、ピンは出力レジスタから切り離され、オンチップペリフェラルの出力信号に接続されます。

ソフトウェアで GPIO ピンをオルタネート機能出力として設定したが、ペリフェラルが有効でない場合には、出力は指定されません。

7.1.5 ソフトウェアによる入出力オルタネート機能の再配置

さまざまなデバイスパッケージに対してペリフェラル入出力機能の数を最適化するために、いくつかのオルタネート機能を別のピンに再配置することができます。これは、対応するレジスタをプログラミングすることによって、ソフトウェアによって実現されます（*AFIO レジスタ（121 ページ）*を参照してください）。この場合、オルタネート機能は、元の割り当てには配置されなくなります。

7.1.6 GPIO ロック機構

ロック機構によって、入出力設定をロックすることができます。ポートビットにロックシーケンスが適用されると、次のリセットまで、ポートビットの値を変更できなくなります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

7.1.7 入力設定

入出力ポートが入力としてプログラミングされたときには、

- 出力バッファは無効になります。
- シュミットトリガ入力は有効になります。
- 入力設定（プルアップ、プルダウン、またはフローティング）に応じて、ウィークプルアップおよびプルダウン抵抗は有効または無効になります。
- 入出力ピン上のデータは、APB2 クロックサイクルごとに入力データレジスタにサンプリングされます。
- 入力データレジスタへの読み出しアクセスによって、入出力状態が得られます。

*図 13（104 ページ）*は、入出力ポートビットの入力設定を示しています。

図 13. 入力フローティング/プルアップ/プルダウン設定

1. V_{DD_FT} は、5V 耐性入出力に固有の電位であり、V_{DD} とは異なります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

7.1.8 出力設定

入出力ポートが出力としてプログラミングされたときには、

- 出力バッファが有効になります。
  - オープンドレインモード：出力レジスタが“0”のときには N-MOS が有効になり、出力レジスタが“1”のときにはポートはハイインピーダンス状態のままです（P-MOS が有効になることはありません）。
  - プッシュプルモード：出力レジスタが“0”のとき N-MOS が有効になり、“1”のときには P-MOS が有効になります。
- シュミットトリガ入力が有効になります。
- ウィークプルアップおよびプルダウン抵抗は無効になります。
- 入出力ピン上のデータは、APB2 クロックサイクルごとに入力データレジスタにサンプリングされます。
- オープンドレインモードでは、入力データレジスタの読み出しアクセスによって入出力状態が得られます。
- プッシュプルモードでは、出力データレジスタの読み出しアクセスによって、最後に書き込まれたデータが得られます。

*図 14（105 ページ）*は、入出力ポートビットの出力設定を示しています。

図 14. 出力設定

1. V_{DD_FT} は、5V 耐性入出力に固有の電位であり、V_{DD} とは異なります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

7.1.9 オルタネート機能設定

入出力ポートがオルタネート機能としてプログラミングされたときには、

- 出力バッファは、オープンドレインまたはプッシュプル設定で有効になります。
- 出力バッファは、ペリフェラルからの信号で駆動されます（オルタネート機能出力）。
- シュミットトリガ入力は有効になります。
- ウィークプルアップおよびプルダウン抵抗は無効になります。
- 入出力ピン上のデータは、APB2 クロックサイクルごとに入力データレジスタにサンプリングされます。
- オープンドレインモードでは、入力データレジスタの読み出しアクセスによって入出力状態が得られます。
- プッシュプルモードでは、出力データレジスタの読み出しアクセスによって、最後に書き込まれたデータが得られます。

*図 15（106 ページ）*は、入出力ポートビットのオルタネート機能設定を示しています。詳細については、*セクション 7.4 : AFIO レジスタ（121 ページ）*も参照してください。

オルタネート機能入出力（AFIO）レジスタの設定で、オルタネート機能を別のピンに再配置できます。*セクション 7.3 : オルタネート機能入出力とデバッグ設定（AFIO）（115 ページ）*を参照してください。

図 15. オルタネート機能設定

1. V_{DD_FT} は、5V 耐性入出力に固有の電位であり、V_{DD} とは異なります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

7.1.10 アナログ設定

入出力ポートがアナログ設定としてプログラミングされたときには、

- 出力バッファは無効になります。
- シュミットトリガ入力は無効になります。ただし、入出力ピンのすべてのアナログ値がゼロ消費の場合に限ります。シュミットトリガ回路の出力は、常に 0 になります。
- ウィークプルアップおよびプルダウン抵抗は無効になります。
- 入力データレジスタの読み出しアクセスでは、値“0”が得られます。

*図 16（107 ページ）*は、入出力ポートビットのハイインピーダンスアナログ設定を示しています。

図 16. ハイインピーダンスアナログ設定

7.1.11 デバイスペリフェラルの GPIO 設定

表 18～表 27 に、デバイスペリフェラルの GPIO 設定を示します。

表 18. 高機能タイマ TIM1

TIM1 ピン名	設定	GPIO 設定
TIM1_CHx	入力キャプチャチャネル x	入力フローティング
	出力比較チャネル x	オルタネート機能プッシュプル
TIM1_CHxN	補助出力チャネル x	オルタネート機能プッシュプル
TIM1_BKIN	ブレーク入力	入力フローティング
TIM1_ETR	外部トリガタイマ入力	入力フローティング

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 19. 汎用タイマ TIM2/3/4/5

TIM2/3/4/5 ピン名	設定	GPIO 設定
TIM2/3/4/5_CHx	入力キャプチャチャネル x	入力フローティング
	出力比較チャネル x	オルタネート機能プッシュプル
TIM2/3/4/5_ETR	外部トリガタイマ入力	入力フローティング

表 20. 汎用タイマ TIM15/16/17

TIM15/16/17 ピン名	設定	GPIO 設定
TIM15/16/17_CHx	入力キャプチャチャネル x	入力フローティング
	出力比較チャネル x	オルタネート機能プッシュプル
TIM15/16/17_CHxN	補助出力チャネル x	オルタネート機能プッシュプル
TIM15/16/17_BKIN	ブレーク入力	入力フローティング
TIM15/16/17_ETR	外部トリガタイマ入力	入力フローティング

表 21. 汎用タイマ TIM12/13/14

TIM12/13/14 ピン名	設定	GPIO 設定
TIM12/13/14_CHx	入力キャプチャチャネル x	入力フローティング
	出力比較チャネル x	オルタネート機能プッシュプル

表 22. USART

USART ピン名	設定	GPIO 設定
USARTx_TX	全二重	オルタネート機能プッシュプル
	半二重同期モード	オルタネート機能プッシュプル
USARTx_RX	全二重	入力フローティング/入力プルアップ
	半二重同期モード	未使用。GPIO として使用できます。
USARTx_CK	同期モード	オルタネート機能プッシュプル
USARTx_RTS	ハードウェアフロー制御	オルタネート機能プッシュプル
USARTx_CTS	ハードウェアフロー制御	入力フローティング/入力プルアップ

表 23. SPI

SPI ピン名	設定	GPIO 設定
SPIx_SCK	マスタ	オルタネート機能プッシュプル
	スレーブ	入力フローティング
SPIx_MOSI	全二重/マスタ	オルタネート機能プッシュプル
	全二重/スレーブ	入力フローティング/入力プルアップ
	単向双方向データ線/マスタ	オルタネート機能プッシュプル
	単向双方向データ線/スレーブ	未使用。GPIO として使用できます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 23. SPI （続き）

SPI ピン名	設定	GPIO 設定
SPIx_MISO	全二重/マスタ	入力フローティング/入力プルアップ
	全二重/スレーブ	オルタネート機能プッシュプル
	単向双方向データ線/マスタ	未使用。GPIO として使用できます。
	単向双方向データ線/スレーブ	オルタネート機能プッシュプル
SPIx_NSS	ハードウェアマスタ/スレーブ	入力フローティング/入力プルアップ/入力プルダウン
	ハードウェアマスタ/NSS 出力有効	オルタネート機能プッシュプル
	ソフトウェア	未使用。GPIO として使用できます。

表 24. CEC

CEC ピン名	設定	GPIO 設定
CEC	CEC ライン	オルタネート機能オープンドレイン

表 25. I2C

I2C ピン名	設定	GPIO 設定
I2Cx_SCL	I2C クロック	オルタネート機能オープンドレイン
I2Cx_SDA	I2C データ入出力	オルタネート機能オープンドレイン

ADC 入力の GPIO 設定はアナログにします。

図 17. ADC/DAC

ADC/DAC ピン	GPIO 設定
ADC/DAC	アナログ

表 26. FSMC

FSMC ピン名	GPIO 設定
FSMC_A[25:0] FSMC_D[15:0]	オルタネート機能プッシュプル
FSMC_CK	オルタネート機能プッシュプル
FSMC_NOE FSMC_NWE	オルタネート機能プッシュプル
FSMC_NE[4:1]	オルタネート機能プッシュプル
FSMC_NWAIT	入力フローティング/入力プルアップ
FSMC_NL FSMC_NBL[1:0]	オルタネート機能プッシュプル

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 27. 他の入出力

ピン名	オルタネート機能	GPIO 設定
TAMPER-RTC ピン	RTC 出力	BKP_CR および BKP_RTCCR レジスタを設定するとき、ハードウェアによって強制されます。
	タンパイベント入力	
MCO	クロック出力	オルタネート機能プッシュプル
EXTI 入力ライン	外部入力割り込み	入力フローティング/入力プルアップ/入力プルダウン

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

7.2 GPIO レジスタ

レジスタの説明で使用されている略語については、*セクション 1.1 (32 ページ)* を参照してください。

ペリフェラルレジスタには、ワード（32 ビット）単位でアクセスする必要があります。

7.2.1 ポート設定レジスタ（下位）（GPIOx_CRL）（x=A..G）

アドレスオフセット：0x00

リセット値：0x4444 4444

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CNF7[1:0]		MODE7[1:0]		CNF6[1:0]		MODE6[1:0]		CNF5[1:0]		MODE5[1:0]		CNF4[1:0]		MODE4[1:0]	
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CNF3[1:0]		MODE3[1:0]		CNF2[1:0]		MODE2[1:0]		CNF1[1:0]		MODE1[1:0]		CNF0[1:0]		MODE0[1:0]	
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:30、27:26、23:22、19:18、15:14、11:10、7:6、3:2

CNFy[1:0]：ポート x 設定ビット（y= 0 ..7）

これらのビットは、対応する入出力ポートを設定するために、ソフトウェアによって書き込まれます。*表 16：ポートビット設定表（102 ページ）* を参照してください。

入力モード時（MODE[1:0]=00）：

00：アナログモード

01：フローティング入力（リセット状態）

10：プルアップ/プルダウン付きの入力

11：予約済み

出力モード時（MODE[1:0] > 00）：

00：汎用出力プッシュプル

01：汎用出力オープンドレイン

10：オルタネート機能出力プッシュプル

11：オルタネート機能出力オープンドレイン

ビット 29:28、25:24、21:20、17:16、13:12、9:8、5:4、1:0

MODEy[1:0]：ポート x モードビット（y= 0 ..7）

これらのビットは、対応する入出力ポートを設定するために、ソフトウェアによって書き込まれます。*表 16：ポートビット設定表（102 ページ）* を参照してください。

00：入力モード（リセット状態）

01：出力モード、最大速度 10 MHz

10：出力モード、最大速度 2 MHz

11：出力モード、最大速度 50 MHz

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

7.2.2 ポート設定レジスタ（上位）（GPIOx_CRH）（x=A..G）

アドレスオフセット：0x04

リセット値：0x4444 4444

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CNF15[1:0]		MODE15[1:0]		CNF14[1:0]		MODE14[1:0]		CNF13[1:0]		MODE13[1:0]		CNF12[1:0]		MODE12[1:0]	
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CNF11[1:0]		MODE11[1:0]		CNF10[1:0]		MODE10[1:0]		CNF9[1:0]		MODE9[1:0]		CNF8[1:0]		MODE8[1:0]	
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:30、27:26、23:22、19:18、15:14、11:10、7:6、3:2 **CNFy[1:0]**：ポート x 設定ビット（y= 8 ..15）

これらのビットは、対応する入出力ポートを設定するために、ソフトウェアによって書き込まれます。*表 16：ポートビット設定表（102 ページ）*を参照してください。

入力モード時（MODE[1:0]=00）：

00：アナログモード

01：フローティング入力（リセット状態）

10：プルアップ/プルダウン付きの入力

11：予約済み

出力モード時（MODE[1:0] > 00）：

00：汎用出力プッシュプル

01：汎用出力オープンドレイン

10：オルタネート機能出力プッシュプル

11：オルタネート機能出力オープンドレイン

ビット 29:28、25:24、21:20、17:16、13:12、9:8、5:4、1:0 **MODEy[1:0]**：ポート x モードビット（y= 8 ..15）

これらのビットは、対応する入出力ポートを設定するために、ソフトウェアによって書き込まれます。*表 16：ポートビット設定表（102 ページ）*を参照してください。

00：入力モード（リセット状態）

01：出力モード、最大速度 10 MHz

10：出力モード、最大速度 2 MHz

11：出力モード、最大速度 50 MHz

7.2.3 ポート入力データレジスタ（GPIOx_IDR）（x=A..G）

アドレスオフセット：0x08h

リセット値：0x0000 XXXX

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IDR15	IDR14	IDR13	IDR12	IDR11	IDR10	IDR9	IDR8	IDR7	IDR6	IDR5	IDR4	IDR3	IDR2	IDR1	IDR0
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31：16 予約済み、常に 0 として読み出されます。

ビット 15：0 **IDRy[15:0]**：ポート入力データ（y= 0 .. 15）

これらのビットは読み出し専用であり、ワードモードでのみアクセスできます。対応する入出力ポートの入力値を含みます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

7.2.4 ポート出力データレジスタ（GPIOx_ODR）（x=A..G）

アドレスオフセット：0x0C

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ODR15	ODR14	ODR13	ODR12	ODR11	ODR10	ODR9	ODR8	ODR7	ODR6	ODR5	ODR4	ODR3	ODR2	ODR1	ODR0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31：16　予約済み、常に 0 として読み出されます。

ビット 15：0　**ODRy[15:0]**：ポート出力データ（y= 0 .. 15）

これらのビットは、ソフトウェアによって読み出し/書き込みができ、ワードモードでのみアクセスできます。

注：　ビット単位のセット/リセットのために、GPIOx_BSRR レジスタ（x= A ..G ）への書き込みによって、ODR ビットを個々にセット/クリアできます。

7.2.5 ポートビットセット/リセットレジスタ（GPIOx_BSRR）（x=A..G）

アドレスオフセット：0x10

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
BR15	BR14	BR13	BR12	BR11	BR10	BR9	BR8	BR7	BR6	BR5	BR4	BR3	BR2	BR1	BR0
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BS15	BS14	BS13	BS12	BS11	BS10	BS9	BS8	BS7	BS6	BS5	BS4	BS3	BS2	BS1	BS0
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w

ビット 31：16　**BRy**：ポート x リセット*ビット y（y= 0 .. 15）*

これらのビットは、書き込み専用であり、ワードモードでのみアクセスできます。

0：対応する ODRx ビットの値は変化しません。

1：対応する ODRx ビットをリセットします。

注：　BSx ビットと BRx ビットの両方がセットされた場合、BSx ビットが優先されます。

ビット 15：0　**BSy**：ポート x *セットビット y（y= 0 .. 15）*

これらのビットは、書き込み専用であり、ワードモードでのみアクセスできます。

0：対応する ODRx ビットの値は変化しません。

1：対応する ODRx ビットをセットします。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

7.2.6 ポートビットリセットレジスタ（GPIOx_BRR）（x=A..G）

アドレスオフセット：0x14

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BR15	BR14	BR13	BR12	BR11	BR10	BR9	BR8	BR7	BR6	BR5	BR4	BR3	BR2	BR1	BR0
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w

ビット 31：16　予約済み

ビット 15：0　**BRy：**ポート x リセットビット y（y= 0 .. 15）

これらのビットは、書き込み専用であり、ワードモードでのみアクセスできます。

0：対応する ODRx ビットの値は変化しません。

1：対応する ODRx ビットをリセットします。

7.2.7 ポート設定ロックレジスタ（GPIOx_LCKR）（x=A..G）

このレジスタは、ビット 16（LCKK）に正しい書き込みシーケンスが適用されたときに、ポートビットの設定をロックするために使用されます。ビット[15:0] の値は、GPIO の設定をロックするために使用されます。書き込みシーケンスの間は LCKR[15:0] の値は同じでなければなりません。ロックシーケンスがポートビットに適用されると、次のリセットまで、ポートビットの値を変更することはできなくなります。

各ロックビットは、制御レジスタ（CRL、CRH）の対応する 4 ビットをロックします。

アドレスオフセット：0x18

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															LCKK
															rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LCK15	LCK14	LCK13	LCK12	LCK11	LCK10	LCK9	LCK8	LCK7	LCK6	LCK5	LCK4	LCK3	LCK2	LCK1	LCK0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31：17　予約済み

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 16 **LCKK[16]**：ロックキー

このビットは常時読み出しができます。ロックキー書き込みシーケンスを使用しなければ変更できません。

0：ポート設定ロックキーは無効です。

1：ポート設定ロックキーは有効です。GPIOx_LCKR レジスタは、MCU リセットが発生するまでロックされます。

ロックキー書き込みシーケンス：

1 を書き込みます。

0 を書き込みます。

1 を書き込みます。

0 を読み出します。

1 を読み出します（この読み出しはオプションですが、ロックが有効であることを確認します）。

注： ロックキー書き込みシーケンスの間は、LCK[15:0] の値を変更することはできません。

ロックシーケンス中にエラーが発生すると、ロックは中止されます。

ビット 15：0 **LCKy**：ポート x ロックビット y（y= 0 .. 15）

これらのビットは読み出し/書き込みができますが、書き込めるのは、LCKK ビットが 0 のときだけです。

0：ポート設定はロックされません。

1：ポート設定はロックされます。

7.3 オルタネート機能入出力とデバッグ設定（AFIO）

64 ピンまたは 100 ピン、または 144 ピンのパッケージに使用できるペリフェラル数を最適化するために、いくつかのオルタネート機能を別のピンに再配置できます。これは、ソフトウェアによって*オルタネート機能の再配置とデバッグ入出力設定レジスタ（AFIO_MAPR）（122 ページ）*および*セクション 7.4.7：オルタネート機能の再配置とデバッグ入出力設定レジスタ（AFIO_MAPR2）（126 ページ）*を参照してください。

をプログラミングすることによって実現されます。この場合、オルタネート機能は元の割り当てに配置されなくなります。

7.3.1 OSC32_IN/OSC32_OUT ピンの GPIO ポート PC14/PC15 としての使用

LSE オシレータのピン OSC32_IN および OSC32_OUT は、LSE オシレータがオフのとき、それぞれ汎用入出力 PC14 および PC15 として使用できます。LSEは、GPIO 機能より高い優先順位を持っています。

注： 1 PC14/PC15 の GPIO 機能が無効になるのは、1.8 V ドメインの電源がオフになったとき（STANDBY モードになったとき）、またはバックアップドメインに V_{BAT} が供給された（V_{DD} は供給されない）ときです。この場合、入出力はアナログモードに設定されます。

2 セクション 4.1.2（50 ページ）にある入出力使用の制限についての注を参照してください。

7.3.2 OSC_IN/OSC_OUT ピンの GPIO ポート PD0/PD1 としての使用

HSE オシレータのピン OSC_IN/OSC_OUT は、*オルタネート機能の再配置とデバッグ入出力設定レジスタ（AFIO_MAPR）*の PD01_REMAP ビットをプログラミングすることによって、汎用入出力（GPIO）の PD0/PD1 として使用できます。

この再配置は、48 ピンと 64 ピンのパッケージでのみ可能です（100 ピンと 144 ピンのパッケージでは、再配置しなくても PD0/PD1 を使用できます）。

注： 外部割り込み/イベント機能は再配置できません。48 ピンと 64 ピンのパッケージでは、PD0 と PD1 を外部割り込み/イベント生成に使用することはできません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

7.3.3 JTAG/SWD オルタネート機能の再配置

デバッグインタフェース信号は、*表 28* に示されているように GPIO ポートに配置されます。

表 28. デバッグインタフェース信号

オルタネート機能	GPIO ポート
JTMS / SWDIO	PA13
JTCK / SWCLK	PA14
JTDI	PA15
JTDO / TRACESWO	PB3
NJTRST	PB4
TRACECK	PE2
TRACED0	PE3
TRACED1	PE4
TRACED2	PE5
TRACED3	PE6

デバッグ時に未使用 GPIO の数を最適化するために、この配置は、*オルタネート機能の再配置とデバッグ入出力設定レジスタ（AFIO_MAPR）* の SWJ_CFG[1:0] ビットをプログラミングすることによってさまざまに設定できます。*表 29* を参照してください。

表 29. デバッグポートの配置

SWJ _CFG [2:0]	使用可能なデバッグポート	SWJ I/O ピンの割り当て				
		PA13 / JTMS/ SWDIO	PA14 / JTCK/SW CLK	PA15 / JTDI	PB3 / JTDO/ TRACE SWO	PB4/ NJTRST
000	フル SWJ（JTAG-DP + SW-DP）（リセット状態）	X	X	X	X	X
001	フル SWJ（JTAG-DP + SW-DP）NJTRST なし	X	X	X	X	未使用
010	JTAG-DP 無効および SW-DP 有効	X	X	未使用	未使用(1)	未使用
100	JTAG-DP 無効および SW-DP 無効	未使用	未使用	未使用	未使用	未使用
その他	設定禁止					

1. 非同期トレースを使用していない場合にのみ解放されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

7.3.4 タイマオルタネート機能の再配置

タイマ 4 のチャネル 1～4 は、ポート B～ポート D に再配置できます。その他のタイマ再配置の可能性については、*表 35～表 37* を参照してください。*オルタネート機能の再配置とデバッグ入出力設定レジスタ（AFIO_MAPR）*を参照してください。

表 30. TIM5 オルタネート機能の再配置(1)

オルタネート機能	TIM5CH4_IREMAP = 0	TIM5CH4_IREMAP = 1
TIM5_CH4	TIM5 チャネル 4 は PA3 へ接続	LSI の内部クロックは較正のために TIM5_CH4 入力へ接続

1. 再配置は、大容量バリューラインデバイスでのみ可能です。

表 31. TIM12 の再配置(1)

オルタネート機能	TIM12_REMAP = 0	TIM12_REMAP = 1
TIM12_CH1	PC4	PB12
TIM12_CH1	PC5	PB13

1. *セクション 7.4.7 : オルタネート機能の再配置とデバッグ入出力設定レジスタ（AFIO_MAPR2）*のオルタネート機能の再配置とデバッグ入出力設定レジスタを参照してください。再配置は、大容量バリューラインデバイスでのみ可能です。

表 32. TIM13 の再配置(1)

オルタネート機能	TIM13_REMAP = 0	TIM13_REMAP = 1
TIM13_CH1	PC8	PB0

1. *セクション 7.4.7 : オルタネート機能の再配置とデバッグ入出力設定レジスタ（AFIO_MAPR2）*のオルタネート機能の再配置とデバッグ入出力設定レジスタを参照してください。再配置は、大容量バリューラインデバイスでのみ可能です。

表 33. TIM14 の再配置(1)

オルタネート機能	TIM14_REMAP = 0	TIM14_REMAP = 1
TIM14_CH1	PC9	PB1

1. *セクション 7.4.7 : オルタネート機能の再配置とデバッグ入出力設定レジスタ（AFIO_MAPR2）*のオルタネート機能の再配置とデバッグ入出力設定レジスタを参照してください。再配置は、大容量バリューラインデバイスでのみ可能です。

表 34. TIM4 オルタネート機能の再配置

オルタネート機能	TIM4_REMAP = 0	TIM4_REMAP = 1(1)
TIM4_CH1	PB6	PD12
TIM4_CH2	PB7	PD13
TIM4_CH3	PB8	PD14
TIM4_CH4	PB9	PD15

1. 再配置は、100 ピンと 144 ピンのパッケージでのみ可能です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 35. TIM3 オルタネート機能の再配置

オルタネート機能	TIM3_REMAP[1:0] = “00”（再配置なし）	TIM3_REMAP[1:0] = “10”（部分的な再配置）	TIM3_REMAP[1:0] = “11”（完全な再配置）(1)
TIM3_CH1	PA6	PB4	PC6
TIM3_CH2	PA7	PB5	PC7
TIM3_CH3	PB0		PC8
TIM3_CH4	PB1		PC9

1. 再配置は、64 ピン、100 ピン、および 144 ピンのパッケージでのみ可能です。

表 36. TIM2 オルタネート機能の再配置

オルタネート機能	TIM2_REMAP[1:0] = “00”（再配置なし）	TIM2_REMAP[1:0] = “01”（部分的な再配置）	TIM2_REMAP[1:0] = “10”（部分的な再配置）	TIM2_REMAP[1:0] = “11”（完全な再配置）
TIM2_CH1_ETR(1)	PA0	PA15	PA0	PA15
TIM2_CH2	PA1	PB3	PA1	PB3
TIM2_CH3	PA2		PB10	
TIM2_CH4	PA3		PB11	

1. TIM_CH1 と TIM_ETR は同じピンを共有しますが、同時に使用することはできません（そのため TIM2_CH1_ETR という名前が付けられています）。

表 37. TIM1 オルタネート機能の再配置

オルタネート機能配置	TIM1_REMAP[1:0] = “00”（再配置なし）	TIM1_REMAP[1:0] = “01”（部分的な再配置）	TIM1_REMAP[1:0] = “11”（完全な再配置）(1)
TIM1_ETR	PA12		PE7
TIM1_CH1	PA8		PE9
TIM1_CH2	PA9		PE11
TIM1_CH3	PA10		PE13
TIM1_CH4	PA11		PE14
TIM1_BKIN	PB12	PA6	PE15
TIM1_CH1N	PB13	PA7	PE8
TIM1_CH2N	PB14	PB0	PE10
TIM1_CH3N	PB15	PB1	PE12

1. 再配置は、100 ピンと 144 ピンのパッケージでのみ可能です。

表 38. TIM1 DMA の再配置(1)

DMA リクエスト	TIM1_DMA_REMAP = 0	TIM1_DMA_REMAP = 1
TIM1_CH1 DMA リクエスト	DMA1 チャネル2 に配置	DMA1 チャネル6 に配置
TIM1_CH2 DMA リクエスト	DMA1 チャネル3 に配置	DMA1 チャネル6 に配置

1. *セクション 7.4.7 : オルタネート機能の再配置とデバッグ入出力設定レジスタ（AFIO_MAPR2）*のオルタネート機能の再配置とデバッグ入出力設定レジスタを参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 39. TIM15 の再配置[1]

オルタネート機能	TIM15_REMAP = 0	TIM15_REMAP = 1
TIM15_CH1	PA2	PB14
TIM15_CH2	PA3	PB15

1. *セクション 7.4.7 : オルタネート機能の再配置とデバッグ入出力設定レジスタ（AFIO_MAPR2）*のオルタネート機能の再配置とデバッグ入出力設定レジスタを参照してください。

表 40. TIM16 の再配置[1]

オルタネート機能	TIM16_REMAP = 0	TIM16_REMAP = 1
TIM16_CH1	PB8	PA6

1. *セクション 7.4.7 : オルタネート機能の再配置とデバッグ入出力設定レジスタ（AFIO_MAPR2）*のオルタネート機能の再配置とデバッグ入出力設定レジスタを参照してください。

表 41. TIM17 の再配置[1]

オルタネート機能	TIM17_REMAP = 0	TIM17_REMAP = 1
TIM17_CH1	PB9	PA7

1. *セクション 7.4.7 : オルタネート機能の再配置とデバッグ入出力設定レジスタ（AFIO_MAPR2）*のオルタネート機能の再配置とデバッグ入出力設定レジスタを参照してください。

7.3.5 USART オルタネート機能の再配置

*オルタネート機能の再配置とデバッグ入出力設定レジスタ（AFIO_MAPR）*を参照してください。

表 42. USART3 の再配置

オルタネート機能	USART3_REMAP[1:0] = “00”（再配置なし）	USART3_REMAP[1:0] = “01”（部分的な再配置）[1]	USART3_REMAP[1:0] = “11”（完全な再配置）[2]
USART3_TX	PB10	PC10	PD8
USART3_RX	PB11	PC11	PD9
USART3_CK	PB12	PC12	PD10
USART3_CTS	PB13		PD11
USART3_RTS	PB14		PD12

1. 再配置は、64 ピン、100 ピン、および 144 ピンのパッケージでのみ可能です。
2. 再配置は、100 ピンと 144 ピンのパッケージでのみ可能です。

表 43. USART2 の再配置

オルタネート機能	USART2_REMAP = 0	USART2_REMAP = 1[1]
USART2_CTS	PA0	PD3
USART2_RTS	PA1	PD4
USART2_TX	PA2	PD5
USART2_RX	PA3	PD6
USART2_CK	PA4	PD7

1. 再配置は、100 ピンと 144 ピンのパッケージでのみ可能です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 44. USART1 の再配置

オルタネート機能	USART1_REMAP = 0	USART1_REMAP = 1
USART1_TX	PA9	PB6
USART1_RX	PA10	PB7

7.3.6 I2C1 オルタネート機能の再配置

*オルタネート機能の再配置とデバッグ入出力設定レジスタ（AFIO_MAPR）*を参照してください。

表 45. I2C1 の再配置

オルタネート機能	I2C1_REMAP = 0	I2C1_REMAP = 1
I2C1_SCL	PB6	PB8
I2C1_SDA	PB7	PB9

7.3.7 SPI1 オルタネート機能の再配置

*オルタネート機能の再配置とデバッグ入出力設定レジスタ（AFIO_MAPR）*を参照してください。

表 46. SPI1の再配置

オルタネート機能	SPI1_REMAP = 0	SPI1_REMAP = 1
SPI1_NSS	PA4	PA15
SPI1_SCK	PA5	PB3
SPI1_MISO	PA6	PB4
SPI1_MOSI	PA7	PB5

7.3.8 CEC の再配置

*セクション 7.4.7 : オルタネート機能の再配置とデバッグ入出力設定レジスタ（AFIO_MAPR2）*を参照してください。

表 47. CEC の再配置

オルタネート機能	CEC_REMAP = 0	CEC_REMAP = 1
CEC	PB8	PB10

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

7.4 AFIO レジスタ

レジスタの説明で使用されている略語については、*セクション 1.1 (32 ページ)* を参照してください。

注： ***AFIO_EVCR、AFIO_MAPR、および AFIO_EXTICRX レジスタに読み出し/書き込みを行うには、まず AFIO クロックを有効にしてください。***

ペリフェラルレジスタには、ワード（32 ビット）単位でアクセスする必要があります。

7.4.1 イベント制御レジスタ（AFIO_EVCR）

アドレスオフセット：0x00

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								EVOE	PORT[2:0]			PIN[3:0]			
								rw	rw	rw	rw	rw	rw	rw	rw

ビット 31：8 予約済み

ビット 7 **EVOE：**イベント出力イネーブル

ソフトウェアによってセット/クリアされます。セットされているときには、Cortex の EVENTOUT 出力は、PORT[2:0] および PIN[3:0] ビットによって選択された入出力に接続されます。

ビット 6：4 **PORT[2:0]**：ポート選択

ソフトウェアによってセット/クリアされます。Cortex EVENTOUT 信号の出力に使用するポートを選択します。

注： ***EVENTOUT 信号の出力機能は、ポート PF と PG には適用されません。***

000：PA が選択されます
001：PB が選択されます
010：PC が選択されます
011：PD が選択されます
100：PE が選択されます

ビット 3：0 **PIN[3:0]：**ピン選択（x = A .. E）

ソフトウェアによってセット/クリアされます。Cortex EVENTOUT 信号の出力に使用されるピンを選択します。

0000：Px0 が選択されます
0001：Px1 が選択されます
0010：Px2 が選択されます
0011：Px3 が選択されます
...
1111：Px15 が選択されます

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

7.4.2 オルタネート機能の再配置とデバッグ入出力設定レジスタ（AFIO_MAPR）

アドレスオフセット：0x04

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み					SWJ_CFG[2:0]			予約済み							TIM5CH4_IREMAP
					w	w	w								rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PD01_REMAP	予約済み		TIM4_REMAP	TIM3_REMAP [1:0]		TIM2_REMAP [1:0]		TIM1_REMAP [1:0]		USART3_REMAP[1:0]		USART2_REMAP	USART1_REMAP	I2C1_REMAP	SPI1_REMAP
rw			rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31：27　予約済み

ビット 26：24　**SWJ_CFG[2:0]**：シリアルワイヤ JTAG 設定

これらのビットは書き込み専用です（読み出される値は不定です）。SWJ（シリアルワイヤ JTAG）とトレースオルタネート機能入出力を設定するために使用されます。SWJ は、Cortex デバッグポートへの JTAG または SWD アクセスをサポートします。リセット直後のデフォルト状態は、SWJ オンで、トレースなしです。このため、JTMS/JTCK ピンに特定のシーケンスを送ることによって、JTAG または SW モードを有効にできます。

000：フル SWJ（JTAG-DP + SW-DP）：リセット状態
001：フル SWJ（JTAG-DP + SW-DP）、NJTRST なし
010：JTAG-DP 無効、SW-DP 有効
100：JTAG-DP 無効、SW-DP 無効
その他の組み合わせは無効です。

ビット 23:17　予約済み

ビット 16　**TIM5CH4_IREMAP**：TIM5 チャネル 4 の内部再配置

ソフトウェアによってセット/クリアされます。このビットは、TIM5_CH4 の内部配置を制御します。リセットされると、タイマ TIM5_CH4 は PA3 に接続されます。セットされると、LSI 内部クロックは較正のために TIM5_CH4 入力に接続されます。

注：　このビットは、大容量バリューラインデバイスでのみ使用可能です。

ビット 15　**PD01_REMAP**：OSC_IN/OSC_OUT に対するポート D0/ポートD1 の配置

このビットは、ソフトウェアによってセット/クリアされます。このビットは、PD0 と PD1 の GPIO 機能の配置を制御します。HSE オシレータが使用されないとき（アプリケーションが内部の 8 MHz RC で実行されているとき）には、PD0 と PD1 は OSC_IN と OSC_OUT に配置できます。これは、48 ピンと 64 ピンのパッケージでのみ使用可能です（100 ピンと 144 ピンのパッケージでは PD0と PD1 が使用可能なので、再配置の必要はありません）。

0：PD0 と PD1 は再配置されません。
1：PD0 は OSC_IN に、PD1 は OSC_OUTに再配置されます。

ビット 12　**TIM4_REMAP**：TIM4 の再配置

このビットは、ソフトウェアによってセット/クリアされます。GPIO ポートに対する TIM4 チャネル 1～4 の配置を制御します。

0：再配置なし（TIM4_CH1/PB6、TIM4_CH2/PB7、TIM4_CH3/PB8、TIM4_CH4/PB9）
1：完全な再配置（TIM4_CH1/PD12、TIM4_CH2/PD13、TIM4_CH3/PD14、TIM4_CH4/PD15）

注：　PE0 に関して TIM4_ETR は再配置されません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 11:10 **TIM3_REMAP[1:0]**：TIM3 の再配置

これらのビットは、ソフトウェアによってセット/クリアされます。これらのビットは、GPIO ポートに対する TIM3 チャネル 1～4 の配置を制御します。

00：再配置なし（CH1/PA6、CH2/PA7、CH3/PB0、CH4/PB1）

01：未使用

10：部分的な再配置（CH1/PB4、CH2/PB5、CH3/PB0、CH4/PB1）

11：完全な再配置（CH1/PC6、CH2/PC7、CH3/PC8、CH4/PC9）

注：　PE0 に関して TIM3_ETR は再配置されません。

ビット 9：8 **TIM2_REMAP[1:0]**：TIM2 の再配置

これらのビットは、ソフトウェアによってセット/クリアされます。これらのビットは、GPIO ポートに対する TIM2 チャネル 1～4 と外部トリガ（ETR）の配置を制御します。

00：再配置なし（CH1/ETR/PA0、CH2/PA1、CH3/PA2、CH4/PA3）

01：部分的な再配置（CH1/ETR/PA15、CH2/PB3、CH3/PA2、CH4/PA3）

10：部分的な再配置（CH1/ETR/PA0、CH2/PA1、CH3/PB10、CH4/PB11）

11：完全な再配置（CH1/ETR/PA15、CH2/PB3、CH3/PB10、CH4/PB11）

ビット 7：6 **TIM1_REMAP[1:0]**：TIM1 の再配置

これらのビットは、ソフトウェアによってセット/クリアされます。GPIO ポートに対する TIM1 チャネル 1～4、1N～3N、外部トリガ（ETR）、およびブレーク入力（BKIN）の配置を制御します。

00：再配置なし（ETR/PA12、CH1/PA8、CH2/PA9、CH3/PA10、CH4/PA11、BKIN/PB12、CH1N/PB13、CH2N/PB14、CH3N/PB15）

01：部分的な再配置（ETR/PA12、CH1/PA8、CH2/PA9、CH3/PA10、CH4/PA11、BKIN/PA6、CH1N/PA7、CH2N/PB0、CH3N/PB1）

10：未使用

11：完全な再配置（ETR/PE7、CH1/PE9、CH2/PE11、CH3/PE13、CH4/PE14、BKIN/PE15、CH1N/PE8、CH2N/PE10、CH3N/PE12）

ビット 5：4 **USART3_REMAP[1:0]**：USART3 の再配置

これらのビットは、ソフトウェアによってセット/クリアされます。GPIO ポートに対する USART3 の CTS、RTS、CK、TX、および RX のオルタネート機能の配置を制御します。

00：再配置なし（TX/PB10、RX/PB11、CK/PB12、CTS/PB13、RTS/PB14）

01：部分的な再配置（TX/PC10、RX/PC11、CK/PC12、CTS/PB13、RTS/PB14）

10：未使用

11：完全な再配置（TX/PD8、RX/PD9、CK/PD10、CTS/PD11、RTS/PD12）

ビット 3 **USART2_REMAP**：USART2 の再配置

このビットは、ソフトウェアによってセット/クリアされます。このビットは、GPIO ポートに対する USART2 の CTS、RTS、CK、TX、および RX のオルタネート機能の配置を制御します。

0：再配置なし（CTS/PA0、RTS/PA1、TX/PA2、RX/PA3、CK/PA4）

1：再配置（CTS/PD3、RTS/PD4、TX/PD5、RX/PD6、CK/PD7）

ビット 2 **USART1_REMAP**：USART1 の再配置

このビットは、ソフトウェアによってセット/クリアされます。GPIO ポートに対する USART1 の TX および RX のオルタネート機能の配置を制御します。

0：再配置なし（TX/PA9、RX/PA10）

1：再配置（TX/PB6、RX/PB7）

ビット 1 **I2C1_REMAP**：I2C1 の再配置

このビットは、ソフトウェアによってセット/クリアされます。このビットは、GPIO ポートに対する I2C1 の SCL および SDA のオルタネート機能の配置を制御します。

0：再配置なし（SCL/PB6、SDA/PB7）

1：再配置（SCL/PB8、SDA/PB9）

ビット 0 **SPI1_REMAP**：SPI1 の再配置

このビットは、ソフトウェアによってセット/クリアされます。GPIO ポートに対する SPI1 の NSS、SCK、MISO、MOSI のオルタネート機能の配置を制御します。

0：再配置なし（NSS/PA4、SCK/PA5、MISO/PA6、MOSI/PA7）

1：再配置（NSS/PA15、SCK/PB3、MISO/PB4、MOSI/PB5）

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

7.4.3 外部割り込み設定レジスタ 1（AFIO_EXTICR1）

アドレスオフセット：0x08

リセット値：0x0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EXTI3[3:0]				EXTI2[3:0]				EXTI1[3:0]				EXTI0[3:0]			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31：16　予約済み

ビット 15：0　**EXTIx[3:0]**：EXTI x 設定（x= 0～3）

これらのビットは、EXTIx 外部割り込みのソース入力を選択するために、ソフトウェアによって書き込まれます。*セクション 8.2.5：外部割り込み/イベントラインのマッピング（136 ページ）*を参照してください。

0000：PA[x] ピン
0001：PB[x] ピン
0010：PC[x] ピン
0011：PD[x] ピン
0100：PE[x] ピン
0101：PF[x] ピン
0110：PG[x] ピン

7.4.4 外部割り込み設定レジスタ 2（AFIO_EXTICR2）

アドレスオフセット：0x0C

リセット値：0x0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EXTI7[3:0]				EXTI6[3:0]				EXTI5[3:0]				EXTI4[3:0]			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31：16　予約済み

ビット 15：0　**EXTIx[3:0]**：EXTI x 設定（x= 4～7）

これらのビットは、EXTIx 外部割り込みのソース入力を選択するために、ソフトウェアによって書き込まれます。

0000：PA[x] ピン
0001：PB[x] ピン
0010：PC[x] ピン
0011：PD[x] ピン
0100：PE[x] ピン
0101：PF[x] ピン
0110：PG[x] ピン

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

7.4.5 外部割り込み設定レジスタ 3（AFIO_EXTICR3）

アドレスオフセット：0x10

リセット値：0x0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EXTI11[3:0]				EXTI10[3:0]				EXTI9[3:0]				EXTI8[3:0]			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31：16　予約済み

ビット 15：0　**EXTIx[3:0]**：EXTI x 設定（x= 8～11）

これらのビットは、EXTIx 外部割り込みのソース入力を選択するために、ソフトウェアによって書き込まれます。

0000：PA[x] ピン
0001：PB[x] ピン
0010：PC[x] ピン
0011：PD[x] ピン
0100：PE[x] ピン
0101：PF[x] ピン
0110：PG[x] ピン

7.4.6 外部割り込み設定レジスタ 4（AFIO_EXTICR4）

アドレスオフセット：0x14

リセット値：0x0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EXTI15[3:0]				EXTI14[3:0]				EXTI13[3:0]				EXTI12[3:0]			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31：16　予約済み

ビット 15：0　**EXTIx[3:0]**：EXTI x 設定（x= 12～15）

これらのビットは、EXTIx 外部割り込みのソース入力を選択するために、ソフトウェアによって書き込まれます。

0000：PA[x] ピン
0001：PB[x] ピン
0010：PC[x] ピン
0011：PD[x] ピン
0100：PE[x] ピン
0101：PF[x] ピン
0110：PG[x] ピン

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

7.4.7 オルタネート機能の再配置とデバッグ入出力設定レジスタ（AFIO_MAPR2）

アドレスオフセット：0x1C

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み		MISC_REMAP	TIM12_REMAP	TIM67_DAC_DMA_REMAP	FSMC_NADV	TIM14_REMAP	TIM13_REMAP	予約済み			TIM1_DMA_REMAP	CEC_REMAP	TIM17_REMAP	TIM16_REMAP	TIM15_REMAP
		rw	rw	rw	rw	rw	rw				rw	rw	rw	rw	rw

ビット 31：14　予約済み

ビット 13　**MISC_REMAP**：その他の機能の再配置

このビットは、ソフトウェアによってセット/クリアされます。その他の機能を制御します。

ベクタテーブルにおける DMA2 チャネル 5 割り込みの位置。

DAC トリガ 3 のタイマ選択（TSEL[2:0] = 011、詳細については DAC_CR レジスタを参照）。

0：DMA2 チャネル 5 の割り込みは DMA2 チャネル 4 とともに位置 59 に配置され、TIM5 TRGO イベントは DAC トリガ 3 として選択され、TIM5 は TIM1/3 をトリガします。

1：DMA2 チャネル 5 の割り込みは位置 60 に別個に配置され、TIM15 TRGO イベントは DAC トリガ 3 として選択され、TIM15 は TIM1/3 をトリガします。

注：　このビットは、大容量バリューラインデバイスでのみ使用可能です。

ビット 12　**TIM12_REMAP**：TIM12 の再配置

このビットは、ソフトウェアによってセット/クリアされます。GPIO ポートに対する TIM12_CH1 および TIM12_CH2 オルタネート機能の配置を制御します。

0：再配置なし（CH1/PC4、CH2/PC5）

1：再配置（CH1/PB12、CH2/PB13）

注：　このビットは、大容量バリューラインデバイスでのみ使用可能です。

ビット 11　**TIM76_DAC_DMA_REMAP**：TIM67_DAC DMA の再配置

このビットは、ソフトウェアによってセット/クリアされます。DMA1 チャネルに対する TIM6_DAC1 および TIM7_DAC2 の DMA リクエストの配置を制御します。

0：再配置なし（TIM6_DAC1 DMA リクエスト/DMA2 チャネル3、TIM7_DAC2 DMA リクエスト/DMA2 チャネル4）

1：再配置（TIM6_DAC1 DMA リクエスト/DMA1 チャネル3、TIM7_DAC2 DMA リクエスト/DMA1 チャネル4）

ビット 10　**FSMC_NADV**：NADV の接続/切断

このビットは、ソフトウェアによってセット/クリアされます。オプションの FSMC_NADV 信号の使用を制御します。

0：NADV 信号は出力に接続されます（デフォルト）。

1：NADV 信号は接続*されません*。入出力ピンは別のペリフェラルで使用できます。

注：　このビットは、大容量バリューラインデバイスでのみ使用可能です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 9 **TIM14_REMAP**：TIM14 の再配置

このビットは、ソフトウェアによってセット/クリアされます。GPIO ポートに対する TIM14_CH1 オルタネート機能の配置を制御します。

0：再配置なし（PC9）

1：再配置（PB1）

ビット 8 **TIM13_REMAP**：TIM13 の再配置

このビットは、ソフトウェアによってセット/クリアされます。GPIO ポートに対する TIM13_CH1 オルタネート機能の配置を制御します。

0：再配置なし（PC8）

1：再配置（PB0）

ビット 7：5 予約済み

ビット 4 **TIM1_DMA_REMAP**：TIM1 DMA の再配置

このビットは、ソフトウェアによってセット/クリアされます。DMA1 チャネルに対する TIM1 チャネル 1 および チャネル 2 の DMA リクエストの配置を制御します。

0：再配置なし（TIM1_CH1 DMA リクエスト/DMA1 チャネル2、TIM1_CH2 DMA リクエスト/DMA1 チャネル3）

1：再配置（TIM1_CH1 DMA リクエスト/DMA1 チャネル6、TIM1_CH2 DMA リクエスト/DMA1 チャネル6）

ビット 3 **CEC_REMAP**：CEC の再配置

このビットは、ソフトウェアによってセット/クリアされます。GPIO ポートに対する CEC ラインのオルタネート機能の配置を制御します。

0：再配置なし（CEC/PB8）

1：再配置（CEC/PB10）

ビット 2 **TIM17_REMAP**：TIM17 の再配置

このビットは、ソフトウェアによってセット/クリアされます。GPIO ポートに対する TIM17 チャネル 1 のオルタネート機能の配置を制御します。

0：再配置なし（CH1/PB9）

1：再配置（CH1/PA7）

ビット 1 **TIM16_REMAP**：TIM16 の再配置

このビットは、ソフトウェアによってセット/クリアされます。GPIO ポートに対する TIM16 チャネル 1 のオルタネート機能の配置を制御します。

0：再配置なし（CH1/PB8）

1：再配置（CH1/PA6）

ビット 0 **TIM15_REMAP**：TIM15 の再配置

このビットは、ソフトウェアによってセット/クリアされます。GPIO ポートに対する TIM15 チャネル 1 および 2 のオルタネート機能の配置を制御します。

0：再配置なし（CH1/PA2、CH2/PA3）

1：再配置（CH1/PB14、CH2/PB15）

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

7.5 GPIO と AFIO のレジスタマップ

レジスタ境界アドレスについては、*表 1：小容量および中容量デバイスのレジスタ境界アドレス*と*表 2：大容量デバイスのレジスタ境界アドレス*を参照してください。次の表に、GPIO と AFIO のレジスタマップとリセット値を示します。

表 48. GPIO のレジスタマップとリセット値

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	GPIOx_CRL	CNF7 [1:0]		MODE7 [1:0]		CNF6 [1:0]		MODE6 [1:0]		CNF5 [1:0]		MODE5 [1:0]		CNF4 [1:0]		MODE4 [1:0]		CNF3 [1:0]		MODE3 [1:0]		CNF2 [1:0]		MODE2 [1:0]		CNF1 [1:0]		MODE1 [1:0]		CNF0 [1:0]		MODE0 [1:0]	
	リセット値	0	1	0	0	0	1	0	0	0	1	0	0	0	1	0	0	0	1	0	0	0	1	0	0	0	1	0	0	0	1	0	0
0x04	GPIOx_CRH	CNF 15 [1:0]		MODE15 [1:0]		CNF 14 [1:0]		MODE14 [1:0]		CNF 13 [1:0]		MODE13 [1:0]		CNF 12 [1:0]		MODE12 [1:0]		CNF 11 [1:0]		MODE11 [1:0]		CNF 10 [1:0]		MODE10 [1:0]		CNF 9 [1:0]		MODE9 [1:0]		CNF 8 [1:0]		MODE8 [1:0]	
	リセット値	0	1	0	0	0	1	0	0	0	1	0	0	0	1	0	0	0	1	0	0	0	1	0	0	0	1	0	0	0	1	0	0
0x08	GPIOx_IDR	予約済み																IDR[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0C	GPIOx_ODR	予約済み																ODR[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x10	GPIOx_BSRR	BR[15:0]																BSR[15:0]															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x14	GPIOx_BRR	予約済み																BR[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x18	GPIOx_LCKR	予約済み															LCKK	LCK[15:0]															
	リセット値																0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 49. AFIO のレジスタマップとリセット値

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	AFIO_EVCR	予約済み																									EVOE	PORT[2:0]			PIN[3:0]			
	リセット値																										0	0	0	0	0	0	0
0x04	AFIO_MAPR	予約済み					SWJ_ CFG[2:0]			予約済み							TIM5CH4_IREMAP	PD01_REMAP	予約済み		TIM4_REMAP	TIM3_REMAP[1:0]		TIM2_REMAP[1:0]		TIM1_REMAP[1:0]		USART3_REMAP[1:0]		USART2_REMAP	USART1_REMAP		I2C1_REMAP	SPI1_REMAP
	リセット値						0	0	0								0	0			0	0	0	0	0	0	0	0	0	0	0	0	0
0x08	AFIO_EXTICR1	予約済み																EXTI3[3:0]				EXTI2[3:0]				EXTI1[3:0]				EXTI0[3:0]			
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0C	AFIO_EXTICR2	予約済み																EXTI7[3:0]				EXTI6[3:0]				EXTI5[3:0]				EXTI4[3:0]			
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x10	AFIO_EXTICR3	予約済み																EXTI11[3:0]				EXTI10[3:0]				EXTI9[3:0]				EXTI8[3:0]			
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x14	AFIO_EXTICR4	予約済み																EXTI15[3:0]				EXTI14[3:0]				EXTI13[3:0]				EXTI12[3:0]			
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 49. AFIO のレジスタマップとリセット値 （続き）

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x1C	AFIO_MAPR2	予約済み																		MISC_ REMAP	TIM12_REMAP	TIM67_DAC_ DMA_ REMAP	FSMC_NADV	TIM14_REMAP	TIM13_REMAP	予約済み			TIM1_DMA_REMAP	CEC_REMAP	TIM17_REMAP	TIM16_REMAP	TIM15_REMAP
	リセット値																			0	0	0	0	0	0				0	0	0	0	0

レジスタ境界アドレスについては、*表 1：小容量および中容量デバイスのレジスタ境界アドレス*と*表 2：大容量デバイスのレジスタ境界アドレス*を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

8 割り込みとイベント

小容量バリューラインデバイスは、フラッシュメモリ容量が 16～32 KB の STM32F100xx マイクロコントローラです。

中容量バリューラインデバイスは、フラッシュメモリ容量が 64～128 KB の STM32F100xx マイクロコントローラです。

大容量バリューラインデバイスは、フラッシュメモリ容量が 256～512 KB の STM32F100xx マイクロコントローラです。

このセクションは、別段の指定がない限り、STM32F100xx ファミリ全体に適用されます。

8.1 ネスト化されたベクタ割り込みコントローラ（NVIC）

主な機能

- 大容量バリューラインデバイスにおける 60（小容量および中容量バリューラインデバイスでは 56）のマスク可能な割り込みチャネル（Cortex™-M3 の 16 個の割り込みラインは数に含まれていません）。
- 16 のプログラム可能な優先レベル（4 ビットの割り込み優先順位を使用）
- 遅延時間の少ない例外および割り込み処理
- 電源管理制御
- システム制御レジスタの実装

NVIC とプロセッサコアのインタフェースが密結合され、割り込み処理の遅延時間を小さくし、遅れて到着した割り込みを効率的に処理できます。

コア例外を含むすべての割り込みは、NVIC によって管理されます。例外と NVIC プログラミングの詳細については、*STM32F100xx Cortex-M3 プログラミングマニュアル*を参照してください。（関連ドキュメント（1 ページ）を参照）

8.1.1 SysTick 較正値レジスタ

SysTick 較正値は 9000 に設定され、SysTick クロックを 3MHz（最大 HCLK/8）に設定した状態で 3ms という基準タイムベースを与えます。

8.1.2 割り込みベクタと例外ベクタ

表 50. STM32F100xxデバイスのベクタテーブル

位置	優先度	優先種別	項目（略称）	説明	アドレス
	-	-	-	予約済み	0x0000_0000
	-3	固定	リセット	リセット	0x0000_0004
	-2	固定	NMI_Handler	ノンマスカブル割り込み。RCC クロックセキュリティシステム（CSS）は NMI ベクタにリンクされます。	0x0000_0008
	-1	固定	HardFault_Handler	すべての異常	0x0000_000C
	0	設定可能	MemManage_Handler	メモリ管理	0x0000_0010

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 50. STM32F100xxデバイスのベクタテーブル （続き）

位置	優先度	優先種別	項目（略称）	説明	アドレス
	1	設定可能	BusFault_Handler	プリフェッチ異常、メモリアクセス異常	0x0000_0014
	2	設定可能	UsageFault_Handler	未定義命令または無効状態	0x0000_0018
	-	-	-	予約済み	0x0000_001C - 0x0000_002B
	3	設定可能	SVC_Handler	SWI 命令によるシステムサービスコール	0x0000_002C
	4	設定可能	DebugMon_Handler	デバッグモニタ	0x0000_0030
	-	-	-	予約済み	0x0000_0034
	5	設定可能	PendSV_Handler	ペンディング可能なシステムサービスリクエスト	0x0000_0038
	6	設定可能	SysTick_Handler	システムティックタイマ	0x0000_003C
0	7	設定可能	WWDG	ウィンドウ型ウォッチドッグ割り込み	0x0000_0040
1	8	設定可能	PVD	PVD 検出割り込み（EXTI ライン経由）	0x0000_0044
2	9	設定可能	TAMPER_STAMP	タンパおよびタイムスタンプ割り込み（EXTI ライン経由）	0x0000_0048
3	10	設定可能	RTC_WKUP	RTC ウェイクアップ割り込み（EXTI ライン経由）	0x0000_004C
4	11	設定可能	FLASH	フラッシュグローバル割り込み	0x0000_0050
5	12	設定可能	RCC	RCC グローバル割り込み	0x0000_0054
6	13	設定可能	EXTI0	EXTI ライン 0 割り込み	0x0000_0058
7	14	設定可能	EXTI1	EXTI ライン 1 割り込み	0x0000_005C
8	15	設定可能	EXTI2	EXTI ライン 2 割り込み	0x0000_0060
9	16	設定可能	EXTI3	EXTI ライン 3 割り込み	0x0000_0064
10	17	設定可能	EXTI4	EXTI ライン 4 割り込み	0x0000_0068
11	18	設定可能	DMA1_Channel1	DMA チャネル 1 グローバル割り込み	0x0000_006C
12	19	設定可能	DMA1_Channel2	DMA1 チャネル 2 グローバル割り込み	0x0000_0070
13	20	設定可能	DMA1_Channel3	DMA1 チャネル 3 グローバル割り込み	0x0000_0074
14	21	設定可能	DMA1_Channel4	DMA1 チャネル 4 グローバル割り込み	0x0000_0078
15	22	設定可能	DMA1_Channel5	DMA1 チャネル 5 グローバル割り込み	0x0000_007C
16	23	設定可能	DMA1_Channel6	DMA1 チャネル 6 グローバル割り込み	0x0000_0080
17	24	設定可能	DMA1_Channel7	DMA1 チャネル 7 グローバル割り込み	0x0000_0084
18	25	設定可能	ADC1	ADC1 グローバル割り込み	0x0000_0088
-	-	-	-	予約済み	0x0000_008C - 0x0000_0098
23	30	設定可能	EXTI9_5	EXTI ライン [9:5] 割り込み	0x0000_009C
24	31	設定可能	TIM1_BRK_TIM15	TIM1 ブレーク割り込みおよび TIM15 グローバル割り込み	0x0000_00A0
25	32	設定可能	TIM1_UP_TIM16	TIM1 更新割り込みおよび TIM16 グローバル割り込み	0x0000_00A4

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 50. STM32F100xxデバイスのベクタテーブル （続き）

位置	優先度	優先種別	項目（略称）	説明	アドレス
26	33	設定可能	TIM1_TRG_COM_TIM17	TIM1 トリガおよび転流割り込みおよび TIM17 グローバル割り込み	0x0000_00A8
27	34	設定可能	TIM1_CC	TIM1 キャプチャ /比較割り込み	0x0000_00AC
28	35	設定可能	TIM2	TIM2 グローバル割り込み	0x0000_00B0
29	36	設定可能	TIM3	TIM3 グローバル割り込み	0x0000_00B4
30	37	設定可能	TIM4	TIM4 グローバル割り込み	0x0000_00B8
31	38	設定可能	I2C1_EV	I^2C1 イベント割り込み	0x0000_00BC
32	39	設定可能	I2C1_ER	I^2C1 エラー割り込み	0x0000_00C0
33	40	設定可能	I2C2_EV	I^2C2 イベント割り込み	0x0000_00C4
34	41	設定可能	I2C2_ER	I^2C2 エラー割り込み	0x0000_00C8
35	42	設定可能	SPI1	SPI1 グローバル割り込み	0x0000_00CC
36	43	設定可能	SPI2	SPI2 グローバル割り込み	0x0000_00D0
37	44	設定可能	USART1	USART1 グローバル割り込み	0x0000_00D4
38	45	設定可能	USART2	USART2 グローバル割り込み	0x0000_00D8
39	46	設定可能	USART3	USART3 グローバル割り込み	0x0000_00DC
40	47	設定可能	EXTI15_10	EXTI ライン [15:10] 割り込み	0x0000_00E0
41	48	設定可能	RTC_Alarm	RTC アラーム（A および B）割り込み（EXTI ライン経由）	0x0000_00E4
42	49	設定可能	CEC	CEC グローバル割り込み	0x0000_00E8
43	50	設定可能	TIM12	TIM12 グローバル割り込み	0x0000_00EC
44	51	設定可能	TIM13	TIM13 グローバル割り込み	0x0000_00F0
45	52	設定可能	TIM14	TIM14 グローバル割り込み	0x0000_00F4
-	-	-	-	予約済み	0x0000_00F8 - 0x0000_00FC
48	55	設定可能	FSMC	FSMC グローバル割り込み	0x0000_0100
-	-	-	-	予約済み	0x0000_0104
50	57	設定可能	TIM5	TIM5 グローバル割り込み	0x0000_0108
51	58	設定可能	SPI3	SPI3 グローバル割り込み	0x0000_010C
52	59	設定可能	UART4	UART4 グローバル割り込み	0x0000_0110
53	60	設定可能	UART5	UART5 グローバル割り込み	0x0000_0114
54	61	設定可能	TIM6_DAC	TIM6 グローバル割り込みおよび DAC アンダーラン割り込み	0x0000_0118
55	62	設定可能	TIM7	TIM7 グローバル割り込み	0x0000_011C
56	63	設定可能	DMA2_Channel1	DMA2 チャネル 1 グローバル割り込み	0x0000_0120
57	64	設定可能	DMA2_Channel2	DMA2 チャネル 2 グローバル割り込み	0x0000_0124
58	65	設定可能	DMA2_Channel3	DMA2 チャネル 3 グローバル割り込み	0x0000_0128

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 50. STM32F100xxデバイスのベクタテーブル （続き）

位置	優先度	優先種別	項目（略称）	説明	アドレス
59	66	設定可能	DMA2_Channel4_5	DMA2 チャネル 4 および DMA2 チャネル 5 グローバル割り込み	0x0000_012C
60	67	設定可能	DMA2_Channel5(1)	DMA2 チャネル 5 グローバル割り込み	0x0000_0130

1. 大容量バリューラインデバイスでは、DMA2 チャネル 5 が位置 60 に配置されるのは、AFIO_MAPR2 レジスタの MISC_REMAP ビットがセットされた場合に限られ、DMA2 チャネル 2 が位置 59 で DMA2 チャネル 4 と接続されるのは、AFIO_MAPR2 レジスタの MISC_REMAP ビットがリセットされたときです。

8.2 外部割り込み/イベントコントローラ（EXTI）

イベント/割り込みリクエストを生成するための外部割り込み/イベントコントローラは、最大 18 本のエッジ検出回路で構成されます。各入力ラインは、個別に設定可能で、タイプ（パルスまたはペンディング）と対応するトリガイベント（立ち上がり、立ち下がり、または両方）を選択できます。また、ラインごとにマスクをかけることもできます。ペンディングレジスタは、割り込みリクエストのステータスラインを維持します。

8.2.1 主な特長

EXTI コントローラは次のような特長を備えています。

- 割り込み/イベントラインごとに独立したトリガとマスク
- 割り込みラインごとに専用のステータスビット
- 最大 18 本 のソフトウェアイベント/割り込みリクエストの生成
- APB2 クロック周期よりも短いパルス幅の外部信号の検出。このパラメータの詳細については、データシートの電気特性の項を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

8.2.2 ブロック図

*図 18*にブロック図を示します。

図 18. 外部割り込み/イベントコントローラのブロック図

8.2.3 ウェイクアップイベント管理

STM32F100xx は、外部イベントや内部イベントを処理することによって、コア（WFE）をウェイクアップできます。ウェイクアップイベントは、次のいずれかによって生成できます。

- ペリフェラル制御レジスタで割り込みを有効にし、NVIC では有効にせず、Cortex-M3 システム制御レジスタの SEVONPEND ビットを有効にします。MCU が WFE からリスタートするときには、(NVIC 割り込みクリアペンディングレジスタの) ペリフェラル割り込みペンディングビットとペリフェラル NVIC IRQ チャネルペンディングビットをクリアする必要があります。
- または、外部または内部 EXTI ラインをイベントモードに設定します。CPU が WFE からリスタートするときには、イベントラインに対応するペンディングビットはセットされていないので、ペリフェラル割り込みペンディングビットや NVIC IRQ チャネルペンディングビットをクリアする必要はありません。

外部ラインをウェイクアップイベントとして使用する方法については、*セクション 8.2.4：機能詳細*を参照してください。

8.2.4 機能詳細

割り込みを生成するには、割り込みラインを設定し、有効にする必要があります。それには、2 つのトリガレジスタに希望するエッジ検出をプログラミングし、割り込みマスクレジスタの対応するビットに"1"を書き込むことによって割り込みリクエストを有効にします。選択されたエッジが外部割り込みラインで発生すると、割り込みリクエストが生成されます。割り込みラインに対応するペンディン

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

グビットもセットされます。このリクエストは、ペンディングレジスタに"1"を書き込むことによってリセットされます。

イベントを生成するには、イベントラインを設定し、有効にする必要があります。それには、2 つのトリガレジスタに希望するエッジ検出をプログラミングし、イベントマスクレジスタの対応するビットに"1"を書き込むことによってイベントリクエストを有効にします。選択されたエッジがイベントラインで発生すると、イベントパルスが生成されます。イベントラインに対応するペンディングビットはセットされません。

割り込み/イベントリクエストは、ソフトウェア割り込み/イベントレジスタに"1"を書き込むことによって、ソフトウェアによって生成することもできます。

ハードウェア割り込みの選択

18 本のラインを割り込みソースとして設定するには、次の手順を使用します。

- 18 本の割り込みラインのマスクビットを設定します（EXTI_IMR）。
- 割り込みラインのトリガ選択ビットを設定します（EXTI_RTSR および EXTI_FTSR）。
- 18 本のラインのいずれかからの割り込みを正しく処理できるように、外部割り込みコントローラ（EXTI）にマップされた NVIC IRQ チャネルを制御するイネーブルビットとマスクビットを設定します。

ハードウェアイベントの選択

18 本のラインをイベントソースとして設定するには、次の手順を使用します。

- 18 本のイベントラインのマスクビットを設定します（EXTI_EMR）。
- イベントラインのトリガ選択ビットを設定します（EXTI_RTSR、EXTI_FTSR）。

ソフトウェア割り込み/イベントの選択

18 本のラインは、ソフトウェア割り込み/イベントラインとして設定できます。ソフトウェア割り込みの生成には、次の手順を使用します。

- 18 本の割り込み/イベントラインのマスクビットを設定します（EXTI_IMR、EXTI_EMR）。
- ソフトウェア割り込みレジスタの必要なビットをセットします（EXTI_SWIER）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

8.2.5 外部割り込み/イベントラインのマッピング

112 個の GPIO は、次のように、16 本の外部割り込み/イベントラインに接続されます。

図 19. 外部割り込み/イベントの GPIO マッピング

1. 外部割り込み/イベントラインを GPIO に割り当てるために AFIO_EXTICRx を設定するには、最初に AFIO クロックを有効にしてください。*セクション 6.3.7 :APB2 ペリフェラルクロック有効レジスタ (RCC_APB2ENR)* を参照してください。

他の 2 本の EXTI ラインは次のように接続されます。

- EXTI ライン 16 は PVD 出力に接続されます。
- EXTI ライン 17 は RTC アラームイベントに接続されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

8.3 EXTI レジスタ

レジスタの説明で使用される略語については、*セクション 1.1（32 ページ）*を参照してください。

ペリフェラルレジスタには、ワード（32 ビット）単位でアクセスする必要があります。

8.3.1 割り込みマスクレジスタ（EXTI_IMR）

アドレスオフセット：0x00
リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み														MR17	MR16
														rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MR15	MR14	MR13	MR12	MR11	MR10	MR9	MR8	MR7	MR6	MR5	MR4	MR3	MR2	MR1	MR0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31： 予約済み、常にリセット値（0）を保持してください。

ビット ：0 **MRx：**ライン x の割り込みマスク
0：ライン x からの割り込みリクエストはマスクされます。
1：ライン x からの割り込みリクエストはマスクされません。

8.3.2 イベントマスクレジスタ（EXTI_EMR）

アドレスオフセット：0x04
リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み														MR17	MR16
														rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MR15	MR14	MR13	MR12	MR11	MR10	MR9	MR8	MR7	MR6	MR5	MR4	MR3	MR2	MR1	MR0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:18 予約済み、常にリセット値（0）を保持してください。

ビット 17:0 **MRx：**ライン x のイベントマスク
0：ライン x からのイベントリクエストはマスクされます。
1：ライン x からのイベントリクエストはマスクされません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

8.3.3 立ち上がりトリガ選択レジスタ（EXTI_RTSR）

アドレスオフセット：0x08
リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み														TR17	TR16
														rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TR15	TR14	TR13	TR12	TR11	TR10	TR9	TR8	TR7	TR6	TR5	TR4	TR3	TR2	TR1	TR0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:18　予約済み、常にリセット値（0）を保持してください。

ビット 17:0　**TRx**：ライン x の立ち上がりトリガイベント設定ビット
0：入力ラインの（イベントと割り込みについて）立ち上がりトリガは無効です。
1：入力ラインの（イベントと割り込みについて）立ち上がりトリガは有効です。

注：　外部ウェイクアップラインはエッジトリガであるため、グリッチが生成されないようにする必要があります。
EXTI_RTSR レジスタへの書き込み中に外部割り込みラインの立ち上がりエッジが発生した場合、ペンディングビットはセットされません。

同じ割り込みラインに対して、立ち上がりエッジトリガと立ち下がりエッジトリガを設定することができます。この設定では、両方のエッジでトリガ条件が生成されます。

8.3.4 立ち下がりトリガ選択レジスタ（EXTI_FTSR）

アドレスオフセット：0x0C
リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み														TR17	TR16
														rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TR15	TR14	TR13	TR12	TR11	TR10	TR9	TR8	TR7	TR6	TR5	TR4	TR3	TR2	TR1	TR0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:18　予約済み、常にリセット値（0）を保持してください。

ビット 17:0　**TRx**：ライン x の立ち下がりトリガイベント設定ビット
0：入力ラインの（イベントと割り込みについて）立ち下がりトリガは無効です。
1：入力ラインの（イベントと割り込みについて）立ち下がりトリガは有効です。

注：　外部ウェイクアップラインはエッジトリガであるため、グリッチが生成されないようにする必要があります。
EXTI_FTSR レジスタへの書き込み中に外部割り込みラインの立ち下がりエッジが発生した場合、ペンディングビットはセットされません。

同じ割り込みラインに対して、立ち上がりエッジトリガと立ち下がりエッジトリガを設定することができます。この設定では、両方のエッジでトリガ条件が生成されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

8.3.5 ソフトウェア割り込みイベントレジスタ（EXTI_SWIER）

アドレスオフセット：0x10
リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み														SWIER 17	SWIER 16
														rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SWIER 15	SWIER 14	SWIER 13	SWIER 12	SWIER 11	SWIER 10	SWIER 9	SWIER 8	SWIER 7	SWIER 6	SWIER 5	SWIER 4	SWIER 3	SWIER 2	SWIER 1	SWIER 0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:18 予約済み、常にリセット値（0）を保持してください。

ビット 17:0 **SWIERx**：ライン x のソフトウェア割り込み

このビットが 0 のときに 1 を書き込むと、EXTI_PR の対応するペンディングビットがセットされます。EXTI_IMR と EXTI_EMR でこのラインの割り込みが有効にされた場合、割り込みリクエストが生成されます。

このビットをクリアするには、EXTI_PR の対応するビットをクリアします（ビットに 1 を書き込みます）。

8.3.6 ペンディングレジスタ（EXTI_PR）

アドレスオフセット：0x14
リセット値：未定義

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み														PR17	PR16
														rc_w1	rc_w1

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PR15	PR14	PR13	PR12	PR11	PR10	PR9	PR8	PR7	PR6	PR5	PR4	PR3	PR2	PR1	PR0
rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1

ビット 31:18 予約済み、常にリセット値（0）を保持してください。

ビット 17:0 **PRx**：ペンディングビット

0：トリガリクエストは発生していません。
1：選択されたトリガリクエストが発生しました。
このビットは、選択されたエッジイベントが外部割り込みラインで発生したときにセットされます。このビットは、このビットに 1 を書き込むことによって、またはエッジ検出回路の感度を変更することによってクリアされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

8.3.7 EXTI レジスタマップ

次の表に、EXTI レジスタマップとリセット値を示します。

表 51. 外部割り込み/イベントコントローラのレジスタマップとリセット値

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	EXTI_IMR	予約済み														MR[17:0]																	
	リセット値															0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x04	EXTI_EMR	予約済み														EMR[17:0]																	
	リセット値															0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x08	EXTI_RTSR	予約済み														RTSR[17:0]																	
	リセット値															0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0C	EXTI_FTSR	予約済み														FTSR[17:0]																	
	リセット値															0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x10	EXTI_SWIER	予約済み														SWIER[17:0]																	
	リセット値															0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x14	EXTI_PR	予約済み														PR[17:0]																	
	リセット値															0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

レジスタ境界アドレスについては、*表 1：小容量および中容量デバイスのレジスタ境界アドレス*と*表 2：大容量デバイスのレジスタ境界アドレス*を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

9 DMA コントローラ（DMA）

小容量バリューラインデバイスは、フラッシュメモリ容量が 16～32 KB の STM32F100xx マイクロコントローラです。

中容量バリューラインデバイスは、フラッシュメモリ容量が 64～128 KB の STM32F100xx マイクロコントローラです。

大容量バリューラインデバイスは、フラッシュメモリ容量が 256～512 KB の STM32F100xx マイクロコントローラです。

このセクションは、別段の指定がない限り、STM32F100xx ファミリ全体に適用されます。

9.1 DMA の概要

DMA（Direct Memory Access）は、ペリフェラルとメモリ間、およびメモリ内で高速データ転送を行うために使用されます。データは、CPU の動作を必要とすることなく、DMA によって高速に転送できます。これにより、CPU リソースを他の作業のためにあけておくことができます。

2 つの DMA コントローラは合計 12 チャネル（DMA1 に 7 チャネル、DMA2 に 5 チャネル）を搭載し、それぞれが 1 つ以上のペリフェラルからのメモリアクセスリクエストを管理します。また、DMA リクエスト間の優先順位を管理するアービタを内蔵しています。

9.2 DMA の主な機能

- 独立して設定可能な 12 チャネル（リクエスト）：DMA1 に 7、DMA2 に 5
- 12 チャネルのそれぞれは専用のハードウェア DMA リクエストに接続されます。また、各チャネルではソフトウェアトリガもサポートされます。この設定はソフトウェアによって行われます。
- 1 つの DMA の各チャネルからのリクエスト間の優先順位は、ソフトウェアによってプログラミングできます（*最高*、*高*、*中*、*低*の 4 レベル）。レベルが等しい場合はハードウェアによって決まります（リクエスト 1 はリクエスト 2 よりも優先、など）。
- 転送元と転送先で転送サイズ（バイト、ハーフワード、ワード）を個別に指定でき、この際にパッキングとアンパッキングがエミュレートされます。転送元/転送先アドレスは、データサイズに合わせる必要があります。
- サーキュラバッファ管理のサポート
- チャネルごとに 3 つのイベントフラグ（DMA 1/2 転送、DMA 転送完了、DMA 転送エラー）の論理和が 1 つの割り込みリクエストに格納されます。
- メモリ間転送
- ペリフェラルからメモリ、メモリからペリフェラル、およびペリフェラル相互間の転送
- 転送元/転送先として、フラッシュ、SRAM、APB1、APB2、および AHB ペリフェラルへのアクセス
- 転送データ数のプログラミングが可能：最大 65536

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 20 と *図 21*にブロック図を示します。

図 20. 小容量および中容量 STM32F100xx デバイスの DMA ブロック図

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 21. 大容量 STM32F100xx デバイスの DMA ブロック図

注： 1 DMA2 コントローラとその関連リクエストは、大容量バリューラインデバイスでのみ使用可能です。

2 SPI3、UART4、UART5、および TIM5 DMA リクエストは、大容量バリューラインデバイスでのみ使用可能です。

9.3 DMA の機能詳細

DMA コントローラは、システムバスを Cortex™-M3 コアと共有することによってダイレクトメモリ転送を実行します。CPU と DMA が同じ転送先（メモリまたはペリフェラル）をターゲットにしている場合、DMA リクエストによってシステムバスへの CPU アクセスが数バスサイクルの間、停止することがあります。バスマトリックスがラウンドロビン方式を採用することで、（メモリとペリフェラルに対する）システムバス帯域の少なくとも 1/2 が CPU に確保されます。

9.3.1 DMA トランザクション

イベントの後、ペリフェラルは DMA コントローラにリクエスト信号を送信します。DMA コントローラは、チャネル間の優先順位に応じて、このリクエストに対応します。DMA コントローラがペリフェラルにアクセスすると、DMA コントローラはペリフェラルに確認応答を送信します。ペリフェラルは、DMA コントローラからの確認応答を受け取ると、そのリクエストを解除します。ペリフェラルによってリクエストがネゲートされると、DMA コントローラは確認応答を解除します。さらにリクエストがある場合、ペリフェラルは次のトランザクションを開始できます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

要約すると、各 DMA 転送は次の 3 つの操作で構成されます。

- 内部カレントペリフェラル/メモリアドレスレジスタによってアドレス指定されたメモリ位置またはペリフェラルデータレジスタからのデータのロード。最初の転送に使用される開始アドレスは、DMA_CPARx または DMA_CMARx レジスタでプログラミングされたベースペリフェラル/メモリアドレスです。
- 内部カレントペリフェラル/メモリアドレスレジスタによってアドレス指定されたメモリ位置またはペリフェラルデータレジスタにロードされたデータの格納。最初の転送に使用される開始アドレスは、DMA_CPARx または DMA_CMARx レジスタでプログラミングされたベースペリフェラル/メモリアドレスです。
- DMA_CNDTRx レジスタのポストデクリメント。このレジスタには、まだ実行する必要のあるトランザクション数が含まれています。

9.3.2 アービタ

アービタは、チャネルリクエストを優先順位に基づいて管理し、ペリフェラル/メモリアクセスシーケンスを開始します。

優先順位は 2 段階で管理されます。

- ソフトウェア : 各チャネルの優先順位は、DMA_CCRx レジスタで 4 つのレベルのいずれかに設定できます。
  - 最優先
  - 高優先
  - 中優先
  - 低優先
- ハードウェア : 2 つのリクエストのソフトウェア優先レベルが同じ場合、小さな番号のチャネルが大きな番号のチャネルよりも優先されます。たとえば、チャネル 2 はチャネル 4 よりも優先されます。

*注 : **大容量バリューラインデバイスでは、DMA1 コントローラは DMA2 コントローラよりも優先されます。***

9.3.3 DMA チャネル

各チャネルは、固定アドレスに置かれたペリフェラルレジスタとメモリアドレスとの間の DMA 転送を処理できます。転送されるデータ量（最大 65535）はプログラミング可能です。転送されるデータ項目の量を格納しているレジスタは、トランザクションの終了ごとにデクリメントされます。

プログラミング可能なデータサイズ

ペリフェラルやメモリの転送データサイズは、DMA_CCRx レジスタの PSIZE および MSIZE ビットによって完全にプログラミング可能です。

ポインタのインクリメント

ペリフェラルやメモリのポインタは、DMA_CCRx レジスタの PINC および MINC ビットに応じて、各トランザクションの終了後に自動的にポストインクリメントできます。インクリメントモードが有効な場合、次の転送のアドレスは、選択されたデータサイズに応じて、前回のアドレスに 1、2、または 4 をインクリメントしたアドレスになります。最初の転送アドレスは、DMA_CPARx/DMA_CMARx レジスタでプログラミングされたアドレスです。転送動作中、これらのレジスタは、最初にプログラミングされた値を保持します。（内部カレントペリフェラル/メモリアドレスレジスタにある）現在の転送アドレスには、ソフトウェアからアクセスできません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

チャネルが非サーキュラモードに設定されている場合、最後の転送後（すなわち、転送されるデータ項目の数がゼロになると）、DMA リクエストは処理されません。転送される新しいデータ項目数を DMA_CNDTRx レジスタに再ロードするには、DMA チャネルが無効でなければなりません。

注： ***DMA チャネルが無効の場合、DMA レジスタはリセットされません。DMA チャネルレジスタ（DMA_CCRx、DMA_CPARx、および DMA_CMARx）は、チャネル設定段階でプログラミングされた初期値を保持します。***

サーキュラモードでは、最後の転送の後、DMA_CNDTRx レジスタには、初めにプログラミングされた値が自動的に再ロードされます。現在の内部アドレスレジスタには、DMA_CPARx/DMA_CMARx レジスタからベースアドレス値が再ロードされます。

チャネル設定手順

DMA チャネルx を設定するには、次の手順に従います（x はチャネル番号です）。

1. DMA_CPARx レジスタで、ペリフェラルレジスタアドレスを設定します。ペリフェラルイベントの後、データはこのアドレスとメモリの間で転送されます。
2. DMA_CMARx レジスタで、メモリアドレスを設定します。ペリフェラルイベントの後、データはこのメモリに対して読み書きされます。
3. 転送されるデータの合計数を DMA_CNDTRx レジスタで設定します。各ペリフェラルイベントの後、この値はデクリメントされます。
4. DMA_CCRx レジスタの PL[1:0] ビットを使用して、チャネルの優先順位を設定します。
5. データ転送の方向、サーキュラモード、ペリフェラルとメモリのインクリメントモード、ペリフェラルとメモリのデータサイズ、および 1/2 転送終了や転送完了後の割り込みを DMA_CCRx レジスタで設定します。
6. DMA_CCRx レジスタの ENABLE ビットをセットして、チャネルを有効にします。

チャネルが有効になると、そのチャネルに接続されているペリフェラルからの DMA リクエストを処理できます。

バイト数の半分が転送されると、1/2 転送終了フラグ（HTIF）がセットされ、1/2 転送終了割り込みイネーブルビット（HTIE）がセットされている場合には、割り込みが生成されます。転送が終了すると、転送完了フラグ（TCIF）がセットされ、転送完了割り込みイネーブルビット（TCIE）がセットされている場合には、割り込みが生成されます。

サーキュラモード

サーキュラモードを使用すると、サーキュラバッファや連続したデータフロー（ADC スキャンモードなど）を処理できます。この機能は、DMA_CCRx レジスタの CIRC ビットを使用して有効にできます。サーキュラモードが有効になると、転送されるデータ数にはチャネル設定段階でプログラミングされた初期値が自動的に再ロードされ、DMA リクエストの処理が続行されます。

メモリ間転送モード

DMA チャネルは、ペリフェラルからのリクエストによってトリガされなくても機能します。このモードは、メモリ間転送モードと呼ばれます。

DMA_CCRx レジスタの MEM2MEM ビットがセットされた場合、ソフトウェアによって DMA_CCRx レジスタのイネーブルビット（EN）がセットされてチャネルが有効になると、チャネルは転送を開始します。DMA_CNDTRx レジスタの値が 0 になると、転送は停止します。メモリ間転送モードとサーキュラモードは、同時に使用できないことがあります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

9.3.4 プログラミング可能なデータ幅、データの配置、およびエンディアン

PSIZE と MSIZE が等しくないとき、*表 52: プログラミング可能なデータ幅とエンディアン動作（ビット PINC = MINC = 1 のとき）* で説明するように、DMA は何らかのデータ配置を実行します。

表 52. プログラミング可能なデータ幅とエンディアン動作（ビット PINC = MINC = 1 のとき）

転送元ポート幅	転送先ポート幅	転送するデータ項目の数（NDT）	転送元の内容：アドレス/データ	転送操作	転送先の内容：アドレス/データ
8	8	4	@0x0 / B0 @0x1 / B1 @0x2 / B2 @0x3 / B3	1 : READ B0[7:0] @0x0 then WRITE B0[7:0] @0x0 2 : READ B1[7:0] @0x1 then WRITE B1[7:0] @0x1 3 : READ B2[7:0] @0x2 then WRITE B2[7:0] @0x2 4 : READ B3[7:0] @0x3 then WRITE B3[7:0] @0x3	@0x0 / B0 @0x1 / B1 @0x2 / B2 @0x3 / B3
8	16	4	@0x0 / B0 @0x1 / B1 @0x2 / B2 @0x3 / B3	1 : READ B0[7:0] @0x0 then WRITE 00B0[15:0] @0x0 2 : READ B1[7:0] @0x1 then WRITE 00B1[15:0] @0x2 3 : READ B3[7:0] @0x2 then WRITE 00B2[15:0] @0x4 4 : READ B4[7:0] @0x3 then WRITE 00B3[15:0] @0x6	@0x0 / 00B0 @0x2 / 00B1 @0x4 / 00B2 @0x6 / 00B3
8	32	4	@0x0 / B0 @0x1 / B1 @0x2 / B2 @0x3 / B3	1 : READ B0[7:0] @0x0 then WRITE 000000B0[31:0] @0x0 2 : READ B1[7:0] @0x1 then WRITE 000000B1[31:0] @0x4 3 : READ B3[7:0] @0x2 then WRITE 000000B2[31:0] @0x8 4 : READ B4[7:0] @0x3 then WRITE 000000B3[31:0] @0xC	@0x0 / 000000B0 @0x4 / 000000B1 @0x8 / 000000B2 @0xC / 000000B3
16	8	4	@0x0 / B1B0 @0x2 / B3B2 @0x4 / B5B4 @0x6 / B7B6	1 : READ B1B0[15:0] @0x0 then WRITE B0[7:0] @0x0 2 : READ B3B2[15:0] @0x2 then WRITE B2[7:0] @0x1 3 : READ B5B4[15:0] @0x4 then WRITE B4[7:0] @0x2 4 : READ B7B6[15:0] @0x6 then WRITE B6[7:0] @0x3	@0x0 / B0 @0x1 / B2 @0x2 / B4 @0x3 / B6
16	16	4	@0x0 / B1B0 @0x2 / B3B2 @0x4 / B5B4 @0x6 / B7B6	1 : READ B1B0[15:0] @0x0 then WRITE B1B0[15:0] @0x0 2 : READ B3B2[15:0] @0x2 then WRITE B3B2[15:0] @0x2 3 : READ B5B4[15:0] @0x4 then WRITE B5B4[15:0] @0x4 4 : READ B7B6[15:0] @0x6 then WRITE B7B6[15:0] @0x6	@0x0 / B1B0 @0x2 / B3B2 @0x4 / B5B4 @0x6 / B7B6
16	32	4	@0x0 / B1B0 @0x2 / B3B2 @0x4 / B5B4 @0x6 / B7B6	1 : READ B1B0[15:0] @0x0 then WRITE 0000B1B0[31:0] @0x0 2 : READ B3B2[15:0] @0x2 then WRITE 0000B3B2[31:0] @0x4 3 : READ B5B4[15:0] @0x4 then WRITE 0000B5B4[31:0] @0x8 4 : READ B7B6[15:0] @0x6 then WRITE 0000B7B6[31:0] @0xC	@0x0 / 0000B1B0 @0x4 / 0000B3B2 @0x8 / 0000B5B4 @0xC / 0000B7B6
32	8	4	@0x0 / B3B2B1B0 @0x4 / B7B6B5B4 @0x8 / BBBAB9B8 @0xC / BFBEBDBC	1 : READ B3B2B1B0[31:0] @0x0 then WRITE B0[7:0] @0x0 2 : READ B7B6B5B4[31:0] @0x4 then WRITE B4[7:0] @0x1 3 : READ BBBAB9B8[31:0] @0x8 then WRITE B8[7:0] @0x2 4 : READ BFBEBDBC[31:0] @0xC then WRITE BC[7:0] @0x3	@0x0 / B0 @0x1 / B4 @0x2 / B8 @0x3 / BC
32	16	4	@0x0 / B3B2B1B0 @0x4 / B7B6B5B4 @0x8 / BBBAB9B8 @0xC / BFBEBDBC	1 : READ B3B2B1B0[31:0] @0x0 then WRITE B1B0[7:0] @0x0 2 : READ B7B6B5B4[31:0] @0x4 then WRITE B5B4[7:0] @0x1 3 : READ BBBAB9B8[31:0] @0x8 then WRITE B9B8[7:0] @0x2 4 : READ BFBEBDBC[31:0] @0xC then WRITE BDBC[7:0] @0x3	@0x0 / B1B0 @0x2 / B5B4 @0x4 / B9B8 @0x6 / BDBC
32	32	4	@0x0 / B3B2B1B0 @0x4 / B7B6B5B4 @0x8 / BBBAB9B8 @0xC / BFBEBDBC	1 : READ B3B2B1B0[31:0] @0x0 then WRITE B3B2B1B0[31:0] @0x0 2 : READ B7B6B5B4[31:0] @0x4 then WRITE B7B6B5B4[31:0] @0x4 3 : READ BBBAB9B8[31:0] @0x8 then WRITE BBBAB9B8[31:0] @0x8 4 : READ BFBEBDBC[31:0] @0xC then WRITE BFBEBDBC[31:0] @0xC	@0x0 / B3B2B1B0 @0x4 / B7B6B5B4 @0x8 / BBBAB9B8 @0xC / BFBEBDBC

バイト/ハーフワード書き込み操作をサポートしない AHB ペリフェラルのアドレス指定

DMA が AHB バイトまたはハーフワード書き込み操作を開始すると、データは HWDATA[31:0] バスの未使用レーンに複製されます。したがって、使用済みの AHB スレーブペリフェラルがバイトまたはハーフワード書き込み操作をサポートせず（ペリフェラルが HSIZE を使用せず）、かつ、エラーを生成しないときには、DMA は、下の 2 つの例に示すように、32 の HWDATA ビットを書き込みます。

- ハーフワード“0xABCD”を書き込むには、DMA は HSIZE = HalfWord で HWDATA バスに“0xABCDABCD”を設定します。
- バイト“0xAB”を書き込むには、DMA は HSIZE = Byte で HWDATA バスに“0xABABABAB”を設定します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

AHB/APB ブリッジが HSIZE データを考慮しない AHB 32 ビットスレーブペリフェラルであるとすれば、以下の方法で AHB バイト/ハーフワード操作を 32 ビット APB 操作に変換します。

- データ“0xB0”から 0x0（あるいは、0x1、0x2、または 0x3）への AHB バイト書き込み操作は、データ“0xB0B0B0B0”から 0x0 への APB ワード書き込み操作に変換されます。
- データ“0xB1B0”から 0x0（または 0x2）への AHB ハーフワード書き込み操作は、データ“0xB1B0B1B0”から 0x0 への APB ワード書き込み操作に変換されます。

たとえば、APB バックアップレジスタ（32 ビットアドレス境界に配置された 16 ビットレジスタ）に書き込みたい場合は、メモリ転送元サイズ（MSIZE）を“16 ビット”に設定し、ペリフェラル転送先サイズ（PSIZE）を“32 ビット”に設定する必要があります。

9.3.5 エラー管理

予約済みアドレス空間からの読み出し/書き込みによって、DMA 転送エラーが生成されることがあります。DMA の読み出し/書き込みアクセス中に DMA 転送エラーが発生すると、障害のあるチャネルは、対応するチャネル設定レジスタ（DMA_CCRx）の EN ビットをハードウェアがクリアすることによって自動的に無効になります。DMA_IFR レジスタのチャネルの転送エラー割り込みフラグ（TEIF）がセットされ、DMA_CCRx レジスタの転送エラー割り込みイネーブルビット（TEIE）がセットされている場合には、割り込みが生成されます。

9.3.6 割り込み

割り込みは、DMA チャネルごとに、1/2 転送終了、転送完了、または転送エラーによって発生することがあります。高い柔軟性を実現するため、個別の割り込みイネーブルビットを使用できます。

表 53. DMA 割り込みリクエスト

割り込みイベント	イベントフラグ	イネーブル制御ビット
1/2 転送終了	HTIF	HTIE
転送完了	TCIF	TCIE
転送エラー	TEIF	TEIE

注： ***大容量バリューラインデバイスでは、DMA2 チャネル4 割り込みと DMA2 チャネル5 割り込みは、同じ割り込みベクタに配置されます。その他すべての DMA1 および DMA2 チャネル割り込みには、専用の割り込みベクタがあります。***

9.3.7 DMA リクエストの配置

DMA1 コントローラ

ペリフェラル（TIMx[1,2,3,4,6,7,15,16,17]、ADC1、SPI[1,2]、I2Cx[1,2]、USARTx[1,2,3]）および DAC チャネルx[1,2] からの 7 つのリクエストは、論理和がとられてから DMA1 に渡されます。すなわち、一度に有効にできるリクエストは 1 つだけです。*図 22：DMA1 リクエストの配置*を参照してください。

ペリフェラル DMA リクエストは、対応するペリフェラルのレジスタの DMA 制御ビットをプログラミングすることによって、個別に有効/無効にできます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 22. DMA1 リクエストの配置

1. TIM1_CH1 と TIM1_CH2 の DMA リクエストは、AFIO_MAPR2 レジスタの TIM1_DMA_REMAP ビットがクリアされている場合にのみ、それぞれ、DMA チャネル 2 と DMA チャネル 3 に配置されます。詳細については、AFIO セクションを参照してください。

2. TIM1_CH1 と TIM1_CH2 の DMA リクエストは、AFIO_MAPR2 レジスタの TIM1_DMA_REMAP ビットがセットされている場合にのみ、DMA チャネル 6 に配置されます。詳細については、AFIO セクションを参照してください。

3. 大容量バリューラインデバイスでは、TIM6_DAC1 と TIM7_DAC2 の DMA リクエストは、AFIO_MAPR2 レジスタの TIM67_DAC_DMA_REMAP ビットがセットされている場合のみ DMA1 チャネル 3 と DMA1 チャネル 4 にそれぞれ配置され、AFIO_MAPR2 レジスタの TIM67_DAC_DMA_REMAP ビットがリセットされている場合は DMA2 チャネル 3 と DMA2 チャネル 4 にそれぞれ配置されます。
小容量および中容量デバイスでは、TIM6_DAC1 と TIM7_DAC2 の DMA リクエストは、それぞれ DMA1 チャネル 3 と DMA1 チャネル 4 に常に配置されます。詳細については、AFIO セクションを参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

*表 54*に、チャネルごとの DMA リクエストを示します。

表 54. チャネルごとの DMA1 リクエストの一覧

ペリフェラル	チャネル 1	チャネル 2	チャネル 3	チャネル 4	チャネル 5	チャネル 6	チャネル 7
ADC1	ADC1						
SPI		SPI1_RX	SPI1_TX	SPI2_RX	SPI2_TX		
USART		USART3_TX	USART3_RX	USART1_TX	USART1_RX	USART2_RX	USART2_TX
I^2C				I2C2_TX	I2C2_RX	I2C1_TX	I2C1_RX
TIM1		TIM1_CH1	TIM1_CH2	TIM1_CH4 TIM1_TRIG TIM1_COM	TIM1_UP	TIM1_CH3 TIM1_CH2 TIM1_CH1	
TIM2	TIM2_CH3	TIM2_UP			TIM2_CH1		TIM2_CH2 TIM2_CH4
TIM3		TIM3_CH3	TIM3_CH4 TIM3_UP			TIM3_CH1 TIM3_TRIG	
TIM4	TIM4_CH1			TIM4_CH2	TIM4_CH3		TIM4_UP
TIM6/DAC_Channel1			TIM6_UP/DAC_Channel1				
TIM7/DAC_Channel2				TIM7_UP/DAC_Channel2			
TIM15					TIM15_CH1 TIM15_UP TIM15_TRIG TIM15_COM		
TIM16						TIM16_CH1 TIM16_UP	
TIM17							TIM17_CH1 TIM17_UP

DMA2 コントローラ

ペリフェラル（TIMx[5,6,7]、SPI3、UARTx[4,5]、DAC_Channel[1,2]）からの 5 つのリクエストは、論理和がとられてから DMA2 に渡されます。すなわち、一度に有効にできるリクエストは 1 つだけです。*図 23：DMA2 リクエストの配置*を参照してください。

ペリフェラル DMA リクエストは、対応するペリフェラルのレジスタの DMA 制御ビットをプログラミングすることによって、個別に有効/無効にできます。

注： ***DMA2 コントローラとその関連リクエストは、大容量バリューラインデバイスでのみ使用可能です。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 23. DMA2 リクエストの配置

1. 大容量バリューラインデバイスでは、TIM6_DAC1 と TIM7_DAC2 の DMA リクエストは、AFIO_MAPR2 レジスタの TIM67_DAC_DMA_REMAP ビットがセットされている場合のみ DMA1 チャネル 3 と DMA1 チャネル 4 にそれぞれ配置され、AFIO_MAPR2 レジスタの TIM67_DAC_DMA_REMAP ビットがリセットされている場合は DMA2 チャネル 3 と DMA2 チャネル 4 にそれぞれ配置されます。小容量および中容量デバイスでは、TIM6_DAC1 と TIM7_DAC2 の DMA リクエストは、それぞれ DMA1 チャネル 3 と DMA1 チャネル 4 に常に配置されます。詳細については、AFIO セクションを参照してください。

*表 55*に、チャネルごとの DMA2 リクエストを示します。

表 55. チャネルごとの DMA2 リクエストの一覧

ペリフェラル	チャネル 1	チャネル 2	チャネル 3	チャネル 4	チャネル 5
SPI3	SPI3_RX	SPI3_TX			
UART4			UART4_RX		UART4_TX
UART5	UART5_TX			UART5_RX	
TIM5	TIM5_CH4 TIM5_TRIG	TIM5_CH3 TIM5_UP		TIM5_CH2	TIM5_CH1
TIM6/ DAC_Channel1			TIM6_UP/ DAC_Channel1		
TIM7/ DAC_Channel2				TIM7_UP/ DAC_Channel2	

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

9.4 DMA レジスタ

レジスタの説明で使用されている略語については、*セクション 1.1 (32 ページ)* を参照してください。

注： ***DMA2 には 5 つのチャネルしかないので、次に示すレジスタでは、チャネル6 とチャネル7 関連のすべてのビットは、DMA2 には無関係です。***

ペリフェラルレジスタには、バイト（8 ビット）、ハーフワード（16 ビット）、またはワード（32 ビット）単位でアクセスできます。

9.4.1 DMA 割り込みステータスレジスタ（DMA_ISR）

アドレスオフセット：0x00

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み				TEIF7	HTIF7	TCIF7	GIF7	TEIF6	HTIF6	TCIF6	GIF6	TEIF5	HTIF5	TCIF5	GIF5
				r	r	r	r	r	r	r	r	r	r	r	r

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TEIF4	HTIF4	TCIF4	GIF4	TEIF3	HTIF3	TCIF3	GIF3	TEIF2	HTIF2	TCIF2	GIF2	TEIF1	HTIF1	TCIF1	GIF1
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:28 予約済み、常に 0 として読み出されます。

ビット 27、23、19、15、11、7、3 **TEIFx**：チャネル x 転送エラーフラグ（x = 1 ..7）

このビットは、ハードウェアによってセットされます。DMA_IFCR レジスタの対応するビットに 1 を書き込むことによって、ソフトウェアによってクリアされます。

0：チャネル x に転送エラー（TE）は発生していません。

1：チャネル x に転送エラー（TE）が発生しました。

ビット 26、22、18、14、10、6、2 **HTIFx**：チャネル x 1/2 転送終了フラグ（x = 1 ..7）

このビットは、ハードウェアによってセットされます。DMA_IFCR レジスタの対応するビットに 1 を書き込むことによって、ソフトウェアによってクリアされます。

0：チャネル x に 1/2 転送終了（HT）イベントは発生していません。

1：チャネル x に 1/2 転送終了（HT）イベントが発生しました。

ビット 25、21、17、13、9、5、1 **TCIFx**：チャネル x 転送完了フラグ（x = 1 ..7）

このビットは、ハードウェアによってセットされます。DMA_IFCR レジスタの対応するビットに 1 を書き込むことによって、ソフトウェアによってクリアされます。

0：チャネル x に転送完了（TC）イベントは発生していません。

1：チャネル x に転送完了（TC）イベントが発生しました。

ビット 24、20、16、12、8、4、0 **GIFx**：チャネル x グローバル割り込みフラグ（x = 1 ..7）

このビットは、ハードウェアによってセットされます。DMA_IFCR レジスタの対応するビットに 1 を書き込むことによって、ソフトウェアによってクリアされます。

0：チャネル x に TE、HT、または TC イベントは発生していません。

1：チャネル x に TE、HT、または TC イベントが発生しました。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

9.4.2 DMA 割り込みフラグクリアレジスタ（DMA_IFCR）

アドレスオフセット：0x04

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み				CTEIF7	CHTIF7	CTCIF7	CGIF7	CTEIF6	CHTIF6	CTCIF6	CGIF6	CTEIF5	CHTIF5	CTCIF5	CGIF5
				w	w	w	w	w	w	w	w	w	w	w	w

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CTEIF4	CHTIF4	CTCIF4	CGIF4	CTEIF3	CHTIF3	CTCIF3	CGIF3	CTEIF2	CHTIF2	CTCIF2	CGIF2	CTEIF1	CHTIF1	CTCIF1	CGIF1
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w

ビット 31:28 予約済み、常に 0 として読み出されます。

ビット 27、23、19、15、11、7、3 **CTEIFx**：チャネル x 転送エラークリア（x = 1 ..7）
このビットは、ソフトウェアによってセット/クリアされます。
0：影響しません。
1：DMA_ISR レジスタの対応する TEIF フラグをクリアします。

ビット 26、22、18、14、10、6、2 **CHTIFx**：チャネル x 1/2 転送終了クリア（x = 1 ..7）
このビットは、ソフトウェアによってセット/クリアされます。
0：影響しません。
1：DMA_ISR レジスタの対応する HTIF フラグをクリアします。

ビット 25、21、17、13、9、5、1 **CTCIFx**：チャネル x 転送完了クリア（x = 1 ..7）
このビットは、ソフトウェアによってセット/クリアされます。
0：影響しません。
1：DMA_ISR レジスタの対応する TCIF フラグをクリアします。

ビット 24、20、16、12、8、4、0 **CGIFx**：チャネル x グローバル割り込みクリア（x = 1 ..7）
このビットは、ソフトウェアによってセット/クリアされます。
0：影響しません。
1：DMA_ISR レジスタの GIF、TEIF、HTIF、および TCIF フラグをクリアします。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

9.4.3 DMA チャネル x 設定レジスタ（DMA_CCRx）（x = 1..7、x = チャネル番号）

アドレスオフセット：0x08 + 0d20 × (チャネル番号 – 1)

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み	MEM2MEM	PL[1:0]		MSIZE[1:0]		PSIZE[1:0]		MINC	PINC	CIRC	DIR	TEIE	HTIE	TCIE	EN
	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:15 予約済み、常に 0 として読み出されます。

ビット 14 **MEM2MEM**：メモリ間転送モード

このビットは、ソフトウェアによってセット/クリアされます。

0：メモリ間転送モードは無効です。

1：メモリ間転送モードは有効です。

ビット 13:12 **PL[1:0]**：チャネル優先レベル

これらのビットは、ソフトウェアによってセット/クリアされます。

00：低優先

01：中優先

10：高優先

11：最優先

ビット 11:10 **MSIZE[1:0]**：メモリサイズ

これらのビットは、ソフトウェアによってセット/クリアされます。

00：8 ビット

01：16 ビット

10：32 ビット

11：予約済み

ビット 9:8 **PSIZE[1:0]**：ペリフェラルサイズ

これらのビットは、ソフトウェアによってセット/クリアされます。

00：8 ビット

01：16 ビット

10：32 ビット

11：予約済み

ビット 7 **MINC**：メモリインクリメントモード

このビットは、ソフトウェアによってセット/クリアされます。

0：メモリインクリメントモードは無効です。

1：メモリインクリメントモードは有効です。

ビット 6 **PINC**：ペリフェラルインクリメントモード

このビットは、ソフトウェアによってセット/クリアされます。

0：ペリフェラルインクリメントモードは無効です。

1：ペリフェラルインクリメントモードは有効です。

ビット 5 **CIRC**：サーキュラモード

このビットは、ソフトウェアによってセット/クリアされます。

0：サーキュラモードは無効です。

1：サーキュラモードは有効です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 4 **DIR**：データ転送方向

このビットは、ソフトウェアによってセット/クリアされます。

0：ペリフェラルから読み出されます。

1：メモリから読み出されます。

ビット 3 **TEIE**：転送エラー割り込みイネーブル

このビットは、ソフトウェアによってセット/クリアされます。

0：TE 割り込みは無効です。

1：TE 割り込みは有効です。

ビット 2 **HTIE**：1/2 転送終了割り込みイネーブル

このビットは、ソフトウェアによってセット/クリアされます。

0：HT 割り込みは無効です。

1：HT 割り込みは有効です。

ビット 1 **TCIE**：転送完了割り込みイネーブル

このビットは、ソフトウェアによってセット/クリアされます。

0：TC 割り込みは無効です。

1：TC 割り込みは有効です。

ビット 0 **EN**：チャネルイネーブル

このビットは、ソフトウェアによってセット/クリアされます。

0：チャネルは無効です。

1：チャネルは有効です。

9.4.4 DMA チャネル x データ数レジスタ（DMA_CNDTRx）（x = 1..7、x = チャネル番号）

アドレスオフセット：0x0C + 0d20 × (チャネル番号 – 1)

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NDT															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:16 予約済み、常に 0 として読み出されます。

ビット 15:0 **NDT[15:0]**：転送するデータ数

転送されるデータ数（0～65535）。このレジスタには、チャネルが無効のときにのみ書き込みできます。チャネルが有効になると、このレジスタは読み出し専用になり、残りの転送バイト数を示します。このレジスタは、各 DMA 転送後にデクリメントされます。

転送が完了すると、このレジスタの値は 0 のままです。ただし、チャネルが自動再ロードモードに設定されている場合は、事前にプログラミングされた値が自動的に再ロードされます。

このレジスタの値が 0 の場合、チャネルの有効/無効に関係なく、トランザクションは処理されません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

9.4.5 DMA チャネル x ペリフェラルアドレスレジスタ（DMA_CPARx）（x = 1..7、x = チャネル番号）

アドレスオフセット：0x10 + 0d20 × (チャネル番号 – 1)

リセット値：0x0000 0000

このレジスタには、チャネルが無効のときにのみ書き込みできます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PA																															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0 **PA[31:0]**：ペリフェラルアドレス

データの読み出し/書き込みが行われるペリフェラルデータレジスタのベースアドレス。

PSIZE が 01（16 ビット）のとき、PA[0] ビットは無視されます。アクセスは自動的にハーフワードアドレスに配置されます。
PSIZE が 10（32 ビット）のとき、PA[1:0] は無視されます。アクセスは自動的にワードアドレスに配置されます。

9.4.6 DMA チャネル x メモリアドレスレジスタ（DMA_CMARx）（x = 1..7、x = チャネル番号）

アドレスオフセット：0x14 + 0d20 × (チャネル番号 – 1)

リセット値：0x0000 0000

このレジスタには、チャネルが無効のときにのみ書き込みできます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MA																															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0 **MA[31:0]**：メモリアドレス

データの読み出し/書き込みが行われるメモリ領域のベースアドレス。

MSIZE が 01（16 ビット）のとき、MA[0] ビットは無視されます。アクセスは自動的にハーフワードアドレスに配置されます。
MSIZE が 10（32 ビット）のとき、MA[1:0] は無視されます。アクセスは自動的にワードアドレスに配置されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

9.4.7 DMA レジスタマップ

次の表に、DMA レジスタマップとリセット値を示します。

表 56. DMA レジスタマップとリセット値

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x000	DMA_ISR	予約済み				TEIF7	HTIF7	TCIF7	GIF7	TEIF6	HTIF6	TCIF6	GIF6	TEIF5	HTIF5	TCIF5	GIF5	TEIF4	HTIF4	TCIF4	GIF4	TEIF3	HTIF3	TCIF3	GIF3	TEIF2	HTIF2	TCIF2	GIF2	TEIF1	HTIF1	TCIF1	GIF1
	リセット値					0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x004	DMA_IFCR	予約済み				CTEIF7	CHTIF7	CTCIF7	CGIF7	CTEIF6	CHTIF6	CTCIF6	CGIF6	CTEIF5	CHTIF5	CTCIF5	CGIF5	CTEIF4	CHTIF4	CTCIF4	CGIF4	CTEIF3	CHTIF3	CTCIF3	CGIF3	CTEIF2	CHTIF2	CTCIF2	CGIF2	CTEIF1	CHTIF1	CTCIF1	CGIF1
	リセット値					0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x008	DMA_CCR1	予約済み																	MEM2MEM	PL [1:0]		MSIZE [1:0]		PSIZE [1:0]		MINC	PINC	CIRC	DIR	TEIE	HTIE	TCIE	EN
	リセット値																		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x00C	DMA_CNDTR1	予約済み																NDT[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x010	DMA_CPAR1	PA[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x014	DMA_CMAR1	MA[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x018	予約済み																																
0x01C	DMA_CCR2	予約済み																	MEM2MEM	PL [1:0]		MSIZE [1:0]		PSIZE [1:0]		MINC	PINC	CIRC	DIR	TEIE	HTIE	TCIE	EN
	リセット値																		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x020	DMA_CNDTR2	予約済み																NDT[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x024	DMA_CPAR2	PA[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x028	DMA_CMAR2	MA[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x02C	予約済み																																
0x030	DMA_CCR3	予約済み																	MEM2MEM	PL [1:0]		MSIZE [1:0]		PSIZE [1:0]		MINC	PINC	CIRC	DIR	TEIE	HTIE	TCIE	EN
	リセット値																		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x034	DMA_CNDTR3	予約済み																NDT[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x038	DMA_CPAR3	PA[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x03C	DMA_CMAR3	MA[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x040	予約済み																																
0x044	DMA_CCR4	予約済み																	MEM2MEM	PL [1:0]		MSIZE [1:0]		PSIZE [1:0]		MINC	PINC	CIRC	DIR	TEIE	HTIE	TCIE	EN
	リセット値																		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x048	DMA_CNDTR4	予約済み																NDT[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x04C	DMA_CPAR4	PA[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x050	DMA_CMAR4	MA[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x054	予約済み																																

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 56. DMA レジスタマップとリセット値 （続き）

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x058	DMA_CCR5	予約済み																	MEM2MEM	PL [1:0]		MSIZE [1:0]		PSIZE [1:0]		MINC	PINC	CIRC	DIR	TEIE	HTIE	TCIE	EN
	リセット値																		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x05C	DMA_CNDTR5	予約済み																NDT[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x060	DMA_CPAR5	PA[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x064	DMA_CMAR5	MA[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x068	予約済み																																
0x06C	DMA_CCR6	予約済み																	MEM2MEM	PL [1:0]		MSIZE [1:0]		PSIZE [1:0]		MINC	PINC	CIRC	DIR	TEIE	HTIE	TCIE	EN
	リセット値																		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x070	DMA_CNDTR6	予約済み																NDT[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x074	DMA_CPAR6	PA[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x078	DMA_CMAR6	MA[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x07C	予約済み																																
0x080	DMA_CCR7	予約済み																	MEM2MEM	PL [1:0]		MSIZE [1:0]		PSIZE [1:0]		MINC	PINC	CIRC	DIR	TEIE	HTIE	TCIE	EN
	リセット値																		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x084	DMA_CNDTR7	予約済み																NDT[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x088	DMA_CPAR7	PA[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x08C	DMA_CMAR7	MA[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x090	予約済み																																

レジスタ境界アドレスについては、*表 1：小容量および中容量デバイスのレジスタ境界アドレス*と*表 2：大容量デバイスのレジスタ境界アドレス*を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

10 A/D コンバータ（ADC）

小容量バリューラインデバイスは、フラッシュメモリ容量が 16～32 KB の STM32F100xx マイクロコントローラです。

中容量バリューラインデバイスは、フラッシュメモリ容量が 64～128 KB の STM32F100xx マイクロコントローラです。

大容量バリューラインデバイスは、フラッシュメモリ容量が 256～512 KB の STM32F100xx マイクロコントローラです。

このセクションは、別段の指定がない限り、STM32F100xx ファミリ全体に適用されます。

10.1 ADC の概要

12 ビット ADC は、逐次比較型アナログデジタルコンバータです。最大 18 の多重化チャネルを持ち、16 の外部信号と 2 つの内部ソースの測定を行うことができます。さまざまなチャネルの A/D 変換は、シングル、連続、スキャン、または不連続モードで行うことができます。ADC の結果は、左詰めまたは右詰めで 16 ビットのデータレジスタに格納されます。

アナログウォッチドッグ機能により、アプリケーションは入力電圧が、ユーザ定義の高閾値または低閾値から逸脱していないかを検出することができます。

ADC の入力クロックは、プリスケーラによって分周された PCLK2 クロックから生成されます。*図 8：STM32F100xx クロックツリー（小容量および中容量デバイス）*と *図 9：STM32F100xx クロックツリー（大容量デバイス）*を参照してください。

10.2 ADC の主な機能

- 分解能：12 ビット
- 変換終了時、インジェクト変換終了時、およびアナログウォッチドッグイベント発生時に割り込みを生成
- シングルおよび連続変換モード
- チャネル 0 から チャネル n を自動変換するためのスキャンモード
- 自己較正
- 組み込みのデータコヒーレンシによるデータ配置
- チャネルごとにサンプル時間をプログラミング可能
- レギュラ変換とインジェクト変換用の外部トリガオプション
- 不連続モード
- ADC 変換時間：
  - STM32F100xx バリューラインデバイス：24 MHz 時 1.17 µs
- ADC 電源供給要件：2.4 V～3.6 V
- ADC 入力範囲：$V_{REF-} \leq V_{IN} \leq V_{REF+}$
- レギュラチャネル変換中の DMA リクエストの生成

ADC のブロック図を*図 24* に示します。

注： ***V_{REF-} ピンがある場合は（パッケージによります）、V_{SSA} に接続する必要があります。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

10.3 ADC 機能の説明

図 24 に、単一の ADC ブロック図を示します。*表 57* は ADC ピンの概要を示します。

図 24. 単一 ADC ブロック図

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 57. ADC ピン

名称	信号種別	摘要
V_{REF+}	入力、アナログ基準電圧正	ADC のハイレベル/正基準電圧、2.4 V ≤ V_{REF+} ≤ V_{DDA}
V_{DDA}(1)	入力、アナログ電源供給	アナログ電源供給は V_{DD} に等しく、2.4 V ≤ V_{DDA} ≤ 3.6 V
V_{REF-}	入力、アナログ基準電圧負	ADC のローレベル/負基準電圧、V_{REF-} = V_{SSA}
V_{SSA} (1)	入力、アナログ供給グランド	V_{SS} に等しいアナログ電源供給のグランド
ADCx_IN[15:0]	アナログ信号	16 アナログチャネル

1. V_{DDA} と V_{SSA} は、それぞれ V_{DD} および V_{SS} に接続する必要があります。

10.3.1 ADC 電源の制御

ADC は、ADC_CR2 レジスタの ADON ビットをセットすることで、電源オンの状態になります。ADON ビットが最初にセットされると、ADC はパワーダウンモードからウェイクアップします。

2 回目に ADON ビットがソフトウェアによってセットされると、ADC パワーアップタイム（t_{STAB}）後に変換が開始されます。

ADON ビットをリセットすることによって、変換を停止し、ADC をパワーダウンモードにできます。この状態では、ADC は電力をほとんど消費しません（数 µA 程度）。

10.3.2 ADC クロック

クロックコントローラによって供給される ADCCLK クロックは、PCLK2（APB2 クロック）に同期しています。RCC コントローラには、ADC クロック専用のプログラム可能なプリスケーラがあります。詳細については、*セクション 6：リセットおよびクロック制御（RCC）*を参照してください。

10.3.3 チャネル選択

16 の多重化チャネルがあります。変換は、レギュラとインジェクトの 2 つのグループに構成することができます。各グループは、任意のチャネルに対して任意の変換の順序で構成されます。たとえば、Ch3、Ch8、Ch2、Ch2、Ch0、Ch2、Ch2、Ch15 の順に変換を行うことが可能です。

- **レギュラグループ**は、最大 16 の変換で構成されます。レギュラチャネルと変換シーケンス内での順序は、ADC_SQRx レジスタで選択する必要があります。レギュラグループの合計変換数は、ADC_SQR1 レジスタの L[3:0] ビットに書き込む必要があります。
- **インジェクトグループ**は、最大 4 つの変換で構成されます。インジェクトチャネルと変換シーケンス内での順序は、ADC_JSQR レジスタで選択する必要があります。インジェクトグループの合計変換数は、ADC_JSQR レジスタの L[1:0] ビットに書き込む必要があります。

変換中に ADC_SQRx または ADC_JSQR レジスタが変更された場合、現在の変換はリセットされ、新しい開始パルスが ADC に送られて、新しく選ばれたグループを変換します。

温度センサ/V_{REFINT} 内部チャネル

温度センサはチャネル ADCx_IN16 に接続され、内部基準電圧 V_{REFINT} は ADCx_IN17 に接続されます。この 2 つの内部チャネルは、インジェクトまたはレギュラチャネルとして選択して変換できます。

注： ***温度センサと V_{REFINT} は、マスタ ADC1 のみで使用できます。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

10.3.4 シングル変換モード

シングル変換モードでは、ADC は 1 回の変換を行います。このモードは、CONT ビットが 0 のとき、ADC_CR2 レジスタの ADON ビットをセットすることによって（レギュラチャネルのみ）、または外部トリガによって（レギュラまたはインジェクトチャネルの場合）開始されます。

選択されたチャネルの変換が完了すると、

- レギュラチャネルが変換された場合：
  - 変換されたデータは 16 ビットの ADC_DR レジスタに格納されます。
  - EOC（End Of Conversion）フラグがセットされます。
  - EOCIE がセットされている場合、割り込みが生成されます。
- インジェクトチャネルが変換された場合：
  - 変換されたデータは 16 ビットの ADC_DRJ1 レジスタに格納されます。
  - JEOC（End Of Conversion Injected）フラグがセットされます。
  - JEOCIE ビットがセットされている場合、割り込みが生成されます。

その後、ADC は停止します。

10.3.5 連続変換モード

連続変換モードでは、ADC は 1 つの変換が終了すると、もう 1 つの変換を開始します。このモードは、CONT ビットが 1 のとき、外部トリガによって、または ADC_CR2 レジスタの ADON ビットをセットすることによって開始されます。

各変換後、

- レギュラチャネルが変換された場合：
  - 変換されたデータは 16 ビットの ADC_DR レジスタに格納されます。
  - EOC（End Of Conversion）フラグがセットされます。
  - EOCIE がセットされている場合、割り込みが生成されます。
- インジェクトチャネルが変換された場合：
  - 変換されたデータは 16 ビットの ADC_DRJ1 レジスタに格納されます。
  - JEOC（End Of Conversion Injected）フラグがセットされます。
  - JEOCIE ビットがセットされている場合、割り込みが生成されます。

10.3.6 タイミング図

図 25 に示されているように、ADC は変換を正確に開始する前に、安定時間 t_{STAB} を必要とします。ADC 変換の開始後 14 クロックサイクルで EOC フラグがセットされ、変換結果が 16 ビットの ADC データレジスタに格納されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 25. タイミング図

10.3.7 アナログウォッチドッグ

アナログウォッチドッグ（AWD）ステータスビットは、ADC によって変換されたアナログ電圧が低閾値を下回るか、高閾値を上回る場合にセットされます。これらの閾値は、ADC_HTR および ADC_LTR の 16 ビットレジスタの下位 12 ビットにプログラムされます。ADC_CR1 レジスタの AWDIE ビットを使用して、割り込みを有効にできます。

閾値は、ADC_CR2 レジスタの ALIGN ビットによって選択された配置とは無関係です。配置前に比較が行われます（*セクション 10.5* を参照してください）。

アナログウォッチドッグは、*表 58.* に示されているように、ADC_CR1 レジスタを設定することによって、1 つ以上のチャネルで有効にできます。

図 26. アナログウォッチドッグによって保護される領域

表 58. アナログウォッチドッグのチャネル選択

アナログウォッチドッグによって保護されるチャネル	ADC_CR1 レジスタ制御ビット（x = 無視）		
	AWDSGL ビット	AWDEN ビット	JAWDEN ビット
なし	x	0	0
すべてのインジェクトチャネル	0	0	1
すべてのレギュラチャネル	0	1	0
すべてのレギュラインジェクトチャネル	0	1	1
単一(1) インジェクトチャネル	1	0	1
単一 (1) レギュラチャネル	1	1	0
単一 (1) レギュラまたはインジェクトチャネル	1	1	1

1. AWDCH[4:0] ビットによって選択

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

10.3.8 スキャンモード

このモードは、アナログチャネルのグループをスキャンするために使用されます。

スキャンモードは、ADC_CR1 レジスタの SCAN ビットをセットすることによって選択できます。このビットがセットされると、ADC は ADC_SQRx レジスタ（レギュラチャネルの場合）または ADC_JSQR レジスタ（インジェクトチャネルの場合）で選択されたすべてのチャネルをスキャンします。グループの各チャネルに対して 1 回の変換が行われます。各変換が完了すると、グループ内の次のチャネルが自動的に変換されます。CONT ビットがセットされている場合、グループの最後の選択チャネルで変換は停止せず、そのグループの最初の選択チャネルから続行されます。

DMA ビットがセットされている場合、各 EOC の後、ダイレクトメモリアクセスコントローラを使用して、レギュラグループチャネルの変換されたデータが SRAM に転送されます。

インジェクトチャネルの変換データは、常に ADC_JDRx レジスタに格納されます。

10.3.9 インジェクトチャネルの管理

トリガインジェクション

トリガインジェクションを使用するには、ADC_CR1 レジスタの JAUTO ビットがクリアされ、SCAN ビットがセットされていなければなりません。

1. 外部トリガによって、または、ADC_CR2 レジスタの ADON ビットをセットすることによって、レギュラチャネルのグループの変換を開始します。
2. レギュラグループチャネルの変換中に外部インジェクトトリガが発生した場合、現在の変換はリセットされ、インジェクトチャネルシーケンスはスキャンワンスモードで変換されます。
3. その後、レギュラグループチャネル変換は、最後に中断されたレギュラ変換からリスタートされます。インジェクト変換中にレギュライベントが発生した場合、変換は中断されず、インジェクトシーケンスの終了時にレギュラシーケンスが実行されます。*図 27* にタイミング図を示します。

注： ***トリガインジェクションを使用するときには、トリガイベントの間隔がインジェクションシーケンスより長くなるようにしなければなりません。たとえば、シーケンスの長さが 28 ADC クロックサイクルの場合（1.5 クロック周期のサンプル時間で 2 回の変換）、トリガの最小間隔は 29 ADC クロックサイクルでなければなりません。***

自動インジェクション

JAUTO ビットがセットされている場合、レギュラグループのチャネルの変換後、インジェクトグループのチャネルが自動的に変換されます。これを使用して、ADC_SQRx レジスタおよび ADC_JSQR レジスタでプログラミングされた最大 20 回の変換シーケンスを実行することができます。

このモードでは、インジェクトチャネルの外部トリガは無効でなければなりません。

JAUTO ビットに加えて CONT ビットもセットされている場合、レギュラチャネルに続いてインジェクトチャネルが連続して変換されます。

4 から 8 までの ADC クロックプリスケーラの場合、レギュラからインジェクトシーケンスへの切り替え時に（それぞれレギュラシーケンスに追加される）、1 ADCクロック周期分の遅延が自動的に挿入されます。ADCクロックプリスケーラが 2 に設定された場合、遅延時間は 2 ADC クロック周期です。

注： ***自動インジェクトモードと不連続モードを同時に使用することはできません。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 27. インジェクト変換の遅延時間

1. 最大遅延時間の値は、STM32F100xx のデータシートの電気特性に記載されています。

10.3.10 不連続モード

レギュラグループ

このモードは、ADC_CR1 レジスタの DISCEN ビットをセットすることによって有効になります。これを使用して、ADC_SQRx レジスタで選択された変換シーケンスの一部である短い変換シーケンス（n <=8）を変換できます。n の値は、ADC_CR1 レジスタの DISCNUM[2:0] ビットに書き込むことによって指定されます。

外部トリガが発生すると、ADC_SQRx レジスタで選択された次の n 個の変換が開始され、シーケンス内のすべての変換が行われるまで続きます。合計シーケンス長は、ADC_SQR1 レジスタの L[3:0] ビットによって定義されます。

例：

n = 3、変換されるチャネル = 0、1、2、3、6、7、9、10
最初のトリガ：0、1、2 が変換されます。
2 番目のトリガ：3、6、7 が変換されます。
3 番目のトリガ：9、10 が変換され、EOC イベントが生成されます。
4 番目のトリガ：0、1、2 が変換されます。

注： ***レギュラグループが不連続モードで変換されるときには、ロールオーバーは発生しません。すべてのサブグループが変換されると、次のトリガで、最初のサブグループの変換が開始されます。***

上の例では、4 番目のトリガで最初のサブグループチャネルである 0、1、および 2 が再変換されます。

インジェクトグループ

このモードは、ADC_CR1 レジスタの JDISCEN ビットをセットすることで有効になります。これを使用して、ADC_JSQR レジスタで選択されたシーケンスを、外部トリガイベント後に 1 チャネルずつ変換することができます。

外部トリガが発生すると、ADC_JSQR レジスタで選択された次のチャネル変換が開始され、シーケンス内のすべての変換が行われるまで続きます。合計シーケンス長は、ADC_JSQR レジスタの JL[1:0] ビットによって定義されます。

例：

n = 1、変換されるチャネル = 1、2、3
最初のトリガ：チャネル 1 が変換されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

2 番目のトリガ：チャネル 2 が変換されます。
3 番目のトリガ：チャネル 3 が変換され、EOC および JEOC イベントが生成されます。
4 番目のトリガ：チャネル 1 が変換されます。

注： *1 すべてのインジェクトチャネルが変換されると、次のトリガでは、最初のインジェクトチャネルの変換が開始されます。上の例では、4 番目のトリガで最初のインジェクトチャネル 1 が再変換されます。*

2 自動インジェクトモードと不連続モードを同時に使用することはできません。

3 レギュラとインジェクトグループの両方で不連続モードを設定することは避けなければなりません。不連続モードは、1 つのグループ変換に対してのみ有効にしなければなりません。

10.4 較正

ADC には、内蔵の自己較正モードがあります。較正は、内部キャパシタのばらつきによる精度エラーを大幅に低減させます。較正時には、各キャパシタの誤り訂正コード（デジタルワード）が計算され、その後のすべての変換では、このコードを使用して、各キャパシタのエラーが除去されます。

較正は、ADC_CR2 レジスタの CAL ビットをセットすることによって開始されます。較正が終了すると、CAL ビットはハードウェアによってリセットされ、通常の変換を実行できるようになります。パワーオン後に一度、ADC を較正することを推奨します。較正フェーズが終了すると、すぐに較正コードが ADC_DR に格納されます。

注： *1 パワーアップ後は毎回、較正を実行することを推奨します。*

2 較正を開始する前に、ADC は少なくとも 2 ADC クロックサイクルの間、パワーオフ状態（ADON ビット = 0）でなければなりません。

図 28. 較正のタイミング図

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

10.5 データの配置

ADC_CR2 レジスタの ALIGN ビットは、変換後に格納されるデータの配置を選択します。データは、*図 29* および*図 30* に示されているように、左詰めまたは右詰めに配置できます。

インジェクトグループチャネルの変換後のデータ値は、ユーザが ADC_JOFRx レジスタに書き込んで定義したオフセット値だけ引き算されます。そのため、結果はマイナスになることがあります。SEXT ビットは、拡張符号値です。

レギュラグループチャネルの場合、オフセットは引かれないので、12 ビットのみが有効です。

図 29. データの右詰め

インジェクトグループ

SEXT	SEXT	SEXT	SEXT	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0

レギュラグループ

0	0	0	0	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0

図 30. データの左詰め

インジェクトグループ

SEXT	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	0	0	0

レギュラグループ

D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	0	0	0	0

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

10.6 チャネルごとにプログラミング可能なサンプル時間

ADC は、一定の ADC_CLK サイクル数だけ入力電圧をサンプリングしますが、この時間は、ADC_SMPR1 および ADC_SMPR2 レジスタの SMP[2:0] ビットを使用して変更できます。チャネルごとに異なるサンプル時間を設定することができます。

合計変換時間は、次のように計算されます。

Tconv = サンプル時間 + 12.5 サイクル

例：

ADCCLK = 12 MHz、サンプル時間が 1.5 サイクルのとき：

Tconv = 1.5 + 12.5 = 14 サイクル = 1.17 µs

10.7 外部トリガによる変換

変換は、外部イベント（タイマキャプチャ、EXTI ラインなど）によってトリガできます。EXTTRIG 制御ビットがセットされている場合、外部イベントで変換をトリガできます。EXTSEL[2:0] および JEXTSEL[2:0] 制御ビットによって、アプリケーションはレギュラおよびインジェクトグループの変換をトリガできるイベントを 8 つのイベントから選択することができます。

注： ***ADC のレギュラおよびインジェクト変換に対して外部トリガが選択されているときには、信号の立ち上がりエッジのみが変換を開始できます。***

表 60. ADC1 のインジェクトチャネルに対する外部トリガ

ソース	接続タイプ	JEXTSEL[2:0]
EXTI ライン 15	外部ピン	110
JSWSTART	ソフトウェア制御ビット	111

ソフトウェアソーストリガイベントは、レジスタのビット（ADC_CR2 の SWSTART および JSWSTART）をセットすることによって生成できます。

レギュラグループ変換は、インジェクトトリガによって中断することが可能です。

10.8 DMA リクエスト

変換されたレギュラチャネルの値は一意なデータレジスタに格納されるので、複数のレギュラチャネルの変換では DMA を使用する必要があります。これによって、ADC_DR レジスタにすでに格納されているデータの損失を防ぐことができます。

レギュラチャネルの変換終了時にのみ DMA リクエストが生成され、これにより、ADC_DR レジスタからユーザによって選択された場所に変換データを移動することができます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

10.9 温度センサ

温度センサを使用して、デバイスの周辺温度（T_A）を測定できます。

温度センサは、内部で ADCx_IN16 入力チャネルに接続されていて、センサの出力電圧をデジタル値に変換することができます。温度センサの推奨サンプル時間は、17.1 µs です。

温度センサのブロック図を*図 31* に示します。

使用されないときには、このセンサをパワーダウンモードにすることができます。

注： ***両方の内部チャネル、すなわち、ADCx_IN16（温度センサ）と ADCx_IN17（V_{REFINT}）の変換を有効にするには、TSVREFE ビットをセットする必要があります。***

温度センサの出力電圧は、温度に比例して変化します。このラインのオフセットは、プロセスのばらつきに起因し、チップごとに異なります（チップ間で最大 45 °C）。

内部温度センサは、絶対温度の代わりに温度変化を検出するアプリケーションに適しています。正確な計測温度が必要な場合は、外部温度センサを使用してください。

図 31. 温度センサおよび V_{REFINT} チャネルのブロック図

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

温度の読み出し

温度センサを使用するには：

1. ADCx_IN16 入力チャネルを選択します。
2. 17.1 µs のサンプル時間を選択します。
3. *ADC 制御レジスタ 2（ADC_CR2）*の TSVREFE ビットをセットして、温度センサをパワーダウンモードからウェイクアップします。
4. ADON ビットをセットすることによって（または外部トリガによって）ADC 変換を開始します。
5. ADC データレジスタの V_{SENSE} データを読み出します。
6. 次の式を使用して、温度を求めます。

   温度（°C）= {(V_{25} - V_{SENSE}) / Avg_Slope} + 25

   ここで、

   V_{25} = 25°Cでの V_{SENSE} 値

   Avg_Slope = 温度と V_{SENSE} の間の平均の傾き（mV/°Cまたは µV/°C）

   V_{25} および Avg_Slope の実際の値については、電気特性のセクションを参照してください。

注： ***センサがパワーダウンモードからウェイクアップして、正しいレベルで V_{SENSE} を出力できるようになるまでには時間がかかります（スタートアップ時間）ADC にも起動後のスタートアップ時間があるので、遅延を最小にするには、ADON ビットと TSVREFE ビットを同時にセットしてください。***

10.10 ADC 割り込み

割り込みは、レギュラおよびインジェクトグループの変換終了時、およびアナログウォッチドッグステータスビットがセットされたときに生成されます。柔軟性のために、個別の割り込みイネーブルビットがあります。

ADC_SR レジスタには他に 2 つのフラグがありますが、これらは割り込みには無関係です。

- JSTRT（インジェクトグループチャネルの変換開始）
- STRT（レギュラグループチャネルの変換開始）

表 61. ADC 割り込み

割り込みイベント	イベントフラグ	イネーブル制御ビット
レギュラグループの変換終了	EOC	EOCIE
インジェクトグループの変換終了	JEOC	JEOCIE
アナログウォッチドッグステータスビットのセット	AWD	AWDIE

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

10.11 ADC レジスタ

レジスタの説明で使用されている略語のリストについては、*セクション 1.1（32 ページ）*を参照してください。

ペリフェラルレジスタには、ワード（32 ビット）単位でアクセスする必要があります。

10.11.1 ADC ステータスレジスタ（ADC_SR）

アドレスオフセット：0x00

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み											STRT	JSTRT	JEOC	EOC	AWD
											rc_w0	rc_w0	rc_w0	rc_w0	rc_w0

ビット 31:5　予約済み、クリア状態のままでなければなりません。

ビット 4　**STRT**：レギュラチャネル開始フラグ

このビットは、レギュラチャネルの変換が開始したときにハードウェアによってセットされます。ソフトウェアによってクリアされます。

0：レギュラチャネルの変換は開始されていません。

1：レギュラチャネルの変換が開始されました

ビット 3　**JSTRT**：インジェクトチャネル開始フラグ

このビットは、インジェクトチャネルグループの変換が開始すると、ハードウェアによってセットされます。ソフトウェアによってクリアされます。

0：インジェクトグループの変換は開始されていません。

1：インジェクトグループの変換が開始されました。

ビット 2　**JEOC**：インジェクトチャネルの変換終了

このビットは、インジェクトグループチャネル変換がすべて終了したときに、ハードウェアによってセットされます。ソフトウェアによってクリアされます。

0：変換は完了していません。

1：変換が完了しました。

ビット 1　**EOC**：変換終了

このビットは、グループチャネル変換（レギュラまたはインジェクト）の終了時に、ハードウェアによってセットされます。ソフトウェアによって、または ADC_DR レジスタを読み出すことによってクリアされます。

0：変換は完了していません。

1：変換が完了しました。

ビット 0　**AWD**：アナログウォッチドッグフラグ

このビットは、変換された電圧が、ADC_LTR および ADC_HTR レジスタでプログラミングされた値を超えたときに、ハードウェアによってセットされます。ソフトウェアによってクリアされます。

0：アナログウォッチドッグイベントは発生していません。

1：アナログウォッチドッグイベントが発生しました。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

10.11.2 ADC 制御レジスタ 1（ADC_CR1）

アドレスオフセット：0x04

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DISCNUM[2:0]			JDISCEN	DISC EN	JAUTO	AWD SGL	SCAN	JEOC IE	AWDIE	EOCIE	AWDCH[4:0]				
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:24 予約済み、クリア状態のままでなければなりません。

ビット 23 **AWDEN**：アナログウォッチドッグイネーブル（レギュラチャネル）

このビットは、ソフトウェアによってセット/リセットされます。

0：レギュラチャネルに対するウォッチドッグ機能は無効です。

1：レギュラチャネルに対するウォッチドッグ機能は有効です。

ビット 22 **JAWDEN**：アナログウォッチドッグイネーブル（インジェクトチャネル）

このビットは、ソフトウェアによってセット/リセットされます。

0：インジェクトチャネルに対するウォッチドッグ機能は無効です。

1：インジェクトチャネルに対するウォッチドッグ機能は有効です。

ビット 21:16 予約済み、クリア状態のままでなければなりません。

ビット 15:13 **DISCNUM[2:0]**：不連続モードチャネルカウント

これらのビットは、外部トリガの受信後に、不連続モードで変換されるレギュラチャネルの数を定義するために、ソフトウェアによって書き込まれます。

000：1 チャネル

001：2 チャネル

.....

111：8 チャネル

ビット 12 **JDISCEN**：インジェクトチャネルの不連続モード

このビットは、インジェクトグループチャネルに対する不連続モードを有効/無効にするために、ソフトウェアによってセット/クリアされます。

0：インジェクトチャネルの不連続モードは無効です。

1：インジェクトチャネルの不連続モードは有効です。

ビット 11 **DISCEN**：レギュラチャネルの不連続モード

このビットは、レギュラチャネルに対する不連続モードを有効/無効にするために、ソフトウェアによってセット/クリアされます。

0：レギュラチャネルの不連続モードは無効です。

1：レギュラチャネルの不連続モードは有効です。

ビット 10 **JAUTO**：自動インジェクトグループ変換

このビットは、レギュラグループ変換の後、自動インジェクトグループ変換を有効/無効にするために、ソフトウェアによってセット/クリアされます。

0：自動インジェクトグループ変換は無効です。

1：自動インジェクトグループ変換は有効です。

ビット 9 **AWDSGL**：スキャンモードでの単一チャネルのウォッチドッグイネーブル

このビットは、AWDCH[4:0] ビットによって識別されたチャネルに対するアナログウォッチドッグを有効/無効にするために、ソフトウェアによってセット/クリアされます。

0：アナログウォッチドッグ機能はすべてのチャネルで有効です。

1：アナログウォッチドッグ機能は単一チャネルでのみ有効です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 8 **SCAN :** スキャンモード

このビットは、スキャンモードを有効/無効にするために、ソフトウェアによってセット/クリアされます。スキャンモードでは、ADC_SQRx または ADC_JSQRx レジスタを通じて選択された入力が変換されます。

0：スキャンモードは無効です。

1：スキャンモードは有効です。

注： ***対応する EOCIE または JEOCIE ビットがセットされている場合、最後のチャネルの変換が終了したときのみ、EOC または JEOC 割り込みが生成されます。***

ビット 7 **JEOCIE**：インジェクトチャネルの割り込みイネーブル

このビットは、インジェクトチャネルの変換割り込み終了を有効/無効にするために、ソフトウェアによってセット/クリアされます。

0：JEOC 割り込み無効。

1：JEOC 割り込み有効。JEOC ビットがセットされると、割り込みが生成されます。

ビット 6 **AWDIE** *:* アナログウォッチドッグ割り込みイネーブル

このビットは、アナログウォッチドッグ割り込みを有効/無効にするために、ソフトウェアによってセット/クリアされます。スキャンモードでは、このビットが有効な場合のみ、ウォッチドッグの閾値を超えるとスキャンが中止されます。

0：アナログウォッチドッグ割り込み無効。

1：アナログウォッチドッグ割り込み有効。

ビット 5 **EOCIE :** EOC 割り込みイネーブル

このビットは、変換終了時の割り込みを有効/無効にするために、ソフトウェアによってセット/クリアされます。

0：EOC 割り込み無効。

1：EOC 割り込み有効。EOC ビットがセットされると、割り込みが生成されます。

ビット 4:0 **AWDCH[4:0] :** アナログウォッチドッグチャネル選択ビット

これらのビットは、ソフトウェアによってセット/クリアされます。アナログウォッチドッグによって保護される入力チャネルを選択します。

00000：ADC アナログチャネル 0

00001：ADC アナログチャネル 1

....

01111：ADC アナログチャネル 15

10000：ADC アナログチャネル 16

10001：ADC アナログチャネル 17

その他の値は予約済みです。

ADC1 アナログチャネル 16 とチャネル 17 は、それぞれ温度センサと V_{REFINT} に内部接続されています。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

10.11.3 ADC 制御レジスタ 2（ADC_CR2）

アドレスオフセット：0x08

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み								TSVREFE	SWSTART	JSWSTART	EXTTRIG	EXTSEL[2:0]			予約済み
								rw	rw	rw	rw	rw	rw	rw	

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
JEXTTRIG	JEXTSEL[2:0]			ALIGN	予約済み		DMA	予約済み				RST CAL	CAL	CONT	ADON
rw	rw	rw	rw	rw	予約済み		rw					rw	rw	rw	rw

ビット 31:24 予約済み、クリア状態のままでなければなりません。

ビット 23 **TSVREFE**：温度センサと V_{REFINT} イネーブル

このビットは、温度センサおよび V_{REFINT} チャネルを有効/無効にするために、ソフトウェアによってセット/クリアされます。

0：温度センサおよび V_{REFINT} チャネルは無効です。

1：温度センサおよび V_{REFINT} チャネルは有効です。

ビット 22 **SWSTART**：レギュラチャネルの変換開始

このビットは、変換を開始するためにソフトウェアによってセットされ、変換開始直後にハードウェアによってクリアされます。SWSTART が EXTSEL[2:0] ビットによってトリガイベントとして選択されている場合、レギュラチャネルグループの変換を開始します。

0：リセット状態

1：レギュラチャネルの変換を開始します。

ビット 21 **JSWSTART**：インジェクトチャネルの変換開始

このビットは、ソフトウェアによってセットされ、ソフトウェアによってクリアされるか、変換開始直後にハードウェアによってクリアされます。SWSTART が JEXTSEL[2:0] ビットによってトリガイベントとして選択されている場合、インジェクトチャネルグループの変換を開始します。

0：リセット状態

1：インジェクトチャネルの変換を開始します。

ビット 20 **EXTTRIG**：レギュラチャネルの外部トリガ変換モード

このビットは、レギュラチャネルグループの変換を開始するために使用される外部トリガを有効/無効にするために、ソフトウェアによってセット/クリアされます。

0：外部イベントによる変換は無効です。

1：外部イベントによる変換は有効です。

ビット 19:17 **EXTSEL[2:0]**：レギュラグループの外部イベント選択

これらのビットは、レギュラグループの変換の開始をトリガするために使用される外部イベントを選択します。

000：タイマ 1 CC1 イベント

001：タイマ 1 CC2 イベント

010：タイマ 1 CC3 イベント

011：タイマ 2 CC2 イベント

100：タイマ 3 TRGO イベント

101：タイマ 4 CC4 イベント

110：EXTI ライン 11

111：SWSTART

ビット 16 予約済み、クリア状態のままでなければなりません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 15 **JEXTTRIG**：インジェクトチャネルの外部トリガ変換モード

このビットは、インジェクトチャネルグループの変換を開始するために使用される外部トリガを有効/無効にするために、ソフトウェアによってセット/クリアされます。

0：外部イベントによる変換は無効です。

1：外部イベントによる変換は有効です。

ビット 14:12 **JEXTSEL[2:0]**：インジェクトグループの外部イベント選択

これらのビットは、インジェクトグループの変換の開始をトリガするために使用される外部イベントを選択します。

000：タイマ 1 TRGO イベント

001：タイマ 1 CC4 イベント

010：タイマ 2 TRGO イベント

011：タイマ 2 CC1 イベント

100：タイマ 3 CC4 イベント

101：タイマ 4 TRGO イベント

110：EXTI ライン15

111：JSWSTART

ビット 11 **ALIGN**：データの配置

このビットは、ソフトウェアによってセット/クリアされます。*図 29.* および*図 30.* を参照してください。

0：右詰め

1：左詰め

ビット 10:9 予約済み、クリア状態のままでなければなりません。

ビット 7:4 予約済み、クリア状態のままでなければなりません。

ビット 3 **RSTCAL**：較正リセット

このビットは、ソフトウェアによってセットされ、ハードウェアによってクリアされます。較正レジスタが初期化された後、クリアされます。

0：較正レジスタはすでに初期化されています。

1：較正レジスタを初期化します。

注： 変換中に RSTCAL ビットがセットされた場合は、較正レジスタをクリアするために、追加のサイクルが必要です。

ビット 2 **CAL**：A/D 較正

このビットは、較正を開始するために、ソフトウェアによってセットされます。較正の完了後、ハードウェアによってリセットされます。

0：較正は完了しました。

1：較正を有効にします。

ビット 1 **CONT**：連続変換

このビットは、ソフトウェアによってセット/クリアされます。セットされた場合、このビットがリセットされるまで連続的に変換が行われます。

0：シングル変換モード

1：連続変換モード

ビット 0 **ADON**：A/D コンバータオン/オフ

このビットは、ソフトウェアによってセット/クリアされます。このビットが 0 の値を保持しているときに 1 が書き込まれた場合、ADC をパワーダウン状態からウェイクアップします。

このビットが 1 の値を保持しているときに 1 が書き込まれると、変換が開始します。アプリケーションは、起動から変換開始までの t_{STAB} の遅延に対応しなければなりません。*図 25.*を参照してください。

0：ADC の変換/較正を無効にして、パワーダウンモードに移行します。

1：ADC を有効にして、変換を開始します。

注： このレジスタの ADON 以外のビットが同時に変更されても、変換はトリガされません。これは、誤った変換のトリガを防ぐためです。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

10.11.4 ADC サンプル時間レジスタ 1（ADC_SMPR1）

アドレスオフセット：0x0C

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み								SMP17[2:0]			SMP16[2:0]			SMP15[2:1]	
								rw	rw	rw	rw	rw	rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMP 15_0	SMP14[2:0]			SMP13[2:0]			SMP12[2:0]			SMP11[2:0]			SMP10[2:0]		
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:24　予約済み、クリア状態のままでなければなりません。

ビット 23:0　**SMPx[2:0]**：チャネル x サンプル時間選択

これらのビットは、各チャネルのサンプル時間を個別に選択するために、ソフトウェアによって書き込まれます。サンプルサイクル中は、チャネル選択ビットを変更することはできません。

000：1.5 サイクル
001：7.5 サイクル
010：13.5 サイクル
011：28.5 サイクル
100：41.5 サイクル
101：55.5 サイクル
110：71.5 サイクル
111：239.5 サイクル

ADC1 アナログチャネル 16 と チャネル 17 は、それぞれ温度センサと V_{REFINT} に内部接続されています。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

10.11.5 ADC サンプル時間レジスタ 2（ADC_SMPR2）

アドレスオフセット：0x10

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み		SMP9[2:0]			SMP8[2:0]			SMP7[2:0]			SMP6[2:0]			SMP5[2:1]	
予約済み		rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMP 5_0	SMP4[2:0]			SMP3[2:0]			SMP2[2:0]			SMP1[2:0]			SMP0[2:0]		
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:30 予約済み、クリア状態のままでなければなりません。

ビット 29:0 **SMPx[2:0]**：チャネル x サンプル時間選択

これらのビットは、各チャネルのサンプル時間を個別に選択するために、ソフトウェアによって書き込まれます。サンプルサイクル中は、チャネル選択ビットを変更することはできません。

000：1.5 サイクル
001：7.5 サイクル
010：13.5 サイクル
011：28.5 サイクル
100：41.5 サイクル
101：55.5 サイクル
110：71.5 サイクル
111：239.5 サイクル

ADC1 アナログチャネル 16 と チャネル 17 は、それぞれ温度センサと V_{REFINT} に内部接続されています。

10.11.6 ADC インジェクトチャネルデータオフセットレジスタ x（ADC_JOFRx）（x=1..4）

アドレスオフセット：0x14-0x20

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み				JOFFSETx[11:0]											
				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:12 予約済み、クリア状態のままでなければなりません。

ビット 11:0 **JOFFSETx[11:0]**：インジェクトチャネル x のデータオフセット

これらのビットは、インジェクトチャネルを変換するときに生変換データから引かれるオフセットを定義するために、ソフトウェアによって書き込まれます。変換結果は、ADC_JDRx レジスタで読み出すことができます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

10.11.7 ADC ウォッチドッグ高閾値レジスタ（ADC_HTR）

アドレスオフセット：0x24

リセット値：0x0000 0FFF

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み				HT[11:0]											
				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:12 予約済み、クリア状態のままでなければなりません。

ビット 11:0 **HT[11:0]**：アナログウォッチドッグ高閾値

これらのビットは、アナログウォッチドッグの高閾値を定義するために、ソフトウェアによって書き込まれます。

10.11.8 ADC ウォッチドッグ低閾値レジスタ（ADC_LTR）

アドレスオフセット：0x28

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み				LT[11:0]											
				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:12 予約済み、クリア状態のままでなければなりません。

ビット 11:0 **LT[11:0]**：アナログウォッチドッグ低閾値

これらのビットは、アナログウォッチドッグの低閾値を定義するために、ソフトウェアによって書き込まれます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

10.11.9 ADC レギュラシーケンスレジスタ 1（ADC_SQR1）

アドレスオフセット：0x2C

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み								L[3:0]				SQ16[4:1]			
								rw	rw	rw	rw	rw	rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SQ16_0	SQ15[4:0]					SQ14[4:0]					SQ13[4:0]				
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:24　予約済み、クリア状態のままでなければなりません。

ビット 23:20　**L[3:0]**：レギュラチャネルシーケンス長

これらのビットは、レギュラチャネル変換シーケンスの合計変換数を定義するために、ソフトウェアによって書き込まれます。

0000：1 変換

0001：2 変換

.....

1111：16 変換

ビット 19:15　**SQ16[4:0]**：レギュラシーケンスの 16 番目の変換

これらのビットには、変換シーケンス内の 16 番目として割り当てられたチャネル番号（0..17）がソフトウェアによって書き込まれます。

ビット 14:10　**SQ15[4:0]**：レギュラシーケンスの 15 番目の変換

ビット 9:5　**SQ14[4:0]**：レギュラシーケンスの 14 番目の変換

ビット 4:0　**SQ13[4:0]**：レギュラシーケンスの 13 番目の変換

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

10.11.10 ADC レギュラシーケンスレジスタ 2（ADC_SQR2）

アドレスオフセット：0x30

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み		SQ12[4:0]					SQ11[4:0]					SQ10[4:1]			
		rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SQ10_0	SQ9[4:0]					SQ8[4:0]					SQ7[4:0]				
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:30 予約済み、クリア状態のままでなければなりません。

ビット 29:26 **SQ12[4:0]**：レギュラシーケンスの *12* 番目の変換

これらのビットには、シーケンス内の 12 番目の変換として割り当てられたチャネル番号（0..17）がソフトウェアによって書き込まれます。

ビット 24:20 **SQ11[4:0]**：レギュラシーケンスの 11 番目の変換

ビット 19:15 **SQ10[4:0]**：レギュラシーケンスの 10 番目の変換

ビット 14:10 **SQ9[4:0]：**レギュラシーケンスの 9 番目の変換

ビット 9:5 **SQ8[4:0]**：レギュラシーケンスの 8 番目の変換

ビット 4:0 **SQ7[4:0]**：レギュラシーケンスの 7 番目の変換

10.11.11 ADC レギュラシーケンスレジスタ 3（ADC_SQR3）

アドレスオフセット：0x34

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み		SQ6[4:0]					SQ5[4:0]					SQ4[4:1]			
		rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SQ4_0	SQ3[4:0]					SQ2[4:0]					SQ1[4:0]				
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:30 予約済み、クリア状態のままでなければなりません。

ビット 29:25 **SQ6[4:0]**：レギュラシーケンスの 6 番目の変換

これらのビットには、変換シーケンスで変換される 6 番目として割り当てられたチャネル番号（0..17）がソフトウェアによって書き込まれます。

ビット 24:20 **SQ5[4:0]：**レギュラシーケンスの 5 番目の変換

ビット 19:15 **SQ4[4:0]**：レギュラシーケンスの 4 番目の変換

ビット 14:10 **SQ3[4:0]**：レギュラシーケンスの 3 番目の変換

ビット 9:5 **SQ2[4:0]：**レギュラシーケンスの 2 番目の変換

ビット 4:0 **SQ1[4:0]**：レギュラシーケンスの 1 番目の変換

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

10.11.12 ADC インジェクトシーケンスレジスタ（ADC_JSQR）

アドレスオフセット：0x38

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み										JL[1:0]		JSQ4[4:1]			
										rw	rw	rw	rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
JSQ4_0	JSQ3[4:0]					JSQ2[4:0]					JSQ1[4:0]				
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:22　予約済み、クリア状態のままでなければなりません。

ビット 21:20　**JL[1:0]**：インジェクトシーケンス長

これらのビットは、インジェクトチャネル変換シーケンスの合計変換数を定義するために、ソフトウェアによって書き込まれます。

00：1 変換
01：2 変換
10：3 変換
11：4 変換

ビット 19:15　**JSQ4[4:0]**：インジェクトシーケンス内の 4 番目の変換

これらのビットには、変換シーケンス内の 4 番目として割り当てられたチャネル番号（0..17）がソフトウェアによって書き込まれます。

注：　レギュラ変換シーケンスと異なり、JL[1:0] の長さが 4 未満の場合、チャネルは (4-JL) から変換されます。例：ADC_JSQR[21:0] = 10 00011 00011 00111 00010 は、スキャン変換は 7、3、3 のチャネルシーケンスを変換することを意味します（2、7、3 ではなく）。

ビット 14:10　**JSQ3[4:0]**：インジェクトシーケンスの 3 番目の変換

ビット 9:5　**JSQ2[4:0]**：インジェクトシーケンスの 2 番目の変換

ビット 4:0　**JSQ1[4:0]**：インジェクトシーケンスの 1 番目の変換

10.11.13 ADC インジェクトデータレジスタ x（ADC_JDRx）（x= 1..4）

アドレスオフセット：0x3C - 0x48

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
JDATA[15:0]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:16　予約済み、クリア状態のままでなければなりません。

ビット 15:0　**JDATA[15:0]**：インジェクトされたデータ

これらのビットは読み出し専用です。インジェクトチャネル x からの変換結果を含みます。データは、*図 29* および*図 30* に示されているように、左詰めまたは右詰めで格納されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

10.11.14 ADC レギュラデータレジスタ（ADC_DR）

アドレスオフセット：0x4C

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DATA[15:0]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:16 予約済み

ビット 15:0 **DATA[15:0]**：レギュラデータ

これらのビットは読み出し専用です。レギュラチャネルからの変換結果を含みます。データは、*図 29* および*図 30* に示されているように、左詰めまたは右詰めで格納されます。

10.11.15 ADC レジスタマップ

次の表は ADC レジスタの一覧です。

表 62. ADC レジスタマップとリセット値

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	ADC_SR	予約済み																											STRT	JSTRT	JEOC	EOC	AWD
	リセット値																												0	0	0	0	0
0x04	ADC_CR1	予約済み								AWDEN	JAWDEN	予約済み						DISC NUM [2:0]			JDISCEN	DISCEN	JAUTO	AWD SGL	SCAN	JEOC IE	AWDIE	EOCIE	AWDCH[4:0]				
	リセット値									0	0							0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x08	ADC_CR2	予約済み								TSVREFE	SWSTART	JSWSTART	EXTTRIG	EXTSEL[2:0]			予約済み	JEXTTRIG	JEXTSEL [2:0]			ALIGN	予約済み		DMA	予約済み				RSTCAL	CAL	CONT	ADON
	リセット値									0	0	0	0	0	0	0		0	0	0	0	0			0					0	0	0	0
0x0C	ADC_SMPR1	サンプル時間ビット SMPx_x																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x10	ADC_SMPR2	サンプル時間ビット SMPx_x																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x14	ADC_JOFR1	予約済み																				JOFFSET1[11:0]											
	リセット値																					0	0	0	0	0	0	0	0	0	0	0	0
0x18	ADC_JOFR2	予約済み																				JOFFSET2[11:0]											
	リセット値																					0	0	0	0	0	0	0	0	0	0	0	0
0x1C	ADC_JOFR3	予約済み																				JOFFSET3[11:0]											
	リセット値																					0	0	0	0	0	0	0	0	0	0	0	0
0x20	ADC_JOFR4	予約済み																				JOFFSET4[11:0]											
	リセット値																					0	0	0	0	0	0	0	0	0	0	0	0

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 62. ADC レジスタマップとリセット値 （続き）

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x24	ADC_HTR	予約済み																				HT[11:0]											
	リセット値																					0	0	0	0	0	0	0	0	0	0	0	0
0x28	ADC_LTR	予約済み																				LT[11:0]											
	リセット値																					0	0	0	0	0	0	0	0	0	0	0	0
0x2C	ADC_SQR1	予約済み								L[3:0]				SQ16[4:0]：レギュラシーケンスの 16 番目の変換ビット					SQ15[4:0]：レギュラシーケンスの 15 番目の変換ビット					SQ14[4:0]：レギュラシーケンスの 14 番目の変換ビット					SQ13[4:0]：レギュラシーケンスの 13 番目の変換ビット				
	リセット値									0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x30	ADC_SQR2	予約済み		SQ12[4:0]：レギュラシーケンスの 12 番目の変換ビット					SQ11[4:0]：レギュラシーケンスの 11 番目の変換ビット					SQ10[4:0]：レギュラシーケンスの 10 番目の変換ビット					SQ9[4:0]：レギュラシーケンスの 9 番目の変換ビット					SQ8[4:0]：レギュラシーケンスの 8 番目の変換ビット					SQ7[4:0]：レギュラシーケンスの 7 番目の変換ビット				
	リセット値		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x34	ADC_SQR3	予約済み		SQ6[4:0]：レギュラシーケンスの 6 番目の変換ビット					SQ5[4:0]：レギュラシーケンスの 5 番目の変換ビット					SQ4[4:0]：レギュラシーケンスの 4 番目の変換ビット					SQ3[4:0]：レギュラシーケンスの 3 番目の変換ビット					SQ2[4:0]：レギュラシーケンスの 2 番目の変換ビット					SQ1[4:0]：レギュラシーケンスの 1 番目の変換ビット				
	リセット値		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x38	ADC_JSQR	予約済み										JL[1:0]		JSQ4[4:0]：インジェクトシーケンスの 4 番目の変換ビット					JSQ3[4:0]：インジェクトシーケンスの 3 番目の変換ビット					JSQ2[4:0]：インジェクトシーケンスの 2 番目の変換ビット					JSQ1[4:0]：インジェクトシーケンスの 1 番目の変換ビット				
	リセット値											0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x3C	ADC_JDR1	予約済み																JDATA[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x40	ADC_JDR2	予約済み																JDATA[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x44	ADC_JDR3	予約済み																JDATA[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x48	ADC_JDR4	予約済み																JDATA[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

レジスタ境界アドレスについては、*表 1：小容量および中容量デバイスのレジスタ境界アドレス*と*表 2：大容量デバイスのレジスタ境界アドレス*を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

11 D/A コンバータ（DAC）

小容量バリューラインデバイスは、フラッシュメモリ容量が 16～32 KB の STM32F100xx マイクロコントローラです。

中容量バリューラインデバイスは、フラッシュメモリ容量が 64～128 KB の STM32F100xx マイクロコントローラです。

大容量バリューラインデバイスは、フラッシュメモリ容量が 256～512 KB の STM32F100xx マイクロコントローラです。

このセクションは、別段の指定がない限り、STM32F100xx ファミリ全体に適用されます。

11.1 DAC の概要

DAC モジュールは、12 ビットの電圧出力デジタルアナログコンバータです。DAC は、8 または 12 ビットモードで設定でき、DMA コントローラと組み合わせて使用することもできます。12 ビットモードでは、データを左詰めまたは右詰めに設定できます。DAC には 2 つの出力チャネルがあり、それぞれがコンバータを搭載しています。デュアル DAC チャネルモードでは、変換は独立して行うか、両方のチャネルが同期更新操作のためにグループ化されているときには同時に行うことができます。分解能を高めるために、入力基準ピン V_{REF+} を使用することができます。

11.2 DAC の主な機能

- 2 つの DAC コンバータ：それぞれ 1 つの出力チャネル
- 12 ビットモードでのデータの左詰めまたは右詰め
- 同期更新機能
- ノイズ波生成
- 三角波生成
- デュアル DAC チャネルの独立または同時変換
- 各チャネルでの DMA 利用
- DMA アンダーランエラー検出
- 変換の外部トリガ
- 入力基準電圧 V_{REF+}

DAC チャネルのブロック図は*図 32* に、ピンの概要は*表 63* に示されています。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 32. DAC チャネルブロック図

表 63. DAC ピン

名称	信号種別	摘要
V_{REF+}	入力、アナログ基準電圧 ＋	DAC のハイレベル/正基準電圧、 $2.4V \leq V_{REF+} \leq V_{DDA}$.
V_{DDA}	入力、アナログ供給	アナログ電源供給
V_{SSA}	入力、アナログ供給 グランド	アナログ電源供給のグランド
DAC_OUTx	アナログ出力信号	DAC チャネルx アナログ出力

注： DAC チャネルが有効になると、対応する GPIO ピン（PA4 または PA5）が自動的にアナログコンバータ出力（DAC_OUTx）に接続されます。リーク電流を防ぐために、PA4 または PA5 ピンはまずアナログ（AIN）として設定してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

11.3 DAC 機能詳細

11.3.1 DAC チャネルイネーブル

各 DAC チャネルは、DAC_CR レジスタの対応する ENx ビットをセットすることによって起動できます。DAC チャネルは、スタートアップ時間 t_{WAKEUP} 後に有効になります。

注： ***ENx ビットは、アナログ DAC チャネルのマクロセルのみを有効にします。DAC チャネルx デジタルインタフェースは、ENx ビットがリセットされた場合でも有効になります。***

11.3.2 DAC 出力バッファイネーブル

DAC は、出力インピーダンスを減らし、外部動作アンプがなくても外部負荷を駆動できる 2 つの出力バッファを内蔵しています。各 DAC チャネル出力バッファは、DAC_CR レジスタの対応する BOFFx ビットを使用して有効/無効にできます。

11.3.3 DAC データフォーマット

次のように、選択された設定モードに応じて、指定されたレジスタにデータを書き込む必要があります。

- 1 つの DAC チャネルx では、3 つの設定が可能です。
  - 8 ビット右詰め：ユーザは、データを DAC_DHR8Rx[7:0] ビット（DHRx[11:4] ビットに格納）にロードしなければなりません。
  - 12 ビット左詰め：ユーザは、データを DAC_DHR12Lx[15:4] ビット（DHRx[11:0] ビットに格納）にロードしなければなりません。
  - 12 ビット右詰め：ユーザは、データを DAC_DHR12Rx[11:0] ビット（DHRx[11:0] ビットに格納）にロードしなければなりません。

ロードされた DAC_DHRyyyx レジスタに応じて、ユーザによって書き込まれたデータは、シフトされてから、DHRx（Data Holding Register x、メモリマップされない内部レジスタ）に格納されます。その後、DHRx レジスタは自動的に、ソフトウェアトリガによって、または外部イベントトリガによって、DORx レジスタにロードされます。

図 33. シングル DAC チャネルモードのデータレジスタ

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

- デュアル DAC チャネルでは、3 つの設定が可能です。
  - 8 ビット右詰め : DAC チャネル 1 のデータは、DAC_DHR8RD[7:0] ビット（DHR1[11:4] ビットに格納）に、DAC チャネル 2 のデータは、DAC_DHR8RD[15:8] ビット（DHR2[11:4] ビットに格納）にロードされます。
  - 12 ビット左詰め : DAC チャネル 1 のデータは、DAC_DHR12LD[15:4] ビット（DHR1[11:0] ビットに格納）に、DAC チャネル 2 のデータは、DAC_DHR12LD[31:20] ビット（DHR2[11:0] ビットに格納）にロードされます。
  - 12 ビット右詰め : DAC チャネル 1 のデータは、DAC_DHR12RD[11:0] ビット（DHR1[11:0] ビットに格納）に、DAC チャネル 2 のデータは、DAC_DHR12LD[27:16] ビット（DHR2[11:0] ビットに格納）にロードされます。

ロードされた DAC_DHRyyyD レジスタに応じて、ユーザによって書き込まれたデータは、シフトされてから、DHR1 および DHR2（Data Holding Register、メモリマップされない内部レジスタ）に格納されます。その後、DHR1 および DHR2 レジスタは、自動的に、ソフトウェアトリガによって、または外部イベントトリガによって、それぞれ DOR1 および DOR2 レジスタにロードされます。

図 34. デュアル DAC チャネルモードのデータレジスタ

11.3.4 DAC 変換

DAC_DORx に直接書き込むことはできず、DAC_DHRx レジスタをロードすることによって（DAC_DHR8Rx、DAC_DHR12Lx、DAC_DHR12Rx、DAC_DHR8RD、DAC_DHR12LD、または DAC_DHR12LD への書き込み）、DAC チャネルx へのデータ転送を行う必要があります。

DAC_DHRx レジスタに格納されたデータは、ハードウェアトリガが選択されていない（DAC_CR レジスタの TEN x ビットがリセットされている）場合に、1 APB1 クロックサイクル後に DAC_DORx レジスタに自動的に転送されます。ただし、ハードウェアトリガが選択されている（DAC_CR レジスタの TENx ビットがセットされている）ときには、トリガが発生すると、転送は 3 APB1 クロックサイクル後に行われます。

DAC_DORx に DAC_DHRx の内容がロードされると、電源電圧とアナログ出力負荷に応じて決定される $t_{SETTLING}$ 時間後にアナログ出力電圧が使用可能になります。

図 35. トリガ無効（TEN = 0）時の変換タイミング図

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

11.3.5 DAC 出力電圧

デジタル入力は、0 から V_{REF+} の間のリニア変換で出力電圧に変換されます。

各 DAC チャネルピンのアナログ出力電圧は、次の式によって求められます。

$$DACoutput = V_{REF} \times \frac{DOR}{4095}$$

11.3.6 DAC トリガ選択

TENx 制御ビットがセットされている場合、外部イベント（タイマカウンタ、外部割り込みラインなど）によって変換をトリガできます。*表 64* に示されているように、8 つの中のどのイベントが変換をトリガするかは、TSELx[2:0] 制御ビットによって決まります。

表 64. 外部トリガ

ソース	タイプ	TSEL[2:0]
タイマ 6 TRGO イベント	オンチップタイマからの内部信号	000
タイマ 3 TRGO イベント		001
タイマ 7 TRGO イベント		010
タイマ 5 または タイマ 15 TRGO イベント		011
タイマ 2 TRGO イベント		100
タイマ 4 TRGO イベント		101
EXTI ライン 9	外部ピン	110
SWTRIG	ソフトウェア制御ビット	111

DAC インタフェースが選択されたタイマ TRGO 出力または選択された外部割り込みライン 9 の立ち上がりエッジを検出するたびに、DAC_DHRx レジスタに最後に格納されたデータが DAC_DORx レジスタに転送されます。DAC_DORx レジスタは、トリガが発生してから 3 APB1 サイクル後に更新されます。

ソフトウェアトリガが選択されている場合、変換は、SWTRIG ビットがセットされると開始されます。SWTRIG ビットは、DAC_DHRx レジスタの内容が DAC_DORx レジスタにロードされると、ハードウェアによってリセットされます。

注：

1. ***ENx ビットがセットされているときには、TSELx[2:0] ビットを変更することはできません。***
2. ***ソフトウェアトリガが選択されているときには、DAC_DHRx から DAC_DORx レジスタへの転送は、わずか 1 APB1 クロックサイクルで行われます。***
3. ***大容量バリューラインデバイスでは、TIM15 TRGO イベントが DAC トリガ 3 として選択されるのは、AFIO_MAPR2 レジスタの MISC_REMAP ビットがセットされており、AFIO_MAPR2 レジスタの MISC_REMAP ビットがリセットされたときに DAC トリガ 3 が TIM5 TRGO に接続されている場合に限ります。小容量および中容量デバイスでは、TIM15 TRGO イベントは常に DAC トリガ 3 として選択されます。詳細については、セクション 7.3 : オルタネート機能入出力とデバッグ設定（AFIO）（115 ページ）を参照してください。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

11.3.7 DMA リクエスト

各 DAC チャネルは、DMA 機能を備えています。DAC チャネルの DMA リクエストは、2 つの DMA チャネルを使用して処理されます。

DAC DMA リクエストは、DMAENx ビットがセットされているときに、外部トリガ（ソフトウェアトリガでなく）が発生した時に生成されます。その場合、DAC_DHRx レジスタの値が DAC_DORx レジスタに転送されます。
デュアルモードでは、両方の DMAENx ビットがセットされている場合、2 つの DMA リクエストが生成されます。1 つの DMA リクエストしか必要ない場合には、対応する DMAENx ビットだけをセットしてください。これにより、アプリケーションは 1 つの DMA リクエストと一意な DMA チャネルを使用して、両方の DAC チャネルをデュアルモードで管理することができます。

DMA アンダーラン

DAC DMA リクエストはキューされないので、最初の外部トリガに対する確認応答が受信される（最初のリクエスト）前に 2 つ目の外部トリガが発生すると、新しいリクエストは発行されず、DAC_SR レジスタの DMA チャネルx アンダーランフラグ DMAUDRx がセットされてエラー条件を報告します。続いて DMA データ転送が無効になり、その後の DMA リクエストは処理されません。DAC チャネルx は、古いデータを変換し続けます。

ソフトウェアでは、“1”を書き込むことによって DMAUDRx フラグをクリアし、使用された DMA ストリームの DMAEN ビットをクリアし、DMA と DAC のチャネルx を再初期化して転送を正しくリスタートさせてください。また、DAC トリガ変換周波数を変更するか DMA の負荷を軽減して、新しい DMA アンダーランを回避してください。最後に、DMA データ転送と変換トリガを有効にすることによって DAC 変換を再開することができます。

各 DAC チャネルx では、DAC_CR レジスタの対応する DMAUDRIEx ビットが有効にされた場合、割り込みも生成されます。

11.3.8 ノイズ生成

リニアフィードバックシフトレジスタ（LFSR）を使用して、可変振幅の擬似ノイズを生成することができます。DAC ノイズ生成は、WAVEx[1:0] を “01” にセットすることによって選択されます。LFSR にプリロードされる値は 0xAAA です。このレジスタは、各トリガイベントの 3 APB1 クロックサイクル後に、特定の計算アルゴリズムに従って更新されます。

図 36. DAC LFSR レジスタ計算アルゴリズム

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

LFSR 値は、DAC_CR レジスタの MAMPx[3:0] ビットによって部分的または全体的にマスクでき、オーバーフローなしに DAC_DHRx の内容に加算されて、DAC_DORx レジスタに格納されます。

LFSR が 0x0000 の場合、“1” がインジェクトされます（アンチロックアップメカニズム）。

WAVEx[1:0] ビットをリセットすることによって、LFSR 波形生成をリセットできます。

図 37. LSFR 波形生成による DAC 変換（SW トリガ有効）

注： ノイズ生成のためには、DAC_CR レジスタの TENx ビットをセットすることによって、DAC トリガを有効にしなければなりません。

11.3.9 三角波生成

DC または低周波数信号上に、小さな振幅の三角波を追加することが可能です。DAC 三角波生成は、WAVEx[1:0] を “10” にセットすることによって選択されます。振幅は、DAC_CR レジスタの MAMPx[3:0] ビットによって設定されます。内部三角波カウンタは、各トリガイベントの 3 APB1 クロックサイクル後にインクリメントされます。このカウンタの値は、オーバーフローなしに DAC_DHRx レジスタに加えられ、合計は DAC_DORx レジスタに格納されます。三角波カウンタは、MAMPx[3:0] ビットによって定義された最大振幅より小さい場合にインクリメントされます。設定された振幅に達すると、カウンタは 0 にデクリメントされ、再びインクリメントが開始されます。

WAVEx[1:0] ビットをリセットすることによって、三角波生成をリセットすることができます。

図 38. DAC 三角波生成

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 39. 三角波生成による DAC 変換（SW トリガ有効）

注： 1 ノイズ生成のためには、DAC_CR レジスタの TENx ビットをセットすることによって、DAC トリガを有効にしなければなりません。

2 DAC を有効にする前に、MAMPx[3:0] ビットを設定する必要があります。有効にした後は変更できません。

11.4 デュアル DAC チャネル変換

同時に 2 つの DAC チャネルを必要とするアプリケーションで、バスのバンド幅を有効に使用するために、DHR8RD、DHR12RD、および DHR12LD の 3 つのデュアルレジスタが搭載されています。両方の DAC チャネルを同時に駆動するには、一意なレジスタアクセスが必要です。

2 つの DAC チャネルと これらのデュアルレジスタを使用することで、11 の変換モードが使用可能です。すべての変換モードは、必要な場合には、個別の DHRx レジスタを使用して入手することもできます。

すべてのモードについて、以下の節で説明します。

11.4.1 波形生成なしの独立トリガ

DAC をこの変換モードに設定するには、次の手順が必要です。

- TEN1 とTEN2 の 2 つの DAC チャネルトリガイネーブルビットをセットします。
- TSEL1[2:0] および TSEL2[2:0] ビットに異なる値を設定することによって、異なるトリガソースを設定します。
- 目的の DHR レジスタ（DAC_DHR12RD、DAC_DHR12LD、または DAC_DHR8RD）にデュアル DAC チャネルデータをロードします。

DAC チャネル 1 トリガが発生すると、DHR1 レジスタが DAC_DOR1 に転送されます（3 APB1 クロックサイクル後）。

DAC チャネル 2 トリガが発生すると、DHR2 レジスタが DAC_DOR2 に転送されます（3 APB1 クロックサイクル後）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

11.4.2 1 つの LFSR 生成による独立トリガ

DAC をこの変換モードに設定するには、次の手順が必要です。

- TEN1 とTEN2 の 2 つの DAC チャネルトリガイネーブルビットをセットします。
- TSEL1[2:0] および TSEL2[2:0] ビットに異なる値をセットすることによって、異なるトリガソースを設定します。
- 2 つの DAC チャネル WAVEx[1:0] ビットを "01" に設定し、MAMPx[3:0] ビットで同じ LFSR マスク値を設定します。
- 目的の DHR レジスタ（DAC_DHR12RD、DAC_DHR12LD、または DAC_DHR8RD）に、デュアル DAC チャネルデータをロードします。

DAC チャネル 1 トリガが発生すると、同じマスクを持つ LFSR1 カウンタが DHR1 レジスタに加算され、合計が DAC_DOR1 に転送されます（3 APB1 クロックサイクル後）。その後、LFSR1 カウンタが更新されます。

DAC チャネル 2 トリガが発生すると、同じマスクを持つ LFSR2 カウンタが DHR2 レジスタに加算され、合計が DAC_DOR2 に転送されます（3 APB1 クロックサイクル後）。その後、LFSR2 カウンタが更新されます。

11.4.3 異なる LFSR 生成による独立トリガ

DAC をこの変換モードに設定するには、次の手順が必要です。

- TEN1 とTEN2 の 2 つの DAC チャネルトリガイネーブルビットをセットします。
- TSEL1[2:0] および TSEL2[2:0] ビットに異なる値を設定することによって、異なるトリガソースを設定します。
- 2 つの DAC チャネル WAVEx[1:0] ビットを “01” に設定し、MAMP1[3:0] ビットと MAMP2[3:0] ビットで異なる LFSR マスク値を設定します。
- 目的の DHR レジスタ（DAC_DHR12RD、DAC_DHR12LD、または DAC_DHR8RD）にデュアル DAC チャネルデータをロードします。

DAC チャネル 1 トリガが発生すると、MAMP1[3:0] によって設定されたマスクを持つ LFSR1 カウンタが DHR1 レジスタに加算され、合計が DAC_DOR1 に転送されます（3 APB1 クロックサイクル後）。その後、LFSR1 カウンタが更新されます。

DAC チャネル 2 トリガが発生すると、MAMP2[3:0] によって設定されたマスクを持つ LFSR2 カウンタが DHR2 レジスタに加算され、合計が DAC_DOR2 に転送されます（3 APB1 クロックサイクル後）。その後、LFSR2 カウンタが更新されます。

11.4.4 1 つの三角波生成による独立トリガ

DAC をこの変換モードに設定するには、次の手順が必要です。

- TEN1 とTEN2 の 2 つの DAC チャネルトリガイネーブルビットをセットします。
- TSEL1[2:0] および TSEL2[2:0] ビットに異なる値を設定することによって、異なるトリガソースを設定します。
- 2 つの DAC チャネルの WAVEx[1:0] ビットを “1x” に設定し、MAMPx[3:0] ビットで同じ最大振幅値を設定します。
- 目的の DHR レジスタ（DAC_DHR12RD、DAC_DHR12LD、または DAC_DHR8RD）にデュアル DAC チャネルデータをロードします。

DAC チャネル 1 トリガが発生すると、同じ三角波振幅を持つ DAC チャネル 1 の三角波カウンタが DHR1 レジスタに加算され、合計が DAC_DOR1 に転送されます（3 APB1 クロックサイクル後）。その後、DAC チャネル 1 の三角波カウンタが更新されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

DAC チャネル 2 トリガが発生すると、同じ三角波振幅を持つ DAC チャネル 2 の三角波カウンタが DHR2 レジスタに加算され、合計が DAC_DOR2 に転送されます（3 APB1 クロックサイクル後）。その後、DAC チャネル 2 の三角波カウンタが更新されます。

11.4.5 異なる三角波生成による独立トリガ

DAC をこの変換モードに設定するには、次の手順が必要です。

- TEN1 とTEN2 の 2 つの DAC チャネルトリガイネーブルビットをセットします。
- TSEL1[2:0] および TSEL2[2:0] ビットに異なる値を設定することによって、異なるトリガソースを設定します。
- 2 つの DAC チャネルの WAVEx[1:0] ビットを “1x” に設定し、MAMP1[3:0] と MAMP2[3:0] ビットで異なる最大振幅値を設定します。
- 目的の DHR レジスタ（DAC_DHR12RD、DAC_DHR12LD、または DAC_DHR8RD）にデュアル DAC チャネルデータをロードします。

DAC チャネル 1 トリガが発生すると、MAMP1[3:0] によって設定された三角波振幅を持つ DAC チャネル 1 の三角波カウンタが DHR1 レジスタに加算され、合計が DAC_DOR1 に転送されます（3 APB1 クロックサイクル後）。その後、DAC チャネル 1 の三角波カウンタが更新されます。

DAC チャネル 2 トリガが発生すると、MAMP2[3:0] によって設定された三角波振幅を持つ DAC チャネル 2 の三角波カウンタが DHR2 レジスタに加算され、合計が DAC_DOR2 に転送されます（3 APB1 クロックサイクル後）。その後、DAC チャネル 2 の三角波カウンタが更新されます。

11.4.6 同時ソフトウェア開始

DAC をこの変換モードに設定するには、次の手順が必要です。

- 目的の DHR レジスタ（DAC_DHR12RD、DAC_DHR12LD、または DAC_DHR8RD）に、デュアル DAC チャネルデータをロードします。

この設定では、1 APB1 クロックサイクル後に、DHR1 および DHR2 レジスタが DAC_DOR1 と DAC_DOR2 にそれぞれ転送されます。

11.4.7 波形生成なしの同時トリガ

DAC をこの変換モードに設定するには、次の手順が必要です。

- 2 つの DAC チャネルのトリガイネーブルビット TEN1 および TEN2 をセットします。
- TSEL1[2:0] および TSEL2[2:0] ビットに同じ値を設定することによって、両方の DAC チャネルに同じトリガソースを設定します。
- 目的の DHR レジスタ（DAC_DHR12RD、DAC_DHR12LD、または DAC_DHR8RD）に、デュアル DAC チャネルデータをロードします。

トリガが発生すると、DHR1 および DHR2 レジスタが DAC_DOR1 と DAC_DOR2 にそれぞれ転送されます（3 APB1 クロックサイクル後）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

11.4.8 1 つの LFSR 生成による同時トリガ

DAC をこの変換モードに設定するには、次の手順が必要です。

- TEN1 とTEN2 の 2 つの DAC チャネルトリガイネーブルビットをセットします。
- TSEL1[2:0] および TSEL2[2:0] ビットに同じ値を設定することによって、両方の DAC チャネルに同じトリガソースを設定します。
- 2 つの DAC チャネル WAVEx[1:0] ビットを “01” に設定し、MAMPx[3:0] ビットで同じ LFSR マスク値を設定します。
- 目的の DHR レジスタ（DAC_DHR12RD、DAC_DHR12LD、または DAC_DHR8RD）に、デュアル DAC チャネルデータをロードします。

トリガが発生すると、同じマスクを持つ LFSR1 カウンタが DHR1 レジスタに加算され、合計が DAC_DOR1 に転送されます（3 APB1 クロックサイクル後）。その後、LFSR1 カウンタが更新されます。同時に、同じマスクを持つ LFSR2 カウンタが DHR2 レジスタに加算され、合計が DAC_DOR2 に転送されます（3 APB1 クロックサイクル後）。その後、LFSR2 カウンタが更新されます。

11.4.9 異なる LFSR 生成による同時トリガ

DAC をこの変換モードに設定するには、次の手順が必要です。

- TEN1 とTEN2 の 2 つの DAC チャネルトリガイネーブルビットをセットします。
- TSEL1[2:0] および TSEL2[2:0] ビットに同じ値を設定することによって、両方の DAC チャネルに同じトリガソースを設定します。
- 2 つの DAC チャネルの WAVEx[1:0] ビットを “01” に設定し、MAMP1[3:0] と MAMP2[3:0] ビットで異なる LFSR マスク値を設定します。
- 目的の DHR レジスタ（DAC_DHR12RD、DAC_DHR12LD、または DAC_DHR8RD）にデュアル DAC チャネルデータをロードします。

トリガが発生すると、MAMP1[3:0] で設定されたマスクを持つ LFSR1 カウンタが DHR1 レジスタに加算され、合計が DAC_DOR1 に転送されます（3 APB1 クロックサイクル後）。その後、LFSR1 カウンタが更新されます。
同時に、MAMP2[3:0] で設定されたマスクを持つ LFSR2 カウンタが DHR2 レジスタに加算され、合計が DAC_DOR2 に転送されます（3 APB1 クロックサイクル後）。その後、LFSR2 カウンタが更新されます。

11.4.10 1 つの三角波生成による同時トリガ

DAC をこの変換モードに設定するには、次の手順が必要です。

- TEN1 とTEN2 の 2 つの DAC チャネルトリガイネーブルビットをセットします。
- TSEL1[2:0] および TSEL2[2:0] ビットに同じ値を設定することによって、両方の DAC チャネルに同じトリガソースを設定します。
- 2 つの DAC チャネルの WAVEx[1:0] ビットを “1x” に設定し、MAMPx[3:0] ビットで同じ最大振幅値を設定します。
- 目的の DHR レジスタ（DAC_DHR12RD、DAC_DHR12LD、または DAC_DHR8RD）にデュアル DAC チャネルデータをロードします。

トリガが発生すると、同じ三角波振幅を持つ DAC チャネル 1 の三角波カウンタが DHR 1 レジスタに加算され、合計が DAC_DOR1 に転送されます（3 APB1 ロックサイクル後）。その後、DAC チャネル 1 の三角波カウンタが更新されます。
同時に、同じ三角波振幅を持つ DAC チャネル 2 の三角波カウンタが DHR2 レジスタに加算され、合計が DAC_DOR2 に転送されます（3 APB1 クロックサイクル後）。その後、DAC チャネル 2 の三角波カウンタが更新されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

11.4.11 異なる三角波生成による同時トリガ

DAC をこの変換モードに設定するには、次の手順が必要です。

- TEN1 とTEN2 の 2 つの DAC チャネルトリガイネーブルビットをセットします。
- TSEL1[2:0] および TSEL2[2:0] ビットに同じ値をセットすることによって、両方の DAC チャネルに同じトリガソースを設定します。
- 2 つの DAC チャネルの WAVEx[1:0] ビットを “1x” に設定し、MAMP1[3:0] と MAMP2[3:0] ビットで異なる最大振幅値をセットします。
- 目的の DHR レジスタ（DAC_DHR12RD、DAC_DHR12LD、または DAC_DHR8RD）にデュアル DAC チャネルデータをロードします。

トリガが発生すると、MAMP1[3:0] によって設定された三角波振幅を持つ DAC チャネル 1 の三角波カウンタが DHR1 レジスタに加算され、合計が DAC_DOR1 に転送されます（3 APB1 クロックサイクル後）。その後、DAC チャネル 1 の三角波カウンタが更新されます。
同時に、MAMP2[3:0] で設定された三角波振幅を持つ DAC チャネル 2 の三角波カウンタが DHR2 レジスタに加算され、合計が DAC_DOR2 に転送されます（3 APB1 クロックサイクル後）。その後、DAC チャネル 2 の三角波カウンタが更新されます。

11.5 DAC レジスタ

レジスタの説明で使用されている略語のリストについては、*セクション 1.1（32 ページ）*を参照してください。

ペリフェラルレジスタには、ワード（32 ビット）単位でアクセスする必要があります。

11.5.1 DAC 制御レジスタ（DAC_CR）

アドレスオフセット：0x00

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み		DMAUDRIE2	DMAEN2	MAMP2[3:0]				WAVE2[1:0]		TSEL2[2:0]			TEN2	BOFF2	EN2
		rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み		DMAUDRIE1	DMAEN1	MAMP1[3:0]				WAVE1[1:0]		TSEL1[2:0]			TEN1	BOFF1	EN1
		rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:30 予約済み

ビット 29 **DMAUDRIE2**：DAC チャネル 2 DMA アンダーラン割り込みイネーブル
このビットは、ソフトウェアによってセット/クリアされます。
0：DAC チャネル 2 DMA アンダーラン割り込みは無効です。
1：DAC チャネル 2 DMA アンダーラン割り込みは有効です。

ビット 28 **DMAEN2**：DAC チャネル 2 DMA イネーブル
このビットは、ソフトウェアによってセット/クリアされます。
0：DAC チャネル 2 DMAモードは無効です。
1：DAC チャネル 2 DMAモードは有効です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 27:24 **MAMP2[3:0]**：DAC チャネル 2 マスク/振幅セレクタ

これらのビットは、波形生成モードのマスクまたは三角波生成モードの振幅を選択するために、ソフトウェアによって書き込まれます。

0000：LFSR/三角波振幅のアンマスクビット 0 は 1 に等しい
0001：LFSR/三角波振幅のアンマスクビット [1:0] は 3 に等しい
0010：LFSR/三角波振幅のアンマスクビット [2:0] は 7 に等しい
0011：LFSR/三角波振幅のアンマスクビット [3:0] は 15 に等しい
0100：LFSR/三角波振幅のアンマスクビット [4:0] は 31 に等しい
0101：LFSR/三角波振幅のアンマスクビット [5:0] は 63 に等しい
0110：LFSR/三角波振幅のアンマスクビット [6:0] は 127 に等しい
0111：LFSR/三角波振幅のアンマスクビット [7:0] は 255 に等しい
1000：LFSR/三角波振幅のアンマスクビット [8:0] は 511 に等しい
1001：LFSR/三角波振幅のアンマスクビット [9:0] は 1023 に等しい
1010：LFSR/三角波振幅のアンマスクビット [10:0] は 2047 に等しい
≥ 1011：LFSR/三角波振幅のアンマスクビット [11:0] は 4095 に等しい

ビット 23:22 **WAVE2[1:0]**：DAC チャネル 2 ノイズ/三角波生成イネーブル

これらのビットは、ソフトウェアによってセット/リセットされます。

00：波形生成は無効です。
01：ノイズ波生成は有効です。
1x：三角波生成は有効です。

注：　ビット TEN2＝1（DAC チャネル 2 トリガ有効）の場合のみ使用されます。

ビット 21:19 **TSEL2[2:0]**：DAC チャネル 2 トリガ選択

これらのビットは、DAC チャネル 2 をトリガするために使用される外部イベントを選択します。

000：タイマ 6 TRGO イベント
001：タイマ 3 TRGO イベント
010：タイマ 7 TRGO イベント
011：タイマ 5 または タイマ 15 TRGO イベント
100：タイマ 2 TRGO イベント
101：タイマ 4 TRGO イベント
110：外部ライン 9
111：ソフトウェアトリガ

注：　ビット TEN2＝1（DAC チャネル 2 トリガ有効）の場合のみ使用されます。
大容量バリューラインデバイスでは、TIM15 TRGO イベントが DAC トリガ 3 として選択されるのは、AFIO_MAPR2 レジスタの MISC_REMAP ビットがセットされており、AFIO_MAPR2 レジスタの MISC_REMAP ビットがリセットされたときに DAC トリガ 3 が TIM5 TRGO に接続されている場合に限ります。小容量および中容量デバイスでは、TIM15 TRGO イベントは常に DAC トリガ 3 として選択されます。詳細については、AFIO セクションを参照してください。

ビット 18 **TEN2**：DAC チャネル 2 トリガイネーブル

このビットは、DAC チャネル 2 トリガを有効/無効にするために、ソフトウェアによってセット/クリアされます。

0：DAC チャネル 2 トリガは無効であり、DAC_DHRx レジスタに書き込まれたデータは、1 APB1 クロックサイクル後に DAC_DOR2 レジスタに転送されます。
1：DAC チャネル 2 トリガは有効であり、DAC_DHRx レジスタから転送されたデータは、3 APB1 クロックサイクル後に DAC_DOR2 レジスタに転送されます。

注：　ソフトウェアトリガが選択されているときには、DAC_DHRx から DAC_DOR2 レジスタへの転送には、1 APB1 クロックサイクルしか掛かりません。

ビット 17 **BOFF2**：DAC チャネル 2 出力バッファディセーブル

このビットは、DAC チャネル 2 出力バッファを有効/無効にするために、ソフトウェアによってセット/クリアされます。

0：DAC チャネル 2 出力バッファは有効です。
1：DAC チャネル 2 出力バッファは無効です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 16 **EN2**：DAC チャネル 2 イネーブル

このビットは、DAC チャネル 2 を有効/無効にするために、ソフトウェアによってセット/クリアされます。

0：DAC チャネル 2 は無効です。

1：DAC チャネル 2 は有効です。

ビット 15:14 予約済み

ビット 13 **DMAUDRIE1**：DAC チャネル 1 DMA アンダーラン割り込みイネーブル

このビットは、ソフトウェアによってセット/クリアされます。

0：DAC チャネル 1 DMA アンダーラン割り込みは無効です。

1：DAC チャネル 1 DMA アンダーラン割り込みは有効です。

ビット 12 **DMAEN1**：DAC チャネル 1 DMA イネーブル

このビットは、ソフトウェアによってセット/クリアされます。

0：DAC チャネル 1 DMAモードは無効です。

1：DAC チャネル 1 DMAモードは有効です。

ビット 11:8 **MAMP1[3:0]**：DAC チャネル 1 マスク/振幅セレクタ

これらのビットは、波形生成モードのマスクまたは三角波生成モードの振幅を選択するために、ソフトウェアによって書き込まれます。

0000：LFSR/三角波振幅のアンマスクビット 0 は 1 に等しい

0001：LFSR/三角波振幅のアンマスクビット [1:0] は 3 に等しい

0010：LFSR/三角波振幅のアンマスクビット [2:0] は 7 に等しい

0011：LFSR/三角波振幅のアンマスクビット [3:0] は 15 に等しい

0100：LFSR/三角波振幅のアンマスクビット [4:0] は 31 に等しい

0101：LFSR/三角波振幅のアンマスクビット [5:0] は 63 に等しい

0110：LFSR/三角波振幅のアンマスクビット [6:0] は 127 に等しい

0111：LFSR/三角波振幅のアンマスクビット [7:0] は 255 に等しい

1000：LFSR/三角波振幅のアンマスクビット [8:0] は 511 に等しい

1001：LFSR/三角波振幅のアンマスクビット [9:0] は 1023 に等しい

1010：LFSR/三角波振幅のアンマスクビット [10:0] は 2047 に等しい

≥ 1011：LFSR/三角波振幅のアンマスクビット [11:0] は 4095 に等しい

ビット 7:6 **WAVE1[1:0]**：DAC チャネル 1 ノイズ/三角波生成イネーブル

これらのビットは、ソフトウェアによってセット/クリアされます。

00：波形生成は無効です。

01：ノイズ波生成は有効です。

1x：三角波生成は有効です。

注：　ビット TEN1＝1（DAC チャネル 1 トリガ有効）の場合のみ使用されます。

ビット 5:3 **TSEL1[2:0]**：DAC チャネル 1 トリガ選択

これらのビットは、DAC チャネル 1 をトリガするために使用される外部イベントを選択します。

000：タイマ 6 TRGO イベント

001：タイマ 3 TRGO イベント

010：タイマ 7 TRGO イベント

011：タイマ 5 または タイマ 15 TRGO イベント

100：タイマ 2 TRGO イベント

101：タイマ 4 TRGO イベント

110：外部ライン 9

111：ソフトウェアトリガ

注：　ビット TEN1＝1（DAC チャネル 1 トリガ有効）の場合のみ使用されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 2 **TEN1**：DAC チャネル 1 トリガイネーブル

このビットは、DAC チャネル 1 トリガを有効/無効にするために、ソフトウェアによってセット/クリアされます。

0：DAC チャネル 1 トリガは無効であり、DAC_DHRx レジスタに書き込まれたデータは、1 APB1 クロックサイクル後に DAC_DOR1 レジスタに転送されます。

1：DAC チャネル 1 トリガは有効であり、DAC_DHRx レジスタから転送されたデータは、3 APB1 クロックサイクル後に DAC_DOR1 レジスタに転送されます。

注： ***ソフトウェアトリガが選択されているときには、DAC_DHRx から DAC_DOR1 レジスタへの転送には、1 APB1 クロックサイクルしか掛かりません。***

ビット 1 **BOFF1**：DAC チャネル 1 出力バッファディセーブル

このビットは、DAC チャネル 1 出力バッファを有効/無効にするために、ソフトウェアによってセット/クリアされます。

0：DAC チャネル 1 出力バッファは有効です。

1：DAC チャネル 1 出力バッファは無効です。

ビット 0 **EN1**：DAC チャネル 1 イネーブル

このビットは、DAC チャネル 1 を有効/無効にするために、ソフトウェアによってセット/クリアされます。

0：DAC チャネル 1 は無効です。

1：DAC チャネル 1 は有効です。

11.5.2 DAC ソフトウェアトリガレジスタ（DAC_SWTRIGR）

アドレスオフセット：0x04

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み														SWTRIG2	SWTRIG1
														w	w

ビット 31:2 予約済み

ビット 1 **SWTRIG2**：DAC チャネル 2 ソフトウェアトリガ

このビットは、ソフトウェアトリガを有効/無効にするために、ソフトウェアによってセット/クリアされます。

0：ソフトウェアトリガは無効です。

1：ソフトウェアトリガは有効です。

注： ***このビットは、DAC_DHR2 レジスタの値が DAC_DOR2 レジスタにロードされると、ハードウェアによってクリアされます（1 APB1 クロックサイクル後）。***

ビット 0 **SWTRIG1**：DAC チャネル 1 ソフトウェアトリガ

このビットは、ソフトウェアトリガを有効/無効にするために、ソフトウェアによってセット/クリアされます。

0：ソフトウェアトリガは無効です。

1：ソフトウェアトリガは有効です。

注： ***このビットは、DAC_DHR1 レジスタの値が DAC_DOR1 レジスタにロードされると、ハードウェアによってクリアされます（1 APB1 クロックサイクル後）。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

11.5.3 DAC チャネル 1 12 ビット右詰めデータ保持レジスタ（DAC_DHR12R1）

アドレスオフセット：0x08
リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み				DACC1DHR[11:0]											
				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:12 予約済み

ビット 11:0 **DACC1DHR[11:0]**：DAC チャネル 1 12 ビット右詰めデータ

これらのビットは、DAC チャネル 1 の 12 ビットデータを指定するために、ソフトウェアによって書き込まれます。

11.5.4 DAC チャネル 1 12 ビット左詰めデータ保持レジスタ（DAC_DHR12L1）

アドレスオフセット：0x0C

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DACC1DHR[11:0]												予約済み			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw				

ビット 31:16 予約済み

ビット 15:4 **DACC1DHR[11:0]**：DAC チャネル 1 12 ビット左詰めデータ

これらのビットは、DAC チャネル 1 の 12 ビットデータを指定するために、ソフトウェアによって書き込まれます。

ビット 3:0 予約済み

11.5.5 DAC チャネル 1 8 ビット右詰めデータ保持レジスタ（DAC_DHR8R1）

アドレスオフセット：0x10

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								DACC1DHR[7:0]							
								rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:8 予約済み

ビット 7:0 **DACC1DHR[7:0]**：DAC チャネル 1 8 ビット右詰めデータ

これらのビットは、DAC チャネル 1 の 8 ビットデータを指定するために、ソフトウェアによって書き込まれます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

11.5.6 DAC チャネル 2 12 ビット右詰めデータ保持レジスタ（DAC_DHR12R2）

アドレスオフセット：0x14

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み				DACC2DHR[11:0]											
				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:12 予約済み

ビット 11:0 **DACC2DHR[11:0]**：DAC チャネル 2 12 ビット右詰めデータ

これらのビットは、DAC チャネル 2 の 12 ビットデータを指定するために、ソフトウェアによって書き込まれます。

11.5.7 DAC チャネル 2 12 ビット左詰めデータ保持レジスタ（DAC_DHR12L2）

アドレスオフセット：0x18

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DACC2DHR[11:0]												予約済み			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw				

ビット 31:16 予約済み

ビット 15:4 **DACC2DHR[11:0]**：DAC チャネル 2 12 ビット左詰めデータ

これらのビットは、DAC チャネル 2 の 12 ビットデータを指定するために、ソフトウェアによって書き込まれます。

ビット 3:0 予約済み

11.5.8 DAC チャネル 2 8 ビット右詰めデータ保持レジスタ（DAC_DHR8R2）

アドレスオフセット：0x1C

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								DACC2DHR[7:0]							
								rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:8 予約済み

ビット 7:0 **DACC2DHR[7:0]**：DAC チャネル 2 8 ビット右詰めデータ

これらのビットは、DAC チャネル 2 の 8 ビットデータを指定するために、ソフトウェアによって書き込まれます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

11.5.9 デュアル DAC 12 ビット右詰めデータ保持レジスタ（DAC_DHR12RD）

アドレスオフセット：0x20

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み				DACC2DHR[11:0]											
				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み				DACC1DHR[11:0]											
				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:28 予約済み

ビット 27:16 **DACC2DHR[11:0]**：DAC チャネル 2 12 ビット右詰めデータ

これらのビットは、DAC チャネル 2 の 12 ビットデータを指定するために、ソフトウェアによって書き込まれます。

ビット 15:12 予約済み

ビット 11:0 **DACC1DHR[11:0]**：DAC チャネル 1 12 ビット右詰めデータ

これらのビットは、DAC チャネル 1 の 12 ビットデータを指定するために、ソフトウェアによって書き込まれます。

11.5.10 デュアル DAC 12 ビット左詰めデータ保持レジスタ（DAC_DHR12LD）

アドレスオフセット：0x24

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DACC2DHR[11:0]												予約済み			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw				
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DACC1DHR[11:0]												予約済み			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw				

ビット 31:20 **DACC2DHR[11:0]**：DAC チャネル 2 12 ビット左詰めデータ

これらのビットは、DAC チャネル 2 の 12 ビットデータを指定するために、ソフトウェアによって書き込まれます。

ビット 19:16 予約済み

ビット 15:4 **DACC1DHR[11:0]**：DAC チャネル 1 12 ビット左詰めデータ

これらのビットは、DAC チャネル 1 の 12 ビットデータを指定するために、ソフトウェアによって書き込まれます。

ビット 3:0 予約済み

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

11.5.11 デュアル DAC 8 ビット右詰めデータ保持レジスタ（DAC_DHR8RD）

アドレスオフセット：0x28

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DACC2DHR[7:0]								DACC1DHR[7:0]							
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:16 予約済み

ビット 15:8 **DACC2DHR[7:0]**：DAC チャネル 2 8 ビット右詰めデータ

これらのビットは、DAC チャネル 2 の 8 ビットデータを指定するために、ソフトウェアによって書き込まれます。

ビット 7:0 **DACC1DHR[7:0]**：DAC チャネル 1 8 ビット右詰めデータ

これらのビットは、DAC チャネル 1 の 8 ビットデータを指定するために、ソフトウェアによって書き込まれます。

11.5.12 DAC チャネル 1 データ出力レジスタ（DAC_DOR1）

アドレスオフセット：0x2C

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み				DACC1DOR[11:0]											
				r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:12 予約済み

ビット 11:0 **DACC1DOR[11:0]**：DAC チャネル 1 データ出力

これらのビットは読み出し専用であり、DAC チャネル 1 のデータ出力を含みます。

11.5.13 DAC チャネル 2 データ出力レジスタ（DAC_DOR2）

アドレスオフセット：0x30
リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み				DACC2DOR[11:0]											
				r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:12 予約済み

ビット 11:0 **DACC2DOR[11:0]**：DAC チャネル 2 データ出力

これらのビットは読み出し専用であり、DAC チャネル 2 のデータ出力を含みます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

11.5.14 DAC ステータスレジスタ（DAC_SR）

アドレスオフセット：0x34

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み		DMAUDR2 rc_w1	予約済み												
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み		DMAUDR1 rc_w1	予約済み												

ビット 31:30 予約済み

ビット 29 **DMAUDR2**：DAC チャネル 2 DMA アンダーランフラグ

このビットは、ハードウェアによってセットされ、1 を書き込むことによってソフトウェアによってクリアされます。

0：DAC チャネル 2 に DMA アンダーランエラー条件は発生しませんでした。

1：DAC チャネル 2 に DMA アンダーランエラー条件が発生しました（現在選択されているトリガは、DMA の処理能力を上回る周波数で DAC チャネル 2 変換を駆動しています）。

ビット 28:14 予約済み

ビット 13 **DMAUDR1**：DAC チャネル 1 DMA アンダーランフラグ

このビットは、ハードウェアによってセットされ、1 を書き込むことによってソフトウェアによってクリアされます。

0：DAC チャネル 1 に DMA アンダーランエラー条件は発生しませんでした。

1：DAC チャネル 1 に DMA アンダーランエラー条件が発生しました（現在選択されているトリガは、DMA の処理能力を上回る周波数で DAC チャネル 1 変換を駆動しています）。

ビット 12:0 予約済み

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

11.5.15 DAC レジスタマップ

表 65 は DAC レジスタの一覧です。

表 65. DAC レジスタマップ

アドレスオフセット	レジスタ名	31	30	29	28	27	26	25	24	26	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	DAC_CR	予約済み		DMAUDRIE2	DMAEN2	MAMP2[3:0]				WAVE2 [2:0]		TSEL2[2:0]			TEN2	BOFF2	EN2	予約済み		DMAUDRIE1	DMAEN1	MAMP1[3:0]				WAVE1 [2:0]		TSEL1[2:0]			TEN1	BOFF1	EN1
0x04	DAC_SWTRIGR	予約済み																														SWTRIG2	SWTRIG1
0x08	DAC_DHR12R1	予約済み																				DACC1DHR[11:0]											
0x0C	DAC_DHR12L1	予約済み																DACC1DHR[11:0]												予約済み			
0x10	DAC_DHR8R1	予約済み																								DACC1DHR[7:0]							
0x14	DAC_DHR12R2	予約済み																				DACC2DHR[11:0]											
0x18	DAC_DHR12L2	予約済み																DACC2DHR[11:0]												予約済み			
0x1C	DAC_DHR8R2	予約済み																								DACC2DHR[7:0]							
0x20	DAC_DHR12RD	予約済み				DACC2DHR[11:0]												予約済み				DACC1DHR[11:0]											
0x24	DAC_DHR12LD	DACC2DHR[11:0]												予約済み				DACC1DHR[11:0]												予約済み			
0x28	DAC_DHR8RD	予約済み																DACC2DHR[7:0]								DACC1DHR[7:0]							
0x2C	DAC_DOR1	予約済み																				DACC1DOR[11:0]											
0x30	DAC_DOR2	予約済み																				DACC2DOR[11:0]											
0x34	DAC_SR	予約済み		DMAUDR2		予約済み														DMAUDR1		予約済み											

レジスタ境界アドレスについては、*表 1：小容量および中容量デバイスのレジスタ境界アドレス*と*表 2：大容量デバイスのレジスタ境界アドレス*を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

12 高機能制御タイマ（TIM1）

小容量バリューラインデバイスは、フラッシュメモリ容量が 16～32 KB の STM32F100xx マイクロコントローラです。

中容量バリューラインデバイスは、フラッシュメモリ容量が 64～128 KB の STM32F100xx マイクロコントローラです。

大容量バリューラインデバイスは、フラッシュメモリ容量が 256～512 KB の STM32F100xx マイクロコントローラです。

このセクションは、別段の指定がない限り、STM32F100xx ファミリ全体に適用されます。

12.1 TIM1 の概要

高機能制御タイマ（TIM1）は、プログラマブルなプリスケーラによって駆動される 16 ビット自動再ロードカウンタで構成されます。

入力信号のパルス長の測定（入力キャプチャ）や出力波形の生成（出力比較、PWM、デッドタイムを挿入した相補 PWM）など、さまざまな目的に使用できます。

パルス長と波形の周期は、タイマプリスケーラと RCC クロックコントローラプリスケーラを使用して、数マイクロ秒から数ミリ秒までの範囲で変化させることができます。

高機能制御タイマ （TIM1）と汎用タイマ（TIMx）は、互いに独立しており、リソースを共有しません。*セクション 12.3.20* に記されているように、相互に同期させることができます。

12.2 TIM1 の主な機能

TIM1 タイマの主な機能は、次のとおりです。

- 16 ビットのアップカウンタ、ダウンカウンタ、アップ/ダウン自動再ロードカウンタ。
- 1 から 65535 の間でカウンタクロック周波数を（動作中でも）分周できる 16 ビットのプログラマブルプリスケーラ。
- 次の機能を持つ、最大 4 つの独立チャネル。
  - 入力キャプチャ
  - 出力比較
  - PWM 生成（エッジアラインモードとセンターアラインモード）
  - ワンパルスモード出力
- プログラマブルデッドタイムを持つ相補出力
- 外部信号でタイマを制御し、複数のタイマを相互接続する同期回路。
- カウンタの特定のサイクル数後にのみタイマレジスタを更新する繰り返しカウンタ。
- タイマの出力信号をリセット状態または既知の状態にするブレーク入力。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

- 以下のイベント時の割り込み/DMA 生成：
  - 更新：カウンタオーバーフロー/アンダーフロー、カウンタの初期化（ソフトウェアまたは内部/外部トリガによって）
  - トリガイベント（カウンタ開始、停止、初期化、または内部/外部トリガによるカウント）
  - 入力キャプチャ
  - 出力比較
  - ブレーク入力
- 位置決めのためのインクリメンタル（直交）エンコーダとホールセンサ回路をサポートしています。
- 外部クロックまたはサイクルごとの電流管理のためのトリガ入力

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 40. 高機能制御タイマのブロック図

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

12.3 TIM1 の機能詳細

12.3.1 タイムベースユニット

プログラマブル高機能制御タイマのメインブロックは、自動再ロードレジスタを持つ 16 ビットカウンタです。カウンタは、カウントアップ、カウントダウン、またはアップダウンします。カウンタクロックは、プリスケーラによって分周できます。

カウンタ、自動再ロードレジスタ、およびプリスケーラレジスタは、ソフトウェアによる読み書きが可能です。カウンタの動作中でも、読み書きが可能です。

タイムベースユニットは以下のレジスタで構成されます。

- カウンタレジスタ（TIMx_CNT）
- プリスケーラレジスタ（TIMx_PSC）
- 自動再ロードレジスタ（TIMx_ARR）
- 繰り返しカウンタレジスタ（TIMx_RCR）

自動再ロードレジスタは、プリロードレジスタに事前にロードされます。自動再ロードレジスタの読み書きは、プリロードレジスタへのアクセスになります。プリロードレジスタの内容は、TIMx_CR1 レジスタの自動再ロードプリロードイネーブルビット（ARPE）に応じて、常時または更新イベント（UEV）ごとに、シャドウレジスタに転送されます。TIMx_CR1 レジスタの UDIS ビットが 0 の場合、カウンタがオーバーフロー（またはダウンカウント時はアンダーフロー）に達したときに、更新イベントが発生します。また、ソフトウェアによって生成することもできます。更新イベントの生成については、各設定の中で詳しく説明されています。

カウンタのクロックは、TIMx_CR1 レジスタのカウンタイネーブルビット（CEN）がセットされているときにのみ、プリスケーラ出力 CK_CNT から供給されます（カウンタの有効化の詳細については、スレーブモードコントローラの説明も参照してください）。

TIM x _CR1 レジスタの CEN ビットがセットされてから、カウンタがカウントを開始するまでに 1 クロックサイクルの遅延があることに注意してください。

プリスケーラの説明

プリスケーラは、カウンタクロック周波数を 1 から 65536 までの間の値で分周することができます。16 ビットレジスタ（TIMx_PSC）を通して制御されます。この制御レジスタはバッファされるので、動作中でも変更できます。新しいプリスケーラ比は、次の更新イベントで有効になります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 42 と *図 43* は、プリスケーラ比がその場で変更されたときのカウンタの動作の例を示しています。

図 41. プリスケーラ分周比が 1 から 2 に変化したときのカウンタのタイミング図

図 42. プリスケーラ分周比が 1 から 4 に変化したときのカウンタのタイミング図

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

12.3.2 カウンタモード

アップカウントモード

アップカウントモードでは、カウンタは 0 から自動再ロード値（TIMx_ARR レジスタの内容）までカウントし、0 からカウントをリスタートするとともに、カウンタオーバーフローイベントを生成します。

繰り返しカウンタが使用されている場合には、更新イベント（UEV）は、繰り返しカウンタレジスタ（TIMx_RCR）でプログラムされた回数までアップカウントが繰り返された後で生成されます。繰り返しカウンタが使用されていないときには、カウンタのオーバーフローごとに更新イベントが生成されます。

（ソフトウェアによって、またはスレーブモードコントローラを使用して）TIMx_EGR レジスタの UG ビットをセットすることでも、更新イベントが生成されます。

UEV イベントは、ソフトウェアで TIMx_CR1 レジスタの UDIS ビットをセットすることによって無効にできます。これは、プリロードレジスタに新しい値を書き込んでいるときにシャドウレジスタが更新されるのを防ぐためです。この場合、UDIS ビットに 0 が書き込まれるまで、更新イベントは発生しません。ただし、プリスケーラのカウンタと同じく、カウンタは 0 からカウントをリスタートします（しかし、プリスケーラ比は変化しません）。さらに、TIMx_CR1 レジスタの URS ビット（更新リクエスト選択）がセットされている場合は、UG ビットをセットすると更新イベント UEV が生成されますが、UIF フラグはセットされません（したがって、割り込みや DMA リクエストは送信されません）。これは、キャプチャイベント時にカウンタをクリアしているときに、更新とキャプチャの両方の割り込みが生成されるのを防ぐためです。

更新イベントが発生すると、すべてのレジスタが更新され、URS ビットに応じて、更新フラグ（TIMx_SR レジスタの UIF ビット）がセットされます。

- 繰り返しカウンタには TIMx_RCR レジスタの内容が再ロードされます。
- 自動再ロードシャドウレジスタは、プリロード値（TIMx_ARR）で更新されます。
- プリスケーラのバッファにはプリロード値（TIMx_PSC レジスタの内容）が再ロードされます。

以下の図は、TIMx_ARR = 0x36 のときの、さまざまなクロック周波数におけるカウンタの動作の例を示しています。

図 43. 内部クロック分周比が 1 の場合のカウンタのタイミング図

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 44. 内部クロック分周比が 2 の場合のカウンタのタイミング図

図 45. 内部クロック分周比が 4 の場合のカウンタのタイミング図

図 46. 内部クロック分周比が N の場合のカウンタのタイミング図

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 47. ARPE=0 時（TIMx_ARR はプリロードされない）、更新イベント時のカウンタのタイミング図

図 48. ARPE=1 時（TIMx_ARR はプリロードされる）、更新イベント時のカウンタのタイミング図

ダウンカウントモード

ダウンカウントモードでは、カウンタは自動再ロード値（TIMx_ARR レジスタの内容）から 0 までカウントした後、自動再ロード値からカウントダウンをリスタートし、カウンタアンダーフローイベントを生成します。

繰り返しカウンタが使用されている場合、繰り返しカウンタレジスタ（TIMx_RCR）でプログラムされた回数までダウンカウントが繰り返された後、更新イベント（UEV）が生成されます。繰り返しカウンタが使用されていないときには、カウンタのアンダーフローごとに更新イベントが生成されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

（ソフトウェアによって、またはスレーブモードコントローラを使用して）TIMx_EGR レジスタの UG ビットをセットすることでも、更新イベントが生成されます。

UEV 更新イベントは、ソフトウェアで TIMx_CR1 レジスタの UDIS ビットをセットすることによって無効にできます。これは、プリロードレジスタに新しい値を書き込んでいるときにシャドウレジスタが更新されるのを防ぐためです。この後 UDIS ビットに 0 が書き込まれるまで、更新イベントは発生しません。ただし、カウンタは現在の自動再ロード値からリスタートしますが、プリスケーラのカウンタは 0 からリスタートします（しかし、プリスケーラ比は変化しません）。

さらに、TIMx_CR1 レジスタの URS ビット（更新リクエスト選択）がセットされている場合は、UG ビットをセットすると更新イベント UEV が生成されますが、UIF フラグはセットされません（したがって、割り込みや DMA リクエストは送信されません）。これは、キャプチャイベント時にカウンタをクリアしているときに、更新とキャプチャの両方の割り込みが生成されるのを防ぐためです。

更新イベントが発生すると、すべてのレジスタが更新され、URS ビットに応じて、更新フラグ（TIMx_SR レジスタの UIF ビット）がセットされます。

- 繰り返しカウンタには、TIMx_RCR レジスタの内容が再ロードされます。
- プリスケーラのバッファには、プリロード値（TIMx_PSC レジスタの内容）が再ロードされます。
- 自動再ロードアクティブレジスタは、プリロード値（TIMx_ARR レジスタの内容）で更新されます。カウンタが再ロードされる前に自動再ロードが更新されるので、次の周期は予想通りの周期になります。

以下の図は、TIMx_ARR = 0x36 のときの、さまざまなクロック周波数におけるカウンタの動作の例を示しています。

図 49. 内部クロック分周比が 1 の場合のカウンタのタイミング図

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 50. 内部クロック分周比が 2 の場合のカウンタのタイミング図

図 51. 内部クロック分周比が 4 の場合のカウンタのタイミング図

図 52. 内部クロック分周比が N の場合のカウンタのタイミング図

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 53. 繰り返しカウンタが使用されないときの更新イベント時のカウンタタイミング図

センターアラインモード（アップ/ダウンカウント）

センターアラインモードでは、カウンタは 0 から自動再ロードレジスタの値（TIMx_ARR レジスタの内容）－1 までカウントして、カウンタオーバーフローイベントを生成した後、自動再ロード値から 1 までカウントダウンして、カウンタアンダーフローイベントを生成します。その後、0 からカウントをリスタートします。

センターアラインモードは TIMx_CR1 レジスタの CMS ビットが 00 に等しくないときにアクティブになります。出力に設定されたチャネルの出力比較割り込みフラグは、カウンタがカウントダウン（センターアラインモード 1、CMS=01）、カウンタがカウントアップしたとき（センターアラインモード 2、CMS=10）、またはカウンタがカウントアップしてカウントダウンしたとき（センターアラインモード 3、CMS=11）にセットされます。

このモードでは、TIMx_CR1 レジスタの方向ビット（DIR）に書き込むことはできません。このビットはハードウェアによって更新されて、カウンタの現在の方向を示します。

更新イベントは、カウンタオーバーフローとカウンタアンダーフローごとに生成されます。または、（ソフトウェアによって、またはスレーブモードコントローラを使用して）TIMx_EGR レジスタの UG ビットをセットすることによっても、更新イベントが生成されます。この場合、プリスケーラのカウンタと同じく、カウンタは 0 からカウントをリスタートします。

UEV 更新イベントは、ソフトウェアで TIMx_CR1 レジスタの UDIS ビットをセットすることによって無効にできます。これは、プリロードレジスタに新しい値を書き込んでいるときにシャドウレジスタが更新されるのを防ぐためです。この場合、UDIS ビットに 0 が書き込まれるまで、更新イベントは発生しません。ただし、カウンタは現在の自動再ロード値で、カウントアップとカウントダウンを続けます。

さらに、TIMx_CR1 レジスタの URS ビット（更新リクエスト選択）がセットされている場合は、UG ビットをセットすると UEV 更新イベントが生成されますが、UIF フラグはセットされません（したがって、割り込みや DMA リクエストは送信されません）。これは、キャプチャイベント時にカウンタをクリアしているときに、更新とキャプチャの両方の割り込みが生成されるのを防ぐためです。

更新イベントが発生すると、すべてのレジスタが更新され、URS ビットに応じて、更新フラグ（TIMx_SR レジスタの UIF ビット）がセットされます。

- 繰り返しカウンタには、TIMx_RCR レジスタの内容が再ロードされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

- プリスケーラのバッファには、プリロード値（TIMx_PSC レジスタの内容）が再ロードされます。
- 自動再ロードアクティブレジスタは、プリロード値（TIMx_ARR レジスタの内容）で更新されます。更新の原因がカウンタオーバーフローである場合には、自動再ロードが更新されてからカウンタが再ロードされるので、次の周期は期待通りの周期になります（カウンタに新しい値がロードされます）。

以下の図は、さまざまなクロック周波数におけるカウンタの動作の例を示しています。

図 54. 内部クロック分周比が 1、TIMx_ARR=0x6 の場合のカウンタのタイミング図

1. ここでは、センターアラインモード 1 が使用されています（詳細については、*セクション 12.4：TIM1 レジスタ（247 ページ）*を参照）。

図 55. 内部クロック分周比が 2 の場合のカウンタのタイミング図

この資料は、STMicroelectronics NV 並びにその子会社（以下 ST）が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

参考資料

図 56. 内部クロック分周比が 4、TIMx_ARR=0x36 の場合のカウンタのタイミング図

注: ここでは、センターアラインモード 2 または 3 が使用され、オーバーフロー時に UIF がセットされます。

図 57. 内部クロック分周比が N の場合のカウンタのタイミング図

図 58. ARPE=1（カウンタアンダーフロー）のときの更新イベントのカウンタのタイミング図

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 59. ARPE=1（カウンタオーバーフロー）のときの更新イベント時のカウンタのタイミング図

12.3.3 繰り返しカウンタ

*セクション 12.3.1 : タイムベースユニット*では、カウンタオーバーフロー/アンダーフローによって、どのように更新イベント（UEV）が生成されるかが説明されています。実際には、繰り返しカウンタが 0 に達したときにのみ、更新イベントが生成されます。これは、PWM 信号を生成する際に役立ちます。

これは、TIMx_RCR 繰り返しカウンタレジスタの値を N とすると、N 回目のカウンタオーバーフローまたはアンダーフローごとに、プリロードレジスタからシャドウレジスタにデータが移されることを意味します（TIMx_ARR 自動再ロードレジスタ、TIMx_PSC プリスケーラレジスタ、比較モードの TIM_CCRx キプチャ /比較レジスタ)。

繰り返しカウンタは、次の場合にデクリメントします。

- アップカウントモードで、カウンタオーバーフローごと
- ダウンカウントモードで、カウンタアンダーフローごと
- センターアラインモードで、カウンタオーバーフローとカウンタアンダーフローごと。最大繰り返し回数は 128 PWM サイクルに限られますが、デューティサイクルを更新する機会が PWM 周期あたり 2 回あることになります。センターアラインモードで比較レジスタの値を PWM 周期あたり 1 回のみ更新するときには、パターンが対称的なので、最大精度は $2xT_{ck}$ です。

繰り返しダウンカウンタは自動再ロードタイプです。繰り返しの回数は、TIMx_RCR レジスタの値によって定義されたとおりに維持されます（*図 60* を参照してください）。ソフトウェアによって（TIMx_EGR レジスタの UG ビットをセットすることによって)、またはスレーブモードコントローラを介してハードウェアによって更新イベントが生成されると、繰り返しカウンタの値にかかわらず、ただちにイベントが発生し、繰り返しカウンタに TIMx_RCR レジスタの内容が再ロードされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 60. モードと TIMx_RCR レジスタの設定に応じた更新レートの例

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

12.3.4 クロック選択

カウンタクロックは、以下のクロックソースによって供給できます。

- 内部クロック（CK_INT）
- 外部クロックモード 1：外部入力ピン
- 外部クロックモード 2：外部トリガ入力 ETR
- 内部トリガ入力（ITRx）：あるタイマを別のタイマのプリスケーラとして使用します。たとえば、タイマ 1 がタイマ 2 のプリスケーラとして働くように設定することができます。詳細については、*1 つのタイマを別のタイマのプリスケーラとして使用する* を参照してください。

内部クロックソース（CK_INT）

スレーブモードコントローラが無効の場合（SMS=000）、CEN、DIR（TIMx_CR1 レジスタ）、および UG ビット（TIMx_EGR レジスタ）が実際の制御ビットとなり、ソフトウェアによってのみ変更できます（自動的にクリア状態に保たれる UG ビットを除きます）。CEN ビットに 1 が書き込まれると、プリスケーラに内部クロック CK_INT が供給されます。

図 61 は、プリスケーラを使用しない場合の制御回路と通常モードのアップカウンタの動作を示しています。

図 61. 内部クロック分周比 1 の場合の、通常モードの制御回路

外部クロックソースモード 1

このモードは TIMx_SMCR レジスタの SMS=111 のときに選択されます。カウンタは、選択された入力の立ち上がりまたは立ち下がりエッジでカウントすることができます。

図 62. TI2 外部クロックの接続例

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

たとえば、TI2 入力の立ち上がりエッジに反応してカウントするようにアップカウンタを設定するには、次の手順で行います。

1. TIMx_CCMR1 レジスタの CC2S=01 を書き込むことによって、チャネル 2 が TI2 入力の立ち上がりエッジを検出するように設定します。
2. TIMx_CCMR1 レジスタの IC2F[3:0] ビットに書き込むことによって、入力フィルタの時間を設定します（フィルタが不要な場合は、IC2F=0000 のままにしておきます）。
3. TIMx_CCER レジスタの CC2P=0 を書き込むことによって、立ち上がりエッジ極性を選択します。
4. TIMx_SMCR レジスタの SMS=111 を書き込むことによって、タイマを外部クロックモード 1 に設定します。
5. TIMx_SMCR レジスタの TS=110 を書き込むことによって、トリガ入力ソースとして TI2 を選択します。
6. TIMx_CR1 レジスタの CEN=1 を書き込むことによって、カウンタを有効にします。

注： ***キャプチャプリスケーラはトリガには使用されないので、設定する必要はありません。***

TI2 の立ち上がりエッジが発生すると、カウンタは 1 カウントを行い、TIF フラグがセットされます。

TI2 の立ち上がりエッジから実際のカウンタクロックまでの間には、TI2 入力の再同期回路による遅延があります。

図 63. 外部クロックモード 1 の制御回路

外部クロックソースモード 2

このモードは、TIM1_SMCR レジスタの ECE=1 を書き込むことによって選択されます。

カウンタは、外部トリガ入力 ETR の立ち上がりまたは立ち下がりエッジごとにカウントを行います。

図 64 に、外部トリガ入力ブロックの概要を示します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 64. 外部トリガ入力ブロック

たとえば、ETR の 2 個の立ち上がりエッジごとにカウントするようにアップカウンタを設定するには、次の手順で行います。

1. この例ではフィルタは不要なので、TIMx_SMCR レジスタの ETF[3:0] に 0000 を書き込みます。
2. TIMx_SMCR レジスタの ETPS[1:0]=01 を書き込むことによって、プリスケーラを設定します。
3. TIMx_SMCR レジスタの ETP=0 を書き込むことによって、ETR ピンの立ち上がりエッジ検出を選択します。
4. TIMx_SMCR レジスタの ECE=1 を書き込むことによって、外部クロックモード 2 を有効にします。
5. TIMx_CR1 レジスタの CEN=1 を書き込むことによって、カウンタを有効にします。

カウンタは 2 個の立ち上がりエッジごとに 1 回カウントします。

ETR の立ち上がりエッジから実際のカウンタクロックまでの間には、ETRP 信号の再同期回路による遅延があります。

図 65. 外部クロックモード 2 の制御回路

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

12.3.5 キャプチャ /比較チャネル

各キャプチャ /比較チャネルは、キャプチャ /比較レジスタ（シャドウレジスタを含む）、キャプチャの入力ステージ（デジタルフィルタ、マルチプレクサ、プリスケーラ）、および出力ステージ（比較回路と出力制御）から構成されています。

図 66 から *図 69* に、キャプチャ /比較チャネルの概要を示します。

入力ステージは、対応する TIx 入力をサンプルして、フィルタリングを行った TIxF 信号を生成します。次に、極性選択付きのエッジ検出回路が、スレーブモードコントローラによってトリガ入力として、またはキャプチャコマンドとして使用される信号 （TIxFPx）を生成します。この信号はこの信号はプリスケーラを通じて、キャプチャレジスタ（ICxPS）に渡されます。

図 66. キャプチャ /比較チャネル（例：チャネル 1 入力ステージ）

出力ステージは、基準電圧 OCxREF（アクティブハイ）として使用される中間波形を生成します。信号の極性は最終出力に影響を与えます。

図 67. キャプチャ /比較チャネル 1 メイン回路

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 68. キャプチャ /比較チャネル（チャネル 1～3）の出力ステージ

図 69. キャプチャ /比較チャネル（チャネル 4）の出力ステージ

キャプチャ /比較ブロックは、1 個のプリロードレジスタと1 個のシャドウレジスタで構成されています。読み書きのアクセスは、常にプリロードレジスタに対して行われます。

キャプチャモードでは、キャプチャ動作は実際にはシャドウレジスタで行われ、その値がプリロードレジスタにコピーされます。

比較モードでは、プリロードレジスタの内容がシャドウレジスタにコピーされて、カウンタと比較されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

12.3.6 入力キャプチャモード

入力キャプチャモードでは、対応する ICx 信号によって変化が検出された後、カウンタの値をラッチするために、キャプチャ /比較レジスタ（TIMx_CCRx）が使用されます。キャプチャが発生すると、対応する CCxIF フラグ（TIMx_SR レジスタ）がセットされ、割り込みまたは DMA リクエストを送信できます（有効な場合）。CCxIF フラグがすでにハイのときにキャプチャが発生した場合は、オーバキャプチャフラグ CCxOF（TIMx_SR レジスタ）がセットされます。CCxIF フラグは、ソフトウェアで 0 を書き込むことによって、または、TIMx_CCRx レジスタに格納されたキャプチャデータを読み出すことによってクリアできます。CCxOF は、0 を書き込むとクリアされます。

次の例は、TI1 入力が立ち上がったときに、カウンタの値を TIMx_CCR1 にキャプチャする方法を示しています。このためには次の手順を使用します。

- アクティブ入力を選択します。TIMx_CCR1 は TI1 入力にリンクされていなければならないので、TIMx_CCMR1 レジスタの CC1S ビットに 01 を書き込みます。CC1S の値が 00 から変化すると、チャネルは入力用に設定され、TIMx_CCR1 レジスタは読み出し専用になります。
- 入力が TIx の 1 つであるときに、タイマに接続する信号に応じて必要な入力フィルタ時間をプログラミングします（TIMx_CCMRx レジスタの ICxF ビット）。入力信号の反転時、最大で内部クロックの 5 サイクルの間、信号が安定しないと想定してみます。この場合、フィルタ時間を 5 クロックサイクルより長くプログラミングする必要があります。新しいレベルの連続した8 個のサンプルが検出されたときに、TI1 で変化を検証できます（周波数 fDTS でサンプリング）。この場合、TIMx_CCMR1 レジスタの IC1F ビットに 0011 を書き込みます。
- TI1 チャネルのアクティブ変化のエッジを選択します。このためには、TIMx_CCER レジスタの CC1P ビット に 0 を書き込みます（この場合、立ち上がりエッジの選択）。
- 入力プリスケーラをプログラミングします。この例では、有効な信号変化ごとにキャプチャを行いたいので、プリスケーラを無効にします（TIMx_CCMR1 レジスタの IC1PS ビットに 00 を書き込みます）。
- TIMx_CCER レジスタの CC1E ビットをセットすることによって、カウンタからキャプチャレジスタへのキャプチャを有効にします。
- 必要な場合は、TIMx_DIER レジスタの CC1IE ビットをセットすることによって、関連する割り込みリクエストを有効にするか、TIMx_DIER レジスタの CC1DE レジスタをセットすることによって、DMA リクエストを有効にします。

入力キャプチャが発生すると、

- アクティブな信号変化時のカウンタの値が TIMx_CCR1 レジスタに格納されます。
- CC1IF フラグがセットされます（割り込みフラグ）。CC1OF ビットは、少なくとも 2 回連続でキャプチャが発生した場合にもセットされますが、フラグはクリアされません。
- CC1IE ビットに応じて、割り込みが生成されます。
- CC1DE ビットに応じて、DMA リクエストが生成されます。

オーバーキャプチャを処理するために、オーバーキャプチャフラグの前にデータを読み出すことが推奨されます。これにより、フラグを読み出した後、データを読み出す前に発生したオーバーキャプチャの見落としを避けることができます。

注： ***IC 割り込みとDMA リクエストは、TIMx_EGR レジスタの対応する CCxG ビットをセットすることによって、ソフトウェアによって生成することができます。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

12.3.7 PWM 入力モード

このモードは、入力キャプチャモードの特別な応用例です。操作手順は入力キャプチャモードと同様ですが、以下の点が異なっています。

- 2 つの ICx 信号が同じ TIx 入力に配置されます。
- この 2 つの ICx 信号は、逆の極性のエッジでアクティブです。
- 2 つの TIxFP 信号の 1 つがトリガ入力として選択され、スレーブモードコントローラはリセットモードに設定されます。

たとえば、次の手順を使用して、TI1 に適用された PWM の周期（TIMx_CCR1 レジスタ）とデューティサイクル（TIMx_CCR2 レジスタ）を測定できます（手順は、CK_INT 周波数とプリスケーラ値によって、若干異なることがあります）。

- TIMx_CCR1 のアクティブ入力を選択します。TIMx_CCMR1 レジスタの CC1S ビットに 01 を書き込みます（TI1 を選択）。
- TI1FP1 のアクティブ極性を選択します（TIMx_CCR1 キャプチャとカウンタクリアの両方に使用します）。CC1P ビット に 0 を書き込みます（立ち上がりエッジでアクティブ）。
- TIMx_CCR2 のアクティブ入力を選択します。TIMx_CCMR1 レジスタの CC2S ビットに 10 を書き込みます（TI1 を選択）。
- TI1FP 2 のアクティブ極性を選択します（TIMx_CCR2 キャプチャに使用します）。すなわち、CC2P ビット に 1 を書き込みます（立ち下がりエッジでアクティブ）。
- 有効なトリガ入力を選択します。TIMx_SMCR レジスタの TS ビットに 101 を書き込みます（TI1FP1 を選択）。
- スレーブモードコントローラをリセットモードに設定します。すなわち、TIMx_SMCR レジスタの SMS ビットに 100 を書き込みます。
- キャプチャを有効にします。TIMx_CCER レジスタの CC1E ビットと CC2E ビットに 1 を書き込みます。

図 70. PWM 入力モードのタイミング

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

12.3.8 強制出力モード

出力モード（TIMx_CCMRx レジスタの CCxS ビット =00）では、出力比較レジスタとカウンタの間の比較に関係なく、各出力比較信号（OCxREF と OCx/OCxN）をソフトウェアによって直接、強制的にアクティブまたはインアクティブレベルにできます。

出力比較信号（OCxREF/OCx）を強制的にアクティブレベルにするには、対応する TIMx_OCMRx レジスタの OCxM ビットに 101 を書き込むだけです。これにより、OCxREF は強制的にハイになり（OCxREF は常にアクティブハイ）、OCx は CCxP 極性ビットと逆の値になります。

例：CCxP=0（OCx アクティブハイ）=> OCx は強制的にハイレベルになります。

OCxREF 信号は、TIMx_CCMRx レジスタの OCxM ビットに 100 を書き込むことによって、強制的にローにできます。

いずれにしても、TIMx_CCRx シャドウレジスタとカウンタの比較は実行されるので、フラグをセットできます。それに応じて、割り込みや DMA リクエストを送信できます。これについては、次の出力比較モードのセクションで説明します。

12.3.9 出力比較モード

この機能は、出力波形を制御したり、一定時間が経過したことを示すために使用されます。

キャプチャ /比較レジスタとカウンタの値が一致すると、出力比較は次のように機能します。

- 対応する出力ピンに、出力比較モード（TIMx_CCMRx レジスタの OCxM ビット）と出力極性（TIMx_CCER レジスタの CCxP ビット）によって定義されたプログラマブル値を割り当てます。一致した際、出力ピンは、そのレベルを維持するか（OCxM=000）、アクティブにセットされるか（OCxM=001）、インアクティブにセットされるか（OCxM=010）、または反転されます（OCxM=011）。
- 割り込みステータスレジスタのフラグをセットします（TIMx_SR レジスタの CCxIF ビット）。
- 対応する割り込みマスク（TIMx_DIER レジスタの CCxIE ビット）がセットされている場合は、割り込みを生成します。
- 対応するイネーブルビット（TIMx_DIER レジスタの CCxDE ビット）がセットされている場合は、DMA リクエストを送信します（DMA リクエスト選択には、TIMx_CR2 レジスタの CCDS ビットが使用されます）。

TIMx_CCRx レジスタは、TIMx_CCMRx レジスタの OCxPE ビットを使用して、プリロードレジスタを使用して、またはプリロードレジスタを使用せずにプログラミングできます。

出力比較モードでは、更新イベント UEV は OCxREF および OCx 出力には影響を与えません。タイミングの分解能はカウンタの 1 カウント分となります。出力比較モードは、単一パルスを出力するためにも使用できます（ワンパルスモード）。

手順：

1. カウンタクロックを選択します（内部、外部、プリスケーラ）。
2. TIMx_ARR レジスタと TIMx_CCRx レジスタに目的のデータを書き込みます。
3. 割り込みリクエストを生成する場合は、CCxIE ビットをセットします。
4. 出力モードを選択します。例：
   - CNT と CCRx が一致したときに OCx 出力ピンを反転するには、OCxM = 011 を書き込みます。
   - プリロードレジスタを無効にするには、OCxPE = 0 を書き込みます。
   - アクティブハイ極性を選択するには、CCxP = 0 を書き込みます。
   - 出力を有効にするには、CCxE = 1 を書き込みます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

5. カウンタを有効にするには、TIMx_CR1 レジスタの CEN ビットをセットします。

いつでもソフトウェアによって TIMx_CCRx レジスタを更新して、出力波形を制御できます。ただし、プリロードレジスタが有効でない場合に限ります（OCxPE=0）。そうでない場合、TIMx_CCRx シャドウレジスタは、次の更新イベント UEV でのみ更新されます。例を*図 71* に示します。

図 71. 出力比較モード、OC1 出力のトグル

12.3.10 PWM モード

パルス幅変調（PWM）モードでは、TIMx_ARR レジスタの値によって決められた周波数と TIMx_CCRx レジスタの値によって決められたデューティサイクルで信号を生成できます。

PWM モードは、TIMx_CCMRx レジスタの OCxM ビットに 110（PWM モード 1）または 111（PWM モード 2）を書き込むことによって、チャネルごとに選択できます（OCx 出力ごとに 1 つの PWM）。TIMx_CCMRx レジスタの OCxPE ビットをセットすることによって、対応するプリロードレジスタを有効にする必要があります。また、TIMx_CR1 レジスタの ARPE ビットをセットすることによって、自動再ロードプリロードレジスタも有効にする必要があります（アップカウントモードまたはセンターアラインモード）。

プリロードレジスタは、更新イベントが発生したときにのみシャドウレジスタに転送されるので、カウンタを開始する前に、TIMx_EGR レジスタの UG ビットをセットすることによって、すべてのレジスタを初期化する必要があります。

OCx の極性は、TIMx_CCER レジスタの CCxP ビットを使用してソフトウェアによってプログラムできます。アクティブハイまたはアクティブローとしてプログラムできます。OCx 出力は、CCxE、CCxNE、MOE、OSSI、および OSSR ビット（TIMx_CCER および TIMx_BDTR レジスタ）の組合わせによって有効になります。詳細については、TIMx_CCER レジスタの説明を参照してください。

PWM モード（1 または 2）では、TIMx_CNT と TIMx_CCRx が常に比較されて、TIMx_CCRx ≤ TIMx_CNT、または TIMx_CNT ≤ TIMx_CCRx かどうかが判断されます（カウンタの方向によります）。

タイマは、TIMx_CR1 レジスタの CMS ビットに応じて、エッジアラインモードまたはセンターアラインモードで PWM を生成できます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

PWM エッジアラインモード

- アップカウント設定

  TIMx_CR1 レジスタの DIR ビットがローのときには、アップカウントがアクティブです。*アップカウントモード（210 ページ）*を参照してください。

  次の例では、PWM モード 1 を想定しています。PWM 基準信号 OCxREF は、TIMx_CNT < TIMx_CCRx の間はハイに、そうでない場合はローになります。TIMx_CCRx の比較値が自動再ロード値（TIMx_ARR レジスタの）より大きい場合、OCxREF は 1 に保たれます。比較値が 0 の場合、OCxREF は 0 に保たれます。*図 72* は、TIMx_ARR=8 のときのエッジアライン PWM 波形の例を示しています。

図 72. エッジアライン PWM 波形（ARR=8）

- ダウンカウント設定

  ダウンカウントは、TIMx_CR1 レジスタの DIR ビットがハイのときにアクティブです。*ダウンカウントモード（212 ページ）*を参照してください。

  PWM モード 1 では、基準信号 OCxREF は、TIMx_CNT > TIMx_CCRx の間はローであり、そうでない場合はハイになります。TIMx_CCRx の比較値が TIMx_ARR の自動再ロード値より大きい場合、OCxREF は 1 です。このモードでは、0 % の PWM はできません。

PWM センターアラインモード

センターアラインモードは、TIMx_CR1 レジスタの CMS ビットが 00 でないときにアクティブです（その他すべての設定は、OCxREF/OCx 信号に対して同じ効果を持ちます）。CMS ビットの設定に応じて、カウンタがカウントアップするとき、カウントダウンするとき、またはカウントアップとカウントダウンの両方を行うときに、比較フラグがセットされます。TIMx_CR1 レジスタの方向ビット（DIR）は、ハードウェアによって更新され、ソフトウェアで値を変更することはできません。*センターアラインモード（アップ/ダウンカウント）（215 ページ）*を参照してください。

図 73 に、次の条件でのセンターアライン PWM 波形の例を示します。

- TIMx_ARR=8、
- PWM モードは PWM モード 1、
- フラグは、TIMx_CR1 レジスタの CMS=01 で選択されたセンターアラインモード 1 に対応して、カウンタがカウントダウンするときにセットされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 73. センターアライン PWM 波形（ARR=8）

センターアラインモードの使用に関するヒント：

- センターアラインモードを開始するときには、現在のアップ/ダウン設定が使用されます。これは、TIMx_CR1 レジスタの DIR ビットに書き込まれた値に応じて、カウンタがカウントアップまたはカウントダウンすることを意味します。さらに、DIR ビットと CMS ビットは、ソフトウェアによって同時に変更することはできません。
- センターアラインモードで動作中のカウンタへの書き込みは、予期しない結果を招くことがあるので推奨されません。特に、
  - 自動再ロード値より大きい値をカウンタに書き込んだ場合（TIMx_CNT > TIMx_ARR）、方向は更新されません。たとえば、カウンタがカウントアップしていた場合、カウンタはカウントアップを続けます。
  - カウンタに 0 または TIMx_ARR 値を書き込んだ場合、方向は更新されますが、更新イベント UEV は生成されません。
- センターアラインモードを使用する最も安全な方法は、カウンタを開始する直前に、ソフトウェアによって更新を生成して（TIMx_EGR レジスタの UG ビットをセットする）、動作中はカウンタへの書き込みを行わないことです。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

12.3.11 相補出力とデッドタイム挿入

高機能制御タイマ（TIM1）は、2 つの相補信号を出力して、出力時のスイッチオンおよびスイッチオフを管理できます。

この時間は、通常、デッドタイムと呼ばれ、出力に接続されているデバイスとその特性（レベルシフタの内在的な遅延、電源スイッチによる遅延など）に応じて調整する必要があります。

出力の極性（主出力 OCx または補 OCxN）は、出力ごとに独自に選択できます。これは、TIMx_CCER レジスタの CCxP ビットおよび CCxNP ビットに書き込むことによって行います。

相補信号 OCx および OCxN は、TIMx_CCER レジスタの CCxE ビットおよび CCxNE ビット、TIMx_BDTR レジスタと TIMxCR2 レジスタの MOE、OISx、OISxN、OSSI、および OSSR ビットといった複数の制御ビットの組み合わせによって有効になります。詳細については、*表 68：ブレーク機能を持つ相補 OCx および OCxN チャネルの出力制御ビット（264 ページ）*を参照してください。特に、IDLE 状態に切り替わるとき（MOE が 0 になるとき）にデッドタイムが挿入されます。

デッドタイム挿入は、CCxE ビットと CCxNE ビットの両方をセットし、ブレーク回路がある場合は、さらに MOE ビットをセットすることによって有効になります。各チャネルに 10 ビットのデッドタイム生成回路があります。この回路は、基準波形 OCxREF から OCx と OCxN の 2 つの出力を生成します。OCx と OCxN がアクティブハイの場合、

- OCx 出力信号は基準信号と同じですが、立ち上がりエッジが基準の立ち上がりエッジより遅い点が異なります。
- OCxN 出力信号は、立ち上がりエッジが基準波形の立ち下がりエッジから遅れている点を除けば、基準信号を反転させた波形と同じです。

遅延がアクティブ出力（OCx または OCxN）の幅より大きい場合、対応するパルスは生成されません。

以下の図は、デッドタイム生成回路の出力信号と基準信号 OCxREF との関係を示しています。（これらの例では、CCxP=0、CCxNP=0、MOE=1、CCxE=1、および CCxNE=1 を想定しています。）

図 74. デッドタイム挿入のある相補出力

図 75. 負のパルスより長い遅延があるときのデッドタイムの波形

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 76. 正のパルスより長い遅延があるときのデッドタイムの波形

デッドタイム遅延は、各チャネルで同じであり、TIMx_BDTR レジスタの DTG ビットでプログラミングできます。遅延の計算については、*セクション 12.4.18 : TIM1 ブレークおよびデッドタイムレジスタ（TIMx_BDTR）（268 ページ）*を参照してください。

OCxREF から OCx または OCxN へのリダイレクト

出力モード（強制、出力比較、または PWM）では、TIMx_CCER レジスタの CCxE ビットおよび CCxNE ビットを設定することによって、OCxREF 信号を OCx 出力または OCxN 出力にリダイレクトできます。

これにより、特定の波形（PWM または静的アクティブレベルなど）を一方の出力に送信し、補信号をインアクティブレベルに固定することができます。他の例としては、両方の出力をインアクティブレベルにしたり、両方の出力をアクティブにして、デッドタイムのある相補出力とすることができます。

注 : ***OCxN のみが有効なときには（CCxE=0、CCxNE=1）、相補されず、OCxREF がハイレベルになるとアクティブになります。たとえば、CCxNP=0 の場合は、OCxN=OCxREF です。他方、OCx と OCxN の両方が有効なときには（CCxE=CCxNE=1）、OCxREF がハイになると OCx はアクティブになり、OCxREF がローのときには、OCxN は相補されて、アクティブになります。***

12.3.12 ブレーク機能の使用

ブレーク機能を使用しているときには、出力イネーブル信号とインアクティブレベルは、追加の制御ビット（TIMx_BDTR レジスタの MOE、OSSI、および OSSR ビットと TIMxCR2 レジスタの OIS x および OISxN ビット）に応じて変更されます。ただし、OCx および OCxN 出力の両方を同時にアクティブレベルに設定することはできません。詳細については、*表 68 : ブレーク機能を持つ相補 OCx および OCxN チャネルの出力制御ビット（264 ページ）*を参照してください。

ブレークソースは、ブレーク入力ピンか、リセットクロックコントローラのクロックセキュリティシステム（CSS）によって生成されたクロック障害イベントです。

リセットが終了すると、ブレーク回路は無効になり、MOE ビットはローになります。TIMx_BDTR レジスタの BKE ビットをセットすることによって、ブレーク機能を有効にできます。ブレーク入力の極性は、同じレジスタの BKP ビットを設定することによって選択できます。BKE と BKPを同時に変更できます。BKE および BKP ビットが書き込まれるとき、書き込みが有効になるまでに 1 APB クロックサイクルの遅延が適用されます。そのため、書き込み動作の後、ビットを正しく読み出すためには 1 APB クロックサイクル待つ必要があります。

MOE の立ち下がりエッジは非同期のことがあるので、実際の信号（出力に作用する信号）と同期制御ビット（TIMx_BDTR レジスタからアクセスできる）の間に、再同期回路が挿入されています。このため、非同期信号と同期信号の間に若干の遅延が発生します。特に、ローレベルの MOE に 1 を書き込んだ場合には、これを正しく読み出すには遅延（ダミー命令）を挿入する必要があります。これは、非同期信号を書き込んで、同期信号を読み出すからです。

ブレークが発生すると（ブレーク入力の選択レベル）、

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

- MOE ビットは非同期でクリアされ、出力をインアクティブ状態、アイドル状態、またはリセット状態にします（OSSI ビットで選択）。この機能は、MCU オシレータがオフの場合も機能します。
- 各出力チャネルは、MOE=0 になったとき、TIMx_CR2 レジスタの OISx ビットでプログラミングされたレベルで駆動されます。OSSI=0 の場合、タイマはイネーブル出力を解除し、そうでない場合はイネーブル出力はハイのままです。
- 相補出力が使用されているときには、
  - 出力は、まずリセット状態のインアクティブ状態に置かれます（極性に依存します）。これは非同期に行われるので、タイマにクロックが供給されていないときでも機能します。
  - タイマクロックが供給されている場合、デッドタイム後に OISx および OISxN ビットでプログラミングされたレベルで出力を駆動するために、デッドタイム発生回路が作動します。この場合でも、OCx と OCxN を同時にアクティブレベルに駆動することはできません。MOE の再同期により、デッドタイム時間が通常より少し長くなることに注意してください（約 2 CK_TIM クロックサイクル）。
  - OSSI=0 の場合、タイマはイネーブル出力を解除し、そうでない場合、イネーブル出力はハイのままか、CCxE または CCxNE ビットがハイになったときにハイになります。
- ブレークステータスフラグ（TIMx_SR レジスタの BIF ビット）がセットされます。TIMx_DIER レジスタの BIE ビットがセットされている場合は、割り込みを生成できます。TIMx_DIER レジスタの BDE ビットがセットされている場合、DMA リクエストを送信できます。
- TIMx_BDTR レジスタの AOE ビットがセットされている場合、MOE ビットは次の更新イベント UEV で再び自動的にセットされます。これを制御目的などに使用することができます。そうでない場合、MOE ビットは 1 が書き込まれるまでローのままです。この場合、セキュリティ目的で使用して、パワー駆動回路、温度センサ、またはセキュリティコンポーネントからのアラームへのブレーク入力として接続することができます。

注： ***ブレーク入力はレベル信号として機能します。このため、ブレーク入力がアクティブな間は、MOE をセットできません（自動的にも、ソフトウェアによっても）。この間、ステータスフラグ BIF をクリアできません。***

ブレークは、BRK 入力によって生成でき、BRK はプログラミング可能な極性を持ち、TIMx_BDTR レジスタの BKE がイネーブルビットです。

ブレーク入力と出力管理のほかに、アプリケーションに対する安全策として、ブレーク回路内で書き込み保護が施されています。これにより、いくつかのパラメータ（デッドタイム時間、OCx/OCxN 極性、無効時の状態、OCxM 設定、ブレークのイネーブルと極性）を固定することができます。TIMx_BDTR レジスタの LOCK ビットによって、3 レベルの保護を選択することができます。*セクション 12.4.18 : TIM1 ブレークおよびデッドタイムレジスタ（TIMx_BDTR）(268 ページ)*を参照してください。LOCK ビットの書き込みは、MCU リセット後 1 回に限られます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 77 は、ブレークに対する出力の動作の例を示しています。

図 77. ブレークに対する出力の動作

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

12.3.13 外部イベントによる OCxREF 信号のクリア

特定のチャネルの OCxREF 信号は、ETRF 入力にハイレベルを適用する（対応する TIMx_CCMRx レジスタの OC x CE イネーブルビットを 1 にセットする）ことによってローに駆動できます。OCxREF 信号は、次の更新イベント UEV が発生するまで、ローレベルを保ちます。

この機能は、出力比較モードと PWM モードでのみ使用でき、強制モードでは機能しません。

たとえば、OCxREF 信号を比較回路の出力に接続して、電流処理に使用することができます。この場合、ETR は次のように設定する必要があります。

1. 外部トリガプリスケーラはオフ状態に維持する必要があります。このため、TIMx_SMCR レジスタの ETPS[1:0] ビットを 00 にセットします。
2. 外部クロックモード 2 を無効にする必要があります。このため、TIMx_SMCR レジスタの ECE ビットを 0 にセットします。
3. 外部トリガ極性（ETP）と外部トリガフィルタ（ETF）は、ユーザの用途に応じて設定できます。

図 78 は、イネーブルビットOCxCE の両方の値について、ETRF 入力がハイレベルになったときの OCxREF 信号の動作を示しています。この例では TIMx タイマは PWM モードにプログラミングされています。

図 78. TIMx OCxREF のクリア

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

12.3.14 6 ステップ PWM 生成

チャネルで相補出力が使用されているときには、OCxM、CCxE、および CCxNE ビットでプリロードビットが使用できます。プリロードビットは、COM 整流イベントでシャドウビットにコピーされます。これにより、次のステップの設定をあらかじめプログラミングして、すべてのチャネルの設定を同時に変更することができます。COM は、TIMx_EGR レジスタの COM ビットをセットすることでソフトウェアによって、またはハードウェアによって（TRGI 立ち上がりエッジで）生成することができます。

フラグは、COM イベントが発生したときにセットされ（TIM x _SR レジスタの COMIF ビット）、これによって割り込み（TIMx_DIER レジスタの COMIE ビットがセットされている場合）または DMA リクエスト（TIMx_DIER レジスタの COMDE ビットがセットされている場合）を生成できます。

図 79 は、COM イベントが発生したときの OCx と OCxN 出力の動作を、3 種類のプログラミング設定の例で示しています。

図 79. 6 ステップ生成 COM の例（OSSR=1）

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

12.3.15 ワンパルスモード

ワンパルスモード（One Pulse Mode：OPM）は、これまでに説明したモードの特殊ケースです。このモードでは、トリガに応じてカウンタを開始して、プログラム可能な遅延後にプログラミングした長さのパルスを生成することができます。

カウンタの開始は、スレーブモードコントローラを通じて制御できます。波形の生成は、出力比較モードまたは PWM モードで行います。ワンパルスモードを選択するには、TIMx_CR1 レジスタの OPM ビットをセットします。これによって、カウンタは、次の更新イベント UEV で自動的に停止します。

パルスは、比較値がカウンタの初期値と異なるときにのみ、正しく生成されます。開始前に（タイマがトリガを待っているときに）、設定が次のとおりでなければなりません。

- アップカウント時：CNT < CCRx ≤ ARR（特に、0 < CCRx）
- ダウンカウント時：CNT > CCRx

図 80. ワンパルスモードの例

たとえば、TI2 入力ピンで正のエッジが検出されたときに、遅延時間 tDELAY 後に、OC1 に長さが tPULSE の正のパルスを生成する場合を考えてみます。

TI2FP2 をトリガ 1 として使用します。

- TI2FP2 を TI2 に配置するために、TIMx_CCMR1 レジスタの CC2S=01 を書き込みます。
- TI2FP2 は、立ち上がりエッジを検出して、TIMx_CCER レジスタの CC2P=0 を書き込みます。
- TI2FP2 をスレーブモードコントローラのトリガ（TRGI）として設定します。このためには、TIMx_SMCR レジスタの TS=110 を書き込みます。
- TI2FP2 を使用してカウンタを開始します。このためには、TIMx_SMCR レジスタの SMS に 110（トリガモード）を書き込みます。

OPM 波形は、比較レジスタに書き込むことによって定義されます（クロック周波数とカウンタプリスケーラを考慮にして）。

- t_{DELAY} は、TIMx_CCR1 レジスタに書き込まれた値によって定義されます。
- t_{PULSE} は、自動再ロード値と比較値の差（TIMx_ARR - TIMx_CCR1）によって定義されます。
- 比較値と一致したときに 0 から 1 に変化し、カウンタが自動再ロード値に達したときに 1 から 0 に変化する波形を生成するとします。このためには、TIMx_CCMR1 レジスタの OC1M=111 を書

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

き込むことによって、PWM モード 2 を有効にします。オプションで、TIMx_CCMR1 レジスタの OC1PE=1 を書き込み、TIMx_CR1 レジスタの ARPE=1 を書き込むことによって、プリロードを有効にすることもできます。この場合、比較値を TIMx_CCR1 レジスタに、自動再ロード値を TIMx_ARR レジスタに書き込み、UG ビットをセットすることによって更新を生成して、TI2 上の外部トリガイベントを待つ必要があります。この例では、CC1P に 0 を書き込みます。

この例では、TIMx_CR1 レジスタの DIR ビットと CMS ビットはローレベルでなければなりません。

必要なパルスは 1 つだけなので（シングルモード）、TIMx_CR1 レジスタの OPM ビットに 1 を書き込みます。こうすると、カウンタは次の更新イベント時に停止します（カウンタが自動再ロード値に達して、0 に戻る時点）。TIMx_CR1 レジスタの OPM ビットが 0 にセットされると、繰り返しモードが選択されます。

特殊なケース：OCx 高速イネーブル：

ワンパルスモードでは、TIx 入力でエッジが検出されると、CEN ビットがセットされ、カウンタが有効になります。その後、カウンタと比較値の比較によって、出力が反転されます。しかし、これらの操作には数クロックサイクルが必要であり、最小遅延時間tDELAY（分）制限されます。

最短の遅延時間で波形を出力したい場合は、TIMx_CCMRx レジスタの OCxFE ビットをセットします。こうすると、OCxREF（および OCx）は、比較動作を行うことなく、強制的にトリガに反応します。新しいレベルは、比較が一致したときと同じです。OCxFE はチャネルが PWM1 または PWM2 モードに設定されたときにのみ有効です。

12.3.16 エンコーダインタフェースモード

エンコーダインタフェースモードを選択するには、TIMx_SMCR レジスタで、カウンタが TI2 エッジのみをカウントしている場合は SMS=001 を、TI1 エッジのみをカウントしている場合は SMS=010 を、TI1 と TI2 の両方のエッジをカウントしている場合は SMS=011 を書き込みます。

TI1 と TI2 の極性を選択するには、TIMx_CCER レジスタの CC1P ビットと CC2P ビットをプログラミングします。必要なときには、入力フィルタもプログラミングできます。

2 つの入力 T1 と TI2 は、インクリメンタルエンコーダとのインタフェースのために使用されます。*表 66* を参照してください。カウンタのクロックは、TI1FP1 または TI2FP2（入力フィルタおよび極性選択後の TI1 および TI2。フィルタされず、反転されない場合は TI1FP1=TI1、フィルタされず、反転されない場合は TI2FP2=TI2）の有効な変化によって供給されます。ただし、カウンタが有効なことが前提となります（TIMx_CR1 レジスタの CEN ビットが 1）。2 つの入力の変化の順序が評価されて、カウントパルスと同時に方向信号を生成します。カウンタがカウントアップまたはカウントダウンする順序に応じて、TIMx_CR1 レジスタの DIR ビットがハードウェアによって変更されます。カウンタが TI1 のみ、TI2 のみ、または TI1 と TI2 の両方のいずれをカウントしている場合でも、DIR ビットは、いずれかの入力（TI1 または TI2）の変化のたびに計算されます。

エンコーダインタフェースモードは、単に方向選択を含む外部クロックとして動作します。これは、カウンタが 0 と TIMx_ARR レジスタの自動再ロード値の間で連続的にカウントするだけであることを意味します（方向に応じて、0 から ARR まで、または ARR から 0 まで）。したがって、開始前に TIMx_ARR を設定する必要があります。同様に、キャプチャ、比較、プリスケーラ、繰り返しカウンタ、トリガ出力の機能は通常どおりに機能を続けます。エンコーダモードと外部クロックモード 2 は互換性がないので、同時に選択することはできません。

このモードでは、カウンタは、インクリメンタルエンコーダの速度と方向およびその内容に応じて自動的に変更されるので、常にエンコーダの位置を表します。カウント方向は、接続されているセンサの回転方向に対応します。下の表は TI1 と TI2 の変化の組合わせをまとめたものです（TI1 と TI2 は同時に変化しないと想定しています）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 66. カウント方向とエンコーダ信号

アクティブエッジ	他方の信号に対するレベル（TI2に対する TI1FP1、TI1 に対する TI2FP2）	TI1FP1 信号		TI2FP2 信号	
		立ち上がり	立ち下がり	立ち上がり	立ち下がり
TI1 のみカウント	ハイ	ダウン	アップ	カウントなし	カウントなし
	ロー	アップ	ダウン	カウントなし	カウントなし
TI2 のみカウント	ハイ	カウントなし	カウントなし	アップ	ダウン
	ロー	カウントなし	カウントなし	ダウン	アップ
TI1 と TI2 をカウント	ハイ	ダウン	アップ	アップ	ダウン
	ロー	アップ	ダウン	ダウン	アップ

外部インクリメンタルエンコーダは、外部インタフェースロジックを持つことなく、MCU に直接に接続できます。ただし、エンコーダの差分出力をデジタル信号に変換するには、通常、コンパレータが使用されます。これにより、耐ノイズ性が大幅に向上します。機械的なゼロ位置を示す 3 番目のエンコーダ出力は、外部割り込み入力に接続して、カウンタのリセットをトリガできます。

図 81 は、カウント信号の生成と方向制御を含むカウンタの動作を示しています。また、両方のエッジが選択されているときの入力ジッタの補正方法も示しています。この状況は、センサの位置が一方のスイッチングポイントの近くにあるときに生じます。この例では、次の設定を前提としています。

- CC1S=01（TIMx_CCMR1 レジスタ、TI1FP1 は TI1 に配置）
- CC2S=01（TIMx_CCMR2 レジスタ、TI1FP2 は TI2 に配置）
- CC1P=0（TIMx_CCER レジスタ、TI1FP1 非反転、TI1FP1=TI1）
- CC2P=0（TIMx_CCER レジスタ、TI1FP2 非反転、TI1FP2=TI2）
- SMS=011（TIMx_SMCR レジスタ、両方の入力が立ち上がりと立ち下がりの両エッジでアクティブ）
- CEN=1（TIMx_CR1 レジスタ、カウンタ有効）

図 81. エンコーダインタフェースモードにおけるカウンタの動作例

図 82 は、TI1FP1 の極性を反転したときのカウンタの動作を示しています（上記と同じ設定ですが、CC1P=1）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 82. TI1FP1 の極性を反転したエンコーダインタフェースモードの例

エンコーダインタフェースモードに設定されたタイマは、センサの現在位置に関する情報を提供します。キャプチャモードに設定した 2 番目のタイマを使用して、2 つのエンコーダイベントの時間差を測定することで、速度、加速度、減速度といった動的な情報を得ることができます。機械的なゼロを示すエンコーダの出力を、この目的に使用できます。2 つのイベントの時間差によって、カウンタを定期的に読み出すこともできます。これを行うには、使用可能な場合は、カウンタの値を 3 番目の入力キャプチャレジスタにラッチします（キャプチャ信号は周期的でなければならず、別のタイマによって生成できます）。また、リアルタイムクロックによって生成される DMA リクエストを通じて、この値を読み出すこともできます。

12.3.17 タイマ入力 XOR 機能

TIMx_CR2 レジスタの TI1S ビットによって、チャネル 1 の入力フィルタを 3 つの入力ピン TIMx_CH1、TIMx_CH2、および TIMx_CH3 を結合する XOR ゲートの出力に接続できます。

XOR 出力は、トリガや入力キャプチャなど、すべてのタイマ入力機能で使用できます。この機能をホールセンサのインタフェースに使用した例を *セクション 12.3.18* に示します。

12.3.18 ホールセンサとのインタフェース

これは、高機能制御タイマ （TIM1）を使用して、PWM 信号を生成し、モータと、*図 83* で「インタフェースタイマ」と記されている別のタイマ TIMx（TIM2、TIM3、TIM4、または TIM5）を駆動することによって行われます 。「インタフェースタイマ」は、XOR を通じて TI1 入力チャネル（TIMx_CR2 レジスタの TI1S ビットをセットすることで選択できます）に接続された 3 つのタイマ入力ピン（CC1、CC2、CC3）をキャプチャします。

スレーブモードコントローラはリセットモードに設定され、スレーブ入力は TI1F_ED です。したがって、3 つの入力のいずれかが反転するごとに、カウンタは 0 からカウントをリスタートします。これにより、ホール入力の変化によってトリガされるタイムベースが作成されます。

「インタフェースタイマ」では、キャプチャ /比較チャネル 1 はキャプチャモードに設定され、キャプチャ信号は TRC です（*図 66：キャプチャ/比較チャネル（例：チャネル 1 入力ステージ）（223 ページ）* を参照してください）。キャプチャされた値は、入力の 2 回の変化の間の経過時間に対応し、モータの速度情報を与えます

「インタフェースタイマ」を出力モードで使用して、（COM イベントをトリガすることによって）高機能制御タイマ（TIM1）のチャネルの設定を変更するパルスを生成することができます。TIM1 タイマは、モータを駆動する PWM 信号を生成するために使用されます。このためには、プログラミングした遅延の後に正パルスが生成されるように（出力比較モードまたは PWM モードで）インタフェー

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

スタイマチャネルをプログラミングする必要があります。このパルスは、TRGO 出力を通じて高機能制御タイマ（TIM1）に送信されます。

例：TIMx タイマの 1 つに接続されているホール入力が変化するたびに、プログラミングした遅延の後に高機能制御タイマ TIM1 の PWM 設定を変更するとします。

- 3 つのタイマ入力を TI1 入力チャネルに OR 接続します。このためには、TIMx_CR2 レジスタの TI1S ビットに 1 を書き込みます。
- タイムベースをプログラムします。このためには、TIMx_ARR に最大値を書き込み、TI1 の変化でカウンタがクリアされるようにします。プリスケーラを設定して、センサの 2 回の変化の間の時間より長い最大カウント時間が得られるようにします。
- チャネル 1 をキャプチャモード（TRC 選択）にプログラミングします。このためには、TIMx_CCMR1 レジスタの CC1S ビットに 01 を書き込みます。必要な場合は、デジタルフィルタをプログラミングすることもできます。
- チャネル 2 を PWM 2 モードにプログラミングし、望ましい遅延を指定します。このためには、TIMx_CCMR1 レジスタの OC2M ビットに 111 を、CC2S ビットに 00 を書き込みます。
- TRGO 上のトリガ出力として OC2REF を選択します。このためには、TIMx_CR2 レジスタの MMS ビットに 101 を書き込みます。

高機能制御タイマ TIM1 で、トリガ入力として適切な ITR 入力を選択する必要があり、タイマが PWM 信号を生成するようにプログラミングし、キャプチャ /比較制御信号がプリロードされ（TIMx_CR2 レジスタの CCPC=1 で）、COM イベントがトリガ入力によって制御されなければなりません（TIMx_CR2 レジスタの CCUS=1）。PWM 制御ビット（CCxE、OCxM）は、COM イベント後に次のステップのために書き込まれます（これは、OC2REF の立ち上がりエッジによって生成される割り込みサブルーチンで行うことができます）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 83 は、この例を示しています。

図 83. ホールセンサインタフェースの例

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

12.3.19 TIMx と外部トリガの同期

TIMx タイマは、リセットモード、ゲートモード、トリガモードなど、いくつかのモードで外部トリガと同期を取ることができます。

スレーブモード：リセットモード

カウンタとそのプリスケーラは、トリガ入力のイベントに応じて再初期化できます。さらに、TIMx_CR1 レジスタの URS ビットがローの場合は、更新イベント UEV が生成されます。その場合、すべてのプリロードレジスタ（TIMx_ARR、TIMx_CCRx）が更新されます。

次の例では、TI1 入力の立ち上がりエッジに応じて、アップカウンタがクリアされます。

- TI1 の立ち上がりエッジを検出するように、チャネル 1 を設定します。入力フィルタ時間を設定します（この例では、フィルタは不要なので、IC1F=0000 のままにしておきます）。キャプチャプリスケーラはトリガには使用されないので、設定する必要はありません。CC1S ビットは、入力キャプチャソースのみを選択します（TIMx_CCMR1 レジスタの CC1S=01）。TIMx_CCER レジスタの CC1P=0 を書き込んで、極性を有効にします（また、立ち上がりエッジのみを検出します）
- TIMx_SMCR レジスタの SMS=100 を書き込んで、タイマをリセットモードに設定します。TIMx_SMCR レジスタの TS=101 を書き込んで、入力ソースとして TI1 を選択します。
- TIMx_CR1 レジスタの CEN=1 を書き込んで、カウンタを開始します。

カウンタは内部クロックでカウントを開始し、TI1 の立ち上がりエッジまで通常の動作を行います。TI1 が立ち上がると、カウンタはクリアされ、0 から再スタートします。同時に、トリガフラグがセットされ（TIMx_SR レジスタの TIF ビット）、有効な場合は割り込みリクエストまたは DMA リクエストを送信できます（TIMx_DIER レジスタの TIE および TDE ビット）。

次の図は、自動再ロードレジスタ TIMx_ARR=0x36 の場合の動作を示しています。TI1 の立ち上がりエッジから実際にカウンタがリセットされるまでの遅延は、TI1 入力の再同期回路によるものです。

図 84. リセットモードの制御回路

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

スレーブモード：ゲートモード

カウンタは、選択された入力のレベルに応じて有効になります。

次の例では、アップカウンタは TI1 入力がローのときだけカウントします。

- TI1 のローレベルを検出するように、チャネル 1 を設定します。入力フィルタ時間を設定します（この例では、フィルタは不要なので、IC1F=0000 のままにしておきます）。キャプチャプリスケーラはトリガには使用されないので、設定する必要はありません。CC1S ビットは、入力キャプチャソースのみを選択します（TIMx_CCMR1 レジスタの CC1S=01 ビット）。TIMx_CCER レジスタの CC1P=1 を書き込んで、極性を有効にします（また、立ち上がりエッジのみを検出します）。
- TIMx_SMCR レジスタの SMS=101 を書き込んで、タイマをゲートモードに設定します。TIMx_SMCR レジスタの TS=101 を書き込んで、入力ソースとして TI1 を選択します。
- TIMx_CR1 レジスタの CEN=1 を書き込んで、カウンタを有効にします（ゲートモードでは、CEN=0 の場合、トリガ入力のレベルにかかわらず、カウンタは開始しません）。

カウンタは、TI1 がローになると内部クロックでカウントを開始して、TI1 がハイになると停止します。TIMx_SR レジスタの TIF フラグは、カウンタの開始時と停止時にセットされます。

TI1 の立ち上がりエッジから実際にカウンタが停止するまでの遅延は、TI1 入力の再同期回路によるものです。

図 85. ゲートモードの制御回路

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

スレーブモード：トリガモード

カウンタは、選択された入力のイベントに対応して開始します

次の例では、アップカウンタは、TI2 入力の立ち上がりエッジに応じて開始します

- TI2 の立ち上がりエッジを検出するように、チャネル 2 を設定します。入力フィルタ時間を設定します（この例ではフィルタは不要なので、IC2F=0000 のままにしておきます）。キャプチャプリスケーラはトリガには使用されないので、設定する必要はありません。CC2S ビットは入力キャプチャソースのみを選択するように設定されます（TIMx_CCMR1 レジスタの CC2S=01）。TIMx_CCER レジスタの CC2P=1 を書き込んで、極性を有効にします（また、ローレベルのみを検出します）。
- タイマをトリガモードに設定します。このためには、TIMx_SMCR レジスタで SMS=110 を書き込みます。TIMx_SMCR レジスタの TS=110 を書き込んで、TI2 を入力ソースとして選択します。

TI2 の立ち上がりエッジが発生すると、カウンタは内部クロックでカウントを開始し、TIF フラグがセットされます。

TI2 の立ち上がりエッジから実際にカウンタが開始するまでの遅延は、TI2 入力の再同期回路によるものです。

図 86. トリガモードの制御回路

スレーブモード：外部クロックモード 2 + トリガモード

外部クロックモード 2 は、他のスレーブモードとともに使用できます（ただし、外部クロックモード 1 とエンコーダモードは除きます）。この場合、ETR 信号は外部クロック入力として使用され、別の入力をトリガ入力として選択できます（リセットモード、ゲートモード、またはトリガモード）。TIMx_SMCR レジスタの TS ビットの設定では、TRGI として ETR を選択しないようにしてください。

次の例では、アップカウンタは、TI1 の立ち上がりエッジが発生すると、ETR 信号の立ち上がりエッジのたびにインクリメントされます。

1. TIMx_SMCR レジスタで次のようにプログラミングすることによって、外部トリガ入力回路を設定します。
   - ETF = 0000：フィルタなし
   - ETPS=00：プリスケーラは無効
   - ETP=0：ETR の立ち上がりエッジを検出。ECE=1 で外部クロックード 2 を有効にします。
2. TI1 の立ち上がりエッジを検出するように、チャネル 1 を次のように設定します。
   - IC1F=0000：フィルタなし
   - キャプチャプリスケーラはトリガには使用されないので、設定する必要はありません。
   - TIMx_CCMR1 レジスタの CC1S=01 で、入力キャプチャソースのみを選択します。
   - TIMx_CCER レジスタの CC1P=0 で、極性を有効にします（また、立ち上がりエッジのみを検出します）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

3. タイマをトリガモードに設定します。このためには、TIMx_SMCR レジスタで SMS=110 を書き込みます。TIMx_SMCR レジスタの TS=101 を書き込んで、入力ソースとして TI1 を選択します。

TI1 の立ち上がりエッジでカウンタが有効になり、TIF フラグがセットされます。カウンタは、ETR の立ち上がりエッジでカウントします。

ETR 信号の立ち上がりエッジから実際にカウンタがリセットされるまでの遅延は、ETRP 入力の再同期回路によるものです。

図 87. 外部クロックモード 2＋トリガモードの制御回路

12.3.20 タイマの同期

TIM タイマは、タイマの同期または連結のために、内部で互いにリンクされます。詳細については、*セクション 13.3.15：タイマの同期（301 ページ）*を参照してください。

12.3.21 デバッグモード

マイクロコントローラがデバッグモードになると（Cortex-M3 コアは停止状態）、TIMx カウンタは、DBG モジュールの DBG_TIMx_STOP 設定ビットに応じて、通常どおりに動作を続けるか、停止します。詳細については、*セクション 25.15.2：タイマ、ウォッチドッグ、および I^2C のデバッグサポート*を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

12.4 TIM1 レジスタ

レジスタの説明で使用されている略語については、*セクション 1.1 (32 ページ)* を参照してください。

12.4.1 TIM1 制御レジスタ 1 （TIMx_CR1）

アドレスオフセット：0x00

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み						CKD[1:0]		ARPE	CMS[1:0]		DIR	OPM	URS	UDIS	CEN
						rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:10 予約済み、常に 0 として読み出されます。

ビット 9:8 **CKD[1:0]**：クロック分周

このビットフィールドは、タイマクロック（CK_INT）周波数と、デッドタイム生成回路とデジタルフィルタ（ETR、TIx）によって使用されるデッドタイムおよびサンプリングクロック（t_{DTS}）との間の分周比を示します。

00：$t_{DTS}=t_{CK_INT}$

01：$t_{DTS}=2*t_{CK_INT}$

10：$t_{DTS}=4*t_{CK_INT}$

11：予約済み。この値をプログラミングしないでください。

ビット 7 **ARPE**：自動再ロードプリロードイネーブル

0：TIMx_ARR レジスタはバッファされません。

1：TIMx_ARR レジスタはバッファされます。

ビット 6:5 **CMS[1:0]**：センターアラインモード選択

00：エッジアラインモード。カウンタは、方向ビット（DIR）に応じて、カウントアップまたはカウントダウンします。

01：センターアラインモード 1。カウンタは、カウントアップとカウントダウンを交互に行います。出力（TIMx_CCMRx レジスタの CCxS=00）で設定されたチャネルの出力比較割り込みフラグは、カウンタがカウントダウンしているときのみセットされます。

10：センターアラインモード 2。カウンタは、カウントアップとカウントダウンを交互に行います。出力（TIMx_CCMRx レジスタの CCxS=00）で設定されたチャネルの出力比較割り込みフラグは、カウンタがカウントダウンしているときのみセットされます。

11：センターアラインモード 3。カウンタは、カウントアップとカウントダウンを交互に行います。出力に設定された（TIMx_CCMRx レジスタの CCxS=00）チャネルの出力比較割り込みフラグは、カウンタがカウントダウンしているときのみセットされます。

注： カウンタが有効（CEN=1）なときには、エッジアラインモードからセンターアラインモードに切り替えることはできません。

ビット 4 **DIR**：方向

0：カウンタはアップカウンタとして使用されます。

1：カウンタはダウンカウンタとして使用されます。

注： このビットは、タイマがセンターアラインモードまたはエンコーダモードに設定されているときには読み出し専用です。

ビット 3 **OPM**：ワンパルスモード

0：カウンタは更新イベントで停止しません。

1：カウンタは次の更新イベントでカウントを停止します（CEN ビットをクリアします）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 2 **URS**：更新リクエストソース

このビットは、UEV イベントソースを選択するために、ソフトウェアによってセット/クリアされます。

0：次のイベントのいずれかによって、更新割り込みまたは DMA リクエストが生成されます（有効な場合）。イベントは、次のとおりです。

– カウンタオーバーフロー /アンダーフロー
– UG ビットのセット
– スレーブモードコントローラからの更新生成

1：カウンタオーバーフロー /アンダーフローのみが更新割り込みまたは（有効な場合）DMA リクエストを生成します。

ビット 1 **UDIS**：更新ディセーブル

このビットは、UEV イベント生成を有効/無効にするために、ソフトウェアによってセット/クリアされます。

0：UEV は有効。更新イベント（UEV）は、以下のいずれかのイベントによって生成されます。

– カウンタオーバーフロー /アンダーフロー
– UG ビットのセット
– スレーブモードコントローラからの更新生成

バッファを持つレジスタにはプリロード値がロードされます。

1：UEV は無効。更新イベントは生成されず、シャドウレジスタ（ARR、PSC、CCRx）は値を維持します。ただし、UG ビットがセットされた場合や、スレーブモードコントローラからハードウェアリセットを受信した場合には、カウンタとプリスケーラは再初期化されます。

ビット 0 **CEN**：カウンタイネーブル

0：カウンタは無効。
1：カウンタは有効。

注： 外部クロック、ゲートモード、およびエンコーダモードは、CEN ビットが事前にソフトウェアによってセットされている場合のみ動作します。ただし、トリガモードでは、CEN ビットはハードウェアによって自動的にセットできます。

12.4.2 TIM1 制御レジスタ 2（TIMx_CR2）

アドレスオフセット：0x04

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み	OIS4	OIS3N	OIS3	OIS2N	OIS2	OIS1N	OIS1	TI1S	MMS[2:0]			CCDS	CCUS	予約済み	CCPC
	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw		rw

ビット 15 予約済み、常に 0 として読み出されます。

ビット 14 **OIS4**：出力アイドル状態 4（OC4 出力）

OIS1 ビットの説明を参照してください。

ビット 13 **OIS3N**：出力アイドル状態 3（OC3N 出力）

OIS1N ビットの説明を参照してください。

ビット 12 **OIS3**：出力アイドル状態 3（OC3 出力）

OIS1 ビットの説明を参照してください。

ビット 11 **OIS2N**：出力アイドル状態 2（OC2N 出力）

OIS1N ビットの説明を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 10 **OIS2**：出力アイドル状態 2（OC2 出力）

OIS1 ビットの説明を参照してください。

ビット 9 **OIS1N**：出力アイドル状態 1（OC1N 出力）

0：MOE=0 のとき、デッドタイム後に OC1N=0

1：MOE=0 のとき、デッドタイム後に OC1N=1

注： このビットは、LOCK レベル 1、2、または 3 がプログラムされているときには変更できません（TIMx_BDTR レジスタの LOCK ビット）。

ビット 8 **OIS1**：出力アイドル状態 1（OC1 出力）

0：MOE=0 のとき、OC1=0（OC1N が実装されている場合、デッドタイム後に）

1：MOE=0 のとき、OC1=1（OC1N が実装されている場合、デッドタイム後に）

注： このビットは、LOCK レベル 1、2、または 3 がプログラムされているときには変更できません（TIMx_BDTR レジスタの LOCK ビット）。

ビット 7 **TI1S**：TI1 選択

0：TIMx_CH1 ピンが TI1 入力に接続されます。

1：TIMx_CH1、CH2、および CH3 ピンが TI1 入力に接続されます（XOR 接続）。

ビット 6:4 **MMS[1:0]**：マスタモード選択

これらのビットにより、同期のためにマスタモードでスレーブタイマに送信される情報を選択することができます（TRGO）。組み合わせは、次のとおりです。

000：**リセット** - TIMx_EGR レジスタの UG ビットがトリガ出力（TRGO）として使用されます。トリガ入力によってリセットが生成される場合（スレーブモードコントローラがリセットモードに設定されているとき）、TRGO 信号は実際のリセットより遅延します。

001：**イネーブル** - カウンタイネーブル信号 CNT_EN がトリガ出力（TRGO）として使用されます。これは、いくつかのタイマを同時に開始するときや、スレーブタイマが有効な時間枠を制御するときに役立ちます。カウンタイネーブル信号は、CEN 制御ビットとゲートモードに設定されているときのトリガ入力との論理和によって生成されます。カウンタイネーブル信号がトリガ入力によって制御されるときには、マスタ/スレーブモードが選択されている場合を除き、TRGO に遅延が存在します（TIMx_SMCR レジスタの MSM ビットの説明を参照）。

010：**更新** - 更新イベントがトリガ出力（TRGO）として選択されます。たとえば、マスタタイマをスレーブタイマのプリスケーラとして使用できます。

011：**パルス比較** - キャプチャまたは比較一致が発生した直後、CC1IF フラグがセットされるときに、トリガ出力は正のパルスを送信します（すでにハイであった場合も）。（TRGO）

100：**比較** - OC1REF 信号がトリガ出力（TRGO）として使用されます。

101：**比較** - OC2REF 信号がトリガ出力（TRGO）として使用されます。

110：**比較** - OC3REF 信号がトリガ出力（TRGO）として使用されます。

111：**比較** - OC4REF 信号がトリガ出力（TRGO）として使用されます。

ビット 3 **CCDS**：キャプチャ /比較 DMA 選択

0：CCx イベント発生時に CCx DMA リクエストが送信されます。

1：更新イベント発生時に CCx DMA リクエストが送信されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 2 **CCUS**：キャプチャ /比較制御更新選択

0：キャプチャ /比較制御ビットがプリロードされるときには（CCPC=1）、COMG ビットをセットすることによってのみ更新されます。
1：キャプチャ /比較制御ビットがプリロードされるときには（CCPC=1）、COMG ビットをセットすることによって、または TRGI に立ち上がりエッジで更新されます。

注：　このビットは、相補出力を持つチャネルでのみ機能します。

ビット 1 予約済み、常に 0 として読み出されます。

ビット 0 **CCPC**：キャプチャ /比較プリロード制御

0：CCxE、CCxNE、および OCxM ビットはプリロードされません。
1：CCxE、CCxNE、および OCxM ビットはプリロードされ、書き込み後は、COM ビットがセットされたときのみ更新されます。

注：　このビットは、相補出力を持つチャネルでのみ機能します。

12.4.3 TIM1 スレーブモード制御レジスタ（TIMx_SMCR）

アドレスオフセット：0x08

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ETP	ECE	ETPS[1:0]		ETF[3:0]				MSM	TS[2:0]			予約済み	SMS[2:0]		
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	予約済み	rw	rw	rw

ビット 15 **ETP**：外部トリガ極性

このビットは ETR と $\overline{\text{ETR}}$ のいずれがトリガ動作に使用されるか選択します。
0：ETR は反転されず、ハイレベルまたは立ち上がりエッジでアクティブになります。
1：ETR は反転され、ローレベルまたは立ち下がりエッジでアクティブになります。

ビット 14 **ECE**：外部クロックイネーブル

このビットは、外部クロックモード 2 を有効にします。
0：外部クロックモード 2 は無効です。
1：外部クロックモード 2 は有効です。カウンタは、ETRF 信号のアクティブエッジによってクロック供給されます。

注：　1：ECE ビットをセットすることは、TRGI が ETRF に接続された状態で外部クロックモード 1 を選択することと同じ効果を持ちます（SMS=111、TS=111）。
2：外部クロックモード 2 と同時に次のスレーブモード、すなわちリセットモード、ゲートモード、またはトリガモードを使用することが可能です。ただし、この場合、TRGI を ETRF に接続することはできません（TS ビットが 111 でないことが必要）。
3：外部クロックモード 1 と外部クロックモード 2 が同時に有効にされた場合、外部クロック入力は ETRF です。

ビット 13:12 **ETPS[1:0]**：外部トリガプリスケーラ

外部トリガ信号 ETRP の周波数は、TIMxCLK 周波数の 1/4 までに制限されます。プリスケーラを有効にすると、ETRP 周波数を低減できます。これは、高速な外部クロックを入力するときに役立ちます。

00：プリスケーラオフ
01：ETRP 周波数は 2 分周されます。
10：ETRP 周波数は 4 分周されます。
11：ETRP 周波数は 8 分周されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 11:8 **ETF[3:0]**：外部トリガフィルタ

このビットフィールドは、ETRP 信号をサンプルする周波数と、ETRP に適用されるデジタルフィルタの長さを定義します。デジタルフィルタは、出力に有効な変化をもたらすN個のイベントが必要なイベントカウンタでできています。

0000：フィルタなし、サンプリングは f_{DTS}で行われます。

0001：$f_{SAMPLING}=f_{CK_INT}$、N=2

0010：$f_{SAMPLING}=f_{CK_INT}$、N=4

0011：$f_{SAMPLING}=f_{CK_INT}$、N=8

0100：$f_{SAMPLING}=f_{DTS}/2$、N=6

0101：$f_{SAMPLING}=f_{DTS}/2$、N=8

0110：$f_{SAMPLING}=f_{DTS}/4$、N=6

0111：$f_{SAMPLING}=f_{DTS}/4$、N=8

1000：$f_{SAMPLING}=f_{DTS}/8$、N=6

1001：$f_{SAMPLING}=f_{DTS}/8$、N=8

1010：$f_{SAMPLING}=f_{DTS}/16$、N=5

1011：$f_{SAMPLING}=f_{DTS}/16$、N=6

1100：$f_{SAMPLING}=f_{DTS}/16$、N=8

1101：$f_{SAMPLING}=f_{DTS}/32$、N=5

1110：$f_{SAMPLING}=f_{DTS}/32$、N=6

1111：$f_{SAMPLING}=f_{DTS}/32$、N=8

ビット 7 **MSM**：マスタ/スレーブモード

0：影響なし。

1：トリガ入力（TRGI）に対するイベントの影響は、現在のタイマとそのスレーブとの間の完全な同期（TRGO を通じて）を可能にするために遅延されます。これは、1 つの外部イベントで複数のタイマを同期させたい場合に役立ちます。

ビット 6:4 **TS[2:0]**：トリガ選択

このビットフィールドは、カウンタを同期するために使用されるトリガ入力を選択します。

000：内部トリガ 0（ITR0）

001：内部トリガ 1（ITR1）

010：内部トリガ 2（ITR2）

011：内部トリガ 3（ITR3）

100：TI1 エッジ検出回路（TI1F_ED）

101：フィルタ後のタイマ入力 1（TI1FP1）

110：フィルタ後のタイマ入力 2（TI2FP2）

111：外部トリガ入力（ETRF）

各タイマでの ITRx の意味の詳細については、*表 67：TIMx 内部トリガ接続（252 ページ）*を参照してください。

注：　設定変更時の誤ったエッジ検出を避けるために、これらのビットは、使用されていないとき（SMS=000 のときなど）にのみ変更しなければなりません。

ビット 3 予約済み、常に 0 として読み出されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 2:0 **SMS**：スレーブモード選択

外部信号が選択されると、トリガ信号（TRGI）のアクティブエッジが外部入力で選択された極性にリンクされます（入力制御レジスタおよび制御レジスタの説明を参照してください）。

000：スレーブモード無効 - CEN = 1 の場合、プリスケーラは内部クロックによって直接クロック供給されます。

001：エンコーダモード 1 - カウンタは、TI1FP1 のレベルに応じて、TI2FP2 のエッジでカウントアップ/カウントダウンします。

010：エンコーダモード 2 - カウンタは、TI2FP2 のレベルに応じて、TI1FP1 のエッジでカウントアップ/カウントダウンします。

011：エンコーダモード 3 - カウンタは、他の入力のレベルに応じて、TI1FP1 と TI2FP2 の両方のエッジでカウントアップ/カウントダウンします。

100：リセットモード - 選択されたトリガ入力（TRGI）の立ち上がりエッジでカウンタが再初期化され、レジスタの更新イベントが生成されます。

101：ゲートモード - カウンタクロックは、トリガ入力（TRGI）がハイのときに有効になります。トリガがローになると、カウンタは停止します（リセットはされません）。カウンタの開始と停止の両方が制御されます。

110：トリガモード - カウンタは、トリガ入力（TRGI）の立ち上がりエッジで開始します（リセットはされません）。カウンタの開始のみが制御されます。

111：外部クロックモード 1 - 選択されたトリガ（TRGI）の立ち上がりエッジで、カウンタのクロックが供給されます。

注： トリガ入力として TI1F_ED が選択されている場合（TS=100）、ゲートモードを使用することはできません。TI1F_ED は TI1F の変化ごとに 1 パルスを出力しますが、ゲートモードはトリガ信号のレベルをチェックします。

表 67. TIMx 内部トリガ接続

スレーブ TIM	ITR0 (TS = 000)	ITR1 (TS = 001)	ITR2 (TS = 010)	ITR3 (TS = 011)
TIM1	TIM5 または TIM15(1)	TIM2	TIM3	TIM4

1. TIM5 は大容量バリューラインデバイスの場合のみです。TIM5 か TIM15 かの選択は、AFIO_MAPR2 レジスタの MISC_REMAP ビットに依存します。

12.4.4 TIM1 DMA/割り込みイネーブルレジスタ（TIMx_DIER）

アドレスオフセット：0x0C

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み	TDE	COMDE	CC4DE	CC3DE	CC2DE	CC1DE	UDE	BIE	TIE	COMIE	CC4IE	CC3IE	CC2IE	CC1IE	UIE
	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15 予約済み、常に 0 として読み出されます。

ビット 14 **TDE**：トリガ DMA リクエストイネーブル

0：トリガ DMA リクエスト無効

1：トリガ DMA リクエスト有効

ビット 13 **COMDE**：COM DMA リクエストイネーブル

0：COM DMA リクエスト無効

1：COM DMA リクエスト有効

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 12 **CC4DE**：キャプチャ /比較 4 DMA リクエストイネーブル

0：CC4 DMA リクエスト無効
1：CC4 DMA リクエスト有効

ビット 11 **CC3DE**：キャプチャ /比較 3 DMA リクエストイネーブル

0：CC3 DMA リクエスト無効
1：CC4 DMA リクエスト有効

ビット 10 **CC2DE**：キャプチャ /比較 2 DMA リクエストイネーブル

0：CC2 DMA リクエスト無効
1：CC2 DMA リクエスト有効

ビット 9 **CC1DE**：キャプチャ /比較 1 DMA リクエストイネーブル

0：CC1 DMA リクエスト無効
1：CC1 DMA リクエスト有効

ビット 8 **UDE**：更新 DMA リクエストイネーブル

0：更新 DMA リクエスト無効
1：更新 DMA リクエスト有効

ビット 7 **BIE**：ブレーク割り込みイネーブル

0：ブレーク割り込み無効
1：ブレーク割り込み有効

ビット 6 **TIE**：トリガ割り込みイネーブル

0：トリガ割り込み無効
1：トリガ割り込み有効

ビット 5 **BIE**：COM 割り込みイネーブル

0：COM 割り込み無効
1：COM 割り込み有効

ビット 4 **CC4IE**：キャプチャ /比較 4 割り込みイネーブル

0：CC4 割り込み無効
1：CC4 割り込み有効

ビット 3 **CC3IE**：キャプチャ /比較 3 割り込みイネーブル

0：CC3 割り込み無効
1：CC3 割り込み有効

ビット 2 **CC2IE**：キャプチャ /比較 2 割り込みイネーブル

0：CC2 割り込み無効
1：CC2 割り込み有効

ビット 1 **CC1IE**：キャプチャ /比較 1 割り込みイネーブル

0：CC1 割り込み無効
1：CC1 割り込み有効

ビット 0 **UIE**：更新割り込みイネーブル

0：更新割り込み無効
1：更新割り込み有効

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

12.4.5 TIM1 ステータスレジスタ（TIMx_SR）

アドレスオフセット：0x10

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み			CC4OF	CC3OF	CC2OF	CC1OF	予約済み	BIF	TIF	COMIF	CC4IF	CC3IF	CC2IF	CC1IF	UIF
			rc_w0	rc_w0	rc_w0	rc_w0	予約済み	rc_w0	rc_w0	rc_w0	rc_w0	rc_w0	rc_w0	rc_w0	rc_w0

ビット 15:13 予約済み、常に 0 として読み出されます。

ビット 12 **CC4OF**：キャプチャ /比較 4 オーバーキャプチャフラグ

CC1OF の説明を参照してください。

ビット 11 **CC3OF**：キャプチャ /比較 3 オーバーキャプチャフラグ

CC1OF の説明を参照してください。

ビット 10 **CC2OF**：キャプチャ /比較 2 オーバーキャプチャフラグ

CC1OF の説明を参照してください。

ビット 9 **CC1OF**：キャプチャ /比較 1 オーバーキャプチャフラグ

このフラグは、対応するチャネルが入力キャプチャモードに設定されているときのみ、ハードウェアによってセットされます。0 を書き込むことによってソフトウェアによってクリアされます。
0：オーバーキャプチャは検出されていません。
1：CC1IF フラグがすでにセットされているときに、カウンタの値が TIMx_CCR1 レジスタにキャプチャされました。

ビット 8 予約済み、常に 0 として読み出されます。

ビット 7 **BIF**：ブレーク割り込みフラグ

このフラグは、ブレーク入力がアクティブになったときに、ハードウェアによってセットされます。ブレーク入力がアクティブでない場合、ソフトウェアによってクリアできます。
0：ブレークイベントは発生していません。
1：ブレーク入力でアクティブレベルが検出されました。

ビット 6 **TIF**：トリガ割り込みフラグ

このフラグは、トリガイベント時にハードウェアによってセットされます（ゲートモード以外のすべてのモードでスレーブモードコントローラが有効なときには、TRGI 入力でアクティブエッジが検出されたとき、ゲートモードが選択されている場合は両方のエッジで）。ソフトウェアによってクリアされます。
0：トリガイベントは発生していません。
1：トリガ割り込みが保留中です。

ビット 5 **COMIF**：COM 割り込みフラグ

このフラグは、COM イベント時にハードウェアによってセットされます（キャプチャ /比較制御ビット - CCxE、CCxNE、OCxM - が更新されたとき）。ソフトウェアによってクリアされます。
0：COM イベントは発生していません。
1：COM 割り込みが保留中です。

ビット 4 **CC4IF**：キャプチャ /比較 4 割り込みフラグ

CC1IF の説明を参照してください。

ビット 3 **CC3IF**：キャプチャ /比較 3 割り込みフラグ

CC1IF の説明を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 2 **CC2IF**：キャプチャ /比較 2 割り込みフラグ

CC1IF の説明を参照してください。

ビット 1 **CC1IF**：キャプチャ /比較 1 割り込みフラグ

チャネル CC1 が出力として設定されている場合：

このフラグは、カウンタが比較値と一致したときにハードウェアによってセットされます（センターアラインモードでは例外もあります。TIMx_CR1 レジスタの CMS ビットの説明を参照してください）。ソフトウェアによってクリアされます。

0：一致していません。

1：カウンタ TIMx_CNT の内容が TIMx_CCR1 レジスタの内容と一致しました。TIMx_CCR1 の内容が TIMx_ARR の内容より大きいときには、カウンタオーバーフロー時（アップカウントおよびアップ/ダウンカウントモードの場合）、またはアンダーフロー時（ダウンカウントモードの場合）に CC1IF ビットはハイになります。

チャネル CC1 が入力として設定されている場合：

このビットは、キャプチャ時にハードウェアによってセットされます。ソフトウェアによって、または TIMx_CCR1 レジスタを読み出すことによってクリアされます。

0：入力キャプチャは発生していません。

1：カウンタの値が TIMx_CCR1 レジスタにキャプチャされました（IC1 で、選択された極性に一致するエッジが検出されました）。

ビット 0 **UIF**：更新割り込みフラグ

このビットは、更新イベント時にハードウェアによってセットされます。ソフトウェアによってクリアされます。

0：更新は発生していません。

1：更新割り込みが保留中です。このビットは、レジスタが更新されたときにハードウェアによってセットされます。

–繰り返しカウンタ値に関するオーバーフローまたはアンダーフロー（繰り返しカウンタ=0 の場合の更新）、および TIMx_CR1 レジスタの UDIS=0 の場合。

–TIMx_CR1 レジスタの URS=0 かつ UDIS=0の場合、TIMx_EGR レジスタの UG ビットを使用して、CNT がソフトウェアによって再初期化されたとき。

–TIMx_CR1 レジスタの URS=0 かつ UDIS=0 の場合、トリガイベントによって CNT が再初期化されたとき（*セクション 12.4.3：TIM1 スレーブモード制御レジスタ（TIMx_SMCR）*を参照してください）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

12.4.6 TIM1 イベント生成レジスタ（TIMx_EGR）

アドレスオフセット：0x14

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								BG	TG	COMG	CC4G	CC3G	CC2G	CC1G	UG
								w	w	w	w	w	w	w	w

ビット 15:8 予約済み、常に 0 として読み出されます。

ビット 7 **BG**：ブレーク生成

このビットは、イベントを生成するためにソフトウェアによってセットされ、ハードウェアによって自動的にクリアされます。
0：影響なし。
1：ブレークイベントが生成されます。MOE ビットがクリアされ、BIF フラグがセットされます。有効な場合は、関連する割り込みまたは DMA 転送が発生します。

ビット 6 **TG**：トリガ生成

このビットは、イベントを生成するためにソフトウェアによってセットされ、ハードウェアによって自動的にクリアされます。
0：影響なし。
1：TIMx_SR レジスタの TIF フラグがセットされます。有効な場合は、関連する割り込みまたは DMA 転送が発生します。

ビット 5 **COMG**：キャプチャ /比較制御更新生成

このビットは、ソフトウェアによってセットでき、ハードウェアによって自動的にクリアされます。
0：影響なし。
1：CCPC ビットがセットされているときには、CCxE、CCxNE、および OCxM ビットを更新できます。

注：　このビットは、相補出力を持つチャネルでのみ機能します。

ビット 4 **CC4G**：キャプチャ /比較 4 イベント生成

CC1G の説明を参照してください。

ビット 3 **CC3G**：キャプチャ /比較 3 イベント生成

CC1G の説明を参照してください。

ビット 2 **CC2G**：キャプチャ /比較 2 イベント生成

CC1G の説明を参照してください。

ビット 1 **CC1G**：キャプチャ /比較 1 イベント生成

このビットは、イベントを生成するためにソフトウェアによってセットされ、ハードウェアによって自動的にクリアされます。
0：影響なし。
1：チャネル 1 でキャプチャ /比較イベントが生成されます。

チャネル CC1 が出力として設定されている場合：

CC1IF フラグがセットされ、対応する割り込みまたは DMA リクエストが送信されます（有効な場合）。

チャネル CC1 が入力として設定されている場合：

カウンタの現在値が TIMx_CCR1 レジスタにキャプチャされます。CC1IF フラグがセットされ、対応する割り込みまたは DMA リクエストが送信されます（有効な場合）。CC1ＩF フラグがすでにハイであった場合は、CC1OF フラグがセットされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 0 **UG**：更新の生成

このビットは、ソフトウェアによってセットでき、ハードウェアによって自動的にクリアされます。
0：影響なし。
1：カウンタを再初期化し、レジスタの更新を生成します。プリスケーラカウンタもクリアされます（プリスケーラ比は変化しません）。センターアラインモードが選択されている場合、または、DIR=0（カウントアップ）の場合、カウンタはクリアされます。DIR=1（カウントダウン）であれば、自動再ロード値（TIMx_ARR）をとります。

12.4.7 TIM1 キャプチャ /比較モードレジスタ 1（TIMx_CCMR1）

アドレスオフセット：0x18

リセット値：0x0000

チャネルは、入力（キャプチャモード）または出力（比較モード）で使用できます。チャネルの方向は、対応する CCxS ビットを設定することによって定義されます。このレジスタの他のビットはすべて、入力モードと出力モードで異なる意味を持ちます。特定のビットについて、OCxx は、チャネルが出力に設定されているときに、そのビットの機能を説明し、ICxx は、チャネルが入力に設定されているときに、そのビットの機能を説明します。したがって、同じビットが入力ステージと出力ステージで異なる意味を持つことに注意する必要があります。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OC2 CE	OC2M[2:0]			OC2 PE	OC2 FE	CC2S[1:0]		OC1 CE	OC1M[2:0]			OC1 PE	OC1 FE	CC1S[1:0]	
IC2F[3:0]				IC2PSC[1:0]				IC1F[3:0]				IC1PSC[1:0]			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

出力比較モード：

ビット 15 **OC2CE：**出力比較 2 クリアイネーブル

ビット 14:12 **OC2M[2:0]**：出力比較 2 モード

ビット 11 **OC2PE**：出力比較 2 プリロードイネーブル

ビット 10 **OC2FE**：出力比較 2 高速イネーブル

ビット 9:8 **CC2S[1:0]**：キャプチャ /比較 2 選択

このビットフィールドは、チャネルの方向（入力/出力）と、使用される入力を定義します。
00：CC2 チャネルは出力として設定されます。
01：CC2 チャネルは入力として設定され、IC2 は TI2 にマップされます。
10：CC2 チャネルは入力として設定され、IC2 は TI2 にマップされます。
11：CC2 チャネルは入力として設定され、IC2 は TRC マップされます。このモードは、TS ビット（TIMx_SMCR レジスタ）で内部トリガ入力が選択されている場合のみ機能します。

注： CC2S ビットは、チャネルが OFF（TIMx_CCER レジスタの CC2E=0）のときにのみ書き込みができます。

ビット 7 **OC1CE：**出力比較 1 クリアイネーブル

OC1CE：出力比較 1 クリアイネーブル
0：OC1REF は ETRF 入力の影響を受けません。
1：OC1REF は ETRF 入力のハイレベルが検出されるとクリアされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 6:4 **OC1M**：出力比較 1 モード

これらのビットは、OC1 および OC1N が導き出される出力基準信号 OC1REF の動作を定義します。OC1REF はアクティブハイですが、OC1 および OC1N のアクティブレベルは CC1P および CC1NP ビットに依存します。

000：停止- 出力比較レジスタ TIMx_CCR1 とカウンタ TIMx_CNT の比較結果は出力に影響しません（このモードはタイミングベースを生成するために使用されます）。

001：一致時にチャネル 1 をアクティブレベルに設定します。OC1REF 信号は、カウンタ TIMx_CNT がキャプチャ /比較レジスタ 1（TIMx_CCR1）と一致したときに、強制的にハイになります。

010：一致時にチャネル 1 をインアクティブレベルに設定します。OC1REF 信号は、カウンタ TIMx_CNT がキャプチャ/比較レジスタ 1（TIMx_CCR1）と一致したときに、強制的にローになります。

011：反転 - OC1REF は、TIMx_CNT = TIMx_CCR1 のときに反転します。

100：インアクティブレベルの強制- OC1REF は強制的にローになります。

101：アクティブレベルの強制- OC1REF は強制的にハイになります。

110：PWM モード 1 - カウントアップ時、チャネル 1 は、TIMx_CNT < TIMx_CCR1 の場合はアクティブに、そうでない場合はインアクティブになります。カウントダウン時、チャネル 1 は、TIMx_CNT > TIMx_CCR1 の場合はインアクティブ（OC1REF=0）に、そうでない場合はアクティブ（OC1REF=1）になります。

111：PWM モード 2 - カウントアップ時、チャネル 1 は、TIMx_CNT < TIMx_CCR1 の場合はインアクティブに、そうでない場合はアクティブになります。カウントダウン時、チャネル 1 は、TIMx_CNT > TIMx_CCR1 の場合はアクティブに、そうでない場合はインアクティブになります。

注： ***1:これらのビットは、LOCK レベル 3 がプログラムされていて（TIMx_BDTR レジスタの LOCK ビット）、CC1S=00 （チャネルは出力に設定）のときには、変更できません。***

2:PWM モード 1 または 2 では、OC1REF のレベルは、比較結果が変化するか、出力比較モードが停止モードから PWM モードに変更されたときにのみ変化します。

ビット 3 **OC1PE**：出力比較 1 プリロードイネーブル

0：TIMx_CCR1 のプリロードレジスタは無効です。TIMx_CCR1 は常時書き込みが可能であり、新しい値はただちに有効になります。

1：TIMx_CCR1 のプリロードレジスタは有効です。読み書き操作はプリロードレジスタに対して行われます。TIMx_CCR1 プリロード値は、更新イベントのたびにアクティブレジスタにロードされます。

注： ***1:これらのビットは、LOCK レベル 3 がプログラムされていて（TIMx_BDTR レジスタの LOCK ビット）、CC1S=00 （チャネルは出力に設定）のときには、変更できません。***

2:PWM モードは、ワンパルスモード（TIMx_CR1 レジスタの OPM ビットがセットされている）のときのみ、プリロードレジスタを有効にしなくても使用できます。そうでない場合、動作は保証されません。

ビット 2 **OC1FE**：出力比較 1 高速イネーブル

このビットは、トリガ入力のイベントから CC 出力への影響の伝播を加速するために使用されます。

0：CC1 は、トリガがオンのときでも、カウンタと CCR1 の値に依存して、通常どおりに動作します。トリガ入力のエッジ発生から CC1 出力が有効になるまでの最小遅延は、5 クロックサイクルです。

1：トリガ入力のアクティブエッジは、CC1 出力に対して、比較一致のように働きます。このため、OC は、比較結果には関係なく、比較レベルにセットされます。トリガ入力をサンプルし、CC1 出力を有効にするまでの遅延は、3 クロックサイクルに短縮されます。OCFE は、チャネルが PWM1 または PWM2 モードに設定されている場合のみ機能します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 1:0 **CC1S**：キャプチャ /比較 1 選択

このビットフィールドは、チャネルの方向（入力/出力）と、使用される入力を定義します。

00：CC1 チャネルは出力として設定されます。

01：CC1 チャネルは入力として設定され、IC1 は TI1 にマップされます。

10：CC1 チャネルは入力として設定され、IC1 は TI2 にマップされます。

11：CC1 チャネルは入力として設定され、IC1 は TRC にマップされます。このモードは、TS ビット（TIMx_SMCR レジスタ）で内部トリガ入力が選択されている場合のみ機能します。

注： CC1S ビットは、チャネルがオフ（TIMx_CCER レジスタの CC1E=0）のときのみ書き込みができます。

入力キャプチャモード

ビット 15:12 **IC2F**：入力キャプチャ 2 フィルタ

ビット 11:10 **IC2PSC[1:0]**：入力キャプチャ 2 プリスケーラ

ビット 9:8 **CC2S**：キャプチャ /比較 2 選択

このビットフィールドは、チャネルの方向（入力/出力）と、使用される入力を定義します。

00：CC2 チャネルは出力として設定されます。

01：CC2 チャネルは入力として設定され、IC2 は TI2 にマップされます。

10：CC2 チャネルは入力として設定され、IC2 は TI2 にマップされます。

11：CC2 チャネルは入力として設定され、IC2 は TRC にマップされます。このモードは、TS ビット（TIMx_SMCR レジスタ）で内部トリガ入力が選択されている場合のみ機能します。

注： CC2S ビットは、チャネルが OFF（TIMx_CCER レジスタの CC2E=0）のときにのみ書き込みができます。

ビット 7:4 **IC1F[3:0]**：入力キャプチャ 1 フィルタ

このビットフィールドは、TI1 入力をサンプルする周波数と、TI1 に適用されるデジタルフィルタの長さを定義します。デジタルフィルタはイベントカウンタでできていて、出力に有効な変化をもたらすには N 個のイベントが必要です。

0000：フィルタなし、サンプリングは f_{DTS}で行われます。

0001：$f_{SAMPLING}=f_{CK_INT}$、N=2

0010：$f_{SAMPLING}=f_{CK_INT}$、N=4

0011：$f_{SAMPLING}=f_{CK_INT}$、N=8

0100：$f_{SAMPLING}=f_{DTS}/2$、N=6

0101：$f_{SAMPLING}=f_{DTS}/2$、N=8

0110：$f_{SAMPLING}=f_{DTS}/4$、N=6

0111：$f_{SAMPLING}=f_{DTS}/4$、N=8

1000：$f_{SAMPLING}=f_{DTS}/8$、N=6

1001：$f_{SAMPLING}=f_{DTS}/8$、N=8

1010：$f_{SAMPLING}=f_{DTS}/16$、N=5

1011：$f_{SAMPLING}=f_{DTS}/16$、N=6

1100：$f_{SAMPLING}=f_{DTS}/16$、N=8

1101：$f_{SAMPLING}=f_{DTS}/32$、N=5

1110：$f_{SAMPLING}=f_{DTS}/32$、N=6

1111：$f_{SAMPLING}=f_{DTS}/32$、N=8

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 3:2 **IC1PSC[1:0]**：入力キャプチャ 1 プリスケーラ

このビットフィールドは、CC1 入力（IC1）に作用するプリスケーラの比を定義します。
プリスケーラは、CC1E=0（TIMx_CCER レジスタ）になるとリセットされます。
00：プリスケーラなし。キャプチャは、キャプチャ入力でエッジが検出されるたびに行われます。
01：キャプチャは、2 イベントごとに行われます。
10：キャプチャは、4 イベントごとに行われます。
11：キャプチャは、8 イベントごとに行われます。

ビット 1:0 **CC1S**：キャプチャ /比較 1 選択

このビットフィールドは、チャネルの方向（入力/出力）と、使用される入力を定義します。
00：CC1 チャネルは出力として設定されます。
01：CC1 チャネルは入力として設定され、IC1 は TI1 にマップされます。
10：CC1 チャネルは入力として設定され、IC1 は TI2 にマップされます。
11：CC1 チャネルは入力として設定され、IC1 は TRC にマップされます。このモードは、TS ビット（TIMx_SMCR レジスタ）で内部トリガ入力が選択されている場合のみ機能します。

注：　CC1S ビットは、チャネルが OFF（TIMx_CCER レジスタの CC1E=0）のときのみ書き込みができます。

12.4.8 TIM1 キャプチャ /比較モードレジスタ 2（TIMx_CCMR2）

アドレスオフセット：0x1C

リセット値：0x0000

上記の CCMR1 レジスタの説明を参照してください。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OC4 CE	OC4M[2:0]			OC4 PE	OC4 FE	CC4S[1:0]		OC3 CE	OC3M[2:0]			OC3 PE	OC3 FE	CC3S[1:0]	
IC4F[3:0]				IC4PSC[1:0]				IC3F[3:0]				IC3PSC[1:0]			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

出力比較モード

ビット 15 **OC4CE：**出力比較 4 クリアイネーブル

ビット 14:12 **OC4M**：出力比較 4 モード

ビット 11 **OC4PE**：出力比較 4 プリロードイネーブル

ビット 10 **OC4FE**：出力比較 4 高速イネーブル

ビット 9:8 **CC4S**：キャプチャ /比較 4選択

このビットフィールドは、チャネルの方向（入力/出力）と、使用される入力を定義します。
00：CC4 チャネルは出力として設定されます。
01：CC4 チャネルは入力として設定され、IC4 は TI4 にマップされます。
10：CC4 チャネルは入力として設定され、IC4 は TI3 にマップされます。
11：CC4 チャネルは入力として設定され、IC4 は TRC にマップされます。このモードは、TS ビット（TIMx_SMCR レジスタ）で内部トリガ入力が選択されている場合のみ機能します。

注：　CC4S ビットは、チャネルが OFF（TIMx_CCER レジスタの CC4E=0）のときのみ書き込みができます。

ビット 7 **OC3CE：**出力比較 3 クリアイネーブル

ビット 6:4 **OC3M**：出力比較 3 モード

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 3 **OC3PE**：出力比較 3 プリロードイネーブル

ビット 2 **OC3FE**：出力比較 3 高速イネーブル

ビット 1:0 **CC3S**：キャプチャ /比較 3 選択

このビットフィールドは、チャネルの方向（入力/出力）と、使用される入力を定義します。
00：CC3 チャネルは出力として設定されます。
01：CC3 チャネルは入力として設定され、IC3 は TI3 にマップされます。
10：CC3 チャネルは入力として設定され、IC3 は TI4 にマップされます。
11：CC3 チャネルは入力として設定され、IC3 は TRC にマップされます。このモードは、TS ビット（TIMx_SMCR レジスタ）で内部トリガ入力が選択されている場合のみ機能します。

注： CC3S ビットは、チャネルが OFF（TIMx_CCER レジスタの CC3E=0）のときのみ書き込みができます。

入力キャプチャモード

ビット 15:12 **IC4F**：入力キャプチャ 4 フィルタ

ビット 11:10 **IC4PSC**：入力キャプチャ 4 プリスケーラ

ビット 9:8 **CC4S**：キャプチャ /比較 4選択

このビットフィールドは、チャネルの方向（入力/出力）と、使用される入力を定義します。
00：CC4 チャネルは出力として設定されます。
01：CC4 チャネルは入力として設定され、IC4 は TI4 にマップされます。
10：CC4 チャネルは入力として設定され、IC4 は TI3 にマップされます。
11：CC4 チャネルは入力として設定され、IC4 は TRC にマップされます。このモードは、TS ビット（TIMx_SMCR レジスタ）で内部トリガ入力が選択されている場合のみ機能します。

注： CC4S ビットは、チャネルが OFF（TIMx_CCER レジスタの CC4E=0）のときのみ書き込みができます。

ビット 7:4 **IC3F**：入力キャプチャ 3 フィルタ

ビット 3:2 **IC3PSC**：入力キャプチャ 3 プリスケーラ

ビット 1:0 **CC3S**：キャプチャ /比較 3 選択

このビットフィールドは、チャネルの方向（入力/出力）と、使用される入力を定義します。
00：CC3 チャネルは出力として設定されます。
01：CC3 チャネルは入力として設定され、IC3 は TI3 にマップされます。
10：CC3 チャネルは入力として設定され、IC3 は TI4 にマップされます。
11：CC3 チャネルは入力として設定され、IC3 は TRC にマップされます。このモードは、TS ビット（TIMx_SMCR レジスタ）で内部トリガ入力が選択されている場合のみ機能します。

注： CC3S ビットは、チャネルが OFF（TIMx_CCER レジスタの CC3E=0）のときのみ書き込みができます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

12.4.9 TIM1 キャプチャ /比較イネーブルレジスタ（TIMx_CCER）

アドレスオフセット：0x20

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み		CC4P	CC4E	CC3NP	CC3NE	CC3P	CC3E	CC2NP	CC2NE	CC2P	CC2E	CC1NP	CC1NE	CC1P	CC1E
		rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:14 予約済み、常に 0 として読み出されます。

ビット 13 **CC4P**：キャプチャ /比較 4 出力極性

CC1P の説明を参照してください。

ビット 12 **CC4E**：キャプチャ /比較 4 出力イネーブル

CC1E の説明を参照してください。

ビット 11 **CC3NP**：キャプチャ /比較 3 相補出力極性

CC1NP の説明を参照してください。

ビット 10 **CC3NE**：キャプチャ /比較 3 相補出力イネーブル

CC1NE の説明を参照してください。

ビット 9 **CC3P**：キャプチャ /比較 3 出力極性

CC1P の説明を参照してください。

ビット 8 **CC3E**：キャプチャ /比較 3 出力イネーブル

CC1E の説明を参照してください。

ビット 7 **CC2NP**：キャプチャ /比較 2 相補出力極性

CC1NP の説明を参照してください。

ビット 6 **CC2NE**：キャプチャ /比較 2 相補出力イネーブル

CC1NE の説明を参照してください。

ビット 5 **CC2P**：キャプチャ /比較 2 出力極性

CC1P の説明を参照してください。

ビット 4 **CC2E**：キャプチャ /比較 2 出力イネーブル

CC1E の説明を参照してください。

ビット 3 **CC1NP**：キャプチャ /比較 1 相補出力極性

0：OC1N アクティブハイ。

1：OC1N アクティブロー。

注： このビットは、LOCK レベル 2 または 3 がプログラムされていて（TIMx_BDTR レジスタの LOCK ビット）、CC1S="00" （チャネルは出力として設定）のときには書き込みできません。

ビット 2 **CC1NE**：キャプチャ /比較 1 相補出力イネーブル

0：オフ - OC1N はアクティブではありません。OC1N のレベルは、MOE、OSSI、OSSR、OIS1、OIS1N、および CC1E ビットの組み合わせによって決まります。

1：オン - OC1N 信号は、MOE、OSSI、OSSR、OIS1、OIS1N、および CC1E ビットに応じて、対応する出力ピンに出力されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 1 **CC1P**：キャプチャ /比較 1 出力極性

CC1 チャネルが出力として設定されているとき：

0：OC1 アクティブハイ

1：OC1 アクティブロー

CC1 チャネルが入力として設定されているとき：

このビットは、IC1の立ち上がりか立ち下りのいずれかがトリガやキャプチャ操作に使用されるかを選択します。

0：非反転：キャプチャは IC1 の立ち上がりエッジで行われます。外部トリガとして使用されるときには、IC1 は反転されません。

1：反転：キャプチャは IC1 の立ち下がりエッジで行われます。外部トリガとして使用されるときには、IC1 は反転されます。

注： このビットは、LOCK レベル 2 または 3 がプログラムされているときには書き込みできません (TIMx_BDTR レジスタの LOCK ビット)。

ビット 0 **CC1E**：キャプチャ /比較 1 出力イネーブル

CC1 チャネルが出力として設定されているとき：

0：オフ - OC1 はアクティブではありません。OC1 のレベルは、MOE、OSSI、OSSR、OIS1、OIS1N、および CC1NE ビットの組み合わせによって決まります。

1：オン - OC1 信号は、MOE、OSSI、OSSR、OIS1、OIS1N、および CC1NE ビットに応じて、対応する出力ピンに出力されます。

CC1 チャネルが入力として設定されているとき：

このビットによって、カウンタ値のキャプチャ /比較レジスタ 1（TIMx_CCR1）へのキャプチャが実際に行われるかどうかが決まります。

0：キャプチャは無効です。

1：キャプチャは有効です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 68. ブレーク機能を持つ相補 OCx および OCxN チャネルの出力制御ビット

制御ビット					出力状態[1]	
MOE ビット	OSSI ビット	OSSR ビット	CCxE ビット	CCxNE ビット	OCx 出力状態	OCxN 出力状態
1	X	0	0	0	出力無効（タイマによって駆動されません） OCx=0、OCx_EN=0	出力無効（タイマによって駆動されません） OCxN=0、OCxN_EN=0
		0	0	1	出力無効（タイマによって駆動されません） OCx=0、OCx_EN=0	OCxREF + 極性 OCxN=OCxREF xor CCxNP, OCxN_EN=1
		0	1	0	OCxREF + 極性 OCx=OCxREF xor CCxP, OCx_EN=1	出力無効（タイマによって駆動されません） OCxN=0、OCxN_EN=0
		0	1	1	OCREF + 極性 + デッドタイム OCx_EN=1	OCREF に対する相補（OCREF ではなく）+ 極性 + デッドタイム OCxN_EN=1
		1	0	0	出力無効（タイマによって駆動されません） OCx=CCxP, OCx_EN=0	出力無効（タイマによって駆動されません） OCxN=CCxNP, OCxN_EN=0
		1	0	1	オフ状態（出力は有効ですがインアクティブ状態） OCx=CCxP, OCx_EN=1	OCxREF + 極性 OCxN=OCxREF xor CCxNP, OCxN_EN=1
		1	1	0	OCxREF + 極性 OCx=OCxREF xor CCxP, OCx_EN=1	オフ状態（出力は有効ですがインアクティブ状態） OCxN=CCxNP, OCxN_EN=1
		1	1	1	OCREF + 極性 + デッドタイム OCx_EN=1	OCREF に対する相補（OCREF ではなく）+ 極性 + デッドタイム OCxN_EN=1

1. チャネルの両方の出力が使用されないとき（CCxE=CCxNE=0）、OISx、OISxN、CCxP、および CCxNP はクリアされたままでなければなりません。

注： 相補 OCx および OCxN チャネルに接続されている外部入出力ピンの状態は、OC x および OC x N チャネルの状態と、GPIO レジスタに依存します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

12.4.10 TIM1 カウンタ（TIMx_CNT）

アドレスオフセット：0x24

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CNT[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **CNT[15:0]**：カウンタ値

12.4.11 TIM1 プリスケーラ（TIMx_PSC）

アドレスオフセット：0x28

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PSC[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **PSC[15:0]**：プリスケーラ値

カウンタのクロック周波数（CK_CNT）は、f_{CK_PSC} /（PSC[15:0] + 1）です。

PSC は、更新イベントごとにアクティブプリスケーラレジスタにロードされる値を含みます（更新イベントには、TIMx_EGR レジスタの UG ビットを通じて、またはリセットモードに設定されているトリガコントローラを通じて、カウンタがクリアされる場合も含まれます）。

12.4.12 TIM1 自動再ロードレジスタ（TIMx_ARR）

アドレスオフセット：0x2C

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ARR[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **ARR[15:0]**：プリスケーラ値

ARR は、実際の自動再ロードレジスタにロードされる値です。

APR の更新と動作の詳細については、*セクション 12.3.1：タイムベースユニット（208 ページ）*を参照してください。

自動再ロード値が無効なときには、カウンタはブロックされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

12.4.13 TIM1 繰り返しカウンタレジスタ（TIMx_RCR）

アドレスオフセット：0x30

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								REP[7:0]							
								rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:8 予約済み、常に 0 として読み出されます。

ビット 7:0 **REP[7:0]**：繰り返しカウンタ値

これらのビットによって、プリロードレジスタが有効なときの比較レジスタの更新レート（プリロードレジスタからアクティブレジスタへの定期的な転送）と、割り込みが有効な場合の更新割り込み生成の頻度をセットアップできます。

REP_CNT に関連するダウンカウンタがゼロに達するたびに、更新イベントが生成され、REP 値からカウントをリスタートします。繰り返し更新イベント U_RC でのみ、REP_CNT に REP 値が再ロードされるので、TIMx_RCR レジスタへの書き込みは、次の繰り返し更新イベントまで有効になりません。

PWM モード（REP+1）では、次のことを意味します。

– エッジアラインモードでは、PWM 周期の数

– センターアラインモードでは、PWM の 1/2 周期の数

12.4.14 TIM1 キャプチャ /比較レジスタ 1（TIMx_CCR1）

アドレスオフセット：0x34

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR1[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **CCR1[15:0]**：キャプチャ /比較 1 値

チャネル CC1 が出力として設定されている場合：

CCR1 は、実際のキャプチャ /比較 1 レジスタにロードされる値（プリロード値）です。

TIMx_CCMR1 レジスタの OC1PE ビットでプリロード機能が選択されていない場合は、この値は直ちにロードされます。そうでない場合、プリロード値は、更新イベントが発生すると、アクティブキャプチャ /比較 1 レジスタにコピーされます。

アクティブキャプチャ /比較レジスタは、カウンタ TIMx_CNT と比較されて、OC1 出力に送信される値を含みます。

チャネル CC1 が入力として設定されている場合：

CCR1 は、最後の入力キャプチャ 1 イベント（IC1）によって転送されたカウンタ値です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

12.4.15 TIM1 キャプチャ /比較レジスタ 2（TIMx_CCR2）

アドレスオフセット：0x38

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR2[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **CCR2[15:0]**：キャプチャ /比較 2 値

チャネル CC2 が出力として設定されている場合：

CCR2 は、実際のキャプチャ /比較 2 レジスタにロードされる値（プリロード値）です。

TIMx_CCMR2 レジスタの OC2PE ビットでプリロード機能が選択されていない場合は、直ちにロードされます。そうでない場合、プリロード値は、更新イベントが発生すると、アクティブキャプチャ /比較 2 レジスタにコピーされます。

アクティブキャプチャ /比較レジスタは、カウンタ TIMx_CNT と比較され、OC2 出力に送信される値を含みます。

チャネル CC2 が入力として設定されている場合：

CCR2 は、最後の入力キャプチャ 2 イベント（IC2）によって転送されたカウンタ値です。

12.4.16 TIM1 キャプチャ /比較レジスタ 3（TIMx_CCR3）

アドレスオフセット：0x3C

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR3[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **CCR3[15:0]**：キャプチャ /比較値

チャネル CC3 が出力として設定されている場合：

CCR3 は、実際のキャプチャ /比較 3 レジスタにロードされる値（プリロード値）です。

TIMx_CCMR3 レジスタの OC3PE ビットでプリロード機能が選択されていない場合は、直ちにロードされます。そうでない場合、プリロード値は、更新イベントが発生すると、アクティブキャプチャ /比較 3 レジスタにコピーされます。

アクティブキャプチャ /比較レジスタは、カウンタ TIMx_CNT と比較され、OC3 出力に送信される値を含みます。

チャネル CC3 が入力として設定されている場合：

CCR3 は、最後の入力キャプチャ 3 イベント（IC3）によって転送されたカウンタ値です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

12.4.17 TIM1 キャプチャ /比較レジスタ 4（TIMx_CCR4）

アドレスオフセット：0x40

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR4[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **CCR4[15:0]**：キャプチャ /比較値

チャネル CC4 が出力として設定されている場合：

CCR4 は、実際のキャプチャ /比較 4 レジスタにロードされる値（プリロード値）です。

TIMx_CCMR4 レジスタの OC4PE ビットでプリロード機能が選択されていない場合は、直ちにロードされます。そうでない場合、プリロード値は、更新イベントが発生すると、アクティブキャプチャ /比較 4 レジスタにコピーされます。

アクティブキャプチャ /比較レジスタは、カウンタ TIMx_CNT と比較され、OC4 出力に送信される値を含みます。

チャネル CC4 が入力として設定されている場合：

CCR4 は、最後の入力キャプチャ 4 イベント（IC4）によって転送されたカウンタ値です。

12.4.18 TIM1 ブレークおよびデッドタイムレジスタ（TIMx_BDTR）

アドレスオフセット：0x44

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MOE	AOE	BKP	BKE	OSSR	OSSI	LOCK[1:0]		DTG[7:0]							
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

注： ***ビット AOE、BKP、BKE、OSSI、OSSR、および DTG[7:0] は、LOCK 設定に応じて書き込みがロックされるので、TIMx_BDTR レジスタへの最初のアクセス時に、これらすべてを設定しなければならないことがあります。***

ビット 15 **MOE**：メイン出力イネーブル

このビットは、ブレーク入力がアクティブなったときに、ハードウェアによって非同期にクリアされます。ソフトウェアによって、または、AOE ビットに応じて自動的にセットされます。出力として設定されたチャネルに対してのみ有効です。

0：OC および OCN 出力は無効か、強制的なアイドル状態です。

1：OC および OCN 出力は、それぞれのイネーブルビット（TIMx_CCER レジスタの CCxE、CCxNE ビット）がセットされている場合は有効です。

詳細については、OC/OCN イネーブルの説明を参照してください（*セクション 12.4.9：TIM1 キャプチャ /比較イネーブルレジスタ（TIMx_CCER）（262 ページ）*）。

ビット 14 **AOE**：自動出力イネーブル

0：MOE はソフトウェアによってのみセットできます。

1：MOE は、ソフトウェアによって、または次の更新イベント時に自動的にセットされます（ブレーク入力がアクティブでない場合）。

注： ***このビットは、LOCK レベル 1 がプログラムされている場合（TIMx_BDTR レジスタの LOCK ビット）、変更できません。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 13 **BKP**：ブレーク極性

0：ブレーク入力 BRK はアクティブローです。

1：ブレーク入力 BRK はアクティブハイです。

注： このビットは、LOCK レベル 1 がプログラムされている場合（TIMx_BDTR レジスタの LOCK ビット）、変更できません。

注： このビットへの書き込み操作では、書き込みが有効になるまでに 1 APB クロックサイクルの遅延が生じます。

ビット 12 **BKE**：ブレークイネーブル

0：ブレーク入力（BRK および CCS クロック障害イベント）は無効です。

1：ブレーク入力（BRK および CCS クロック障害イベント）は有効です。

注： このビットは、LOCK レベル 1 がプログラムされているときには変更できません（TIMx_BDTR レジスタの LOCK ビット）。

注： このビットへの書き込み操作では、書き込みが有効になるまでに 1 APB クロックサイクルの遅延が生じます。

ビット 11 **OSSR**：RUN モードのオフ状態の選択

このビットは、MOE=1 のとき、相補出力を持ち、出力として設定されているチャネルで使用されます。OSSR は、相補出力がタイマに実装されていない場合には、実装されません。

詳細については、OC/OCN イネーブルの説明を参照してください（*セクション 12.4.9：TIM1 キャプチャ/比較イネーブルレジスタ（TIMx_CCER）（262 ページ）*）。

0：インアクティブのとき、OC/OCN 出力は無効です（OC/OCN イネーブル出力信号 = 0）。

1：インアクティブのとき、OC/OCN 出力は、CCxE=1 または CCxNE=1 になると、インアクティブレベルで有効です。この場合、OC/OCN イネーブル出力信号 = 1 です。

注： このビットは、LOCK レベル 2 がプログラムされているときには変更できません（TIMx_BDTR レジスタの LOCK ビット）。

ビット 10 **OSSI**：アイドルモードのオフ状態の選択

このビットは、MOE=0 のとき、出力として設定されているチャネルで使用されます。

詳細については、OC/OCN イネーブルの説明を参照してください（*セクション 12.4.9：TIM1 キャプチャ/比較イネーブルレジスタ（TIMx_CCER）（262 ページ）*）。

0：インアクティブのとき、OC/OCN 出力は無効です（OC/OCN イネーブル出力信号 = 0）。

1：インアクティブのとき、OC/OCN 出力は、CCxE=1 または CCxNE=1 になると、まず、強制的にアイドルレベルになります。（OC/OCN イネーブル出力信号 = 1）。

注： このビットは、LOCK レベル 2 がプログラムされているときには変更できません（TIMx_BDTR レジスタの LOCK ビット）。

ビット 9:8 **LOCK[1:0]**：ロック設定

これらのビットは、ソフトウェアエラーに対する書き込み保護を提供します。

00： LOCK オフ - ビットは書き込み保護されません。

01： LOCK レベル 1 = TIMx_BDTR レジスタの DTG ビット、TIMx_CR2 レジスタの OISx および OISxN ビット、および TIMx_BDTR レジスタの BKE/BKP/AOE ビットは、書き込みができなくなります。

10： LOCK レベル 2 = LOCK レベル 1 + CC 極性ビット（関連するチャネルが CC x S ビットによって出力として設定されている場合、TIMx_CCER レジスタの CC x P/CCxNP ビット）、OSSR、および OSSI ビットは、書き込みができなくなります。

11： LOCK レベル 3 = LOCK レベル 2 + CC 制御ビット（関連するチャネルが CCxS ビットによって出力として設定されている場合、TIMx_CCMRx レジスタの OCxM および OCxPE ビット）は、書き込みができなくなります。

注： LOCK ビットは、リセット後に一度だけ書き込みができます。いったん TIMx_BDTR レジスタに書き込みが行われると、その内容は次のリセットまで凍結されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 7:0 **DTG[7:0]**：デッドタイム生成回路のセットアップ

このビットは、相補出力間に挿入されるデッドタイムの長さを定義します。デッドタイムの時間（DT）は、次の式で与えられます。

DTG[7:5]=0xx => DT=DTG[7:0]x t_{dtg} with t_{dtg}=t_{DTS}.

DTG[7:5]=10x => DT=（64+DTG[5:0]）xt_{dtg} with T_{dtg}=2xt_{DTS}.

DTG[7:5]=110 => DT=（32+DTG[4:0]）xt_{dtg} with T_{dtg}=8xt_{DTS}.

DTG[7:5]=111 => DT=（32+DTG[4:0]）xt_{dtg} with T_{dtg}=16xt_{DTS}.

例：T_{DTS}=125ns（8MHz）の場合、可能なデッドタイムの値は、以下のとおりです。

0～15875 ns（125 ns 単位）

16μs～31750 ns（250 ns 単位）

32μs～63μs（1μs 単位）

64μs～126μs（2μs 単位）

注： このビットフィールドは、LOCK レベル 1、2、または 3 がプログラムされているときには変更できません（TIMx_BDTR レジスタの LOCK ビット）。

12.4.19 TIM1 DMA 制御レジスタ（TIMx_DCR）

アドレスオフセット：0x48

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み			DBL[4:0]					予約済み			DBA[4:0]				
			rw	rw	rw	rw	rw				rw	rw	rw	rw	rw

ビット 15:13 予約済み、常に 0 として読み出されます。

ビット 12:8 **DBL[4:0]**：DMA バースト長

この 5 ビットのベクタは、DMA 転送の長さ（タイマは、TIMx_DMAR アドレスに対して読み出しまたは書き込みアクセスがおこなわれるときにバースト転送を認識します）、すなわち、転送回数を定義します。転送は、ハーフワードまたはバイト単位で行われます（下記の例を参照してください）。

00000：1 転送

00001：2 転送

00010：3 転送

...

10001：18 転送

例：次のような転送を考えてみます：DBL = 7 バイト、DBA = TIM2_CR1。

– DBL = 7 バイトであり、DBA = TIM2_CR1 が転送されるバイトのアドレスを表す場合、転送アドレスは次の式によって求められます。

（TIMx_CR1 アドレス）+ DBA +（DMA インデックス）。ここで、DMA インデックス = DBL です。

この例では、7 バイトが（TIMx_CR1 アドレス）＋DBA に加算され、データのコピー元/コピー先のアドレスが得られます。この場合、転送は、（TIMx_CR1アドレス）+ DBA アドレスから始めて、7 つのレジスタへ行われます。

DMA データサイズの設定に応じて、いくつかのケースが考えられます。

– DMA データサイズをハーフワードに設定した場合､7 つのレジスタのそれぞれに 16 ビットデータが転送されます。

– DMA データサイズをバイトに設定した場合、データは 7 つのレジスタに転送されます。最初のレジスタは最初の MSB バイトを含み、2 番目のレジスタは最初の LSB バイトを含み、以下同様です。したがって、転送タイマについても、DMA によって転送されるデータのサイズを指定する必要があります。

ビット 7:5 予約済み、常に 0 として読み出されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 4:0 **DBA[4:0]**：DMA ベースアドレス

この 5 ビットのベクタは、DMA 転送のベースアドレスを定義します（TIMx_DMAR アドレスを通じて読み出し/書き込みアクセスが行われるとき）。DBA は、TIMx_CR1 レジスタのアドレスから始まるオフセットとして定義されます。

例：

00000：TIMx_CR1

00001：TIMx_CR2

00010：TIMx_SMCR

...

12.4.20 TM1 完全転送 DMA アドレス（TIMx_DMAR）

アドレスオフセット：0x4C

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DMAB[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **DMAB[15:0]**：DMA バーストアクセスレジスタ

DMAR レジスタへの読み出しまたは書き込みアクセスは、次のアドレスにあるレジスタへのアクセスとなります。

“（TIMx_CR1 アドレス）+ DBA + （DMA インデックス）”

ここで、TIMx_CR1 アドレスは、制御レジスタ 1 のアドレスであり、DBA は、TIMx_DCR レジスタで設定された DMA ベースアドレスであり、DMA インデックスは、DMA 転送によって自動的に制御されるオフセットであり、TIMx_DCR レジスタの転送長 DBL に依存します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

12.4.21 TIM1 レジスタマップ

TIM1 レジスタは、次の表のように、16 ビットアのドレス可能レジスタにマップされます。

表 69. TIM1 レジスタマップとリセット値

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	TIMx_CR1	予約済み																						CKD[1:0]		ARPE	CMS[1:0]		DIR	OPM	URS	UDIS	CEN
	リセット値																							0	0	0	0	0	0	0	0	0	0
0x04	TIMx_CR2	予約済み																	OIS4	OIS3N	OIS3	OIS2N	OIS2	OIS1N	OIS1	TI1S	MMS[2:0]			CCDS	CCUS	予約済み	CCPC
	リセット値																		0	0	0	0	0	0	0	0	0	0	0	0	0		0
0x08	TIMx_SMCR	予約済み																ETP	ECE	ETPS[1:0]		ETF[3:0]				MSM	TS[2:0]			予約済み	SMS[2:0]		
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0		0	0	0
0x0C	TIMx_DIER	予約済み																	TDE	COMDE	CC4DE	CC3DE	CC2DE	CC1DE	UDE	BIE	TIE	COMIE	CC4IE	CC3IE	CC2IE	CC1IE	UIE
	リセット値																		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x10	TIMx_SR	予約済み																			CC4OF	CC3OF	CC2OF	CC1OF	予約済み	BIF	TIF	COMIF	CC4IF	CC3IF	CC2IF	CC1IF	UIF
	リセット値																				0	0	0	0		0	0	0	0	0	0	0	0
0x14	TIMx_EGR	予約済み																								BG	TG	COM	CC4G	CC3G	CC2G	CC1G	UG
	リセット値																									0	0	0	0	0	0	0	0
0x18	TIMx_CCMR1 出力比較モード	予約済み																OC2CE	OC2M[2:0]			OC2PE	OC2FE	CC2S[1:0]		OC1CE	OC1M[2:0]			OC1PE	OC1FE	CC1S[1:0]	
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	TIMx_CCMR1 入力キャプチャモード	予約済み																IC2F[3:0]				IC2PSC[1:0]		CC2S[1:0]		IC1F[3:0]				IC1PSC[1:0]		CC1S[1:0]	
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x1C	TIMx_CCMR2 出力比較モード	予約済み																O24CE	OC4M[2:0]			OC4PE	OC4FE	CC4S[1:0]		OC3CE	OC3M[2:0]			OC3PE	OC3FE	CC3S[1:0]	
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	TIMx_CCMR2 入力キャプチャモード	予約済み																IC4F[3:0]				IC4PSC[1:0]		CC4S[1:0]		IC3F[3:0]				IC3PSC[1:0]		CC3S[1:0]	
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x20	TIMx_CCER	予約済み																		CC4P	CC4E	CC3NP	CC3NE	CC3P	CC3E	CC2NP	CC2NE	CC2P	CC2E	CC1NP	CC1NE	CC1P	CC1E
	リセット値																			0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x24	TIMx_CNT	予約済み																CNT[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x28	TIMx_PSC	予約済み																PSC[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x2C	TIMx_ARR	予約済み																ARR[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x30	TIMx_RCR	予約済み																								REP[7:0]							
	リセット値																									0	0	0	0	0	0	0	0
0x34	TIMx_CCR1	予約済み																CCR1[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 69. TIM1 レジスタマップとリセット値 （続き）

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x38	TIMx_CCR2	予約済み																CCR2[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x3C	TIMx_CCR3	予約済み																CCR3[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x40	TIMx_CCR4	予約済み																CCR4[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x44	TIMx_BDTR	予約済み																MOE	AOE	BKP	BKE	OSSR	OSSI	LOCK[1:0]		DT[7:0]							
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x48	TIMx_DCR	予約済み																			DBL[4:0]					予約済み			DBA[4:0]				
	リセット値																				0	0	0	0	0				0	0	0	0	0
0x4C	TIMx_DMAR	予約済み																DMAB[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

レジスタ境界アドレスについては、*表 1 : 小容量および中容量デバイスのレジスタ境界アドレス* および*表 2 : 大容量デバイスのレジスタ境界アドレス*を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

13 汎用タイマ （TIM2～TIM5）

小容量バリューラインデバイスは、フラッシュメモリ容量が 16～32 KB の STM32F100xx マイクロコントローラです。

中容量バリューラインデバイスは、フラッシュメモリ容量が 64～128 KB の STM32F100xx マイクロコントローラです。

大容量バリューラインデバイスは、フラッシュメモリ容量が 256～512 KB の STM32F100xx マイクロコントローラです。

この セクションは、別段の指定がない限り、STM32F100xx ファミリ全体に適用されます。

13.1 TIM2～TIM5 の概要

汎用タイマは、プログラマブルなプリスケーラによって駆動される 16 ビット自動再ロードカウンタで構成されています。

入力信号のパルス長の測定（*入力キャプチャ*）や出力波形の生成（*出力比較と PWM*）など、さまざまな目的に使用できます。

パルス長と波形の周期は、タイマプリスケーラと RCC クロックコントローラプリスケーラを使用して、数マイクロ秒から数ミリ秒までの範囲で変化させることができます。

タイマは完全に独立していて、いかなるリソースも共有しません。*セクション 13.3.15* で説明されているように、相互に同期させることができます。

13.2 TIM2～TIM5 の主な機能

汎用 TIMx タイマの主な機能は、次のとおりです。

- 16 ビットのアップカウンタ、ダウンカウンタ、アップ/ダウン自動再ロードカウンタ。
- 1 から 65535 の間でカウンタクロック周波数を動作中でも分周できる 16 ビットのプログラマブルプリスケーラ。
- 次の機能を持つ、最大 4 つの独立チャネル。
  - 入力キャプチャ
  - 出力比較
  - PWM 生成（エッジアラインモードとセンターアラインモード）
  - ワンパルスモード出力
- 外部信号でタイマを制御し、複数のタイマを相互接続する同期回路。
- 以下のイベント時の割り込み/DMA 生成：
  - 更新：カウンタオーバーフロー/アンダーフロー、カウンタの初期化（ソフトウェアまたは内部/外部トリガによって）
  - トリガイベント（カウンタ開始、停止、初期化、または内部/外部トリガによるカウント）
  - 入力キャプチャ
  - 出力比較
- 位置決め目的で、インクリメンタル（直交）エンコーダとホールセンサ回路をサポートしています。
- 外部クロックまたはサイクルごとの電流管理のためのトリガ入力

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 88. 汎用タイマのブロック図

13.3 TIM2～TIM5 の機能詳細

13.3.1 タイムベースユニット

プログラマブルタイマのメインブロックは、自動再ロードレジスタを持つ 16 ビット カウンタです。カウンタはカウントアップ、カウントダウン、またはアップダウンします。カウンタクロックは、プリスケーラによって分周されます。

カウンタ、自動再ロードレジスタ、およびプリスケーラレジスタは、ソフトウェアによる読み書きが可能です。カウンタの動作中も同様です。

タイムベースユニットは、以下のレジスタで構成されます。

- カウンタレジスタ（TIMx_CNT）
- プリスケーラレジスタ（TIMx_PSC）:
- 自動再ロードレジスタ（TIMx_ARR）

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

自動再ロードレジスタはプリロードレジスタに事前にロードされます。自動再ロードレジスタの読み書きは、プリロードレジスタへのアクセスとなります。プリロードレジスタの内容は、TIMx_CR1 レジスタの自動再ロードプリロードイネーブルビット（ARPE）に応じて、常時または更新イベント（UEV）ごとに、シャドウレジスタに転送されます。TIMx_CR1 レジスタの UDIS ビットが 0 の場合、更新イベントは、カウンタがオーバーフロー（またはダウンカウント時はアンダーフロー）に達したときに発生します。また、ソフトウェアによって生成することもできます。更新イベントの生成については、各設定の中で詳しく説明されています。

カウンタのクロックは、TIMx_CR1 レジスタのカウンタイネーブルビット（CEN）がセットされているときにのみ、プリスケーラ出力 CK_CNT から供給されます（カウンタの有効化の詳細については、スレーブモードコントローラの説明も参照してください）。

実際のカウンタイネーブル信号 CNT_EN は、CEN の 1 クロックサイクル後にセットされることに注意してください。

プリスケーラの詳細

プリスケーラは、カウンタクロック周波数を 1 から 65536 までの値で分周することができます。16 ビットレジスタ（TIMx_PSC レジスタ）を通して制御されます。この制御レジスタはバッファされるので、動作中でも変更できます。新しいプリスケーラ比は、次の更新イベント時に有効になります。

図 89 と *図 90* は、プリスケーラ比がその場で変更されたときのカウンタの動作の例を示しています。

図 89. プリスケーラ分周比が 1 から 2 に変化したときのカウンタのタイミング図

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 90. プリスケーラ分周比が 1 から 4 に変化したときのカウンタのタイミング図

13.3.2 カウンタモード

アップカウントモード

アップカウントモードでは、カウンタは 0 から自動再ロード値（TIMx_ARR レジスタの内容）までカウントし、0 からカウントをリスタートするとともに、カウンタオーバーフローイベントを生成します。

更新イベントは、カウンタオーバーフローごとに、または、（ソフトウェアによって、または、スレーブモードコントローラを使用して）TIMx_EGR レジスタの UG ビットをセットすることによって生成できます。

UEV イベントは、TIMx_CR1 レジスタの UDIS ビットをセットすることで、ソフトウェアによって無効にできます。これは、プリロードレジスタに新しい値を書き込んでいるときにシャドウレジスタが更新されるのを防ぐためです。この後、UDIS ビットに 0 が書き込まれるまで、更新イベントは発生しません。ただし、プリスケーラのカウンタと同じく、カウンタは 0 からカウントをリスタートします（プリスケーラ比は変化しません）。さらに、TIMx_CR1 レジスタの URS ビット（更新リクエスト選択）がセットされている場合は、UG ビットをセットすると更新イベント UEV が生成されますが、UIF フラグはセットされません（したがって、割り込みや DMA リクエストは送信されません）。これは、キャプチャイベント時にカウンタをクリアしているときに、更新とキャプチャの両方の割り込みを生成するのを防ぐためです。

更新イベントが発生すると、すべてのレジスタが更新され、URS ビットに応じて、更新フラグ（TIMx_SR レジスタの UIF ビット）がセットされます。

- プリスケーラのバッファには、プリロード値（TIMx_PSC レジスタの内容）が再びロードされます。
- 自動再ロードシャドウレジスタは、プリロード値（TIMx_ARR）に更新されます。

以下の図は、TIMx_ARR = 0x36 のときの、さまざまなクロック周波数におけるカウンタの動作の例を示しています。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 91. 内部クロック分周比が 1 の場合のカウンタのタイミング図

図 92. 内部クロック分周比が 2 の場合のカウンタのタイミング図

図 93. 内部クロック分周比が 4 の場合のカウンタのタイミング図

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 94. 内部クロック分周比が N の場合のカウンタのタイミング図

図 95. ARPE=0（TIMx_ARR はプリロードされない）のときの更新イベントのカウンタタイミング図

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 96. ARPE=1（TIMx_ARR はプリロードされる）のときの更新イベントのカウンタタイミング図

ダウンカウントモード

ダウンカウントモードでは、カウンタは自動再ロード値（TIMx_ARR レジスタの内容）から 0 までカウントした後、自動再ロード値からカウントダウンをリスタートするとともに、カウンタアンダーフローイベントを生成します。

更新イベントは、カウンタアンダーフローごとに、（ソフトウェアによって、または、スレーブモードコントローラを使用して）または、TIMx_EGR レジスタの UG ビットをセットすることによって生成できます。

UEV 更新イベントは、ソフトウェアで TIMx_CR1 レジスタの UDIS ビットをセットすることによって無効にできます。これは、プリロードレジスタに新しい値を書き込んでいるときにシャドウレジスタが更新されるのを防ぐためです。この後 UDIS ビットに 0 が書き込まれるまで、更新イベントは発生しません。ただし、カウンタは現在の自動再ロード値からリスタートしますが、プリスケーラのカウンタは 0 からリスタートします（しかし、プリスケーラ比は変化しません）。

さらに、TIMx_CR1 レジスタの URS ビット（更新リクエスト選択）がセットされている場合は、UG ビットをセットすると更新イベント UEV が生成されますが、UIF フラグはセットされません（したがって、割り込みまたは DMA リクエストは送信されません）。これは、キャプチャイベント時にカウンタをクリアしているときに、更新とキャプチャの両方の割り込みを生成するのを防ぐためです。

更新イベントが発生すると、すべてのレジスタが更新され、URS ビットに応じて、更新フラグ（TIMx_SR レジスタの UIF ビット）がセットされます。

- プリスケーラのバッファにはプリロード値（TIMx_PSC レジスタの内容）が再びロードされます。
- 自動再ロードアクティブレジスタは、プリロード値（TIMx_ARR レジスタの内容）で更新されます。カウンタが再ロードされる前に自動再ロードが更新されるので、次の周期は期待通りの周期になります。

以下の図は、TIMx_ARR = 0x36 のときの、さまざまなクロック周波数におけるカウンタの動作の例を示しています。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 97. 内部クロック分周比が 1 の場合のカウンタのタイミング図

図 98. 内部クロック分周比が 2 の場合のカウンタのタイミング図

図 99. 内部クロック分周比が 4 の場合のカウンタのタイミング図

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 100. 内部クロック分周比が N の場合のカウンタのタイミング図

図 101. 更新イベントとカウンタのタイミング図

センターアラインモード（アップ/ダウンカウント）

センターアラインモードでは、カウンタは 0 から自動再ロードレジスタの値（TIMx_ARR レジスタの内容）－1 までカウントを行い、カウンタオーバーフローイベントを発生させます。次に 1 までのカウントダウンを行い、カウンタアンダーフローイベントを生成します。その後、0 からカウントをリスタートします。

センターアラインモードは、TIMx_CR1 レジスタの CMS ビットが 00 に等しくないときにアクティブになります。出力に設定されたチャネルの出力比較割り込みフラグは、カウンタがカウントダウンするとき（センターアラインモード 1、CMS=01）、カウンタがカウントアップするとき（センターアラインモード 2、CMS=10）、またはカウンタがカウントアップしてカウントダウンするとき（センターアラインモード 3、CMS=11）にセットされます。

このモードでは、方向ビット（TIMx_CR1 レジスタの DIR）に書き込むことはできません。このビットは、ハードウェアによって更新されて、カウンタの現在の方向を示します。

更新イベントは、カウンタオーバーフローとカウンタアンダーフローごとに生成されます。または、（ソフトウェアによって、またはスレーブモードコントローラを使用して）TIMx_EGR レジスタの UG ビットをセットすることによっても、更新イベントが生成されます。この場合、プリスケーラのカウンタと同じく、カウンタは 0 からカウントをリスタートします。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

UEV 更新イベントは、ソフトウェアで TIMx_CR1 レジスタの UDIS ビットをセットすることによって無効にできます。これは、プリロードレジスタに新しい値を書き込んでいるときにシャドウレジスタが更新されるのを防ぐためです。この後UDIS ビットに 0 が書き込まれるまで、更新イベントは発生しません。ただし、カウンタは現在の自動再ロード値で、カウントアップおよびカウントダウンを続けます。

さらに、TIMx_CR1 レジスタの URS ビット（更新リクエスト選択）がセットされている場合は、UG ビットをセットすると更新イベント UEV が生成されますが、UIF フラグはセットされません（したがって、割り込みまたは DMA リクエストは送信されません）。これは、キャプチャイベント時にカウンタをクリアしているときに、更新とキャプチャの両方の割り込みを生成するのを防ぐためです。

更新イベントが発生すると、すべてのレジスタが更新され、URS ビットに応じて、更新フラグ（TIMx_SR レジスタの UIF ビット）がセットされます。

- プリスケーラのバッファにはプリロード値（TIMx_PSC レジスタの内容）が再びロードされます。
- 自動再ロードアクティブレジスタは、プリロード値（TIMx_ARR レジスタの内容）で更新されます。更新の原因がカウンタオーバーフローである場合には、自動再ロードが更新されてからカウンタが再ロードされるので、次の周期は期待通りの周期になります（カウンタに新しい値がロードされます）。

以下の図は、さまざまなクロック周波数におけるカウンタの動作の例を示しています。

図 102. 内部クロック分周比が 1、TIMx_ARR=0x6 の場合のカウンタのタイミング図

1. ここでは、センターアラインモード 1 が使用されています（詳細については、*セクション 13.4.1：TIMx 制御レジスタ 1（TIMx_CR1）(307 ページ)* を参照）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 103. 内部クロック分周比が 2 の場合のカウンタのタイミング図

図 104. 内部クロック分周比が 4、TIMx_ARR=0x36 の場合のカウンタのタイミング図

注: ここでは、センターアラインモード 2 または 3 が使用され、オーバーフロー時に UIF がセットされます。

図 105. 内部クロック分周比が N の場合のカウンタのタイミング図

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 106. ARPE=1(カウンタアンダーフロー)のときの更新イベント時のカウンタタイミング図

図 107. ARPE=1（カウンタオーバーフロー）のときの更新イベント時のカウンタのタイミング図

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

13.3.3 クロック選択

カウンタクロックは、次のクロックソースから供給できます。

- 内部クロック（CK_INT）
- 外部クロックモード 1：外部入力ピン（TIx）
- 外部クロックモード 2：外部トリガ入力（ETR）
- 内部トリガ入力（ITRx）：あるタイマを別のタイマのプリスケーラとして使用します。たとえば、タイマ 1 がタイマ 2 のプリスケーラとして働くように設定できます。詳細については、*1 つのタイマを別のタイマのプリスケーラとして使用する（302 ページ）*を参照してください。

内部クロックソース（CK_INT）

スレーブモードコントローラが無効の場合（TIM x _SMCR レジスタの SMS=000）、CEN、DIR ビット（TIMx_CR1 レジスタ）と UG ビット（TIMx_EGR レジスタ）が実際の制御ビットであり、ソフトウェアによってのみ変更できます（自動的にクリアされたままの UG ビットを除きます）。CEN ビットに 1 が書き込まれると、プリスケーラにはクロックとして内部クロック CK_INT が供給されます。

図 108 に、プリスケーラを使用しない通常モードでの制御回路とアップカウンタの動作を示します。

図 108. 内部クロック分周比 1 の場合の、通常モードの制御回路

外部クロックソースモード 1

このモードは、TIMx_SMCR レジスタの SMS=111 のときに選択されます。カウンタは、選択された入力の立ち上がりまたは立ち下がりエッジごとにカウントします。

図 109. TI2 外部クロックの接続例

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

たとえば、アップカウンタが TI2 入力の立ち上がりエッジでカウントするように設定するには、以下の手順で行います。

1. TIMx_CCMR1 レジスタの CC2S=01 を書き込むことによって、チャネル 2 が TI2 入力の立ち上がりエッジを検出するように設定します。
2. TIMx_CCMR1 レジスタの IC2F[3:0] ビットに書き込むことによって、入力フィルタの時間を設定します（フィルタが不要な場合は、IC2F=0000 のままにしておきます）。

注： ***キャプチャプリスケーラはトリガには使用されないので、設定する必要はありません。***

3. TIMx_CCER レジスタの CC2P=0 および CC2NP=0 を書き込むことによって、立ち上がりエッジの極性を選択します。
4. TIMx_SMCR レジスタの SMS=111 を書き込むことによって、タイマを外部クロックモード 1 に設定します。
5. TIMx_SMCR レジスタの TS=110 を書き込むことによって、トリガ入力として TI2 を選択します。
6. TIMx_CR1 レジスタの CEN=1 を書き込むことによって、カウンタを有効にします。

TI2 で立ち上がりエッジが発生すると、カウンタは 1 カウントを行い、TIF フラグがセットされます。

TI2 の立ち上がりエッジから実際のカウンタクロックまでの遅延は、TI2 入力の再同期回路によるものです。

図 110. 外部クロックモード 1 の制御回路

外部クロックソースモード 2

このモードは、TIM1_SMCR レジスタの ECE=1 を書き込むことによって選択されます。

カウンタは、外部トリガ入力 ETR の立ち上がりまたは立ち下がりエッジごとにカウントを行います。

図 111 に、外部トリガ入力ブロックの概要を示します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 111. 外部トリガ入力ブロック

たとえば、ETR の 2 回の立ち上がりエッジごとにカウントするようにアップカウンタを設定するには、次の手順で行います。

1. この例ではフィルタは不要なので、TIMx_SMCR レジスタの ETF[3:0] に 0000 を書き込みます。
2. TIMx_SMCR レジスタの ETPS[1:0]=01 を書き込むことによって、プリスケーラを設定します。
3. TIMx_SMCR レジスタの ETP=0 を書き込むことによって、ETR ピンの立ち上がりエッジ検出を選択します。
4. TIMx_SMCR レジスタの ECE=1 を書き込むことによって、外部クロックモード 2 を有効にします。
5. TIMx_CR1 レジスタの CEN=1 を書き込むことによって、カウンタを有効にします。

カウンタは 2 回の立ち上がりエッジごとに 1 回カウントします。

ETR の立ち上がりエッジから実際のカウンタクロックまでの遅延は、ETRP 信号の再同期回路によるものです。

図 112. 外部クロックモード 2 の制御回路

13.3.4 キャプチャ /比較チャネル

各キャプチャ /比較チャネルは、キャプチャ /比較レジスタ（シャドウレジスタを含む）、キャプチャの入力ステージ（デジタルフィルタ、マルチプレクサ、プリスケーラ）、および出力ステージ（比較回路と出力制御）から構成されています。

次の図に、キャプチャ /比較チャネルの概要を示します。

入力ステージは、対応する TIx 入力をサンプリングして、フィルタリングを行った TIxF を生成します。次に、極性選択付きのエッジ検出回路が、スレーブモードコントローラによってトリガ入力とし

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

て、またはキャプチャコマンドとして使用される信号（TIxFPx）を生成します。この信号はプリスケーラを通じて、キャプチャレジスタ（ICxPS）に渡されます。

図 113. キャプチャ /比較チャネル（例：チャネル 1 入力ステージ）

出力ステージは、OCxREF（アクティブハイ）として使用される中間波形を生成します。信号の極性は最終出力に影響を与えます。

図 114. キャプチャ /比較チャネル 1 メイン回路

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 115. キャプチャ /比較チャネル（チャネル 1）の出力ステージ

キャプチャ /比較ブロックは、1 個のプリロードレジスタと 1 個のシャドウレジスタで構成されています。読み書きのアクセスは常にプリロードレジスタに対して行われます。

キャプチャモードでは、キャプチャ動作は実際にはシャドウレジスタで行われ、その値がプリロードレジスタにコピーされます。

比較モードでは、プリロードレジスタの内容がシャドウレジスタにコピーされて、カウンタと比較されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

13.3.5 入力キャプチャモード

入力キャプチャモードでは、対応する ICx 信号によって変化が検出された後、カウンタの値をラッチするために、キャプチャ /比較レジスタ（TIMx_CCRx）が使用されます。キャプチャが発生すると、対応する CCxIF フラグ（TIMx_SR レジスタ）がセットされ、割り込みまたは DMA リクエストを送信できます（有効な場合）。CCxIF フラグがすでにハイのときにキャプチャが発生した場合は、オーバーキャプチャフラグ CCxOF（TIMx_SR レジスタ）がセットされます。CCxIF フラグは、ソフトウェアで 0 を書き込むことによって、または、TIMx_CCRx レジスタに格納されたキャプチャデータを読み出すことによってクリアできます。CCxOF は、0 を書き込むとクリアされます。

次の例は、TI1 入力が立ち上がったときに、カウンタの値を TIMx_CCR1 にキャプチャする方法を示しています。このためには、次のように操作します。

- アクティブ入力を選択します。TIMx_CCR1 は TI1 入力にリンクされていなければならないので、TIMx_CCMR1 レジスタの CC1S ビットに 01 を書き込みます。CC1S の値が 00 から変化すると、チャネルは入力に設定され、TIMx_CCR1 レジスタは読み出し専用になります。
- 入力が TI x の 1 つであるときに、タイマに接続する信号に応じて必要な入力フィルタ時間をプログラミングします（TIMx_CCMRx レジスタの ICxF ビット）。入力信号の反転時、最大で内部クロックの 5 サイクルの間、信号が安定しないと想定してみます。この場合、フィルタ時間を 5 クロックサイクルより長くプログラミングする必要があります。新しいレベルの連続した 8 個のサンプルが検出されたときに、TI1 で変化を検証できます（周波数 f_{DTS} でサンプリング）。この場合、TIMx_CCMR1 レジスタの IC1F ビットに 0011 を書き込みます。
- TI1 チャネルのアクティブ変化のエッジを選択します。このためには、TIMx_CCER レジスタの CC1P ビット に "0" を書き込みます（この場合、立ち上がりエッジの選択）。
- 入力プリスケーラをプログラミングします。この例では、有効な信号変化ごとにキャプチャ行いたいので、プリスケーラを無効にします（TIMx_CCMR1 レジスタの IC1PS ビットに 00 を書き込みます）。
- TIMx_CCER レジスタの CC1E ビットをセットすることによって、カウンタからキャプチャレジスタへのキャプチャを有効にします。
- 必要な場合は、TIMx_DIER レジスタの CC1IE ビットをセットすることによって、関連する割り込みリクエストを有効にするか、TIMx_DIER レジスタの CC1DE レジスタをセットすることによって、DMA リクエストを有効にします。

入力キャプチャが発生すると、

- アクティブな信号変化時のカウンタの値が TIMx_CCR1 レジスタに格納されます。
- CC1IF フラグがセットされます（割り込みフラグ）。CC1OF ビットは、少なくとも 2 回連続でキャプチャが発生した場合にもセットされますが、フラグはクリアされません。
- CC1IE ビットに応じて、割り込みが生成されます。
- CC1DE ビットに応じて、DMA リクエストが生成されます。

オーバーキャプチャを処理するために、オーバーキャプチャフラグの前にデータを読み出すことが推奨されます。これにより、フラグを読み出した後、データを読み出す前に発生したオーバーキャプチャの見落としを避けることができます。

注： ***IC 割り込みと DMA リクエストは、TIMx_EGR レジスタの対応する CCxG ビットをセットすることによって、ソフトウェアによって生成することができます。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

13.3.6 PWM入力モード

このモードは、入力キャプチャの特別な応用例です。操作手順は入力キャプチャモードと同様ですが、以下の点が異なります。

- 2 個の ICx 信号が同じ TIx 入力に配置されます。
- この 2 つの ICx 信号は、反対の極性のエッジで動作します。
- 2 つの TIxFP 信号の 1 つがトリガ入力として選択され、スレーブモードコントローラはリセットモードに設定されます。

たとえば、次の手順を使用して、TI1 に適用された PWM の周期（TIMx_CCR1 レジスタ）とデューティサイクル（TIMx_CCR2 レジスタ）を測定できます（手順は、CK_INT 周波数とプリスケーラ値によって、若干異なることがあります）。

- TIMx_CCR1 のアクティブ入力を選択します。TIMx_CCMR1 レジスタの CC1S ビットに 01 を書き込みます（TI1 を選択）。
- TI1FP1 のアクティブ極性を選択します（TIMx_CCR1 のキャプチャとカウンタクリアの両方に使用します）。CC1P ビット に 0 を書き込みます （立ち上がりエッジでアクティブ）。
- TIMx_CCR2 のアクティブ入力を選択します。TIMx_CCMR1 レジスタの CC2S ビットに 10 を書き込みます（TI1 を選択）。
- TI1FP1 のアクティブ極性を選択します（TIMx_CCR1 のキャプチャに使用します）。CC2P ビット に 1 を書き込みます （立ち下がりエッジでアクティブ）。
- 有効なトリガ入力を選択します。TIMx_SMCR レジスタの TS ビットに 101 を書き込みます（TI1FP1 を選択）。
- スレーブモードコントローラをリセットモードに設定します。すなわち、TIMx_SMCR レジスタの SMS ビットに 100 を書き込みます。
- キャプチャを有効にします。TIMx_CCER レジスタの CC1E ビットと CC2E ビットに 1 を書き込みます。

図 116. PWM 入力モードのタイミング

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

13.3.7 強制出力モード

このモード（TIMx_CCMRx レジスタの CCxS=00）では、各出力比較信号（OCxREF、そして OCx）はソフトウェアによって強制的にアクティブ、インアクティブのいずれかの状態とされます。これは出力比較レジスタとカウンタの間の比較動作とは関係なく行われます。

出力比較信号（OCxREF/OCx）を強制的にアクティブレベルにするには、対応する TIMx_CCMRx レジスタの OCxM ビットに 101 を書き込みます。これにより、OCxREF は強制的にハイレベルになり（OCxREF は常にアクティブハイ）、OCx は CCxP 極性ビットと逆の値になります。

例：CCxP=0（OCx アクティブハイ）=> OCx は強制的にハイレベルになります。

TIMx_CCMRx レジスタの OCxM ビットに 100 を書き込むことによって、OCxREF 信号を強制的にローにできます。

いずれにしても、TIMx_CCRx シャドウレジスタとカウンタの比較は実行されるので、フラグをセットできます。それに応じて、割り込み および DMA リクエストを送信できます。これについては、出力比較モードのセクションで説明します。

13.3.8 出力比較モード

この機能は、出力波形を制御したり、一定時間が経過したことを示すために使用されます。

キャプチャ /比較レジスタとカウンタの値が一致すると、出力比較は次のように機能します。

- 対応する出力ピンに、出力比較モード（TIMx_CCMRx レジスタの OCxM ビット）と出力極性（TIMx_CCER レジスタの CCxP ビット）によって定義されたプログラマブル値を割り当てます。一致した際、出力ピンは、そのレベルを維持するか（OCxM=000）、アクティブにセットされるか（OCxM=001）、インアクティブにセットされるか（OCxM=010）、または反転されます（OCxM=011）。
- 割り込みステータスレジスタのフラグをセットします（TIMx_SR レジスタの CCxIF ビット）。
- 対応する割り込みマスク（TIMx_DIER レジスタの CCxIE ビット）がセットされている場合は、割り込みを生成します。
- 対応するイネーブルビット（TIMx_DIER レジスタの CCxDE ビット）がセットされている場合は、DMA リクエストを送信します（DMA リクエスト選択には、TIMx_CR2 レジスタの CCDS ビットが使用されます）。

TIMx_CCRx レジスタは、TIMx_CCMRx レジスタの OCxPE ビットを使用して、プリロードレジスタを使用して、またはプリロードレジスタを使用せずにプログラミングできます。

出力比較モードでは、更新イベント UEV は OCxREF および OCx 出力には影響を与えません。タイミングの分解能はカウンタの 1 カウント分です。出力比較モードは単一パルスを出力するためにも使用することができます（ワンパルスモード）。

手順：

1. カウンタクロックを選択します（内部、外部、プリスケーラ）。
2. TIMx_ARR レジスタと TIMx_CCRx レジスタに目的のデータを書き込みます。
3. 割り込みリクエスト/DMA リクエストを生成する場合は、CCxIE ビット/CCxDE ビットをセットします。
4. 出力モードを選択します。たとえば、CNT が CCRx と一致し、たときに OCx 出力をトグルし、CCRx プリロードを使用せず、OCx が有効でアクティブハイときには、OCxM=011、OCxPE=0、CCxP=0、CCxE=1 を書き込みます
5. TIMx_CR1 レジスタの CEN ビットをセットすることによって、カウンタを有効にします。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

いつでもソフトウェアによって TIMx_CCRx レジスタを更新して、出力波形を制御できます。ただし、プリロードレジスタが有効でない場合に限ります（OCxPE=0）。そうでない場合、TIMx_CCRx シャドウレジスタは、次の更新イベント UEV でのみ更新されます。例を*図 117* に示します。

図 117. 出力比較モード、OC1 のトグル

13.3.9 PWM モード

パルス幅変調（PWM）モードでは、TIMx_ARR レジスタの値によって決められた周波数と TIMx_CCRx レジスタの値によって決められたデューティサイクルで信号を生成できます。

PWM モードは、個々のチャネル（OCx 出力ごとに PWM 1 波形）で、TIMx_CCMRx レジスタの OCxM ビットに "110"（PWM モード 1）や "111"（PWM モード 2）を書きむことで、独自に選択することができます。TIMx_CCMRx レジスタの OCxPE ビットをセットすることによって、対応するプリロードレジスタを有効にする必要があります、また、TIMx_CR1 レジスタの ARPE ビットをセットすることによって、自動再ロードプリロードレジスタも（アップカウントまたはセンターアラインモードで）有効にする必要があります。

プリロードレジスタは、更新イベントが発生したときにのみシャドウレジスタに転送されるので、カウンタを開始する前に、TIMx_EGR レジスタの UG ビットをセットすることによって、すべてのレジスタを初期化する必要があります。

OCx の極性は、TIMx_CCER レジスタの CCxP ビットを使用してソフトウェアでプログラムできます。アクティブハイまたはアクティブローとしてプログラムできます。OCx 出力は、TIMx_CCER レジスタの CCxE ビットによって有効になります。詳細については、TIMx_CCERx レジスタの説明を参照してください。

PWM モード（1 または 2）では、TIMx_CNT と TIMx_CCRx が常に比較されて、TIMx_CCRx ≤ TIMx_CNT または TIMx_CNT≤ TIMx_CCRx かどうかが判断されます（カウントの方向によります）。ただし、OCREF_CLR の機能性（OCREF は、次の PWM 周期までは ETR 信号を通じて外部イベントによってクリアできる）に従って、OCREF 信号は次の場合にのみアサートされます。

- 比較結果が変化したとき、または
- 出力比較モード（TIMx_CCMRx レジスタの OCxM ビット）が固定設定（比較なし、OCxM=000）から PWM モードの 1 つ（OCxM=110 または 111）へ切り替えられたとき。

タイマの動作中は、ソフトウェアによって強制的に PWM になります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

タイマは、TIMx_CR1 レジスタの CMS ビットに応じて、エッジアラインモードまたはセンターアラインモードで PWM を生成できます。

PWM エッジアラインモード

アップカウント設定

アップカウントは、TIMx_CR1 レジスタの DIR ビットがローのときにアクティブです。*アップカウントモード（274 ページ）*を参照してください。

次の例では、PWM モード 1 を前提としています。PWM 基準信号 OCxREF は、TIMx_CNT < TIMx_CCRx の間はハイに、そうでない場合はローになります。TIMx_CCRx の比較値が自動再ロード値（TIMx_ARR レジスタの）より大きい場合、OCxREF は 1 です。比較値が 0 の場合、OCxREF は 0 です。*図 118* は、TIMx_ARR=8 のときのエッジアライン PWM 波形の例を示しています。

図 118. エッジアライン PWM 波形（ARR=8）

ダウンカウント設定

ダウンカウントは、TIMx_CR1 レジスタの DIR ビットがハイのときにアクティブです。*ダウンカウントモード（277 ページ）*を参照してください。

PWM モード 1 では、基準信号 OCxREF は、TIMx_CNT > TIMx_CCRx の間はローであり、そうでない場合はハイになります。TIMx_CCRx の比較値が TIMx_ARR の自動再ロード値より大きい場合、OCxREF は 1 です。このモードでは、0 % の PWM はできません。

PWM センターアラインモード

センターアラインモードは、TIMx_CR1 レジスタの CMS ビットが 00 でないときにアクティブです（その他すべての設定は、OCxREF/OCx 信号に対して同じ効果を持ちます）。CMS ビットの設定に応じて、カウンタがカウントアップするとき、カウントダウンするとき、またはカウントアップとカウントダウンの両方を行うときに、比較フラグがセットされます。TIMx_CR1 レジスタの方向ビット（DIR）は、ハードウェアによって更新されており、ソフトウェアで値を変更することはできません。*センターアラインモード（アップ/ダウンカウント）（279 ページ）*を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 119 は、次の条件でのセンターアライン PWM 波形の例を示しています。

- TIMx_ARR=8、
- PWM モードは PWM モード 1、
- フラグは、TIMx_CR1 レジスタの CMS=01 で選択されたセンターアラインモード 1 に対応して、カウンタがカウントダウンするときにセットされます。

図 119. センターアライン PWM 波形（ARR=8）

センターアラインモードの使用に関するヒント：

- センターアラインモードで開始するときには、現在のアップ/ダウン設定が使用されます。これは、TIMx_CR1 レジスタの DIR ビットに書き込まれた値に応じて、カウンタがカウントアップまたはカウントダウンすることを意味します。さらに、DIR ビットと CMS ビットは、ソフトウェアによって同時に変更することはできません。
- センターアラインモードで動作中のカウンタへの書き込みは、予期しない結果を招くことがあるので推奨されません。特に、
  - 自動再ロード値より大きい値をカウンタに書き込んだ場合（TIMx_CNT > TIMx_ARR）、方向は更新されません。たとえば、カウンタがカウントアップしていた場合、カウンタはカウントアップを続けます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

– カウンタに 0 または TIMx_ARR 値を書き込んだ場合、方向は更新されますが、更新イベント UEV は生成されません。

- センターアラインモードを使用する最も安全な方法は、カウンタを開始する直前に、ソフトウェアによって更新を生成して（TIMx_EGR レジスタの UG ビットをセットする）、動作中はカウンタへの書き込みを行わないことです。

13.3.10 ワンパルスモード

ワンパルスモード（One Pulse Mode：OPM）は、これまでに説明したモードの特殊ケースです。このモードでは、トリガに応じてカウンタを開始して、プログラム可能な遅延後に、プログラミングした長さのパルスを生成することができます。

カウンタの開始は、スレーブモードコントローラを通じて制御できます。波形の生成は、出力比較モードまたは PWM モードで行います。ワンパルスモードを選択するには、TIMx_CR1 レジスタの OPM ビットをセットします。これによって、カウンタは、次の更新イベント UEV で自動的に停止します。

パルスは比較値がカウンタの初期値と異なるときのみ、正しく生成されます。開始前（タイマがトリガを待っているとき）に、設定が次のとおりでなければなりません。

アップカウントの場合、CNT < CCRx ≤ ARR （特に、0 < CCRx）

ダウンカウントの場合：CNT > CCRx

図 120. ワンパルスモードの例

たとえば、TI2 入力ピンで立ち上がりエッジが検出されたときに、OC1 にパルス幅が t_{PULSE} の正のパルスを遅延時間 t_{DELAY} 後に発生させることとします。

TI2FP2 をトリガ 1 として使用します。

- TI2FP2 を TI2 に配置するために、TIMx_CCMR1 レジスタの IC2S=01 を書き込みます。
- TI2FP2 は立ち上がりエッジを検出しなければならないので、TIMx_CCER レジスタの CC2P=0 を書き込みます。
- TI2FP2 をスレーブモードコントローラのトリガ（TRGI）として設定するために、TIMx_SMCR レジスタの TS=110 を書き込みます。
- TI2FP2 を使用してカウンタを開始するために、TIMx_SMCR レジスタの SMS ビットに 110（トリガモード）を書き込みます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OPM 波形は、比較レジスタに書き込むことによって定義されます（クロック周波数とカウンタプリスケーラを考慮して）。

- 遅延時間 t_{DELAY} は、TIMx_CCR1 レジスタに書き込まれた値によって定義されます。
- t_{PULSE} は、自動再ロード値と比較値の差（TIMx_ARR - TIMx_CCR1）によって定義されます。
- 比較値と一致したときに 0 から 1 に変化し、カウンタが自動再ロード値に達したときに 1 から 0 に変化する波形を生成するとします。このためには、TIMx_CCMR1 レジスタの OC1M=111 を書き込むことによって、PWM モード 2 を有効にします。オプションで、TIMx_CCMR1 レジスタの OC1PE=1 とTIMx_CR1 レジスタの ARPE=1 を書き込むことによって、プリロードレジスタを有効にすることもできます。この場合、比較値を TIMx_CCR1 レジスタに、自動再ロード値を TIMx_ARR レジスタに書き込み、UG ビットをセットすることによって更新を生成し、TI2 上の外部トリガイベントを待つ必要があります。この例では、CC1P に 0 を書き込みます。

この例では、TIMx_CR1 レジスタの DIR ビットと CMS ビットはローレベルでなければなりません。

必要なパルスは 1 つだけなので（シングルモード）、TIMx_CR1 レジスタの OPM ビットに 1 を書き込みます。こうすると、カウンタは次の更新イベント時に停止します（カウンタが自動再ロード値に達して、0 に戻る時点）。TIMx_CR1 レジスタの OPM ビットが 0 にセットされると、繰り返しモードが選択されます。

特殊なケース：OCx 高速イネーブル：

ワンパルスモードでは、TIx 入力でエッジが検出されると、CEN ビットがセットされ、カウンタが有効になります。その後、カウンタと比較値の比較によって、出力が反転されます。しかし、これらの操作には数クロックサイクルが必要なので、実現可能な最小遅延時間 t_{DELAY} が制限されます。

最小遅延で波形を出力したい場合は、TIMx_CCMRx レジスタの OCxFE ビットをセットします。こうすると、OCxREF（および OCx）は、比較を考慮せずにトリガに反応します。新しいレベルは、比較が一致したときと同じです。OCxFE は、チャネルが PWM1 または PWM2 モードに設定された場合のみ機能します。

13.3.11 外部イベントによる OCxREF 信号のクリア

特定のチャネルの OCxREF 信号は、ETRF 入力にハイレベルにすることでリセットできます（対応する TIMx_CCMRx レジスタの OCxCE イネーブルビットを 1 にセットします）。OCxREF は、次の更新イベント（UEV）が発生するまでローを維持します。

この機能は、出力比較モードと PWM モードでのみ使用できます。強制モードでは動作しません。

たとえば、OCxREF 信号を比較回路の出力に接続して、電流処理に使用することができます。この場合、ETR は次のように設定する必要があります。

1. 外部トリガプリスケーラはオフ状態に維持する必要があります。このため、TIMx_SMCR レジスタの ETPS[1:0] ビットを 00 にクリアします。
2. 外部クロックモード 2 は無効にする必要があります。このため、TIM1_SMCR レジスタの ECE ビットを 0 にクリアします。
3. 外部トリガ極性（ETP）と外部トリガフィルタ（ETF）は、アプリケーションの用途に応じて設定できます。

図 121 は、OCxCE イネーブルビットの両方の値について、ETRF 入力がハイになったときの OCxREF 信号の動作を示しています。この例では、TIMx タイマは PWM モードにプログラミングされています。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 121. TIMx OCxREF のクリア

注： デューティサイクル 100% の PWM の場合（CCRx > ARR の場合）、次のカウンタオーバーフローで再び OCxREF が有効になります。

13.3.12 エンコーダインタフェースモード

エンコーダインタフェースモードを選択するには、TIMx_SMCR レジスタで、カウンタが TI2 エッジのみをカウントしている場合は SMS=001 を、TI1 エッジのみをカウントしている場合は SMS=010 を、TI1 と TI2 の両方のエッジをカウントしている場合は SMS=011 を書き込みます。

TI1 と TI2 の極性を選択するには、TIMx_CCER レジスタの CC1P ビットと CC2P ビットをプログラミングします。必要なときには、入力フィルタもプログラミングできます。

2 つの入力 T1 と TI2 は、インクリメンタルエンコーダとのインタフェースのために使用されます。*表 70* を参照してください。カウンタのクロックは、TI1FP1 または TI2FP2（入力フィルタおよび極性選択後の TI1 および TI2。フィルタされず、反転されない場合は TI1FP1=TI1、フィルタされず、反転されない場合は TI2FP2=TI2）の有効な変化によって供給されます。ただし、カウンタが有効なことが前提となります（TIMx_CR1 レジスタの CEN ビットが 1）。2 つの入力の変化の順序が評価されて、カウントパルスと同時に方向信号を生成します。カウンタがカウントアップまたはカウントダウンする順序に応じて、TIMx_CR1 レジスタの DIR ビットがハードウェアによって変更されます。カウンタが TI1 のみ、TI2 のみ、または TI1 と TI2 の両方のいずれをカウントしている場合でも、DIR ビットは、いずれかの入力（TI1 または TI2）の変化のたびに計算されます。

エンコーダインタフェースモードは、単に方向選択を含む外部クロックとして動作します。これは、カウンタが 0 と TIMx_ARR レジスタの自動再ロード値の間で連続的にカウントするだけであることを意味します（方向に応じて、0 から ARR まで、または ARR から 0 まで）。したがって、開始前に TIMx_ARR を設定しておく必要があります。同様に、キャプチャ、比較、プリスケーラ、トリガ出力機能は、通常どおりの動作を続けます。

このモードでは、カウンタは、インクリメンタルエンコーダの速度と方向およびその内容に応じて自動的に変更されるので、常にエンコーダの位置を表します。カウント方向は、接続されているセンサの回転方向に対応します。下の表は TI1 と TI2 の変化の組合わせをまとめたものです（TI1 と TI2 は同時に変化しないと想定しています）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 70. カウント方向とエンコーダ信号

アクティブエッジ	他方の信号に対するレベル（TI2に対する TI1FP1、TI1 に対する TI2FP2）	TI1FP1 信号		TI2FP2 信号	
		立ち上がり	立ち下がり	立ち上がり	立ち下がり
TI1 のみカウント	ハイ	ダウン	アップ	カウントなし	カウントなし
	ロー	アップ	ダウン	カウントなし	カウントなし
TI2 のみカウント	ハイ	カウントなし	カウントなし	アップ	ダウン
	ロー	カウントなし	カウントなし	ダウン	アップ
TI1 と TI2 をカウント	ハイ	ダウン	アップ	アップ	ダウン
	ロー	アップ	ダウン	ダウン	アップ

外部インクリメンタルエンコーダは、外部インタフェース回路を持たなくても、MCU に直接接続できます。ただし、エンコーダの差分出力をデジタル信号に変換するには、通常、コンパレータが使用されます。これにより、耐ノイズ性が大幅に向上します。機械的なゼロ位置を示す 3 番目のエンコーダ出力は、外部割り込み入力に接続して、カウンタのリセットをトリガできます。

図 122 は、カウント信号の生成と方向制御を含むカウンタの動作を示しています。また、両方のエッジが選択されているときの入力ジッタの補正方法も示します。この状況は、センサの位置が一方のスイッチングポイントの近くにあるときに生じます。この例では、次の設定を前提としています。

- CC1S=01（TIMx_CCMR1 レジスタ、TI1FP1 は TI1 に配置）
- CC2S=01（TIMx_CCMR2 レジスタ、TI2FP2 は TI2 に配置）
- CC1P=0（TIMx_CCER レジスタ、TI1FP1 非反転、TI1FP1=TI1）
- CC2P=0(TIMx_CCER レジスタ、TI2FP2 非反転、TI2FP2=TI2)
- SMS=011（TIMx_SMCR レジスタ、両方の入力が立ち上がりと立ち下がりの両エッジでアクティブ）
- CEN=1（TIMx_CR1 レジスタ、カウンタイネーブル）

図 122. エンコーダインタフェースモードにおけるカウンタの動作例

図 123 は、IC1FP1 の極性が反転したときのカウンタの動作例を示しています（上の設定と同じですが、CC1P=1 です）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 123. IC1FP1の極性を反転したエンコーダインタフェースモードの例

エンコーダインタフェースモードに設定されたタイマは、センサの現在位置に関する情報を提供します。キャプチャモードに設定した 2 番目のタイマを使用して、2 つのエンコーダイベントの時間差を測定することで、速度、加速度、減速度といった動的な情報を得ることができます。機械的なゼロを示すエンコーダの出力を、この目的に使用できます。2 つのイベントの時間差によって、カウンタを定期的に読み出すこともできます。これを行うには、使用可能な場合は、カウンタの値を 3 番目の入力キャプチャレジスタにラッチします（キャプチャ信号は周期的でなければならず、別のタイマによって生成できます）。また、リアルタイムクロックによって生成される DMA リクエストを通じて、この値を読み出すこともできます。

13.3.13 タイマ入力 XOR 機能

TIM1_CR2 レジスタの TI1S ビットを使用して、チャネル 1 の入力フィルタを、TIMx_CH1 から TIMx_CH3 までの 3 つの入力ピンを組み合わせた XOR ゲートの出力に接続できます。

XOR 出力は、トリガや入力キャプチャなど、すべてのタイマ入力機能で使用できます。

13.3.14 タイマと外部トリガの同期

TIMx タイマは、リセットモード、ゲートモード、トリガモードなど、いくつかのモードで外部トリガと同期を取ることができます。

スレーブモード：リセットモード

カウンタとそのプリスケーラは、トリガ入力のイベントに応じて再初期化できます。さらに、TIMx_CR1 レジスタの URS ビットがローの場合は、更新イベント UEV が生成されます。その場合、すべてのプリロードレジスタ（TIMx_ARR、TIMx_CCRx）が更新されます。

次の例では、TI1 入力の立ち上がりエッジに応じて、アップカウンタがクリアされます。

- TI1 の立ち上がりエッジを検出するように、チャネル 1 を設定します。入力フィルタ時間を設定します（この例では、フィルタは不要なので、IC1F=0000 のままにしておきます）。キャプチャプリスケーラはトリガには使用されないので、設定する必要はありません。CC1S ビットは、入力キャプチャソースのみを選択します（TIMx_CCMR1 レジスタの CC1S=01）。極性を確認（また、立ち上がりエッジのみを検出）するために、TIMx_CCER レジスタの CC1P=0 および CC1NP=0 を書き込みます。
- TIMx_SMCR レジスタの SMS=100 を書き込んで、タイマをリセットモードに設定します。TIMx_SMCR レジスタの TS=101 を書き込んで、入力ソースとして TI1 を選択します。
- TIMx_CR1 レジスタの CEN=1 を書き込んで、カウンタを開始します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

カウンタは内部クロックでカウントを開始し、TI1 の立ち上がりエッジまで通常の動作を行います。TI1 が立ち上がると、カウンタはクリアされ、0 から再スタートします。同時に、トリガフラグがセットされ（TIMx_SR レジスタの TIF ビット）、有効な場合は割り込みリクエストまたは DMA リクエストを送信できます（TIMx_DIER レジスタの TIE および TDE ビット）。

次の図は、自動再ロードレジスタ TIMx_ARR=0x36 の場合の動作を示しています。TI1 の立ち上がりエッジから実際にカウンタがリセットされるまでの遅延は、TI1 入力の再同期回路によるものです。

図 124. リセットモードの制御回路

スレーブモード：ゲートモード

選択された入力のレベルに応じて、カウンタを有効にできます。

次の例では、アップカウンタは TI1 入力がローのときだけカウントします。

- TI1 のローレベルを検出するように、チャネル 1 を設定します。入力フィルタ時間を設定します（この例では、フィルタは不要なので、IC1F=0000 のままにしておきます）。キャプチャプリスケーラはトリガには使用されないので、設定する必要はありません。CC1S ビットは、入力キャプチャソースのみを選択します（TIMx_CCMR1 レジスタの CC1S=01 ビット）。極性を確認（また、立ち上がりエッジのみを検出）するために、TIMx_CCER レジスタの CC1P=1 を書き込みます。
- TIMx_SMCR レジスタの SMS=101 を書き込んで、タイマをゲートモードに設定します。TIMx_SMCR レジスタの TS=101 を書き込んで、入力ソースとして TI1 を選択します。
- TIMx_CR1 レジスタの CEN=1 を書き込んで、カウンタを有効にします（ゲートモードでは、CEN=0 の場合、トリガ入力のレベルにかかわらず、カウンタは開始しません）。

カウンタは、TI1 がローレベルの時にカウントを開始し、TI1 がハイレベルになると停止します。TIMx_SR レジスタの TIF フラグは、カウンタの開始時と停止時にセットされます。

TI1 の立ち上がりエッジから実際にカウンタが停止するまでの遅延は、TI1 入力の再同期回路によるものです。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 125. ゲートモードの制御回路

スレーブモード：トリガモード

選択された入力のイベントに対応して、カウンタを開始できます。

次の例では、アップカウンタは、TI2 入力の立ち上がりエッジに応じて開始します。

- TI2 の立ち上がりエッジを検出するように、チャネル 2 を設定します。入力フィルタ時間を設定します（この例ではフィルタは不要なので、IC2F=0000 のままにしておきます）。キャプチャプリスケーラはトリガには使用されないので、設定する必要はありません。CC2S ビットは入力キャプチャソースのみを選択します（TIMx_CCMR1 レジスタの CC2S=01）。極性を確認（また、ローレベルのみを検出）するために、TIMx_CCER レジスタの CC2P=1 を書き込みます。
- TIMx_SMCR レジスタの SMS=110 を書き込んで、タイマをトリガモードに設定します。TIMx_SMCR レジスタの TS=110 を書き込んで、入力ソースとして TI2 を選択します。

TI2 の立ち上がりエッジが発生すると、カウンタは内部クロックでカウントを開始し、TIF フラグがセットされます。

TI2 の立ち上がりエッジから実際にカウンタが開始するまでの遅延は、TI2 入力の再同期回路によるものです。

図 126. トリガモードの制御回路

スレーブモード：外部クロックモード 2 + トリガモード

外部クロックモード 2 は、他のスレーブモードとともに使用できます（ただし、外部クロックモード 1 とエンコーダモードは除きます）。この場合、ETR 信号は外部クロック入力として使用され、別の入力をトリガ入力として選択できます（リセットモード、ゲートモード、およびトリガモードで動作している場合）。TIMx_SMCR レジスタの TS ビットを通じて TRGI として ETR を選択しないようにしてください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

次の例では、アップカウンタは、TI1 の立ち上がりエッジが発生すると、ETR 信号の立ち上がりエッジのたびにインクリメントされます。

1. TIMx_SMCR レジスタで次のようにプログラミングすることによって、外部トリガ入力回路を設定します。
   - ETF = 0000：フィルタなし
   - ETPS=00：プリスケーラは無効
   - ETP=0 : ETR の立ち上がりエッジを検出。ECE=1 で外部クロックード 2 を有効にします。
2. TI の立ち上がりエッジを検出するように、チャネル 1 を次のように設定します。
   - IC1F=0000：フィルタなし
   - キャプチャプリスケーラはトリガには使用されないので、設定する必要はありません。
   - TIMx_CCMR1 レジスタの CC1S=01 で、入力キャプチャソースのみを選択します。
   - 極性を確認（また、立ち上がりエッジのみを検出）するために、TIMx_CCER レジスタの CC1P=0 を書き込みます。
3. TIMx_SMCR レジスタの SMS=110 を書き込んで、タイマをトリガモードに設定します。
   TIMx_SMCR レジスタの TS=101 を書き込んで、入力ソースとして TI1 を選択します。

TI1 の立ち上がりエッジによってカウンタが有効になり、TIF フラグがセットされます。カウンタは、ETR の立ち上がりエッジでカウントします。

ETR 信号の立ち上がりエッジから実際にカウンタがリセットされるまでの遅延は、ETRP 入力の再同期回路によるものです。

図 127. 外部クロックモード 2＋トリガモードの制御回路

13.3.15 タイマの同期

タイマの同期や連結のために、TIMx タイマを内部で相互にリンクすることができます。マスタモードに設定されたタイマは、スレーブモードに設定された別のタイマのカウンタのリセット、開始、停止、またはクロック供給を行うことができます。

*図 128：マスタ/スレーブタイマの例*に、トリガ選択およびマスタモード選択ブロックの概要を示します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

1 つのタイマを別のタイマのプリスケーラとして使用する

図 128. マスタ/スレーブタイマの例

たとえば、TIM3 を TIM2 のプリスケーラとして動作するように設定することができます。*図 128* を参照してください。このためには、次の操作を行います。

- TIM3 をマスタモードに設定して、更新イベント UEV ごとに定期的なトリガ信号を出力するようにします。TIM3_CR2 レジスタの MMS=010 を書き込んだ場合、更新イベントが生成されるたびに、TRGO1 で立ち上がりエッジが出力されます。
- TIM3 の TRGO1 出力を TIM2 に接続するには、TIM2 が ITR1 を内部トリガとして使用するスレーブモードに設定されていなければなりません。このためには、TIM2_SMCR レジスタの TS ビットに 000 を書き込みます。
- 次に、スレーブモードコントローラを外部クロックモード 1 にします（TIM2_SMCR レジスタの SMS=111 を書き込みます）。これにより TIM2 は、TIM3 の定期的なトリガ信号の立ち上がりエッジ（TIM3 カウンタのオーバフローに対応しています）をクロックとして動作します。
- 最後に、それぞれの TIMx_CR1 レジスタの CEN ビットをセットすることによって、両方のタイマを有効にする必要があります。

注： ***TIM3 のトリガ出力として OCx が選択された場合（MMS=1xx）、その立ち上がりエッジが TIM2 カウンタのクロックとして使用されます。***

タイマを使用して別のタイマを有効にする

この例では、TIM1の出力比較 1 で TIM2 の有効/無効を制御します。接続については、*図 128* を参照してください。TIM2 は、TIM3 の OC1REF がハイのときにのみ、分周された内部クロックをカウントします。両方のカウンタクロック周波数は、CK_INT をプリスケーラで 3 分周したものです（$f_{CK_CNT} = f_{CK_INT}/3$）。

- TIM3 をマスタモードに設定して、その出力比較 1 基準（OC1REF）信号をトリガ出力として送信します（TIM3_CR2 レジスタの MMS=100）。
- TIM3 の OC1REF 波形を設定します（TIM3_CCMR1 レジスタ）。
- TIM2 が TIM3 から入力トリガを受け取るように設定します（TIM2_SMCR レジスタの TS=000）。
- TIM2 をゲートモードに設定します（TIM2_SMCR レジスタの SMS=101）。
- CEN ビット（TIM2_CR1 レジスタ）に 1 を書き込んで、TIM2 を有効にします。
- CEN ビット（TIM3_CR1 レジスタ）に 1 を書き込んで、TIM3 を開始します。

注： ***カウンタ 2 クロックはカウンタ 1 と同期しないので、このモードは TIM2 カウンタのイネーブル信号にのみ影響を与えます。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 129. TIM3 の OC1REF による TIM2 のゲート操作

図 129 の例では、TIM2 のカウンタとプリスケーラは、開始前に初期化されていません。したがって、現在値からカウントを開始します。TIM3 を開始する前に両方のタイマをリセットすることによって、特定の値から開始することが可能です。任意の値をタイマカウンタに書き込むことができます。TIMx_EGR レジスタの UG ビットを使用して、ソフトウェアによって容易にタイマをリセットできます。

次の例では、TIM3 と TIM2 を同期させます。TIM3 はマスタであり、0 からカウントを開始します。TIM2 はスレーブであり、0xE7 からカウントを開始します。プリスケーラの分周比は両方のタイマで同じです。TIM3_CR1 レジスタの CEN ビットに 0 を書き込むことによって TIM3 を無効にすると、TIM2 は停止します。

- TIM3 をマスタモードに設定して、その出力比較 1 基準（OC1REF）信号をトリガ出力として送信します（TIM3_CR2 レジスタの MMS=100）。
- TIM3 の OC1REF 波形を設定します（TIM3_CCMR1 レジスタ）。
- TIM2 が TIM3 から入力トリガを受け取るように設定します（TIM2_SMCR レジスタの TS=000）。
- TIM2 をゲートモードに設定します（TIM2_SMCR レジスタの SMS=101）。
- UG ビット（TIM3_EGR レジスタ）に 1 を書き込むことによって、TIM3 をリセットします。
- UG ビット（TIM2_EGR レジスタ）に 1 を書き込むことによって、TIM2 をリセットします。
- TIM2 のカウンタ（TIM2_CNTL）に 0xE7 を書き込むことによって、TIM2 を 0xE7 に初期化します。
- CEN ビット（TIM2_CR1 レジスタ）に 1 を書き込んで、TIM2 を有効にします。
- CEN ビット（TIM3_CR1 レジスタ）に 1 を書き込んで、TIM3 を開始します。
- CEN ビット（TIM3_CR1 レジスタ）に 0 を書き込むことによって、TIM3 を停止します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 130. TIM3 の有効化による TIM2 のゲート操作

タイマを使用して別のタイマを開始する

この例では、タイマ 1の更新イベントによってタイマ 2 の有効/無効をセットします。接続については、*図 128* を参照してください。タイマ 1 によって更新イベントが生成されると、タイマ 2 は、分周された内部クロックで現在値（ゼロである必要はありません）からカウントを開始します。タイマ 2 がトリガ信号を受信すると、CEN ビットが自動的にセットされて、TIM2_CR1 レジスタの CEN ビットに 0 を書き込むまでカウント動作が行われます。両方のカウンタクロック周波数は、CK_INT をプリスケーラで 3 分周したものです（$f_{CK_CNT} = f_{CK_INT}/3$）。

- TIM3 をマスタモードに設定して、その更新イベント（UEV）をトリガ出力として送信します（TIM3_CR2 レジスタの MMS=010）。
- TIM3 の周期を設定します（TIM3_ARR レジスタ）。
- TIM2 が TIM3 から入力トリガを受け取るように設定します（TIM2_SMCR レジスタの TS=000）。
- TIM2 をトリガモードに設定します（TIM2_SMCR レジスタの SMS=110）。
- CEN ビット（TIM3_CR1 レジスタ）に 1 を書き込んで、TIM3 を開始します。

図 131. TIM3 の更新による TIM2 のトリガ

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

前の例と同じように、カウントを開始する前に両方のカウンタを初期化することができます。*図 132* は、*図 131* と同じ設定ですが、ゲートモードではなくトリガモードでの動作を示しています（TIM2_SMCR レジスタの SMS=110）。

図 132. TIM3 の有効化による TIM2 のトリガ

タイマを別のタイマのプリスケーラとして使用する

たとえば、TIM3 が TIM2 のプリスケーラとして動作するように設定することができます。接続については、*図 128* を参照してください。このためには、次の操作を行います。

- TIM3 をマスタモードに設定して、その更新イベント（UEV）をトリガ出力として送信します（TIM3_CR2 レジスタの MMS=010）。TIM3は、カウンタオーバーフローごとに定期的な信号を出力します。
- TIM3 の周期を設定します (TIM1_ARR レジスタ)。
- TIM2 が TIM3 から入力トリガを受け取るように設定します（TIM2_SMCR レジスタの TS=000）。
- TIM2 を外部クロックモード 1 に設定します（TIM2_SMCR レジスタの SMS=111）。
- CEN ビット（TIM2_CR1 レジスタ）に 1 を書き込んで、TIM2 を開始します。
- CEN ビット（TIM3_CR1 レジスタ）に 1 を書き込んで、TIM3 を開始します。

外部トリガに反応して 2 つのタイマを同時に開始する

この例では、TI1 入力の立ち上がりエッジで TIM3 を有効にし、TIM3 が有効になると、TIM2 を有効にします。接続については、*図 128* を参照してください。カウンタの同時性を確保するため、TIM3

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

はマスタ/スレーブモードに設定する必要があります（TI1 に対してはスレーブ、TIM2 に対してはマスタ）。

- TIM3 をマスタモードに設定して、その有効化をトリガ出力として送信します（TIM3_CR2 レジスタの MMS=001）。
- TIM1 をスレーブモードに設定して、TI1 から入力トリガを受け取るようにします（TIM3_SMCR レジスタの TS=100）。
- TIM3 をトリガモードに設定します（TIM3_SMCR レジスタの SMS=110）。
- MSM=1（TIM3_SMCR レジスタ）を書き込むことによって、TIM3 をマスタ/スレーブモードに設定します。
- TIM2 が TIM3 から入力トリガを受け取るように設定します（TIM2_SMCR レジスタの TS=000）。
- TIM2 をトリガモードに設定します（TIM2_SMCR レジスタの SMS=110）。

TI1（TIM3）で立ち上がりエッジが発生すると、両方のカウンタが同時に内部クロックによるカウントを開始し、両方の TIF フラグがセットされます。

注： ***この例では、両方のタイマが開始前に初期化されます（それぞれの UG ビットをセットすることによって）。両方のカウンタは 0 から開始しますが、カウンタレジスタ（TIMx_CNT）に書き込むことによって、容易にオフセットを挿入できます。マスタ/スレーブモードでは、TIM3 の CNT_EN と CK_PSC の間に遅延が挿入されます。***

図 133. TIM3 の TI1 入力による TIM3 と TIM2 のトリガ

13.3.16 デバッグモード

マイクロコントローラがデバッグモードになると（Cortex-M3 コア停止）、DBGMCU モジュールの DBG_TIMx_STOP 設定ビットに応じて、TIMx カウンタは通常通りに動作を続けるか、または停止します。詳細については、*セクション 25.15.2 : タイマ、ウォッチドッグ、および I²C のデバッグサポート*を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

13.4 TIMx2～ TIM5 レジスタ

レジスタの説明で使用されている略語のリストについては、*セクション 1.1 (32 ページ)* を参照してください。

ペリフェラルレジスタには、ハーフワード（16 ビット）またはワード（32 ビット）単位でアクセスできます。

13.4.1 TIMx 制御レジスタ 1（TIMx_CR1）

アドレスオフセット：0x00

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み						CKD[1:0]		ARPE	CMS		DIR	OPM	URS	UDIS	CEN
						rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:10 予約済み、常に 0 として読み出されます。

ビット 9:8 **CKD**：クロック分周

このビットフィールドは、タイマクロック（CK_INT）周波数と、デジタルフィルタ（ETR、TIx）によって使用されるサンプリングクロックとの間の分周比を示します。

00：$t_{DTS} = t_{CK_INT}$
01：$t_{DTS} = 2 \times t_{CK_INT}$
10：$t_{DTS} = 4 \times t_{CK_INT}$
11：予約済み

ビット 7 **ARPE**：自動再ロードプリロードイネーブル

0：TIMx_ARR レジスタはバッファされません。
1：TIMx_ARR レジスタはバッファされます。

ビット 6:5 **CMS**：センターアラインモード選択

00：エッジアラインモード。カウンタは、方向ビット（DIR）に応じて、カウントアップまたはカウントダウンします。
01：センターアラインモード 1　カウンタはカウントアップとカウントダウンを交互に行います。出力に設定された（TIMx_CCMRx レジスタの CCxS=00）チャネルの出力比較割り込みフラグは、カウンタがカウントダウンしているときのみセットされます。
10：センターアラインモード 2　カウンタはカウントアップとカウントダウンを交互に行います。出力に設定された（TIMx_CCMRx レジスタの CCxS=00）チャネルの出力比較割り込みフラグは、カウンタがカウントアップしているときのみセットされます。
11：センターアラインモード 3　カウンタはカウントアップとカウントダウンを交互に行います。出力に設定された（TIMx_CCMRx レジスタの CCxS=00）チャネルの出力比較割り込みフラグは、カウンタがカウントアップしているときにも、カウントダウンしているときにもセットされます。

注：　カウンタが有効（CEN=1）なときには、エッジアラインモードからセンターアラインモードに切り替えることはできません。

ビット 4 **DIR**：方向

0：カウンタはアップカウンタとして使用されます。
1：カウンタはダウンカウンタとして使用されます。

注：　このビットは、タイマがセンターアラインモードまたはエンコーダモードに設定されているときには読み出し専用です。

ビット 3 **OPM**：ワンパルスモード

0：カウンタは更新イベントで停止しません。
1：カウンタは次の更新イベントでカウントを停止します（CEN ビットをクリア）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 2 **URS**：更新リクエストソース

このビットは、UEV イベントソースを選択するために、ソフトウェアによってセット/クリアされます。

0：次のイベントのいずれかが更新割り込みまたは DMA リクエストを生成します（有効な場合）。これらのイベントは、次のとおりです。

- カウンタオーバーフロー /アンダーフロー
- UG ビットのセット
- スレーブモードコントローラからの更新生成

1：カウンタオーバーフロー /アンダーフローのみが更新割り込みまたは（有効な場合）DMA リクエストを生成します。

ビット 1 **UDIS**：更新ディセーブル

このビットは、UEV イベント生成を有効/無効にするために、ソフトウェアによってセット/クリアされます。

0：UEV は有効です。更新イベント（UEV）は、次のいずれかのイベントによって生成されます。

- カウンタオーバーフロー /アンダーフロー
- UG ビットのセット
- スレーブモードコントローラからの更新生成

バッファを持つレジスタにはプリロード値がロードされます。

1：UEV は無効です。更新イベントは生成されず、シャドウレジスタ（ARR、PSC、CCRx）は値を維持します。ただし、UG ビットがセットされている場合や、スレーブモードコントローラからハードウェアリセットを受信した場合には、カウンタとプリスケーラは再初期化されます。

ビット 0 **CEN**：カウンタイネーブル

0：カウンタは無効です。

1：カウンタは有効です。

注： 外部クロック、ゲートモード、およびエンコーダモードは、CEN ビットが事前にソフトウェアによってセットされている場合のみ動作します。ただし、トリガモードでは、ハードウェアによって自動的に CEN ビットをセットできます。

ワンパルスモードでは、更新イベントが発生すると、CEN は自動的にクリアされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

13.4.2 TIMx 制御レジスタ 2（TIMx_CR2）

アドレスオフセット：0x04

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								TI1S	MMS[2:0]			CCDS	予約済み		
								rw	rw	rw	rw	rw			

ビット 15:8 予約済み、常に 0 として読み出されます。

ビット 7 **TI1S**：TI1 選択

0：TIMx_CH1 ピンが TI1 入力に接続されます。
1：TIMx_CH1、CH2、および CH3 ピンが TI1 入力に接続されます（XOR 接続）。
*セクション 12.3.18：ホールセンサとのインタフェース（240 ページ）*も参照してください。

ビット 6:4 **MMS**：マスタモード選択

これらのビットにより、同期のために、マスタモードでスレーブタイマに送信される情報を選択することができます（TRGO）。組み合わせは、次のとおりです。
000：**リセット** - TIMx_EGR レジスタの UG ビットがトリガ出力（TRGO）として使用されます。トリガ入力によってリセットが生成される場合（スレーブモードコントローラがリセットモードに設定されているとき）、TRGO 信号は実際のリセットより遅延します。
001：**イネーブル** - カウンタイネーブル信号 CNT_EN がトリガ出力（TRGO）として使用されます。これは、いくつかのタイマを同時に開始するときや、スレーブタイマが有効な時間枠を制御するときに役立ちます。カウンタイネーブル信号は、CEN 制御ビットとゲートモードに設定されているときのトリガ入力との論理和によって生成されます。
カウンタイネーブル信号がトリガ入力によって制御されているとき、マスタ/スレーブモードが選択されている場合を除いて、TRGO には遅延が存在します（TIMx_SMCR レジスタの MSM ビットの説明を参照してください）。
010：**更新** - 更新イベントがトリガ出力（TRGO）として選択されます。たとえば、マスタタイマをスレーブタイマのプリスケーラとして使用できます。
011：**パルス比較** - キャプチャまたは比較一致が生ずると同時に、CC1IF フラグがセットされるとき（すでにハイであった場合も）、トリガ出力は正のパルスを送信します。（TRGO）
100：**比較** - OC1REF 信号がトリガ出力（TRGO）として使用されます。
101：**比較** - OC2REF 信号がトリガ出力（TRGO）として使用されます。
110：**比較** - OC3REF 信号がトリガ出力（TRGO）として使用されます。
111：**比較** - OC4REF 信号がトリガ出力（TRGO）として使用されます。

ビット 3 **CCDS**：キャプチャ /比較 DMA 選択

0：CCx DMA リクエストは、CCx イベントが発生すると送信されます。
1：CCx DMA リクエストは、更新イベントが発生すると送信されます。

ビット 2:0 予約済み、常に 0 として読み出されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

13.4.3 TIMx スレーブモード制御レジスタ（TIMx_SMCR）

アドレスオフセット：0x08

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ETP	ECE	ETPS[1:0]		ETF[3:0]				MSM	TS[2:0]			OCCS	SMS[2:0]		
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15 **ETP**：外部トリガ極性

このビットは、ETR と $\overline{\text{ETR}}$ のいずれがトリガ動作に使用されるかを選択します。
0：ETR は反転されず、ハイレベルまたは立ち上がりエッジでアクティブになります。
1：ETR は反転され、ローレベルまたは立ち下がりエッジでアクティブになります。

ビット 14 **ECE**：外部クロックイネーブル

このビットは、外部クロックモード 2 を有効にします。
0：外部クロックモード 2 は無効です。
1：外部クロックモード 2 は有効です。カウンタは、ETRF 信号のアクティブエッジによってクロック供給されます。
注 1 : ECE ビットをセットすることは、外部クロックモード 1 で TRGI が ETRF に接続された状態（SMS=111、TS=111）と同じ効果があります。
注 2 : 外部クロックモード 2 と次のスレーブモード、すなわち、リセットモード、ゲートモード、またはトリガモードを同時に使用することができます。ただし、この場合、TRGI を ETRF に接続することはできません（TS ビットが 111 でないことが必要）。
注 3 : 外部クロックモード 1 と外部クロックモード 2 が同時に有効な場合、外部クロック入力は ETRF です。

ビット 13:12 **ETPS**：外部トリガプリスケーラ

外部トリガ信号 ETRP の周波数は、最大でも CK_INT 周波数の 1/4 でなければなりません。プリスケーラを有効にすると、ETRP 周波数を低減できます。これは、高速な外部クロックを入力するときに役立ちます。
00：プリスケーラオフ
01：ETRP 周波数は 2 分周されます。
10：ETRP 周波数は 4 分周されます。
11：ETRP 周波数は 8 分周されます。

ビット 11:8 **ETF[3:0]**：外部トリガフィルタ

このビットフィールドは、ETRP 信号をサンプルする周波数と、ETRP に適用されるデジタルフィルタの長さを定義します。デジタルフィルタはイベントカウンタでできています。出力に有効な変化をもたらすには N 個のイベント発生が必要です。
0000：フィルタなし、サンプリングは f_{DTS} で行われます。
0001：$f_{SAMPLING}=f_{CK_INT}$、N=2
0010：$f_{SAMPLING}=f_{CK_INT}$、N=4
0011：$f_{SAMPLING}=f_{CK_INT}$、N=8
0100：$f_{SAMPLING}=f_{DTS}/2$、N=6
0101：$f_{SAMPLING}=f_{DTS}/2$、N=8
0110：$f_{SAMPLING}=f_{DTS}/4$、N=6
0111：$f_{SAMPLING}=f_{DTS}/4$、N=8
1000：$f_{SAMPLING}=f_{DTS}/8$、N=6
1001：$f_{SAMPLING}=f_{DTS}/8$、N=8
1010：$f_{SAMPLING}=f_{DTS}/16$、N=5
1011：$f_{SAMPLING}=f_{DTS}/16$、N=6
1100：$f_{SAMPLING}=f_{DTS}/16$、N=8
1101：$f_{SAMPLING}=f_{DTS}/32$、N=5
1110：$f_{SAMPLING}=f_{DTS}/32$、N=6
1111：$f_{SAMPLING}=f_{DTS}/32$、N=8

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 7 **MSM**：マスタ/スレーブモード

0：影響なし。

1：トリガ入力（TRGI）に対するイベントの効果は、現在のタイマとそのスレーブとの間の完全な同期（TRGO を通じて）を可能にするために遅延されます。これは、1 つの外部イベントで複数のタイマを同期したい場合に役立ちます。

ビット 6:4 **TS**：トリガ選択

このビットフィールドは、カウンタを同期するために使用されるトリガ入力を選択します。

000：内部トリガ 0（ITR0）

001：内部トリガ 1（ITR1）

010：内部トリガ 2（ITR2）

011：内部トリガ 3（ITR3）

100：TI1 エッジ検出回路（TI1F_ED）

101：フィルタ後のタイマ入力 1（TI1FP1）

110：フィルタ後のタイマ入力 2（TI2FP2）

111：外部トリガ入力（ETRF）

各タイマにとっての ITRx の意味の詳細については、*表 71：TIM2～TIM5 内部トリガ接続（311 ページ）*を参照してください。

注： 設定変更時の誤ったエッジ検出を避けるために、これらのビットは、使用されていないとき（SMS=000 のときなど）にのみ変更しなければなりません。

ビット 2:0 **SMS**：スレーブモード選択

外部信号が選択されると、トリガ信号（TRGI）のアクティブエッジが外部入力で選択された極性にリンクされます（入力制御レジスタおよび制御レジスタの説明を参照してください）。

000：スレーブモードは無効です。CEN = 1 の場合、プリスケーラは内部クロックによって直接クロック供給されます。

001：エンコーダモード 1 - カウンタは、TI1FP1 のレベルに応じて、TI2FP2 のエッジでカウントアップ/ダウンします。

010：エンコーダモード 2 - カウンタは、TI2FP2 のレベルに応じて、TI1FP1 のエッジでカウントアップ/ダウンします。

011：エンコーダモード 3 - カウンタは、他の入力のレベルに応じて、TI1FP1 と TI2FP2 の両方のエッジでカウントアップ/ダウンします。

100：リセットモード - 選択されたトリガ入力（TRGI）の立ち上がりエッジでカウンタを再初期化し、レジスタの更新を生成します。

101：ゲートモード - カウンタクロックは、トリガ入力（TRGI）がハイのときに有効になります。カウンタは、トリガがローになると停止します（リセットはされません）。カウンタの開始と停止の両方が制御されます。

110：トリガモード - カウンタは、トリガ入力（TRGI）の立ち上がりエッジで開始します（リセットはされません）。カウンタの開始のみが制御されます。

111：外部クロックモード 1 - 選択されたトリガ（TRGI）の立ち上がりエッジがカウンタのクロックとして供給されます。

注： トリガ入力として TI1F_ED が選択されている場合（TS=100）、ゲートモードを使用することはできません。TI1F_ED は TI1F の変化ごとに 1 パルスを出力しますが、ゲートモードはトリガ信号のレベルをチェックします。

表 71. TIM2～TIM5 内部トリガ接続

スレーブ TIM	ITR0 (TS = 000)	ITR1 (TS = 001)	ITR2 (TS = 010)	ITR3 (TS = 011)
TIM2	TIM1	TIM15(1)	TIM3	TIM4
TIM3	TIM1	TIM2	TIM5 または TIM15 (1)	TIM4
TIM4	TIM1	TIM2	TIM3	TIM15 (1)
TIM5	TIM2	TIM3	TIM4	TIM12

1. TIM2/3/4 は、大容量バリューラインデバイスの場合のみ、TIM15 によってトリガできます。TIM5 か TIM15 かの選択は、AFIO_MAPR2 レジスタの MISC_REMAP ビットに依存します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

13.4.4 TIMx DMA/割り込みイネーブルレジスタ（TIMx_DIER）

アドレスオフセット：0x0C

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み	TDE	予約済み	CC4DE	CC3DE	CC2DE	CC1DE	UDE	予約済み	TIE	予約済み	CC4IE	CC3IE	CC2IE	CC1IE	UIE
	rw		rw	rw	rw	rw	rw		rw		rw	rw	rw	rw	rw

ビット 15　予約済み、常に 0 として読み出されます。

ビット 14　**TDE**：トリガ DMA リクエストイネーブル
0：トリガ DMA リクエストは無効です。
1：トリガ DMA リクエストは有効です。

ビット 13　予約済み、常に 0 として読み出されます。

ビット 12　**CC4DE**：キャプチャ /比較 4 DMA リクエストイネーブル
0：CC4 DMA リクエストは無効です。
1：CC4 DMA リクエストは有効です。

ビット 11　**CC3DE**：キャプチャ /比較 3 DMA リクエストイネーブル
0：CC3 DMA リクエストは無効です。
1：CC3 DMA リクエストは有効です。

ビット 10　**CC2DE**：キャプチャ /比較 2 DMA リクエストイネーブル
0：CC2 DMA リクエストは無効です。
1：CC2 DMA リクエストは有効です。

ビット 9　**CC1DE**：キャプチャ /比較 1 DMA リクエストイネーブル
0：CC1 DMA リクエストは無効です。
1：CC1 DMA リクエストは有効です。

ビット 8　**UDE**：更新 DMA リクエストイネーブル
0：更新 DMA リクエストは無効です。
1：更新 DMA リクエストは有効です。

ビット 7　予約済み、常に 0 として読み出されます。

ビット 6　**TIE**：トリガ割り込みイネーブル
0：トリガ割り込みは無効です。
1：トリガ割り込みは有効です。

ビット 5　予約済み、常に 0 として読み出されます。

ビット 4　**CC4IE**：キャプチャ /比較 4 割り込みイネーブル
0：CC4 割り込みは無効です。
1：CC4 割り込みは有効です。

ビット 3　**CC3IE**：キャプチャ /比較 3 割り込みイネーブル
0：CC3 割り込みは無効です。
1：CC3 割り込みは有効です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 2 **CC2IE**：キャプチャ /比較 2 割り込みイネーブル
0：CC2 割り込みは無効です。
1：CC2 割り込みは有効です。

ビット 1 **CC1IE**：キャプチャ /比較 1 割り込みイネーブル
0：CC1 割り込みは無効です。
1：CC1 割り込みは有効です。

ビット 0 **UIE**：更新割り込みイネーブル
0：更新割り込みは無効です。
1：更新割り込みは有効です。

13.4.5 TIMx ステータスレジスタ（TIMx_SR）

アドレスオフセット：0x10

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み			CC4OF	CC3OF	CC2OF	CC1OF	予約済み		TIF	予約済み	CC4IF	CC3IF	CC2IF	CC1IF	UIF
			rc_w0	rc_w0	rc_w0	rc_w0			rc_w0		rc_w0	rc_w0	rc_w0	rc_w0	rc_w0

ビット15:13 予約済み、常に 0 として読み出されます。

ビット 12 **CC4OF**：キャプチャ /比較 4 オーバーキャプチャフラグ
CC1OF の説明を参照してください。

ビット 11 **CC3OF**：キャプチャ /比較 3 オーバーキャプチャフラグ
CC1OF の説明を参照してください。

ビット 10 **CC2OF**：キャプチャ /比較 2 オーバーキャプチャフラグ
CC1OF の説明を参照してください。

ビット 9 **CC1OF**：キャプチャ /比較 1 オーバーキャプチャフラグ
このフラグは、対応するチャネルが入力キャプチャモードに設定されているときのみ、ハードウェアによってセットされます。"0" を書き込むことによってソフトウェアによってクリアされます。
0：オーバーキャプチャは検出されていません。
1：CC1IF フラグがすでにセットされているときに、カウンタの値が TIMx_CCR1 レジスタにキャプチャされました。

ビット 8:7 予約済み、常に 0 として読み出されます。

ビット 6 **TIF**：トリガ割り込みフラグ
このフラグは、トリガイベント時にハードウェアによってセットされます（ゲートモード以外のすべてのモードでスレーブモードコントローラが有効なとき、TRGI 入力でアクティブエッジが検出されたとき。ゲートモードが選択された場合、カウンタがスタートまたはストップしたときにセットされます。ソフトウェアによってクリアされます。
0：トリガイベントは発生していません。
1：トリガ割り込みが保留中です。

ビット 5 予約済み、常に 0 として読み出されます。

ビット 4 **CC4IF**：キャプチャ /比較 4 割り込みフラグ
CC1IF の説明を参照してください。

ビット 3 **CC3IF**：キャプチャ /比較 3 割り込みフラグ
CC1IF の説明を参照してください。

ビット 2 **CC2IF**：キャプチャ /比較 2 割り込みフラグ
CC1IF の説明を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 1 **CC1IF**：キャプチャ /比較 1 割り込みフラグ

チャネル CC1 が出力として設定されている場合：

このフラグは、カウンタが比較値と一致したときにハードウェアでセットされます（センターアラインモードでは、例外状況もあります。TIMx_CR1 ジスタの CMS ビットの説明を参照してください）。ソフトウェアによってクリアされます。

0：一致していません。

1：カウンタ TIMx_CNT の内容が TIMx_CCR1 レジスタの内容と一致しました。TIMx_CCR1 の内容が TIMx_ARR の内容より大きい場合、カウンタ・オーバーフロー時 (アップカウント・モードおよびアップ/ダウンカウント・モードで) 、またはアンダーフロー時 (ダウンカウント・モードで) に CC1IF ビットがハイになります。

チャネル CC1 が入力として設定されている場合：

このビットは、キャプチャ時にハードウェアによってセットされます。ソフトウェアによって、または TIMx_CCR1 レジスタを読み出すことによってクリアされます。

0：キャプチャは発生していません。

1：カウンタの値が TIMx_CCR1 レジスタにキャプチャされました（IC1 で、選択された極性に一致するエッジが検出されました）。

ビット 0 **UIF**：更新割り込みフラグ

–このビットは、更新イベント時にハードウェアによってセットされます。ソフトウェアによってクリアされます。

0：更新は発生していません。

1：更新割り込みが保留中です。このビットは、レジスタが更新されたときにハードウェアによってセットされます。

–オーバーフロー時またはアンダーフロー時 (TIM2～TIM4 の場合)、および TIMx_CR1 レジスタ内の UDIS=0 の場合。

–TIMx_CR1 レジスタの URS=0 かつ UDIS=0 の場合、TIMx_EGR レジスタの UG ビットを使用して、CNT がソフトウェアによって再初期化されたとき。

–TIMx_CR1 レジスタの URS=0 かつ UDIS=0 で、トリガイベントで CNT が初期化されたとき。

13.4.6 TIMx イベント生成レジスタ（TIMx_EGR）

アドレスオフセット：0x14

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み									TG	予約済み	CC4G	CC3G	CC2G	CC1G	UG
									w		w	w	w	w	w

ビット 15:7 予約済み、常に 0 として読み出されます。

ビット 6 **TG**：トリガイベント生成

このビットは、イベントを生成するためにソフトウェアによってセットされ、ハードウェアによって自動的にクリアされます。

0：影響なし。

1：TIMx_SR レジスタの TIF フラグがセットされます。有効な場合は、関連する割り込みまたは DMA 転送が発生します。

ビット 5 予約済み、常に 0 として読み出されます。

ビット 4 **CC4G**：キャプチャ /比較 4 イベント生成

CC1G の説明を参照してください。

ビット 3 **CC3G**：キャプチャ /比較 3 イベント生成

CC1G の説明を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 2 **CC2G**：キャプチャ /比較 2 イベント生成

CC1G の説明を参照してください。

ビット 1 **CC1G**：キャプチャ /比較 1 イベント生成

このビットは、イベントを生成するためにソフトウェアによってセットされ、ハードウェアによって自動的にクリアされます。

0：影響なし。

1：チャネル 1 でキャプチャ /比較イベントが生成されます。

チャネル CC1 が出力として設定されている場合：

CC1IF フラグがセットされ、対応する割り込みまたは DMA リクエストが送信されます（有効な場合）。

チャネル CC1 が入力として設定されている場合：

カウンタの現在値が TIMx_CCR1 レジスタにキャプチャされます。CC1IF フラグがセットされ、対応する割り込みまたは DMA リクエストが送信されます（有効な場合）。CC1IF フラグがすでにハイであった場合は、CC1OF フラグがセットされます。

ビット 0 **UG**：更新の生成

このビットは、ソフトウェアによってセットでき、ハードウェアによって自動的にクリアされます。

0：影響なし。

1：カウンタを再初期化し、レジスタの更新を生成します。プリスケーラカウンタもクリアされます（プリスケーラ比は変化しません）。センターアラインモードが選択されている場合、または、DIR=0（カウントアップ）の場合、カウンタはクリアされます。DIR=1（カウントダウン）であれば、自動再ロード値（TIMx_ARR）をとります。

13.4.7 TIMx キャプチャ /比較モードレジスタ 1（TIMx_CCMR1）

アドレスオフセット：0x18

リセット値：0x0000

チャネルは、入力（キャプチャモード）または出力（比較モード）で使用できます。チャネルの方向は、対応する CCxS ビットを設定することによって定義されます。このレジスタの他のビットはすべて、入力モードと出力モードで異なる機能を持ちます。特定のビットについて、OCxx は、チャネルが出力に設定されているときに、そのビットの機能を説明し、ICxx は、チャネルが入力に設定されているときに、そのビットの機能を説明します。したがって、同じビットが入力ステージと出力ステージで異なる意味を持つことに注意する必要があります。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OC2CE	OC2M[2:0]			OC2PE	OC2FE	CC2S[1:0]		OC1CE	OC1M[2:0]			OC1PE	OC1FE	CC1S[1:0]	
IC2F[3:0]				IC2PSC[1:0]				IC1F[3:0]				IC1PSC[1:0]			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

出力比較モード

ビット 15 **OC2CE：**出力比較 2 クリアイネーブル

ビット 14:12 **OC2M[2:0]**：出力比較 2 モード

ビット 11 **OC2PE**：出力比較 2 プリロードイネーブル

ビット 10 **OC2FE**：出力比較 2 高速イネーブル

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 9:8 **CC2S[1:0]**：キャプチャ /比較 2 選択

このビットフィールドは、チャネルの方向（入力/出力）と、使用される入力を定義します。
00：CC2 チャネルは出力として設定されます。
01：CC2 チャネルは入力として設定され、IC2 は TI2 に配置されます。
10：CC2 チャネルは入力として設定され、IC2 は TI1 に配置されます。
11：CC2 チャネルは入力として設定され、IC2 は TRC に配置されます。このモードは、TS ビット（TIMx_SMCR レジスタ）で内部トリガ入力が選択されている場合のみ機能します。

注： CC2S ビットは、チャネルがオフ（TIMx_CCER レジスタの CC2E=0）のときにのみ書き込み可能です。

ビット 7 **OC1CE：**出力比較 1 クリアイネーブル

OC1CE：出力比較 1 クリアイネーブル
0：OC1Ref は ETRF 入力の影響を受けません。
1：OC1Ref は ETRF 入力のハイレベルが検出されるとクリアされます。

ビット 6:4 **OC1M**：出力比較 1 モード

これらのビットは、OC1 および OC1N の出力基準信号 OC1REF の動作を定義します。OC1REF はアクティブハイですが、OC1 および OC1N のアクティブレベルは CC1P および CC1NP ビットに依存します。
000：停止 - 出力比較レジスタ TIMx_CCR1 とカウンタ TIMx_CNT との間の比較結果は出力に影響しません（このモードはタイミングベースを生成するために使用されます）。
001：一致時にチャネル 1 をアクティブレベルに設定します。OC1REF 信号は、カウンタ TIMx_CNT がキャプチャ /比較レジスタ 1（TIMx_CCR1）に一致したときに、強制的にハイになります。
010：一致時にチャネル 1 をインアクティブレベルに設定します。OC1REF 信号は、カウンタ TIMx_CNT がキャプチャ/比較レジスタ 1（TIMx_CCR1）に一致したときに、強制的にローになります。
011：反転 - OC1REF は、TIMx_CNT = TIMx_CCR1 のときに反転します。
100：強制インアクティブレベル - OC1REF は強制的にローになります。
101：強制アクティブレベル - OC1REF は強制的にハイになります。
110：PWM モード 1 - カウントアップ時、チャネル 1 は、TIMx_CNT < TIMx_CCR1 の場合はアクティブに、そうでない場合はインアクティブになります。カウントダウン時、チャネル 1 は、TIMx_CNT > TIMx_CCR1 の場合はインアクティブ（OC1REF=0）に、そうでない場合はアクティブ（OC1REF=1）になります。
111：PWM モード 2 - カウントアップ時、チャネル 1 は、TIMx_CNT < TIMx_CCR1 の場合はインアクティブに、そうでない場合はアクティブになります。カウントダウン時、チャネル 1 は、TIMx_CNT > TIMx_CCR1 の場合はアクティブに、そうでない場合はインアクティブになります。

注： 1:これらのビットは、LOCK レベル 3 がプログラムされていて（TIMx_BDTR レジスタの LOCK ビット）、CC1S=00（チャネルは出力に設定）のときには、変更できません。

2:PWM モード 1 または 2 では、比較結果が変化したとき、または出力比較モードが停止モードから PWM モードに変更されたときにのみ、OCREF のレベルが変化します。

ビット 3 **OC1PE**：出力比較 1 プリロードイネーブル

0：TIMx_CCR1 のプリロードレジスタは無効です。TIMx_CCR1 は、いつでも書き込み可能であり、新しい値はただちに有効になります。
1：TIMx_CCR1 のプリロードレジスタは有効です。読み書き操作はプリロードレジスタに対して行われます。TIMx_CCR1 プリロード値は、更新イベントのたびにアクティブレジスタにロードされます。

注： 1:これらのビットは、LOCK レベル 3 がプログラムされていて（TIMx_BDTR レジスタの LOCK ビット）、CC1S=00（チャネルは出力に設定）のときには、変更できません。

2:PWM モードは、ワンパルスモード（TIMx_CR1 レジスタの OPM ビットがセットされている）のときにのみ、プリロードレジスタを検証せずに使用できます。そうでない場合、動作は保証されません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 2 **OC1FE**：出力比較 1 高速イネーブル

このビットは、CC 出力に対する入力トリガイベントの効果を加速するために使用されます。
0：CC1 は、トリガがオンのときでも、カウンタと CCR1 の値に依存して、通常どおりに動作します。トリガ入力のエッジ発生から CC1 出力が有効になるまでの最小遅延は、5 クロックサイクルです。
1：トリガ入力のアクティブエッジは、CC1 出力に対して、比較一致のように働きます。このため、OC は、比較結果には関係なく、比較レベルにセットされます。トリガ入力をサンプルし、CC1 出力を有効にするまでの遅延は、3 クロックサイクルに短縮されます。OCFE は、チャネルが PWM1 または PWM2 モードに設定されている場合のみ機能します。

ビット 1:0 **CC1S**：キャプチャ /比較 1 選択

このビットフィールドは、チャネルの方向（入力/出力）と、使用される入力を定義します。
00：CC1 チャネルは出力として設定されます。
01：CC1 チャネルは入力として設定され、IC1 は TI1 に配置されます。
10：CC1 チャネルは入力として設定され、IC1 は TI2 に配置されます。
11：CC1 チャネルは入力として設定され、IC1 は TRC に配置されます。このモードは、TS ビット（TIMx_SMCR レジスタ）で内部トリガ入力が選択されている場合のみ機能します。

*注： **CC1S ビットは、チャネルがオフ（TIMx_CCER レジスタの CC1E=0）のときにのみ書き込み可能です。***

入力キャプチャモード

ビット 15:12 **IC2F**：入力キャプチャ 2 フィルタ

ビット 11:10 **IC2PSC[1:0]**：入力キャプチャ 2 プリスケーラ

ビット 9:8 **CC2S**：キャプチャ /比較 2 選択

このビットフィールドは、チャネルの方向（入力/出力）と、使用される入力を定義します。
00：CC2 チャネルは出力として設定されます。
01：CC2 チャネルは入力として設定され、IC2 は TI2 に配置されます。
10：CC2 チャネルは入力として設定され、IC2 は TI1 に配置されます。
11：CC2 チャネルは入力として設定され、IC2 は TRC に配置されます。このモードは、TS ビット（TIMx_SMCR レジスタ）で内部トリガ入力が選択されている場合のみ機能します。

*注： **CC2S ビットは、チャネルがオフ（TIMx_CCER レジスタの CC2E=0）のときにのみ書き込み可能です。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 7:4 **IC1F**：入力キャプチャ 1 フィルタ

このビットフィールドは、TI1 入力をサンプルする周波数と、TI1 に適用されるデジタルフィルタの長さを定義します。デジタルフィルタはイベントカウンタでできていて、出力に有効な変化をもたらすには N 個のイベント発生が必要です。

0000：フィルタなし、サンプリングは f_{DTS} で行われます。
0001：$f_{SAMPLING}=f_{CK_INT}$、N=2
0010：$f_{SAMPLING}=f_{CK_INT}$、N=4
0011：$f_{SAMPLING}=f_{CK_INT}$、N=8
0100：$f_{SAMPLING}=f_{DTS}/2$、N=6
0101：$f_{SAMPLING}=f_{DTS}/2$、N=8
0110：$f_{SAMPLING}=f_{DTS}/4$、N=6
0111：$f_{SAMPLING}=f_{DTS}/4$、N=8
1000：$f_{SAMPLING}=f_{DTS}/8$、N=6
1001：$f_{SAMPLING}=f_{DTS}/8$、N=8
1010：$f_{SAMPLING}=f_{DTS}/16$、N=5
1011：$f_{SAMPLING}=f_{DTS}/16$、N=6
1100：$f_{SAMPLING}=f_{DTS}/16$、N=8
1101：$f_{SAMPLING}=f_{DTS}/32$、N=5
1110：$f_{SAMPLING}=f_{DTS}/32$、N=6
1111：$f_{SAMPLING}=f_{DTS}/32$、N=8

注： 現在のシリコンリビジョンでは、ICxF[3:0]=1、2、または 3 の場合、f_{DTS} は式内で CK_INT により置き換えられます。

ビット 3:2 **IC1PSC[1:0]**：入力キャプチャ 1 プリスケーラ

このビットフィールドは、CC1 入力（IC1）に作用するプリスケーラの分周比を定義します。
プリスケーラは、CC1E=0（TIMx_CCER レジスタ）になるとリセットされます。
00：プリスケーラなし。キャプチャは、キャプチャ入力のエッジが検出されるたびに行われます。
01：キャプチャは、2 イベントごとに行われます。
10：キャプチャは、4 イベントごとに行われます。
11：キャプチャは、8 イベントごとに行われます。

ビット 1:0 **CC1S**：キャプチャ /比較 1 選択

このビットフィールドは、チャネルの方向（入力/出力）と、使用される入力を定義します。
00：CC1 チャネルは出力として設定されます。
01：CC1 チャネルは入力として設定され、IC1 は TI1 に配置されます。
10：CC1 チャネルは入力として設定され、IC1 は TI2 に配置されます。
11：CC1 チャネルは入力として設定され、IC1 は TRC に配置されます。このモードは、TS ビット（TIMx_SMCR レジスタ）で内部トリガ入力が選択されている場合のみ機能します。

注： CC1S ビットは、チャネルがオフ（TIMx_CCER レジスタの CC1E=0）のときにのみ書き込み可能です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

13.4.8 TIMx キャプチャ /比較モードレジスタ 2（TIMx_CCMR2）

アドレスオフセット：0x1C

リセット値：0x0000

上記の CCMR1 レジスタの説明を参照してください。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OC4CE	OC4M[2:0]			OC4PE	OC4FE	CC4S[1:0]		OC3CE	OC3M[2:0]			OC3PE	OC3FE	CC3S[1:0]	
IC4F[3:0]				IC4PSC[1:0]				IC3F[3:0]				IC3PSC[1:0]			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

出力比較モード

ビット 15 **OC4CE：**出力比較 4 クリアイネーブル

ビット 14:12 **OC4M**：出力比較 4 モード

ビット 11 **OC4PE**：出力比較 4 プリロードイネーブル

ビット 10 **OC4FE**：出力比較 4 高速イネーブル

ビット 9:8 **CC4S**：キャプチャ /比較 4 選択

このビットフィールドは、チャネルの方向（入力/出力）と、使用される入力を定義します。
00：CC4 チャネルは出力として設定されます。
01：CC4 チャネルは入力として設定され、IC4 は TI4 に配置されます。
10：CC4 チャネルは入力として設定され、IC4 は TI3 に配置されます。
11：CC4 チャネルは入力として設定され、IC4 は TRC に配置されます。このモードは、TS ビット（TIMx_SMCR レジスタ）で内部トリガ入力が選択されている場合のみ機能します。

*注： **CC4S ビットは、チャネルがオフ（TIMx_CCER レジスタの CC4E=0）のときにのみ書き込み可能です。***

ビット 7 **OC3CE：**出力比較 3 クリアイネーブル

ビット 6:4 **OC3M**：出力比較 3 モード

ビット 3 **OC3PE**：出力比較 3 プリロードイネーブル

ビット 2 **OC3FE**：出力比較 3 高速イネーブル

ビット 1:0 **CC3S**：キャプチャ /比較 3 選択

このビットフィールドは、チャネルの方向（入力/出力）と、使用される入力を定義します。
00：CC3 チャネルは出力として設定されます。
01：CC3 チャネルは入力として設定され、IC3 は TI3 に配置されます。
10：CC3 チャネルは入力として設定され、IC3 は TI4 に配置されます。
11：CC3 チャネルは入力として設定され、IC3 は TRC に配置されます。このモードは、TS ビット（TIMx_SMCR レジスタ）で内部トリガ入力が選択されている場合のみ機能します。

*注： **CC3S ビットは、チャネルがオフ（TIMx_CCER レジスタの CC3E=0）のときにのみ書き込み可能です。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

入力キャプチャモード

ビット 15:12 **IC4F**：入力キャプチャ 4 フィルタ

ビット 11:10 **IC4PSC**：入力キャプチャ 4 プリスケーラ

ビット 9:8 **CC4S**：キャプチャ /比較 4 選択

このビットフィールドは、チャネルの方向（入力/出力）と、使用される入力を定義します。
00：CC4 チャネルは出力として設定されます。
01：CC4 チャネルは入力として設定され、IC4 は TI4 に配置されます。
10：CC4 チャネルは入力として設定され、IC4 は TI3 に配置されます。
11：CC4 チャネルは入力として設定され、IC4 は TRC に配置されます。このモードは、TS ビット（TIMx_SMCR レジスタ）で内部トリガ入力が選択されている場合のみ機能します。

*注： **CC4S ビットは、チャネルがオフ（TIMx_CCER レジスタの CC4E=0）のときにのみ書き込み可能です。***

ビット 7:4 **IC3F**：入力キャプチャ 3 フィルタ

ビット 3:2 **IC3PSC**：入力キャプチャ 3 プリスケーラ

ビット 1:0 **CC3S**：キャプチャ /比較 3 選択

このビットフィールドは、チャネルの方向（入力/出力）と、使用される入力を定義します。
00：CC3 チャネルは出力として設定されます。
01：CC3 チャネルは入力として設定され、IC3 は TI3 に配置されます。
10：CC3 チャネルは入力として設定され、IC3 は TI4 に配置されます。
11：CC3 チャネルは入力として設定され、IC3 は TRC に配置されます。このモードは、TS ビット（TIMx_SMCR レジスタ）で内部トリガ入力が選択されている場合のみ機能します。

*注： **CC3S ビットは、チャネルがオフ（TIMx_CCER レジスタの CC3E=0）のときにのみ書き込み可能です。***

13.4.9 TIMx キャプチャ /比較イネーブルレジスタ（TIMx_CCER）

アドレスオフセット：0x20

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み		CC4P	CC4E	予約済み		CC3P	CC3E	予約済み		CC2P	CC2E	予約済み		CC1P	CC1E
		rw	rw			rw	rw			rw	rw			rw	rw

ビット 15:14 予約済み、常に 0 として読み出されます。

ビット 13 **CC4P**：キャプチャ /比較 4 出力極性

CC1P の説明を参照してください。

ビット 12 **CC4E**：キャプチャ /比較 4 出力イネーブル

CC1E の説明を参照してください。

ビット 11:10 予約済み、常に 0 として読み出されます。

ビット 9 **CC3P**：キャプチャ /比較 3 出力極性

CC1P の説明を参照してください。

ビット 8 **CC3E**：キャプチャ /比較 3 出力イネーブル

CC1E の説明を参照してください。

ビット 7:6 予約済み、常に 0 として読み出されます。

ビット 5 **CC2P**：キャプチャ /比較 2 出力極性

CC1P の説明を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 4 **CC2E**：キャプチャ /比較 2 出力イネーブル

CC1E の説明を参照してください。

ビット 3:2 予約済み、常に 0 として読み出されます。

ビット 1 **CC1P**：キャプチャ /比較 1 出力極性

CC1 チャネルが出力として設定されているとき：
0：OC1 アクティブハイ
1：OC1 アクティブロー
CC1 チャネルが入力として設定されているとき：
このビットは、IC1 の立ち上がりエッジと立ち下がりエッジのどちらがトリガやキャプチャ操作に使用されるかを選択します。
0：非反転：キャプチャは IC1 の立ち上がりエッジで行われます。外部トリガとして使用されるときには、IC1 は反転されません。
1：反転：キャプチャは IC1 の立ち下がりエッジで行われます。外部トリガとして使用されるときには、IC1 は反転されます。

ビット 0 **CC1E**：キャプチャ /比較 1 出力イネーブル

CC1 チャネルが出力として設定されているとき：
0：オフ - OC1 はアクティブではありません。
1：オン - OC1 信号は、対応する出力ピンに出力されます。
CC1 チャネルが入力として設定されているとき：
このビットによって、カウンタ値のキャプチャ /比較レジスタ 1（TIMx_CCR1）へのキャプチャが実際に行われるかどうかが決まります。
0：キャプチャは無効です。
1：キャプチャは有効です。

表 72. 標準 OCx チャネルの出力制御ビット

CCxE ビット	OCx 出力状態
0	出力無効（OCx=0、OCx_EN=0）
1	OCx=OCxREF + 極性、OCx_EN=1

注： ***標準 OCx チャネルに接続されている外部 IO ピンの状態は、OCx チャネルの状態と GPIO および AFIO レジスタに依存します。***

13.4.10 TIMx カウンタ（TIMx_CNT）

アドレスオフセット：0x24

リセット値：0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CNT[31:16] (タイマに依存)															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CNT[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:16 **CNT[31:16]**：*カウンタ値上位ビット（TIM2）*

ビット 15:0 **CNT[15:0]**：カウンタ値下位ビット

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

13.4.11 TIMx プリスケーラ（TIMx_PSC）

アドレスオフセット：0x28

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PSC[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **PSC[15:0]**：プリスケーラ値

カウンタのクロック周波数 CK_CNT は、f_{CK_PSC} /（PSC[15:0] + 1）です。

PSC は、更新イベントごとにアクティブプリスケーラレジスタにロードされる値を含みます。

13.4.12 TIMx 自動再ロードレジスタ（TIMx_ARR）

アドレスオフセット：0x2C

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ARR[31:16] (タイマに依存)															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ARR[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:16 **ARR[31:16]**：自動再ロード値上位ビット(TIM2)

ビット 15:0 **ARR[15:0]**：自動再ロード値下位ビット

ARR は、実際の自動再ロードレジスタにロードされる値です。

APR の更新と動作の詳細については、*セクション 13.3.1：タイムベースユニット（272 ページ）*を参照してください。

自動再ロード値が null のときには、カウンタはブロックされます。

13.4.13 TIMx キャプチャ /比較レジスタ 1（TIMx_CCR1）

アドレスオフセット：0x34

リセット値：0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CCR1[31:16] (タイマに依存)															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR1[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 31:16 **CCR1[31:16]**：キャプチャ /比較 1 値上位ビット（TIM2)

ビット 15:0 **CCR1[15:0]**：キャプチャ /比較 1 値下位ビット

チャネル CC1 が出力として設定されている場合：
CCR1 は、実際のキャプチャ /比較 1 レジスタにロードされる値（プリロード値）です。

TIMx_CCMR1 レジスタの OC1PE ビットでプリロード機能が選択されていない場合、この値は不変にロードされます。そうでない場合、プリロード値は、更新イベントが発生すると、アクティブキャプチャ /比較 1 レジスタにコピーされます。

アクティブキャプチャ /比較レジスタは、カウンタ TIMx_CNT と比較されて、OC1 出力に送信される値を含みます。

チャネル CC1 が入力として設定されている場合：
CCR1 は、最後の入力キャプチャ 1 イベント（IC1）によって転送されたカウンタ値です。

13.4.14 TIMx キャプチャ /比較モードレジスタ 2（TIMx_CCR2）

アドレスオフセット：0x38

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CCR2[31:16] (タイマに依存)															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR2[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:16 **CCR2[31:16]**：キャプチャ /比較 2 値上位ビット（TIM2)

ビット 15:0 **CCR2[15:0]**：キャプチャ /比較 2 値下位ビット

CC2 チャネルが出力として設定されている場合：
CCR2 は、実際のキャプチャ /比較 2 レジスタにロードされる値（プリロード値）です。
TIMx_CCMR 2 レジスタの OC2PE ビットでプリロード機能が選択されていない場合は、不変にロードされます。そうでない場合、プリロード値は、更新イベントが発生すると、アクティブキャプチャ /比較 2 レジスタにコピーされます。
アクティブキャプチャ /比較レジスタは、カウンタ TIMx_CNT と比較され、OC2 出力に送信される値を含みます。
CC2 チャネルが入力として設定されている場合：
CCR2 は、最後の入力キャプチャ 2 イベント（IC2）によって転送されたカウンタ値です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

13.4.15 TIMx キャプチャ /比較モードレジスタ 3（TIMx_CCR3）（TIM2 でのみ使用可能）

アドレスオフセット：0x3C

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CCR3[31:16] (タイマに依存)															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR3[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:16 **CCR3[31:16]**：キャプチャ /比較 3 値上位ビット（TIM2）

ビット 15:0 **CCR3[15:0]**：キャプチャ /比較値下位ビット

CC3 チャネルが出力として設定されている場合：
CCR3 は、実際のキャプチャ /比較 3 レジスタにロードされる値（プリロード値）です。
TIMx_CCMR 3 レジスタの OC3PE ビットでプリロード機能が選択されていない場合は、不変にロードされます。そうでない場合、プリロード値は、更新イベントが発生すると、アクティブキャプチャ /比較 3 レジスタにコピーされます。
アクティブキャプチャ /比較レジスタは、カウンタ TIMx_CNT と比較され、OC3 出力に送信される値を含みます。
CC3 チャネルが入力として設定されている場合：
CCR3 は、最後の入力キャプチャ 3 イベント（IC3）によって転送されたカウンタ値です。

13.4.16 TIMx キャプチャ /比較モードレジスタ 4（TIMx_CCR4）（TIM2 でのみ使用可能）

アドレスオフセット：0x40

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CCR4[31:16] (タイマに依存)															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR4[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 31:16 **CCR4[31:16]**：キャプチャ /比較 4 値上位ビット

ビット 15:0 **CCR4[15:0]**：キャプチャ /比較値下位ビット

CC4 チャネルが出力として設定されている場合（CC4S ビット）：
CCR4 は、実際のキャプチャ /比較 4 レジスタにロードされる値（プリロード値）です。

TIMx_CCMR4 レジスタの OC4PE ビットでプリロード機能が選択されていない場合は、不変にロードされます。そうでない場合、プリロード値は、更新イベントが発生すると、アクティブキャプチャ /比較 4 レジスタにコピーされます。
アクティブキャプチャ /比較レジスタは、カウンタ TIMx_CNT と比較され、OC4 出力に送信される値を含みます。

CC4 チャネルが入力として設定されている場合（TIMx_CCMR4 レジスタの CC4S ビット）：
CCR4 は、最後の入力キャプチャ 4 イベント（IC4）によって転送されたカウンタ値です。

13.4.17 TIMx DMA制御レジスタ（TIMx_DCR）

アドレスオフセット：0x48

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み			DBL[4:0]					予約済み			DBA[4:0]				
			rw	rw	rw	rw	rw				rw	rw	rw	rw	rw

ビット 15:13 予約済み、常に 0 として読み出されます。

ビット 12:8 **DBL[4:0]**：DMA バースト長

この 5 ビットのベクタは、DMA 転送の長さ（タイマは、TIMx_DMAR アドレスに対して読み出しまたは書き込みアクセスが行われるときにバースト転送を認識します）、すなわち、転送バイト数を定義します。
00000：1 バイト
00001：2 バイト
00010：3 バイト
...
10001：18 バイト

ビット 7:5 予約済み、常に 0 として読み出されます。

ビット 4:0 **DBA[4:0]**：DMA ベースアドレス

この 5 ビットのベクタは、DMA 転送のベースアドレスを定義します（TIMx_DMAR アドレスを通じて読み出し/書き込みアクセスが行われるとき）。DBA は、TIMx_CR1 レジスタのアドレスから始まるオフセットとして定義されます。
例：
00000：TIMx_CR1
00001：TIMx_CR2
00010：TIMx_SMCR
...

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

13.4.18 完全転送の TIMx DMA アドレス（TIMx_DMAR）

アドレスオフセット：0x4C

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DMAB[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **DMAB[15:0]**：DMA バーストアクセスレジスタ

DMAR レジスタへの読み出しまたは書き込みアクセスは､次のアドレスにあるレジスタへのアクセスとなります。

（TIMx_CR1 アドレス）+ DBA + （DMA インデックス）：

TIMx_CR1 アドレスは、制御レジスタ 1 のアドレスです。

DBA は、TIMx_DCR レジスタで設定された DMA ベースアドレスです。

DMA インデックスは、DMA 転送によって自動的に制御されるオフセットであり、TIMx_DCR レジスタの転送長 DBL に依存します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

13.4.19 TIM2 オプションレジスタ（TIM2_OR）

アドレスオフセット：0x50

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み				ITR1_RMP		予約済み									
				rw	rw										

ビット 15:12 予約済み

ビット 11:10 **ITR1_RMP**：内部トリガ 1 再配置

ソフトウェアによってセット/クリアされます。

00：TIM8_TRGOUT

01：PTP トリガ出力が TIM2_ITR1 に接続されます。

10：USB SOF FSが TIM2_ITR1 入力に接続されます。

11：USB SOF HSが TIM2_ITR1 入力に接続されます。

ビット 9:0 予約済み

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

13.4.20 TIMx レジスタマップ

TIMx レジスタは、次の表のように、16 ビットのアドレス可能レジスタとしてマップされます。

表 73. TIM2～TIM5 レジスタマップとリセット値

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	TIMx_CR1	予約済み																						CKD [1:0]		ARPE	CMS [1:0]		DIR	OPM	URS	UDIS	CEN
	リセット値																							0	0	0	0	0	0	0	0	0	0
0x04	TIMx_CR2	予約済み																								TI1S	MMS[2:0]			CCDS	予約済み		
	リセット値																									0	0	0	0	0			
0x08	TIMx_SMCR	予約済み																ETP	ECE	ETPS[1:0]		ETF[3:0]				MSM	TS[2:0]			予約済み	SMS[2:0]		
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0		0	0	0
0x0C	TIMx_DIER	予約済み																	TDE	COMDE	CC4DE	CC3DE	CC2DE	CC1DE	UDE	予約済み	TIE	予約済み	CC4IE	CC3IE	CC2IE	CC1IE	UIE
	リセット値																		0	0	0	0	0	0	0		0		0	0	0	0	0
0x10	TIMx_SR	予約済み																			CC4OF	CC3OF	CC2OF	CC1OF	予約済み		TIF	予約済み	CC4IF	CC3IF	CC2IF	CC1IF	UIF
	リセット値																				0	0	0	0			0		0	0	0	0	0
0x14	TIMx_EGR	予約済み																									TG	予約済み	CC4G	CC3G	CC2G	CC1G	UG
	リセット値																										0		0	0	0	0	0
0x18	TIMx_CCMR1 *出力比較モード*	予約済み																OC2CE	OC2M [2:0]			OC2PE	OC2FE	CC2S [1:0]		OC1CE	OC1M [2:0]			OC1PE	OC1FE	CC1S [1:0]	
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	TIMx_CCMR1 *入力キャプチャモード*	予約済み																IC2F[3:0]				IC2 PSC [1:0]		CC2S [1:0]		IC1F[3:0]				IC1 PSC [1:0]		CC1S [1:0]	
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x1C	TIMx_CCMR2 *出力比較モード*	予約済み																O24CE	OC4M [2:0]			OC4PE	OC4FE	CC4S [1:0]		OC3CE	OC3M [2:0]			OC3PE	OC3FE	CC3S [1:0]	
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	TIMx_CCMR2 *入力キャプチャモード*	予約済み																IC4F[3:0]				IC4 PSC [1:0]		CC4S [1:0]		IC3F[3:0]				IC3 PSC [1:0]		CC3S [1:0]	
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x20	TIMx_CCER	予約済み																CC4NP	予約済み	CC4P	CC4E	CC3NP	予約済み	CC3P	CC3E	CC2NP	予約済み	CC2P	CC2E	CC1NP	予約済み	CC1P	CC1E
	リセット値																	0		0	0	0		0	0	0		0	0	0		0	0
0x28	TIMx_PSC	予約済み																PSC[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x30	予約済み																																
0x44	予約済み																																

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 73. TIM2～TIM5 レジスタマップとリセット値 （続き）

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x48	**TIMx_DCR**	予約済み																			DBL[4:0]					予約済み			DBA[4:0]				
	リセット値																				0	0	0	0	0				0	0	0	0	0
0x4C	**TIMx_DMAR**	予約済み																DMAB[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

レジスタ境界アドレスについては *表 1：小容量および中容量デバイスのレジスタ境界アドレス* および *表 2：大容量デバイスのレジスタ境界アドレス* を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

14 汎用タイマ（TIM15/16/17）

小容量バリューラインデバイスは、フラッシュメモリ容量が 16～32 KB の STM32F100xx マイクロコントローラです。

中容量バリューラインデバイスは、フラッシュメモリ容量が 64～128 KB の STM32F100xx マイクロコントローラです。

大容量バリューラインデバイスは、フラッシュメモリ容量が 256 KB～1 MB の STM32F100xx マイクロコントローラです。

このセクションは、別段の指定がない限り、STM32F100xx ファミリ全体に適用されます。

14.1 TIMx の概要

汎用タイマは、プログラマブルなプリスケーラで駆動される 16 ビット自動再ロードカウンタで構成されています。

TIM15/16/17 は、入力信号のパルス長の測定（入力キャプチャ）や出力波形の生成（出力比較、PWM、デッドタイムを挿入した相補 PWM）など、さまざまな目的に使用できます。

パルス長と波形の周期は、タイマプリスケーラと RCC クロックコントローラプリスケーラを使用して、数マイクロ秒から数ミリ秒までの範囲で変化させることができます。

汎用 TIM15/16/17 タイマのグループと別の汎用 TIM2、TIM3、TIM4、および TIM5 タイマのグループは互いに独立していて、いかなるリソースも共有しません。また、*セクション 14.4.15* に記されているように、相互に同期させることができます。

14.2 汎用タイマ TIM15 の主な機能

TIM15 タイマの主な機能は、次のとおりです

- 16 ビット自動再ロードアップカウンタ
- 1 から 65535 の間でカウンタクロック周波数を動作中でも分周できる 16 ビットのプログラマブルプリスケーラ。
- 次の機能を持つ、最大 2 つの独立チャネル。
  - 入力キャプチャ
  - 出力比較
  - PWM 生成（エッジアラインモード）
  - ワンパルスモード出力
- プログラマブルなデッドタイムを持つ相補出力（チャネル 1 のみ）
- 外部信号でタイマを制御し、複数のタイマを相互接続する同期回路
- カウンタの特定のサイクル数後にのみタイマレジスタを更新する繰り返しカウンタ
- タイマの出力信号をリセット状態または既知の状態にするブレーク入力

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

- 以下のイベント時の割り込み/DMA 生成：
  - 更新：カウンタオーバーフロー、カウンタの初期化（ソフトウェアまたは内部/外部トリガによって）
  - トリガイベント（カウンタ開始、停止、初期化、または内部/外部トリガによるカウント）
  - 入力キャプチャ
  - 出力比較
  - ブレーク入力（割り込みリクエスト）

図 134. 汎用タイマのブロック図（TIM15）

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

14.3 汎用タイマ TIM16 および TIM17 の主な機能

TIM16 および TIM17 タイマの主な機能は、次のとおりです

- 16 ビット自動再ロードアップカウンタ
- 1 から 65535 の間でカウンタクロック周波数を動作中でも分周できる 16 ビットのプログラマブルプリスケーラ。
- 次の機能を持つ 1 つのチャネル：
  - 入力キャプチャ
  - 出力比較
  - PWM 生成（エッジアラインモード）
  - ワンパルスモード出力
- プログラマブルデッドタイムを持つ相補出力
- カウンタの特定のサイクル数後にのみタイマレジスタを更新する繰り返しカウンタ
- タイマの出力信号をリセット状態または既知の状態にするブレーク入力
- 以下のイベント時の割り込み/DMA 生成：
  - 更新：カウンタオーバーフロー
  - トリガイベント（カウンタ開始、停止、初期化、または内部/外部トリガによるカウント）
  - 入力キャプチャ
  - 出力比較
  - ブレーク入力

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 135. 汎用タイマのブロック図（TIM16 および TIM17）

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

14.4 TIMx の機能詳細

14.4.1 タイムベースユニット

プログラマブル高機能制御タイマのメインブロックは、自動再ロードレジスタを持つ 16 ビットカウンタです。カウンタはカウントアップの動作が可能です。カウンタクロックは、プリスケーラによって分周されます。

カウンタ、自動再ロードレジスタ、およびプリスケーラレジスタは、ソフトウェアによる読み書きが可能です。カウンタの動作中も同様です。

タイムベースユニットは、以下のレジスタで構成されます

- カウンタレジスタ（TIMx_CNT）
- プリスケーラレジスタ（TIMx_PSC）
- 自動再ロードレジスタ（TIMx_ARR）
- 繰り返しカウンタレジスタ（TIMx_RCR）

自動再ロードレジスタはプリロードレジスタに事前にロードされます。自動再ロードレジスタの読み書きは、プリロードレジスタへのアクセスとなります。プリロードレジスタの内容は、TIMx_CR1 レジスタの自動再ロードプリロードイネーブルビット（ARPE）に応じて、常時または更新イベント（UEV）ごとに、シャドウレジスタに転送されます。TIMx_CR1 レジスタの UDIS ビットが 0 の場合、更新イベントは、カウンタがオーバーフロー （またはダウンカウント時はアンダーフロー）に達したときに発生します。また、ソフトウェアによって生成することもできます。更新イベントの生成については、各設定の中で詳しく説明されています。

カウンタのクロックは、TIMx_CR1 レジスタのカウンタイネーブルビット（CEN）がセットされているときにのみ、プリスケーラ出力 CK_CNT から供給されます（カウンタの有効化の詳細については、スレーブモードコントローラの説明も参照してください）。

TIM x _CR1 レジスタの CEN ビットがセットされてから、カウンタがカウントを開始するまでに 1 クロックサイクルの遅延があることに注意してください。

プリスケーラの詳細

プリスケーラは、カウンタクロック周波数を 1 から 65536 の間の値で分周することができます。16 ビット レジスタ（TIMx_PSC レジスタ）を通じて制御されます。この制御レジスタはバッファされるので、動作中でも変更できます。新しいプリスケーラ比は、次の更新イベント時に有効になります。

図 137 と *図 138* は、プリスケーラ比がその場で変更されたときのカウンタの動作の例を示しています。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 136. プリスケーラ分周比が 1 から 2 に変化したときのカウンタのタイミング図

図 137. プリスケーラ分周比が 1 から 4 に変化したときのカウンタのタイミング図

14.4.2 カウンタモード

アップカウントモード

アップカウントモードでは、カウンタは 0 から自動再ロード値（TIMx_ARR レジスタの内容）までカウントし、0 からカウントをリスタートするとともに、カウンタオーバーフローイベントを生成します。

繰り返しカウンタが使用されている場合には、更新イベント（UEV）は、繰り返しカウンタレジスタ（TIMx_RCR）でプログラムされた回数までアップカウントが繰り返された後で生成されます。繰り返しカウンタが使用されていないときには、カウンタのオーバーフローごとに更新イベントが生成されます。

TIMx_EGR レジスタの UG ビットをセットすることでも（ソフトウェアによって、またはスレーブモードコントローラを使用して）、更新イベントが生成されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

UEV イベントは、ソフトウェアで TIMx_CR1 レジスタの UDIS ビットをセットすることによって無効にできます。これは、プリロードレジスタに新しい値を書き込んでいるときにシャドウレジスタが更新されるのを防ぐためです。この後、UDIS ビットに 0 が書き込まれるまで、更新イベントは発生しません。ただし、プリスケーラのカウンタと同じく、カウンタは 0 からカウントをリスタートします（プリスケーラ比は変化しません）。さらに、TIMx_CR1 レジスタの URS ビット（更新リクエスト選択）がセットされている場合は、UG ビットをセットすると更新イベント UEV が生成されますが、UIF フラグは設定されません（したがって、割り込みや DMA リクエストは送信されません）。これは、キャプチャイベント時にカウンタをクリアしているときに、更新とキャプチャの両方の割り込みを生成するのを防ぐためです。

更新イベントが発生すると、すべてのレジスタが更新され、URS ビットに応じて、更新フラグ（TIMx_SR レジスタの UIF ビット）がセットされます。

- 繰り返しカウンタには TIMx_RCR レジスタの内容が再びロードされます。
- 自動再ロードシャドウレジスタは、プリロード値（TIMx_ARR）に更新されます。
- プリスケーラのバッファにはプリロード値（TIMx_PSC レジスタの内容）が再ロードされます。

以下の図は、TIMx_ARR = 0x36 のときの、さまざまなクロック周波数におけるカウンタの動作の例を示しています。

図 138. 内部クロック分周比が 1 の場合のカウンタのタイミング図

図 139. 内部クロック分周比が 2 の場合のカウンタのタイミング図

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

参考資料

図 140. 内部クロック分周比が 4 の場合のカウンタのタイミング図

図 141. 内部クロック分周比が N の場合のカウンタのタイミング図

図 142. ARPE=0（TIMx_ARR はプリロードされない）のときの更新イベントのカウンタタイミング図

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 143. ARPE=1（TIMx_ARR はプリロードされる）のときの更新イベントのカウンタタイミング図

14.4.3 繰り返しカウンタ

セクション 14.4.1 : タイムベースユニット では、カウンタオーバーフロー/アンダーフローによって、どのように更新イベント（UEV）が生成されるかが説明されています。実際には、繰り返しカウンタが 0 に達したときにのみ、更新イベントが生成されます。これは、PWM 信号を生成する際に役立ちます。

これは、TIMx_RCR 繰り返しカウンタレジスタの値を N とすると、N 回目のカウンタオーバーフローまたはアンダーフローごとに、プリロードレジスタかシャドウレジスタ（TIMx_ARR 自動再ロードレジスタ、TIMx_PSC プリスケーラレジスタ、比較モードの TIMx_CCRx キャプチャ/比較レジスタ）にデータが移されることを意味します。

繰り返しカウンタは、アップカウントモードでカウンタがオーバーフローするたびにデクリメントされます。

繰り返しカウンタは自動再ロードタイプです。繰り返しの回数は、TIMx_RCR レジスタの値によって定義されたとおりに維持されます（*図 144* を参照）。ソフトウェアによって（TIMx_EGR レジスタの UG ビットをセットすることによって）、またはスレーブモードコントローラを介してハードウェアによって更新イベントが生成されると、繰り返しカウンタの値にかかわらず直ちにイベントが発生し、繰り返しカウンタに TIMx_RCR レジスタの内容が再ロードされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 144. モードと TIMx_RCR レジスタの設定による更新状況の例

14.4.4 クロック選択

カウンタクロックは、以下のクロックソースによって供給できます。

- 内部クロック（CK_INT）
- 外部クロックモード 1 : 外部入力ピン内部トリガ入力 (ITRx) (TIM15 の場合のみ) : あるタイマを別のタイマのプリスケーラとして使用します。たとえば、TIM1 を TIM15のプリスケーラとして設定することができます。詳細については、*1 つのタイマを別のタイマのプリスケーラとして使用する*を参照してください。

内部クロックソース（CK_INT）

スレーブモードコントローラが無効の場合（SMS=000）、CEN、DIR（TIMx_CR1 レジスタ）、および UG ビット（TIMx_EGR レジスタ）が実際の制御ビットであり、ソフトウェアによってのみ変更できます（自動的にクリア状態に保たれる UG ビットを除きます）。CEN ビットに 1 が書き込まれると、プリスケーラに内部クロック CK_INT が供給されます。

図 145 に、プリスケーラを使用しない場合の制御回路と通常モードのアップカウンタの動作を示しています。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 145. 内部クロック分周比 1 の場合の、通常モードの制御回路

外部クロックソースモード 1

このモードは、TIMx_SMCR レジスタの SMS=111 のときに選択されます。カウンタは、選択された入力の立ち上がりまたは立ち下がりエッジでカウントすることができます。

図 146. TI2 外部クロックの接続例

たとえば、TI2 入力の立ち上がりエッジに反応してカウントするようにアップカウンタを設定するには、次の手順で行います。

1. TIMx_CCMR1 レジスタの CC2S=01 を書き込むことによって、チャネル 2 が TI2 入力の立ち上がりエッジを検出するように設定します。
2. TIMx_CCMR1 レジスタの IC2F[3:0] ビットに書き込むことによって、入力フィルタの時間を設定します（フィルタが不要な場合は、IC2F=0000 のままにしておきます）。
3. TIMx_CCER レジスタの CC2P=0 を書き込むことによって、立ち上がりエッジを選択します。
4. TIMx_SMCR レジスタの SMS=111 を書き込むことによって、タイマを外部クロックモード 1 に設定します。
5. TIMx_SMCR レジスタの TS=110 を書き込むことによって、トリガ入力ソースとして TI2 を選択します。
6. TIMx_CR1 レジスタの CEN=1 を書き込むことによって、カウンタを有効にします。

注： ***キャプチャプリスケーラはトリガには使用されないので、設定する必要はありません。***

TI2 で立ち上がりエッジが発生すると、カウンタは 1 カウントを行い、TIF フラグがセットされます。

TI2 の立ち上がりエッジから実際のカウンタクロックまでの間には、TI2 入力の再同期回路による遅延があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 147. 外部クロックモード 1 の制御回路

14.4.5 キャプチャ /比較チャネル

各キャプチャ /比較チャネルは、キャプチャ /比較レジスタ（シャドウレジスタを含む）、キャプチャの入力ステージ（デジタルフィルタ、マルチプレクサ、プリスケーラ）、および出力ステージ（比較回路と出力制御）から構成されています。

図 148 から *図 150* に、キャプチャ /比較チャネルの概要を示します。

入力ステージは、対応する TIx 入力をサンプリングして、フィルタリングを行った TIxF を生成します。次に、極性選択付きのエッジ検出回路が、スレーブモードコントローラによってトリガ入力として、またはキャプチャコマンドとして使用される信号（TIxFPx）を生成します。この信号はプリスケーラを通じて、キャプチャレジスタ（ICxPS）に渡されます。

図 148. キャプチャ /比較チャネル（例：チャネル 1 入力ステージ）

出力ステージは基準電圧 OCxREF（アクティブハイ）として使用される中間波形を生成します。信号の極性は最終出力に影響を与えます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 149. キャプチャ /比較チャネル 1 メイン回路

図 150. キャプチャ /比較チャネル（TIM15 に対するチャネル 2）の出力ステージ

キャプチャ /比較ブロックは、1 個のプリロードレジスタと 1 個のシャドウレジスタで構成されています。読み書きのアクセスは、常にプリロードレジスタに対して行われます。

キャプチャモードでは、キャプチャ動作は実際にはシャドウレジスタで行われ、その値がプリロードレジスタにコピーされます。

比較モードでは、プリロードレジスタの内容がシャドウレジスタにコピーされて、カウンタと比較されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

14.4.6 入力キャプチャモード

入力キャプチャモードでは、対応する ICx 信号によって変化が検出された後、カウンタの値をラッチするために、キャプチャ /比較レジスタ（TIMx_CCRx）が使用されます。キャプチャが発生すると、対応する CCxIF フラグ（TIMx_SR レジスタ）がセットされ、割り込みまたは DMA リクエストを送信できます（有効な場合）。CCxIF フラグがすでにハイのときにキャプチャが発生した場合は、オーバーキャプチャフラグ CCxOF（TIMx_SR レジスタ）がセットされます。CCxIF フラグは、ソフトウェアで 0 を書き込むことによって、または、TIMx_CCRx レジスタに格納されたキャプチャデータを読み出すことによってクリアできます。CCxOF は、0 を書き込むとクリアされます。

次の例は、TI1 入力が立ち上がったときに、カウンタの値を TIMx_CCR1 にキャプチャする方法を示しています。このためには、次の手順を使用します。

- アクティブ入力を選択します。TIMx_CCR1 は TI1 入力にリンクされていなければならないので、TIMx_CCMR1 レジスタの CC1S ビットに 01 を書き込みます。CC1S の値が 00 から変化すると、チャネルは入力用に設定され、TIMx_CCR1 レジスタは読み出し専用になります。
- 入力が TI x の 1 つであるときに、タイマに接続する信号に応じて必要な入力フィルタ時間をプログラミングします（TIMx_CCMRx レジスタの ICxF ビット）。入力信号の反転時、最大で内部クロックの 5 サイクルの間、信号が安定しないと想定してみます。この場合、フィルタ時間を 5 クロックサイクルより長くプログラミングする必要があります。新しいレベルの連続した 8 個のサンプルが検出されたときに、TI1 で変化を検証できます（周波数 fDTS でサンプリング）。この場合、TIMx_CCMR1 レジスタの IC1F ビットに 0011 を書き込みます。
- TI1 チャネルのアクティブ変化のエッジを選択します。このためには、TIMx_CCER レジスタの CC1P ビット に "0" を書き込みます（この場合、立ち上がりエッジの選択）。
- 入力プリスケーラをプログラミングします。この例では、有効な信号変化ごとにキャプチャを行いたいので、プリスケーラを無効にします（TIMx_CCMR1 レジスタの IC1PS ビットに 00 を書き込みます）。
- TIMx_CCER レジスタの CC1E ビットをセットすることによって、カウンタからキャプチャレジスタへのキャプチャを有効にします。
- 必要な場合は、TIMx_DIER レジスタの CC1IE ビットをセットすることによって、関連する割り込みリクエストを有効にするか、TIMx_DIER レジスタの CC1DE レジスタをセットすることによって、DMA リクエストを有効にします。

入力キャプチャが発生すると、

- アクティブな信号変化時のカウンタの値が TIMx_CCR1 レジスタに格納されます。
- CC1IF フラグがセットされます（割り込みフラグ）。CC1OF ビットは、少なくとも 2 回連続でキャプチャが発生した場合にもセットされますが、フラグはクリアされません。
- CC1IE ビットに応じて、割り込みが生成されます。
- CC1DE ビットに応じて、DMA リクエストが生成されます。

オーバーキャプチャを処理するために、オーバーキャプチャフラグの前にデータを読み出すことが推奨されます。これにより、フラグを読み出した後、データを読み出す前に発生したオーバーキャプチャの見落としを避けることができます。

注： ***IC 割り込みと DMA リクエストは、TIMx_EGR レジスタの対応する CCxG ビットをセットすることによって、ソフトウェアによって生成することができます。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

14.4.7 PWM 入力モード（TIM15のみ）

このモードは、入力キャプチャの特別な応用例です。操作手順は入力キャプチャモードと同様ですが、以下の点が異なります。

- 2 つの ICx 信号が同じ TIx 入力に配置されます。
- この 2 つの ICx 信号は、逆の極性のエッジでアクティブです。
- 2 つの TIxFP 信号の 1 つがトリガ入力として選択され、スレーブモードコントローラはリセットモードに設定されます。

たとえば、次の手順を使用して、TI1 に適用された PWM の周期（TIMx_CCR1 レジスタ）とデューティサイクル（TIMx_CCR2 レジスタ）を測定できます（手順は、CK_INT 周波数とプリスケーラ値によって、若干異なることがあります）。

- TIMx_CCR1 のアクティブ入力を選択します。TIMx_CCMR1 レジスタの CC1S ビットに 01 を書き込みます（TI1 を選択）。
- TI1FP1 のアクティブ極性を選択します（TIMx_CCR1 キャプチャとカウンタクリアの両方に使用します）。CC1P ビット に 0 を書き込みます（立ち上がりエッジでアクティブ）。
- TIMx_CCR2 のアクティブ入力を選択します。TIMx_CCMR1 レジスタの CC2S ビットに 10 を書き込みます（TI1 を選択）。
- TI1FP1 のアクティブ極性を選択します（TIMx_CCR1 キャプチャとカウンタクリアの両方に使用します）。CC2P ビット に 1 を、CC2NP ビットに 0 を書き込みます （立ち下がりエッジでアクティブ）。
- 有効なトリガ入力を選択します。TIMx_SMCR レジスタの TS ビットに 101 を書き込みます（TI1FP1 を選択）。
- スレーブモードコントローラをリセットモードに設定します。すなわち、TIMx_SMCR レジスタの SMS ビットに 100 を書き込みます。
- キャプチャを有効にします。TIMx_CCER レジスタの CC1E ビットと CC2E ビットに 1 を書き込みます。

図 151. PWM 入力モードのタイミング

1. TI1FP1 と TI2FP2 のみがスレーブモードコントローラに接続されているので、PWM 入力モードは TIMx_CH1/TIMx_CH2 信号でのみ使用できます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

14.4.8 強制出力モード

出力モード（TIMx_CCMRx レジスタの CCxS ビット =00）では、出力比較レジスタとカウンタの間の比較に関係なく、出力比較信号（OCxREF と OCx）をソフトウェアによって直接、強制的にアクティブまたはインアクティブレベルにできます。

出力比較信号（OCxREF/OCx）を強制的にアクティブレベルにするには、対応する TIMx_CCMRx レジスタの OCxM ビットに 101 を書き込むだけです。これにより、OCxREF は強制的にハイになり（OCxREF は常にアクティブハイ）、OCx は CCxP 極性ビットと逆の値になります。

たとえば、CCxP=0（OCx アクティブハイ）=> OCx は強制的にハイレベルになります。

OCxREF 信号は、TIMx_CCMRx レジスタの OCxM ビットに 100 を書き込むことによって、強制的にローにできます。

いずれにしても、TIMx_CCRx シャドウレジスタとカウンタの比較は実行されるので、フラグをセットできます。それに応じて、割り込み および DMA リクエストを送信できます。これについては、次の出力比較モードのセクションで説明します。

14.4.9 出力比較モード

この機能は、出力波形を制御したり、一定時間が経過したことを示すために使用されます。

キャプチャ /比較レジスタとカウンタの値が一致すると、出力比較は次のように働きます。

- 対応する出力ピンに、出力比較モード（TIMx_CCMRx レジスタの OCxM ビット）と出力極性（TIMx_CCER レジスタの CCxP ビット）によって定義されたプログラマブル値を割り当てます。一致した際、出力ピンは、そのレベルを維持するか（OCxM=000）、アクティブにセットされるか（OCxM=001）、インアクティブにセットされるか（OCxM=010）または反転されます（OCxM=011）。
- 割り込みステータスレジスタのフラグをセットします（TIMx_SR レジスタの CCxIF ビット）。
- 対応する割り込みマスク（TIMx_DIER レジスタの CCxIE ビット）がセットされている場合は、割り込みを生成します。
- 対応するイネーブルビット（TIMx_DIER レジスタの CCxDE ビット）がセットされている場合は、DMA リクエストを送信します（DMA リクエスト選択には、TIMx_CR2 レジスタの CCDS ビットが使用されます）。

TIMx_CCRx レジスタは、TIMx_CCMRx レジスタの OCxPE ビットを使用して、プリロードレジスタを使用して、またはプリロードレジスタを使用せずにプログラミングできます。

出力比較モードでは、更新イベント UEV は OCxREF および OCx 出力には影響を与えません。タイミングの分解能はカウンタの 1 カウント分となります。出力比較モードは、単一パルスを出力するためにも使用できます（ワンパルスモード）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

手順：

1. カウンタクロックを選択します（内部、外部、プリスケーラ）。
2. TIMx_ARR レジスタと TIMx_CCRx レジスタに目的のデータを書き込みます。
3. 割り込みリクエストを生成する場合は、CCxIE ビットをセットします。
4. 出力モードを選択します。例：
   - CNT と CCRx が一致したときに OCx 出力ピンを反転するには、OCxM = 011 を書き込みます。
   - プリロードレジスタを無効にするには、OCxPE = 0 を書き込みます。
   - アクティブハイ極性を選択するには、CCxP = 0 を書き込みます。
   - 出力を有効にするには、CCxE = 1 を書き込みます。
5. カウンタを有効にするには、TIMx_CR1 レジスタの CEN ビットをセットします。

いつでもソフトウェアによって TIMx_CCRx レジスタを更新して、出力波形を制御できます。ただし、プリロードレジスタが有効でない場合に限ります（OCxPE=0）。そうでない場合、TIMx_CCRx シャドウレジスタは、次の更新イベント UEV でのみ更新されます。例を*図 152* に示します。

図 152. 出力比較モード、OC1 のトグル

14.4.10 PWM モード

パルス幅変調（PWM）モードでは、TIMx_ARR レジスタの値によって決められた周波数と TIMx_CCRx レジスタの値によって決められたデューティサイクルで信号を生成できます。

PWM モードは TIMx_CCMRx レジスタの OCxM ビットに "110"（PWM モード 1）または "111"（PWM モード 2）を書きむことによって、チャネルごとに選択できます（OCx 出力ごとに 1 つの PWM）。TIMx_CCMRx レジスタの OCxPE ビットをセットすることによって、対応するプリロードレジスタを有効にする必要があります。また、TIMx_CR1 レジスタの ARPE ビットをセットすることによって、自動再ロードプリロードレジスタも有効にする必要があります（アップカウントモードまたはセンターアラインモード）。

プリロードレジスタは、更新イベントが発生したときにのみシャドウレジスタに転送されるので、カウンタを開始する前に、TIMx_EGR レジスタの UG ビットをセットすることによって、すべてのレジスタを初期化する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OCx の極性は、TIMx_CCER レジスタの CCxP ビットを使用してソフトウェアでプログラムできます。アクティブハイまたはアクティブローとしてプログラムできます。OCx 出力は、CCxE、CCxNE、MOE、OSSI、および OSSR ビット（TIMx_CCER および TIMx_BDTR レジスタ）の組み合わせによって有効になります。詳細については、TIMx_CCERx レジスタの説明を参照してください。

PWM モード（1 または 2）では、TIMx_CNT と TIMx_CCRx が常に比較されて、TIMx_CNT ≤ TIMx_CCRx かどうかが判断されます。

カウンタはカウントアップしているので、タイマはエッジアラインモードでのみ PWM を生成できます。

PWM エッジアラインモード

次の例では、PWM モード 1 を前提としています。PWM 基準信号 OCxREF は、TIMx_CNT < TIMx_CCRx の間はハイに、そうでない場合はローになります。TIMx_CCRx の比較値が自動再ロード値（TIMx_ARR レジスタの）より大きい場合、OCxREF は 1 です。比較値が 0 の場合、OCxREF は 0 です。*図 153* は、TIMx_ARR=8 のときのエッジアライン PWM 波形の例を示しています。

図 153. エッジアライン PWM 波形（ARR=8）

14.4.11 相補出力とデッドタイム挿入

汎用タイマ TIM15/16/17 は 、2 つの相補信号を出力して、出力時のスイッチオンおよびスイッチオフを管理できます

この時間は、通常、デッドタイムと呼ばれ、出力に接続されているデバイスとその特性（レベルシフタの内在的な遅延、電源スイッチによる遅延など）に応じて調整する必要があります。

出力の極性（主出力 OCx または補OCxN）は、出力ごとに独自に選択できます。これは、TIMx_CCER レジスタの CCxP ビットおよび CCxNP ビットに書き込むことによって行います。

相補信号 OCx および OCxN は、TIMx_CCER レジスタの CCxE ビットと CCxNE ビット、TIMx_BDTR レジスタと TIMxCR2 レジスタの MOE、OISx、OISxN、OSSI、および OSSR ビットといった複数の制御ビットの組み合わせによって有効になります。詳細については、*表 75：ブレーク機能を持つ相補 OCx および OCxN チャネルの出力制御ビット（367 ページ）*を参照してください。特に、IDLE 状態に切り替わるとき（MOE が 0 になるとき）に、デッドタイムが挿入されます。

デッドタイム挿入は、CCxE ビットと CCxNE ビットの両方をセットし、ブレーク回路がある場合は、さらに MOE ビットをセットすることによって有効になります。各チャネルに 10 ビットのデッドタ

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

イム生成回路があります。この回路は、基準波形 OCxREF から OCx と OCxN の 2 つの出力を生成します。OCx と OCxN がアクティブハイの場合、

- OCx 出力信号は基準信号と同じですが、立ち上がりエッジが基準の立ち上がりエッジより遅い点が異なります。
- OCxN 出力信号は、立ち上がりエッジが基準波形の立ち下がりエッジから遅れている点を除けば、基準信号を反転させた波形と同じです。

遅延がアクティブ出力（OCx または OCxN）の幅より大きい場合、対応するパルスは生成されません。

以下の図は、デッドタイム生成回路の出力信号と基準信号 OCxREF との関係を示しています。（これらの例では、CCxP=0、CCxNP=0、MOE=1、CCxE=1、および CCxNE=1 を想定しています。）

図 154. デッドタイム挿入のある相補出力

図 155. 負のパルスより長い遅延があるときのデッドタイムの波形

図 156. 正のパルスより長い遅延があるときのデッドタイムの波形

デッドタイム遅延は、各チャネルで同じであり、TIMx_BDTR レジスタの DTG ビットでプログラミングできます。遅延の計算については、*セクション 14.5.15 : TIM15 ブレークおよびデッドタイムレジスタ（TIM15_BDTR）（370 ページ）*を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OCxREF 信号から OCx または OCxN へのリダイレクト

出力モード（強制、出力比較、または PWM）では、TIMx_CCER レジスタの CCxE ビットおよび CCxNE ビットを設定することによって、OCxREF 信号を OCx 出力または OCxN 出力にリダイレクトできます。

これにより、特定の波形（PWM または静的アクティブレベルなど）を一方の出力に送信し、補信号をインアクティブレベルに固定することができます。他の例としては、両方の出力をインアクティブレベルにしたり、両方の出力をアクティブにして、デッドタイムのある相補出力とすることができます。

注： ***OCxN のみが有効なときには（CCxE=0、CCxNE=1）、相補されず、OCxREF がハイレベルになるとアクティブになります。たとえば、CCxNP=0 の場合は、OCxN=OCxREF です。他方、OCx と OCxN の両方が有効なときには（CCxE=CCxNE=1）、OCxREF がハイになると OCx はアクティブになり、OCxREF がローのときには、OCxN は相補されて、アクティブになります。***

14.4.12 ブレーク機能の使用

ブレーク機能を使用しているときには、出力イネーブル信号とインアクティブレベルは、追加の制御ビット（TIMx_BDTR レジスタの MOE、OSSI、および OSSR ビットと TIMxCR2 レジスタの OIS x および OISxN ビット）に応じて変更されます。ただし、OCx および OCxN 出力の両方を同時にアクティブレベルに設定することはできません。詳細については、*表 75：ブレーク機能を持つ相補 OCx および OCxN チャネルの出力制御ビット（367 ページ）*を参照してください。

ブレークソースは、ブレーク入力ピンか、リセットクロックコントローラ（RCC）のクロックセキュリティシステム（CSS）によって生成されたクロック障害イベントです。クロックセキュﾘﾃｨシステムの詳細については、*セクション 6.2.7：クロックセキュリティシステム（CSS）*を参照してください。

リセットが終了すると、ブレーク回路は無効になり、MOE ビットはローです。TIMx_BDTR レジスタの BKE ビットをセットすることによって、ブレーク機能を有効にできます。ブレーク入力の極性は、同じレジスタの BKP ビットを設定することによって選択できます。BKE と BKP を同時に変更できます。BKE および BKP ビットが書き込まれるとき、書き込みが有効になるまでに 1 APB クロックサイクルの遅延が適用されます。そのため、書き込み動作の後、ビットを正しく読み出すためには 1 APB クロックサイクル待つ必要があります。

MOE の立ち下がりエッジは非同期のことがあるので、実際の信号（出力に作用する信号）と同期制御ビット（TIMx_BDTR レジスタからアクセスできる）の間に、再同期回路が挿入されています。このため、非同期信号と同期信号の間に若干の遅延が発生します。特に、ローレベルの MOE に 1 を書き込んだ場合には、これを正しく読み出すには遅延（ダミー命令）を挿入する必要があります。これは、非同期信号を書き込んで、同期信号を読み出すからです。

ブレークが発生すると（ブレーク入力で選択されたレベル）、

- MOE ビットは非同期でクリアされ、出力をインアクティブ状態、アイドル状態、またはリセット状態にします（OSSI ビットで選択）。この機能は、MCU オシレータがオフの場合も機能します。
- 各出力チャネルは、MOE=0 になったとき、TIMx_CR2 レジスタの OISx ビットでプログラミングされたレベルで駆動されます。OSSI=0 の場合、タイマはイネーブル出力を解除し、そうでない場合はイネーブル出力はハイのままです。
- 相補出力が使用されているときには、
  - 出力は、まずリセット状態のインアクティブ状態に置かれます（極性に依存します）。これは非同期に行われるので、タイマにクロックが供給されていないときでも機能します。
  - タイマクロックが供給されている場合、デッドタイム後に OISx および OISxN ビットでプログラミングされたレベルで出力を駆動するために、デッドタイム発生回路が作動します。この場合でも、OCx と OCxN を同時にアクティブレベルに駆動することはできません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

MOE の再同期により、デッドタイム時間が通常より少し長くなることに注意してください（約 2 CK_TIM クロックサイクル）。

– OSSI=0 の場合、タイマはイネーブル出力を解除し、そうでない場合、イネーブル出力はハイのままか、CCxE または CCxNE ビットがハイになったときにハイになります。

- ブレークステータスフラグ（TIMx_SR レジスタの BIF ビット）がセットされます。TIMx_DIER レジスタの BIE ビットがセットされている場合は、割り込みを生成できます。TIMx_DIER レジスタの BDE ビットがセットされている場合、DMA リクエストを送信できます。
- TIMx_BDTR レジスタの AOE ビットがセットされている場合、MOE ビットは次の更新イベント UEV で再び自動的にセットされます。これを制御目的などに使用することができます。そうでない場合、MOE ビットは、1 が書き込まれるまでローのままです。この場合、セキュリティ目的で使用して、パワー駆動回路、温度センサ、またはセキュリティコンポーネントからのアラームにブレーク入力として接続することができます。

注： ***ブレーク入力はレベル信号として機能します。このため、ブレーク入力がアクティブな間は、MOE をセットできません（自動的にも、ソフトウェアによっても）。この間、ステータスフラグ BIF をクリアできません。***

ブレークは、BRK 入力によって生成でき、BRK はプログラミング可能な極性を持ち、TIMx_BDTR レジスタの BKE がイネーブルビットです。

ブレーク入力と出力管理のほかに、アプリケーションに対する安全策として、ブレーク回路内で書き込み保護が施されています。これにより、いくつかのパラメータ（デッドタイム時間、OCx/OCxN 極性、無効時の状態、OCxM 設定、ブレークイネーブルと極性）を固定することができます。TIMx_BDTR レジスタの LOCK ビットによって、3 レベルの保護を選択することができます。*セクション 14.5.15：TIM15 ブレークおよびデッドタイムレジスタ（TIM15_BDTR）（370 ページ）*を参照してください。LOCK ビットの書き込みは、MCU リセット後 1 回に限られます。

図 157 は、ブレークに対する出力の動作の例を示しています。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

参考資料

図 157. ブレークに対する出力の動作

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

14.4.13 ワンパルスモード（TIM15のみ）

ワンパルスモード（One Pulse Mode：OPM）は、これまでに説明したモードの特殊ケースです。このモードでは、トリガに応じてカウンタを開始して、プログラム可能な遅延後にプログラミングした長さのパルスを生成することができます。

カウンタの開始は、スレーブモードコントローラを通じて制御できます。波形の生成は、出力比較モードまたは PWM モードで行います。ワンパルスモードを選択するには、TIMx_CR1 レジスタの OPM ビットをセットします。これによって、カウンタは、次の更新イベント UEV で自動的に停止します。

パルスは、比較値がカウンタの初期値と異なるときにのみ正しく生成されます。開始前に（タイマがトリガを待っているときに）、設定が次のとおりでなければなりません。

- アップカウント時：CNT < CCRx ≤ ARR（特に、0 < CCRx）
- ダウンカウント時：CNT > CCRx

図 158. ワンパルスモードの例

たとえば、TI2 入力ピンで正のエッジが検出されたときに、遅延時間 t_{DELAY} 後に、OC1 に長さが t_{PULSE} の正のパルスを生成する場合を考えてみます。

TI2FP2 をトリガ 1 として使用します。

- TI2FP2 を TI2 に配置するために、TIMx_CCMR1 レジスタの CC2S=01 を書き込みます。
- TI2FP2 は、立ち上がりエッジを検出して、TIMx_CCER レジスタの CC2P=0 と CC2NP=0 を書き込みます。
- TI2FP2 をスレーブモードコントローラのトリガ（TRGI）として設定します。このためには TIMx_SMCR レジスタの TS=110 を書き込みます。
- TI2FP2 を使用してカウンタを開始します。このためにはTIMx_SMCR レジスタの SMS に 110（トリガモード）を書き込みます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OPM 波形は、比較レジスタに書き込むことによって定義されます（クロック周波数とカウンタプリスケーラを考慮して）。

- t_{DELAY} は、TIMx_CCR1 レジスタに書き込まれた値によって定義されます。
- t_{PULSE} は、自動再ロード値と比較値の差（TIMx_ARR - TIMx_CCR1）によって定義されます。
- 比較値と一致したときに 0 から 1 に変化し、カウンタが自動再ロード値に達したときに 1 から 0 に変化する波形を生成するとします。このためには、TIMx_CCMR1 レジスタの OC1M=111 を書き込むことによって、PWM モード 2 を有効にします。オプションで、TIMx_CCMR1 レジスタの OC1PE=1 を書き込み、TIMx_CR1 レジスタの ARPE=1 を書き込むことによって、プリロードレジスタを有効にすることもできます。この場合、比較値を TIMx_CCR1 レジスタに、自動再ロード値を TIMx_ARR レジスタに書き込み、UG ビットをセットすることによって更新を生成して、TI2 上の外部トリガイベントを待つ必要があります。この例では、CC1P には 0 を書き込みます。

この例では、TIMx_CR1 レジスタの DIR ビットと CMS ビットはローレベルでなければなりません。

必要なパルスは 1 つだけなので（シングルモード）、TIMx_CR1 レジスタの OPM ビットに 1 を書き込みます。こうすると、カウンタは次の更新イベント時に停止します（カウンタが自動再ロード値に達して、0 に戻る時点）。TIMx_CR1 レジスタの OPM ビットが 0 にセットされると、繰り返しモードが選択されます。

特殊なケース：OCx 高速イネーブル

ワンパルスモードでは、TIx 入力でエッジが検出されると、CEN ビットがセットされ、カウンタが有効になります。その後、カウンタと比較値の比較によって、出力が反転されます。しかし、これらの操作には数クロックサイクルが必要であり、最小遅延 t_{DELAY}（分）が制限されます。

最小遅延で波形を出力したい場合は、TIMx_CCMRx レジスタの OCxFE ビットをセットします。こうすると、OCxREF（および OCx）は、比較動作を行うことなく、強制的にトリガに反応します。新しいレベルは、比較が一致したときと同じです。OCxFE は、チャネルが PWM1 または PWM2 モードに設定されたときにのみ有効です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

14.4.14 TIM15 と外部トリガの同期

TIM15 タイマ は、リセットモード、ゲートモード、トリガモードなど、いくつかのモードで外部トリガと同期を取ることができます。

スレーブモード：リセットモード

カウンタとそのプリスケーラは、トリガ入力のイベントに応じて再初期化できます。さらに、TIMx_CR1 レジスタの URS ビットがローの場合は、更新イベント UEV が生成されます。その場合、すべてのプリロードレジスタ（TIMx_ARR、TIMx_CCRx）が更新されます。

次の例では、TI1 入力の立ち上がりエッジに応じて、アップカウンタがクリアされます。

- TI1 の立ち上がりエッジを検出するように、チャネル 1 を設定します。入力フィルタ時間を設定します（この例では、フィルタは不要なので、IC1F=0000 のままにしておきます）。キャプチャプリスケーラはトリガには使用されないので、設定する必要はありません。CC1S ビットは、入力キャプチャソースのみを選択します（TIMx_CCMR1 レジスタの CC1S=01）。TIMx_CCER レジスタの CC1P=0 を書き込んで、極性を有効にします（また、立ち上がりエッジのみを検出します）。
- TIMx_SMCR レジスタの SMS=100 を書き込んで、タイマをリセットモードに設定します。TIMx_SMCR レジスタの TS=101 を書き込んで、入力ソースとして TI1 を選択します。
- TIMx_CR1 レジスタの CEN=1 を書き込んで、カウンタを開始します。

カウンタは内部クロックでカウントを開始し、TI1 の立ち上がりエッジまで通常の動作を行います。TI1 が立ち上がると、カウンタはクリアされ、0 からリスタートします。同時に、トリガフラグがセットされ（TIMx_SR レジスタの TIF ビット）、有効な場合は割り込みリクエストまたは DMA リクエストを送信できます（TIMx_DIER レジスタの TIE および TDE ビット）。

次の図は、自動再ロードレジスタ TIMx_ARR=0x36 の場合の動作を示しています。TI1 の立ち上がりエッジから実際にカウンタがリセットされるまでの遅延は、TI1 入力の同期回路によるものです。

図 159. リセットモードの制御回路

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

スレーブモード：ゲートモード

カウンタは、選択された入力のレベルに応じて有効になります。

次の例では、アップカウンタは TI1 入力がローのときだけカウントします。

- TI1 のローレベルを検出するように、チャネル 1 を設定します。入力フィルタ時間を設定します（この例では、フィルタは不要なので、IC1F=0000 のままにしておきます）。キャプチャプリスケーラはトリガには使用されないので、設定する必要はありません。CC1S ビットは、入力キャプチャソースのみを選択します（TIMx_CCMR1 レジスタの CC1S=01 ビット）。TIMx_CCER レジスタの CC1P=1 を書き込んで、極性を有効にします（また、立ち上がりエッジのみを検出します）。
- TIMx_SMCR レジスタの SMS=101 を書き込んで、タイマをゲートモードに設定します。TIMx_SMCR レジスタの TS=101 を書き込んで、入力ソースとして TI1 を選択します。
- TIMx_CR1 レジスタの CEN=1 を書き込んで、カウンタを有効にします（ゲートモードでは、CEN=0 の場合、トリガ入力のレベルにかかわらず、カウンタは開始しません）。

カウンタは、TI1 がローになると内部クロックでカウントを開始して、TI1 がハイになると停止します。TIMx_SR レジスタの TIF フラグは、カウンタの開始時と停止時にセットされます。

TI1 の立ち上がりエッジから実際にカウンタが停止するまでの遅延は、TI1 入力の再同期回路によるものです。

図 160. ゲートモードの制御回路

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

スレーブモード：トリガモード

カウンタは、選択された入力のイベントに対応して開始します。

次の例では、アップカウンタは、TI2 入力の立ち上がりエッジに応じて開始します。

- TI2 の立ち上がりエッジを検出するように、チャネル 2 を設定します。入力フィルタ時間を設定します（この例ではフィルタは不要なので、IC2F=0000 のままにしておきます）。キャプチャプリスケーラはトリガには使用されないので、設定する必要はありません。CC2S ビットは入力キャプチャソースのみを選択するように設定されます（TIMx_CCMR1 レジスタの CC2S=01）。TIMx_CCER レジスタの CC2P=1 を書き込んで、極性を有効にします（また、ローレベルのみを検出します）。
- タイマをトリガモードに設定します。このためには、TIMx_SMCR レジスタで SMS=110 を書き込みます。TIMx_SMCR レジスタの TS=110 を書き込んで、TI2 を入力ソースとして を選択します。

TI2 で立ち上がりエッジが発生すると、カウンタは内部クロックでカウントを開始し、TIF フラグがセットされます。

TI2 の立ち上がりエッジから実際にカウンタが開始するまでの遅延は、TI2 入力の再同期回路によるものです。

図 161. トリガモードの制御回路

14.4.15 タイマの同期（TIM15)

TIM タイマは、タイマの同期または連結のために、内部で互いにリンクされます。詳細については、*セクション 13.3.15：タイマの同期（301 ページ）*を参照してください。

14.4.16 デバッグモード

マイクロコントローラがデバッグモードになると（Cortex-M3 コアは停止状態）、TIMx カウンタは、DBG モジュールの DBG_TIMx_STOP 設定ビットに応じて、通常どおりに動作を続けるか、停止します。詳細については、*セクション 25.15.2：タイマ、ウォッチドッグ、および I^2C のデバッグサポート*を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

14.5 TIM15 レジスタ

レジスタの説明で使用されている略語については、*セクション 1.1 (32 ページ)* を参照してください。

14.5.1 TIM15 制御レジスタ 1（TIM15_CR1）

アドレスオフセット：0x00

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み						CKD[1:0]		ARPE	予約済み			OPM	URS	UDIS	CEN
						rw	rw	rw				rw	rw	rw	rw

ビット 15:10 予約済み、常に 0 として読み出されます。

ビット 9:8 **CKD[1:0]**：クロック分周

このビットフィールドは、タイマクロック（CK_INT）周波数と、デッドタイム生成回路とデジタルフィルタ（TIx）によって使用されるデッドタイムおよびサンプリングクロック（t_{DTS}）との間の分周比を示します。

00：$t_{DTS} = t_{CK_INT}$

01：$t_{DTS} = 2*t_{CK_INT}$

10：$t_{DTS} = 4*t_{CK_INT}$

11：予約済み。この値をプログラミングしないでください。

ビット 7 **ARPE**：自動再ロードプリロードイネーブル

0：TIMx_ARR レジスタはバッファされません。

1：TIMx_ARR レジスタはバッファされます。

ビット 6:4 予約済み、常に 0 として読み出されます。

ビット 3 **OPM**：ワンパルスモード

0：カウンタは更新イベントで停止しません。

1：カウンタは次の更新イベントでカウントを停止します（CEN ビットをクリアします）。

ビット 2 **URS**：更新リクエストソース

このビットは、UEV イベントソースを選択するために、ソフトウェアによってセット/クリアされます。

0：次のイベントのいずれかによって、更新割り込みまたは DMA リクエストが生成されます（有効な場合）。イベントは、次のとおりです。

- カウンタオーバーフロー /アンダーフロー
- UG ビットのセット
- スレーブモードコントローラからの更新生成

1：カウンタオーバーフロー /アンダーフローのみが更新割り込みまたは（有効な場合）DMA リクエストを生成します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 1 **UDIS**：更新ディセーブル

このビットは、UEV イベント生成を有効/無効にするために、ソフトウェアによってセット/クリアされます。

0：UEV 有効。更新イベント（UEV）は、以下のいずれかのイベントによって生成されます。

- カウンタオーバーフロー /アンダーフロー
- UG ビットのセット
- スレーブモードコントローラからの更新生成

このとき、バッファを持つレジスタにプリロード値がロードされます。

1：UEV 無効。更新イベントは生成されず、シャドウレジスタ（ARR、PSC、CCRx）は値を維持します。ただし、UG ビットがセットされた場合や、スレーブモードコントローラからハードウェアリセットを受信した場合には、カウンタとプリスケーラは再初期化されます。

ビット 0 **CEN**：カウンタイネーブル

0：カウンタは無効

1：カウンタは有効

注： 外部クロックおよびゲートモードは、CEN ビットが事前にソフトウェアによってセットされている場合のみ動作します。ただし、トリガモードでは、CEN ビットはハードウェアによって自動的にセットできます。

14.5.2 TIM15 制御レジスタ 2（TIM15_CR2）

アドレスオフセット：0x04

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み					OIS2	OIS1N	OIS1	予約済み	MMS[2:0]			CCDS	CCUS	予約済み	CCPC
					rw	rw	rw		rw	rw	rw	rw	rw		rw

ビット 15:11 予約済み、常に 0 として読み出されます。

ビット 10 **OIS2**：出力アイドル状態 2（OC2 出力）

0：MOE = 0 のとき、OC2 = 0

1：MOE = 0 のとき、OC2 = 1

注： このビットは、LOCK レベル 1、2、または 3 がプログラムされると（TIMx_BKR レジスタの LOCK ビット）、変更できなくなります。

ビット 9 **OIS1N**：出力アイドル状態 1（OC1N 出力）

0：MOE=0 のとき、デッドタイム後に OC1N=0

1：MOE=0 のとき、デッドタイム後に OC1N=1

注： このビットはLOCK レベル 1、2 または 3 がプログラムされているときには変更できません（TIM1_BKR レジスタの LOCK ビット）。

ビット 8 **OIS1**：出力アイドル状態 1（OC1 出力）

0：MOE=0 のとき、OC1=0（OC1N が実装されている場合、デッドタイム後に）

1：MOE=0 のとき、OC1=1（OC1N が実装されている場合、デッドタイム後に）

注： このビットはLOCK レベル 1、2 または 3 がプログラムされているときには変更できません（TIM1_BKR レジスタの LOCK ビット）。

ビット 7 予約済み、常に 0 として読み出されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 6:4 **MMS[1:0]**：マスタモード選択

これらのビットにより、同期のためにマスタモードでスレーブタイマに送信される情報を選択することができます（TRGO）。組み合わせは、次のとおりです。

000：**リセット** - TIMx_EGR レジスタの UG ビットがトリガ出力（TRGO）として使用されます。トリガ入力によってリセットが生成される場合（スレーブモードコントローラがリセットモードに設定されているとき）、TRGO 信号は実際のリセットより遅延します。

001：**イネーブル** - カウンタイネーブル信号 CNT_EN がトリガ出力（TRGO）として使用されます。これは、いくつかのタイマを同時に開始するときや、スレーブタイマが有効な時間枠を制御するときに役立ちます。カウンタイネーブル信号は、CEN 制御ビットとゲートモードに設定されているときのトリガ入力との論理和によって生成されます。カウンタイネーブル信号がトリガ入力によって制御されるときには、マスタ/スレーブモードが選択されている場合を除いて、TRGO には遅延が存在します（TIMx_SMCR レジスタの MSM ビットの説明を参照）。

010：**更新** - 更新イベントがトリガ出力（TRGO）として選択されます。たとえば、マスタタイマをスレーブタイマのプリスケーラとして使用できます。

011：**パルス比較** - キャプチャまたは比較一致が発生した直後、CC1IF フラグがセットされるときに、トリガ出力は正のパルスを送信します（すでにハイであった場合も）。（TRGO）

100：**比較** - OC1REF 信号がトリガ出力（TRGO）として使用されます。

101：**比較** - OC2REF 信号がトリガ出力（TRGO）として使用されます。

ビット 3 **CCDS**：キャプチャ /比較 DMA 選択

0：CCx イベント発生時に CCx DMA リクエストが送信されます。

1：更新イベントの発生時に CCx DMA リクエストが送信されます。

ビット 2 **CCUS**：キャプチャ /比較制御更新選択

0：キャプチャ /比較制御ビットがプリロードされるときには（CCPC=1）、COMG ビットをセットすることによってのみ更新されます。

1：キャプチャ /比較制御ビットがプリロードされるときには（CCPC=1）、COMG ビットをセットすることによって、または TRGI で立ち上がりエッジで更新されます。

注： このビットは、相補出力を持つチャネルでのみ機能します。

ビット 1 予約済み、常に 0 として読み出されます。

ビット 0 **CCPC**：キャプチャ /比較プリロード制御

0：CCxE、CCxNE、および OCxM ビットはプリロードされません。

1：CCxE、CCxNE、および OCxM ビットはプリロードされ、書き込み後は、COM ビットがセットされたときのみ更新されます。

注： このビットは、相補出力を持つチャネルでのみ機能します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

14.5.3 TIM15 スレーブモード制御レジスタ（TIM15_SMCR）

アドレスオフセット：0x08

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								MSM	TS[2:0]			予約済み	SMS[2:0]		
								rw	rw	rw	rw		rw	rw	rw

ビット 15:8 予約済み、常に 0 として読み出されます。

ビット 7 **MSM：**マスタ/スレーブモード

0：影響なし。

1：トリガ入力（TRGI）に対するイベントの効果は、現在のタイマとそのスレーブとの間の完全な同期（TRGO を通じて）を可能にするために遅延されます。これは、1 つの外部イベントで複数のタイマを同期したい場合に役立ちます。

ビット 6:4 **TS[2:0]：**トリガ選択

このビットフィールドは、カウンタを同期するために使用されるトリガ入力を選択します。

000：内部トリガ 0（ITR0）

001：内部トリガ 1（ITR1）

010：内部トリガ 2（ITR2）

011：内部トリガ 3（ITR3）

100：TI1 エッジ検出回路（TI1F_ED）

101：フィルタ後のタイマ入力 1（TI1FP1）

110：フィルタ後のタイマ入力 2（TI2FP2）

各タイマでの ITRx の意味の詳細については、*表 74：TIMx 内部トリガ接続（357 ページ）*を参照してください。

注： ***設定変更時の誤ったエッジ検出を避けるために、これらのビットは、使用されていないとき（SMS=000 のときなど）にのみ変更しなければなりません。***

ビット 3 予約済み、常に 0 として読み出されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 2:0 **SMS**：スレーブモード選択

外部信号が選択されると、トリガ信号（TRGI）のアクティブエッジが外部入力で選択された極性にリンクされます（入力制御レジスタおよび制御レジスタの説明を参照してください）。

000：スレーブモード無効 - CEN = 1 の場合、プリスケーラは内部クロックによって直接クロック供給されます。

001：エンコーダモード 1 - カウンタは、TI1FP1 のレベルに応じて、TI2FP2 のエッジでカウントアップ/カウントダウンします。

010：エンコーダモード 2 - カウンタは、TI2FP2 のレベルに応じて、TI1FP1 のエッジでカウントアップ/カウントダウンします。

011：エンコーダモード 3 - カウンタは、他の入力のレベルに応じて、TI1FP1 と TI2FP2 の両方のエッジでカウントアップ/カウントダウンします。

100：リセットモード - 選択されたトリガ入力（TRGI）の立ち上がりエッジでカウンタが再初期化され、レジスタの更新イベントが生成されます。

101：ゲートモード - カウンタクロックは、トリガ入力（TRGI）がハイのときに有効になります。トリガがローになると、カウンタは停止します（リセットはされません）。カウンタの開始と停止の両方が制御されます。

110：トリガモード - カウンタは、トリガ入力（TRGI）の立ち上がりエッジで開始します（リセットはされません）。カウンタの開始のみが制御されます。

111：外部クロックモード 1 - 選択されたトリガ（TRGI）の立ち上がりエッジでカウンタのクロックが供給されます。

注： トリガ入力として TI1F_ED が選択されている場合（TS=100）、ゲートモードを使用することはできません。TI1F_ED は TI1F の変化ごとに 1 パルスを出力しますが、ゲートモードはトリガ信号のレベルをチェックします。

表 74. TIMx 内部トリガ接続

スレーブ TIM	ITR0（TS = 000）(1)	ITR1（TS = 001）(1)	ITR2（TS = 010）	ITR3（TS = 011）
TIM15	TIM2	TIM3	TIM16	TIM17

1. ITR0 および ITR1 トリガは大容量バリューラインデバイスでのみ使用可能です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

14.5.4 TIM15 DMA/割り込みイネーブルレジスタ（TIM15_DIER）

アドレスオフセット：0x0C

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み	TDE	予約済み			CC2DE	CC1DE	UDE	BIE	TIE	COMIE	予約済み		CC2IE	CC1IE	UIE
	rw				rw	rw	rw	rw	rw	rw			rw	rw	rw

ビット 15 予約済み、常に 0 として読み出されます。

ビット 14 **TDE**：トリガ DMA リクエストイネーブル

0：トリガ DMA リクエスト無効
1：トリガ DMA リクエスト有効

ビット 13:11 予約済み、常に 0 として読み出されます。

ビット 10 **CC2DE**：キャプチャ /比較 2 DMA リクエストイネーブル

0：CC2 DMA リクエスト無効
1：CC2 DMA リクエスト有効

ビット 9 **CC1DE**：キャプチャ /比較 1 DMA リクエストイネーブル

0：CC1 DMA リクエスト無効
1：CC1 DMA リクエスト有効

ビット 8 **UDE**：更新 DMA リクエストイネーブル

0：更新 DMA リクエスト無効
1：更新 DMA リクエスト有効

ビット 7 **BIE**：ブレーク割り込みイネーブル

0：ブレーク割り込み無効
1：ブレーク割り込み有効

ビット 6 **TIE**：トリガ割り込みイネーブル

0：トリガ割り込み無効
1：トリガ割り込み有効

ビット 5 **COMIE**：COM 割り込みイネーブル

0：COM 割り込み無効
1：COM 割り込み有効

ビット 4:3 予約済み、常に 0 として読み出されます。

ビット 2 **CC2IE**：キャプチャ /比較 2 割り込みイネーブル

0：CC2 割り込み無効
1：CC2 割り込み有効

ビット 1 **CC1IE**：キャプチャ /比較 1 割り込みイネーブル

0：CC1 割り込み無効
1：CC1 割り込み有効

ビット 0 **UIE**：更新割り込みイネーブル

0：更新割り込み無効
1：更新割り込み有効

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

14.5.5 TIM15 ステータスレジスタ（TIM15_SR）

アドレスオフセット：0x10

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み					CC2OF	CC1OF	予約済み	BIF	TIF	COMIF	予約済み		CC2IF	CC1IF	UIF
					rc_w0	rc_w0		rc_w0	rc_w0				rc_w0	rc_w0	rc_w0

ビット 15:11 予約済み、常に 0 として読み出されます。

ビット 10 **CC2OF**：キャプチャ /比較 2 オーバーキャプチャフラグ

CC1OF の説明を参照してください。

ビット 9 **CC1OF**：キャプチャ /比較 1 オーバーキャプチャフラグ

このフラグは、対応するチャネルが入力キャプチャモードに設定されているときのみ、ハードウェアによってセットされます。0 を書き込むことによってソフトウェアによってクリアされます。
0：オーバーキャプチャは検出されていません。
1：CC1IF フラグがすでにセットされているときに、カウンタの値が TIMx_CCR1 レジスタにキャプチャされました。

ビット 8 予約済み、常に 0 として読み出されます。

ビット 7 **BIF**：ブレーク割り込みフラグ

このフラグは、ブレーク入力がアクティブになると同時に、ハードウェアによってセットされます。ブレーク入力がアクティブでない場合、ソフトウェアによってクリアできます。
0：ブレークイベントは発生していません。
1：ブレーク入力でアクティブレベルが検出されました。

ビット 6 **TIF**：トリガ割り込みフラグ

このフラグは、トリガイベント時にハードウェアによってセットされます（ゲートモード以外のすべてのモードでスレーブモードコントローラが有効なときには、TRGI 入力でアクティブエッジが検出されたとき、ゲートモードが選択されている場合は両方のエッジで）。ソフトウェアによってクリアされます。
0：トリガイベントは発生していません。
1：トリガ割り込みが保留中です。

ビット 5 **COMIF**：COM 割り込みフラグ

このフラグは、COM イベント時にハードウェアによってセットされます（キャプチャ /比較制御ビット - CCxE、CCxNE、OCxM - が更新されたとき）。ソフトウェアによってクリアされます。
0：COM イベントは発生していません。
1：COM 割り込みが保留中です。

ビット 5:3 予約済み、常に 0 として読み出されます。

ビット 2 **CC2IF**：キャプチャ /比較 2 割り込みフラグ

CC1IF の説明を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 1 **CC1IF**：キャプチャ /比較 1 割り込みフラグ

チャネル CC1 が出力として設定されている場合：

このフラグは、カウンタが比較値と一致したときにハードウェアによってセットされます（センターアラインモードでは例外もあります。TIMx_CR1 レジスタの CMS ビットの説明を参照してください）。ソフトウェアによってクリアされます。

0：一致していません。

1：カウンタ TIMx_CNT の内容が TIMx_CCR1 レジスタの内容と一致しました。TIMx_CCR1 の内容が TIMx_ARR の内容より大きいときには、カウンタオーバーフロー時（アップカウントおよびアップ/ダウンカウントモードの場合）、またはアンダーフロー時（ダウンカウントモードの場合）に CC1IF ビットはハイになります。

チャネル CC1 が入力として設定されている場合：

このビットは、キャプチャ時にハードウェアによってセットされます。ソフトウェアによって、または TIMx_CCR1 レジスタを読み出すことによってクリアされます。

0：入力キャプチャは発生していません。

1：カウンタの値が TIMx_CCR1 レジスタにキャプチャされました（選択された極性に一致する IC1 でエッジが検出されました）。

ビット 0 **UIF**：更新割り込みフラグ

このビットは、更新イベント時にハードウェアによってセットされます。ソフトウェアによってクリアされます。

0：更新は発生していません。

1：更新割り込みが保留中です。このビットは、レジスタが更新されたときにハードウェアによってセットされます。

–繰り返しカウンタ値に関するオーバーフロー（繰り返しカウンタ=0 の場合の更新）、および TIMx_CR1 レジスタの UDIS=0 の場合。

–TIMx_CR1 レジスタの URS=0 かつ UDIS=0 の場合、TIMx_EGR レジスタの UG ビットを使用して、CNT がソフトウェアによって再初期化されたとき。

–TIMx_CR1 レジスタの URS=0 かつ UDIS=0 の場合、トリガイベントによって CNT が再初期化されたとき（*セクション 14.5.3：TIM15 スレーブモード制御レジスタ（TIM15_SMCR）*を参照してください）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

14.5.6 TIM15 イベント生成レジスタ（TIM15_EGR）

アドレスオフセット：0x14

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								BG	TG	COMG	予約済み		CC2G	CC1G	UG
								w	w	rw			w	w	w

ビット 15:8 予約済み、常に 0 として読み出されます。

ビット 7 **BG**：ブレーク生成

このビットは、イベントを生成するためにソフトウェアによってセットされ、ハードウェアによって自動的にクリアされます。
0：影響なし。
1：ブレークイベントが生成されます。MOE ビットがクリアされ、BIF フラグがセットされます。有効な場合は、関連する割り込みまたは DMA 転送が発生します。

ビット 6 **TG**：トリガ生成

このビットは、イベントを生成するためにソフトウェアによってセットされ、ハードウェアによって自動的にクリアされます。
0：影響なし。
1：TIMx_SR レジスタの TIF フラグがセットされます。有効な場合は、関連する割り込みまたは DMA 転送が発生します。

ビット 5 **COMG**：キャプチャ /比較制御更新生成

このビットは、ソフトウェアによってセットでき、ハードウェアによって自動的にクリアされます。
0：影響なし。
1：CCPC ビットがセットされているときには、CCxE、CCxNE、および OCxM ビットを更新できます。

注：　このビットは、相補出力を持つチャネルでのみ機能します。

ビット 4:3 予約済み、常に 0 として読み出されます。

ビット 2 **CC2G**：キャプチャ /比較 2 生成

CC1G の説明を参照してください。

ビット 1 **CC1G**：キャプチャ /比較 1 生成

このビットは、イベントを生成するためにソフトウェアによってセットされ、ハードウェアによって自動的にクリアされます。
0：影響なし。
1：チャネル 1 でキャプチャ /比較イベントが生成されます。
チャネル CC1 が出力として設定されている場合：
CC1IF フラグがセットされ、対応する割り込みまたは DMA リクエストが送信されます（有効な場合）。
チャネル CC1 が入力として設定されている場合：
カウンタの現在値が TIMx_CCR1 レジスタにキャプチャされます。CC1IF フラグがセットされ、対応する割り込みまたは DMA リクエストが送信されます（有効な場合）。CC1ＩF フラグがすでにハイであった場合は、CC1OF フラグがセットされます。

ビット 0 **UG**：更新生成

このビットは、ソフトウェアによってセットでき、ハードウェアによって自動的にクリアされます。
0：影響なし。
1：カウンタを再初期化し、レジスタの更新を生成します。プリスケーラカウンタもクリアされます（プリスケーラ分周比は変化しません）。センターアラインモードが選択されている場合、または、DIR=0（カウントアップ）の場合、カウンタはクリアされます。DIR=1（カウントダウン）であれば、自動再ロード値（TIMx_ARR）をとります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

14.5.7 TIM15 キャプチャ /比較モードレジスタ 1（TIM15_CCMR1）

アドレスオフセット：0x18

リセット値：0x0000

チャネルは、入力（キャプチャモード）または出力（比較モード）で使用できます。チャネルの方向は、対応する CCxS ビットを設定することによって定義されます。このレジスタの他のビットはすべて、入力モードと出力モードで異なる意味を持ちます。特定のビットについて、OCxx は、チャネルが出力に設定されているときに、そのビットの機能を説明し、ICxx は、チャネルが入力に設定されているときに、そのビットの機能を説明します。したがって、同じビットが入力ステージと出力ステージで異なる意味を持つことに注意する必要があります。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み	OC2M[2:0]			OC2 PE	OC2 FE	CC2S[1:0]		予約済み	OC1M[2:0]			OC1 PE	OC1 FE	CC1S[1:0]	
IC2F[3:0]				IC2PSC[1:0]				IC1F[3:0]				IC1PSC[1:0]			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

出力比較モード：

ビット 15 予約済み、常に 0 として読み出されます。

ビット 14:12 **OC2M[2:0]**：出力比較 2 モード

ビット 11 **OC2PE**：出力比較 2 プリロードイネーブル

ビット 10 **OC2FE**：出力比較 2 高速イネーブル

ビット 9:8 **CC2S[1:0]**：キャプチャ /比較 2 選択

このビットフィールドは、チャネルの方向（入力/出力）と、使用される入力を定義します。
00：CC2 チャネルは出力として設定されます。
01：CC2 チャネルは入力として設定され、IC2 は TI2 にマップされます。
10：CC2 チャネルは入力として設定され、IC2 は TI1 にマップされます。
11：CC2 チャネルは入力として設定され、IC2 は TRC にマップされます。このモードは、TS ビット（TIMx_SMCR レジスタ）で内部トリガ入力が選択されている場合のみ機能します。

*注： **CC2S ビットは、チャネルが OFF（TIMx_CCER レジスタの CC2E=0）のときにのみ書き込みができます。***

ビット 7 予約済み、常に 0 として読み出されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 6:4 **OC1M**：出力比較 1 モード

これらのビットは、OC1 および OC1N が導き出される出力基準信号 OC1REF の動作を定義します。OC1REF はアクティブハイですが、OC1 および OC1N のアクティブレベルは CC1P および CC1NP ビットに依存します。

000：停止 - 出力比較レジスタ TIMx_CCR1 とカウンタ TIMx_CNT の比較結果は出力に影響しません。

001：一致時にチャネル 1 をアクティブレベルに設定します。OC1REF 信号は、カウンタ TIMx_CNT がキャプチャ /比較レジスタ 1（TIMx_CCR1）と一致したときに、強制的にハイになります。

010：一致時にチャネル 1 をインアクティブレベルに設定します。OC1REF 信号は、カウンタ TIMx_CNT がキャプチャ/比較レジスタ 1（TIMx_CCR1）と一致したときに、強制的にローになります。

011：反転 - OC1REF は、TIMx_CNT = TIMx_CCR1 のときに反転します。

100：強制インアクティブレベル - OC1REF は強制的にローになります。

101：強制アクティブレベル - OC1REF は強制的にハイになります。

110：PWM モード 1 - カウントアップ時、チャネル 1 は、TIMx_CNT < TIMx_CCR1 の場合はアクティブに、そうでない場合はインアクティブになります。カウントダウン時、チャネル 1 は、TIMx_CNT > TIMx_CCR1 の場合はインアクティブ（OC1REF=0）に、そうでない場合はアクティブ（OC1REF=1）になります。

111：PWM モード 2 - カウントアップ時、チャネル 1 は、TIMx_CNT < TIMx_CCR1 の場合はインアクティブに、そうでない場合はアクティブになります。カウントダウン時、チャネル 1 は、TIMx_CNT > TIMx_CCR1 の場合はアクティブに、そうでない場合はインアクティブになります。

注： ***1：これらのビットは、LOCK レベル 3 がプログラムされていて（TIMx_BDTR レジスタの LOCK ビット）、CC1S=00 （チャネルは出力に設定）のときには、変更できません。***

2：PWM モード 1 または 2 では、OC1REF のレベルは比較結果が変化するか、出力比較モードが停止モードから PWM モードに変更されたときにのみ変化します。

ビット 3 **OC1PE**：出力比較 1 プリロードイネーブル

0：TIMx_CCR1 のプリロードレジスタは無効です。TIMx_CCR1 は常時書き込みが可能であり、新しい値はただちに有効になります。

1：TIMx_CCR1 のプリロードレジスタは有効です。読み書き操作はプリロードレジスタに対して行われます。TIMx_CCR1 プリロード値は、更新イベントのたびにアクティブレジスタにロードされます。

注： ***1：これらのビットは、LOCK レベル 3 がプログラムされていて（TIMx_BDTR レジスタの LOCK ビット）、CC1S=00 （チャネルは出力に設定）の場合、変更できません。***

2:PWM モードは、ワンパルスモード（TIMx_CR1 レジスタの OPM ビットがセットされている）のときのみ、プリロードレジスタを有効にしなくても使用できます。そうでない場合、動作は保証されません。

ビット 2 **OC1FE**：出力比較 1 高速イネーブル

このビットは、CC 出力に対する入力トリガイベントの効果を加速するために使用されます。

0：CC1 は、トリガがオンのときでも、カウンタと CCR1 の値に依存して、通常どおりに動作します。トリガ入力のエッジ発生から CC1 出力が有効になるまでの最小遅延は、5 クロックサイクルです。

1：トリガ入力のアクティブエッジは、CC1 出力に対して、比較一致のように働きます。このため、OC は、比較結果には関係なく、比較レベルにセットされます。トリガ入力をサンプルし、CC1 出力を有効にするまでの遅延は、3 クロックサイクルに短縮されます。OCFE は、チャネルが PWM1 または PWM2 モードに設定されている場合のみ機能します。

ビット 1:0 **CC1S**：キャプチャ /比較 1 選択

このビットフィールドは、チャネルの方向（入力/出力）と、使用される入力を定義します。

00：CC1 チャネルは出力として設定されます。

01：CC1 チャネルは入力として設定され、IC1 は TI1 にマップされます。

10：CC1 チャネルは入力として設定され、IC1 は TI2 にマップされます。

11：CC1 チャネルは入力として設定され、IC1 は TRC にマップされます。このモードは、TS ビット（TIMx_SMCR レジスタ）で内部トリガ入力が選択されている場合のみ機能します。

注： ***CC1S ビットは、チャネルが OFF（TIMx_CCER レジスタの CC1E=0）のときのみ書き込みができます。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

入力キャプチャモード

ビット 15:12 **IC2F**：入力キャプチャ 2 フィルタ

ビット 11:10 **IC2PSC[1:0]**：入力キャプチャ 2 プリスケーラ

ビット 9:8 **CC2S**：キャプチャ /比較 2 選択

このビットフィールドは、チャネルの方向（入力/出力）と、使用される入力を定義します。
00：CC2 チャネルは出力として設定されます。
01：CC2 チャネルは入力として設定され、IC2 は TI2 にマップされます。
10：CC2 チャネルは入力として設定され、IC2 は TI1 にマップされます。
11：CC2 チャネルは入力として設定され、IC2 は TRC にマップされます。このモードは、TS ビット（TIMx_SMCR レジスタ）で内部トリガ入力が選択されている場合のみ機能します。

注： CC2S ビットは、チャネルがオフ（TIMx_CCER レジスタの CC2E=0）のときにのみ書き込みができます。

ビット 7:4 **IC1F[3:0]**：入力キャプチャ 1 フィルタ

このビットフィールドは、TI1 入力をサンプルする周波数と、TI1 に適用されるデジタルフィルタの長さを定義します。デジタルフィルタはイベントカウンタでできていて、出力に有効な変化をもたらすには N 個のイベントが必要です。

0000：フィルタなし、サンプリングは f_{DTS} で行われます。
0001：$f_{SAMPLING}=f_{CK_INT}$、N=2
0010：$f_{SAMPLING}=f_{CK_INT}$、N=4
0011：$f_{SAMPLING}=f_{CK_INT}$、N=8
0100：$f_{SAMPLING}=f_{DTS}/2$、N=6
0101：$f_{SAMPLING}=f_{DTS}/2$、N=8
0110：$f_{SAMPLING}=f_{DTS}/4$、N=6
0111：$f_{SAMPLING}=f_{DTS}/4$、N=8
1000：$f_{SAMPLING}=f_{DTS}/8$、N=6
1001：$f_{SAMPLING}=f_{DTS}/8$、N=8
1010：$f_{SAMPLING}=f_{DTS}/16$、N=5
1011：$f_{SAMPLING}=f_{DTS}/16$、N=6
1100：$f_{SAMPLING}=f_{DTS}/16$、N=8
1101：$f_{SAMPLING}=f_{DTS}/32$、N=5
1110：$f_{SAMPLING}=f_{DTS}/32$、N=6
1111：$f_{SAMPLING}=f_{DTS}/32$、N=8

ビット 3:2 **IC1PSC**：入力キャプチャ 1 プリスケーラ

このビットフィールドは、CC1 入力（IC1）に作用するプリスケーラの分周比を定義します。
プリスケーラは、CC1E=0（TIMx_CCER レジスタ）になるとリセットされます。
00：プリスケーラなし。キャプチャは、キャプチャ入力のエッジが検出されるたびに行われます。
01：キャプチャは、2 イベントごとに行われます。
10：キャプチャは、4 イベントごとに行われます。
11：キャプチャは、8 イベントごとに行われます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 1:0 **CC1S**：キャプチャ /比較 1 選択

このビットフィールドは、チャネルの方向（入力/出力）と、使用される入力を定義します。

00：CC1 チャネルは出力として設定されます。

01：CC1 チャネルは入力として設定され、IC1 は TI1 にマップされます。

10：CC1 チャネルは入力として設定され、IC1 は TI2 にマップされます。

11：CC1 チャネルは入力として設定され、IC1 は TRC にマップされます。このモードは、TS ビット（TIMx_SMCR レジスタ）で内部トリガ入力が選択されている場合のみ機能します。

注：　CC1S ビットは、チャネルが OFF（TIMx_CCER レジスタの CC1E=0）のときのみ書き込みができます。

14.5.8 TIM15 キャプチャ /比較イネーブルレジスタ（TIM15_CCER）

アドレスオフセット：0x20

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								CC1NP	予約済み	CC2P	CC2E	CC1NP	CC1NE	CC1P	CC1E
								rw		rw	rw	rw	rw	rw	rw

ビット 15:8　予約済み、常に 0 として読み出されます。

ビット 7 **CC2NP**：キャプチャ /比較 2 相補出力極性

CC1NP の説明を参照してください。

ビット 6　予約済み、常に 0 として読み出されます。

ビット 5 **CC2P**：キャプチャ /比較 2 出力極性

CC1P の説明を参照してください。

ビット 4 **CC2E**：キャプチャ /比較 2 出力イネーブル

CC1E の説明を参照してください。

ビット 3 **CC1NP**：キャプチャ /比較 1 相補出力極性

0：OC1N アクティブハイ

1：OC1N アクティブロー

注：　このビットは、LOCK レベル 2 または 3 がプログラムされていて（TIMx_BDTR レジスタの LOCK ビット）、CC1S=00（チャネルは出力として設定）のときには書き込みできません。

ビット 2 **CC1NE**：キャプチャ /比較 1 相補出力イネーブル

0：オフ - OC1N はアクティブではありません。OC1N のレベルは、MOE、OSSI、OSSR、OIS1、OIS1N、および CC1E ビットの組み合わせによって決まります。

1：オン - OC1N 信号は、MOE、OSSI、OSSR、OIS1、OIS1N、および CC1E ビットに応じて、対応する出力ピンに出力されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 1 **CC1P**：キャプチャ /比較 1 出力極性

CC1 チャネルが出力として設定されているとき：

0：OC1 アクティブハイ

1：OC1 アクティブロー

CC1 チャネルが入力として設定されているとき：

CC1NP/CC1P ビットは、トリガまたはキャプチャ動作のための TI1FP1 および TI2FP1 の極性を選択します。

00：非反転/立ち上がりエッジ：回路は TIxFP1 の立ち上がりエッジに反応し（キャプチャ、リセットモードでのトリガ)、TIxFP1 は反転されません（ゲートモードでのトリガ)。

01：反転/立ち下がりエッジ：回路は TIxFP1 の立ち下がりエッジに反応し（キャプチャ、リセットモードでのトリガ、またはトリガモード)、TIxFP1 は反転されます（ゲートモードでのトリガ)。

10：予約済み。この設定は使用しないでください。

11：非反転/両方のエッジ：回路は TIxFP1 の立ち上がりと立ち上がりの両方のエッジに反応し（キャプチャ、リセットまたはトリガモードでのトリガ)、TIxFP1 は反転されません（ゲートモードでのトリガ)。

注： このビットは、LOCK レベル 2 または 3 がプログラムされているときには書き込みできません (TIMx_BDTR レジスタの LOCK ビット)。

ビット 0 **CC1E**：キャプチャ /比較 1 出力イネーブル

CC1 チャネルが出力として設定されている場合：

0：オフ - OC1 はアクティブではありません。OC1 のレベルは、MOE、OSSI、OSSR、OIS1、OIS1N、および CC1NE ビットの組み合わせによって決まります。

1：オン - OC1 信号は、MOE、OSSI、OSSR、OIS1、OIS1N、および CC1NE ビットに応じて、対応する出力ピンに出力されます。

CC1 チャネルが入力として設定されている場合：

このビットによって、カウンタ値の入力キャプチャ /比較レジスタ 1（TIMx_CCR1）へのキャプチャが実際に行われるかどうかが決まります。

0：キャプチャ無効。

1：キャプチャ有効。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 75. ブレーク機能を持つ相補 OCx および OCxN チャネルの出力制御ビット

制御ビット					出力状態[1]	
MOE ビット	OSSI ビット	OSSR ビット	CCxE ビット	CCxNE ビット	OCx 出力状態	OCxN 出力状態
1	X	0	0	0	出力無効（タイマによって駆動されません） OCx=0、OCx_EN=0	出力無効（タイマによって駆動されません） OCxN=0、OCxN_EN=0
		0	0	1	出力無効（タイマによって駆動されません） OCx=0、OCx_EN=0	OCxREF + 極性 OCxN=OCxREF xor CCxNP, OCxN_EN=1
		0	1	0	OCxREF + 極性 OCx=OCxREF xor CCxP, OCx_EN=1	出力無効（タイマによって駆動されません） OCxN=0、OCxN_EN=0
		0	1	1	OCREF + 極性 + デッドタイム OCx_EN=1	OCREF に対する相補（OCREF ではなく）+ 極性 + デッドタイム OCxN_EN=1
		1	0	0	出力無効（タイマによって駆動されません） OCx=CCxP, OCx_EN=0	出力無効（タイマによって駆動されません） OCxN=CCxNP, OCxN_EN=0
		1	0	1	オフ状態（出力は有効ですがインアクティブ状態） OCx=CCxP, OCx_EN=1	OCxREF + 極性 OCxN=OCxREF xor CCxNP, OCxN_EN=1
		1	1	0	OCxREF + 極性 OCx=OCxREF xor CCxP, OCx_EN=1	オフ状態（出力は有効ですがインアクティブ状態） OCxN=CCxNP, OCxN_EN=1
		1	1	1	OCREF + 極性 + デッドタイム OCx_EN=1	OCREF に対する相補（OCREF ではなく）+ 極性 + デッドタイム OCxN_EN=1
0	0	X	0	0	出力無効（タイマによって駆動されません） 非同期：OCx=CCxP、OCx_EN=0、OCxN=CCxNP、OCxN_EN=0 クロックが存在する場合：デッドタイム後に、OCx=OISx および OCxN=OISxN。OISx と OISxN は、両方ともアクティブ状態のOCx と OCxN には対応しません。	
	0		0	1		
	0		1	0		
	0		1	1		
	1		0	0		
	1		0	1	オフ状態（出力は有効ですがインアクティブ状態） 非同期：OCx=CCxP、OCx_EN=1、OCxN=CCxNP、OCxN_EN=1 クロックが存在する場合：デッドタイム後に、OCx=OISx および OCxN=OISxN。OISx と OISxN は、両方ともアクティブ状態のOCx と OCxN には対応しません。	
	1		1	0		
	1		1	1		

1. チャネルの両方の出力が使用されないとき（CCxE=CCxNE=0）、OISx、OISxN、CCxP、および CCxNP はクリアされたままでなければなりません。

注： 相補 OCx および OCxN チャネルに接続されている外部入出力ピンの状態は、OC x および OC x N チャネルの状態と、GPIO および AFIO レジスタに依存します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

14.5.9 TIM15 カウンタ(TIM15_CNT)

アドレスオフセット：0x24

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CNT[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **CNT[15:0]**：カウンタ値

14.5.10 TIM15 プリスケーラ(TIM15_PSC)

アドレスオフセット：0x28

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PSC[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **PSC[15:0]**：プリスケーラ値

カウンタのクロック周波数（CK_CNT）は、f_{CK_PSC} /（PSC[15:0] + 1）です。

PSC は、更新イベントごとにアクティブプリスケーラレジスタにロードされる値を含みます（更新イベントには、TIMx_EGR レジスタの UG ビットを通じて、またはリセットモードに設定されているトリガコントローラを通じて、カウンタがクリアされる場合も含まれます）。

14.5.11 TIM15 自動再ロードレジスタ（TIM15_ARR）

アドレスオフセット：0x2C

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ARR[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **ARR[15:0]**：プリスケーラ値

ARR は、実際の自動再ロードレジスタにロードされる値です。

ARR の更新と動作の詳細については、*セクション 14.4.1：タイムベースユニット（330 ページ）*を参照してください。

自動再ロード値が 0 のときには、カウンタはブロックされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

14.5.12 TIM15 繰り返しカウンタレジスタ（TIM15_RCR）

アドレスオフセット：0x30

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								REP[7:0]							
								rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:8 予約済み、常に 0 として読み出されます。

ビット 7:0 **REP[7:0]**：繰り返しカウンタ値

これらのビットによって、プリロードレジスタが有効なときの比較レジスタの更新レート（プリロードレジスタからアクティブレジスタへの定期的な転送）と、割り込みが有効な場合の更新割り込み生成の頻度を設定できます。

REP_CNT に関連するダウンカウンタがゼロに達するたびに、更新イベントが生成され、REP 値からカウントをリスタートします。繰り返し更新イベント U_RC でのみ、REP_CNT に REP 値がロードされるので、TIMx_RCR レジスタへの書き込みは、次の繰り返し更新イベントまで有効になりません。

これは、PWM モードでは、（REP+1）は、エッジアラインモードでの PWM 周期の数に対応することを意味します。

14.5.13 TIM15 キャプチャ /比較レジスタ 1（TIM15_CCR1）

アドレスオフセット：0x34

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR1[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **CCR1[15:0]**：キャプチャ /比較 1 値

チャネル CC1 が出力として設定されている場合：

CCR1 は、実際のキャプチャ /比較 1 レジスタにロードされる値（プリロード値）です。

TIMx_CCMR1 レジスタの OC1PE ビットでプリロード機能が選択されていない場合は、この値は不変にロードされます。そうでない場合、プリロード値は、更新イベントが発生すると、アクティブキャプチャ /比較 1 レジスタにコピーされます。

アクティブキャプチャ /比較レジスタは、カウンタ TIMx_CNT と比較されて、OC1 出力に送信される値を含みます。

チャネル CC1 が入力として設定されている場合：

CCR1 は、最後の入力キャプチャ 1 イベント（IC1）によって転送されたカウンタ値です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

14.5.14 TIM15 キャプチャ /比較レジスタ 2（TIM15_CCR2）

アドレスオフセット：0x38

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR2[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **CCR2[15:0]**：キャプチャ /比較 2 値

チャネル CC2 が出力として設定されている場合：

CCR2 は、実際のキャプチャ /比較 2 レジスタにロードされる値（プリロード値）です。

TIMx_CCMR2 レジスタの OC2PE ビットでプリロード機能が選択されていない場合は、直ちにロードされます。そうでない場合、プリロード値は、更新イベントが発生すると、アクティブキャプチャ /比較 2 レジスタにコピーされます。

アクティブキャプチャ /比較レジスタは、カウンタ TIMx_CNT と比較され、OC2 出力に送信される値を含みます。

チャネル CC2 が入力として設定されている場合：

CCR2 は、最後の入力キャプチャ 2 イベント（IC2）によって転送されたカウンタ値です。

14.5.15 TIM15 ブレークおよびデッドタイムレジスタ（TIM15_BDTR）

アドレスオフセット：0x44

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MOE	AOE	BKP	BKE	OSSR	OSSI	LOCK[1:0]		DTG[7:0]							
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

注： ***ビット AOE、BKP、BKE、OSSI、OSSR、および DTG[7:0] は、LOCK 設定に応じて書き込みがロックされるので、TIMx_BDTR レジスタへの最初のアクセス時に、これらすべてを設定しなければならないことがあります。***

ビット 15 **MOE**：メイン出力イネーブル

このビットは、ブレーク入力がアクティブになったときに、ハードウェアによって非同期にクリアされます。ソフトウェアによって、または、AOE ビットに応じて自動的にセットされます。出力として設定されたチャネルに対してのみ有効です。

0：OC および OCN 出力は無効か、強制的なアイドル状態です。

1：OC および OCN 出力は、それぞれのイネーブルビット（TIMx_CCER レジスタの CCxE、CCxNE ビット）がセットされている場合は有効です。

詳細については、OC/OCN イネーブルの説明を参照してください（*セクション 14.5.8：TIM15 キャプチャ /比較イネーブルレジスタ（TIM15_CCER）（365 ページ）*）。

ビット 14 **AOE**：自動出力イネーブル

0：MOE はソフトウェアによってのみセットできます。

1：MOE は、ソフトウェアによって、または次の更新イベント時に自動的にセットされます（ブレーク入力がアクティブでない場合）。

注： ***このビットは、LOCK レベル 1 がプログラムされている場合（TIMx_BDTR レジスタの LOCK ビット）、変更できません。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 13 **BKP**：ブレーク極性

0：ブレーク入力 BRK はアクティブローです。

1：ブレーク入力 BRK はアクティブハイです。

注： このビットは、LOCK レベル 1 がプログラムされている場合（TIMx_BDTR レジスタの LOCK ビット）、変更できません。

注： このビットへの書き込み操作では、書き込みが有効になるまでに 1 APB クロックサイクルの遅延が生じます。

ビット 12 **BKE**：ブレークイネーブル

0：ブレーク入力（BRK および CCS クロック障害イベント）は無効です。

1：ブレーク入力（BRK および CCS クロック障害イベント）は有効です。

注： このビットは、LOCK レベル 1 がプログラムされているときには変更できません（TIMx_BDTR レジスタの LOCK ビット）。

注： このビットへの書き込み操作では、書き込みが有効になるまでに 1 APB クロックサイクルの遅延が生じます。

ビット 11 **OSSR**：RUN モードのオフ状態の選択

このビットは、MOE=1 のとき、相補出力を持ち、出力として設定されているチャネルで使用されます。OSSR は、相補出力がタイマに実装されていない場合には、実装されません。

詳細については、OC/OCN イネーブルの説明を参照してください（*セクション 14.5.8：TIM15 キャプチャ/比較イネーブルレジスタ（TIM15_CCER）（365 ページ）*）。

0：インアクティブのとき、OC/OCN 出力は無効です（OC/OCN イネーブル出力信号 = 0）。

1：インアクティブのとき、OC/OCN 出力は、CCxE=1 または CCxNE=1 になると、インアクティブレベルで有効です。この場合、OC/OCN イネーブル出力信号 = 1 です。

注： このビットは、LOCK レベル 2 がプログラムされているときには変更できません（TIMx_BDTR レジスタの LOCK ビット）。

ビット 10 **OSSI**：アイドルモードのオフ状態の選択

このビットは、MOE=0 のとき、出力として設定されているチャネルで使用されます。

詳細については、OC/OCN イネーブルの説明を参照してください（*セクション 14.5.8：TIM15 キャプチャ/比較イネーブルレジスタ（TIM15_CCER）（365 ページ）*）。

0：インアクティブのとき、OC/OCN 出力は無効です（OC/OCN イネーブル出力信号 = 0）。

1：インアクティブのとき、OC/OCN 出力は、CCxE=1 または CCxNE=1 になると、まず、強制的にアイドルレベルになります。（OC/OCN イネーブル出力信号 = 1）。

注： このビットは、LOCK レベル 2 がプログラムされているときには変更できません（TIMx_BDTR レジスタの LOCK ビット）。

ビット 9:8 **LOCK[1:0]**：ロック設定

これらのビットは、ソフトウェアエラーに対する書き込み保護を提供します。

00：LOCK オフ - ビットは書き込み保護されません。

01：LOCK レベル 1 = TIMx_BDTR レジスタの DTG ビット、TIMx_CR2 レジスタの OISx および OISxN ビット、および TIMx_BDTR レジスタの BKE/BKP/AOE ビットは、書き込みができなくなります。

10：LOCK レベル 2 = LOCK レベル 1 + CC 極性ビット（関連するチャネルが CC x S ビットによって出力として設定されている場合、TIMx_CCER レジスタの CC x P/CCxNP ビット）、OSSR、および OSSI ビットは、書き込みができなくなります。

11：LOCK レベル 3 = LOCK レベル 2 + CC 制御ビット（関連するチャネルが CCxS ビットによって出力として設定されている場合、TIMx_CCMRx レジスタの OCxM および OCxPE ビット）は、書き込みができなくなります。

注： LOCK ビットは、リセット後に一度だけ書き込みができます。いったん TIMx_BDTR レジスタに書き込みが行われると、その内容は次のリセットまで停止されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 7:0 **DTG[7:0]**：デッドタイム生成回路のセットアップ

このビットは、相補出力間に挿入されるデッドタイムの長さを定義します。デッドタイムの時間（DT）は、次の式で与えられます。

DTG[7:5]=0xx => DT=DTG[7:0]x t_{dtg} with t_{dtg}=t_{DTS}

DTG[7:5]=10x => DT=（64+DTG[5:0]）xt_{dtg} with T_{dtg}=2xt_{DTS}

DTG[7:5]=110 => DT=（32+DTG[4:0]）xt_{dtg} with T_{dtg}=8xt_{DTS}

DTG[7:5]=111 => DT=（32+DTG[4:0]）xt_{dtg} with T_{dtg}=16xt_{DTS}

例：T_{DTS}=125ns（8MHz）の場合、可能なデッドタイムの値は、以下のとおりです。

0～15875 ns（125 ns 単位）

16 µs～31750 ns（250 ns 単位）

32µs～63 µs（1 µs 単位）

64µs～126 µs（2 µs 単位）

注： このビットフィールドは、LOCK レベル 1、2、または 3 がプログラムされているときには変更できません（TIMx_BDTR レジスタの LOCK ビット）。

14.5.16 TIM15 DMA制御レジスタ（TIM15_DCR）

アドレスオフセット：0x48

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み			DBL[4:0]					予約済み			DBA[4:0]				
予約済み			rw	rw	rw	rw	rw	予約済み			rw	rw	rw	rw	rw

ビット 15:13 予約済み、常に 0 として読み出されます。

ビット 12:8 **DBL[4:0]**：DMA バースト長

この 5 ビットのベクタは、DMA 転送の長さ（タイマは、TIMx_DMAR アドレスに対して読み出しまたは書き込みアクセスがおこなわれるときにバースト転送を認識します）、すなわち、転送回数を定義します。転送は、ハーフワードまたはバイト単位で行われます（下記の例を参照してください）。

00000：1 転送

00001：2 転送

00010：3 転送

...

10001：18 転送

例：次のような転送を考えてみます：DBL = 7 バイト、DBA = TIM2_CR1。

– DBL = 7 バイトであり、DBA = TIM15_CR1 が転送されるバイトのアドレスを表す場合、転送アドレスは次の式によって求められます。

（TIMx_CR1 アドレス）+ DBA +（DMA インデックス）。ここで、DMA インデックス = DBL です。

この例では、7 バイトが（TIMx_CR1 アドレス）＋DBA に加算され、データのコピー元/コピー先のアドレスが得られます。この場合、転送は、（TIMx_CR1アドレス）+ DBA から始めて、7 つのレジスタへ行われます。

DMA データサイズの設定に応じて、いくつかのケースが考えられます。

– DMA データサイズをハーフワードに設定した場合、7 つのレジスタのそれぞれに 16 ビットデータが転送されます。

– DMA データサイズをバイトに設定した場合、データは 7 つのレジスタに転送されます。最初のレジスタは最初の MSB バイトを含み、2 番目のレジスタは最初の LSB バイトを含み、以下同様です。したがって、転送タイマについても、DMA によって転送されるデータのサイズを指定する必要があります。

ビット 7:5 予約済み、常に 0 として読み出されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 4:0 **DBA[4:0]**：DMA ベースアドレス

この 5 ビットのベクタは、DMA 転送のベースアドレスを定義します（TIMx_DMAR アドレスを通じて読み出し/書き込みアクセスが行われるとき）。DBA は、TIMx_CR1 レジスタのアドレスから始まるオフセット値として定義されます。

例：

00000：TIMx_CR1

00001：TIMx_CR2

00010：TIMx_SMCR

...

14.5.17 TIM15 フル転送 DMA アドレス（TIM15_DMAR）

アドレスオフセット：0x4C

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DMAB[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **DMAB[15:0]**：DMA バーストアクセスレジスタ

DMAR レジスタへの読み出しまたは書き込みアクセスは、次のアドレスにあるレジスタへのアクセスとなります。

（TIMx_CR1 アドレス）+ DBA + （DMA インデックス）：

TIMx_CR1 アドレスは、制御レジスタ 1 のアドレスです。DBA は、TIMx_DCR レジスタで設定された DMA ベースアドレスです。DMA インデックスは、DMA 転送によって自動的に制御されるオフセットであり、TIMx_DCR レジスタの転送長 DBL に依存します。

14.5.18 TIM15 レジスタマップ

TIM15 レジスタは、次の表のように、16 ビットアドレス可能レジスタとしてマップされます。

表 76. TIM15 レジスタマップとリセット値

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	TIM15_CR1	予約済み																						CKD [1:0]		ARPE	予約済み			OPM	URS	UDIS	CEN
	リセット値																							0	0	0				0	0	0	0
0x04	TIM15_CR2	予約済み																					OIS2	OIS1N	OIS1	TI1S	MMS[2:0]			CCDS	CCUS	予約済み	CCPC
	リセット値																						0	0	0	0	0	0	0	0	0		0
0x08	TIM15_SMCR	予約済み																								MSM	TS[2:0]			予約済み	SMS[2:0]		
	リセット値																									0	0	0	0		0	0	0
0x0C	TIM15_DIER	予約済み																	TDE	予約済み			CC2DE	CC1DE	UDE	BIE	TIE	COMIE	予約済み		CC2IE	CC1IE	UIE
	リセット値																		0				0	0	0	0	0	0			0	0	0
0x10	TIM15_SR	予約済み																					CC2OF	CC1OF	予約済み	BIF	TIF	COMIF	予約済み		CC2IF	CC1IF	UIF
	リセット値																						0	0		0	0	0			0	0	0

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 76. TIM15 レジスタマップとリセット値 （続き）

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x14	TIM15_EGR	予約済み																								BG	TG	COMG	予約済み		CC2G	CC1G	UG
	リセット値																									0	0	0			0	0	0
0x18	TIM15_CCMR1 出力比較モード	予約済み																	OC2M [2:0]			OC2PE	OC2FE	CC2S [1:0]		予約済み	OC1M [2:0]			OC1PE	OC1FE	CC1S[1:0]	
	リセット値																		0	0	0	0	0	0	0		0	0	0	0	0	0	0
	TIM15_CCMR1 入力キャプチャモード	予約済み																IC2F[3:0]				IC2 PSC [1:0]		CC2S [1:0]		IC1F[3:0]				IC1 PSC [1:0]		CC1S[1:0]	
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x20	TIM15_CCER	予約済み																								CC2NP	予約済み	CC2P	CC2E	CC1NP	CC1NE	CC1P	CC1E
	リセット値																									0		0	0	0	0	0	0
0x24	TIM15_CNT	予約済み																CNT[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x28	TIM15_PSC	予約済み																PSC[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x2C	TIM15_ARR	予約済み																ARR[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x30	TIM15_RCR	予約済み																								REP[7:0]							
	リセット値																									0	0	0	0	0	0	0	0
0x34	TIM15_CCR1	予約済み																CCR1[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x38	TIM15_CCR2	予約済み																CCR2[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x44	TIM15_BDTR	予約済み																MOE	AOE	BKP	BKE	OSSR	OSSI	LOCK[1:0]		DT[7:0]							
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x48	TIM15_DCR	予約済み																			DBL[4:0]					予約済み			DBA[4:0]				
	リセット値																				0	0	0	0	0				0	0	0	0	0
0x4C	TIM15_DMAR	予約済み																DMAB[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

レジスタ境界アドレスについては *表 1：小容量および中容量デバイスのレジスタ境界アドレス* および *表 2：大容量デバイスのレジスタ境界アドレス* を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

14.6 TIM16 および TIM17 レジスタ

レジスタの説明で使用されている略語については、*セクション 1.1 (32 ページ)* を参照してください。

14.6.1 TIM16 および TIM17 制御レジスタ 1（TIMx_CR1）

アドレスオフセット：0x00

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み						CKD[1:0]		ARPE	予約済み			OPM	URS	UDIS	CEN
						rw	rw	rw				rw	rw	rw	rw

ビット 15:10 予約済み、常に 0 として読み出されます。

ビット 9:8 **CKD[1:0]**：クロック分周

このビットフィールドは、タイマクロック（CK_INT）周波数と、デッドタイム生成回路とデジタルフィルタ（TIx）によって使用されるデッドタイムおよびサンプリングクロック（t_{DTS}）との間の分周比を示します。

00：$t_{DTS}=t_{CK_INT}$

01：$t_{DTS}=2*t_{CK_INT}$

10：$t_{DTS}=4*t_{CK_INT}$

11：予約済み。この値をプログラミングしないでください。

ビット 7 **ARPE**：自動再ロードプリロードイネーブル

0：TIMx_ARR レジスタはバッファされません。

1：TIMx_ARR レジスタはバッファされます。

ビット 6:4 予約済み、常に 0 として読み出されます。

ビット 3 **OPM**：ワンパルスモード

0：カウンタは更新イベントで停止しません。

1：カウンタは次の更新イベントでカウントを停止します（CEN ビットをクリア）。

ビット 2 **URS**：更新リクエストソース

このビットは、UEV イベントソースを選択するために、ソフトウェアによってセット/クリアされます。

0：次のイベントのいずれかによって、更新割り込みまたは DMA リクエストが生成されます（有効な場合）。イベントは、次のとおりです。

- カウンタオーバーフロー /アンダーフロー
- UG ビットのセット
- スレーブモードコントローラからの更新生成

1：カウンタオーバーフロー /アンダーフローのみが更新割り込みまたは（有効な場合）DMA リクエストを生成します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 1 **UDIS**：更新ディセーブル

このビットは、UEV イベント生成を有効/無効にするために、ソフトウェアによってセット/クリアされます。

0：UEV は有効です。更新イベント（UEV）は、次のいずれかのイベントによって生成されます。

- カウンタオーバーフロー /アンダーフロー
- UG ビットのセット
- スレーブモードコントローラからの更新生成

このとき、バッファを持つレジスタにプリロード値がロードされます。

1：UEV 無効。更新イベントは生成されず、シャドウレジスタ（ARR、PSC、CCRx）は値を維持します。ただし、UG ビットがセットされている場合や、スレーブモードコントローラからハードウェアリセットを受信した場合には、カウンタとプリスケーラは再初期化されます。

ビット 0 **CEN**：カウンタイネーブル

0：カウンタ無効。

1：カウンタ有効。

注： 外部クロックおよびゲートモードは、CEN ビットが事前にソフトウェアによってセットされている場合のみ動作します。ただし、トリガモードでは、CEN ビットはハードウェアによって自動的にセットできます。

14.6.2 TIM16 および TIM17 制御レジスタ 2（TIMx_CR2）

アドレスオフセット：0x04

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み						OIS1N	OIS1	予約済み				CCDS	CCUS	予約済み	CCPC
						rw	rw					rw	rw		rw

ビット 15:10 予約済み、常に 0 として読み出されます。

ビット 9 **OIS1N**：出力アイドル状態 1（OC1N 出力）

0：MOE=0 のとき、デッドタイム後に OC1N=0

1：MOE=0 のとき、デッドタイム後に OC1N=1

注： このビットは、LOCK レベル 1、2 または 3 がプログラムされているときには変更できません（TIM1_BKR レジスタの LOCK ビット）。

ビット 8 **OIS1**：出力アイドル状態 1（OC1 出力）

0：MOE=0 のとき、OC1=0（OC1N が実装されている場合、デッドタイム後に）

1：MOE=1 のとき、OC1=0（OC1N が実装されている場合、デッドタイム後に）

注： このビットは、LOCK レベル 1、2 または 3 がプログラムされているときには変更できません（TIM1_BKR レジスタの LOCK ビット）。

ビット 7:4 予約済み、常に 0 として読み出されます。

ビット 3 **CCDS**：キャプチャ /比較 DMA 選択

0：CCx イベント発生時に CCx DMA リクエストが送信されます。

1：更新イベントの発生時に CCx DMA リクエストが送信されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 2 **CCUS**：キャプチャ /比較制御更新選択

0：キャプチャ /比較制御ビットがプリロードされるときには（CCPC=1）、COMG ビットをセットすることによってのみ更新されます。
1：キャプチャ /比較制御ビットがプリロードされるときには（CCPC=1）、COMG ビットをセットすることによって、または TRGI で立ち上がりエッジで更新されます。

注： このビットは、相補出力を持つチャネルでのみ機能します。

ビット 1 予約済み、常に 0 として読み出されます。

ビット 0 **CCPC**：キャプチャ /比較プリロード制御

0：CCxE、CCxNE、および OCxM ビットはプリロードされません。
1：CCxE、CCxNE、および OCxM ビットはプリロードされ、書き込み後は、COM ビットがセットされたときのみ更新されます。

注： このビットは、相補出力を持つチャネルでのみ機能します。

14.6.3 TIM6 および TIM7 DMA/割り込みイネーブルレジスタ（TIMx_DIER）

アドレスオフセット：0x0C

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み	TDE	予約済み				CC1DE	UDE	BIE	TIE	COMIE	予約済み			CC1IE	UIE
	rw					rw	rw	rw	rw	rw				rw	rw

ビット 15 予約済み、常に 0 として読み出されます。

ビット 14 **TDE**：トリガ DMA リクエストイネーブル

0：トリガ DMA リクエスト無効
1：トリガ DMA リクエスト有効

ビット 13:10 予約済み、常に 0 として読み出されます。

ビット 9 **CC1DE**：キャプチャ /比較 1 DMA リクエストイネーブル

0：CC1 DMA リクエスト無効
1：CC1 DMA リクエスト有効

ビット 8 **UDE**：更新 DMA リクエストイネーブル

0：更新 DMA リクエスト無効
1：更新 DMA リクエスト有効

ビット 7 **BIE**：ブレーク割り込みイネーブル

0：ブレーク割り込み無効
1：ブレーク割り込み有効

ビット 6 **TIE**：トリガ割り込みイネーブル

0：トリガ割り込み無効
1：トリガ割り込み有効

ビット 5 **COMIE**：COM 割り込みイネーブル

0：COM 割り込み無効
1：COM 割り込み有効

ビット 4:2 予約済み、常に 0 として読み出されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 1 **CC1IE**：キャプチャ /比較 1 割り込みイネーブル

0：CC1 割り込み無効
1：CC1 割り込み有効

ビット 0 **UIE**：更新割り込みイネーブル

0：更新割り込み無効
1：更新割り込み有効

14.6.4 TIM6 および TIM7 ステータスレジスタ（TIMx_SR）

アドレスオフセット：0x10

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み						CC1OF	予約済み	BIF	TIF	COMIF	予約済み			CC1IF	UIF
						rc_w0		rc_w0	rc_w0	rc_w0				rc_w0	rc_w0

ビット 15:10 予約済み、常に 0 として読み出されます。

ビット 9 **CC1OF**：キャプチャ /比較 1 オーバーキャプチャフラグ

このフラグは、対応するチャネルが入力キャプチャモードに設定されているときのみ、ハードウェアによってセットされます。0 を書き込むことによってソフトウェアによってクリアされます。
0：オーバーキャプチャは検出されていません。
1：CC1IF フラグがすでにセットされているときに、カウンタの値が TIMx_CCR1 レジスタにキャプチャされました。

ビット 8 予約済み、常に 0 として読み出されます。

ビット 7 **BIF**：ブレーク割り込みフラグ

このフラグは、ブレーク入力がアクティブになると同時に、ハードウェアによってセットされます。ブレーク入力がアクティブでない場合、ソフトウェアによってクリアできます。
0：ブレークイベントは発生していません。
1：ブレーク入力でアクティブレベルが検出されました。

ビット 6 **TIF**：トリガ割り込みフラグ

このフラグは、トリガイベント時にハードウェアによってセットされます（ゲートモード以外のすべてのモードでスレーブモードコントローラが有効なときには、TRGI 入力でアクティブエッジが検出されたとき、ゲートモードが選択されている場合は両方のエッジで）。ソフトウェアによってクリアされます。
0：トリガイベントは発生していません。
1：トリガ割り込みが保留中です。

ビット 5 **COMIF**：COM 割り込みフラグ

このフラグは、COM イベント時にハードウェアによってセットされます（キャプチャ /比較制御ビット - CCxE、CCxNE、OCxM - が更新されたとき）。ソフトウェアによってクリアされます。
0：COM イベントは発生していません。
1：COM 割り込みが保留中です。

ビット 4:2 予約済み、常に 0 として読み出されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 1 **CC1IF**：キャプチャ /比較 1 割り込みフラグ

チャネル CC1 が出力として設定されている場合：

このフラグは、カウンタが比較値と一致したときにハードウェアによってセットされます（センターアラインモードでは例外もあります。TIMx_CR1 レジスタの CMS ビットの説明を参照してください）。ソフトウェアによってクリアされます。

0：一致していません。

1：カウンタ TIMx_CNT の内容が TIMx_CCR1 レジスタの内容と一致しました。TIMx_CCR1 の内容が TIMx_ARR の内容より大きいときには、カウンタオーバーフロー時（アップカウントおよびアップ/ダウンカウントモードの場合）、またはアンダーフロー時（ダウンカウントモードの場合）に CC1IF ビットはハイになります。

チャネル CC1 が入力として設定されている場合：

このビットは、キャプチャ時にハードウェアによってセットされます。ソフトウェアによって、または TIMx_CCR1 レジスタを読み出すことによってクリアされます。

0：入力キャプチャは発生していません。

1：カウンタの値が TIMx_CCR1 レジスタにキャプチャされました（選択された極性に一致する IC1 でエッジが検出されました）。

ビット 0 **UIF**：更新割り込みフラグ

このビットは、更新イベント時にハードウェアによってセットされます。ソフトウェアによってクリアされます。

0：更新は発生していません。

1：更新割り込みが保留中です。このビットは、レジスタが更新されたときにハードウェアによってセットされます。

- 繰り返しカウンタ値に関するオーバーフロー（繰り返しカウンタ=0 の場合の更新）、および TIMx_CR1 レジスタの UDIS=0 の場合。
- TIMx_CR1 レジスタの URS=0 かつ UDIS=0 であり、TIMx_EGR レジスタの UG ビットを使用して、CNT がソフトウェアによって再初期化されたとき。
- TIMx_CR1 レジスタの URS=0 かつ UDIS=0 の場合、トリガイベントによって CNT が再初期化されたとき（*セクション 14.5.3：TIM15 スレーブモード制御レジスタ（TIM15_SMCR）*を参照）。

14.6.5 TIM6 および TIM7 イベント生成レジスタ（TIMx_EGR）

アドレスオフセット：0x14

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								BG	TG	COMG	予約済み			CC1G	UG
								w	w	w				w	w

ビット 15:8 予約済み、常に 0 として読み出されます。

ビット 7 **BG**：ブレーク生成

このビットは、イベントを生成するためにソフトウェアによってセットされ、ハードウェアによって自動的にクリアされます。

0：影響なし。

1：ブレークイベントが生成されます。MOE ビットがクリアされ、BIF フラグがセットされます。有効な場合は、関連する割り込みまたは DMA 転送が発生します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 6 **TG**：トリガ生成

このビットは、イベントを生成するためにソフトウェアによってセットされ、ハードウェアによって自動的にクリアされます。
0：影響なし。
1：TIMx_SR レジスタの TIF フラグがセットされます。有効な場合は、関連する割り込みまたは DMA 転送が発生します。

ビット 5 **COMG**：キャプチャ /比較制御更新生成

このビットは、ソフトウェアによってセットでき、ハードウェアによって自動的にクリアされます。
0：影響なし。
1：CCPC ビットがセットされているときには、CCxE、CCxNE、および OCxM ビットを更新できます。

注：　このビットは、相補出力を持つチャネルでのみ機能します。

ビット 4:2 予約済み、常に 0 として読み出されます。

ビット 1 **CC1G**：キャプチャ /比較 1 生成

このビットは、イベントを生成するためにソフトウェアによってセットされ、ハードウェアによって自動的にクリアされます。
0：影響なし。
1：チャネル 1 でキャプチャ /比較イベントが生成されます。
チャネル CC1 が出力として設定されている場合：
CC1IF フラグがセットされ、対応する割り込みまたは DMA リクエストが送信されます（有効な場合）。
チャネル CC1 が入力として設定されている場合：
カウンタの現在値が TIMx_CCR1 レジスタにキャプチャされます。CC1IF フラグがセットされ、対応する割り込みまたは DMA リクエストが送信されます（有効な場合）。CC1IF フラグがすでにハイであった場合は、CC1OF フラグがセットされます。

ビット 0 **UG**：更新の生成

このビットは、ソフトウェアによってセットでき、ハードウェアによって自動的にクリアされます。
0：影響なし。
1：カウンタを再初期化し、レジスタの更新を生成します。プリスケーラカウンタもクリアされます（プリスケーラ分周比は変化しません）。センターアラインモードが選択されている場合、または、DIR=0（カウントアップ）の場合、カウンタはクリアされます。DIR=1（カウントダウン）であれば、自動再ロード値（TIMx_ARR）をとります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

14.6.6 TIM16 および TIM17 キャプチャ /比較モードレジスタ 1（TIMx_CCMR1）

アドレスオフセット：0x18

リセット値：0x0000

チャネルは、入力（キャプチャモード）または出力（比較モード）で使用できます。チャネルの方向は、対応する CCxS ビットを設定することによって定義されます。このレジスタの他のビットはすべて、入力モードと出力モードで異なる意味を持ちます。特定のビットについて、OCxx は、チャネルが出力に設定されているときに、そのビットの機能を説明し、ICxx は、チャネルが入力に設定されているときに、そのビットの機能を説明しますしたがって、同じビットが入力ステージと出力ステージで異なる意味を持つことに注意する必要があります。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								予約済み	OC1M[2:0]			OC1PE	OC1FE	CC1S[1:0]	
								IC1F[3:0]				IC1PSC[1:0]			
								rw	rw	rw	rw	rw	rw	rw	rw

出力比較モード：

ビット 15:7 予約済み、常に 0 として読み出されます。

ビット 6:4 **OC1M**：出力比較 1 モード

これらのビットは、OC1 および OC1N が導き出される出力基準信号 OC1REF の動作を定義します。OC1REF はアクティブハイですが、OC1 および OC1N のアクティブレベルは CC1P および CC1NP ビットに依存します。

000 : 停止 - 出力比較レジスタ TIMx_CCR1 とカウンタ TIMx_CNT の比較結果は出力に影響しません。

001：一致時にチャネル 1 をアクティブレベルに設定します。OC1REF 信号は、カウンタ TIMx_CNT がキャプチャ /比較レジスタ 1（TIMx_CCR1）と一致したときに、強制的にハイになります。

010：一致時にチャネル 1 をインアクティブレベルに設定します。OC1REF 信号は、カウンタ TIMx_CNT がキャプチャ/比較レジスタ 1（TIMx_CCR1）と一致したときに、強制的にローになります。

011：反転 - OC1REF は、TIMx_CNT = TIMx_CCR1 のときに反転します。

100：強制インアクティブレベル - OC1REF は強制的にローになります。

101：強制アクティブレベル - OC1REF は強制的にハイになります。

110 : PWM モード 1 - カウントアップ時、チャネル 1 は、TIMx_CNT < TIMx_CCR1 の場合はアクティブに、そうでない場合はインアクティブになります。カウントダウン時、チャネル 1 は、TIMx_CNT > TIMx_CCR1 の場合はインアクティブ（OC1REF=0）に、そうでない場合はアクティブ（OC1REF=1）になります。

111：PWM モード 2 - カウントアップ時、チャネル 1 は、TIMx_CNT < TIMx_CCR1 の場合はインアクティブに、そうでない場合はアクティブになります。カウントダウン時、チャネル 1 は、TIMx_CNT > TIMx_CCR1 の場合はアクティブに、そうでない場合はインアクティブになります。

注： 1 : これらのビットは、LOCK レベル 3 がプログラムされていて（TIMx_BDTR レジスタの LOCK ビット）、CC1S=00 （チャネルは出力に設定）の場合、変更できません。

2 : PWM モード 1 または 2 では、OC1REF のレベルは、比較結果が変化するか、出力比較モードが停止モードから PWM モードに変更されたときにのみ変化します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 3 **OC1PE**：出力比較 1 プリロードイネーブル

0：TIMx_CCR1 のプリロードレジスタは無効です。TIMx_CCR1 は常時書き込みが可能であり、新しい値はただちに有効になります。

1：TIMx_CCR1 のプリロードレジスタは有効です。読み書き操作プリロードレジスタに対して行われます。TIMx_CCR1 プリロード値は、更新イベントのたびにアクティブレジスタにロードされます。

注： ***1：これらのビットは、LOCK レベル 3 がプログラムされていて（TIMx_BDTR レジスタの LOCK ビット）、CC1S=00 （チャネルは出力に設定）の場合、変更できません。***

2:PWM モードは、ワンパルスモード（TIMx_CR1 レジスタの OPM ビットがセットされている）のときのみ、プリロードレジスタを有効にしなくても使用できます。そうでない場合、動作は保証されません。

ビット 2 **OC1FE**：出力比較 1 高速イネーブル

このビットは、CC 出力に対する入力トリガイベントの効果を加速するために使用されます。

0：CC1 は、トリガがオンのときでも、カウンタと CCR1 の値に依存して、通常どおりに動作します。トリガ入力のエッジ発生から CC1 が有効になるまでの最小遅延は、5 クロックサイクルです。

1：トリガ入力のアクティブエッジは、CC1 出力に対して比較一致のように働きます。このため、OC は、比較結果には関係なく、比較レベルにセットされます。トリガ入力をサンプルし、CC1 出力を有効にするまでの遅延は、3 クロックサイクルに短縮されます。OCFE は、チャネルが PWM1 または PWM2 モードに設定されている場合のみ機能します。

ビット 1:0 **CC1S**：キャプチャ /比較 1 選択

このビットフィールドは、チャネルの方向（入力/出力）と、使用される入力を定義します。

00：CC1 チャネルは出力として設定されます。

01：CC1 チャネルは入力として設定され、IC1 は TI1 にマップされます。

10：CC1 チャネルは入力として設定され、IC1 は TI2 にマップされます。

11：CC1 チャネルは入力として設定され、IC1 は TRC にマップされます。このモードは、TS ビット（TIMx_SMCR レジスタ）で内部トリガ入力が選択されている場合のみ機能します。

注： ***CC1S ビットは、チャネルがオフ（TIMx_CCER レジスタの CC1E=0）のときのみ書き込みができます。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

入力キャプチャモード

ビット 15:8　予約済み、常に 0 として読み出されます。

ビット 7:4　**IC1F[3:0]**：入力キャプチャ 1 フィルタ

このビットフィールドは、TI1 入力をサンプルする周波数と、TI1 に適用されるデジタルフィルタの長さを定義します。デジタルフィルタは、イベントカウンタでできていて、出力に有効な変化をもたらすには N 個のイベントが必要です。

0000：フィルタなし、サンプリングは f_{DTS} で行われます。

0001：$f_{SAMPLING}=f_{CK_INT}$、N=2

0010：$f_{SAMPLING}=f_{CK_INT}$、N=4

0011：$f_{SAMPLING}=f_{CK_INT}$、N=8

0100：$f_{SAMPLING}=f_{DTS}/2$、N=6

0101：$f_{SAMPLING}=f_{DTS}/2$、N=8

0110：$f_{SAMPLING}=f_{DTS}/4$、N=6

0111：$f_{SAMPLING}=f_{DTS}/4$、N=8

1000：$f_{SAMPLING}=f_{DTS}/8$、N=6

1001：$f_{SAMPLING}=f_{DTS}/8$、N=8

1010：$f_{SAMPLING}=f_{DTS}/16$、N=5

1011：$f_{SAMPLING}=f_{DTS}/16$、N=6

1100：$f_{SAMPLING}=f_{DTS}/16$、N=8

1101：$f_{SAMPLING}=f_{DTS}/32$、N=5

1110：$f_{SAMPLING}=f_{DTS}/32$、N=6

1111：$f_{SAMPLING}=f_{DTS}/32$、N=8

ビット 3:2　**IC1PSC**：入力キャプチャ 1 プリスケーラ

このビットフィールドは、CC1 入力（IC1）に作用するプリスケーラの分周比を定義します。
プリスケーラは、CC1E=0（TIMx_CCER レジスタ）になるとリセットされます。
00：プリスケーラなし。キャプチャは、キャプチャ入力のエッジが検出されるたびに行われます。
01：キャプチャは、2 イベントごとに行われます。
10：キャプチャは、4 イベントごとに行われます。
11：キャプチャは、8 イベントごとに行われます。

ビット 1:0　**CC1S**：キャプチャ /比較 1 選択

このビットフィールドは、チャネルの方向（入力/出力）と、使用される入力を定義します。
00：CC1 チャネルは出力として設定されます。
01：CC1 チャネルは入力として設定され、IC1 は TI1 にマップされます。
10：CC1 チャネルは入力として設定され、IC1 は TI2 にマップされます。
11：CC1 チャネルは入力として設定され、IC1 は TRC にマップされます。このモードは、TS ビット（TIMx_SMCR レジスタ）で内部トリガ入力が選択されている場合のみ機能します。

注：　CC1S ビットは、チャネルが OFF（TIMx_CCER レジスタの CC1E=0）のときのみ書き込みができます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

14.6.7 TIM16 および TIM17 キャプチャ /比較イネーブルレジスタ（TIMx_CCER）

アドレスオフセット：0x20

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み												CC1NP	CC1NE	CC1P	CC1E
												rw	rw	rw	rw

ビット 15:4 予約済み、常に 0 として読み出されます。

ビット 3 **CC1NP**：キャプチャ /比較 1 相補出力極性

0：OC1N アクティブハイ

1：OC1N アクティブロー

注： このビットは、LOCK レベル 2 または 3 がプログラムされていて（TIMx_BDTR レジスタの LOCK ビット）、CC1S=00（チャネルは出力として設定）のときには書き込みできません。

ビット 2 **CC1NE**：キャプチャ /比較 1 相補出力イネーブル

0：オフ - OC1N はアクティブではありません。OC1N のレベルは、MOE、OSSI、OSSR、OIS1、OIS1N、および CC1E ビットの組み合わせによって決まります。

1：オン - OC1N 信号は、MOE、OSSI、OSSR、OIS1、OIS1N、および CC1E ビットに応じて、対応する出力ピンに出力されます。

ビット 1 **CC1P**：キャプチャ /比較 1 出力極性

CC1 チャネルが出力として設定されているとき：

0：OC1 アクティブハイ

1：OC1 アクティブロー

CC1 チャネルが入力として設定されているとき：

CC1NP/CC1P ビットは、キャプチャ動作のための TI1FP1 および TI2FP1 の極性を選択します。

00：非反転/立ち上がりエッジ：回路は TIxFP1 の立ち上がりエッジに反応し、TIxFP1 は反転されません。

01：反転/立ち下がりエッジ：回路は TIxFP1 の立ち下がりエッジに反応し、TIxFP1 は反転されます。

10：予約済み。この設定は使用しないでください。

11：非反転/両方のエッジ：回路は TIxFP1 の立ち上がりおよび立ち下がりの両方のエッジに反応し、TIxFP1 は反転されません。

注： このビットは、LOCK レベル 2 または 3 がプログラムされているときには書き込みできません（TIMx_BDTR レジスタの LOCK ビット）。

ビット 0 **CC1E**：キャプチャ /比較 1 出力イネーブル

CC1 チャネルが出力として設定されているとき：

0：オフ - OC1 はアクティブではありません。OC1 のレベルは、MOE、OSSI、OSSR、OIS1、OIS1N、および CC1NE ビットの組み合わせによって決まります。

1：オン - OC1 信号は、MOE、OSSI、OSSR、OIS1、OIS1N、および CC1NE ビットに応じて、対応する出力ピンに出力されます。

CC1 チャネルが入力として設定されているとき：

このビットによって、カウンタ値の入力キャプチャ /比較レジスタ 1（TIMx_CCR1）へのキャプチャが実際に行われるかどうかが決まります。

0：キャプチャ無効。

1：キャプチャ有効。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 77. ブレーク機能をもつ相補 OCx および OCxN チャネルの出力制御ビット

制御ビット					出力状態[1]	
MOE ビット	OSSI ビット	OSSR ビット	CCxE ビット	CCxNE ビット	OCx 出力状態	OCxN 出力状態
1	X	0	0	0	出力無効(タイマによって駆動されません) OCx=0、OCx_EN=0	出力無効(タイマによって駆動されません) OCxN=0、OCxN_EN=0
		0	0	1	出力無効(タイマによって駆動されません) OCx=0、OCx_EN=0	OCxREF + 極性 OCxN=OCxREF xor CCxNP, OCxN_EN=1
		0	1	0	OCxREF + 極性 OCx=OCxREF xor CCxP, OCx_EN=1	出力無効(タイマによって駆動されません) OCxN=0、OCxN_EN=0
		0	1	1	OCREF + 極性 + デッドタイム OCx_EN=1	OCREF に対する相補（OCREF ではなく）+ 極性 + デッドタイム OCxN_EN=1
		1	0	0	出力無効(タイマによって駆動されません) OCx=CCxP, OCx_EN=0	出力無効(タイマによって駆動されません) OCxN=CCxNP, OCxN_EN=0
		1	0	1	オフ状態(出力は有効ですがインアクティブ状態) OCx=CCxP, OCx_EN=1	OCxREF + 極性 OCxN=OCxREF xor CCxNP, OCxN_EN=1
		1	1	0	OCxREF + 極性 OCx=OCxREF xor CCxP, OCx_EN=1	オフ状態(出力は有効ですがインアクティブ状態) OCxN=CCxNP, OCxN_EN=1
		1	1	1	OCREF + 極性 + デッドタイム OCx_EN=1	OCREF に対する相補（OCREF ではなく）+ 極性 + デッドタイム OCxN_EN=1
0	0	X	0	0	出力無効（タイマによって駆動されません） 非同期：OCx=CCxP、OCx_EN=0、OCxN=CCxNP、OCxN_EN=0 クロックが存在する場合：デッドタイム後に、OCx=OISx および OCxN=OISxN。OISx と OISxN は、両方ともアクティブ状態の OCx と OCxN には対応しません。	
	0		0	1		
	0		1	0		
	0		1	1		
	1		0	0		
	1		0	1	オフ状態（出力は有効ですがインアクティブ状態） 非同期：OCx=CCxP、OCx_EN=1、OCxN=CCxNP、OCxN_EN=1 クロックが存在する場合：デッドタイム後に、OCx=OISx および OCxN=OISxN。OISx と OISxN は、両方ともアクティブ状態の OCx と OCxN には対応しません。	
	1		1	0		
	1		1	1		

1. チャネルの両方の出力が使用されないとき（CCxE=CCxNE=0）、OISx、OISxN、CCxP、および CCxNP ビットはクリアされたままでなければなりません。

注： ***相補 OCx および OCxN チャネルに接続されている外部入出力ピンの状態は、OC x および OC x N チャネルの状態と、GPIO および AFIO レジスタに依存します。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

14.6.8 TIM16 および TIM17 カウンタ(TIMx_CNT)

アドレスオフセット：0x24

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CNT[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **CNT[15:0]**：カウンタ値

14.6.9 TIM6 および TIM7 プリスケーラ（TIMx_PSC）

アドレスオフセット：0x28

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PSC[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **PSC[15:0]**：プリスケーラ値

カウンタのクロック周波数（CK_CNT）は、f_{CK_PSC} /（PSC[15:0] + 1）です。

PSC は、更新イベントごとにアクティブプリスケーラレジスタにロードされる値を含みます（更新イベントには、TIMx_EGR レジスタの UG ビットを通じて、またはリセットモードに設定されているトリガコントローラを通じて、カウンタがクリアされる場合も含まれます）。

14.6.10 TIM16 および TIM17 自動再ロードレジスタ（TIMx_ARR）

アドレスオフセット：0x2C

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ARR[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **ARR[15:0]**：プリスケーラ値

ARR は、実際の自動再ロードレジスタにロードされる値です。

ARR の更新と動作の詳細については、*セクション 14.4.1：タイムベースユニット（330 ページ）*を参照してください。

自動再ロード値が 0 のときには、カウンタはブロックされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

14.6.11 TIM16 および TIM17 繰り返しカウンタレジスタ（TIMx_RCR）

アドレスオフセット：0x30

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								REP[7:0]							
								rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:8 予約済み、常に 0 として読み出されます。

ビット 7:0 **REP[7:0]**：繰り返しカウンタ値

これらのビットによって、プリロードレジスタが有効なときの比較レジスタの更新レート（プリロードレジスタからアクティブレジスタへの定期的な転送）と、割り込みが有効な場合の更新割り込み生成の頻度をセットアップできます。

REP_CNT に関連するダウンカウンタがゼロに達するたびに、更新イベントが生成され、REP 値からカウントをリスタートします。繰り返し更新イベント U_RC でのみ、REP_CNT に REP 値がロードされるので、TIMx_RCR レジスタへの書き込みは、次の繰り返し更新イベントまで有効になりません。

これは、PWM モード（REP+1）では、エッジアラインモードでの PWM 周期の数に対応することを意味します。

14.6.12 TIM16 および TIM17 キャプチャ /比較レジスタ 1（TIMx_CCR1）

アドレスオフセット：0x34

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR1[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **CCR1[15:0]**：キャプチャ /比較 1 値

チャネル CC1 が出力として設定されている場合：

CCR1 は、実際のキャプチャ /比較 1 レジスタにロードされる値（プリロード値）です。

TIMx_CCMR1 レジスタの OC1PE ビットでプリロード機能が選択されていない場合は、この値は不変にロードされます。そうでない場合、プリロード値は、更新イベントが発生すると、アクティブキャプチャ /比較 1 レジスタにコピーされます。

アクティブキャプチャ /比較レジスタは、カウンタ TIMx_CNT と比較されて、OC1 出力に送信される値を含みます。

チャネル CC1 が入力として設定されている場合：

CCR1 は、最後の入力キャプチャ 1 イベント（IC1）によって転送されたカウンタ値です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

14.6.13 TIM16 および TIM17 ブレークおよびデッドタイムレジスタ（TIMx_BDTR）

アドレスオフセット：0x44

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MOE	AOE	BKP	BKE	OSSR	OSSI	LOCK[1:0]		DTG[7:0]							
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

注： ***ビット AOE、BKP、BKE、OSSI、OSSR、および DTG[7:0] は、LOCK 設定に応じて書き込みがロックされるので、TIMx_BDTR レジスタへの最初のアクセス時に、これらすべてを設定しなければならないことがあります。***

ビット 15 **MOE**：メイン出力イネーブル

このビットは、ブレーク入力がアクティブになったときに、ハードウェアによって非同期にクリアされます。ソフトウェアによって、または、AOE ビットに応じて自動的にセットされます。出力として設定されたチャネルに対してのみ有効です。

0：OC および OCN 出力は無効か、強制的なアイドル状態です。

1：OC および OCN 出力は、それぞれのイネーブルビット（TIMx_CCER レジスタの CCxE、CCxNE ビット）がセットされている場合は有効です。

詳細については、OC/OCN イネーブルの説明を参照してください（*セクション 14.5.8：TIM15 キャプチャ/比較イネーブルレジスタ（TIM15_CCER）（365 ページ）*）。

ビット 14 **AOE**：自動出力イネーブル

0：MOE はソフトウェアによってのみセットできます。

1：MOE は、ソフトウェアによって、または次の更新イベント時に自動的にセットされます（ブレーク入力がアクティブでない場合）。

注： ***このビットは、LOCK レベル 1 がプログラムされている場合（TIMx_BDTR レジスタの LOCK ビット）、変更できません。***

ビット 13 **BKP**：ブレーク極性

0：ブレーク入力 BRK はアクティブローです。

1：ブレーク入力 BRK はアクティブハイです。

注： ***このビットは、LOCK レベル 1 がプログラムされている場合（TIMx_BDTR レジスタの LOCK ビット）、変更できません。***

注： ***このビットへの書き込み操作では、書き込みが有効になるまでに 1 APB クロックサイクルの遅延が生じます。***

ビット 12 **BKE**：ブレークイネーブル

0：ブレーク入力（BRK および CCS クロック障害イベント）は無効です。

1：ブレーク入力（BRK および CCS クロック障害イベント）は有効です。

注： ***このビットは、LOCK レベル 1 がプログラムされているときには変更できません（TIMx_BDTR レジスタの LOCK ビット）。***

注： ***このビットへの書き込み操作では、書き込みが有効になるまでに 1 APB クロックサイクルの遅延が生じます。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 11 **OSSR**：RUN モードのオフ状態の選択

このビットは、MOE=1 のとき、相補出力を持ち、出力として設定されているチャネルで使用されます。OSSR は、相補出力がタイマに実装されていない場合には、実装されません。
詳細については、OC/OCN イネーブルの説明を参照してください（*セクション 14.5.8：TIM15 キャプチャ/比較イネーブルレジスタ（TIM15_CCER）（365 ページ）*）。
0：インアクティブのとき、OC/OCN 出力は無効です（OC/OCN イネーブル出力信号 = 0）。
1：インアクティブのとき、OC/OCN 出力は、CCxE=1 または CCxNE=1 になると、インアクティブレベルで有効になります。この場合、OC/OCN イネーブル出力信号 = 1 です。

注：　このビットは、LOCK レベル 2 がプログラムされているときには変更できません（TIMx_BDTR レジスタの LOCK ビット）。

ビット 10 **OSSI**：アイドルモードのオフ状態の選択

このビットは、MOE=0 のとき、出力として設定されているチャネルで使用されます。
詳細については、OC/OCN イネーブルの説明を参照してください（*セクション 14.5.8：TIM15 キャプチャ/比較イネーブルレジスタ（TIM15_CCER）（365 ページ）*）。
0：インアクティブのとき、OC/OCN 出力は無効です（OC/OCN イネーブル出力信号 = 0）。
1：インアクティブのとき、OC/OCN 出力は、CCxE=1 または CCxNE=1 になると、まず、強制的にアイドルレベルになります。（OC/OCN イネーブル出力信号 = 1）。

注：　このビットは、LOCK レベル 2 がプログラムされているときには変更できません（TIMx_BDTR レジスタの LOCK ビット）。

ビット 9:8 **LOCK[1:0]**：ロック設定

これらのビットは、ソフトウェアエラーに対する書き込み保護を提供します。
00：LOCK オフ - ビットは書き込み保護されません。
01：LOCK レベル 1 = TIMx_BDTR レジスタの DTG ビット、TIMx_CR2 レジスタの OISx および OISxN ビット、および TIMx_BDTR レジスタの BKE/BKP/AOE ビットは、書き込みができなくなります。
10：LOCK レベル 2 = LOCK レベル 1 + CC 極性ビット（関連するチャネルが CC x S ビットによって出力として設定されている場合、TIMx_CCER レジスタの CC x P/CCxNP ビット）、OSSRおよび OSSI ビットは、書き込みができなくなります。
11：LOCK レベル 3 = LOCK レベル 2 + CC 制御ビット（関連するチャネルが CCxS ビットによって出力として設定されている場合、TIMx_CCMRx レジスタの OCxM および OCxPE ビット）は、書き込みができなくなります。

注：　LOCK ビットは、リセット後に一度だけ書き込みができます。いったん TIMx_BDTR レジスタに書き込みが行われると、その内容は次のリセットまで停止されます。

ビット 7:0 **DTG[7:0]**：デッドタイムジェネレータのセットアップ

このビットは、相補出力間に挿入されるデッドタイムの長さを定義します。デッドタイムの時間（DT）は、次の式で与えられます
DTG[7:5]=0xx => DT=DTG[7:0]x t_{dtg} with $t_{dtg}=t_{DTS}$
DTG[7:5]=10x => DT=（64+DTG[5:0]）xt_{dtg} with $T_{dtg}=2xt_{DTS}$
DTG[7:5]=110 => DT=（32+DTG[4:0]）xt_{dtg} with $T_{dtg}=8xt_{DTS}$
DTG[7:5]=111 => DT=（32+DTG[4:0]）xt_{dtg} with $T_{dtg}=16xt_{DTS}$
例：T_{DTS}=125ns（8MHz）の場合、可能なデッドタイムの値は、以下のとおりです。
0～15875 ns（125 ns 単位）
16 µs～31750 ns（250 ns 単位）
32µs～63 µs（1 µs 単位）
64µs～126 µs（2 µs 単位）

注：　このビットフィールドは、LOCK レベル 1、2、または 3 がプログラムされているときには変更できません（TIMx_BDTR レジスタの LOCK ビット）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

14.6.14 TIM16 および TIM17 DMA 制御レジスタ（TIMx_DCR）

アドレスオフセット：0x48

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み			DBL[4:0]					予約済み			DBA[4:0]				
			rw	rw	rw	rw	rw				rw	rw	rw	rw	rw

ビット 15:13 予約済み、常に 0 として読み出されます。

ビット 12:8 **DBL[4:0]**：DMA バースト長

この 5 ビットのベクタは、DMA 転送の長さ（タイマは、TIMx_DMAR アドレスに対して読み出しまたは書き込みアクセスがおこなわれるときにバースト転送を認識します）、すなわち、転送回数を定義します。転送は、ハーフワードまたはバイト単位で行われます（下記の例を参照してください）。

00000：1 転送

00001：2 転送

00010：3 転送

...

10001：18 転送

例：次のような転送を考えてみます：DBL = 7 バイト、DBA = TIM2_CR1。

– DBL = 7 バイトであり、DBA = TIM16_CR1 が転送されるバイトのアドレスを表す場合、転送アドレスは次の式によって求められます。

（TIMx_CR1 アドレス）+ DBA +（DMA インデックス）。ここで、DMA インデックス = DBL です。

この例では、7 バイトが（TIMx_CR1 アドレス）＋DBA に加算され、データのコピー元/コピー先のアドレスが得られます。この場合、転送は、（TIMx_CR1アドレス）+ DBA アドレスから始めて、7 つのレジスタへ行われます。

DMA データサイズの設定に応じて、いくつかのケースが考えられます。

– DMA データサイズをハーフワード設定した場合､7 つのレジスタのそれぞれに 16 ビットデータが転送されます。

– DMA データサイズをバイト設定した場合、データは 7 つのレジスタに転送されます。最初のレジスタは最初の MSB バイトを含み、2 番目のレジスタは最初の LSB バイトを含み、以下同様です。したがって、転送タイマについても、DMA によって転送されるデータのサイズを指定する必要があります。

ビット 7:5 予約済み、常に 0 として読み出されます。

ビット 4:0 **DBA[4:0]**：DMA ベースアドレス

この 5 ビットのベクタは、DMA 転送のベースアドレスを定義します（TIMx_DMAR アドレスを通じて読み出し/書き込みアクセスが行われるとき）。DBA は、TIMx_CR1 レジスタのアドレスから始まるオフセット値として定義されます。

例：

00000：TIMx_CR1

00001：TIMx_CR2

00010：TIMx_SMCR

...

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

14.6.15 TIM16 および TIM17 完全転送 DMA アドレス（TIMx_DMAR）

アドレスオフセット：0x4C

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DMAB[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **DMAB[15:0]**：DMA バーストアクセスレジスタ

DMAR レジスタへの読み出しまたは書き込みアクセスは、次のアドレスにあるレジスタへのアクセスとなります。

（TIMx_CR1 アドレス）+ DBA + （DMA インデックス）。ここで、

TIMx_CR1 アドレスは制御レジスタ 1 のアドレスであり DBA はTIMx_DCR レジスタで設定された DMA ベースアドレスであり、DMA インデックスはDMA 転送によって自動的に制御されるオフセットであり、TIMx_DCR レジスタの転送長 DBL に依存します。

14.6.16 TIM16 および TIM17 レジスタマップ

TIM16 および TIM17 レジスタは、次の表のように、16 ビットのアドレス可能レジスタとしてマップされます。

表 78. TIM16 および TIM17 レジスタマップとリセット値

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	TIMx_CR1	予約済み																						CKD [1:0]		ARPE	予約済み			OPM	URS	UDIS	CEN
	リセット値																							0	0	0				0	0	0	0
0x04	TIMx_CR2	予約済み																						OIS1N	OIS1	TI1S	MMS[2:0]			CCDS	CCUS	予約済み	CCPC
	リセット値																							0	0	0	0	0	0	0	0		0
0x0C	TIMx_DIER	予約済み																	TDE	予約済み				CC1DE	UDE	BIE	TIE	予約済み				CC1IE	UIE
	リセット値																		0					0	0	0	0					0	0
0x10	TIMx_SR	予約済み																						CC1OF	予約済み	BIF	TIF	予約済み				CC1IF	UIF
	リセット値																							0		0	0					0	0
0x14	TIMx_EGR	予約済み																								BG	TG	COMG	予約済み			CC1G	UG
	リセット値																									0	0	0				0	0
0x18	TIMx_CCMR1 出力比較モード	予約済み																									OC1M [2:0]			OC1PE	OC1FE	CC1S[1:0]	
	リセット値																										0	0	0	0	0	0	0
	TIMx_CCMR1 入力キャプチャモード	予約済み																								IC1F[3:0]				IC1 PSC [1:0]		CC1S[1:0]	
	リセット値																									0	0	0	0	0	0	0	0
0x20	TIMx_CCER	予約済み																												CC1NP	CC1NE	CC1P	CC1E
	リセット値																													0	0	0	0
0x24	TIMx_CNT	予約済み																CNT[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 78. TIM16 および TIM17 レジスタマップとリセット値 （続き）

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x28	TIMx_PSC	予約済み																PSC[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x2C	TIMx_ARR	予約済み																ARR[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x30	TIMx_RCR	予約済み																								REP[7:0]							
	リセット値																									0	0	0	0	0	0	0	0
0x34	TIMx_CCR1	予約済み																CCR1[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x44	TIMx_BDTR	予約済み																MOE	AOE	BKP	BKE	OSSR	OSSI	LOCK[1:0]		DT[7:0]							
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x48	TIMx_DCR	予約済み																			DBL[4:0]					予約済み			DBA[4:0]				
	リセット値																				0	0	0	0	0				0	0	0	0	0
0x4C	TIMx_DMAR	予約済み																DMAB[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

レジスタ境界アドレスについては、*表 1：小容量および中容量デバイスのレジスタ境界アドレス*および*表 2：大容量デバイスのレジスタ境界アドレス*を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

15 汎用タイマ（TIM12/13/14）

小容量バリューラインデバイスは、フラッシュメモリ容量が 16～32 KB の STM32F100xx マイクロコントローラです。

中容量バリューラインデバイスは、フラッシュメモリ容量が 64～128 KB の STM32F100xx マイクロコントローラです。

大容量バリューラインデバイスは、フラッシュメモリ容量が 256 KB～1 MB の STM32F100xx マイクロコントローラです。

この セクションは、大容量バリューラインデバイスのみに適用されます。

15.1 TIMx の概要

汎用タイマは、プログラマブルなプリスケーラで駆動される 16 ビット自動再ロードカウンタで構成されています。

TIM12/13/14 は、入力信号のパルス長の測定（入力キャプチャ）や出力波形の生成（出力比較、PWM、デッドタイムを挿入した相補 PWM）など、さまざまな目的に使用できます。

パルス長と波形の周期は、タイマプリスケーラと RCC クロックコントローラプリスケーラを使用して、数マイクロ秒から数ミリ秒までの範囲で変化させることができます。

汎用タイマ TIM12/13/14 と別の汎用タイマ TIM2、TIM3、TIM4、および TIM5 のグループとは互いに独立しており、リソースを共有しません。*セクション 15.4.12* に記されているように、相互に同期させることができます。

15.2 汎用タイマ TIM12

汎用タイマ TIM12 の特長は以下のとおりです。

- 16 ビット自動再ロードアップカウンタ
- 1 から 65535 の間の値でカウンタクロック周波数を動作中でも分周できる 16 ビットのプログラマブルプリスケーラ。
- 次の機能を持つ最大 2 つの独立チャネル。
  - 入力キャプチャ
  - 出力比較
  - PWM 生成（エッジアラインモード）
  - ワンパルスモード出力
- 外部信号でタイマを制御し、複数のタイマを相互接続する同期回路
- 以下のイベントによる割り込みの生成。
  - 更新 : カウンタオーバーフロー、カウンタの初期化（ソフトウェアまたは内部トリガによって）
  - トリガイベント（内部トリガによるカウンタの開始、停止、初期化、またはカウント）
  - 入力キャプチャ
  - 出力比較

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 162. 汎用タイマのブロック図（TIM12）

15.3 汎用タイマ TIM13/TIM14

汎用タイマ TIM13/TIM14 の特長は以下のとおりです。

- 16 ビット自動再ロードアップカウンタ
- 1 から 65535 の間の値でカウンタクロック周波数を動作中でも分周できる 16 ビットのプログラマブルプリスケーラ。
- 次の機能を持つ独立チャネル。
  - 入力キャプチャ
  - 出力比較
  - PWM 生成（エッジアラインモード）
- 以下のイベントによる割り込みの生成：
  - 更新 : カウンタオーバーフロー、カウンタの初期化（ソフトウェアまたは内部トリガによって）
  - 入力キャプチャ
  - 出力比較

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

参考資料

図 163. 汎用タイマのブロック図（TIM13/14）

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

15.4 TIMx の機能詳細

15.4.1 タイムベースユニット

プログラマブル高機能制御タイマのメインブロックは、自動再ロードレジスタを持つ 16 ビットカウンタです。カウンタはカウントアップの動作が可能です。カウンタのクロックは、プリスケーラによって分周できます。

カウンタ、自動再ロードレジスタ、プリスケーラレジスタは、ソフトウェアによる読み書きが可能です。カウンタの動作中も同様です。

タイムベースユニットは、以下のレジスタで構成されます。

- カウンタレジスタ（TIMx_CNT）
- プリスケーラレジスタ（TIMx_PSC）
- 自動再ロードレジスタ（TIMx_ARR）

自動再ロードレジスタは、プリロードレジスタに事前にロードされます。自動再ロードレジスタの読み書きは、プリロードレジスタへのアクセスになります。プリロードレジスタの内容は、TIMx_CR1 レジスタの自動再ロードプリロードイネーブルビット（ARPE）に応じて、常時または更新イベント（UEV）ごとに、シャドウレジスタに転送されます。TIMx_CR1 レジスタの UDIS ビットが 0 である場合、更新イベントはカウンタがオーバーフローに達したときに発生します。また、ソフトウェアによって生成することもできます。更新イベントの生成については、各設定の中で詳しく説明されています。

カウンタのクロックは、TIMx_CR1 レジスタのカウンタイネーブルビット（CEN）がセットされているときにのみ、プリスケーラ出力 CK_CNT から供給されます（カウンタの有効化の詳細については、スレーブモードコントローラの説明も参照してください）。

TIM x _CR1 レジスタの CEN ビットがセットされてから、カウンタがカウントを開始するまでに 1 クロックサイクルの遅延があることに注意してください。

プリスケーラの詳細

プリスケーラは、カウンタクロック周波数を 1 から 65536 までの値で分周することができます。16 ビット レジスタ（TIMx_PSC）を通じて制御されます。この制御レジスタはバッファされるので、動作中でも変更できます。新しいプリスケーラ比は、次の更新イベントで有効になります。

図 165 と *図 166* は、プリスケーラ比がその場で変更されたときのカウンタの動作の例を示しています。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 164. プリスケーラ分周比が 1 から 2 に変化したときのカウンタのタイミング図

図 165. プリスケーラ分周比が 1 から 4 に変化したときのカウンタのタイミング図

15.4.2 カウンタモード

アップカウントモード

アップカウントモードでは、カウンタは 0 から自動再ロード値（TIMx_ARR レジスタの内容）までカウントし、0 からカウントをリスタートするとともに、カウンタオーバーフローイベントを生成します。

（ソフトウェアによって、またはスレーブモードコントローラを使用して）TIMx_EGR レジスタの UG ビットをセットすることでも更新イベントが生成されます。

UEV イベントは、ソフトウェアで TIMx_CR1 レジスタの UDIS ビットをセットすることによって無効にできます。これは、プリロードレジスタに新しい値を書き込んでいるときにシャドウレジスタが更新されるのを防ぐためです。この後、UDIS ビットに 0 が書き込まれるまで、更新イベントは発生しません。ただし、プリスケーラのカウンタと同じく、カウンタは 0 からカウントをリスタートします（しかし、プリスケーラ比は変化しません）。さらに、TIMx_CR1 レジスタの URS ビット（更新リ

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

クエスト選択）がセットされている場合は、UG ビットをセットすると更新イベント UEV が生成されますが、UIF フラグはセットされません（したがって、割り込みは送信されません）。これは、キャプチャイベント時にカウンタをクリアしているときに、更新とキャプチャの両方の割り込みを生成するのを防ぐためです。

更新イベントが発生すると、すべてのレジスタが更新され、URS ビットに応じて、更新フラグ（TIMx_SR レジスタの UIF ビット）がセットされます。

- 自動再ロードシャドウレジスタは、プリロード値（TIMx_ARR）に更新されます。
- プリスケーラのバッファにはプリロード値（TIMx_PSC レジスタの内容）が再びロードされます。

以下の図は、TIMx_ARR = 0x36 のときの、さまざまなクロック周波数におけるカウンタの動作の例を示しています。

図 166. 内部クロック分周比が 1 の場合のカウンタのタイミング図

図 167. 内部クロック分周比が 2 の場合のカウンタのタイミング図

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 168. 内部クロック分周比が 4 の場合のカウンタのタイミング図

図 169. 内部クロック分周比が N の場合のカウンタのタイミング図

図 170. ARPE=0 時（TIMx_ARR はプリロードなし）、更新イベント時のカウンタのタイミング図

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 171. ARPE=1 時（TIMx_ARR はプリロード）、更新イベント時のカウンタのタイミング図

15.4.3 クロック選択

カウンタクロックは、以下のクロックソースによって供給できます。

- 内部クロック（CK_INT）
- 外部クロックモード 1：外部入力ピン（TIx）
- 内部トリガ入力（ITRx）（TIM12 のみ）：1 つのタイマを他のタイマのプリスケーラとして使用。たとえば、TIM12 を TIM15 のプリスケーラとして動作するように設定することができます。詳細については、*1 つのタイマを別のタイマのプリスケーラとして使用する*を参照してください。

内部クロックソース（CK_INT）

スレーブモードコントローラが無効の場合（SMS=000）、CEN（TIMx_CR1 レジスタ）、および UG ビット（TIMx_EGR レジスタ）が実際の制御ビットとなり、ソフトウェアによってのみ変更できます（自動的にクリア状態に保たれる UG ビットを除きます）。CEN ビットに 1 が書き込まれると、プリスケーラに内部クロック CK_INT が供給されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 172 は、プリスケーラを使用しない場合の制御回路と通常モードのアップカウンタの動作を示しています。

図 172. 内部クロック分周比 1 の場合の、通常モードの制御回路

外部クロックソースモード 1

このモードは TIMx_SMCR レジスタの SMS=111 のときに選択されます。カウンタは、選択された入力の立ち上がりまたは立ち下がりエッジでカウントすることができます。

図 173. TI2 外部クロックの接続例

たとえば、TI2 入力の立ち上がりエッジに反応してカウントするようにアップカウンタを設定するには、次の手順で行います。

1. TIMx_CCMR1 レジスタの CC2S=01 を書き込むことによって、チャネル 2 が TI2 入力の立ち上がりエッジを検出するように設定します。
2. TIMx_CCMR1 レジスタの IC2F[3:0] ビットに書き込むことによって、入力フィルタの時間を設定します（フィルタが不要な場合は、IC2F=0000 のままにしておきます）。
3. TIMx_CCER レジスタの CC2P=0 を書き込むことによって、立ち上がりエッジ極性を選択します。
4. TIMx_SMCR レジスタの SMS=111 を書き込むことによって、タイマを外部クロックモード 1 に設定します。
5. TIMx_SMCR レジスタの TS=110 を書き込むことによって、トリガ入力ソースとして TI2 を選択します。
6. TIMx_CR1 レジスタの CEN=1 を書き込むことによって、カウンタを有効にします。

注： キャプチャプリスケーラはトリガには使用されないので、設定する必要はありません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

TI2 で立ち上がりエッジが発生すると、カウンタは 1 カウントを行い、TIF フラグがセットされます。

TI2 の立ち上がりエッジから実際のカウンタクロックまでの間には、TI2 入力の再同期回路による遅延があります。

図 174. 外部クロックモード 1 の制御回路

15.4.4 キャプチャ /比較チャネル

各キャプチャ /比較チャネルは、キャプチャ /比較レジスタ（シャドウレジスタを含む）、キャプチャの入力ステージ（デジタルフィルタ、マルチプレクサ、プリスケーラ）、および出力ステージ（比較回路と出力制御）から構成されています。

図 175 から *図 177* に、キャプチャ /比較チャネルの概要を示します。

入力ステージは、対応する TIx 入力をサンプリングして、フィルタリングを行った TIxF 信号を生成します。次に、極性選択付きのエッジ検出回路が、スレーブモードコントローラによってトリガ入力として、またはキャプチャコマンドとして使用できる信号（TIxFPx）を生成します。この信号はプリスケーラを通じて、キャプチャレジスタ(ICxPS)に渡されます。

図 175. キャプチャ /比較チャネル（例：TIM12 チャネル 1 入力ステージ）

出力ステージは、OCxREF（アクティブハイ）として使用される中間波形を生成します。信号の極性は最終出力に影響を与えます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 176. キャプチャ /比較チャネル 1 メイン回路

図 177. キャプチャ /比較チャネル（チャネル 1）の出力ステージ

キャプチャ /比較ブロックは、1 個のプリロードレジスタと 1 個のシャドウレジスタで構成されています。読み書きのアクセスは、常にプリロードレジスタに対して行われます。

キャプチャモードでは、キャプチャ動作は実際にはシャドウレジスタで行われ、その値がプリロードレジスタにコピーされます。

比較モードでは、プリロードレジスタの内容がシャドウレジスタにコピーされて、カウンタと比較されます。

15.4.5 入力キャプチャモード

入力キャプチャモードでは、対応する ICx 信号によって変化が検出された後、カウンタの値をラッチするために、キャプチャ /比較レジスタ（TIMx_CCRx）が使用されます。キャプチャが発生すると、対応する CCxIF フラグ（TIMx_SR レジスタ）がセットされ、割り込みリクエストを送信できます（有効な場合）。CCxIF フラグがすでにハイのときにキャプチャが発生した場合は、オーバーキャプチャフラグ CCxOF（TIMx_SR レジスタ）がセットされます。CCxIF フラグは、ソフトウェアで 0 を書き

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

込むことによって、または、TIMx_CCRx レジスタに格納されたキャプチャデータを読み出すことによってクリアできます。CCxOF は、0 を書き込むとクリアされます。

次の例は、TI1 入力が立ち上がったときに、カウンタの値を TIMx_CCR1 にキャプチャする方法を示しています。このためには、次の手順を使用します。

- TIMx_CCR1 は TI1 入力にリンクされていなければならず、このためには、TIMx_CCMR1 レジスタの CC1S ビットに 01 を書き込みます。CC1S の値が 00 から変化すると、チャネルは入力に設定され、TIMx_CCR1 レジスタは読み出し専用になります。
- 入力が TI x の 1 つであるときに、タイマに接続する信号に応じて必要な入力フィルタ時間をプログラミングします（TIMx_CCMRx レジスタの ICxF ビット）。入力信号の反転時、最大で内部クロックの 5 サイクルの間、信号が安定しないと仮定してみます。この場合、フィルタ時間を 5 クロックサイクルより長くプログラミングする必要があります。新しいレベルの連続した 8 個のサンプルが検出されたときに、TI1 で変化を検証できます（周波数 fDTS でサンプリング）。この場合、TIMx_CCMR1 レジスタの IC1F ビットに 0011 を書き込みます。
- TI1 チャネルの変化でアクティブとされるエッジを選択します。このためには、TIMx_CCER レジスタの CC1P ビット に "0" を書き込みます（この場合、立ち上がりエッジの選択）
- 入力プリスケーラプログラミングします。この例では、有効な信号変化ごとにキャプチャを行うので、プリスケーラを無効にします（TIMx_CCMR1 レジスタの IC1PS ビットに 00 を書き込みます）。
- TIMx_CCER レジスタの CC1E ビットをセットすることによって、カウンタからキャプチャレジスタへのキャプチャを有効にします。
- 必要に応じて、TIMx_DIER レジスタの CC1IE ビットをセットすることによって、関連する割り込みリクエストを有効にします。

入力キャプチャが発生すると、

- アクティブな信号変化時のカウンタの値が TIMx_CCR1 レジスタに格納されます。
- CC1IF フラグがセットされます（割り込みフラグ）。CC1OF ビットは、少なくとも 2 回連続でキャプチャが発生した場合にもセットされますが、フラグはクリアされません。
- CC1IE ビットに応じて、割り込みが生成されます。

オーバーキャプチャを処理するために、オーバーキャプチャフラグの前にデータを読み出すことが推奨されます。これにより、フラグを読み出した後、データを読み出す前に発生したオーバーキャプチャの見落としを避けることができます。

注： ***TIMx_EGR レジスタの対応する CCxG ビットをセットすることで、IC 割り込みリクエストをソフトウェアで発生させることができます。***

15.4.6 PWM 入力モード時（TIM12 のみ）

このモードは、入力キャプチャの特別な応用例です。操作手順は入力キャプチャモードと同様ですが、以下の点が異なります。

- 2 つの ICx 信号が同じ TIx 入力に配置されます。
- この 2 つの ICx 信号は、逆の極性のエッジでアクティブです。
- 2 つの TIxFP 信号の 1 つがトリガ入力として選択され、スレーブモードコントローラはリセットモードに設定されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

たとえば、次の手順を使用して、TI1 に適用された PWM の周期（TIMx_CCR1 レジスタ）とデューティサイクル（TIMx_CCR2 レジスタ）を測定できます（手順は、CK_INT 周波数とプリスケーラ値によって、若干異なることがあります）。

- TIMx_CCR1 のアクティブ入力を選択します。TIMx_CCMR1 レジスタの CC1S ビットに 01 を書き込みます（TI1 を選択）。
- TI1FP1 のアクティブな極性を選択します（TIMx_CCR1 キャプチャとカウンタクリアの両方に使用します）。CC1P ビットに 0 を書き込みます（立ち上がりエッジでアクティブ）。
- TIMx_CCR2 のアクティブ入力を選択します。TIMx_CCMR1 レジスタの CC2S ビットに 10 を書き込みます（TI1 を選択）。
- TI1FP2 のアクティブな極性を選択します（TIMx_CCR2 キャプチャに使用します）。CC2P ビットに 1 を書き込みます（立ち下がりエッジでアクティブ）。
- 有効なトリガ入力を選択します。TIMx_SMCR レジスタの TS ビットに 101 を書き込みます（TI1FP1 を選択）。
- スレーブモードコントローラをリセットモードに設定します。すなわち、TIMx_SMCR レジスタの SMS ビットに 100 を書き込みます。
- キャプチャを有効にします。TIMx_CCER レジスタの CC1E ビットと CC2E ビットに 1 を書き込みます。

図 178. PWM 入力モードのタイミング

1. TI1FP1 と TI2FP2 のみがスレーブモードコントローラに接続されているので、PWM 入力モードは TIMx_CH1/TIMx_CH2 信号でのみ使用できます。

15.4.7 強制出力モード

出力モード（TIMx_CCMRx レジスタの CCxS ビット =00）では、出力比較レジスタとカウンタの間の比較に関係なく、各出力比較信号（OCxREF と OCx/OCxN）をソフトウェアによって直接、強制的にアクティブまたはインアクティブレベルにできます。

出力比較信号（OCxREF/OCx）を強制的にアクティブレベルにするには、対応する TIMx_CCMRx レジスタの OCxM ビットに 101 を書き込むだけです。これにより、OCxREF は強制的にハイになり（OCxREF は常にアクティブハイ）、OCx は CCxP 極性ビットと逆の値になります。

たとえば、CCxP=0（OCx アクティブハイ）=> OCx は強制的にハイレベルになります。

OCxREF 信号は、TIMx_CCMRx レジスタの OCxM ビットに 100 を書き込むことによって、強制的にローにできます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

いずれにしても、TIMx_CCRx シャドウレジスタとカウンタの比較は実行されるので、フラグをセットできます。それに応じて、割り込みリクエストを送信できます。これについては、次の出力比較モードのセクションで説明します。

15.4.8 出力比較モード

この機能は、出力波形を制御したり、一定時間が経過したことを示すために使用されます。

キャプチャ /比較レジスタとカウンタの値が一致すると、出力比較は次のように機能します。

- 対応する出力ピンに、出力比較モード（TIMx_CCMRx レジスタの OCxM ビット）と出力極性（TIMx_CCER レジスタの CCxP ビット)によって定義されたプログラマブル値を割り当てます。一致した際、出力ピンは、レベルを維持するか（OCxM=000）、アクティブにセットされるか（OCxM=001）、インアクティブにセットされるか（OCxM=010）、または反転されます（OCxM=011)。
- 割り込みステータスレジスタのフラグをセットします（TIMx_SR レジスタの CCxIF ビット)。
- 対応する割り込みマスク（TIMx_DIER レジスタの CCxIE ビット）がセットされている場合は、割り込みを生成します。

TIMx_CCRx レジスタは、TIMx_CCMRx レジスタの OCxPE ビットを使用して、プリロードレジスタを使用して、またはプリロードレジスタを使用せずにプログラミングできます。

出力比較モードでは、更新イベント UEV は OCxREF および OCx 出力には影響を与えません。タイミングの分解能はカウンタの 1 カウント分です。出力比較モードは単一パルスを出力するためにも使用することができます（ワンパルスモード)。

操作手順：

1. カウンタクロックを選択します（内部、外部、プリスケーラ)。
2. TIMx_ARR レジスタと TIMx_CCRx レジスタに目的のデータを書き込みます。
3. 割り込みリクエストを生成する場合は、CCxIE ビットをセットします。
4. 出力モードを選択します。例：
   - CNT と CCRx が一致したときに OCx 出力ピンを反転するには、OCxM = 011 を書き込みます。
   - プリロードレジスタを無効にするには、OCxPE = 0 を書き込みます。
   - アクティブハイ極性を選択するには、CCxP = 0 を書き込みます。
   - 出力を有効にするには、CCxE = 1 を書き込みます。
5. TIMx_CR1 レジスタの CEN ビットをセットすることによって、カウンタを有効にします。

いつでもソフトウェアによって TIMx_CCRx レジスタを更新して、出力波形を制御できます。ただし、プリロードレジスタが有効でない場合に限ります（OCxPE=0)。そうでない場合、TIMx_CCRx シャドウレジスタは、次の更新イベント UEV でのみ更新されます。例を*図 179* に示します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 179. 出力比較モード、OC1 のトグル

15.4.9 PWM モード

パルス幅変調（PWM）モードでは、TIMx_ARR レジスタの値によって決められた周波数と TIMx_CCRx レジスタの値によって決められたデューティサイクルで信号を生成できます。

PWM モードは、TIMx_CCMRx レジスタの OCxM ビットに 110（PWM モード 1）または 111（PWM モード 2）を書き込むことによって、チャネルごとに選択できます（OCx 出力ごとに 1 つの PWM）。TIMx_CCMRx レジスタの OCxPE ビットをセットすることによって、対応するプリロードレジスタを有効にする必要があり、また、TIMx_CR1 レジスタの ARPE ビットをセットすることによって、自動再ロードプリロードレジスタも（アップカウントまたはセンターアラインモードで）有効にする必要があります。

プリロードレジスタは、更新イベントが発生したときにのみシャドウレジスタに転送されるので、カウンタを開始する前に、TIMx_EGR レジスタの UG ビットをセットすることによって、すべてのレジスタを初期化する必要があります。

OCx の極性は、TIMx_CCER レジスタの CCxP ビットを使用してソフトウェアによってプログラムできます。アクティブハイまたはアクティブローとしてプログラムできます。OCx 出力は、TIMx_CCER レジスタの CCxE ビットによって有効になります。詳細については、TIMx_CCERx レジスタの説明を参照してください。

PWM モード（1 または 2）では、TIMx_CNT と TIMx_CCRx が常に比較されて、TIMx_CNT ≤ TIMx_CCRx かどうかが判断されます。

カウンタはカウントアップしているので、タイマはエッジアラインモードでのみ PWM を生成できます。

PWM エッジアラインモード

次の例では、PWM モード 1 を前提としています。PWM 基準信号 OCxREF は、TIMx_CNT < TIMx_CCRx の間はハイに、そうでない場合はローになります。TIMx_CCRx の比較値が自動再ロード値（TIMx_ARR レジスタの）より大きい場合、OCxREF は 1 です。比較値が 0 の場合、OCxREF は 0 です。*図 180* は、TIMx_ARR=8 のときのエッジアライン PWM 波形の例を示しています。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 180. エッジアライン PWM 波形（ARR=8）

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

15.4.10 ワンパルスモード（TIM12 のみ）

ワンパルスモード（One Pulse Mode：OPM）は、これまでに説明したモードの特殊ケースです。このモードでは、トリガに応じてカウンタを開始して、プログラム可能な遅延後にプログラミングした長さのパルスを生成できます。

カウンタの開始は、スレーブモードコントローラを通じて制御できます。波形の生成は、出力比較モードまたは PWM モードで行います。ワンパルスモードを選択するには、TIMx_CR1 レジスタの OPM ビットをセットします。これによって、カウンタは、次の更新イベント UEV で自動的に停止します。

パルスは、比較値がカウンタの初期値と異なるときにのみ正しく生成されます。開始前に（タイマがトリガを待っているときに）、設定が次のようでなければなりません。

- アップカウントの場合：CNT < CCRx ≤ ARR（特に、0 < CCRx）
- ダウンカウント時：CNT > CCRx

図 181. ワンパルスモードの例

たとえば、TI2 入力ピンで立ち上がりエッジが検出されたときに、OC1 にパルス幅が t_{PULSE} の正のパルスを遅延時間 t_{DELAY} 後に発生させることとします。

TI2FP2 をトリガ 1 として使用します。

- TI2FP2 を TI2 に配置するために、TIMx_CCMR1 レジスタの CC2S=01 を書き込みます。
- TI2FP2 は、立ち上がりエッジを検出します。TIMx_CCER レジスタの CC2P=0 を書き込みます。
- TI2FP2 をスレーブモードコントローラのトリガ（TRGI）として設定します。このためには、TIMx_SMCR レジスタの TS=110 を書き込みます。
- TI2FP2 を使用してカウンタを開始します。このためには、TIMx_SMCR レジスタの SMS に 110（トリガモード）を書き込みます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

OPM 波形は、比較レジスタに書き込むことによって定義されます（クロック周波数とカウンタプリスケーラを考慮して）。

- 遅延時間 t_{DELAY} は、TIMx_CCR1 レジスタに書き込まれた値によって定義されます。
- パルス幅 t_{PULSE} は、自動再ロード値と比較値の差（TIMx_ARR - TIMx_CCR1）によって定義されます。
- 比較値と一致したときに 0 から 1 に変化し、カウンタが自動再ロード値に達したときに 1 から 0 に変化する波形を生成するとします。このためには、TIMx_CCMR1 レジスタの OC1M=111 を書き込むことによって、PWM モード 2 を有効にします。オプションで、TIMx_CCMR1 レジスタの OC1PE=1 を書き込み、TIMx_CR1 レジスタの ARPE=1 を書き込むことによって、プリロードを有効にすることもできます。この場合、比較値を TIMx_CCR1 レジスタに、自動再ロード値を TIMx_ARR レジスタに書き込み、UG ビットをセットすることによって更新を生成して、TI2 上の外部トリガイベントを待つ必要があります。この例では、CC1P には 0 を書き込みます。

必要なパルスは 1 つだけなので（シングルモード）、TIMx_CR1 レジスタの OPM ビットに 1 を書き込みます。こうすると、カウンタは次の更新イベント時に停止します（カウンタが自動再ロード値に達して、0 に戻る時点）。TIMx_CR1 レジスタの OPM ビットが 0 にセットされると、繰り返しモードが選択されます。

特殊なケース：OCx 高速イネーブル

ワンパルスモードでは、TIx 入力でエッジが検出されると、CEN ビットがセットされ、カウンタが有効になります。その後、カウンタと比較値の比較によって、出力が反転されます。しかし、これらの操作には数クロックサイクルが必要なので、実現可能な最小遅延時間 t_{DELAY} が制限されます。

最小遅延で波形を出力したい場合は、TIMx_CCMRx レジスタの OCxFE ビットをセットします。こうすると、OCxREF（および OCx）は、比較動作を行うことなく、強制的にトリガに反応します。新しいレベルは、比較が一致したときと同じです。OCxFE は、チャネルが PWM1 または PWM2 モードに設定された場合のみ有効です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

15.4.11 TIM12 と外部トリガの同期

TIM12 タイマ は、リセットモード、ゲートモード、トリガモードといった幾つかのモードで外部トリガと同期を取ることができます。

スレーブモード：リセットモード

カウンタとそのプリスケーラは、トリガ入力のイベントに応じて再初期化できます。さらに、TIMx_CR1 レジスタの URS ビットがローの場合は、更新イベント UEV が生成されます。その場合、すべてのプリロードレジスタ（TIMx_ARR、TIMx_CCRx）が更新されます。

次の例では、TI1 入力の立ち上がりエッジに応じて、アップカウンタがクリアされます。

- TI1 の立ち上がりエッジを検出するように、チャネル 1 を設定します。入力フィルタ時間を設定します（この例では、フィルタは不要なので、IC1F=0000 のままにしておきます）。キャプチャプリスケーラはトリガには使用されないので、設定する必要はありません。CC1S ビットは、入力キャプチャソースのみを選択します（TIMx_CCMR1 レジスタの CC1S=01）。TIMx_CCER レジスタの CC1P=0 を書き込んで、極性を有効にします（また、立ち上がりエッジのみを検出します）。
- TIMx_SMCR レジスタの SMS=100 を書き込んで、タイマをリセットモードに設定します。TIMx_SMCR レジスタの TS=101 を書き込んで、入力ソースとして TI1 を選択します。
- TIMx_CR1 レジスタの CEN=1 を書き込んで、カウンタを開始します。

カウンタは内部クロックでカウントを開始し、TI1 の立ち上がりエッジまで通常の動作を行います。TI1 が立ち上がると、カウンタはクリアされ、0 からリスタートします。同時に、トリガフラグがセットされ（TIMx_SR レジスタの TIF ビット）、有効な場合は割り込みリクエストを送信できます（TIMx_DIER レジスタの TIE および TDE ビット）。

次の図は、自動再ロードレジスタ TIMx_ARR=0x36 の場合の動作を示しています。TI1 の立ち上がりエッジから実際にカウンタがリセットされるまでの遅延は、TI1 入力の同期回路によるものです。

図 182. リセットモードの制御回路

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

スレーブモード：ゲートモード

カウンタは、選択された入力のレベルに応じて有効にできます。

次の例では、アップカウンタは TI1 入力がローのときだけカウントします。

- TI1 のローレベルを検出するように、チャネル 1 を設定します。入力フィルタ時間を設定します（この例では、フィルタは不要なので、IC1F=0000 のままにしておきます）。キャプチャプリスケーラはトリガには使用されないので、設定する必要はありません。CC1S ビットは、入力キャプチャソースのみを選択します（TIMx_CCMR1 レジスタの CC1S=01 ビット）。TIMx_CCER レジスタの CC1P=1 を書き込んで、極性を有効にします（また、立ち上がりエッジのみを検出します）。
- TIMx_SMCR レジスタで SMS=101 を書き込んで、タイマをゲートモードに設定します。TIMx_SMCR レジスタの TS=101 を書き込んで、入力ソースとして TI1 を選択します。
- TIMx_CR1 レジスタの CEN=1 を書き込んで、カウンタを有効にします（ゲートモードでは、CEN=0 の場合、トリガ入力のレベルにかかわらず、カウンタは開始しません）。

カウンタは、TI1 がローになると内部クロックでカウントを開始して、TI1 がハイになると停止します。TIMx_SR レジスタの TIF フラグは、カウンタの開始時と停止時にセットされます。

TI1 の立ち上がりエッジから実際にカウンタが停止するまでの遅延は、TI1 入力の再同期回路によるものです。

図 183. ゲートモードの制御回路

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

スレーブモード：トリガモード

カウンタは、選択された入力のイベントに対応して開始します。

次の例では、アップカウンタは、TI2 入力の立ち上がりエッジに応じて開始します。

- TI2 の立ち上がりエッジを検出するように、チャネル 2 を設定します。入力フィルタ時間を設定します（この例ではフィルタは不要なので、IC2F=0000 のままにしておきます）。キャプチャプリスケーラはトリガには使用されないので、設定する必要はありません。CC2S ビットは入力キャプチャソースのみを選択するように設定されます（TIMx_CCMR1 レジスタの CC2S=01）。TIMx_CCER レジスタの CC2P=1 を書き込み、極性（ローレベルを検出）を有効とします。
- タイマをトリガモードに設定します。このためには、TIMx_SMCR レジスタで SMS=110 とします。TIMx_SMCR レジスタの TS=110 を書き込んで、TI2 を入力ソースとして選択します。

TI2 で立ち上がりエッジが発生すると、カウンタは内部クロックでカウントを開始し、TIF フラグがセットされます。

TI2 の立ち上がりエッジから実際にカウンタが開始するまでの遅延は、TI2 入力の再同期回路によるものです。

図 184. トリガモードの制御回路

15.4.12 タイマの同期（TIM12）

TIM タイマは、タイマの同期または連結のために、内部で互いにリンクされます。詳細については、*セクション 13.3.15：タイマの同期（301 ページ）*を参照してください。

15.4.13 デバッグモード

マイクロコントローラがデバッグモードになると（Cortex-M3 コアは停止状態）、TIMx カウンタは、DBG モジュールの DBG_TIMx_STOP 設定ビットに応じて、通常どおりに動作を続けるか、停止します。詳細については、*セクション 25.15.2：タイマ、ウォッチドッグ、および I^2C のデバッグサポート*を参照してください。

15.5 TIM12 レジスタ

レジスタの説明で使用されている略語のリストについては、*セクション 1.1（32 ページ）*を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

15.5.1 TIM12 制御レジスタ 1（TIM12_CR1）

アドレスオフセット：0x00

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み						CKD[1:0]		ARPE	予約済み			OPM	URS	UDIS	CEN
						rw	rw	rw				rw	rw	rw	rw

ビット 15:10 予約済み、常に 0 として読み出されます。

ビット 9:8 **CKD[1:0]**：クロック分周

このビットフィールドは、タイマクロック（CK_INT）周波数と、デッドタイム生成回路とデジタルフィルタ（TIx）によって使用されるデッドタイムおよびサンプリングクロック（t_{DTS}）との間の分周比を示します。

00：$t_{DTS} = t_{CK_INT}$

01：$t_{DTS} = 2*t_{CK_INT}$

10：$t_{DTS} = 4*t_{CK_INT}$

11：予約済み。この値をプログラミングしないでください。

ビット 7 **ARPE**：自動再ロードプリロードイネーブル

0：TIMx_ARR レジスタはバッファされません。

1：TIMx_ARR レジスタはバッファされます。

ビット 6:4 予約済み、常に 0 として読み出されます。

ビット 3 **OPM**：ワンパルスモード

0：カウンタは更新イベントで停止しません。

1：カウンタは次の更新イベントでカウントを停止します（CEN ビットをクリアします）。

ビット 2 **URS**：更新リクエストソース

このビットは、UEV イベントソースを選択するために、ソフトウェアによってセット/クリアされます。

0：次のイベントのいずれかが更新割り込みを生成します（有効な場合）。これらのイベントは、次のとおりです。

- カウンタオーバーフロー
- UG ビットのセット
- スレーブモードコントローラからの更新生成

1：カウンタオーバーフローのみが更新割り込みを生成します（有効な場合）。

ビット 1 **UDIS**：更新ディセーブル

このビットは、UEV イベント生成を有効/無効にするために、ソフトウェアによってセット/クリアされます。

0：UEV は有効です。更新イベント（UEV）は、以下のいずれかのイベントによって生成されます。

- カウンタオーバーフロー
- UG ビットのセット
- スレーブモードコントローラからの更新生成

バッファされるレジスタにはプリロード値がロードされます。

1：UEV は無効です。UEV は生成されず、シャドウレジスタ（ARR、PSC、CCRx）は値を維持します。ただし、UG ビットがセットされた場合や、スレーブモードコントローラからハードウェアリセットを受信した場合には、カウンタとプリスケーラは再初期化されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 0 **CEN**：カウンタイネーブル

0：カウンタは無効です。
1：カウンタは有効です。

注： 外部クロックおよびゲートモードは、CEN ビットが事前にソフトウェアによってセットされている場合のみ動作します。ただし、トリガモードでは、ハードウェアによって自動的に CEN ビットをセットできます。

15.5.2 TIM12 制御レジスタ 2（TIM12_CR2）

アドレスオフセット：0x04

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み					OIS2	予約済み	OIS1	予約済み	MMS[2:0]			予約済み			
					rw		rw		rw	rw	rw				

ビット 15:11 予約済み、常に 0 として読み出されます。

ビット 10 **OIS2**：出力アイドル状態 2（OC2 出力）

0：MOE = 0 のとき、OC2 = 0
1：MOE = 1 のとき、OC2 = 0

ビット 9 予約済み、常に 0 として読み出されます。

ビット 8 **OIS1**：出力アイドル状態 1（OC1 出力）

0：OC1=0
1：OC1=1

ビット 7 予約済み、常に 0 として読み出されます。

ビット 6:4 **MMS[1:0]**：マスタモード選択

これらのビットは、スレーブタイマの同期のためにマスタモードで送られる情報（TRGO）を選択するために使用されます。組み合わせは、次のとおりです。
000：**リセット** - TIMx_EGR レジスタの UG ビットがトリガ出力（TRGO）として使用されます。トリガ入力によってリセットが生成される場合（スレーブモードコントローラがリセットモードに設定されているとき）、TRGO 信号は実際のリセットより遅延します。
001：**イネーブル** - カウンタイネーブル信号 CNT_EN がトリガ出力（TRGO）として使用されます。これは、いくつかのタイマを同時に開始するときや、スレーブタイマが有効な時間枠を制御するときに役立ちます。カウンタイネーブル信号は、CEN 制御ビットとゲートモードに設定されているときのトリガ入力との論理和によって生成されます。カウンタイネーブル信号がトリガ入力によって制御されているとき、マスタ/スレーブモードが選択されている場合を除いて、TRGO には遅延が存在します（TIMx_SMCR レジスタの MSM ビットの説明を参照参照してください）。
010：**更新** - 更新イベントがトリガ出力（TRGO）として選択されます。たとえば、マスタタイマをスレーブタイマのプリスケーラとして使用できます。
011：**パルス比較** - キャプチャまたは比較一致が生じると同時に、CC1IF フラグがセットされるとき（すでにハイであった場合も）、トリガ出力は正のパルスを送信します。（TRGO）
100：**比較** - OC1REF 信号がトリガ出力（TRGO）として使用されます。
101：**比較** - OC2REF 信号がトリガ出力（TRGO）として使用されます。

ビット 3:0 予約済み、常に 0 として読み出されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

15.5.3 TIM12 スレーブモード制御レジスタ（TIM12_SMCR）

アドレスオフセット：0x08

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								MSM	TS[2:0]			予約済み	SMS[2:0]		
								rw	rw	rw	rw		rw	rw	rw

ビット 15:8 予約済み、常に 0 として読み出されます。

ビット 7 **MSM：**マスタ/スレーブモード

0：影響なし。

1：トリガ入力（TRGI）に対するイベントの影響は、現在のタイマとそのスレーブとの間の完全な同期（TRGO を通じて）を可能にするために遅延されます。これは、1 つの外部イベントで複数のタイマを同期する場合に役立ちます。

ビット 6:4 **TS[2:0]：**トリガ選択

このビットフィールドは、カウンタを同期するために使用されるトリガ入力を選択します。

000：内部トリガ 0（ITR0）

001：内部トリガ 1（ITR1）

010：内部トリガ 2（ITR2）

011：内部トリガ 3（ITR3）

100：TI1 エッジ検出回路（TI1F_ED）

101：フィルタ後のタイマ入力 1（TI1FP1）

110：フィルタ後のタイマ入力 2（TI2FP2）

各タイマにとっての ITRx の意味の詳細については、*表 79：TIMx 内部トリガ接続（414 ページ）*を参照してください。

注： ***設定変更時の誤ったエッジ検出を避けるために、これらのビットは、使用されていないとき（SMS=000 のときなど）にのみ変更しなければなりません***

ビット 3 予約済み、常に 0 として読み出されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 2:0 **SMS**：スレーブモード選択

外部信号が選択されると、トリガ信号（TRGI）のアクティブエッジが外部入力で選択された極性にリンクされます（入力制御レジスタおよび制御レジスタの説明を参照してください）。

000：スレーブモードは無効です。CEN = 1 の場合、プリスケーラは内部クロックによって直接クロック供給されます。

001：エンコーダモード 1 - カウンタは、TI1FP1 のレベルに応じて、TI2FP2 のエッジでカウントアップ/ダウンします。

010：エンコーダモード 2 - カウンタは、TI2FP2 のレベルに応じて、TI1FP1 のエッジでカウントアップ/ダウンします。

011：エンコーダモード 3 - カウンタは、他の入力のレベルに応じて、TI1FP1 と TI2FP2 の両方のエッジでカウントアップ/ダウンします。

100：リセットモード - 選択されたトリガ入力（TRGI）の立ち上がりエッジでカウンタを再初期化し、レジスタの更新を生成します。

101：ゲートモード - カウンタクロックは、トリガ入力（TRGI）がハイのときに有効になります。トリガがローになると、カウンタは停止します（リセットはされません）。カウンタの開始と停止の両方が制御されます。

110：トリガモード - カウンタは、トリガ入力（TRGI）の立ち上がりエッジで開始します（リセットはされません）。カウンタの開始のみが制御されます。

111：外部クロックモード 1 - 選択されたトリガ（TRGI）の立ち上がりエッジがカウンタのクロックとして供給されます。

注： トリガ入力として TI1F_ED が選択されている（TS=100）ときには、ゲートモードを選択することはできません。TI1F_ED は TI1F の変化ごとに 1 パルスを出力しますが、ゲートモードはトリガ信号のレベルをチェックします。

表 79. TIMx 内部トリガ接続(1)

スレーブ TIM	ITR0（TS = 000）	ITR1（TS = 001）	ITR2（TS = 010）	ITR3（TS = 011）
TIM12	TIM4	TIM5	TIM13	TIM14

1. 製品にタイマがない場合、対応するトリガ ITRx は使用できません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

15.5.4 TIM12 ステータスレジスタ（TIM12_SR）

アドレスオフセット：0x10

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み					CC2OF	CC1OF	予約済み		TIF	予約済み			CC2IF	CC1IF	UIF
					rc_w0	rc_w0			rc_w0				rc_w0	rc_w0	rc_w0

ビット 15:11 予約済み、常に 0 として読み出されます。

ビット 10 **CC2OF**：キャプチャ /比較 2 オーバーキャプチャフラグ

CC1OF の説明を参照してください。

ビット 9 **CC1OF**：キャプチャ /比較 1 オーバーキャプチャフラグ

このフラグは、対応するチャネルが入力キャプチャモードに設定されているときのみ、ハードウェアによってセットされます。0 を書き込むことによってソフトウェアによってクリアされます。
0：オーバーキャプチャは検出されていません。
1：CC1IF フラグがすでにセットされているときに、カウンタの値が TIMx_CCR1 レジスタにキャプチャされました。

ビット 8:7 予約済み、常に 0 として読み出されます。

ビット 6 **TIF**：トリガ割り込みフラグ

このフラグは、トリガイベント時（スレーブモードコントローラがゲートモード以外のすべてのモードで有効なときに、TRGI 入力でアクティブエッジが検出されたとき）にハードウェアによってセットされます。ゲートモードが選択されている場合、カウンタが開始または停止したときにセットされます。ソフトウェアによってクリアされます。
0：トリガイベントは発生していません。
1：トリガ割り込みが保留中です。

ビット 5:3 予約済み、常に 0 として読み出されます。

ビット 2 **CC2IF**：キャプチャ /比較 2 割り込みフラグ

CC1IF の説明を参照してください。

ビット 1 **CC1IF**：キャプチャ /比較 1 割り込みフラグ

チャネル CC1 が出力として設定されている場合：
このフラグは、カウンタの値が比較値と一致したときにハードウェアによってセットされます。ソフトウェアによってクリアされます。
0：一致なし。
1：カウンタ TIMx_CNT の内容が TIMx_CCR1 レジスタの内容と一致しました。TIMx_CCR1 の内容が TIMx_ARR の内容より大きいときには、カウンタオーバーフロー時に CC1IF ビットはハイになります。

チャネル CC1 が入力として設定されている場合：
このビットは、キャプチャ時にハードウェアによってセットされます。ソフトウェアによって、または TIMx_CCR1 レジスタを読み出すことによってクリアされます。
0：入力キャプチャは発生していません。
1：カウンタの値が TIMx_CCR1 レジスタにキャプチャされました（IC1 で、選択された極性に一致するエッジが検出されました）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 0 **UIF**：更新割り込みフラグ

このビットは、更新イベント時にハードウェアによってセットされます。ソフトウェアによってクリアされます。
0：更新は発生していません。
1：更新割り込みが保留中です。このビットは、レジスタが更新されたときにハードウェアによってセットされます。

–TIM1_CR1レジスタの UDIS = 0 であり、オーバーフローが発生したとき。

–TIMx_CR1 レジスタの URS=0 かつ UDIS=0 であり、TIMx_EGR レジスタの UG ビットを使用して、CNT がソフトウェアによって再初期化されたとき。

–TIMx_CR1 レジスタの URS=0 かつ UDIS=0 であり、トリガイベントによって CNT が再初期化されたとき（*セクション 15.5.3：TIM12 スレーブモード制御レジスタ（TIM12_SMCR）*を参照）。

15.5.5 TIM12 イベント生成レジスタ（TIM12_EGR）

アドレスオフセット：0x14

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み									TG	予約済み			CC2G	CC1G	UG
									w				w	w	w

ビット 15:7 予約済み、常に 0 として読み出されます。

ビット 6 **TG**：トリガ生成

このビットは、イベントを生成するためにソフトウェアによってセットされ、ハードウェアによって自動的にクリアされます。
0：影響なし。
1：TIMx_SR レジスタの TIF フラグがセットされます。有効な場合は、関連する割り込みが発生します。

ビット 5:3 予約済み、常に 0 として読み出されます。

ビット 2 **CC2G**：キャプチャ /比較 2 生成

CC1G の説明を参照してください。

ビット 1 **CC1G**：キャプチャ /比較 1 生成

このビットは、イベントを生成するためにソフトウェアによってセットされ、ハードウェアによって自動的にクリアされます。
0：影響なし。
1：チャネル 1 でキャプチャ /比較イベントが生成されます。
チャネル CC1 が出力として設定されている場合：
CC1IF フラグがセットされ、対応する割り込みが送信されます（有効な場合）。
チャネル CC1 が入力として設定されている場合：
カウンタの現在値が TIMx_CCR1 レジスタにキャプチャされます。CC1IF フラグがセットされ、対応する割り込みが送信されます（有効な場合）。CC1OF フラグがすでにハイであった場合は、CC1IF フラグがセットされます。

ビット 0 **UG**：更新の生成

このビットは、ソフトウェアによってセットでき、ハードウェアによって自動的にクリアされます。
0：影響なし。
1：カウンタを再初期化し、レジスタの更新を生成します。プリスケーラカウンタもクリアされます（プリスケーラ比は変化しません）。カウンタはクリアされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

15.5.6 TIM12 キャプチャ /比較モードレジスタ 1（TIM12_CCMR1）

アドレスオフセット：0x18

リセット値：0x0000

チャネルは、入力（キャプチャモード）または出力（比較モード）で使用できます。チャネルの方向は、対応する CCxS ビットを設定することによって定義されます。このレジスタの他のすべてのビットは、入力モードと出力モードで機能が異なります。特定のビットについて、OCxx は、チャネルが出力に設定されているときの機能を説明し、ICxx は、チャネルが入力モードに設定されているときの機能を説明します。したがって、同じビットが入力ステージと出力ステージで異なる意味を持つことに注意してください。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み	OC2M[2:0]			OC2 PE	OC2 FE	CC2S[1:0]		予約済み	OC1M[2:0]			OC1 PE	OC1 FE	CC1S[1:0]	
IC2F[3:0]				IC2PSC[1:0]				IC1F[3:0]				IC1PSC[1:0]			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

出力比較モード：

ビット 15 予約済み、常に 0 として読み出されます。

ビット 14:12 **OC2M[2:0]**：出力比較 2 モード

ビット 11 **OC2PE**：出力比較 2 プリロードイネーブル

ビット 10 **OC2FE**：出力比較 2 高速イネーブル

ビット 9:8 **CC2S[1:0]**：キャプチャ /比較 2 選択

このビットフィールドは、チャネルの方向（入力/出力）と、使用される入力を定義します。
00：CC2 チャネルは出力として設定されます。
01：CC2 チャネルは入力として設定され、IC2 は TI2 に配置されます。
10：CC2 チャネルは入力として設定され、IC2 は TI1 に配置されます。
11：CC2 チャネルは入力として設定され、IC2 は TRC に配置されます。このモードは、TS ビット（TIMx_SMCR レジスタ）で内部トリガ入力が選択されている場合のみ機能します。

*注： **CC2S ビットは、チャネルがオフ（TIMx_CCER レジスタの CC2E=0）のときにのみ書き込み可能です。***

ビット 7 予約済み、常に 0 として読み出されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 6:4 **OC1M**：出力比較 1 モード

これらのビットは、OC1 が導き出される出力基準信号 OC1REF の動作を定義します。OC1REF はアクティブハイですが、OC1 のアクティブレベルは CC1P ビットに依存します。

000：停止 - 出力比較レジスタ TIMx_CCR1 とカウンタ TIMx_CNT との間の比較結果は出力に影響しません。

001：一致時にチャネル 1 をアクティブレベルに設定します。OC1REF 信号は、TIMx_CNT カウンタがキャプチャ /比較レジスタ 1（TIMx_CCR1）と一致したときに、強制的にハイになります。

010：一致時にチャネル 1 をインアクティブレベルに設定します。OC1REF 信号は、TIMx_CNT カウンタがキャプチャ /比較レジスタ 1（TIMx_CCR1）と一致したときに、強制的にローになります。

011：反転 - OC1REF は、TIMx_CNT = TIMx_CCR1 のときに反転します。

100：強制インアクティブレベル - OC1REF は強制的にローになります。

101：強制アクティブレベル - OC1REF は強制的にハイになります。

110 : PWM モード 1 - カウントアップ時、チャネル 1 は、TIMx_CNT < TIMx_CCR1 の場合はアクティブに、そうでない場合はインアクティブになります。

111 : PWM モード 2 - カウントアップ時、チャネル 1 は、TIMx_CNT < TIMx_CCR1 の場合はインアクティブに、そうでない場合はアクティブになります。

*注： **PWM モード 1 または 2 では、比較結果が変化したとき、または出力比較モードが停止モードから PWM モードに変更されたときにのみ、OC1REF のレベルが変化します。***

ビット 3 **OC1PE**：出力比較 1 プリロードイネーブル

0 : TIMx_CCR1 のプリロードレジスタは無効です。TIMx_CCR1 は、いつでも書き込み可能であり、新しい値はただちに有効になります。

1：TIMx_CCR1 のプリロードレジスタは有効です。読み書きはプリロードレジスタに対して行われます。TIMx_CCR1 プリロード値は、更新イベントのたびにアクティブレジスタにロードされます。

*注： **PWM モードは、ワンパルスモード（TIMx_CR1 レジスタの OPM ビットがセットされている）のときのみ、プリロードレジスタを有効にしなくても使用できます。そうでない場合、動作は保証されません。***

ビット 2 **OC1FE**：出力比較 1 高速イネーブル

このビットは、CC 出力に対する入力トリガイベントの効果を加速するために使用されます。

0 : CC1 は、トリガがオンのときでも、カウンタと CCR1 の値に依存して、通常どおりに動作します。トリガ入力にエッジが発生してから CC1 出力が有効になるまでの最小遅延は、5 クロックサイクルです。

1：トリガ入力のアクティブエッジは、CC1 出力に対して、比較一致のように働きます。このため、OC は、比較結果には関係なく、比較レベルにセットされます。トリガ入力をサンプルし、CC1 出力を有効にするまでの遅延は、3 クロックサイクルに短縮されます。OCFE は、チャネルが PWM1 または PWM2 モードに設定されている場合のみ機能します。

ビット 1:0 **CC1S**：キャプチャ /比較 1 選択

このビットフィールドは、チャネルの方向（入力/出力）と、使用される入力を定義します。

00：CC1 チャネルは出力として設定されます。

01：CC1 チャネルは入力として設定され、IC1 は TI1 に配置されます。

10：CC1 チャネルは入力として設定され、IC1 は TI2 に配置されます。

11：CC1 チャネルは入力として設定され、IC1 は TRC に配置されます。このモードは、TS ビット（TIMx_SMCR レジスタ）で内部トリガ入力が選択されている場合のみ機能します。

*注： **CC1S ビットは、チャネルがオフ（TIMx_CCER レジスタの CC1E=0）のときにのみ書き込み可能です。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

入力キャプチャモード

ビット 15:12 **IC2F**：入力キャプチャ 2 フィルタ

ビット 11:10 **IC2PSC[1:0]**：入力キャプチャ 2 プリスケーラ

ビット 9:8 **CC2S**：キャプチャ /比較 2 選択

このビットフィールドは、チャネルの方向（入力/出力）と、使用される入力を定義します。
00：CC2 チャネルは出力として設定されます。
01：CC2 チャネルは入力として設定され、IC2 は TI2 に配置されます。
10：CC2 チャネルは入力として設定され、IC2 は TI1 に配置されます。
11：CC2 チャネルは入力として設定され、IC2 は TRC に配置されます。このモードは、TS ビット（TIMx_SMCR レジスタ）で内部トリガ入力が選択されている場合のみ機能します。

注：　CC2S ビットは、チャネルがオフ（TIMx_CCER レジスタの CC2E=0）のときにのみ書き込み可能です。

ビット 7:4 **IC1F[3:0]**：入力キャプチャ 1 フィルタ

このビットフィールドは、TI1 入力をサンプルする周波数と、TI1 に適用されるデジタルフィルタの長さを定義します。デジタルフィルタはイベントカウンタでできていて、出力に有効な変化をもたらすには N 個のイベント発生が必要です。

0000：フィルタなし、サンプリングは f_{DTS} で行われます。
0001：$f_{SAMPLING}=f_{CK_INT}$、N=2
0010：$f_{SAMPLING}=f_{CK_INT}$、N=4
0011：$f_{SAMPLING}=f_{CK_INT}$、N=8
0100：$f_{SAMPLING}=f_{DTS}/2$、N=6
0101：$f_{SAMPLING}=f_{DTS}/2$、N=8
0110：$f_{SAMPLING}=f_{DTS}/4$、N=6
0111：$f_{SAMPLING}=f_{DTS}/4$、N=8
1000：$f_{SAMPLING}=f_{DTS}/8$、N=6
1001：$f_{SAMPLING}=f_{DTS}/8$、N=8
1010：$f_{SAMPLING}=f_{DTS}/16$、N=5
1011：$f_{SAMPLING}=f_{DTS}/16$、N=6
1100：$f_{SAMPLING}=f_{DTS}/16$、N=8
1101：$f_{SAMPLING}=f_{DTS}/32$、N=5
1110：$f_{SAMPLING}=f_{DTS}/32$、N=6
1111：$f_{SAMPLING}=f_{DTS}/32$、N=8

ビット 3:2 **IC1PSC[1:0]**：入力キャプチャ 1 プリスケーラ

このビットフィールドは、CC1 入力（IC1）に作用するプリスケーラの比を定義します。
プリスケーラは、CC1E=0（TIMx_CCER レジスタ）になるとリセットされます。
00：プリスケーラなし。キャプチャは、キャプチャ入力でエッジが検出されるたびに行われます。
01：キャプチャは、2 イベントごとに行われます。
10：キャプチャは、4 イベントごとに行われます。
11：キャプチャは、8 イベントごとに行われます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 1:0 **CC1S**：キャプチャ /比較 1 選択

このビットフィールドは、チャネルの方向（入力/出力）と、使用される入力を定義します。

00：CC1 チャネルは出力として設定されます。

01：CC1 チャネルは入力として設定され、IC1 は TI1 に配置されます。

10：CC1 チャネルは入力として設定され、IC1 は TI2 に配置されます。

11：CC1 チャネルは入力として設定され、IC1 は TRC に配置されます。このモードは、TS ビット（TIMx_SMCR レジスタ）で内部トリガ入力が選択されている場合のみ機能します。

注： CC1S ビットは、チャネルがオフ（TIMx_CCER レジスタの CC1E=0）のときにのみ書き込み可能です。

15.5.7 TIM12 キャプチャ /比較イネーブルレジスタ（TIM12_CCER）

アドレスオフセット：0x20

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み										CC2P	CC2E	予約済み		CC1P	CC1E
										rw	rw			rw	rw

ビット 15:6 予約済み、常に 0 として読み出されます。

ビット 5 **CC2P**：キャプチャ /比較 2 出力極性

CC1P の説明を参照してください。

ビット 4 **CC2E**：キャプチャ /比較 2 出力イネーブル

CC1E の説明を参照してください。

ビット 3:2 予約済み、常に 0 として読み出されます。

ビット 1 **CC1P**：キャプチャ /比較 1 出力極性

CC1 チャネルが出力として設定されている場合：

0：OC1 アクティブハイ

1：OC1 アクティブロー

CC1 チャネルが入力として設定されている場合：

このビットは、IC1 の立ち上がりエッジか立ち下がりエッジのいずれがトリガやキャプチャ操作に使用されるかを選択します。

0：非反転：キャプチャは IC1 の立ち上がりエッジで行われます。外部トリガとして使用されるときには、IC1 は反転されません。

1：反転：キャプチャは IC1 の立ち下がりエッジで行われます。外部トリガとして使用されるときには、IC1 は反転されます。

ビット 0 **CC1E**：キャプチャ /比較 1 出力イネーブル

CC1 チャネルが出力として設定されている場合：

0：オフ - OC1 はアクティブではありません。OC1 のレベルは OIS1 ビットの関数となります。

1：オン - OC1 信号は、OIS1 ビットに応じて、対応する出力ピンに出力されます。

CC1 チャネルが入力として設定されている場合：

このビットによって、カウンタ値のキャプチャ /比較レジスタ 1（TIMx_CCR1）へのキャプチャが実際に行われるかどうかが決まります。

0：キャプチャは無効です。

1：キャプチャは有効です。

注： 標準 OCx チャネルに接続されている外部入出力ピンの状態は、OCx とチャネルの状態、および GPIO と AFIO レジスタに依存します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

15.5.8 TIM12 カウンタ（TIM12_CNT）

アドレスオフセット：0x24

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CNT[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **CNT[15:0]**：カウンタ値

15.5.9 TIM12 プリスケーラ（TIM12_PSC）

アドレスオフセット：0x28

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PSC[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **PSC[15:0]**：プリスケーラ値

カウンタのクロック周波数（CK_CNT）は、f_{CK_PSC} /（PSC[15:0] + 1）です。

PSC は、更新イベントごとにアクティブプリスケーラレジスタにロードされる値を含みます（更新イベントには、TIMx_EGR レジスタの UG ビットを通じて、またはリセットモードに設定されているトリガコントローラを通じて、カウンタがクリアされる場合も含まれます）。

15.5.10 TIM12 自動再ロードレジスタ（TIM12_ARR）

アドレスオフセット：0x2C

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ARR[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **ARR[15:0]**：プリスケーラ値

ARR は、実際の自動再ロードレジスタにロードされる値です。

ARR の更新と動作の詳細については、*セクション 15.4.1：タイムベースユニット（393 ページ）*を参照してください。

自動再ロード値が 0 のときには、カウンタはブロックされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

15.5.11 TIM12 キャプチャ /比較レジスタ 1（TIM12_CCR1）

アドレスオフセット：0x34

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR1[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **CCR1[15:0]**：キャプチャ /比較 1 値

チャネル CC1 が出力として設定されている場合：

CCR1 は、実際のキャプチャ /比較 1 レジスタにロードされる値（プリロード値）です。

TIMx_CCMR1 レジスタの OC1PE ビットでプリロード機能が選択されていない場合、この値は直ちにロードされます。そうでない場合、プリロード値は、更新イベントが発生すると、アクティブキャプチャ /比較 1 レジスタにコピーされます。

アクティブキャプチャ /比較レジスタは、カウンタ TIMx_CNT と比較されて、OC1 出力に送信される値を含みます。

チャネル CC1 が入力として設定されている場合：

CCR1 は、最後の入力キャプチャ 1 イベント（IC1）によって転送されたカウンタ値です。

15.5.12 TIM12 キャプチャ /比較レジスタ 2（TIM12_CCR2）

アドレスオフセット：0x38

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR2[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **CCR2[15:0]**：キャプチャ /比較 2 値

チャネル CC2 が出力として設定されている場合：

CCR2 は、実際のキャプチャ /比較 2 レジスタにロードされる値（プリロード値）です。

TIMx_CCMR2 レジスタの OC2PE ビットでプリロード機能が選択されていない場合は、直ちにロードされます。そうでない場合、プリロード値は、更新イベントが発生すると、アクティブキャプチャ /比較 2 レジスタにコピーされます。

アクティブキャプチャ /比較レジスタは、カウンタ TIMx_CNT と比較されて、OC2 出力に送信される値を含みます。

チャネル CC2 が入力として設定されている場合：

CCR2 は、最後の入力キャプチャ 2 イベント（IC2）によって転送されたカウンタ値です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

15.5.13 TIM12 レジスタマップ

TIM12 レジスタは、次の表のように、16 ビットのアドレス可能レジスタとしてマップされます。

レジスタ境界アドレスについては、*表 2：大容量デバイスのレジスタ境界アドレス*を参照してください。

表 80. TIM12 レジスタマップとリセット値

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	TIM12_CR1	予約済み																						CKD [1:0]		ARPE	予約済み			OPM	URS	UDIS	CEN
	リセット値																							0	0	0				0	0	0	0
0x04	TIM12_CR2	予約済み																					OIS2	予約済み	OIS1	予約済み	MMS[2:0]			予約済み			
	リセット値																						0		0		0	0	0				
0x08	TIM12_SMCR	予約済み																								MSM	TS[2:0]			予約済み	SMS[2:0]		
	リセット値																									0	0	0	0		0	0	0
0x0C	予約済み																																
0x10	TIM12_SR	予約済み																					CC2OF	CC1OF	予約済み		TIF	COMIF	予約済み		CC2IF	CC1IF	UIF
	リセット値																						0	0			0	0			0	0	0
0x14	TIM12_EGR	予約済み																									TG	COMG	予約済み		CC2G	CC1G	UG
	リセット値																										0	0			0	0	0
0x18	TIM12_CCMR1 出力比較モード	予約済み																	OC2M [2:0]			OC2PE	OC2FE	CC2S [1:0]		予約済み	OC1M [2:0]			OC1PE	OC1FE	CC1S [1:0]	
	リセット値																		0	0	0	0	0	0	0		0	0	0	0	0	0	0
	TIM12_CCMR1 入力キャプチャモード	予約済み																IC2F[3:0]				IC2 PSC [1:0]		CC2S [1:0]			IC1F[3:0]			IC1 PSC [1:0]		CC1S [1:0]	
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x20	TIM12_CCER	予約済み																										CC2P	CC2E	予約済み		CC1P	CC1E
	リセット値																											0	0			0	0
0x24	TIM12_CNT	予約済み																CNT[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x28	TIM12_PSC	予約済み																PSC[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x2C	TIM12_ARR	予約済み																ARR[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x30	予約済み																																
0x34	TIM12_CCR1	予約済み																CCR1[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x38	TIM12_CCR2	予約済み																CCR2[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

15.6 TIM13 および TIM14 レジスタ

レジスタの説明で使用されている略語のリストについては、*セクション 1.1（32 ページ）*を参照してください。

15.6.1 TIM13 および TIM14 制御レジスタ 1（TIMx_CR1）

アドレスオフセット：0x00

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み						CKD[1:0]		ARPE	予約済み			OPM	URS	UDIS	CEN
						rw	rw	rw				rw	rw	rw	rw

ビット 15:10 予約済み、常に 0 として読み出されます。

ビット 9:8 **CKD[1:0]**：クロック分周

このビットフィールドは、タイマクロック（CK_INT）周波数と、デッドタイム生成回路とデジタルフィルタ（TIx）によって使用されるデッドタイムおよびサンプリングクロック（t_{DTS}）との間の分周比を示します。

00：$t_{DTS} = t_{CK_INT}$

01：$t_{DTS} = 2*t_{CK_INT}$

10：$t_{DTS} = 4*t_{CK_INT}$

11：予約済み。この値をプログラミングしないでください。

ビット 7 **ARPE**：自動再ロードプリロードイネーブル

0：TIMx_ARR レジスタはバッファされません。

1：TIMx_ARR レジスタはバッファされます。

ビット 6:4 予約済み、常に 0 として読み出されます。

ビット 3 **OPM**：ワンパルスモード

0：カウンタは更新イベントで停止しません。

1：カウンタは次の更新イベントでカウントを停止します（CEN ビットをクリア）。

ビット 2 **URS**：更新リクエストソース

このビットは、UEV イベントソースを選択するために、ソフトウェアによってセット/クリアされます。

0：次のイベントのいずれかが更新割り込みを生成します（有効な場合）。これらのイベントは、次のとおりです。

- カウンタオーバーフロー
- UG ビットのセット

1：カウンタオーバーフローのみが更新割り込みを生成します（有効な場合）。

ビット 1 **UDIS**：更新ディセーブル

このビットは、UEV イベント生成を有効/無効にするために、ソフトウェアによってセット/クリアされます。

0：UEV は有効です。更新イベント（UEV）は、以下のいずれかのイベントによって生成されます。

- カウンタオーバーフロー
- UG ビットのセット

バッファされるレジスタにはプリロード値がロードされます。

1：UEV は無効です。更新イベントは生成されず、シャドウレジスタ（ARR、PSC、CCRx）は値を維持します。ただし、UG ビットがセットされた場合、カウンタとプリスケーラは再初期化されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 0 **CEN**：カウンタイネーブル

0：カウンタは無効です。

1：カウンタは有効です。

注： 外部クロックおよびゲートモードは、CEN ビットが事前にソフトウェアによってセットされている場合のみ動作します。ただし、トリガモードでは、ハードウェアによって自動的に CEN ビットをセットできます。

15.6.2 TIM13 および TIM14 制御レジスタ 2（TIMx_CR2）

アドレスオフセット：0x04

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み							OIS1	予約済み							
							rw								

ビット 15:9 予約済み、常に 0 として読み出されます。

ビット 8 **OIS1**：出力アイドル状態 1（OC1 出力）

0：OC1=0

1：OC1=1

ビット 7:0 予約済み、常に 0 として読み出されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

15.6.3 TIM13 および TIM14 ステータスレジスタ（TIMx_SR）

アドレスオフセット：0x10

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み						CC1OF	予約済み							CC1IF	UIF
						rc_w0								rc_w0	rc_w0

ビット 15:10 予約済み、常に 0 として読み出されます。

ビット 9 **CC1OF**：キャプチャ /比較 1 オーバーキャプチャフラグ

このフラグは、対応するチャネルが入力キャプチャモードに設定されているときのみ、ハードウェアによってセットされます。0 を書き込むことによってソフトウェアによってクリアされます。

0：オーバーキャプチャは検出されていません。

1：CC1IF フラグがすでにセットされているときに、カウンタの値が TIMx_CCR1 レジスタにキャプチャされました。

ビット 8:2 予約済み、常に 0 として読み出されます。

ビット 1 **CC1IF**：キャプチャ /比較 1 割り込みフラグ

チャネル CC1 が出力として設定されている場合：

このフラグは、カウンタの値が比較値と一致したときにハードウェアによってセットされます。ソフトウェアによってクリアされます。

0：一致なし。

1：カウンタ TIMx_CNT の内容が TIMx_CCR1 レジスタの内容と一致しました。TIMx_CCR1 の内容が TIMx_ARR の内容より大きいときには、カウンタオーバーフロー時に CC1IF ビットはハイになります。

チャネル CC1 が入力として設定されている場合：

このビットは、キャプチャ時にハードウェアによってセットされます。ソフトウェアによって、または TIMx_CCR1 レジスタを読み出すことによってクリアされます。

0：入力キャプチャは発生していません。

1：カウンタの値が TIMx_CCR1 レジスタにキャプチャされました（IC1 で、選択された極性に一致するエッジが検出されました）。

ビット 0 **UIF**：更新割り込みフラグ

このビットは、更新イベント時にハードウェアによってセットされます。ソフトウェアによってクリアされます。

0：更新は発生していません。

1：更新割り込みが保留中です。このビットは、レジスタが更新されたときにハードウェアによってセットされます。

–TIM1_CR1レジスタの UDIS = 0 の場合、オーバーフローが発生したとき。

–TIMx_CR1 レジスタの URS=0 かつ UDIS=0 であり、TIMx_EGR レジスタの UG ビットを使用して、CNT がソフトウェアによって再初期化されたとき。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

15.6.4 TIM13 および TIM14 イベント生成レジスタ（TIMx_EGR）

アドレスオフセット：0x14

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み														CC1G	UG
														w	w

ビット 15:2 予約済み、常に 0 として読み出されます。

ビット 1 **CC1G**：キャプチャ /比較 1 生成

このビットは、イベントを生成するためにソフトウェアによってセットされ、ハードウェアによって自動的にクリアされます。
0：影響なし。
1：チャネル 1 でキャプチャ /比較イベントが生成されます。
チャネル CC1 が出力として設定されている場合：
CC1IF フラグがセットされ、対応する割り込みが送信されます（有効な場合）。
チャネル CC1 が入力として設定されている場合：
カウンタの現在値が TIMx_CCR1 レジスタにキャプチャされます。CC1IF フラグがセットされ、対応する割り込みが送信されます（有効な場合）。CC1ＩF フラグがすでにハイであった場合は、CC1OF フラグがセットされます。

ビット 0 **UG**：更新の生成

このビットは、ソフトウェアによってセットでき、ハードウェアによって自動的にクリアされます。
0：影響なし。
1：カウンタを再初期化し、レジスタの更新を生成します。プリスケーラカウンタもクリアされます（プリスケーラ比は変化しません）。カウンタはクリアされます。

15.6.5 TIM13 および TIM14 キャプチャ /比較モードレジスタ 1（TIMx_CCMR1）

アドレスオフセット：0x18

リセット値：0x0000

チャネルは、入力（キャプチャモード）または出力（比較モード）で使用できます。チャネルの方向は、対応する CCxS ビットを設定することによって定義されます。このレジスタの他のビットはすべて、入力モードと出力モードで機能が異なります。特定のビットについて、OCxx は、チャネルが出力に設定されているときに、そのビットの機能を説明し、ICxx は、チャネルが入力に設定されているときに、そのビットの機能を説明します。したがって、同じビットが入力ステージと出力ステージで異なる意味を持つことに注意する必要があります。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								予約済み	OC1M[2:0]			OC1 PE	OC1 FE	CC1S[1:0]	
								IC1F[3:0]				IC1PSC[1:0]			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

出力比較モード：

ビット 15:7　予約済み、常に 0 として読み出されます。

ビット 6:4　**OC1M**：出力比較 1 モード

これらのビットは、OC1 が導き出される出力基準信号 OC1REF の動作を定義します。OC1REF はアクティブハイですが、OC1 のアクティブレベルは CC1P ビットに依存します。

000：停止 - 出力比較レジスタ TIMx_CCR1 とカウンタ TIMx_CNT の比較結果は出力に影響しません。

001：一致時にチャネル 1 をアクティブレベルに設定します。OC1REF 信号は、カウンタ TIMx_CNT がキャプチャ /比較レジスタ 1（TIMx_CCR1）に一致したときに、強制的にハイになります。

010：一致時にチャネル 1 をインアクティブレベルに設定します。OC1REF 信号は、カウンタ TIMx_CNT がキャプチャ/比較レジスタ 1（TIMx_CCR1）に一致したときに、強制的にローになります。

011：反転 - OC1REF は、TIMx_CNT = TIMx_CCR1 のときに反転します。

100：強制インアクティブレベル - OC1REF は強制的にローになります。

101：強制アクティブレベル - OC1REF は強制的にハイになります。

110 : PWM モード 1 - カウントアップ時、チャネル 1 は、TIMx_CNT < TIMx_CCR1 の場合はアクティブに、そうでない場合はインアクティブになります。

111 : PWM モード 2 - カウントアップ時、チャネル 1 は、TIMx_CNT < TIMx_CCR1 の場合はインアクティブに、そうでない場合はアクティブになります。

*注：　**PWM モード 1 または 2 では、OC1REF のレベルは、比較結果が変化するか、出力比較モードが停止モードから PWM モードに変更されたときにのみ変化します。***

ビット 3　**OC1PE**：出力比較 1 プリロードイネーブル

0：TIMx_CCR1 のプリロードレジスタは無効です。TIMx_CCR1 は、常時書き込みが可能であり、新しい値はただちに有効になります。

1：TIMx_CCR1 のプリロードレジスタは有効です。読み書き操作はプリロードレジスタに対して行われます。TIMx_CCR1 プリロード値は、更新イベントのたびにアクティブレジスタにロードされます。

*注：　**PWM モードは、ワンパルスモード（TIMx_CR1 レジスタの OPM ビットがセットされている）のときのみ、プリロードレジスタを有効にしなくても使用できます。そうでない場合、動作は保証されません。***

ビット 2　**OC1FE**：出力比較 1 高速イネーブル

このビットは、CC 出力に対する入力トリガイベントの効果を加速するために使用されます。

0：CC1 は、トリガがオンのときでも、カウンタと CCR1 の値に依存して、通常どおりに動作します。トリガ入力のエッジ発生から CC1 出力が有効になるまでの最小遅延は、5 クロックサイクルです。

1：トリガ入力のアクティブエッジは、CC1 出力に対して、比較一致のように働きます。このため、OC は、比較結果には関係なく、比較レベルにセットされます。トリガ入力をサンプルしてから CC1 出力を有効にするまでの遅延は、3 クロックサイクルに短縮されます。OCFE は、チャネルが PWM1 または PWM2 モードに設定されている場合のみ機能します。

ビット 1:0　**CC1S**：キャプチャ /比較 1 選択

このビットフィールドは、チャネルの方向（入力/出力）と、使用される入力を定義します。

00：CC1 チャネルは出力として設定されます。

01：CC1 チャネルは入力として設定され、IC1 は TI1 に配置されます。

10：CC1 チャネルは入力として設定され、IC1 は TI2 に配置されます。

*注：　**CC1S ビットは、チャネルが OFF（TIMx_CCER レジスタの CC1E=0）のときのみ書き込みができます。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

入力キャプチャモード

ビット 15:12 **IC2F**：入力キャプチャ 2 フィルタ

ビット 11:10 **IC2PSC[1:0]**：入力キャプチャ 2 プリスケーラ

ビット 7:4 **IC1F[3:0]**：入力キャプチャ 1 フィルタ

このビットフィールドは、TI1 入力をサンプルする周波数と、TI1 に適用されるデジタルフィルタの長さを定義します。デジタルフィルタはイベントカウンタでできていて、出力に有効な変化をもたらすには N 個のイベントが必要です。

0000：フィルタなし、サンプリングは f_{DTS} で行われます。

0001：$f_{SAMPLING}=f_{CK_INT}$、N=2

0010：$f_{SAMPLING}=f_{CK_INT}$、N=4

0011：$f_{SAMPLING}=f_{CK_INT}$、N=8

0100：$f_{SAMPLING}=f_{DTS}/2$、N=6

0101：$f_{SAMPLING}=f_{DTS}/2$、N=8

0110：$f_{SAMPLING}=f_{DTS}/4$、N=6

0111：$f_{SAMPLING}=f_{DTS}/4$、N=8

1000：$f_{SAMPLING}=f_{DTS}/8$、N=6

1001：$f_{SAMPLING}=f_{DTS}/8$、N=8

1010：$f_{SAMPLING}=f_{DTS}/16$、N=5

1011：$f_{SAMPLING}=f_{DTS}/16$、N=6

1100：$f_{SAMPLING}=f_{DTS}/16$、N=8

1101：$f_{SAMPLING}=f_{DTS}/32$、N=5

1110：$f_{SAMPLING}=f_{DTS}/32$、N=6

1111：$f_{SAMPLING}=f_{DTS}/32$、N=8

ビット 3:2 **IC1PSC[1:0]**：入力キャプチャ 1 プリスケーラ

このビットフィールドは、CC1 入力（IC1）に作用するプリスケーラの分周比を定義します。
プリスケーラは、CC1E=0（TIMx_CCER レジスタ）になるとリセットされます。

00：プリスケーラなし。キャプチャは、キャプチャ入力でエッジが検出されるたびに行われます。

01：キャプチャは、2 イベントごとに行われます。

10：キャプチャは、4 イベントごとに行われます。

11：キャプチャは、8 イベントごとに行われます。

ビット 1:0 **CC1S**：キャプチャ /比較 1 選択

このビットフィールドは、チャネルの方向（入力/出力）と、使用される入力を定義します。

00：CC1 チャネルは出力として設定されます。

01：CC1 チャネルは入力として設定され、IC1 は TI1 にマップされます。

10：CC1 チャネルは入力として設定され、IC1 は TI2 にマップされます。

11：CC1 チャネルは入力として設定され、IC1 は TRC にマップされます。このモードは、TS ビット（TIMx_SMCR レジスタ）で内部トリガ入力が選択されている場合のみ機能します。

注：　CC1S ビットは、チャネルが OFF（TIMx_CCER レジスタの CC1E=0）のときにのみ書き込みができます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

15.6.6 TIM13 および TIM14 キャプチャ /比較イネーブルレジスタ（TIMx_CCER）

アドレスオフセット：0x20

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み														CC1P	CC1E
														rw	rw

ビット 15:2 予約済み、常に 0 として読み出されます。

ビット 1 **CC1P**：キャプチャ /比較 1 出力極性

CC1 チャネルが出力として設定されている場合：

0：OC1 アクティブハイ

1：OC1 アクティブロー

CC1 チャネルが入力として設定されている場合：

このビットは、IC1 の立ち上がりエッジか立ち下がりエッジのいずれがトリガやキャプチャ操作に使用されるかを選択します。

0：非反転：キャプチャは IC1 の立ち上がりエッジで行われます。外部トリガとして使用されるときには、IC1 は反転されません。

1：反転：キャプチャは IC1 の立ち下がりエッジで行われます。外部トリガとして使用されるときには、IC1 は反転されます。

ビット 0 **CC1E**：キャプチャ /比較 1 出力イネーブル

CC1 チャネルが出力として設定されている場合：

0：オフ - OC1 はアクティブではありません。OC1 のレベルは OIS1 ビットの関数となります。

1：オン - OC1 信号は、OIS1 ビットに応じて、対応する出力ピンに出力されます。

CC1 チャネルが入力として設定されている場合：

このビットによって、カウンタ値の入力キャプチャ /比較レジスタ 1（TIMx_CCR1）へのキャプチャが実際に行われるかどうかが決まります。

0：キャプチャは無効です。

1：キャプチャは有効です。

注： OCx チャネルに接続されている外部 I/O ピンの状態は、OCx とチャネルの状態、および GPIO と AFIO レジスタに依存します。

15.6.7 TIM13 および TIM14 カウンタ（TIMx_CNT）

アドレスオフセット：0x24

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CNT[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **CNT[15:0]**：カウンタ値

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

15.6.8 TIM13 および TIM14 プリスケーラ（TIMx_PSC）

アドレスオフセット：0x28

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PSC[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **PSC[15:0]**：プリスケーラ値

カウンタのクロック周波数（CK_CNT）は、f_{CK_PSC} /（PSC[15:0] + 1）に等しいです。

PSC は、更新イベントごとにアクティブプリスケーラレジスタにロードされる値を含みます（更新イベントには、TIMx_EGR レジスタの UG ビットを通じて、またはリセットモードに設定されているトリガコントローラを通じて、カウンタがクリアされる場合も含まれます）。

15.6.9 TIM13 および TIM14 自動再ロードレジスタ（TIMx_ARR）

アドレスオフセット：0x2C

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ARR[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **ARR[15:0]**：プリスケーラ値

ARR は、実際の自動再ロードレジスタにロードされる値です。

ARR の更新と動作の詳細については、*セクション 15.4.1：タイムベースユニット（393 ページ）*を参照してください。

自動再ロード値が 0 のときには、カウンタはブロックされます。

15.6.10 TIM13 および TIM14 キャプチャ /比較レジスタ 1（TIMx_CCR1）

アドレスオフセット：0x34

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR1[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **CCR1[15:0]**：キャプチャ /比較 1 値

チャネル CC1 が出力として設定されている場合：

CCR1 は、実際のキャプチャ /比較 1 レジスタにロードされる値（プリロード値）です。

TIMx_CCMR1 レジスタの OC1PE ビットでプリロード機能が選択されていない場合は、この値は直ちにロードされます。そうでない場合、プリロード値は、更新イベントが発生すると、アクティブキャプチャ /比較 1 レジスタにコピーされます。

アクティブキャプチャ /比較レジスタは、カウンタ TIMx_CNT と比較されて、OC1 出力に送信される値を含みます。

チャネル CC1 が入力として設定されている場合：

CCR1 は、最後の入力キャプチャ 1 イベント（IC1）によって転送されたカウンタ値です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

15.6.11 TIM13 および TIM14 レジスタマップ

TIM13 および TIM14 レジスタは、次の表のように、16 ビットのアドレス可能レジスタとしてマップされます。

レジスタ境界アドレスについては、*表 1 : 小容量および中容量デバイスのレジスタ境界アドレス* および *表 2 : 大容量デバイスのレジスタ境界アドレス* を参照してください。

表 81. TIM13 および TIM14 レジスタマップとリセット値

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	TIMx_CR1	予約済み																						CKD [1:0]		ARPE	予約済み			OPM	URS	UDIS	CEN
	リセット値																							0	0	0				0	0	0	0
0x04	TIMx_CR2	予約済み																							OIS1	予約済み							
	リセット値																								0								
0x08-0x0C	予約済み																																
0x10	TIMx_SR	予約済み																						CC1OF	予約済み							CC1IF	UIF
	リセット値																							0								0	0
0x14	TIMx_EGR	予約済み																														CC1G	UG
	リセット値																															0	0
0x18	TIMx_CCMR1 出力比較モード	予約済み																									OC1M [2:0]			OC1PE	OC1FE	CC1S [1:0]	
	リセット値																										0	0	0	0	0	0	0
	TIMx_CCMR1 入力キャプチャモード	予約済み																								IC1F[3:0]				IC1 PSC [1:0]		CC1S [1:0]	
	リセット値																									0	0	0	0	0	0	0	0
0x20	TIMx_CCER	予約済み																														CC1P	CC1E
	リセット値																															0	0
0x24	TIMx_CNT	予約済み																CNT[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x28	TIMx_PSC	予約済み																PSC[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x2C	TIMx_ARR	予約済み																ARR[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x30	予約済み																																
0x34	TIMx_CCR1	予約済み																CCR1[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

レジスタ境界アドレスについては、*表 1 : 小容量および中容量デバイスのレジスタ境界アドレス* および *表 2 : 大容量デバイスのレジスタ境界アドレス* を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

16 基本タイマ（TIM6 および TIM7）

小容量バリューラインデバイスは、フラッシュメモリ容量が 16～32 KB の STM32F100xx マイクロコントローラです。

中容量バリューラインデバイスは、フラッシュメモリ容量が 64～128 KB の STM32F100xx マイクロコントローラです。

大容量バリューラインデバイスは、フラッシュメモリ容量が 256～512 KB の STM32F100xx マイクロコントローラです。

16.1 TIM6 および TIM7 の概要

基本タイマ TIM6 および TIM7 は、プログラマブルなプリスケーラによって駆動される 16 ビット自動再ロードカウンタで構成されています。

このタイマは、タイムベース生成を目的とした汎用タイマとして使用できますが、デジタルアナログコンバータ（DAC）を駆動するためにも使用されます。実際、これらのタイマは内部で DAC に接続されていて、トリガ出力を通じて駆動することができます。

タイマは完全に独立していて、いかなるリソースも共有しません。

16.2 TIM6 および TIM7 の主な機能

基本タイマ（TIM6 および TIM7）の機能は、次のとおりです。

- 16 ビット自動再ロードアップカウンタ
- 1 から 65535 の間でカウンタクロック周波数を動作中でも分周できる 16 ビットのプログラマブルプリスケーラ。
- DAC をトリガする同期回路
- 更新イベント時の割り込み/DMA 生成：カウンタオーバーフロー

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 185. 基本タイマブロック図

16.3 TIM6 および TIM7 の機能詳細

16.3.1 タイムベースユニット

プログラマブルタイマのメインブロックは、自動再ロードレジスタを持つ 16 ビットアップカウンタです。カウンタクロックは、プリスケーラによって分周できます。

カウンタ、自動再ロードレジスタ、およびプリスケーラレジスタは、ソフトウェアによる読み書きが可能です。カウンタが動作中でも、読み書きが可能です。

タイムベースユニットは、以下のレジスタで構成されます。

- カウンタレジスタ（TIMx_CNT）
- プリスケーラレジスタ（TIMx_PSC）
- 自動再ロードレジスタ（TIMx_ARR）

自動再ロードレジスタはプリロードレジスタに事前にロードされます。自動再ロードレジスタの読み書きが試みられるたびに、プリロードレジスタがアクセスされます。プリロードレジスタの内容は、TIMx_CR1 レジスタの自動再ロードプリロードイネーブルビット（ARPE）に応じて、常時または更新イベント UEV ごとにシャドウレジスタに転送されます。TIMx_CR1 レジスタの UDIS ビットが 0 である場合、カウンタがオーバーフロー値に達すると、更新イベントが発生します。また、ソフトウェアによって更新イベントを生成することも可能です。更新イベントの生成については、各設定の中で詳しく説明されています。

カウンタのクロックは、TIMx_CR1 レジスタのカウンタイネーブルビット（CEN）がセットされているときにのみ、プリスケーラ出力 CK_CNT から供給されます。

実際のカウンタイネーブル信号 CNT_EN は、CEN の 1 クロックサイクル後にセットされることに注意してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

プリスケーラの詳細

プリスケーラは、カウンタクロック周波数を 1 から 65536 の間の値で分周することができます。16 ビット レジスタ（TIMx_PSC）を通して制御されます。この制御レジスタはバッファされるので、動作中でも変更できます。新しいプリスケーラ比は、次の更新イベントで有効になります。

図 186 と *図 187* は、プリスケーラ比が動作中に変更されたときのカウンタの動作の例を示しています。

図 186. プリスケーラ分周比が 1 から 2 に変化したときのカウンタのタイミング図

図 187. プリスケーラ分周比が 1 から 4 に変化したときのカウンタのタイミング図

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

16.3.2 カウントモード

カウンタは、0 から自動再ロード値（TIMx_ARR レジスタの内容）までカウントし、0 からカウントをリスタートして、カウンタオーバーフローイベントを生成します。

更新イベントは、カウンタオーバーフローごとに、または、（ソフトウェアによって、または、スレーブモードコントローラを使用して）TIMx_EGR レジスタの UG ビットをセットすることによって生成できます。

UEV イベントは、ソフトウェアで TIMx_CR1 レジスタの UDIS ビットをセットすることによって無効にできます。これは、プリロードレジスタに新しい値を書き込んでいるときにシャドウレジスタが更新されるのを防ぐためです。このようにすると、UDIS ビットに 0 が書き込まれるまで、更新イベントは発生しませんが、カウンタとプリスケーラカウンタは両方とも 0 からリスタートします（ただし、プリスケーラ分周比は変化しません）。さらに、TIMx_CR1 レジスタの URS（Update Request Selection：更新リクエスト選択）ビットがセットされている場合、UG ビットをセットすると更新イベント UEV が生成されますが、UIF フラグはセットされません（割り込みや DMA リクエストは送信されません）。

更新イベントが発生すると、すべてのレジスタが更新され、URS ビットの設定に応じて、更新フラグ（TIMx_SR レジスタの UIF ビット）がセットされます。

- プリスケーラのバッファには、プリロード値（TIMx_PSC レジスタの内容）が再ロードされます。
- 自動再ロードシャドウレジスタは、プリロード値（TIMx_ARR）で更新されます。

以下の図は、TIMx_ARR = 0x36 のときの、さまざまなクロック周波数におけるカウンタの動作の例を示しています。

図 188. 内部クロック分周比が 1 の場合のカウンタのタイミング図

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 189. 内部クロック分周比が 2 の場合のカウンタのタイミング図

図 190. 内部クロック分周比が 4 の場合のカウンタのタイミング図

図 191. 内部クロック分周比が N の場合のカウンタのタイミング図

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 192. ARPE=0（TIMx_ARR はプリロードされない）のときの更新イベント時のカウンタのタイミング図

図 193. ARPE=1（TIMx_ARR はプリロードされる）のときの更新イベント時のカウンタのタイミング図

16.3.3 クロックソース

カウンタクロックは、内部クロック（CK_INT）ソースから供給されます。

TIMx_CR1 レジスタの CEN ビットと TIMx_EGR レジスタの UG ビットは実際の制御ビットであり、ソフトウェアによってのみ変更できます（ただし、UG は、自動的にクリアされたままになります）。CEN ビットに 1 が書き込まれると、プリスケーラにはクロックとして内部クロック CK_INT が供給されます。

図 194 に、プリスケーラを使用しない通常モードでの制御回路とアップカウンタの動作を示しています。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 194. 内部クロック分周比 1 の場合の、通常モードの制御回路

16.3.4 デバッグモード

マイクロコントローラがデバッグモードになると（Cortex-M3 コア停止）、DBG モジュールの DBG_TIMx_STOP 設定ビットに応じて、TIMx カウンタは通常通りに動作を続けるか、または停止します。詳細については、*セクション 25.15.2 : タイマ、ウォッチドッグ、および I^2C のデバッグサポート*を参照してください。

16.4 TIM6 および TIM7 レジスタ

レジスタの説明で使用されている略語については、*セクション 1.1 (32 ページ)* を参照してください。

ペリフェラルレジスタには、ハーフワード（16 ビット）またはワード（32 ビット）単位でアクセスできます。

16.4.1 TIM6 および TIM7 制御レジスタ 1（TIMx_CR1）

アドレスオフセット：0x00

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								ARPE	予約済み			OPM	URS	UDIS	CEN
								rw				rw	rw	rw	rw

ビット 15:8 予約済み、常に 0 として読み出されます。

ビット 7 **ARPE**：自動再ロードプリロードイネーブル

0：TIMx_ARR レジスタはバッファされません。
1：TIMx_ARR レジスタはバッファされます。

ビット 6:4 予約済み、常に 0 として読み出されます。

ビット 3 **OPM**：ワンパルスモード

0：カウンタは更新イベントで停止しません。
1：カウンタは次の更新イベントでカウントを停止します（CEN ビットをクリアします）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 2 **URS**：更新リクエストのソース

このビットは、UEV イベントソースを選択するために、ソフトウェアによってセット/クリアされます。

0：次のいずれかのイベントが発生すると、更新割り込みまたは DMA リクエスト（有効な場合）が生成されます。これらのイベントは、次のとおりです。

- カウンタオーバーフロー /アンダーフロー
- UG ビットのセット
- スレーブモードコントローラからの更新生成

1：カウンタのオーバーフロー/アンダーフローの場合のみ、更新リクエストまたは（有効な場合）DMA リクエストが生成されます。

ビット 1 **UDIS**：更新ディセーブル

このビットは、UEV 生成を有効/無効にするために、ソフトウェアによってセット/クリアされます。

0：UEV は有効です。更新イベント（UEV）は、以下のいずれかのイベントによって生成されます。

- カウンタオーバーフロー /アンダーフロー
- UG ビットのセット
- スレーブモードコントローラからの更新生成

バッファされたレジスタには、プリロード値がロードされます。

1：UEV は無効です。更新イベントは生成されず、シャドウレジスタ（ARR、PSC）はそれぞれの値のままです。ただし、UG ビットがセットされた場合や、スレーブモードコントローラからハードウェアリセットを受信した場合には、カウンタとプリスケーラが初期化されます。

ビット 0 **CEN**：カウンタイネーブル

0：カウンタは無効です。
1：カウンタは有効です。

注： ゲートモードは、CEN ビットが事前にソフトウェアによってセットされていた場合のみ動作します。ただし、トリガモードでは、ハードウェアによって自動的に CEN ビットをセットできます。

ワンパルスモードでは、更新イベントが発生すると、CEN は自動的にクリアされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

16.4.2 TIM6 および TIM7 制御レジスタ 2（TIMx_CR2）

アドレスオフセット：0x04

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み									MMS[2:0]			予約済み			
									rw	rw	rw				

ビット 15:7 予約済み、常に 0 として読み出されます。

ビット 6:4 **MMS**：マスタモード選択

これらのビットは、スレーブタイマの同期のためにマスタモードで送られる情報（TRGO）を選択するために使用されます。組み合わせは、次のとおりです。

000：**リセット** - TIMx_EGR レジスタの UG ビットがトリガ出力（TRGO）として使用されます。トリガ入力によってリセットが生成された場合（スレーブモードコントローラがリセットモードに設定されているとき）、TRGO 信号は実際のリセットより遅れます。

001：**イネーブル** - カウンタイネーブル信号 CNT_EN がトリガ出力（TRGO）として使用されます。いくつかのタイマを同時に開始するときや、スレーブタイマが有効な時間枠を制御するときに便利です。カウンタイネーブル信号は、CEN 制御ビットとゲートモードに設定されているときのトリガ入力との論理和によって生成されます。

カウンタイネーブル信号がトリガ入力によって制御されているとき、マスタ/スレーブモードが選択されている場合を除いて、TRGO には遅延が存在します（TIMx_SMCR レジスタの MSM ビットの説明を参照してください）。

010：**更新** - 更新イベントがトリガ出力（TRGO）として選択されます。たとえば、マスタタイマをスレーブタイマのプリスケーラとして使用できます。

ビット 3:0 予約済み、常に 0 として読み出されます。

16.4.3 TIM6 および TIM7 DMA/割り込みイネーブルレジスタ（TIMx_DIER）

アドレスオフセット：0x0C

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み							UDE	予約済み							UIE
							rw								rw

ビット 15:9 予約済み、常に 0 として読み出されます。

ビット 8 **UDE**：更新 DMA リクエストイネーブル

0：更新 DMA リクエストは無効です。
1：更新 DMA リクエストは有効です。

ビット 7:1 予約済み、常に 0 として読み出されます。

ビット 0 **UIE**：更新割り込みイネーブル

0：更新割り込みは無効です。
1：更新割り込みは有効です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

16.4.4 TIM6 および TIM7 ステータスレジスタ（TIMx_SR）

アドレスオフセット：0x10

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															UIF
															rc_w0

ビット 15:1 予約済み、常に 0 として読み出されます。

ビット 0 **UIF**：更新割り込みフラグ

このビットは、更新イベント時にハードウェアによってセットされます。ソフトウェアによってクリアされます。
0：更新は発生していません。
1：更新割り込みが保留中です。このビットは、レジスタが更新されたときにハードウェアによってセットされます。

–繰り返しカウンタ値に関するオーバーフローまたはアンダーフローのときと、TIMx_CR1 レジスタの UDIS=0 の場合。

–TIMx_CR1 レジスタの URS = 0 かつ UDIS = 0 であり、TIMx_EGR レジスタの UG ビットを使用して、CNT がソフトウェアによって再初期化されたとき。

16.4.5 TIM6 および TIM7 イベント生成レジスタ（TIMx_EGR）

アドレスオフセット：0x14

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															UG
															w

ビット 15:1 予約済み、常に 0 として読み出されます。

ビット 0 **UG**：更新生成

このビットは、ソフトウェアによってセットでき、ハードウェアによって自動的にクリアされます。
0：影響なし。
1：タイマカウンタを再初期化して、レジスタの更新を生成します。プリスケーラカウンタもクリアされます（プリスケーラ比は変化しません）。

16.4.6 TIM6 および TIM7 カウンタ（TIMx_CNT）

アドレスオフセット：0x24

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CNT[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **CNT[15:0]**：カウンタ値

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

16.4.7 TIM6 および TIM7 プリスケーラ（TIMx_PSC）

アドレスオフセット：0x28

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PSC[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **PSC[15:0]**：プリスケーラ値

カウンタクロック周波数 CK_CNT は、f_{CK_PSC}/（PSC[15:0] + 1）と等しいです。

PSC は、更新イベントごとにアクティブプリスケーラレジスタにロードされる値を含みます。

16.4.8 TIM6 および TIM7 自動再ロードレジスタ（TIMx_ARR）

アドレスオフセット：0x2C

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ARR[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **ARR[15:0]**：プリスケーラ値

ARR は、実際の自動再ロードレジスタにロードされる値です。

ARR の更新と動作の詳細については、*セクション 16.3.1：タイムベースユニット（433 ページ）*を参照してください。

自動再ロード値が null のときには、カウンタはブロックされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

16.4.9 TIM6 および TIM7 レジスタマップ

TIMx レジスタは、次の表のように、16 ビットのアドレス可能レジスタにマップされます。

表 82. TIM6 および TIM7 レジスタマップとリセット値

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	TIMx_CR1	予約済み																								ARPE	予約済み			OPM	URS	UDIS	CEN
	リセット値																									0				0	0	0	0
0x04	TIMx_CR2	予約済み																									MMS[2:0]			予約済み			
	リセット値																										0	0	0				
0x08	予約済み																																
0x0C	TIMx_DIER	予約済み																							UDE	予約済み							UIE
	リセット値																								0								0
0x10	TIMx_SR	予約済み																															UIF
	リセット値																																0
0x14	TIMx_EGR	予約済み																															UG
	リセット値																																0
0x18	予約済み																																
0x1C	予約済み																																
0x20	予約済み																																
0x24	TIMx_CNT	予約済み																CNT[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x28	TIMx_PSC	予約済み																PSC[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x2C	TIMx_ARR	予約済み																ARR[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

レジスタ境界アドレスについては、*表 1 : 小容量および中容量デバイスのレジスタ境界アドレス* および *表 2 : 大容量デバイスのレジスタ境界アドレス*を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

17 リアルタイムクロック（RTC）

小容量バリューラインデバイスは、フラッシュメモリ容量が 16～32 KB の STM32F100xx マイクロコントローラです。

中容量バリューラインデバイスは、フラッシュメモリ容量が 64～128 KB の STM32F100xx マイクロコントローラです。

大容量バリューラインデバイスは、フラッシュメモリ容量が 256～512 KB の STM32F100xx マイクロコントローラです。

17.1 RTC の概要

リアルタイムクロック（RTC）は、独立したタイマです。RTCは、クロックカレンダ機能の提供に使用できる、連続的に動作しているカウンタのセットを、適切なソフトウェアに提供します。カウンタ値を書き込んで、システムの現在日時を設定することができます。

RTC コアとクロック設定（RCC_BDCR レジスタ）はバックアップドメインにあります。すなわち、RTC の設定と時間は、リセットや STANDBY モードからのウェイクアップ後も保存されることを意味します。

リセット後、バックアップレジスタと RTC へのアクセスは無効になり、バックアップドメイン（BKP）は不正な書き込みアクセスから保護されます。バックアップレジスタと RTC へのアクセスを有効にするには、次の手順に従ってください。

- RCC_APB1ENR レジスタの PWREN および BKPEN ビットをセットすることによって、電源およびバックアップインタフェースクロックを有効にします。
- 電源制御レジスタ（PWR_CR）の DBP ビットをセットして、バックアップレジスタと RTC へのアクセスを有効にします。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

17.2 RTC の主な機能

- プログラマブルプリスケーラ：分周比は最大 2^{20}
- 32 ビット プログラマブルカウンタで長時間の測定が可能
- 2 つの個別クロック：APB1 インタフェースのための PCLK1 と RTC クロック（PCLK1 の 1/4 以下の周波数であることが必要）
- RTC のクロックソースは、次の 3 つのいずれかです。
  - 128 分周の HSE クロック
  - LSE オシレータクロック
  - LSI オシレータクロック
- 2 つの個別のリセットタイプ：
  - APB1 インタフェースは、システムリセットによってリセットされます。
  - RTC コア（プリスケーラ、アラーム、カウンタ、および分周回路）は、バックアップドメインリセットによってのみリセットされます。
- 3 本のマスク可能な専用割り込みライン：
  - アラーム割り込み。ソフトウェアでプログラミング可能なアラーム割り込みを生成します。
  - 秒割り込み。プログラミング可能な周期（最大 1 秒）で周期的な割り込み信号を生成します。
  - オーバーフロー割り込み。内部のプログラマブルカウンタがゼロにロールオーバーしたことを検出します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

17.3 RTC の機能詳細

17.3.1 概要

RTC は、2 つのメインユニットで構成されています（*図 195（446 ページ）*を参照）。1 つは APB インタフェースであり、APB1 バスとのインタフェースに使用されます。このユニットは、読み出しまたは書き込みモードで APB1 バスからアクセス可能な 16 ビットレジスタのセットも含んでいます（詳細については *セクション 17.4 : RTC レジスタ（449 ページ）*を参照してください）。APB1 インタフェースは、APB1 バスによってクロック供給されて、APB1 バスとインタフェースします。

もう 1 つのユニットは RTC コアであり、2 つのメインブロックから成るプログラマブルカウンタの連鎖で構成されます。最初のブロックは RTC プリスケーラであり、最大 1 秒までの周期をプログラミング可能な RTC タイムベース信号 TR_CLK を生成します。20 ビットのプログラマブル分周回路（RTC プリスケーラ）を含みます。RTC_CR レジスタで有効になっていた場合、TR_CLK ごとに、RTC は割り込み（秒割り込み）を生成します。2 つ目のユニットは、32 ビットのプログラマブルカウンタであり、現在のシステム時刻に初期化できます。システム時刻は TR_CLK ごとにインクリメントされて、プログラミング可能な日付（RTC_ALR レジスタに格納）と比較されます。RTC_CR 制御レジスタで有効になっている場合、アラーム割り込みを生成します。

図 195. RTC の簡略化されたブロック図

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

17.3.2 RTC レジスタのリセット

RTC_PRL、RTC_ALR、RTC_CNT、および RTC_DIV を除くすべてのシステムレジスタは、システムリセットまたは電源リセットによって非同期にリセットされます。

RTC_PRL、RTC_ALR、RTC_CNT、および RTC_DIV レジスタは、バックアップドメインリセットによってのみリセットされます。

17.3.3 RTC レジスタの読み出し

RTC コアは、RTC APB1 インタフェースから完全に独立しています。

ソフトウェアは APB1 インタフェースを通じて、RTC プリスケーラ、カウンタ、およびアラーム値にアクセスしますが、関連する読み出し可能なレジスタは、RTC APB1 クロックによって再同期される RTC クロックの立ち上がりエッジのたびに内部で更新されます。RTC フラグも同様です。

このため、APB1 インタフェースが以前に無効にされ、APB1 インタフェースが有効にされた直後に、レジスタの最初の内部更新の前に読み出しが発生した場合、RTC APB1 レジスタの最初の読み出しは正しく行われないことがあります（通常は 0 が読み出されます）。これは、次のような場合に発生する可能性があります。

- システムリセットまたは電源リセットが発生した場合。
- MCU が STANDBY モードからウェイクアップした直後（*セクション 4.3:低電力モード*を参照）。
- MCU が STOP モードからウェイクアップした直後（*セクション 4.3 : 低電力モード*を参照）。

いずれの場合も、RTC コアは動作を続けますが、APB1 インタフェースは無効になります（リセット、クロックオフ、またはパワーオフ）。

したがって、RTC APB1 インタフェースが無効になった後で RTC レジスタを読み出すときには、ソフトウェアは、まず、RTC_CRL レジスタの RSF ビット（レジスタ同期フラグ）がハードウェアによってセットされるまで待つ必要があります。

RTC APB1 インタフェースは WFI および WFE 低電力モードには影響されないことに注意してください。

17.3.4 RTC レジスタの設定

RTC_PRL、RTC_CNT、RTC_ALR レジスタに書き込むには、ペリフェラルを設定モードにする必要があります。このためには、RTC_CRL レジスタの CNF ビットをセットします。

さらに、RTC レジスタへの書き込みは、以前の書き込み操作が終了している場合のみ可能です。ソフトウェアがこの状況を検出するできるようにするために、RTC_CR レジスタの RTOFF ステータスビットがあり、レジスタの更新が進行中であることを示します。RTOFF ステータスビットの値が 1 のときにのみ、RTC レジスタに新しい値を書き込むことができます。

設定手順：

1. RTOFF にポーリングして、値が 1 になるまで待ちます。
2. CNF ビットをセットして、設定モードに入ります。
3. 1 つ以上の RTC レジスタに書き込みます。
4. CNF ビットをクリアして、設定モードを終了します。
5. RTOFF にポーリングして、値が 1 になるまで待ち、書き込み操作の終了を確認します。

書き込み操作は、CNF ビットがクリアされているときにのみ実行されます。完了までに少なくとも 3 RTCCLK サイクルかかります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

17.3.5 RTC フラグのアサート

RTC 秒フラグ（SECF）は、RTC カウンタの更新前に、RTC コアのクロックサイクルごとにアサートされます。

RTC オーバーフローフラグ（OWF）は、カウンタが 0x0000 に達する前の最後の RTC コアクロックサイクルでアサートされます。

RTC_Alarm と RTC アラームフラグ（ALRF）（*図 196* を参照）は、カウンタがアラームレジスタに格納されている RTC アラーム値より 1 だけ大きな値（RTC_ALR + 1）に達する直前の RTC コアクロックでアサートされます。RTC アラームと RTC 秒フラグへの書き込み操作は、次のいずれかの方法で同期させる必要があります。

- RTC アラーム割り込みを使用し、RTC 割り込みルーチンの中で RTC アラームおよび RTC カウンタレジスタを更新します。
- RTC 制御レジスタの SECF ビットがセットされるのを待ちます。RTC アラームおよび RTC カウンタレジスタを更新します。

図 196. RTC 秒およびアラーム波形の例（PR=0003、ALARM=00004）

図 197. RTC オーバーフロー波形の例（PR=0003）

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

17.4 RTC レジスタ

レジスタの説明で使用されている略語のリストについては、*セクション 1.1（32 ページ）*を参照してください。

ペリフェラルレジスタには、ハーフワード（16 ビット）またはワード（32 ビット）単位でアクセスできます。

17.4.1 RTC 制御レジスタ（上位）（RTC_CRH）

アドレスオフセット：0x00
リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み													OWIE	ALRIE	SECIE
													rw	rw	rw

ビット 15:3 予約済み、ハードウェアによって 0 に固定されています。

ビット 2 **OWIE**：オーバーフロー割り込みイネーブル
0：オーバーフロー割り込みはマスクされます。
1：オーバーフロー割り込みは有効です。

ビット 1 **ALRAIE**：アラーム割り込みイネーブル
0：アラーム割り込みはマスクされます。
1：アラーム割り込みは有効です。

ビット 0 **SECIE**：秒割り込みイネーブル
0：秒割り込みはマスクされます。
1：秒割り込みは有効です。

これらのビットは、割り込みリクエストをマスクするために使用されます。リセット時には、すべての割り込みが無効なので、RTC レジスタに書き込むことによって、初期化後に割り込みリクエストが保留中になっていないことを確認できます。前の書き込み操作が完了する（RTOFF=0）まで、RTC_CRH レジスタに書き込むことはできません（*セクション 17.3.4（447 ページ）*を参照してください）。

RTC の機能はこの制御レジスタによって制御されます。書き込みには、特定の設定手順を使用しなければならないビットもあります（*設定手順：*を参照）。

17.4.2 RTC 制御レジスタ（下位）（RTC_CRL）

アドレスオフセット：0x04
リセット値：0x0020

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み										RTOFF	CNF	RSF	OWF	ALRF	SECF
										r	rw	rc_w0	rc_w0	rc_w0	rc_w0

ビット 15:6 予約済み、ハードウェアによって 0 に固定されています。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 5 **RTOFF**：RTC 操作オフ

このビットによって、RTC は、レジスタに対して最後に行われた書き込み操作が完了したかどうかを報告します。値が 0 の場合、RTC レジスタへの書き込みはできません。このビットは読み出し専用です。
0：RTC レジスタへの最後の書き込み操作はまだ実行中です。
1：RTC レジスタへの最後の書き込み操作は終了しました。

ビット 4 **CNF**：設定フラグ

RTC_CNT、RTC_ALR、または RTC_PRL レジスタに新しい値を書き込めるようにするには、ソフトウェアでこのビットをセットして、設定モードに入る必要があります。書き込み操作は、CNF ビットのセット後、ソフトウェアによってリセットされたときにのみ実行されます。
0：設定モードを終了します（RTC レジスタの更新を開始します）。
1：設定モードに入ります。

ビット 3 **RSF**：レジスタ同期フラグ

このビットは、RTC_CNT および RTC_DIV レジスタが更新されるたびにハードウェアによってセットされ、ソフトウェアによってクリアされます。APB1 リセットまたは APB1 クロック停止後の読み出し操作の前に、このビットをソフトウェアによってクリアする必要があり、ユーザアプリケーションは、RTC_CNT、RTC_ALR、または RTC_PRL レジスタが同期していることを確認するために、このビットがセットされるまで待つ必要があります。
0：レジスタはまだ同期していません。
1：レジスタは同期しました。

ビット 2 **OWF**：オーバーフローフラグ

このビットは、32 ビットプログラマブルカウンタがオーバーフローしたときに、ハードウェアによってセットされます。RTC_CRH レジスタの OWIE=1 の場合は、割り込みが生成されます。ソフトウェアによってのみクリアできます。1 を書き込んだときには、ビットの値に影響を与えません。
0：オーバーフローは検出されていません。
1：32 ビットプログラマブルカウンタのオーバーフローが発生しました。

ビット 1 **ALRF**：アラームフラグ

このビットは、32 ビットプログラマブルカウンタが RTC_ALR レジスタで設定された閾値に達したときに、ハードウェアによってセットされます。RTC_CRH レジスタの ALRIE=1 の場合は、割り込みが生成されます。ソフトウェアによってのみクリアできます。1 を書き込んだときには、ビットの値に影響を与えません。
0：アラームは検出されていません。
1：アラームが検出されました。

ビット 0 **SECF**：秒フラグ

このビットは、32 ビットプログラマブルプリスケーラがオーバーフローし、RTC カウンタをインクリメントしたときに、ハードウェアによってセットされます。このフラグは、RTC カウンタについてプログラムされた分解能（通常は 1 秒）を周期とする定期的な信号を供給します。RTC_CRH レジスタの SECIE=1 の場合は、割り込みが生成されます。ソフトウェアによってのみクリアできます。1 を書き込んだときには、ビットの値に影響を与えません
0：秒フラグ条件は満たされていません。
1：秒フラグ条件が満たされました。

RTC の機能は、この制御レジスタによって制御されます。ペリフェラルが前の書き込み操作を実行している間（RTOFF=0）は、RTC_CRH レジスタに書き込むことはできません（*セクション 17.3.4（447 ページ）*を参照）。

この資料は、STMicroelectronics NV 並びにその子会社（以下 ST）が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

注： 1 *RTC_CR リクエストビットがソフトウェアによってリセットされて、割り込みリクエストが許可されたことを示すまで、フラグはペンディング状態を保ちます。*

2 *リセット時には割り込みが無効になり、割り込みリクエストはペンディングされないので、RTC レジスタへの書き込みが可能です。*

3 *OWF、ALRF、SECF、および RSF ビットは、APB1 クロックが動作していないときには更新されません。*

4 *OWF、ALRF、SECF、および RSF ビットは、ハードウェアによってのみセットされ、ソフトウェアによってのみクリアされます。*

5 *ALRF = 1 かつ ALRIE = 1 の場合、RTC グローバル割り込みは有効です。EXTI コントローラを通じて EXTI ライン 17 も有効な場合、RTC グローバル割り込みと RTC アラーム割り込みの両方が有効です。*

6 *ALRF = 1 の場合、割り込みモードの EXTI コントローラを通じて EXTI ライン 17 が有効であれば、RTC アラーム割り込みも有効です。EXTI ライン 17 がイベントモードで有効なときには、このラインでパルスが生成されます（RTC アラーム割り込みは生成されません）。*

17.4.3 RTC プリスケーラロードレジスタ（RTC_PRLH/RTC_PRLL）

プリスケーラロードレジスタは、RTC プリスケーラの周期カウント値を保持します。RTC_CR レジスタの RTOFF ビットによって書き込み保護され、RTOFF の値が 1 の場合は書き込み操作が可能です。

RTC プリスケーラロードレジスタ（上位）（RTC_PRLH）

アドレスオフセット：0x08
書き込み専用（*セクション 17.3.4（447 ページ）*を参照）
リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み												PRL[19:16]			
												w	w	w	w

ビット 15:4 予約済み、ハードウェアによって 0 に固定されています。

ビット 3:0 **PRL[19:16]** : RTC プリスケーラ再ロード値（上位）

これらのビットは、次の式に従って、カウンタクロックの周波数を定義するために使用されます。

$f_{TR_CLK} = f_{RTCCLK}$/（PRL[19:0]+1）

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

RTC プリスケーラロードレジスタ（下位）（RTC_PRLL）

アドレスオフセット：0x0C
書き込み専用（*セクション 17.3.4（447 ページ）*を参照）
リセット値：0x8000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PRL[15:0]															
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w

ビット 15:0 **PRL[15:0]**：RTC プリスケーラ再ロード値（下位）
これらのビットは、次の式に従って、カウンタクロックの周波数を定義するために使用されます。

$f_{TR_CLK} = f_{RTCCLK}/$（PRL[19:0]+1）

注意：ゼロの値は推奨されません。RTC 割り込みおよびフラグが正しくアサートされません。

注： ***入力クロックの周波数（f_{RTCCLK}）が 32.768 kHz の場合、1 秒の信号周期を得るには、このレジスタに 7FFFh を書き込みます。***

17.4.4 RTC プリスケーラ分周レジスタ（RTC_DIVH/RTC_DIVL）

TR_CLK の周期ごとに、RTC プリスケーラ内のカウンタに、RTC_PRL レジスタに格納された値が再ロードされます。正確な時間測定を得るために、動作を停止することなく、RTC_DIV レジスタに格納されているプリスケーラカウンタの現在値を読み出すことができます。このレジスタは読み出し専用であり、RTC_PRL または RTC_CNT レジスタが変更された後、ハードウェアによって再ロードされます。

RTC プリスケーラ分周レジスタ（上位）（RTC_DIVH）

アドレスオフセット：0x10
リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み												RTC_DIV[19:16]			
												r	r	r	r

ビット 15:4 予約済み

ビット 3:0 **RTC_DIV[19:16]**：RTC クロック分周レジスタ（上位）

RTC プリスケーラ分周レジスタ（下位）（RTC_DIVL）

アドレスオフセット：0x14
リセット値：0x8000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RTC_DIV[15:0]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 15:0 **RTC_DIV[15:0]**：RTC クロック分周レジスタ（下位）

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

17.4.5 RTC カウンタレジスタ（RTC_CNTH/RTC_CNTL）

RTC コアには 32 ビットのプログラマブルカウンタがあり、2 つの 16 ビットレジスタを通じてアクセスされます。カウントレートは、プリスケーラによって生成される TR_CLK タイムベースに基づきます。RTC_CNT レジスタは、このカウンタのカウント値を保持します。RTC_CR レジスタの RTOFF ビットによって書き込み保護され、RTOFF ビットが 1 の場合、書き込み操作が可能です。上位（RTC_CNTH）または下位（RTC_CNTL）のレジスタへの書き込み操作によって、対応するプログラマブルカウンタが直接ロードされ、RTC プリスケーラが再ロードされます。読み出しでは、カウンタの現在値（システム日付）が返されます。

RTC カウンタレジスタ（上位）（RTC_CNTH）

アドレスオフセット：0x18
リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RTC_CNT[31:16]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **RTC_CNT[31:16]**：RTC カウンタ（上位）

RTC_CNTH レジスタを読み出すと、RTC カウンタレジスタの上位部分の現在値が返されます。このレジスタに書き込むには、設定モードに入る必要があります（*セクション 17.3.4：RTC レジスタの設定 (447 ページ)* を参照）。

RTC カウンタレジスタ（下位）（RTC_CNTL）

アドレスオフセット：0x1C
リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RTC_CNT[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **RTC_CNT[15:0]**：RTC カウンタ（下位）

RTC_CNTL レジスタを読み出すと、RTC カウンタレジスタの下位部分の現在値が返されます。このレジスタに書き込むには、設定モードに入る必要があります（*セクション 17.3.4：RTC レジスタの設定 (447 ページ)* を参照）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

17.4.6 RTC アラームレジスタ（上位）（RTC_ALRH/RTC_ALRL）

プログラマブルカウンタが RTC_ALR レジスタに格納されている 32 ビット値に達すると、アラームがトリガされ、RTC_alarmIT 割り込みリクエストが生成されます。このレジスタは RTC_CR レジスタの RTOFF ビットによって書き込み保護され、RTOFF ビットの値が 1 の場合に書き込み操作が可能です。

RTC アラームレジスタ（上位 ）（RTC_ALRH）

アドレスオフセット：0x20
書き込み専用（*セクション 17.3.4（447 ページ）*を参照）
リセット値：0xFFFF

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RTC_ALR[31:16]															
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w

ビット 15:0 **RTC_ALR[31:16]** : RTC アラーム（上位）

アラーム時刻の上位部分は、ソフトウェアによってこのレジスタに書き込まれます。このレジスタに書き込むには、設定モードに入る必要があります（*セクション 17.3.4 : RTC レジスタの設定（447 ページ）*を参照）。

RTC アラームレジスタ（下位）（RTC_ALRL）

アドレスオフセット：0x24
書き込み専用（*セクション 17.3.4（447 ページ）*を参照）
リセット値：0xFFFF

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RTC_ALR[15:0]															
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w

ビット 15:0 **RTC_ALR[15:0]** : RTC アラーム（下位）

アラーム時刻の下位部分は、ソフトウェアによってこのレジスタに書き込まれます。このレジスタに書き込むには、設定モードに入る必要があります（*セクション 17.3.4 : RTC レジスタの設定（447 ページ）*を参照）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

17.4.7 RTC レジスタマップ

RTC レジスタは、次の表に示されているように、16 ビットのアドレス可能レジスタとしてマップされます。

表 83. RTC レジスタマップとリセット値

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	RTC_CRH	予約済み																													OWIE	ALRIE	SECIE
	リセット値																														0	0	0
0x04	RTC_CRL	予約済み																										RTOFF	CNF	RSF	OWF	ALRF	SECF
	リセット値																											1	0	0	0	0	0
0x08	RTC_PRLH	予約済み																												PRL[19:16]			
	リセット値																													0	0	0	0
0x0C	RTC_PRLL	予約済み																PRL[15:0]															
	リセット値																	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x10	RTC_DIVH	予約済み																DIV[31:16]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x14	RTC_DIVL	予約済み																DIV[15:0]															
	リセット値																	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x18	RTC_CNTH	予約済み																CNT[13:16]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x1C	RTC_CNTL	予約済み																CNT[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x20	RTC_ALRH	予約済み																ALR[31:16]															
	リセット値																	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
0x24	RTC_ALRL	予約済み																ALR[15:0]															
	リセット値																	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

レジスタ境界アドレスについては、*表 1：小容量および中容量デバイスのレジスタ境界アドレス*および*表 2：大容量デバイスのレジスタ境界アドレス*を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

18 独立型ウォッチドッグ(IWDG)

小容量バリューラインデバイスは、フラッシュメモリ容量が 16～32 KB の STM32F100xx マイクロコントローラです。

中容量バリューラインデバイスは、フラッシュメモリ容量が 64～128 KB の STM32F100xx マイクロコントローラです。

大容量バリューラインデバイスは、フラッシュメモリ容量が 256～512 KB の STM32F100xx マイクロコントローラです。

18.1 IWDG の概要

STM32F100xx は、2 つの内蔵ウォッチドッグペリフェラルを搭載して、高い安全レベル、タイミングの正確さ、および使用の柔軟さを提供します。2 つのウォッチドッグペリフェラル（独立型とウィンドウ型）は、ソフトウェア障害による誤動作を検出および解決し、カウンタが与えられたタイムアウト値に達すると、システムリセットまたは割り込み（ウィンドウ型ウォッチドッグのみ）をトリガします。

独立型ウォッチドッグ（IWDG）は、独自の低速クロック（LSI）によってクロック供給されるので、メインクロックに障害があっても有効に動作します。ウィンドウ型ウォッチドッグ（WWDG）のクロックは、APB1 クロックから分周され、設定可能な時間枠（time-window）を持つので、異常に遅いアプリケーション動作や異常に速いアプリケーション動作を検出するようにプログラミングできます。

IWDG は、メインアプリケーションの外部で、完全に独立したプロセスとして実行するウォッチドッグが必要な場合に最適ですが、タイミング精度が低いという制約があります。WWDG は、正確な時間枠内で反応するウォッチドッグが必要なアプリケーションに適しています。ウィンドウ型ウォッチドッグの詳細については、*セクション 19（462 ページ）*を参照してください。

18.2 IWDG の主な機能

- フリーランニングダウンカウンタ
- 独立した RC オシレータからクロック供給（STANDBY および STOP モードで動作可能）
- ダウンカウンタが 0x000 に達したときにリセット（ウォッチドッグが有効な場合）

18.3 IWDG の機能詳細

図 198 に、独立型ウォッチドッグモジュールの機能ブロックを示します。

キーレジスタ（IWDG_KR）に 0xCCCC が書き込まれることによって独立型ウォッチドッグを開始すると、カウンタはリセット値 0xFFF からカウントダウンを開始します。カウント値の終わり（0x000）に達すると、リセット信号が生成されます（IWDG_reset）。

IWDG_KR レジスタにキー値 0xAAAA が書き込まれると、IWDG_RLR レジスタ値がカウンタに再ロードされ、ウォッチドッグのリセットが防止されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

18.3.1 ハードウェアウォッチドッグ

デバイスのオプションビットを通じて「ハードウェアウォッチドッグ」機能が有効な場合、ウォッチドッグは電源投入時に自動的に有効になり、カウンタがカウントの終わりに達する前にソフトウェアによってキーレジスタへの書き込みが行われない限り、リセットを生成します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

18.3.2 レジスタアクセスに対する保護

IWDG_PR および IWDG_RLR レジスタへの書き込みアクセスは保護されます。これらを変更するには、まず、IWDG_KR レジスタにコード 0x5555 を書き込む必要があります。このレジスタに別の値を書き込むと、シーケンスはブレークされ、レジスタへのアクセスが再び保護されます。これは、再ロード操作（0xAAAA の書き込み）であることを意味します。
ステータスレジスタは、プリスケーラやダウンカウンタ再ロード値の更新が行われていることを示すために使用されます。

18.3.3 デバッグモード

マイクロコントローラがデバッグモードに入ると（Cortex-M3 コアは一時停止）、IWDG カウンタは、DBG モジュールの DBG_IWDG_STOP 設定ビットに応じて、通常通りに動作を続けるか、停止します。詳細については、*セクション 25.15.2：タイマ、ウォッチドッグ、および I^2C のデバッグサポート*を参照してください。

図 198. 独立型ウォッチドッグのブロック図

注： ***ウォッチドッグ機能は、V_{DD} 電圧ドメインに実装され、STOP モードおよび STANDBY モードでも機能します。***

表 84. 最小/最大 IWDG タイムアウト期間（kHz）（LSI）(1)

プリスケーラ分周回路	PR[2:0] ビット	タイムアウト最小値（ms） RL[11:0]= 0x000	タイムアウト最大値（ms） RL[11:0]= 0xFFF
/4	0	0.1	409.6
/8	1	0.2	819.2
/16	2	0.4	1638.4
/32	3	0.8	3276.8
/64	4	1.6	6553.6
/128	5	3.2	13107.2
/256	6 (or 7)	6.4	26214.4

1. これらのタイミングは、40 kHz クロックが供給されたときの値ですが、マイクロコントローラの内蔵 RC 周波数は 30 kHz から 60 kHz の間で変化することがあります。さらに、RC オシレータ周波数が正確だとしても、タイミング精度は、APB インタフェースクロックと LSI クロックの位相によっても左右されるので、最大で RC クロック 1 周期分の誤差が生じます。

許容可能な精度で IWDG タイムアウトを計算できるように、LSI を較正することができます。詳細については、*LSI クロック（76 ページ）*を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

18.4 IWDG レジスタ

レジスタの説明で使用されている略語のリストについては、*セクション 1.1（32 ページ）*を参照してください。

18.4.1 キーレジスタ（IWDG_KR）

アドレスオフセット：0x00

リセット値：0x0000 0000（STANDBY モードによりリセットされます）

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																KEY[15:0]															
																w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w

ビット 31:16 予約済み、0 として読み出されます。

ビット 15:0 **KEY[15:0]**：キー値（書き込み専用、読み出しでは 0000h）

これらのビットには、ソフトウェアによって一定間隔でキー値 AAAAh が書き込まれなければなりません。さもなければ、カウンタが 0 に達すると、ウォッチドッグはリセットを生成します。

キー値 5555h を書き込むことによって、IWDG_PR および IWDG_RLR レジスタへのアクセスが可能になります（*セクション 18.3.2* を参照）。

キー値 CCCCh を書き込むと、ウォッチドッグが開始します（ハードウェアウォッチドッグオプションが選択されている場合を除きます）。

18.4.2 プリスケーラレジスタ（IWDG_PR）

アドレスオフセット：0x04

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																													PR[2:0]		
																													rw	rw	rw

ビット 31:3 予約済み、0 として読み出されます。

ビット 2:0 **PR[2:0]**：プリスケーラ分周回路

これらのビットは、書き込みアクセスに対して保護されます（*セクション 18.3.2* を参照）。カウンタクロックを供給するプリスケーラ分周回路を選択するために、ソフトウェアによって書き込まれます。プリスケーラ分周回路を変更できるようにするには、IWDG_SR レジスタの PVU ビットをリセットする必要があります。

000：4 分周
001：8 分周
010：16 分周
011：32 分周
100：64 分周
101：128 分周
110：256 分周
111：256 分周

注：このレジスタを読み出すと、VDD 電圧ドメインからプリスケーラ値が返されます。このレジスタへの書き込み操作が進行中の場合には、この値は、最新でないか、有効でないことがあります。このため、このレジスタから読み出された値が有効なのは、IWDG_SR レジスタの PVU ビットがリセットされているときのみです。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

18.4.3 再ロードレジスタ（IWDG_RLR）

アドレスオフセット：0x08

リセット値：0x0000 0FFF（STANDBY モードによってリセットされます）

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																				RL[11:0]											
																				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:12 予約済み、0 が読み出されます。

ビット 11:0 **RL[11:0]**：ウォッチドッグカウンタ再ロード値

これらのビットは、書き込みアクセスに対して保護されます（*セクション 18.3.2* を参照）。IWDG_KR レジスタに値 AAAAh が書き込まれるたびにウォッチドッグカウンタにロードされる値を定義するために、ソフトウェアによって書き込まれます。ウォッチドッグカウンタは、この値からカウントダウンします。タイムアウトまでの時間は、この値とクロックプリスケーラによって決まります。*表 84*を参照してください。

再ロード値を変更できるようにするには、IWDG_SR レジスタの RVU ビットをリセットする必要があります。

注： このレジスタを読み出すと、VDD 電圧ドメインから再ロード値が返されます。このレジスタへの書き込み操作が進行中の場合、この値は最新でないか、有効でないことがあります。このため、このレジスタから読み出された値が有効なのは、IWDG_SR レジスタの RVU ビットがリセットされているときのみです。

18.4.4 ステータスレジスタ（IWDG_SR）

アドレスオフセット：0x0C

リセット値：0x0000 0000（STANDBY モードによってはリセットされません）

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																														RVU	PVU
																														r	r

ビット 31:2 予約済み

ビット 1 **RVU**：ウォッチドッグカウンタ再ロード値更新

このビットは、再ロード値の更新が進行中であることを示すために、ハードウェアによってセットされます。V_{DD} 電圧ドメインで再ロード値の更新操作が完了したときに、ハードウェアによってリセットされます（最大 5 RC 40 kHz サイクルかかります）。

再ロード値は、RVU ビットがリセットされているときのみ更新できます。

ビット 0 **PVU**：ウォッチドッグプリスケーラ値更新

このビットは、プリスケーラ値の更新が進行中であることを示すために、ハードウェアによってセットされます。V_{DD} 電圧ドメインでプリスケーラ更新操作が完了したとき、ハードウェアによってリセットされます（最大 5 RC 40 kHz サイクルかかります）。

プリスケーラ値は、PVU ビットがリセットされているときのみ更新できます。

注： 複数の再ロード値またはプリスケーラ値がアプリケーションで使用される場合は、再ロード値を変更する前に RVU ビットがリセットされるまで待つ必要があり、プリスケーラ値を変更する前に PVU ビットがリセットされるまで待つ必要があります。ただし、プリスケーラ値や再ロード値を更新した後は、RVU または PVU がリセットされるのを待たずに、コード実行を続けることができます（低電力モードに入った場合でも、書き込み操作は実行され、完了します）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

18.4.5 IWDG レジスタマップ

次の表に、IWDG レジスタマップとリセット値を示します。

表 85. IWDG レジスタマップとリセット値

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	IWDG_KR	予約済み																KEY[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x04	IWDG_PR	予約済み																													PR[2:0]		
	リセット値																														0	0	0
0x08	IWDG_RLR	予約済み																				RL[11:0]											
	リセット値																					1	1	1	1	1	1	1	1	1	1	1	1
0x0C	IWDG_SR	予約済み																														RVU	PVU
	リセット値																															0	0

レジスタ境界アドレスについては、*表 1 : 小容量および中容量デバイスのレジスタ境界アドレス*および*表 2 : 大容量デバイスのレジスタ境界アドレス* を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

19 ウィンドウ型ウォッチドッグ（WWDG）

小容量バリューラインデバイスは、フラッシュメモリ容量が 16～32 KB の STM32F100xx マイクロコントローラです。

中容量バリューラインデバイスは、フラッシュメモリ容量が 64～128 KB の STM32F100xx マイクロコントローラです。

大容量バリューラインデバイスは、フラッシュメモリ容量が 256～512 KB の STM32F100xx マイクロコントローラです。

このセクションは、別段の指定がない限り、STM32F100xx ファミリ全体に適用されます。

19.1 WWDG の概要

ウィンドウ型ウォッチドッグ（Window Watchdog）は、通常、外部の影響や予期しない論理条件などによって発生し、アプリケーションプログラムを正常なシーケンスから逸脱させるソフトウェア障害を検出するために使用されます。ウォッチドッグ回路は、T6 ビットがクリアされる前にプログラムがダウンカウンタの内容を更新しない限り、プログラムされた時間の経過後に MCU リセットを生成します。MCU リセットは、ダウンカウンタがウィンドウレジスタ値に達する前に 7 ビットのダウンカウンタの値（制御レジスタ内）が更新された場合にも生成されます。限られた時間枠（time-window）の間にカウンタが更新されなければならないことを意味します。

19.2 WWDG の主な機能

- プログラム可能なフリーランニングダウンカウンタ
- 条件付きリセット
  - ダウンカウンタの値が 40h より小さくなったときにリセット（ウォッチドッグが有効な場合）
  - ダウンカウンタがウィンドウ外で再ロードされた場合にリセット（ウォッチドッグが有効な場合）（*図 200* を参照）
- 早期ウェイクアップ割り込み（EWI）: ダウンカウンタが 40h になったときにトリガ（有効であり、ウォッチドッグが有効な場合）カウンタを再ロードして、WWDG リセットを防ぐために使えます。

19.3 WWDG の機能説明

ウォッチドッグが有効であり（WWDG_CR レジスタの WDGA ビットがセット）、7 ビットのダウンカウンタ（T[6:0] ビット）が 0x40 から 0x3F にロールオーバーすると（T6 がクリア）、リセットを開始します。カウンタがウィンドウレジスタに格納された値より大きい間にソフトウェアがカウンタを再ロードした場合にも、リセットが生成されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 199. ウォッチドッグのブロック図

アプリケーションプログラムは、通常動作時には定期的に WWDG_CR レジスタへの書き込みを行って、MCU リセットを防ぐ必要があります。この操作は、カウンタの値がウィンドウレジスタの値より小さいときに限られます。WWDG_CR レジスタに格納される値は、0xFF から 0xC0 の間でなければなりません。

- ウォッチドッグを有効にするには：

  ウォッチドッグはリセット後は常に無効です。これを有効にするには、WWDG_CR レジスタの WDGA ビットをセットします。この後は、リセット以外の方法でウォッチドッグを無効にすることはできません。

- ダウンカウンタを制御するには：

  このダウンカウンタはフリーランニングです。ウォッチドッグが無効な場合も、カウントダウンします。ウォッチドッグを有効にするときには、T6 ビットをセットして、リセットの生成を防ぐ必要があります。

  T[5:0] ビットは、ウォッチドッグがリセットを生成するまでの時間遅延を表すインクリメント数を含みます。WWDG_CR レジスタに書き込むときのプリスケーラの状態は不明なので、タイミングは最小値から最大値までさまざまです（*図 200*を参照）。

  設定レジスタ（WWDG_CFR）は、ウィンドウの上限値を含みます。リセットを防ぐには、ダウンカウンタの再ロードは、カウンタの値が ウィンドウレジスタの値より小さく、0x3F より大きいときに行わなければなりません。*図 200* に、ウィンドウ型ウォッチドッグプロセスを示します。

  カウンタを再ロードするもう 1 つの方法は、早期ウェイクアップ割り込み（EWI）を使うことです。この割り込みは、WWDG_CFR レジスタの EWI ビットをセットすることによって有効になります。ダウンカウンタが値 40h に達すると、この割り込みが生成され、対応する割り込みサービスルーチン（ISR）を使用して、カウンタを再ロードすることで、WWDG リセットを防ぐことができます。

  この割り込みは、WWDG_SR レジスタの EWIF ビットに 0 を書き込むことによってクリアされます。

注： ***T6 ビットを使用して、ソフトウェアリセットを生成することができます（WDGA ビットはセット、T6 ビットはクリアされます）。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

19.4 ウォッチドッグタイムアウトのプログラムの方法

図 200 の式を使用して、WWDG のタイムアウトを計算することができます。

警告： **ただちにリセットされるのを防ぐために、WWDG_CR レジスタに書き込むときには、常に T6 ビットに 1 を書き込んでください。**

図 200. ウィンドウ型ウォッチドッグのタイミング図

タイムアウト値を計算するための式:

$$T_{WWDG} = T_{PCLK1} \times 4096 \times 2^{WDGTB} \times (T[5:0] + 1) \qquad (ms)$$

ここで、

T_{WWDG}: WWDG タイムアウト

T_{PCLK1}: APB1クロック周期（ms）

タイムアウトの最小値と最大値 @36 MHz (PCLK1)

WDGTB	最小タイムアウト値	最大タイムアウト値
0	113 µs	7.28 ms
1	227 µs	14.56 ms
2	455 µs	29.12 ms
3	910 µs	58.25 ms

19.5 デバッグモード

マイクロコントローラがデバッグモードに入ったとき（Cortex-M3 コアは一時停止）、WWDG カウンタは、DBG モジュールの DBG_WWDG_STOP 設定ビットに応じて、通常通り動作を続けるか、停止します。詳細については、*セクション 25.15.2：タイマ、ウォッチドッグ、および I²C のデバッグサポート*を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

19.6 WWDG レジスタ

レジスタの説明で使用されている略語のリストについては、*セクション 1.1（32 ページ）* を参照してください。

19.6.1 制御レジスタ（WWDG_CR）

アドレスオフセット：0x00

リセット値：0x7F

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								WDGA	T[6:0]						
								rs	rw						

ビット 31:8 予約済み

ビット 7 **WDGA**：有効化ビット

このビットは、ソフトウェアによってセットされ、リセット後にハードウェアによってのみクリアされます。WDGA = 1 のとき、ウォッチドッグはリセットを生成できます。

0：ウォッチドッグは無効です。

1：ウォッチドッグは有効です。

ビット 6:0 **T[6:0]**：7 ビットカウンタ（MSB～LSB）

これらのビットは、ウォッチドッグカウンタの値を含みます。（4096 x 2^{WDGTB}）PCLK1 サイクルごとにデクリメントされます。40h から 3Fh にロールオーバーすると（T6 がクリアされたとき）、リセットが生成されます。

19.6.2 設定レジスタ（WWDG_CFR）

アドレスオフセット：0x04

リセット値：0x7F

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み						EWI	WDGTB[1:0]		W[6:0]						
						rs	rw		rw						

ビット 31:10 予約済み

ビット 9 **EWI**：早期ウェイクアップ割り込み

このビットがセットされているときには、カウンタの値が 40h に達したときに割り込みが発生します。この割り込みは、リセット後にハードウェアによってのみクリアされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 8:7 **WDGTB[1:0]**：タイマベース

プリスケーラのタイムベースは、次のように変更できます。

00：CK カウンタクロック（PCLK1 / 4096）/ 1
01：CK カウンタクロック（PCLK1 / 4096）/ 2
10：CK カウンタクロック（PCLK1 / 4096）/ 4
11：CK カウンタクロック（PCLK1 / 4096）/ 8

ビット 6:0 **W[6:0]**：7 ビットウィンドウ値

これらのビットは、ダウンカウンタと比較されるウィンドウ値を含みます。

19.6.3 ステータスレジスタ（WWDG_SR）

アドレスオフセット：0x08
リセット値：0x00

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															EWIF
															rc_w0

ビット 31:1予約済み

ビット 0 **EWIF**：早期ウェイクアップ割り込みフラグ

このビットは、カウンタの値が 40h に達したときにハードウェアによってセットされます。このビットは 0 を書き込むことによって、ソフトウェアでクリアしなければなりません。1 を書き込んだ場合、ビットの値に影響を与えません。このビットは、割り込みが有効でない場合にもセットされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

19.6.4 WWDG レジスタマップ

次の表に、WWDG のレジスタマップとリセット値を示します。

表 86. WWDG レジスタマップとリセット値

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	WWDG_CR	予約済み																								WDGA	T[6:0]						
	リセット値																									0	1	1	1	1	1	1	1
0x04	WWDG_CFR	予約済み																						EWI	WDGTB1	WDGTB0	W[6:0]						
	リセット値																							0	0	0	1	1	1	1	1	1	1
0x08	WWDG_SR	予約済み																															EWIF
	リセット値																																0

レジスタ境界アドレスについては、*表 1：小容量および中容量デバイスのレジスタ境界アドレス*および*表 2：大容量デバイスのレジスタ境界アドレス* を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

20 フレキシブルスタティックメモリコントローラ（FSMC）

小容量バリューラインデバイスは、フラッシュメモリ容量が 16～32 KB の STM32F100xx マイクロコントローラです。

中容量バリューラインデバイスは、フラッシュメモリ容量が 64～128 KB の STM32F100xx マイクロコントローラです。

大容量バリューラインデバイスは、フラッシュメモリ容量が 256～512 KB の STM32F100xx マイクロコントローラです。

この セクションは、大容量バリューラインデバイスのみに適用されます。

20.1 FSMC の主な機能

FSMC ブロックは、同期および非同期メモリとインタフェースできます。主な目的は、次のとおりです。

- AHB トランザクションを適切な外部プロトコルへ変換
- 外部デバイスのアクセスタイミング要件を満たす

すべての外部メモリは、アドレス、データ、および制御信号をコントローラと共有します。各外部デバイスは、一意なチップセレクトによってアクセスされます。FSMC は、外部デバイスに対して一度に 1 つのアクセスを行います。

FSMC は、以下のような主な機能を備えています。

- スタティックメモリマップデバイスとのインタフェース：
  - スタティックランダムアクセスメモリ（SRAM）
  - 読み出し専用メモリ（ROM）
  - NOR 型フラッシュメモリ/One NAND 型フラッシュメモリ
  - PSRAM（4 メモリバンク）
- 同期デバイスへのバーストモードアクセスをサポート（NOR 型フラッシュおよび PSRAM）
- 8 または 16 ビット幅のデータバス
- メモリバンクごとに独立したチップセレクト制御
- メモリバンクごとに独立した設定
- 広範囲なデバイスをサポートするプログラマブルタイミング：
  - プログラマブルウェイトステート（15 まで）
  - プログラマブルバスターンアラウンドサイクル（15 まで）
  - プログラマブルな出力イネーブルおよび書き込みイネーブル待ち時間（15 まで）
  - 独立した読み出しおよび書き込みタイミングとプロトコルにより、広範囲なメモリおよびタイミングをサポート
- PSRAM および SRAM デバイス用書き込みイネーブルとバイトレーン選択出力
- 32 ビット幅 AHB トランザクションを外部 16 ビットまたは 8 ビットデバイスへの連続した 16 ビットまたは 8 ビットアクセスに変換
- アドレスではなくデータのみを格納する 32 ビット幅 2 ワード長の書き込み FIFO。この FIFO は AHB 書き込みバーストトランザクションのみをバッファします。このため、低速なメモリに書き込んで、AHB を他の操作のために迅速に解放できます。一度に 1 つのバーストのみがバッ

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ファされます。操作中に新しい AHB バーストまたは単一のトランザクションが発生した場合、最初に FIFO の内容が読み出されます（FSMC は、現在のメモリアクセスが完了するまで、ウェイトステートを挿入します）。

- 外部非同期ウェイト制御

外部デバイスタイプおよびその特性を定義する FSMC レジスタは、通常、起動時に設定され、次のリセットまたは電源投入まで変更されません。ただし、設定の変更はいつでも可能です。

20.2 ブロック図

FSMC は 4 つのメインブロックで構成されます。

- AHB インタフェース（FSMC 設定レジスタを含む）
- NOR 型フラッシュ /PSRAM コントローラ
- 外部デバイスインタフェース

図 201 に、ブロック図を示します。

図 201. FSMC のブロック図

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

20.3 AHB インタフェース

AHB スレーブインタフェースは、内部 CPU および他のバスマスタペリフェラルから外部スタティックメモリへのアクセスを可能にします。

AHB トランザクションは、外部デバイスプロトコルに変換されます。特に、選択された外部メモリが 16 または 8 ビット幅の場合、AHB 上の 32 ビット幅のトランザクションは、16 または 8 ビットの連続したアクセスに分割されます。

FSMC は、以下の条件下で AHB エラーを生成します。

- 有効でない FSMC バンクの読み出しまたは書き込みを行ったとき。
- FSMC_BCRx レジスタの FACCEN ビットがリセットされている状態で NOR 型フラッシュバンクの読み出しまたは書き込みを行ったとき。

この AHB エラーの影響は、R/W アクセスを試みた AHB マスタに依存します。

- Cortex™-M3 CPU の場合は、ハード障害割り込みが生成されます。
- DMA の場合は、DMA 転送エラーが生成され、対応する DMA チャネルが自動的に無効になります。

AHB クロック（HCLK）は、FSMC のリファレンスクロックです。

20.3.1 サポートされるメモリおよびトランザクション

一般的なトランザクション規則

リクエストされる AHB トランザクションのデータサイズは、アクセスされる外部デバイスのデータ幅が固定であっても、8、16、または 32 ビット幅です。このため、転送に矛盾が生じることがあります。

したがって、次のようないくつかの単純なトランザクション規則を守る必要があります。

- AHB トランザクションサイズとメモリデータサイズが等しい場合。
  この場合は問題ありません。
- AHB トランザクションサイズがメモリサイズより大きい場合。
  この場合、FSMC は、AHB トランザクションを外部データ幅に合わせて、連続した小さなメモリアクセスに分割します。
- AHB トランザクションサイズがメモリサイズより小さい場合。
  外部デバイスのタイプによっては、非同期転送に一貫性がなくなる場合があります。
  - バイト選択機能を持つデバイス（SRAM、ROM、PSRAM）への非同期アクセスの場合。
    この場合、FSMC は、読み出し/書き込みトランザクションを許可して、バイトレーン BL[1:0] を通じて正しいデータにアクセスします。
  - バイト選択機能を持たないデバイス（NOR ）への非同期アクセスの場合。
    この状況は、16 ビット幅のフラッシュメモリへのバイトアクセスが要求されたときに発生します。明らかに、このデバイスにはバイトモードではアクセスできません（フラッシュメモリでは 16 ビットワードでの読み出し/書き込みしかできません）。したがって、

    a) 書き込みトランザクションは許可されません。

    b) 読み出しトランザクションは許可されます（コントローラは 16 ビットメモリワード全体を読み出して、必要なバイトのみを使用します）。

設定レジスタ

FSMC は、レジスタセットを使用して設定できます。NOR 型フラッシュ /PSRAM 制御レジスタの詳細については、*セクション 20.5.6*を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

20.4 外部デバイスアドレスマッピング

FSMC から見ると、外部メモリは、それぞれ 256 MB の 4 つの固定サイズのバンクに分けられます（*図 202*を参照）。

- バンク 1 は、4 つまでの NOR 型フラッシュまたは PSRAM メモリデバイスのアドレス指定に使用されます。このバンクは、4 つの専用チップセレクトを持つ 4 つの NOR/PSRAM 領域に分割されます。

各バンクで使用されるメモリのタイプは、ユーザによって設定レジスタで定義されます。

図 202. FSMC メモリバンク

20.4.1 NOR/PSRAM アドレスマッピング

HADDR[27:26] ビットは、*表 87* に示される 4 つのメモリバンクの 1 つを選択するために使用されます。

表 87. NOR/PSRAM バンク選択

HADDR[27:26][1]	選択されるバンク
00	バンク 1 NOR/PSRAM 1
01	バンク 1 NOR/PSRAM 2
10	バンク 1 NOR/PSRAM 3
11	バンク 1 NOR/PSRAM 4

1. HADDR は、外部メモリに変換される内部 AHB アドレスラインです。

HADDR[25:0] は、外部メモリアドレスを含みます。HADDR はバイトアドレスですが、メモリはワード単位でアクセスされるので、メモリに対して実際に発行されるアドレスは、次の表に示されるように、メモリのデータ幅に応じて変わります。

表 88. 外部メモリアドレス

メモリ幅[1]	メモリに発行されるデータアドレス	最大メモリ容量（ビット）
8 ビット	HADDR[25:0]	64 MB x 8 = 512 M ビット
16 ビット	HADDR[25:1] >> 1	64 MB/2 x 16 = 512 M ビット

1. 外部メモリが 16 ビット幅の場合、FSMC は、内部で HADDR[25:1] を使用して、外部メモリ FSMC_A[24:0] に対するアドレスを生成します。
外部メモリの幅（16 ビットまたは 8 ビット）にかかわらず、FSMC_A[0] は外部メモリアドレス A[0] に接続されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

NOR 型フラッシュ /PSRAM のラップサポート

同期メモリのラップバーストモードはサポートされません。メモリは、未定義の長さのリニアバーストモードに設定する必要があります。

20.5 NOR 型フラッシュ /PSRAM コントローラ

FSMC は、以下のタイプのメモリを駆動するのに適した信号タイミングを生成します。

- 非同期 SRAM および ROM
  - 8 ビット
  - 16 ビット
  - 32 ビット
- PSRAM（セルラー RAM）
  - 非同期モード
  - バーストモード
- NOR 型フラッシュ
  - 非同期モードまたはバーストモード
  - 多重化または非多重化

FSMC は、バンクごとに 1 つのチップセレクト信号 NE[4:1] を出力します。その他の信号（アドレス、データ、および制御）はすべて、共有されます。

同期アクセスでは、FSMC は、選択された外部デバイスにクロック（CLK）を発行します。このクロックは、HCLK クロックの分周した数です。各バンクのサイズは 64 MB に固定されます。

各バンクは、専用レジスタによって設定されます（*セクション 20.5.6* を参照）。

プログラマブルメモリパラメータは、アクセスタイミング（*表 89* を参照）を含み、ウェイト管理をサポートします（バーストモードでの PSRAM および NOR 型フラッシュへのアクセス）。

表 89. プログラマブル NOR/PSRAM アクセスパラメータ

パラメータ	機能	アクセスモード	単位	最小	最大
アドレスセットアップ	アドレスセットアップフェーズ時間	非同期	AHB クロックサイクル（HCLK）	0	15
アドレスホールド	アドレスホールドフェーズ時間	非同期、多重化 I/O	AHB クロックサイクル（HCLK）	1	15
データセットアップ	データセットアップフェーズ時間	非同期	AHB クロックサイクル（HCLK）	1	256
バスターン	バスターンアラウンドフェーズ時間	非同期および同期読み出し	AHB クロックサイクル（HCLK）	0	15
クロック分周比	1 つのメモリクロックサイクル（CLK）に必要な AHB クロックサイクル（HCLK）数	同期	AHB クロックサイクル（HCLK）	1	16
データ待ち時間	バーストの最初のデータの前にメモリに発行されるクロックサイクル数	同期	メモリクロックサイクル（CLK）	2	17

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

20.5.1 外部メモリインタフェース信号

表 90、*表 91*、および*表 92* は、一般に、NOR 型フラッシュ、SRAM、および PSRAM へのインタフェースに使用される信号です。

注： ***プレフィックス“N” は、対応する信号がアクティブローであることを示します。***

NOR 型フラッシュ、非多重化 I/O

表 90. 非多重化 I/O NOR 型フラッシュ

FSMC 信号名	I/O	機能
CLK	O	クロック（同期バースト用）
A[25:0]	O	アドレスバス
D[15:0]	I/O	双方向データバス
NE[x]	O	チップセレクト、x = 1..4
NOE	O	出力イネーブル
NWE	O	書き込みイネーブル
NL（=NADV）	O	ラッチイネーブル（この信号は、一部の NOR 型フラッシュデバイスではアドレス有効（NADV）と呼ばれます）。
NWAIT	I	FMSC への NOR 型フラッシュウェイト入力信号

NOR 型フラッシュメモリは、16 ビットワード単位でアドレス指定されます。最大容量は、512 M ビット（26 アドレスライン）です。

NOR 型フラッシュ、多重化 I/O

表 91. 多重化 I/O NOR 型フラッシュ

FSMC 信号名	I/O	機能
CLK	O	クロック（同期バースト用）
A[25:16]	O	アドレスバス
AD[15:0]	I/O	16 ビット多重化、双方向アドレス/データバス
NE[x]	O	チップセレクト、x = 1..4
NOE	O	出力イネーブル
NWE	O	書き込みイネーブル
NL（=NADV）	O	ラッチイネーブル（この信号は、一部の NOR 型フラッシュデバイスではアドレス有効（NADV）と呼ばれます）。
NWAIT	I	FMSC への NOR 型フラッシュウェイト入力信号

NOR 型フラッシュメモリは、16 ビットワード単位でアドレス指定されます。最大容量は、512 M ビット（26 アドレスライン）です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

PSRAM/SRAM、非多重化 I/O

表 92. 非多重化 I/O PSRAM/SRAM

FSMC 信号名	I/O	機能
CLK	O	クロック（PSRM 同期バーストのみ）
A[25:0]	O	アドレスバス
D[15:0]	I/O	双方向データバス
NE[x]	O	チップセレクト、x = 1..4（PSRAM（セルラー RAM、または CRAM）では NCE と呼ばれます。）
NOE	O	出力イネーブル
NWE	O	書き込みイネーブル
NL（= NADV）	O	PSRAM 入力の場合のみアドレス有効（メモリ信号名：NADV）
NWAIT	I	FMSC への PSRAM ウェイト入力信号
NBL[1]	O	上位バイトイネーブル（メモリ信号名：NUB)
NBL[0]	O	下位バイトイネーブル（メモリ信号名：NLB)

PSRAM メモリは、16 ビットワード単位でアドレス指定されます。最大容量は、512 M ビット（26 アドレスライン）です。

PSRAM、多重化 I/O

表 93. 多重化 I/O PSRAM

FSMC 信号名	I/O	機能
CLK	O	クロック（同期バースト用）
A[25:16]	O	アドレスバス
AD[15:0]	I/O	16 ビット多重化、双方向アドレス/データバス
NE[x]	O	チップセレクト、x = 1..4（PSRAM（セルラー RAM、つまり CRAM）では NCE と呼ばれます。）
NOE	O	出力イネーブル
NWE	O	書き込みイネーブル
NL（= NADV）	O	アドレス有効 PSRAM 入力（メモリ信号名：NADV）
NWAIT	I	FMSC への PSRAM ウェイト入力信号
NBL[1]	O	上位バイトイネーブル（メモリ信号名：NUB)
NBL[0]	O	下位バイトイネーブル（メモリ信号名：NLB)

PSRAM メモリは、16 ビットワード単位でアドレス指定されます。最大容量は、512 M ビット（26 アドレスライン）です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

20.5.2 サポートされるメモリおよびトランザクション

下の*表 94* は、メモリデータバスが NOR、PSRAM、および SRAM に対して 16 ビットである場合にサポートされるデバイス、アクセスモード、およびトランザクションの例を示します。この例では、FSMC で許されない（サポートされない）トランザクションは、グレーで示されています。

表 94. NOR 型フラッシュ /PSRAM でサポートされるメモリおよびトランザクション

デバイス	モード	R/W	AHB データサイズ	メモリデータサイズ	許可/禁止	コメント
NOR 型フラッシュ（多重化 I/O と非多重化 I/O）	非同期	R	8	16	許可	
	非同期	W	8	16	禁止	
	非同期	R	16	16	許可	
	非同期	W	16	16	許可	
	非同期	R	32	16	許可	2 つの FSMC アクセスに分割
	非同期	W	32	16	許可	2 つの FSMC アクセスに分割
	非同期ページ	R	-	16	禁止	モードはサポートされていません。
	同期	R	8	16	禁止	
	同期	R	16	16	許可	
	同期	R	32	16	許可	
PSRAM（多重化 I/O と非多重化 I/O）	非同期	R	8	16	許可	
	非同期	W	8	16	許可	バイトレーン NBL[1:0] の使用
	非同期	R	16	16	許可	
	非同期	W	16	16	許可	
	非同期	R	32	16	許可	2 つの FSMC アクセスに分割
	非同期	W	32	16	許可	2 つの FSMC アクセスに分割
	非同期ページ	R	-	16	禁止	モードはサポートされていません。
	同期	R	8	16	禁止	
	同期	R	16	16	許可	
	同期	R	32	16	許可	
	同期	W	8	16	許可	バイトレーン NBL[1:0] の使用
	同期	W	16/32	16	許可	
SRAM と ROM	非同期	R	8 / 16	16	許可	バイトレーン NBL[1:0] の使用
	非同期	W	8 / 16	16	許可	バイトレーン NBL[1:0] の使用
	非同期	R	32	16	許可	2 つの FSMC アクセスに分割
	非同期	W	32	16	許可	2 つの FSMC アクセスに分割

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

20.5.3 一般的なタイミング規則

信号の同期

- すべてのコントローラ出力信号は、内部クロック（HCLK）の立ち上がりエッジで変化します。
- 同期書き込みモード（PSRAM デバイス）では、出力データは、メモリクロック（CLK）の立ち下がりエッジで変化します。

20.5.4 NOR 型フラッシュ /PSRAM コントローラ非同期トランザクション

非同期スタティックメモリ（NOR 型フラッシュ、SRAM）

- 信号は、内部クロック HCLK によって同期されます。このクロックはメモリには出力されません。
- FSMC は、チップセレクト信号 NE をネゲートする前に、常にデータをサンプリングします。これにより、メモリデータホールドタイミングに関する制約が満たされます（チップイネーブルハイからデータ遷移は、通常、最小 0 nsです）。
- 拡張モードが設定されているときには、読み出しおよび書き込みにおいて、モード A、B、C、および D を混在させることができます（たとえば、モード A で読み出し、モード B で書き込むことができます）。

モード 1 - SRAM/CRAM

図 203. モード 1 読み出しアクセス

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 204. モード 1 書き込みアクセス

書き込みトランザクションの最後の 1 HCLK サイクルは、NWE の立ち上がりエッジ後のアドレスおよびデータホールド時間を確保するのに役立ちます。この 1 HCLK サイクルがあるため、DATAST の値はゼロより大きくなければなりません（DATAST＞0）。

表 95. FSMC_BCRx ビットフィールド

ビット番号	ビット名	設定値
31-16		0x0000
15	ASYNCWAIT	メモリがこの機能をサポートする場合は 1 にセットします。そうでない場合は、0 のままにしておきます。
14-10		0x0
9	WAITPOL	ビット 15 が 1 の場合のみ、意味を持ちます。
8	BURSTEN	0x0
7		-
6	FACCEN	-
5-4	MWID	必要に応じて設定します。
3-2	MTYP	必要に応じて設定しますが、10（NOR 型フラッシュ）を除きます。
1	MUXEN	0x0
0	MBKEN	0x1

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 96. FSMC_BTRx ビットフィールド

ビット番号	ビット名	設定値
31-20		0x0000
15-8	DATAST	2 番目のアクセスフェーズの時間（書き込みアクセスの場合は DATAST＋1 HCLK サイクル、読み出しアクセスの場合は DATAST HCLK サイクル）。
7-4		0x0
3-0	ADDSET	1 番目のアクセスフェーズの時間（ADDSET HCLK サイクル）。 ADDSET の最小値は 0 です。

モード A - SRAM/PSRAM（CRAM）OE トグリング

図 205. モード A 読み出しアクセス

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 206. モード A 書き込みアクセス

モード 1 と比較した場合の相違点は、NOE のトグルと、独立した読み出しおよび書き込みのタイミングです。

表 97. FSMC_BCRx ビットフィールド

ビット番号	ビット名	設定値
31-16		0x0000
15	ASYNCWAIT	メモリがこの機能をサポートする場合は 1 にセットします。そうでない場合は、0 のままにしておきます。
14	EXTMOD	0x1
13-10		0x0
9	WAITPOL	ビット 15 が 1 の場合のみ、意味を持ちます。
8	BURSTEN	0x0
7		-
6	FACCEN	-
5-4	MWID	必要に応じて設定します。
3-2	MTYP	必要に応じて設定しますが、10（NOR 型フラッシュ）を除きます。
1	MUXEN	0x0
0	MBKEN	0x1

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 98. FSMC_BTRx ビットフィールド

ビット番号	ビット名	設定値
31-30		0x0
29-28	ACCMOD	0x0
27-20		0x000
15-8	DATAST	読み出しにおける 2 番目のアクセスフェーズの時間（DATAST HCLK サイクル）。
7-4		0x0
3-0	ADDSET	読み出しにおける最初のアクセスフェーズの時間（ADDSET HCLK サイクル）。ADDSET の最小値は 1 です。

表 99. FSMC_BWTRx ビットフィールド

ビット番号	ビット名	設定値
31-30		0x0
29-28	ACCMOD	0x0
27-20		0x000
15-8	DATAST	書き込みにおける 2 番目のアクセスフェーズの時間（DATAST＋1HCLK サイクル）。
7-4		0x0
3-0	ADDSET	書き込みにおける最初のアクセスフェーズの時間（ADDSET HCLK サイクル）。ADDSET の最小値は 1 です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

モード 2/B - NOR 型フラッシュ

図 207. モード 2/B 読み出しアクセス

図 208. モード 2 書き込みアクセス

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 209. モード B 書き込みアクセス

モード 1 と比較した場合の相違点は、NADV のトグルと拡張モードがセットされたとき（モード B）の独立した読み出しおよび書き込みのタイミングです。

表 100. FSMC_BCRx ビットフィールド

ビット番号	ビット名	設定値
31-16		0x0000
15	ASYNCWAIT	メモリがこの機能をサポートする場合は 1 にセットします。そうでない場合は、0 のままにしておきます。
14	EXTMOD	モード B では 0x1、モード 2 では 0x0
13-10		0x0
9	WAITPOL	ビット 15 が 1 の場合のみ、意味を持ちます。
8	BURSTEN	0x0
7		-
6	FACCEN	0x1
5-4	MWID	必要に応じて設定します。
3-2	MTYP	10（NOR 型フラッシュ）
1	MUXEN	0x0
0	MBKEN	0x1

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 101. FSMC_BTRx ビットフィールド

ビット番号	ビット名	設定値
31-30		0x0
29-28	ACCMOD	拡張モードがセットされている場合は 0x1
27-20		0x000
15-8	DATAST	読み出しにおける 2 番目のアクセスフェーズの時間（DATAST HCLK サイクル）。
7-4		0x0
3-0	ADDSET	読み出しにおける最初のアクセスフェーズの時間（ADDSET HCLK サイクル）。ADDSET の最小値は 1 です。

表 102. FSMC_BWTRx ビットフィールド

ビット番号	ビット名	設定値
31-30		0x0
29-28	ACCMOD	拡張モードがセットされている場合は 0x1
27-20		0x000
15-8	DATAST	書き込みにおける 2 番目のアクセスフェーズの時間（DATAST＋1 HCLK サイクル）。
7-4		0x0
3-0	ADDSET	書き込みにおける 最初のアクセスフェーズの時間（ADDSET HCLK サイクル）。ADDSET の最小値は 1 です。

注： FSMC_BWTRx レジスタは、拡張モードがセットされている場合（モード B）のみ有効です。それ以外の場合には、その内容は意味を持ちません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

参考資料

モード C - NOR 型フラッシュ - OE トグリング

図 210. モード C 読み出しアクセス

図 211. モード C 書き込みアクセス

モード 1 と比較した場合の相違点は、NOE および NADV のトグルと、独立した読み出しおよび書き込みタイミングです。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 103. FSMC_BCRx ビットフィールド

ビット番号	ビット名	設定値
31-16		0x0000
15	ASYNCWAIT	メモリがこの機能をサポートする場合は 1 にセットします。そうでない場合は、0 のままにしておきます。
14	EXTMOD	0x1
13-10		0x0
9	WAITPOL	ビット 15 が 1 の場合のみ、意味を持ちます。
8	BURSTEN	0x0
7		-
6	FACCEN	1
5-4	MWID	必要に応じて設定します。
3-2	MTYP	0x02（NOR 型フラッシュ）
1	MUXEN	0x0
0	MBKEN	0x1

表 104. FSMC_BTRx ビットフィールド

ビット番号	ビット名	設定値
31-30		0x0
29-28	ACCMOD	0x2
27-20		0x000
15-8	DATAST	読み出しにおける 2 番目のアクセスフェーズの時間（DATAST HCLK サイクル）。
7-4		0x0
3-0	ADDSET	読み出しにおける 最初のアクセスフェーズの時間（ADDSETHCLK サイクル）。ADDSET の最小値は 1 です。

表 105. FSMC_BWTRx ビットフィールド

ビット番号	ビット名	設定値
31-30		0x0
29-28	ACCMOD	0x2
27-20		0x000
15-8	DATAST	書き込みにおける 2 番目のアクセスフェーズの時間（DATAST＋1HCLK サイクル）。
7-4		0x0
3-0	ADDSET	書き込みにおける 最初のアクセスフェーズの時間（ADDSET HCLK サイクル）。ADDSET の最小値は 1 です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

モード D - 拡張アドレスによる非同期アクセス

図 212. モード D 読み出しアクセス

図 213. モード D 書き込みアクセス

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

モード 1 と比較した場合の相違点は、NADV のトグル、NADV が変化した後にトグルする NOE、独立した読み出しおよび書き込みタイミングです。

表 106. FSMC_BCRx ビットフィールド

ビット番号	ビット名	設定値
31-16		0x0000
15	ASYNCWAIT	メモリがこの機能をサポートする場合は 1 にセットします。そうでない場合は、0 のままにしておきます。
14	EXTMOD	0x1
13-10		0x0
9	WAITPOL	ビット 15 が 1 の場合のみ、意味を持ちます。
8	BURSTEN	0x0
7		-
6	FACCEN	メモリのサポート状況に応じて設定します。
5-4	MWID	必要に応じて設定します。
3-2	MTYP	必要に応じて設定します。
1	MUXEN	0x0
0	MBKEN	0x1

表 107. FSMC_BTRx ビットフィールド

ビット番号	ビット名	設定値
31-30		0x0
29-28	ACCMOD	0x2
27-20		0x000
15-8	DATAST	読み出しにおける 2 番目のアクセスフェーズの時間（DATAST HCLK サイクル）。
7-4	ADDHLD	読み出しにおける中間アクセスフェーズの時間（ADDHLD HCLK サイクル）。
3-0	ADDSET	読み出しにおける 最初のアクセスフェーズの時間（ADDSETHCLK サイクル）。ADDSET の最小値は 1 です。

表 108. FSMC_BWTRx ビットフィールド

ビット番号	ビット名	設定値
31-30		0x0
29-28	ACCMOD	0x2
27-20		0x000
15-8	DATAST	書き込みにおける 2 番目のアクセスフェーズの時間（DATAST＋1 HCLK サイクル）。
7-4	ADDHLD	書き込みにおける中間アクセスフェーズの時間（ADDHLD HCLK サイクル）。
3-0	ADDSET	書き込みにおける 最初のアクセスフェーズの時間（ADDSET HCLK サイクル）。ADDSET の最小値は 1 です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

多重モード - 多重 NOR 型フラッシュへの非同期アクセス

図 214. 多重化読み出しアクセス

図 215. 多重書き込みアクセス

モード D との相違点は、データバス上の下位アドレスバイトのドライブです。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 109. FSMC_BCRx ビットフィールド

ビット番号	ビット名	設定値
31-16		0x0000
15	ASYNCWAIT	メモリがこの機能をサポートする場合は 1 にセットします。そうでない場合は、0 のままにしておきます。
14	EXTMOD	0x0
13-10		0x0
9	WAITPOL	ビット 15 が 1 の場合のみ、意味を持ちます。
8	BURSTEN	0x0
7		-
6	FACCEN	0x1
5-4	MWID	必要に応じて設定します。
3-2	MTYP	0x2（NOR）
1	MUXEN	0x1
0	MBKEN	0x1

表 110. FSMC_BTRx ビットフィールド

ビット番号	ビット名	設定値
31-20		0x0000
19-16	BUSTURN	NEx ハイから NEx ローまでの時間 (BUSTURN HCLK)
15-8	DATAST	2 番目のアクセスフェーズの時間（読み出しアクセスの場合は DATAST HCLK サイクル、書き込みアクセスの場合は DATAST+1 HCLK サイクル）。
7-4	ADDHLD	アクセスの中間フェーズの時間（ADDHLD HCLK サイクル）。
3-0	ADDSET	1 番目のアクセスフェーズの時間（ADDSET HCLK サイクル）。ADDSET の最小値は 1 です。

非同期アクセスにおけるウェイト管理

非同期メモリが、データの受け取りまたは提供の準備がまだできていないことを知らせる ために、WAIT 信号をアサートした場合、FSMC_BCRx レジスタの ASYNCWAIT ビットをセットする必要があります。

WAIT 信号がアクティブな場合（WAITPOL ビットに依存して、ハイまたはロー）、DATAST ビットによってプログラムされる 2 番目のアクセスフェーズ（データセットアップフェーズ）は、WAIT ビットがインアクティブになるまで延長されます。データセットアップフェーズとは異なり、ADDSET および ADDHLD ビットによってプログラムされる最初のアクセスフェーズ（アドレスセットアップおよびアドレスホールドフェーズ）は、WAIT に対応しないので、延長されません。

データフェーズは、メモリアクセスが終了する 4 HCLK サイクル前に WAIT が検出されるようにプログラムする必要があります。次のようなケースを考慮する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

1. メモリが、次のようにトグルする NOE/NWE に合わせた WAIT 信号をアサートする場合。

   data_phase >= 4 * HCLK + max_wait_assertion_time

2. メモリが、NEx（またはトグルしない NOE/NWE）に合わせた WAIT 信号をアサートする場合。max_wait_assertion_time > （address_phase + hold_phase）である場合は、

   data_phase >= 4 * HCLK + （max_wait_assertion_time - address_phase - hold_phase）

   それ以外の場合は、

   data_phase >= 4 * HCLK

ここで、max_wait_assertion_time は、NEx/NOE/NWE がローになったときにメモリが WAIT 信号をアサートするために必要な最大時間です。

図 216 と *図 217* は、非同期メモリによって、WAIT が解放された後、メモリアクセスが延長される HCLK のサイクル数を示しています（上記のケースとは別に）。

図 216. 読み出しアクセス中の非同期ウェイト

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 217. 書き込みアクセス中の非同期ウェイト

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

20.5.5 同期バーストトランザクション

メモリクロック（CLK）は、CLKDIV パラメータ値に従った HCLK の分周した数です。

NOR 型フラッシュメモリは、NADV のアサーションから CLK がハイになるまでの最小時間を指定します。この制約を満たすために、FSMC は、同期アクセスの最初の内部クロックサイクルでは（NADV アサーションの前）、クロックをメモリに供給しません。これにより、メモリクロックの立ち上がりエッジは、NADV ローパルスの*中間で*発生します。

データ待ち時間と NOR 型フラッシュ待ち時間

データ待ち時間は、データをサンプリングする前のウェイトサイクル数です。DATLAT の値は、NOR 型フラッシュ設定レジスタで指定された待ち時間の値と一致しなければなりません。FMSC は、NADV がローのときのクロックサイクルをデータ待ち時間カウントに含めません。

注意：一部の NOR 型フラッシュメモリは、データ待ち時間カウントに NADV ローサイクルを含めるので、NOR 型フラッシュの待ち時間と FMSC DATALAT パラメータの厳密な関係は、次のいずれかです。

- NOR 型フラッシュの待ち時間 = DATLAT + 2
- NOR 型フラッシュの待ち時間 = DATLAT + 3

最近のメモリの中には、待ち時間フェーズにおいて NWAIT をアサートするものがあります。そのような場合には、DATLAT を最小値に設定することができます。結果として、FSMC はデータをサンプリングして、データが有効であるかどうか評価するのに十分な時間、ウェイトします。このように、FSMC は、メモリが待ち時間から抜けたことを検出し、実際のデータが得られます。

その他のメモリは、待ち時間中には NWAIT をアサートしません。この場合、FSMC とメモリの両方について、待ち時間が正しく設定されなければなりません。さもなければ、正しいデータの代わりに無効なデータが得られたり、有効なデータがメモリサイクルの初期フェーズで失われることになります。

シングルバースト転送

選択されたバンクが同期バーストモードに設定されている場合、AHB シングルバーストトランザクションがリクエストされると、FSMC は長さ 1（AHB 転送が 16 ビットの場合）または 2（AHB 転送が 32 ビットの場合）のバーストトランザクションを実行して、最後のデータがストローブされると、チップセレクトをネゲートします。

明らかに、このような転送はサイクル数の点で最も効率的ではありません（非同期読み出しに比較して）。しかし、時間がかかるメモリアクセスモードの再プログラムには、まず、ランダム非同期アクセスが必要です。

ウェイト管理

同期バーストの NOR 型フラッシュでは、NWAIT は、プログラムされた待ち時間期間、（DATALAT+2）CLK サイクル後に判定されます。

NWAIT がアクティブであることが検出されると（WAITPOL=0 の場合はローレベル、WAITPOL=1 の場合はハイレベル）、NWAIT がインアクティブであることが検出されるまで（WAITPOL=0 の場合はハイレベル、WAITPOL=1 の場合はローレベル）、ウェイトステートが挿入されます。

NWAITがインアクティブのときには、データはただちに（ビット WAITCFG=1）または次のクロックエッジで（ビット WAITCFG=0）、有効とみなされます。

NWAIT 信号によるウェイトステートの挿入時には、コントローラはメモリへのクロックパルスの送信を続け、チップセレクトと出力イネーブル信号を有効に保ち、データを有効と認識しません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

バーストモードでの NOR 型フラッシュの NWAIT 信号には、2 つのタイミング設定があります。

- フラッシュメモリは、ウェイトステートの 1 データサイクル前に NWAIT 信号をアサートします（リセット後のデフォルト）。
- フラッシュメモリは、ウェイトステートの間に NWAIT 信号をアサートします。

この 2 つの NOR 型フラッシュウェイトステート設定は、FSMC_BCRx レジスタ（x=0..3）の WAITCFG ビットにより、各チップセレクト ごとに FSMC によってサポートされます。

図 218. ウェイト設定

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 219. 同期多重読み出しモードーNOR、PSRAM（CRAM）

1. バイトレーン出力 BL は示されていません。NOR アクセス時にはハイに保たれ、PSRAM（CRAM）アクセス時にはローに保たれます。

表 111. FSMC_BCRx ビットフィールド

ビット番号	ビット名	設定値
31-20		0x0000
19	CBURSTRW	同期読み出し時は影響しません。
18-15		0x0
14	EXTMOD	0x0
13	WAITEN	ハイのときには、待ち時間期間後の最初のデータは、メモリ値によるウェイトにかかわらず、常に有効とみなされます。
12	WREN	同期読み出し時は影響しません。
11	WAITCFG	メモリに応じて設定します。
10	WRAPMOD	影響しません。
9	WAITPOL	メモリに応じて設定します。
8	BURSTEN	0x1

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 111. FSMC_BCRx ビットフィールド （続き）

ビット番号	ビット名	設定値
7	FWPRLVL	意図しない書き込みアクセスからメモリを保護するために設定します。
6	FACCEN	メモリのサポート状況に応じて設定します。
5-4	MWID	必要に応じて設定します。
3-2	MTYP	0x1 または 0x2
1	MUXEN	必要に応じて設定します。
0	MBKEN	0x1

表 112. FSMC_BTRx ビットフィールド

ビット番号	ビット名	設定値
27-24	DATLAT	データ待ち時間
23-20	CLKDIV	0x0 の場合、CLK = HCLK となります。 0x1 の場合、CLK = 2 x HCLK となります 。 ..
19-16	BUSTURN	NEx ハイから NEx ローまでの時間 (BUSTURN HCLK)
15-8	DATAST	影響しません。
7-4	ADDHLD	影響しません。
3-0	ADDSET	影響しません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 220. 同期多重書き込みモードーPSRAM（CRAM）

1. メモリは、あらかじめ NWAIT 信号を 1 サイクル前に発行しなければならないので、WAITCFG を 0 にプログラムする必要があります。
2. バイトレーン（NBL）出力は、図に示されていませんが、NEx がアクティブの間はローに保たれます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 113. FSMC_BCRx ビットフィールド

ビット番号	ビット名	設定値
31-20		0x0000
19	CBURSTRW	0x1
18-15		0x0
14	EXTMOD	0x0
13	WAITEN	ハイのときには、待ち時間期間後の最初のデータは、メモリ値からのウェイトにかかわらず、常に有効とみなされます。
12	WREN	同期読み出し時は影響しません。
11	WAITCFG	0x0
10	WRAPMOD	影響しません。
9	WAITPOL	メモリに応じて設定します。
8	BURSTEN	同期読み出し時は影響しません。
7	FWPRLVL	意図しない書き込みからメモリを保護するために設定します。
6	FACCEN	メモリのサポート状況に応じて設定します。
5-4	MWID	必要に応じて設定します。
3-2	MTYP	0x1
1	MUXEN	必要に応じて設定します。
0	MBKEN	0x1

表 114. FSMC_BTRx ビットフィールド

ビット番号	ビット名	設定値
31-30	-	0x0
27-24	DATLAT	データ待ち時間
23-20	CLKDIV	0 の場合、CLK＝HCLK となります（サポートされません）。 1 の場合、CLK＝2×HCLK となります。
19-16	BUSTURN	ビットの値に影響を与えません。
15-8	DATAST	ビットの値に影響を与えません。
7-4	ADDHLD	ビットの値に影響を与えません。
3-0	ADDSET	ビットの値に影響を与えません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

20.5.6 NOR/PSRAM 制御レジスタ

SRAM/NOR 型フラッシュチップセレクト制御レジスタ 1..4（FSMC_BCR1..4）

アドレスオフセット：0xA000 0000 + 8 * （x – 1）, x = 1...4

リセット値：0x0000 30DX

このレジスタは、SRAM、ROM、および非同期またはバースト NOR 型フラッシュメモリの各メモリバンクの制御の情報を含みます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み												CBURSTRW	予約済み			ASCYCWAIT	EXTMOD	WAITEN	WREN	WAITCFG	WRAPMOD	WAITPOL	BURSTEN	予約済み	FACCEN	MWID		MTYP		MUXEN	MBKEN
												rw				rw	rw	rw	rw	rw	rw	rw	rw		rw	rw	rw	rw	rw	rw	rw

ビット 19 **CBURSTRW**：書き込みバーストイネーブル

セルラー RAM の場合、このビットは、書き込み操作時の同期バーストプロトコルを有効にします。バーストモードでのフラッシュメモリアクセスの場合、このビットは、NWAIT 信号によるウェイトステートの挿入を有効/無効にします。読み出しアクセス時の同期バーストプロトコルのイネーブルビットは、FSMC_BCRx レジスタの BURSTEN ビットです。

0：書き込み操作は、常に非同期モードで実行されます。

1：書き込み操作は、同期モードで実行されます。

ビット 15 **ASYNCWAIT**：非同期転送時のウェイト信号

このビットは、非同期プロトコル時でも、FSMC が NWAIT 信号を使用できるようにします。

0：非同期プロトコル動作中は、NWAIT 信号は考慮されません（リセット後のデフォルト）。

1：非同期プロトコル動作中に NWAIT 信号が考慮されます。

ビット 14 **EXTMOD**：拡張モードイネーブル

このビットは、FSMC が FSMC_BWTR レジスタの内部をプログラムできるようにして、読み出しと書き込みで異なるタイミングを可能にします。

0：FSMC_BWTR レジスタ内部の値は考慮されません（リセット後のデフォルト）。

1：FSMC_BWTR レジスタ内部の値が考慮されます。

ビット 13 **WAITEN**：ウェイトイネーブルビット

バーストモードでのフラッシュメモリアクセスの場合、このビットは、NWAIT 信号によるウェイトステートの挿入を有効/無効にします。

0: NWAIT 信号は無効です（レベルは考慮されず、プログラムされたフラッシュ待ち時間時間後にウェイトステートは挿入されません）。

1: NWAIT信号は有効です（レベルが考慮され、アサートされた場合、プログラムされたフラッシュ待ち時間時間後にウェイトステートが挿入されます）（セット後のデフォルト）。

ビット 12 **WREN**：書き込みイネーブルビット

このビットは、FSMC によるバンクへの書き込み操作の有効/無効を示します。

0：FSMC によるバンクへの書き込み操作は無効であり、AHB エラーが報告されます。

1：FSMC によるバンクへの書き込み操作は有効です（リセット後のデフォルト）。

ビット 11 **WAITCFG**：ウェイトタイミング設定

バーストモードでのフラッシュメモリアクセスの場合、NWAIT 信号は、メモリからのデータが有効かどうか、またはウェイトステートを挿入しなければならないかどうかを示します。この設定ビットは、ウェイトステートの 1 クロック前、またはウェイトステート中に、メモリによって NWAIT がアサートされるかどうかを定義します。

0：NWAIT 信号は、ウェイトステートの 1 データサイクル前にアクティブです（リセット後のデフォルト）。

1：NWAIT 信号は、ウェイトステートの間アクティブです（セルラー RAM の場合を除く）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 10 **WRAPMOD**：ラップドバーストモードサポート

コントローラが AHB バーストラップアクセスを 2 つのリニアアクセスに分割するかどうかを定義します。バーストモードでメモリにアクセスするときのみ有効です。

0：ダイレクトラップトバーストは無効です（リセット後のデフォルト）。

1：ダイレクトラップトバーストは有効です。

注：　CPU および DMA がラッピングバースト転送を生成できない時、このビットは無効です。

ビット 9 **WAITPOL**：ウェイト信号極性ビット

メモリからのウェイト信号の極性を定義します。バーストモードでメモリにアクセスするときのみ有効です。

0：NWAIT アクティブロー（リセット後のデフォルト）。

1：NWAIT アクティブハイ

ビット 8 **BURSTEN**：バーストイネーブルビット

メモリへのバーストアクセスモードを有効にします。同期バーストメモリでのみ有効です。

0：バーストアクセスモードは無効です（リセット後のデフォルト）。

1：バーストアクセスモードは有効です。

ビット 7　予約済み

ビット 6 **FACCEN**：フラッシュアクセスイネーブル

NOR 型フラッシュメモリアクセス操作を有効にします。

0：対応する NOR 型フラッシュメモリアクセスは無効です。

1：対応する NOR 型フラッシュメモリアクセスは有効です（リセット後のデフォルト）。

ビット 5:4 **MWID**：メモリデータバス幅

外部メモリデバイスの幅を定義します。すべてのタイプのメモリに対して有効です。

00：8 ビット

01：16 ビット（リセット後のデフォルト）。

10：予約済み。使用しないでください。

11：予約済み。使用しないでください。

ビット 3:2 **MTYP**：メモリタイプ

対応するメモリバンクに接続される外部メモリのタイプを定義します。

00：SRAM、ROM（バンク 2...4 のリセット後のデフォルト）

01：PSRAM (セルラー RAM：CRAM)

10：NOR 型フラッシュ /OneNAND 型フラッシュ（バンク 1 のリセット後のデフォルト）

11：予約済み

ビット 1 **MUXEN**：アドレス / データ多重化イネーブルビット

このビットがセットされているときには、データバス上でアドレスとデータが多重化されます。NOR および PSRAM 型フラッシュのみで有効です。

0：アドレス/データは多重化されません。

1：アドレス/データはデータバス上で多重化されます（リセット後のデフォルト）。

ビット 0 **MBKEN**：メモリバンクイネーブルビット

メモリバンクを有効にします。リセット後は、バンク 1 は有効であり、その他はすべて無効です。無効なバンクにアクセスすると、AHB バス上で ERROR が発生します。

0：対応するメモリバンクは無効です。

1：対応するメモリバンクは有効です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

SRAM/NOR 型フラッシュチップセレクトタイミングレジスタ 1..4（FSMC_BTR1..4）

アドレスオフセット：0xA000 0000 + 0x04 + 8 * (x – 1), x = 1..4

リセット値：0x0FFF FFFF

このレジスタは、SRAM、ROM、および NOR 型フラッシュメモリで使用される各メモリバンクの制御情報を含みます。FSMC_BCRx レジスタの EXTMOD ビットがセットされている場合、このレジスタは、書き込みと読み出しアクセスに分割されます。すなわち、読み出しアクセスを設定するためのレジスタ（このレジスタ）と、書き込みアクセスを設定するためのレジスタ（FSMC_BWTR x レジスタ）の 2 つのレジスタが使用できます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み		ACCMOD		DATLAT				CLKDIV				BUSTURN				DATAST								ADDHLD				ADDSET			
		rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 29:28 **ACCMOD**：アクセスモード

タイミング図に示されているように、非同期アクセスモードを指定します。これらのビットは、FSMC_BCRx レジスタの EXTMOD ビットが 1 のときのみ考慮されます。

00：アクセスモード A

01：アクセスモード B

10：アクセスモード C

11：アクセスモード D

ビット 27:24 **DATLAT**（下記のビットの説明を参照）：データ待ち時間（同期バースト NOR 型フラッシュ用）

同期バーストモードが有効な NOR 型フラッシュの場合、最初のデータを得る前にメモリに発行するメモリクロックサイクル数（+2）を定義します。

このタイミングパラメータは、HCLK 周期ではなく、フラッシュのクロック周期（CLK）で表されます。非同期 NOR 型フラッシュ、SRAM、または ROM アクセスでは、この値は無効です。CRAM の場合には、このフィールドを 0 に設定する必要があります。

0000：最初のバーストアクセスでは、2 CLK クロックサイクルのデータ待ち時間

1111：最初のバーストアクセスでは、17 CLK クロックサイクルのデータ待ち時間（リセット後のデフォルト）

ビット 23:20 **CLKDIV**：クロック分周比（CLK 信号）

CLK クロック出力信号の周期を定義します。HCLK サイクル数で表されます。

0000：予約済み

0001：CLK 周期 = 2 × HCLK 周期

0010：CLK 周期 = 3 × HCLK 周期

1111：CLK 周期 = 16 × HCLK 周期（リセット後のデフォルト値）

非同期 NOR 型フラッシュ、SRAM、または ROM アクセスでは、この値は無効です。

ビット 19:16 **BUSTURN**：バスターンアラウンドフェーズ時間

これらのビットは、書き込み/読み出しトランザクションの最後に待ち時間を追加するためにソフトウェアによって書き込まれます。この待ち時間により、連続したトランザクション間の最小時間（NEx ハイから NEx ローまでの t_{EHEL}）と読み出しアクセス後にデータバスを解放するためにメモリが必要とする最大時間（tEHQZ)を一致させることができます。

(BUSTRUN + 1)HCLK 時間 $\geq t_{EHELmin}$ と (BUSTRUN + 2)HCLK 時間 $\geq t_{EHQZmax}$（EXTMOD = 0 の場合）

(BUSTRUN + 2)HCLK 時間 $\geq$ max ($t_{EHELmin}$, $t_{EHQZmax}$)（EXTMOD = 1 の場合）

0000：BUSTURN フェーズ時間 = 0 HCLK クロックサイクル追加

...

1111：BUSTURN フェーズ時間 = 15 × HCLK クロックサイクル（リセット後のデフォルト）

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 15:8 **DATAST**：データフェーズ時間

これらのビットは、データフェーズの時間を定義するために、ソフトウェアによって書き込まれ（*図 203*～*図 215* を参照）、SRAM、ROM、および非同期多重 NOR 型フラッシュアクセスで使用されます。

0000 0000：予約済み

0000 0001：DATAST フェーズ時間 = 1 × HCLK クロックサイクル

0000 0010：DATAST フェーズ時間 = 2 × HCLK クロックサイクル

...

1111 1111：DATAST フェーズ時間 = 255 × HCLK クロックサイクル（リセット後のデフォルト値）

各メモリタイプおよびアクセスモードでのデータフェーズ時間については、それぞれの図（*図 203*～*図 215*）を参照してください。

例：モード 1、書き込みアクセス、DATAST=1：データフェーズ時間= DATAST+1 = 2 HCLK クロックサイクル。

ビット 7:4 **ADDHLD**：アドレスホールドフェーズ時間

これらのビットは、*アドレスホールド*フェーズ時間を定義するために、ソフトウェアによって書き込まれ（*図 212*～*図 215* を参照）、モード D および多重化アクセスで使用されます。

0000：予約済み

0001：ADDHLD フェーズ時間 =1 × HCLK クロックサイクル

0010：ADDHLD フェーズ時間 = 2 × HCLK クロックサイクル

...

1111：ADDHLD フェーズ時間 = 15 × HCLK クロックサイクル（リセット後のデフォルト値）

各アクセスモードでのアドレスホールドフェーズ時間については、それぞれの図（*図 212*～*図 215*）を参照してください。

注：　同期アクセスでは、この値は使用されず、アドレスホールドフェーズは、常に 1 メモリクロック周期の長さです。

ビット 3:0 **ADDSET**：アドレスセットアップフェーズ時間

これらのビットは、*アドレスセットアップ*フェーズの時間を定義するために、ソフトウェアによって書き込まれ（*図 203*～*図 215* を参照）、SRAM、ROM、および非同期 NOR 型フラッシュで使用されます。

0000：ADDSET フェーズ時間 = 0 × HCLK クロックサイクル

...

1111：ADDSET フェーズ時間 = 15 × HCLK クロックサイクル（リセット後のデフォルト値）

各アクセスモードでのアドレスセットアップフェーズ時間については、それぞれの図（*図 203*～*図 215*）を参照してください。

注：　同期アクセスでは、この値は使用されず、アドレスホールドフェーズは、常に 1 メモリクロック周期の長さです。

*注：　**PSRAM（CRAM）の待ち時間は、内部更新のために可変です。したがって、これらのメモリは、必要に応じて待ち時間を延長するために、待ち時間フェーズ全体について NWAIT 信号を発行します。SPRAM（CRAM）では、フィールド DATLAT を 0 に設定しなければなりません。こうすると、FSMC は、すぐに待ち時間フェーズを終了して、メモリからの NWAIT 信号のサンプリングを開始し、メモリがレディ状態になると、読み出しまたは書き込みを開始します。**この方法は、古い世代のフラッシュメモリと異なり、NWAIT 信号を発行する最新世代の同期フラッシュメモリでも使用できます（使用中の特定のフラッシュメモリのデータシートを参照してください）。*

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

SRAM/NOR 型フラッシュ書き込みタイミングレジスタ 1..4（FSMC_BWTR1..4）

アドレスオフセット：0xA000 0000 + 0x104 + 8 * (x – 1), x = 1...4

リセット値：0x0FFF FFFF

このレジスタは、SRAM、ROM、および NOR 型フラッシュメモリで使用される各メモリバンクの制御情報を含みます。FSMC_BCRx レジスタの EXTMOD ビットがセットされているときには、このレジスタは書き込みアクセスについてアクティブになります。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み		ACCMOD		DATLAT				CLKDIV				予約済み				DATAST								ADDHLD				ADDSET			
		rw	rw	rw	rw	rw	rw	rw	rw	rw	rw					rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 29:28 **ACCMOD**：アクセスモード

次のタイミング図に示されているように、非同期アクセスモードを指定します。これらのビットは、FSMC_BCRx レジスタの EXTMOD ビットが 1 にセットされている場合のみ考慮されます。

00：アクセスモード A

01：アクセスモード B

10：アクセスモード C

11：アクセスモード D

ビット 27:24 **DATLAT**：データ待ち時間（同期バースト NOR 型フラッシュ用）

同期バーストモードが有効な NOR 型フラッシュの場合、最初のデータを得る前にメモリに発行するメモリクロックサイクル数（+2）を定義します。

0000：（0x0）最初のバーストアクセスでは、2 CLK クロックサイクルのデータ待ち時間

...

1111：（0xF）最初のバーストアクセスでは、17 CLK クロックサイクルのデータ待ち時間（リセット後のデフォルト）

注：このタイミングパラメータは、HCLK 周期ではなく、フラッシュのクロック（CLK）周期で表されます。

注：非同期 NOR 型フラッシュ、SRAM、または ROM アクセスでは、この値は無効です。

注：CRAM の場合には、このフィールドを 0 に設定する必要があります。

ビット 23:20 **CLKDIV**：クロック分周比（CLK 信号）

CLK クロック出力信号の周期を定義します。HCLK サイクル数で表されます。

0000：予約済み

0001：CLK 周期 = 2 × HCLK 周期

0010：CLK 周期 = 3 × HCLK 周期

1111：CLK 周期 = 16 × HCLK 周期（リセット後のデフォルト値）

非同期 NOR 型フラッシュ、SRAM、または ROM アクセスでは、この値は無効です。

ビット 19:16 予約済み

ビット 15:8 **DATAST**：データフェーズ時間

これらのビットは、データフェーズの時間を定義するために、ソフトウェアによって書き込まれ（*図 203*～*図 215* を参照）、SRAM、ROM、および非同期多重 NOR 型フラッシュアクセスで使用されます。

0000 0000：予約済み

0000 0001：DATAST フェーズ時間 = 1 × HCLK クロックサイクル

0000 0010：DATAST フェーズ時間 = 2 × HCLK クロックサイクル

...

1111 1111：DATAST フェーズ時間 = 255 × HCLK クロックサイクル (リセット後のデフォルト値)

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 7:4 **ADDHLD**：アドレスホールドフェーズ時間

これらのビットは、*アドレスホールド*フェーズの時間を定義するために、ソフトウェアによって書き込まれ（*図 212*～*図 215* を参照）、SRAM、ROM、および非同期多重 NOR 型フラッシュアクセスで使用されます。

0000：予約済み

0001：ADDHLD フェーズ時間 = 1 × HCLK クロックサイクル

0010：ADDHLD フェーズ時間 = 2 × HCLK クロックサイクル

...

1111：ADDHLD フェーズ時間 = 15 × HCLK クロックサイクル (リセット後のデフォルト値)

注：同期 NOR 型フラッシュアクセスでは、この値は使用されず、アドレスホールドフェーズの長さは、常に 1 フラッシュクロック周期です。

ビット 3:0 **ADDSET**：アドレスセットアップフェーズ時間

これらのビットは、*アドレスセットアップ*フェーズ時間を HCLK サイクル数で定義するために、ソフトウェアによって書き込まれ（*図 212*～*図 215* を参照）、SRAM、ROM、および非同期多重 NOR 型フラッシュで使用されます。

0000：ADDSET フェーズ時間 = 0 × HCLK クロックサイクル

...

1111：ADDSET フェーズ時間 = 15 × HCLK クロックサイクル (リセット後のデフォルト値)

注：同期 NOR 型フラッシュアクセスでは、この値は使用されず、アドレスホールドフェーズの長さは、常に 1 フラッシュクロック周期です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

20.5.7 FSMC レジスタマップ

次の表は FSMC レジスタの一覧です。

表 115. FSMC レジスタマップ

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0xA000 0000	FSMC_BCR1	予約済み												CBURSTRW	予約済み			ASYNCWAIT	EXTMOD	WAITEN	WREN	WAITCFG		WAITPOL	BURSTEN	予約済み	FACCEN	MWID		MTYP		MUXEN	MBKEN
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	1	1	0	1	X	X	X	X
0xA000 0008	FSMC_BCR2	予約済み												CBURSTRW	予約済み			ASYNCWAIT	EXTMOD	WAITEN	WREN	WAITCFG	WRAPMOD	WAITPOL	BURSTEN	予約済み	FACCEN	MWID		MTYP		MUXEN	MBKEN
0xA000 0010	FSMC_BCR3	予約済み												CBURSTRW	予約済み			ASYNCWAIT	EXTMOD	WAITEN	WREN	WAITCFG	WRAPMOD	WAITPOL	BURSTEN	予約済み	FACCEN	MWID		MTYP		MUXEN	MBKEN
0xA000 0018	FSMC_BCR4	予約済み												CBURSTRW	予約済み			ASYNCWAIT	EXTMOD	WAITEN	WREN	WAITCFG	WRAPMOD	WAITPOL	BURSTEN	予約済み	FACCEN	MWID		MTYP		MUXEN	MBKEN
0xA000 0004	FSMC_BTR1	予約済み		ACCMOD		DATLAT				CLKDIV				BUSTURN				DATAST								ADDHLD				ADDSET			
0xA000 000C	FSMC_BTR2	予約済み		ACCMOD		DATLAT				CLKDIV				BUSTURN				DATAST								ADDHLD				ADDSET			
0xA000 0014	FSMC_BTR3	予約済み		ACCMOD		DATLAT				CLKDIV				BUSTURN				DATAST								ADDHLD				ADDSET			
0xA000 001C	FSMC_BTR4	予約済み		ACCMOD		DATLAT				CLKDIV				BUSTURN				DATAST								ADDHLD				ADDSET			
0xA000 0104	FSMC_BWTR1	予約済み		ACCMOD		DATLAT				CLKDIV				予約済み				DATAST								ADDHLD				ADDSET			
0xA000 010C	FSMC_BWTR2	予約済み		ACCMOD		DATLAT				CLKDIV				予約済み				DATAST								ADDHLD				ADDSET			
0xA000 0114	FSMC_BWTR3	予約済み		ACCMOD		DATLAT				CLKDIV				予約済み				DATAST								ADDHLD				ADDSET			
0xA000 011C	FSMC_BWTR4	予約済み		ACCMOD		DATLAT				CLKDIV				予約済み				DATAST								ADDHLD				ADDSET			

レジスタ境界アドレスについては、*表 1：小容量および中容量デバイスのレジスタ境界アドレス*および*表 2：大容量デバイスのレジスタ境界アドレス* を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

21 シリアルペリフェラルインタフェース（SPI）

小容量バリューラインデバイスは、フラッシュメモリ容量が 16～32 KB の STM32F100xx マイクロコントローラです。

中容量バリューラインデバイスは、フラッシュメモリ容量が 64～128 KB の STM32F100xx マイクロコントローラです。

大容量バリューラインデバイスは、フラッシュメモリ容量が 256～512 KB の STM32F100xx マイクロコントローラです。

21.1 SPI の概要

SPI（シリアルペリフェラルインタフェース）では、外部デバイスとの間で、半二重/全二重の同期シリアル通信が可能です。このインタフェースはマスタとして設定することが可能で、その場合、外部のスレーブデバイスに通信クロック（SCK）を供給します。このインタフェースは、マルチマスタ設定で動作することもできます。

2 本のライン（両方向データラインを使用可能）での単方向同期転送や、CRC チェックを使用した信頼性の高い通信など、さまざまな目的に使用することができます。

警告： **SPI1 および SPI3 ピンは JTAG ピンと共有されるため（SPI1/3_NSS は JTDI と、SPI1/3_SCK は JTDO と、SPI1/3_MISO は NJTRST と共有）、ユーザは以下のいずれかを行う必要があります。**
– SPI IO ピンを設定する前に JTAG を無効にし、SWD インタフェースを使用する（アプリケーションのデバッグ時）。または
– JTAG/SWD インタフェースの両方を無効にする（スタンドアロンアプリケーションの場合）。
JTAG/SWD インタフェースピンの設定の詳細については、*セクション 7.3.3：JTAG/SWD オルタネート機能の再配置*を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

21.2 SPI の主な機能

21.2.1 SPI 機能

- 3 本のラインで全二重同期転送
- 2 本のラインで単方向同期転送（双方向データラインの有無にかかわらず）
- 8 または 16 ビット転送フレームフォーマット選択
- マスタまたはスレーブ動作
- マルチマスタモード機能
- 8 個のマスタモードボーレートプリスケーラ（最大周波数：$f_{PCLK}/2$）
- スレーブモード周波数（最大周波数：$f_{PCLK}/2$）
- マスタとスレーブの両方で高速通信
- マスタとスレーブの両方に対するハードウェア/ソフトウェアによる NSS 管理：マスタ/スレーブ動作の動的切り替え
- クロックの極性と位相をプログラミング可能
- データ順序をプログラミング可能（MSB ファースト/LSB ファーストのシフト）
- 専用の送受信フラグ（割り込み機能付き）
- SPI バスビジーステータスフラグ
- ハードウェア CRC 機能による信頼性の高い通信：
  - 送信モードでは CRC 値を最終バイトとして送信可能
  - 最終受信バイトに対する CRC エラーの自動チェック
- マスタモードの障害、オーバーラン、および CRC エラーフラグ（割り込み機能付き）
- 1 バイトの送受信バッファ（DMA 機能付き：送受信リクエスト）

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

21.3 SPI 機能の説明

21.3.1 概要

SPI のブロック図を*図 221* に示します。

図 221. SPI のブロック図

通常、SPI は 4 本のピンで外部デバイスに接続されます。

- MISO : Master In / Slave Out データ。このピンは、マスタモードではデータの受信に、スレーブモードではデータの送信に使用できます。
- MOSI : Master Out / Slave In データ。このピンは、マスタモードではデータの送信に、スレーブモードではデータの受信に使用できます。
- SCK（シリアルクロック）: SPI マスタでは出力に、SPI スレーブでは入力に使用されます。
- NSS : スレーブ選択。これはスレーブデバイスを選択するためのオプションピンです。このピンが「チップセレクト」として機能することで、SPI マスタは複数のスレーブと個別に通信を行うことができ、データラインの競合を避けることができます。スレーブの NSS 入力は、マスタデバイスの標準入出力ポートによって駆動できます。NSS ピンは、SSOE ビットによって有効にされている場合は出力として使用することもでき、SPI がマスタ設定の場合はローレベルに駆動できます。このように、マスタの NSS ピンに接続されているデバイスからのすべての NSS ピンは、NSS ハードウェアモードに設定されている場合、ローレベルを受けてスレーブになります。NSS が入力として設定された状態で SPI がマスタモードに設定され（MSTR=1 および SSOE=0）、NSS がローレベルに引っぱられた場合、SPI はマスタモードフォールト状態に入ります。MSTR ビットは自動的にクリアされ、デバイスはスレーブモードに設定されます（*セクション 21.3.10 : エラーフラグ（525 ページ）*を参照）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

1 個のマスタと 1 個のスレーブの間の基本的な相互接続例を*図 222* に示します。

図 222. シングルマスタ/シングルスレーブアプリケーション

1. この例では、NSS ピンは入力として設定されています。

MOSI ピンと MISO ピンは、それぞれに相互接続されています。このようにして、データはマスタとスレーブの間を（MSB ファーストで）シリアルに転送されます。

通信は常にマスタによって開始されます。マスタデバイスが MOSI ピンを介してスレーブデバイスにデータを送信すると、スレーブデバイスは MISO ピンを介して応答します。このことは、データ出力とデータ入力がマスタデバイスから SCK ピンを介して供給される同じクロック信号に同期した全二重通信を意味します。

スレーブ選択（NSS）ピンの管理

2 つの NSS モードがあります。

- ソフトウェア NSS モード：このモードは、SPI_CR1 レジスタの SSM ビットをセットすることによって有効にされます（*図 223* を参照）。このモードでは、外部 NSS ピンは他のアプリケーションで自由に使用でき、内部 NSS 信号レベルは SPI_CR1 レジスタの SSI ビットへの書き込みによって駆動されます。
- ハードウェア NSS モード：これには 2 つのケースがあります。
  - NSS 出力は有効：STM32F100xx がマスタとして動作中であり、SPI_CR2 レジスタの SSOE ビットによって NSS 出力が有効であるとき、NSS ピンが NSS ハードウェアモードに設定されていると NSS ピンはローレベルに駆動され、マスタ NSS ピンに接続されたデバイスのすべての NSS ピンはローレベルを受けてスレーブになります。SPI がメッセージをブロードキャストしたいときには、NSS をローレベルにプルして、現在、バスのマスタが存在することを他のすべてのピンに知らせる必要があります。NSS をローレベルにプルできなかった場合は、別のマスタが通信中であることを意味し、ハードフォールトエラーが発生します。
  - NSS 出力は無効：マルチマスタ機能を使用できます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 223. ハードウェア/ソフトウェアのスレーブ選択管理

クロックの位相と極性

SPI_CR1 レジスタの CPOL ビットと CPHA ビットを使用することによって、4 つのタイミング関係をソフトウェアで選択できます。CPOL（クロック極性）ビットは、データが転送されていないときのクロックの定常値を制御します。このビットは、マスタモードとスレーブモードの両方に影響を与えます。CPOL がリセットされた場合、SCK ピンはローレベルのアイドル状態になります。CPOL がセットされた場合、SCK ピンはハイレベルのアイドル状態になります。

CPHA（クロック位相）ビットがセットされている場合、SCK ピンの 2 番目のエッジ（CPOL ビットがリセットされていれば立ち下がりエッジ、CPOL ビットがセットされていれば立ち上がりエッジ）が最上位ビットのキャプチャストローブです。データは、2 番目のクロック遷移でラッチされます。CPHA ビットがリセットされている場合、SCK ピンでの最初のエッジ（CPOL ビットがリセットされていれば立ち下がりエッジ、セットされていれば立ち上がりエッジ）が最上位ビットのキャプチャストローブです。データは、最初のクロック遷移でラッチされます。

CPOL（クロック極性）ビットと CPHA（クロック位相）ビットの組み合わせによって、データキャプチャのクロックエッジを選択できます。

図 224 は、CPHA ビットと CPOL ビットの 4 つの組み合わせによる SPI 転送を示しています。この図は、SCK ピン、MISO ピン、MOSI ピンがマスタ/スレーブデバイス間で直接接続されている場合のマスタまたはスレーブのタイミング図とみなすことができます。

注：

1. ***CPOL/CPHA ビットを変更する前に、SPE ビットをリセットすることによって、SPI を無効にする必要があります。***
2. ***マスタとスレーブは、同じタイミングモードでプログラミングする必要があります。***
3. ***SCK のアイドル状態は、SPI_CR1 レジスタで（CPOL=1 の場合は SCK のプルアップ、CPOL=0 の場合は SCK のプルダウンによって）選択された極性に一致する必要があります。***
4. ***データフレームフォーマット（8 ビットまたは 16 ビット）は、SPI_CR1 レジスタの DFF ビットによって選択され、送受信時のデータ長を決定します。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 224. データクロックのタイミング図

1. これらのタイミングは、SPI_CR1 レジスタの LSBFIRST ビットをリセットした状態で示されています。

データフレームフォーマット

データは、SPI_CR1 レジスタの LSBFIRST ビットの値に応じて、MSB ファーストまたは LSB ファーストでシフトアウトできます。

各データフレームの長さは、SPI_CR1 レジスタの DFF ビットにプログラミングされたデータのサイズに応じて、8 または 16 ビットに設定されます。選択されたデータフレームフォーマットは、送受信に適用できます。

21.3.2 SPI のスレーブモード設定

スレーブ設定では、マスタデバイスからのシリアルクロックは SCK ピンで受信されます。SPI_CR1 レジスタの BR[2:0] ビットに設定された値は、データ転送速度に影響を与えません。

注： ***マスタがクロックを送信する前に、SPI スレーブを有効にすることを推奨します。そうしないと、意図しないデータ送信が発生する可能性があります。スレーブのデータレジスタは、通信クロックの最初のエッジまたは現在の通信の終了より前に、準備ができている必要があります。スレーブとマスタを有効にする前に、通信クロックの極性を定常値に設定することが必要です。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

SPI をスレーブモードに設定するには、次の手順に従ってください。

手順

1. DFF ビットをセットして、8 または 16 ビットのデータフレームフォーマットを定義します。
2. CPOL ビットと CPHA ビットを選択して、データ転送とシリアルクロックの間の 4 つの関係のうちの 1 つを定義します（*図 224* を参照）。データを正しく転送するには、スレーブデバイスとマスタデバイスで CPOL ビットと CPHA ビットを同じように設定する必要があります。
3. フレームフォーマット（SPI_CR1 レジスタの LSBFIRST ビットの値に応じて、MSB ファーストまたは LSB ファースト）は、マスタデバイスと同じでなければなりません。
4. ハードウェアモード（*スレーブ選択（NSS）ピンの管理（508 ページ）*を参照）では、バイト送信シーケンス全体を通じて、NSS ピンをローレベル信号に接続しておく必要があります。NSS ソフトウェアモードでは、SPI_CR1 レジスタの SSM ビットをセットし、SSI ビットをクリアします。
5. ピンをオルタネート機能に割り当てるには、SPI_CR1 レジスタの MSTR ビットをクリアし、SPE ビットをセットします。

この設定では、MOSI ピンはデータ入力に、MISO ピンはデータ出力になります。

送信シーケンス

データバイトは、書き込みサイクル中に送信バッファに同時にロードされます。

スレーブデバイスが MOSI ピンでクロック信号と、データの最上位ビットを受信すると、送信シーケンスが開始されます。残りのビット（8 ビットデータフレームフォーマットでは 7 ビット、16 ビットデータフレームフォーマットでは 15 ビット）はシフトレジスタにロードされます。送信バッファからシフトレジスタにデータが送信されると、SPI_SR レジスタの TXE フラグがセットされ、SPI_CR2 レジスタの TXEIE ビットがセットされると、割り込みが生成されます。

受信シーケンス

レシーバの場合、データ転送が完了すると、

- シフトレジスタ内のデータが受信バッファに転送され、SPI_SR レジスタの RXNE フラグがセットされます。
- SPI_CR2 レジスタの RXNEIE ビットがセットされると、割り込みが生成されます。

最後のサンプリングクロックエッジの後、RXNE ビットがセットされ、シフトレジスタに受信されたデータバイトのコピーが受信バッファに移されます。SPI_DR レジスタが読み出されると、SPI ペリフェラルはこのバッファリングされた値を返します。

RXNE ビットのクリアは、SPI_DR レジスタを読み出しすることによって行われます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

21.3.3 SPI のマスタモード設定

マスタ設定では、シリアルクロックは SCK ピンに生成されます。

手順

1. BR[2:0] ビットを選択して、シリアルクロックのボーレートを定義します（SPI_CR1 レジスタを参照）。
2. CPOL ビットと CPHA ビットを選択して、データ転送とシリアルクロックの間の 4 つの関係のうちの 1 つを定義します（*図 224* を参照）。
3. DFF ビットをセットして、8 または 16 ビットのデータフレームフォーマットを定義します。
4. SPI_CR1 レジスタの LSBFIRST ビットを設定して、フレームフォーマットを定義します。
5. 入力モードで NSS ピンが必要な場合、ハードウェアモードでは、完全なバイト送信シーケンス中に NSS ピンをハイレベル信号に接続します。NSS ソフトウェアモードでは、SPI_CR1 レジスタの SSM ビットと SSI ビットをセットします。出力モードで NSS ピンが必要な場合、SSOE ビットのみをセットします。
6. MSTR ビットと SPE ビットをセットする必要があります（これらのビットは、NSS ピンがハイレベル信号に接続されている場合にのみ、セット状態を維持します）。

この設定では、MOSI ピンはデータ出力、MISO ピンはデータ入力になります。

送信シーケンス

送信シーケンスは、送信バッファにバイトが書き込まれたときに開始されます。

データバイトは、最初のビット送信中に内部バスからシフトレジスタに同時にロードされ、SPI_CR1 レジスタの LSBFIRST ビットに応じて MSB ファーストまたは LSB ファーストで、MOSI ピンにシリアルにシフトアウトされます。データが送信バッファからシフトレジスタに転送されると TXE フラグがセットされ、SPI_CR2 レジスタの TXEIE ビットがセットされている場合、割り込みが生成されます。

受信シーケンス

レシーバの場合、データ転送が完了すると、

- シフトレジスタのデータが受信バッファに転送され、RXNE フラグがセットされます。
- SPI_CR2 レジスタの RXNEIE ビットがセットされている場合、割り込みが生成されます。

最後のサンプリングクロックエッジで RXNE ビットがセットされ、シフトレジスタに受信されたデータバイトのコピーが受信バッファに移されます。SPI_DR レジスタが読み出されると、SPI ペリフェラルはこのバッファリングされた値を返します。

RXNE ビットのクリアは、SPI_DR レジスタを読み出すことで行われます。

送信が開始されると、次に送信されるデータが送信バッファに格納されていれば、連続した送信ストリームを維持できます。なお、送信バッファにデータを書き込むには、TXE フラグが 1 であることが必要です。

注： ***NSS ハードウェアモードでは、スレーブの NSS 入力は、NSS ピンまたは、制御されるか、ソフトウェアで制御される別の GPIO ピンによって制御されます。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

21.3.4 SPI の単方向通信設定

SPI は、次の 2 つの設定において単方向モードで動作できます。

- 1 本のクロック線と 1 本の双方向データ線
- 1 本のクロック線と 1 本のデータ線（受信専用または送信専用）

1 本のクロック線と 1 本の双方向データ線（BIDIMODE=1）

このモードを有効にするには、SPI_CR1 レジスタの BIDIMODE ビットをセットします。このモードでは、SCK ピンがクロックに使用され、マスタモードでは MOSI ピン、スレーブモードでは MISO ピンがデータ通信に使用されます。転送方向（入力/出力）は、SPI_CR1 レジスタの BIDIOE ビットによって選択されます。このビットが 1 の場合、データラインは出力です。そうでない場合、データラインは入力です。

1 本のクロック線と 1 本の単方向データ線（BIDIMODE=0）

このモードでは、アプリケーションは、SPI を送信専用モードまたは受信専用モードで使用できます。

- 送信専用モードは全二重モード（BIDIMODE=0、RXONLY=0）と似ています。データは送信ピン（マスタモードでは MOSI ピン、スレーブモードでは MISO ピン）で送信され、受信ピン（マスタモードでは MISO ピン、スレーブモードでは MOSI ピン）は汎用入出力として使用できます。この場合、アプリケーションは受信バッファを無視する必要があります（データレジスタに受信したデータ値は含まれていません）。
- 受信専用モードでは、アプリケーションは、SPI_CR2 レジスタの RXONLY ビットをセットすることによって、SPI 出力機能を無効にできます。この場合、送信 I/O ピン（マスタモードでは MOSI ピン、スレーブモードでは MISO ピン）が解放されるので、他の目的に使用できます。

受信専用モードで通信を開始するには、SPI を設定して有効にします。

- マスタモードでは、通信はただちに開始され、SPE ビットがクリアされて現在の受信が停止すると、通信は停止します。このモードでは、BSY フラグを読み出す必要はありません。SPI 通信が行われているときは、常にセットされています。
- スレーブモードでは、NSS がプルダウンされていて（または NSS ソフトウェアモードで SSI ビットがクリアされていて）、SCK が動作している限り、SPI は受信を続行します。

21.3.5 データの送受信手順

受信バッファと送信バッファ

受信の場合、受信されたデータは内部の受信バッファに格納されます。一方、送信の場合、データはまず内部の送信バッファに格納されてから、送信されます。

SPI_DR レジスタの読み出しアクセスでは、受信バッファに格納された値が返されます。一方、SPI_DR への書き込みアクセスでは、書き込まれたデータが送信バッファに格納されます。

マスタモードでの開始シーケンス

- 全二重の場合（BIDIMODE=0 および RXONLY=0）
  - データが SPI_DR レジスタ（送信バッファ）に書き込まれると、シーケンスが開始されます。
  - その後、データは、最初のビット送信時に送信バッファから 8 ビットシフトレジスタに同時にロードされてから、MOSI ピンに連続的にシフトアウトされます。
  - 同時に、MISO ピンで受信されたデータは、8 ビットシフトレジスタに連続的にシフトインされてから、SPI_DR レジスタ（受信バッファ）に同時にロードされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

- 単方向受信専用モードの場合（BIDIMODE=0 および RXONLY=1）
  - SPE=1 になると、このシーケンスはすぐに開始されます。
  - レシーバのみが有効になり、MISO ピンで受信されたデータは 8 ビットシフトレジスタに連続的にシフトインされてから、SPI_DR レジスタ（受信バッファ）に同時にロードされます。
- 双方向モードでの送信時（BIDIMODE=1 および BIDIOE=1）
  - データが SPI_DR レジスタ（送信バッファ）に書き込まれると、シーケンスが開始されます。
  - その後、データは、最初のビット送信時に送信バッファから 8 ビットシフトレジスタに同時にロードされてから、MOSI ピンに連続的にシフトアウトされます。
  - データは受信されません。
- 双方向モードでの受信時（BIDIMODE=1 および BIDIOE=0）
  - SPE=1 および BIDIOE=0 になると、このシーケンスはすぐに開始されます。
  - MOSI ピンで受信されたデータは、8 ビットシフトレジスタに連続的にシフトインされてから、SPI_DR レジスタ（受信バッファ）に同時にロードされます。
  - トランスミッタは有効にされず、MOSI ピンに連続的にシフトアウトされるデータはありません。

スレーブモードでの開始シーケンス

- 全二重モードの場合（BIDIMODE=0 および RXONLY=0）
  - スレーブデバイスが MOSI ピンでクロック信号と、データの最初のビットを受信すると、このシーケンスが開始されます。残りの 7 ビットは、シフトレジスタにロードされます。
  - 同時に、最初のビット送信時にデータは送信バッファから 8 ビットシフトレジスタに同時にロードされてから、MISO ピンに連続的にシフトアウトされます。SPI マスタデバイスが転送を開始する前に、ソフトウェアは送信すべきデータを書き込んでおく必要があります。
- 単方向受信専用モードの場合（BIDIMODE=0 および RXONLY=1）
  - スレーブデバイスが MOSI ピンでクロック信号と、データの最初のビットを受信すると、このシーケンスが開始されます。残りの 7 ビットは、シフトレジスタにロードされます。
  - 送信は有効にされず、MISO ピンに連続的にシフトアウトされるデータはありません。
- 双方向モードでの送信時（BIDIMODE=1 および BIDIOE=1）
  - スレーブデバイスがクロック信号を受信し、送信バッファの最初のビットが MISO ピンで送信されると、このシーケンスが開始されます。
  - その後、データは、最初のビット送信時に送信バッファから 8 ビットシフトレジスタに同時にロードされてから、MISO ピンに連続的にシフトアウトされます。SPI マスタデバイスが転送を開始する前に、ソフトウェアは送信すべきデータを書き込んでおく必要があります。
  - データは受信されません。
- 双方向モードでの受信時（BIDIMODE=1 および BIDIOE=0）
  - スレーブデバイスが MISO ピンでクロック信号と、データの最初のビットを受信すると、このシーケンスが開始されます。
  - MISO ピンで受信されたデータは、8 ビットシフトレジスタに連続的にシフトインされてから、SPI_DR レジスタ（受信バッファ）に同時にロードされます。
  - 送信は有効にされず、MISO ピンに連続的にシフトアウトされるデータはありません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

データの送受信処理

データが送信バッファからシフトレジスタに転送されると、TXE フラグ（送信バッファエンプティ）がセットされます。これは、内部の送信バッファに次のデータをロードする準備ができていることを示します。SPI_CR2 レジスタの TXEIE ビットがセットされると、割り込みを生成できます。TXE ビットのクリアは、SPI_DR レジスタへの書き込みによって行われます。

注： ***ソフトウェアは、送信バッファへの書き込みを行う前に、TXE フラグを 1 にセットする必要があります。そうしないと、以前に送信バッファに書き込まれたデータに上書きされます。***

データがシフトレジスタから受信バッファに転送されると、最後のサンプリングクロックエッジで RXNE フラグ（受信バッファノットエンプティ）がセットされます。これは、SPI_DR レジスタからデータを読み出す準備ができていることを示します。SPI_CR2 レジスタの RXNEIE ビットがセットされる、割り込みを生成できます。RXNE ビットのクリアは、SPI_DR レジスタを読み出すことで行われます。

設定によっては、最後のデータ転送時に BSY フラグを使用して、転送の完了まで待つことができます。

マスタまたはスレーブモードでの全二重送受信手順（BIDIMODE=0 および RXONLY=0）

データを送受信するには、ソフトウェアは次の手順に従う必要があります（*図 225* および*図 226* を参照）。

1. SPE ビットを 1 にセットして、SPI を有効にします。
2. 送信する最初のデータを SPI_DR レジスタに書き込みます（これによって TXE フラグがクリアされます）。
3. TXE=1 になるまで待ち、送信する 2 番目のデータを書き込みます。その後、RXNE=1 になるまで待ち、SPI_DR を読み出して、最初の受信データを取得します（これによって RXNE ビットがクリアされます）。n-1 個のデータを受信するまで、送受信するデータごとにこの操作を繰り返します。
4. RXNE=1 になるまで待ち、最後の受信データを読み出します。
5. TXE=1 になるまで待ち、BSY=0 になるまで待ってから、SPI を無効にします。

この手順は、RXNE または TXE フラグの立ち上がりエッジのたびに起動される専用の割り込みサブルーチンを使用しても実行できます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 225. マスタ/全二重モードでの TXE/RXNE/BSY 動作（BIDIMODE=0 および RXONLY=0）連続転送の場合

図 226. スレーブ/全二重モードでの TXE/RXNE/BSY 動作（BIDIMODE=0、RXONLY=0）連続転送の場合

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

送信専用手順（BIDIMODE=0、RXONLY=0）

このモードでは、手順は下記のように短縮でき、BSY ビットを使用して送信の完了まで待つことができます（*図 227* と *図 228* を参照）。

1. SPE ビットを 1 にセットして、SPI を有効にします。
2. 送信する最初のデータを SPI_DR レジスタに書き込みます（これによって TXE ビットがクリアされます）。
3. TXE=1 になるまで待ち、送信する次のデータを書き込みます。送信するデータごとに、このステップを繰り返します。
4. SPI_DR レジスタに最後のデータを書き込んだ後、TXE=1 になるまで待ち、さらに BSY=0 になるまで待ちます。これは最後のデータの送信が完了したことを示します。

この手順は、TXE フラグの立ち上がりエッジのたびに起動される専用の割り込みサブルーチンを使用しても実行できます。

注： 1 不連続通信時には、SPI_DR への書き込み動作と BSY ビットの設定の間に、APB の 2 クロック周期分の遅延があります。このことから、送信専用モードでは、最後のデータを書き込んだ後、まず TXE がセットされるまで待ち、さらに BSY がクリアされるまで待つ必要があります。

2 2 つのデータを送信専用モードで送信した後、受信データが読み出されることはないので、SPI_SR レジスタの OVR フラグがセットされます。

図 227. マスタ送信専用モードでの TXE/BSY 動作（BIDIMODE=0 および RXONLY=0）連続転送の場合

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 228. スレーブ送信専用モードでの TXE/BSY 動作（BIDIMODE=0 および RXONLY=0）連続転送の場合

双方向送信手順（BIDIMODE=1 および BIDIOE=1）

このモードでは、手順は送信専用モードの手順と似ていますが、SPI を有効にする前に、SPI_CR2 レジスタの BIDIMODE ビットと BIDIOE ビットをセットする必要があります。

単方向受信専用手順（BIDIMODE=0 および RXONLY=1）

このモードでは、手順は下記のように短縮できます（*図 229* を参照）。

1. SPI_CR2 レジスタの RXONLY ビットをセットします。
2. SPE ビットを 1 にセットすることによって、SPI を有効にします。
   a) マスタモードでは、これによって SCK クロックの生成がすぐに有効になり、データは、SPI が無効にされる（SPE=0）まで連続的に受信されます。
   b) スレーブモードでは、SPI マスタデバイスが NSS ピンをローレベルに駆動して SCK クロックを生成すると、データが受信されます。
3. RXNE=1 になるまで待ち、SPI_DR レジスタから受信データを読み出します（これによって RXNE ビットがクリアされます）。受信されるデータ項目ごとにこの操作を繰り返します。

この手順は、RXNE フラグの立ち上がりエッジのたびに起動される専用の割り込みサブルーチンを使用しても実行できます。

注： ***最後の転送の後に SPI を無効にする必要がある場合は、セクション 21.3.8 : SPI の無効化（523 ページ）に記載の推奨事項に従ってください。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 229. 受信専用モードでの RXNE 動作（BIDIRMODE=0 および RXONLY=1）連続転送の場合

双方向受信手順（BIDIMODE=1 および BIDIOE=0）

このモードでは、手順は受信専用モードの手順と似ていますが、SPI を有効にする前に、SPI_CR2 レジスタの BIDIMODE ビットをセットし、BIDIOE ビットをクリアする必要があります。

連続転送と不連続転送

マスタモードでデータを送信するとき、ソフトウェアが十分に高速であり、TXE（または TXE 割り込み）の各立ち上がりエッジを検出し、現在のデータ転送が完了する前に SPI_DR レジスタにすぐに書き込みできる場合、通信は連続的であると言われます。この場合、各データ間で SPI クロックを生成する際に不連続性はなく、各データ転送間で BSY ビットがクリアされることはありません。

逆に、ソフトウェアが十分に高速でない場合、通信に若干の不連続性が生じることがあります。この場合、各データ送信間で BSY ビットがクリアされます（*図 230* を参照）。

マスタ受信専用モード（RXONLY=1）では、通信は常に連続的であり、BSY フラグは常に 1 で読み出されます。

スレーブモードでは、通信の連続性は SPI マスタデバイスによって決定されます。いずれの場合でも、通信が連続的であっても、BSY フラグは、各転送間で SPI の 1 クロックサイクルという最小期間だけローレベルになります（*図 228* を参照）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 230. 送信時の TXE/BSY 動作（BIDIRMODE=0 および RXONLY=0）不連続転送の場合

21.3.6 CRC の計算

CRC 計算機は、信頼性の高い通信を実現するために実装されました。送信データと受信データに対して、別個の CRC 計算機が実装されています。CRC は、各ビットに対してプログラミング可能な多項式を連続的に使用して計算されます。CRC は、SPI_CR1 レジスタの CPHA ビットと CPOL ビットによって定義されるサンプリングクロックエッジで計算されます。

注： ***SPI が提供する 2 種類の CRC 計算式は、送受信用に選択されたデータフレームフォーマットに直接依存します（8 ビットデータでは CR8、16 ビットデータでは CRC16）。***

CRC 計算は、SPI_CR1 レジスタの CRCEN ビットをセットすることによって有効になります。これによって CRC レジスタ（SPI_RXCRCR および SPI_TXCRCR）がリセットされます。SPI_CR1 レジスタの CRCNEXT ビットがセットされると、現在のバイト送信の最後に SPI_TXCRCR レジスタの値が送信されます。

SPI_TXCRCR 値の送信時にシフトレジスタに受信された値が SPI_RXCRCR の値と一致しなかった場合は、SPI_SR レジスタの CRCERR フラグがセットされます。

送信バッファにデータが存在する場合、CRC 値はデータバイトの送信後にのみ送信されます。CRC の送信時に、CRC 計算機はスイッチオフされ、レジスタの値は変化しません。

注： ***この機能を使用できるかどうかは、製品仕様を参照してください。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

CRC を使用した SPI 通信は、次の手順によって可能になります。

- CPOL、CPHA、LSBFirst、BR、SSM、SSI、および MSTR の値をプログラミングします。
- SPI_CRCPR レジスタに多項式をプログラミングします。
- SPI_CR1 レジスタの CRCEN ビットをセットして、CRC 計算を有効にします。これによって、SPI_RXCRCR レジスタと SPI_TXCRCR レジスタがクリアされます。
- SPI_CR1 レジスタの SPE ビットをセットして、SPI を有効にします。
- 通信を開始し、最後の 1 つを除いてすべてのバイトまたはハーフワードが送受信されるまで、通信を維持します。
- 送信バッファに最後のバイトまたはハーフワードを書き込むとき、SPI_CR1 レジスタの CRCNext ビットをセットすることによって、最後のバイトの送信後に CRC を送信するように指示します。CRC 送信時には、CRC 計算は凍結されます。
- 最後のバイトまたはハーフワードを送信した後、SPI は CRC を送信します。CRCNEXT ビットがリセットされます。CRC は受信され、SPI_RXCRCR レジスタの値と比較されます。値が一致しない場合、SPI_SR レジスタの CRCERR フラグがセットされ、SPI_CR2 レジスタの ERRIE ビットがセットされていれば、割り込みを生成できます。

注： ***SPI がスレーブモードのとき、CRC 計算を有効にするのは、クロックが安定している（つまり、クロックが定常状態にある）ときのみにしてください。そうしないと、CRC 計算を間違うことがあります。実際、SPE ビットの値に関係なく、CRCEN がセットされると、CRC はすぐに SCK スレーブ入力クロックの影響を受けます。***

ビットレート周波数が高い場合は、CRC の送信時に注意が必要です。CRC 転送フェーズで使用される CPU サイクル数は、できるだけ少なくする必要があります。したがって、最後のデータと CRC 受信におけるエラーを避けるために、CRC 送信シーケンスでソフトウェア関数を呼び出すことは禁止されています。つまり、CRCNEXT ビットには、最後のデータの送受信が終わるまでに書き込む必要があります。

ビットレートの高い周波数では、CPU アクセスが SPI 帯域幅に影響を与えることによる SPI 速度性能の低下を避けるため、DMA モードの使用をお勧めします。

STM32F100xx がスレーブとして設定され、NSS ハードウェアモードが使用される場合、データフェーズと CRC フェーズの間は NSS ピンをローレベルに保持する必要があります。

CRC 機能を有効にした状態で SPI がスレーブモードに設定されると、NSS ピンにハイレベルが入力された場合でも、CRC 計算が行われます。これは、たとえば、通信マスタが複数のスレーブに交互に対処するマルチスレーブ環境の場合に起こることがあります。

スレーブの選択解除（NSS のハイレベル）と新しいスレーブの選択（NSS のローレベル）の間では、マスタとスレーブをそれぞれの CRC 計算用に再同期するために、マスタ側とスレーブ側の両方で CRC 値をクリアしてください。

CRC をクリアするには、次の手順に従います。

1. SPI を無効にします（SPE = 0）。
2. CRCEN ビットをクリアします。
3. CRCEN ビットをセットします。
4. SPI を有効にします（SPE = 1）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

21.3.7 ステータスフラグ

アプリケーションが SPI バスの状態を完全に監視できるように、3 つのステータスフラグが用意されています。

送信バッファエンプティフラグ（TXE）

このフラグがセットされると、送信バッファが空であり、次に送信するデータをバッファにロードできることを示します。TXE フラグは、SPI_DR レジスタへの書き込み時にクリアされます。

受信バッファノットエンプティ（RXNE）

このフラグがセットされると、受信バッファに有効な受信データがあることを示します。このフラグは SPI_DR の読み出し時にクリアされます。

ビジーフラグ（BSY）

この BSY フラグは、ハードウェアによってセット/クリアされます（このフラグへの書き込みは無効です）。BSY フラグは、SPI の通信の状態を示します。

BSY がセットされると、SPI が通信中でビジーであることを示します。マスタモード/双方向受信モード（MSTR=1、BDM=1、および BDOE=0）には 1 つの例外があり、BSY フラグは受信時にローレベルに保持されます。

ソフトウェアが SPI を無効にして停止モードに入りたい（またはペリフェラルクロックを無効にしたい）場合、BSY フラグは転送の終わりを検出するのに役立ちます。これによって、最後の転送データの破壊を回避します。このため、下記の手順を厳しく順守する必要があります。

BSY フラグは、マルチマスタシステムでの書き込み衝突の回避にも役立ちます。

BSY フラグは転送が開始されるとセットされます。ただし、マスタモード/双方向受信モード（MSTR=1、BDM=1、および BDOE=0）の場合を除きます。

BSY フラグは次の場合にクリアされます。

- 転送が終わったとき（通信が連続的である場合はマスタモードを除きます）
- SPI が無効にされたとき
- マスタモード障害が発生したとき（MODF=1）

通信が連続的でないとき、BSY フラグは各通信間でローレベルになります。

通信が連続的なとき：

- マスタモードでは、BSY フラグはすべての転送期間を通じてハイレベルに保持されます。
- スレーブモードでは、BSY フラグは、各転送間で SPI の 1 クロックサイクルの間ローレベルになります。

注： ***各データの送受信の処理には BSY フラグを使用しないでください。代わりに 、TXE フラグと RXNE フラグを使用することをお勧めします。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

21.3.8 SPI の無効化

転送が終了すると、アプリケーションは SPI ペリフェラルを無効にすることによって、通信を停止することができます。これには SPE ビットをクリアします。

設定によっては、転送が行われているときに SPI を無効にして停止モードに入ると、現在の転送内容が破壊されたり、BSY フラグが信頼できなくなることがあります。

このような影響を回避するには、SPI を無効にするとき、以下の手順を順守することをお勧めします。

マスタまたはスレーブの全二重モード（BIDIMODE=0、RXONLY=0）

1. RXNE=1 になるまで待ってから、最後のデータを受信します。
2. TXE=1 になるまで待ちます。
3. 次に、BSY=0 になるまで待ちます。
4. SPI を無効にし（SPE=0）、結果的に停止モードに入ります（あるいは、ペリフェラルクロックを無効にします）。

マスタまたはスレーブの単方向送信専用モード（BIDIMODE=0、RXONLY=0）または双方向送信モード（BIDIMODE=1、BIDIOE=1）

SPI_DR レジスタに最後のデータが書き込まれた後：

1. TXE=1 になるまで待ちます。
2. 次に、BSY=0 になるまで待ちます。
3. SPI を無効にし（SPE=0）、停止モードに入ります（あるいは、ペリフェラルクロックを無効にします）。

マスタの単方向受信専用モード（MSTR=1、BIDIMODE=0、RXONLY=1）または双方向受信モード（MSTR=1、BIDIMODE=1、BIDIOE=0）

このケースは、SPI が新しい転送を開始しないように、特別の方法で管理する必要があります。

1. RXNE=1（n–1）の最後から 2 番目の出現を待ちます。
2. ソフトウェアループを使用して SPI の 1 クロックサイクルの間待ってから、SPI を無効にします（SPE=0）。
3. 次に、最後の RXNE=1 になるまで待ってから、停止モードに入ります（あるいは、ペリフェラルクロックを無効にします）。

注： ***マスタの双方向受信モード（MSTR=1、BDM=1、および BDOE=0）では、BSY フラグは転送時にローレベルに保持されます。***

スレーブの受信専用モード（MSTR=0、BIDIMODE=0、RXONLY=1）または双方向受信モード（MSTR=0、BIDIMODE=1、BIDOE=0）

1. SPI はいつでも無効にできます（SPE=1 の書き込み）。現在の転送が完了してから、SPI は実質的に無効になります。
2. 次に、停止モードに入りたい場合は、まず BSY = 0 になるまで待ってから、停止モードに入ります（または、ペリフェラルクロックを無効にします）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

21.3.9 DMA（Direct Memory Addressing）を使用する SPI 通信

SPI が最大速度で動作するには、SPI に送信用のデータを供給し、受信バッファに受信したデータを読み出してオーバーランを回避する必要があります。転送を容易にするため、SPI は簡単なリクエスト/確認応答プロトコルを実現する DMA 機能を備えています。

SPI_CR2 レジスタのイネーブルビットを有効にすると、DMA アクセスがリクエストされます。送信バッファと受信バッファには、別々のリクエストを発行する必要があります（*図 231* と*図 232* を参照）。

- 送信では、TXE が 1 にセットされるたびに DMA リクエストが発行されます。その後、DMA は SPI_DR レジスタに書き込みます（これによって TXE フラグがクリアされます）。
- 受信では、RXNE が 1 にセットされるたびに DMA リクエストが発行されます。その後、DMA は SPI_DR レジスタを読み出します（これによって RXNE フラグがクリアされます）。

SPI がデータの送信にのみ使用される場合、SPI Tx DMA チャネルのみを有効にすることができます。この場合、受信されたデータは読み出されないため、OVR フラグがセットされます。

SPI がデータの受信にのみ使用される場合、SPI Rx DMA チャネルだけを有効にすることができます。

送信モードで、DMA が送信されるすべてのデータを書き込んだとき（DMA_ISR レジスタのフラグ TCIF がセットされます）、BSY フラグを監視することで SPI 通信の完了を確認できます。この操作は、SPI を無効にしたり STOP モードに入る前に、最後の送信内容の破壊を避けるために必要です。ソフトウェアは、まず TXE=1 になるまで待ってから、BSY=0 になるまで待つ必要があります。

注： ***不連続通信時には、SPI_DR への書き込み動作と BSY ビットの設定の間に、APB の 2 クロック周期分の遅延があります。このことから、最後のデータを書き込んだ後、まず TXE=1 になるまで待ち、さらに BSY=0 になるまで待つ必要があります。***

図 231. DMA を使用した送信

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 232. DMA を使用した受信

CRC による DMA 機能

CRC 通信と DMA モードによる SPI 通信が有効にされると、通信の最後に CRC バイトの送受信が自動的に行われます。

転送中に内容の破壊が生じた場合、データと CRC の転送の最後に SPI_SR レジスタの CRCERR フラグがセットされます。

21.3.10 エラーフラグ

マスタモードフォールト（MODF）

マスタモードフォールトは、マスタデバイスが NSS ピンをローにしたとき（NSS ハードウェアモード）、または SSI ビットをローにしたとき（NSS ソフトウェアモード）に発生し、MODF ビットが自動的にセットされます。マスタモードフォールトは、SPI ペリフェラルに次のような影響を与えます。

- MODF ビットがセットされ、ERRIE ビットがセットされている場合は SPI 割り込みが生成されます。
- SPE ビットがクリアされます。これによって、デバイスからのすべての出力がブロックされ、SPI インタフェースが無効になります。
- MSTR ビットがクリアされ、デバイスは強制的にスレーブモードになります。

MODF ビットをクリアするには、次のソフトウェアシーケンスを実行します。

1. MODF ビットがセットされている間は、SPI_SR レジスタに読み出し/書き込みのアクセスを行います。
2. 次に、SPI_CR1 レジスタに書き込みを行います。

複数の MCU で構成されるシステムでスレーブ間の競合を避けるには、MODF ビットをクリアするシーケンス中、NSS ピンをハイレベルにプルする必要があります。このクリアシーケンスの後、SPE ビットと MSTR ビットは、元の状態に戻すことができます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

安全のため、MODF ビットがセットされている間、ハードウェアは SPE ビットと MSTR ビットのセットを許可しません。

スレーブデバイスでは、MODF ビットをセットできません。ただし、マルチマスタ設定では、デバイスはこの MODF ビットをセットした状態でスレーブモードになることができます。この場合、MODF ビットは、システム制御に関してマルチマスタ競合が生じた可能性を示します。割り込みルーチンを使用して、リセットを行ったりデフォルト状態に復帰することによって、この状態からクリーンに回復できます。

オーバーラン条件

オーバーラン条件が発生するのは、マスタデバイスがデータバイトを送信し、スレーブデバイスが以前に送信されたデータバイトに起因する RXNE ビットをクリアしなかった場合です。オーバーラン条件が発生すると、

- OVR ビットがセットされ、ERRIE ビットがセットされている場合は割り込みが生成されます。

この場合、レシーババッファは、マスタデバイスから新しく受信したデータによって更新されません。このバイトは、SPI_DR レジスタを読みだすことにより返されます。その後に送信されたすべてのバイトは失われます。

OVR ビットのクリアは、SPI_DR レジスタを読み出した後に SPI_SR レジスタを読み出すことによって行われます。

CRC エラー

このフラグを使用して、SPI_CR1 レジスタの CRCEN ビットがセットされているときに受信された値の有効性を検証します。トランスミッタの SPI_TXCRCR 値が送信された後でシフトレジスタに受信された値が、レシーバの SPI_RXCRCR 値と一致しない場合、SPI_SR レジスタの CRCERR フラグがセットされます。

21.3.11 SPI 割り込み

表 116. SPI 割り込みリクエスト

割り込みイベント	イベントフラグ	イネーブル制御ビット
送信バッファエンプティフラグ	TXE	TXEIE
受信バッファノットエンプティフラグ	RXNE	RXNEIE
マスタモードフォールトイベント	MODF	ERRIE
オーバーランエラー	OVR	
CRC エラーフラグ	CRCERR	

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

21.4 SPI レジスタ

レジスタの説明で使用されている略語については、*セクション 1.1 (32 ページ)* を参照してください。

ペリフェラルレジスタには、ハーフワード（16 ビット）またはワード（32 ビット）単位でアクセスできます。

21.4.1 SPI 制御レジスタ 1（SPI_CR1）

アドレスオフセット：0x00

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BIDI MODE	BIDI OE	CRC EN	CRC NEXT	DFF	RX ONLY	SSM	SSI	LSB FIRST	SPE	BR[2:0]			MSTR	CPOL	CPHA
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15 **BIDIMODE**：双方向データモードイネーブル

0：2 線単方向データモードを選択

1：1 線双方向データモードを選択

ビット 14 **BIDIOE**：双方向モードでの出力イネーブル

双方向モードでの転送方向は、このビットと BIDImode ビットを組み合わせて選択します。

0：出力無効（受信専用モード）

1：出力有効（送信専用モード）

注： *マスタモードでは MOSI ピンが使用され、スレーブモードでは MISO ピンが使用されます。*

ビット 13 **CRCEN**：ハードウェア CRC 計算イネーブル

0：CRC 計算は無効

1：CRC 計算は有効

注： *正しい動作のためには、このビットへの書き込みは、SPI が無効（SPE = 0）であるときにのみ行います。*

ビット 12 **CRCNEXT**：CRC 送信指示

0：次の送信値は送信バッファからです。

1：次の送信値は送信 CRC レジスタからです。

注： *このビットは、最後のデータが SPI_DR レジスタに書き込まれた直後に書き込む必要があります。*

ビット 11 **DFF**：データフレームフォーマット

0：送受信に 8 ビットデータフレームフォーマットが選択されます。

1：送受信に 16 ビットデータフレームフォーマットが選択されます。

注： *正しい動作のためには、このビットへの書き込みは、SPI が無効（SPE = 0）であるときにのみ行います。*

ビット 10 **RXONLY**：受信専用

2 線単方向モードでの転送方向は、このビットと BIDImode ビットを組み合わせて選択します。このビットはマルチスレーブシステムでも役立ちます。つまり、この特定のスレーブはアクセスされず、アクセスされたスレーブからの出力は破壊されません。

0：全二重（送受信）

1：出力無効（受信専用モード）

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 9 **SSM**：ソフトウェアスレーブ管理

SSM ビットがセットされているとき、NSS ピンの入力は SSI ビットからの値によって置き換えられます。

0：ソフトウェアスレーブ管理は無効

1：ソフトウェアスレーブ管理は有効

ビット 8 **SSI**：内部スレーブ選択

このビットは、SSM ビットがセットされているときにのみ有効です。このビットの値は NSS ピンに設定され、NSS ピンの IO 値は無視されます。

ビット 7 **LSBFIRST**：フレームフォーマット

0：MSB が最初に送信されます。

1：LSB が最初に送信されます。

注： このビットは、通信中には変更しないでください。

ビット 6 **SPE**：SPI イネーブル

0：ペリフェラルは無効

1：ペリフェラルは有効

注： SPI を無効にするときには、セクション 21.3.8：SPI の無効化で説明する手順に従ってください。

ビット 5:3 **BR[2:0]**：ボーレート制御

000：$f_{PCLK}/2$

001：$f_{PCLK}/4$

010：$f_{PCLK}/8$

011：$f_{PCLK}/16$

100：$f_{PCLK}/32$

101：$f_{PCLK}/64$

110：$f_{PCLK}/128$

111：$f_{PCLK}/256$

注： これらのビットは、通信中には変更しないでください。

ビット 2 **MSTR**：マスタ選択

0：スレーブ設定

1：マスタ設定

注： このビットは、通信中には変更しないでください。

ビット 1 **CPOL**：クロック極性

0：アイドル時に CK を 0 に

1：アイドル時に CK を 1 に

注： このビットは、通信中には変更しないでください。

ビット 0 **CPHA**：クロック位相

0：最初のクロック遷移が最初のデータキャプチャエッジです。

1：2 番目のクロック遷移が最初のデータキャプチャエッジです。

注： このビットは、通信中には変更しないでください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

21.4.2 SPI 制御レジスタ 2（SPI_CR2）

アドレスオフセット：0x04

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								TXEIE	RXNEIE	ERRIE	予約済み		SSOE	TXDMAEN	RXDMAEN
								rw	rw	rw			rw	rw	rw

ビット 15:8 予約済み。ハードウェアによって 0 に固定されています。

ビット 7 **TXEIE**：送信バッファエンプティ割り込みイネーブル

0：TXE 割り込みはマスクされます。

1：TXE 割り込みはマスクされません。TXE フラグがセットされたとき、割り込みリクエストの生成に使用されます。

ビット 6 **RXNEIE**：受信バッファノットエンプティ割り込みイネーブル

0：RXNE 割り込みはマスクされます。

1：RXNE 割り込みはマスクされません。RXNE フラグがセットされたとき、割り込みリクエストの生成に使用されます。

ビット 5 **ERRIE**：エラー割り込みイネーブル

このビットは、エラー条件が発生したとき（SPI モードでは CRCERR、OVR、MODF）、割り込みの生成を制御します。

0：エラー割り込みはマスクされます。

1：エラー割り込みは有効です。

ビット 4:3 予約済み。ハードウェアによって 0 に固定されています。

ビット 2 **SSOE**：SS 出力イネーブル

0：マスタモードでは SS 出力は無効にされ、セルはマルチマスタ設定で機能できます。

1：マスタモードでセルが有効であるとき、SS 出力は有効です。セルはマルチマスタ環境では機能しません。

ビット 1 **TXDMAEN**：送信バッファ DMA イネーブル

このビットがセットされると、TXE フラグがセットされるたびに DMA リクエストが行われます。

0：送信バッファ DMA 無効

1：送信バッファ DMA 有効

ビット 0 **RXDMAEN**：受信バッファ DMA イネーブル

このビットがセットされると、RXNE フラグがセットされるたびに DMA リクエストが行われます。

0：受信バッファ DMA 無効

1：受信バッファ DMA 有効

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

21.4.3 SPI ステータスレジスタ（SPI_SR）

アドレスオフセット：0x08

リセット値：0x0002

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								BSY	OVR	MODF	CRC ERR	予約済み		TXE	RXNE
								r	r	r	rc_w0			r	r

ビット 15:8 予約済み。ハードウェアによって 0 に固定されています。

ビット 7 **BSY**：ビジーフラグ

0：SPI はビジーではありません。
1：SPI が通信ビジー状態であるか、または送信バッファが空ではありません。
このフラグはハードウェアによってセット/クリアされます。

*注： **BSY フラグの使用には注意が必要です（セクション 21.3.7：ステータスフラグおよびセクション 21.3.8：SPI の無効化を参照）。***

ビット 6 **OVR**：オーバーランフラグ

0：オーバーランは発生していません。
1：オーバーランが発生しました。
このフラグは、ハードウェアによってセットされ、ソフトウェアシーケンスによってリセットされます。

ビット 5 **MODF**：モードフォールト

0：モードフォールトは発生していません。
1：モードフォールトが発生しました。
このフラグは、ハードウェアによってセットされ、ソフトウェアシーケンスによってリセットされます。ソフトウェアシーケンスについては、*セクション 21.3.10（525 ページ）*を参照してください。

ビット 4 **CRCERR**：CRC エラーフラグ

0：受信した CRC 値が SPI_RXCRCR 値と一致します。
1：受信した CRC 値が SPI_RXCRCR 値と一致しません。
このフラグは、ハードウェアによってセットされ、ソフトウェアによって 0 を書き込むことでクリアされます。

ビット 3:2 予約済み

ビット 1 **TXE**：送信バッファエンプティ

0：送信バッファは空ではありません。
1：送信バッファは空です。

ビット 0 **RXNE**：受信バッファノットエンプティ

0：受信バッファは空です。
1：受信バッファは空ではありません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

21.4.4 SPI データレジスタ（SPI_DR）

アドレスオフセット：0x0C

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DR[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **DR[15:0]**：データレジスタ

受信されたデータ、または送信されるデータ。

データレジスタは 2 つのバッファに分割されます。一方は書き込み用（送信バッファ）であり、もう一方は読み出し用（受信バッファ）です。データレジスタへの書き込みは、送信バッファへの書き込みになります。データレジスタからの読み出しでは、受信バッファに保持されている値が返されます。

SPI モードについての注意：

送受信されるデータは、データフレームフォーマットの選択ビット（SPI_CR1 レジスタの DFF ビット）に応じて、8 ビットまたは 16 ビットになります。正しい動作のためには、この選択を行ってから、SPI を有効にする必要があります。

8 ビットデータフレームの場合、バッファは 8 ビットであり、レジスタの LSB（SPI_DR[7:0]）のみが送受信に使用されます。受信モードのとき、レジスタの MSB（SPI_DR[15:8]）は 0 に強制されます。

16 ビットデータフレームの場合、バッファは 16 ビットであり、レジスタ全体（SPI_DR[15:0]）が送受信に使用されます。

21.4.5 SPI CRC 多項式レジスタ（SPI_CRCPR)

アドレスオフセット：0x10

リセット値：0x0007

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CRCPOLY[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **CRCPOLY[15:0]**：CRC 多項式レジスタ

このレジスタは、CRC 計算用の多項式を内蔵します。

CRC 多項式（0007h）は、このレジスタのリセット値です。他の多項式は、必要に応じて設定することができます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

21.4.6 SPI 受信用 CRC レジスタ（SPI_RXCRCR)

アドレスオフセット：0x14

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RXCRC[15:0]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 15:0 **RXCRC[15:0]：**Rx CRC レジスタ

CRC 計算が有効なとき、RxCRC[15:0] ビットには、その後に受信したバイトから算出された CRC 値が格納されています。このレジスタは、SPI_CR1 レジスタの CRCEN ビットに 1 が書き込まれたときにリセットされます。CRC は、SPI_CRCPR レジスタにプログラミングされた多項式を使用して連続的に計算されます。

データフレームフォーマットが 8 ビットデータに設定された場合（SPI_CR1 の DFF ビットがクリア）、8 つの LSB ビットのみが考慮されます。CRC 計算は、任意の CRC8 規格に基づいて行われます。

16 ビットデータフレームフォーマットが選択された場合（SPI_CR1 レジスタの DFF ビットがセット）、このレジスタの 16 ビット全体が考慮されます。CRC 計算は、任意の CRC16 規格に基づいて行われます。

注： BSY フラグがセットされているときにこのレジスタを読み出すと、誤った値が返されることがあります。

21.4.7 SPI 送信用 CRC レジスタ（SPI_TXCRCR)

アドレスオフセット：0x18

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TXCRC[15:0]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 15:0 **TxCRC[15:0]：**Tx CRC レジスタ

CRC 計算が有効なとき、TxCRC[7:0] ビットには、その後に送信されたバイトから算出された CRC 値が格納されます。このレジスタは、SPI_CR1 の CRCEN ビットに 1 が書き込まれたときにリセットされます。CRC は、SPI_CRCPR レジスタにプログラミングされた多項式を使用して連続的に計算されます。

データフレームフォーマットが 8 ビットデータに設定された場合（SPI_CR1 の DFF ビットがクリア）、8 つの LSB ビットのみが考慮されます。CRC 計算は、任意の CRC8 規格に基づいて行われます。

16 ビットデータフレームフォーマットが選択された場合（SPI_CR1 レジスタの DFF ビットがセット）、このレジスタの 16 ビット全体が考慮されます。CRC 計算は、任意の CRC16 規格に基づいて行われます。

注： BSY フラグがセットされているときにこのレジスタを読み出すと、誤った値が返されることがあります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

21.4.8 SPI レジスタマップ

次の表に、SPI レジスタマップとリセット値を示します。

表 117. SPI レジスタマップとリセット値

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	SPI_CR1	予約済み																BIDIMODE	BIDIOE	CRCEN	CRCNEXT	DFF	RXONLY	SSM	SSI	LSBFIRST	SPE	BR[2:0]			MSTR	CPOL	CPHA
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x04	SPI_CR2	予約済み																								TXEIE	RXNEIE	ERRIE	予約済み		SSOE	TXDMAEN	RXDMAEN
	リセット値																									0	0	0			0	0	0
0x08	SPI_SR	予約済み																								BSY	OVR	MODF	CRCERR	予約済み		TXE	RXNE
	リセット値																									0	0	0	0			1	0
0x0C	SPI_DR	予約済み																DR[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x10	SPI_CRCPR	予約済み																CRCPOLY[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1
0x14	SPI_RXCRCR	予約済み																RxCRC[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x18	SPI_TXCRCR	予約済み																TXCRC[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

レジスタ境界アドレスについては、*表 1：小容量および中容量デバイスのレジスタ境界アドレス*および*表 2：大容量デバイスのレジスタ境界アドレス* を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

22 I²C（Inter-Integrated Circuit）インタフェース

小容量バリューラインデバイスは、フラッシュメモリ容量が 16～32 KB の STM32F100xx マイクロコントローラです。

中容量バリューラインデバイスは、フラッシュメモリ容量が 64～128 KB の STM32F100xx マイクロコントローラです。

大容量バリューラインデバイスは、フラッシュメモリ容量が 256～512 KB の STM32F100xx マイクロコントローラです。

このセクションは、別段の指定がない限り、STM32F100xx ファミリ全体に適用されます。

22.1 I²C の概要

I²C（Inter-Integrated Circuit）バスインタフェースは、マイクロコントローラとシリアル I²C バスとの間のインタフェースとして機能します。このインタフェースはマルチマスタ機能を提供し、I²C バス固有のすべてのシーケンシング、プロトコル、アービトレーション、およびタイミングを制御します。また、標準モードと高速モードをサポートし、SMBus 2.0 に準拠しています。

このインタフェースは、CRC の生成と検証、SMBus（System Management Bus）、PMBus（Power Management Bus）など、さまざまな目的に使用できます。

デバイスによっては、CPU の負荷を軽減するために DMA 機能を使用できるものもあります。

22.2 I²C の主な機能

- パラレルバス/I²C プロトコル間のコンバータ
- マルチマスタ機能：同じインタフェースがマスタまたはスレーブとして機能
- I²C マスタの機能：
  - クロック生成
  - START 信号、STOP 信号の生成
- I²C スレーブの機能：
  - プログラマブルな I²C アドレス検出
  - 2 つのスレーブアドレスを確認応答するデュアルアドレス機能
  - ストップビット検出
- 7 ビット/10 ビットアドレッシングおよび同報（General Call）の生成と検出
- 複数の通信速度をサポート：
  - 標準モード（最大 100 kHz）
  - 高速モード（最大 400 kHz）
- ステータスフラグ：
  - トランスミッタ/レシーバモードフラグ
  - 最終バイト送信フラグ
  - I²C ビジーフラグ
- エラーフラグ：
  - マスタモードのアービトレーションロスト条件
  - アドレス/データ送信後の確認応答障害

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

  - START/STOP コンディションの誤配置検出
  - クロック伸長が無効な場合のオーバーラン/アンダーラン
- 2 つの割り込みベクタ：
  - 正常なアドレス/データ通信用の割り込み
  - エラー条件用の割り込み
- クロック伸長オプション
- DMA 機能付きの 1 バイトバッファ
- 設定可能な PEC（Packet Error Checking）の生成/検証：
  - PEC 値は、送信モードで最終バイトとして送信可能
  - 最後の受信バイトの PEC エラーチェック
- SMBus 2.0 互換性：
  - クロックロータイムアウト遅延：25 ms
  - マスタのクロックロー累積伸長時間：10 ms
  - スレーブのクロックロー累積伸長時間：25 ms
  - ハードウェアによる PEC 生成/検証（ACK 制御付き）
  - ARP（アドレス解決プロトコル）のサポート
- PMBus 互換性

注： ***製品によっては、上記の機能の一部を使用できないことがあります。搭載されている I²C インタフェースによってサポートされる特定の機能については、製品のデータシートを参照してください。***

22.3 I²C 機能の説明

データの送受信に加えて、このインタフェースは、データをシリアル形式からパラレル形式（およびその逆）に変換します。割り込みは、ソフトウェアによって有効または無効にできます。このインタフェースは、データピン（SDA）とクロックピン（SCL）によって I²C バスに接続されます。標準（最大 100 kHz）または高速（最大 400 kHz）タイプの I²C バスと接続できます。

22.3.1 モード選択

このインタフェースは、次の 4 つのモードのいずれかで動作できます。

- スレーブトランスミッタ
- スレーブレシーバ
- マスタトランスミッタ
- マスタレシーバ

デフォルトでは、スレーブモードで動作します。このインタフェースは、START コンディションを生成した後でスレーブからマスタに、アービトレーションロスまたは STOP 生成が生じた場合はマスタからスレーブに、それぞれ自動的に切り替わることで、マルチマスタ機能を可能にします。

通信の流れ

マスタモードでは、I²C インタフェースは、データ転送を開始し、クロック信号を生成します。シリアルデータ転送は、常に START コンディションで始まり、STOP コンディションで終わります。START コンディションと STOP コンディションは、マスタモードではソフトウェアによって生成されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

スレーブモードでは、このインタフェースは、自己アドレス（7 または 10 ビット）と同報（General call）アドレスを認識できます。同報アドレスの検出は、ソフトウェアによって有効/無効にできます。

データとアドレスは、MSB ファーストの 8 ビットバイトとして転送されます。START コンディションの後に続く最初のバイト（7 ビットモードでは 1 バイト、10 ビットモードでは 2 バイト）にアドレスが含まれています。アドレスは、常にマスタモードで送信されます。

8 クロックサイクルのバイト転送の後には 9 番目のクロックパルスが続きます。その間に、レシーバはトランスミッタに確認応答ビットを送信する必要があります。*図 233* を参照してください。

図 233. I²C バスプロトコル

確認応答は、ソフトウェアによって有効/無効にできます。I²C インタフェースアドレス（デュアルアドレッシングの 7 ビット/10 ビットや同報アドレス）は、ソフトウェアによって選択できます。

図 234 に、I²C インタフェースのブロック図を示します。

図 234. I²C ブロック図

1. SMBA は、SMBus モードでのオプション信号です。SMBus が無効な場合、この信号は適用されません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

22.3.2 I²C スレーブモード

デフォルトでは、I²C インタフェースはスレーブモードで動作します。デフォルトのスレーブモードからマスタモードに切り替えるには、START コンディションの生成が必要です。

正しいタイミングを生成するには、ペリフェラル入力クロックを I2C_CR2 レジスタにプログラミングする必要があります。ペリフェラル入力クロックは、少なくとも次の周波数以上でなければなりません。

- 標準モード：2 MHz
- 高速モード：4 MHz

START コンディションが検出されると、アドレスは、SDA ラインから受信されて、シフトレジスタに送信されます。その後、このアドレスはインタフェースのアドレス（OAR1）および OAR2（ENDUAL=1 の場合）または同報アドレス（ENGC = 1 の場合）と比較されます。

注： ***10 ビットアドレスモードでは、この比較にはヘッダシーケンス（11110xx0）が含まれます。ここで、xx はアドレスの上位 2 ビットを示します。***

ヘッダまたはアドレスの不一致：インタフェースはこれを無視し、別の START コンディションを待ちます。

ヘッダー致（10 ビットモードのみ）：インタフェースは、ACK ビットがセットされている場合は確認応答パルスを生成し、8 ビットのスレーブアドレスを待ちます。

アドレス一致：インタフェースは次の順序で動作します。

- ACK ビットがセットされている場合、確認応答パルスを生成します。
- ADDR ビットがハードウェアによってセットされ、ITEVFEN ビットがセットされている場合は割り込みが生成されます。
- ENDUAL=1 の場合、ソフトウェアは、DUALF ビットを読み出して、どのスレーブアドレスが確認応答されたかをチェックする必要があります。

10 ビットモードでは、アドレスシーケンスの受信後、スレーブは常にレシーバモードになります。スレーブがトランスミッタモードに入るのは、反復 START コンディションの後、一致するアドレスビットを持ち、最下位ビットがセットされた（11110xx1）ヘッダシーケンスを受信したときです。

TRA ビットは、スレーブがレシーバモードかトランスミッタモードかを示します。

スレーブトランスミッタ

アドレス受信に続いて、ADDR をクリアした後、スレーブは、内部シフトレジスタを介して DR レジスタから SDA ラインにバイトを送信します。

スレーブは、ADDR がクリアされ、DR に送信データが書き込まれるまで、SCL のローレベルを伸長します（*図 235* 転送シーケンス EV1 EV3 を参照）。

確認応答パルスが受信されると：

- TxE ビットがハードウェアによってセットされ、ITEVFEN および ITBUFEN ビットがセットされている場合は割り込みが生成されます。

TxE がセットされ、次のデータ送信の終わりまでに I2C_DR レジスタに一部のデータが書き込まれていない場合、BTF ビットがセットされ、インタフェースは、I2C_SR1 の読み出しと、それに続く I2C_DR レジスタへの書き込みによって BTF がクリアされるまで、SCL のローレベルを伸長して待ちます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 235. スレーブトランスミッタの転送シーケンス

凡例：S=START、Sr=反復 START、P=STOP、A=確認応答、NA=否定応答、EVx=イベント（ITEVFEN=1 の場合は割り込み付き）

EV1：ADDR=1、SR1 の読み出しとそれに続く SR2 の読み出しによってクリア
EV3-1：TxE=1、シフトレジスタエンプティ、データレジスタエンプティ、Data1 を DR に書き込み
EV3：TxE=1、シフトレジスタノットエンプティ、データレジスタエンプティ、DR への書き込みによってクリア
EV3-2：AF=1（AF は、SR1 レジスタの AF ビットに“0”を書き込むことによってクリア）

注： 1- EV1 および EV3_1 イベントは、対応するソフトウェアシーケンスの最後まで SCL のローレベルを延長します。
2- EV3 ソフトウェアシーケンスは、現在のバイト転送が終わる前に完了する必要があります。
現在のバイトの転送終了までに EV3 ソフトウェアシーケンスを管理できない場合に備えて、
通信を低速にする欠点はありますが、TXE の代わりに BTF を使用することを推奨します。

ai15883b

スレーブレシーバ

アドレス受信に続いて、ADDR がクリアされた後、スレーブは、SDA ラインからのバイトを内部シフトレジスタを介して DR レジスタに受信します。各バイトの後、インタフェースは次の順序で動作します。

- ACK ビットがセットされている場合、確認応答パルスを生成します。
- RxNE ビットがハードウェアによってセットされ、ITEVFEN および ITBUFEN ビットがセットされている場合は割り込みが生成されます。

RxNE がセットされ、次のデータ受信の終わりまでに DR レジスタ内のデータが読み出されなかった場合、BTF ビットがセットされます。インタフェースは、I2C_SR1 の読み出しと、それに続く I2C_DR レジスタの読み出しによって BTF がクリアされるまで、SCL のローレベルを伸長して待ちます（*図 236* 転送シーケンスを参照）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 236. スレーブレシーバの転送シーケンス図

凡例：S=START、Sr=反復 START、P=STOP、A=確認応答、EVx=イベント
（ITEVFEN=1 の場合は割り込み付き）

EV1：ADDR=1、SR1 の読み出しとそれに続く SR2 の読み出しによってクリア
EV2：RxNE=1、DR レジスタの読み出しによってクリア
EV4：STOPF=1、SR1 レジスタの読み出しとそれに続く CR1 レジスタへの書き込みによってクリア

注： 1- EV1 イベントは、対応するソフトウェアシーケンスの最後まで SCL のローレベルを延長します。
2- EV2 ソフトウェアシーケンスは、現在のバイト転送の終わりまでに完了する必要があります。

ai15884b

スレーブ通信の終了

最後のデータバイトが転送された後、マスタは STOP コンディションを生成します。インタフェースは、この条件を検出して、次の動作を行います。

- STOPF ビットをセットし、ITEVFEN ビットがセットされている場合は割り込みを生成します。

次に、インタフェースは、SR1 レジスタの読み出しと、それに続く CR1 レジスタへの書き込みを待ちます（*図 236* 転送シーケンス EV4 を参照）。

22.3.3 I²C マスタモード

マスタモードでは、I²C インタフェースは、データ転送を開始し、クロック信号を生成します。シリアルデータ転送は、常に START コンディションで開始され、STOP コンディションで終わります。スタートビットによってバス上に START コンディションが生成されると、すぐにマスタモードが選択されます。

次に、マスタモードで必要なシーケンスを示します。

- 正しいタイミングを生成するため、I2C_CR2 レジスタにペリフェラル入力クロックをプログラミングします。
- クロック制御レジスタを設定します。
- 立ち上がり時間レジスタを設定します。
- I2C_CR1 レジスタのプログラミングによってペリフェラルを有効にします。
- I2C_CR1 レジスタのスタートビットをセットして、START コンディションを生成します。

ペリフェラル入力クロックは、少なくとも次の周波数以上でなければなりません。

- 標準モード：2 MHz
- 高速モード：4 MHz

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

START コンディション

BUSY ビットがクリアされているときにスタートビットをセットすると、インタフェースは START コンディションを生成し、マスタモードに切り替わります（M/SL=1）。

注： ***マスタモードでスタートビットをセットすると、インタフェースは、現在のバイト転送の最後に リスタート条件を生成します。***

START コンディションが送信されると、

- SB ビットがハードウェアによってセットされ、ITEVFEN ビットがセットされている場合は割り込みが生成されます。

次に、マスタは、SR1 レジスタの読み出しと、それに続く DR レジスタへのスレーブアドレスの書き込みを待ちます（*図 237* と*図 238* の転送シーケンス EV5 を参照）。

スレーブアドレス送信

次に、内部シフトレジスタを介して、スレーブアドレスが SDA ラインに送信されます。

- 10 ビットアドレスモードでは、ヘッダシーケンスの送信によって、次のイベントが発生します。
  - ADD10 ビットがハードウェアによってセットされ、ITEVFEN ビットがセットされている場合は割り込みが生成されます。

  次に、マスタは、SR1 レジスタの読み出しと、それに続く DR レジスタへの 2 番目のアドレスバイトの書き込みを待ちます（*図 237* と*図 238* の転送シーケンスを参照）。
  - ADDR ビットがハードウェアによってセットされ、ITEVFEN ビットがセットされている場合は割り込みが生成されます。

  次に、マスタは、SR1 レジスタの読み出しと、それに続く SR2 レジスタの読み出しを待ちます（*図 237* と*図 238* の転送シーケンスを参照）。
- 7 ビットアドレスモードでは、1 個のアドレスバイトが送信されます。

  アドレスバイトが送信されると、
  - ADDR ビットがハードウェアによってセットされ、ITEVFEN ビットがセットされている場合は割り込みが生成されます。

  次に、マスタは、SR1 レジスタの読み出しと、それに続く SR2 レジスタの読み出しを待ちます（*図 237* と*図 238* の転送シーケンスを参照）。

マスタは、送信されたスレーブアドレスの LSB に応じて、トランスミッタモードに入るか、レシーバモードに入るかを決定できます。

- 7 ビットアドレスモードでは、
  - トランスミッタモードに入るには、マスタは、LSB をリセットしたスレーブアドレスを送信します。
  - レシーバモードに入るには、マスタは、LSB をセットしたスレーブアドレスを送信します。
- 10 ビットアドレスモードでは、
  - トランスミッタモードに入るには、マスタは、ヘッダ（11110xx0）を送信してから、スレーブアドレスを送信します（xx はアドレスの上位 2 ビットです）。
  - レシーバモードに入るには、マスタは、ヘッダ（11110xx0）を送信してから、スレーブアドレスを送信します。さらに、反復 START コンディションと、それに続いてヘッダ（11110xx1）を送信します（xx はアドレスの上位 2 ビットです）。

  TRA ビットは、マスタがレシーバモードにあるか、トランスミッタモードにあるかを示します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

マスタトランスミッタ

アドレス送信に続いて ADDR がクリアされた後、マスタは、内部シフトレジスタを介して DR レジスタから SDA ラインにバイトを送信します。

マスタは、最初のデータバイトが I2C_DR に書き込まれるまで待ちます（*図 237* 転送シーケンスの EV8_1を参照）。

確認応答パルスが受信されると：

- TxE ビットがハードウェアによってセットされ、ITEVFEN および ITBUFEN ビットがセットされている場合は割り込みが生成されます。

TxE がセットされていて、最後のデータ送信が終わるまでにデータバイトが DR レジスタに書き込まれなかった場合、BTF がセットされ、インタフェースは、I2C_SR1 からの読み出しと、それに続く I2C_DR への書き込みによって BTF がクリアされるまで、SCL のローレベルを伸長して待ちます。

通信の終了

最後のバイトが DR レジスタに書き込まれた後、ストップビットがソフトウェアによってセットされて STOP コンディションを生成します（*図 237* 転送シーケンスの EV8_2 を参照）。インタフェースは自動的にスレーブモードに戻ります（M/SL ビットがクリアされます）。

注： ***STOP コンディションは、TxE または BTF ビットがセットされたとき、EV8_2 イベントの処理中にプログラミングしてください。***

図 237. マスタトランスミッタの転送シーケンス図

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

マスタレシーバ

アドレス送信に続いて ADDR がクリアされると、I²C インタフェースはマスタレシーバモードに入ります。このモードでは、インタフェースは、SDA ラインから内部シフトレジスタを介して DR レジスタにバイトを受信します。各バイトの後、インタフェースは次の順序で動作します。

- ACK ビットがセットされている場合、確認応答パルスを生成します。
- RxNE ビットがセットされ、ITEVFEN および ITBUFEN ビットがセットされている場合は割り込みが生成されます（*図 238* 転送シーケンスの EV7を参照）。

RxNE ビットがセットされ、最後のデータ受信の終わりまでに DR レジスタ内のデータが読み出されなかった場合、BTF ビットがハードウェアによってセットされ、インタフェースは、DR レジスタの読み出しによって BTF がクリアされるまで、SCL のローレベルを伸長して待ちます。

通信の終了

方法 1：この方法は、I²C がアプリケーション内で最高優先順位の割り込みによって使用されるケースに使用します。

マスタは、スレーブから受信した最終バイトに対して NACK を送信します。この NACK を受信したスレーブは、SCL ラインと SDA ラインの制御を解除します。これによって、マスタは STOP/RESTART コンディションを送信できます。

- 最後の受信データバイトの後で否定応答パルスを生成するには、最後から 2 番目の RxNE イベントの後で最後から 2 番目のデータバイトの読み出し直後に、ACK ビットをクリアする必要があります。
- STOP/RESTART コンディションを生成するには、ソフトウェアは、最後から 2 番目の RxNE イベントの後で最後から 2 番目のデータバイトの読み出し直後に、ストップ / スタートビットをセットする必要があります。
- 1 バイトの受信に備えて、確認応答の無効化と STOP コンディションの生成は EV6 の直後（EV6_1では、ADDR がクリアされた直後）に行われます。

STOP コンディションの生成後、インタフェースは自動的にスレーブモードに戻ります（M/SL ビットがクリアされます）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 238. 方法 1：マスタレシーバの転送シーケンス図

凡例：S=START、Sr=反復 START、P=STOP、A=確認応答、NA=否定応答、EVx=イベント（ITEVFEN=1 の場合は割り込み付き）
EV5：SB=1、SR1 レジスタの読み出しと、それに続く DR レジスタの書き込みによってクリア。
EV6：ADDR=1、SR1 レジスタの読み出しと、それに続く SR2 の読み出しによってクリア。10 ビットマスタレシーバモードでは、このシーケンスの後に続けて、CR2 に START=1 を書き込んでください。
EV6_1：関連するフラグイベントはありません。1 バイト受信にのみ使用されます。EV6 の直後（つまり ADDR がクリアされた後）、アクノレッジの無効化と STOP 条件の生成が行われます。
EV7：RxNE=1、DR レジスタの読み出しによってクリア。
EV7_1：RxNE=1、DR レジスタの読み出しによってクリア、ACK=0 と STOP リクエストのプログラミング。
EV9：ADD10=1、SR1 レジスタの読み出しと、それに続く DR レジスタへの書き込みによってクリア。

ai15882

1. 1 バイトが受信された場合、それは NA です。
2. EV5、EV6、および EV9 イベントは、対応するソフトウェアシーケンスの終わりまで、SCL のローレベルを伸長します。
3. EV7 ソフトウェアシーケンスは、現在のバイト転送の終わりまでに完了する必要があります。現在のバイトの転送終了までに EV7 ソフトウェアシーケンスを管理できない場合に備えて、通信を低速にする欠点はありますが、RXNE の代わりに BTF を使用することを推奨します。
4. EV6_1 または EV7_1 ソフトウェアシーケンスは、現在のバイト転送の ACK パルスより前に完了する必要があります。

方法 2：この方法は、アプリケーション内で最高の優先順位を持たない割り込みによって I²Cが使用される場合、またはポーリングによって I²C が使用されるケースに使用します。

この方法では、DataN_2 は読み出されないので、DataN_1 の後で、通信は伸長されます（RxNE と BTF がセットされます）。次に、DR の DataN-2 を読み出す前に ACK ビットをクリアすることで、DataN の確認応答パルスより前にこれがクリアされるようにします。その後、DataN_2 を読み出した直後に、ストップ / スタートビットをセットし、DataN_1 を読み出します。RxNE がセットされた後、DataN を読み出します。これを次の図に示します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 239. 方法 2：マスタレシーバの転送シーケンス図（N > 2の場合）

凡例：S = START、S_r = 反復 START、P = STOP、A = 確認応答、NA = 否定応答、
EVx = イベント（ITEVFEN = 1 の場合は割り込み付き）

EV5：SB=1、SR1 レジスタの読み出しと、それに続く DR レジスタへの書き込みによってクリアされます。
EV6：ADDR=1、SR1 レジスタの読み出しと、それに続く SR2 の読み出しによってクリアされます。
10 ビットマスタレシーバモードでは、このシーケンスに続けて、CR2 に START = 1 を書き込んでください。
EV7：RxNE=1、DR レジスタの読み出しによってクリアされます。
EV7_2：BTF = 1、DR の DataN-2 とシフトレジスタの DataN-1、ACK = 0 にプログラミング、DR の DataN-2 の読み出し。
STOP = 1 にプログラミング、DataN-1 の読み出し。
EV9：ADD10=1、SR1 レジスタの読み出しと、それに続く DR レジスタへの書き込みによってクリアされます。

1. EV5、EV6、および EV9 イベントは、対応するソフトウェアシーケンスの終わりまで、SCL のローレベルを伸長します。
2. EV7 ソフトウェアシーケンスは、現在のバイト転送の終わりまでに完了する必要があります。現在のバイトの転送終了までに EV7 ソフトウェアシーケンスを管理できない場合に備えて、通信を低速にする欠点はありますが、RXNE の代わりに BTF を使用することを推奨します。

まだ 3 バイト分が読み出されていないとき：

- RxNE = 1 => 何もしません（DataN-2 は読み出されません）
- DataN-1 が受信されます
- シフトレジスタとデータレジスタが満杯なので、BTF = 1：DR の DataN-2 とシフトレジスタの DataN-1 => SCL をローに接続：このバスでは他のいかなるデータも受信されません。
- ACK ビットをクリアします。
- DR の DataN-2 の読み出し => これによって、シフトレジスタに DataN の受信を開始。
- DataN の受信（NACK 付き）。
- START/STOP のプログラミング。
- DataN-1 の読み出し。
- RxNE = 1
- DataN の読み出し。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

上述の手順は N > 2 の場合に有効です。1 バイトまたは 2 バイトを受信するケースでは、下記のように別の方法で処理してください。

- 1 バイトを受信するケース：
  - ADDR イベントで、ACK ビットをクリアします。
  - ADDR をクリアします。
  - ストップ / スタートビットをプログラミングします。
  - RxNE フラグがセットされた後、データを読み出します。
- 2 バイトを受信するケース：
  - POS と ACK をセットします。
  - ADDR フラグがセットされるのを待ちます。
  - ADDR をクリアします。
  - ACK をクリアします。
  - BTF がセットされるのを待ちます。
  - STOP をプログラミングします。
  - DR を 2 回読み出します。

図 240. 方法 2：マスタレシーバの転送シーケンス図（N=2 の場合）

凡例:S = START、S_r = 反復 START、P = STOP、A = 確認応答、NA = 否定応答、
EVx = イベント（ITEVFEN = 1 の場合は割り込み付き）
EV5:SB=1、SR1 レジスタの読み出しと、それに続く DR レジスタへの書き込みによってクリアされます。
EV6:ADDR=1、SR1 レジスタの読み出しと、それに続く SR2 の読み出しによってクリアされます。
10 ビットマスタレシーバモードでは、このシーケンスに続けて、CR2 に START = 1 を書き込んでください。
EV6_1:関連するフラグイベントはありません。EV6 の直後（つまり ADDR がクリアされた後）、確認応答を無効にしてください。
EV7_3:BTF=1、STOP=1 をプログラミング、STOP のプログラミング直後に、DR を 2 回読み出します（Data1 と Data2 を読み出します）。
EV9:ADD10=1、SR1 レジスタの読み出しと、それに続く DR レジスタへの書き込みによってクリアされます。

1. EV5、EV6、および EV9 イベントは、対応するソフトウェアシーケンスの終わりまで、SCL のローレベルを伸長します。
2. EV6_1 ソフトウェアシーケンスは、現在のバイト転送の ACK パルスより前に完了する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 241. 方法 2：マスタレシーバの転送シーケンス図（N=1 の場合）

凡例:S = START、S_r = 反復 START、P = STOP、A = 確認応答、NA = 否定応答、
EVx = イベント（ITEVFEN = 1 の場合は割り込み付き）
EV5:SB=1、SR1 レジスタの読み出しと、それに続く DR レジスタへの書き込みによってクリアされます。
EV6:ADDR=1、SR1 レジスタの読み出しと、それに続く SR2 レジスタの読み出しによってクリアされます。
EV6_3:ADDR = 1、ACK = 0 にプログラミング、SR1 レジスタの読み出しとそれに続く SR2 レジスタの読み出しによって ADDR をクリア、ADDR がクリアされた直後に STOP =1 にプログラミング。
注:EV6_3 ソフトウェアシーケンスは、現在のバイトの転送終了よりも前に完了する必要があります。
EV7: RxNE=1、DR レジスタの読み出しによってクリアされます。
EV9:ADD10=1、SR1 レジスタの読み出しと、それに続く DR レジスタへの書き込みによってクリアされます。

1. EV5、EV6、および EV9 イベントは、対応するソフトウェアシーケンスの終わりまで、SCL のローレベルを伸長します。

22.3.4 エラー条件

以下は、通信障害を引き起こす可能性のあるエラー条件です。

バスエラー（BERR）

このエラーは、I²C インタフェースがアドレスやデータの転送中に外部の STOP または START コンディションを検出したときに発生します。このとき、

- BERR ビットがセットされ、ITERREN ビットがセットされている場合は割り込みが生成されます。
- スレーブモードの場合：データは破棄され、ラインはハードウェアによって解放されます。
  - START の誤配置である場合、スレーブはこれを RESTART とみなし、アドレスまたは STOP コンディションを待ちます。
  - STOP の誤配置である場合、スレーブは STOP コンディションの場合のように動作し、ラインはハードウェアによって解放されます。
- マスタモードの場合：ラインは解放されず、現在の送信の状態は影響を受けません。現在の送信をアボートするかどうかは、ソフトウェア次第です。

確認応答障害（AF）

このエラーは、インタフェースが否定応答ビットを検出したときに発生します。このとき、

- AF ビットがセットされ、ITERREN ビットがセットされている場合は割り込みが生成されます。
- NACK を受信したトランスミッタは、通信をリセットする必要があります。
  - スレーブの場合：ラインはハードウェアによって解放されます。
  - マスタの場合：ソフトウェアが STOP または反復 START コンディションを生成する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

アービトレーションロスト（ARLO）

このエラーは、I²C インタフェースがアービトレーションロスト条件を検出したときに発生します。このとき、

- ARLO ビットがハードウェアによってセットされます（ITERREN ビットがセットされている場合、割り込みが生成されます）。
- I²C インタフェースは自動的にスレーブモードに戻ります（M/SL ビットがクリアされます）。I²C がアービトレーションを失うと、同じ転送ではそのスレーブアドレスを確認応答できませんが、通信を許可されたマスタからの反復 START 後に確認応答できます。
- ラインはハードウェアによって解放されます。

オーバーラン/アンダーランエラー（OVR）

スレーブモードでオーバーランエラーが発生するのは、クロック伸長が無効にされ、I²C インタフェースがデータを受信しているときです。インタフェースがすでにバイトを受信し（RxNE=1）、インタフェースが次のバイトを受信するまでに DR 内のデータがまだ読み出されていません。このとき、

- 最後に受信されたバイトは失われます。
- オーバーランエラーが発生した場合、ソフトウェアで RxNE ビットをクリアし、トランスミッタで最後の受信バイトを再送信してください。

スレーブモードでアンダーランエラーが発生するのは、クロック伸長が無効にされ、I²C インタフェースがデータを送信しているときです。次のバイト用のクロックが到着するまでに、まだ DR は次のバイトで更新されていません（TxE=1）。このとき、

- DR レジスタ内の同じバイトが再送信されます。
- ユーザは、アンダーランエラー中にレシーバ側で受信されたデータが捨てられ、I²C バス規格で指定されたクロックロー時間内に次のバイトが書き込まれるようにしてください。

送信される最初のバイトに関しては、ADDR がクリアされてから最初の SCL 立ち上がりエッジまでに DR を書き込む必要があります。そうしないと、レシーバは最初のデータを破棄しなければなりません。

22.3.5 SDA/SCL ライン制御

- クロック伸長が有効な場合：
  - トランスミッタモード：TxE=1 および BTF=1 の場合：インタフェースは、送信の前にクロックラインをローレベルに保ち、マイクロコントローラが SR1 を読み出し、そのバイトをデータレジスタに書き込むのを待ちます（バッファとシフトレジスタは、いずれも空）。
  - レシーバモード：RxNE=1 および BTF=1 の場合：インタフェースは、受信後にクロックラインをローレベルに保ち、マイクロコントローラが SR1 を読み出し、データレジスタ内のバイトを読み出すのを待ちます（バッファとシフトレジスタのいずれにもデータが存在）。
- スレーブモードでクロック伸長が無効な場合：
  - オーバーランエラー：RxNE=1 で、次のバイトが受信されるまでに DR が読み出されていない場合。最後に受信されたバイトは失われます。
  - アンダーランエラー：TxE=1 で、次のバイトを送信するまでに DR への書き込みが行われていない場合。同じバイトが再送信されます。
  - 書き込み衝突は管理されません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

22.3.6 SMBus

概要

システム管理バス（SMBus）は、さまざまなデバイスが互いに通信したり、他のすべてのシステム部分と通信したりできる 2 線インタフェースです。これは I^2C の動作原理をベースにしています。SMBus は、システムおよびパワーマネジメント関連のタスク向けの制御バスを提供します。システムが SMBus を使用することで、個々の制御ラインをトグルすることなく、デバイスとの間でメッセージをやり取りできます。

System Management Bus 仕様では、3 種類のデバイスを規定しています。*スレーブ*とは、コマンドを受信したり、コマンドに応答したりするデバイスです。*マスタ*とは、コマンドを発行し、クロックを生成し、転送を終了させるデバイスです。*ホスト*とは、システムの CPU にメインインタフェースを提供する特殊なマスタです。ホストは、マスタ/スレーブとすることができ、SMBus ホスト通知プロトコルをサポートする必要があります。システム内では、ただ 1 つのホストが許容されます。

SMBus と I^2C との類似点

- 2 線バスプロトコル（1 Clk、1 Data）+ SMBus アラートライン（オプション）
- マスタ/スレーブ通信（マスタがクロックを供給します）
- マルチマスタ機能
- I^2C 7 ビットアドレスフォーマットに類似した SMBus データフォーマット（*図 233*）

SMBus と I^2C との相違点

次の表に、SMBus と I^2C の相違点を示します。

表 118. SMBus と I^2C の比較

SMBus	I^2C
最大速度：100 kHz	最大速度：400 kHz
最小クロック速度：10 kHz	最小クロック速度の規定なし
クロックロータイムアウト：35 ms	タイムアウトなし
論理レベルは固定	論理レベルは V_{DD} に依存
種々のアドレスタイプ（予約、ダイナミック、など）	7 ビット、10 ビット、および同報のスレーブアドレスタイプ
種々のバスプロトコル（クイックコマンド、プロセスコールなど）	バスプロトコルなし

SMBus アプリケーションの用途

SMBus を使用すれば、デバイスは、製造者情報を提供し、モデル/部品番号をシステムに通知し、サスペンドイベントに備えてその状態を保存し、種々のエラーを報告し、制御パラメータを受け付け、そのステータスを返すことができます。SMBus は、システムおよびパワーマネジメント関連のタスク向けの制御バスを提供します。

デバイス識別

SMBus 上にスレーブとして存在するデバイスには、スレーブアドレスと呼ばれるユニークなアドレスがあります。予約済みのスレーブアドレスの一覧については、SMBus 仕様 ver. 2.0（*http://smbus.org/specs/*）を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

バスプロトコル

SMBus 仕様では、最大 9 種のプロトコルをサポートします。これらのプロトコルと SMBus アドレスタイプの詳細については、SMBus 仕様 ver. 2.0（*http://smbus.org/specs/*）を参照してください。これらのプロトコルは、ユーザのソフトウェアによって実装してください。

アドレス解決プロトコル（ARP）

SMBus スレーブアドレスの競合は、各スレーブデバイスに新しいユニークなアドレスを動的に割り当てることによって解決できます。アドレス解決プロトコル（ARP）には、以下の属性があります。

- アドレス割り当てには、標準の SMBus 物理層アービトレーション機構を使用します。
- 割り当てられたアドレスは、デバイスに電源が供給されている間は一定しています。デバイスの電源切断後もアドレスの保持が可能です。
- アドレス割り当ての後、新たな SMBus パケットのオーバーヘッドは生じません（つまり、割り当てられたスレーブアドレスへのその後のアクセスでは、固定アドレスのデバイスへのアクセスと同じオーバーヘッドになります）。
- いずれの SMBus マスタも、バスの番号付けが可能です。

ユニークデバイス識別子（UDID）

アドレス割り当てを目的として各デバイスを分離する仕組みを提供するために、各デバイスはユニークデバイス識別子（UDID）を実装する必要があります。

128 ビット UDID と ARP の詳細については、SMBus 仕様 ver. 2.0（*http://smbus.org/specs/*）を参照してください。

SMBus アラートモード

SMBus アラートは、マスタ機能をピンに置き換えたいデバイス用の割り込みラインを持つオプション信号です。SMBA は、SCL 信号や SDA 信号と同じく、ワイヤード AND 信号です。SMBA は、SMBus 同報アドレスとともに使用されます。SMBus で呼び出されるメッセージの長さは 2 バイトです。

スレーブ専用デバイスは、I2C_CR1 レジスタの ALERT ビットをセットすることによって、ホストに接続したいことを SMBA を通じて通知できます。ホストは、割り込みを処理し、*アラート応答アドレス*（ARA と呼ばれ、値は 0001 100X）を通じて全 SMBA デバイスに同時にアクセスします。SMBA をローレベルに落としたデバイスのみが、アラート応答アドレスを確認応答します。このステータスは、I2C_SR1 レジスタの SMBALERT ステータスフラグを使用して識別されます。ホストは、モディファイド受信バイト動作を行います。スレーブ送信デバイスによって提供された 7 ビットのデバイスアドレスは、バイトの上位 7 ビットに置かれます。8 番目のビットは 0 または 1 にできます。

複数のデバイスが SMBA をローレベルにプルしている場合、スレーブアドレス転送時の標準的なアービトレーションによって、最高優先順位（最小アドレス）のデバイスが通信権を獲得します。スレーブアドレスの確認応答後、デバイスは、その SMBA のプルダウンを解放する必要があります。メッセージ転送の完了時に、SMBA が依然としてローレベルであることにホストが気づいた場合、再び ARA の読み出しが行われます。
SMBA 信号を実装していないホストは、周期的に ARA にアクセスすることができます。

SMBus アラートモードの詳細については、SMBus 仕様 ver. 2.0（*http://smbus.org/specs/*）を参照してください。

タイムアウトエラー

I²C と SMBus では、タイミング仕様に違いがあります。
SMBus では、クロックロータイムアウトとして 35 ms の TIMEOUT が定義されています。さらに SMBus では、スレーブデバイスのクロックロー累積伸長時間として TLOW:SEXT を規定しています。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

また、マスタデバイスのクロックロー累積伸長時間として TLOW:MEXT も規定しています。これらのタイムアウトの詳細については、SMBus 仕様 ver. 2.0（*http://smbus.org/specs/*）を参照してください。

I2C_SR1 レジスタのステータスフラグ TIMEOUT は、Timeout や Tlow エラーのステータスを示します。

SMBus モードでのインタフェースの使い方

I^2C モードから SMBus モードに切り替えるには、次のシーケンスを実行してください。

- I2C_CR1 レジスタの SMBus ビットをセットします。
- アプリケーションの必要に合わせて、I2C_CR1 レジスタの SMBTYPE ビットと ENARP ビットを設定します。

デバイスをマスタとして設定したい場合、*セクション 22.3.3 : I^2C マスタモード*に記載されている START コンディションの生成手順に従ってください。そうでない場合は、*セクション 22.3.2 : I^2C スレーブモード*に記載されている手順に従ってください。

アプリケーションは、ソフトウェアによってさまざまな SMBus プロトコルを制御する必要があります。

- ENARP=1 および SMBTYPE=0 の場合 : SMB デバイスのデフォルトアドレスが確認応答されます。
- ENARP=1 および SMBTYPE=1 の場合 : SMB ホストヘッダが確認応答されます。
- SMBALERT=1 の場合 : SMB アラート応答アドレスが確認応答されます。

22.3.7 DMA リクエスト

DMA リクエストは、データ転送用にのみ生成されます（有効な場合）。DMA リクエストが生成されるのは、送信中にデータレジスタが空になったとき、および受信中にデータレジスタが満杯になったときです。DMA リクエストは、現在のバイト転送の終わりまでに処理される必要があります。対応する DMA チャネルにプログラミングされたデータ転送回数に達したとき、DMA コントローラは、I^2C インタフェースに転送終了（EOT）信号を送信し、転送完了割り込みを生成します（有効な場合）。

- マスタトランスミッタ : EOT 割り込み後の割り込みルーチンでは、DMA リクエストを無効にし、BTF イベントの発生を待ってから、STOP コンディションをプログラミングします。
- マスタレシーバ : 受信するバイト数が 2 以上であるとき、DMA コントローラは、最後から 2 番目のデータバイト（number_of_bytes - 1）に対応するハードウェア信号（EOT_1）を送信します。I2C_CR2 レジスタで LAST ビットがセットされた場合、I^2C は、EOT_1 に続く次のバイトの後に、自動的に NACK を送信します。ユーザは、DMA 転送完了割り込みルーチンで STOP コンディションを生成できます（有効な場合）。

DMA を使用した送信

DMA モードの送信を有効にするには、I2C_CR2 レジスタの DMAEN ビットをセットします。データは、TxE ビットがセットされるたびに、DMA ペリフェラルを使用して設定されたメモリ領域（DMA 仕様を参照）から I2C_DR レジスタにロードされます。I^2C 送信用の DMA チャネルを配置するには、次のシーケンスを実行します。ここで、x はチャネル番号です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

1. I2C_DR レジスタのアドレスを DMA_CPARx レジスタにセットします。データは、毎回の TxE イベント後に、メモリからこのアドレスに移動されます。
2. メモリアドレスを DMA_CMARx レジスタにセットします。データは、毎回の TxE イベント後に、このメモリから I2C_DR にロードされます。
3. 転送されるバイトの総数を DMA_CNDTRx レジスタに設定します。毎回の TxE イベント後に、この値はデクリメントされます。
4. DMA_CCRx レジスタの PL[0:1] ビットを使用して、チャネルの優先順位を設定します。
5. DMA_CCRx レジスタの DIR ビットをセットし、アプリケーション条件に応じて 1/2 転送終了後または転送完了後に、割り込みを設定します。
6. DMA_CCRx レジスタの EN ビットをセットすることによって、チャネルを有効にします。

DMA コントローラのレジスタにプログラミングされたデータ転送回数に達したとき、DMA コントローラは、I²C インタフェースに転送終了（EOT/EOT_1）信号を送信し、DMA は DMA チャネル割り込みベクタ上に割り込みを生成します（有効な場合）。

注： ***DMA が送信に使用される場合、I2C_CR2 レジスタの ITBUFEN ビットを有効にしないでください。***

DMA を使用した受信

DMA モードの受信を有効にするには、I2C_CR2 レジスタの DMAEN ビットをセットします。データは、データバイトが受信されるたびに、DMA ペリフェラルを使用して設定されたメモリ領域（DMA 仕様を参照）に I2C_DR レジスタからロードされます。I²C 受信用の DMA チャネルを配置するには、次のシーケンスを実行します。ここで、x はチャネル番号です。

1. I2C_DR レジスタのアドレスを DMA_CPARx レジスタに設定します。データは、毎回の RxNE イベント後に、このアドレスからメモリに移動されます。
2. メモリアドレスを DMA_CMARx レジスタにセットします。データは、毎回の RxNE イベント後に、I2C_DR レジスタからこのメモリ領域にロードされます。
3. 転送されるバイトの総数を DMA_CNDTRx レジスタに設定します。毎回の RxNE イベント後に、この値はデクリメントされます。
4. DMA_CCRx レジスタの PL[0:1] ビットを使用してチャネルの優先順位を設定します。
5. DMA_CCRx レジスタの DIR ビットをリセットし、アプリケーション条件に応じて 1/2 転送終了後または転送完了後に、割り込みを設定します。
6. DMA_CCRx レジスタの EN ビットをセットすることによって、チャネルを有効にします。

DMA コントローラのレジスタにプログラミングされたデータ転送回数に達したとき、DMA コントローラは、I²C インタフェースに転送終了（EOT/EOT_1）信号を送信し、DMA は DMA チャネル割り込みベクタ上に割り込みを生成します（有効な場合）。

注： ***DMA が受信に使用される場合、I2C_CR2 レジスタの ITBUFEN ビットを有効にしないでください。***

22.3.8 パケットエラーチェック

通信の信頼性を高めるため、PEC 計算回路が実装されています。PEC の計算には、$C(x) = x^8 + x^2 + x + 1$ という CRC-8 多項式を各ビットに連続的に適用します。

- PEC 計算を有効にするには、I2C_CR1 レジスタの ENPEC ビットをセットします。PEC は、アドレスと R/W ビットを含むすべてのメッセージバイトに基づいて計算される CRC-8 コードです。
  - 送信時：最後のバイトに対応する TxE イベントの後、I2C_CR1 レジスタの PEC 転送ビットをセットします。PEC は、最後に送信されたバイトの後で転送されます。
  - 受信時：最後のバイトに対応する RxNE イベントの後、I2C_CR1 レジスタの PEC ビットをセットすることで、次に受信するバイトが内部的に計算した PEC と等しくない場合にレ

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

シーバが NACK を送信するようにします。マスタレシーバの場合、チェックの結果にかかわらず、PEC の後には NACK が続く必要があります。PEC は、現在のバイト受信の ACK パルスよりも前にセットする必要があります。

- PECERR エラーフラグ/割り込みは、I2C_SR1 レジスタでも使用できます。
- DMA と PEC 計算機能がともに有効な場合：
  - 送信時：I²C インタフェースが DMA コントローラから EOT 信号を受信すると、最終バイトの後で自動的に PEC を送信します。
  - 受信時：I²C インタフェースが DMA コントローラから EOT_1 信号を受信すると、次のバイトを自動的に PEC とみなし、その検査を行います。PEC 受信後に DMA リクエストが生成されます。
- 中間での PEC 転送を可能にするため、I2C_CR2 レジスタには制御ビット（LAST ビット）が用意されており、本当に最後の DMA 転送かどうかを判定できます。マスタレシーバの最後の DMA リクエストである場合、最後に受信されたバイトの後で自動的に NACK が送信されます。
- PEC 計算は、アービトレーションロスが発生すると損なわれます。

22.4 I²C 割り込み

次の表に、I²C 割り込みリクエストの一覧を示します。

表 119. I²C 割り込みリクエスト

割り込みイベント	イベントフラグ	イネーブル制御ビット
スタートビット送信（マスタ）	SB	ITEVFEN
アドレス送信（マスタ）またはアドレス一致（スレーブ）	ADDR	
10 ビットヘッダ送信（マスタ）	ADD10	
ストップ受信（スレーブ）	STOPF	
データバイト転送終了	BTF	
受信バッファノットエンプティ	RxNE	ITEVFEN および ITBUFEN
送信バッファエンプティ	TxE	
バスエラー	BERR	ITERREN
アービトレーションロス（マスタ）	ARLO	
確認応答障害	AF	
オーバーラン/アンダーラン	OVR	
PEC エラー	PECERR	
Timeout/Tlow error	TIMEOUT	
SMBus アラート	SMBALERT	

注： 1 SB、ADDR、ADD10、STOPF、BTF、RxNE、および TxE の各ビットは、同じ割り込みチャネル上で論理和がとられます。

2 BERR、ARLO、AF、OVR、PECERR、TIMEOUT、および SMBALERT の各ビットは、同じ割り込みチャネル上で論理和がとられます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 242. I²C 割り込みの配置図

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

22.5 I²C デバッグモード

マイクロコントローラがデバッグモードに入ると（Cortex-M3 コア停止）、DBG モジュールの DBG_I2Cx_SMBUS_TIMEOUT 設定ビットに応じて、SMBUS タイムアウトは、通常の動作を続行するか、あるいは停止します。詳細については、*セクション 25.15.2：タイマ、ウォッチドッグ、および I²C のデバッグサポート（660 ページ）*を参照してください。

22.6 I²C レジスタ

レジスタの説明で使用されている略語については、*セクション 1.1 (32 ページ)* を参照してください。

ペリフェラルレジスタには、ハーフワード（16 ビット）またはワード（32 ビット）単位でアクセスできます。

22.6.1 制御レジスタ 1（I2C_CR1）

アドレスオフセット：0x00
リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SWRST	予約済み	ALERT	PEC	POS	ACK	STOP	START	NO STRETCH	ENGC	ENPEC	ENARP	SMB TYPE	予約済み	SMBUS	PE
rw		rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw		rw	rw

ビット 15 **SWRST**：ソフトウェアリセット

このビットがセットされると、I²C はリセット状態になります。このビットをリセットする前に、I²C ラインが解放されていて、バスが空いていることを確認してください。
0：I²C ペリフェラルはリセット状態ではありません。
1：I²C ペリフェラルはリセット状態です。

注： このビットは、バス上で STOP コンディションが検出されていないときに BUSY ビットが"1"に設定された場合に使用できます。

ビット 14 予約済み、ハードウェアで 0 に固定されています。

ビット 13 **ALERT**：SMBus アラート

このビットは、ソフトウェアによってセット/クリアされ、PE=0 のときにハードウェアによってクリアされます。
0：SMBA ピンをハイレベルに解放します。アラート応答アドレスヘッダの後には NACK が続きます。
1：SMBA ピンをローレベルに駆動します。アラート応答アドレスヘッダの後には ACK が続きます。

ビット 12 **PEC**：パケットエラーチェック

このビットは、ソフトウェアによってセット/クリアされ、PEC が転送されたとき、START/STOP コンディションが検出されたとき、または PE=0 のときにハードウェアによってクリアされます。
0：PEC は転送されません。
1：PEC が転送されます（送信または受信モード）。

注： PEC 計算は、アービトレーションロスが発生すると損なわれます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 11 **POS**：確認応答/PEC 位置（データ受信）

このビットは、ソフトウェアによってセット/クリアされ、PE=0 のときにハードウェアによってクリアされます。

0：ACK ビットは、シフトレジスタに受信されている現在のバイトの (N)ACK を制御します。PEC ビットは、シフトレジスタ内の現在のバイトが PEC であることを示します。

1：ACK ビットは、シフトレジスタに受信される次のバイトの (N)ACK を制御します。PEC ビットは、シフトレジスタ内の次のバイトが PEC であることを示します。

注： 2 バイトの受信手順が実行されるとき、POS ビットが使用されます（方法 2：マスタレシーバの転送シーケンス図（N=2 の場合）を参照）。このビットは、データ受信が始まる前に設定される必要があります。この場合、2 番目のバイトを NACK するには、ADDR がクリアされた直後に ACK ビットをクリアする必要があります。2 番目のバイトを PEC としてチェックするには、POS ビットが設定された後の ADDR 拡張イベント処理中に PEC ビットをセットする必要があります。

ビット 10 **ACK**：確認応答有効

このビットは、ソフトウェアによってセット/クリアされ、PE=0 のときにハードウェアによってクリアされます。

0：確認応答は返されません。

1：バイトの受信後（アドレスまたはデータの一致）、確認応答が返されます。

ビット 9 **STOP**：STOP 生成

このビットは、ソフトウェアによってセット/クリアされ、STOP コンディションの検出時にハードウェアによってクリアされ、タイムアウトエラーの検出時にハードウェアによってセットされます。

マスタモード：

0：STOP は生成されません。

1：現在のバイト転送後、または現在の START コンディションの送信後に、STOP が生成されます。

スレーブモード：

0：STOP は生成されません。

1：現在のバイト転送後に SCL ラインと SDA ラインを解放します。

注： STOP、START、または PEC ビットがセットされると、このビットがハードウェアによってクリアされるまで、ソフトウェアは I2C_CR1 に書き込みアクセスを実行してはいけません。そうしないと、第 2 の STOP、START、または PEC リクエストを設定する危険性があります。

ビット 8 **START**：START 生成

このビットは、ソフトウェアによってセット/クリアされ、START の送信時または PE=0 のときにハードウェアによってクリアされます。

マスタモード：

0：START は生成されません。

1：反復 START が生成されます。

スレーブモード：

0：START は生成されません。

1：バスが空いていれば、START が生成されます。

ビット 7 **NOSTRETCH**：クロック伸長ディセーブル（スレーブモード）

このビットは、スレーブモードで ADDR または BTF フラグがセットされているとき、ソフトウェアによってリセットされるまで、クロック伸長を無効にするために使用されます。

0：クロック伸長は有効です。

1：クロック伸長は無効です。

ビット 6 **ENGC**：同報イネーブル

0：同報は無効です。アドレス 00h は NACK されます。

1：同報は有効です。アドレス 00h は ACK されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 5 **ENPEC**：PEC イネーブル

0：PEC 計算は無効です。
1：PEC 計算は有効です。

ビット 4 **ENARP**：ARP イネーブル

0：ARP は無効です。
1：ARP は有効です。
SMBTYPE=0 の場合、SMBus デバイスのデフォルトアドレスが認識されます。
SMBTYPE=1 の場合、SMBus ホストのアドレスが認識されます。

ビット 3 **SMBTYPE**：SMBus タイプ

0：SMBus デバイス
1：SMBus ホスト

ビット 2 予約済み、ハードウェアで 0 に固定されています。

ビット 1 **SMBUS**：SMBus モード

0：I^2C モード
1：SMBus モード

ビット 0 **PE**：ペリフェラルイネーブル

0：ペリフェラルは無効です。
1：ペリフェラルは有効です。対応する入出力は、SMBus ビットの設定に応じて、オルタネート機能として選択されます。

注：　通信中にこのビットがリセットされた場合、現在の通信の最後にアイドル状態に戻ったとき、ペリフェラルは無効になります。
通信の最後には PE=0 になるので、すべてのビットがリセットされます。
マスタモードでは、通信の最後まで、このビットをリセットしてはなりません。

22.6.2 制御レジスタ 2（I2C_CR2）

アドレスオフセット：0x04
リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み			LAST	DMA EN	ITBUF EN	ITEVTE N	ITERRE N	予約済み		FREQ[5:0]					
			rw	rw	rw	rw	rw			rw	rw	rw	rw	rw	rw

ビット 15:13 予約済み、ハードウェアで 0 に固定されています。

ビット 12 **LAST**：DMA 最終転送

0：次の DMA EOT は最終転送ではありません。
1：次の DMA EOT は最終転送です。

注：　このビットをマスタレシーバモードで使用すると、最後の受信データで NACK の生成が可能になります。

ビット 11 **DMAEN**：DMA リクエストイネーブル

0：DMA リクエストは無効です。
1：TxE=1 または RxNE =1 のとき、DMA リクエストは有効です。

ビット 10 **ITBUFEN**：バッファ割り込みイネーブル

0：TxE = 1 または RxNE = 1 で、割り込みは生成されません。
1：TxE = 1 または RxNE = 1 で、イベント割り込みを生成します（DMAEN ビットの状態には依存しません）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 9 **ITEVTEN**：イベント割り込みイネーブル

0：イベント割り込みは無効です。
1：イベント割り込みは有効です。

この割り込みは、以下の場合に生成されます。

–SB = 1（マスタ）
–ADDR = 1（マスタ/スレーブ）
–ADD10= 1（マスタ）
–STOPF = 1（スレーブ）
–BTF = 1（ただし、TxE または RxNE イベントが発生してしないとき）
–ITBUFEN = 1 で TxE イベントが 1 になったとき
–ITBUFEN = 1 で RxNE イベントが 1 になったとき

ビット 8 **ITERREN**：エラー割り込みイネーブル

0：エラー割り込みは無効です。
1：エラー割り込みは有効です。

この割り込みは、以下の場合に生成されます。

– BERR = 1
– ARLO = 1
– AF = 1
– OVR = 1
– PECERR = 1
– TIMEOUT = 1
– SMBALERT = 1

ビット 7:6 予約済み、ハードウェアで 0 に固定されています。

ビット 5:0 **FREQ[5:0]**：ペリフェラルクロック周波数

ペリフェラルクロック周波数は、入力 APB クロック周波数（I²C ペリフェラルは APB に接続）を使用して設定する必要があります。最小許容周波数は 2 MHz であり、最大周波数は最大 APB 周波数（24 MHz）と本質的な制限（46 MHz）によって制約されます。

0b000000：設定禁止
0b000001：設定禁止
0b000010：2 MHz
...
0b011000：24 MHz
0b100100 を超える場合：設定禁止

22.6.3 自己アドレスレジスタ 1（I2C_OAR1）

アドレスオフセット：0x08
リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADD MODE	予約済み					ADD[9:8]		ADD[7:1]							ADD0
rw						rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15 **ADDMODE**：アドレスモード（スレーブモード）

0：7 ビットスレーブアドレス（10 ビットアドレスは確認応答されません）
1：10 ビットスレーブアドレス（7 ビットアドレスは確認応答されません）

ビット 14 ソフトウェアによって常に 1 に保持してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 13:10 予約済み、ハードウェアで 0 に固定されています。

ビット 9:8 **ADD[9:8]**：インタフェースアドレス
7 ビットアドレスモード：無視
10 ビットアドレスモード：アドレスのビット 9:8

ビット 7:1 **ADD[7:1]**：インタフェースアドレス
アドレスのビット 7:1

ビット 0 **ADD0**：インタフェースアドレス
7 ビットアドレスモード：無視
10 ビットアドレスモード：アドレスのビット 0

22.6.4 自己アドレスレジスタ 2（I2C_OAR2）

アドレスオフセット：0x0C
リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								ADD2[7:1]							ENDUAL
								rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:8 予約済み、ハードウェアで 0 に固定されています。

ビット 7:1 **ADD2[7:1]**：インタフェースアドレス
デュアルアドレスモードでアドレスのビット 7:1

ビット 0 **ENDUAL**：デュアルアドレスモードイネーブル
0：7 ビットアドレスモードで、OAR1 のみが認識されます。
1：7 ビットアドレスモードで、OAR1 と OAR2 の両方が認識されます。

22.6.5 データレジスタ（I2C_DR）

アドレスオフセット：0x10
リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								DR[7:0]							
								rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:8 予約済み、ハードウェアで 0 に固定されています。

ビット 7:0 **DR[7:0]**：8 ビットデータレジスタ

受信されたバイト、またはバスに送信されるバイト。

– トランスミッタモード：DR レジスタにバイトが書き込まれると、バイト送信が自動的に始まります。送信が始まり（TxE=1）、次に送信されるデータが DR に書き込まれた場合、連続的な送信ストリームを維持できます。

– レシーバモード：受信したバイトは DR にコピーされます（RxNE=1）。DR が読み出されてから次のデータバイトが受信された場合（RxNE=1）、連続的な送信ストリームを維持できます。

注： スレーブモードでは、アドレスは DR にコピーされません。

注： 書き込み衝突は管理されません（TxE=0 の場合、DR は書き込み可能です）。

注： ACK パルスで ARLO イベントが発生した場合、受信したバイトは DR にコピーされないため、読み出しできません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

22.6.6 ステータスレジスタ 1（I2C_SR1）

アドレスオフセット：0x14
リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMB ALERT	TIMEOUT	予約済み	PEC ERR	OVR	AF	ARLO	BERR	TxE	RxNE	予約済み	STOPF	ADD10	BTF	ADDR	SB
rc_w0	rc_w0		rc_w0	rc_w0	rc_w0	rc_w0	rc_w0	r	r		r	r	r	r	r

ビット 15 **SMBALERT**：SMBus アラート

SMBus ホストモードで、
0：SMBALERT はありません。
1：SMBALERT イベントがピンに発生しました。
SMBus スレーブモードで、
0：SMBALERT 応答アドレスヘッダはありません。
1：SMBALERT LOW への SMBALERT 応答アドレスヘッダを受信しました。

– ソフトウェアによって 0 を書き込んでクリアするか、PE=0 のときにハードウェアによってクリアされます。

ビット 14 **TIMEOUT**：Timeout または Tlow エラー

0：タイムアウトエラーは発生していません。
1：SCL は 25 ms の間ローレベルを維持しました（タイムアウト）。
または
マスタのクロックローのトータル伸長時間が 10 ms を超えました（Tlow:mext）。
または
スレーブのクロックローのトータル伸長時間が 25 ms を超えました（Tlow:sext）。

– スレーブモードに設定した場合：スレーブは通信をリセットし、ラインはハードウェアによって解放されます。
– マスタモードに設定した場合：STOP コンディションがハードウェアによって送信されます。
– ソフトウェアによって 0 を書き込んでクリアするか、PE=0 のときにハードウェアによってクリアされます。

注： この機能は SMBus モードでのみ使用できます。

ビット 13 予約済み、ハードウェアで 0 に固定されています。

ビット 12 **PECERR**：受信時の PEC エラー

0：PEC エラーなし。レシーバは PEC 受信後に ACK を返します（ACK=1 の場合）。
1：PEC エラーあり。レシーバは PEC 受信後に NACK を返します（ACK は任意）。

– ソフトウェアによって 0 を書き込んでクリアするか、PE=0 のときにハードウェアによってクリアされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 11 **OVR**：オーバーラン/アンダーラン

0：オーバーラン/アンダーランなし。

1：オーバーランまたはアンダーランあり。

– スレーブモードで NOSTRETCH=1 の場合、次の条件でハードウェアによってセットされます。

– 受信時、新しいバイト（ACK パルスを含む）が受信され、DR レジスタがまだ読み出されていないとき。新しい受信バイトは失われます。

– 送信時、新しいバイトを送信すべきときに、DR レジスタへの書き込みがまだ行われていないとき。同じバイトが 2 回送信されます。

– ソフトウェアによって 0 を書き込んでクリアするか、PE=0 のときにハードウェアによってクリアされます。

注： DR への書き込みが SCL の立ち上がりエッジのごく近くで行われた場合、送信されるデータは不定で、ホールドタイミングエラーが発生します。

ビット 10 **AF**：確認応答障害

0：確認応答障害なし。

1：確認応答障害あり。

– 確認応答が返されないとき、ハードウェアによってセットされます。

– ソフトウェアによって 0 を書き込んでクリアするか、PE=0 のときにハードウェアによってクリアされます。

ビット 9 **ARLO**：アービトレーションロスト（マスタモード）

0：アービトレーションロストは検出されていません。

1：アービトレーションロストが検出されました。

インタフェースがバスのアービトレーションを他のマスタに明け渡したとき、ハードウェアによってセットされます。

– ソフトウェアによって 0 を書き込んでクリアするか、PE=0 のときにハードウェアによってクリアされます。

ARLO イベントの後、インタフェースは自動的にスレーブモード（M/SL=0）に切り替わります。

注： SMBUS では、スレーブモードでのデータのアービトレーションは、データフェーズ中または確認応答の送信中にのみ行われます（アドレスの確認応答では行われません）。

ビット 8 **BERR**：バスエラー

0：START または STOP コンディションのタイミングエラーはありません。

1：START または STOP コンディションのタイミングエラーが発生しました。

– インタフェースが START または STOP コンディションのタイミングエラーを検出したとき、ハードウェアによってセットされます。

– ソフトウェアによって 0 を書き込んでクリアするか、PE=0 のときにハードウェアによってクリアされます。

ビット 7 **TxE**：データレジスタエンプティ（トランスミッタ）

0：データレジスタは空ではありません。

1：データレジスタは空です。

– 送信中に DR が空になったときにセットされます。TxE はアドレスフェーズではセットされません。

– DR レジスタへのソフトウェア書き込みによってクリアされ、START/STOP コンディションの後または PE=0 のときにハードウェアによってクリアされます。

NACK が受信された場合、または次に送信されるバイトが PEC である場合（PEC=1）、TxE はセットされません。

注： 送信される最初のデータを書き込んだり、BTF がセットされているときにデータを書き込んだりしても、TxE はクリアされません。いずれの場合も、データレジスタはまだ空だからです。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 6 **RxNE**：データレジスタノットエンプティ（レシーバ）

0：データレジスタは空です。

1：データレジスタは空ではありません。

– レシーバモードで、データレジスタが空でないときにセットされます。RxNE は、アドレスフェーズではセットされません。

– ソフトウェアで DR レジスタへの読み書きを行ってクリアするか、PE=0 のときにハードウェアによってクリアされます。

ARLO イベントの場合、RxNE はセットされません。

*注： **BTF がセットされているとき、データレジスタはまだ満杯であるため、データを読み出しても RxNE はクリアされません。***

ビット 5 予約済み、ハードウェアで 0 に固定されています。

ビット 4 **STOPF**：STOP 検出（スレーブモード）

0：STOP コンディションは検出されていません。

1：STOP コンディションが検出されました。

– 確認応答後に、スレーブがバス上で STOP コンディションを検出したとき、ハードウェアによってセットされます（ACK=1 の場合）。

– ソフトウェアで SR1 レジスタを読み出し、続いて CR1 レジスタに書き込むとクリアされます。または、PE=0 のときにハードウェアによってクリアされます。

*注： **STOPF ビットは、NACK 受信後にはセットされません。***

ビット 3 **ADD10**：10 ビットヘッダの送信（マスタモード）

0：ADD10 イベントは発生していません。

1：マスタは最初のアドレスバイト（ヘッダ）を送信しました。

– マスタが 10 ビットアドレスモードで最初のバイトを送信すると、ハードウェアによってセットされます。

– ソフトウェアで SR1 レジスタを読み出し、続いて DR レジスタに 2 番目のアドレスバイトを書き込むとクリアされます。または、PE=0 のときにハードウェアによってクリアされます。

*注： **ADD10 ビットは、NACK 受信後にはセットされません。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 2 **BTF**：バイト転送終了

0：データバイト転送は完了していません。

1：データバイト転送が正常に終了しました。

– NOSTRETCH=0 の場合、次の条件でハードウェアによってセットされます。

  – 受信時、新しいバイト（ACK パルスを含む）が受信され、DR レジスタがまだ読み出されていないとき（RxNE=1）。

  – 送信時、新しいバイトを送信すべきときに、DR レジスタへの書き込みがまだ行われていないとき（TxE=1）。

  – ソフトウェアで SR1 を読み出し、続いて DR レジスタへの読み書きを行ったときにクリアされます。または、送信時の START/STOP コンディションの後や PE=0 のときに、ハードウェアによってクリアされます。

注： ***BTF ビットは、NACK 受信後にはセットされません。***

BTF ビットは、次に送信されるバイトが PEC である場合（I2C_SR2 レジスタの TRA=1 かつ I2C_CR1 レジスタの PEC=1）、セットされません。

ビット 1 **ADDR**：アドレス送信（マスタモード）/アドレス一致（スレーブモード）

このビットは、ソフトウェアで SR1 レジスタを読み出し、続いて SR2 レジスタを読み出すことでクリアされます。または、PE=0 のときにハードウェアによってクリアされます。

アドレス一致（スレーブ）

0：アドレスは受信されていないか、一致しませんでした。

1：受信したアドレスが一致しました。

– 受信したスレーブアドレスが OAR レジスタの内容と一致したとき、あるいは同報/SMBus デバイスデフォルトアドレスまたは SMBus ホスト/SMBus アラートが認識されたとき、ハードウェアによってセットされます（設定に応じて、それぞれ有効である場合）。

アドレス送信（マスタ）

0：アドレス送信は終了していません。

1：アドレス送信は終了しました。

– 10 ビットアドレッシングでは、2 番目のバイトの ACK 後にビットがセットされます。

– 7 ビットアドレッシングでは、バイトの ACK 後にビットがセットされます。

注： ***ADDR は、NACK 受信後にはセットされません。***

ビット 0 **SB**：スタートビット（マスタモード）

0：START コンディションなし。

1：START コンディションが生成されました。

– START コンディションが生成されたときにセットされます。

– ソフトウェアで SR1 レジスタを読み出し、続いて DR レジスタへの書き込みを行うとクリアされます。または、PE=0 のときにハードウェアによってクリアされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

22.6.7 ステータスレジスタ 2（I2C_SR2）

アドレスオフセット：0x18
リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PEC[7:0]								DUALF	SMB HOST	SMBDEF AULT	GEN CALL	予約済み	TRA	BUSY	MSL
r	r	r	r	r	r	r	r	r	r	r	r		r	r	r

ビット 15:8 **PEC[7:0]**：パケットエラーチェックレジスタ

ENPEC=1 のとき、このレジスタは内部 PEC を保持しています。

ビット 7 **DUALF**：デュアルフラグ（スレーブモード）

0：受信アドレスが OAR1 と一致
1：受信アドレスが OAR2 と一致

– STOP コンディションまたは反復 START コンディションの後、あるいは PE=0 のときに、ハードウェアによってクリアされます。

ビット 6 **SMBHOST**：SMBus ホストヘッダ（スレーブモード）

0：SMBus ホストアドレスは受信されていません。
1：SMBTYPE=1 かつ ENARP=1 のとき、SMBus ホストアドレスが受信されました。

– STOP コンディションまたは反復 START コンディションの後、あるいは PE=0 のときに、ハードウェアによってクリアされます。

ビット 5 **SMBDEFAULT**：SMBus デバイスデフォルトアドレス（スレーブモード）

0：SMBus デバイスデフォルトアドレスは受信されていません。
1：ENARP=1 のとき、SMBus デバイスデフォルトアドレスが受信されました。

– STOP コンディションまたは反復 START コンディションの後、あるいは PE=0 のときに、ハードウェアによってクリアされます。

ビット 4 **GENCALL**：同報アドレス（スレーブモード）

0：同報アドレスは受信されていません。
1：ENGC=1 のとき、同報アドレスが受信されました。

– STOP コンディションまたは反復 START コンディションの後、あるいは PE=0 のときに、ハードウェアによってクリアされます。

ビット 3 予約済み、ハードウェアで 0 に固定されています。

ビット 2 **TRA**：トランスミッタ/レシーバ

0：データバイトが受信されました。
1：データバイトが送信されました。

このビットは、全アドレスフェーズの最後に、アドレスバイトの R/W ビットに応じてセットされます。

また、STOP コンディション（STOPF=1）、反復 START コンディション、バスアービトレーションのロスト（ARLO=1）の検出後、または PE=0 のときに、ハードウェアによってクリアされます。

ビット 1 **BUSY**：バスビジー

0：バス上で通信は行われていません。
1：バス上で通信が行われています。

– SDA または SCL のローレベル検出時に、ハードウェアによってセットされます。
– STOP コンディションの検出時に、ハードウェアによってクリアされます。

このビットはバス上で通信が進行中であることを示します。この情報は、インタフェースが無効である（PE=0）ときにも更新されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 0 **MSL**：マスタ/スレーブ

0：スレーブモード

1：マスタモード

– インタフェースがマスタモードになると（SB=1）、ハードウェアによってセットされます。

– バス上での STOP コンディションまたはアービトレーションロスト（ARLO=1）を検出した後、または PE=0 のときに、ハードウェアによってクリアされます。

22.6.8 クロック制御レジスタ（I2C_CCR）

アドレスオフセット：0x1C
リセット値：0x0000

注： 1 F_{PCLK1} は、400 kHz で高速クロックを生成するために必要な 10 MHz の倍数です。

2 CCR レジスタは、I²C が無効（PE=0）の場合にのみ設定する必要があります。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
F/S	DUTY	予約済み		CCR[11:0]											
rw	rw			rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15 **F/S**：I²C マスタモード選択

0：標準モード I²C

1：高速モード I²C

ビット 14 **DUTY**：高速モードデューティサイクル

0：高速モード t_{low}/t_{high} = 2

1：高速モード t_{low}/t_{high} = 16/9（CCR を参照）

ビット 13:12 予約済み、ハードウェアで 0 に固定されています。

ビット 11:0 **CCR[11:0]**：高速/標準モード（マスタモード）でのクロック制御レジスタ

マスタモードにおける SCL クロックを制御します。

<u>標準モードまたは SMBus</u>：

T_{high} = CCR * T_{PCLK1}
T_{low} = CCR * T_{PCLK1}

<u>高速モード</u>：

DUTY = 0 の場合：
T_{high} = CCR * T_{PCLK1}
T_{low} = 2 * CCR * T_{PCLK1}
DUTY = 1 の場合：（400 kHz に到達するには）
T_{high} = 9 * CCR * T_{PCLK1}
T_{low} = 16 * CCR * T_{PCLK1}
例：標準モードで 100 kHz の SCL 周波数を生成するには、

FREQR = 08、T_{PCLK1} = 125 ns の場合、CCR には 0x28 をプログラミングする必要があります。

（0x28 <=> 40d x 125 ns = 5000 ns）

注： 1.最小許容値は 0x04 です。ただし、FAST DUTY モードでは最小許容値は 0x01 になります。
2. t_{high} には SCLH 立ち上がりエッジを含みます。
3. t_{low} には SCLH 立ち下がりエッジを含みます。
4.これらのタイミングは、フィルタを通さないものです。
5.CCR レジスタは、I²C が無効（PE=0）の場合にのみ設定する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

22.6.9 TRISE レジスタ（I2C_TRISE）

アドレスオフセット：0x20
リセット値：0x0002

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み										TRISE[5:0]					
										rw	rw	rw	rw	rw	rw

ビット 15:6 予約済み、ハードウェアで 0 に固定されています。

ビット 5:0 **TRISE[5:0]**：高速/標準モード（マスタモード）における最大立ち上がり時間

これらのビットには、I²C バス仕様で与えられている SCL 最大立ち上がり時間より 1 だけ大きな値をプログラミングする必要があります。

例：標準モードで許容される SCL の最大立ち上がり時間は 1000 ns です。

I2C_CR2 レジスタの FREQ[5:0] ビットの値が 0x08 で、T_{PCLK1} = 125 ns である場合、TRISE[5:0] ビットには 09h をプログラミングする必要があります。

（1000 ns / 125 ns = 8 + 1）

フィルタ値も TRISE[5:0] に加算することができます。

結果が整数でない場合、t_{HIGH} パラメータを考慮して、その整数部を TRISE[5:0] にプログラミングする必要があります。

注： TRISE[5:0] の設定は、I²C が無効なとき（PE=0）にのみ行う必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

22.6.10 I²C レジスタマップ

次の表に、I²C のレジスタマップとリセット値を示します。

表 120. I²C レジスタマップとリセット値

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	I2C_CR1	予約済み																SWRST	予約済み	ALERT	PEC	POS	ACK	STOP	START	NOSTRETCH	ENGC	ENPEC	ENARP	SMBTYPE	予約済み	SMBUS	PE
	リセット値																	0		0	0	0	0	0	0	0	0	0	0	0		0	0
0x04	I2C_CR2	予約済み																			LAST	DMAEN	ITBUFEN	ITEVTEN	ITERREN	予約済み		FREQ[5:0]					
	リセット値																				0	0	0	0	0			0	0	0	0	0	0
0x08	I2C_OAR1	予約済み																ADDMODE	予約済み					ADD[9:8]		ADD[7:1]							ADD0
	リセット値																	0						0	0	0	0	0	0	0	0	0	0
0x0C	I2C_OAR2	予約済み																								ADD2[7:1]							ENDUAL
	リセット値																									0	0	0	0	0	0	0	0
0x10	I2C_DR	予約済み																								DR[7:0]							
	リセット値																									0	0	0	0	0	0	0	0
0x14	I2C_SR1	予約済み																SMBALERT	TIMEOUT	予約済み	PECERR	OVR	AF	ARLO	BERR	TxE	RxNE	予約済み	STOPF	ADD10	BTF	ADDR	SB
	リセット値																	0	0		0	0	0	0	0	0	0		0	0	0	0	0
0x18	I2C_SR2	予約済み																PEC[7:0]								DUALF	SMBHOST	SMBDEFAULT	GENCALL	予約済み	TRA	BUSY	MSL
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0		0	0	0
0x1C	I2C_CCR	予約済み																F/S	DUTY	予約済み	CCR[11:0]												
	リセット値																	0	0		0	0	0	0	0	0	0	0	0	0	0	0	0
0x20	I2C_TRISE	予約済み																										TRISE[5:0]					
	リセット値																											0	0	0	0	1	0

*レジスタ境界アドレスについては、表 1：小容量および中容量デバイスのレジスタ境界アドレス*および*表 2：大容量デバイスのレジスタ境界アドレス*を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

23 USART（Universal synchronous asynchronous receiver transmitter）

小容量バリューラインデバイスは、フラッシュメモリ容量が 16～32 KB の STM32F100xx マイクロコントローラです。

中容量バリューラインデバイスは、フラッシュメモリ容量が 64～128 KB の STM32F100xx マイクロコントローラです。

大容量バリューラインデバイスは、フラッシュメモリ容量が 256～512 KB の STM32F100xx マイクロコントローラです。

このセクションは、別段の指定がない限り、STM32F100xx ファミリ全体に適用されます。

23.1 USART の概要

USART（Universal Synchronous Asynchronous Receiver Transmitter）を使用すると、業界標準の NRZ 非同期シリアルデータフォーマットを必要とする外部機器と柔軟に全二重データ交換を行うことができます。USART は、フラクショナルボーレートジェネレータを使用して、非常に広範囲のボーレートへの対応が可能です。

USART は、同期式単方向通信と半二重単線通信をサポートします。また、LIN（Local Interconnection Network）、スマートカードプロトコルおよび IrDA（infrared data association）SIR ENDEC 仕様、およびモデム動作（CTS/RTS）もサポートします。マルチプロセッサ通信も可能です。

マルチバッファ設定用の DMA を使用して、高速データ通信が可能です。

23.2 USART の主な機能

- 全二重、非同期通信
- NRZ 標準フォーマット（マーク/スペース）
- 16 倍または 8 倍に設定可能なオーバーサンプリング方式によって、速度とクロックの柔軟な許容誤差を実現
- フラクショナルボーレートジェネレータシステム
  - プログラミング可能な送受信共通のボーレート：最大 3 M ビット/秒（APB 周波数が 24 MHz でオーバーサンプリングが 8 倍の場合）
- プログラミング可能なデータワード長：8 または 9 ビット
- 設定可能なストップビット：1 または 2 のストップビットをサポート
- LIN マスタの同期ブレーク送信機能と LIN スレーブのブレーク検出機能
  - USART が LIN 用にハードウェア設定されている場合、13 ビットのブレーク生成と 10/11 ビットのブレーク検出
- 同期送信用のトランスミッタクロック出力
- IrDA SIR エンコーダデコーダ
  - 通常モード用に 3/16 ビット持続時間のサポート
- スマートカードエミュレーション機能
  - スマートカードインタフェースは、ISO 7816-3 規格で定義された非同期プロトコルのスマートカードをサポート
  - スマートカード動作用に 0.5、1.5 のストップビット

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

- 単線半二重通信
- DMA（Direct Memory Access）を使用した設定可能なマルチバッファ通信
  - DMA を使用して、送受信バイトを専用 SRAM にバッファリング
- トランスミッタとレシーバ用に別個のイネーブルビット
- 転送検出フラグ：
  - 受信バッファフル
  - 送信バッファエンプティ
  - 送信終了フラグ
- パリティ制御：
  - パリティビットの送信
  - 受信したデータバイトのパリティ検査
- 4 種のエラー検出フラグ
  - オーバーランエラー
  - ノイズ検出
  - フレームエラー
  - パリティエラー
- 10 種の割り込みソース（フラグ付き）
  - CTS の変化
  - LIN ブレーク検出
  - 送信データレジスタエンプティ
  - 送信完了
  - 受信データレジスタフル
  - アイドルラインの受信
  - オーバーランエラー
  - フレーミングエラー
  - ノイズエラー
  - パリティエラー
- マルチプロセッサ通信：アドレス不一致の場合、ミュートモードに遷移
- ミュートモードからのウェイクアップ（アイドルライン検出/アドレスマーク検出）
- 2 レシーバウェイクアップモード：アドレスビット（MSB、9 番目のビット）、アイドルライン

23.3 USART 機能の説明

インタフェースは、3 個のピンによって他のデバイスに外部接続されます（*図 243* を参照）。USART 両方向通信では、少なくとも受信データ入力（RX）と送信データ出力（TX）の 2 個のピンが必要です。

RX：受信データ入力はシリアルデータ入力です。データ修復にはオーバーサンプリング技術が使用され、有効な入力データとノイズを区別しています。

TX：送信データ出力。トランスミッタが無効なとき、出力ピンはその入出力ポート設定に戻ります。トランスミッタが有効で、送信すべきデータがないとき、TX ピンはハイレベルになります。単線モードとスマートカードモードでは、この入出力を使用してデータを送受信します（USART レベルでは、データはその時に SW_RX で受信されます）。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

通常の USART モードでは、フレームは以下の部分から構成され、これらのピンを通じてシリアルデータが送受信されます。

- 送受信に先立つアイドルライン
- スタートビット
- データワード（8 または 9 ビット）、LSB ファースト
- フレームの完了を示す 0.5、1、1.5、2 のストップビット
- このインタフェースはフラクショナルボーレートジェネレータを使用します - 12 ビットの整数部と 4 ビットの小数部
- ステータスレジスタ（USART_SR）
- データレジスタ（USART_DR）
- ボーレートレジスタ（USART_BRR）- 12 ビットの整数部と 4 ビットの小数部
- ガードタイムレジスタ（USART_GTPR）- スマートカードモードの場合

各ビットの定義については、*セクション 23.6 : USART レジスタ（607 ページ）*を参照してください。

同期モードでのインタフェースには次のピンが必要になります。

- **SCLK**：トランスミッタクロック出力。このピンは、SPI マスタモードに対応する同期送信用のトランスミッタデータクロックを出力します（スタート/ストップビットのクロックパルスはなく、ソフトウェアオプションで最後のデータビットのクロックパルスを送信します）。これと並行して、RX 上のデータを同期受信できます。これを使用して、シフトレジスタを持つペリフェラル（例：LCD ドライバ）を制御できます。クロックの位相と極性は、ソフトウェアでプログラミングできます。スマートカードモードでは、SCLK はスマートカードへのクロックを供給できます。

IrDA モードでのインタフェースには次のピンが必要になります。

- **IrDA_RDI**：IrDA モードでは、受信データ入力はデータ入力です。
- **IrDA_TDO**：IrDA モードでの送信データ出力。

ハードウェアフロー制御モードでは次のピンが必要になります。

- **nCTS**：Clear To Send は、ハイレベルのとき、現在の転送の終わりにデータ送信をブロックします。
- **nRTS**：Request To Send は、ローレベルのとき、USART がデータを受信できることを示します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 243. USART ブロック図

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

23.3.1 USART キャラクタの説明

ワード長は、USART_CR1 レジスタの M ビットをプログラミングすることによって、8 ビットまたは 9 ビットとして選択できます（*図 244* を参照）。

TX ピンは、スタートビットの処理中にはロー状態です。また、ストップビットの処理中にはハイ状態です。

アイドルキャラクタは 1 フレーム分の“1”であると解釈されます。なお、この後にデータが格納された次のフレームのスタートビットが続きます（“1”の数にはストップビットの数も含まれます）。

ブレークキャラクタは 1 フレーム周期分の“0”を受信することであると解釈されます。ブレークフレームの終わりに、スタートビットを確認応答するために、トランスミッタは 1 個または 2 個のストップビット（論理“1”ビット）を挿入します。

送信と受信は、共通のボーレートジェネレータによって駆動されます。それぞれのクロックは、トランスミッタとレシーバのイネーブルビットがそれぞれセットされたときに生成されます。

各ブロックの詳細を次に示します。

図 244. ワード長のプログラミング

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

23.3.2 トランスミッタ

トランスミッタは、M ビットのステータスに応じて、8 または 9 ビットのデータワードを送信します。送信イネーブルビット（TE）がセットされているとき、送信シフトレジスタ内のデータは TX ピンに出力され、対応するクロックパルスは CK ピンに出力されます。

キャラクタ送信

USART 送信時、データは LSB ファーストで TX ピンにシフトアウトされます。このモードでは、USART_DR レジスタは、内部バスと送信シフトレジスタの間のバッファ（TDR）で構成されます（*図 243* を参照）。

各キャラクタの前にスタートビット（1 ビット周期の低論理レベル）があります。キャラクタは、設定可能な数のストップビットによって終わります。

USART では、0.5、1、1.5、および 2 のストップビットがサポートされます。

注： 1 *データの送信中に TE ビットをリセットしないでください。送信中に TE ビットをリセットすると、ボーレートカウンタが凍結されるため、TX ピンのデータが破壊されます。送信中のデータは失われます。*

2 *TE ビットが有効にされた後、アイドルフレームが送信されます。*

設定可能なストップビット

キャラクタとともに送信されるストップビットの数は、制御レジスタ 2 のビット 13、12 でプログラミングできます。

1. ***1 ストップビット*** : ストップビット数のデフォルト値です。
2. ***2 ストップビット*** : 通常の USART モード、単線モード、およびモデムモードでサポートされます。
3. ***0.5 ストップビット*** : スマートカードモードでのデータの受信に使用されます。
4. ***1.5 ストップビット*** : スマートカードモードでのデータの送受信に使用されます。

アイドルフレームの送信にはストップビットが含まれます。

ブレーク送信では、10 個（m = 0 の場合）または 11 個（m = 1 の場合）のローレベルビットの後に、設定された数のストップビットが続きます。ローレベルビットの数が 10/11 個を超える長いブレークを送信することはできません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

参考資料

図 245. 設定可能なストップビット

手順：

1. USART_CR1 レジスタの UE ビットに 1 を書き込むことによって、USART を有効にします。
2. USART_CR1 レジスタの M ビットをプログラミングして、ワード長を定義します。
3. USART_CR2 レジスタでストップビットの数をプログラミングします。
4. マルチバッファ通信を行う場合は、USART_CR3 レジスタの DMA イネーブル（DMAT）を選択します。マルチバッファ通信の説明に基づいて、DMA レジスタを設定します。
5. USART_BRR レジスタを使用して、希望するボーレートを選択します。
6. USART_CR1 の TE ビットをセットして、最初の送信としてアイドルフレームを送信します。
7. 送信するデータを USART_DR レジスタに書き込みます（これによって TXE ビットがクリアされます）。シングルバッファの場合、送信するデータごとにこれを繰り返します。
8. USART_DR レジスタに最後のデータを書き込んだ後、TC=1 になるまで待ちます。これは、最後のフレームの送信が完了したことを示します。これは、たとえば、最後の送信内容を破棄せずに、USART を無効にしたり停止モードに入れたりする場合に必要な操作です。

1 バイト通信

TXE ビットのクリアは、常にデータレジスタへの書き込みによって行われます。

TXE ビットは、ハードウェアによってセットされ、次のことを示します。

- データが TDR からシフトレジスタに移動され、データ送信が開始されました。
- TDR レジスタは空です。
- 次のデータは、前のデータを上書きすることなく、USART_DR レジスタに書き込みできます。

TXEIE ビットがセットされている場合、このフラグは割り込みを生成します。

送信が行われている場合、データは、USART_DR レジスタへの書き込み命令によって TDR レジスタに格納され、さらに、現在の送信の最後にシフトレジスタにコピーされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

送信が行われていない場合、データは、USART_DR レジスタへの書き込み命令によってシフトレジスタに直接格納され、データ送信が開始され、TXE ビットがただちにセットされます。

フレームが送信され（ストップビットの後）、TXE ビットがセットされた場合、TC ビットはハイレベルになります。USART_CR1 レジスタの TCIE ビットがセットされている場合、割り込みが生成されます。

USART_DR レジスタに最後のデータを書き込んだ後、USART を無効にしたり、マイクロコントローラを低電力モードにするには、その前に TC=1 になるまで待つ必要があります（*図 246：送信時の TC/TXE 動作*を参照）。

TC ビットは、次のソフトウェアシーケンスによってクリアされます。

1. USART_SR レジスタからの読み出し
2. USART_DR レジスタへの書き込み

注： ***TC ビットは、“0”を書き込むことによってもクリアされます。このクリアシーケンスは、マルチバッファ通信の場合にのみ推奨されます。***

図 246. 送信時の TC/TXE 動作

ブレークキャラクタ

SBK ビットをセットすると、ブレークキャラクタが送信されます。ブレークフレーム長は、M ビットに依存します（*図 244* を参照）。

SBK ビットが“1”にセットされると、現在のキャラクタ送信が完了してから、TX ラインにブレークキャラクタが送信されます。このビットは、ブレークキャラクタが完了したとき（ブレークキャラクタのストップビット）、ハードウェアによってリセットされます。次のフレームのスタートビットが正しく認識されるように、USART は、最後のブレークフレームの終わりに論理 1 ビットを挿入します。

注： ***ソフトウェアがブレーク送信の開始より前に SBK ビットをリセットした場合、ブレークキャラクタは送信されません。2 つの連続したブレークの場合、前のブレークのストップビットの後で SBK ビットをセットしてください。***

アイドルキャラクタ

TE ビットをセットすると、USART は、最初のデータフレームの前にアイドルフレームを送信します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

23.3.3 レシーバ

USART は、USART_CR1 レジスタの M ビットに応じて、8 ビットまたは 9 ビットのデータワードを受信します。

スタートビットの検出

スタートビットの検出シーケンスは、16 倍のオーバーサンプリングでも 8 倍のオーバーサンプリングでも同じです。

USART では、特定のサンプルシーケンスが認識されると、スタートビットが検出されます。このシーケンスは、1 1 1 0 X 0 X 0 X 0 0 0 0 です。

図 247. 16 倍または 8 倍でオーバーサンプリングするときのスタートビットの検出

注： *シーケンスが完了していない場合、スタートビットの検出は中止され、レシーバはアイドル状態に戻って（フラグはセットされません）、立ち下がりエッジを待ちます。*

サンプリングされた 3 つのビットが 0 の場合（第 3、第 5、および第 7 ビットでの最初のサンプリングで 3 つのビットが 0 であり、第 8、第 9、および第 10 ビットでの 2 回目のサンプリングでも 3 つのビットが 0）、スタートビットが確認されます（RXNE フラグがセットされ、RXNEIE=1 の場合は割り込みが生成されます）。

スタートビットは確認されますが（RXNE フラグがセットされ、RXNEIE=1 の場合は割り込みが生成されます）、両方のサンプリングで、サンプリングされた 3 つのビットのうち、少なくとも 2 つが 0 の場合（第 3、第 5、および第 7 ビットでのサンプリングと、第 8、第 9、および第 10 ビットでのサンプリング）、NE ノイズフラグがセットされます。この条件が満たされない場合、スタートビットの検出は中止され、レシーバはアイドル状態に戻ります（フラグはセットされません）。

いずれか一方のサンプリングで（第 3、第 5、および第 7 ビットでのサンプリングまたは第 8、第 9、および第 10 ビットでのサンプリング）、3 つのビットのうち 2 つが 0 の場合、スタートビットは確認されますが、NE ノイズフラグビットがセットされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

キャラクタの受信

USART の受信時には、データは RX ピンを通じて LSB ファーストでシフトインされます。このモードでは、USART_DR レジスタは、内部バスと受信シフトレジスタの間のバッファ（RDR）で構成されます。

手順：

1. USART_CR1 レジスタの UE ビットに 1 を書き込むことによって、USART を有効にします。
2. USART_CR1 レジスタの M ビットをプログラミングして、ワード長を定義します。
3. USART_CR2 レジスタでストップビットの数をプログラミングします。
4. マルチバッファ通信を行う場合には、USART_CR3 レジスタの DMA イネーブル（DMAR）を選択します。マルチバッファ通信の説明に基づいて、DMA レジスタを設定します。STEP 3
5. ボーレートレジスタ USART_BRR を使用して、希望するボーレートを選択します。
6. USART_CR1 レジスタの RE ビットをセットします。これによってレシーバが有効になり、スタートビットの検索を開始します。

キャラクタが受信されると、

- RXNE ビットがセットされます。これは、シフトレジスタの内容が RDR レジスタに転送されたことを示します。言い換えると、データは受信され、読み出し可能です（関連するエラーフラグも同様です）。
- RXNEIE ビットがセットされている場合、割り込みが生成されます。
- 受信時にフレームエラー、ノイズ、またはオーバーランエラーが検出された場合、エラーフラグをセットできます。
- マルチバッファでは、RXNE ビットは、バイトが受信されるたびにセットされ、データレジスタへの DMA 読み出しによってクリアされます。
- シングルバッファモードでは、RXNE ビットのクリアは、USART_DR レジスタへのソフトウェア読み出しによって行われます。RXNE フラグは、0 を書き込むことによってもクリアできます。オーバーランエラーを避けるには、次のキャラクタの受信が終了する前に、RXNE ビットをクリアする必要があります。

注： ***データの受信中には、RE ビットをリセットしないでください。受信中に RE ビットが無効にされた場合、現在のバイトの受信は中止されます。***

ブレークキャラクタ

ブレークキャラクタが受信されると、USART はこれをフレーミングエラーとして処理します。

アイドルキャラクタ

アイドルフレームが検出された場合、データ受信キャラクタと同じ手順があり、IDLEIE ビットがセットされている場合は割り込みが生成されます。

オーバーランエラー

RXNE ビットがリセットされていないときにキャラクタが受信されると、オーバーランエラーが発生します。RXNE ビットがクリアされない限り、データをシフトレジスタから RDR レジスタに転送することはできません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

RXNE フラグは、バイトが受信されるたびにセットされます。次のデータが受信されたときに RXNE フラグがセットされていた場合、または前回の DMA リクエストがまだ処理されていない場合、オーバーランエラーが発生します。オーバーランエラーが発生すると、

- ORE ビットがセットされます。
- RDR の内容は失われません。USART_DR への読み出しが行われると、前回のデータが読み出されます。
- シフトレジスタは上書きされます。その後、オーバーラン中に受信されたデータは失われます。
- RXNEIE ビットがセットされた場合、または EIE ビットと DMAR ビットの両方がセットされた場合は、割り込みが生成されます。
- ORE ビットは、USART_SR レジスタの読み出しと、それに続く USART_DR レジスタの読み出し動作によってリセットされます。

注： ***ORE ビットがセットされた場合、少なくとも 1 個のデータが失われています。この場合、次の 2 つの可能性があります。***

- *RXNE=1 の場合、有効な最後のデータは、受信レジスタ RDR に格納され、読み出しが可能です。*
- *RXNE=0 の場合、有効な最後のデータはすでに読み出されているため、RDR レジスタには読み出すべきデータがありません。このケースは、有効な最後のデータの RDR への読み込みと、新しい（そして失われた）データの受信が同時に行われた場合に発生します。また、読み出しシーケンス中(USART_SR レジスタと USART_DR レジスタの読み出しアクセスの間)に新しいデータが受信された場合にも発生します。*

適切なオーバーサンプリング方式の選択

レシーバは、有効な受信データとノイズを区別することによって、データ復旧用にユーザ設定可能なさまざまなオーバーサンプリング技術を実装しています（同期モードの場合を除く）。

オーバーサンプリング方式は、USART_CR1 レジスタの OVER8 ビットをプログラミングすることによって選択でき、ボーレートクロックの 16 倍または 8 倍とすることができます（*図 248* および *図 249*）。

アプリケーションに応じて、

- 高い速度（最大 $f_{PCLK}/8$）を達成するには 8 倍（OVER8=1）のオーバーサンプリングを選択します。この場合、クロック偏差に対するレシーバの最大許容誤差が減少します（*セクション 23.3.5：クロック偏差に対する USART レシーバの許容誤差（589 ページ）*を参照）。
- クロック偏差に対するレシーバの許容誤差を増やすには 16 倍（OVER8=0）のオーバーサンプリングを選択します。この場合、最大速度は $f_{PCLK}/16$ に制限されます。

論理レベルの評価方法を選択するには、USART_CR3 レジスタの ONEBIT ビットをプログラミングします。これには 2 つのオプションがあります。

- 受信されたビットの中央にある 3 つのサンプルの多数決。この場合、多数決に使用された 3 つのサンプルが等しくないとき、NF ビットがセットされます。
- 受信されたビットの中央にある 1 つのサンプル。

  アプリケーションに応じて、

  – ノイズの多い環境で操作するときは 3 つのサンプルの多数決方式（ONEBITE=0）を選択します。そしてノイズが検出された場合（*図 121* を参照）は、サンプリング中にグリッチが発生しているので、そのデータを除去します。

  – ラインがノイズフリーであるときは 1 つのサンプルによる方式（ONEBITE=1）を選択し、クロック偏差に対するレシーバの許容誤差を増やします（*セクション 23.3.5：クロック偏差に対する USART レシーバの許容誤差（589 ページ）*を参照）。この場合、NF ビットはセットされません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

フレーム内でノイズが検出された場合：

- RXNE ビットの立ち上がりエッジで、NF ビットがセットされます。
- 無効なデータがシフトレジスタから USART_DR レジスタへ転送されます。
- 1 バイト通信の場合、割り込みは生成されません。ただし、このビットは、割り込みを生成する RXNE ビットと同時に立ち上がります。マルチバッファ通信の場合、USART_CR3 レジスタの EIE ビットがセットされている場合、割り込みが発行されます。

NF ビットは、USART_SR レジスタの読み出し動作と、それに続く USART_DR レジスタの読み出し動作によってリセットされます。

注： ***8 倍のオーバーサンプリングは、スマートカード、IrDA、および LIN の各モードでは使用できません。これらのモードでは、OVER8 ビットはハードウェアによって“0”に固定されています。***

図 248. データサンプリング（16 倍のオーバーサンプリング）

図 249. データサンプリング（8 倍のオーバーサンプリング）

表 121. サンプリングされたデータからのノイズ検出

サンプリングされた値	NE ステータス	受信ビットの値
000	0	0
001	1	0
010	1	0
011	1	1
100	1	0
101	1	1
110	1	1
111	0	1

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

フレーミングエラー

フレーミングエラーは、次の場合に検出されます。

非同期化または過度なノイズのため、受信時に予想されたタイミングでストップビットが認識されない場合。

フレーミングエラーが検出された場合：

- ハードウェアによって FE ビットがセットされます。
- 無効なデータがシフトレジスタから USART_DR レジスタへ転送されます。
- 1 バイト通信の場合、割り込みは生成されません。ただし、このビットは、割り込みを生成する RXNE ビットと同時に立ち上がります。マルチバッファ通信の場合、USART_CR3 レジスタの EIE ビットがセットされている場合、割り込みが発行されます。

FE ビットは、USART_SR レジスタの読み出し動作と、それに続く USART_DR レジスタの読み出し動作によってリセットされます。

受信時の設定可能なストップビット

受信するストップビット数は、制御レジスタ 2 の制御ビットを通じて設定でき、通常モードでは 1 または 2、スマートカードモードでは 0.5 または 1.5 にできます。

1. ***0.5 ストップビット（スマートカードモードでの受信）***：0.5 ストップビットでは、サンプリングは行われません。したがって、0.5 ストップビットが選択されている場合、フレーミングエラーやブレークフレームの検出は行われません。
2. ***1 ストップビット***：1 ストップビットのサンプリングは、8 番目、9 番目、および 10 番目のサンプルで行われます。
3. ***1.5 ストップビット（スマートカードモード）***：スマートカードモードでの送信時には、デバイスは、データが正しく送信されたことをチェックする必要があります。したがって、レシーバブロックを有効にし（USART_CR1 レジスタの RE=1）、ストップビットをチェックして、スマートカードがパリティエラーを検出したかどうかをテストする必要があります。パリティエラーが発生した場合、スマートカードはサンプリング時のデータ信号を強制的にローレベルにします（これは、フレーミングエラーとして示される NACK 信号です）。その後、1.5 ストップビットの最後に、RXNE ビットとともに FE フラグがセットされます。1.5 ストップビットのサンプリングは、16 番目、17 番目、および 18 番目のサンプルで（ストップビットの開始から 1 ボークロック周期後に）行われます。1.5 ストップビットは、2 つの部分に分けられます。すなわち、何も起こらない 0.5 ボークロック周期と、途中でサンプリングが行われる通常の 1 ストップビット周期です。詳細については、*セクション 23.3.11：スマートカード（598 ページ）*を参照してください。
4. ***2 ストップビット***：2 ストップビットのサンプリングは、最初のストップビットの 8 番目、9 番目、および 10 番目のサンプルで行われます。最初のストップビットでフレーミングエラーが検出された場合、フレーミングエラーフラグがセットされます。2 番目のストップビットでは、フレーミングエラーの検査は行われません。RXNE フラグは、最初のストップビットの最後でセットされます。

23.3.4 ボーレート生成

レシーバとトランスミッタ（Rx と Tx）のボーレートには、USARTDIV の整数部と小数部にプログラミングされたものと同じ値が設定されます。

式 1：標準 USART のボーレート（SPI モードを含む）

$$\text{Tx/Rx ボー} = \frac{f_{CK}}{8 \times (2 - \text{OVER8}) \times \text{USARTDIV}}$$

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

式 2：スマートカード、LIN、および IrDA モードのボーレート

$$\text{Tx/Rx ボー} = \frac{f_{CK}}{16 \times \text{USARTDIV}}$$

USARTDIV は、符号なしの固定小数点数であり、USBART_BRR レジスタにコード化されます。

- OVER8=0 のとき、小数部は 4 ビットにコード化され、USART_BRR レジスタの DIV_fraction[3:0] ビットによってプログラミングされます。
- OVER8=1 のとき、小数部は 3 ビットにコード化され、USART_BRR レジスタの DIV_fraction[2:0] ビットによってプログラミングされます。ビット DIV_fraction[3] はクリアされた状態に保つ必要があります。

注： ***ボーカウンタは、USART_BRR への書き込み後、ボーレジスタの新しい値によって更新されます。したがって、通信中には、ボーレートレジスタの値を変更しないでください。***

OVER8=0 のとき、USART_BRR レジスタの値から USARTDIV を得る方法

例 1：

DIV_Mantissa = 0d27 かつ DIV_Fraction = 0d12（USART_BRR = 0x1BC）の場合、

整数部 (USARTDIV) = 0d27

小数部 (USARTDIV) = 12/16 = 0d0.75

したがって、USARTDIV = 0d27.75

例 2：

USARTDIV = 0d25.62 をプログラミングするには

次のようにします。

DIV_Fraction = 16*0d0.62 = 0d9.92

最も近い実数は 0d10 = 0xA

DIV_Mantissa = 整数部 (0d25.620) = 0d25 = 0x19

USART_BRR = 0x19A であるため、USARTDIV = 0d25.625

例 3：

USARTDIV = 0d50.99 をプログラミングするには

次のようにします。

DIV_Fraction = 16*0d0.99 = 0d15.84

最も近い実数は 0d16 = 0x10 => DIV_frac[3:0] のオーバーフロー => キャリーを整数部に加算する必要があります。

DIV_Mantissa = 整数部 (0d50.990 + キャリー) = 0d51 = 0x33

USART_BRR = 0x330 であるため、USARTDIV = 0d51.000

OVER8=1 のとき、USART_BRR レジスタの値から USARTDIV を得る方法

例 1：

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

DIV_Mantissa = 0x27 かつ DIV_Fraction[2:0]= 0d6 (USART_BRR = 0x1B6) の場合、

整数部 (USARTDIV) = 0d27

小数部 (USARTDIV) = 6/8 = 0d0.75

したがって、USARTDIV = 0d27.75

例 2 :

USARTDIV = 0d25.62 をプログラミングするには

次のようにします。

DIV_Fraction = 8*0d0.62 = 0d4.96

最も近い実数は 0d5 = 0x5

DIV_Mantissa = 整数部 (0d25.620) = 0d25 = 0x19

これによって、USART_BRR = 0x195 => USARTDIV = 0d25.625

例 3 :

USARTDIV = 0d50.99 をプログラミングするには

次のようにします。

DIV_Fraction = 8*0d0.99 = 0d7.92

最も近い実数は 0d8 = 0x8 => DIV_frac[2:0] のオーバーフロー => キャリーを整数部に加算する必要があります。

DIV_Mantissa = 整数部 (0d50.990 + キャリー) = 0d51 = 0x33

これによって、USART_BRR = 0x0330 => USARTDIV = 0d51.000

表 122. プログラミングされたボーレートの誤差計算（f_{PCLK} = 8 MHz または f_{PCLK} = 12 MHz）、16 倍のオーバーサンプリング(1)

16 倍のオーバーサンプリング（OVER8=0）							
ボーレート		f_{PCLK} = 8 MHz			f_{PCLK} = 12 MHz		
S.No	目標	実際	ボーレートレジスタにプログラミングされた値	誤差（%）= (計算値 - 目標値) B レート / 目標の B レート	実際	ボーレートレジスタにプログラミングされた値	誤差（%）
1	1.2 kbps	1.2 kbps	416.6875	0	1.2 kbps	625	0
2	2.4 kbps	2.4 kbps	208.3125	0.01	2.4 kbps	312.5	0
3	9.6 kbps	9.604 kbps	52.0625	0.04	9.6 kbps	78.125	0
4	19.2 kbps	19.185 kbps	26.0625	0.08	19.2 kbps	39.0625	0
5	38.4 kbps	38.462 kbps	13	0.16	38.339 kbps	19.5625	0.16
6	57.6 kbps	57.554 kbps	8.6875	0.08	57.692 kbps	13	0.16
7	115.2 kbps	115.942 kbps	4.3125	0.64	115.385 kbps	6.5	0.16
8	230.4 kbps	228.571 kbps	2.1875	0.79	230.769 kbps	3.25	0.16
9	460.8 kbps	470.588 kbps	1.0625	2.12	461.538 kbps	1.625	0.16

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 122. プログラミングされたボーレートの誤差計算（f_{PCLK} = 8 MHz または f_{PCLK} = 12 MHz）、16 倍のオーバーサンプリング(1)（続き）

16 倍のオーバーサンプリング（OVER8=0）							
ボーレート		f_{PCLK} = 8 MHz			f_{PCLK} = 12 MHz		
S.No	目標	実際	ボーレートレジスタにプログラミングされた値	誤差（%）= (計算値 - 目標値) B レート / 目標の B レート	実際	ボーレートレジスタにプログラミングされた値	誤差（%）
10	921.6 kbps	NA	NA	NA	NA	NA	NA
11	2 Mbps	NA	NA	NA	NA	NA	NA
12	3 Mbps	NA	NA	NA	NA	NA	NA

1. CPU クロック周波数が低いほど、ボーレートの精度も低下します。ボーレートの達成可能な上限は、これらのデータによって決定できます。

表 123. プログラミングされたボーレートの誤差計算（f_{PCLK} = 8 MHz または f_{PCLK} = 12 MHz）、8 倍のオーバーサンプリング(1)

8 倍のオーバーサンプリング（OVER8=1）							
ボーレート		f_{PCLK} = 8 MHz			f_{PCLK} = 12 MHz		
S.No	目標	実際	ボーレートレジスタにプログラミングされた値	誤差（%）= (計算値 - 目標値) B レート / 目標の B レート	実際	ボーレートレジスタにプログラミングされた値	誤差（%）
1	1.2 kbps	1.2 kbps	833.375	0	1.2 kbps	1250	0
2	2.4 kbps	2.4 kbps	416.625	0.01	2.4 kbps	625	0
3	9.6 kbps	9.604 kbps	104.125	0.04	9.6 kbps	156.25	0
4	19.2 kbps	19.185 kbps	52.125	0.08	19.2 kbps	78.125	0
5	38.4 kbps	38.462 kbps	26	0.16	38.339 kbps	39.125	0.16
6	57.6 kbps	57.554 kbps	17.375	0.08	57.692 kbps	26	0.16
7	115.2 kbps	115.942 kbps	8.625	0.64	115.385 kbps	13	0.16
8	230.4 kbps	228.571 kbps	4.375	0.79	230.769 kbps	6.5	0.16
9	460.8 kbps	470.588 kbps	2.125	2.12	461.538 kbps	3.25	0.16
10	921.6 kbps	888.889 kbps	1.125	3.55	923.077 kbps	1.625	0.16
11	2 Mbps	NA	NA	NA	NA	NA	NA
12	3 Mbps	NA	NA	NA	NA	NA	NA

1. CPU クロック周波数が低いほど、ボーレートの精度も低下します。ボーレートの達成可能な上限は、これらのデータによって決定できます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 124. プログラミングされたボーレートの誤差計算（f_{PCLK} = 16 MHz または f_{PCLK} = 24 MHz）、16 倍のオーバーサンプリング(1)

16 倍のオーバーサンプリング（OVER8=0）							
ボーレート		f_{PCLK} = 16 MHz			f_{PCLK} = 24 MHz		
S.No	目標	実際	ボーレートレジスタにプログラミングされた値	誤差（%）= (計算値 - 目標値) B レート / 目標の B レート	実際	ボーレートレジスタにプログラミングされた値	誤差（%）
1	1.2 kbps	1.2 kbps	833.3125	0	1.2 kbps	1250	0
2	2.4 kbps	2.4 kbps	416.6875	0	2.4 kbps	625	0
3	9.6 kbps	9.598 kbps	104.1875	0.02	9.6 kbps	156.25	0
4	19.2 kbps	19.208 kbps	52.0625	0.04	19.2 kbps	78.125	0
5	38.4 kbps	38.369 kbps	26.0625	0.08	38.4 kbps	39.0625	0
6	57.6 kbps	57.554 kbps	17.375	0.08	57.554 kbps	26.0625	0.08
7	115.2 kbps	115.108 kbps	8.6875	0.08	115.385 kbps	13	0.16
8	230.4 kbps	231.884 kbps	4.3125	0.64	230.769 kbps	6.5	0.16
9	460.8 kbps	457.143 kbps	2.1875	0.79	461.538 kbps	3.25	0.16
10	921.6 kbps	941.176 kbps	1.0625	2.12	923.077 kbps	1.625	0.16
11	2 Mbps	NA	NA	NA	NA	NA	NA
12	3 Mbps	NA	NA	NA	NA	NA	NA

1. CPU クロック周波数が低いほど、ボーレートの精度も低下します。ボーレートの達成可能な上限は、これらのデータによって決定できます。

表 125. プログラミングされたボーレートの誤差計算（f_{PCLK} = 16 MHz または f_{PCLK} = 24 MHz）、8 倍のオーバーサンプリング(1)

8 倍のオーバーサンプリング（OVER8=1）							
ボーレート		f_{PCLK} = 16 MHz			f_{PCLK} = 24 MHz		
S.No	目標	実際	ボーレートレジスタにプログラミングされた値	誤差（%）= (計算値 - 目標値) B レート / 目標の B レート	実際	ボーレートレジスタにプログラミングされた値	誤差（%）
1	1.2 kbps	1.2 kbps	1666.625	0	1.2 kbps	2500	0
2	2.4 kbps	2.4 kbps	833.375	0	2.4 kbps	1250	0
3	9.6 kbps	9.598 kbps	208.375	0.02	9.6 kbps	312.5	0
4	19.2 kbps	19.208 kbps	104.125	0.04	19.2 kbps	156.25	0
5	38.4 kbps	38.369 kbps	52.125	0.08	38.4 kbps	78.125	0
6	57.6 kbps	57.554 kbps	34.75	0.08	57.554 kbps	52.125	0.08
7	115.2 kbps	115.108 kbps	17.375	0.08	115.385 kbps	26	0.16
8	230.4 kbps	231.884 kbps	8.625	0.64	230.769 kbps	13	0.16
9	460.8 kbps	457.143 kbps	4.375	0.79	461.538 kbps	6.5	0.16
10	921.6 kbps	941.176 kbps	2.125	2.12	923.077 kbps	3.25	0.16

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 125. プログラミングされたボーレートの誤差計算（f_{PCLK} = 16 MHz または f_{PCLK} = 24 MHz）、8 倍のオーバーサンプリング(1) （続き）

8 倍のオーバーサンプリング（OVER8=1）							
ボーレート		f_{PCLK} = 16 MHz			f_{PCLK} = 24 MHz		
S.No	目標	実際	ボーレートレジスタにプログラミングされた値	誤差（%）= (計算値 - 目標値) B レート / 目標の B レート	実際	ボーレートレジスタにプログラミングされた値	誤差（%）
11	2 Mbps	2000 kbps	1	0	2000 kbps	1.5	0
12	3 Mbps	NA	NA	NA	3000 kbps	1	0

1. CPU クロック周波数が低いほど、ボーレートの精度も低下します。ボーレートの達成可能な上限は、これらのデータによって決定できます。

23.3.5 クロック偏差に対する USART レシーバの許容誤差

USART の非同期レシーバが正しく機能するのは、クロックシステムの合計偏差が USART レシーバの許容誤差を下回る場合に限ります。合計偏差につながる原因は、以下のとおりです。

- DTRA：トランスミッタの誤差に起因する偏差（トランスミッタのローカルオシレータの偏差も含みます）
- DQUANT：レシーバのボーレート量子化に起因する誤差
- DREC：レシーバのローカルオシレータの偏差
- DTCL：送信ラインに起因する偏差（一般には、ローからハイへの遷移タイミングとハイからローへの遷移タイミングの間に非対称性をもたらすトランシーバに起因）

DTRA + DQUANT + DREC + DTCL < USART レシーバの許容誤差

データを正しく受信するための USART レシーバの許容誤差は、許容される最大偏差と等しく、以下の選択に依存します。

- USART_CR1 レジスタの M ビットによって定義される 10/11 ビットのキャラクタ長
- USART_CR1 レジスタの OVER8 ビットによって定義される、8 倍または 16 倍のオーバーサンプリング
- フラクショナルボーレートを使用するかどうか
- データのサンプリングに 1 ビットを使用するか 3 ビットを使用するか（USART_CR3 レジスタの ONEBITE ビットの値に依存）

表 126. USART レシーバの許容誤差（DIV_Fraction が 0 の場合）

M ビット	OVER8 ビット = 0		OVER8 ビット = 1	
	ONEBITE=0	ONEBITE=1	ONEBITE=0	ONEBITE=1
0	3.75%	4.375%	2.50%	3.75%
1	3.41%	3.97%	2.27%	3.41%

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 127. USART レシーバの許容誤差（DIV_Fraction が 0 でない場合）

M ビット	OVER8 ビット = 0		OVER8 ビット = 1	
	ONEBITE=0	ONEBITE=1	ONEBITE=0	ONEBITE=1
0	3.33%	3.88%	2%	3%
1	3.03%	3.53%	1.82%	2.73%

注： *表 126 と表 127 に示されている数値は、受信したフレームが正確に 10 ビット時間（M=0 の場合）または 11 ビット時間(M=1 の場合)のアイドルフレームを含んでいる場合、若干異なることがあります。*

23.3.6 マルチプロセッサ通信

複数の USART をネットワークに接続することによって、マルチプロセッサ通信を行うことができます。たとえば、1 つの USART をマスタとして、その TX 出力を別の USART の RX 入力に接続することができます。別の USART はスレーブであり、それぞれの TX 出力の論理積をとった上でマスタの RX 入力に接続します。

マルチプロセッサ設定では、メッセージの本来の受信者のみがメッセージ内容の全体を能動的に受信することが望ましい場合が多く、これによって対象外のレシーバに対する USART のオーバーヘッドを減らすことができます。

対象外のデバイスは、ミュート機能によってミュートモードに置かれます。ミュートモードでは、

- 受信ステータスビットはセットできません。
- すべての受信割り込みは禁止されます。
- USART_CR1 レジスタの RWU ビットが 1 にセットされます。RWU ビットは、ハードウェアによって自動的に制御されますが、特定の条件下ではソフトウェアによる書き込みが可能です。

USART は、USART_CR1 レジスタの WAKE ビットの設定に応じて、次のいずれかの方法でミュートモードの出入りを制御できます。

- WAKE ビットがリセットされている場合は、アイドルライン検出
- WAKE ビットがセットされている場合は、アドレスマーク検出

アイドルライン検出（WAKE=0）

RWU ビットに 1 が書き込まれると、USART はミュートモードに入ります。

USART は、アイドルフレームの検出によってウェイクアップします。その後、RWU ビットはハードウェアによってクリアされますが、USART_SR レジスタの IDLE ビットはセットされません。RWU ビットには、ソフトウェアによって 0 を書き込むこともできます。

図 250 に、アイドルライン検出を使用したミュートモード動作の例を示します。

図 250. アイドルライン検出を使用したミュートモード

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

アドレスマーク検出（WAKE=1）

このモードでは、MSB が“1”のバイトはアドレスとして、そうでないバイトはデータとして、それぞれ認識されます。アドレスバイトでは、ターゲットレシーバのアドレスは下位 4 ビットに置かれます。レシーバは、この 4 ビットワードを、USART_CR2 レジスタの ADD ビットにプログラミングされている自分のアドレスと比較します。

プログラミングされたアドレスと一致しないアドレスキャラクタが受信されると、USART はミュートモードに入ります。この場合、RWU ビットはハードウェアによってセットされます。USART はミュートモードに入っているので、このアドレスバイトに対して RXNE フラグはセットされず、割り込みも DMA リクエストも発行されません。

プログラミングされたアドレスと一致するアドレスキャラクタが受信されると、USART はミュートモードから抜けます。続いて RWU ビットがクリアされ、それ以降のバイトは通常どおりに受信されます。RWU ビットはクリアされているので、アドレスキャラクタに対して RXNE ビットがセットされます。

レシーババッファにデータが存在しない場合（USART_SR レジスタの RXNE=0）、RWU ビットに 0 または 1 を書き込むことができます。そうでない場合、書き込みは無視されます。

図 251 に、アドレスマーク検出を使用したミュートモード動作の例を示します。

図 251. アドレスマーク検出を使用したミュートモード

23.3.7 パリティ制御

パリティ制御（送信中のパリティビット生成と受信中のパリティ検査）を有効にするには、USART_CR1 レジスタの PCE ビットをセットします。M ビットによって定義されるフレーム長に応じて、予想される USART フレームフォーマットを*表 128* に示します。

表 128. フレームフォーマット

M ビット	PCE ビット	USART フレーム(1)
0	0	| SB | 8 ビットデータ | STB |
0	1	| SB | 7 ビットデータ | PB | STB |
1	0	| SB | 9 ビットデータ | STB |
1	1	| SB | 8 ビットデータ | PB | STB |

1. 凡例：SB：スタートビット、STB：ストップビット、PB：パリティビット

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

偶数パリティ

下位 7 ビットまたは 8 ビット（M=0 または M=1 に応じて）とパリティビットから構成されるフレーム内で、“1”のビットが偶数になるように、パリティビットが計算されます。

例：データ = 00110101、4 ビットがセット => 偶数パリティが選択された場合（USART_CR1 の PS=0）、パリティビットは 0 になります。

奇数パリティ

下位 7 ビットまたは 8 ビット（M=0 または M=1 に応じて）とパリティビットから構成されるフレーム内で、“1”のビットが奇数になるように、パリティビットが計算されます。

例：データ = 00110101、4 ビットがセット => 奇数パリティが選択された場合（USART_CR1 の PS=1）、パリティビットは 1 になります。

受信中のパリティチェック

パリティ検査に失敗した場合、USART_SR レジスタの PE フラグがセットされ、USART_CR1 レジスタの PEIE ビットがセットされている場合は割り込みが生成されます。PE フラグは、ソフトウェアシーケンス（ステータスレジスタの読み出しに続く USART_DR データレジスタへの読み出しまたは書き込みアクセス）によってクリアされます。

注： ***アドレスマークによるウェイクアップの場合、アドレスを識別するために、データの最上位ビットが考慮に入れられます（パリティビットではありません）。そしてレシーバは、アドレスデータのパリティをチェックしません（パリティエラーの場合、PE はセットされません）。***

送信中のパリティ生成

USART_CR1 の PCE ビットがセットされている場合、データレジスタに書き込まれたデータの MSB ビットは送信されますが、パリティビットによって変更されます（偶数パリティが選択された場合（PS=0）は偶数個の“1”、奇数パリティが選択された場合（PS=1）は奇数個の“1”）。

注： ***送信を管理するソフトウェアルーチンは、PE フラグをクリアするソフトウェアシーケンス（ステータスレジスタの読み出しに続くデータレジスタへの読み出しまたは書き込みアクセス）を起動できます。半二重モードで動作するとき、ソフトウェアに依存しますが、これによって PE フラグが不意にクリアされることがあります。***

23.3.8 LIN（local interconnection network）モード

LIN モードを選択するには、USART_CR2 レジスタの LINEN ビットをセットします。LIN モードでは、次のビットはクリアされた状態に保つ必要があります。

- USART_CR2 レジスタの CLKEN ビット
- USART_CR3 レジスタの STOP[1:0]、SCEN、HDSEL、および IREN ビット

LIN 送信

LIN マスタの送信では、通常の USART 送信の手順ではなく、*セクション 23.3.2* で説明したものと同じ手順を適用する必要がありますが、次の点が異なります。

- 8 ビットのワード長を設定するには M ビットをクリアします。
- LIN モードに入るには LINEN ビットをセットします。この場合、SBK ビットをセットすると、13 個の“0”ビットがブレークキャラクタとして送信されます。その後、値“1”のビットが送信され、次の START 検出が可能になります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

LIN 受信

LIN モードが有効になると、ブレーク検出回路が起動します。この検出は、通常の USART レシーバとは完全に独立しています。アイドル状態時やフレームの処理中には、ブレークは発生のたびに検出できます。

レシーバが有効になると（USART_CR1 レジスタの RE=1）、RX 入力の START 信号を探します。スタートビットの検出方法は、ブレークキャラクタの検索でもデータの検索でも同じです。スタートビットが検出された後、データの場合とまったく同様に次のビットがサンプリングされます（8、9、および 10 番目のサンプル）。10 個（USART_CR2 レジスタの LBDL=0）または 11 個（USART_CR2 レジスタの LBDL=1）の連続した“0”ビットが検出され、その後にデリミタキャラクタが続く場合、USART_SR レジスタの LBD フラグがセットされます。LBDIE ビットが 1 の場合、割り込みが生成されます。ブレークを確認する前に、RX ラインがハイレベルに戻ったことを知らせるデリミタが検査されます。

この 10/11 個が発生する前に“1”がサンプリングされた場合、ブレーク検出回路は現在の検出をキャンセルし、再びスタートビットを検索します。

LIN モードが無効にされた場合（LINEN=0）、レシーバは、ブレーク検出を考慮することなく、通常の USART として機能し続けます。

LIN モードが有効にされた場合（LINEN=1）、フレーミングエラーが発生（つまり、ブレークフレームの場合と同様に、“0”の位置でストップビットを検出）すると、レシーバはすぐに停止し、ブレーク検出回路が“1”（ブレークワードが完全でなかった場合）またはデリミタキャラクタ（ブレークが検出された場合）を受信するまで停止状態を維持します。

ブレーク検出回路ステートマシンの動作とブレークフラグを*図 252:LIN モードでのブレーク検出（11 ビットブレーク長、LBDL=1）（594 ページ）*に示します。

ブレークフレームの例を*図 253 : LIN モードでのブレーク検出とフレーミングエラー検出（595 ページ）*に示します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 252. LIN モードでのブレーク検出（11 ビットブレーク長、LBDL=1）

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 253. LIN モードでのブレーク検出とフレーミングエラー検出

23.3.9 USART 同期モード

同期モードを選択するには、USART_CR2 レジスタの CLKEN ビットに 1 を書き込みます。同期モードでは、次のビットはクリアされた状態に保つ必要があります。

- USART_CR2 レジスタの LINEN ビット
- USART_CR3 レジスタの SCEN、HDSEL、および IREN ビット

USART では、マスタモードで両方向の同期シリアル通信を制御できます。SCLK ピンは USART トランスミッタクロックの出力です。スタートビットとストップビットの処理中には、SCLK ピンにクロックパルスは送信されません。USART_CR2 レジスタの LBCL ビットの状態によっては、有効な最後のデータビット（アドレスマーク）の処理中にクロックパルスが生成されることもあります。USART_CR2 レジスタの CPOL ビットによってクロック極性を選択でき、同じレジスタの CPHA ビットによって外部クロックの位相を選択できます（*図 254*、*図 255*、および*図 256* を参照）。

アイドル時、プリアンブル処理時、およびブレーク送信時には、外部 SCLK クロックは起動されません。

同期モードでは、USART トランスミッタは非同期モードの場合とまったく同じように機能します。しかし、CPOL と CPHA に基づいて SCLK が TX と同期すると、TX 上のデータが同期します。

このモードでは、USART レシーバは非同期モードの場合とは異なる動作をします。RE=1 の場合、データは、オーバーサンプリングなしで、SCLK（CPOL と CPHA に応じて立ち上がりまたは立ち下がりエッジ）でサンプリングされます。このとき、ボーレート（1/16 ビット時間）に応じたセットアップ時間とホールド時間を守る必要があります。

注： 1 ***SCLK ピンは TX ピンとともに機能します。したがって、クロックが供給されるのは、トランスミッタが有効であり（TE=1）、データが送信中（データレジスタ USART_DR への書き込み）の場合に限られます。つまり、データ送信を行わずに同期データを受信することはできません。***

2 ***トランスミッタとレシーバが無効にされた場合（TE=RE=0）、クロックパルスが正常に機能するには、LBCL、CPOL、および CPHA の各ビットを選択する必要があります。これらのビットは、トランスミッタまたはレシーバが有効である間は、変更しないでください。***

この資料は、STMicroelectronics NV 並びにその子会社（以下 ST）が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

3 レシーバのセットアップ時間とホールド時間を最小限に抑えるには、TE ビットと RE ビットを同じ命令でセットすることを推奨します。

4 USART は、マスタモードのみをサポートし、入力クロックに関連するデータを送受信することはできません（SCLK は常に出力です）。

図 254. USART 同期送信の例

図 255. USART データクロックタイミング図（M=0）

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 256. USART データクロックタイミング図（M=1）

図 257. RX データセットアップ/ホールド時間

注： ***スマートカードモードでは SCLK の機能が異なります。詳細については、スマートカードモードの説明を参照してください。***

23.3.10 単線半二重通信

単線半二重モードを選択するには、USART_CR3 レジスタの HDSEL ビットをセットします。このモードでは、次のビットはクリアされた状態に保つ必要があります。

- USART_CR2 レジスタの LINEN および CLKEN ビット
- USART_CR3 レジスタの SCEN および IREN ビット

USART は、単線半二重のプロトコルに従うように設定できます。この場合、TX ラインと RX ラインは内部的に接続されます。半二重通信と全二重通信の選択は、制御ビット“HALF DUPLEX SEL”（USART_CR3 レジスタの HDSEL）で行います。

HDSEL ビットに 1 が書き込まれると、

- TX ラインと RX ラインが内部的に接続されます。
- RX ピンは使用されなくなります。
- TX ピンは、データが送信されないときには常に解放されます。したがって、アイドル時や受信時には標準入出力として機能します。つまり、TX が USART によって駆動されないときはフローティング入力（または出力ハイのオープンドレイン）として設定されるように、入出力を設定する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

この点を除くと、通信は通常の USART モードの場合と同様です。ラインの競合はソフトウェアによって管理する必要があります（たとえば、集中型アービタを使用）。特に、TE ビットがセットされている間は、送信はハードウェアによってブロックされることはなく、データがデータレジスタに書き込まれると送信を続行します。

23.3.11 スマートカード

スマートカードモードを選択するには、USART_CR3 レジスタの SCEN ビットをセットします。スマートカードモードでは、次のビットはクリアされた状態に保つ必要があります。

- USART_CR2 レジスタの LINEN ビット
- USART_CR3 レジスタの HDSEL および IREN ビット

さらに、スマートカードにクロックを供給するために CLKEN ビットをセットすることもできます。

スマートカードインタフェースは、ISO 7816-3 標準で定義された非同期プロトコルスマートカードをサポートするように設計されています。USART は次のように設定してください。

- 8 ビット＋パリティ：USART_CR1 レジスタの M=1、PCE=1
- 送受信では 1.5 ストップビット：USART_CR2 レジスタの STOP="11"。

注： ***受信には 0.5 ストップビットを選択することも可能です。しかし、2 つの設定間の切り替えを避けるために、送信と受信の両方に 1.5 ストップビットを使用することを推奨します。***

図 258 は、パリティエラーの有無によるデータラインの状況の変化の例を示しています。

図 258. ISO 7816-3 非同期プロトコル

スマートカードに接続されると、USART の TX 出力は、スマートカードの出力ともなる両方向ラインを駆動します。それには、製品レベルで、SW_RX は TX と同じ入出力に接続されていることが必要です。TX_EN は、スタートビットとデータバイトの送信時にアサートされ、ストップビットの処理時にネゲートされるので（ウィークプルアップ）、レシーバはパリティエラーの場合にラインを駆動できます。TX_EN が使用されない場合、TX はストップビットの処理時にハイレベルに駆動されます。したがって、TX がオープンドレインに設定されている限り、レシーバはこのラインを駆動できます。

スマートカードは、単線半二重通信プロトコルです。

- 送信シフトレジスタからのデータの送信は、少なくとも 1/2 ボークロックの遅れが保証されます。通常動作では、満杯の送信シフトレジスタは、次のボークロックエッジでシフト動作を開始します。スマートカードモードでは、この送信は、保証された 1/2 ボークロック分だけさらに遅れます。
- 0.5 または 1.5 の ストップビット周期がプログラミングされたフレームの受信時にパリティエラーが検出された場合、受信フレームの完了後に 1 ボークロック周期の間、送信ラインはロー

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

に引き下げられます。これは、USART に送信されたデータが正しく受信されなかったことをスマートカードに知らせるためです。この NACK 信号（1 ボークロックの間、送信ラインをローにプル）は、1.5 ストップビットが組み込まれたトランスミッタ側にフレーミングエラーを引き起こします。アプリケーションは、プロトコルに基づいて、データの再送信に対処できます。NACK 制御ビットがセットされている場合、パリティエラーはレシーバによって“NACK”されます。そうでない場合、NACK は送信されません。

- TC フラグのアサーションは、ガードタイムレジスタのプログラミングによって遅らせることができます。通常動作では、TC がアサートされるのは、送信シフトレジスタが空であり、他に未処理の送信リクエストがない場合です。スマートカードモードでは、空の送信シフトレジスタは、ガードタイムカウンタをトリガして、ガードタイムレジスタにプログラミングされた値までカウントアップします。この間、TC は強制的にローレベルに保たれます。ガードタイムカウンタがプログラミングされた値に達すると、TC がハイにアサートされます。
- TC フラグのディアサーションは、スマートカードモードの影響を受けません。
- レシーバからの NACK によってトランスミッタ端でフレーミングエラーが検出された場合、トランスミッタの受信ブロックは、この NACK をスタートビットとして検出しません。ISO プロトコルによれば、受信される NACK の期間は 1 または 2 ボークロック周期にできます。
- レシーバ側では、パリティエラーが検出されて NACK が送信された場合、レシーバはこの NACK をスタートビットとして検出しません。

注： *1 スマートカードモードでは、ブレークキャラクタは重要ではありません。フレーミングエラー発生時のデータ 0x00 は、ブレークではなくデータとして処理されます。*

2 TE ビットをトグルしたとき、アイドルフレームは送信されません。アイドルフレームは、他の設定では定義されますが、ISO プロトコルでは定義されていません。

図 259 に、USART による NACK 信号のサンプリング方法を示します。この例では、USART はデータを送信中であり、1.5 ストップビットが組み込まれています。データと NACK 信号の整合性を検査するために、USART のレシーバ部が有効にされます。

図 259. 1.5 ストップビットを使用したパリティエラー検出

USART は、SCLK 出力を通じてスマートカードにクロックを供給できます。スマートカードモードでは、SCLK は通信に関係せず、5 ビットのプリスケーラを通じて単に内部のペリフェラル入力クロックから得られます。この分周比は、プリスケーラレジスタ USART_GTPR で設定されます。ペリフェラル入力クロックの周波数を f_{CK} としたとき、SCLK の周波数は $f_{CK}/2$ ～ $f_{CK}/62$ の間でプログラミングできます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

23.3.12 IrDA SIR ENDEC ブロック

IrDA モードを選択するには、USART_CR3 レジスタの IREN ビットをセットします。IrDA モードでは、次のビットはクリアされた状態に保つ必要があります。

- USART_CR2 レジスタの LINEN、STOP、および CLKEN ビット
- USART_CR3 レジスタの SCEN および HDSEL ビット

IrDA SIR 物理層は、ロジック 0 を赤外光パルスとして表現する RZI（Return to Zero Inverted）変調方式の使用を指定します（*図 260* を参照）。

SIR 送信エンコーダは、USART からの NRZ（Non Return to Zero）送信ビットストリーム出力を変調します。出力パルスストリームは、外部の出力ドライバと赤外線 LED に送信されます。SIR ENDEC の場合、USART は最大 115.2 Kbps のビットレートしかサポートしません。通常モードでは、送信されるパルス幅は、ビット周期の 3/16 と指定されます。

SIR 受信デコーダは、赤外線検出回路からの RZ（Return to Zero）ビットストリームを復調し、受信した NRZ シリアルビットストリームを USART に出力します。デコーダの入力は、アイドル状態のノーマルハイレベル（マーク状態）です。送信エンコーダの出力は、デコーダ入力とは逆の極性になっています。デコーダ入力がローレベルのとき、スタートビットが検出されます。

- IrDA は半二重通信プロトコルです。トランスミッタがビジーである（つまり、USART が IrDA エンコーダにデータを送信している）場合、IrDA デコーダは IrDA 受信ライン上のデータを無視します。レシーバがビジーである（USART がデコードされたデータを受信している）場合、IrDA は USART から IrDA への TX 上のデータをエンコードしません。データの受信中には、送信データの破壊を防ぐために、送信を避けてください。
- “0”はハイパルスとして送信され、“1”は“0”として送信されます。通常モードでは、パルスの幅は、選択されたビット周期の 3/16 と規定されます（*図 261* を参照）。
- SIR デコーダは、IrDA 準拠の受信信号を USART 用のビットストリームに変換します。
- SIR 受信ロジックは、ハイ状態を論理値 1 とみなし、ローパルスを論理値 0 とみなします。
- 送信エンコーダの出力は、デコーダ入力とは逆の極性になっています。SIR 出力は、アイドル時にロー状態になります。
- IrDA 仕様では、1.41 µs より大きなパルスを受け入れるように定義されています。受け入れられるパルス幅は、プログラミング可能です。レシーバのグリッチ検出回路は、2 PSC 周期（PSC は IrDA 低電力ボーレジスタ USART_GTPR にプログラミングされたプリスケーラ値）より小さな幅のパルスをフィルターします。1 PSC 周期より小さな幅のパルスは常にフィルターされますが、1～2 周期の幅のパルスは受け入れられることも、フィルターされることもあります。2 周期より大きな幅のパルスは、パルスとして受け入れられます。PSC=0 のとき、IrDA エンコーダ/デコーダは機能しません。
- レシーバは、低電力トランスミッタと通信できます。
- IrDA モードでは、USART_CR2 レジスタのストップビットを“1 ストップビット”に設定する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

IrDA 低電力モード

トランスミッタ：

低電力モードでは、パルス幅はビット周期の 3/16 に維持されません。代わりに、パルス幅は低電力ボーレート（最小で 1.42 MHz）の 3 倍です。一般に、この値は 1.8432 MHz（1.42 MHz < PSC < 2.12 MHz）です。低電力モードのプログラマブル divisor は、この値を得るためにシステムクロックを分周します。

レシーバ:

低電力モードでの受信は、通常モードでの受信と同様です。グリッチ検出の場合、USART は 1/PSC よりも短いパルスを破棄する必要があります。有効なローレベルは、その期間が IrDA 低電力ボークロック（USART_GTPR の PSC 値）の 2 周期分を超える場合にのみ受け入れられます。

注： *1 1～2 PSC 周期の幅のパルスは、除去されることも、除去されないこともあります。*

2 レシーバのセットアップ時間は、ソフトウェアで管理してください。IrDA 物理層仕様では、送信と受信の間に最小 10 ms の遅延を指定しています（IrDA は半二重プロトコルです）。

図 260. IrDA SIR ENDEC- ブロック図

図 261. IrDA データ変調（3/16）- 通常モード

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

23.3.13 DMA を使用した連続通信

USART は、DMA を使用して通信を継続することができます。受信バッファと送信バッファに対する DMA リクエストは、それぞれ独立して生成できます。

注： ***DMA コントローラを使用できるかどうかについては、個々の製品仕様を参照してください。目的の製品で DMA を使用できない場合、セクション 23.3.2 または 23.3.3 で説明されているように USART を使用してください。USART_SR レジスタでは、TXE/RXNE フラグをクリアして連続通信を実現できます。***

DMA を使用した送信

DMA モードでの送信を有効にするには、USART_CR3 レジスタの DMAT ビットをセットします。TXE ビットがセットされるたびに、データは、DMA ペリフェラル（DMA 仕様を参照）を使用して設定された SRAM 領域から USART_DR レジスタにロードされます。DMA チャネルを USART 送信用に配置するには、次の手順で行います（x はチャネル番号を示します）

1. DMA 制御レジスタに USART_DR レジスタのアドレスを書き込んで、これを転送先として設定します。データは、毎回の TXE イベント後に、メモリからこのアドレスに移されます。
2. DMA 制御レジスタにメモリアドレスを書き込んで、これを転送元として設定します。データは、毎回の TXE イベント後に、このメモリ領域から USART_DR レジスタにロードされます。
3. 転送すべきバイト総数を DMA 制御レジスタに設定します。
4. チャネル優先順位を DMA レジスタに設定します。
5. アプリケーションで必要とされる 1/2 転送終了、転送完了後の DMA 割り込み生成を設定します。
6. SR レジスタの TC ビットに 0 を書き込んでクリアします。
7. DMA レジスタのチャネルを有効にします。

DMA コントローラにプログラミングされたデータ転送数に達したとき、DMA コントローラは、DMA チャネルの割り込みベクタに基づいて割り込みを生成します。

送信モードでは、送信すべきすべてのデータを DMA が書き込むと（DMA_ISR レジスタの TCIF フラグがセットされます）、TC フラグを観察することで USART 通信の完了を確認できます。これは、USART を無効にしたり STOP モードに入ったりする前に、最後の送信を破壊から守るために必要です。ソフトウェアは、TC=1 になるまで待つ必要があります。TC フラグは、データ転送中はクリアされたままであり、最後のフレームの送信終了時にハードウェアによってセットされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 262. DMA を使用した送信

DMA を使用した受信

DMA モードでの受信を有効にするには、USART_CR3 レジスタの DMAR ビットをセットします。データバイトが受信されるたびに、データは、USART_DR レジスタから、DMA ペリフェラル（DMA 仕様を参照）を使用して設定された SRAM 領域にロードされます。DMA チャネルを USART 受信用に配置するには、次の手順で行います。

1. DMA 制御レジスタに USART_DR レジスタのアドレスを書き込んで、これを転送元として設定します。データは、毎回の RXNE イベントの後に、このアドレスからメモリに移されます。
2. DMA 制御レジスタにメモリアドレスを書き込んで、これを転送先として設定します。データは、毎回の RXNE イベントの後に、USART_DR レジスタからこのメモリ領域にロードされます。
3. 転送すべきバイト総数を DMA 制御レジスタに設定します。
4. チャネル優先順位を DMA 制御レジスタで設定します。
5. アプリケーションで必要とされる 1/2 転送終了、転送完了後の割り込み生成を設定します。
6. DMA 制御レジスタのチャネルを有効にします。

DMA コントローラにプログラミングされたデータ転送数に達したとき、DMA コントローラは、DMA チャネルの割り込みベクタに基づいて割り込みを生成します。割り込み処理サブルーチンの中では、USART_CR3 レジスタの DMAR ビットをソフトウェアでクリアしなければなりません。

注： ***DMA を受信に使用する場合、RXNEIE ビットを有効にしてはいけません。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 263. DMA を使用した受信

マルチバッファ通信における割り込み生成とエラーフラグ

マルチバッファ通信で、トランザクションの処理中にエラーが発生した場合、現在のバイトの後でエラーフラグがアサートされます。割り込みイネーブルフラグがセットされている場合、割り込みが生成されます。1 バイト受信において RXNE とともにアサートされるフレーミングエラー、オーバーランエラー、およびノイズフラグに関しては、別々のエラーフラグ割り込みイネーブルビット（USART_CR3 レジスタの EIE ビット）が用意されていて、セットされている場合、いずれかのエラーを持つ現在のバイトの後で割り込みを発行します。

23.3.14 ハードウェアフロー制御

nCTS 入力と nRTS 出力を使用すると、2 つのデバイス間でシリアルデータフローを制御できます。*図 264* に、このモードで 2 つのデバイスを接続する方法を示します。

図 264. 2 つの USART 間のハードウェアフロー制御

RTS と CTS のフロー制御は、USART_CR3 レジスタのそれぞれ RTSE ビットと CTSE ビットに 1 を書き込むことによって、個別に有効にできます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

RTS フロー制御

RTS フロー制御が有効にされた場合（RTSE=1）、USART レシーバが新しいデータを受信可能である限り、nRTS がアサートされます（ローレベル接続）。受信レジスタが満杯になると nRTS がネゲートされ、現在のフレームの終わりに送信が停止する予定であることを示します。*図 265* に、RTS フロー制御を有効にした通信の例を示します。

図 265. RTS フロー制御

CTS フロー制御

CTS フロー制御が有効にされた場合（CTSE=1）、トランスミッタは、nCTS 入力をチェックしてから、次のフレームを送信します。nCTS がアサートされている場合（ローレベル接続）、次のデータが送信されます（データが送信されるものと想定、つまり TXE=0 の場合）。そうでない場合、送信は行われません。送信中に nCTS がネゲートされると、現在の送信が完了してから、トランスミッタが停止します。

CTSE=1 の場合、nCTS 入力がトグルすると、CTSIF ステータスビットは直ちにハードウェアによって自動的にセットされます。このビットは、レシーバの通信準備ができているかどうかを示します。USART_CR3 レジスタの CTSIE ビットがセットされている場合、割り込みが生成されます。次の図に、CTS フロー制御を有効にしたときの通信例を示します。

図 266. CTS フロー制御

注： ブレークフレームの特殊な動作：CTS フローが有効になると、トランスミッタは、ブレークを送信するために nCTS 入力の状態をチェックしません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

23.4 USART 割り込み

表 129. USART 割り込みリクエスト

割り込みイベント	イベントフラグ	イネーブル制御ビット
送信データレジスタエンプティ	TXE	TXEIE
CTS フラグ	CTS	CTSIE
送信完了	TC	TCIE
受信データ読み出し可能	RXNE	RXNEIE
オーバーランエラー検出	ORE	
アイドルライン検出	IDLE	IDLEIE
パリティエラー	PE	PEIE
ブレークフラグ	LBD	LBDIE
マルチバッファ通信におけるノイズフラグ、オーバーランエラー、およびフレーミングエラー	NF または ORE または FE	EIE

USART 割り込みイベントは、同じ割り込みベクタに接続されます（*図 267* を参照）。

- 送信時：送信完了割り込み、CTS 割り込み、または送信データレジスタエンプティ割り込み
- 受信時：アイドルライン検出、オーバーランエラー、受信データレジスタノットエンプティ、パリティエラー、LIN ブレーク検出、ノイズフラグ（マルチバッファ通信時のみ）、およびフレーミングエラー（マルチバッファ通信時のみ）

これらのイベントは、対応するイネーブル制御ビットがセットされている場合、割り込みを生成します。

図 267. USART 割り込みの配置図

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

23.5 USART モード設定

表 130. USART モード設定(1)

USART モード	USART1	USART2	USART3	UART4	UART5	USART6
非同期モード	X	X	X	X	X	X
ハードウェアフロー制御	X	X	X	NA	NA	X
マルチバッファ通信（DMA）	X	X	X	X	X	X
マルチプロセッサ通信	X	X	X	X	X	X
同期	X	X	X	NA	NA	X
スマートカード	X	X	X	NA	NA	X
半二重（単線モード）	X	X	X	X	X	X
IrDA	X	X	X	X	X	X
LIN	X	X	X	X	X	X

1. X = サポート、NA = 該当せず

23.6 USART レジスタ

レジスタの説明で使用されている略語のリストについては、*セクション 1.1（32 ページ）*を参照してください。

23.6.1 ステータスレジスタ（USART_SR）

アドレスオフセット：0x00

リセット値：0x00C0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み						CTS	LBD	TXE	TC	RXNE	IDLE	ORE	NF	FE	PE
						rc_w0	rc_w0	r	rc_w0	rc_w0	r	r	r	r	r

ビット 31:10 予約済み、ハードウェアで 0 に固定されています。

ビット 9 **CTS**：CTS フラグ

CTSE ビットがセットされている場合、nCTS 入力がトグルすると、このビットはハードウェアによってセットされます。ソフトウェアで 0 を書き込むことによってクリアされます。USART_CR3 レジスタの CTSIE=1 である場合、割り込みが生成されます。

0：nCTS ステータスラインに変化はありませんでした。

1：nCTS ステータスラインに変化がありました。

注： このビットは UART4 および UART5 では使用できません。

ビット 8 **LBD**：LIN ブレーク検出フラグ

このビットは、LIN ブレークが検出されると、ハードウェアによってセットされます。ソフトウェアで 0 を書き込むことによってクリアされます。USART_CR2 レジスタの LBDIE=1 である場合、割り込みが生成されます。

0：LIN ブレークは検出されませんでした。

1：LIN ブレークが検出されました。

注： LBDIE=1 の場合、LBD=1 になると割り込みが生成されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 7 **TXE**：送信データレジスタエンプティ

TDR レジスタの内容がシフトレジスタに転送されたとき、このビットはハードウェアによってセットされます。USART_CT1 レジスタの TXEIE=1 である場合、割り込みが生成されます。このビットは、USART_DR レジスタへの書き込みによってクリアされます。

0：データはシフトレジスタに転送されません。

1：データはシフトレジスタに転送されます。

注： このビットは、シングルバッファ送信時に使用されます。

ビット 6 **TC**：送信完了

データを含むフレームの送信が完了し、TXE がセットされている場合、このビットはハードウェアによってセットされます。USART_CR1 レジスタの TCIE=1 である場合、割り込みが生成されます。このビットは、ソフトウェアシーケンスによってクリアされます（USART_SR レジスタからの読み出しと、それに続く USART_DR レジスタへの書き込み）。TC ビットは、“0”を書き込むことによってもクリアできます。このクリアシーケンスは、マルチバッファ通信の場合にのみ推奨されます。

0：送信は完了していません。

1：送信は完了しています。

ビット 5 **RXNE**：リードデータレジスタノットエンプティ

RDR シフトレジスタの内容が USART_DR レジスタに転送されると、このビットはハードウェアによってセットされます。USART_CR1 レジスタの RXNEIE=1 の場合、割り込みが生成されます。このビットは、USART_DR レジスタへの読み出しによってクリアされます。RXNE フラグは、0 を書き込むことによってもクリアできます。このクリアシーケンスは、マルチバッファ通信の場合にのみ推奨されます。

0：データは受信されません。

1：受信データを読み出すことができます。

ビット 4 **IDLE**：アイドルライン検出

このビットは、アイドルラインが検出されたときに、ハードウェアによってセットされます。USART_CR1 レジスタの IDLEIE=1 である場合、割り込みが生成されます。ソフトウェアシーケンスによってクリアされます（USART_SR レジスタへの読み出しと、それに続く USART_DR レジスタへの読み出し）。

0：アイドルラインは検出されていません。

1：アイドルラインが検出されました。

注： RXNE ビットがセットされる（つまり、新しいアイドルラインが出現する）まで、IDLE ビットが再びセットされることはありません。

ビット 3 **ORE**：オーバーランエラー

このビットは、RXNE=1 であるとき、現在シフトレジスタに受信されているワードを RDR レジスタに転送する準備ができたときに、ハードウェアによってセットされます。USART_CR1 レジスタの RXNEIE=1 の場合、割り込みが生成されます。ソフトウェアシーケンスによってクリアされます（USART_SR レジスタへの読み出しと、それに続く USART_DR レジスタへの読み出し）。

0：オーバーランエラーはありません。

1：オーバーランエラーが検出されました。

注： このビットがセットされると、RDR レジスタの内容は失われませんが、シフトレジスタは上書きされます。マルチバッファ通信で EIE ビットがセットされた場合、ORE フラグに基づいて割り込みが生成されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 2 **NF**：ノイズ検出フラグ

このビットは、受信フレームでノイズが検出されたときに、ハードウェアによってセットされます。ソフトウェアシーケンスによってクリアされます（USART_SR レジスタへの読み出しと、それに続く USART_DR レジスタへの読み出し）。

0：ノイズは検出されていません。

1：ノイズが検出されました。

注：　このビットは割り込みを生成しません。なぜなら、割り込みを生成する RXNE ビットと同時に現れるからです。マルチバッファ通信で EIE ビットがセットされた場合、NF フラグに基づいて割り込みが生成されます。

注：　ラインがノイズフリーであるとき、NF フラグを無効にするには、ONEBITE ビットに 1 をプログラミングして偏差に対する USART の許容誤差を増やします（セクション 23.3.5：クロック偏差に対する USART レシーバの許容誤差（589 ページ）を参照）。

ビット 1 **FE**：フレーミングエラー

このビットは、非同期化、過度なノイズ、またはブレークキャラクタが検出されたときに、ハードウェアによってセットされます。ソフトウェアシーケンスによってクリアされます（USART_SR レジスタへの読み出しと、それに続く USART_DR レジスタへの読み出し）。

0：フレーミングエラーは検出されていません。

1：フレーミングエラーまたはブレークキャラクタが検出されました。

注：　このビットは割り込みを生成しません。なぜなら、割り込みを生成する RXNE ビットと同時に現れるからです。現在転送中のワードによってフレームエラーとオーバーランエラーが発生した場合、転送は行われ、ORE ビットのみがセットされます。

マルチバッファ通信で EIE ビットがセットされている場合、FE フラグに基づいて割り込みが生成されます。

ビット 0 **PE**：パリティエラー

このビットは、レシーバモードでパリティエラーが発生したときに、ハードウェアによってセットされます。ソフトウェアシーケンスによってクリアされます（ステータスレジスタへの読み出しと、それに続く USART_DR データレジスタへの読み出し）。ソフトウェアは、RXNE フラグがセットされるまで待たなければ、PE ビットをクリアできません。

USART_CR1 レジスタの PEIE=1 である場合、割り込みが生成されます。

0：パリティエラーはありません。

1：パリティエラー。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

23.6.2 データレジスタ（USART_DR）

アドレスオフセット：0x04

リセット値：未定義

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み							DR[8:0]								
							rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:9 予約済み、ハードウェアで 0 に固定されています。

ビット 8:0 **DR[8:0]**：データ値

読み出しか書き込みかに応じて、受信または送信のデータキャラクタを含みます。

データレジスタは、送信用（TDR）と受信用（RDR）の 2 個のレジスタから構成されるため、2 つの機能（読み出しと書き込み）を実行します。

TDR レジスタは、内部バスと出力シフトレジスタとの間にパラレルインタフェースを提供します（図 1 を参照）。

RDR レジスタは、入力シフトレジスタと内部バスとの間にパラレルインタフェースを提供します。

パリティを有効にして（USART_CR1 レジスタの PCE ビットに 1 を設定して）送信しているとき、MSB（データ長に応じてビット 7 または 8）に書き込まれた値は、パリティによって置き換えられるため、無効です。

パリティを有効にして受信しているとき、MSB ビットに読み込まれる値は、受信したパリティビットです。

23.6.3 ボーレートレジスタ（USART_BRR）

注： TE または RE ビットがそれぞれ無効にされている場合、ボーカウンタはカウントを停止します。

アドレスオフセット：0x08

リセット値：0x0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DIV_Mantissa[11:0]												DIV_Fraction[3:0]			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:16 予約済み、ハードウェアで 0 に固定されています。

ビット 15:4 **DIV_Mantissa[11:0]**：USARTDIV の整数部

これらの 12 ビットは、USART ディバイダ（USARTDIV）の整数部を定義します。

ビット 3:0 **DIV_Fraction[3:0]**：USARTDIV の小数部

これらの 4 ビットは、USART ディバイダ（USARTDIV）の小数部を定義します。OVER8=1 のとき、DIV_Fraction3 ビットは考慮されないため、クリアされた状態に保つ必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

23.6.4 制御レジスタ 1（USART_CR1）

アドレスオフセット：0x0C

リセット値：0x0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OVER8	予約済み	UE	M	WAKE	PCE	PS	PEIE	TXEIE	TCIE	RXNEIE	IDLEIE	TE	RE	RWU	SBK
rw	予約済み	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:16 予約済み、ハードウェアで 0 に固定されています。

ビット 15 **OVER8**：オーバーサンプリングモード

0：16 倍のオーバーサンプリング

1：8 倍のオーバーサンプリング

注： 8 倍のオーバーサンプリングは、スマートカード、IrDA、および LIN の各モードでは使用できません。SCEN=1、IREN=1、または LINEN=1 であるとき、OVER8 はハードウェアによって"0"に固定されています。

ビット 14 予約済み、ハードウェアで 0 に固定されています。

ビット 13 **UE**：USART イネーブル

このビットがクリアされると、消費電力を減らすために、USART プリスケーラと出力は、現在のバイト転送の最後に停止します。このビットは、ソフトウェアによってセット/クリアされます。

0：USART プリスケーラと出力は無効。

1：USART は有効。

ビット 12 **M**：ワード長

このビットはワード長を決定します。ソフトウェアによってセット/クリアされます。

0：1 スタートビット、8 データビット、n ストップビット

1：1 スタートビット、9 データビット、n ストップビット

注： M ビットは、送受信のデータ転送中に変更することはできません。

ビット 11 **WAKE**：ウェイクアップ方法

このビットは、USART のウェイクアップ方法を決定し、ソフトウェアによってセット/クリアされます。

0：アイドルライン

1：アドレスマーク

ビット 10 **PCE**：パリティ制御イネーブル

このビットは、ハードウェアのパリティ制御（生成と検出）を選択します。パリティ制御が有効なとき、算出されたパリティは MSB 位置（M=1 の場合はビット 9、M=0 の場合はビット 8）に挿入され、受信されたデータではパリティが検査されます。このビットは、ソフトウェアによってセット/クリアされます。このビットがセットされると、送受信での現在のバイトの後で PCE が有効になります。

0：パリティ制御無効。

1：パリティ制御有効。

ビット 9 **PS**：パリティ選択

このビットは、パリティの生成/検出が有効である（PCE ビットがセットされた）とき、奇数パリティ/偶数パリティを選択します。ソフトウェアによってセット/クリアされます。パリティは、現在のバイトの後で選択されます。

0：偶数パリティ

1：奇数パリティ

ビット 8 **PEIE**：PE 割り込みイネーブル

このビットは、ソフトウェアによってセット/クリアされます。

0：割り込みは禁止です。

1：USART_SR レジスタで PE=1 になるたび、USART 割り込みが生成されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

参考資料

ビット 7 **TXEIE**：TXE 割り込みイネーブル

このビットは、ソフトウェアによってセット/クリアされます。

0：割り込みは禁止です。

1：USART_SR レジスタで TXE=1 になるたび、USART 割り込みが生成されます。

ビット 6 **TCIE**：転送完了割り込みイネーブル

このビットは、ソフトウェアによってセット/クリアされます。

0：割り込みは禁止です。

1：USART_SR レジスタで TC=1 になるたび、USART 割り込みが生成されます。

ビット 5 **RXNEIE**：RXNE 割り込みイネーブル

このビットは、ソフトウェアによってセット/クリアされます。

0：割り込みは禁止です。

1：USART_SR レジスタで RXNE=1 または ORE=1 になるたび、USART 割り込みが生成されます。

ビット 4 **IDLEIE**：IDLE 割り込みイネーブル

このビットは、ソフトウェアによってセット/クリアされます。

0：割り込みは禁止です。

1：USART_SR レジスタで IDLE=1 になるたび、USART 割り込みが生成されます。

ビット 3 **TE**：トランスミッタイネーブル

このビットは、トランスミッタを有効にします。ソフトウェアによってセット/クリアされます。

0：トランスミッタは無効です。

1：トランスミッタは有効です。

注：　1：スマートカードモードの場合を除いて、送信中に TE ビットに“0”パルスを与える（“0”に続けて“1”を書き込む）と、現在のワードの後にプリアンブル（アイドルライン）が送信されます。

2：TE がセットされると、送信が開始されるまでに 1 ビット時間の遅れが生じます。

ビット 2 **RE**：レシーバイネーブル

このビットは、レシーバを有効にします。ソフトウェアによってセット/クリアされます。

0：レシーバは無効です。

1：レシーバは有効であり、スタートビットの検索が開始されます。

ビット 1 **RWU**：レシーバウェイクアップ

このビットは、USART がミュートモードかどうかを決定します。このビットは、ソフトウェアによってセット/クリアされ、ウェイクアップシーケンスが認識されたときは、ハードウェアによってクリアできます。

0：レシーバはアクティブモードです。

1：レシーバはミュートモードです。

注：　1：ミュートモードを選択する（RWU ビットをセットする）前に、USART は、まずデータバイトを受信する必要があります。そうでない場合、ミュートモードでアイドルラインを検出してもウェイクアップ動作はできません。

2：アドレスマーク検出のウェイクアップ設定（WAKE=1）では、RXNE ビットがセットされている限り、ソフトウェアで RWU ビットを変更することはできません。

ビット 0 **SBK**：ブレーク送信

このビットは、ブレークキャラクタの送信に使用されます。このビットは、ソフトウェアによってセット/クリアできます。ソフトウェアによってセットされ、ブレークのストップビットの処理時にハードウェアによってリセットされます。

0：ブレークキャラクタは送信されません。

1：ブレークキャラクタは送信されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

23.6.5 制御レジスタ 2（USART_CR2）

アドレスオフセット：0x10

リセット値：0x0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み	LINEN	STOP[1:0]		CLKEN	CPOL	CPHA	LBCL	予約済み	LBDIE	LBDL	予約済み	ADD[3:0]			
	rw	rw	rw	rw	rw	rw	rw		rw	rw	rw	rw	rw	rw	rw

ビット 31:15 予約済み、ハードウェアで 0 に固定されています。

ビット 14 **LINEN**：LIN モードイネーブル

このビットは、ソフトウェアによってセット/クリアされます。

0：LIN モード無効

1：LIN モード有効

LIN モードでは、USART_CR1 レジスタの SBK ビットを使用して LIN 同期ブレーク（下位 13 ビット）を送信し、LIN 同期ブレークを検出することができます。

ビット 13:12 **STOP**：ストップビット

これらのビットは、ストップビットのプログラミングに使用されます。

00：1 ストップビット

01：0.5 ストップビット

10：2 ストップビット

11：1.5 ストップビット

注：　0.5 ストップビットと 1.5 ストップビットは、UART4 と UART5 では使用できません。

ビット 11 **CLKEN**：クロックイネーブル

このビットによって、SCLK ピンを有効にできます。

0：SCLK ピン無効

1：SCLK ピン有効

注：　このビットは UART4 および UART5 では使用できません。

ビット 10 **CPOL**：クロック極性

このビットによって、同期モードにおける SCLK ピンのクロック出力の極性を選択できます。このビットは、CPHA ビットと連携して機能し、希望するクロック/データ関係をもたらします。

0：送信ウィンドウの外で、SCLK ピンはローレベルを維持します。

1：送信ウィンドウの外で、SCLK ピンはハイレベルを維持します。

注：　このビットは UART4 および UART5 では使用できません。

ビット 9 **CPHA**：クロック位相

このビットによって、同期モードにおける SCLK ピンのクロック出力の位相を選択できます。このビットは、CPOL ビットと連携して機能し、希望するクロック/データ関係をもたらします（図 *255*～*256* を参照）。

0：最初のデータキャプチャエッジは最初のクロック遷移です。

1：最初のデータキャプチャエッジは 2 番目のクロック遷移です。

注：　このビットは UART4 および UART5 では使用できません。

ビット 8 **LBCL**：最終ビットのクロックパルス

このビットによって、同期モードで送信される最終データビット（MSB）に関連するクロックパルスを、SCLK ピンに出力する必要があるかどうかを選択します。

0：最終データビットのクロックパルスは、SCLK ピンに出力されません。

1：最終データビットのクロックパルスは、SCLK ピンに出力されます。

注：　1：最終ビットは、USART_CR1 レジスタの M ビットで選択された 8 または 9 のビットフォーマットに応じて、送信された 8 番目または 9 番目のデータビットです。

2：このビットは UART4 および UART5 では使用できません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 7 予約済み、ハードウェアで 0 に固定されています。

ビット 6 **LBDIE**：LIN ブレーク検出割り込みイネーブル

ブレーク割り込みマスク（ブレークデリミタを使用したブレーク検出）。

0：割り込みは禁止です。

1：USART_SR レジスタで LBD=1 になるたびに、割り込みが生成されます。

ビット 5 **LBDL**：LIN ブレーク検出長

このビットでは、10 ビットと 11 ビットのブレーク検出を選択します。

0：10 ビットブレーク検出

1：11 ビットブレーク検出

ビット 4 予約済み、ハードウェアで 0 に固定されています。

ビット 3:0 **ADD[3:0]**：USART ノードのアドレス

このビットフィールドは、USART ノードのアドレスを与えます。

これは、ミュートモードでのマルチプロセッサ通信において、アドレスマーク検出によるウェイクアップに使用されます。

注： ***CPOL、CPHA、LBCL の 3 ビットには、トランスミッタが有効である間は書き込みしないでください。***

23.6.6 制御レジスタ 3（USART_CR3）

アドレスオフセット：0x14

リセット値：0x0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み				ONEBITE	CTSIE	CTSE	RTSE	DMAT	DMAR	SCEN	NACK	HDSEL	IRLP	IREN	EIE
				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:12 予約済み、ハードウェアで 0 に固定されています。

ビット 11 **ONEBITE**：1 サンプルビット方式イネーブル

このビットによって、サンプル方式を選択できます。1 サンプルビット方式が選択されると、ノイズ検出フラグ（NF）が無効になります。

0：3 サンプルビット方式

1：1 サンプルビット方式

ビット 10 **CTSIE**：CTS 割り込みイネーブル

0：割り込みは禁止です。

1：USART_SR レジスタで CTS=1 になるたびに、割り込みが生成されます。

注： ***このビットは UART4 および UART5 では使用できません。***

ビット 9 **CTSE**：CTS イネーブル

0：CTS ハードウェアフロー制御は無効です。

1：CTS モードは有効であり、データは、nCTS 入力がアサートされている（0 に接続）ときにのみ送信されます。データの送信中に nCTS 入力がネゲートされた場合、送信が完了してから停止します。nCTS がアサートされていないときにデータレジスタにデータが書き込まれた場合、送信は nCTS がアサートされるまで延期されます。

注： ***このビットは UART4 および UART5 では使用できません。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 8 **RTSE**：RTS イネーブル

0：RTS ハードウェアフロー制御は無効です。

1：RTS 割り込みは有効であり、データは、受信バッファに空きがあるときにのみリクエストされます。データの送信は、現在のキャラクタが送信された後で終わるものと期待されます。nRTS 出力は、データ受信が可能なときにアサート（0 に接続）されます。

注：　このビットは UART4 および UART5 では使用できません。

ビット 7 **DMAT**：DMA 対応のトランスミッタ

このビットは、ソフトウェアによってセット/リセットされます。

1：DMA モードの送信は有効です。

0：DMA モードの送信は無効です。

注：　このビットは UART5 では使用できません。

ビット 6 **DMAR**：DMA 対応のレシーバ

このビットは、ソフトウェアによってセット/リセットされます。

1：DMA モードの受信は有効です。

0：DMA モードの受信は無効です。

注：　このビットは UART5 では使用できません。

ビット 5 **SCEN**：スマートカードモードイネーブル

このビットは、スマートカードモードを有効にするために使用されます。

0：スマートカードモードは無効です。

1：スマートカードモードは有効です。

注：　このビットは UART4 および UART5 では使用できません。

ビット 4 **NACK**：スマートカード NACK イネーブル

0：パリティエラーの場合の NACK 送信は無効です。

1：パリティエラーの場合の NACK 送信は有効です。

注：　このビットは UART4 および UART5 では使用できません。

ビット 3 **HDSEL**：半二重選択

単線半二重モードの選択。

0：半二重モードは選択されません。

1：半二重モードが選択されます。

ビット 2 **IRLP**：IrDA 低電力

このビットは、通常と低電力の IrDA モードの選択に使用されます。

0：通常モード

1：低電力モード

ビット 1 **IREN**：IrDA モードイネーブル

このビットは、ソフトウェアによってセット/クリアされます。

0：IrDA 無効

1：IrDA 有効

ビット 0 **EIE**：エラー割り込みイネーブル

エラー割り込みイネーブルビットは、マルチバッファ通信（USART_CR3 レジスタの DMAR=1）において、フレーミングエラー、オーバーランエラー、またはノイズフラグ（USART_SR レジスタの FE=1、ORE=1、または NF=1）の場合に割り込み生成を有効にするために必要です。

0：割り込みは禁止です。

1：USART_CR3 レジスタで DMAR=1 になるたび、および USART_SR レジスタで FE=1、ORE=1、または NF=1 になるたびに、割り込みが生成されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

23.6.7 ガード時間/プリスケーラレジスタ（USART_GTPR）

アドレスオフセット：0x18

リセット値：0x0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
GT[7:0]								PSC[7:0]							
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:16 予約済み、ハードウェアで 0 に固定されています。

ビット 15:8 **GT[7:0]**：ガード時間値

このビットフィールドは、ガード時間値をボークロック数で与えます。

これはスマートカードモードで使用されます。このガード時間値が経過すると、送信完了フラグがセットされます。

注：　このビットは UART4 および UART5 では使用できません。

ビット 7:0 **PSC[7:0]**：プリスケーラ値

– **IrDA 低電力モード：**

PSC[7:0] = IrDA 低電力ボーレート

システムクロックを分周して低電力周波数を得るためのプリスケーラのプログラミングに使用されます。

ソースクロックは、レジスタに与えられた値（上位 8 ビット）で分周されます。

00000000：予約済み - この値をプログラミングしないでください。

00000001：ソースクロックは 1 分周されます。

00000010：ソースクロックは 2 分周されます。

...

– **IrDA 通常モード：**PSC には 00000001 を設定する必要があります。

– **スマートカードモード：**

PSC[4:0]：プリスケーラ値

システムクロックを分周してスマートカードのクロックを提供するためのプリスケーラのプログラミングに使用されます。

ソースクロック周波数の分周係数を与えるために、このレジスタに与えられた値（上位 5 ビット）は 2 倍されます。

00000：予約済み - この値をプログラミングしないでください。

00001：ソースクロックは 2 分周されます。

00010：ソースクロックは 4 分周されます。

00011：ソースクロックは 6 分周されます。

...

注：　1：スマートカードモードが使用される場合、ビット [7:5] は無効です。

2：このビットは UART4 および UART5 では使用できません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

23.6.8 USART レジスタマップ

次の表に、USART のレジスタマップとリセット値を示します。

表 131. USART のレジスタマップとリセット値

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	USART_SR	予約済み																						CTS	LBD	TXE	TC	RXNE	IDLE	ORE	NF	FE	PE
	リセット値																							0	0	1	1	0	0	0	0	0	0
0x04	USART_DR	予約済み																							DR[8:0]								
	リセット値																								0	0	0	0	0	0	0	0	0
0x08	USART_BRR	予約済み																DIV_Mantissa[15:4]												DIV_Fraction [3:0]			
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0C	USART_CR1	予約済み																OVER8	予約済み	UE	M	WAKE	PCE	PS	PEIE	TXEIE	TCIE	RXNEIE	IDLEIE	TE	RE	RWU	SBK
	リセット値																	0		0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x10	USART_CR2	予約済み																	LINEN	STOP [1:0]		CLKEN	CPOL	CPHA	LBCL	予約済み	LBDIE	LBDL	予約済み	ADD[3:0]			
	リセット値																		0	0	0	0	0	0	0		0	0		0	0	0	0
0x14	USART_CR3	予約済み																				ONEBITE	CTSIE	CTSE	RTSE	DMAT	DMAR	SCEN	NACK	HDSEL	IRLP	IREN	EIE
	リセット値																					0	0	0	0	0	0	0	0	0	0	0	0
0x18	USART_GTPR	予約済み																GT[7:0]								PSC[7:0]							
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

レジスタ境界アドレスについては、*表 1：小容量および中容量デバイスのレジスタ境界アドレス*と*表 2：大容量デバイスのレジスタ境界アドレス*を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

24 HDMI™-CEC（High-Definition Multimedia Interface -Consumer Electronics Control）コントローラ

小容量バリューラインデバイスは、フラッシュメモリ容量が 16～32 KB の STM32F100xx マイクロコントローラです。

中容量バリューラインデバイスは、フラッシュメモリ容量が 64～128 KB の STM32F100xx マイクロコントローラです。

大容量バリューラインデバイスは、フラッシュメモリ容量が 256～512 KB の STM32F100xC、STM32F100xD、および STM32F100xE マイクロコントローラです。

このセクションは、別段の指定がない限り、すべての STM32F100xx デバイスに適用されます。

24.1 概要

CEC（Consumer Electronics Control : 民生機器制御）は、HDMI（High-Definition Multimedia Interface : 高精細マルチメディアインタフェース）規格の追加補足 1 に該当します。

これは、環境内のさまざまなオーディオビジュアル製品間で高水準の制御機能を提供するプロトコルであり、処理とメモリのオーバーヘッドを最小限にして、低速で動作するように規定されています。

HDMI-CEC コントローラは、このプロトコルのハードウェアサポートを提供します。

24.2 HDMI-CEC の主な機能

- HDMI-CEC v1.3a をサポート。
- CEC で提供される機能をすべてサポート（デバイスは、機能に応じて、これらの機能の全部または一部だけを使用できます）。
  - ワンタッチプレイ : ボタンを押すだけで、デバイスを起動し、アクティブソースにできます。
  - システムスタンバイ : ボタンを押すだけで、デバイスをスタンバイ状態にできます。
  - プリセット転送 : デバイスのプリセット値を、テレビのプリセット値に合わせて自動設定できます。
  - ワンタッチレコード : ボタンを押して録画するために使用されます。
  - タイマープログラミング : どのデバイスでも、録画機器の予約録画をプログラミングできます。
  - システム情報 : デバイスで言語と国の設定を自動設定できます。
  - デッキ制御 : デバイスから再生機器の制御を行ったり応答させることができます。
  - チューナ制御 : デバイスから別のデバイスのチューナを制御できます。
  - ベンダー固有コマンド : ベンダー定義のコマンドを使用できます。
  - OSD 表示 : デバイスはテレビ画面にテキスト情報を表示できます。
  - デバイスメニュー制御 : デバイスから別のデバイスのメニューを制御できます。
  - ルーティング制御 : 新しいソースデバイスのストリーミング用に CEC スイッチを制御できます。
  - リモート制御パススルー : リモート制御コマンドを他のデバイスに転送できます。
  - デバイス OSD 名転送 : デバイスは、システム内の他のデバイスの希望する OSD 名を要求できます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

注：　パワーオフ状態が必要な場合は、外部コンポーネント/トランシーバを使用する必要があります。詳細については、AN3127 : "CEC networking using STM32F100xx value line microcontrollers" を参照してください。

24.3 HDMI-CEC バストポロジ

24.3.1 HDMI-CEC ピン

CEC バスは、デバイスとの間のデータ転送に使用される 1 本の両方向ラインで構成され、27 kΩ のプルアップ抵抗を介して +3.3 V の電源電圧に接続されます。ワイヤード AND 接続を可能にするため、デバイスの出力ステージにはオープンドレインまたはオープンコレクタが必要です。

HDMI-CEC コントローラは、CEC 双方向ラインを標準 GPIO のオルタネート機能として管理します。その際に、CEC 双方向ラインは、オルタネート機能オープンドレインに設定されていると想定されます。STM32F100xx には 27 kΩ プルアップ抵抗を外付けする必要があります。

表 132. HDMI ピン

名称	信号種別	摘要
CEC	双方向	2 つの状態： 1 = ハイインピーダンス 0 = ローインピーダンス 27 kΩ プルアップ抵抗を外付けする必要があります。

図 268. CEC ライン接続

1. 出力オープンドレインオルタネート機能に設定された場合、シュミットトリガは依然として有効です。

注：　1　パワーオフ状態が必要ない場合は、STM32F100xx マイクロコントローラをそのまま CEC ラインに接続することができます。

2　アプリケーションでパワーオフ状態が必要な場合、デバイスがオフのときには、外部プルアップ回路を CEC ラインから切断する必要があります。そのためには、たとえば、CEC ラインと外部プルアップ回路の間に絶縁ダイオードを接続することによって、オフ状態で外部デバイスが CEC ラインをプルアップしてダイオードが逆バイアスされるようにします。HDMI 1.3a 仕様に準拠するには、双方向絶縁バッファも必要です。詳細については、AN3127 : "CEC networking using STM32F100xx value line microcontrollers" を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

24.3.2　メッセージの説明

CEC ライン上のすべてのトランザクションは、イニシエータと 1 つまたは複数のフォロアで構成されます。イニシエータは、メッセージ構造とデータを送信する役割を果たします。フォロアは、データの受信側であり、確認応答ビットを設定する役割を果たします。

メッセージは 1 つのフレームで伝達され、このフレームは、スタートビットとそれに続くヘッダブロックで構成されますが、オプションとして、オペコードと可変数のオペランドブロックが付随することもあります。

これらすべてのブロックは、8 ビットのペイロード（最初に送信される最上位ビット）、それに続くメッセージ終了（EOM）ビット、および確認応答（ACK）ビットで構成されます。

EOM ビットは、メッセージの最終ブロックでセットされ、それ以外ではクリアされています。EOM が示された後のメッセージに追加ブロックが含まれている場合、それらの追加ブロックは無視してください。EOM ビットは、他のデバイスを「ping」して、デバイスがアクティブかどうかを確認するために、ヘッダブロックでセットされることもあります。

確認応答ビットは、イニシエータによって常に高インピーダンスにセットされています。したがって、ヘッダから自分のアドレスを読み出したフォロアによって、またはブロードキャストメッセージを拒否する必要があるフォロアによって、ローレベルに駆動できます。

ヘッダは、ソース論理アドレスフィールドとデスティネーション論理アドレスフィールドで構成されます。なお、ブロードキャストメッセージには、特殊なアドレス 0xF が使用されます。

図 269.　メッセージ構造

図 270.　ブロック

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

24.3.3 ビットタイミング

スタートビットのフォーマットは一意であり、メッセージの開始を示します。これは、そのロー期間と合計期間によって確認してください。

スタートビット後、メッセージの残りの全データビットには一貫したタイミングがあります。データビットの終わりでのハイからローへの遷移は、次のデータビットの始まりです（ただし、最終ビットでは CEC ラインはハイのままです）。

図 271. ビットタイミング

図 272 は、イニシエータとフォロアの両方を備えたビット例を示します。ここで、フォロアはビットを論理 0 にアサートして、データブロックを確認応答できます。イニシエータは論理 1 を出力するので、フォロアは、安全なサンプル期間にわたって制御ラインをローに引き下げることによって、CEC 状態を変更することができます。

図 272. フォロアの確認応答（ACK）

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

24.4　アービトレーション

24.4.1　信号フリータイム（Signal Free Time：SFT）

CEC ラインでメッセージを送信または再送信するすべてのデバイスは、このラインが数ビット周期にわたって非アクティブであったことを確認する必要があります。この信号フリータイム（SFT）は、前のフレームの最終ビットの開始からの時間として定義され、次の表に示すように、開始デバイスと現在の状態に依存します。

図 273.　信号フリータイム

表 133.　信号フリータイムの定義

条件	信号フリータイム（公称データビット周期）
現在のイニシエータは、送信したフレームの直後に別のフレームを送信しなければなりません。	≥ 7
新しいイニシエータは、フレームを送信しなければなりません。	≥ 5
前回のフレーム送信に失敗しました。	≥ 3

24.4.2　ヘッダアービトレーション

図 274.　アービトレーションフェーズ

一度に 1 つのイニシエータだけが許されるので、許される同じ SFT スロット内で複数のイニシエータがフレームを送信しなければならないときの衝突を回避するために、ヘッダアービトレーション機構が用意されています。ヘッダアービトレーションは、スタートビットの立ち上がりエッジで始まり、ヘッダブロック内のイニシエータアドレスビットの終わりまで続きます。ヘッダの送信期間中、イニシエータは CEC ラインを監視して、ハイインピーダンス状態のときにローインピーダンスを検出した場合は、2 番目のイニシエータに対するアービトレーションを失ったと判断します。なお、このプロセスでは、ゼロの数が最も多い論理アドレス（究極的には、TV (INITIATOR=0x0)）が優先されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

24.5 エラー処理

24.5.1 BTE、BPE、およびエラービットの生成

受信したデータビット（スタートビットを除く）は、以下の場合に無効とみなされます。

- 立ち下がりエッジと立ち上がりエッジの間の時間が、HDMI-CEC Specification Rev1.3a、Sect5.5.2、Figure4 によって定義される許容限度を超えた場合。この場合、ビットタイミングエラー（BTE）が発行されます。
- 立ち下がりエッジ間の時間が、HDMI-CEC Specification、Rev1.3a、Sect5.5.2、Figure4 によって定義される許容限度を超えた場合。この場合、ビット周期エラー（BPE）が発行されます。
- BPE と BTE の両方が検出された場合、BTE のみが通知されます。

BTE または BPE 受信エラーが検出された場合、CEC ペリフェラルは、エラービットを生成することによって、他のフォロアと主にイニシエータに対して、このようなイベントを通知することになっています。これは、CEC ラインでの公称データビット周期（つまり、公称 3.6 ms）の 1.4～1.6 倍のロー期間です。

図 275. エラービットのタイミング

24.5.2 メッセージエラー

以下の条件のもとでは、メッセージは失われたとみなされるため、再送信できます。

- 直接アドレス指定されたメッセージで、メッセージが確認応答されなかったとき。
- ブロードキャストメッセージで、メッセージが否定応答されたとき。
- CEC ラインで予想外の低インピーダンスが検出されたとき（ラインエラー）。

再送信は 1～5 回試みてください。

24.6 デバイスアドレッシング

物理アドレスは別として（物理アドレス発見の詳細については、HDMI-CEC 仕様を参照）、制御信号ライン（CEC ライン）に現れる各デバイスには、一意な論理アドレスがあります。このアドレスは、一意の識別子に加えてデバイスタイプも定義します。このアドレスは、物理アドレスが 0b0000 のテレビでは 0、それ以外の場合は 14 または 15 であり、CEC_OAR レジスタと、送信されたメッセージの最初のバイトの上位ニブルで定義されます。したがって、すべての CEC デバイスには物理アドレスと論理アドレスの両方がありますが、非 CEC デバイスには物理アドレスしかありません。

物理アドレスと論理アドレスがわかると、各 CEC デバイスはそれらのアドレスを他のすべてのデバイスに送信します。したがって、どのデバイスでもネットワークのマップを作成できます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

24.7 HDMI-CEC 機能の説明

24.7.1 ブロック図

HDMI-CEC コントローラはメッセージ全体を処理しますが、CPU がデータバイトを 1 つずつ供給またはアンロードする必要があります。

図 276 に、CEC コントローラのブロック図を示します。

図 276. HDMI-CEC のブロック図

1. タイミングチェッカブロックは受信ビットのタイミングを検証し、タイミングジェネレータは送信ビットのタイミングを制御します。

24.7.2 プリスケーラ

プリスケーラは、タイミングチェッカブロックとタイミングジェネレータブロックのタイムクォンタムを定義します。さらに、必要な信号フリータイム（SFT）を守るためのタイムクォンタムリファレンスも提供します。14 ビットカウンタを使用して必要な 50 マイクロ秒のタイムベースが提供されるため、高い APB クロック周波数が可能です。

このカウンタは、最大の精度で動作するように、タイミングチェッカブロックの各ビットの開始時にリセットされます。

公称ビットタイミングのプリスケーラ式を次に示します。

$$\mathrm{PRESC} = [50 \times F_{\mathrm{APB}}\langle \mathrm{MHz} \rangle] - 1$$

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

24.7.3 Rx デジタルフィルタ

CEC ラインに乱れが生じた場合の CEC の安定性は、2 つのノイズ除去機構によって保証されます。

- 高周波スパイクは、システムクロックレートでサンプリングされる Rx ラインに適用される 2/3 多数決方式によって除去されます。
- ラインリバウンドは、CEC ライン遷移の後の次の 50 µs 時間ウィンドウまでに完全にフィルターされます。

24.7.4 Rx ビットタイミング

ビットタイミングは 50 µs のタイムクォンタムで表されるため、CEC はこの精度で動作します。CEC は、CEC ラインから有効なビットを抽出し、ラインエラーが検出されると通知します。

タイムカウンタの値は、有効な Rx 立ち下がりエッジでキャプチャおよびリセットされます。この値は、合計ビット持続時間を示し、*m* という名前で呼ばれます。キャプチャされた値が有効範囲（次の表を参照）を外れていた場合、ビット周期エラーが検出され、3.6 ms（代表値）にわたってラインをローに引き下げることによって通知されます。

タイムカウンタの値は、有効な Rx 立ち上がりエッジでキャプチャされ、有効なウィンドウと比較されます。この値は、ロービット持続時間を示し、*n* という名前で呼ばれます。ロービット持続時間（立ち下がりエッジと立ち上がりエッジの間のタイミング）が有効範囲を外れている場合、ビットタイミングエラーが検出され、3.6 ms（代表値）にわたってラインをローに引き下げることによって通知されます（ただし、デバイスがこの種の違反を報告しないようにプログラミングされた場合を除きます）。

注： ***スタートビットが想定されるときにラインエラーが発生した場合、メッセージ全体が無視され、エラーは報告されません。***

立ち上がりエッジがない状態では、タイムカウンタは 25.6 ms までカウントアップします。値が 9.6 ms を上回ると、再送信が可能になります。タイムカウンタが 14.4 ms を上回ると、新しいイニシエータが送信できるようになります。ただし、同じイニシエータは、カウンタが 19.2 ms に到達するまで待たなければなりません。

注： ***Rx 同期化とデジタルフィルタリングによって、すべての CEC タイミングは、4 APB クロックサイクルの精度許容誤差で計算されます。***

図 277. ビットタイミング

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 134.　ロービット持続時間（LBD）に応じたビットステータス

ロービット持続時間（LBD）（ms）	ビット	
	標準モード（BTEM = 0）(1)	ビットタイミングエラーなし（BTEM = 1）(1)
0 ≤ LBD ＜ 0.4	ビットタイミングエラー	論理 1
0.4 ≤ LBD ≤ 0.8	論理 1	
0.8 ＜ LBD ≤ 1.1	ビットタイミングエラー	
1.1 < LBD < 1.3		論理 0
1.3 ≤ LBD ≤ 1.7	論理 0	
1.7 < LBD < 3.5	ビットタイミングエラー	
3.5 ≤ LBD ≤ 3.9	スタートビット	スタートビット
3.9 < LBD	ビットタイミングエラー	

1. BTEM は CEC_CFGR レジスタのビットです。

表 135.　合計ビット持続時間（TBD）に応じたビットステータス

合計ビット持続時間（TBD）（ms）	ビット		
	標準モード（BPEM = 0）(1)	柔軟なビット周期モード（BPEM = 1）(1)	
		データビット	スタートビット
TBD ＜ 2.05	ビット周期エラー	ビット周期エラー	ビット周期エラー
2.05 ≤ TBD ≤ 2.75	論理 0 または 1	論理 0 または 1	
2.75 ＜ TBD < 4.3	ビット周期エラー		
4.3 ≤ TBD ≤ 4.7	スタートビット		スタートビット
4.7 < TBD(2)	ビット周期エラー		

1. BPEM は CEC_CFGR レジスタのビットです。
2. ビット周期エラーチェックは、フレームの最終ビットには適用されません。

24.7.5　Tx ビットタイミング

CEC は、スタートビット、論理 0 のデータビット、論理 1 のデータビット、またはエラービットを通知するために、適切なライン波形の生成を管理します。Rx ビットタイミングロジックの場合と同じタイムクォンタムが使用されます。

図 278.　Tx ビットタイミング

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

24.7.6 CEC アービタ

STM32F100xx CEC アービタは、以下の場合における SFT およびヘッダアービトレーション技術を規定します。

- CEC は、前のイニシエータであり、失敗した送信を再試行しており、
  - a) スタートビットの立ち上がりは、SFT = 9.6 ms よりも前に検出されます。これは、新しいイニシエータが SFT 条件に違反したときにのみ発生します。この場合、CEC は、送信されたスタートビットの末尾に自動的に同期し、ヘッダアービトレーションに参加します。
  - b) CEC は、信号フリータイム条件の 4 公称ビット時間（9.6 ms）後にフレーム送信を開始します。CEC は、アービトレーションが失われた場合に備えて（この場合に競合するデバイスが想定されなくても）、自動的にフォロアに切り替わります。
- CEC は、フレームを送信する必要のある新しいイニシエータであり、
  - a) スタートビットの立ち上がりは、SFT = 5 の最小ビット時間（10.3 ms）よりも前に検出されます。これは一般に、前のイニシエータが失敗した送信を再試行したときに発生します。この場合、CEC は自動的に受信に切り替わります。送信は、現在のフレームの後で再試行されます。
  - b) スタートビットの立ち上がりは、SFT = 10.3 ms～14.4 ms のときに検出されます。これは一般に、CEC ラインをめぐって競合する別のイニシエータによって引き起こされます。STM32 CEC は、送信されたスタートビットの末尾に自動的に同期し、ヘッダアービトレーションに参加します。
  - c) CEC は、信号フリータイム条件の 6 公称ビット時間（14.4 ms）後にフレーム送信を開始します。また、アービトレーションが失われた場合に備えて、自動的にフォロアに切り替わります。
- CEC は、その前のフレームの直後にフレームを送信しなければならない最後のイニシエータであり、
  - a) スタートビットの立ち上がりは、SFT = 7 の最小ビット時間（14.4 ms）よりも前に検出されます。これは、新しいイニシエータによって引き起こされます。CEC が最後のイニシエータでなくなったときには、CEC は自動的に受信に切り替わり、現在のフレームの後で送信が再試行されます。
  - b) スタートビットの立ち上がりは、SFT = 14.4 ms～19.2 ms のときに検出されます。これは、最新のイニシエータによって引き起こされることがあります。CEC は、送信されたスタートビットの末尾に自動的に同期化し、ヘッダアービトレーションに参加します。
  - c) CEC は、信号フリータイム条件の 8 公称ビット時間（19.2 ms）後にフレーム送信を開始します。アービトレーションが失われた場合、CEC は、競合するデバイスが想定されなくても、自動的にフォロアに切り替わります。

表 136. STM32 CEC のアービトレーション

<table>
<tr><th>SFT（ms）</th><th>< 9.6</th><th>< 10.3</th><th>< 14.4</th><th>< 19.2</th><th>≥ 19.2</th></tr>
<tr><td>同じイニシエータが失敗した送信を再試行</td><td>アービトレーションに入ります</td><td colspan="3">フレーム開始</td></tr>
<tr><td>新しいイニシエータ</td><td colspan="2">受信に切り替わります</td><td>アービトレーションに入ります</td><td colspan="2">フレーム開始</td></tr>
<tr><td>同じイニシエータが別のフレームを送信しなければなりません</td><td colspan="3">受信に切り替わります</td><td>アービトレーションに入ります</td><td>フレーム開始</td></tr>
</table>

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

24.7.7 CEC 状態

図 279 に、CEC コントローラステートマシンを示します。

図 279.　CEC コントローラステートマシン

CEC コントローラは、次に説明する 6 つの状態のうちいずれかを想定します。

無効状態

無効状態に入るのは、APB リセット時、または CEC 設定レジスタの PE ビットのクリア時です。進行中の送受信は、割り込みを受けることなく、正常に完了します。PE ビットが 0 として読み返されると、コントローラは実際に無効状態に切り替わります。コントローラが無効状態にある間、消費電力を最小限に抑えるために、CEC ラインのアクティビティは無視され、クロックプリスケーラは停止します。PE ビットがセットされると、コントローラは無効状態から抜けます。

アイドル状態

アイドル状態に入るのは、メッセージが正常に送受信されたとき、またはエラーが処理されたときです。アイドル状態にある間、CEC コントローラは、送信リクエスト（制御ステータスレジスタの TSOM ビットがセットされます）またはスタートビットを待ちます。

RX 状態

CEC コントローラが RX 状態に入るのは、スタートビットが検出され、ペンディング中の送信メッセージがないときです。ヘッダが受信されると、デスティネーションアドレスは、自己アドレスレジスタにプログラミングされた値と比較されます。この 2 つが一致せず、アドレスがブロードキャストアドレス 0xF でない場合、ブロックは確認応答されず、コントローラはアイドル状態に戻ります。そうでなく、アドレスが一致した場合、コントローラは RX 状態のままであり、ホスト CPU は受信バッファからすべてのメッセージバイトを 1 つずつ取り出すように要求されます。使用可能なバイトは、制御ステータスレジスタの RBTF ビットがセットされることによって通知されます。ホスト CPU は、

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

このレジスタをポーリングするか、または設定ステータスレジスタで割り込みを有効にすることで、バイトが受信されたかどうかを知ることができます。新しいブロックが受信されるまでに RBTF ビットがクリアされない場合、新しく受信されたブロックは確認応答されず、イニシエータはメッセージ送信のリスタートを強制されません。したがって、ホスト CPU には、すべてのメッセージバイトを時間内に取り出すチャンスがもう一度与えられます。なお、オペランドの数がオペコードに指定された数よりも少ない場合、メッセージを無視することはソフトウェアドライバの責任です。
次の図に、完全なメッセージ受信の例を示します。

図 280. 完全なメッセージ受信の例

ソフトウェアは、次の表に記載されたシーケンスを考慮しなければなりません。

表 137. メッセージの受信時に考慮すべきソフトウェアシーケンス

ソフトウェアシーケンス	CEC_CSR レジスタ R/W アクセス	ステータスビット			
		RTBF ビット 7	RERR ビット 6	REOM ビット 5	RSOM ビット 4
RBTF をポーリング、または割り込みが発生するまで待機	0x00 の読み出し	0	0	0	0
ヘッダが受信されます（RTBF と RSOM がセットされます）	0x90 または 0x91 の読み出し(1)	1	0	0	1
受信バッファからヘッダを読み出し	-	1	0	0	1
受信したバイトを 0x00 の書き込みによって確認応答	0x00 の書き込み	0	0	0	0
RBTF をポーリング、または割り込みが発生するまで待機	0x00 の読み出し	0	0	0	0
オペコードが受信されます（RBTF がセットされます）	0x80 または 0x81 の読み出し	1	0	0	0
受信バッファからオペコードを読み出し	-	1	0	0	0
受信したバイトを 0x00 の書き込みによって確認応答	0x00 の書き込み	0	0	0	0
RBTF をポーリング、または割り込みが発生するまで待機	0x00 の読み出し	0	0	0	0
オペランドが受信されます（RBTF がセットされます）	0x80 または 0x81 の読み出し	1	0	0	0
受信バッファからオペランド1 を読み出し	-	1	0	0	0
受信したバイトを 0x00 の書き込みによって確認応答	0x00 の書き込み	0	0	0	0
RBTF をポーリング、または割り込みが発生するまで待機	0x00 の読み出し	0	0	0	0

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 137.　メッセージの受信時に考慮すべきソフトウェアシーケンス

ソフトウェアシーケンス	CEC_CSR レジスタ R/W アクセス	ステータスビット			
		RTBF ビット 7	RERR ビット 6	REOM ビット 5	RSOM ビット 4
オペランドが受信され、これが最後のデータバイトです（RBTF と REOM がセットされます）	0xA0 または 0xA1 の読み出し	1	0	1	0
受信バッファからオペランド2 を読み出し	-	1	0	1	0
受信したバイトを 0x00 の書き込みによって確認応答	0x00 の書き込み	0	0	0	0

1. 送信用のメッセージがキューされていてもアービトレーションが失われていることがあるため、制御レジスタとステータスレジスタから 2 つの異なる値が読み出されることがあります。

TX 状態

コントローラが TX 状態に入るのは、制御ステータスレジスタの TSOM ビットがセットされたときです。この状態では、必要な信号のない時間が経過してから、スタートビットを生成する必要があります。つまり、前の状態が TX_ERROR だった場合は 9.6 ms、デバイスがそれまで受信していた場合は 14.4 ms、それ以外の場合は 19.2 ms だけ待機する必要があります。しかし、別のデバイスがスタートビットを送信する場合、このウェイトカウントは破棄されます。この時点で、CEC アービタは、受信に切り替えるかアービトレーションフェーズに参加するかを決定します。なお、自己アドレスレジスタにプログラミングされた論理アドレスと整合するイニシエータアドレスを送信するのは、ソフトウェアドライバの責任です。
受信したイニシエータアドレス（シフトレジスタの最下位ニブルに格納）が、送信バッファにまだ残っているイニシエータアドレスと異なる場合、アービトレーションは失われます。この場合、コントローラはすぐに RX 状態に切り替わります。しかし受信フェーズの後、バスの所有権が与えられるまで、送信を自動的に再試行します。
アービトレーションが失われない場合、制御ステータスレジスタの TBTRF ビットがセットされるたびに、送信バッファに新しいバイトを書き込んでください。ホスト CPU は、制御レジスタをポーリングするか、または設定レジスタで割り込みを有効にすることで、バイトが送信されたかどうかを知ることができます。要求されたタスクが時間どおりに遂行されない場合、送信エラーフラグがセットされます。メッセージ送信が成功したことを示すために制御ステータスレジスタの TEOM ビットがセットされます。しかし、制御ステータスレジスタの TERR ビットがセットされた場合、メッセージは失われたと考えられます。

次に、完全なメッセージ送信の例を示します。

図 281.　完全なメッセージ送信の例

ソフトウェアは、次に記載されたシーケンスを考慮しなければなりません。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 138. メッセージの送信時に考慮すべきソフトウェアシーケンス

ソフトウェアシーケンス	CEC_CSR R/W アクセス	ステータスビット			
		TBTRF ビット 3	TERR ビット 2	TEOM ビット 1	TSOM ビット 0
送信バッファにヘッダを書き込み	-	0	0	0	0
TSOM=1 を書き込むことによってメッセージ送信を開始	0x01 の書き込み	0	0	0	1
TBTRF をポーリング、または割り込みが発生するまで待機	0x01/0x00 の読み出し	0	0	0	1 に続いて 0
送信バッファは空です（TBTRF がセットされます）	0x08 の読み出し	1	0	0	0
送信バッファにオペコードを書き込み	-	1	0	0	0
0x00 を書き込むことによってバイトリクエストを確認応答	0x00 の書き込み	0	0	0	0
TBTRF をポーリング、または割り込みが発生するまで待機	0x00 の読み出し	0	0	0	0
送信バッファは空です（TBTRF がセットされます）	0x08 の読み出し	1	0	0	0
送信バッファにオペランド1 を書き込み	-	1	0	0	0
0x00 を書き込むことによってバイトリクエストを確認応答	0x00 の書き込み	0	0	0	0
TBTRF をポーリング、または割り込みが発生するまで待機	0x00 の読み出し	0	0	0	0
送信バッファにオペランド2 を書き込み	-	1	0	0	0
バイトリクエストを確認応答し、メッセージ終了を通知	0x02 の書き込み	0	0	1	0
TBTRF をポーリング、または割り込みが発生するまで待機	0x00 の読み出し	0	0	0	0
メッセージ送信が完了（TBTRF と TEOM がセットされます）	0x0A の読み出し	1	0	1	0
0x0 を書き込むことによって正常終了を確認応答	0x0 の書き込み	0	0	0	0

TX_ERROR 状態

TX_ERROR 状態に入るのは、以下のいずれかのエラー条件が発生した場合です。

- 直接的にアドレス指定されたメッセージブロックが確認応答されないか、ブロードキャストメッセージブロックが否定応答された場合（確認応答エラー）
- 要求されたバイトを送信する必要があるのに TBTRF ビットがクリアされない場合（TBTFE エラー）
- ビットタイミングチェッカ / ジェネレータによって想定外のビットが検出された場合（ラインエラー）

イニシエータにはエラー通知機構が指定されていないため、現在のメッセージを中止し、送信リクエストフラグ TSOM をクリアする以外の措置は実施されません。エラーハンドラは、送信がすでに 6 回失敗したかどうかに応じて、再送信が可能かどうかを判断します。また、必要ならば送信リクエストフラグもセットします。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

コントローラは、送信エラーフラグ TERR がクリアされるまで、TX_ERROR 状態のままです。その後、フレーム間間隔の 2 ビット時間を待機してから、次のメッセージの処理準備ができます。

次に、エラーのあるメッセージ送信の例を示します。

図 282.　送信エラーのあるメッセージ送信の例

送信エラーの場合、ソフトウェアは次のシーケンスを考慮しなければなりません。

表 139.　メッセージの送信時に考慮すべきソフトウェアシーケンス

ソフトウェアシーケンス	CEC_CSR R/W アクセス	ステータスビット			
		TBTRF ビット 3	TERR ビット 2	TEOM ビット 1	TSOM ビット 0
送信バッファにヘッダを書き込み	-	0	0	0	0
TSOM=1 を書き込むことによってメッセージ送信を開始	0x01 の書き込み	0	0	0	1
TBTRF をポーリング、または割り込みが発生するまで待機	0x00/0x01 の読み出し	0	0	0	1 に続いて 0
送信バッファは空です（TBTRF がセットされます）	0x08 の読み出し	1	0	0	0
送信バッファにオペコードを書き込み	-	1	0	0	0
0x00 を書き込むことによってバイトリクエストを確認応答	0x00 の書き込み	0	0	0	0
TBTRF をポーリング、または割り込みが発生するまで待機	0x00 の読み出し	0	0	0	0
送信バッファは空です（TBTRF がセットされます）	0x08 の読み出し	1	0	0	0
送信バッファにオペランド1 を書き込み	-	1	0	0	0
0x00 を書き込むことによってバイトリクエストを確認応答	0x00 の書き込み	0	0	0	0
TBTRF をポーリング、または割り込みが発生するまで待機	0x00 の読み出し	0	0	0	0
送信バッファは空です（TBTRF がセットされます）	0x08 の読み出し	1	0	0	0
送信バッファにオペランド2 を書き込み	-	1	0	0	0
バイトリクエストを確認応答し、メッセージ終了を通知	0x02 の書き込み	0	0	1	0
TBTRF をポーリング、または割り込みが発生するまで待機	0x00 の読み出し	0	0	0	0
メッセージ送信が完了（TBTRF と TEOM がセットされます）	0x0E の読み出し	1	1	1	0
TERR=1 の場合、エラーステータスレジスタからエラーコードを読み出します	-	1	1	1	0

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 139. メッセージの送信時に考慮すべきソフトウェアシーケンス （続き）

ソフトウェアシーケンス	CEC_CSR R/W アクセス	ステータスビット			
		TBTRF ビット 3	TERR ビット 2	TEOM ビット 1	TSOM ビット 0
再試行回数が 5 未満の場合、再送信用のヘッダをロードします	-	1	1	1	0
エラーを確認応答し、場合によっては再送信をリクエストします	0x00 または 0x01 の書き込み	0	0	0	0/1

24.7.8 CEC とシステム STOP モード

アプリケーションで送信すべき内容が CEC ライン上になくなるたびに、システムは、低消費電力の STOP モードに切り替わって CEC メッセージを待つことができます。

STOP モードからウェイクアップした後のシステムは HSI オシレータで動作し、スタートビットの許容誤差は 200 µs です。したがって、アプリケーションがシステムクロックの復元に使える時間は 200 µs しかありません（必要な場合）。続いて、システムのクロックソースとして PLL（HSI を PLL ソースとして使用）または HSI を選択できます。いずれの場合も、必要ならば CEC プリスケーラを再調整してから STOP モードに入ります。

システムを低消費電力の STOP モードに切り替えてから、新しい CEC データの受信時に受信データを失うことなくシステムをウェイクアップさせるには、次の手順を実行します。

1. CEC 設定レジスタのペリフェラルイネーブル（PE）ビットに書き込みクリアを実行してから、0 であると確認されるまで、PE ビット値を読み返します。ハードウェアは、現在のフレーム（もしあれば）送信が完了すると PE ビットをクリアします。PE がクリアされると、HDMI-CEC ペリフェラルは無効になり、CEC ライン信号は無視されます。この動作によって、デバイスは安全にシステム STOP モードに入ることが保証されます。そうでない場合、CEC デバイスがローインピーダンス状態にある間（たとえば、ハンドシェークビットの処理中）、システムクロックは停止することがあります。このような場合、CEC ラインがスタックして、すべての CEC ノードがストール状態でブロックされることになります。
2. システムが STOP モードからウェイクアップするときに使用したい選択クロックに合わせて、CEC プリスケーラレジスタを書き込みます。
3. CEC ペリフェラルを有効にします（PE = 1）。
4. 立ち下がりエッジで外部非同期割り込みを生成し、次のスタートビットの立ち上がりの検出と同時にシステムがウェイクアップするように、CEC ラインを設定します。
5. システム STOP モードに入ります。システムクロックがシャットダウンします。
6. EXTI の立ち下がりエッジが検出されると、システムは STOP モードから再開します。STM32F100xx システムのウェイクアップは十分に高速であり、正しいスタートビット検出が可能です。

STOP モードからの CEC ウェイクアップの詳細については、AN3127 : “CEC networking using STM32F100xx value line microcontrollers” を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 283.　CEC とシステム STOP モード

24.8　HDMI-CEC 割り込み

次の場合、割り込みを生成できます。

- 受信ブロック転送が完了した場合または受信エラーが発生した場合は受信時
- 送信ブロック転送が完了した場合または送信エラーが発生した場合は送信時

表 140.　HDMI-CEC 割り込み

割り込みイベント	イベントフラグ	イネーブル制御ビット
受信バイト/ブロック転送が終了	RBTF	IE
受信エラー	RERR	IE
送信バイトリクエストまたはブロック転送が終了	TBTRF	IE
送信エラー	TERR	IE

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

24.9 HDMI-CEC レジスタ

レジスタの説明で使用されている略語のリストについては、*セクション 1.1（32 ページ）*を参照してください。

ペリフェラルレジスタには、ハーフワード（16 ビット）またはワード（32 ビット）単位でアクセスできます。

24.9.1 CEC 設定レジスタ（CEC_CFGR）

このレジスタは HDMI-CEC コントローラの設定に使用されます。

アドレスオフセット：0x00

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み												BPEM	BTEM	IE	PE
												rw	rw	rw	rs

ビット 31:4 予約済み、クリア状態を保つ必要があります。

ビット 3 **BPEM**：ビット周期エラーモード

このビットは、ソフトウェアによってセット/クリアされます。

0：標準モード
1：柔軟なビット周期モード

ビット 2 **BTEM**；ビットタイミングエラーモード

このビットは、ソフトウェアによってセット/クリアされます。

0：標準モード
1：ビットタイミングエラーフリーモード

ビット 1 **IE**：割り込みイネーブル

このビットは、ソフトウェアによってセット/クリアされます。これは、RTBF、RERR、TBTRF、または TERR フラグのセットに関連付けられた割り込みを有効にするために使用されます。

0：割り込みは無効
1：割り込みは有効

ビット 0 **PE**：ペリフェラルイネーブル

このビットは、ソフトウェアによってセットされ、CEC 状態がアイドルになるとすぐにハードウェアによってクリアされます。

0：ペリフェラルは無効
1：ペリフェラルは有効

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

24.9.2　CEC 自己アドレスレジスタ（CEC_OAR）

このレジスタは、CEC デバイスのアドレスを定義するために、ソフトウェアによって書き込まれます。

アドレスオフセット：0x4

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み												OA[3:0]			
												rw			

ビット 31:4　予約済み、クリア状態を保つ必要があります。

ビット 3:0　**OA[3:0]**：自己アドレス

これらのビットは、CEC デバイスの自己アドレスを定義するために、ソフトウェアによって書き込まれます。

デフォルト値 0x0 は、HDMI 仕様で規定されるように *TV アドレス*です。

24.9.3　CEC プリスケーラレジスタ（CEC_PRES）

このレジスタは、APB クロック周波数から必要なビット時間を導くために、ソフトウェアによって書き込まれます。

アドレスオフセット：0x8

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み		PRESC[13:0]													
		rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:14　予約済み、クリア状態を保つ必要があります。

ビット 13:0　**PRESC[13:0]**：プリスケーラカウンタ値

これらのビットは、内部プリスケーラカウンタを調整して必要な 50 µs タイムベースを生成するために、ソフトウェアによって書き込まれます。

PRESC は、PRESC = 50 x f_{PCLK} (MHz) - 1 という式を考慮するために選択しなければなりません。ここで、PRESC は整数であることが必要です。

例：f_{PCLK} = 24 MHz の場合、PRESC には 1199（0x4AF）をプログラミングする必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

24.9.4 CEC エラーステータスレジスタ（CEC_ESR）

CEC_ESR は、CEC エラーステータスレジスタであり、通信に関連するすべてのエラーフラグが格納されています。

アドレスオフセット：0x0C

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み									TBTFE	LINE	ACKE	SBE	RBTFE	BPE	BTE
									r	r	r	r	r	r	r

ビット 31:7 予約済み、クリア状態を保つ必要があります。

ビット 6 **TBTFE** *:* Tx ブロック転送終了エラー

このビットは、リクエストされたバイトを送信する必要があるのに TBTRF ビットがクリアされていない場合、ハードウェアによってセットされます。

CEC_CSR レジスタの TX エラーフラグ（TERR）をクリアするとき、ソフトウェアによってクリアされます。

ビット 5 **LINE**：ラインエラー

このビットは、CEC ラインがローであることを検出されたときにハードウェアによってセットされます。ただし、アービトレーションフェーズでないときや ACK ビットの処理中には、CEC ラインはハイインピーダンスに駆動されます。

CEC_CSR レジスタの TX エラーフラグ（TERR）をクリアすることによって、ソフトウェアによってクリアされます。

ビット 4 **ACKE** *:* ブロック確認応答エラー

このビットは、直接的にアドレス指定されたメッセージブロックが確認応答されないとき、またはブロードキャストメッセージブロックが否定応答されたとき、ハードウェアによってセットされます。

CEC_CSR レジスタの TX エラーフラグ（TERR）または Rx エラーフラグ（RERR）をクリアするとき、ソフトウェアによってクリアされます。

ビット 3 **SBE** *:* スタートビットエラー

このビットは、メッセージの終了より前にスタートビット（そのロー期間、つまりエラービットによってのみ特定）が検出されたとき、ハードウェアによってセットされます。

CEC_CSR レジスタの Rx エラーフラグ（RERR）をクリアすることによって、ソフトウェアによってクリアされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 2　**RTBFE**：Rx ブロック転送終了エラー

このビットは、新しいバイトを受信バッファに書き込む準備ができていても RBTF ビットがクリアされていないとき、ハードウェアによってセットされます。

CEC_CSR レジスタの Rx エラーフラグ（RERR）をクリアすることによって、ソフトウェアによってクリアされます。

ビット 1　**BPE**：ビット周期エラー

このビットは、CEC ライン上の 2 つの立ち下がりエッジ間の時間が、短すぎる（ビット周期エラーモード）か仕様を外れる（セーフモード）場合に、ハードウェアによってセットされます。なお、スタートビットは除外されます。BTE があらかじめセットされていた場合、このビットはセットされません。

CEC_CSR レジスタの Rx エラーフラグ（RERR）をクリアすることによって、ソフトウェアによってクリアされます。

ビット 0　**BTE**：ビットタイミングエラー

このビットは、セーフモードにおいて、CEC ライン上で不正な立ち上がりエッジ位置が検出されたとき、ハードウェアによってセットされます。なお、スタートビットは除外されます。

CEC_CSR レジスタの Rx エラーフラグ（RERR）をクリアすることによって、ソフトウェアによってクリアされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

24.9.5 CEC 制御およびステータスレジスタ（CEC_CSR）

CEC_CSR は、CEC 制御およびステータスレジスタであり、通信に関連するすべてのフラグと、通信時に管理されるいくつかの制御ビットを含みます。

アドレスオフセット：0x10

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								RBTF	RERR	REOM	RSOM	TBTRF	TERR	TEOM	TSOM
								rc_w0	rc_w0	rc_w0	rc_w0	rc_w0	rc_w0	rw	rs

ビット 31:8 予約済み、クリア状態を保つ必要があります。

ビット 7 **RBTF**：Rx バイト/ブロック転送終了

このビットは、データバイトが受信されたときに、ハードウェアによってセットされます。CEC_CFGR レジスタの IE ビットがセットされた場合、割り込みが生成されます。

このビットは、イベントを確認応答して関連する割り込みをクリアするために、0 を書き込むことによってソフトウェアによってクリアされます。

ビット 6 **RERR**：Rx エラー

このビットは、受信エラーが発生したときに、ハードウェアによってセットされます。ソフトウェアは、CEC_ESR レジスタを読み出すことによって、どのエラーが発生したかを正しく知ることができます。CEC_CFGR レジスタの IE ビットがセットされた場合、割り込みが生成されます。

このビットは、エラーを確認応答して関連する割り込みをクリアするために、0 を書き込むことによってソフトウェアによってクリアされます。

ビット 5 **REOM**：Rx メッセージ終了

このビットは、メッセージの最後のデータバイトが受信されたとき、ハードウェアによってセットされます。

イベントを確認応答するため、0 を書き込むことによってソフトウェアによってクリアされます。

注：　RBTF フラグ/割り込みがセットされる前に REOM ビットをクリアしないでください。

ビット 4 **RSOM**：Rx メッセージ開始

このビットは、ヘッダバイトが受信されたときに、ハードウェアによってセットされます。

イベントを確認応答するため、0 を書き込むことによってソフトウェアによってクリアされます。

ビット 3 **TBTRF**：Tx バイト転送リクエストまたはブロック転送の終了

このビットは、新しいデータバイトをリクエストするため（TEOM がセットされていない場合）、またはメッセージの送信成功を通知するため（TEOM がセットされている場合）に、ハードウェアによってセットされます。CEC_CFGR レジスタの IE ビットがセットされた場合、割り込みが生成されます。

このビットは、イベントを確認応答して関連する割り込みをクリアするために、0 を書き込むことによってソフトウェアによってクリアされます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 2　**TERR**：Tx エラー

このビットは、送信エラーが発生したときに、ハードウェアによってセットされます。ソフトウェアは、CEC_ESR レジスタを読み出すことによって、どのエラーが発生したかを正しく知ることができます。CEC_CFGR レジスタの IE ビットがセットされた場合、割り込みが生成されます。

このビットは、エラーを確認応答して関連する割り込みをクリアするために、0 を書き込むことによってソフトウェアによってクリアされます。

ビット 1　**TEOM**：Tx メッセージ終了

このビットは、RTBF または RERR がセットされている場合を除いて、ソフトウェアによってセット/クリアされます。

0：データバイトは、EOM ビットなしで送信されます。
1：データバイトは、メッセージ終了を通知する EOM ビット付きで送信されます。

ビット 0　**TSOM**：Tx メッセージ開始

このビットは、新しいメッセージの送信をリクエストするために、ソフトウェアによってセットされます。TX データバイトには、ヘッダバイトが含まれるものと想定されます。

バスへのアクセスが許可されたとき、または送信エラーが発生したとき、ハードウェアによってクリアされます。

24.9.6　CEC Tx データレジスタ（CEC_TXD）

アドレスオフセット：0x14

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								TXD[7:0]							
								rw							

ビット 31:8　予約済み、クリア状態を保つ必要があります。

ビット 7:0　**TXD[7:0]**：Tx データレジスタ

送信されるデータバイト。

24.9.7　CEC Rx データレジスタ（CEC_RXD）

アドレスオフセット：0x18

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								RXD[7:0]							
								r							

ビット 31:8　予約済み、クリア状態を保つ必要があります。

ビット 7:0　**RXD[7:0]**：Rx データレジスタ

これは、受信された最後のデータバイトを含む、読み出し専用レジスタです。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

24.9.8 HDMI-CEC レジスタマップ

次の表は HDMI-CEC レジスタの一覧です。

表 141. HDMI-CEC のレジスタマップとリセット値

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	CEC_CFGR	予約済み																												BPEM	BTEM	IE	PE
	リセット値																													0	0	0	0
0x04	CEC_OAR	予約済み																												OAR[3:0]			
	リセット値																													0	0	0	0
0x08	CEC_PRE	予約済み																		PRESC[13:0]													
	リセット値																			0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0C	CEC_ESR	予約済み																									TBTFE	LINE	ACKE	SBE	RBTFE	BPE	BTE
	リセット値																										0	0	0	0	0	0	0
0x10	CEC_CSR	予約済み																								RBTF	RERR	REOM	RSOM	TBTRF	TERR	TEOM	TSOM
	リセット値																									0	0	0	0	0	0	0	0
0x14	CEC_TXD	予約済み																								TXD[7:0]							
	リセット値																									0	0	0	0	0	0	0	0
0x18	CEC_RXD	予約済み																								RXD[7:0]							
	リセット値																									0	0	0	0	0	0	0	0

レジスタ境界アドレスについては、*表 1：小容量および中容量デバイスのレジスタ境界アドレス*と*表 2：大容量デバイスのレジスタ境界アドレス*を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

25 デバッグサポート（DBG）

小容量バリューラインデバイスは、フラッシュメモリ容量が 16～32 KB の STM32F100xx マイクロコントローラです。

中容量バリューラインデバイスは、フラッシュメモリ容量が 64～128 KB の STM32F100xx マイクロコントローラです。

大容量バリューラインデバイスは、フラッシュメモリ容量が 256～512 KB の STM32F100xx マイクロコントローラです。

25.1 概要

STM32F100xx は、Cortex-M3 コアを中心にして構築されており、高度なデバッグ機能のためのハードウェア拡張機能を含んでいます。デバッグ拡張機能によって、コアは、特定の命令フェッチ時（ブレークポイント）またはデータアクセス時（ウォッチポイント）に停止することができます。停止したとき、コアの内部状態とシステムの外部状態を調査することができます。調査が終わったら、コアとシステムを復元して、プログラム実行をリスタートすることができます。

デバッグ機能は、デバッガホストによって、STM32F100xx MCU への接続時とデバッグ時に使用されます。

デバッグ用に、次の 2 つのインタフェースを使用できます。

- シリアルワイヤ
- JTAG デバッグポート

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

図 284. STM32F100xx レベルと Cortex-M3 レベルのデバッグサポートのブロック図

注： ***Cortex-M3 コアに内蔵されているデバッグ機能は、ARM CoreSight Design Kit のサブセットです。***

ARM Cortex-M3 コアは、以下の要素で構成される統合的なオンチップデバッグサポート機能を提供します。

- SWJ-DP：シリアルワイヤ/JTAG デバッグポート
- AHP-AP：AHB アクセスポート
- ITM：計測トレースマクロセル（Instrumentation Trace Macrocell）
- FPB：フラッシュパッチブレークポイント（Flash Patch Breakpoint）
- DWT：データウォッチポイントトリガ（Data Watchpoint Trigger）
- TPIU：トレースポートインタフェースユニット（Trace Port Interface Unit：対応するピンが配置される大型パッケージで使用）

STM32F100xx 専用の以下のデバッグ機能も内蔵されています。

- 柔軟性の高いデバッグピン配置
- MCU デバッグボックス（低電力モードのサポート、ペリフェラルクロックの制御など）

注： ***ARM Cortex-M3 コアでサポートされるデバッグ機能の詳細については、Cortex-M3-r1p1 Technical Reference Manual と CoreSight Design Kit-r1p0 TRM を参照してください（セクション 25.2：ARM リファレンス資料を参照）。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

25.2 ARM リファレンス資料

- Cortex™-M3 r1p1 Technical Reference Manual（TRM）
  次の URL から入手できます：
  http://infocenter.arm.com/help/topic/com.arm.doc.ddi0337e/DDI0337E_cortex_m3_r1p1_trm.pdf
- ARM Debug Interface V5
- ARM CoreSight Design Kit revision r1p1 Technical Reference Manual

25.3 SWJ デバッグポート（シリアルワイヤと JTAG）

STM32F100xx コアには、シリアルワイヤ/JTAG デバッグポート（SWJ-DP）が組み込まれています。これは、JTAG-DP（5 ピン）インタフェースと SW-DP（2 ピン）インタフェースを組み合わせた ARM 標準の CoreSight デバッグポートです。

- JTAG デバッグポート（JTAG-DP）は、AHP-AP ポートに 5 ピンの標準 JTAG インタフェースを提供します。
- シリアルワイヤデバッグポート（SW-DP）は、AHP-AP ポートに 2 ピン（クロック + データ）のインタフェースを提供します。

SWJ-DP では、SW-DP の 2 個の JTAG ピンは、JTAG-DP の 5 個の JTAG ピンの一部と多重化されています。

図 285. SWJ デバッグポート

図 285 は、非同期 TRACE 出力（TRACESWO）が TDO と多重化されていることを示しています。これは、非同期トレースは、JTAG-DP ではなく、SW-DP でのみ使用できることを意味します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

25.3.1 JTAG-DP または SW-DP の選択メカニズム

デフォルトでは、JTAG デバッグポートが選択されています。

SW-DP に切り替えるには、デバッガホストは、TMS/TCK（それぞれ SWDIO/SWCLK に配置）に専用の JTAG シーケンスを提供して、JTAG-DP を無効にし SW-DP を有効にする必要があります。このように、SWCLK ピン と SWDIO ピンのみを使用して、SW-DP を有効にすることができます。

このシーケンスは、

1. TMS（SWDIO）=1 で 50 を超える TCK サイクルを送信します。
2. TMS（SWDIO）に 16 ビットシーケンス（0111100111100111）を MSB ファーストで送信します。
3. TMS（SWDIO）=1 で 50 を超える TCK サイクルを送信します。

25.4 ピン名とデバッグポートピン

STM32F100xx MCU は、ピン数の異なるさまざまなパッケージに組み込まれています。このため、ピンを使用する一部の機能（ETM）は、パッケージによって異なることがあります。

25.4.1 SWJ デバッグポートピン

汎用入出力の*オルタネート機能*として、5 本のピンが SWJ-DP 用の STM32F100xx からの出力として使用されます。これらのピンはすべてのパッケージで使用できます。

表 142. SWJ デバッグポートピン

SWJ-DP ピン名	JTAG デバッグポート		SW デバッグポート		ピン割り当て
	タイプ	説明	タイプ	デバッグ割り当て	
JTMS/SWDIO	I	JTAG テストモード選択	IO	シリアルワイヤデータ入出力	PA13
JTCK/SWCLK	I	JTAG テストクロック	I	シリアルワイヤクロック	PA14
JTDI	I	JTAG テストデータ入力	-	-	PA15
JTDO/TRACESWO	O	JTAG テストデータ出力	-	非同期トレースが有効な場合は TRACESWO	PB3
NJTRST	I	JTAG テスト nReset	-	-	PB4

25.4.2 柔軟性の高い SWJ-DP ピンの割り当て

RESET（SYSRESETn または PORESETn）後、SWJ-DP 用に使用される 5 本のピンはすべて、専用ピンとして割り当てられ、デバッガホストがすぐに使用できるようになります（なお、デバッガホストによって明示的にプログラミングされた場合を除いて、トレース出力は割り当てられません）。

ただし、STM32F100xx MCU は、SWJ-DP ポートの一部または全部を無効にする *オルタネート機能の再配置とデバッグ入出力設定レジスタ（AFIO_MAPR）* レジスタを実装しているので、関連するピンを汎用入出力用に解放します。このレジスタは、Cortex-M3 システムバスに接続されている APB ブリッジに配置されます。このレジスタのプログラミングは、デバッガホストではなく、ユーザソフトウェアプログラムによって行われます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

SWJ-DP ピンの割り当て設定には、3 個の制御ビットを使用します。これらのビットは、システムリセットによってリセットされます。

- AFIO_MAPR（@ 0x40010004、STM32F100xx MCU 内）
  - 読み出し：APB - ノーウェイトステート
  - 書き込み：APB - AHB-APB ブリッジの書き込みバッファがいっぱいの場合、1 ウェイトステート

  ビット 26:24= **SWJ_CFG[2:0]**

  ソフトウェアによってセット/クリアされます。

  これらのビットは、SWJ デバッグポートに割り当てられるピン数を設定するために使用されます。小さなサイズのデバッグポートを使用する場合、目標は、できるだけ多くのピンを汎用入出力として使用できるように解放することです。

  リセット後のデフォルト状態は”000”です（すべてのピンが JTAG-DP 接続用に割り当てられます）。3 ビット中の 1 ビットのみをセットできます（複数のビットをセットすることは禁止されています）。

表 143. 柔軟性の高い SWJ-DP ピンの割り当て

使用可能なデバッグポート	SWJ IO ピンの割り当て				
	PA13 / JTMS/ SWDIO	PA14 / JTCK/ SWCLK	PA15 / JTDI	PB3 / JTDO	PB4/ NJTRST
全 SWJ（JTAG-DP + SW-DP）、リセット状態	X	X	X	X	X
全 SWJ（JTAG-DP + SW-DP）、NJTRST なし	X	X	X	X	
JTAG-DP 無効、SW-DP 有効	X	X			
JTAG-DP 無効、SW-DP 無効	解放				

注： ***APB ブリッジの書き込みバッファがいっぱいのとき、AFIO_MAPR レジスタへの書き込みには APB の 1 サイクル分が追加で必要になります。これは、コアの nTRST および TCK 入力信号でのクリーンレベルを保証するために、JTAGSW ピンの無効化が 2 サイクルで行われるからです。***

- サイクル 1：コアへの JTAGSW 入力信号は 1 または 0 に（nTRST、TDI、および TMS では 1 に、TCK では 0 に）接続されます。
- サイクル 2：GPIO コントローラが SWJTAG 入出力ピンの制御（方向、プルアップ/ダウン、シュミットトリガの有効化などの制御）信号を受け取ります。

25.4.3 JTAG ピンでの内部プルアップ/プルダウン

JTAG 入力ピンは、デバッグモード機能を制御するためにフリップフロップに直結されます。したがって、JTAG 入力ピンをフロート状態にしないことが必要です。これらのフリップフロップの一部のクロックに直結される SWCLK/TCK ピンについては、特に注意が必要です。

入出力レベルを正しく制御するため、デバイスには内部プルアップ/プルダウンが JTAG 入力ピンに内蔵されています。

- NJTRST：内部プルアップ
- JTDI：内部プルアップ
- JTMS/SWDIO：内部プルアップ
- TCK/SWCLK：内部プルダウン

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

JTAG 入出力がユーザソフトウェアによって解放されると、GPIO コントローラが再び制御権を獲得します。GPIO 制御レジスタのリセット状態によって、入出力は以下のような状態に置かれます。

- NJTRST：入力プルアップ
- JTDI：入力プルアップ
- JTMS/SWDIO：入力プルアップ
- JTCK/SWCLK：入力プルダウン
- JTDO：入力フローティング

これによって、ソフトウェアはこれらの入出力を標準 GPIO として使用できます。

注： ***JTAG IEEE 規格では、TDI、TMS、および nTRST にプルアップを追加することを推奨していますが、TCK に関しては特別な推奨はありません。ただし、JTCK に関しては、デバイスは内蔵プルダウンを必要とします。***

プルアップとプルダウンを内蔵しているため、外部抵抗を追加する必要がありません。

25.4.4 シリアルワイヤの使用と、未使用のデバッグピンを GPIO として解放する方法

シリアルワイヤ DP を使用して一部の GPIO を解放するには、ユーザソフトウェアは、リセット直後に SWJ_CFG=010 に設定する必要があります。これによって PA15、PB3、および PB4 が解放され、GPIO として使用できるようになります。

デバッグ時には、ホストは次の動作を行います。

- システムリセット中に、すべての SWJ ピンが割り当てられます（JTAG-DP + SW-DP）。
- システムリセット中に、デバッガホストは、JTAG-DP から SW-DP に切り替える JTAG シーケンスを送信します。
- システムリセット中に、さらに、デバッガはベクタリセットにブレークポイントを設定します。
- システムリセットは解除され、コアは停止します。
- これ以降のすべてのデバッグ通信は、SW-DP を使用して行われます。残りの JTAG ピンは、ユーザソフトウェアによって GPIO として再割り当てできます。

注： ***ユーザソフトウェアの設計に関しては、次の点に注意してください。***

デバッグピンを解放するには、リセット後にユーザソフトウェアがピンを解放するまでの一定の期間、デバッグピンは、まず、入力プルアップ（nTRST、TMS、TDI）、プルダウン（TCK）、または出力トライステート（TDO）に設定されることに注意してください。

デバッグピン（JTAG、SW、または TRACE）が配置されると、IOPORT コントローラの対応する入出力ピンの設定を変更しても効果はありません。

25.5 STM32F100xxJTAG TAP 接続

STM32F100xx MCU は、バウンダリスキャン TAP（IR は 5 ビット幅）と Cortex-M3 TAP（IR は 4 ビット幅）という、シリアル接続された 2 個の JTAG TAP を内蔵しています。

デバッグ目的で Cortex-M3 の TAP にアクセスするには、

1. まず、バウンダリスキャン TAP の BYPASS 命令をシフトする必要があります。
2. 次に、IR シフトごとに、スキャンチェインには 9 (=5+4) ビットが格納され、未使用の TAP 命令を BYPASS 命令によってシフトインする必要があります。
3. データシフトごとに、BYPASS モードにある未使用の TAP は、データスキャンチェインに 1 個のデータビットを追加します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

注： *重要：専用の ARM JTAG シーケンスを使用してシリアルワイヤが選択されると、バウンダリスキャン TAP は自動的に無効になります（JTMS は強制的にハイレベルになります）。*

図 286. JTAG TAP 接続

25.6 ID コードとロック機構

STM32F100xx MCU には、内部にいくつかの ID コードがあります。ツール設計者は、外部 PPB メモリマップのアドレス 0xE0042000 に配置されている MCU デバイス ID コードを使用して、デバッガをロックすることを強く推奨します。

25.6.1 MCU デバイス ID コード

STM32F100xx MCU には MCU ID コードが内蔵されています。この ID は、ST MCU の部品番号とダイのリビジョンを識別します。これは DBG_MCU 部品の一部であり、外部 PPB バスに配置されます（*セクション 25.15（659 ページ）*を参照）。このコードにアクセスするには、JTAG デバッグポート（4～5 本のピン）、SW デバッグポート（2 本のピン）、またはユーザソフトウェアを使用します。アクセスは MCU がシステムリセット中でも可能です。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

DBGMCU_IDCODE

アドレス：0xE0042000

32 ビットアクセスのみサポートされます。読み出し専用。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
REV_ID															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み				DEV_ID											
				r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:16 **REV_ID(15:0)**：リビジョン識別子

このフィールドは、デバイスのリビジョンを示します。

小容量および中容量バリューラインデバイスでは、

– 0x1000 = リビジョン A

– 0x1001 = リビジョン Z

大容量バリューラインデバイスでは、

– 0x1000 = リビジョン A

ビット 15:12 予約済み

ビット 11:0 **DEV_ID(11:0)**：デバイス識別子

このフィールドは、デバイス ID を示します。

小容量および中容量バリューラインデバイスでは、デバイス ID は 0x420 です。

大容量バリューラインデバイスでは、デバイス ID は 0x428 です。

25.6.2 バウンダリスキャン TAP

JTAG ID コード

STM32F100xx BSC（バウンダリスキャン）の TAP は、次の値に等しい JTAG ID コードを内蔵しています。

- 小容量および中容量バリューラインデバイスでは、
  - 0x06420041 = リビジョン A およびリビジョン Z
- 大容量バリューラインデバイスでは、
  - 0x06428041 = リビジョン A

25.6.3 Cortex-M3 TAP

ARM Cortex-M3 の TAP は、JTAG ID コードを内蔵しています。この ID コードは ARM のデフォルトであり、変更されていません。このコードは、JTAG デバッグポートからのみアクセスできます。このコードは **0x3BA00477** です（Cortex-M3 r1p1-01rel0 に対応、*セクション 25.2：ARM リファレンス資料*を参照）。

デバッガ/プログラマツールでは、DEV_ID(11:0) のみを識別に使用してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

25.6.4 Cortex-M3 JEDEC-106 ID コード

ARM Cortex-M3 は JEDEC-106 ID コードを内蔵しています。これは内部 PPB バスのアドレス 0xE00FF000_0xE00FFFFF に配置された 4KB ROM テーブルに置かれています。

このコードは、JTAG デバッグポート（4～5 本のピン）、SW デバッグポート（2 本の ピン）、またはユーザソフトウェアによってアクセスできます。

25.7 JTAG デバッグポート

標準的な JTAG ステートマシンは、4 ビット命令レジスタ（IR）と 5 個のデータレジスタを搭載しています（詳細については、*Cortex-M3* r1p1 Technical *Reference Manual（TRM）とセクション 25.2 : ARM リファレンス資料を参照)*。

表 144. JTAG デバッグポートのデータレジスタ

IR(3:0)	データレジスタ	詳細
1111	BYPASS [1 ビット]	
1110	IDCODE [32 ビット]	*ID コード* 0x3BA00477（ARM Cortex-M3 r1p1-01rel0 ID コード）
1010	DPACC [35 ビット]	*デバッグポートアクセスレジスタ* デバッグポートを初期化し、デバッグポートレジスタへのアクセスを可能にします。 – 入力データ転送時： ビット 34:3 = DATA[31:0] = 書き込みリクエスト用に転送する 32 ビットデータ ビット 2:1 = A[3:2] = デバッグポートレジスタの 2 ビットアドレス ビット 0 = RnW = 読み出しリクエスト（1）または書き込みリクエスト（0） – 出力データ転送時： ビット 34:3 = DATA[31:0] = 読み出しリクエストに続いて読み出される 32 ビットデータ ビット 2:0 = ACK[2:0] = 3 ビット確認応答： 010 = OK/FAULT 001 = WAIT その他 = 予約済み A(3:2) ビットの説明については、*表 145* を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 144. JTAG デバッグポートのデータレジスタ （続き）

IR(3:0)	データレジスタ	詳細
1011	APACC [35 ビット]	*アクセスポートアクセスレジスタ* アクセスポートを初期化し、アクセスポートレジスタへのアクセスを可能にします。 – 入力データ転送時： ビット 34:3 = DATA[31:0] = 書き込みリクエスト用にシフトインする 32 ビットデータ ビット 2:1 = A[3:2] = 2 ビットアドレス（サブアドレス AP レジスタ） ビット 0 = RnW = 読み出しリクエスト（1）または書き込みリクエスト（0） – 出力データ転送時： ビット 34:3 = DATA[31:0] = 読み出しリクエストに続いて読み出される 32 ビットデータ ビット 2:0 = ACK[2:0] = 3 ビット確認応答： 010 = OK/FAULT 001 = WAIT その他 = 予約済み 次の項目の組み合わせとして、多くの AP レジスタ（AHB-AP を参照）をアドレス指定します。 – シフトされた値 A[3:2] – DP SELECT レジスタの現在値
1000	ABORT [35 ビット]	*アボートレジスタ* – ビット 31:1 = 予約済み – ビット 0 = DAPABORT：DAP アボートを生成するには 1 を書き込みます

表 145. シフトされた値 A[3:2] によってアドレス指定される 32 ビットデバッグポートレジスタ

アドレス	A(3:2) の値	説明
0x0	00	予約済み
0x4	01	DP CTRL/STAT レジスタ .次の目的で使用されます。 – システムまたはデバッグのパワーアップリクエスト – AP アクセス用の転送動作設定 – プッシュト比較およびプッシュト検証動作の制御 – ステータスフラグ（オーバーラン、パワーアップ確認応答）の読み出し
0x8	10	DP SELECT レジスタ : 現在のアクセスポートと有効な 4 ワードレジスタウィンドウの選択に使用されます。 – ビット 31:24：APSEL：現在の AP を選択します – ビット 23:8 = 予約済み – ビット 7:4：APBANKSEL：現在の AP 上で有効な 4 ワードレジスタウィンドウを選択します – ビット 3:0 = 予約済み
0xC	11	DP RDBUFF レジスタ：一連の動作の後で（新しい JTAG-DP 動作をリクエストせずに）、デバッガが最終結果を得られるようにします。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

25.8 SW デバッグポート

25.8.1 SW プロトコルの概要

この同期式シリアルプロトコルでは、2 本のピンを使用します。

- SWCLK：ホストからターゲットへのクロック
- SWDIO：双方向

このプロトコルでは、2 バンクのレジスタ（DPACC レジスタと APACC レジスタ）の読み出し/書き込みが可能です。

ビットは、ワイヤ上を LSB ファーストで転送されます。

SWDIO を双方向管理するには、ボード上でラインがプルアップされている必要があります（ARM の推奨値は 100 KΩ です）。

プロトコルで SWDIO の方向が変化するたびに、ラインがホストからもターゲットからも駆動されないターンアラウンド時間が挿入されます。このターンアラウンド時間のデフォルトは 1 ビット時間ですが、SWCLK 周波数の設定によって調整できます。

25.8.2 SW プロトコルシーケンス

各シーケンスは 3 つのフェーズから構成されます。

1. ホストによって送信されるパケットリクエスト（8 ビット）
2. ターゲットによって送信される確認応答（3 ビット）
3. ホストまたはターゲットによって送信されるデータ転送フェーズ（33 ビット）

表 146. パケットリクエスト（8 ビット）

ビット	名称	説明
0	Start	“1”であることが必要です
1	APnDP	0：DP アクセス 1：AP アクセス
2	RnW	0：書き込みリクエスト 1：読み出しリクエスト
4:3	A(3:2)	DP/AP レジスタのアドレスフィールド（*表 145* を参照）
5	Parity	先行するビットの 1 ビットパリティ
6	Stop	0
7	Park	ホストによって駆動されません。プルアップの効果で、ターゲットには”1”と読み出される必要があります。

DPACC レジスタと APACC レジスタの詳細については、*Cortex-M3* r1p1 *TRM* を参照してください。

パケットリクエストの後には、ホストもターゲットもラインを駆動しないターンアラウンド時間（デフォルトでは 1 ビット）が続きます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 147. ACK 応答（3 ビット）

ビット	名称	説明
0..2	ACK	001：FAULT 010：WAIT 100：OK

READ トランザクションである場合や、WAIT または FAULT 確認応答が受信された場合にのみ、ACK 応答の後にターンアラウンド時間が続く必要があります。

表 148. DATA 転送（33 ビット）

ビット	名称	説明
0..31	WDATA または RDATA	書き込み/読み出しデータ
32	Parity	32 データビットの 1 ビットパリティ

READ トランザクションの場合にのみ、DATA 転送の後にターンアラウンド時間が続く必要があります。

25.8.3 SW-DP ステートマシン（リセット、アイドル状態、ID コード）

SW-DP のステートマシンには、SW-DP を識別する、JEP-106 規格に準じた内部 ID コードがあります。この ID コードは、ARM のデフォルトであり、**0x1BA01477**（Cortex-M3 r1p1 に対応）がセットされています。

注： ***SW-DP ステートマシンは、ターゲットがこの ID コードを読み出すまで無効であることに注意してください。***

- パワーオンリセット後、または DP が JTAG から SWD に切り替えられた後、またはラインが 50 サイクルを超えてハイレベルにあった後では、SW-DP ステートマシンは RESET 状態になります。
- RESET 状態の後、ラインが 2 サイクル以上の間ローレベルである場合、SW-DP ステートマシンは IDLE 状態になります。
- RESET 状態の後は、まず IDLE 状態に入り、DP-SW ID CODE レジスタの読み出しアクセスを行う必要があります。さもなければ、ターゲットは、他のトランザクションに対して FAULT 確認応答を発行します。

SW-DP ステートマシンの詳細については、*Cortex-M3 r1p1 TRM* および *CoreSight Design Kit r1p0 TRM* を参照してください。

25.8.4 DP と AP の読み出し/書き込みアクセス

- DP への読み出しアクセスはポストされません。ターゲットは、ACK=OK の場合は直ちに応答し、ACK=WAIT の場合は遅れて応答します。
- AP への読み出しアクセスはポストされます。つまり、アクセスの結果は次の転送時に返されます。次のアクセスが AP アクセスでない場合、結果を得るには DP-RDBUFF レジスタを読み出す必要があります。
  AP 読み出しアクセスが成功したかどうかを判断するため、DP-CTRL/STAT レジスタの

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

READOK フラグは、AP 読み出しアクセスまたは RDBUFF 読み出しリクエストのたびに更新されます。

- SW-DP は、DP/AP 書き込み用の書き込みバッファを実装しているため、たとえ他のトランザクションが未処理であっても、書き込み動作を受け付けることができます。書き込みバッファがいっぱいのとき、ターゲットの確認応答は"WAIT"です。ただし、IDCODE 読み出し、CTRL/STAT 読み出し、および ABORT 書き込みは、書き込みバッファがいっぱいであっても受け付けられます。
- 非同期クロックドメイン SWCLK と HCLK によって、書き込みを内部的に有効にするには、書き込みトランザクション後（パリティビット後）に SWCLK の 2 サイクルが余分に必要となります。これらのサイクルは、ラインをローレベルに駆動している間（IDLE 状態）に適用してください。
  これは、パワーアップリクエストのために CTRL/STAT の書き込みを行う際に特に重要です。パワーアップを必要とする次のトランザクションが直ちに発生すると、そのトランザクションは失敗します。

25.8.5 SW-DP レジスタ

これらのレジスタへのアクセスは、APnDP=0 のときに開始されます。

表 149. SW-DP レジスタ

A(3:2)	R/W	SELECT レジスタの CTRLSEL ビット	レジスタ	注
00	読み出し		IDCODE	製造者コードは ST 社のコードではありません。**0x1BA01477**（SW-DP を識別します）。
00	書き込み		ABORT	
01	読み出し/書き込み	0	DP-CTRL/STAT	用途は、 – システム/デバッグパワーアップのリクエスト – AP アクセス用の転送動作の設定 – プッシュト比較/プッシュト検証動作の制御 – ステータスフラグの読み出し（オーバーラン、パワーアップ確認応答）
01	読み出し/書き込み	1	WIRE CONTROL	物理的なシリアルポートプロトコルの設定（ターンアラウンド時間など）
10	読み出し		READ RESEND	元の AP 転送を反復しなくても、破壊されたデバッガ転送からの読み出しデータの復旧を可能にします。
10	書き込み		SELECT	現在のアクセスポートと有効な 4 ワードレジスタウィンドウを選択します。
11	読み出し/書き込み		READ BUFFER	AP アクセスはポストされるため、この読み出しバッファは効果的です（AP 読み出しリクエストの結果は、次の AP トランザクションで得られます）。 この読み出しバッファは、新しいトランザクションを開始することなく、前回の読み出しの結果として AP から出力されるデータをキャプチャします。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

25.8.6 SW-AP レジスタ

これらのレジスタへのアクセスは、APnDP=1 のときに開始されます。

次の項目の組み合わせとして、多くの AP レジスタ（AHB-AP を参照）をアドレス指定します。

- シフトされた値 A[3:2]
- DP SELECT レジスタの現在値

25.9 AHB-AP（AHB アクセスポート）- JTAG-DP と SW-DP の両方に有効

機能：

- システムアクセスはプロセッサステータスと独立
- SW-DP または JTAG-DP が AHB-AP にアクセス
- AHB-AP はバスマトリックスの AHB マスタです。したがって、AHB-AP は ICode バスを除くすべてのデータバス（Dcode バス、システムバス、内部/外部の PPB バス）にアクセスできます。
- ビットバンドトランザクションがサポートされます。
- AHB-AP トランザクションは FPB を迂回します。

32 ビット AHB-AP レジスタは 6 ビット幅（最大 64 ワードまたは 256 バイト）であり、以下の構成となっています。

d) ビット [7:4] = DP_SELECT レジスタのビット [7:4] APBANKSEL

e) ビット [3:2] = SW-DP 用の 35 ビットパケットリクエストの 2 ビットアドレス A(3:2)

Cortex-M3 の AHB-AP は、9 個の 32 ビットレジスタを内蔵しています。

表 150. Cortex-M3 AHB-AP レジスタ

アドレスオフセット	レジスタ名	注
0x00	AHB-AP 制御およびステータスワード	AHB インタフェースを通じて転送を設定および制御します（サイズ、hprot、現在の転送のステータス、アドレスインクリメントタイプ）。
0x04	AHB-AP 転送アドレス	
0x0C	AHB-AP データ読み出し/書き込み	
0x10	AHB-AP バンクデータ 0	転送アドレスレジスタを書き換えずに、4 個のアラインドデータワードを直接配置します。
0x14	AHB-AP バンクデータ 1	
0x18	AHB-AP バンクデータ 2	
0x1C	AHB-AP バンクデータ 3	
0xF8	AHB-AP デバッグ ROM アドレス	デバッグインタフェースのベースアドレス
0xFC	AHB-AP ID レジスタ	

詳細については、*Cortex-M3 r1p1 TRM* を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

25.10 コアデバッグ

コアデバッグはコアデバッグレジスタを通じてアクセスされます。これらのレジスタへのデバッグアクセスには、*Advanced High-performance Bus*（AHB-AP）ポートを使用します。プロセッサは、内部の*専用ペリフェラルバス*（PPB）を介してこれらのレジスタに直接アクセスできます。

コアデバッグは 4 個のレジスタから構成されています。

表 151. コアデバッグレジスタ

レジスタ	説明
DHCSR	*32 ビットのデバッグホールト制御/ステータスレジスタ* プロセッサの状態についてのステータス情報を提供し、コアデバッグを有効にし、プロセッサのホールトとステップ実行を行います。
DCRSR	*17 ビットのデバッグコアレジスタセレクタレジスタ：* データの転送先または転送元となるプロセッサレジスタを選択します。
DCRDR	*32 ビットのデバッグコアレジスタデータレジスタ：* DCRSR（セレクタ）レジスタによって選択されたプロセッサとの間でレジスタの読み出しと書き込みを行うためのデータを保持します。
DEMCR	*32 ビットのデバッグ例外/モニタ制御レジスタ：* ベクタキャッチとデバッグモニタの制御を行います。このレジスタには、TRACE を使用できるようにする ***TRCENA*** というビットがあります。

注： ***重要：これらのレジスタは、システムリセットによってはリセットされません。パワーオンリセットによってのみリセットされます。***

詳細については、*Cortex-M3* r1p*1 TRM* を参照してください。

リセット時に停止させるには、

- デバッグ例外/モニタ制御レジスタのビット 0（VC_CORRESET）を有効にします。
- デバッグホールト制御/ステータスレジスタのビット 0（C_DEBUGEN）を有効にします。

25.11 システムリセット中のデバッガホスト接続機能

STM32F100xx MCU のリセットシステムは、次のリセットソースから構成されます。

- POR（パワーオンリセット）：パワーアップのたびに RESET をアサートします。
- 内部ウォッチドッグリセット
- ソフトウェアリセット
- 外部リセット

Cortex-M3 では、デバッグ部のリセット（一般に PORRESETn）とそれ以外のリセット（SYSRESETn）が区別されます。

こうすれば、リセットベクタをフェッチするときにコアを停止させるようコアデバッグレジスタをプログラミングすることで、デバッガはシステムリセット中に接続が可能になります。これによってホストはシステムリセットを解除でき、コアは命令を実行しなくても、ただちに停止します。さらに、システムリセット中にデバッグ機能をプログラミングできます。

注： ***システムリセット中にデバッガホストを接続する（リセットベクタにブレークポイントを設定する）ことを強く推奨します。***

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

25.12 FPB（フラッシュパッチブレークポイント）

FPB ユニットは、

- ハードウェアブレークポイントを実装します。
- コード空間からシステム空間に、コードとデータをパッチします。この機能によって、コードメモリ空間にあるソフトウェアバグの訂正が可能になることがあります。

ソフトウェアパッチとハードウェアブレークポイントは同時に使用できません。

FPB は以下から構成されます。

- コード空間からのリテラルロードと照合し、システム空間内の対応する領域に再配置する 2 個のリテラルコンパレータ。
- コード空間からの命令フェッチと照合する 6 個の命令コンパレータ。命令コンパレータを使用すると、システム空間内の対応する領域に再配置したり、コアへのブレークポイント命令を生成したりできます。

25.13 DWT（データウォッチポイントトリガ）

DWT ユニットは 4 個のコンパレータから構成されており、次の用途に設定できます。

- ハードウェアウォッチポイント
- PC サンプラ
- データアドレスサンプラ

DWT は、プロファイル情報を提供することもできます。このため、次の数を得るためのカウンタにアクセスできます。

- クロックサイクル数
- フォールドされた命令数
- ロードストアユニット（LSU）の動作数
- スリープサイクル数
- CPI（命令あたりのクロック数）
- 割り込みオーバーヘッドの回数

25.14 ITM（計測トレースマクロセル）

25.14.1 概要

ITMは、アプリケーション駆動のトレースソースであり、*オペレーティングシステム*（OS）やアプリケーションのイベントをトレースする *printf* 方式のデバッグをサポートし、システムの診断情報を発行します。ITM がパケットとして発行するトレース情報は、次のように生成できます。

- **ソフトウェアトレース**：ソフトウェアは、ITM スティムラスレジスタに直接書き込みを行って、パケットを発行できます。
- **ハードウェアトレース**：DWT がパケットを生成し、ITM がそれを発行します。
- **タイムスタンプ**：タイムスタンプはパケットを基準にして発行されます。ITM は、タイムスタンプを生成するための 21 ビットカウンタを内蔵しています。カウンタは、Cortex-M3 クロックまたは*シリアルワイヤ ビューア*（SWV）出力のビットクロックレートによって駆動されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ITM によって発行されたパケットは、TPIU（トレースポートインタフェースユニット）に出力されます。TPIU のフォーマッタは、いくつかのパケットを追加してから（TPIU を参照）、完全なパケットシーケンスをデバッガホストに出力します。

ITM をプログラミングまたは使用するには、その前に、デバッグ例外/モニタ制御レジスタの TRCEN ビットを有効にする必要があります。

25.14.2 タイムスタンプパケット、同期およびオーバーフローパケット

タイムスタンプパケットは、タイムスタンプ情報や一般的な制御および同期情報をコード化します。そのために使用される 21 ビットのタイムスタンプカウンタ（プリスケーラ付きの場合もあります）は、タイムスタンプパケットが発行されるたびにリセットされます。このカウンタは、CPU クロックまたは SWV クロックによって駆動できます。

同期パケットは 6 バイトの値 0x80_00_00_00_00_00 から構成され、TPIU には 00 00 00 00 00 80 として LSB ファーストで発行されます。

同期パケットはタイムスタンプ制御のためのパケットで、DWT トリガのたびに発行されます。

このため、DWT 制御レジスタの CYCCNTENA（ビット 0）をセットして、ITM をトリガするように DWT を設定する必要があります。さらに、ITM トレース制御レジスタのビット2（SYNCENA）もセットする必要があります。

注： ***SYNENA ビットがセットされていない場合、DWT は TPIU への同期トリガを生成し、TPIU 同期パケットのみが送信され、ITM 同期パケットは送信されません。***

オーバーフローパケットは、データの書き込み時に FIFO がいっぱいであったことを示す特殊なタイムスタンプパケットで構成されます。

表 152. 主な ITM レジスタ

アドレス	レジスタ	詳細
@E0000FB0	ITM ロックアクセス	他の ITM レジスタへの書き込みアクセスをロック解除するには、0xC5ACCE55 を書き込みます。
@E0000E80	ITM トレース制御	ビット 31-24 = 常に 0
		ビット 23 = ビジー
		ビット 22-16 = トレースデータのソースを識別する 7 ビットの ATB ID
		ビット 15-10 = 常に 0
		ビット 9:8 = TSPrescale = タイムスタンププリスケーラ
		ビット 7-5 = 予約済み
		ビット 4 = SWOENA = SWV 動作（タイムスタンプカウンタを SWV クロックによって駆動）を有効にします。
		ビット 3 = DWTENA : DWT スティムラスを有効にします。
		ビット 2 = SYNCENA : DWT が同期トリガを生成して TPIU が同期パケットを発行できるようにするには、このビットを 1 にする必要があります。
		ビット 1 = TSENA（タイムスタンプイネーブル）
		ビット 0 = ITMENA : ITM のグローバルイネーブルビット

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 152. 主な ITM レジスタ （続き）

アドレス	レジスタ	詳細
@E0000E40	ITM トレース特権	ビット 3：ポート 31:24 のトレースを有効にするマスク
		ビット 2：ポート 23:16 のトレースを有効にするマスク
		ビット 1：ポート 15:8 のトレースを有効にするマスク
		ビット 0：ポート 7:0 のトレースを有効にするマスク
@E0000E00	ITM トレースイネーブル	各ビットは、トレースを生成するために対応するスティムラスポートを有効にします。
@E0000000-E000007C	スティムラスポートレジスタ 0-31	選択されたスティムラスポート（32 個まで）に 32 ビットデータを書き込んでトレース出力します。

設定例

TPIU に単純な値を出力するには、

- TPIU を設定し、DBGMCU_CR を設定することによって TRACE 入出力を割り当てます（*セクション 25.16.2：TRACE ピンの割り当て*と*セクション 25.15.3：デバッグ MCU 設定レジスタ*を参照）。
- ITM ロックアクセスレジスタに 0xC5ACCE55 を書き込んで、ITM レジスタへの書き込みアクセスをロック解除します。
- ITM トレース制御レジスタに 0x00010005 を書き込んで、同期を有効にした状態で ITM を有効にし、ATB ID を 0x00 以外の値にします。
- ITM トレースイネーブルレジスタに 0x1 を書き込んで、スティムラスポート 0 を有効にします。
- ITM トレース特権レジスタに 0x1 を書き込んで、スティムラスポート 7:0 をマスク解除します。
- 出力する値をスティムラスポートレジスタ 0 に書き込みます。これにはソフトウェア（printf 関数）を使用します。

25.15 MCU デバッグコンポーネント（DBGMCU）

MCU デバッグコンポーネントは、デバッガによる次のサポート機能を支援します。

- 低電力モード
- ブレークポイントにおける、タイマ、ウォッチドッグ、I^2C のクロック制御
- TRACE ピンの割り当て制御

25.15.1 低電力モードのデバッグサポート

低電力モードに入るには、WFI または WFE 命令を実行する必要があります。

MCU はいくつかの低電力モードを実装しており、CPU クロックを無効にしたり、CPU の消費電力を低減したりすることができます。

デバッグセッション中には、FCLK や HCLK をオフにすることはできません。これらは、デバッグ時のデバッガ接続に必要なので、有効な状態に保つ必要があります。MCU は、ユーザが低電力モードでソフトウェアをデバッグするための特殊な手段を備えています。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

このため、デバッガホストは、最初にいくつかのデバッグ設定レジスタをセットして、低電力モード動作を変更する必要があります。

- SLEEP モードでは、DBGMCU_CR レジスタの DBG_SLEEP ビットをデバッガによって事前にセットする必要があります。これによって、HCLK には FCLK と同じクロックが供給されます（システムクロックはソフトウェアによって事前に設定されています）。
- STOP モードでは、DBG_STOP ビットをデバッガによって事前にセットする必要があります。これによって、内部 RC オシレータが、STOP モードで FCLK と HCLK にクロックを供給できます。

25.15.2 タイマ、ウォッチドッグ、および I²C のデバッグサポート

ブレークポイントにおいては、タイマのカウンタやウォッチドッグの動作方法を選択する必要があります。

- ブレークポイントの中でもカウントを継続できます。これは、たとえば、PWM がモータを制御しているときに一般的に必要です。
- ブレークポイントの中でカウントを停止できます。これはウォッチドッグ用に必要です。

I²C の場合、ブレークポイントにおいては SMBUS タイムアウトをブロックするように選択できます。

25.15.3 デバッグ MCU 設定レジスタ

このレジスタを使用して、デバッグ中に MCU を設定できます。次の設定が可能です。

- 低電力モードのサポート
- タイマおよびウォッチドッグカウンタのサポート
- TRACE ピンの割り当て

この DBGMCU_CR は、アドレス 0xE0042004 にある外部 PPB バスに配置されます。

このレジスタは PORESET によって非同期にリセットされます（システムリセットではありません）。システムリセット中に、デバッガによって書き込みが可能です。

デバッガホストがこれらの機能をサポートしない場合でも、ユーザソフトウェアによってこれらのレジスタへの書き込みが可能です。

DBGMCU_CR

アドレス：0xE004 2004

32 ビットアクセスのみサポートされます。

POR リセット：0x0000 0000（システムリセットではリセットされません）

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み				DBG_TIM14_STOP	DBG_TIM13_STOP	DBG_TIM12_STOP	DBG_TIM17_STOP	DBG_TIM16_STOP	DBG_TIM15_STOP	予約済み	DBG_TIM7_STOP	DBG_TIM6_STOP	DBG_TIM5_STOP	予約済み	DBG_I2C2_SMBUS_TIMEOUT
				rw	rw	rw	rw	rw	rw		rw	rw	rw		rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DBG_I2C1_SMBUS_TIMEOUT	予約済み	DBG_TIM4_STOP	DBG_TIM3_STOP	DBG_TIM2_STOP	DBG_TIM1_STOP	DBG_WWDG_STOP	DBG_IWDG STOP	TRACE_MODE [1:0]		TRACE_IOEN	予約済み		DBG_STANDBY	DBG_STOP	DBG_SLEEP
rw		rw	rw	rw	rw	rw	rw	rw	rw	rw			rw	rw	rw

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 31:28 予約済み、クリア状態を保つ必要があります。

ビット 27:25 **DBG_TIMx_STOP**：コア停止時に TIMx カウンタは停止（x=12..14）

0：コアが停止した場合も当該タイマカウンタのクロックは供給されます。
1：コアが停止すると当該タイマカウンタのクロックは停止します。

ビット 24:22 **DBG_TIMx_STOP**：コア停止時に TIMx カウンタは停止（x=17..15）

0：コアが停止した場合も当該タイマカウンタのクロックは供給されます。
1：コアが停止すると当該タイマカウンタのクロックは停止します。

ビット 21 予約済み、クリア状態を保つ必要があります。

ビット 20:18 **DBG_TIMx_STOP**：コア停止時に TIMx カウンタは停止（x=5..7）

0：コアが停止した場合も当該タイマカウンタのクロックは供給され、出力は通常動作です。
1：コアが停止すると、当該タイマカウンタのクロックは停止し、出力は無効になります（ブレークイベントによる緊急停止の場合と同様）。

ビット 17 予約済み、クリア状態を保つ必要があります。

ビット 16 **DBG_I2C2_SMBUS_TIMEOUT**：コア停止時に SMBUS タイムアウトモードは停止

0：通常モードと同じ動作です。
1：SMBUS タイムアウトは凍結されます。

ビット 15 **DBG_I2C1_SMBUS_TIMEOUT**：コア停止時に SMBUS タイムアウトモードは停止

0：通常モードと同じ動作です。
1：SMBUS タイムアウトは凍結されます。

ビット 14:13 予約済み、クリア状態を保つ必要があります。

ビット 13:10 **DBG_TIMx_STOP**：コア停止時に TIMx カウンタは停止（x=4..1）

ビット 9 **DBG_WWDG_STOP**：コア停止時にデバッグウィンドウ型ウォッチドッグは停止

0：コアが停止した場合もウィンドウ型ウォッチドッグカウンタのクロックは継続されます。
1：コア停止時にウィンドウ型ウォッチドッグカウンタのクロックは停止します。

ビット 8 **DBG_IWDG_STOP**：コア停止時にデバッグ独立型ウォッチドッグは停止

0：コアが停止した場合もウォッチドッグカウンタのクロックは継続されます。
1：コア停止時にウォッチドッグカウンタのクロックは停止します。

ビット 7:5 **TRACE_MODE[1:0] および TRACE_IOEN**：TRACE ピンの割り当て制御

– *TRACE_IOEN=0 の場合：*
TRACE_MODE=xx：TRACE ピンは割り当てられません（デフォルト状態）。
– *TRACE_IOEN=1 の場合：*
  – TRACE_MODE=00：非同期モード用の TRACE ピン割り当て
  – TRACE_MODE=01：同期モード用の TRACE ピン割り当て（TRACEDATA サイズ = 1）
  – TRACE_MODE=10：同期モード用の TRACE ピン割り当て（TRACEDATA サイズ = 2）
  – TRACE_MODE=11：同期モード用の TRACE ピン割り当て（TRACEDATA サイズ = 4）

ビット 4:3 予約済み、クリア状態を保つ必要があります。

ビット 2 **DBG_STANDBY**：デバッグ STANDBY モード

0：（FCLK=Off、HCLK=Off）デジタル部全体が電源オフになります。
ソフトウェアから見て、STANDBY モードから抜けることは、リセットベクタのフェッチと同じになります（ただし、いくつかのステータスビットは MCU が STANDBY モードからリスタートしていることを示します）。
1：（FCLK=On、HCLK=On）この場合、デジタル部は電源オフ状態ではなく、FCLK と HCLK はアクティブ状態の内部 RC オシレータから供給されます。さらに、MCU は STANDBY モード中にシステムリセットを生成するため、STANDBY モードから抜けることはリセットベクタのフェッチと同じになります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

ビット 1 **DBG_STOP**：デバッグ STOP モード

0：（FCLK=Off、HCLK=Off）STOP モードでは、クロックコントローラがすべてのクロック（HCLK と FCLK を含む）を無効にします。STOP モードから抜けると、クロック設定はリセット後の場合と同じになります（CPU は 8 MHz の内部 RC オシレータ（HSI）から供給されます）。したがって、ソフトウェアは、クロックコントローラを再プログラムして、PLL やクリスタル発振子などを有効にする必要があります。

1：（FCLK=On、HCLK=On）この場合、STOP モードに入ると、FCLK と HCLK は STOP モードでもアクティブ状態の内部 RC オシレータから供給されます。STOP モードから抜けるとき、ソフトウェアは、クロックコントローラを再プログラムして、PLL やクリスタル発振子などを有効にする必要があります（DBG_STOP=0 の場合と同様です）。

ビット 0 **DBG_SLEEP**：デバッグ SLEEP モード

0：（FCLK=On、HCLK=Off）SLEEP モードでは、FCLK はソフトウェアによって事前に設定されたシステムクロックによって駆動され、HCLK は無効にされます。

SLEEP モードでは、クロックコントローラの設定はリセットされず、事前にプログラミングされた状態のままです。したがって、SLEEP モードから抜けるときに、ソフトウェアでクロックコントローラを再設定する必要はありません。

1：（FCLK=On、HCLK=On）この場合、SLEEP モードに入ると、HCLK には FCLK と同じクロック（ソフトウェアによって事前に設定されたシステムクロック）が供給されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

25.16 TPIU（トレースポートインタフェースユニット）

25.16.1 概要

TPIU は、ITM からのオンチップトレースデータ間のブリッジとしての役割を果たします。

出力データストリームによってカプセル化されたトレースソース ID は、TPA（*トレースポートアナライザ*）によってキャプチャされます。

低コストのデバッグを可能にするため、コアには単純な TPIU（特別バージョンの CoreSight TPIU から構成）が内蔵されています。

図 287. TPIU ブロック図

25.16.2 TRACE ピンの割り当て

- 非同期モード

  非同期モードは、1 本のピンを追加で必要とし、すべてのパッケージで使用できます。非同期モードは、JTAG モードではなくシリアルワイヤモードを使用する場合にのみ使用できます。

表 153. 非同期 TRACE ピンの割り当て

TPIU ピン名	TRACE 同期モード		STM32F100xx ピン割り当て
	タイプ	説明	
TRACESWO	O	TRACE 非同期データ出力	PB3

- 同期モード

  同期モードは、データトレースサイズに応じて 2～6 本のピンを追加で必要とし、大型パッケージでのみ使用できます。さらに、JTAG モードとシリアルワイヤモードでも使用でき、非同期トレースよりも優れた帯域幅出力機能を提供します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

表 154. 同期 TRACE ピンの割り当て

TPIU ピン名	TRACE 同期モード		STM32F100xxピン割り当て
	タイプ	説明	
TRACECK	O	TRACE クロック	PE2
TRACED[3:0]	O	TRACE 同期データ出力 1、2、または 4 とすることができます。	PE[6:3]

TPIU TRACE ピンの割り当て

デフォルトでは、これらのピンは割り当てられません。これらのピンを割り当てるには、***MCU デバッグコンポーネント設定レジスタ***の TRACE_IOEN および TRACE_MODE ビットをセットします。この設定はデバッガホストで行う必要があります。

さらに、割り当てるピン数は、トレースの設定（非同期/同期）によって異なります。

- **非同期モード**：1 本のピンが追加で必要です。
- **同期モード**：データトレースポートレジスタのサイズ（1、2、または 4）に応じて、2～5 本のピンが追加で必要です。
  - TRACECK
  - TRACED(0)、ポートサイズが 1、2、または 4 に設定された場合
  - TRACED(1)、ポートサイズが 2 または 4 に設定された場合
  - TRACED(2)、ポートサイズが 4 に設定された場合
  - TRACED(3)、ポートサイズが 4 に設定された場合

TRACE ピンを割り当てるには、デバッガホストは、デバッグ MCU 設定レジスタ（DBGMCU_CR）の TRACE_IOEN ビットと TRACE_MODE[1:0] ビットをプログラミングする必要があります。デフォルトでは、TRACE ピンは割り当てられません。

このレジスタは、外部 PPB に配置され、PORESET によってリセットされます（システムリセットではありません）。このレジスタは、システムリセット中にデバッガによる書き込みができます。

表 155. 柔軟性の高い TRACE ピン割り当て

DBGMCU_CR レジスタ		ピン割り当て：	TRACE IO ピンの割り当て					
TRACE_IOEN	TRACE_MODE[1:0]		PB3 / JTDO/ TRACESWO	PE2 / TRACECK	PE3 / TRACED[0]	PE4 / TRACED[1]	PE5 / TRACED[2]	PE6 / TRACED[3]
0	XX	トレースなし（デフォルト状態）	解放 (1)					
1	00	非同期トレース	TRACESWO			解放（GPIO として使用可能）		
1	01	同期トレース、1 ビット	解放 (1)	TRACECK	TRACED[0]			
1	10	同期トレース、2 ビット		TRACECK	TRACED[0]	TRACED[1]		
1	11	同期トレース、4 ビット		TRACECK	TRACED[0]	TRACED[1]	TRACED[2]	TRACED[3]

1. シリアルワイヤモードが使用されているときには解除されます。しかし、JTAG が使用されると、JTDO に割り当てられます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

注： ***デフォルトでは、TPIU の TRACECLKIN 入力クロックは GND に接続されています。このクロックは、TRACE_IOEN ビットがセットされてから 2 クロックサイクル後に HCLK に割り当てられます。***

デバッガは、TPIU の SPP_R（選択ピンプロトコル）レジスタの PROTOCOL[1:0] ビットに書き込むことによって、トレースモードをプログラミングする必要があります。

- PROTOCOL=00：トレースポートモード（同期モード）。
- PROTOCOL=01 または 10：シリアルワイヤ（マンチェスタまたは NRZ）モード（非同期モード）。デフォルト状態は 01 です。

次に、TPIU の CPSPS_R（カレント同期化ポートサイズレジスタ）のビット [3:0] に書き込むことによって TRACE ポートサイズも設定します。

- 0x1：1 ピンの場合（デフォルト状態）
- 0x2：2 ピンの場合
- 0x8：4 ピンの場合

25.16.3 TPIU フォーマッタ

フォーマッタプロトコルは、データを 16 バイトフレームで出力します。

- 7 バイトのデータ
- 8 バイトの混合バイトであり、以下の構成になっています。
  - 1 ビット（LSB）：データバイト（”0”）または ID バイト（”1”）を示します。
  - 7 ビット（MSB）：データまたはソース ID トレースの変更とすることができます。
- 1 バイトの補助ビット：各ビットは 8 つの混合バイトのいずれかに対応します。
  - 対応するバイトがデータであった場合、このビットはデータのビット 0 を与えます。
  - 対応するバイトが ID 変更であった場合、このビットはその ID 変更が有効になるタイミングを示します。

注： ***詳細については、ARM CoreSight Architecture Specification v1.0（ARM IHI 0029B）を参照してください。***

25.16.4 TPIU フレーム同期パケット

TPIU は 2 種類の同期パケットを生成できます。

- フレーム同期パケット（フルワード同期パケット）

  これはワード 0x7F_FF_FF_FF（LSB ファーストで発行）から構成されます。ID ソースコード 0x7F が使用されていない場合、このシーケンスは他のタイミングでは発生できません。

  このパケットは、***フレーム間***で定期的に出力されます。

  連続モードでは、同期フレームが検出されると、TPA はこれらすべてのフレームを破棄する必要があります。

- ハーフワード同期パケット

  これはハーフワード 0x7F_FF（LSB ファーストで発行）から構成されます。

  このパケットは***フレーム間またはフレーム内***で定期的に出力されます。

  これらのパケットは連続モードでのみ生成され、TPA は TRACE ポートが IDLE モードである（TRACE はキャプチャされない）ことを検出できるようになります。TPA によって検出されたパケットは、破棄する必要があります。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

25.16.5 同期フレームパケットの送信

コアの TPIU には、同期カウンタレジスタは実装されていません。したがって、同期トリガは **DWT** によってのみ生成できます。DWT 制御レジスタ（SYNCTAP[11:10] ビット）と DWT カレント PC サンプラサイクルカウントレジスタの説明を参照してください。

TPIU フレーム同期パケット（0x7F_FF_FF_FF）は次の場合に発行されます。

- 毎回の TPIU リセットの解除後。このリセットは、TRACECLKIN クロックの立ち上がりエッジに同期して解除されます。つまり、DBGMCU_CFG レジスタの TRACE_IOEN ビットがセットされると、このパケットが送信されます。この場合、ワード 0x7F_FF_FF_FF の後に、フォーマットされたパケットは続きません。
- 毎回の DWT トリガ時（DWT は事前に設定されているものとします）。次の 2 つの場合があります。
  - ITM の SYNENA ビットがリセットされた場合、フォーマットされたストリームなしで、ワード 0x7F_FF_FF_FF だけが発行されます。
  - ITM の SYNENA ビットがセットされた場合、TPIU によってフォーマット（トレースソース ID を追加）された ITM 同期パケットが続きます（0x80_00_00_00_00_00）。

25.16.6 同期モード

トレースデータの出力サイズは 4、2、または 1 ピンから選択できます（TRACED[3:0]）。

出力クロックはデバッガに出力されます（TRACECK）。

なお、TRACECLKIN は内部で駆動され、TRACE が使用される場合にのみ HCLK に接続されます。

注： ***同期モードでは、必ずしも安定したクロック周波数を提供する必要はありません。***

TRACE I/O（TRACECK を含む）は、TRACLKIN（HCLK と同等）の立ち上がりエッジで駆動されます。したがって、TRACECK の出力周波数は HCLK/2 になります。

25.16.7 非同期モード

これは 1 ピン（非同期出力ピン TRACESWO）のみを使用してトレースを出力する低コストな方法ですが、その帯域幅は制限されます。

SW-DP ピンを使用する場合、TRACESWO ピンは JTDO ピンと多重化されます。このように、この機能はすべての STM32F100xx パッケージで使用できます。

この非同期モードでは、TRACECLKIN に一定の周波数が要求されます。標準的な UART（NRZ）のキャプチャ機構では、5 % の精度が必要です。マンチェスタエンコード方式では、10 % までの誤差が許されます。

25.16.8 STM32F100xx 内部の TRACECLKIN 接続

STM32F100xx では、この TRACECLKIN 入力は内部で HCLK に接続されます。つまり、非同期トレースモードでは、アプリケーションは、CPU 周波数が安定しているタイムフレームのみを使用できます。

注： ***重要：非同期トレースを使用する場合は、以下のことに注意してください。***

STM32F100xx MCU のデフォルトクロックは、内部 RC オシレータです。リセット中の周波数はリセット解除後の周波数とは異なります。これは、RC 較正はシステムリセット中のデフォルト動作であり、システムリセット解除のたびに更新されるからです。

したがって、トレースポートアナライザ（TPA）は、システムリセット中に（TRACE_IOEN ビットによって）トレースを有効にするべきではありません。なぜなら、同期フレームパケットは、リセット解除後に送信されるトレースパケットとは異なるビット時間で発行されるからです。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

25.16.9 TPIU レジスタ

TPIU APB レジスタは、デバッグ例外およびモニタ制御レジスタ（DEMCR）の TRCENA ビットがセットされた場合にのみ読み出し/書き込みが可能です。そうでない場合、これらのレジスタはゼロとして読み出されます（このビットの出力は TPIU の PCLK を有効にします）。

表 156. 重要な TPIU レジスタ

アドレス	レジスタ	説明
0xE0040004	現在のポートサイズ	トレースポートサイズの選択： ビット 0：ポートサイズ = 1 ビット 1：ポートサイズ = 2 ビット 2：ポートサイズ = 3、サポートされません ビット 3：ポートサイズ = 4 1 ビットのみセットする必要があります。デフォルトでは、ポートサイズは 1 ビットです。（0x00000001）
0xE00400F0	選択ピンプロトコル	トレースポートプロトコルの選択： ビット 1:0= 00：同期トレースポートモード 01：シリアルワイヤ出力 - マンチェスタ（デフォルト値） 10：シリアルワイヤ出力 - NRZ 11：予約済み
0xE0040304	フォーマッタおよびフラッシュ制御	ビット 31-9 = 常に”0” ビット 8 = TrigIn = 常に"1"で、トリガが指定されたことを示します ビット 7-4 = 常に 0 ビット 3-2 = 常に 0 ビット 1 = EnFCont。同期トレースモード（Select_Pin_Protocol レジスタのビット 1:0 = 00）では、このビットは強制的に"1"にされ、フォーマッタは自動的に連続モードで有効にされます。非同期モード（Select_Pin_Protocol レジスタのビット 1:0 <> 00）では、このビットの書き込みによって、フォーマッタを有効/無効にできます。 ビット 0 = 常に 0 このレジスタのデフォルト値は 0x102 です。 **注：**同期モードでは、TRACECTL ピンがチップ外に配置されないため、フォーマッタは常に連続モードで有効になります。このように、フォーマッタは、トレースパケットの転送元を識別するための制御パケットを挿入します。
0xE0040300	フォーマッタおよびフラッシュステータス	Cortex-M3 では使用されず、常に 0x00000008 が読み出されます。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

25.16.10 設定例

- デバッグ例外およびモニタ制御レジスタ（DEMCR）の TRCENA ビットをセットします。
- TPIU カレントポートサイズレジスタに希望する値を書き込みます（デフォルトは 0x1 で 1 ビットのポートサイズ）。
- TPIU フォーマッタおよびフラッシュ制御レジスタに 0x102（デフォルト値）を書き込みます。
- TPIU 選択ピンプロトコルレジスタに書き込んで同期/非同期モードを選択します。例：非同期 NRZ モード（UART に類似）の場合は 0x2 を書き込みます。
- DBGMCU 制御レジスタに 0x20（IO_TRACEN ビット）を書き込み、TRACE I/O を非同期モードに割り当てます。このとき、TPIU 同期パケット（FF_FF_FF_7F）が発行されます。
- ITM を設定し、ITM スティムラスレジスタに書き込んで値を出力します。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

25.17 DBG レジスタマップ

次の表に、デバッグレジスタの要約を示します。

表 157. DBG レジスタマップとリセット値

アドレス	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0xE0042000	DBGMCU_IDCODE	REV_ID																予約済み				DEV_ID											
	リセット値(1)	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X					X	X	X	X	X	X	X	X	X	X	X	X
0xE0042004	DBGMCU_CR	予約済み				DBG_TIM14_STOP	DBG_TIM13_STOP	DBG_TIM12_STOP	DBG_TIM17_STOP	DBG_TIM16_STOP	DBG_TIM15_STOP	予約済み	DBG_TIM7_STOP	DBG_TIM6_STOP	DBG_TIM5_STOP	予約済み	DBG_I2C2_SMBUS_TIMEOUT	DBG_I2C1_SMBUS_TIMEOUT	予約済み	DBG_TIM4_STOP	DBG_TIM3_STOP	DBG_TIM2_STOP	DBG_TIM1_STOP	DBG_WWDG_STOP	DBG_IWDGSTOP	TRACE_MODE[1:0]		TRACE_IOEN	予約済み		DBG_STANDBY	DBG_STOP	DBG_SLEEP
	リセット値					0	0	0	0	0	0		0	0	0		0	0		0	0	0	0	0	0	0	0	0			0	0	0

1. リセット値は製品に依存します。詳細については、*セクション 25.6.1 : MCU デバイス ID コード*を参照してください。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

26 デバイス電子署名

小容量バリューラインデバイスは、フラッシュメモリ容量が 16～32 KB の STM32F100xx マイクロコントローラです。

中容量バリューラインデバイスは、フラッシュメモリ容量が 64～128 KB の STM32F100xx マイクロコントローラです。

大容量バリューラインデバイスは、フラッシュメモリ容量が 256～512 KB の STM32F100xx マイクロコントローラです。

このセクションは、別段の指定がない限り、すべての STM32F100xx デバイスに適用されます。

電子署名は、フラッシュメモリモジュールのシステムメモリ領域に格納され、JTAG/SWD または CPU を使用して読み出すことができます。電子署名には、出荷時にプログラミングされた識別データが含まれています。このデータを使用すれば、ユーザファームウェアやその他の外部デバイスは、そのインタフェースを STM32F100xx マイクロコントローラの特性に合わせて自動的に整合させることができます。

26.1 メモリサイズレジスタ

26.1.1 フラッシュサイズレジスタ

ベースアドレス：0x1FFF F7E0

読み出し専用　= 0xXXXX（X は出荷時にプログラミングされます）

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
F_SIZE															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 15:0 **F_SIZE**：フラッシュメモリサイズ

このフィールド値は、デバイスのフラッシュメモリサイズを KB 単位で示します。
例：0x0080 = 128 KB。

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

26.2 ユニークデバイス ID レジスタ（96 ビット）

このユニークデバイス識別子は、以下の用途に最適です。

- シリアル番号として使用
- 内部フラッシュメモリをプログラミングする前に、このユニーク ID をソフトウェア暗号プリミティブやプロトコルと組み合わせて使用する際に、フラッシュメモリ内のコードのセキュリティを高めるためのセキュリティキーとして使用
- セキュアなブートプロセスなどの起動

96 ビットのユニークデバイス識別子は、状況やデバイスの違いとは無関係にユニークなリファレンス番号を提供します。ユーザは、これらのビットを変更できません。

96 ビットのユニークデバイス識別子は、さまざまな方法で 1 バイト/ハーフワード/ワード単位で読み出し、カスタムアルゴリズムを使用して連結することもできます。

ベースアドレス：0x1FFF F7E8

アドレスオフセット：0x00

読み出し専用　= 0xXXXX（X は出荷時にプログラミングされます）

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
U_ID(15:0)															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 15:0 **U_ID(15:0)**：15:0 ユニーク ID ビット

アドレスオフセット：0x02

読み出し専用　= 0xXXXX（X は出荷時にプログラミングされます）

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
U_ID(31:16)															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 15:0 **U_ID(31:16)**：31:16 ユニーク ID ビット

このフィールド値は、将来の機能のためにも予約されています。

アドレスオフセット：0x04

読み出し専用　= 0xXXXX XXXX（X は出荷時にプログラミングされます）

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
U_ID(63:48)															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
U_ID(47:32)															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:0 **U_ID(63:32)**：63:32 ユニーク ID ビット

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

アドレスオフセット：0x08

読み出し専用　= 0xXXXX XXXX（X は出荷時にプログラミングされます）

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
U_ID(95:80)															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
U_ID(79:64)															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:0 **U_ID(95:64)** : *95:64 ユニーク ID ビット*

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

索引

A

ADC_CR1 171
ADC_CR2 173
ADC_DR 180
ADC_HTR 176
ADC_JDRx 179
ADC_JOFRx 176
ADC_JSQR 179
ADC_LTR 177
ADC_SMPR1 175
ADC_SMPR2 175
ADC_SQR1 177
ADC_SQR2 178
ADC_SQR3 178
ADC_SR 170
AFIO_EVCR 121
AFIO_EXTICR1 124
AFIO_EXTICR2 124
AFIO_EXTICR3 125
AFIO_EXTICR4 125
AFIO_MAPR 122
AFIO_MAPR2 126

B

BKP_CR 64
BKP_CSR 64
BKP_DRx 63
BKP_RTCCR 63

C

CEC_CFGR 635
CEC_CSR 639
CEC_ESR 637
CEC_OAR 636
CEC_PRES 636
CEC_RXD 640
CEC_TXD 640
CRC_DR 46
CRC_IDR 46

D

DAC_CR 193
DAC_DHR12L1 197
DAC_DHR12L2 198
DAC_DHR12LD 199
DAC_DHR12R1 197
DAC_DHR12R2 198
DAC_DHR12RD 199
DAC_DHR8R1 197
DAC_DHR8R2 198
DAC_DHR8RD 200
DAC_DOR1 200
DAC_DOR2 200
DAC_SR 201
DAC_SWTRIGR 196
DBGMCU_CR 660
DBGMCU_IDCODE 649
DMA_CCRx 153
DMA_CMARx 155
DMA_CNDTRx 154
DMA_CPARx 155
DMA_IFCR 152
DMA_ISR 151

E

EXTI_EMR 137
EXTI_FTSR 138
EXTI_IMR 137
EXTI_PR 139
EXTI_RTSR 138
EXTI_SWIER 139

F

FSMC_BCR1..4 503
FSMC_BTR1..4 505
FSMC_BWTR1..4 507

G

GPIOx_BRR 114
GPIOx_BSRR 113
GPIOx_CRH 112
GPIOx_CRL 111
GPIOx_IDR 112
GPIOx_LCKR 114
GPIOx_ODR 113

I

I2C_CCR 569
I2C_CR1 559
I2C_CR2 561

この資料は、STMicroelectronics NV 並びにその子会社(以下ST)が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くためにSTマイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST及びSTマイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

I2C_DR 563
I2C_OAR1 562
I2C_OAR2 563
I2C_SR1 564
I2C_SR2 568
I2C_TRISE 570
IWDG_KR 465
IWDG_PR 465
IWDG_RLR 466
IWDG_SR 466

P

PWR_CR 57
PWR_CSR 59

R

RCC_AHBENR 89
RCC_APB1ENR 92
RCC_APB1RSTR 86
RCC_APB2ENR 90
RCC_APB2RSTR 84
RCC_BDCR 95
RCC_CFGR 80
RCC_CFGR2 98
RCC_CIR 82
RCC_CR 78
RCC_CSR 96
RTC_ALRH 461
RTC_ALRL 461
RTC_CNTH 460
RTC_CNTL 460
RTC_CRH 456
RTC_CRL 456
RTC_DIVH 459
RTC_DIVL 459
RTC_PRLH 458
RTC_PRLL 459

S

SPI_CR1 532
SPI_CR2 534
SPI_CRCPR 536
SPI_DR 536
SPI_RXCRCR 537
SPI_SR 535
SPI_TXCRCR 537

T

TIM12_ARR 427
TIM12_CCER 426
TIM12_CCMR1 423
TIM12_CCR1 428
TIM12_CCR2 428
TIM12_CNT 427
TIM12_CR1 . . . . . .417, 430
TIM12_CR2 . . . . . .418, 431
TIM12_EGR 422
TIM12_PSC 427
TIM12_SMCR 419
TIM12_SR 421
TIM15_ARR 371
TIM15_BDTR 373
TIM15_CCER 368
TIM15_CCMR1 365
TIM15_CCR1 372
TIM15_CCR2 373
TIM15_CNT 371
TIM15_CR1 356
TIM15_CR2 357
TIM15_DCR 375
TIM15_DIER 361
TIM15_DMAR 376
TIM15_EGR 364
TIM15_PSC 371
TIM15_RCR 372
TIM15_SMCR 359
TIM15_SR 362
TIM2_OR 326
TIMx_ARR 321, 437, 449
TIMx_BDTR 267, 391
TIMx_CCER 262, 319, 387, 436
TIMx_CCMR1 . . . . . .256, 315, 384, 433
TIMx_CCMR2 . . . . . .260, 318
TIMx_CCR1 . . . . . .265, 321, 390, 437
TIMx_CCR2 . . . . . .266, 322
TIMx_CCR3 . . . . . .266, 323
TIMx_CCR4 . . . . . .267, 323
TIMx_CNT 264, 320, 389, 436, 448
TIMx_CR1 . . . . . .244, 309, 378, 445
TIMx_CR2 . . . . . .245, 311, 379, 447
TIMx_DCR 269, 324, 393
TIMx_DIER 251, 314, 380, 447
TIMx_DMAR 270, 325, 394
TIMx_EGR 254, 314, 382, 433, 448
TIMx_PSC 264, 321, 389, 437, 449
TIMx_RCR 265, 390
TIMx_SMCR 249, 312
TIMx_SR 253, 314, 381, 432, 448

この資料は、STMicroelectronics NV 並びにその子会社(以下ST)が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くためにSTマイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST及びSTマイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

U

USART_BRR 610
USART_CR1 611
USART_CR2 613
USART_CR3 614
USART_DR 610
USART_GTPR 616
USART_SR 607

W

WWDG_CFR 471
WWDG_CR 470
WWDG_SR 471

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

27 改版履歴

表 158. 改版履歴

日付	版	変更内容
2010 年 2 月 26 日	1	初版リリース。
2010 年 6 月 4 日	2	*セクション 12.4.9（262 ページ）*と*セクション 13.4.9（320 ページ）*で TIMx_CCER レジスタの説明を訂正 *セクション 14.4.6：入力キャプチャモード（339 ページ）*を更新 *セクション 22.3.3：I²C マスタモード*に方法 1 と 2 を追加 *セクション 22.6：I²C レジスタ*で、POS ビットの説明の注を更新
2010 年 10 月 12 日	3	大容量バリューラインデバイス用の更新 *セクション 20.5.2:サポートされるメモリおよびトランザクション(474 ページ）*を更新 *セクション 15：汎用タイマ（TIM12/13/14）（390 ページ）*を追加 *セクション 20：フレキシブルスタティックメモリコントローラ（FSMC）（467 ページ）*を追加

この資料は、STMicroelectronics NV 並びにその子会社 (以下 ST) が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

参考資料

よくお読み下さい：

本書記載の内容はST 製品に関してのみ適用されるものです。STMicroelectronics NV およびその子会社（以下、ST）は、本書、本製品ならびに本書に記載されたサービスの内容を予告なく変更、修正、改定もしくは改良する権利を留保します。

すべてのST 製品はST の販売条件に従って販売されます。

本書記載のST製品およびサービスの選択並びに使用については購入者が全ての責任を負うものとし、本書記載のST製品およびサービスの選択並びに使用に関してST は一切の責任を負いません。

本書は、明示されているか否かに関わらず、また禁反言によるとよらずに関わらず、いかなる知的財産権の実施権を許諾するためのものではありません。本書で第三者の製品もしくはサービスに言及する場合、そのような言及は、STが当該第三者の製品、サービスまたはそれらに含まれる知的財産権を利用する実施権を許諾したとみなすものではなく、またいかなる用法であれ当該第三者の製品、サービスまたはそれらに含まれる知的財産権の使用を保証するものではありません。

ST の販売条件に規定される場合を除き、STは、商品性、特定目的への適合性(その他管轄の如何を問わず法律で認められる同等のもの)、若しくは特許権、著作権その他の知的財産権の侵害に関する黙示の保証を含め、ST 製品の使用または販売に関する明示または黙示の保証をすべて放棄します。

権限のあるST の代表者による書面での明示の許可がある場合を除き、ST 製品を軍事用、航空技術、宇宙用、救命用、若しくは生命維持用に用いること、または不具合若しくは誤動作により負傷または死亡事故、深刻な財産上または環境上の損害を招くおそれのある製品またはシステムへ使用することは、推奨、認可、保証されておりません。「自動車向け」として指定されていないST 製品を自動車用に用いることは、使用者自身の責任においてなされるものとします。

本書に説明されている記述または技術的特徴とは異なる条件でST 製品が再販された場合、本書に記載されるST 製品またはサービスについてのST による保証は直ちに失われるものとし、いかなる形であれ、ST の責任を生ぜしめること、若しくはその責任が延長されることはないものとします。

ST およびST ロゴは各国におけるSTMicroelectronics の商標または登録商標です。

本書の情報はそれ以前に提供された全ての情報に優先します。

ST ロゴはSTMicroelectronics の登録商標です。その他の名称は、それぞれの所有者に帰属します。

© 2012 STMicroelectronics - All rights reserved

STMicroelectronics group of companies

Australia - Belgium - Brazil - Canada - China - Czech Republic - Finland - France - Germany - Hong Kong - India - Israel - Italy - Japan - Malaysia - Malta - Morocco - Philippines - Singapore - Spain - Sweden - Switzerland - United Kingdom - United States of America

www.st.com

この資料は、STMicroelectronics NV 並びにその子会社(以下ST)が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くためにSTマイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST及びSTマイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。